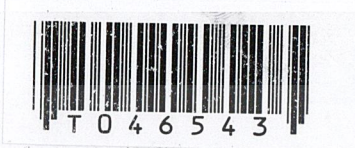


แผ่นวงจรวิดีโอแบบอนุกรม

SERIAL VIDEO CARD



โดย
นายชลทิตย์ ไชยโม
นายพงศกร อารีเอื้อ

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรอุตสาหกรรมศาสตรบัณฑิต

สาขาวิชาเทคโนโลยีโทรคมนาคม ภาควิชาวิศวกรรมสารสนเทศ

คณะวิศวกรรมศาสตร์

ปจ.

๕๖.๖๓

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

๒๕๔๔

ปีการศึกษา ๒๕๔๔

เลขหมู่.....

เลขทะเบียน..... 46543

วัน, เดือน, ปี- 4 มิ.ย. ๒๕๔๖

b.....
i.....

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ทางการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อปฏิญานิพนธ์

แผ่นวงจรวีดิโอแบบอนุกรม

TITLE

SERIAL VIDEO CARD

โดย

นายชลทิตย์ ไชยโม รหัสประจำตัว 43015807

นายพงศกร อารีเอื้อ รหัสประจำตัว 43015826

อาจารย์ผู้ควบคุมปฏิญานิพนธ์

ผศ.วิชัย สุรพัฒน์

ภาควิชา

วิศวกรรมสารสนเทศ

ปีการศึกษา

2544

ปฏิญานิพนธ์ฉบับนี้ได้รับการอนุมัติให้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตร
อุตสาหกรรมศาสตรบัณฑิต คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหาร
ลาดกระบัง



//๓๗๘ (ผศ.วิชัย สุรพัฒน์)

อาจารย์ผู้ควบคุมปฏิญานิพนธ์

ลิขสิทธิ์ของคณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อปฏิญยานิพนธ์	แผ่นวางจรวีดิโอแบบอนุกรม
นักศึกษา	นายชลทิตย์ ไชยโม รหัสประจำตัว 43015807 นายพงศกร อารีเอื้อ รหัสประจำตัว 43015826
อาจารย์ผู้ควบคุมปฏิญยานิพนธ์	ผศ.วิชัย สุรพัฒน์
ระดับการศึกษา	ปริญญาอุตสาหกรรมศาสตรบัณฑิต สาขาเทคโนโลยีโทรคมนาคม
ภาควิชา	วิศวกรรมสารสนเทศ
ปีการศึกษา	2544

บทคัดย่อ

ปฏิญยานิพนธ์ฉบับนี้นำเสนอ แผ่นวางจรวีดิโอแบบอนุกรม ซึ่งเป็นอุปกรณ์ที่รับข้อมูลแบบอนุกรมโดยรับจากแป้นพิมพ์ที่เป็นรหัสแอสกี (ASCII) นำมาเก็บไว้ในหน่วยความจำและแสดงผลเป็นตัวอักษรหรือสัญลักษณ์ออกทางหน้าจอ โทรทัศน์มีการควบคุมการแสดงผลจากไมโครคอนโทรลเลอร์

ส่วนประกอบของโครงการ ประกอบด้วยส่วนอินพุตจากแป้นพิมพ์ ส่วนควบคุมโดยใช้ไมโครคอนโทรลเลอร์และส่วนแสดงผลใช้ไอซีเบอร์ MC 6847 เป็นตัวกำเนิดสัญญาณภาพ ซึ่งโครงการนี้สามารถนำไปใช้หัดพิมพ์สำหรับผู้ที่ไม่มีความรู้คอมพิวเตอร์ หรือช่วยในการสอนได้

PROJECT TITLE SERIAL VIDEO CARD

STUDENT Mr. Chollathit Chaityamo No. 43015807
Mr. Pongsakorn Aree-Ua No. 43015826

ADVISOR Assis.Prof. Wichai Surapat

COURSE Bachelor of Industrial Technology in Telecommunications

DEPARTMENT Information Engineering

YEAR 2001

ABSTRACT

This project present Serial Video Card that is terminal received serial input by keyboard is ASCII code. Keep in memory chip and display on monitor is alphanumeric or symbols. Display control by micro controller.

Project components : keyboard is input terminal, Micro controller is controller and IC No.MC6847 is video display generator. This project can download from serial port of a computer to keep in memory chip, can apply is basic typing for people that don't have computer or can helpful teaching.

กิตติกรรมประกาศ

จากความสำเร็จในการสร้างแผนวงจรวีดิโอแบบอนุกรม คณะผู้จัดทำต้องขอขอบพระคุณ ผศ.วิชัย สุรพัฒน์ (อาจารย์ที่ปรึกษา) ตลอดจนอาจารย์ท่านอื่นและรุ่นพี่ที่มีได้เอ่ยนามที่ได้ให้คำปรึกษา และความคิดเห็นต่างๆ จนทำให้โครงการนี้สำเร็จได้ด้วยดี ขอขอบคุณ คุณพ่อ คุณแม่ที่ได้อบรมสั่งสอนและให้การสนับสนุนในการศึกษาเป็นอย่างดี ถ้ามีอะไรผิดพลาดบกพร่องหรือต้องการให้ข้อเสนอแนะ ผู้จัดทำขอน้อมรับด้วยความยินดีและหวังว่าผลงานครั้งนี้จะเป็นประโยชน์และความรู้กับทุกท่านๆ ได้เป็นอย่างดี

คณะผู้จัดทำ



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

เรื่อง	หน้า
บทคัดย่อภาษาไทย	I
บทคัดย่อภาษาอังกฤษ	II
กิตติกรรมประกาศ	III
บทที่ 1 บทนำ	1
1.1 ความเป็นมา	1
1.2 ชื่อโครงการ	1
1.3 วัตถุประสงค์	1
1.4 ซัดความสามารถของโครงการ	1
1.5 เนื้อหาโดยสังเขป	1
บทที่ 2 ทฤษฎีและหลักการ	2
2.1 จอภาพ CRT (Cathode Ray Tube) และการแสดงผล	2
2.1.1 การกวาดกลับทางแนวนอนและแนวตั้ง	6
2.1.2 การกวาดแบบ Interlace	7
2.2 การให้กำเนิดตัวอักษร	8
2.2.1 ตัวกำเนิดตัวอักษร	9
2.2.2 การเปลี่ยนเป็นสัญญาณภาพ	11
2.3 CRT CONTROLLER	15
2.3.1 คุณสมบัติของไอซีกำเนิดสัญญาณภาพ	15
2.3.2 VDG SIGNAL	16
2.4 ทฤษฎีและหลักการของไมโครคอนโทรลเลอร์	19
2.4.1 ไมโครคอนโทรลเลอร์ 8031	19
2.4.2 สถาปัตยกรรมของ 8031	20
2.4.3 หน่วยความจำข้อมูลภายใน	20
2.4.4 พอร์ตอินพุต / เอาท์พุทของ 8031	22

สารบัญ (ต่อ)

เรื่อง	หน้า
2.4.5 โครงสร้างการทำงานของพอร์ทของ MCS-51	23
2.4.5.1 การใช้งานพอร์ทเป็นอินพุท	23
2.4.5.2 การใช้งานพอร์ทเป็นเอาต์พุท	23
2.4.6 ตำแหน่งขาของ 8031	24
2.5 การต่อใช้งานไมโครคอนโทรลเลอร์ 8031	26
2.5.1 การต่อ CPU 8031 กับหน่วยความจำภายนอก	26
2.6 การรับส่งข้อมูลแบบอนุกรม	31
บทที่ 3 การออกแบบวงจรและการทำงานของแผ่นวงจรวีดิโอแบบอนุกรม	38
3.1 รายละเอียดของบล็อกไดอะแกรมการทำงาน	38
3.2 การทำงานของวงจร	39
บทที่ 4 การทดลองและผลการทดลอง	42
4.1 การทดลองวัดสัญญาณภาพรวม	42
4.2 การทดลองการใช้งานของชุดแผ่นวงจรวีดิโอแบบอนุกรม	45
บทที่ 5 อภิปรายผล ข้อเสนอแนะและสรุป	47
5.1 อภิปรายผล	47
5.2 ข้อเสนอแนะ	47
5.3 สรุป	47
บรรณานุกรม	
ภาคผนวก ก. แสดงรูปการออกแบบลายวงจร	49
ภาคผนวก ข. แสดง Hexdump ของ โปรแกรมควบคุมภายใน EPROM	52
ภาคผนวก ค. คู่มือการใช้งานไอซี	55

สารบัญรูป

รูป	หน้า
รูปที่ 2.1 ลักษณะของซีอาร์ที	2
รูปที่ 2.2 การควบคุมตำแหน่งของลำอิเล็กตรอน	3
รูปที่ 2.3 การกวาดแบบราสเตอร์	4
รูปที่ 2.4 การกวาดลำอิเล็กตรอนในช่วงกวาดกลับ	4
รูปที่ 2.5 การสร้างภาพแบบราสเตอร์	5
รูปที่ 2.6 แผนภาพเวลาในการสร้างภาพตัวอาร์	5
รูปที่ 2.7 การกวาดแบบอินเทอร์เรซ (Interace)	7
รูปที่ 2.8 การกำเนิดตัวอักษร	8
รูปที่ 2.9 ขนาดของ I ตัวอักษร	9
รูปที่ 2.10 ตัวอย่างโปรแกรมตัวอักษรในหน่วยความจำ	10
รูปที่ 2.11 วงจรเปลี่ยนข้อมูลเป็นอนุกรม	11
รูปที่ 2.12 แสดงการส่งข้อมูลไปยังภาควิดีโอ	12
รูปที่ 2.13 การรวมสัญญาณต่างๆเป็นสัญญาณภาพ	13
รูปที่ 2.14 สัญญาณภาพรวมและซิงค์	13
รูปที่ 2.15 แสดง TV TIMING	14
รูปที่ 2.16 Video Output and RF Modulation	14
รูปที่ 2.17 สถาปัตยกรรมของ MCS-51	20
รูปที่ 2.18 โครงสร้างแต่ละบิตภายในพอร์ทอินพุท/เอาต์พุท	22
รูปที่ 2.19 ตำแหน่งขาของ 8031	24
รูปที่ 2.20 สัญญาณของ MCS-51 ที่ใช้ติดต่อกับตำแหน่งหน่วยความจำ	27
รูปที่ 2.21 การต่อ MCS-51 กับหน่วยความจำ	27
รูปที่ 2.22 การต่อ 8031 กับ EPROM	29
รูปที่ 2.23 การต่อ 8031 กับหน่วยความจำภายนอก EPROM และ RAM	30
รูปที่ 2.24 การส่งข้อมูลแบบอนุกรม	31
รูปที่ 2.25 บิตต่างของข้อมูลที่ส่งแบบอนุกรม	32
รูปที่ 2.26 โหมด 0 ของพอร์ทสื่อสารอนุกรม	33
รูปที่ 2.27 โหมด 1 ของพอร์ทสื่อสารอนุกรม	33

สารบัญรูป (ต่อ)

รูป	หน้า
รูปที่ 2.28 โหมค 2 ของพอร์ตสื่อสารอนุกรม	34
รูปที่ 2.29 โหมค 3 ของพอร์ตสื่อสารอนุกรม	34
รูปที่ 3.1 บล็อกไดอะแกรมของ Serial Video Card	38
รูปที่ 3.2 วงจรของ Serial Video Card	41
รูปที่ 4.1 วงจรทดลอง VDG	42
รูปที่ 4.2 สัญญาณที่ขา 28 ของ MC 6847	43
รูปที่ 4.3 สัญญาณที่จุด K2 ของวงจรขยาย	43
รูปที่ 4.4 ด้านหน้าของ SERIAL VIDEO CARD	44
รูปที่ 4.5 ด้านหลังของ SERIAL VIDEO CARD	44
รูปที่ 4.6 การต่อชุดทดลองกับเครื่องรับทีวี	45
รูปที่ 4.7 ตัวอักษรที่ออกทางหน้าจอ	46
รูปที่ 5 ลายวงจรของวงจร SERIAL VIDEO CARD ด้านบน	50
รูปที่ 6 ลายวงจรของวงจร SERIAL VIDEO CARD ด้านล่าง	51

สารบัญตาราง

ตาราง	หน้า
ตารางที่ 2.1 โหมมคการทำงานของ VDG	18
ตารางที่ 2.2 ตำแหน่งแอดเครสของรีจิสเตอร์ใช้งานทั่วไป	21
ตารางที่ 2.3 การเลือกรีจิสเตอร์เบงค์ของรีจิสเตอร์ใช้งานทั่วไป	21
ตารางที่ 2.4 บิตต่างๆของรีจิสเตอร์ SCON	35
ตารางที่ 2.5 โหมมคต่างๆของการรับส่งแบบอนุกรม	36
ตารางที่ 2.6 การใช้ Timer 1 กำหนดบอดเรท	37
ตารางที่ 3.1 ตำแหน่งสวิทช์บิตเรท	40



บทที่ 1

บทนำ

1.1 ความเป็นมา

ในการนำเสนอเกี่ยวกับข้อความหรือตัวเลข ตลอดจนสัญลักษณ์ต่างๆ ในปัจจุบัน จะเห็นได้ในรูปแบบของสิ่งพิมพ์ต่างๆ ทีวี หรือป้ายโฆษณาที่เห็นอยู่ทั่วไปแม้กระทั่งในการเรียนการสอนก็มีสิ่งนี้ด้วย ผู้จัดทำเล็งเห็นว่าน่าจะศึกษาถึงวิธีการเหล่านี้ที่จะนำมาใช้ประโยชน์ได้โดยที่เสียค่าใช้จ่ายน้อยแต่สามารถแสดงผลได้เหมือนกัน ทั้งนี้ขึ้นอยู่กับขีดความสามารถของอุปกรณ์และอื่นๆ ด้วย

1.2 ชื่อโครงการ

แผ่นวงจรวีดิโอแบบอนุกรม

1.3 วัตถุประสงค์

1. เพื่อศึกษาเกี่ยวกับการประยุกต์ใช้งานของไมโครคอนโทรลเลอร์
2. เพื่อศึกษาการใช้งานของระบบเชื่อมต่อข้อมูล
3. เพื่อแสดงผลออกทางจอภาพและประยุกต์ใช้งานต่อไป

1.4 ขีดความสามารถของโครงการ

1. สามารถป้อนข้อมูลจากแป้นพิมพ์แล้วแสดงผลทางจอทีวีได้
2. ควบคุมการเปลี่ยนหน้าจอภาพและเคลียร์หน้าจอภาพได้
3. สามารถรับข้อมูลมาเก็บไว้ในหน่วยความจำได้

1.5 เนื้อหาโดยสังเขป

ขั้นแรกป้อนข้อมูลจากแป้นพิมพ์ ซึ่งข้อมูลเป็นแบบอนุกรมและรหัสแอสกี แล้วรวมจะอ่านค่าและเก็บไว้ในที่แรม ส่วนไมโครคอนโทรลเลอร์จะติดต่อกับแรมและแรมเพื่อนำข้อมูลที่เก็บไว้ส่งไปวงจรแสดงผลและควบคุมให้แสดงออกทางหน้าจอโทรทัศน์

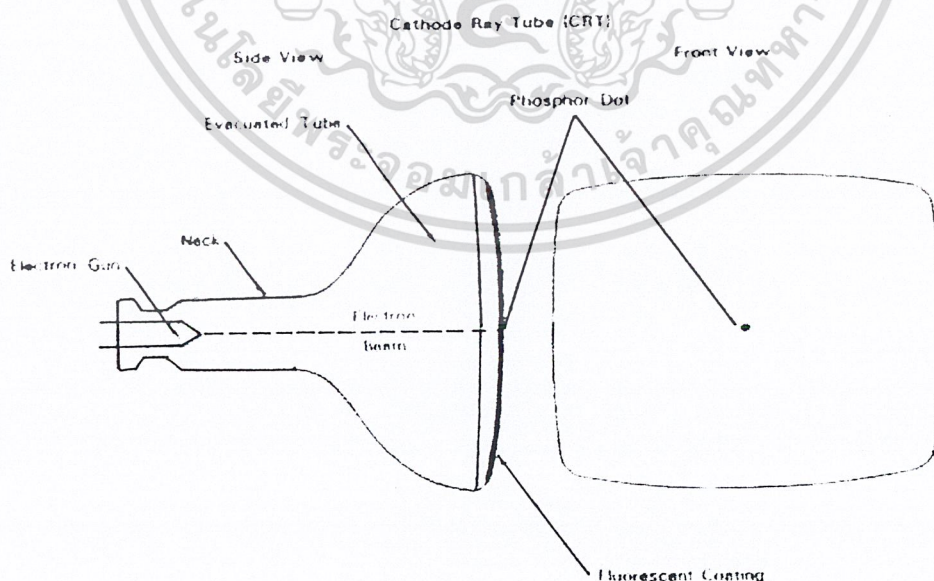
บทที่ 2

ทฤษฎีและหลักการ

2.1 จอภาพ CRT (Cathode Ray Tube) และการแสดงผล

ในระบบคอมพิวเตอร์นั้นการแสดงผล นับเป็นขั้นตอนสำคัญอันหนึ่งในการที่ผู้ใช้จะติดต่อกับระบบอุปกรณ์ที่นับได้ว่ามีบทบาทสำคัญในการนี้คือ จอภาพ หรือ CRT (Cathode Ray Tube) ถึงแม้ว่าในปัจจุบันจะมีอุปกรณ์อื่นๆที่ถูกพัฒนาให้ทำหน้าที่แทนได้เช่น LCD หรือ Plasma Display ซึ่งมีขนาดเล็กและประหยัดพลังงานกว่า แต่จอภาพ CRT ก็ยังได้รับความนิยมอยู่เนื่องจากจอภาพแบบนี้ถูกพัฒนามาเป็นเวลานานจนมีประสิทธิภาพในการแสดงภาพสูง เช่น การแยกสี หรือ การแสดงภาพที่มีรายละเอียดสูง (High Resolution) และข้อสำคัญคือ อุปกรณ์ร่วมที่ใช้ควบคุมการแสดงผลก็ถูกพัฒนาไปอย่างมากเช่นกัน จึงมีความสะดวกในการออกแบบการแสดงผลง่ายขึ้นมาก

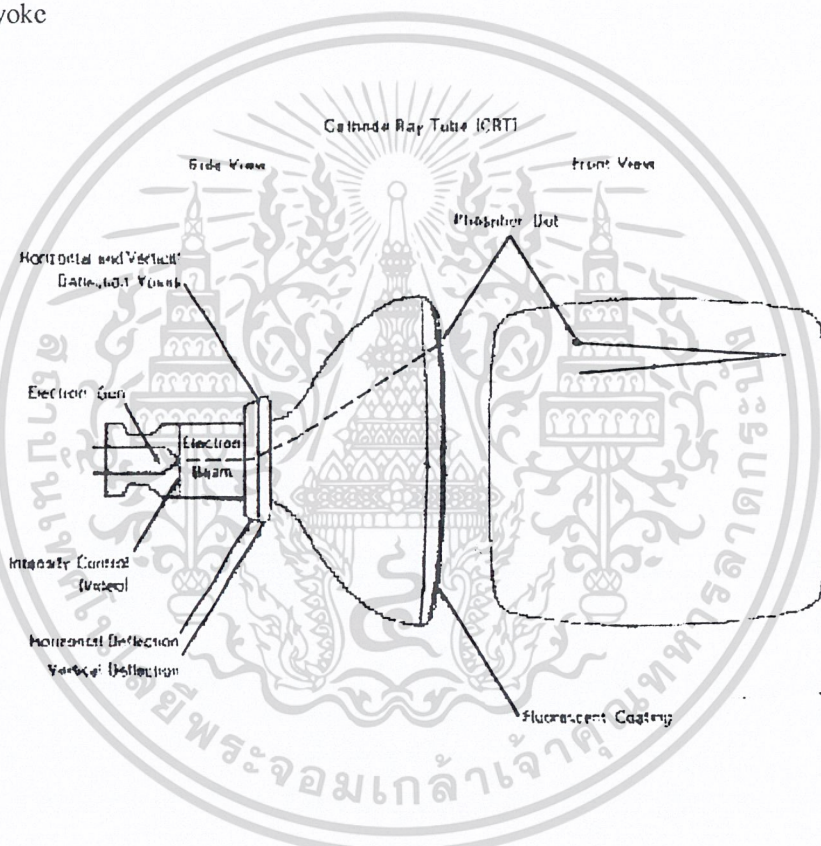
รูปที่ 2.1 แสดงส่วนประกอบและ โครงสร้างของจอภาพซึ่งประกอบด้วยหลอดแก้วสุญญากาศเคลือบผิวหน้าด้วยสารเรืองแสง ด้านหลังจะเป็นรูปทรงกระบอกบรรจุปืนอิเล็กตรอน ทำหน้าที่ยิงลำอิเล็กตรอนออกมากระทบผิวหน้าสารเรืองแสงที่เคลือบไว้เมื่อถูกอิเล็กตรอนวิ่งมากระทบ ก็จะเปล่งแสงเป็นจุดกลมเล็กๆ



รูปที่ 2.1 ลักษณะของซีอาร์ที (CRT)

เราสามารถควบคุมตำแหน่งของภาพ (จุดเรืองแสง) โดยการเบี่ยงเบนลำอิเล็กตรอน ซึ่งทำได้ 2 วิธีคือ ใช้สนามแม่เหล็กหรือสนามไฟฟ้า โดยทั่วไปนิยมใช้สนามแม่เหล็ก โดยแยกตัวเบี่ยงเบนออกเป็นแนวตั้ง (Vertical) และแนวนอน (Horizontal)

เมื่อเรากวาดลำอิเล็กตรอน ร่องรอยการกวาดจะคงปรากฏให้เห็นได้ในช่วงเวลาหนึ่งก่อนจะจางหายไป ปรากฏการณ์นี้เกิดจากคุณสมบัติของสารเรืองแสงที่เรียกว่า “persistence” หมายถึง ขดลวดที่ใช้สร้างสนามแม่เหล็กในแนวตั้งเรียกว่า “Vertical yoke” ในแนวนอนเรียกว่า Horizontal yoke

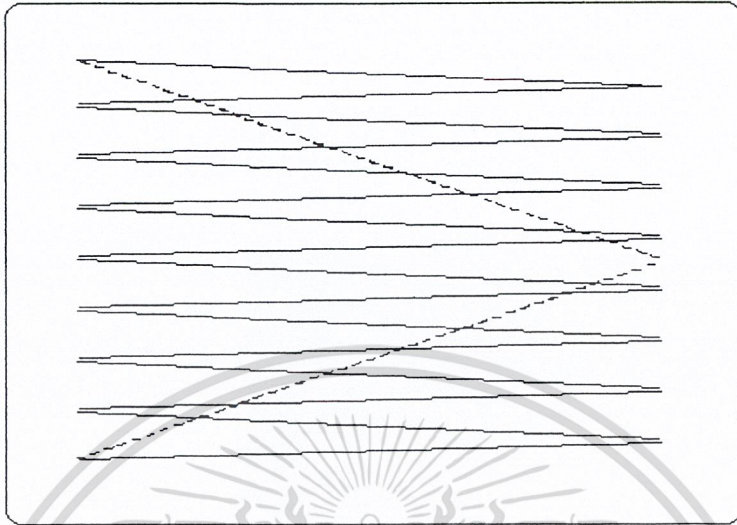


รูปที่ 2.2 การควบคุมตำแหน่งของลำอิเล็กตรอน

แบ่งเป็น 2 วิธี

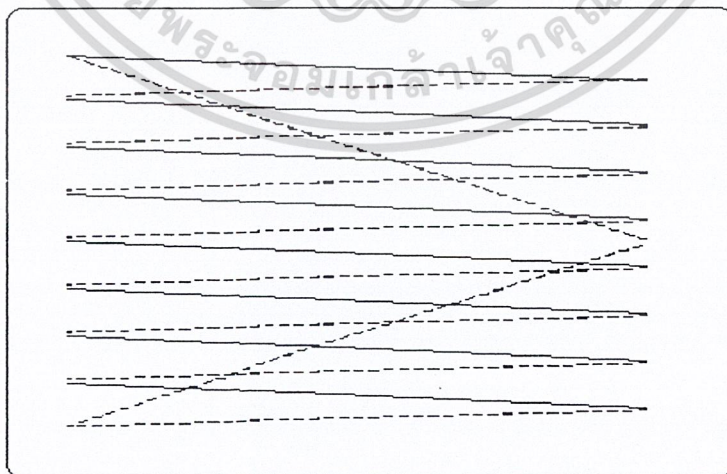
1. โดยการกำหนดการเบี่ยงเบนลำอิเล็กตรอนในแนวตั้งและแนวนอนโดยตรงเพื่อให้ปรากฏภาพ ณ ตำแหน่งที่ต้องการ วิธีนี้เรียกว่า graphic x-y หรือ vector display
2. วิธี raster scan เป็นวิธีที่นิยมใช้กันทั่วไป วิธีนี้จะมีการสร้างสัญญาณควบคุมการกวาด (scan) ลำอิเล็กตรอนอย่างต่อเนื่อง จากซ้ายไปขวาแล้วกลับมาเริ่มจากซ้ายใหม่ เมื่อกวาดถึงมุมขวาล่างสุดก็จะกลับมาเริ่มที่มุมซ้ายบนสุด ดังรูปที่ 2.3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.3 การกวาดแบบราสเตอร์

การกวาดลำอิเล็กตรอนนี้จะมีคาบเวลาที่แน่นอน และในช่วงที่มีการกวาดกลับจากขวาไปซ้ายของแต่ละบรรทัด หรือเรียกว่าช่วง retrace จะต้องไม่ปรากฏภาพบนจอ ซึ่งทำโดยการลดความเข้ม (intensity) โดยส่วนควบคุมความเข้ม (intensity control) ในรูปที่ 2.3 และรูปที่ 2.4 แสดงการกวาดในช่วงกวาดกลับ (retrace) ที่ถูกลดความเข้มลงจนมองไม่เห็น

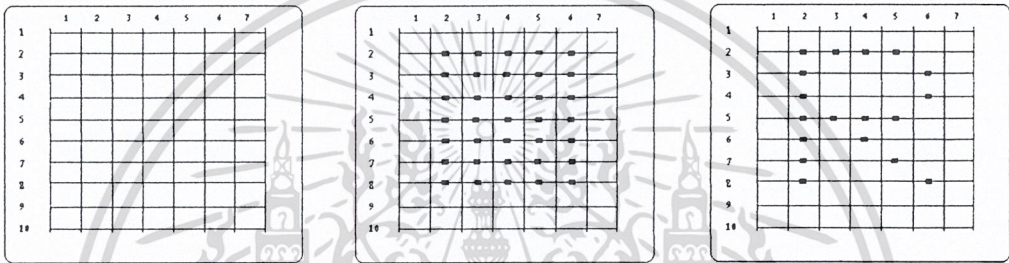


รูปที่ 2.4 การกวาดลำอิเล็กตรอนในช่วงกวาดกลับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาดูเท่านั้น ไม่อนุญาติให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขั้นตอนต่อไปในการสร้างภาพแบบ raster scan นี้ก็คือทำให้เกิดจุดสว่างและจุดมืด ณ ตำแหน่งที่ต้องการ ขณะที่มีการกวาดจากซ้ายไปขวา ซึ่งก็คือการเพิ่มและลดความเข้มในเวลาที่เหมาะสม สมมติว่ามีจำนวนเส้นในแนวนอน 10 เส้น (scan line) และแบ่งออกเป็น 7 ช่องในแนวดิ่ง หรือเป็นตารางขนาด 7 x 10

เราจะสร้างภาพขนาด 5 x 7 ลงบนตาราง 7 x 10 เพื่อให้มีช่องว่างด้านบน 1 บรรทัด ด้านล่าง 2 บรรทัด และด้านข้างด้านละ 1 ช่อง (column) ดังรูปที่ 2.5 ข



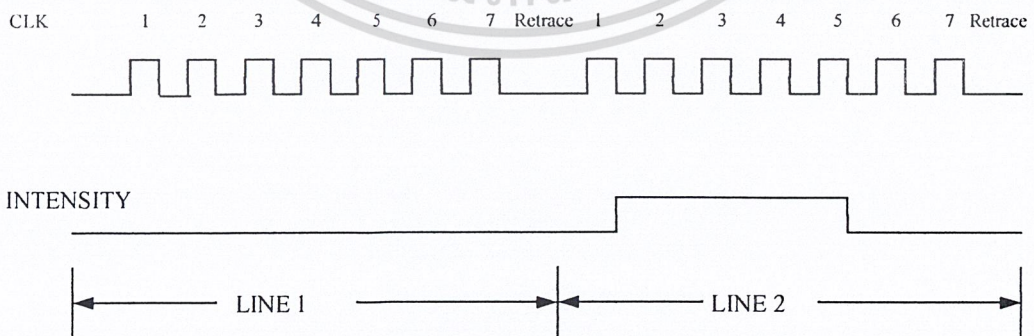
รูปที่ 2.5 ก

รูปที่ 2.5 ข

รูปที่ 2.5 ค

สมมติว่าเราต้องการสร้างภาพตัวอักษร R ลงบนตารางดังกล่าว จะเห็นว่าเราต้องทำให้เกิดจุดสว่างบนบรรทัดที่ 2 ช่องที่ 2 - 5 มาบรรทัดที่ 3 ช่องที่ 2 และ 6 ...

ถ้าเรากำหนดให้จุดสว่างแทนด้วยลอจิกต่ำ (low) และจุดมืดแทนด้วยลอจิกสูง (high) เราสามารถแสดงแผนภาพเวลา (timing diagram) ในการสร้างภาพตัว R ได้ในรูปที่ 2.6



รูปที่ 2.6 แผนภาพเวลาในการสร้างภาพตัวอาร์

จากที่กล่าวมาแล้วว่า ภาพที่แสดงไปแล้วจะยังคงปรากฏให้เห็นได้ในช่วงเวลาหนึ่งก่อนที่จะจางหายไป ดังนั้นเราจึงสร้างภาพนั้นซ้ำด้วยความถี่ที่สูงพอสมควร จนสายตาของเราไม่สามารถจับความต่อเนื่องในการแสดงภาพนั้นได้ คล้ายกับการสร้างภาพที่เคลื่อนไหวได้ของภาพยนตร์

2.1.1 การกวาดกลับทางแนวนอนและแนวตั้ง (Horizontal & Vertical Retrace)

ในประเทศอเมริกาใช้ความถี่ของการกวาดทางแนวนอน (Horizontal scan) เป็น 15.75 KHz (15750 เส้น / วินาที) และความถี่ที่ 60 Hz (60 ภาพ / วินาที) นั้นหมายความว่าความถี่ของการกวาดกลับในแนวนอน (Horizontal Retrace Frequency) เป็น 15.75 KHz และความถี่ในการกวาดกลับในแนวตั้ง (Vertical Retrace Frequency) เป็น 60 Hz เช่นกัน ซึ่งในมาตรฐานนี้ใน 1 จอภาพจะมีจำนวนเส้นการกวาด (scan line) เท่ากับ $15750 / 60 = 262.5$ เส้น

ในการทำ vertical retrace นั้น การกวาดลำอิเล็กตรอนจากมุมล่างขวาไปยังมุมบนซ้ายของจอภาพ จะใช้เวลาเท่ากับการกวาดประมาณ 21 – 22 เส้น ทำให้เหลือจำนวนเส้นที่จะใช้แสดงภาพได้จริงประมาณ 240 เส้น ถ้าเรากำหนดให้อักษร 1 ตัว มีความสูง 10 เส้นนอน เราจะแสดงอักษรต่างๆได้ 24 บรรทัดอักษร (character line) ใน 1 จอภาพ

จำนวนตัวอักษรในแต่ละบรรทัดอักษร จะขึ้นอยู่กับความถี่ในการแสดงจุดแต่ละจุด ในการกวาดแต่ละเส้น (dot clock หรือ video frequency) ถ้าความถี่ในการกวาดในแนวนอนเป็น 15.75 KHz และต้องการให้ 1 บรรทัดอักษรมีอักษรทั้งสิ้น 100 ตัว แต่ละตัวมีความกว้าง 8 จุด หมายความว่าในการกวาดแต่ละเส้นเราต้องแสดงจุดออกมา $8 \times 100 = 800$ จุด ดังนั้นจึงต้องใช้ dot clock ที่มีความถี่ $15750 \times 800 = 12.6$ MHz อย่างไรก็ตาม ในแต่ละเส้นเราต้องใช้เวลาในการกวาดกลับจำนวนหนึ่ง โดยทั่วไปประมาณ 20 % ของจำนวนจุดทั้งหมดของแต่ละเส้น ดังนั้นจากตัวอย่างนี้จะเหลือจำนวนตัวอักษรที่เห็นได้จริง 80 ตัว ต่อ 1 บรรทัด

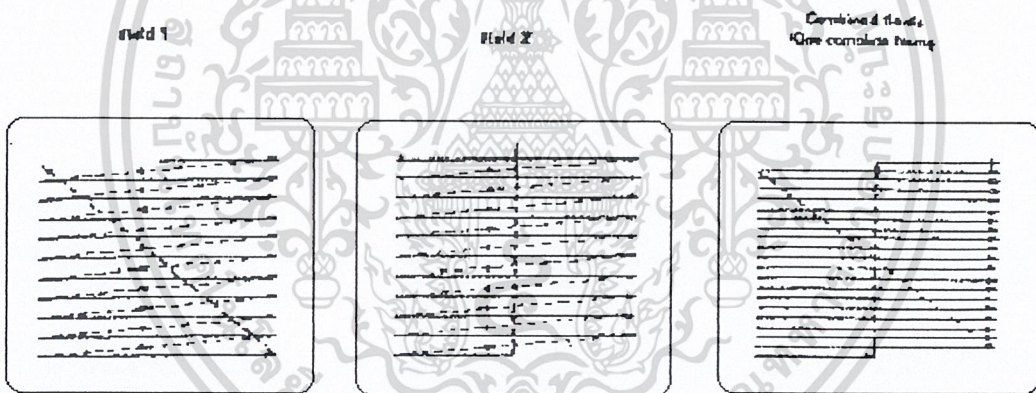
การเพิ่มจำนวนบรรทัดอักษรต่อภาพนี้ อาจทำได้โดยการเพิ่มความถี่การกวาดในแนวนอน เช่น จาก 15.75 KHz เป็น 18 KHz โดยมีความถี่การกวาดในแนวตั้ง 60 Hz เท่าเดิม ก็จะได้จำนวนเส้นกวาดเป็น $18000 / 60 = 300$ เส้น หรือ 30 บรรทัดอักษร แต่วิธีนี้จะต้องใช้จอภาพชนิดพิเศษที่มีการกวาดไม่มาตรฐาน และจำนวนตัวอักษรต่อบรรทัดจะลดลงถ้าใช้ dot clock เท่าเดิม

อีกวิธีหนึ่งอาจจะทำได้โดยการลดความถี่ของการกวาดในแนวตั้ง เช่นถ้าลดจาก 60 Hz เป็น 45 Hz โดยใช้ความถี่การกวาดในแนวนอน 15.75 KHz จะได้จำนวนเส้นการกวาดเป็น $15750 / 45 = 350$ เส้น แต่ปัญหาที่ตามมาคือเมื่อความถี่ดังกล่าวลดลงก็เท่ากับว่าแต่ละจุดจะถูกกวาดซ้ำ (refresh) ด้วยความถี่ที่ลดลงเช่นกัน การแก้ปัญหานี้จะต้องใช้สารเรืองแสงที่มี persistence สูงมาก

นอกจากนี้ถ้าหากความถี่ในการกวาดนี้ไม่เท่ากับความถี่ของไฟสลับที่ใช้กันตามบ้าน ซึ่งมีมาตรฐานเป็น 50 Hz หรือ 60 Hz แล้ว ถ้าอิเล็กทรอนิกส์อาจจะถูกรบกวนจากสนามแม่เหล็กที่เกิดจากหม้อแปลงที่อยู่ใกล้เคียงได้

2.1.2 การกวาดแบบ Interlace

การเพิ่มจำนวนเส้นการกวาดของทั้ง 2 วิธีที่กล่าวมาไม่เหมาะสมที่จะนำมาใช้งานจริงๆ วิธีที่ใช้กันอยู่ในปัจจุบันนี้ก็คือวิธีการกวาดแบบอินเตอร์เลสโดยจะแบ่งการกวาดภาพ 1 กรอบ (frame) ออกเป็น 2 ส่วน (field) โดยที่เรียงเส้นการกวาดของ 2 ฟิลด์ นั้นจะเรียงกัน (ดูรูปที่ 2.7) ซึ่งถ้าหากเราใช้ความถี่การกวาดมาตรฐาน 15.75 KHz และ 60 Hz (ความถี่กวาดซ้ำต่อ frame) เราจะได้จำนวนเส้นการกวาดเป็น 525 เส้น ($2 \times 15750/60$)



รูปที่ 2.7 การกวาดแบบ Interlace

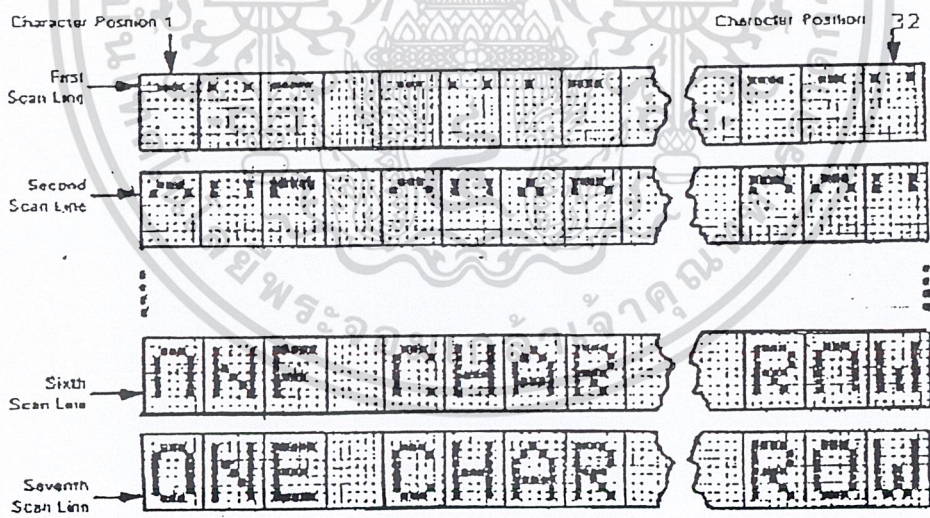
อย่างไรก็ดีแม้ว่าวิธีการนี้ จะแก้ปัญหาเรื่องสัญญาณรบกวนจากไฟสลับไปได้ แต่การกวาดซ้ำของแต่ละฟิลด์จะมีความถี่ลดลงครึ่งหนึ่ง (30Hz) ทำให้ต้องใช้สารเรืองแสงที่มี persistence สูงมากเช่นกันถ้าหาก persistence สูงไม่พอจะภาพที่พริ้วหรือเรียกว่า “flicker”

สัญญาณที่ต่อระหว่างซีอาร์ที คอนโทรลเลอร์กับกับซีอาร์ที มอนิเตอร์ คือสัญญาณเวอร์ซิงค์เป็นสัญญาณควบคุมการกวาดกลับในทางแนวตั้ง (Vertical Retrace) สัญญาณฮอริซิงค์เป็นสัญญาณควบคุมการกวาดในแนวขวาง (Horizontal Retrace) และสัญญาณวีดีโอ สัญญาณวีดีโอจะ

ป้อนเข้าซีอาร์ทีมอนิเตอร์ เพื่อเป็นตัวสร้างลำแสงอิเล็กตรอน ส่วนสัญญาณซิงค์ ทั้งสองเป็นสัญญาณที่ต่อเนื่องเป็นตัวกำหนดขอบเขตการแสดงผลบนซีอาร์ที โดยเมื่อแสดงผลหมด 1 เส้น (LINE) จะมีฮอริซิงค์เกิดขึ้นและเมื่อหมด 1 เฟรมก็จะมีสัญญาณเวอร์ซิงค์ ซีอาร์ทีมอนิเตอร์บางเครื่องจะรวมสัญญาณทั้ง 3 สัญญาณเข้าด้วยกันเรียกว่า สัญญาณภาพรวม ซึ่งสามารถส่งได้ในสายโคแอกเซียล (Coaxial) เพียงเส้นเดียวทำให้ประหยัดและไม่สูญเสีย (Loss) ของสัญญาณ

เราได้อธิบายอย่างย่อแล้วว่าทำอะไรจึงจะเกิดตัวอักษรบนจอภาพ 1 ตัว กลุ่มของจุดสว่างบนจอภาพบนเส้นสแกนที่ถูกต้องเป็นตัวที่ทำให้เกิดตัวอักษรขึ้น ข้อมูลของจุดสว่างนี้คืออินพุทที่ป้อนเข้าซีอาร์ทีมอนิเตอร์อย่างอนุกรมด้วยสัญญาณวีดีโอ ดังนั้นต้องมีอุปกรณ์ที่ใช้แปลงข้อมูลแบบขนาน 8 บิตในระบบไมโครคอมพิวเตอร์เป็นแบบอนุกรม เพื่อให้มีการแสดงมากกว่าหนึ่งตัวอักษรบนเส้นสแกน 1 เส้นเราจึงต้องมีบัฟเฟอร์(Buffer) ช่วย

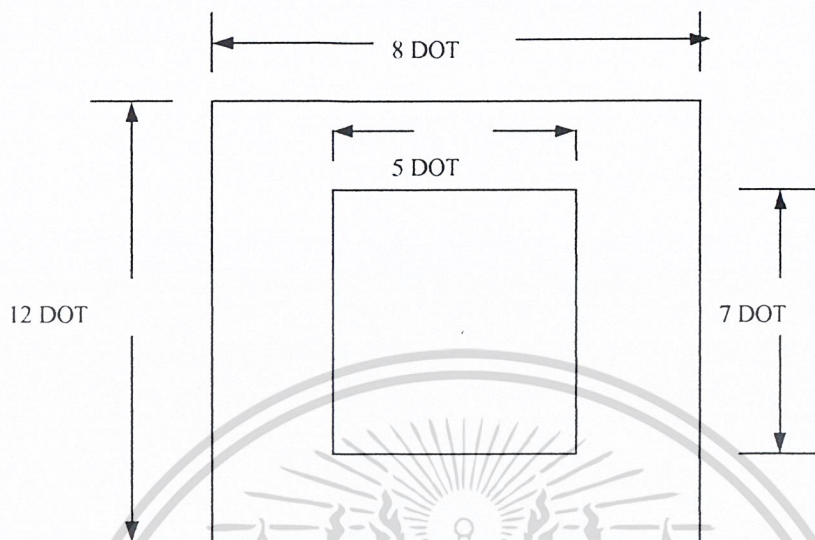
2.2 การให้กำเนิดตัวอักษร (Character Generator)



รูปที่ 2.8 การกำเนิดตัวอักษร

ตัวอักษรจะถูกแสดงผลบนจอภาพจะจัดให้อยู่ในรูปแบบของจุดเรียกว่า Dot Matrix ซึ่งมาตรฐานที่ใช้คือ 5 x 7 แมตริกซ์ นี้จะต้องสแกน 10 เส้นซึ่งรวมถึง Blank Line ที่ต้องใช้เป็นช่องว่างระหว่างตัวอักษรในแต่ละแถว ส่วนในปริยญาณิพนธ์ฉบับนี้ ใน 1 บรรทัดแสดงตัวอักษร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับใช้ในงานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ขนาด 5 x 7 Dot Matrix ดังในรูปที่ 2.9 และใน 1 เฟรมของจอซีอาร์ทีที่จะแสดงตัวอักษรได้ 16 แถว ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.9 ขนาดของ 1 ตัวอักษร

เพราะฉะนั้นใน 1 เฟรมจะสามารถแสดงตัวอักษรได้เท่ากับ $32 \times 16 = 512$ ตัวอักษร

รหัสตัวอักษรที่แสดงในระบบไมโครคอมพิวเตอร์มักจะใช้รหัส ASCII ซึ่งในรหัส ASCII จะต้องถูกเปลี่ยนอยู่ในรูปของ Dot Matrix ซึ่งจะใช้รวมเป็นตัวเก็บ เวลาใช้งานจะใช้เทคนิคของการ look up table ตัวรวมที่ใช้เก็บ Dot Matrix เรียกว่า Character Generator ดังนั้นเมื่อต้องการส่งตัวอักษรไปแสดงที่จอภาพจะส่งจุด ในแต่ละแถวไปปรากฏยังเส้นราสเตอร์ (Raster) ด้วยการสแกนจนครบ 7 แถวของตัวอักษรการสแกนจะใช้ตัวนับ (counter) ช่วยนับจำนวนแถวของจุดที่ส่งออก สำหรับการเปลี่ยนจากจุดเป็นสัญญาณภาพรวมทั้งการส่งสัญญาณเข้าซีอาร์ทีมอนิเตอร์

2.2.1 ตัวกำเนิดตัวอักษร (CHARACTER GENERATOR)

ตัวกำเนิดตัวอักษรในปริณูณานิพนธ์นี้ใช้ ซีอาร์ที คอนโทรลเลอร์ เบอร์ MC 6847 ซึ่งเรียกว่า ตัวกำเนิดตัวอักษรภายใน (Internal Character Generator) ซึ่งหนึ่งตัวอักษรจะใช้เนื้อที่ของหน่วยความจำ 12 ตำแหน่ง ในแต่ละตำแหน่งจะมีขนาด 8 บิต ในส่วนของตัวอักษรที่ต้องการให้สว่างจะโปรแกรม “1” ลงไป และส่วนในส่วนของตัวอักษรที่ไม่ต้องการให้สว่างจะโปรแกรม “0” ลงไป เช่นในรูปที่ 2.10

ADDRESS	DATA
0	0 0 0 0 0 0 0 0
1	0 0 0 0 0 0 0 0
2	0 0 1 1 1 1 0 0
3	0 0 1 0 0 0 1 0
4	0 0 1 0 0 0 1 0
5	0 0 1 1 1 1 0 0
6	0 0 1 0 1 0 0 0
7	0 0 1 0 0 1 0 0
8	0 0 1 0 0 0 1 0
9	0 0 0 0 0 0 0 0
A	0 0 0 0 0 0 0 0
B	0 0 0 0 0 0 0 0
C	
D	
E	
F	

5 x 7 MATRIX

1 CHAR 8 x 12 MATRIX

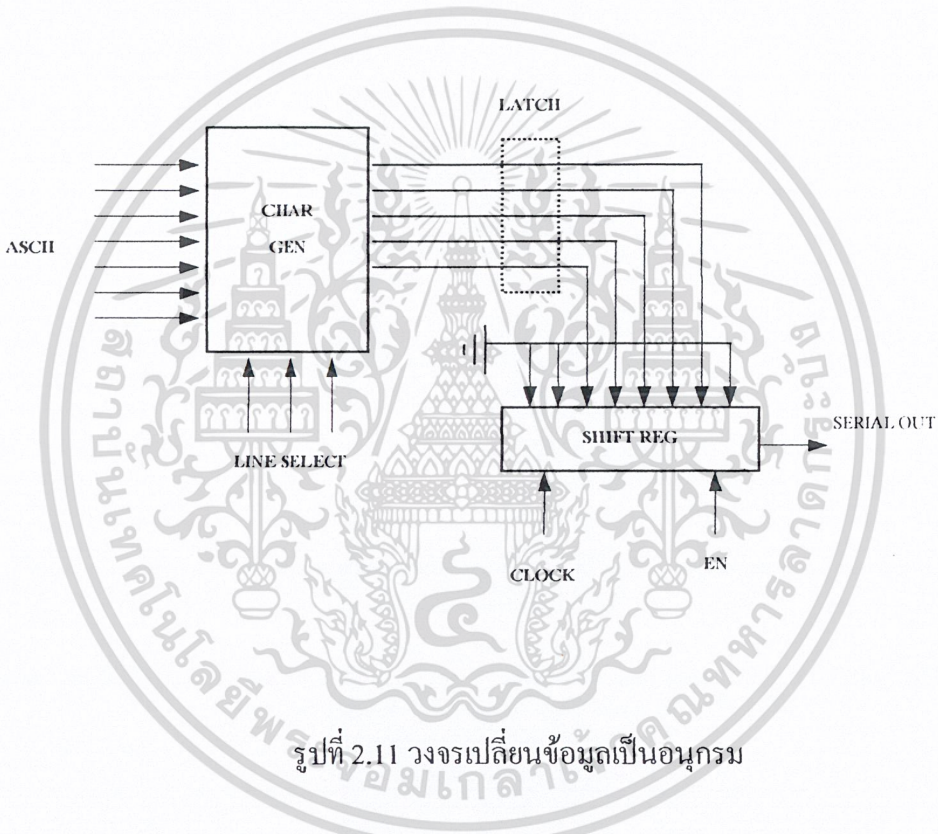
รูปที่ 2.10 ตัวอย่าง โปรแกรมตัวอักษรในหน่วยความจำ

นอกจากตัวอักษรภายในแล้ว ในปฏิญานิพนธ์ฉบับนี้ได้ออกแบบให้ ซีอาร์ที คอนโทรลเลอร์ สามารถใช้กำเนิดตัวอักษรภายนอกได้ (External Character Generator) โดยใช้หน่วยความจำอีพรอม เป็นตัวเก็บตัวอักษร

การที่จะแสดงภาพบนจอซีอาร์ทีนั้นภาพแต่ละภาพจะทำซ้ำกันด้วยความถี่ 50 Hz ดังนั้นถ้าหากจะแสดงตัวอักษรบนซีอาร์ที จะต้องทำการรีเฟรช (Refresh) ถึง 50 ครั้งในหนึ่งวินาทีซึ่งการรีเฟรชนี้จะทำที่หน่วยความจำส่วนนี้เรียกว่า วิดีโอแรม (VideoRam) จำนวนที่แสดงบนจอซีอาร์ทีจะถูกจำกัดโดยขนาดความถี่ (Bandwidth) ของเครื่องรับ โดยทั่วไปโทรทัศน์จะสามารถแสดงตัวอักษรได้ 32 ตัวอักษร 16 บรรทัด ซึ่งเมื่อรวมแล้วจะมีตัวอักษรทั้งหมด 32 ตัวอักษร 16 บรรทัด ซึ่งเมื่อรวมแล้วจะมีตัวอักษรทั้งหมด 512 ตัวอักษร ดังนั้นการสแกนแต่ละเส้นจะใช้เวลาประมาณ 63.5 ไมโครวินาที แต่ละอักษรจะใช้เวลาประมาณ 1.98 ไมโครวินาที ซึ่งเวลานี้จะต้องให้สัมพันธ์กับช่วงเวลา Access time ของหน่วยความจำซึ่งมีค่าประมาณ 0.7 ไมโครวินาที

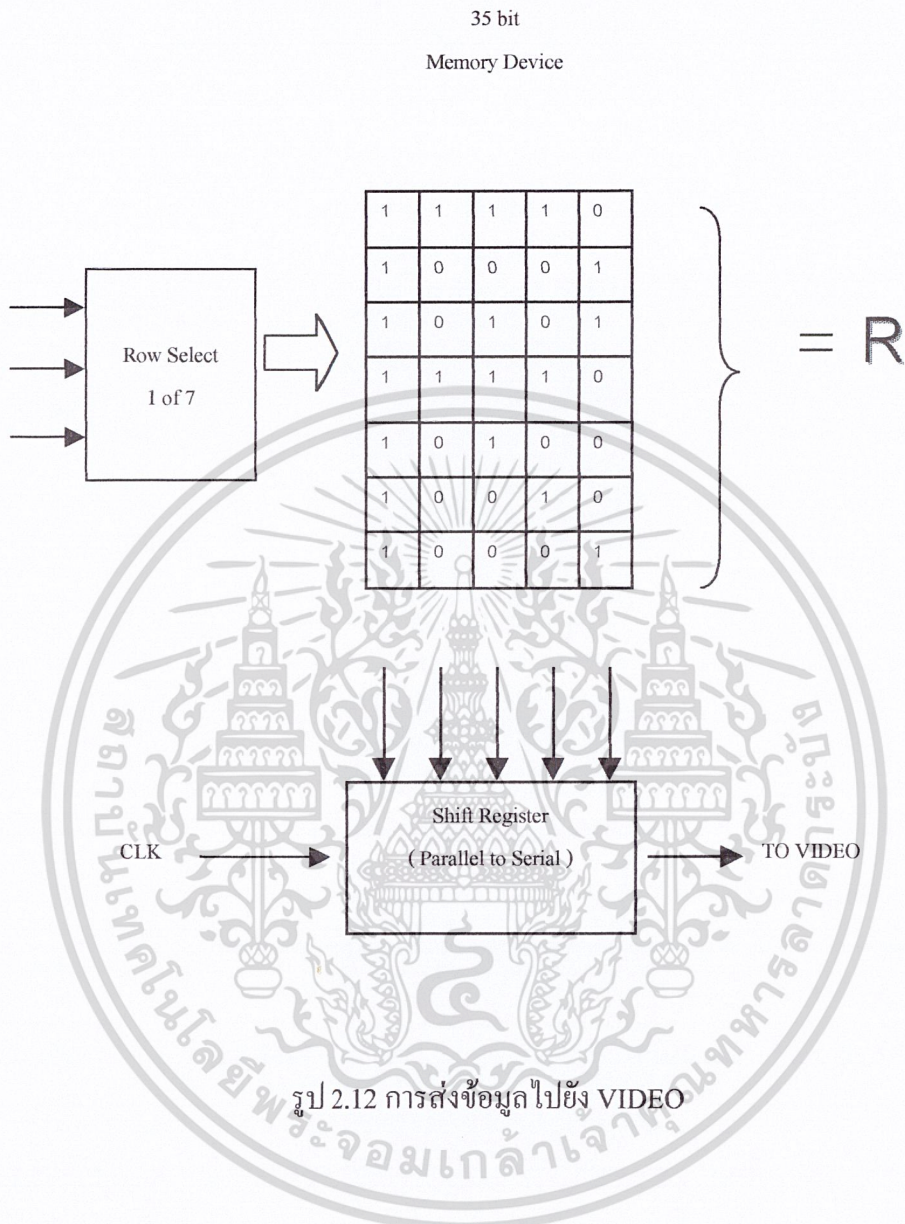
2.2.2 การเปลี่ยนเป็นสัญญาณภาพ (CONVERTING TO SERIAL VIDEO)

รหัสของตัวอักษรซึ่งเก็บในตัวกำเนิดอักษร (Character Generator) ในลักษณะ 8 บิตขนาน เมื่อต้องการส่งรหัสตัวอักษรออก จะต้องผ่านชิพทรีจิสเตอร์ เพื่อเปลี่ยนรูปข้อมูลให้อยู่ในรูปแบบอนุกรมก่อนที่จะถูกเปลี่ยนเป็นสัญญาณภาพให้แก่เครื่องรับโทรทัศน์ วงจรเปลี่ยนรูปแบบข้อมูลในรูปที่ 2.11



รูปที่ 2.11 วงจรเปลี่ยนข้อมูลเป็นอนุกรม

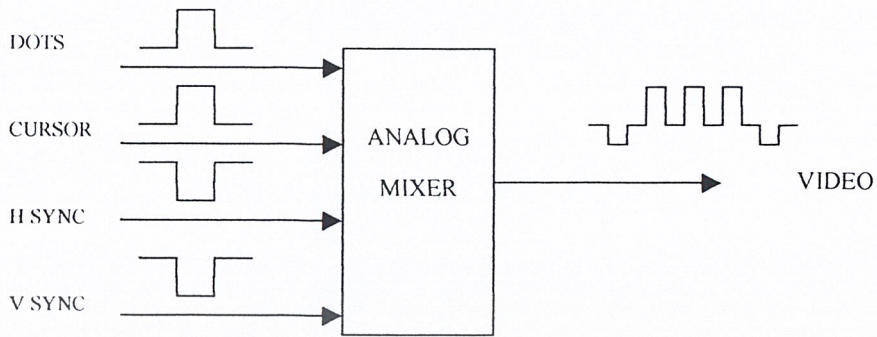
จากรูปตัวกำเนิดตัวอักษรจะให้สัญญาณออกเป็นรหัสแถวสำหรับแต่ละเส้นรหัสแอสกี จะถูกป้อนเข้ามาทางด้านซ้ายของตัวกำเนิดสัญญาณ และจะมีสายสัญญาณ 3 เส้นเป็นตัวเลือกให้ว่าจะเป็นรหัสของแถวใดของตัวอักษรออกไปทางด้านขวาของรูปคั้งนั้น 5 จุดของตัวอักษรในแต่ละแถวจะถูกส่งเข้าไปยังชิพทรีจิสเตอร์เพื่อส่งออกไปทีละบิตให้กับวิดีโอเออร์ทพุท จังหวะการส่งข้อมูลออกแต่ละบิตจะถูกควบคุมด้วยสัญญาณนาฬิกา (Clock)



ซึ่งจะมีข้อมูลอยู่ 4 ชนิดที่ต้องนำมาเข้ารหัส เพื่อรวมเป็นสัญญาณภาพคือ

- 1) จุดซึ่งแทนตัวอักษร
- 2) สัญญาณกะพริบตลอดเวลา (ใช้สำหรับ CURSOR)
- 3) CURSOR
- 4) สัญญาณ HSYNC และ VSYNC

สำหรับการเปลี่ยนสัญญาณทั้ง 4 ชนิดให้เป็นสัญญาณภาพนั้นจะใช้ Analog Mixer เป็นตัวเปลี่ยนซึ่งแสดงในรูปที่ 2.13



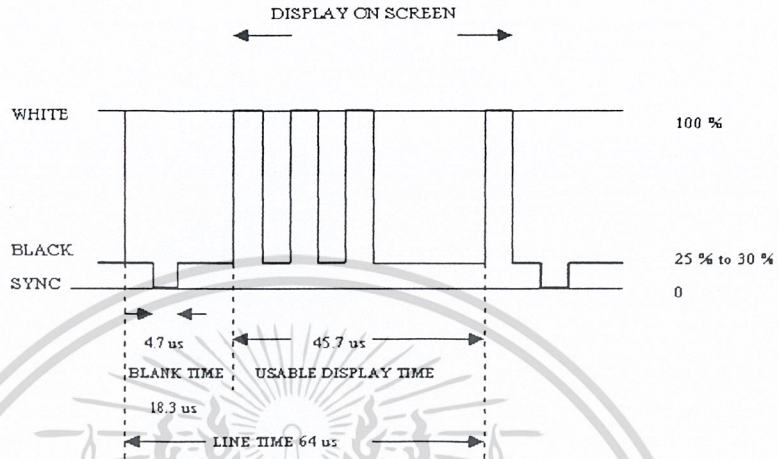
รูปที่ 2.13 การรวมสัญญาณต่างๆเป็นสัญญาณภาพ

ระดับสัญญาณที่ใช้ในการอินเตอร์เฟสกับVIDEOจะอยู่ระหว่าง 0-2 โวลต์โดยที่แรงดัน 0.5 -0.75 โวลต์จะแทนระดับดำ (Black Level) และระดับแรงดัน1.5-2.0โวลต์จะแทนระดับขาว (White level) ซึ่งแสดงในรูปที่ 2.14



รูปที่ 2.14 สัญญาณ COMPOSITE และ SYNC

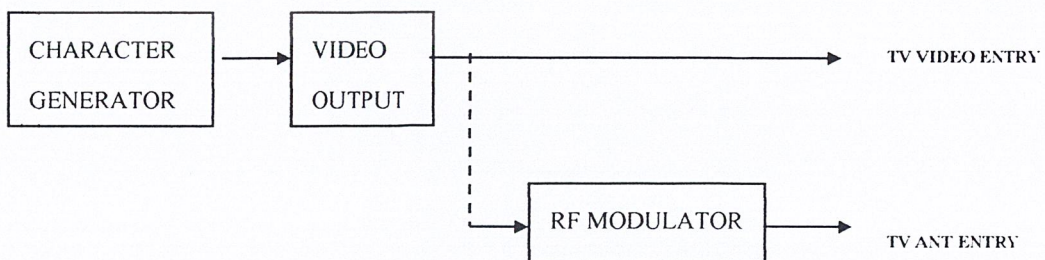
จากรูปที่ 2.14 จะเห็นว่ามียุคสัญญาณซึ่งอยู่ด้วยสัญญาณนี้จะมีความกว้างของพัลส์ 4.7 ไมโครวินาที หลังสัญญาณจุดขาวและจุดดำที่เข้ารหัสรวมกันมาโดยจะสวิงอยู่ระหว่าง 0.5-2.0 โวลต์ ซึ่งเวลาที่เกิดขึ้นแต่ละช่วงแสดงในรูปที่ 2.15



รูปที่ 2.15 TV TIMING

ในโทรทัศน์ทั่วๆ ไปสีขาวจะอยู่ที่ระดับ 100% และสีดำจะอยู่ระดับ 25-30% และสัญญาณซิงค์จะอยู่ที่ 0 % แรงดันทั้ง 2 จากระดับต่ำสุดถึงสูงสุดประมาณ 2 โวลต์ และเวลาที่ใช้ในการสแกนแต่ละเส้นจะเป็น 63.5 ไมโครวินาที

สัญญาณที่ได้รับการผสมเรียบร้อยแล้ว (composite video) จะถูกต่อกับเครื่องรับตรงจุดเอาท์พุทของวิดีโอเทคเตอร์ เพื่อแสดงผลได้เลย แต่ถ้าต้องการต่อเข้าทางสายอากาศจะต้องผ่าน RF Modulator ก่อนดังรูปที่ 2.16



รูปที่ 2.16 VIDEO OUTPUT AND RF MODULATION

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3 CRT CONTROLLER

ซีอาร์ที คอนโทรลเลอร์เบอร์ที่ใช้ในปริิณยานิพนธ์นี้คือ MC6847 ของ MOTOROLA MC6847 Video DisplayGenerator (VDG) นี้จะใช้ในการอินเตอร์เฟสกับไมโครคอมพิวเตอร์ 8 บิตกับเครื่องรับทีวีสีหรือขาวดำ ตัวอย่างการนำไปใช้งานของ VDG เช่น วิชาโอเกมส์ การศึกษา การสื่อสาร และ กราฟฟิค ต่างๆ

VDG อ่านข้อมูลจาก Video Memory และสร้างสัญญาณภาพรวมทั้งเป็น Alphanumeric หรือ graphic สัญญาณภาพรวมทั้งสร้างขึ้นมานี้จะนำไปมอดคูเลตกับช่องสัญญาณ 3 หรือ 4 โดยใช้ MC1372 สัญญาณที่ถูกมอดคูเลตแล้วสามารถต่อกับเครื่องรับโทรทัศน์ได้เลย

2.3.1 คุณสมบัติของของไอซีกำเนิดสัญญาณภาพ (VDG)

- ไอซีกำเนิดสัญญาณภาพ (VDG)อยู่ในตระกูล M6800, ตระกูล M68000 และไมโครโปรเซสเซอร์อื่นๆ
- กำเนิดโหมดแสดงตัวอักษรและสัญลักษณ์ที่ต่างกัน 4 โหมด , โหมดกึ่งกราฟฟิค 2 โหมด และ โหมด GRAPHIC DISPLAYS แสดงได้ 8 โหมด
- โหมดแสดงตัวอักษร 32 ตัวต่อบรรทัด แสดงได้ 16 บรรทัด
- สำหรับ MULTIPLEXER ที่อยู่ภายใน MC6847 นี้สามารถใช้หน่วยความจำ ROM ภายในหรือจาก ROM ภายนอกได้
- สร้างสัญญาณ R-Y และ B-Y สำหรับ External Color Modulator
- โหมดกราฟฟิคมีขนาดความจุ 64x64 , 128x64 , 128x96 , 128x192 หรือ256x192 Density
- โหมดเต็มกราฟฟิค มี 2 แบบ คือ 2 สี และ 4 สี
- ใช้ร่วมกับ MC6883 (74LS783) ซึ่งเป็นไอซีมัลติเพล็กซ์ Synchronous Address ได้
- ใช้ได้กับมาตรฐาน NTSC หรืออย่างอื่นได้

2.3.2 VDG SIGNAL

ADDRESS OUTPUT LINE (DA0 – DA12)

VDG จะใช้ทั้งหมด 13 เส้น ในการสแกน Address memory โดยเริ่มต้นของ Display memory จะเป็นตำแหน่งที่อยู่บนซ้ายสุดของจอ VDG จะเพิ่มแอดเดรสขึ้นเช่นเดียวกับการที่ทีวีมีการกวาดจากซ้ายไปขวาและจากบนไปล่าง Address line เหล่านี้จะ Compatible กับ TTL และจะอยู่สถานะอิมพีแดนซ์สูง เมื่อ MS PIN เป็น “ low ”

DATA INPUT (DD0 – DD7)

Data line มี 8 เส้น และ Compatible กับ TTL จะใช้ในการรับข้อมูลจาก RAM ที่ถูก Process โดย VDG ข้อมูลนี้จะถูก Interpreted และส่งผ่านไปเป็นสัญญาณลูมิแนนซ์ (ขา 28) และ Color output $\varnothing A$ และ $\varnothing B$ (ขา 11 และ ขา 10)

POWER INPUT

Vcc ใช้ + 5 โวลต์

Vss ใช้ 0 โวลต์ ปกติจะลงกราวด์ไว้

VIDEO OUTPUT ($\varnothing A$, $\varnothing B$, Y, CHB)

เป็นสัญญาณเอาต์พุตแบบอนาล็อกที่ใช้ในการเคลื่อนย้ายลูมิแนนซ์และสีไปยังเครื่องรับทีวี โดยผ่าน MC 1372 RF MODULATOR หรืออาจต่อ Y, $\varnothing A$, $\varnothing B$ โดยตรงกับทีวีอินพุตก็ได้

LUMINANCE (Y)

เป็น 6 Level analog output ประกอบด้วย Composite Sync Blanking และ 4 Level ของ Video luminance

$\varnothing A$ เป็น 3 Level analog output ใช้ในการ Combination กับ $\varnothing B$ และ Y output เพื่อกำหนดสีใดสีหนึ่งใน 8 สี

$\varnothing B$ เป็น Level analog output ใช้ในการ Combination กับ $\varnothing A$ และ Y Output เพื่อกำหนดสีใน 8 สี นอกจากนี้ Analog Level หนึ่งจะใช้กำหนดเวลาของ Color Burt Reference Signal ด้วย

CHROMA BIAS (CHB)

Pin นี้เป็น analog output ซึ่งจะจัด D.C. reference ที่สอดคล้องกับค่า quiescent ของ $\varnothing A$ และ $\varnothing B$ CHB จะใช้ quarentee good thermal tracking และ minimize the variation between the parts

SYNCHRONIZING INPUT (\overline{MS} , CLK)

THREE STATE CONTROL (\overline{MS})

จะ compatible กับ TTL เมื่อ low จะทำให้ VDG address line อยู่ในสถานะอิมพีแดนซ์สูง ซึ่งขณะนี้จะยอมให้อุปกรณ์อื่นๆ (เช่น MPU) address display memory (RAM) ได้

CLOCK (CLK)

VDG clock input (CLK) จะต้องการ 3.579545 MHz (มาตรฐาน) TV crystal frequency square wave duty cycle ของ CLK นี้จะต้องอยู่ระหว่าง 45 % กับ 55 % เพราะว่ามันจะควบคุมความกว้างของแต่ละจุดบนจอทีวี MC 1372 RF Modulator ก็อาจจะใช้จ่าย 3.579545 MHz CLK ที่มีควิตซ์ไซเคิลที่ปรับตามต้องการ

SYNCHRONIZING OUTPUT (\overline{FS} , \overline{HS} , \overline{RP})

เป็น TTL Compatible outputs ที่มีไว้สำหรับวงจรที่อยู่ภายนอก VDG ที่มี timing reference กับ internal VDG state ดังต่อไปนี้

FIELD SYNC (\overline{FS})

Transition จาก high เป็น low ของ FS output จะเกิดขึ้นเมื่อ end of active display area ในช่วง time interval นี้ MPU จะมีเวลาทั้งหมดในการ access display RAM ได้โดยไม่เกิดการ flicker บนจอ transition จากต่ำเป็นสูง ของ FS จะเกิดขึ้นพร้อมกับ trailing edge ของ เวกอร์ซิงค์พัลส์

HORIZONTAL SYNC (\overline{HS})

\overline{HS} pulse จะเกิดขึ้นเมื่อฮอริซิงค์พัลส์ เสร็จสิ้นลง โดย VDG transition จาก high เป็น low ของ \overline{HS} output จะเกิดขึ้นพร้อมกับ leading edge ของ เมื่อฮอริซิงค์พัลส์

ROW PRESET (\overline{RP})

เมื่อต้องการใช้ external character generator ROM กับ VDG อย่างไรก็ตาม external 4 bit counter จะต้องมีเพิ่มเพื่อใช้ในการเลือกแถว จะถูก clock โดยใช้สัญญาณ \overline{HS} และจะเคลียร์ โดยสัญญาณ \overline{RP}

MODE CONTROL LINES INPUT ($\overline{A/G}$, $\overline{A/S}$, $\overline{INT/EXT}$, GM0, GM1, CSS, INV)

เราสามารถเลือกโหมดของ VDG ได้จากตารางที่ 2.1

ตารางที่ 2.1 โหมดการทำงานของ VDG

$\overline{A/G}$	$\overline{A/S}$	$\overline{INT/EXT}$	INV	GM2	GM1	GM0	Alpha / Graphic Mode	Select	# of Color
0	0	0	0	X	X	X	Internal Alphanumeric		2
0	0	0	1	X	X	X	Internal Alphanumeric Inverted		
0	0	1	0	X	X	X	External Alphanumeric		
0	0	1	1	X	X	X	External Alphanumeric Inverted		
0	1	0	X	X	X	X	Semigraphic 4 (SG4)		8
0	1	1	X	X	X	X	Semigraphic 6 (SG6)		8
1	X	X	X	0	0	0	64 x 64 Color Graphics One (CG1)		4
1	X	X	X	0	0	1	128x64 Resolution Graphics One (RG1)		2
1	X	X	X	0	1	0	128 x 64 Color Graphics Two (CG2)		4
1	X	X	X	0	1	1	128x96 Resolution Graphics Two (RG2)		2
1	X	X	X	1	0	0	128 x 96 Color Graphics Three (CG3)		4
1	X	X	X	1	0	1	128x92 Resolution Graphics Three (RG3)		2
1	X	X	X	1	1	0	128x192 Color Graphics Six (CG6)		4
1	X	X	X	1	1	1	256x192 Resolution Graphics Six (RG6)		2

2.4 ทฤษฎีและหลักการของไมโครคอนโทรลเลอร์

2.4.1 ไมโครคอนโทรลเลอร์ 8031

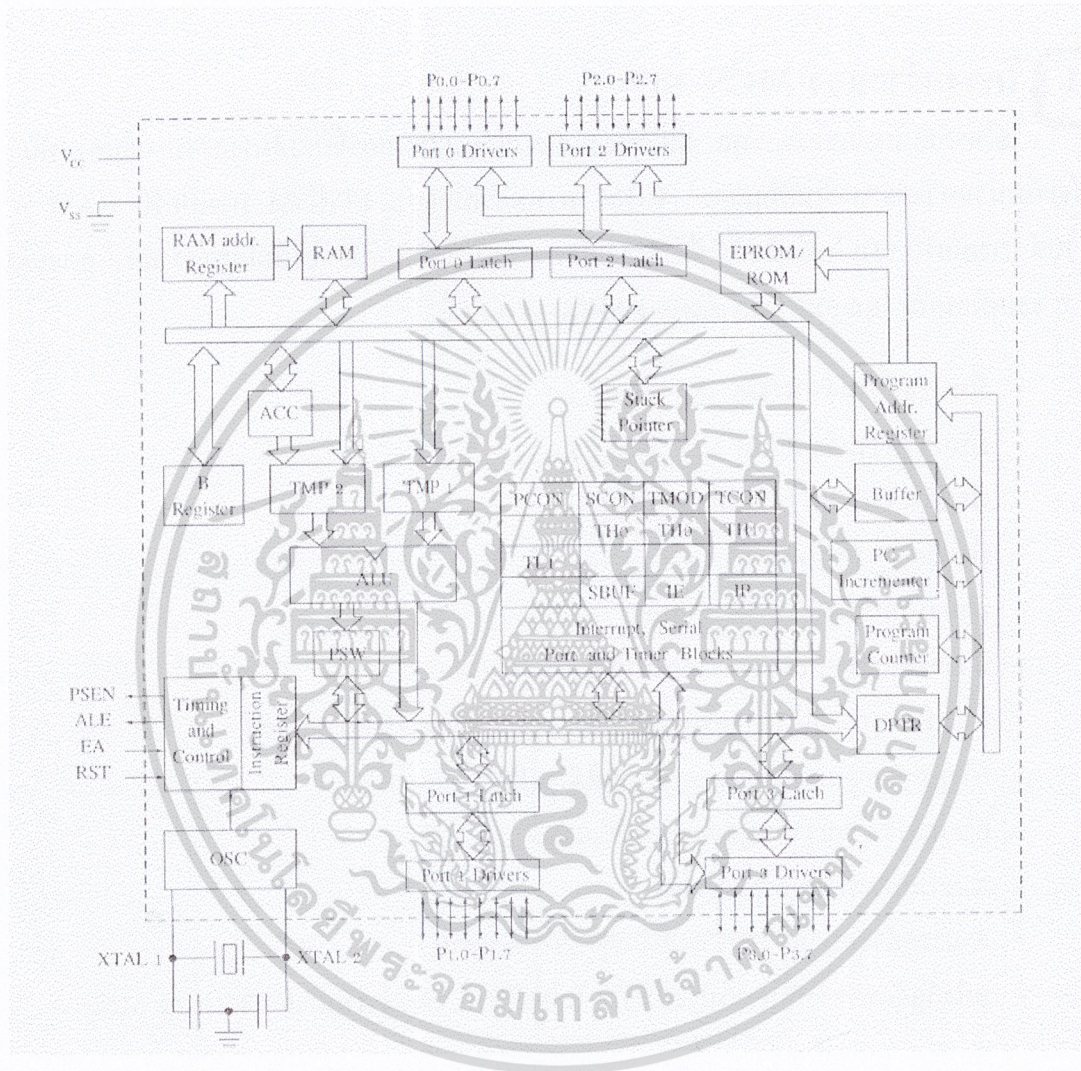
8031 เป็นไมโครคอนโทรลเลอร์ ในตระกูล MCS-51 ซึ่งเป็นไมโครคอนโทรลเลอร์ขนาด 8 บิต ความก้าวหน้าทางด้านเทคโนโลยีที่พัฒนาไปอย่างรวดเร็ว ดังนั้นไมโครคอนโทรลเลอร์ตระกูล MCS-51 จึงได้ถือกำเนิดขึ้นมา โดยมีการใช้เทคโนโลยี HMOS ความจำมากและยังเพิ่มความสามารถของวงจรภายในให้มากยิ่งขึ้น เช่น มีพอร์ตสื่อสารแบบอนุกรมเพื่อรับและส่งข้อมูลได้ด้วยตัวเอง เพิ่มคำสั่งที่ใช้ในการเขียนโปรแกรมให้มากขึ้น แต่ใช้เวลาในแต่ละคำสั่งสั้นลง และคำสั่งที่เพิ่มขึ้นช่วยทำให้การเขียนโปรแกรมคล่องตัวและสะดวกขึ้นมากกว่าเดิมมาก ด้วยเหตุนี้การนำไมโครคอนโทรลเลอร์ตระกูล MCS-51 ไปประยุกต์ใช้งานในด้านต่างๆซึ่งสามารถทำได้สะดวกและคล่องตัว ได้รับความนิยมนำมาใช้ในงานระบบควบคุมต่างๆ เช่น งานระบบควบคุมเครื่องใช้ไฟฟ้าภายในบ้าน ระบบแสดงผลและระบบเตือนภัย เป็นต้น เนื่องจากไมโครคอนโทรลเลอร์ที่มีขีดความสามารถสูงพอสมควร สามารถใช้ได้ทั้งงานขนาดเล็กและขนาดกลางซึ่งไม่มีการคำนวณที่ไม่ซับซ้อนมาก

คุณสมบัติที่น่าสนใจของ 8031 ประกอบด้วย

1. หน่วยความจำแบบ RAM ภายใน 128 ไบต์
2. มีวงจรออสซิลเลเตอร์ภายใน
3. สามารถทำการประมวลผลข้อมูลแบบบิตได้
4. พอร์ตอินพุตเอาต์พุตแบบขนาน ขนาด 8 บิต จำนวน 4 พอร์ต สามารถแยกทำงานได้อย่างอิสระ มีจาสัญญาณอินพุต/เอาต์พุตจำนวน 32 บิต
5. สามารถรับและส่งข้อมูลอนุกรมได้ในตัว
6. สามารถเชื่อมต่อกับหน่วยความจำโปรแกรมภายนอก (external program memory) โดยอ้างตำแหน่งแอดเดรสได้ถึง 64 กิโลไบต์

2.4.2 สถาปัตยกรรมของ 8031

8031 มี Block Diagram ดังรูปที่ 3.1 ประกอบด้วย ส่วนต่างๆ ภายในดังนี้



รูปที่ 2.17 สถาปัตยกรรมของ MCS-51

2.4.3 หน่วยความจำข้อมูลภายใน

MCS – 51 มีหน่วยความจำภายใน RAM ในขนาด 128 ไบต์ แบ่งได้ตามประเภทของการทำงานดังนี้

1. บริเวณแอดเดรส 00H-1FH จำนวน 32 ไบต์ แบ่งออกเป็นกลุ่มหรือแบงก์ (Bank) ของข้อมูลจำนวน 8 ไบต์ จำนวน 4 กลุ่ม พื้นที่ของข้อมูลในแต่ละกลุ่มจะถูกใช้งานในฐานะของ รีจิสเตอร์ใช้งานทั่วไป ซึ่งมีรีจิสเตอร์ R0-R7 ดังตารางที่ 2.2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากตารางที่ 2.2 จะเห็นว่าชื่อของรีจิสเตอร์ไม่ว่าจะอยู่ในรีจิสเตอร์แบงก์ใดก็จะมีชื่อ R0-R7 เหมือนกัน ทั้งสิ้น ดังนั้นในการใช้งานผู้ใช้จะต้องทำการสวิตช์ว่าจะเลือกใช้รีจิสเตอร์แบงก์ใด ซึ่งในการเลือกนั้นทำได้โดยการกำหนดค่าบิตที่อยู่ในรีจิสเตอร์ PSW ดังตารางที่ 2.3 เมื่อมีการกำหนดรีจิสเตอร์แบงก์ที่จะทำงานแล้วพื้นที่หน่วยความจำอื่นที่เหลือสามารถนำไปใช้งานในลักษณะของหน่วยความจำข้อมูลภายในตามปกติ ด้วยการอ้างหมายเลขของแอดเดรสนั้นโดยตรง

2. บริเวณแอดเดรส 20H-2FH จำนวน 16 ไบท์ บริเวณพื้นที่นี้เป็นส่วนสำหรับผู้ใช้ ซึ่งจะมีคุณสมบัติต่างไปจากหน่วยความจำส่วนอื่นๆ เนื่องจากผู้ใช้สามารถอ้างถึงหน่วยความจำบริเวณนี้ได้ทั้งในลักษณะของไบท์ข้อมูลเช่นปกติ หรืออาจจะเป็นบิตข้อมูลได้โดยตรง ดังนั้นหากมองในลักษณะของบิตข้อมูลแล้ว จะมีพื้นที่ตัวแปรแบบบิตให้ใช้งานได้มากถึง 128 บิต โดยที่ตำแหน่งแรกของบิตจะเป็นบิตซึ่งเริ่มนับจากบิตนัยสำคัญต่ำสุด (LSB) ของแอดเดรส 20H เรื่อยไปจนถึงบิตที่ 127 ซึ่งเป็นบิตนัยสำคัญสูงสุด (MSB) ของแอดเดรส 2FH

ตารางที่ 2.2 แสดงตำแหน่งแอดเดรสของรีจิสเตอร์ใช้งานทั่วไป

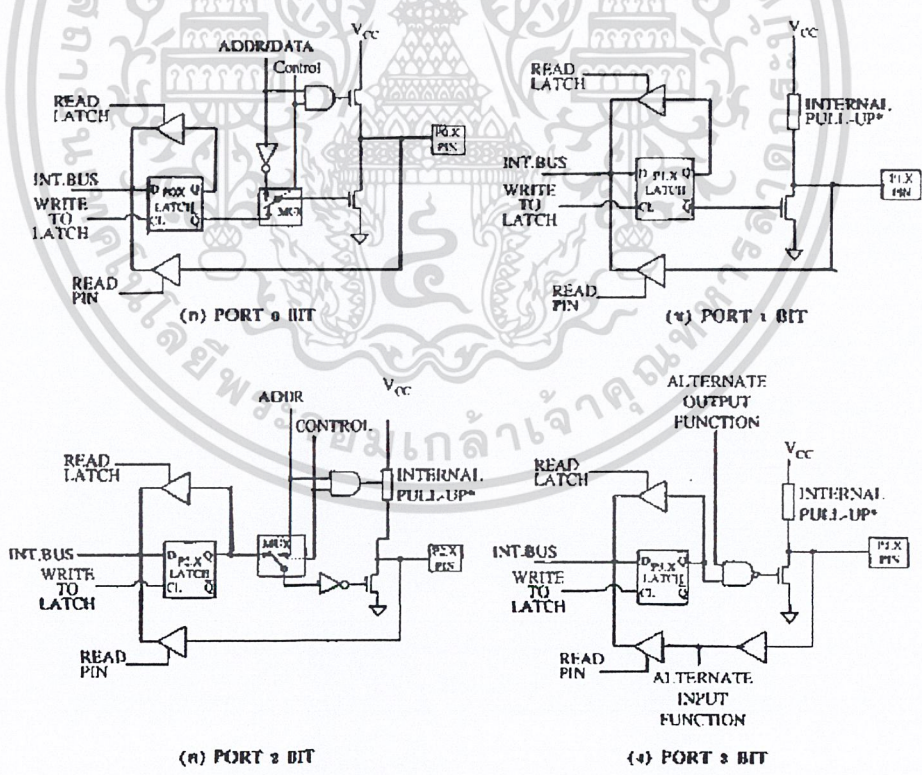
แอดเดรส	รีจิสเตอร์แบงก์	ชื่อรีจิสเตอร์ใช้งาน
00H – 07H	0	R0 – R7
08H – 0FH	1	R0 – R7
10H – 17H	2	R0 – R7
18H – 1FH	3	R0 – R7

ตารางที่ 2.3 การเลือกรีจิสเตอร์แบงค์ของรีจิสเตอร์ใช้งานทั่วไป

รีจิสเตอร์	บิต RS1	บิต RS1	ตำแหน่งหน่วยความจำ
แบงค์ 0	0	0	0000H
แบงค์ 1	0	1	0008H
แบงค์ 2	1	0	0010H
แบงค์ 3	1	1	0018H

2.4.4 พอร์ตอินพุท/เอาต์พุทของ 8031

ไมโครคอนโทรลเลอร์ตระกูล MCS-51 มีโครงสร้างของพอร์ตที่สามารถใช้งานแบบขนานได้จำนวนทั้งหมด 4 พอร์ต เรียกชื่อเรียงตามลำดับเป็นพอร์ต 0, 1, 2 และ 3 ตามลำดับเป็นพอร์ตขนาด 8 บิต ทั้งหมด การใช้งานพอร์ตสามารถทำได้ทั้งในลักษณะของเส้นสัญญาณเดี่ยวๆ หรือกลุ่มของสัญญาณก็ได้ นอกจากนี้พอร์ต 0-3 ยังสามารถนำไปใช้งานอื่นๆที่ไม่ใช่พอร์ตอินพุท/เอาต์พุทได้ โดยพอร์ต 0 ทำหน้าที่มัลติเพล็กซ์ระหว่างบัสแอดเดรสไบท์ต่ำ และบัสข้อมูล สำหรับพอร์ต 3 นั้น นอกเหนือจากความสามารถเช่นพอร์ตปกติแล้ว สามารถนำไปเป็นขาสัญญาณของการอินเตอร์รัพต์ต่างๆ รวมทั้งสร้างสัญญาณควบคุม RD และ WR เพื่อทำหน้าที่อ่านและเขียนหน่วยความจำข้อมูลภายนอกด้วย การใช้งานพอร์ตลักษณะงานแบบอื่นๆ ที่ไม่ใช่เป็นพอร์ตแบบอินพุท/เอาต์พุทนี้จะดำเนินการโดยซีพียูโดยอัตโนมัติ แสดงดังรูปที่ 2.18



รูปที่ 2.18 โครงสร้างแต่ละบิตภายในพอร์ตอินพุท/เอาต์พุท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.4.5 โครงสร้างการทำงานของพอร์ทของMCS-51

จากรูปที่ 2.18 แสดงโครงสร้างของแต่ละบิตภายในพอร์ทของ 8031 จะเห็นว่าพอร์ท 0 ต่างจากพอร์ทอื่นตรงที่ไม่มีตัวต้านทานพูล-อัพเอาไว้ภายใน วงจรประกอบอื่นๆภายในจะมีฟลิป ฟลอป แบบ D-type ซึ่งมีผลให้พอร์ทสามารถแลตซ์หรือค้างสถานะได้ นอกจากนี้ ในส่วนเอาต์พุตเฉพาะ พอร์ท 0 และพอร์ท 2 จะมีโครงสร้างที่ทำหน้าที่คล้ายสวิทช์เพิ่มเติมขึ้น เพื่อควบคุมให้อเอาต์พุตนี้ต่อกับส่วนของทรานซิสเตอร์ในระหว่างที่ไม่ได้มีการทำงานในลักษณะของบัตแอดเดรสหรือบัตข้อมูลด้วยสำหรับบัพเฟอร์จำนวน 2 ตัวของทุกบิตในพอร์ทนั้น มีการทำงานแยกอิสระ โดยที่ตัวที่อยู่ด้านบนจะยอมให้สัญญาณผ่านก็ต่อเมื่อมีการอ่านค่าของข้อมูลค้างไว้ ส่วนอีกตัวหนึ่งซึ่งอยู่ด้านล่างจะยอมให้สัญญาณผ่านก็ต่อเมื่อมีการอ่านค่าของสัญญาณเท่านั้น

2.4.5.1 การใช้งานพอร์ทเป็นอินพุต

การใช้งานพอร์ทเป็นอินพุตข้อมูลนั้น ก่อนอื่นจะต้องส่งข้อมูลค่า “1” ออกมาที่บิตของพอร์ทก่อนเพื่อหยุดการทำงานของทรานซิสเตอร์ที่ทำหน้าที่จับสัญญาณเอาต์พุตบิตนั้น ทำให้ขาสัญญาณของบิตถูกต่อเข้ากับตัวต้านทานซึ่งทำหน้าที่พูล-อัพ ภายใน ซึ่งมีผลให้บิตนั้นๆของพอร์ท 1, 2 และ 3 มีสถานะลอจิกสูง ตัวต้านทานนี้มีค่าที่สูงประมาณ $50\text{ K}\Omega$ ซึ่งเป็นค่าที่สูงมาก ทำให้อุปกรณ์ภายนอกสามารถจับสัญญาณของพอร์ท 0 นั้น แม้ว่าจะมีการทำงานที่คล้ายคลึงกับบิตของพอร์ทอื่นๆ แต่เนื่องจากการที่ไม่มีตัวต้านทานทำหน้าที่พูล-อัพ ภายในไว้ทำให้เมื่อทรานซิสเตอร์ที่ทำหน้าที่หยุดทำงาน ก็จะเป็นผลให้ขาสัญญาณนี้อยู่ในสถานะอิมพีแดนซ์สูงแทน

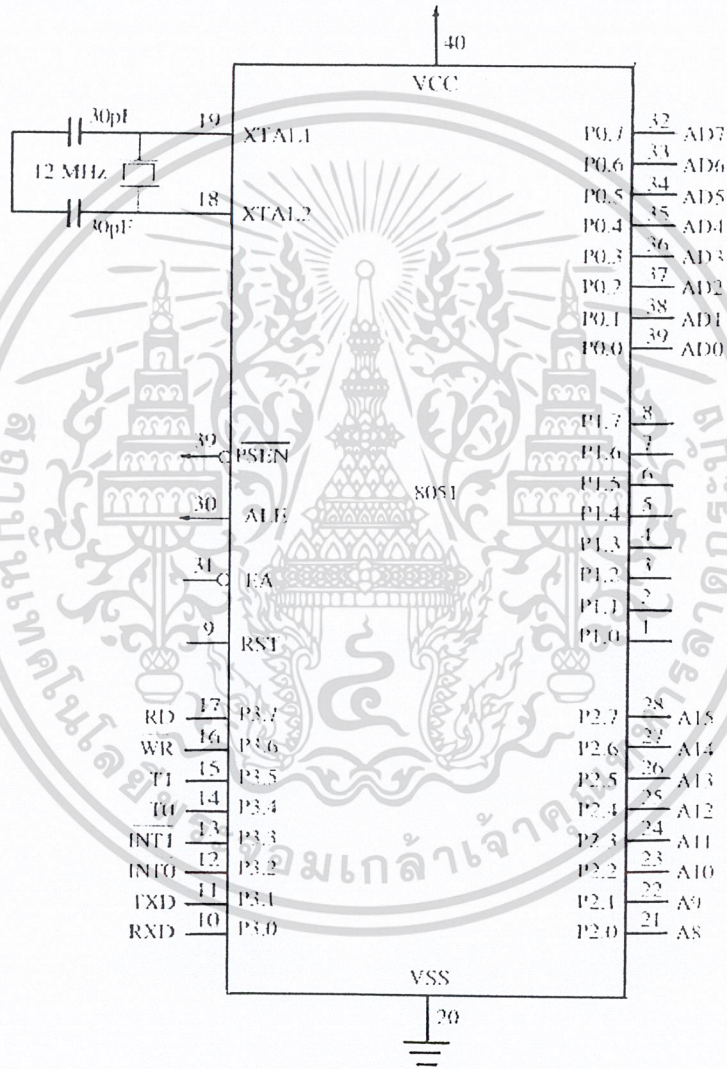
2.4.5.2 การใช้งานพอร์ทเป็นเอาต์พุต

เมื่อมีการส่งข้อมูลที่มีค่าเป็น 0 ให้กับแต่ละบิตของพอร์ททุกพอร์ท ข้อมูลจะถูกส่งไปให้กับฟลิปฟลอป ซึ่งจะค้างค่านี้เอาไว้และมีผลทำให้ทรานซิสเตอร์ที่ทำให้หน้าที่จับสัญญาณเอาต์พุตนั้นทำงานดังนั้นขาสัญญาณก็จะมีสถานะต่ำด้วย

ส่วนการส่งค่าข้อมูลที่มีค่าเป็น 1 ออกมานั้น ในกรณีที่เป็นการทำงานในแต่ละบิตของพอร์ท 1, 2 หรือ 3 จะทำให้ทรานซิสเตอร์ที่ทำหน้าที่จับสัญญาณเอาต์พุตหยุดทำงาน มีผลทำให้ขาของสัญญาณไว้กับลอจิกสูงด้วยตัวต้านทานที่ พูล-อัพ อยู่ภายในนั้น แต่สำหรับการทำงานในแต่ละบิตของพอร์ท 0 จะมีผลที่แตกต่างกันออกไป โดยขาสัญญาณจะเป็นสถานะอิมพีแดนซ์สูงแทน เนื่องจากไม่มีตัวต้านทานภายในเชื่อมต่อยุ่กันเอง ดังนั้นในการใช้งานพอร์ท 0 เป็นเอาต์พุตข้อมูลจึงจำเป็นต้องใช้ตัวต้านทานภายนอกพูล-อัพ สัญญาณไว้กับลอจิกสูงแทน

2.4.6 ตำแหน่งขาของไมโครคอนโทรลเลอร์ 8031

ไมโครคอนโทรลเลอร์ 8031 มีตำแหน่งขา ดังรูปที่ 2.19



รูปที่ 2.19 ตำแหน่งขาของ 8031

หน้าที่การใช้งานแต่ละขาของชิพไมโครคอนโทรลเลอร์ 8031 มีดังนี้

- ขา Vcc (ขา 40) สำหรับต่อแหล่งจ่ายแรงดันกระแสตรงขนาด 5 โวลต์
- ขา Vss (ขา 20) สำหรับต่อลงกราวนด์
- ขาพอร์ท 0 (P0.0 – 0.7) (ขา 32-39) มี 8ขา ใช้เป็นขาสำหรับพอร์ท 0 ขนาด 8 บิต พอร์ทนี้ใช้ในการติดหน่วยความจำสำหรับเก็บโปรแกรมและข้อมูลภายนอกชิพด้วย โดยส่งค่าแอดเดรสไบต์ (A0-A7) และมัลติเพล็กซ์กับการรับส่งข้อมูล (D0-D7) จากหน่วยความจำภายนอก ในระหว่างการเขียนหรืออ่านข้อมูล
- ขาพอร์ท 1 (ขา 1-8) มี 8 ขา ใช้เป็นขาสำหรับพอร์ท 1 (P1.0 – P1.7) สามารถใช้งานเป็น อินพุทหรือเอาต์พุทพอร์ททั่วไปได้ หากต้องการใช้งานเป็นอินพุทพอร์ท ต้องโหลดค่า 1 ไปยังแต่ละบิตของพอร์ทนี้ก่อน
- ขาพอร์ท 2 (ขา 21-28) มี 8 ขาใช้เป็นขาสำหรับพอร์ท 2 (P2.0 – P2.7) ขนาด 8 บิตใช้สำหรับส่งค่าแอดเดรสไบต์สูง (A8-A15) ในการติดต่อกับหน่วยความจำภายนอก
- ขาพอร์ท 3 (ขา 10-17) มี 8ขาใช้เป็นขาสำหรับพอร์ท 3 (P3.0 – P3.7) สามารถใช้งานเป็น อินพุทหรือเอาต์พุทพอร์ททั่วไป หากต้องการใช้งานเป็นอินพุทพอร์ท ต้องโหลดค่า 1 ไปยังแต่ละบิตของพอร์ทนี้เสียก่อน นอกจากนี้ยังใช้งานในหน้าที่พิเศษต่างๆอีกหลายอย่างดังนี้
 - ขา P3.0 ใช้รับข้อมูลจากภายนอกแบบอนุกรม
 - ขา P3.1 ใช้ส่งข้อมูลไปภายนอกแบบอนุกรม
 - ขา P3.2 ใช้เป็นอินพุทเพื่อรับสัญญาณอินเตอร์รัพชนิดที่ 0
 - ขา P3.3 ใช้เป็นอินพุทเพื่อรับสัญญาณอินเตอร์รัพชนิดที่ 1
 - ขา P3.4 สัญญาณอินพุทให้เคาน์เตอร์ของ ไทม์เมอร์ 0
 - ขา P3.5 สัญญาณอินพุทให้เคาน์เตอร์ของ ไทม์เมอร์ 1
 - ขา P3.6 ใช้เป็นสัญญาณควบคุมการเขียนข้อมูลไปยังหน่วยความจำสำหรับเก็บข้อมูลนอก ชิพ ขา P3.6 ใช้เป็นสัญญาณควบคุมการอ่านข้อมูลไปยังหน่วยความจำสำหรับเก็บข้อมูลนอก ชิพ
- ขา RST (ขา 9) ใช้สำหรับการรีเซ็ตวงจรทุกอย่างภายในชิพ เพื่อเริ่มต้นการทำงานใหม่ การรีเซ็ตชิพ 8031 ขานี้ต้องมีสถานะ 1 เป็นเวลาอย่างน้อย 2 แมทซินไซเคิลระหว่างที่ออสซิลเลเตอร์ยังทำงานอยู่ โดยต้องต่อตัวต้านทานค่า 8.2 K Ω เพื่อทำหน้าที่ पुल-ดาวน์ (รักษาค่าแรงดันไฟฟ้าให้มีสถานะเป็นกราวนด์) และเพื่อให้ตัวชิพรีเซ็ตเองเมื่อเริ่มจ่ายพลังงานให้ต่อตัวเก็บประจุขนาด 10ไมโครฟารัดคร่อมระหว่างขา RST กับ Vcc

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- ขา ALE (ขา 30) เป็นขาสำหรับใช้ส่งสัญญาณออกไปภายนอก เพื่อควบคุมการแลตช์ค่าแอดเดรสไบท์ต่ำ (Address Latch Enable) จากพอร์ท 0 ในระหว่างการติดต่อหน่วยความจำสำหรับเก็บโปรแกรมหรือข้อมูลภายนอก ปกติเมื่อไม่มีการติดต่อหน่วยความจำภายนอกขานี้จะส่งสัญญาณพัลส์ออกมาด้วยความถี่ 1/8 ของความถี่ออสซิลเลเตอร์ที่ใช้ตลอดเวลา ดังนั้นเราสามารถเพิ่มความถี่ที่ได้จากขาไปใช้งานอย่างอื่นได้ แต่ความถี่ที่ขาจะลดลงครึ่งหนึ่งในระหว่างติดต่อกับหน่วยความจำสำหรับเก็บข้อมูลที่อยู่ภายนอกชิพ

- ขา PSEN (ขา 29) ใช้ส่งสัญญาณสโตรบเพื่อให้ส่งคำสั่งจาก โปรแกรมที่เก็บไว้ในหน่วยความจำภายนอกชิพ (Program Strobe Enable) เมื่อทำงานด้วยโปรแกรมชิพภายนอก ขานี้จะส่งสัญญาณ Strobe สองครั้งในแต่ละเมทรีนไซเคิล แต่ในช่วงการเขียนหรืออ่านข้อมูลกับหน่วยความจำภายนอกหรือเมื่อใช้โปรแกรมจากหน่วยความจำสำหรับเก็บโปรแกรมภายในชิพจะไม่มีสัญญาณออกมาจากขา

- ขา EA (ขา 31) ปกติในไมโครคอนโทรลเลอร์ตระกูล MCS-51 จะใช้ขานี้เลือกว่าจะให้ชิพทำงานจากโปรแกรมที่อยู่ภายในหรือภายนอกชิพ โดยหากขานี้มีสถานะเป็น "0" หมายถึงให้ใช้โปรแกรมจากหน่วยความจำที่เก็บโปรแกรมภายนอก หากขานี้มีสถานะเป็น "1" หมายถึงบังคับให้ MCS-51 ใช้โปรแกรมจากหน่วยความจำสำหรับเก็บโปรแกรมภายในชิพ แต่เนื่องจากชิพ 8031 ไม่มีหน่วยความจำภายในชิพ ดังนั้นในการต่อใช้งานจะต้องต่อขานี้ลงกราวด์เสมอเพื่อใช้งานกับหน่วยความจำโปรแกรมภายนอก

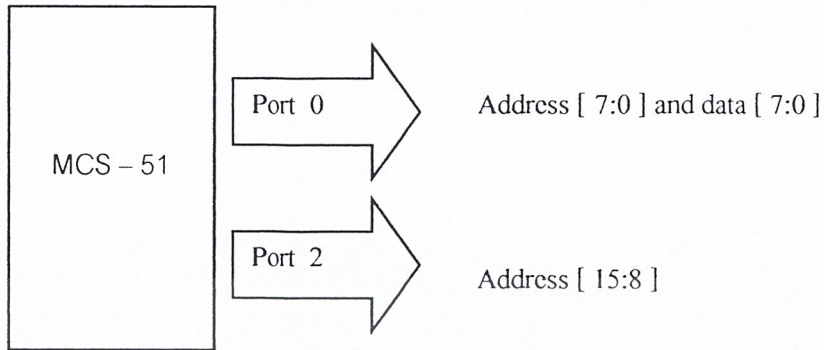
- ขา XTAL 1 (ขา 19) ใช้ต่อคริสตัลภายนอก โดยเป็นอินพุตเข้าสู่วงจรรอสซิลเลเตอร์

- ขา XTAL 2 (ขา 18) ใช้ต่อคริสตัลภายนอก โดยเป็นอินพุตเข้าสู่วงจรรอสซิลเลเตอร์

2.5 การต่อใช้งานไมโครคอนโทรลเลอร์ 8031

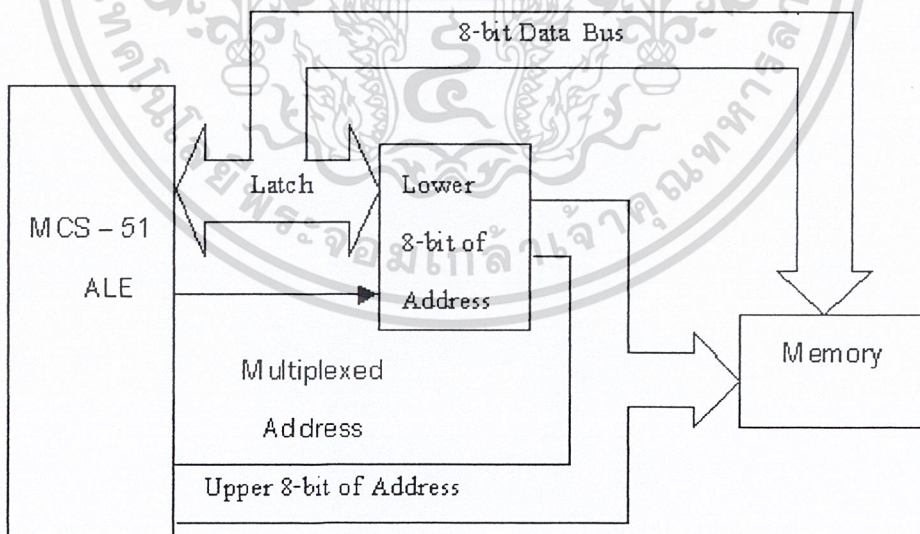
2.5.1 การต่อ CPU 8031 กับหน่วยความจำภายนอก

สัญญาณที่ใช้ในการติดต่อหน่วยความจำประกอบด้วยแอดเดรสบัส บัสข้อมูลและบัสควบคุม ใน MCS-51 สามารถติดต่อกับหน่วยความจำได้ 64 กิโลไบต์ โดยจะใช้สายแอดเดรสบัส 16 เส้น ส่งออกพอร์ท 0 และพอร์ท 2 โดยพอร์ท 0 จะใช้ Multiplexed ระหว่างแอดเดรสบัสและบัสข้อมูล โดยแอดเดรสบัสจะเป็นบิตต่ำ A0-A7 แสดงดังรูปที่ 2.20



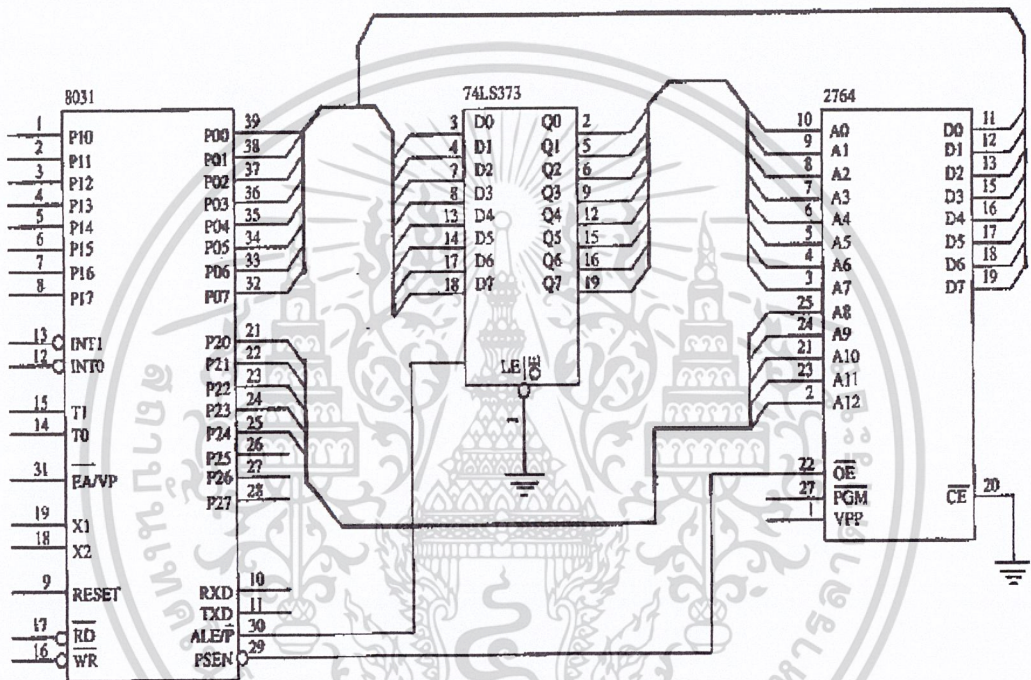
รูปที่ 2.20 สัญญาณของ MCS-51 ที่ใช้ติดต่อกับตำแหน่งหน่วยความจำ

ในการเชื่อมต่อกับหน่วยความจำจะต้องมีอุปกรณ์ภายนอกมาแลตช์ สัญญาณแอดเดรสบัสที่ได้จากพอร์ท 0 เพื่อที่จะใช้พอร์ท 0 เป็นบัซข้อมูลต่อไป อุปกรณ์ที่นิยมใช้ได้แก่ ไอซี TTL เมอร์ 74LS373 โดยใช้สัญญาณที่ใช้ แลตช์ คือสัญญาณ ALE จาก MCS-51



รูปที่ 2.21 การต่อ MCS-51 กับหน่วยความจำ

5. ขา 17 (RD) เป็นขาสัญญาณการอ่านข้อมูลจากหน่วยความจำข้อมูลภายนอก
6. ขา 16 (WR) เป็นขาสัญญาณการเขียนข้อมูลจากซีพียูไปยังหน่วยความจำข้อมูลภายนอก
7. ขา 29 (PSEN) เป็นขาสัญญาณออกจากซีพียูขณะทำการเฟตซ์ สัญญาณจากหน่วยความจำโปรแกรม



รูปที่ 2.22 การต่อ 8031 กับ EPROM

จากรูปที่ 2.22 พอร์ต P0 จะทำหน้าที่เป็นทั้งแอดเดรสและดาต้า โดยเมื่อซีพียูต้องการอ่านโปรแกรมจะส่งเป็นแอดเดรสไบต์ต่ำออกทางพอร์ต P0 และส่งสัญญาณ ALE ให้กับ 74LS373 ทำการแลตซ์เพื่อเป็นแอดเดรสของหน่วยความจำต่อไป ส่วน A8-A15 จะออกทางพอร์ต P2 เมื่อถึงไชนเคลของการเฟตซ์คำสั่งที่ขา PSEN (29) ของ CPU จะส่งพัลส์ลอจิก "0" ออกมา ซึ่งจากวงจร ขานี้ถูกต่ออยู่กับ 2764 ข้อมูลใน 2764 จะถูกส่งออกมาทาง D0 - D7 ไปยังพอร์ต P0 ของซีพียูเพื่อนำคำสั่งไปแปลต่อไป

ในการอ่านหน่วยความจำโปรแกรมและการอ่านหรือเขียนหน่วยความจำข้อมูล การเชื่อมต่อขาแอดเดรสบัตและบัตข้อมูลจะเหมือนกัน ถ้าหน่วยความจำทั้งสองอยู่ตำแหน่งเดียวกัน แต่จะแยกกันด้วยสัญญาณควบคุม การติดต่อกับหน่วยความจำนั้นถ้าเป็นการติดต่อกับ ROM จะใช้สัญญาณ PSEN แต่ถ้าติดต่อกับ RAM จะใช้สัญญาณ RD และ WR ซึ่งแสดงค่าสัญญาณดังนี้

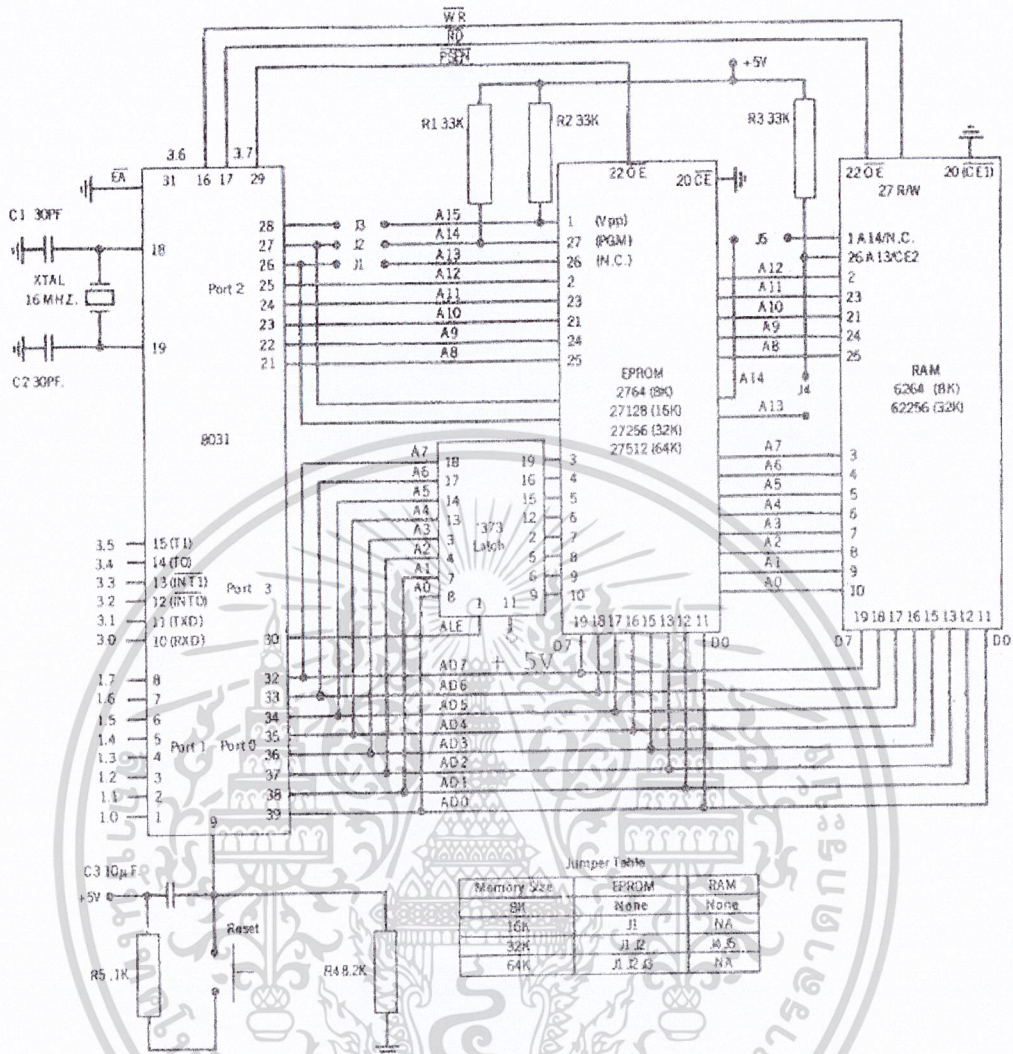
	PSEN	RD	WR
อ่านหน่วยความจำโปรแกรม	0	1	1
อ่านข้อมูลจากภายนอก	1	0	1
เขียนข้อมูลจากภายนอก	1	1	0

จะเห็นว่าระบบใช้ไอซีเบอร์ 74LS373 เป็นตัวแลตซ์ข้อมูลของพอร์ท 0 เพราะว่าพอร์ท 0 ต้องใช้เป็นบัตข้อมูลและแอดเดรสบัต เมื่อสัญญาณ ALE ส่งออกมา 74LS373 จะแลตซ์ข้อมูลของพอร์ท 0 เอาไว้เป็นค่าแอดเดรสไบต์ต่ำ (ส่วนแอดเดรสไบต์สูงคือพอร์ท 2) ส่วนสัญญาณ PSEN จะส่งออกมาเพื่ออ่านข้อมูลจากหน่วยความจำโปรแกรมเข้า MCS-51

การเชื่อมต่อ MCS-51 กับหน่วยความจำภายนอกนั้น สามารถติดต่อกับหน่วยความจำภายนอกได้ 64 KB ถ้าหากเรามีไอซีหน่วยความจำขนาด 64 KB สามารถติดต่อกันโดยตรงได้เลย ซึ่งขาแอดเดรสของหน่วยความจำขนาด 64 KB จะมี 16 เส้น ก็นำขา A8-A15 คู่ตรงกับพอร์ท 2 ของ MCS-51 ได้เลย แต่ถ้าหากเรามีโปรแกรมไม่มาก เช่นขนาด 6 KB เราอาจเลือกใช้ไอซีหน่วยความจำขนาด 8 KB ได้ ในที่นี้จะยกตัวอย่างการเชื่อมต่อไอซีหน่วยความจำขนาด 8 KB คือ EPROM เบอร์ 2764 ซึ่งลักษณะขาและการทำงานเป็นดังรูปที่ 2.22

การเชื่อมต่อหน่วยความจำภายนอกกับ MCS-51 ได้แก่ ALE, PSEN, Port 0, Port 1c และอุปกรณ์ที่ใช้แลตซ์ข้อมูลของพอร์ท 0 มีรายละเอียดดังนี้

1. ขา 31 ของ CPU (EA/VP) ถ้าต่อขานี้ลงกราวนด์จะเป็นการติดต่อกับโปรแกรมภายนอกซึ่งจะมีผลต่อพอร์ท P0 และ P1 ดังนี้
2. P0 (ขา 32-39) จะมีมัลติเพล็กซ์ระหว่างขาคาดำ D0-D7 และแอดเดรส A0-A7
3. P2 (ขา 21-28) จะเป็นแอดเดรส A8-A15 ในการใช้งานลักษณะนี้ พอร์ท P0 จะต้องมีตัวต้านทานพูล-อัพ ด้วย
4. ขา 30 (ALE/P) จะเป็นสัญญาณแอดเดรสแลตซ์อื่นาเปิดออกจากตัวชิพยู บอกรูปกรณ์ภายนอกให้ทำการแลตซ์ค่าแอดเดรสไบต์ต่ำที่ถูกส่งออกมาในขณะที่เฟลซ์คำสั่ง

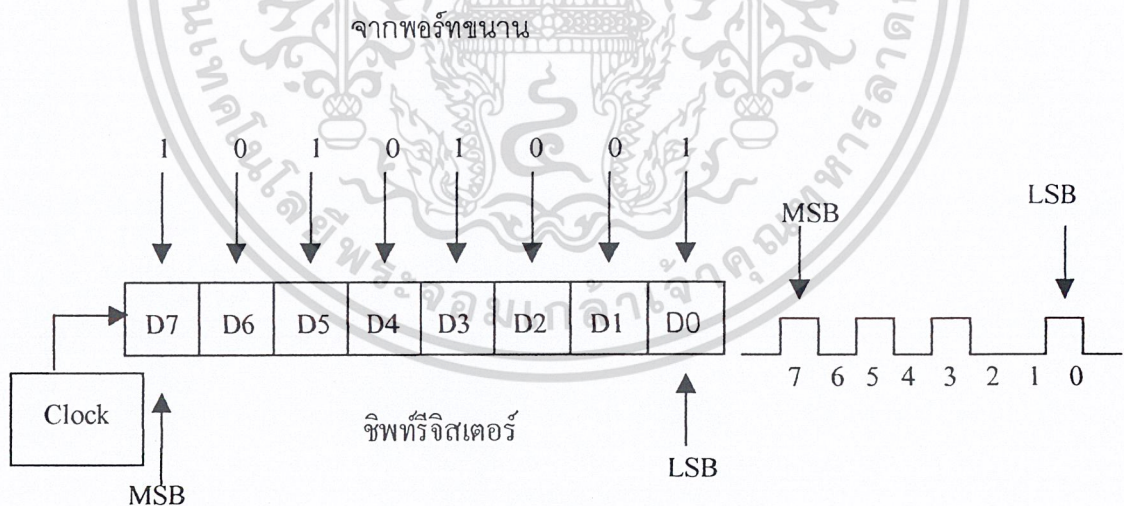


รูปที่ 2.23 การต่อ 8031 กับหน่วยความจำภายนอก EPROM และ RAM

จากวงจรในรูปที่ 2.23 การทำงานของวงจรยังคงเหมือนกับวงจรในรูปที่ 2.22 แต่มีการเพิ่มหน่วยความจำข้อมูล (Data Memory) ซึ่งเป็น RAM จากวงจรจะเห็นว่าซีพียูทำการคำสั่งเกี่ยวกับการอ่าน / เขียน หน่วยความจำภายนอก ดังนั้นทั้งหน่วยความจำโปรแกรมและหน่วยความจำข้อมูลจึงสามารถอยู่ในตำแหน่งเดียวกันได้ (0000 -1FFFH) เพราะในขณะที่ CPU อ่านโปรแกรมจาก ROM สัญญาณ PSEN จะแอกทีฟ ส่วนการอ่าน / เขียน RAM ซีพียูจะใช้สัญญาณ RD/WR ในการติดต่อ จึงทำให้สามารถใช้หน่วยความจำอยู่ในตำแหน่งเดียวกันได้

2.6 การรับส่งข้อมูลข้อมูลแบบอนุกรม

การรับส่งข้อมูลแบบอนุกรม คือการรับส่งข้อมูลที่ละบิตจนครบ 1 ไบท์ ถ้าต้องการส่งข้อมูล 1 ไบท์คือ D0-D7 อาจส่งบิต D0 ออกไปก่อนแล้วตามด้วย D1 ไปเรื่อยๆจนถึง D7 การส่งแบบอนุกรมเมื่อต้องการส่งข้อมูลเป็นระยะๆจะช่วยให้ประหยัดสายสัญญาณเนื่องจากจะใช้สายสัญญาณอย่างน้อย 2 เส้นคือ สายสัญญาณกับสายกราวด์ แต่การรับส่งข้อมูลจะใช้เวลานานเนื่องจากการเป็นบิตทีละบิต เมื่อไมโครคอมพิวเตอร์ต้องการส่งข้อมูลแบบอนุกรม ตัวไมโครคอมพิวเตอร์จะส่งข้อมูลออกไปทางพอร์ท ซึ่งเป็นพอร์ทแบบขนานก่อน จากนั้นจะมีอุปกรณ์มาต่อที่พอร์ทเพื่อแปลงข้อมูลแบบขนานให้เป็นแบบอนุกรมอีกทีหนึ่ง (Parallel – to – serial Conversion) ตัวแปลงข้อมูลนี้อาจพิจารณาได้ง่ายๆว่าเป็นชิพรีจิสเตอร์ดังรูปที่ 2.24 เมื่อข้อมูลที่จะส่งอยู่ในชิพรีจิสเตอร์ แล้วสัญญาณนาฬิกาจะเป็นตัวกระตุ้นให้ส่งข้อมูลบิตค่าออกไปในเวลาแรก จากนั้นจะส่งบิตต่อไปตามออกมา จากรูปที่ 2.24 จะเป็นการส่งข้อมูล A9H ออกไป



รูปที่ 2.24 การส่งข้อมูลแบบอนุกรม

สำหรับตัวรับข้อมูลแบบอนุกรมเมื่อตัวรับข้อมูลจะเป็นการรับเข้ามาในชิพทรีจีเอสเตอร์ แล้วส่งข้อมูลให้ไมโครคอมพิวเตอร์แบบขนานอีกทีหนึ่ง (serial to parallel) ระบบคอมพิวเตอร์ในปัจจุบันจะมีตัวแปลง parallel to serial และ serial to parallel) อยู่ในชิพไอซีเรียกว่า Universal Asynchronous Receiver Transmitter (UART) การส่งข้อมูลแบบอนุกรมนั้นจะต้องมีการเพิ่มเติมข้อมูลบางอย่างเข้าไปเพื่อให้การรับส่งข้อมูลสามารถทำงานได้อย่างถูกต้องมากขึ้น โดยมีการเติมค่าบิตต่างๆเข้าไปตามรูปที่ 2.25

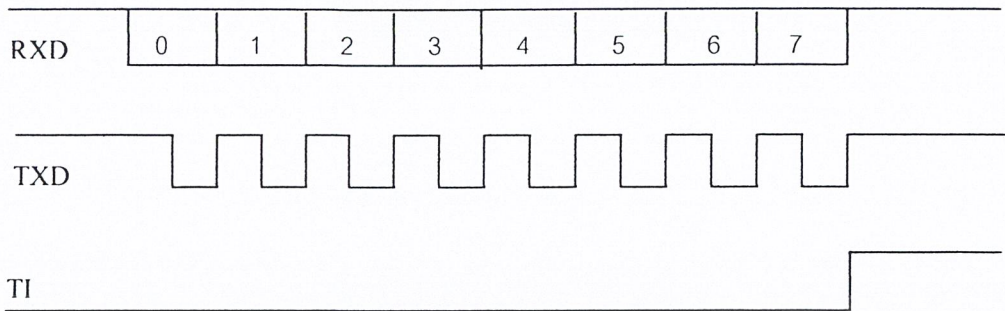
Stop	P	D7	D6	D5	D4	D3	D2	D1	D0	Start
------	---	----	----	----	----	----	----	----	----	-------

รูปที่ 2.25 บิตต่างๆ ของข้อมูลที่ส่งแบบอนุกรม

ถ้ามีการส่งข้อมูลแบบ 8 บิต จะต้องส่งบิตแรกออกไปก่อนเรียกว่าบิตเริ่มต้น (Start Bit) ถ้ามีการส่งข้อมูลหลายๆ ไบท์ออกมาบิตนี้จะเป็นตัวบอกว่ามีข้อมูลใหม่มาแล้ว โดยทั่วไปบิตเริ่มต้นมักจะมีระดับลอจิกเป็น “0” ต่อจากบิตเริ่มต้นจะเป็นข้อมูลบิต D0 – D7 จากนั้นจะตามด้วยบิตตรวจสอบความถูกต้อง (Parity Bit) ถ้าข้อมูล 8 บิตที่ส่งออกมา จำนวนของบิตที่มีค่าเป็น “1” เป็นจำนวนคู่ บิตนี้จะมีค่าเป็น “0” แต่ถ้าจำนวนของบิตมีค่าเป็น “1” เป็นคี่ บิตนี้จะมีค่าเป็น “1” จากนั้นข้อมูลที่ส่งออกไปจะตามด้วยบิตสิ้นสุดข้อมูล (Stop Bit) เพื่อเป็นการบอกว่าบิตที่ส่งมา 8 บิตนั้นหมดแล้ว ตัวบิต Stop อาจจะมีมากกว่า 1 บิตก็ได้เช่น 1.5 บิต , 2 บิต

MCS-51 ก็ับการรับส่งข้อมูลแบบอนุกรมทางค่านำส่งใช้ขา TXD (พอร์ท3.1) และทางค่านำรับใช้ขา RXD (พอร์ท3.0) ในการรับส่งข้อมูลในเวลาเดียวกันได้ เรียกว่าฟูลดูเพล็กซ์ (Full Duplex) SBUF ใช้เป็นบัฟเฟอร์สำหรับรับส่งข้อมูลแบบอนุกรม พอร์ทสื่อสารอนุกรมสามารถโปรแกรมการทำงานได้หลายโหมดด้วยกันโดยเลือกที่บิต SM1 และ SM0ซึ่งอยู่ในรีจิสเตอร์ควบคุม SCON การทำงานของพอร์ทสื่อสารอนุกรมมีดังนี้

โหมด 0 : พอร์ทสื่อสารอนุกรม 8 บิต โดยการส่งจะเลื่อนออกทีละบิตโดยส่งบิต D0 ออกไปก่อนทางขา RXD และไม่มีการส่ง start bit แต่จะส่ง shift clock ทางขา TXD (ความเร็ว 1/12 เท่าของ CPU Clock)

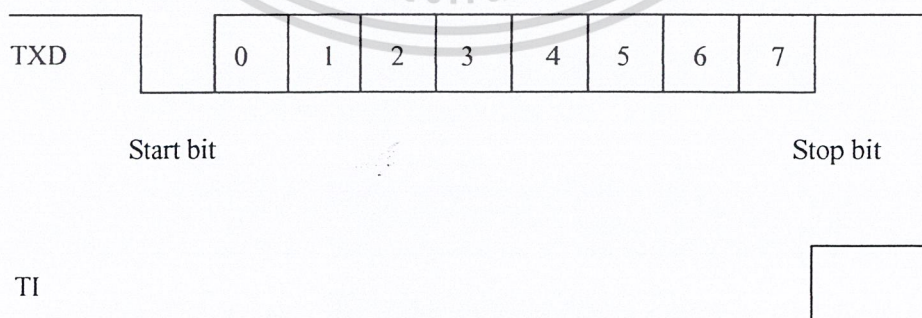


รูปที่ 2.26 โหมด 0 ของพอร์ตสื่อสารอนุกรม

โหมด 1 : พอร์ตสื่อสารอนุกรม 10 บิต ข้อมูล 8 บิต 1 start bit และ 1 stop bit และสามารถเปลี่ยนแปลง (ความเร็วในการส่งข้อมูลได้ โดยขึ้นกับบิต SMOD ใน PCON อัตราโอเวอร์โพล์ของ Timer 1)

$$\text{Baud Rate Mode 1,3} = \frac{2^{\text{SMOD}} \times \text{Oscillator Frequency}}{32 \times 12 \times [256 - (\text{TH1})]} \quad \text{โดยใช้ Timer 1}$$

$$\text{Baud Rate Mode 1,3} = \frac{\text{Oscillator Frequency}}{32 \times [65536 - (\text{RCAP2H}, \text{RCAP2L})]} \quad \text{โดยใช้ Timer 2}$$



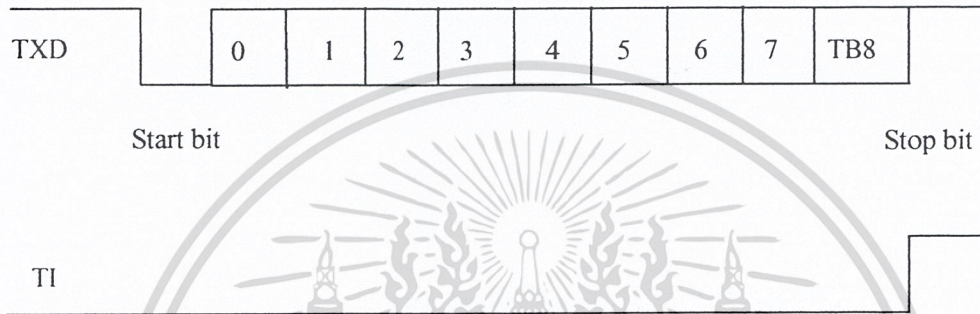
รูปที่ 2.27 โหมด 1 ของพอร์ตสื่อสารอนุกรม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โหมด 2 : พอร์ตสื่อสารอนุกรม 11 บิต ข้อมูล 9 บิต 1 start bit และ 1 stop bit (TB8 นิยมนำมาใช้ส่ง Parity bit) ความเร็วในการรับส่งข้อมูลเท่ากับ 1/32 และ 1/64 ของ CPU Clock โดยขึ้นกับบิต SMOD ใน PCON

$$\text{Baud Rate Mode 2} = (1/32) (\text{OSC Frequency}) \text{ เมื่อ SMOD} = 1$$

$$\text{Baud Rate Mode 2} = (1/64) (\text{OSC Frequency}) \text{ เมื่อ SMOD} = 0$$

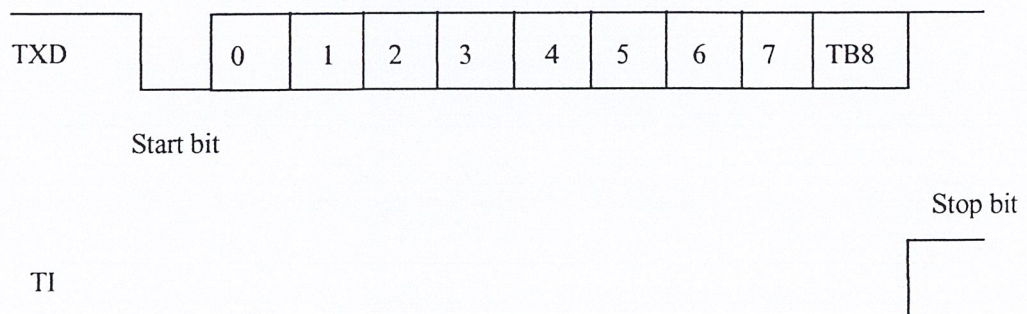


รูปที่ 2.28 โหมด 2 ของพอร์ตสื่อสารอนุกรม

โหมด 3 : พอร์ตสื่อสารแบบ 11 บิต UART โดยส่งข้อมูล 9 บิต 1 start bit และ 1 stop bit เหมือนโหมด 2 ยกเว้นอัตราความเร็วจะขึ้นกับบิต SMOD ใน PCON และอัตราโอเวอร์โพลวของ Timer 1,2 สำหรับ 8051 หรืออัตรา โอเวอร์โพลวของ Timer 2 (สำหรับ 80C154D)

$$\text{Baud Rate Mode 3} = \frac{2^{\text{SMOD}} \times \text{Oscillator Frequency}}{32 \times 12 \times [256 - (\text{TH1})]} \quad \text{โดยใช้ Timer 1}$$

$$\text{Baud Rate Mode 3} = \frac{\text{Oscillator Frequency}}{32 \times [65536 - (\text{RCAP2H}, \text{RCAP2L})]} \quad \text{โดยใช้ Timer 2}$$



การเชื่อมต่อไมโครโปรเซสเซอร์เพื่อรับส่งข้อมูลอนุกรม (UART)

มีอยู่ 2 โหมดด้วยกันคือ

1. Single Processor Mode

2. Multiprocessor Mode

Single Processor Mode : ในโหมดนี้เราจะใช้ไมโครคอนโทรลเลอร์ 2 ตัวเชื่อมเข้าหากัน

Multiprocessor Mode : ในโหมดนี้เราจะใช้ไมโครคอนโทรลเลอร์ 1 ตัวเป็นตัวแม่ (Master) และอีก 0 – 256 ตัวลูก (Slave) รีจิสเตอร์ที่ใช้ควบคุมการรับส่งอนุกรม

Serial Control Port Register (SCON)

MCS – 51 มีโหมดการทำงานของพอร์ทอนุกรมหลายโหมด การทำงานได้โดยเขียนข้อมูลไปยังรีจิสเตอร์ SCON ความหมายของแต่ละบิตแสดงดังตารางที่ 2.4 และ 2.5

ตารางที่ 2.4 บิตต่างๆของรีจิสเตอร์ SCON

บิต	ชื่อ	ตำแหน่ง	ความหมาย
SCON.7	SM0	9FH	บิตเลือกโหมดการทำงานบิต 0
SCON.6	SM1	9EH	บิตเลือกโหมดการทำงานบิต 1
SCON.5	SM2	9DH	บิตเลือกโหมดการทำงานบิต 2
SCON.4	REN	9CH	บิตแฟล็กกำหนดยอมให้มีการรับข้อมูล
SCON.3	TB8	9BH	ค่าของบิต 9 สำหรับการส่งข้อมูลในโหมด 2 และ 3 สามารถ Set และ Clear ได้โดย Software
SCON.2	RB8	9AH	ค่าของบิต 9 เมื่อรับข้อมูลเข้ามา
SCON.1	TI	99H	บิตแฟล็กแสดงการอินเตอร์รัพท์ภายหลังการส่งข้อมูลออกไป โดยจะ Set เมื่อส่งข้อมูลออกไปหมดแล้ว และสามารถ Set และ Clear ได้โดย Software
SCON.0	RI	98H	แฟล็กแสดงการอินเตอร์รัพท์ภายหลังการรับข้อมูลเข้ามา สามารถ Set และ Clear ได้โดย Software

ตารางที่ 2.5 โหมดต่างๆ ของการรับส่งแบบอนุกรม

SM0	SM1	MODE	ความหมาย
0	0	0	Shift Register อัตราเร็วในการรับหรือส่งเท่ากับ 1/12 ของ CPU osc
0	1	1	8-bit UART อัตราเร็วในการรับหรือส่งกำหนดได้จาก Timer 1,2
1	0	2	9-bit UART อัตราเร็วในการรับหรือส่งข้อมูลเท่ากับ 1/32 หรือ 1/64 ของความถี่ออสซิลเลเตอร์ ขึ้นอยู่กับบิต SMOD ใน PCON
1	1	3	9-bit UART อัตราเร็วในการรับหรือส่งข้อมูลกำหนดที่ Timer 1,2

SM2 : บิตเลือกการทำงานแบบ Single Processor Mode หรือ Multiprocessors Mode

1 : เลือก Multiprocessors Mode ใช้ได้กับโหมด 2,3

0 : เลือก Single Processor Mode ใช้ได้กับทุกโหมด

เมื่อเลือกการทำงานรับข้อมูลแบบ Multiprocessors Mode แล้ว

ถ้าข้อมูลบิตที่ 9 ที่รับได้มีค่าเป็น 1 RI จะเซต

ถ้าข้อมูลบิตที่ 9 ที่รับได้มีค่าเป็น 0 RI จะไม่เซต

REN : (Receive Enable) บิตควบคุมให้รับหรือไม่รับข้อมูล

1 : ให้รับข้อมูล

0 : ห้ามรับข้อมูล

TB8 : (Transmit bit D8) ข้อมูลบิตที่ 9 ที่จะส่งออกไปในโหมด 2,3 ให้ใส่ในบิตนี้ได้เลย

RB8 : (Receive bit D8) ข้อมูลบิตที่ 9 ที่รับเข้ามาจะเก็บในบิตนี้ (ข้อมูลบิตที่ 9 คือค่าใน TB8 ทางด้านส่งนั่นเอง)

TI : แฟล็ก TI จะเป็น 1 เมื่อสิ้นสุดการส่งข้อมูล 1 ไบท์

RI : แฟล็ก RI จะเป็น 1 เมื่อรับข้อมูลเสร็จ 1 ไบท์ (บิต RI, TI ผู้เขียนโปรแกรมจะต้องเคลียร์เอง)

การส่งข้อมูลแบบอนุกรมที่ความเร็วในการส่งมีค่าเป็นบิตต่อวินาที เรียกว่า “Baud Rate” ซึ่งการกำหนดสามารถดูได้จากตารางที่ 2.6

ตารางที่ 2.6 ตารางใช้ Timer 1 กำหนด Baud Rate

ค่า Baud Rate	Crystal	SMOD โหมด	ค่าใน TH1	ค่า Baud Rate ที่ได้	ค่าผิดพลาด
9,600	12.000	1	-7 (F9H)	8,923	7%
2,400	12.000	0	-13 (F3H)	2,404	0.16%
1,200	12.000	0	-16 (E6H)	1,202	0.16%
19,200	11.059	1	-3 (FDH)	19,200	0
9,600	11.059	0	-3 (FDH)	9,600	0
2,400	11.059	0	-12 (F4H)	2,400	0
1,200	11.059	0	-24 (E8H)	1,200	0

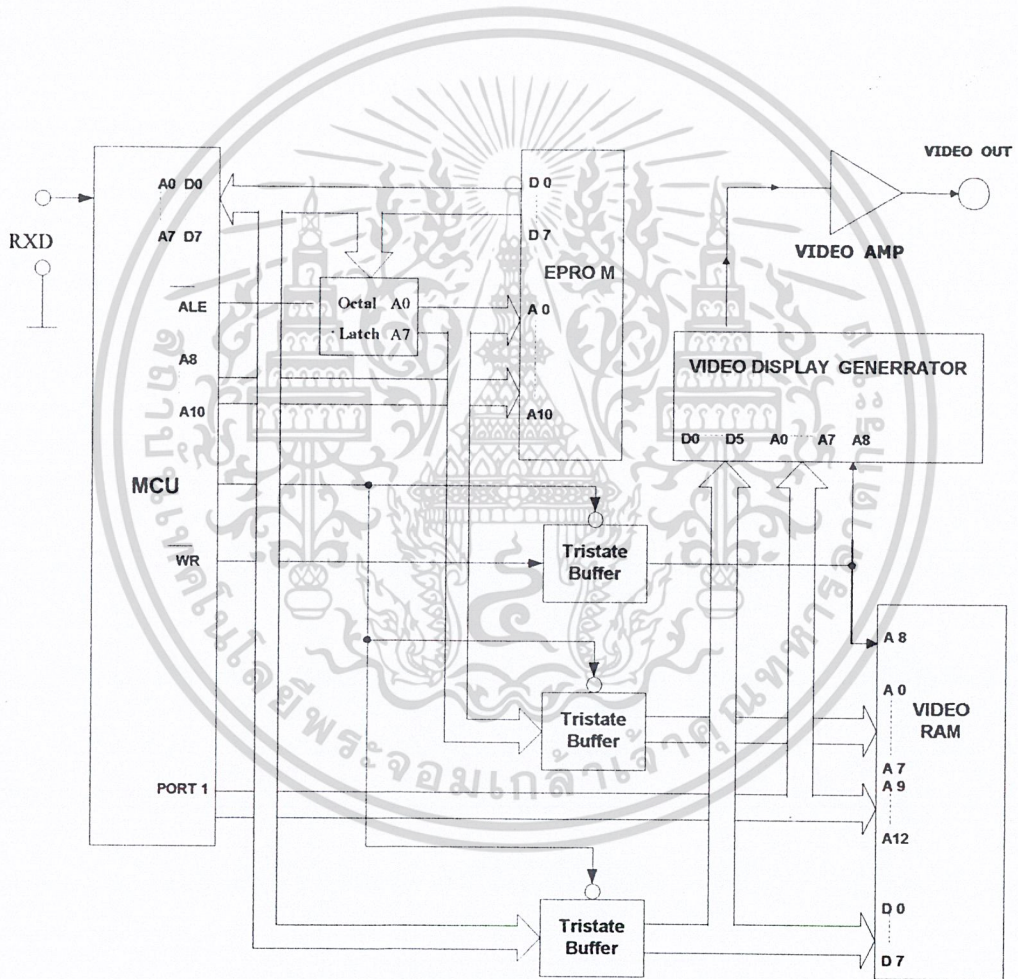
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3

การออกแบบวงจรและการทำงานของ SERIAL VIDEO CARD

3.1 รายละเอียดของบล็อกไดอะแกรมการทำงานของ SERIAL VIDEO CARD

บล็อกไดอะแกรมของ SERIAL VIDEO CARD แสดงในรูปที่ 3.1 แบ่งเป็นส่วนการทำงานต่างๆ ดังนี้



รูปที่ 3.1 บล็อกไดอะแกรมของ SERIAL VIDEO CARD

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1. ส่วนควบคุมการทำงาน เป็นไมโครคอนโทรลเลอร์ 8031 ทำหน้าที่ประมวลผลข้อมูลรหัสแอสกี ที่รับเข้ามาแบบอนุกรมทางพอร์ท RXD และยังทำหน้าที่ควบคุมส่วนต่างๆ นอกจากซีพียูจะมีหน่วยความจำแบบแรมภายในแล้ว ยังได้ติดต่อกับหน่วยความจำภายนอกด้วย
2. หน่วยความจำโปรแกรมเป็นอีอีพรอม (EEPROM) ในการทำงานของไมโครคอนโทรลเลอร์ 8031 นั้นต้องมีส่วนของหน่วยความจำโปรแกรมเข้ามามีส่วนร่วมในการใช้งาน เพื่อให้ตัวไมโครคอนโทรลเลอร์ทำงานได้ตามต้องการ โดยเราจะใช้อีอีพรอมนี้เป็นตัวเก็บโปรแกรมควบคุมและข้อมูลหลัก ซึ่งสามารถเก็บในรูปตัวอักษรและสัญลักษณ์พิเศษต่างๆ ได้
3. หน่วยความจำข้อมูล (Video RAM) จะทำหน้าที่จัดเก็บข้อมูลตัวอักษรเป็นจำนวน 16 หน้าของจอภาพ โดยแต่ละหน้าจะมีตัวอักษร 16 บรรทัด บรรทัดละ 32 ตัวอักษรรวมเป็น 512 ตัวอักษรต่อหนึ่งหน้าจอภาพ การต่อหน่วยความจำแรมภายนอกนั้นเป็นการเพิ่มหน่วยความจำให้กับไมโครคอนโทรลเลอร์ 8031
4. Octal Latch ในการเชื่อมต่อหน่วยความจำภายนอกจะต้องมีอุปกรณ์ที่ทำหน้าที่เป็นตัวแลตซ์ข้อมูลพอร์ท 0 ซึ่งพอร์ท 0 ของไมโครคอนโทรลเลอร์ ต้องใช้เป็นบัลลัสข้อมูลและแอสเครตบัส เมื่อสัญญาณที่ขา ALE ส่งออกมา Octal Latch จะทำการแลตซ์ข้อมูลของพอร์ท 0 เอาไว้เป็นค่าแอสเครตไบท์ต่ำเอาไว้
5. Tristate Buffer ทำหน้าที่ส่งผ่านข้อมูลไปยังหน่วยความจำภายนอกและยังทำหน้าที่ป้องกันความเสียหายของอุปกรณ์ระหว่างส่วนควบคุมและหน่วยความจำ
6. ส่วนสร้างสัญญาณภาพ (Video Display Generator) ใช้ไอซีเบอร์ MC6847 ทำหน้าที่สร้างสัญญาณภาพรวมเพื่อแสดงผลไปที่จอภาพ โดยรับข้อมูลแอสกี มาสร้างเป็นจุดตัวอักษรรวมกับสัญญาณซิงค์ทางแนวนอนและสัญญาณซิงค์ทางแนวตั้งได้สัญญาณภาพรวมออกไป
7. วงจรขยายสัญญาณภาพรวมจะเป็นวงจรขยายแบบ Current Amplifier ทำหน้าที่ขยายสัญญาณให้มีความแรง แล้วส่งเป็นสัญญาณภาพรวมออกไป เพื่อแสดงผลที่จอภาพ

3.2 การทำงานของวงจร SERIAL VIDEO CARD

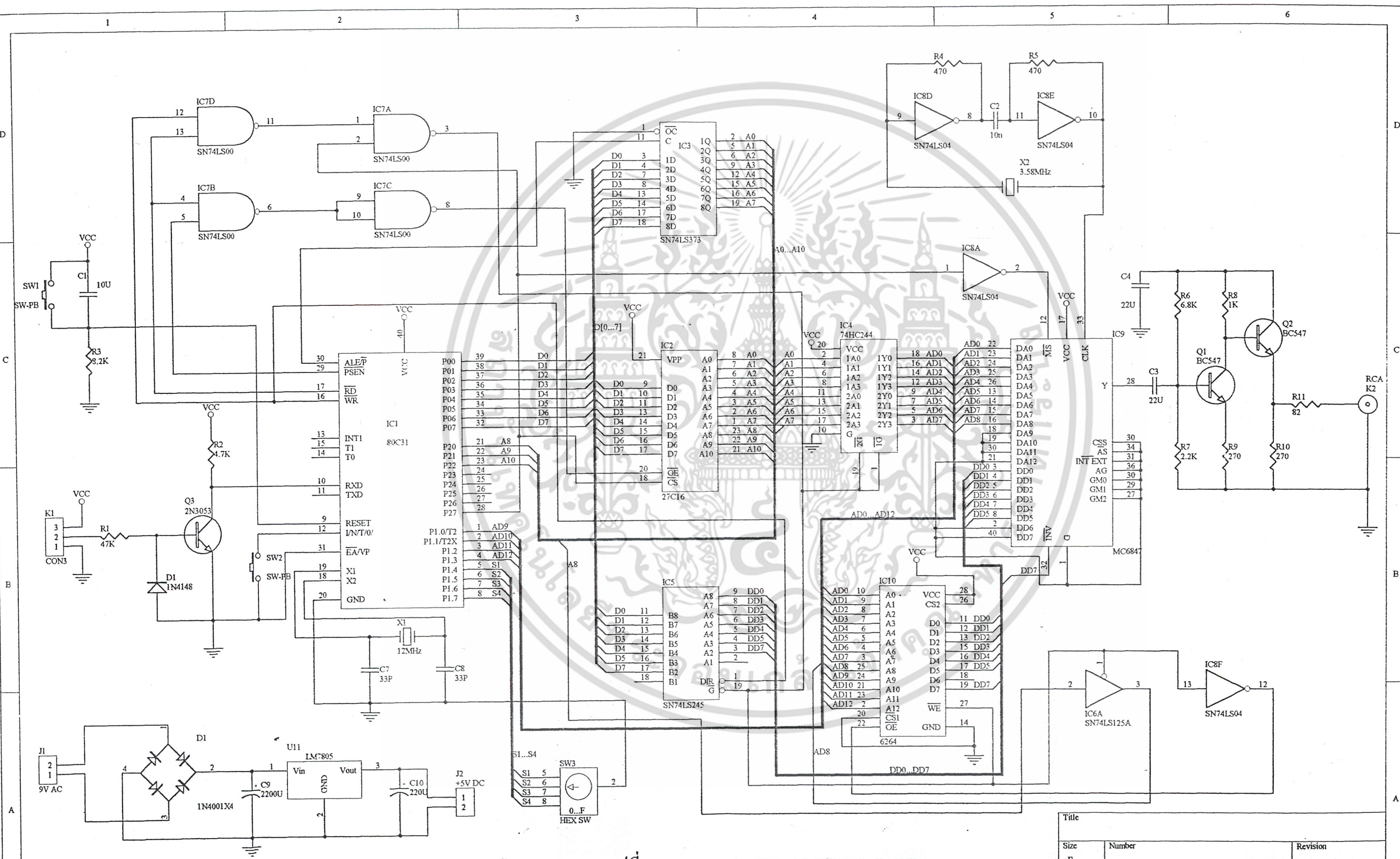
จากวงจรรูปที่ 3.2 แสดงวงจร SERIAL VIDEO CARD โดยมี IC1 เบอร์ 80C31 ซึ่งเป็นไมโครคอนโทรลเลอร์ทำการรับข้อมูลรหัสแอสกีทางขา RXD (พอร์ท3.0) เป็นพอร์ทสื่อสารอนุกรม โดยมีสวิทช์ S3 ซึ่งเป็น hex switch เพื่อทำการเลือกอัตราการรับข้อมูลบอดเรทแสดงในตารางที่3.1

ตารางที่ 3.1 ตำแหน่งสวิทช์ Bit rate

ตำแหน่ง SW	Bitrate / Function
0	150
1	300
2	600
3	1200
4	1800
5	2400

ปกติการส่งข้อมูลจะมีรูปแบบเป็นข้อมูล 8 บิต 1 start bit และ 1 stop bit และไม่มีบิตพาริตี โดยข้อมูลแบบอนุกรมจะถูกเปลี่ยนเป็นแบบขนาน และต่อมาจะถูกส่งต่อไปยัง IC10 ซึ่งเป็นวิดีโอแรม โดยถูกส่งผ่าน IC4, IC5 และ IC6 ซึ่งเป็นตัวบัฟเฟอร์ โดยผ่านทางขา A15และขา WR ของ IC1 ในขณะเดียวกัน IC9 ซึ่งเป็นส่วนกำเนิดสัญญาณภาพ จะอยู่ในสถานะอิมพีแดนซ์สูงด้วย IC8 และระบบของ IC2 อีพროม จะยังไม่ทำงานเนื่องจากยังไม่มีสถานะ OE ข้อมูลหนึ่งคาบไทม์จะถูกส่งจาก IC1 8031 ด้วยสายคาต้าบัส D0-D5 สายคาต้าบัส D6 จะถูกตัดออกไปเพราะไม่มีความจำเป็นในการกำเนิดตัวอักษร

เมื่อ IC10 ซึ่งเป็นวิดีโอแรมได้รับข้อมูลแล้ว IC4, IC5 และ IC6 จะไม่ทำงาน โดยที่ IC9 ซึ่งเป็นส่วนกำเนิดสัญญาณภาพ จะใช้ความถี่ออสซิลเลเตอร์ 3.58 MHz ซึ่งเป็นความถี่มาตรฐานของระบบ NTSC ในการสร้างสัญญาณภาพนั้นจะเริ่มทำงานแล้วสายบัสแอสเดรส A0-A8 จะถูกเก็บไว้ใน IC9 ที่เข้าถึงข้อมูลแบบแอสกี ข้อมูลจะถูกส่งใน IC9 ตามสาย DD0-DD5 และถูกสร้างเป็นสัญญาณภาพแบบอนุกรม ออกที่ขา 28 ของ IC9 สัญญาณภาพจะถูกกลับสัญญาณโดยทรานซิสเตอร์ T1 และถูกบัฟเฟอร์โดยทรานซิสเตอร์ T2 ซึ่งสัญญาณภาพที่ถูกทำการขยายแล้วจะขับออกผ่านสายสัญญาณอิมพีแดนซ์ 75Ω เพื่อต่อเข้ากับเครื่องรับโทรทัศน์แสดงผลทางจอภาพ



รูปที่ 3.2 แสดงวงจร SERIAL VIDEO CARD

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ของ บริษัท อปเทค จำกัด ขอสงวนสิทธิ์ในนำไปใช้ประโยชน์ด้านงานวิชาการใดๆ ทั้งสิ้น อ3 ทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Title		
Size	Number	Revision
B		
Date:	29-Mar-2002	Sheet of
File:	C:\My Documents\CS\Apotel\Serial VDO Draw B.DDB	

บทที่ 4

การทดลองและผลการทดลอง

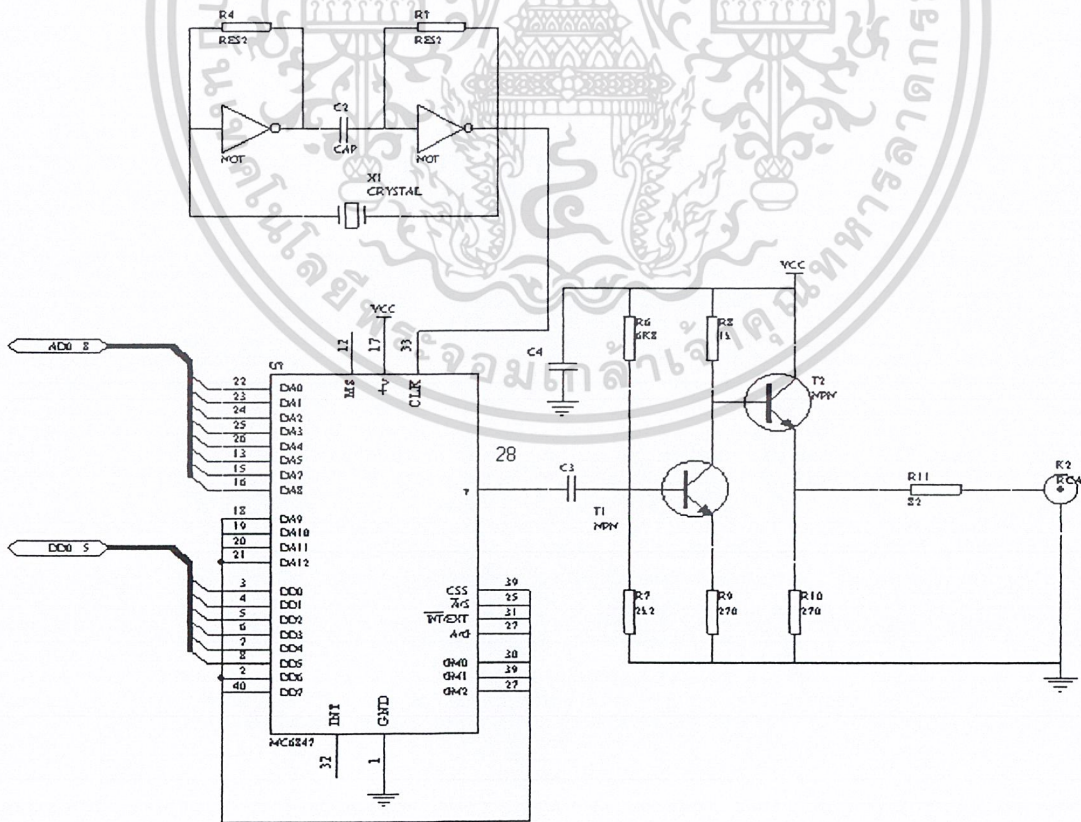
4.1 การทดลองวัดสัญญาณภาพรวม (Composite Video Signal) ของภาค Video Display Generator (VDG)

จุดประสงค์การทดลอง

1. เพื่อทดสอบสัญญาณภาพรวมที่ได้จากภาค VDG ซึ่งใช้ไอซีเบอร์ MC 6847
2. เพื่อทดสอบการทำงานของภาค VDG ก่อนส่งไปภาคขยาย

อุปกรณ์การทดลอง

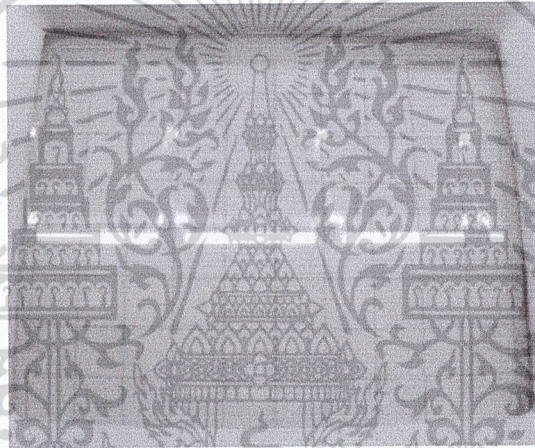
1. ออสซิลโลสโคป 1 เครื่อง
2. ชุดจ่ายไฟแรงดันDCขนาด 5 โวลท์
3. วงจรชุด VDG



รูปที่ 4.1 วงจรทดลอง VDG

วิธีการทดลอง

1. ทำการต่อวงจรของภาค VDG โดยให้ขา CSS , A/S , INT , GM0 , GM1 และ GM2 ลงกราวนด์ ซึ่งเป็นการกำหนดโหมดการทำงานของ VDG ส่วนขาขาตัวที่ไม่ได้ใช้งานให้ต่อลงกราวนด์
2. ทำการป้อนความถี่ Oscillator 3.58 MHz เข้าขา 33 ของภาค VDG
3. ป้อนแรงดันไฟ DC 5 โวลท์ ให้กับวงจร
4. ทำการวัดสัญญาณออกที่ขา 28 แล้วบันทึกรูปคลื่นสัญญาณที่ได้
5. วัดสัญญาณที่จุด K2 ซึ่งเป็นเอาต์พุตที่ผ่านวงจรขยายแล้ว บันทึกรูปคลื่นสัญญาณที่ได้



รูปที่ 4.2 สัญญาณที่ขา 28 ของ MC 6847



รูปที่ 4.3 สัญญาณที่จุด K2 ของวงจรขยาย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.4 ด้านหน้าของ SERIAL VIDEO CARD



รูปที่ 4.5 ด้านหลังของ SERIAL VIDEO CARD

สรุปผลการทดลอง

จากการทดลองที่ 4.2 จะเห็นว่าสัญญาณที่วัดได้จากขา 28 เป็นสัญญาณภาพรวม ซึ่งขนาดที่วัดได้มีค่าต่ำ เมื่อผ่านวงจรขยายที่ประกอบด้วยทรานซิสเตอร์ Q1 และ Q2 สัญญาณที่วัดได้ดังรูปที่ 4.3 สัญญาณจะมีขนาดเพิ่มขึ้นและมีกรลับเฟสของสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2 การทดลองการใช้งานของชุดแผ่นวงจรวิดีโอแบบอนุกรม

จุดประสงค์การทดลอง

1. เพื่อทดสอบการทำงานของชุดแผ่นวงจรวิดีโอแบบอนุกรม
2. เพื่อทดสอบการทำงานของวงจรแสดงผลออกทางหน้าจอ

อุปกรณ์การทดลอง

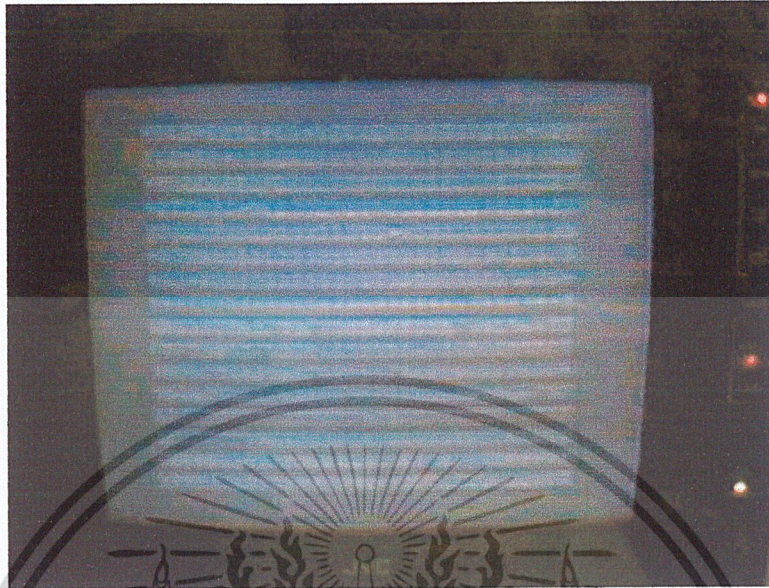
- | | | |
|-----------------------|---|---------|
| 1. ออสซิลโลสโคป | 1 | เครื่อง |
| 2. ชุดจ่ายไฟแรงดัน DC | 5 | โวลท์ |
| 3. เครื่องรับโทรทัศน์ | 1 | เครื่อง |
| 4. พอร์ตอนุกรม RS 232 | 1 | ตัว |



รูปที่ 4.6 การต่อชุดทดลองกับเครื่องรับ TV

วิธีการทดลอง

1. ทำการต่อเอาท์พุทของวงจรกับเครื่องรับ TV
2. ทำการต่อพอร์ตอนุกรม RS 232 ของคอมพิวเตอร์ เข้าที่อินพุทของวงจร
3. ทดสอบการทำงานของภาค VDG ด้วยโปรแกรม Hyper Terminal เพื่อตรวจสอบว่าชุดแผ่นวงจรนี้สามารถรับข้อมูลรหัสแอสกีที่ส่งมาจากพอร์ตอนุกรมของคอมพิวเตอร์ได้หรือไม่ โดยตั้งค่าบอดเรทไว้ที่ 2,400
4. ทำการป้อนข้อมูลจากแป้นพิมพ์ คูณผลที่ออกหน้าจอ TV



รูปที่ 4.7 ตัวอักษรที่ออกทางหน้าจอ

สรุปผลการทดลอง

จากการทดลองจะเห็นว่าเมื่อไม่มีการป้อนข้อมูลเข้ามาทางอินพุทของชุดแผ่นวงจร โดยเมื่อใช้ฮาร์ดแวร์ไมโครคอนโทรลเลอร์ที่เอาต์พุทของวงจร Serial Video Card จะมีสัญญาณภาพรวม แต่ก็ยังไม่ มีผลอะไรที่หน้าจอเครื่องรับ TV แต่เมื่อทำการป้อนข้อมูลจากเป็นพิมพ์ เช่น กดตัวอักษรตัว “ A ” จะมีผลที่หน้าจอเป็นตัว “ A ” โดยการแสดงผลทางหน้าจอภาพ สามารถแสดงได้ 16 บรรทัดๆละ 32 ตัวอักษร

บทที่ 5

อภิปรายผล ข้อเสนอแนะและสรุป

5.1 อภิปรายผล

ในการออกแบบและสร้างแผ่นวงจรวีดิโอแบบอนุกรมนี้เป็นอุปกรณ์ที่ทำหน้าที่เป็นรับข้อมูลอินพุทที่ป้อนเข้ามาแบบอนุกรมโดยใช้ไมโครคอนโทรลเลอร์เป็นตัวรับข้อมูลทางพอร์ทอนุกรมและควบคุมการทำงานส่วนต่างๆของการแสดงผลใช้ไอซีเบอร์ MC6847 ซึ่งทำหน้าที่เป็นซีอาร์ทีคอนโทรลเลอร์ ชิพเดี่ยว ลักษณะของการแสดงผลเป็นตัวอักษรเป็นการนำรหัสแอสกีของตัวอักษรไปเก็บไว้ในหน่วยความจำที่แอสเครสตั้มพันร์กับตำแหน่งของจอภาพซึ่งจากการแสดงผลทางจอภาพนั้นสามารถแสดงตัวอักษรใน 1 บรรทัดแสดงได้ 32 ตัวอักษรใน 1 จอภาพแสดงได้ 16 บรรทัด และสามารถเก็บตัวอักษรไว้ในหน่วยความจำวีดิโอแรมได้ 16 หน้าจอภาพ ซึ่งผลของการแสดงผลที่จอภาพนั้นจะมีสัญญาณรบกวนบ้างเล็กน้อยจึงต้องปรับปรุงการเชื่อมต่อวงจรให้มีการสูญเสียของสัญญาณน้อยลง

5.2 ข้อเสนอแนะ

จากการทดลองการใช้งานของแผ่นวงจรวีดิโอแบบอนุกรม สรุปข้อเสนอแนะได้ดังนี้

- 1 การออกแบบแผ่นวงจร PCB ต้องคำนึงถึงการสูญเสีย (Loss) ของสัญญาณที่เกิดจากการเดินเส้นของลายวงจร จะมีผลต่อสัญญาณภาพที่ได้เนื่องจากสัญญาณรบกวน (Noise)
- 2 ชุดจ่ายแรงดันไฟตรงที่ป้อนให้กับวงจรมานั้น จะต้องจ่ายกระแสเพียงพอ และมีค่ากระแสที่น้อยที่สุด จึงจะไม่เกิดการรบกวนขึ้นกับวงจร
- 3 การป้อนข้อมูลแบบอนุกรมให้กับแผ่นวงจรแบบอนุกรมจะต้องกำหนดค่าบอดเรทให้ถูกต้องด้วยเพื่อป้องกันการส่งข้อมูลที่ผิดพลาดได้

5.3 สรุป

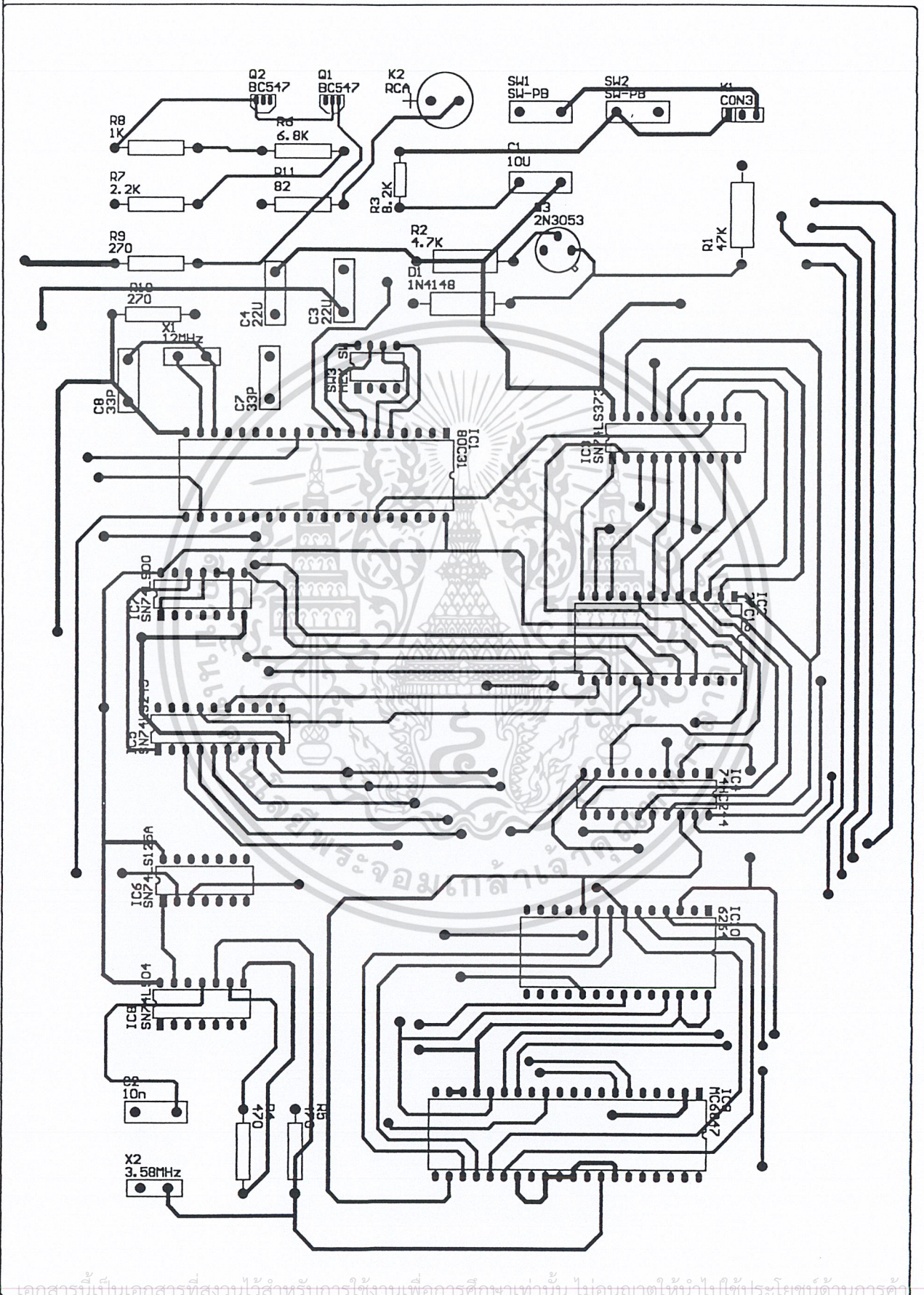
หลังจากที่ได้ทำการสร้างและทดสอบแผ่นวงจรวีดิโอแบบอนุกรมแล้ว สามารถแสดงผลบนจอภาพโทรทัศน์ได้โดยใช้งบประมาณในการสร้างไม่สูงมากนัก การแสดงผลที่ใช้ไอซี ซีอาร์ทีคอนโทรลเลอร์ทำได้ง่าย ซึ่งมีการทำงานหลายโหมด เช่น โหมดตัวอักษร โหมดเซมิกราฟฟิค (SEMI GRAPHIC) โหมดกราฟฟิค (FULL GRAPHIC) ซึ่งสามารถที่จะเป็นแนวทางการพัฒนาต่อไปได้อีก เช่น การสร้างภาพหรือกราฟฟิคต่างๆในงานโฆษณาหรือประยุกต์ใช้งานในการศึกษาได้

บรรณานุกรม

1. จิระศักดิ์ เย็นสบายและ โกศล ต่งเสริมมงคล.ปริญญาานิพนธ์เรื่อง VIDEO DISPLAY กรุงเทพฯ : คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง, 2525.
2. ธีรวัฒน์ ประกอบผล. การประยุกต์ใช้งานไมโครคอนโทรลเลอร์ พิมพ์ครั้งที่ 4. กรุงเทพฯ : สำนักพิมพ์สมาคมส่งเสริมเทคโนโลยี(ไทย-ญี่ปุ่น), 2543.
3. วิบูลย์ ชื่นแขก.ไมโครโปรเซสเซอร์ พิมพ์ครั้งที่ 2.กรุงเทพฯ : สถาบันเทคโนโลยีพระจอมเกล้าพระนครเหนือ,2532.
4. สมยศ จุณณะปิยะ.การประยุกต์ใช้งานไมโครคอนโทรลเลอร์ MCS-51 : ภาควิชาวิศวกรรมโทรคมนาคม คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง, 2541.

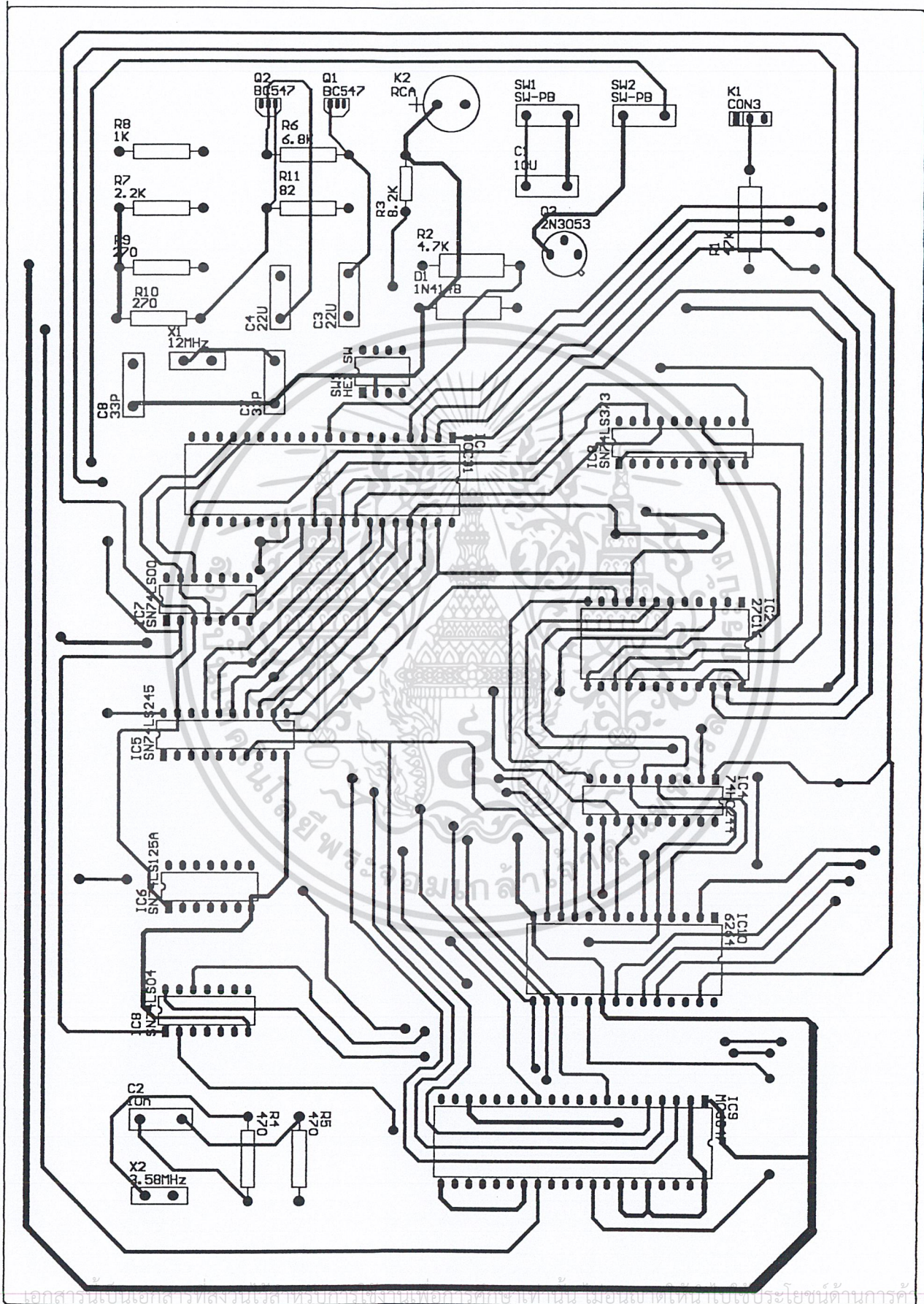


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5 แสดงลายวงจรของวงจร SERIAL VIDEO CARD ด้านบน

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งไม่มีเหตุเปลี่ยนแปลงเนื้อหา และต้องขออนุญาตเจ้าของลิขสิทธิ์ที่ทรงมีการนำไปใช้



รูปที่ 6 แสดงลายวงจรของวงจร SERIAL VIDEO CARD ด้านล่าง

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์เพื่อใช้ในการเผยแพร่เท่านั้น ไม่อนุญาตให้เผยแพร่โดยไม่ได้รับอนุญาต
 ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

00000: 02 00 40 02 04 31 FF FF FF FF FF FF FF FF FF FF
00010: FF FF D2 8E A3 32 FF FF FF FF FF 02 03 00 FF FF
00020: C0 D0 C0 E0 7E FF 1E 7F FF 1F BF 00 FC BE 00 F6
00030: D0 E0 D0 D0 22 75 09 00 75 08 00 32 FF FF FF FF
00040: 31 00 31 05 11 B0 31 05 D2 A8 C2 BC D2 B8 00 00
00050: FF FF FF FF FF FF FF FF FF FF FF FF FF FF FF
00060: E5 90 FB F5 90 BB F0 02 7C 30 BB E0 02 7C 98 BB
00070: D0 02 7C CC BB C0 02 7C E6 BB B0 02 7C EF BB A0
00080: 02 7C F3 BB 90 06 12 02 00 02 00 40 31 16 11 20
00090: 11 20 11 20 11 20 11 20 11 20 31 09 31 05 8C 8D
000A0: 75 98 50 75 89 20 D2 8E D2 AF D2 AB 80 FE 80 FC
000B0: 00 00 00 00 00 00 00 00 00 00 00 00 00 00 00
000C0: 00 00 00 00 00 00 00 00 00 00 00 00 00 00 00
000D0: 00 00 00 00 00 00 00 00 00 00 00 00 00 00 00
000E0: 00 00 00 00 00 00 00 00 00 00 00 00 00 02 02 C0
000F0: 00 00 00 00 00 00 00 00 00 00 00 00 00 00 00
00100: 74 F0 F5 90 22 90 80 00 22 90 80 00 74 20 F0 A3
00110: A8 83 B8 82 F7 22 90 80 E6 74 0A C0 E0 83 F0 A3
00120: D0 E0 04 84 1D F5 80 14 53 59 53 54 45 4D 20 49
00130: 4E 49 54 49 41 4C 49 53 45 44 20 20 BB F0 14 74
00140: 0B C0 E0 83 F0 A3 00 D0 E0 04 B4 0F F4 80 04 31
00150: 35 30 20 BB E0 14 74 0B C0 E0 83 F0 A3 00 D0 E0
00160: 04 B4 0F F4 80 04 33 30 30 20 BB D0 14 74 0B C0
00170: E0 83 F0 A3 00 D0 E0 04 B4 0F F4 80 04 36 30 30
00180: 20 BB C0 14 74 0B C0 E0 83 F0 A3 00 D0 E0 04 B4
00190: 0F F4 80 04 31 32 30 30 BB B0 14 74 0B C0 E0 83
001A0: F0 A3 00 D0 E0 04 B4 0F F4 80 04 31 38 30 30 BB
001B0: A0 14 74 0B C0 E0 83 F0 A3 00 D0 E0 04 B4 0F F4
001C0: 80 04 32 34 30 30 22 FF FF FF FF FF FF FF FF
001D0: E5 90 04 54 0F F5 90 22 FF FF FF FF FF FF FF
001E0: FF FF FF FF FF FF FF FF FF FF FF FF FF FF FF
001F0: FF FF FF FF FF FF FF FF FF FF FF FF FF FF FF
00200: 74 80 C0 E0 F0 A3 A8 83 B8 82 F9 11 20 11 20 31
00210: 09 31 05 D0 E0 04 B4 00 E9 22 02 04 80 00 00 00
00220: 00 00 00 00 00 00 00 00 00 00 00 00 00 00 A8 82
00230: B8 00 02 80 03 B8 20 02 80 03 B8 40 02 80 03 B8
00240: 60 02 80 03 B8 80 02 80 03 B8 A0 02 80 03 B8 C0
00250: 02 80 03 B8 E0 03 D2 8E 32 15 82 D2 8E 32 A8 82
00260: B8 1F 02 80 03 B8 3F 02 80 03 B8 5F 02 80 03 B8
00270: 7F 02 80 03 B8 9F 02 80 03 B8 BF 02 80 03 B8 DF
00280: 02 80 03 BF FF 03 D2 8E 32 05 82 D2 BE 32 74 20
00290: A3 14 B4 00 FB A8 83 B8 82 0D 90 80 00 E5 90 04
002A0: 54 0F F5 90 D2 8E 32 D2 8E 32 00 00 00 E5 90 04
002B0: 54 0F F5 90 D2 8E 31 05 32 74 20 02 02 1A FF FF
002C0: C0 90 75 F0 10 E5 90 54 0F 04 F5 90 31 09 D5 F0
002D0: F4 D0 90 22 FF FF FF FF FF FF FF FF FF FF
002E0: FF FF FF FF FF FF FF FF FF FF FF FT FF FF FF FF
002F0: FF FF FF FF FF FF FF FF FF FF FF FF FF FF FF
00300: 30 98 FD C2 8E C2 98 E5 99 A2 D0 B2 D7 54 7F B4

00310: 20 03 02 02 B9 C0 E0 54 60 60 05 D0 E0 02 02 1A
00320: D0 E0 B4 08 03 02 02 2E B4 09 03 02 02 5E B4 0A
00330: 03 02 02 8E 00 00 00 00 00 00 B4 0C 03 02 02 AD
00340: B4 0D 03 02 04 00 00 00 00 00 00 00 B4 0F 06 12
00350: 01 09 90 80 00 D2 8E 32 FF FF FF FF FF FF FF FF
00360: FF FF FF FF FF FF FF FF FF FF FF FF FF FF FF FF
00370: FF FF FF FF FF FF FF FF FF FF FF FF FF FF FF FF
00380: FF FF FF FF FF FF FF FF FF FF FF FF FF FF FF FF
00390: FF FF FF FF FF FF FF FF FF FF FF FF FF FF FF FF
003A0: FF FF FF FF FF FF FF FF FF FF FF FF FF FF FF FF
003B0: FF FF FF FF FF FF FF FF FF FF FF FF FF FF FF FF
003C0: FF FF FF FF FF FF FF FF FF FF FF FF FF FF FF FF
003D0: FF FF FF FF FF FF FF FF FF FF FF FF FF FF FF FF
003E0: FF FF FF FF FF FF FF FF FF FF FF FF FF FF FF FF
003F0: FF FF FF FF FF FF FF FF FF FF FF FF FF FF FF FF
00400: E5 82 54 1F B4 00 02 80 05 15 82 14 80 F6 D2 8E
00410: 32 B8 60 02 80 03 B8 80 02 80 03 B8 A0 02 80 03
00420: B8 C0 02 80 05 B8 E0 05 80 03 D2 BE 32 15 82 80
00430: CF C2 8E C2 A8 11 20 C0 E0 E5 90 04 54 0F F5 90
00440: D0 E0 00 00 00 00 00 00 00 00 00 00 31 05 11 20
00450: 11 20 D2 A8 D2 8E 32 FF FT FF FF FF FF FF FF FF
00460: FF FF FF FF FF FF FF FF FF FF FF FF FF FF FF FF
00470: FF FF FF FF FF FF FF FF FF FF FF FF FF FF FF FF
00480: 00 00 00 00 00 00 00 00 00 00 00 00 00 00 00 00
00490: 00 00 00 00 00 00 00 00 00 00 30 E6 02 C2 E5 00 00
004A0: 00 A8 83 B8 82 0F C0 E0 E5 90 04 54 0F F5 90 00
004B0: 00 31 05 D0 E0 F0 A3 D2 8E 32 FF FF FF FF FF FF
004C0: FF FF FF FF FF FF FF FF FF FF FF FF FF FF FF FF
004D0: FF FF FF FF FF FF FF FF FF FF FF FF FF FF FF FF
004E0: FF FF FF FF FF FF FF FF FF FF FF FF FF FF FF FF





เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



MOTOROLA

SEMICONDUCTORS

3501 ED BLUESTEIN BLVD., AUSTIN, TEXAS 78721

MC6847/MC6847Y VIDEO DISPLAY GENERATOR (VDG)

The video display generator (VDG) provides a means of interfacing the M6800 microprocessor family (or similar products) to a standard color or black and white NTSC television receiver. Applications of the VDG include video games, process control displays, home computers, education, communications, and graphics applications.

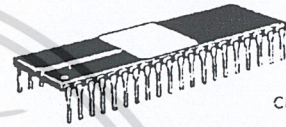
The VDG reads data from memory and produces a video signal which will allow the generation of alphanumeric or graphic displays. The generated video signal may be modulated to either channel 3 or 4 by using the compatible MC1372 (TV chroma and video modulator). This modulated signal is suitable for reception by a standard unmodified television receiver. A typical TV game is shown in Figure 1.

- Compatible with the M6800 Family, the M68000 Family, and Other Microprocessor Families
- Generates Four Different Alphanumeric Display Modes, Two Semigraphic Modes, and Eight Graphic Display Modes
- The Alphanumeric Modes Display 32 Characters Per Line by 16 Lines Using Either the Internal ROM or an External Character Generator
- Alphanumeric and Semigraphic Modes May Be Mixed on a Character-by-Character Basis
- Alphanumeric Modes Support Selectable Inverse on a Character-by-Character Basis
- Internal ROM May Be Mask Programmed with a Custom Pattern
- Full Graphic Modes Offer 64 x 64, 128 x 64, 128 x 96, 128 x 192, or 256 x 192 Densities
- Full Graphic Modes Use One of Two 4-Color Sets or One of Two 2-Color Sets
- Compatible with the MC1372 and MC1373 Modulators Via Y, R-Y (ϕA), and B-Y (ϕB) Interface
- Compatible with the MC6883 (74LS783) Synchronous-Address Multiplexer
- Available in Either an Interlace (NTSC Standard) or Non-interlace Version

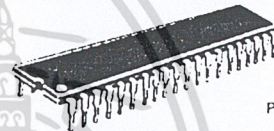
MC6847 Non-Interlace MC6847Y Interlace

MOS
(N-CHANNEL, SILICON-GATE)

VIDEO DISPLAY GENERATOR



L SUFFIX
CERAMIC PACKAGE
CASE 715

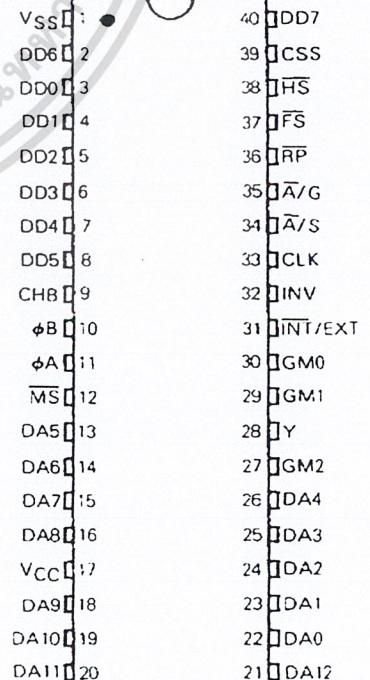


P SUFFIX
PLASTIC PACKAGE
CASE 711



S SUFFIX
CERDIP PACKAGE
CASE 734

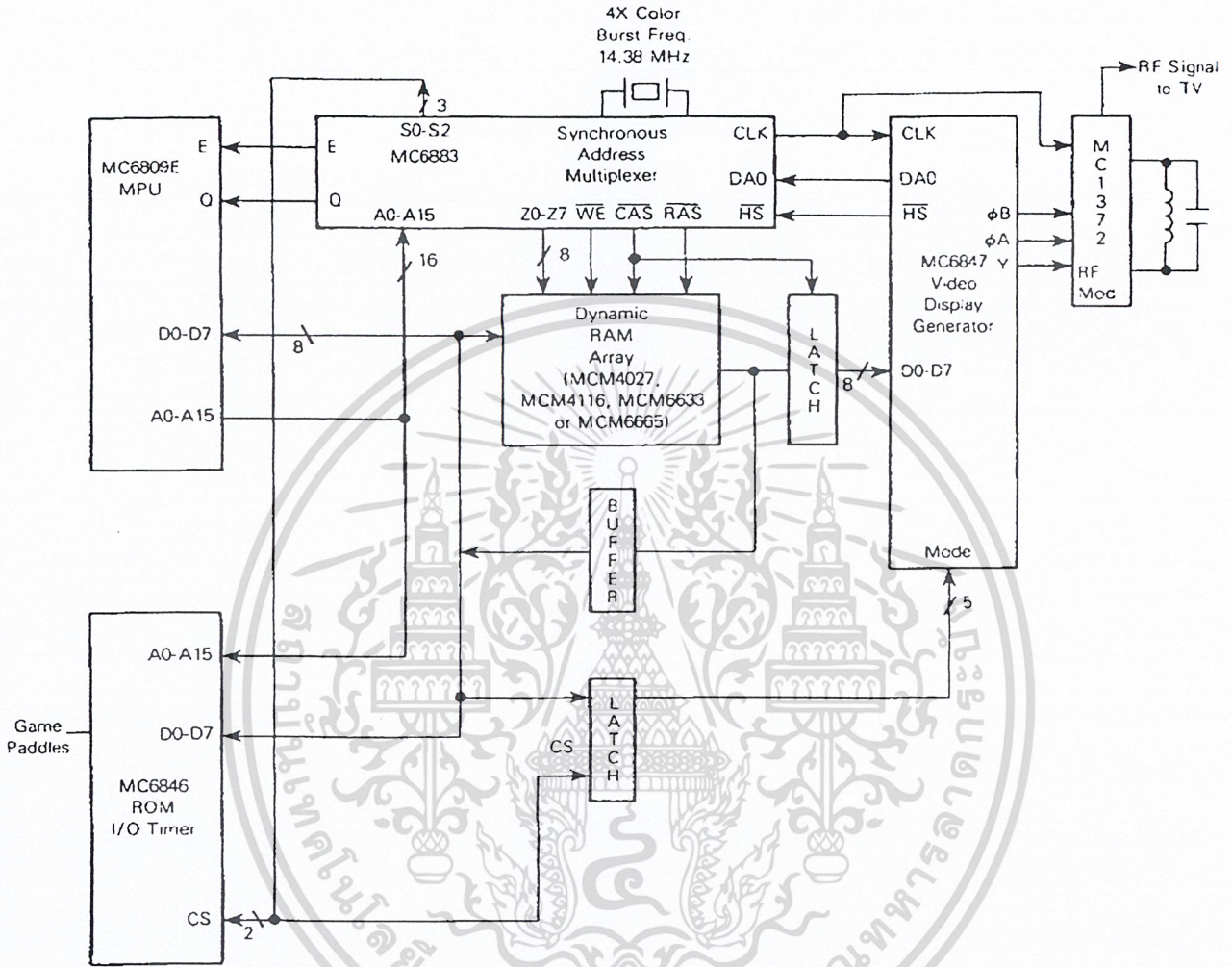
PIN ASSIGNMENT



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับกรใช้งานเพื่อการศึกษเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์อื่นใด

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FIGURE 1 — BLOCK DIAGRAM OF A TV GAME USING THE VDG AND THE MC6809E MPU



**ELECTRICAL SPECIFICATIONS
ABSOLUTE MAXIMUM RATINGS**

Characteristics	Symbol	Value	Unit
Supply Voltage	V _{CC}	-0.3 to +7.0	V
Input Voltage Any Pin	V _{in}	-0.3 to +7.0	V
Operating Temperature	T _A	0 to +70	°C
Storage Temperature	T _{stg}	-65 to +150	°C

This device contains circuitry to protect the inputs against damage due to high static voltages or electric fields; however, it is advised that normal precautions be taken to avoid application of any voltage higher than maximum rated voltages to this high impedance circuit. Reliability of operation is enhanced if unused inputs are tied to an appropriate logic voltage (e.g., either V_{SS} or V_{CC}).

THERMAL CHARACTERISTICS

Characteristics	Symbol	Value	Unit
Thermal Resistance			
Ceramic	θ _{JA}	50	°C/W
Plastic		100	
CerDip		60	



MOTOROLA Semiconductor Products Inc.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DC (STATIC) CHARACTERISTICS ($V_{CC} = 5.0 \text{ V} \pm 5\%$, $V_{SS} = 0.0 \text{ V}$, $T_A = 0^\circ\text{C}$ to 70°C unless otherwise noted)

Characteristic	Symbol	Min	Typ	Max	Unit
Input High Voltage CLK Other Inputs	V_{IH}	$V_{SS} + 2.4$ $V_{SS} + 2.0$	— —	V_{CC} V_{CC}	V
Input Low Voltage CLK Other Inputs	V_{IL}	$V_{SS} - 0.3$ $V_{SS} - 0.3$	— —	$V_{SS} + 0.6$ $V_{SS} + 0.8$	V
Input Leakage Current, Force 5.25 V on Pin Under Test. $V_{CC} = 5.5 \text{ V}$ CLK, GM0-GM2, INV, INT/FXT, MS, V_{SS} , DD0-DD7, A/S, A/G	I_{in}	—	—	2.5	μA
Three-State (Off State) Input Current DA0-DA12 Force 2.4 V and 0.4 V on Pin Under Test	I_{OL}	—	—	± 1.0	μA
Output High Voltage ($C_{Load} = 30 \text{ pF}$, $I_{Load} = -100 \mu\text{A}$) RP, HS, FS	V_{OH}	2.4	—	—	V
Output High Voltage ($C_{Load} = 55 \text{ pF}$, $I_{Load} = -100 \mu\text{A}$) DA0-DA12	V_{OH}	2.4	—	—	V
Output Low Voltage ($C_{Load} = 30 \text{ pF}$, $I_{Load} = 1.6 \text{ mA}$) RP, HS, FS	V_{OL}	—	—	$V_{SS} + 0.4$	V
Output Low Voltage ($C_{Load} = 55 \text{ pF}$, $I_{Load} = 1.6 \text{ mA}$) DA0-DA12	V_{OL}	—	—	$V_{SS} + 0.4$	V
Output High Current (Sourcing) ($V_{OH} = 2.4 \text{ V}$) All Outputs (Except ϕA , ϕB , Y, and CHB)	I_{OH}	-100	—	—	μA
Output Low Current (Sinking) ($V_{OL} = 0.4 \text{ V}$) All Outputs (Except ϕA , ϕB , Y, and CHB)	I_{OL}	1.6	—	—	mA
Input Capacitance ($V_{in} = 0$, $T_A = 25^\circ\text{C}$, $f = 1.0 \text{ MHz}$) All Inputs	C_{in}	—	—	7.5	pF
Internal Power Dissipation (Measured at $T_A = 0$ to 70°C)	P_{INT}	—	—	600	mW
Chroma ϕA Voltage (Figure 3) ($C_{Load} = 20 \text{ pF}$, $R_{Load} = 100 \text{ k}\Omega$) (Note 1)	V_{IH} V_R V_{OL}	1.8 1.34 0.8	2.0 1.5 1.0	2.2 1.66 1.2	V
Chroma ϕB Voltage (Figure 3) ($C_{Load} = 20 \text{ pF}$, $R_{Load} = 100 \text{ k}\Omega$) (Note 1)	V_{IH} V_R V_C V_{Burst}	1.8 1.34 0.80 1.07	2.0 1.5 1.0 1.25	2.2 1.66 1.2 1.43	V
Luminance Y Voltage (Figure 3) ($C_{Load} = 20 \text{ pF}$, $R_{Load} = 100 \text{ k}\Omega$) (Voltage Synchronization) (Voltage Blank) (Voltage Black) (Voltage White Low) (Voltage White Medium) (Voltage White High) (Note 1)	V_S V_{Blank} V_{Black} V_{WL} V_{WM} V_{WH}	0.9 0.63 0.58 0.51 0.40 0.27	1.0 0.77 0.72 0.65 0.54 0.42	1.1 0.9 0.83 0.75 0.65 0.53	V
Chroma Bias Voltage ($C_{Load} = 20 \text{ pF}$, $R_{Load} = 100 \text{ k}\Omega$)	V_R	$0.27 V_{CC}$	$0.3 V_{CC}$	$0.33 V_{CC}$	V
Resistor % of V_{SS} Tracking (Analog Outputs Linearity Error)	R_T	—	1.0	3.0	%

NOTE 1: The specified minimum and maximum number reflect performance of the VDG of the specified temperature range. Overlapping voltage levels will not occur. Refer to Figure 2.



MOTOROLA Semiconductor Products Inc.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

POWER CONSIDERATIONS

The average chip-junction temperature, T_J , in $^{\circ}\text{C}$ can be obtained from:

$$T_J = T_A + (P_D \cdot \theta_{JA}) \tag{1}$$

Where:

T_A = Ambient Temperature, $^{\circ}\text{C}$

θ_{JA} = Package Thermal Resistance, Junction-to-Ambient, $^{\circ}\text{C}/\text{W}$

P_D = $P_{INT} + P_{PORT}$

P_{INT} = $i_{CC} \times V_{CC}$, Watts – Chip Internal Power

P_{PORT} = Port Power Dissipation, Watts – User Determined

For most applications $P_{PORT} \ll P_{INT}$ and can be neglected. P_{PORT} may become significant if the device is configured to drive Darlington bases or sink LED loads.

An approximate relationship between P_D and T_J (if P_{PORT} is neglected) is:

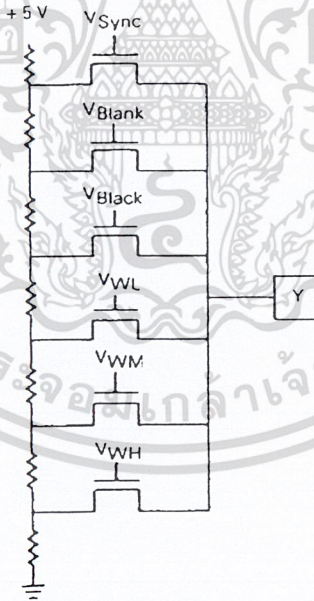
$$P_D = K + (T_J + 273^{\circ}\text{C}) \tag{2}$$

Solving equations 1 and 2 for K gives:

$$K = P_D \cdot (T_A + 273^{\circ}\text{C}) + \theta_{JA} \cdot P_D^2 \tag{3}$$

Where K is a constant pertaining to the particular part. K can be determined from equation 3 by measuring P_D (at equilibrium) for a known T_A . Using this value of K, the values of P_D and T_J can be obtained by solving equations (1) and (2) iteratively for any value of T_A .

FIGURE 2 – PSEUDO ANALOG LUMINANCE RESISTOR CHAIN



NOTE The chrominance output chain is similar in design to the luminance chain



MOTOROLA Semiconductor Products Inc.

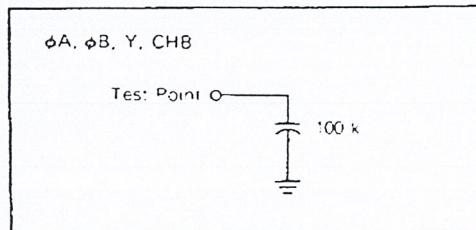
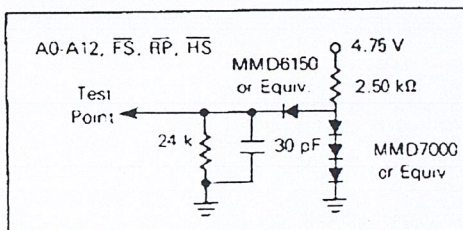
เอกสารนี้เป็นเอกสารลิขสิทธิ์สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC (DYNAMIC) CHARACTERISTICS (V_{CC} = 5.0 V ± 5%, T_A = 0°C to 70°C) (Load Circuit of Figure 3)

Characteristic	Symbol	Min	Max	Unit	Figure	
CLK (Frequency (3.573545 Color Burst Frequency))	f	3.579535	3.579555	MHz	4	
CLK Duty Cycle	CLK _{dc}	45	55	%	4	
Clock Rise Time	t _{CLKr}	—	50	ns	4	
Clock Fall Time	t _{CLKf}	—	50	ns	4	
Clock Pulse Width	PW _{CLK}	120	160	ns	4	
Horizontal Display Address Delay from Counter	DA0-DA3	t _{HDA0}	—	490	ns	4, 5, 6
	DA4	t _{HDA4}	—	550	ns	5, 6
Horizontal Display Address Hold Time	t _{HDAH}	0	—	ns	4, 5, 6	
	t _{HDA4H}	0	—	ns	4, 5, 6	
Display Data Setup Time	CSS, INV, A/S, INT/EXT, DD0-DD7	t _{DDS}	70	—	ns	4, 5, 6
Display Data Hold Time	CSS, INV, A/S, INT/EXT, DD0-DD7	t _{DDH}	140	—	ns	4, 5, 6
Horizontal Sync (H _S) Delay	Fall	t _{HSt}	—	550	ns	7
	Rise	t _{HSt}	—	740	ns	7
Row Preset (RP) Delay	Fall	t _{DRP}	—	660	ns	7
	Rise	t _{DRP}	—	540	ns	7
Vertical Display Address Delay from Counter	DA5-DA12	t _{VDA0}	—	6.0	μs	7
Vertical Display Address Hold Time	t _{VDAH}	—	220	ns	7	
Field Sync (F _S) Delay	Fall	t _{DFSt}	—	520	ns	8
	Rise	t _{DFSt}	—	600	ns	8
Memory Select Low to Display Address High-Impedance	t _{DMSt}	—	80	ns	9	
Memory Select High to Display Address Valid	t _{DMSt}	—	400	ns	9	
Chroma Rise and Fall Times (φA Rise Time)	t _{rCφA}	—	100	ns	12	
	t _{fCφA}	—	100			
	t _{rCφA}	—	100			
	t _{fCφA}	—	100			
	t _{rCφB}	—	100			
	t _{fCφB}	—	100			
Color Burst Rise Time on φB Output	t _{CBr}	—	100	ns	12	
	t _{CBf}	—	100	ns	12	
Chroma Phase Delay (Measured with Respect to "Y" Output)	φA	t _{YA}	-50	140	ns	11
	φB	t _{YB}	-50	140	ns	11
Luminance Rise Time	t _{ry}	—	100	ns	12	
Luminance Fall Time	t _{fy}	—	100	ns	12	
Horizontal Sync Rise Time on Y Output	t _{Hr}	—	100	ns	12	
Horizontal Sync Fall Time on Y Output	t _{Hf}	—	100	ns	12	
Horizontal Blanking Rise Time on Y Output	t _{HBr}	—	100	ns	12	
Horizontal Blanking Fall Time on Y Output	t _{HBF}	—	100	ns	12	
Front Porch Duration Time (7 × 1/f)	t _{FP}	1.8	2.4	μs	12	
Back Porch Duration Time (17.5 × 1/f)	t _{BP}	4.5	5.1	μs	12	
Left Border Duration Time (29.5 × 1/f)	t _{LB}	7.5	8.3	μs	12	
Right Border Duration Time (28 × 1/f)	t _{RB}	7.5	8.3	μs	12	
Color Burst Duration Time (10.5 × 1/f)	t _{CB}	2.7	3.2	μs	12	

FIGURE 3 — TEST LOADS

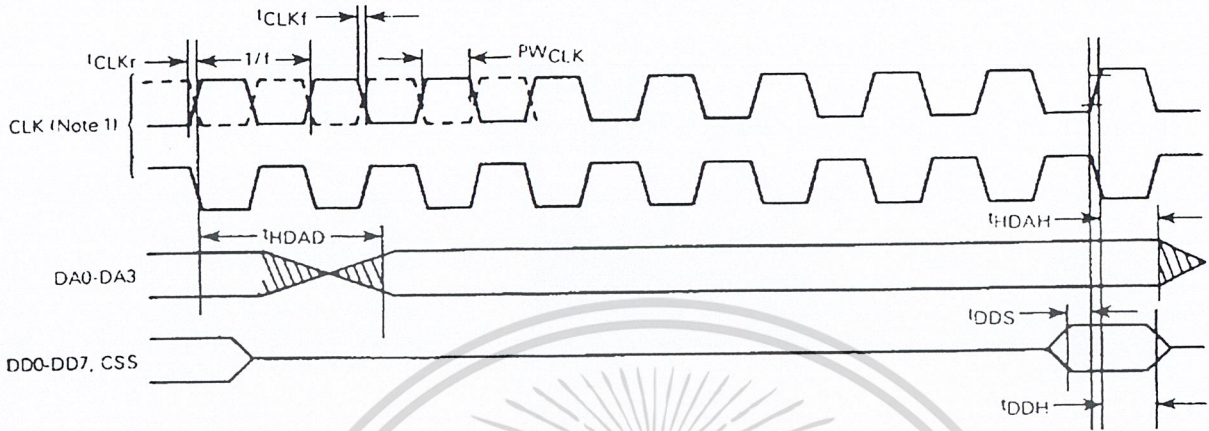


MOTOROLA Semiconductor Products Inc.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

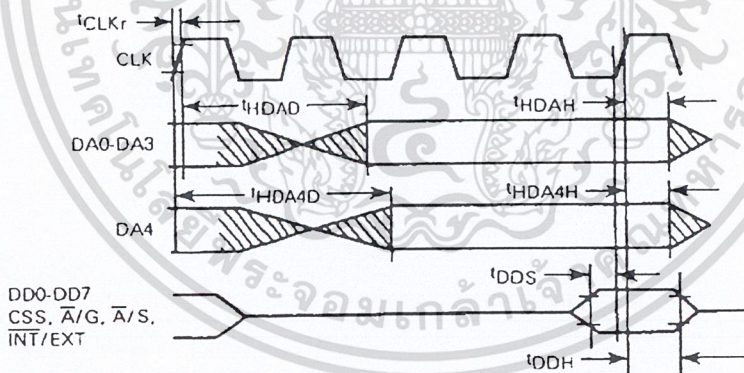
FIGURE 4 — CLOCK AND LONG CYCLE HORIZONTAL ACCESS TIMING



- NOTES:
1. The VDG may power-up using either the rising or falling edge of the clock (dotted line).
 2. Transitions of DA4-DA12 occur outside the display area. DA0-DA3 access the 16 bytes of data displayed during each scan line in the display area.
 3. Long cycle timing applies to CG1, RG1, RG2, and RG3 modes (see Table 3). \bar{A}/G is high; \bar{A}/S , \overline{INT}/EXT , and \overline{INV} input levels do not affect the VDG in long cycle modes.
 4. Usable RAM access time for the long cycle may be calculated using the following equation:

$$t_{RACL} = 8 \cdot 1/f_{max} - t_{HDAD_{max}} - t_{DDS_{min}} - t_{CLKr}$$
 If address and data buffers are used, the access time must be adjusted accordingly.
 5. All timing is measured to and from a low voltage of 0.8 volts and a high voltage of 2.0 volts unless otherwise specified.

FIGURE 5 — SHORT CYCLE HORIZONTAL ACCESS TIMING



- NOTES:
1. The VDG may power-up using either the rising or falling edge of the clock as shown in Figure 4.
 2. Transitions of DA5-DA12 occur outside the display area. DA0-DA4 access the 32 bytes of data displayed during each scan line in the display area.
 3. Short cycle timing applies to the four alphanumeric modes, two semigraphic modes, and to the CG2, CG3, CG6, RG6 modes (see Table 3). For the four graphic modes, \bar{A}/G is high and the \bar{A}/S , \overline{INT}/EXT , and \overline{INV} input levels do not affect the VDG.
 4. Usable RAM access time for the short cycle may be calculated using the following equation:

$$t_{RACS} = 4 \cdot 1/f_{max} - t_{HDA4D_{max}} - t_{DDS_{min}} - t_{CLKr}$$
 If address and data buffers are used, the access time must be adjusted accordingly.
 5. All timing is measured to and from a low voltage of 0.8 volts and a high voltage of 2.0 volts unless otherwise specified.



MOTOROLA Semiconductor Products Inc.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FIGURE 6 -- HORIZONTAL ADDRESS AND VALID DATA SETUP AND HOLD TIMING
(Timing Relationships Shown From Beginning of Line)

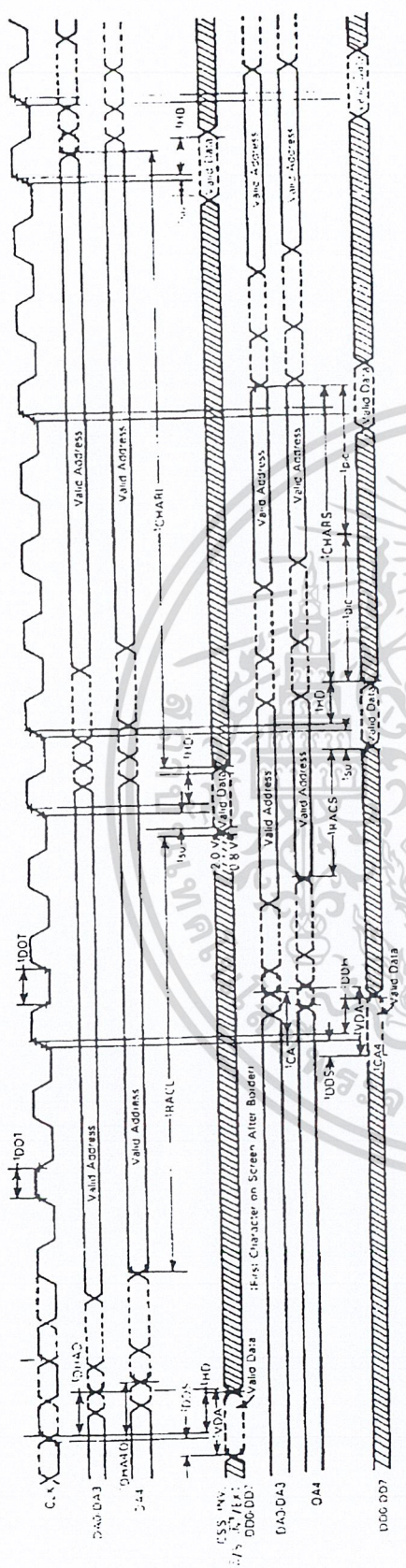
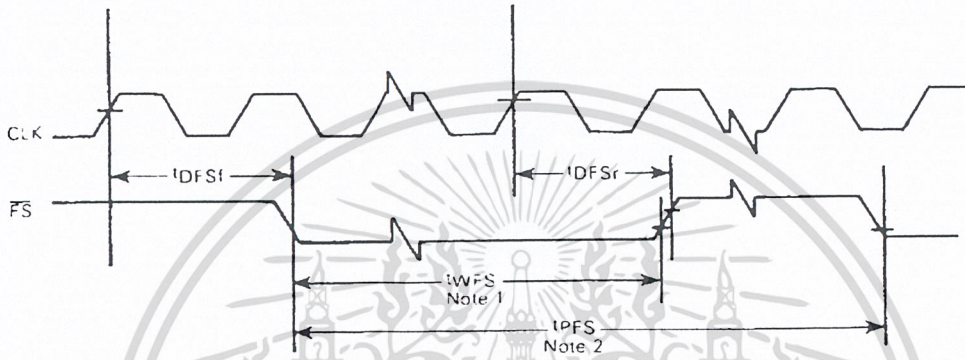


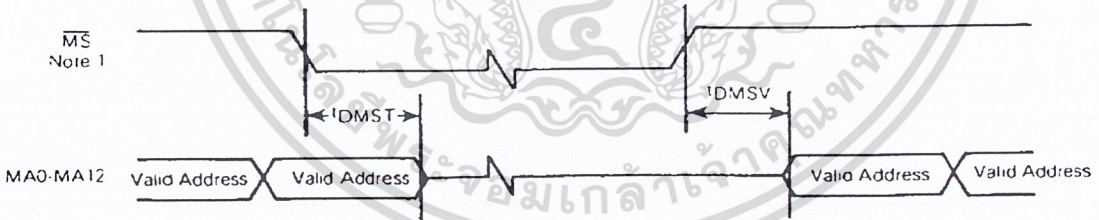
FIGURE 8 - FIELD SYNC (FS) TIMING



NOTES:

- 1 $t_{WFS} = 32 \cdot t_{PHST} = 32 \cdot (277.5 \cdot 1/1)$
- 2 $t_{PFS} = 262 \cdot t_{PHST} = 262 \cdot (277.5 \cdot 1/1)$ for MC6847
 $t_{PFS} = 262.5 \cdot t_{PHST} = 262.5 \cdot (277.5 \cdot 1/1)$ for MC6847Y

FIGURE 9 - MEMORY SELECT (MS) TIMING



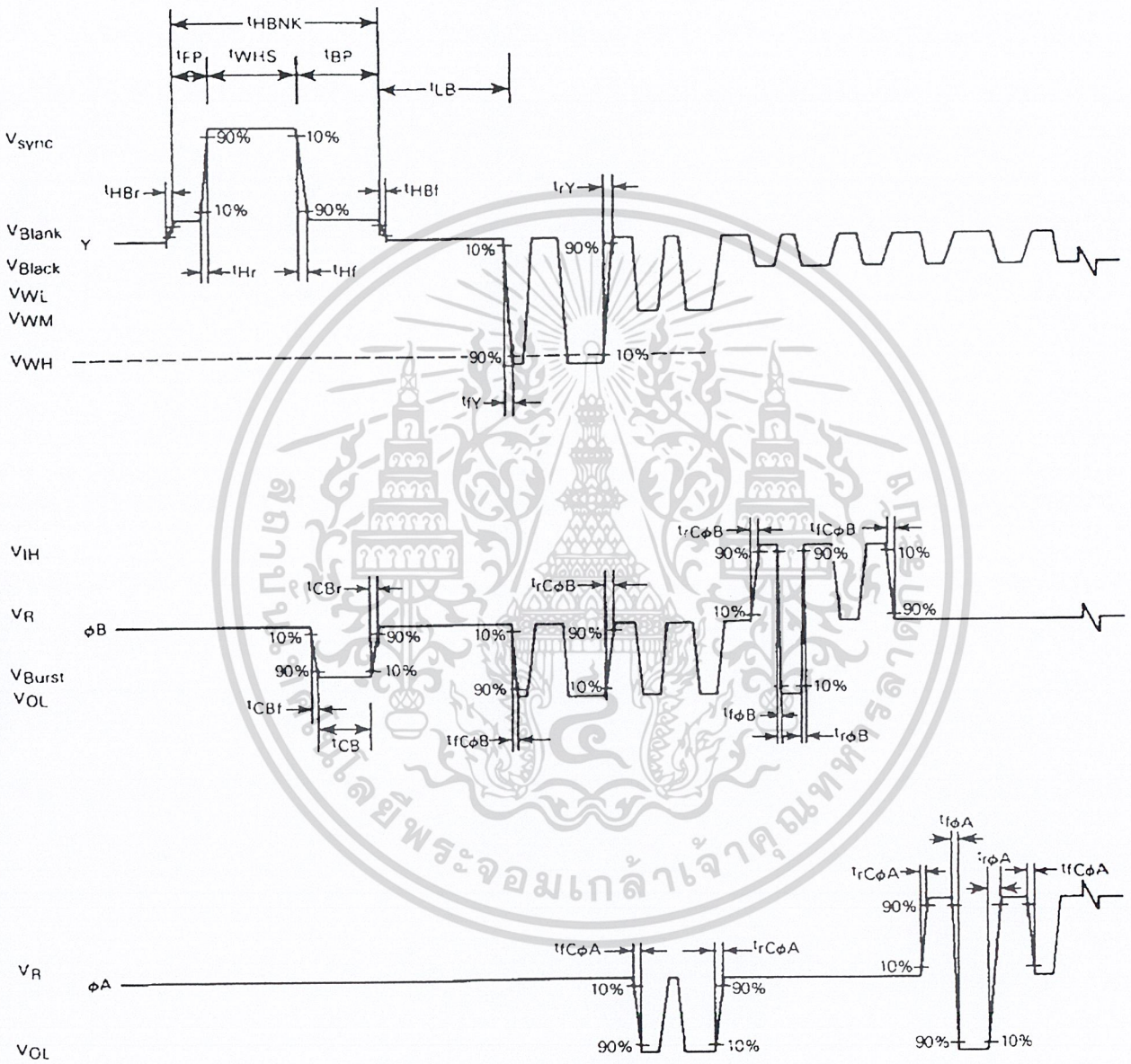
NOTES

1. MS is asserted asynchronously with respect to CLK.



MOTOROLA Semiconductor Products Inc.

FIGURE 12 — TIMING DIAGRAMS
VIDEO RISE AND FALL TIMES (Illustrates Beginning of One Horizontal Line)

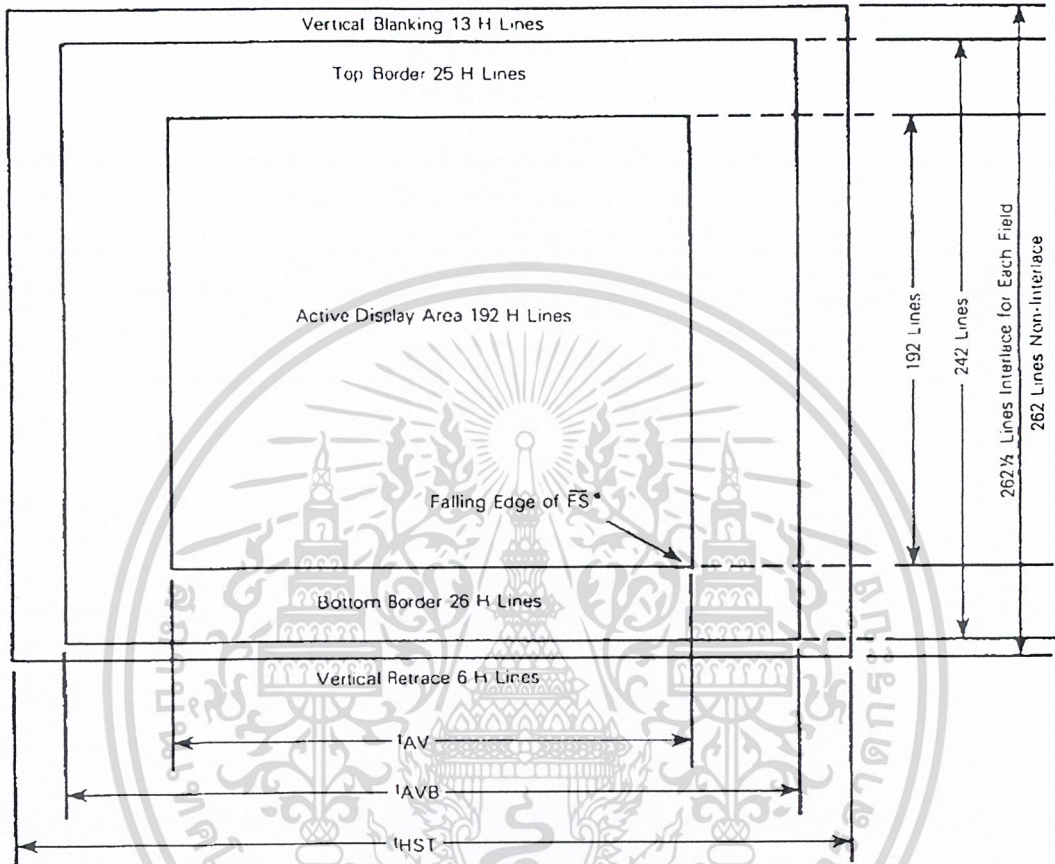


MOTOROLA Semiconductor Products Inc.

เอกสารนี้เป็นเอกสารลิขสิทธิ์ของ Motorola Semiconductor Products Inc. ไม่สามารถทำซ้ำหรือเผยแพร่โดยไม่ได้รับอนุญาตจาก Motorola Semiconductor Products Inc. หรือตัวแทนจำหน่าย

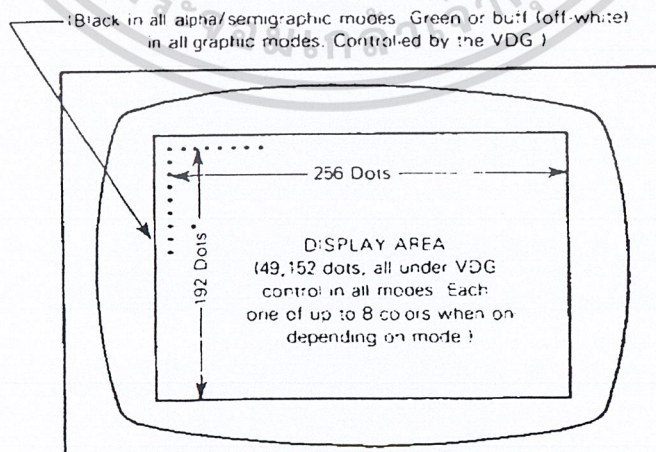
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FIGURE 13 — DISPLAY AREA TIMING



* Typically 2.4 μ s after start of vertical blank.

FIGURE 14 — TYPICAL FORMAT OF THE TELEVISION SCREEN BORDER



* One on each non-interlaced line. For interlace, the lines of the odd field are copied into the even field thus doubling the number of displayed dots.



VIDEO DISPLAY GENERATOR DESCRIPTION

The MC6847/MC6847Y video display generators provide a simple interface for display of digital information on a color monitor or standard color/black and white television receiver.

Television transmissions in North and South America and Japan conform to the National Television System Committee (NTSC) standards. This system is based on a field repetition rate of 60 fields per second. There are 525 interlaced lines per frame or one-half this number per field.

The MC6847 scans one field of 262 lines per second. The MC6847 non-interlace VDG is recommended for use in systems (i.e., TV games and personal computers) where absolute NTSC compatibility is not required. If NTSC compatibility is required, perhaps for caption overlays on broad-case signals, then the MC6847Y interlace VDG is recommended.

NOTE

A system with the MC6847 VDG and the MC1372 video modulator forms a transmitter, transmitting at 61.2 MHz (channel 3) or 67.25 MHz (channel 4) depending on component values chosen. This being a Class I TV device, care must be taken to meet FCC requirements Part 15, Subpart H. However, if the composite video output from the MC1372 were to drive the television directly, Section 15.7 of the FCC specification must be adhered to.

SIGNAL DESCRIPTION

DISPLAY ADDRESS OUTPUT LINES (DA0-DA12)

Thirteen address lines are used by the VDG to scan the display memory as shown in Figures 4-7. The starting address of the display memory is located at the upper left corner of the display screen. As the television sweeps from the left to right and top to bottom, the VDG increments the RAM display address. The timing for two accesses starting at the beginning of the line is shown in Figure 6. These lines are TTL compatible and may be forced into a high-impedance state whenever MS (pin 12) goes low. A0-A3

change during the active display area. A4 changes during the active display area in the alphanumeric, semigraphics, CG2, CG3, CG6, and RG6 modes. A5-A12 do not toggle within the active display area but instead, ripple through the address during border and blanking time.

DATA INPUTS (DD0-DD7)

Eight TTL compatible data lines are used to input data from RAM to be processed by the VDG. The data is then interpreted and transformed into luminance (Y) and chroma outputs (ϕA and ϕB).

POWER INPUTS — V_{CC} requires +5 volts $\pm 5\%$. V_{SS} requires zero volts and is normally ground. The tolerance and current requirements of the VDG are specified in the Electrical Characteristics.

VIDEO OUTPUTS (ϕA , ϕB , Y, CHB) — These four analog outputs are used to transfer luminance and color information to a standard NTSC color television receiver, either via the MC1372 RF modulator or via drivers directly into Y, ϕA , ϕB television video inputs (see Figures 10, 11, and 12).

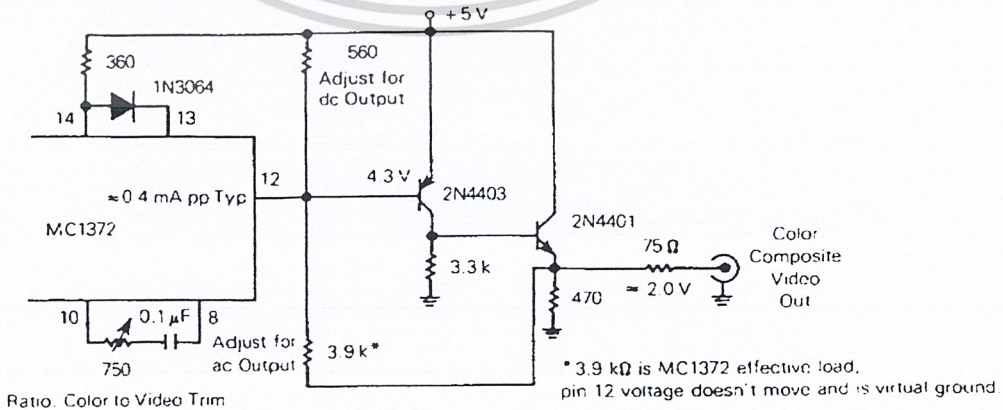
Luminance (Y) — This six level analog output contains composite sync, blanking and four levels of video luminance.

ϕA — This three level analog output is used in combination with ϕB and Y outputs to specify one of eight colors.

ϕB — This four level output is used in combination with ϕA and Y outputs to specify one of eight colors. Additionally, one analog level is used to specify the time of the color burst reference signal.

Chroma Bias (CHB) — This pin is an analog output and provides a DC reference corresponding to the quiescent value of ϕA and ϕB . CHB is used to guarantee good thermal tracking and minimize the variation between the MC1372 and MC6847. This pin, when pulled low, resets certain registers within the chip. In a user's system, this pin should not normally be used as an input. It is used mainly to enhance test capabilities within the factory.

FIGURE 15 — COLOR COMPOSITE VIDEO TO COLOR MONITOR



Ratio. Color to Video Trim



MOTOROLA Semiconductor Products Inc.

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ไว้เพื่อการใช้งานในเชิงพาณิชย์เท่านั้น ไม่อนุญาตให้เผยแพร่โดยไม่ได้รับอนุญาต

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดลอกเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SYNCHRONIZING INPUTS (\overline{MS} , CLK)

THREE-STATE CONTROL - (\overline{MS}) is a TTL compatible input which, when low, forces the VDG address lines into a high-impedance state, as shown in Figure 9. This may be done to allow other devices (such as an MPU) to address the display memory (RAM).

CLOCK (CLK) - The VDG clock input (CLK) requires a 3.579545 MHz (standard color burst) TV crystal frequency square wave. The duty cycle of this clock must be between 45 and 55% since it controls the width of alternate dots on the television screen. The MC1372 RF modulator may be used to supply the 3.579545 MHz clock and has provisions for a duty cycle adjustment. The VDG will power-up using either the rising or falling edge of the clock. The dotted line on the CLK signal in Figure 4 indicates this characteristic of latching in data on either clock edge.

SYNCHRONIZING OUTPUTS (\overline{FS} , \overline{HS} , \overline{RP})

Three TTL compatible outputs provide circuits, exterior to the VDG, with timing references to the following internal VDG states:

FIELD SYNC (\overline{FS}) - The high-to-low transition of the \overline{FS} output coincides with the end of active display area (see Figure 8). During this time interval, an MPU may have total access to the display RAM without causing undesired flicker on the screen. The low-to-high transition of \overline{FS} coincides with the trailing edge of the vertical synchronization pulse.

HORIZONTAL SYNC (\overline{HS}) - The \overline{HS} pulse coincides with the horizontal synchronization pulse furnished to the television receiver by the VDG (see Figure 7). The high-to-low transition of the \overline{HS} output coincides with the leading edge of the horizontal synchronization pulse and the low-to-high transition coincides with the trailing edge.

ROW PRESET (\overline{RP}) - If desired, an external character generator ROM may be used with the VDG. However, an external four bit counter must be added to supply row addresses. The counter is clocked by the \overline{HS} signal and is cleared by the \overline{RP} signal. \overline{RP} pulses occur in all alphanumeric and semigraphics modes; no pulses are output in the full graphic modes. \overline{RP} occurs after the first valid 12 lines. Therefore, use an \overline{FS} clocked preloadable counter such as a 74LS161 as shown in Figures 7, 14, and 23

MODE CONTROL LINES INPUT ($\overline{A/G}$, $\overline{A/S}$, $\overline{INT/EXT}$, $GM0$, $GM1$, $GM2$, CSS , INV)

Eight TTL compatible inputs are used to control the operating mode of the VDG. $\overline{A/S}$, $\overline{INT/EXT}$, CSS , and INV may be changed on a character-by-character basis. The CSS pin is used to select between two possible alphanumeric colors when the VDG is in the alphanumeric mode and between two color sets when the VDG is in the Semigraphics 6 or full graphic modes. Table 1 illustrates the various modes that can be obtained using the mode control lines. There are two different types of memory access concerning these modes, they are a short and a long access cycle, which differ by a

FIGURE 16 - EXTERNAL CHARACTER GENERATOR ROW COUNTER FOR MC6847

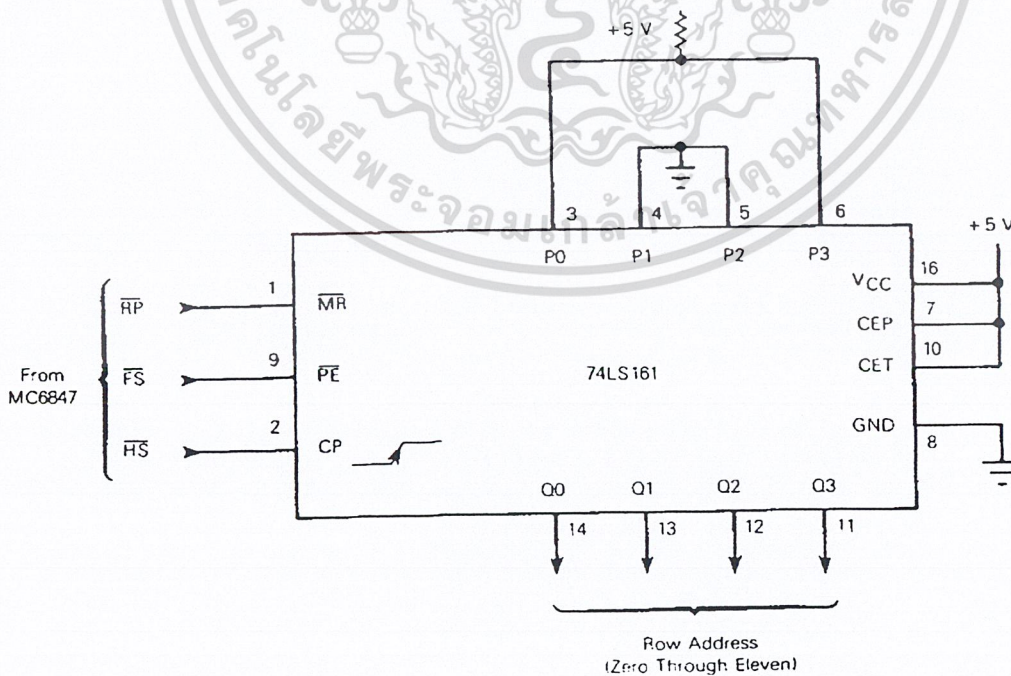


TABLE 1 — MODE CONTROL LINES (INPUTS)

\bar{A}/G	\bar{A}/S	\overline{INT}/EXI	INV	GM2	GM1	GMO	Alpha/Graphic Mode Select	# of Colors
0	0	0	0	X	X	X	Internal Alphanumerics	2
0	0	0	1	X	X	X	Internal Alphanumerics Inverted	
0	0	1	0	X	X	X	External Alphanumerics	
0	0	1	1	X	X	X	External Alphanumerics Inverted	
0	1	0	X	X	X	X	Semigraphics 4 (SG4)	8
0	1	1	X	X	X	X	Semigraphics 6 (SG6)	8
1	X	X	X	0	0	0	64 × 64 Color Graphics One (CG1)	4
1	X	X	X	0	0	1	128 × 64 Resolution Graphics One (RG1)	2
1	X	X	X	0	1	0	128 × 64 Color Graphics Two (CG2)	4
1	X	X	X	0	1	1	128 × 96 Resolution Graphics Two (RG2)	2
1	X	X	X	1	0	0	128 × 96 Color Graphics Three (CG3)	4
1	X	X	X	1	0	1	128 × 192 Resolution Graphics Three (RG3)	2
1	X	X	X	1	1	0	128 × 192 Color Graphics Six (CG6)	4
1	X	X	X	1	1	1	256 × 192 Resolution Graphics Six (RG6)	2

shift of one full 3.58 MHz cycle. One of the differences between these access times, in the short access time frame, is a shift of one full 3.58 MHz cycle from the corresponding normal long access time frame, as shown in Figure 6. The modes using short access times read memory twice as often as the long access modes.

OPERATION OF THE VDG

A simplified block diagram of the VDG is shown in Figure 17a and a detailed block diagram is shown in Figure 17b.

The externally generated 3.58 MHz color burst clock drives the VDG. Referring to Figures 11 and 12, note that the horizontal screen span from blanking to blanking is 193.1 clock periods ($\approx 53.95 \mu\text{s}$). The display window is offset from the left-hand edge by 283 periods and lasts for 128 periods (35.75 μs). Of the 242 lines on the vertical screen from blanking to blanking, 192 lines are used for the display. The display window is offset from the top by 25 lines. Under the constraint of the master clock, the smallest display element possible for the VDG is half period of the 3.58 MHz clock wide by one scan line high. All other display elements are multiples of this basic size.

DISPLAY MEMORY ADDRESS DRIVERS

The address drivers normally drive the video refresh address into the display memory so characters may be displayed on the CRT. When the memory select pin (MS) is pulled low by an external decoder, the driver outputs go to a high-impedance state so external three-state drivers may switch the MPU produced address onto the display memory address bus; the MPU may directly manipulate data in the display memory.

VIDEO TIMING AND CONTROL

This subsystem of the VDG includes the mode decoding, timing generation, and associated row counter logic, and uses the 3.58 MHz color frequency to generate horizontal and vertical timing information (via linear shift register counters), which the video and chroma encoder uses to generate color video information. The horizontal timing for the VDG is summarized in Figure 7. Ten and one-half cycles of the 3.58 MHz subcarrier are transmitted on the back porch

of every horizontal blanking period. This color burst is suppressed during vertical sync and equalizing intervals. Color burst is also suppressed in the most dense two color graphic modes. This leads to some interesting rainbow effects on the display which is frequency and pattern dependent. The vertical timing for the VDG is given in Figure 18. Vertical retrace is initiated by the luminance signal being brought to the blanking level. The vertical blanking period begins with three lines of equalizing pulses followed by three lines of serrated vertical sync pulses followed by three more lines of equalizing pulses. The remaining vertical blanking period contains the normal horizontal sync pulses. The equalizing and serration pulses are at half line frequency. Notice the difference in spacing between the last horizontal sync pulse and the first equalizing pulse in even and odd fields. It is the half line difference between fields that produces the interlaced picture in a frame. Vertical timing between fields for the non-interlaced VDG, on the other hand, is identical. The equalizing and serration pulses are, however, at the horizontal frequency.

The 3.58 MHz color frequency is also used to clock the video shift register load counter. This counter and the video shift clock inhibit circuitry derive the dot-clock for the output of the video shift registers and the load signals for the video shift registers' input latches. The vertical and horizontal address counters generate the addresses for the external display memory.

INTERNAL CHARACTER GENERATOR ROM

Since many uses of the VDG will involve the display of alphanumeric data, a character-generator ROM is included on the chip. This ROM will generate 64 standard 5 × 7 dot matrix characters from standard 6-bit ASCII input. A standard character set is included in the MC6847 although the ROM is custom programmable.

INTERNAL/EXTERNAL CHARACTER GENERATOR MULTIPLEXER

The internal/external multiplexer allows the use of either the internal ROM or an external character generator. This multiplexer may be switched on a character-by-character basis to allow mixed internal and external characters on the CRT. The external character may be any desired dot-pattern in the standard 8 × 12 one-character display matrix, thus allowing the maximum 256 × 192 screen density.

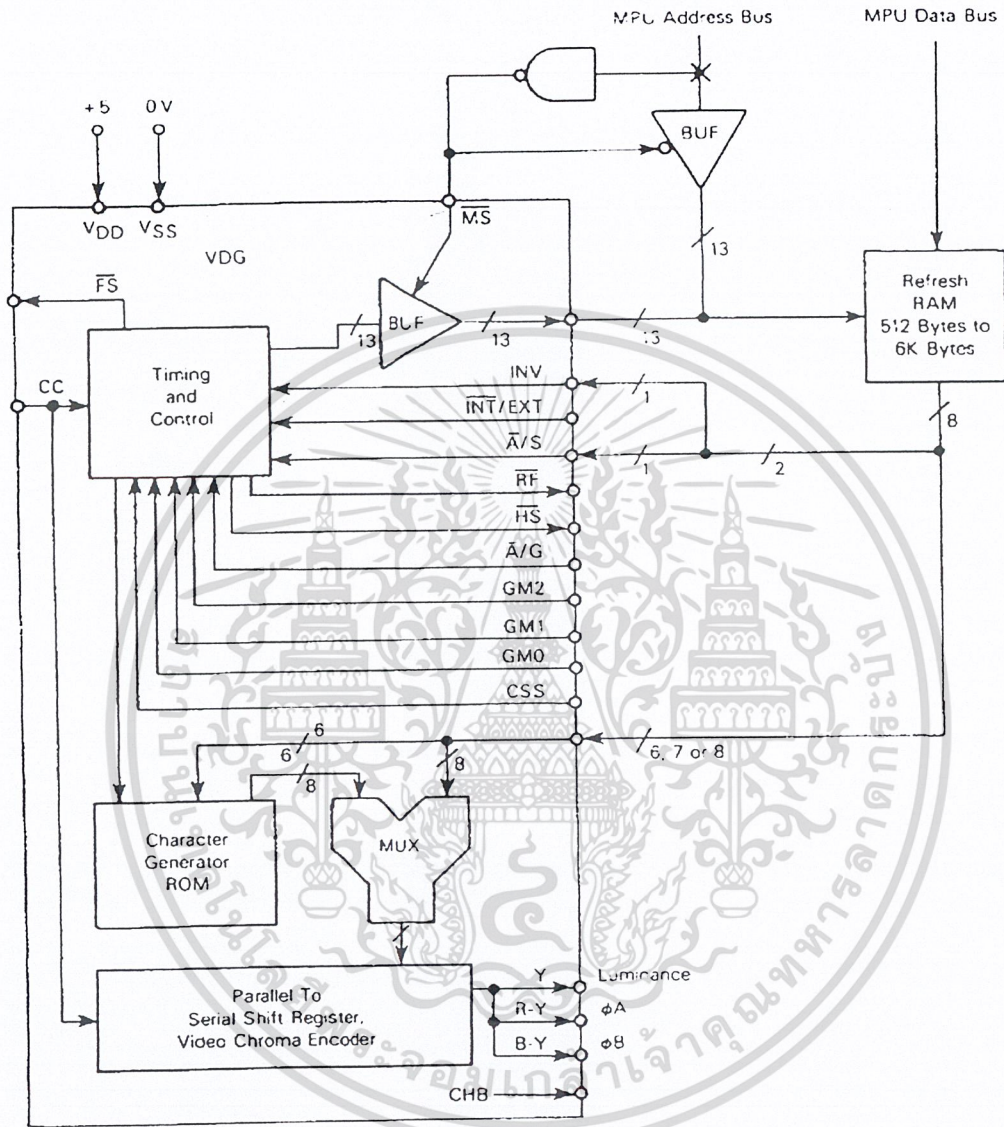


MOTOROLA Semiconductor Products Inc.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FIGURE 17a — SIMPLIFIED VDG BLOCK DIAGRAM



VIDEO AND COLOR SUBSYSTEM

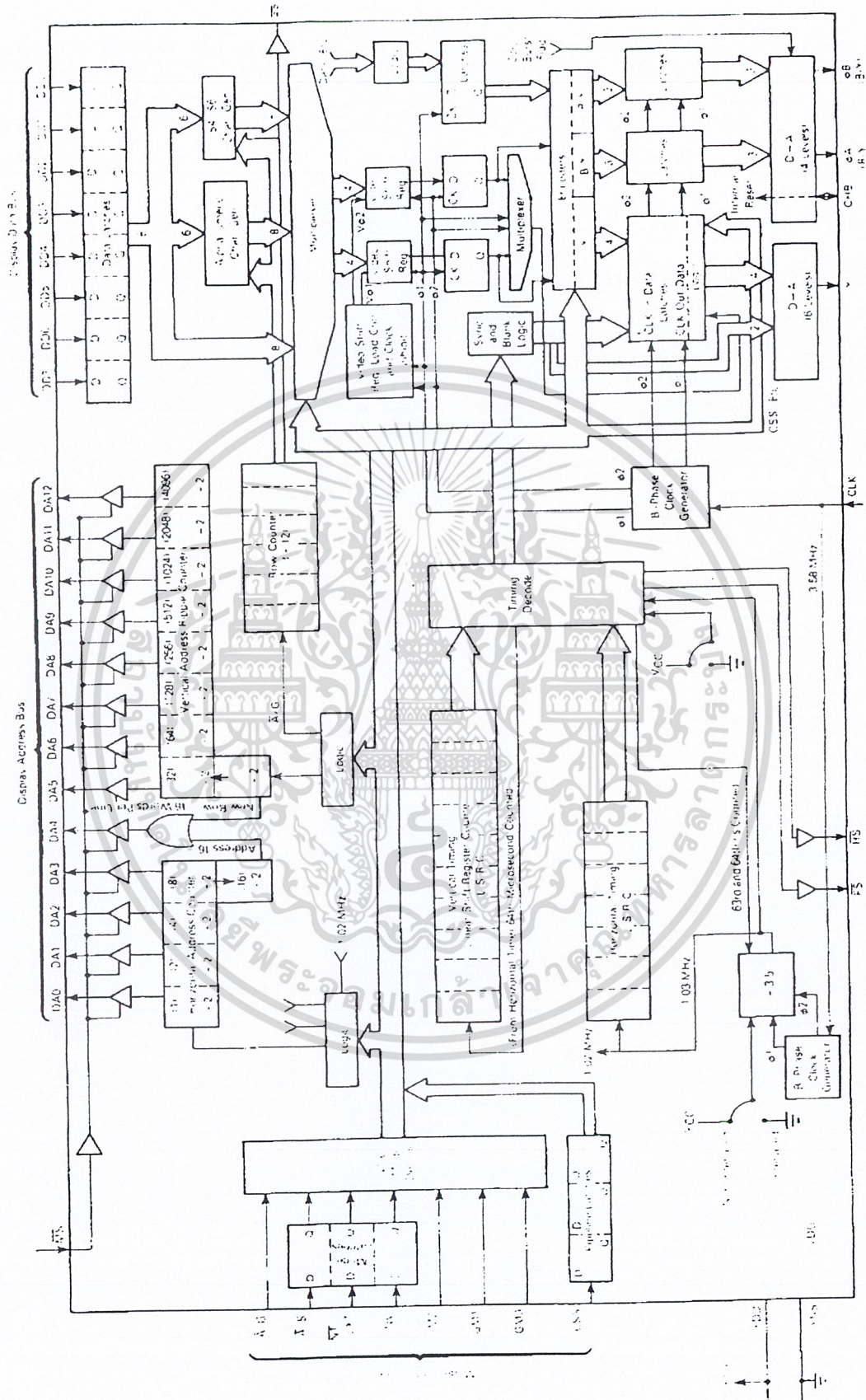
The 8-bit output of the internal/external multiplexer is serialized in an 8-bit shift register clocked at the dot-clock frequency.

The luminance information from the shift register is summed with the horizontal and vertical sync signals to produce a composite video signal less the chrominance information,

called Y. The luminance signal, Y, and the two chrominance outputs, ϕA (R-Y) and ϕB (B-Y), can be combined (modulated) by an MC1372 into a composite video signal with color. Figures 8, 9, 10, and 16 show the relationship between the luminance and chrominance signals and the resultant color.

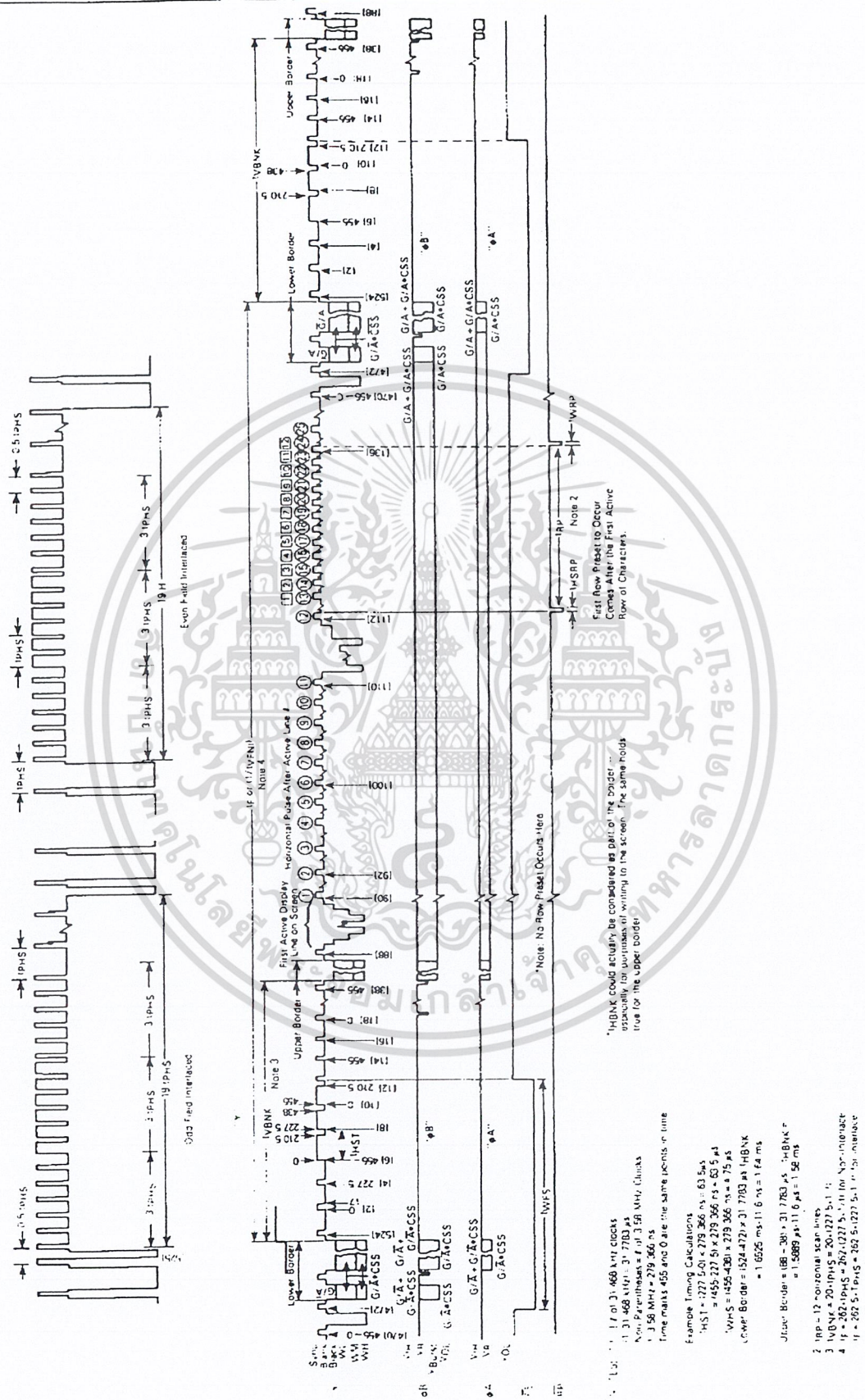


FIGURE 17b — DETAILED VDG BLOCK DIAGRAM



MOTOROLA Semiconductor Products Inc.

FIGURE 18 — NON-INTERLACE VERTICAL TIMING
(For Interlace Vertical Timing Use Insert)



MOTOROLA Semiconductor Products Inc.

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ไว้เพื่อการใช้งานเท่านั้น มิอนุญาตให้นำไปเผยแพร่โดยไม่ได้รับอนุญาต
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดลอกเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DISPLAY MODES

There are two major display modes in the VDG. Major mode 1 contains four alphanumeric and two limited graphic modes. Major mode 2 contains eight graphic modes. Of these, four are full color graphic and four restricted color graphic modes. The mode selection for the VDG is summarized in Table 2. The mnemonics of these fourteen modes are explained in the following sections.

In major mode 1 the display window is divided into 32 columns by 16 character element rows thus requiring 512 bytes of memory. Each character element is 8 half periods by 12 scan lines in size as shown in Figure 19. The area outside the display window is black.

The VDG has a built-in character generator ROM containing the 64 ASCII characters in a 5 x 7 format (see Figure 20).

The 5 x 7 character font is positioned two columns to the right and three rows down within the 8 x 12 character element. Six bits of the 8-bit data word are typically used for the internal ASCII character generator. The remaining two bits may be used to implement inverse video, color switching, or external character generator ROM selection on a character-by-character basis. For those who wish to display lower case letters, special characters, or even limited-graphics, an external ROM may be used. If such external ROM is used, all of the 8 x 12 picture elements, or pixels, in the character element can be utilized. Characters may be either green on a dark green background or orange on a dark orange background, depending on the state of the CSS pin. The invert pin can be used to display dark characters on a bright background.

TABLE 2 — SUMMARY OF MAJOR MODES
Major Mode 1 — Alpha Modes

Title	Memory	Display Elements	Colors	Title	Memory	Display Elements	Colors
Alphanumerics (Internal)	512 x 8		2	Semigraphic 4	512 x 8		8
Alphanumerics (External)	512 x 8		2	Semigraphic 6	512 x 8		4

Major Mode 2 — Graphics Modes

Title	Memory	Colors	Comments
64 x 64 Color Graphic	1 k x 8	4	Matrix 64 x 64 Elements
128 x 64 Graphics*	1 k x 8	2	Matrix 128 Elements Wide by 64 Elements High
128 x 64 Color Graphic	2 k x 8	4	64 Elements High
128 x 96 Graphics*	1.5 k x 8	2	Matrix 128 Elements Wide by 96 Elements High
128 x 96 Color Graphic	3 k x 8	4	96 Elements High
128 x 192 Graphics*	3 k x 8	2	Matrix 128 Elements Wide by 192 Elements High
128 x 192 Color Graphic	6 k x 8	4	192 Elements High
256 x 192 Graphics	6 k x 8	2	Matrix 256 Elements Wide by 192 Elements High

*Graphics mode turns on or off each element. The color may be one of two.

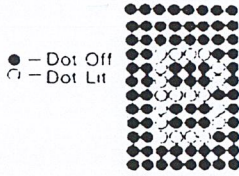


FIGURE 19 — ALPHANUMERIC MODE (INTERNAL)

512 Characters (32 x 16)
Typical Character



Inverted
Black Character
Orange or Green
Background (Selectable)



Normal
Black Background
Orange or Green
Character (Selectable)

Character Source:

- Internal — 6 Bit ASCII Generator ROM On Chip or User Definable
- External — Users ROM

The two limited graphic modes are Semigraphics 4 and Semigraphics 6. In Semigraphics 4, the 8 x 12 dot character block is divided into four pixels (each pixel is four half-clocks by six scan lines). The four low-order bits (DD0-DD3) of each incoming byte of data select one of sixteen possible illumination patterns while the next three bits (DD4-DD6) determine the color of the illuminated elements. The most significant bit is unused. Figure 21 shows the color and pattern selections. In Semigraphics 6 the 8 x 12 dot character block is divided into six pixels, each four half-clocks by four scan lines. The six low-order bits of each byte of incoming data select one of 64 possible illumination patterns while the CSS input and the high-order data bits (DD6-DD7) determine the color of the illuminated elements.

The display window in major mode 2 (full graphics) has a less rigorous format than in major mode 1. The display elements vary from one scan line to three scan lines in height. The length of the display element is either eight or sixteen half-periods wide. Each display element is divided into four or eight pixels. The former corresponds to a full color mode while the latter a restricted color mode, like the semigraphics modes, represents illumination data. When it is high the pixel is illuminated with the color chosen by the color set select (CSS) pin. When it is low the pixel is black. In the full color modes, pairs of data bits choose one of four colors in one of two color sets defined by the CSS pin. Depending on the state of the CSS pin, the area outside the display window is either green or buff. The display formats and color selection for this major mode are summarized in Figure 19.

THE 64 x 64 COLOR GRAPHICS ONE (CG1) MODE —
The 64 x 64 color graphics mode generates a display matrix of 64 elements wide by 64 elements high. Each element may be one of four colors. A 1k x 8 display memory is required. The display RAM is accessed 16 times per horizontal line. Each pixel equals four half-clocks by three scan lines.

THE 128 x 64 RESOLUTION GRAPHICS ONE (RG1) MODE —
The 128 x 64 graphics mode generates a matrix 128 elements wide by 64 elements high. Each element may be either ON or OFF. However, the entire display may be one of two colors, selected by using the color set select pin. A 1k x 8 display memory is required. The display RAM is accessed 16 times per horizontal line. Each pixel equals two half-clocks by three scan lines

FIGURE 20 — AVAILABLE ALPHANUMERIC

MD4 = INV = D4
MD7 = AS = D7

○ = Inverted Character — Illuminated Background, Dark Character:

	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
0	0	A	H	C	O	F	F	G	K	I	J	K	L	M	N	O
1	P	R	S	T	U	V	W	X	Y	Z	.	,	!	?	~	
2	.	'	*	^	~	^	^	^	^	^	^	^	^	^	^	^
3	0	1	2	3	4	5	6	7	8	9	.	,	!	?	~	
4	@	A	B	C	D	E	F	G	H	I	J	K	L	M	N	O
5	P	Q	R	S	T	U	V	W	X	Y	Z	.	,	!	?	~
6	~	~	~	~	~	~	~	~	~	~	~	~	~	~	~	~
7	0	1	2	3	4	5	6	7	8	9	.	,	!	?	~	

THE 128 x 64 COLOR GRAPHICS TWO (CG2) MODE —
The 128 x 64 color graphics mode generates a display matrix 128 elements wide by 64 elements high. Each element may be one of four colors. A 2k x 8 display memory is required. The display RAM is accessed 32 times per horizontal line. Each pixel equals two half-clocks by three scan lines.

THE 128 x 96 RESOLUTION GRAPHICS TWO (RG2) MODE —
The 128 x 96 graphics mode generates a display matrix 128 elements wide by 96 elements high. Each element may be either ON or OFF. However, the entire display may be one of two colors selected by using the color set select pin. A 1.5k x 8 display memory is required. The display RAM is accessed 16 times per horizontal line. Each pixel equals two half-clocks by two scan lines.

THE 128 x 96 COLOR GRAPHICS THREE (CG3) MODE —
The 128 x 96 color graphics mode generates a display 128 elements wide by 96 elements high. Each element may be one of four colors. A 3k x 8 display memory is required. The display RAM is accessed 32 times per horizontal line. Each pixel equals two half-clocks by two scan lines.

THE 128 x 192 RESOLUTION GRAPHICS THREE (RG3) MODE —
The 128 x 192 graphics mode generates a display matrix 128 elements wide by 192 elements high. Each element may be either ON or OFF, but the ON element may be one of two colors selected with the color set select pin. A 3k x 8 display memory is required. The display RAM is accessed 16 times per horizontal line. Each pixel equals two half-clocks by one scan line.

THE 128 x 192 COLOR GRAPHICS SIX (CG6) MODE —
The 128 x 192 color graphics mode generates a display 128 elements wide by 192 elements high. Each element may be one of four colors. A 6k x 8 display memory is required. The display RAM is accessed 32 times per horizontal line. Each pixel equals two half-clocks by one scan line.

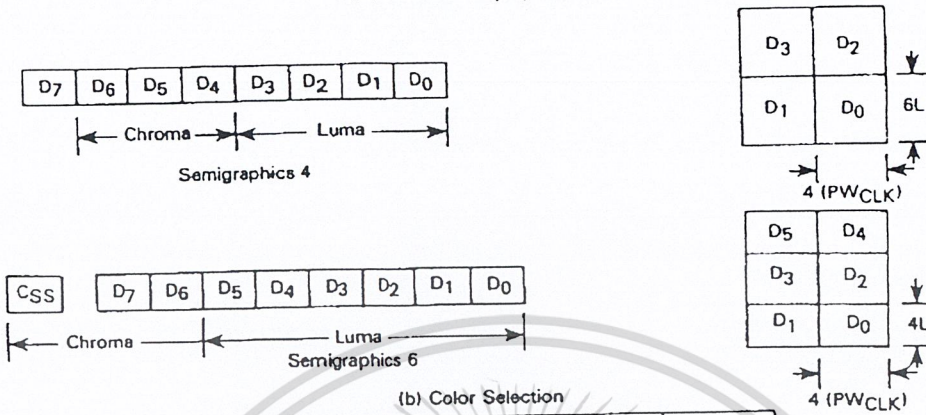
THE 256 x 192 RESOLUTION GRAPHICS SIX (RG6) MODE —
The 256 x 193 graphics mode generates a display 256 elements wide by 192 elements high. Each element may be either ON or OFF, but the ON element may be one of two colors selected with the color set select pin. A 6k x 8 display memory is required. The display RAM is accessed 32 times per horizontal line. Each pixel equals one half-clock by one scan line.



MOTOROLA Semiconductor Products Inc.

FIGURE 21 - SEMIGRAPHIC MODE ENCODING

(a) Data and Display Formats

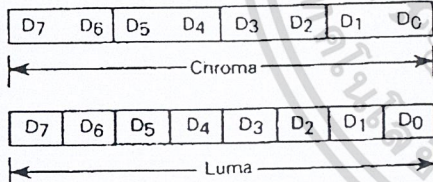


(b) Color Selection

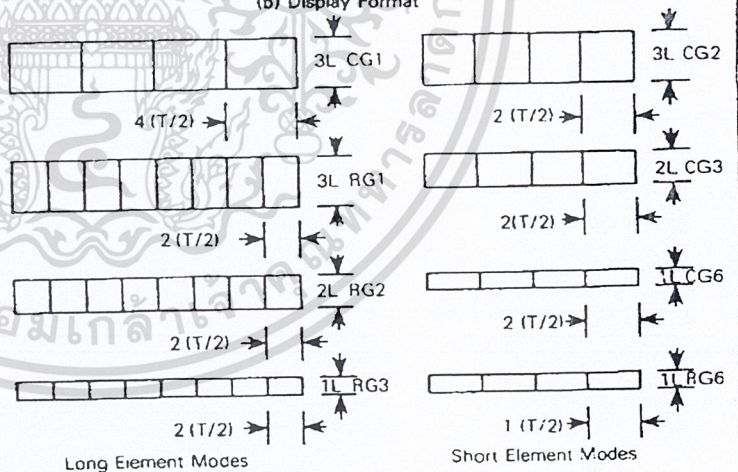
Luma DN	D6	SG4 D5	D4	CSS	SG6 D7	D6	Color
0	X	X	X	X	X	X	Black
1	0	0	0	0	0	0	Green
1	0	0	1	0	0	1	Yellow
1	0	1	0	0	1	0	Blue
1	0	1	1	0	1	1	Red
1	1	0	0	1	0	0	Buff
1	1	0	1	1	0	1	Cyan
1	1	1	0	1	1	0	Magenta
1	1	1	1	1	1	1	Orange

FIGURE 22 - GRAPHIC MODE ENCODING

(a) Data Format



(b) Display Format



(c) Color Selection

CSS	Border	Resolution Color Mode		Color Mode		
		DN	Color	DN + 1	DN	Color
0	Green	0	Black	0	0	Green
0	Green	1	Green	0	1	Yellow
0	Green	1	Green	1	0	Blue
0	Green	1	Green	1	1	Red
1	Buff	0	Black	0	0	Buff
1	Buff	1	Buff	0	1	Cyan
1	Buff	1	Buff	1	0	Magenta
1	Buff	1	Buff	1	1	Orange



MOTOROLA Semiconductor Products Inc.



MICROCHIP

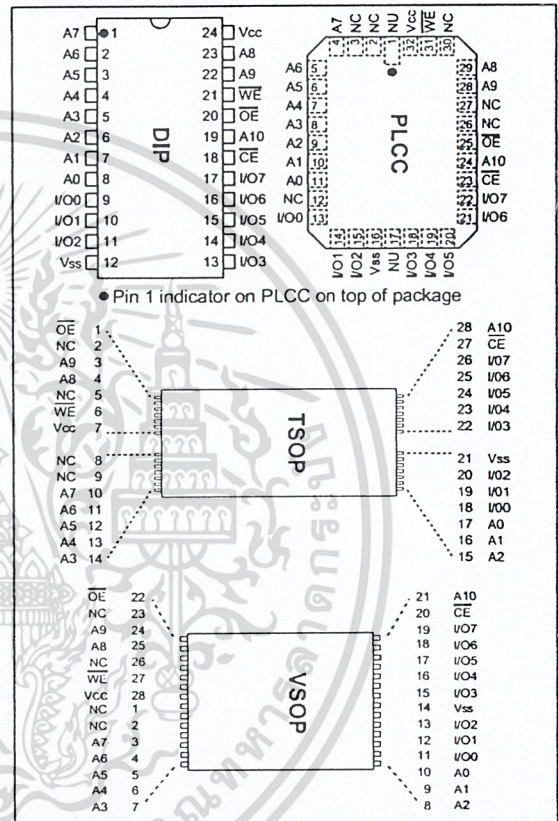
28C16A

16K (2K x 8) CMOS EEPROM

FEATURES

- Fast Read Access Time—150 ns
- CMOS Technology for Low Power Dissipation
 - 30 mA Active
 - 100 μ A Standby
- Fast Byte Write Time—200 μ s or 1 ms
- Data Retention >200 years
- High Endurance - Minimum 10^4 Erase/Write Cycles
- Automatic Write Operation
 - Internal Control Timer
 - Auto-Clear Before Write Operation
 - On-Chip Address and Data Latches
- Data polling
- Chip Clear Operation
- Enhanced Data Protection
 - VCC Detector
 - Pulse Filter
 - Write Inhibit
- Electronic Signature for Device Identification
- 5-Volt-Only Operation
- Organized 2Kx8 JEDEC Standard Pinout
- 24-pin Dual-In-Line Package
- 32-pin PLCC Package
- 28-pin Thin Small Outline Package (TSOP) 8x20mm
- 28-pin Very Small Outline Package (VSOP) 8x13.4mm
- Available for Extended Temperature Ranges:
 - Commercial: 0°C to +70°C
 - Industrial: -40°C to +85°C

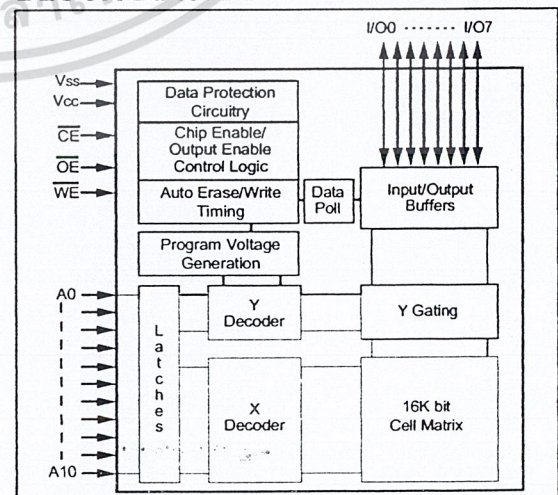
PACKAGE TYPES



DESCRIPTION

The Microchip Technology Inc. 28C16A is a CMOS 16K non-volatile electrically Erasable PROM. The 28C16A is accessed like a static RAM for the read or write cycles without the need of external components. During a "byte write", the address and data are latched internally, freeing the microprocessor address and data bus for other operations. Following the initiation of write cycle, the device will go to a busy state and automatically clear and write the latched data using an internal control timer. To determine when a write cycle is complete, the 28C16A uses Data polling. Data polling allows the user to read the location last written to when the write operation is complete. CMOS design and processing enables this part to be used in systems where reduced power consumption and reliability are required. A complete family of packages is offered to provide the utmost flexibility in applications.

BLOCK DIAGRAM



28C16A

1.0 ELECTRICAL CHARACTERISTICS

1.1 MAXIMUM RATINGS*

VCC and input voltages w.r.t. VSS -0.6V to + 6.25V
 Voltage on \overline{OE} w.r.t. VSS -0.6V to +13.5V
 Voltage on A9 w.r.t. VSS -0.6V to +13.5V
 Output Voltage w.r.t. VSS -0.6V to VCC+0.6V
 Storage temperature -65°C to +125°C
 Ambient temp. with power applied -50°C to +95°C

*Notice: Stresses above those listed under "Maximum Ratings" may cause permanent damage to the device. This is a stress rating only and functional operation of the device at those or any other conditions above those indicated in the operation listings of this specification is not implied. Exposure to maximum rating conditions for extended periods may affect device reliability.

TABLE 1-1: PIN FUNCTION TABLE

Name	Function
A0 - A10	Address Inputs
\overline{CE}	Chip Enable
\overline{OE}	Output Enable
\overline{WE}	Write Enable
I/O0 - I/O7	Data Inputs/Outputs
VCC	+5V Power Supply
VSS	Ground
NC	No Connect; No Internal Connection
NU	Not Used; No External Connection is Allowed

TABLE 1-2: READ/WRITE OPERATION DC CHARACTERISTICS

VCC = +5V ±10%						
Commercial (C): Tamb = 0°C to +70°C						
Industrial (I): Tamb = -40°C to +85°C						
Parameter	Status	Symbol	Min	Max	Units	Conditions
Input Voltages	Logic '1'	V _{IH}	2.0	V _{CC} +1	V	
	Logic '0';	V _{IL}	-0.1	0.8	V	
Input Leakage	—	I _{LI}	-10	10	μA	V _{IN} = -0.1V to V _{CC} +1
Input Capacitance	—	C _{IN}	—	10	pF	V _{IN} = 0V; Tamb = 25°C; f = 1 MHz
Output Voltages	Logic '1'	V _{OH}	2.4		V	I _{OH} = -400 μA I _{OL} = 2.1 mA
	Logic '0'	V _{OL}		0.45	V	
Output Leakage	—	I _{LO}	-10	10	μA	V _{OUT} = -0.1V to V _{CC} +0.1V
Output Capacitance	—	C _{OUT}	—	12	pF	V _{IN} = 0V; Tamb = 25°C; f = 1 MHz
Power Supply Current, Active	TTL input	I _{CC}	—	30	mA	f = 5 MHz (Note 1) V _{CC} = 5.5V;
Power Supply Current, Standby	TTL input	I _{CC(S)TTL}	—	2	mA	$\overline{CE} = V_{IH}$ (0°C to +70°C)
	TTL input	I _{CC(S)TTL}	—	3	mA	$\overline{CE} = V_{IH}$ (-40°C to +85°C)
	CMOS input	I _{CC(S)CMOS}	—	100	μA	$\overline{CE} = V_{CC}-0.3$ to V _{CC} +1

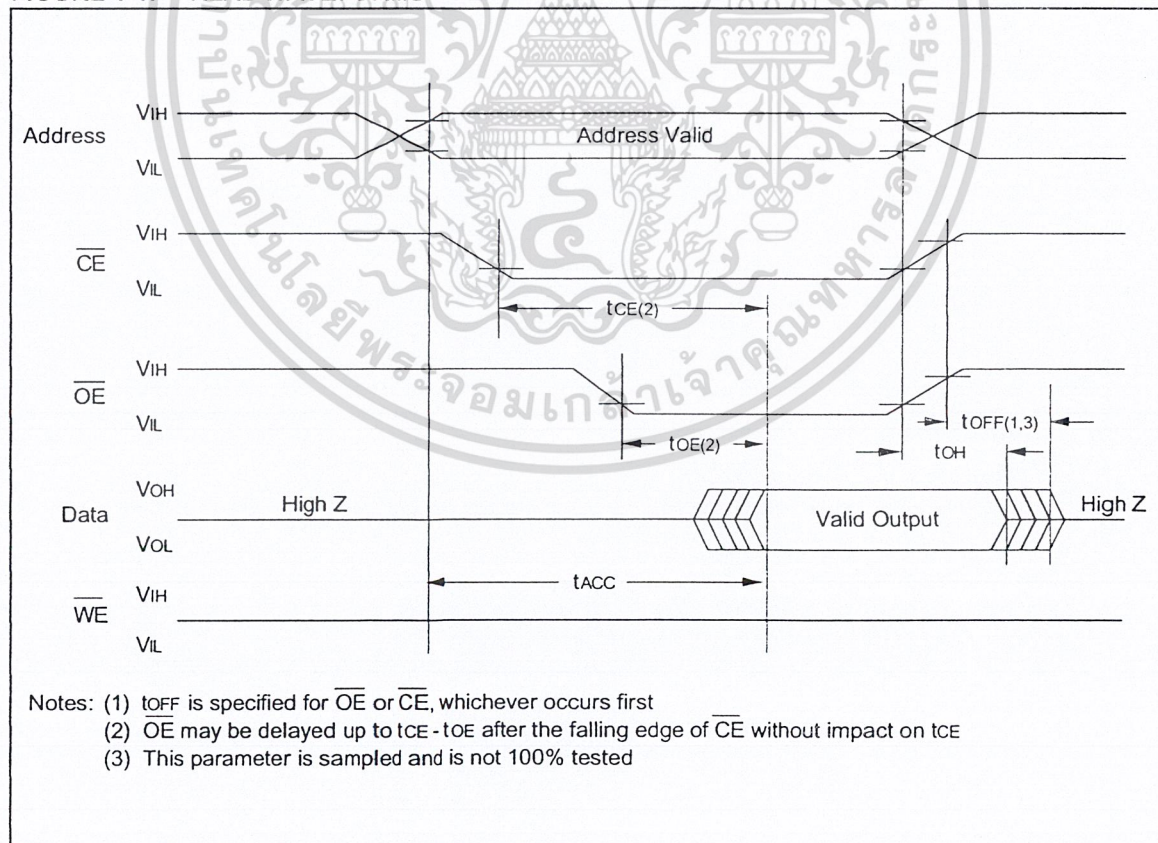
Note 1: AC power supply current above 5 MHz; 1 mA/MHz.

TABLE 1-3: READ OPERATION AC CHARACTERISTICS

Parameter	Sym	28C16A-15		28C16A-20		28C16A-25		Units	Conditions
		Min	Max	Min	Max	Min	Max		
Address to Output Delay	t _{ACC}	—	150	—	200	—	250	ns	$\overline{OE} = \overline{CE} = V_{IL}$
\overline{CE} to Output Delay	t _{CE}	—	150	—	200	—	250	ns	$\overline{OE} = V_{IL}$
\overline{OE} to Output Delay	t _{OE}	—	70	—	80	—	100	ns	$\overline{CE} = V_{IL}$
\overline{CE} or \overline{OE} High to Output Float	t _{OFF}	0	50	0	55	0	70	ns	
Output Hold from \overline{CE} or \overline{OE} , whichever occurs first	t _{OH}	0	—	0	—	0	—	ns	
Endurance	—	1M	—	1M	—	1M	—	cycles	25°C, V _{CC} = 5.0V, Block Mode (Note)

Note: This parameter is not tested but guaranteed by characterization. For endurance estimates in a specific application, please consult the Total Endurance Model which can be obtained on our BBS or website.

FIGURE 1-1: READ WAVEFORMS



28C16A

TABLE 1-4: BYTE WRITE AC CHARACTERISTICS

Parameter	Symbol	Min	Max	Units	Remarks
AC Testing Waveform: $V_{IH} = 2.4V$ and $V_{IL} = 0.45V$; $V_{OH} = 2.0V$; $V_{OL} = 0.8V$ Output Load: 1 TTL Load + 100 pF Input Rise/Fall Times: 20 ns Ambient Temperature: Commercial (C): $T_{amb} = 0^{\circ}C$ to $+70^{\circ}C$ Industrial (I): $T_{amb} = -40^{\circ}C$ to $+85^{\circ}C$					
Address Set-Up Time	t_{AS}	10	—	ns	
Address Hold Time	t_{AH}	50	—	ns	
Data Set-Up Time	t_{DS}	50	—	ns	
Data Hold Time	t_{DH}	10	—	ns	
Write Pulse Width	t_{WPL}	100	—	ns	Note 1
Write Pulse High Time	t_{WPH}	50	—	ns	
\overline{OE} Hold Time	t_{OEH}	10	—	ns	
\overline{OE} Set-Up Time	t_{OES}	10	—	ns	
Data Valid Time	t_{DV}	—	1000	ns	Note 2
Write Cycle Time (28C16A)	t_{WC}	—	1	ms	0.5 ms typical
Write Cycle Time (28C16AF)	t_{WC}	—	200	μs	100 μs typical

Note 1: A write cycle can be initiated by \overline{CE} or \overline{WE} going low, whichever occurs last. The data is latched on the positive edge of \overline{CE} or \overline{WE} , whichever occurs first.

Note 2: Data must be valid within 1000ns max. after a write cycle is initiated and must be stable at least until t_{DH} after the positive edge of \overline{WE} or \overline{CE} , whichever occurs first.

FIGURE 1-2: PROGRAMMING WAVEFORMS

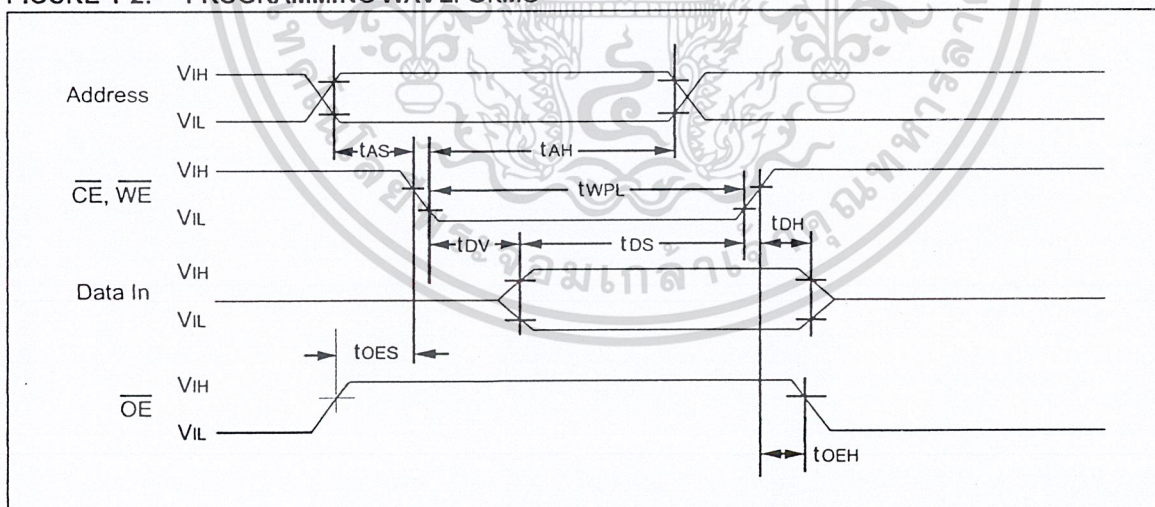


FIGURE 1-3: DATA POLLING WAVEFORMS

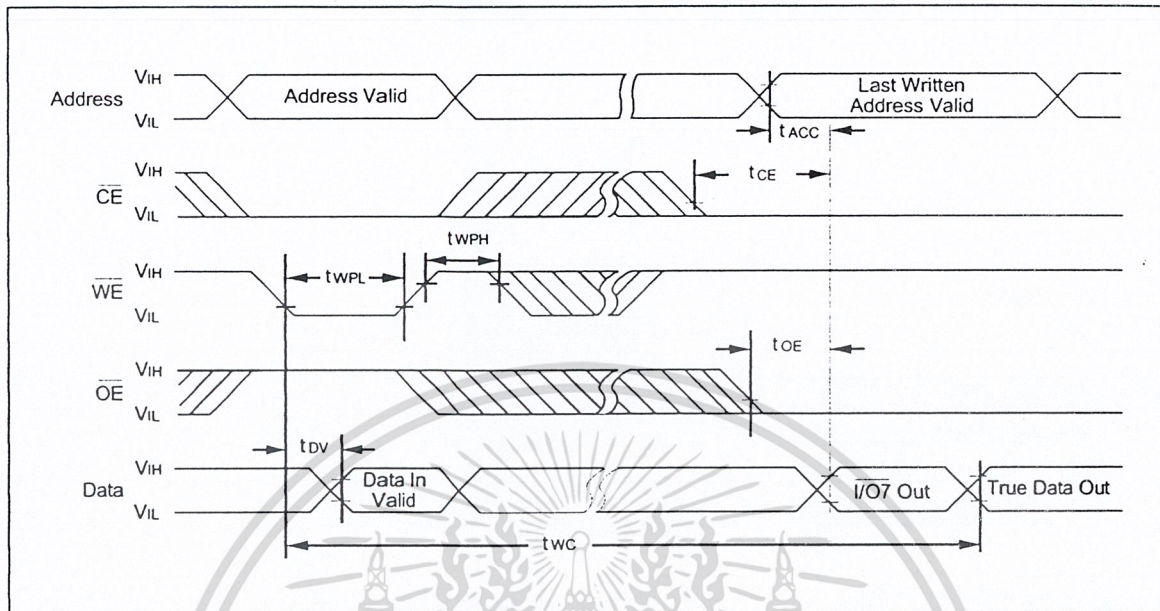


FIGURE 1-4: CHIP CLEAR WAVEFORMS

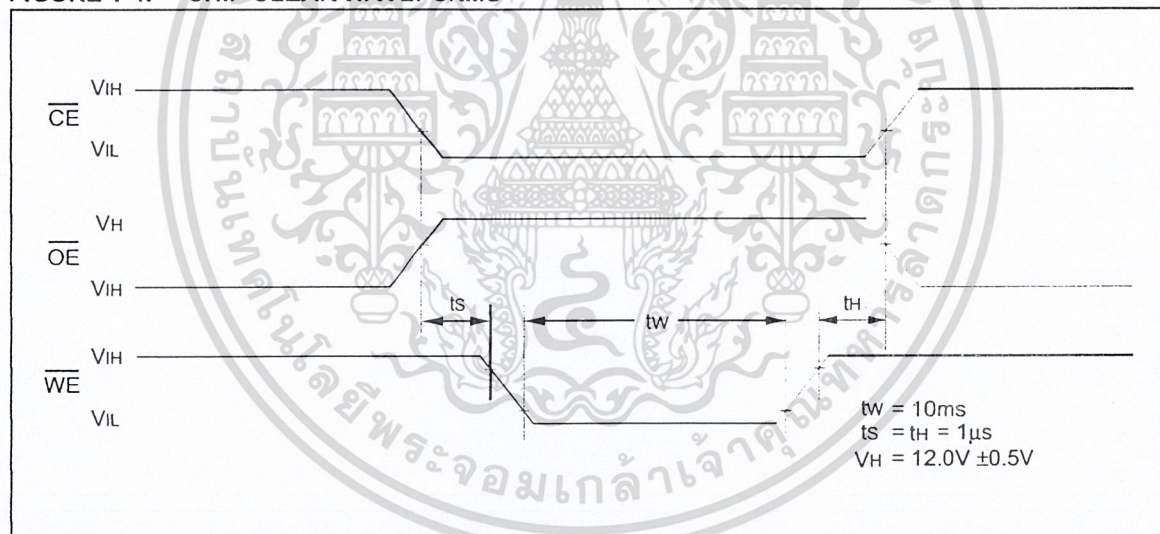


TABLE 1-5: SUPPLEMENTARY CONTROL

Mode	\overline{CE}	\overline{OE}	\overline{WE}	A9	Vcc	I/O
Chip Clear	V _{IL}	V _H	V _{IL}	X	V _{CC}	
Extra Row Read	V _{IL}	V _{IL}	V _{IH}	A9 = V _H	V _{CC}	Data Out
Extra Row Write	*	V _{IH}	*	A9 = V _H	V _{CC}	Data In

Note 1: V_H = 12.0V±0.5V * Pulsed per programming waveforms.

28C16A

2.0 DEVICE OPERATION

The Microchip Technology Inc. 28C16A has four basic modes of operation—read, standby, write inhibit, and byte write—as outlined in the following table.

Operation Mode	\overline{CE}	\overline{OE}	\overline{WE}	I/O
Read	L	L	H	DOUT
Standby	H	X	X	High Z
Write Inhibit	H	X	X	High Z
Write Inhibit	X	L	X	High Z
Write Inhibit	X	X	H	High Z
Byte Write	L	H	L	DIN
Byte Clear	Automatic Before Each "Write"			

X = Any TTL level.

2.1 Read Mode

The 28C16A has two control functions, both of which must be logically satisfied in order to obtain data at the outputs. Chip enable (\overline{CE}) is the power control and should be used for device selection. Output Enable (\overline{OE}) is the output control and is used to gate data to the output pins independent of device selection. Assuming that addresses are stable, address access time (t_{ACC}) is equal to the delay from \overline{CE} to output (t_{CE}). Data is available at the output t_{OE} after the falling edge of \overline{OE} , assuming that \overline{CE} has been low and addresses have been stable for at least t_{ACC} - t_{OE} .

2.2 Standby Mode

The 28C16A is placed in the standby mode by applying a high signal to the \overline{CE} input. When in the standby mode, the outputs are in a high impedance state, independent of the \overline{OE} input.

2.3 Data Protection

In order to ensure data integrity, especially during critical power-up and power-down transitions, the following enhanced data protection circuits are incorporated:

First, an internal Vcc detect (3.3 volts typical) will inhibit the initiation of non-volatile programming operation when Vcc is less than the Vcc detect circuit trip.

Second, there is a \overline{WE} filtering circuit that prevents \overline{WE} pulses of less than 10 ns duration from initiating a write cycle.

Third, holding \overline{WE} or \overline{CE} high or \overline{OE} low, inhibits a write cycle during power-on and power-off (Vcc).

2.4 Write Mode

The 28C16A has a write cycle similar to that of a Static RAM. The write cycle is completely self-timed and initiated by a low going pulse on the \overline{WE} pin. On the falling edge of \overline{WE} , the address information is latched. On rising edge, the data and the control pins (\overline{CE} and \overline{OE}) are latched.

2.5 Data Polling

The 28C16A features Data polling to signal the completion of a byte write cycle. During a write cycle, an attempted read of the last byte written results in the data complement of I/O7 (I/O0 to I/O6 are indeterminate). After completion of the write cycle, true data is available. Data polling allows a simple read/compare operation to determine the status of the chip eliminating the need for external hardware.

2.6 Electronic Signature for Device Identification

An extra row of 32 bytes of EEPROM memory is available to the user for device identification. By raising A9 to 12V $\pm 0.5V$ and using address locations 7E0 to 7FF, the additional bytes can be written to or read from in the same manner as the regular memory array.

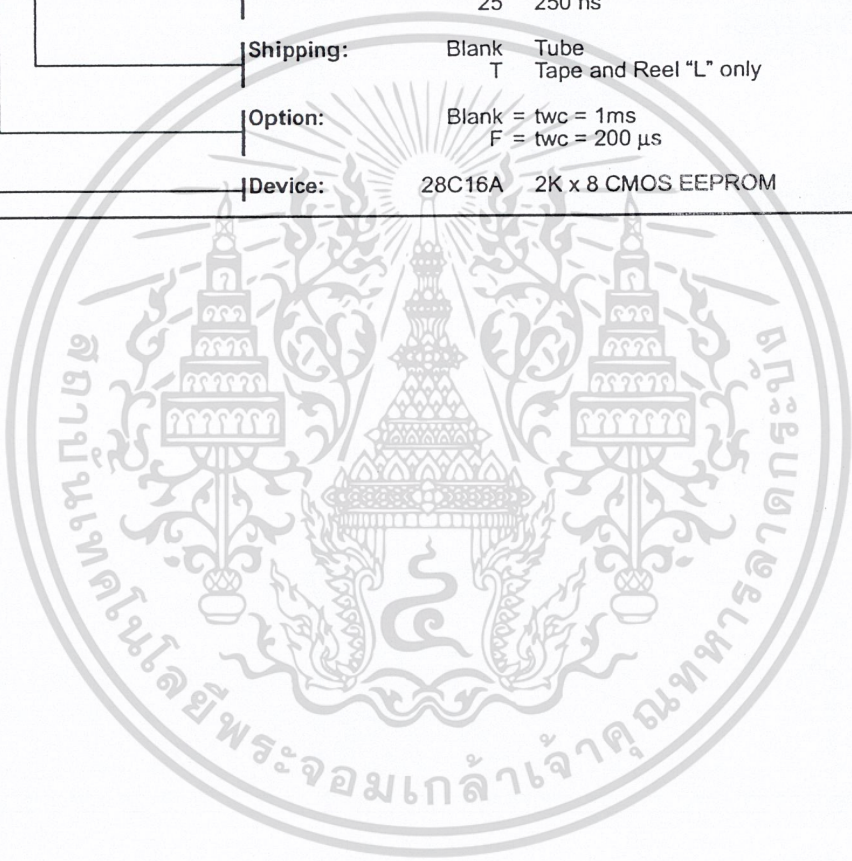
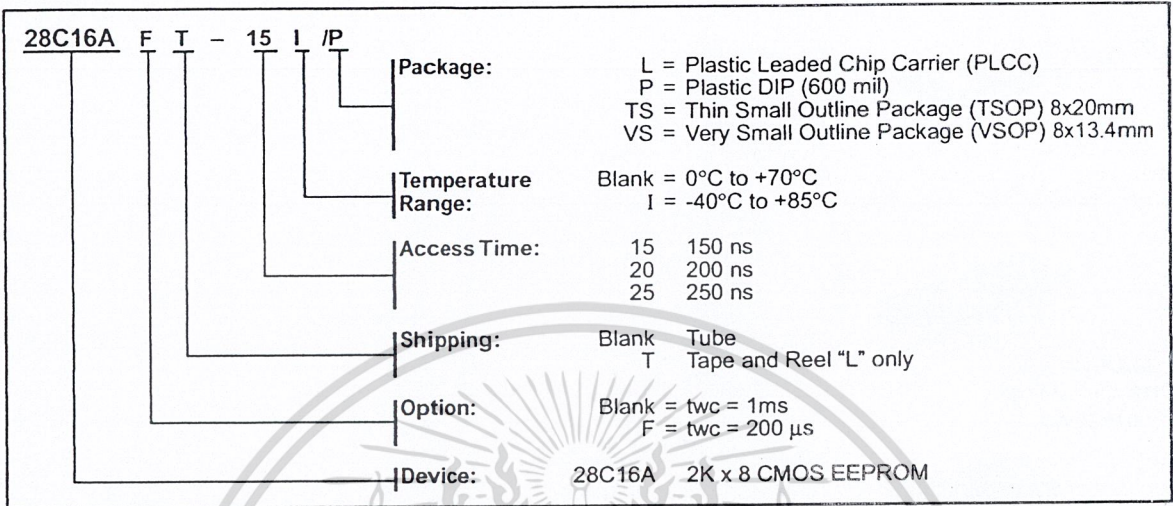
2.7 Chip Clear

All data may be cleared to 1's in a chip clear cycle by raising \overline{OE} to 12 volts and bringing the \overline{WE} and \overline{CE} low. This procedure clears all data, except for the extra row.

28C16A

28C16A Product Identification System

To order or to obtain information, e.g., on pricing or delivery, please use the listed part numbers, and refer to the factory or the listed sales offices.



MOTOROLA SEMICONDUCTOR TECHNICAL DATA

MCM62L64

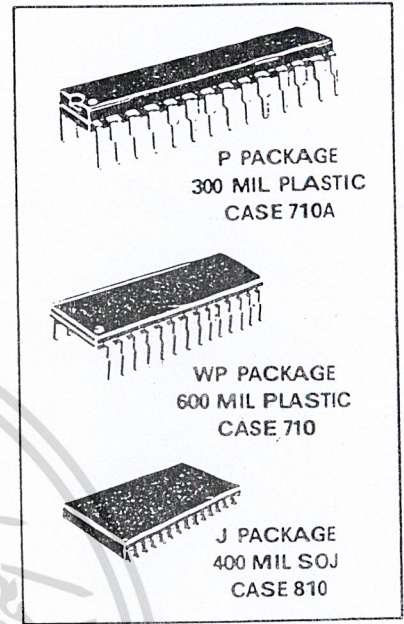
8K x 8 Bit Fast Static RAM

The MCM62L64 is a 65,536 bit static random access memory organized as 8192 words of 8 bits, fabricated using Motorola's high-performance silicon-gate CMOS technology. Static design eliminates the need for external clocks or timing strobes, while CMOS circuitry reduces power consumption which provides greater reliability.

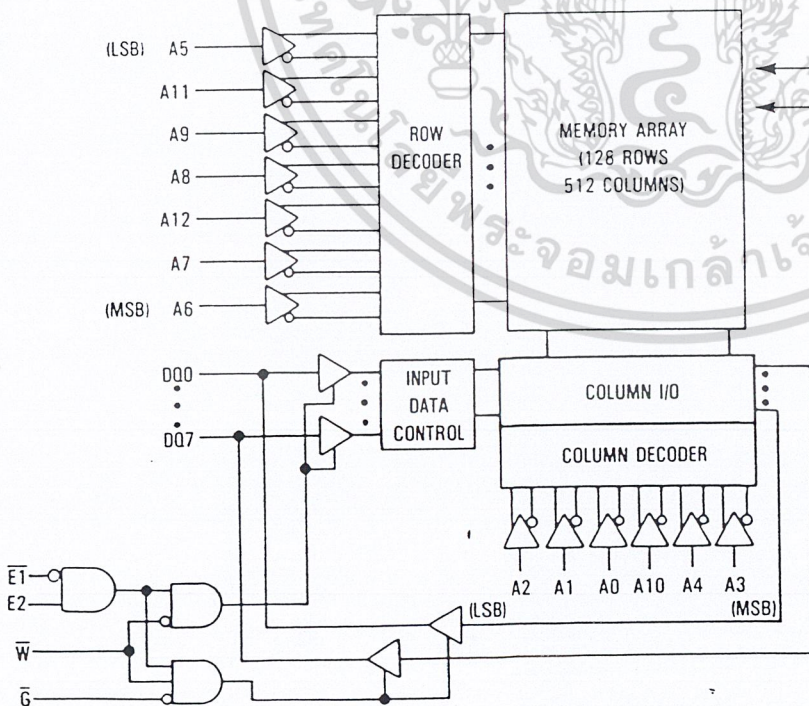
The chip enable pins ($\overline{E1}$ and $E2$) are not clocks. Either pin, when asserted false, causes the part to enter a low power standby mode. The part will remain in standby mode until both pins are asserted true again. The availability of active high and active low chip enable pins provides more system design flexibility than single chip enable devices.

The MCM62L64 is available in 300 and 600 mil, 28 pin plastic dual-in-line packages and 400 mil, 28 pin plastic SOJ package. All packages feature the JEDEC standard pinout.

- Single 5 V Supply, $\pm 10\%$
- 8K x 8 Organization
- Fully Static—No Clock or Timing Strokes Necessary
- Fast Access Time—30, 35, 45, 55 ns (Maximum)
- Low Power Operation—105, 100, 90, 80 mA (Maximum, Active)
- Low Power/Data Retention
- Three State Outputs
- All Inputs and Outputs are TTL Compatible
- Output Enable (\overline{G}) Feature for Increased System Flexibility and to Eliminate Bus Contention Problems



BLOCK DIAGRAM



PIN ASSIGNMENT

NC	1	28	VCC
A12	2	27	\overline{W}
A7	3	26	$E2$
A6	4	25	A8
A5	5	24	A9
A4	6	23	A11
A3	7	22	\overline{G}
A2	8	21	A10
A1	9	20	$\overline{E1}$
A0	10	19	DQ7
DQ0	11	18	DQ6
DQ1	12	17	DQ5
DQ2	13	16	DQ4
VSS	14	15	DQ3

PIN NAMES

A0-A12	Address
\overline{W}	Write Enable
$\overline{E1}$, $E2$	Chip Enable
\overline{G}	Output Enable
DQ0-DQ7	Data Input/Output
VCC	+5 V Power Supply
VSS	Ground
NC	No Connection

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้ทำซ้ำโดยไม่ได้รับอนุญาต

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TRUTH TABLE

$\overline{E1}$	E2	\overline{G}	\overline{W}	Mode	Supply Current	I/O Pin
H	X	X	X	Not Selected	ISB	High Z
X	L	X	X	Not Selected	ISB	High Z
L	H	H	H	Output Disabled	ICC	High Z
L	H	L	H	Read	ICC	D _{out}
L	H	X	L	Write	ICC	D _{in}

X = don't care

This device contains circuitry to protect the inputs against damage due to high static voltages or electric fields; however, it is advised that normal precautions be taken to avoid application of any voltage higher than maximum rated voltages to this high-impedance circuit.

ABSOLUTE MAXIMUM RATINGS (See Note)

Rating	Symbol	Value	Unit
Power Supply Voltage	V _{CC}	-0.5 to +7.0	V
Voltage Relative to V _{SS} for Any Pin Except V _{CC}	V _{in} , V _{out}	-0.5 to V _{CC} +0.5	V
Output Current (per I/O)	I _{out}	±20	mA
Power Dissipation (T _A = 25°C)	P _D	1.0	W
Temperature Under Bias	T _{bias}	-10 to +85	°C
Operating Temperature	T _A	0 to +70	°C
Storage Temperature	T _{stg}	-55 to +125	°C

NOTE: Permanent device damage may occur if ABSOLUTE MAXIMUM RATINGS are exceeded. Functional operation should be restricted to RECOMMENDED OPERATING CONDITIONS. Exposure to higher than recommended voltages for extended periods of time could affect device reliability.

DC OPERATING CONDITIONS AND CHARACTERISTICS
(V_{CC} = 5.0 V ± 10%, T_A = 0 to 70°C, Unless Otherwise Noted)

RECOMMENDED OPERATING CONDITIONS

Parameter	Symbol	Min	Typ	Max	Unit
Supply Voltage (Operating Voltage Range)	V _{CC}	4.5	5.0	5.5	V
Input High Voltage	V _{IH}	2.2	—	V _{CC} - 0.3	V
Input Low Voltage	V _{IL}	-0.3*	—	0.8	V

*V_{IL} (min) = -0.3 V dc; V_{IL} (min) = -3.0 V ac (pulse width ≤ 20 ns)

DC CHARACTERISTICS

Parameter	Symbol	Min	Max	Unit	
Input Leakage Current (All Inputs, V _{in} = 0 to V _{CC})	I _{lk(I)}	—	±1.0	μA	
Output Leakage Current ($\overline{E1} = V_{IH}$, E2 = V _{IL} , or $\overline{G} = V_{IH}$, V _{out} = 0 to V _{CC})	I _{lk(O)}	—	±1.0	μA	
Power Supply Current ($\overline{E1} = V_{IL}$, E2 = V _{IH} , I _{out} = 0)	ICC	—	105	mA	
		(t _{AVAV} = 30 ns)	—	100	
		(t _{AVAV} = 35 ns)	—	90	
		(t _{AVAV} = 45 ns)	—	80	
		(t _{AVAV} = 55 ns)	—	—	
Standby Current ($\overline{E1} = V_{IH}$ or E2 = V _{IL})	ISB1	—	5	mA	
Standby Current ($\overline{E1} \geq V_{CC} - 0.2$ V or E2 ≤ 0.2 V, V _{in} = V _{IH} or V _{in} = V _{IL})	ISB2	—	30	μA	
Output Low Voltage (I _{OL} = 8.0 mA)	V _{OL}	—	0.4	V	
Output High Voltage (I _{OH} = -4.0 mA)	V _{OH}	2.4	—	V	

CAPACITANCE (f = 1.0 MHz, dV = 3.0 V, T_A = 25°C, Periodically Sampled Rather Than 100% Tested)

Characteristic	Symbol	Max	Unit
Input Capacitance	C _{in}	6	pF
I/O Capacitance	C _{I/O}	8	pF

AC OPERATING CONDITIONS AND CHARACTERISTICS

(V_{CC}=5.0 V ± 10%, T_A=0 to 70°C, Unless Otherwise Noted)

Input Pulse Levels 0 to 3.0 V
 Input Rise/Fall Time 5 ns
 Input Timing Measurement Reference Levels 1.5 V
 Output Timing Measurement Reference Levels 0.8 and 2.0 V
 Output Load See Figure 1

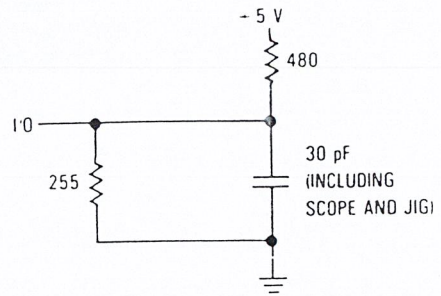


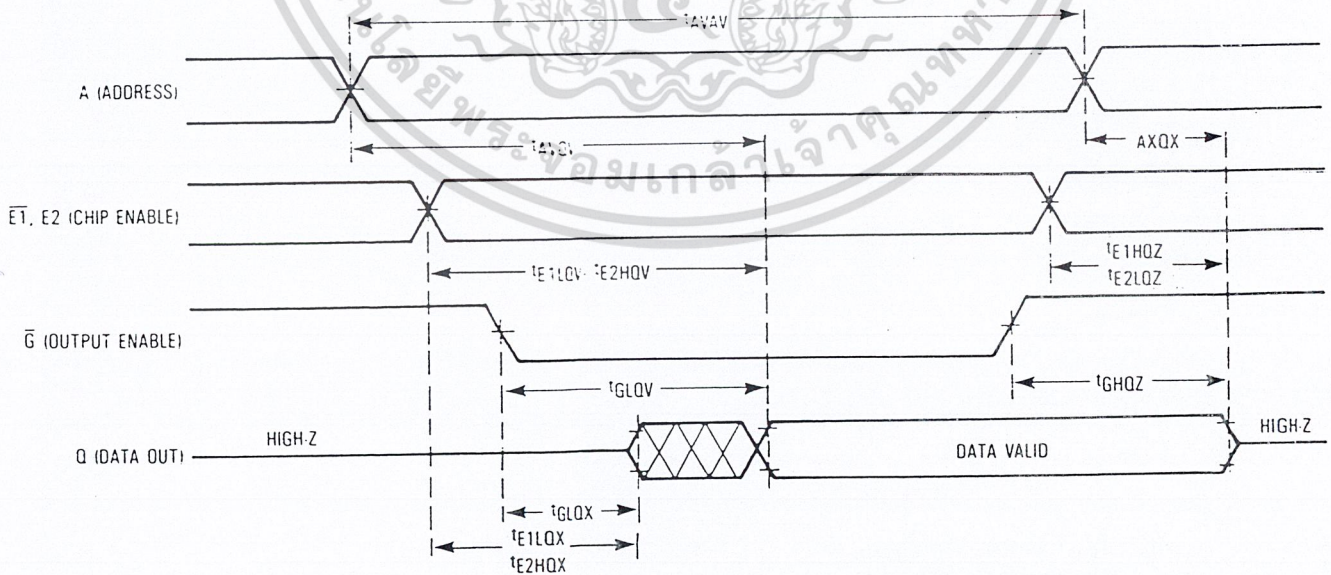
Figure 1. Test Load

READ CYCLE (See Note 1)

Parameter	Symbol	Alt Symbol	MCM62L64-30		MCM62L64-35		MCM62L64-45		MCM62L64-55		Unit	Notes
			Min	Max	Min	Max	Min	Max	Min	Max		
Read Cycle Time	t _{AVAV}	t _{RC}	30	—	35	—	45	—	55	—	ns	—
Address Cycle Time	t _{AVQV}	t _{AA}	—	30	—	35	—	45	—	55	ns	—
E ₁ Access Time	t _{E1LQV}	t _{AC1}	—	30	—	35	—	45	—	55	ns	—
E ₂ Access Time	t _{E2HQV}	t _{AC2}	—	30	—	35	—	45	—	55	ns	—
G Access Time	t _{GLQV}	t _{OE}	—	12.5	—	15	—	20	—	25	ns	—
Output Hold from Address Change	t _{AXQX}	t _{OH}	5	—	5	—	5	—	5	—	ns	—
Chip Enable to Output Low-Z	t _{E1LOX} , t _{E2HOX}	t _{CLZ}	5	—	5	—	5	—	5	—	ns	2, 3
Output Enable to Output Low-Z	t _{GLQX}	t _{OLZ}	0	—	0	—	0	—	0	—	ns	2, 3
Chip Enable to Output High-Z	t _{E1HOZ} , t _{E2LOZ}	t _{CHZ}	0	15	0	15	0	15	0	15	ns	2, 3
Output Enable to Output High-Z	t _{GHQZ}	t _{OHZ}	0	15	0	15	0	15	0	15	ns	2, 3

NOTES:

1. W is high at all times for read cycles.
2. All high-Z and low-Z parameters are considered in a high or low impedance state when the output has made a 500 mV transition from the previous steady state voltage.
3. These parameters are periodically sampled and not 100% tested.



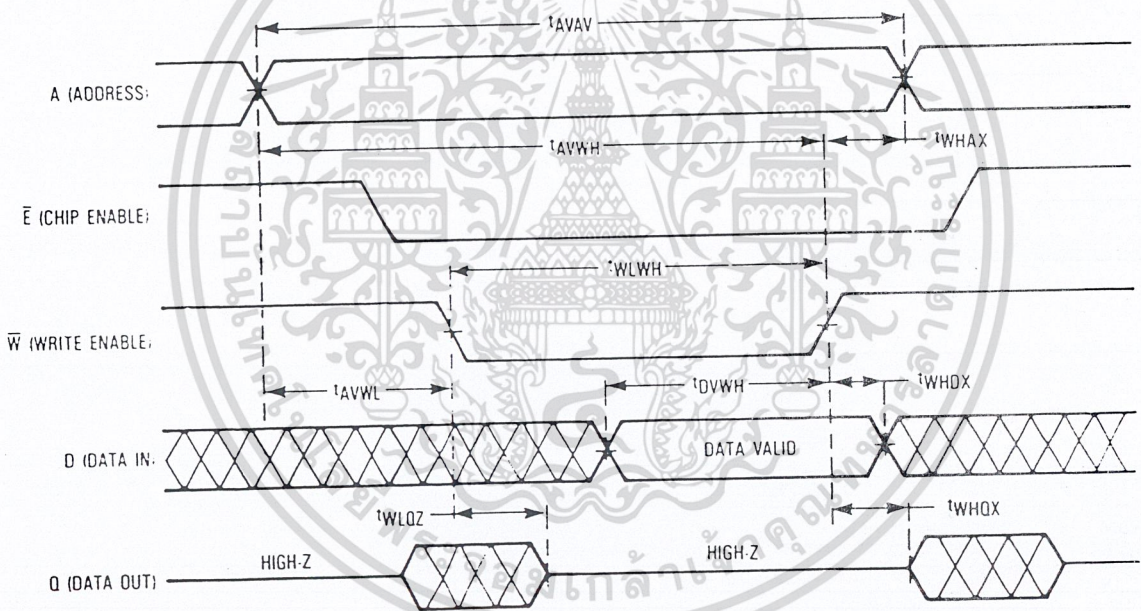
Motorola reserves the right to make changes without further notice to any products herein to improve reliability, function or design. Motorola does not assume any liability arising out of the application or use of any product or circuit described herein; neither does it convey any license under its patent rights nor the rights of others. Motorola products are not authorized for use as components in life support devices or systems intended for surgical implant into the body or intended to support or sustain life. Buyer agrees to notify Motorola of any such intended end use whereupon Motorola shall determine availability and suitability of its product or products for the use intended. Motorola and are registered trademarks of Motorola, Inc. Motorola, Inc. is an Equal Employment Opportunity/Affirmative Action Employer.

WRITE CYCLE 1 (W CONTROLLED) (See Note 1)

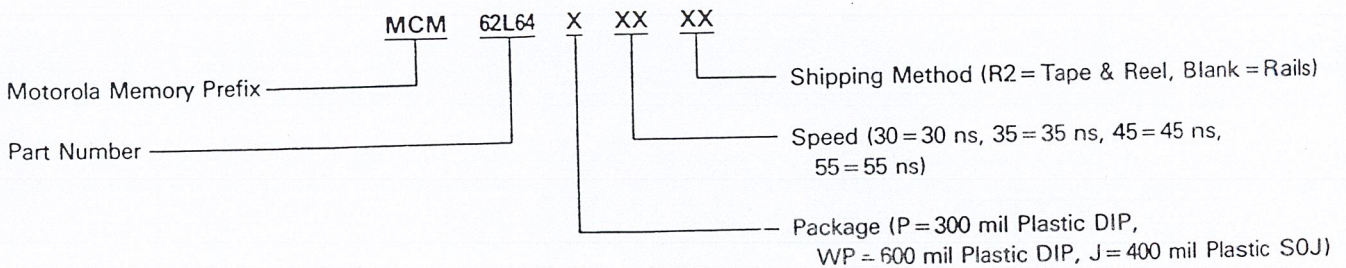
Parameter	Symbol	Alt Symbol	MCM62L64-30		MCM62L64-35		MCM62L64-45		MCM62L64-55		Unit	Notes
			Min	Max	Min	Max	Min	Max	Min	Max		
Write Cycle Time	t_{AVAV}	t_{WC}	30	—	35	—	45	—	55	—	ns	—
Address Setup Time	t_{AVWL}	t_{AS}	0	—	0	—	0	—	0	—	ns	—
Address Valid to End of Write	t_{AVWH}	t_{AW}	22.5	—	25	—	35	—	45	—	ns	—
Write Pulse Width	t_{WLWH}	t_{WP}	17.5	—	20	—	25	—	30	—	ns	3
Data Valid to End of Write	t_{DVWH}	t_{DW}	12.5	—	15	—	20	—	25	—	ns	—
Data Hold Time	t_{WHDX}	t_{DH}	0	—	0	—	0	—	0	—	ns	3
Write Low to Output in High-Z	t_{WLOZ}	t_{WHZ}	0	15	0	15	0	15	0	15	ns	4, 5
Write High to Output Low-Z	t_{WHQX}	t_{OW}	5	—	5	—	5	—	5	—	ns	4, 5
Write Recovery Time	t_{WHAX}	t_{WR}	0	—	0	—	0	—	0	—	ns	—

NOTES:

1. A write cycle starts at the latest transition of a low $\bar{E}1$, low \bar{W} , or high $E2$. A write cycle ends at the earliest transition of a high $\bar{E}1$, high \bar{W} , or low $E2$.
2. If \bar{W} goes low coincident with or prior to $\bar{E}1$ low or $E2$ high then the outputs will remain in a high impedance state.
3. During this time the output pins may be in the output state. Signals of opposite phase to the outputs must not be applied at this time.
4. All high-Z and low-Z parameters are considered in a high or low impedance state when the output has made a 500 mV transition from the previous steady state voltage.
5. These parameters are periodically sampled and not 100% tested.



ORDERING INFORMATION
(Order by Full Part Number)



Full Part Numbers—	MCM62L64P30	MCM62L64WP30	MCM62L64J30	MCM62L64J30R2
	MCM62L64P35	MCM62L64WP35	MCM62L64J35	MCM62L64J35R2
	MCM62L64P45	MCM62L64WP45	MCM62L64J45	MCM62L64J45R2
	MCM62L64P55	MCM62L64WP55	MCM62L64J55	MCM62L64J55R2

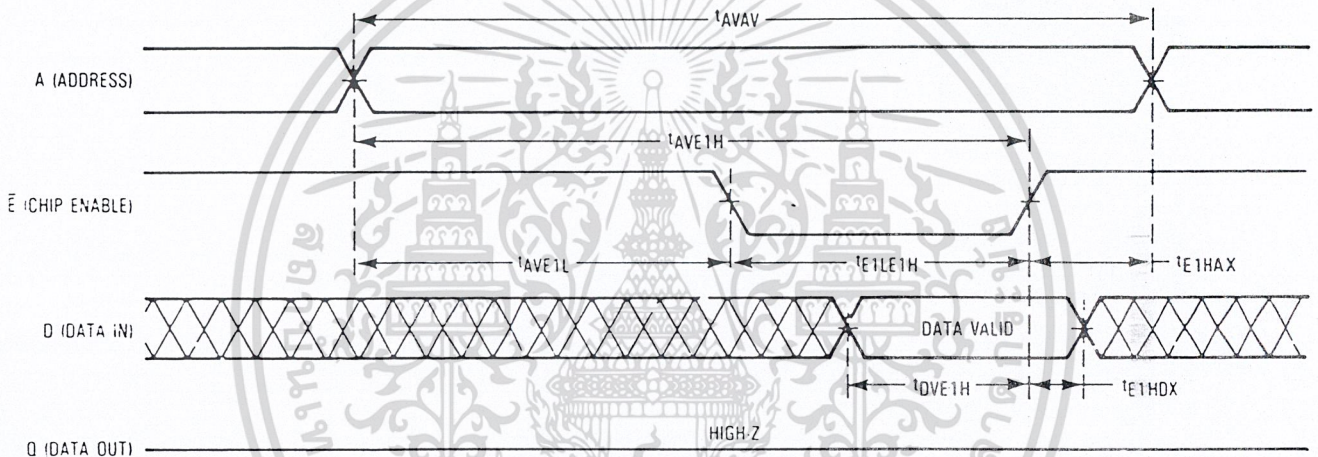
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับใช้เฉพาะเท่านั้น ไม่สามารถนำออกจำหน่าย การค้า

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

WRITE CYCLE 2 (ENABLE CONTROLLED) (See Note 1)

Parameter	Symbol	Alt Symbol	MCM62L64-30		MCM62L64-35		MCM62L64-45		MCM62L64-55		Unit	Notes
			Min	Max	Min	Max	Min	Max	Min	Max		
Write Cycle Time	t_{AVAV}	t_{WC}	30	—	35	—	45	—	55	—	ns	—
Address Setup Time	t_{AVE1L}	t_{AS}	0	—	0	—	0	—	0	—	ns	2
Address Valid to End of Write	t_{AVE1H}	t_{AW}	22.5	—	25	—	35	—	45	—	ns	2
Chip Enable to End of Write	t_{E1LE1H}	t_{CW}	22.5	—	25	—	35	—	45	—	ns	2, 3
Data Valid to End of Write	t_{DVE1H}	t_{DW}	12.5	—	15	—	20	—	25	—	ns	2
Data Hold Time	t_{E1HDX}	t_{DH}	0	—	0	—	0	—	0	—	ns	2, 4
Write Recovery Time	t_{E1HAX}	t_{WR}	0	—	0	—	0	—	0	—	ns	2

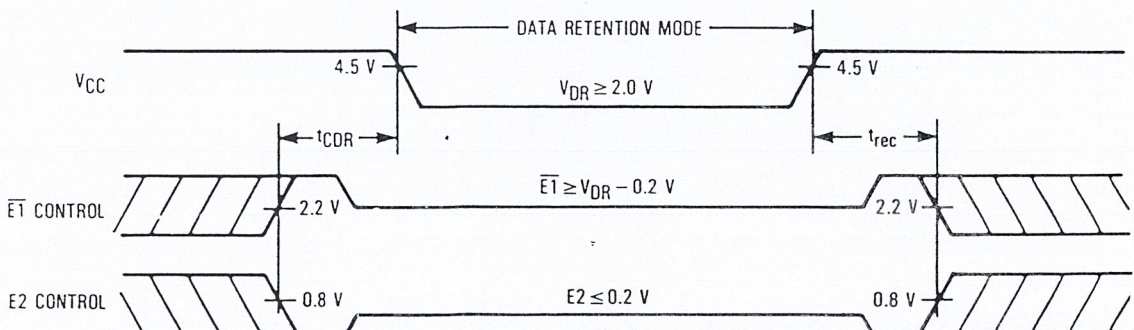
- NOTES:
1. A write cycle starts at the latest transition of a low $\bar{E}1$, low \bar{W} , or high $E2$. A write cycle ends at the earliest transition of a high $\bar{E}1$, high \bar{W} , or low $E2$.
 2. $\bar{E}1$ and $E2$ timings are identical when $E2$ signals are inverted.
 3. If \bar{W} goes low coincident with or prior to $\bar{E}1$ low or $E2$ high then the outputs will remain in a high impedance state.
 4. During this time the output pins may be in the output state. Signals of opposite phase to the outputs must not be applied at this time.



LOW V_{CC} DATA RETENTION CHARACTERISTICS ($T_A = 0$ to $+70^\circ\text{C}$) (MCM62L64 Only)

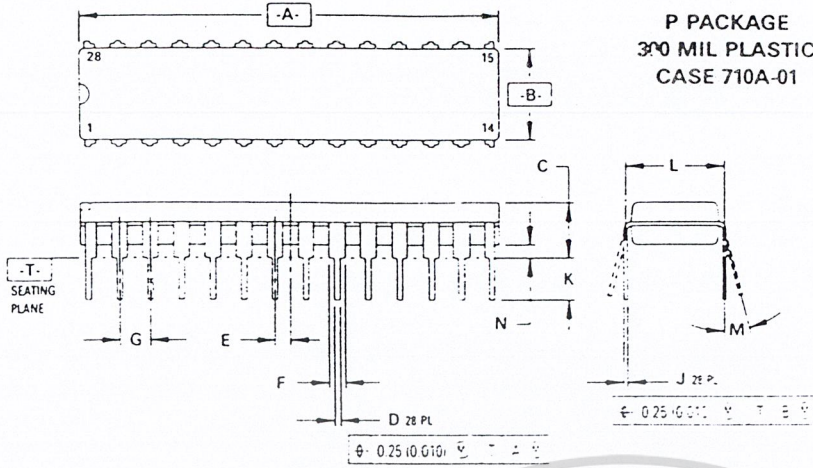
Characteristic	Symbol	Min	Max	Unit
V_{CC} for Data Retention ($\bar{E}1 \geq V_{CC} - 0.2 \text{ V}$ or $E2 \leq 0.2 \text{ V}$, $V_{in} \geq V_{CC} - 0.2 \text{ V}$ or $V_{in} \leq 0.2 \text{ V}$)	V_{DR}	2.0	5.5	V
Data Retention Current ($V_{CC} = 3.0 \text{ V}$, $\bar{E}1 \geq 2.8 \text{ V}$ or $E2 \leq 0.2 \text{ V}$, $V_{in} \geq 2.8 \text{ V}$ or $V_{in} \leq 0.2 \text{ V}$)	I_{CCDR}	—	15	μA
Chip Disable to Data Retention Time (see waveform below)	t_{CDR}	0	—	ns
Operation Recovery Time (see waveform below)	t_{rec}	t_{AVAV}^*	—	ns

* t_{AVAV} = Read Cycle Time



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PACKAGE DIMENSIONS

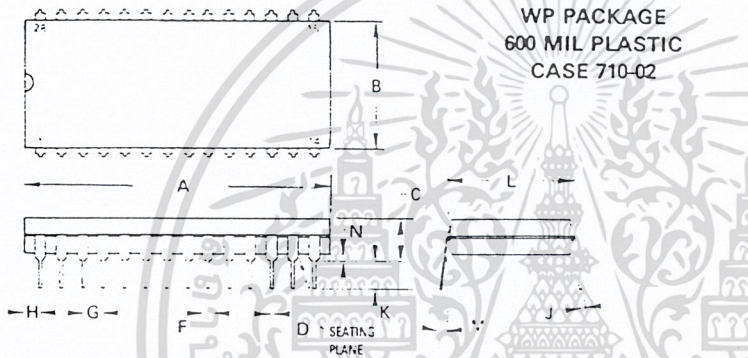


P PACKAGE
370 MIL PLASTIC
CASE 710A-01

DIM	MILLIMETERS		INCHES	
	MIN	MAX	MIN	MAX
A	34.17	34.29	1.345	1.350
B	6.86	7.36	0.270	0.290
C	—	4.31	—	0.170
D	0.41	0.50	0.016	0.020
E	1.27 BSC	—	0.050 BSC	—
F	1.15	1.39	0.045	0.055
G	2.54 BSC	—	0.100 BSC	—
J	0.21	0.30	0.008	0.012
K	3.18	3.42	0.125	0.135
L	7.62 BSC	—	0.300 BSC	—
M	0	.15	0	.15
N	0.39	—	0.015	—

NOTES

1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982
2. CONTROLLING DIMENSION INCH
3. DIMENSION L TO CENTER OF LEAD WHEN FORMED PARALLEL
4. DIMENSION B DOES NOT INCLUDE MOLD FLASH

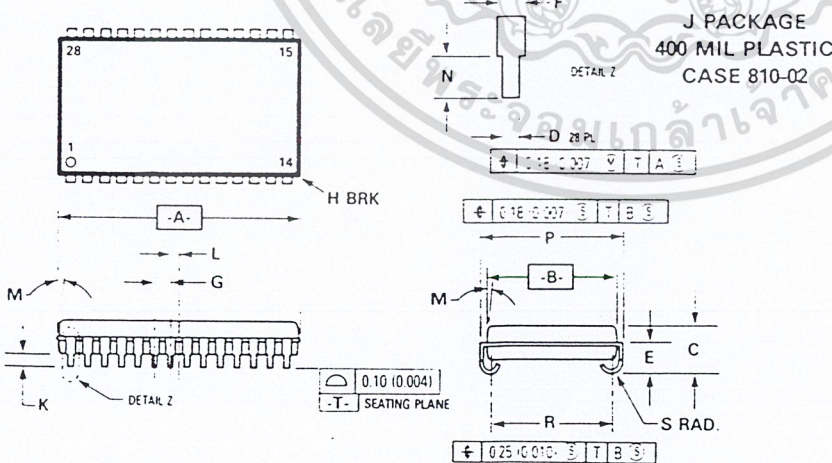


WP PACKAGE
600 MIL PLASTIC
CASE 710-02

DIM	MILLIMETERS		INCHES	
	MIN	MAX	MIN	MAX
A	36.45	37.21	1.435	1.465
B	13.72	14.22	0.540	0.560
C	3.94	5.08	0.155	0.200
D	0.36	0.50	0.014	0.020
F	1.92	1.92	0.075	0.075
G	2.54 BSC	—	0.100 BSC	—
H	1.65	2.15	0.065	0.085
J	0.20	0.30	0.008	0.015
K	2.92	3.40	0.115	0.135
L	15.24 BSC	—	0.600 BSC	—
M	0	.15	0	.15
N	0.91	1.02	0.036	0.040

NOTES

1. POSITIONAL TOLERANCE OF LEADS D SHALL BE WITHIN 0.25mm (0.010) AT MAXIMUM MATERIAL CONDITION, IN RELATION TO SEATING PLANE AND EACH OTHER
2. DIMENSION L TO CENTER OF LEADS WHEN FORMED PARALLEL
3. DIMENSION B DOES NOT INCLUDE MOLD FLASH



J PACKAGE
400 MIL PLASTIC
CASE 810-02

DIM	MILLIMETERS		INCHES	
	MIN	MAX	MIN	MAX
A	18.29	18.54	0.720	0.730
B	10.04	10.29	0.395	0.405
C	3.26	3.75	0.128	0.148
D	0.39	0.50	0.015	0.020
E	2.24	2.48	0.088	0.098
F	0.67	0.81	0.026	0.032
G	1.27 BSC	—	0.050 BSC	—
H	—	0.50	—	0.020
K	0.89	1.14	0.035	0.045
L	0.64 BSC	—	0.025 BSC	—
M	0	.15	0	.15
N	0.89	1.14	0.035	0.045
P	11.05	11.30	0.435	0.445
R	9.15	9.65	0.360	0.380
S	0.77	1.01	0.030	0.040

NOTES

1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982
2. DIMENSION "A" AND "B" DO NOT INCLUDE MOLD PROTRUSION. MOLD PROTRUSION SHALL NOT EXCEED 0.15 (0.006) PER SIDE.
3. CONTROLLING DIMENSION INCH
4. DIM "R" TO BE DETERMINED AT DATUM -T.

Literature Distribution Centers:

USA: Motorola Literature Distribution; P.O. Box 20912; Phoenix, Arizona 85036.

EUROPE: Motorola Ltd.; European Literature Center; 88 Tanners Drive, Blakelands, Milton Keynes, MK14 5BP, England.

ASIA PACIFIC: Motorola Semiconductors H.K. Ltd.; P.O. Box 80300; Cheung Sha Wan Post Office; Kowloon Hong Kong.

JAPAN: Nippon Motorola Ltd.; 3-20-1 Minamiazabu, Minato-ku, Tokyo 106 Japan



MOTOROLA