

ตรวจจับความเคลื่อนไหวและชี้ตำแหน่ง
CHECK DISPLACE AND POINT TARGET



โดย
นายภาณุรังสรรค์ จุระเสถียร
นายมนตรีชาติพจน์

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรอุตสาหกรรมศาสตรบัณฑิต

สาขาวิชาเทคโนโลยีโทรคมนาคม

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2544

เลขหมู่.....
เลขทะเบียน 46555
วัน, เดือน, ปี 4 เม.ย. 2546

.b.....
.i.....

หัวข้อปริญญานิพนธ์	ตรวจจับความเคลื่อนไหวและชี้ตำแหน่ง	
นักศึกษา	นายภาณุรังสรรค์ จุระเสถียร	รหัสประจำตัว 43015831
	นายมนตรี ชาติพจน์	รหัสประจำตัว 43015832
อาจารย์ผู้ควบคุมปริญญานิพนธ์	อ.สมภพ แก้วมีชัย	
	อ.บุญยัชนะ ภูระหงษ์	
ระดับการศึกษา	ปริญญาอุตสาหกรรมศาสตรบัณฑิต	
ภาควิชา	สาขาวิชาเทคโนโลยีโทรคมนาคม	
ปีการศึกษา	เทคนิคอุตสาหกรรม	
	2544	

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง อนุมัติ
ให้รับปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรอุตสาหกรรมศาสตรบัณฑิต

คณะกรรมการสอบปริญญานิพนธ์

.....ประธานกรรมการ
()
.....กรรมการ
()
.....กรรมการ
()
.....กรรมการ
()
.....กรรมการ
()

ลิขสิทธิ์ของคณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อปริญญานิพนธ์

ตรวจจับความเคลื่อนไหวและชี้ตำแหน่ง

TITLE

CHECK DISPLACE AND POINT TARGET

โดย

นายภาณุรังสรรค์ จุระเสถียร รหัสประจำตัว 43015831

นายมนตรีชาติพจน์ รหัสประจำตัว 43015832

อาจารย์ผู้ควบคุมปริญญานิพนธ์

อ.สมภพ แก้วมีชัย

อ.บุญยชนะ ภูระหงษ์

ภาควิชา

เทคนิคอุตสาหกรรม

ปีการศึกษา

2544

ปริญญานิพนธ์ฉบับนี้ได้รับการอนุมัติให้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตร
อุตสาหกรรมศาสตรบัณฑิต คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหาร
ลาดกระบัง

(อ.สมภพ แก้วมีชัย)

(อ.บุญยชนะ ภูระหงษ์)

อาจารย์ผู้ควบคุมปริญญานิพนธ์

ลิขสิทธิ์ของคณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อปริญญานิพนธ์	ตรวจจับความเคลื่อนไหวและชี้ตำแหน่ง	
ชื่อนักศึกษา	นายภาณุรังสรรค์ จุระเสถียร	รหัสประจำตัว 43015831
	นายมนตรี ชาติพจน์	รหัสประจำตัว 43015832
อาจารย์ผู้ควบคุมปริญญานิพนธ์	อ.สมภพ แก้วมีชัย	
	อ.บุญยชนะ ภูระหงษ์	
ระดับการศึกษา	ปริญญาอุตสาหกรรมศาสตรบัณฑิต	
ภาควิชา	สาขาวิชาเทคโนโลยีโทรคมนาคม	
ปีการศึกษา	เทคนิคอุตสาหกรรม	
	2544	

บทคัดย่อ

ปริญญานิพนธ์นี้ได้เสนอการสร้างเครื่องตรวจจับความเคลื่อนไหวและชี้ตำแหน่ง โดยใช้สัญญาณภาพจากเครื่องรับโทรทัศน์ ควบคุมโดย Microcontroller ซึ่งจะทำหน้าที่ในการประมวลผลสัญญาณภาพจากเครื่องรับโทรทัศน์ผ่านวงจร A/D แล้วเก็บผลที่ได้ไว้ใน Memory และจะประมวลผลเปรียบเทียบกับสัญญาณที่รับเข้ามาตลอด เมื่อมีการเคลื่อนไหวเกิดขึ้น ก็จะเกิดค่าที่แตกต่าง (เกิด Error) และจะส่งผลไปที่ภาคแสดงผล เพื่อแสดงตำแหน่งที่เคลื่อนไหวบนหน้าจอเครื่องรับโทรทัศน์ พร้อมสัญญาณเตือน

THESIS TITLE	CHECK DISPLACE AND POINT TARGET	
STUDENT	Mr. Panurungsun Jurasatiean	No. 43015831
	Mr. Montri Chatpoj	No. 43015832
ADVISOR	Mr. Sompob Kaewmechai	
	Mr. Boonchana Purahong	
COURSE	Bachelor of Industrial Technology in Telecommunication	
DEPARTMENT	Industrial Technology	
YEAR	2001	

ABSTRACT

This project presents building the process of monitoring object movements and their position by using composite video from TV controlling by microcontroller. Microcontroller is the tool to analyze and compile the effects of composite video through analog to digital converter. The effects will be kept in the memory of microcontroller. When continuous composite video make different effect (error), their movement and position will be showed on TV screen with alarm.

กิตติกรรมประกาศ

จากความสำเร็จในการสร้าง เครื่องตรวจจับความเคลื่อนไหวและชี้ตำแหน่ง คณะผู้จัดทำขอ
ขอบพระคุณท่าน อาจารย์ สมภพ แก้วมีชัย และ อาจารย์ บุญยชนะ ภูระหงษ์ (อาจารย์ที่ปรึกษา) ที่
ได้ให้คำชี้แนะให้การสนับสนุนให้ความช่วยเหลือในทุกๆด้าน และขอขอบพระคุณ บิคา มาร์ดา ที่
ให้ความช่วยเหลือในค่าใช้จ่ายในการทำโครงการ ตลอดจน ขอขอบพระคุณ ภาควิชาเทคนิคอุตสาหกรรม
กรรม คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง ที่ได้ให้การ
สนับสนุน จนกระทั่งโครงการนี้สำเร็จลุล่วงไปด้วยดี

ลงชื่อ.....ภาณุรังสรรค์ จูระเสถียร.....

(นาย ภาณุรังสรรค์ จูระเสถียร)

ลงชื่อ.....มนตรี ชาติพจน์.....

(นาย มนตรี ชาติพจน์)

คณะผู้จัดทำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

เรื่อง	หน้า
บทคัดย่อภาษาไทย	I
บทคัดย่อภาษาอังกฤษ	II
กิตติกรรมประกาศ	III
สารบัญ	IV
สารบัญรูป	VII
สารบัญตาราง	X
บทที่ 1 บทนำ	
1.1 โครงงานเรื่อง	1
1.2 วัตถุประสงค์	1
1.3 แนวความคิดและที่มา	1
1.4 ขอบเขตของโครงการ	1
1.5 เนื้อหาโดยสังเขป	1
บทที่ 2 ทฤษฎีและหลักการ	
2.1 จอภาพ CRT (Cathode Ray Tube)	3
2.2 การสร้างราสเตอร์	4
2.3 จำนวนเส้นราสเตอร์ต่อ 1 ภาพ	6
2.4 การสร้างเส้นราสเตอร์แบบกราดสลับเส้น (INTERLACED SCANNING)	7
2.5 การสร้างสัญญาณโทรทัศน์	10
2.6 การสร้างภาพหน้าจอโทรทัศน์	12
2.7 วิดีโอดีเทคเตอร์	13
2.8 การแปลงสัญญาณอนาลอกเป็นดิจิทัล	17
2.9 การเชื่อมโยง 8255 กับ MCS-51	19

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ (ต่อ)

เรื่อง	หน้า
บทที่ 2 ทฤษฎีและหลักการ (ต่อ)	
2.10 การเชื่อมโยง MCS-51 กับหน่วยความจำ	29
2.11 การอินเตอร์รัปต์	39
บทที่ 3 โครงสร้างและการออกแบบ	
3.1 โครงสร้างของโครงการ	46
3.2 การออกแบบโครงการ	47
บทที่ 4 ผลการทดลอง	
4.1 การเก็บข้อมูล	53
4.2 การประมวลผลและเปรียบเทียบ	54
4.3 การแสดงผล	54
บทที่ 5 ปัญหาและข้อเสนอแนะ	
5.1 สรุปโครงการ	58
5.2 จุดที่ต้องปรับปรุงแก้ไข	58
5.3 ปัญหาในการทำโครงการ	58
5.4 ข้อเสนอแนะ	59

สารบัญ (ต่อ)

เรื่อง

หน้า

ภาคผนวก ก. FLOW CHART

ภาคผนวก ข. SOURCE CODE

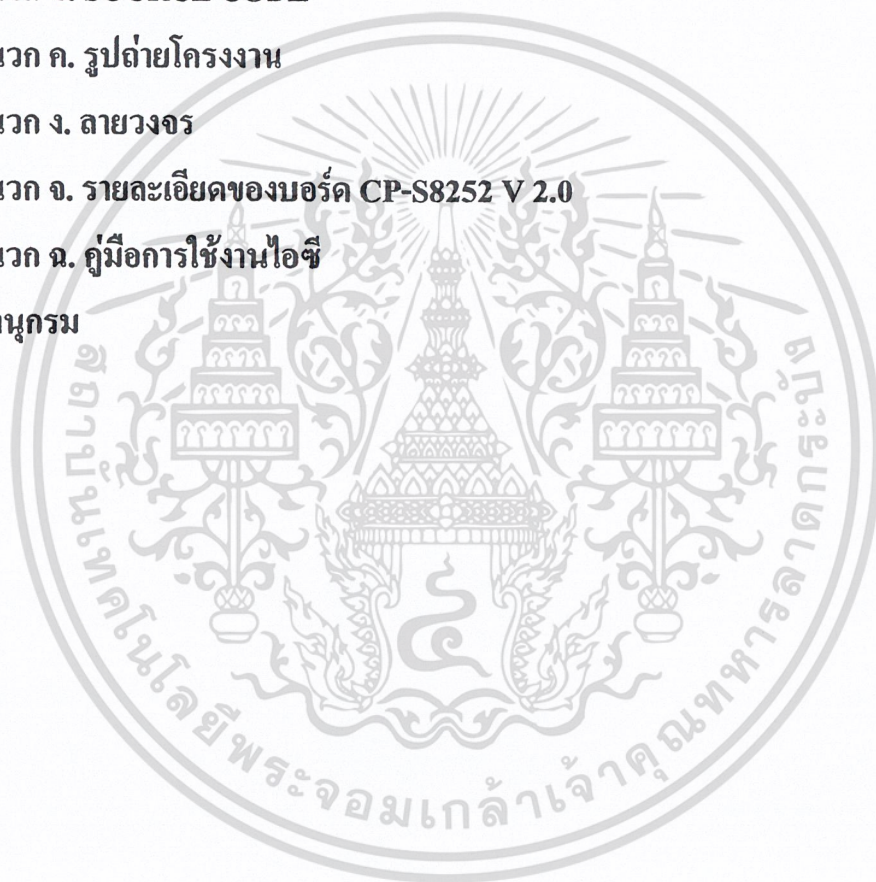
ภาคผนวก ค. รูปถ่ายโครงการ

ภาคผนวก ง. ลายวงจร

ภาคผนวก จ. รายละเอียดของบอร์ด CP-S8252 V 2.0

ภาคผนวก ฉ. คู่มือการใช้งานไอซี

บรรณานุกรม



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป

รูปที่	หน้า
รูปที่ 2.1 ส่วนประกอบของจอภาพ	3
รูปที่ 2.2 การควบคุมตำแหน่งของลำอิเล็กตรอน	4
รูปที่ 2.3 การสร้างราสเตอร์โดยชุดเบี่ยงเบนทางแนวตั้งและแนวนอน	5
รูปที่ 2.4 การลบเส้นสลับกลับที่หน้าจอ	5
รูปที่ 2.5 การสร้างราสเตอร์ฟิลด์ที่ 1	7
รูปที่ 2.6 การสลับกลับทางแนวตั้งของฟิลด์ที่ 1	8
รูปที่ 2.7 การสร้างราสเตอร์ฟิลด์ที่ 2	8
รูปที่ 2.8 จังหวะสลับกลับทางแนวตั้งของฟิลด์ที่ 2	9
รูปที่ 2.9 การสร้างราสเตอร์แบบกราดสลับเส้น	9
รูปที่ 2.10 การเติมสัญญาณฮอริซิ่งและฮอริเบลงกึ่งลงไปสัญญาณภาพแต่ละเส้น	11
รูปที่ 2.11 การเติมสัญญาณเวอร์ซิ่งและเวอร์เบลงกึ่งลงไปสัญญาณภาพแต่ละฟิลด์	12
รูปที่ 2.12 รายละเอียดสัญญาณฟิลด์ และสัญญาณควบคุมตรงช่วงเวอร์ติคัลเบลงกึ่ง	12
รูปที่ 2.13 แสดงการสร้างภาพหน้าจอโทรทัศน์	13
รูปที่ 2.14 บล็อกไดอะแกรมของวงจรวีดีโอคิเทคเตอร์	14
รูปที่ 2.15 รายละเอียดสัญญาณภาพ	15
รูปที่ 2.16 บล็อกไดอะแกรมของเครื่องรับโทรทัศน์ขาวดำ	16
รูปที่ 2.17 โครงสร้างของ CA3304 และการจัดวางขา	17
รูปที่ 2.18 ผังเวลาในการทำงานของ A/D	18
รูปที่ 2.19 การต่อ A/D	18
รูปที่ 2.20 การจัดวางขาและโครงสร้างของ 8255	20
รูปที่ 2.21 การเชื่อมโยง 8255 เข้ากับ CPU	23
รูปที่ 2.22 CONTROL WORDS ทั้ง 2 แบบของ MODE และ BIT DEFINITION FORMAT	24
รูปที่ 2.23 CONTROL WORDS AND CONFIGURATION	24
รูปที่ 2.24 ผังเวลา (โหมด 1) อินพุทพอร์ท	27
รูปที่ 2.25 ผังเวลา (โหมด 1) เอาท์พุทพอร์ท	28
รูปที่ 2.26 แสดงตาราง Control Word และผังเวลาของ 8255 (โหมด 2)	29

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป (ต่อ)

รูปที่	หน้า
รูปที่ 2.27 แสดงกลุ่มสัญญาณที่ใช้ในการติดต่อกับหน่วยความจำ	31
รูปที่ 2.28 แสดงสัญญาณในการอ่านข้อมูล	31
รูปที่ 2.29 แสดงสัญญาณในการเขียนข้อมูล	32
รูปที่ 2.30 แสดงสัญญาณของ MCS-51 ที่ใช้ติดต่อกับตำแหน่งของหน่วยความจำ	32
รูปที่ 2.31 แสดงการต่อ MCS-51 กับหน่วยความจำ	33
รูปที่ 2.32 แสดงสัญญาณเวลาที่ MCS-51 ติดต่อกับหน่วยความจำโปรแกรมภายนอก	34
รูปที่ 2.33 แสดงการจัดพื้นที่ของหน่วยความจำของ MCS-51	35
รูปที่ 2.34 แสดงการเชื่อมต่อ MCS-51 กับหน่วยความจำ ROM ภายนอกขนาด 64 K	35
รูปที่ 2.35 แสดงการทำงานของ 74LS373	36
รูปที่ 2.36 การจัดวางขาและตารางความจริงของ 74LS138	38
รูปที่ 2.37 วงจรถอดรหัสสำหรับหน่วยความจำตามตารางที่ 2.4	39
รูปที่ 2.38 แสดงแหล่งที่มาสัญญาณอินเตอร์รัปต์	40
รูปที่ 2.39 Interrupt Enable Register (IE)	41
รูปที่ 2.40 รายละเอียดของ IP	42
รูปที่ 2.41 TCON Timer Control register (TCON)	44
รูปที่ 2.42 รายละเอียดของระบบขัดจังหวะของ 8052	45
รูปที่ 3.1 แสดง BLOCK DIAGRAM ของโครงการ	46
รูปที่ 3.2 แสดงวงจร A/D ขนาด 4 บิต	47
รูปที่ 3.3 แสดงระดับสัญญาณที่ logic"0"	48
รูปที่ 3.4 แสดงการเริ่มทำงานจาก Ver pulse	49
รูปที่ 3.5 แสดงจุดที่แสดงผลเทียบกับสัญญาณสะแกนและ Hor pulse	50
รูปที่ 3.6 แสดงสัญญาณ Hor pulse เทียบกับสัญญาณเส้นสะแกน	51
รูปที่ 3.7 แสดงสัญญาณ Ver pulse เทียบกับสัญญาณฟันเลื่อยที่ภาค Ver.Osc	52
รูปที่ 4.1 แสดงข้อมูล Digital จากภาคเก็บข้อมูล	53
รูปที่ 4.2 ก แสดงเส้นชี้ตำแหน่งที่จุด Sampling ที่ 1	55

เอกสารรูปที่ 4.2 ข แสดงเส้นชี้ตำแหน่งที่จุด Sampling ที่ 3 ศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ 56 การค้า

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป (ต่อ)

รูปที่

หน้า

รูปที่ 4.2 ก แสดงเส้นชี้ตำแหน่งที่จุด Sampling ที่ 4

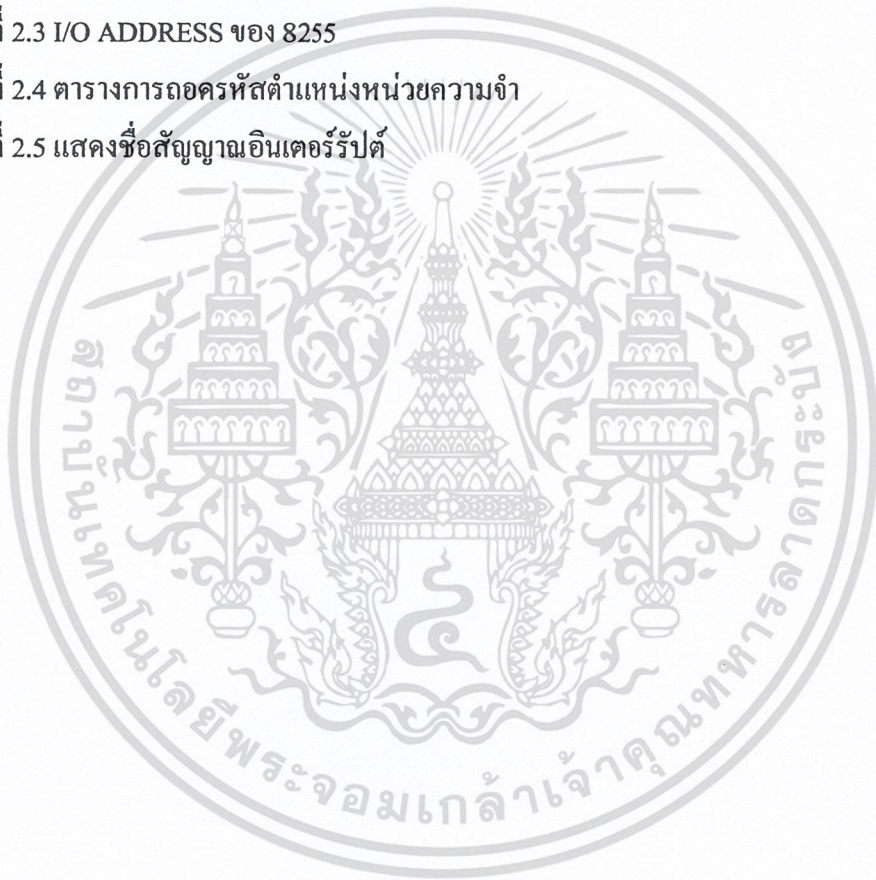
57



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

ตาราง	หน้า
ตารางที่ 2.1 สรุปลักษณะต่างๆของ 8255	19
ตารางที่ 2.2 ตารางความจริงของ 8255	22
ตารางที่ 2.3 I/O ADDRESS ของ 8255	22
ตารางที่ 2.4 ตารางการถอดรหัสตำแหน่งหน่วยความจำ	37
ตารางที่ 2.5 แสดงชื่อสัญญาณอินเทอร์รัปต์	40



บทที่ 1

บทนำ

1.1 โครงการเรื่อง

ตรวจจับความเคลื่อนไหวและชี้ตำแหน่ง (CHECK DISPLACE AND POINT TARGET)

1.2 วัตถุประสงค์

เพื่อศึกษาการสร้างอุปกรณ์ที่ใช้ตรวจจับวัตถุที่เคลื่อนไหวจากภาพในจอเครื่องรับโทรทัศน์ เพื่อนำไปพัฒนาเป็นระบบตรวจจับขโมยแบบใหม่

1.3 แนวความคิดและที่มา

ระบบรักษาความปลอดภัยที่ทันสมัยในปัจจุบันที่ใช้ในการในการตรวจจับวัตถุที่เคลื่อนไหวในสถานที่ๆหนึ่งนั้น มักจะใช้อุปกรณ์พวก Sensor แบบต่างๆ เช่น Sensor แสง Sensor อุณหภูมิ หรือแม้แต่การใช้ Computer เข้ามาช่วยประมวลผล โดยการใช้กล้องดิจิตอลจับภาพแล้วนำสัญญาณดิจิตอลที่ได้ส่งต่อให้ Computer ทำการประมวลผล ซึ่งไม่ค่อยเป็นที่นิยมนัก เนื่องจากกล้องดิจิตอล และ Computer ราคาสูง จึงมีใช้เฉพาะบางบริษัทใหญ่เท่านั้น ที่พบเห็นกันส่วนมากคือจะใช้กล้องวิดีโอจับภาพและแสดงผลที่จอ Monitor และมีหน่วยรักษาความปลอดภัยนั่งคอยสังเกตการณ์ ดังนั้นจึงมีแนวคิดที่จะใช้สัญญาณภาพจากเครื่องรับโทรทัศน์มาประมวลผลทำให้สามารถตรวจจับสิ่งที่เคลื่อนไหวได้ และสามารถที่จะแสดงตำแหน่งตามจุดที่มีการเคลื่อนที่กลับไปหน้าจอ Monitor ในรูปของเส้นในแนวตั้งและแนวนอน

1.4 ขอบเขตของโครงการ

สามารถตรวจจับภาพและประมวลผลการเคลื่อนไหวของภาพที่รับเข้ามาจากสัญญาณเส้น Scan ของเครื่องรับโทรทัศน์ ซึ่งถ้ามีการเปลี่ยนแปลงของสัญญาณก็จะแสดงผลในรูปของสัญญาณเตือน และพัฒนาให้สามารถชี้ตำแหน่งของภาพที่เคลื่อนไหวกลับไปบนจอเครื่องรับโทรทัศน์

1.5 เนื้อหาโดยสังเขป

-ทฤษฎีเครื่องรับโทรทัศน์

เอกสารนี้เป็นเอกสารเกี่ยวกับ Microcontroller และการเชื่อมต่อกับอุปกรณ์ อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- ทฤษฎีของอุปกรณ์ที่ใช้ในการเชื่อมต่อ Microcontroller
- ทฤษฎีเกี่ยวกับการอินเตอร์รัปต์



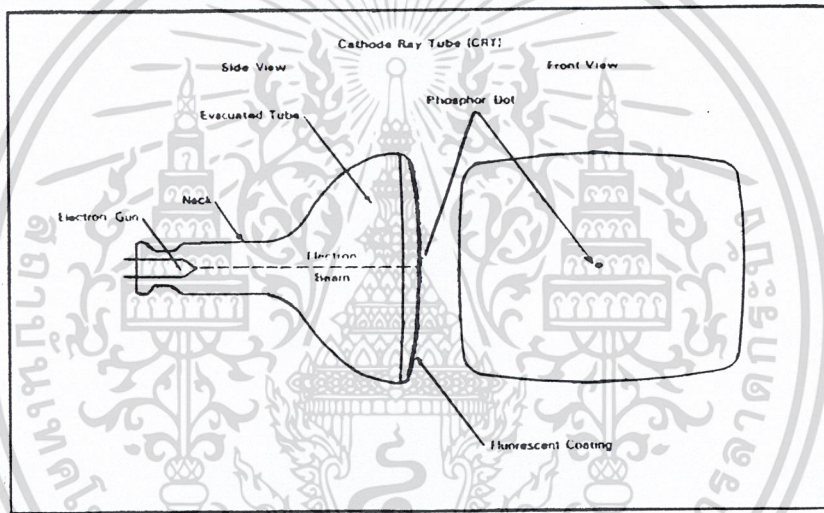
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2

ทฤษฎีและหลักการ

2.1 จอภาพ CRT (Cathode Ray Tube)

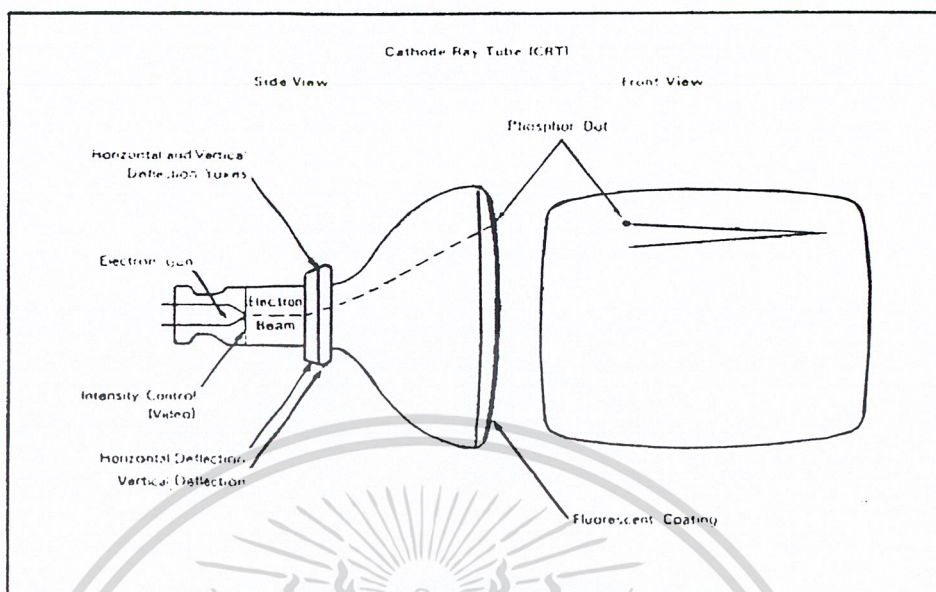
รูปที่ 2.1 แสดงส่วนประกอบและโครงสร้างของจอภาพ ซึ่งประกอบด้วยหลอดแก้วสูญญากาศ เคลือบผิวด้านหน้าด้วยสารเรืองแสง ด้านหลังจะเป็นรูปทรงกระบอก บรรจุปืนอิเล็กตรอน (electron gun) ทำหน้าที่ยิงลำอิเล็กตรอนออกมากระทบผิวด้านหน้า สารเรืองแสงที่เคลือบไว้เมื่อถูกอิเล็กตรอนวิ่งมากระทบ ก็จะเปล่งแสงออกมาเป็นจุดกลมเล็กๆ



รูปที่ 2.1 ส่วนประกอบของจอภาพ

เราสามารถควบคุมตำแหน่งของภาพ (จุดเรืองแสง) โดยการเบี่ยงเบนลำอิเล็กตรอน โดยใช้สนามแม่เหล็ก หรือ สนามไฟฟ้า โดยทั่วไปนิยมใช้สนามแม่เหล็กโดยแยกตัวเบี่ยงเบนออกเป็นแนวตั้ง (vertical) และแนวนอน (horizontal)

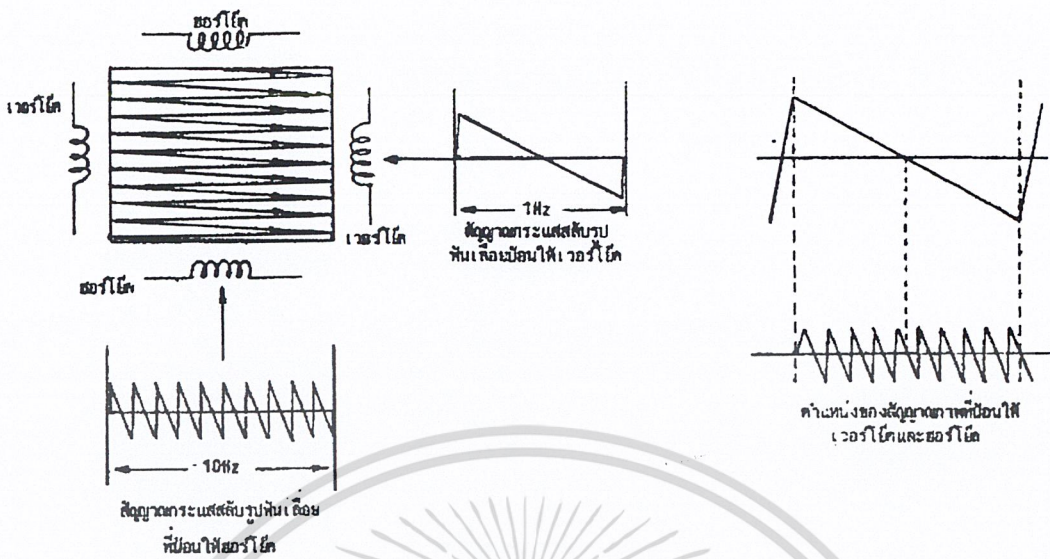
เมื่อเราควาดลำอิเล็กตรอนไป ร่องรอยการควาดจะคงปรากฏให้เห็นได้ในช่วงเวลาหนึ่งก่อนจะจางหายไป ปรากฏการณ์นี้เกิดจากคุณสมบัติของสารเรืองแสงที่เรียกว่า “persistence” หมายถึง ขดลวดที่ใช้สร้างสนามแม่เหล็กในแนวตั้งเรียกว่า “vertical yoke” ในแนวนอนเรียกว่า “horizontal yoke”



รูปที่ 2.2 การควบคุมตำแหน่งของลำอิเล็กตรอน

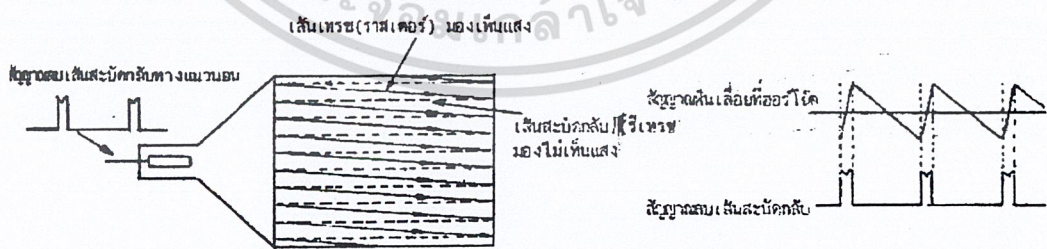
2.2 การสร้างราสเตอร์

จากรูปที่ 2.3 เมื่อป้อนกระแสสลับให้กับฮอริซันทัลและเวอร์ติคัล โดยความถี่ที่ป้อนให้ฮอริซันทัลมีค่าสูงกว่าเวอร์ติคัล 10 เท่า สมมติว่าความถี่ที่ป้อนให้ฮอริซันทัลมีค่าเท่ากับ 10 Hz ซึ่งจะทำให้เกิดการเบี่ยงเบนลำอิเล็กตรอนให้วิ่งกลับไปมาระหว่างขอบจอด้านซ้ายด้านขวา 10 ครั้ง ใน 1 วินาที โดยที่สัญญาณที่ป้อนให้เวอร์ติคัลมีค่า 1 Hz ซึ่งจะทำให้เกิดอำนาจแม่เหล็กมาเบี่ยงเบนให้แนวการวิ่งของลำอิเล็กตรอนที่กำลังเคลื่อนที่ทางแนวนอนอยู่นั้น เกิดการเคลื่อนที่ทางแนวตั้งพร้อมกันไปด้วย โดยจะทำให้ลำอิเล็กตรอนถูกผลักให้ขึ้นไปเริ่มกราดตรงกึ่งกลางขอบจอด้านบน แล้ววิ่งในแนวเฉียงจากซ้ายไปขวาและขวาไปซ้ายสลับกันไปเรื่อย ๆ โดยแนวการกราดจะเฉียงต่ำลงเรื่อย ๆ จะกระทั่งถึงขอบจอด้านล่าง



รูปที่ 2.3 การสร้างเรสเตอร์โดยชุดเบี่ยงเบนทางแนวตั้งและแนวนอน

ในการสร้างแสงที่หน้าจอโทรทัศน์นั้นมีความต้องการให้เกิดเส้นแสงสว่างทางแนวนอน (เรสเตอร์) เฉพาะตรงจังหวะที่ลำอิเล็กตรอนวิ่งจากด้านซ้ายไปทางด้านขวา ซึ่งเรียกว่าจังหวะกราด หรือจังหวะเทรซเท่านั้น ส่วนจังหวะที่ลำอิเล็กตรอนวิ่งจากด้านขวามาฝั่งด้านซ้าย ซึ่งเรียกว่าจังหวะ สะบัดกลับหรือรีเทรซนั้น ไม่ต้องการเห็นแสง จึงใช้สัญญาณซึ่งมีลักษณะเป็นพัลส์ช่วงเวลาสั้น ๆ ซึ่งเรียกว่าสัญญาณลบเส้นสะบัดกลับทางแนวนอน หรือจึงเกิดจากเส้นแสงสว่างซึ่งเรียกว่าเรสเตอร์ ที่เกิดจากการวิ่งของลำอิเล็กตรอน จากด้านซ้ายไปยังด้านขวาเท่านั้น เรียงรายกันลงมาจากขอบจอ ด้านบนถึงขอบจอด้านล่างส่วนจังหวะสะบัดกลับจะมองไม่เห็นแสงจึงเห็นเป็นเส้นสีดำคั่นอยู่ ระหว่างเส้นเรสเตอร์แต่ละเส้น



รูปที่ 2.4 การลบเส้นสะบัดกลับที่หน้าจอ

2.3 จำนวนเส้นราสเตอร์ต่อ 1 ภาพ

จำนวนของราสเตอร์ที่ปรากฏหน้าจอ นั้น เปรียบเสมือนส่วนของภาพ ที่ถูกตัดซอยออกมา เป็นชิ้นเล็กๆทางแนวนอน เนื่องจากสัญญาณโทรทัศน์จะสร้างจากส่วนของภาพที่แยกออกเป็นเส้น ทางแนวนอนเรียงรายลงมาจากด้านบนสู่ด้านล่าง ดังนั้นจึงจำนวนเส้นราสเตอร์ที่ใช้ในการสร้าง ภาพมีมากความละเอียดชัดเจนของภาพจะยิ่งสูง แต่จะมีขอบเขตจำกัดจากแถบความถี่ของสัญญาณ ภาพ คือถ้าจำนวนเส้นต่อภาพสูง แถบความถี่ของสัญญาณภาพจะกว้างมาก ซึ่งจะทำให้เกิดปัญหา ด้านคุณสมบัติของวงจร ที่จะนำมาใช้ในการส่งและรับสัญญาณรวมทั้งความจำกัดต่อจำนวนช่อง ของสถานีที่ใช้ออกอากาศในแถบความถี่แต่ละย่านด้วย

สมัยแรกๆ ในประเทศอังกฤษและทวีปยุโรปบางประเทศ จะใช้จำนวนราสเตอร์ 405 เส้น ต่อ 1 ภาพ ซึ่งเรียกว่าระบบอังกฤษหรือระบบ A เนื่องจากจำนวนเส้นมีน้อย ดังนั้นแถบความถี่ที่ใช้ ส่งสัญญาณภาพจึงแคบเพียง 3 MHz และมีความกว้างของช่องสัญญาณที่ใช้เพียง 5 MHz ซึ่งทำให้ สามารถส่งออกอากาศได้หลายสถานี ในแถบความถี่ย่าน VHF และ UHF แต่ในปัจจุบัน ไม่ใช่เนื่อง จากรายละเอียดของภาพไม่เพียงพอที่จะใช้ในการส่งสัญญาณ โทรทัศน์สีที่ใช้ในปัจจุบัน สำหรับ ฝรั่งเศสตอนแรกก็ใช้จำนวนราสเตอร์ที่สูงมาก คือใช้ถึง 819 เส้น ต่อ 1 ภาพ แถบความถี่ของ สัญญาณภาพจึงมีความกว้างมากถึง 10 MHz และต้องใช้แถบความถี่กว้างถึง 14 MHz ในการส่ง สัญญาณ โทรทัศน์แต่ละช่องทำให้ส่งสัญญาณออกอากาศได้เพียงไม่กี่สถานี ระบบนี้เรียกว่าระบบ E ในปัจจุบันไม่ใช่แล้วเช่นกัน

ส่วนในอเมริกาใช้จำนวนราสเตอร์ 525 เส้นต่อ 1 ภาพ ซึ่งมีความละเอียดชัดเจนของภาพดี พอควร ใช้แถบความถี่ของสัญญาณภาพไม่กว้างมาก เพียง 4.5 MHz และความกว้างของแถบความถี่ ที่ใช้ในการส่งสัญญาณออกอากาศแต่ละช่อง มีค่า 6 MHz เรียกขานระบบนี้ว่าระบบอเมริกาหรือระบบ M ปัจจุบันนี้ยังคงใช้อยู่ทั้งในการส่งสัญญาณขาวดำและการส่งสัญญาณ โทรทัศน์สี ประเทศญี่ปุ่นก็ ใช้ระบบนี้เช่นกัน

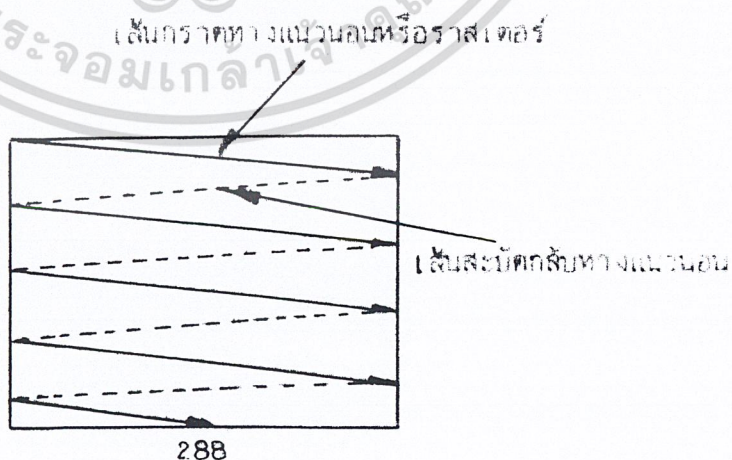
เนื่องจากระบบ 405 เส้น และระบบ 819 เส้น ที่ใช้ในยุโรปมีปัญหายุ่งยากมากเกี่ยวกับด้าน รายละเอียดภาพ และความกว้างช่อง ดังนั้นในปัจจุบันจึงได้เปลี่ยนมาใช้เส้นราสเตอร์เป็น 625 เส้น ต่อ 1 ภาพ เรียกขานระบบยุโรป แต่ก็แตกแยกออกไปเป็นหลายๆแบบด้วยกัน ถึงแม้ว่าจะใช้จำนวนเส้น ต่อภาพเท่ากัน เช่น แถบความถี่สัญญาณภาพ, การผสมสัญญาณภาพและเสียงเป็นต้นจึงกลายเป็น หลายระบบเช่น B, C, D/K, G/H, I, L และ N เป็นต้น สำหรับประเทศไทยใช้ระบบยุโรป B ซึ่งเรียก ว่ามาตรฐานของ CCIR (CCIR = INTERNATIONAL RADIO CONSULTATIVE COMMITTEE)

2.4 การสร้างเส้นราสเตอร์แบบกราดสลับเส้น (INTERLACED SCANNING)

ราสเตอร์ที่สร้างขึ้นหน้าจอเครื่องรับโทรทัศน์นั้น จะไม่สร้างเรียงรายต่อเนื่องกันลงมา จากด้านบนสู่ด้านล่างเป็นจำนวน 625 เส้น ในครั้งเดียวเพราะจะเกิดปัญหาเรื่องการ Flicker (แสงกระพริบหน้าจอ) จึงใช้วิธีสร้างราสเตอร์แบบกราดสลับเส้น โดยการแบ่งการกราดออกเป็น 2 ชุด ชุดแรกกราดสร้างเส้นราสเตอร์เส้นเว้นเส้นให้เรียงรายจากขอบจอด้านบนลงสู่ด้านล่าง เป็นจำนวน 312.5 เส้น โดยใช้เวลาในการสร้าง 1/50 วินาที เรียกว่าช่วงเวลาการกราดฟิลด์ที่ 1 หรือการกราดฟิลด์เส้นคี่ จากนั้นจะทำการสร้างเส้นราสเตอร์อีกชุดหนึ่ง โดยกราดแซมตรงช่องว่างระหว่างเส้นราสเตอร์ของฟิลด์ที่ 1 ซึ่งเรียงรายจากด้านบนลงสู่ด้านล่างอีกเป็นจำนวน 312.5 เส้น โดยใช้เวลา 1/50 วินาทีเช่นกัน เรียกว่าการกราดฟิลด์ที่ 2 หรือฟิลด์เส้นคู่ ดังนั้นราสเตอร์ที่ปรากฏอยู่บนหน้าจอ จำนวน 625 เส้นนั้น จึงเกิดจากผลรวมระหว่างราสเตอร์ของฟิลด์ที่ 1 กับฟิลด์ที่ 2 ($312.5H + 312.5H = 625H$) โดยใช้เวลาในการสร้างทั้งหมด 1/25 วินาที (40 ms)

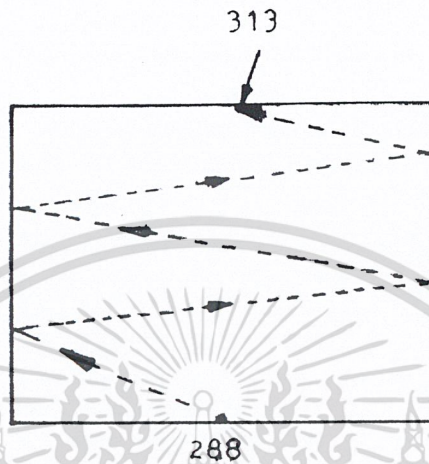
เส้นราสเตอร์ที่มองเห็นปรากฏอยู่บนหน้าจอโทรทัศน์นั้น จะมีจำนวนจริงไม่ถึง 625 เส้น ทั้งนี้เนื่องจากจะสูญเสียไปในจังหวะสลับกลับทางแนวตั้งครั้งละ 25 เส้น ซึ่งการสร้างเส้นราสเตอร์ 2 ฟิลด์ จะเกิดการสลับกลับทางแนวตั้ง 2 ครั้ง เส้นราสเตอร์จะหายไปจำนวน $25 + 25 = 50$ เส้น ดังนั้นเส้นราสเตอร์ที่ปรากฏบนจอจึงมีจำนวนเท่ากับ $625 - 50 = 575$ เส้นเท่านั้น โดยจำนวนราสเตอร์ที่เรียงรายจากขอบจอด้านบนมาถึงขอบจอด้านล่างของแต่ละฟิลด์นั้นจะมีจำนวน $312.5 - 25 = 287.5$ เส้น

การสร้างราสเตอร์ฟิลด์ที่ 1 ใช้เวลาในการกราดและสลับกลับทางแนวตั้ง เพื่อสร้างราสเตอร์จำนวน 312.5 เส้น ในเวลา 1/50 วินาที



รูปที่ 2.5 การสร้างราสเตอร์ฟิลด์ที่ 1

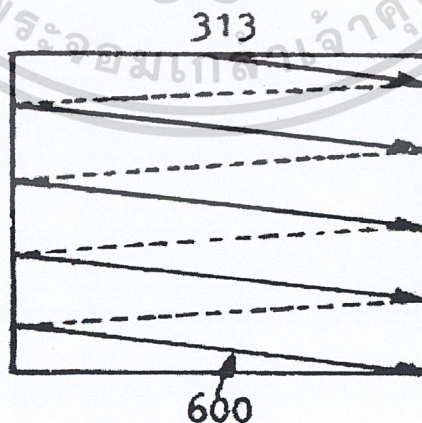
จังหวะการตกทางแนวตั้งของฟิล์มที่ 1 ถ้าอิเล็กทรอนิกส์จะถูกเบี่ยงเบนให้วิ่งเฉียงสร้างเส้นแสงสว่างทางแนวนอน เรียงรายจากขอบจอด้านบนเส้นเว้นเส้นลงมาสู่ขอบจอด้านล่างจำนวน 287.5 เส้น โดยใช้เวลา 18.4 ms



รูปที่ 2.6 การสะบัดกลับทางแนวตั้งของฟิล์มที่ 1

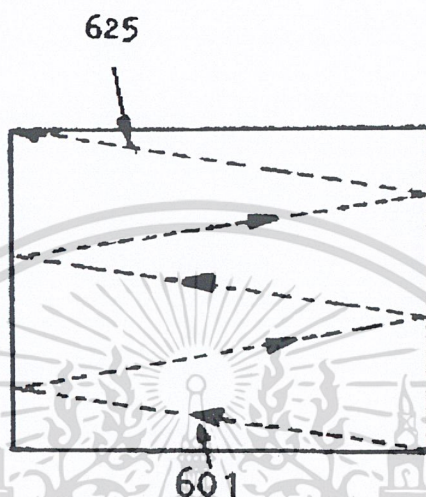
จังหวะสะบัดกลับทางแนวตั้งของฟิล์มที่ 1 ถ้าอิเล็กทรอนิกส์จะถูกเบี่ยงเบนให้วิ่งจากขอบจอด้านล่างสู่ด้านบนเพื่อเริ่มต้นสร้างเส้นราสเตอร์ฟิล์มที่ 2 โดยใช้เวลาประมาณ 25 เส้น (1.6 ms)

การสร้างเส้นราสเตอร์ฟิล์มที่ 2 ใช้เวลาในการกราดและสะบัดกลับทางแนวตั้ง เพื่อสร้างเส้นราสเตอร์จำนวน 312.5 เส้น ในเวลา 1/50 วินาที (20ms)



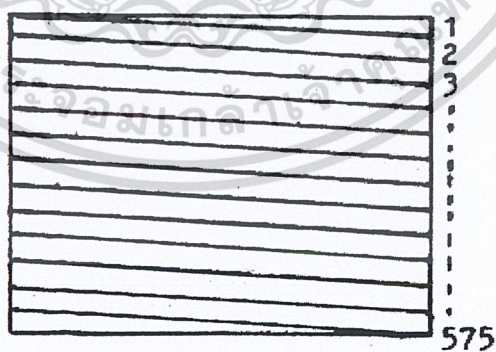
รูปที่ 2.7 การสร้างราสเตอร์ฟิล์มที่ 2

จังหวะกราดทางแนวตั้งของฟิล์มที่ 2 จะสร้างเส้นราสเตอร์ แขนตรงช่องระหว่างราสเตอร์ของฟิล์มที่ 1 เรียงรายกันลงมาจากขอบด้านบน สู่ออกด้านล่าง จำนวน 287.5 เส้น โดยใช้เวลา 18.4 ms



รูปที่ 2.8 จังหวะสะบัดกลับทางแนวตั้งของฟิล์มที่ 2

จังหวะสะบัดกลับทางแนวตั้งของฟิล์มที่ 2 ถ้าอิเล็กทรอนิกส์ จะถูกเบี่ยงเบนให้วิ่งจากขอบจดด้านล่างขึ้นไปสู่ออกด้านบนโดยใช้เวลาประมาณ 25 เส้น (1.6 ms) เพื่อเริ่มสร้างเส้นราสเตอร์ของฟิล์มที่ 1 ซ้ำอีก



รูปที่ 2.9 การสร้างราสเตอร์แบบกราดสลับเส้น

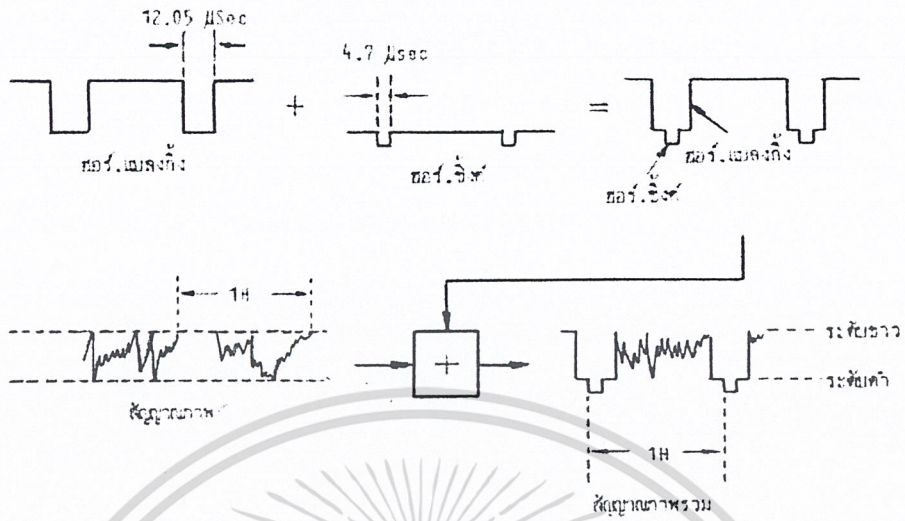
การสร้างราสเตอร์จะสลับกันไปมาระหว่างฟิล์มที่ 1 และ ฟิล์มที่ 2 ด้วยอัตรา 50 ครั้งต่อวินาที เนื่องจากมีความเร็วสูงมาก อาจสังเกตการเปลี่ยนแปลงไม่ได้ จึงมองเห็นเป็นราสเตอร์จำนวน 625 เส้น (รวมจังหวะสลับกลับทางแนวตั้ง 50 เส้นด้วย) ปรากฏเต็มจอตลอดเวลา

2.5 การสร้างสัญญาณโทรทัศน์

สัญญาณรายละเอียดภาพ ซึ่งเป็นแรงดันกระแสลับที่แปรเปลี่ยนไปตามค่าความสว่างของภาพ ที่ได้ออกมาจากหลอดเก็บภาพนั้น จะต้องถูกส่งไปรวมกับสัญญาณควบคุมตำแหน่งภาพและเส้นสลับกลับที่สร้างจากวงจรชุดสร้างความถี่ ได้แก่สัญญาณควบคุมตำแหน่งภาพทางแนวนอน ซึ่งเรียกว่าฮอริซอนตัลซิงค์ สัญญาณเส้นสลับกลับทางแนวนอนที่เรียกว่าสัญญาณฮอริซอนตัลเบลนดิงกิ้ง สัญญาณควบคุมตำแหน่งภาพทางแนวตั้งเรียกว่าสัญญาณเวอร์ติคัลเบลนดิงกิ้งและสัญญาณที่ทำหน้าที่รักษารูปร่างของสัญญาณเวอร์ติคัลซิงค์ที่เรียกว่าไอควอลไลซิงพัลส์

สัญญาณฮอริซอนตัลซิงค์ คือแรงดันช่วงสั้นๆ (pulse) ประมาณ 4.7 ไมโครเซคกัน เป็นสัญญาณที่มีระดับแรงดันต่ำที่สุด (ต่ำกว่าจุดคัทออฟของภาพ) ส่งไปยังเครื่องรับ เพื่อเป็นสัญญาณอ้างอิงในการสร้างความถี่ของวงจรสร้างสัญญาณเบี่ยงเบนทางแนวนอนในเครื่องส่ง เพื่อให้เกิดการทำงานที่ได้จังหวะกับสัญญาณเบี่ยงเบนทางแนวนอนที่สร้างขึ้นที่สถานีส่ง ตำแหน่งของภาพที่เกิดขึ้นหน้าจอเครื่องรับจึงถูกต้องตรงกับตำแหน่งของภาพที่ปรากฏที่เครื่องส่งทางแนวนอน สัญญาณนี้จะส่งร่วมกับสัญญาณฮอริซอนตัลเบลนดิงกิ้ง โดยส่งร่วมกับสัญญาณภาพไปในช่วงจังหวะสลับกลับทางแนวนอนซึ่งเป็นจังหวะที่ไม่มีสัญญาณภาพ

สัญญาณฮอริซอนตัลเบลนดิงกิ้ง คือค่าแรงดันที่มีระดับสูงกว่าฮอริซอนตัลซิงค์ประมาณ 25-30% มีช่วงเวลาประมาณ 12.05 ไมโครเซคกัน โดยค่าแรงดันนี้จะอยู่ในระดับคัทออฟของหลอดภาพ ส่งไปยังเครื่องรับเพื่อทำให้หลอดภาพคัทออฟในจังหวะสลับกลับทางแนวนอน จึงไม่เห็นแสงของเส้นสลับกลับทางแนวนอนปรากฏหน้าจอ สัญญาณนี้จะส่งร่วมกับฮอริซอนตัลซิงค์เดิมลงไปสัญญาณภาพตรงช่วงสลับกลับทางแนวนอน ซึ่งไม่มีสัญญาณภาพ

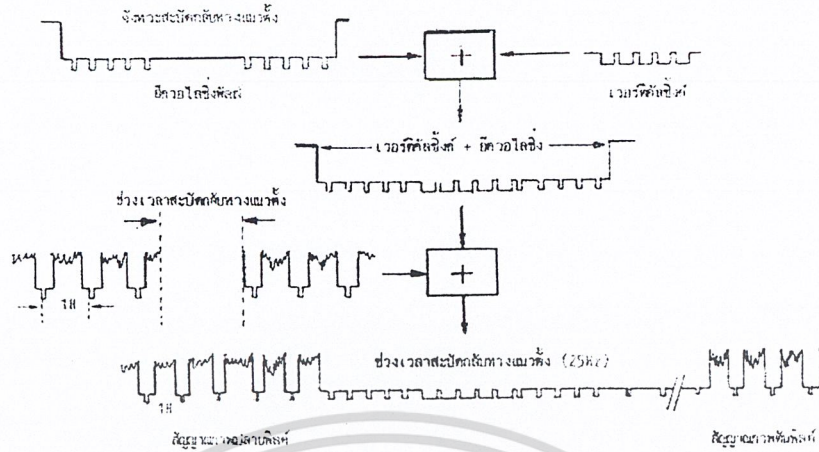


รูปที่ 2.10 การเติมสัญญาณขอรจิ้งและขอรเบลลงกิ่งลงไปนสัญญาณภาพแต่ละเส้น

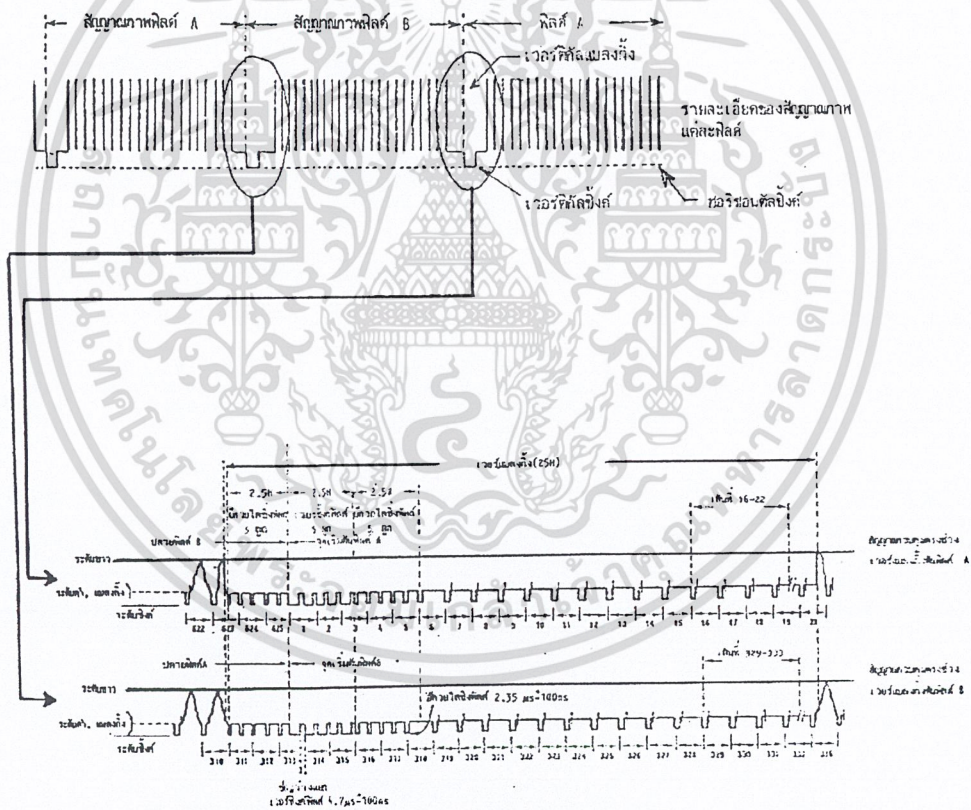
สัญญาณเวอร์ติคัลซิงค์ คือสัญญาณที่มีระดับแรงดันเท่ากันกับสัญญาณฮอริซอนตัลซิงค์ แต่ช่วงเวลาในการเกิดแรงดันนั้นจะนานกว่าฮอริซอนตัลซิงค์ คือ แบ่งออกเป็นช่วงๆ 5 ช่วง (5 pulse) แต่ละช่วงเกิดนานประมาณ 29 ไมโครเซคกัน และเว้นระยะห่างกัน 4.7 ไมโครเซคกัน ส่งไปยังเครื่องรับเพื่อเป็นสัญญาณอ้างอิงสำหรับวงจรเบี่ยงเบนทางแนวตั้งเพื่อใหสร้างความถี่ออกมาได้จังหวะคล่องจองกับสัญญาณเบี่ยงเบนทางแนวตั้งที่สร้างขึ้นที่เครื่องส่ง ตำแหน่งภาพที่หน้าจอเครื่องรับจึงถูกต้องตรงกับตำแหน่งภาพที่เครื่องส่งทางแนวตั้ง สัญญาณนี้จะส่งร่วมกับสัญญาณภาพ มาในจังหวะสลับกลับทางแนวตั้งซึ่งเป็นจังหวะที่ไม่มีสัญญาณภาพ

อีควอไลซิงพัลส์ คือพัลส์ช่วงเวลาสั้นๆประมาณพัลส์ละ 2.35 ไมโครเซคกันจำนวน 2 ชุด ชุดละ 5 พัลส์ เติมลงไปนำหน้าและตามหลังเวอร์ติคัลซิงค์ เพื่อรักษารูปร่างและเวลาของเวอร์ติคัลซิงค์ให้สมบูรณ์ขณะที่แยกออกจากฮอริซันตัลซิงค์ อันจะทำให้การสอดแทรกสัญญาณภาพลงไปเปลี่ยนแปลงความสว่างของราสเตอร์แต่ละพัลส์ให้เป็น ไปอย่างถูกต้อง

เวอร์ติคัลเบลลงกิ่ง เป็นแรงดันที่ส่งไปทำให้หลอดภาพคัทออฟในช่วงระยะเวลาสลับกลับทางแนวตั้ง เพื่อทำให้มองไม่เห็นแสงที่เกิดจากการที่ลำอิเล็กตรอนวิ่งจากขอบจอด้านล่างขึ้นไปยังขอบจอด้านบนในจังหวะสลับกลับทางแนวตั้ง ซึ่งมีช่วงเวลาประมาณ 25 เส้นสะแกนทางแนวนอน (25H) ด้วยเหตุนี้สัญญาณนี้จึงส่งร่วมกับสัญญาณภาพโดยเติมลงไปตรงจังหวะสลับกลับทางแนวตั้งของสัญญาณภาพ ซึ่งเป็นจังหวะที่ไม่มีสัญญาณรายละเอียดภาพ



รูปที่ 2.11 การเติมสัญญาณเวอริคัลและเวอริแบลิ่งลงไปในสัญญาณภาพแต่ละฟิลด์

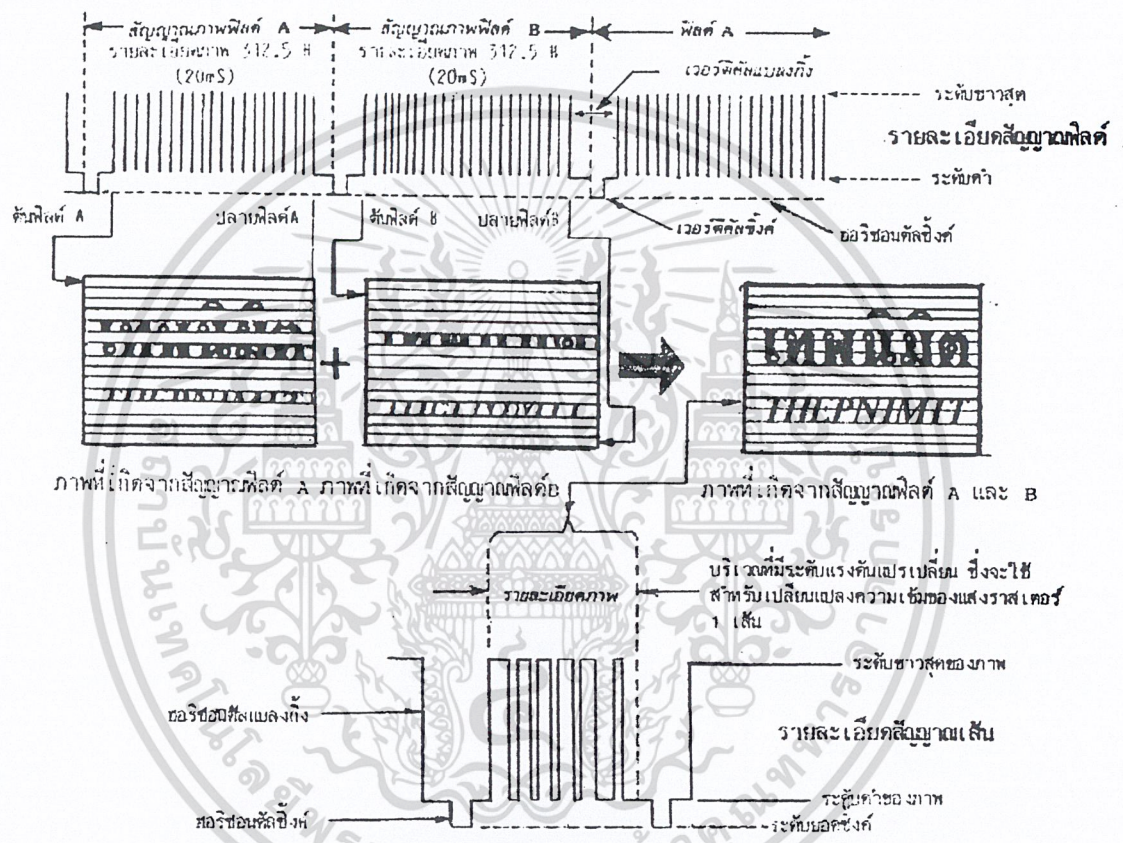


รูปที่ 2.12 รายละเอียดสัญญาณฟิลด์ และสัญญาณควบคุมตรงช่วงเวอริคัลแบบลงกึ่ง

2.6 การสร้างภาพหน้าจอโทรทัศน์

สัญญาณภาพจากสถานีโทรทัศน์ถูกส่งมาเป็นชุดๆ แต่ละชุดเรียกว่าสัญญาณ 1 ฟิลด์ ซึ่งประกอบด้วยรายละเอียดของสัญญาณภาพจำนวน 312.5 เส้น (รวมจังหวะสับคัตกลับทางแนวตั้ง เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ด้วย) อันเป็นอัตราเดียวกับการกวาดของราสเตอร์ที่หน้าจอภาพของเครื่องรับโทรทัศน์ 1 ฟิลด์เช่นกัน สัญญาณภาพแต่ละเส้นจะทำให้ราสเตอร์แต่ละเส้นเปลี่ยนแปลงความสว่างเกิดเป็นส่วนของภาพปรากฏขึ้นที่หน้าจอภาพ จำนวน 2 ฟิลด์จะทำให้ราสเตอร์จำนวน 625 เส้น เปลี่ยนแปลงความสว่างเกิดเป็นภาพที่สมบูรณ์ปรากฏขึ้น 1 ภาพ ในเวลา 1/25 วินาที (อัตราการเกิดภาพที่หน้าจอเครื่องรับโทรทัศน์เท่ากับ 25 ภาพต่อวินาที)



รูปที่ 2.13 แสดงการสร้างภาพหน้าจอโทรทัศน์

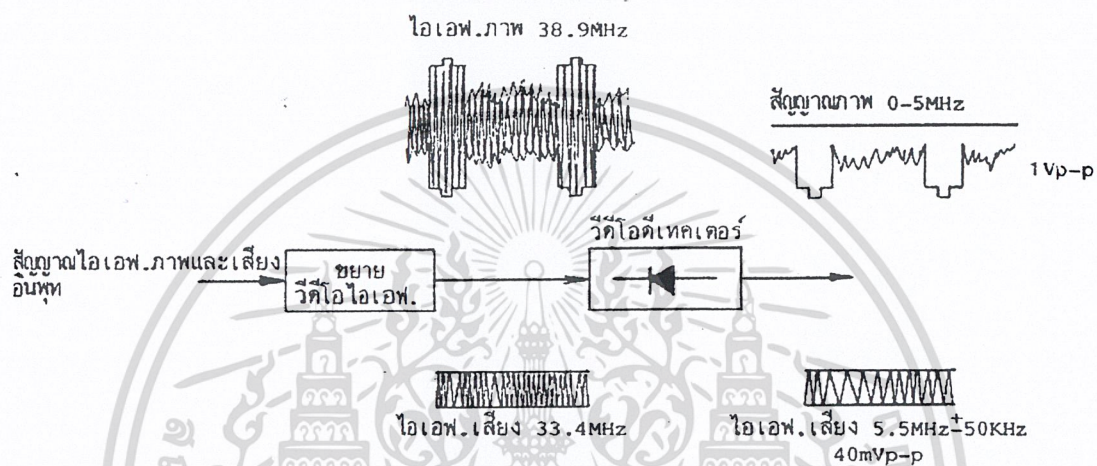
2.7 วิดีโอดีเทคเตอร์

วงจรวิดีโอดีเทคเตอร์ คือ วงจรเอเอ็มดีเทคเตอร์ ที่ทำหน้าที่แยกเอาสัญญาณภาพออกจากสัญญาณความถี่ปานกลางภาพ (VIDEO IF SIGNAL) หรือเรียกสั้นๆว่า สัญญาณไอเอฟภาพซึ่งเป็นสัญญาณที่ผสมกันอยู่ระหว่างสัญญาณภาพกับคลื่นพาหะที่ถูกเปลี่ยนความถี่ให้เป็นความถี่ปานกลางแล้วในแบบเอเอ็ม ลักษณะการทำงานจะเหมือนกับวงจรดีเทคเตอร์ของเครื่องรับวิทยุเอเอ็มนั่นเองคือใช้ไดโอดซึ่งอาจจะเป็นหลอดไดโอดในเครื่องรับโทรทัศน์แบบใช้หลอด และใช้เจอร์มานีเนียมไดโอดหรือทรานซิสเตอร์ในเครื่องรับโทรทัศน์แบบใช้ทรานซิสเตอร์หรือไอซีมาเป็นตัวตัด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

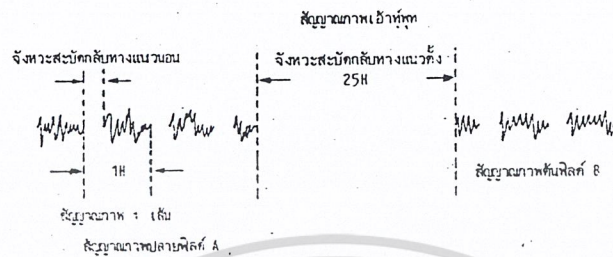
ส่วนของสัญญาณไอเอฟภาพเฉพาะตรงช่วงลบ ซึ่งมีความแรงมาตรฐาน 1 Vp-p เท่านั้นปรากฏที่ด้านเอาต์พุต ที่วงจรนี้จะต้องมีการชดเชยที่ระดับความถี่สูงของสัญญาณภาพเพื่อให้รายละเอียดของภาพส่วนที่เล็ก (ส่วนที่เกิดจากความถี่สูง) มีความชัดเจนเท่ากับส่วนอื่นๆ เพื่อให้รายละเอียดเฉลี่ยของภาพมีความชัดเจนเท่ากัน โดยการใช้วงจรชดเชยความถี่สูง ซึ่งประกอบด้วยขดลวดและขดลวดที่ต่อขนานกับตัวต้านทาน ซึ่งเรียกว่าพิกกิ้งคอยล์มาต่อไว้ทางด้านเอาต์พุต



รูปที่ 2.14 บล็อกไดอะแกรมของวงจรวีดิโอดีเทคเตอร์

สัญญาณอินพุตที่ป้อนให้กับวงจรวีดิโอดีเทคเตอร์นั้น คือสัญญาณ ไอเอฟภาพและเสียงที่ได้มาจากวงจรขยายวิดีโอไอเอฟ โดยความแรงของสัญญาณไอเอฟภาพจะมีค่าประมาณ 2 Vp-p และสัญญาณเสียงจะมีความแรง 1/5 เท่าของสัญญาณภาพคือประมาณ 400 mVp-p ในเครื่องรับโทรทัศน์แบบอินเตอร์แคเรียซาวด์ สัญญาณ ไอเอฟภาพและเสียงจะถูกขยายผ่านมาทางวงจรขยายวิดีโอไอเอฟพร้อมกันแล้วจึงส่งเข้าวงจรวีดิโอดีเทคเตอร์ โดยสัญญาณภาพซึ่งเป็นสัญญาณเอเอ็มเท่านั้นจะถูกแยกออกมา โดยเปลี่ยนจากสัญญาณไอเอฟภาพความถี่ 38.9 MHz มาเป็นสัญญาณภาพความถี่ระหว่าง 25Hz-5MHz ตามมาตรฐาน CCIR ส่วนสัญญาณเสียงซึ่งเป็นสัญญาณที่ผสมมาในแบบ FM จะไม่ถูกแยกที่วงจรนี้ แต่ผลจากการบีทกันระหว่างสัญญาณเสียงและภาพ ($38.9\text{MHz} - 33.4\text{MHz} = 5.5\text{MHz}$) จะทำให้ความถี่ไอเอฟของสัญญาณเปลี่ยนจาก 33.4MHz เป็นความถี่ 5.5MHz ซึ่งเรียกว่าสัญญาณ ไอเอฟเสียง 5.5MHz ซึ่งสัญญาณนี้หลังจากขยายอีกครั้งหนึ่งโดยวงจรขยายสัญญาณภาพที่ 1 แล้วจึงแยกเข้าไปยังภาคเสียงส่วนสัญญาณภาพช่วงลบที่ได้ออกมา นั้นเนื่องจากมีความแรงเพียง 1Vp-p ซึ่งไม่เพียงพอที่จะป้อนเป็นไปอัสให้กับหลอดภาพเพื่อสร้างภาพที่หน้าจอได้ ดังนั้นจึงต้องส่งไปให้ภาคขยายสัญญาณภาพทำการขยายสัญญาณให้มีความแรงเพียงพอเสียก่อน ซึ่งความแรง

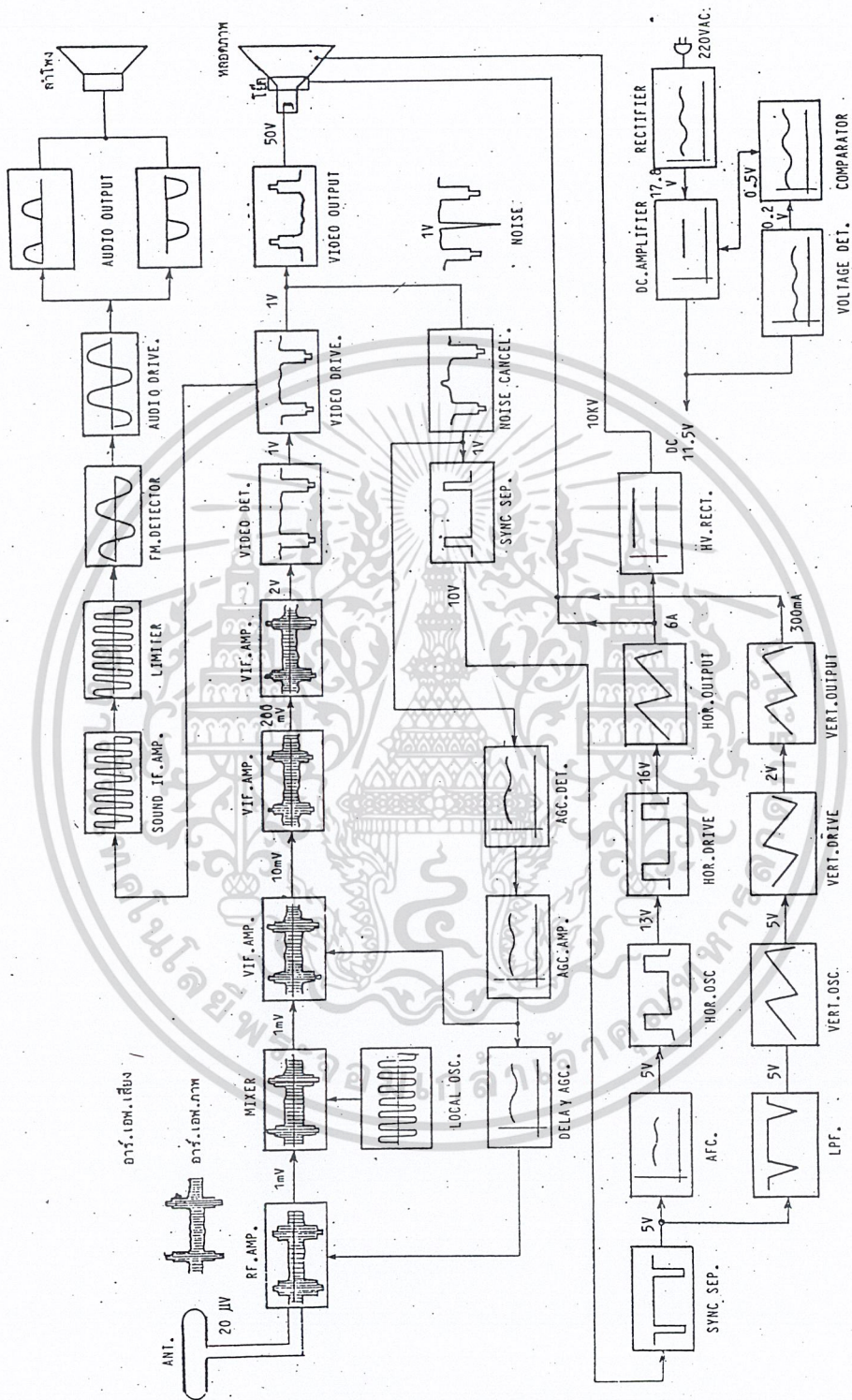
ของสัญญาณภาพที่หลอดภาพต้องการนั้นจะอยู่ในระหว่างประมาณ 50-100Vp-p แล้วแต่ขนาดของจอภาพ



รูปที่ 2.15 รายละเอียดสัญญาณภาพ



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



วงจรถ่ายทอดแรงดัน

รูปที่ 2.16 บล็อกไดอะแกรมของเครื่องรับโทรทัศน์ขาวดำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.8 การแปลงสัญญาณอนาลอกเป็นดิจิทัล

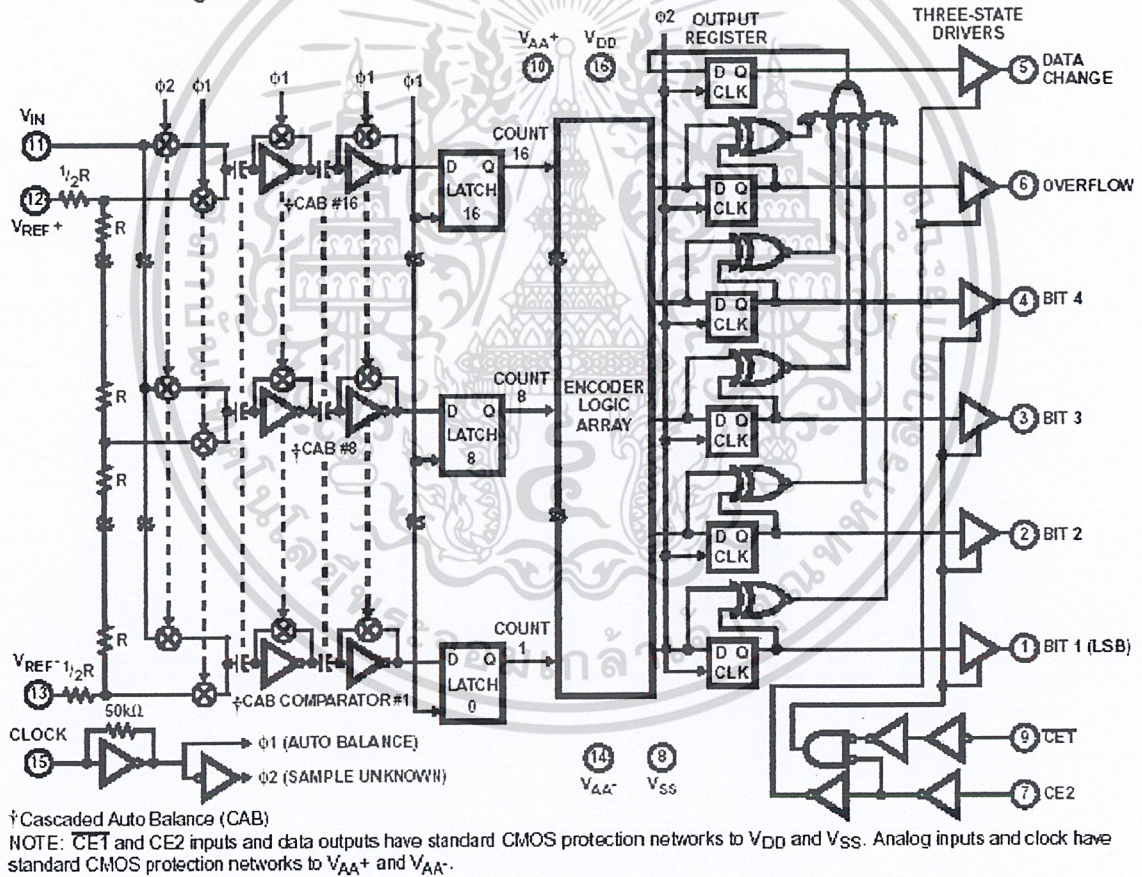
โครงสร้างของ A/D

A/D มีหลายชนิดด้วยกันเช่น

- Dual Slope Type
- Successive Approximation Register Type (SAR)
- Flash Type
- Tracking type

การใช้งาน เบอร์ CA3304 ซึ่งมีความเร็วประมาณ 40 ns ซึ่งมีการต่อเข้ากับ CPU ดังรูป

Functional Diagram



รูปที่ 2.17 โครงสร้างของ CA3304 และการจัดวางขา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Timing Diagrams

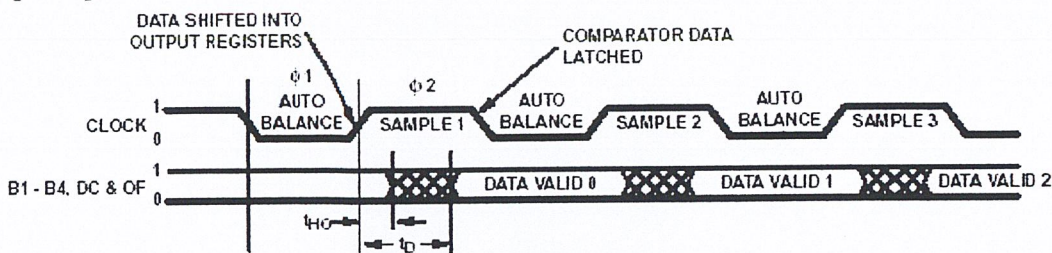
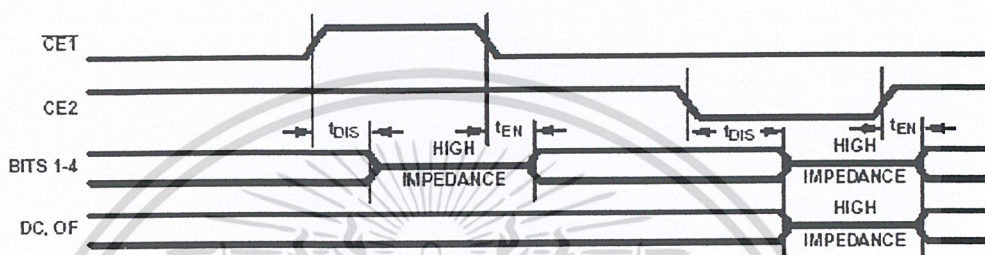
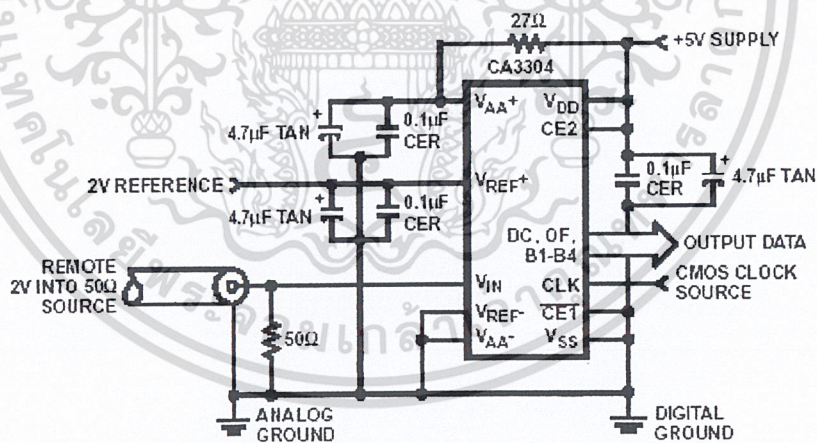


FIGURE 1. TIMING DIAGRAM



รูปที่ 2.18 ฟังเวลาในการทำงานของ A/D

การต่อวงจร A/D



รูปที่ 2.19 การต่อ A/D

2.9 การเชื่อมโยง 8255 กับ MCS-51

8255A PROGRAMMABLE PERIPHERAL INTERFACE

เป็นชิพขนาด 40 ขามีอยู่ 3 พอร์ต คือ A,B,C เป็นพอร์ต 8 บิตที่สามารถโปรแกรมให้เป็น อินพุตหรือเอาต์พุตก็ได้ โดยที่พอร์ต C ยังแบ่งเป็น 4 บิตล่างและ 4 บิตบน โดยมีโครงสร้างตามรูปที่ 2.20

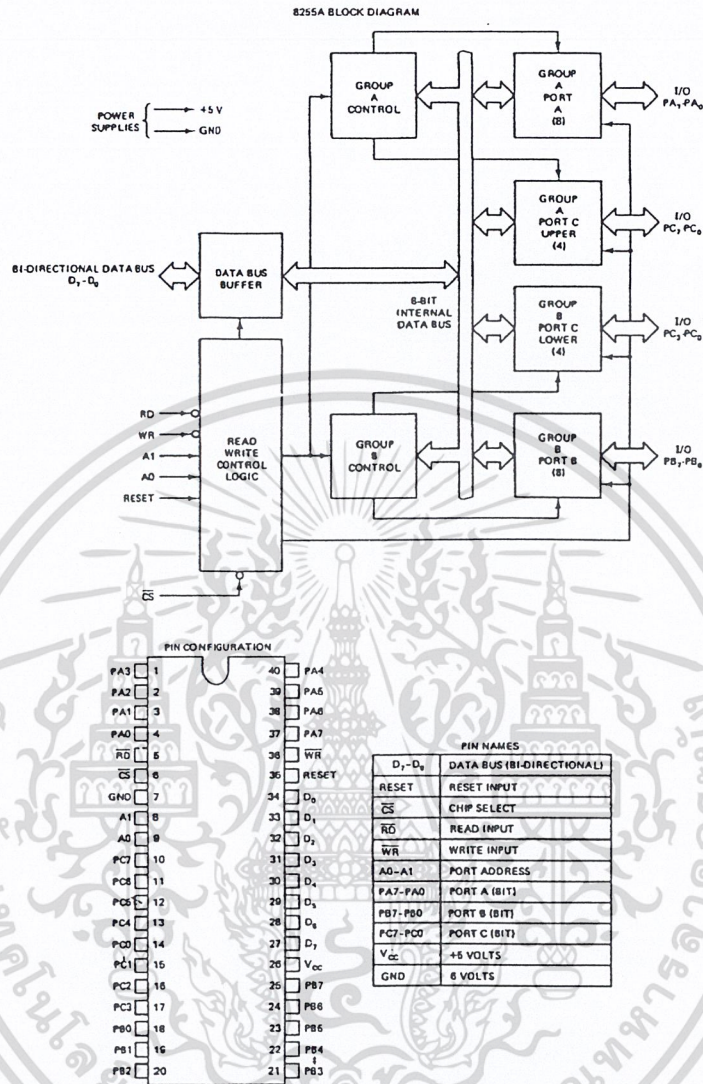
โหมดการทำงาน

การทำงานมีอยู่ด้วยกัน 3 โหมด ดังตารางที่ 2.1

ตารางที่ 2.1 สรุปโหมดต่างๆของ 8255

	MODE 0		MODE 1		MODE 2
	IN	OUT	IN	OUT	GROUP A ONLY
PA ₀	IN	OUT	IN	OUT	↔
PA ₁	IN	OUT	IN	OUT	↔
PA ₂	IN	OUT	IN	OUT	↔
PA ₃	IN	OUT	IN	OUT	↔
PA ₄	IN	OUT	IN	OUT	↔
PA ₅	IN	OUT	IN	OUT	↔
PA ₆	IN	OUT	IN	OUT	↔
PA ₇	IN	OUT	IN	OUT	↔
PB ₀	IN	OUT	IN	OUT	—
PB ₁	IN	OUT	IN	OUT	—
PB ₂	IN	OUT	IN	OUT	—
PB ₃	IN	OUT	IN	OUT	—
PB ₄	IN	OUT	IN	OUT	—
PB ₅	IN	OUT	IN	OUT	—
PB ₆	IN	OUT	IN	OUT	—
PB ₇	IN	OUT	IN	OUT	—
PC ₀	IN	OUT	INTR _B	INTR _B	I/O
PC ₁	IN	OUT	IBF _B	OBF _B	I/O
PC ₂	IN	OUT	STB _B	ACK _B	I/O
PC ₃	IN	OUT	INTR _A	INTR _A	INTR _A
PC ₄	IN	OUT	STB _A	I/O	STB _A
PC ₅	IN	OUT	IBF _A	I/O	IBF _A
PC ₆	IN	OUT	I/O	ACK _A	ACK _A
PC ₇	IN	OUT	I/O	OBF _A	OBF _A

} MODE 0 OR MODE 1 ONLY



รูปที่ 2.20 การจัดวางและ โครงสร้างของ 8255

โหมด 0 มีการทำงานแบบ BASIC I/O แบบ ไม่มี handshake

โหมด 1 โหมดนี้ใช้พอร์ท A,B ในการรับหรือการส่งข้อมูล และใช้พอร์ท C ในการตรวจสอบ สัญญาณ (handshake)

โหมด 2 โหมดนี้ใช้พอร์ท A ในการรับส่งข้อมูล 2 ทิศทาง และพอร์ท B ในการรับหรือส่งข้อมูล และใช้พอร์ท C บิต 0,1,2 ในการรับส่งข้อมูลบิตและบิต 3,4,5,6,7 เป็นสัญญาณ handshake

ขาสัญญาณต่างๆของ 8255

D7-D0 บัสข้อมูลเชื่อม โยงกับ CPU

A1-A0 ใช้เลือกพอร์ท A,B,C และพอร์ทควบคุม

RESET เมื่อขานี้ได้รับสัญญาณกระตุ้นลอจิก 1 จะทำให้ 8255 ถูกรีเซ็ตมีผลทำให้ทุกพอร์ทเป็นอินพุททันที

PA7-PA0 เป็นพอร์ทขนาน 8 บิต

PB7-PB0 เป็นพอร์ทขนาน 8 บิต

PC7-PC0 เป็นพอร์ทขนาน 8 บิต

\overline{RD} ในการใช้อ่านข้อมูลของ 8255 ต้องทำให้ขานี้เป็นลอจิก 0 พร้อมกับ \overline{CS}

\overline{WR} ใช้ในการเขียนข้อมูลหรือโปรแกรมลง 8255 ต้องทำให้ขานี้ เป็นลอจิก 0 พร้อมกับ \overline{CS}

\overline{CS} เป็นขาเลือกชิพ 8255 ได้ ขานี้โดยต่อกับ I/O DECODER

เมื่อขา \overline{WR} , \overline{RD} , A0, A1, \overline{CS} ทำงานทั้ง 5 ขาจะมีฟังก์ชันการทำงาน ดังตารางที่ 2.2

การถอดรหัสตำแหน่งพอร์ทของ 8255 ดังแสดงในรูปที่ 2.21

(8000H-8FFFH)

(9000H-9FFFH)

(A000H-AFFFH)

(B000H-BFFFH)

(C000H-CFFFH)

(D000H-DFFFH)

(E000H-EFFFH)

(F000H-FFFFH)

และใช้เอาต์พุทที่ตำแหน่ง (F000H-FFFFH) มาถอดรหัสร่วมกับ A8, A9, A10 โดยใช้

74LS138 ได้พอร์ท

(F800H-F8FFFH)

(F900H-F9FFFH)

(FA00H-FAFFFH)

(FB00H-FBFFFH)

(FC00H-FCFFFH)

(FD00H-FDFFFH)

(FE00H-FEFFFH)

(FF00H-FFFFFH)

สัญญาณเลือกชิพ 8255 ใช้เบอร์พอร์ท (FC00H-FCFFH) และ A0, A1 ต่อเข้า A0, A1 ของ 8255 จะ ได้เบอร์พอร์ทของ 8255 ดังตารางที่ 2.3

ตารางที่ 2.2 ตารางความจริงของ 8255

A1	A0	RD	WR	CS	
					Input operation (READ)
0	0	0	1	0	Port A → data bus
0	1	0	1	0	Port B → data bus
1	0	0	1	0	Port C → data bus
					Output operation (WRITE)
0	0	1	0	0	Data bus → port A
0	1	1	0	0	Data bus → port B
1	0	1	0	0	Data bus → port C
1	1	1	0	0	Data bus → control
					Disable function
X	X	X	X	1	Data bus → 3-state
1	1	0	1	0	Illegal condition
X	X	1	1	0	Data bus → 3-state

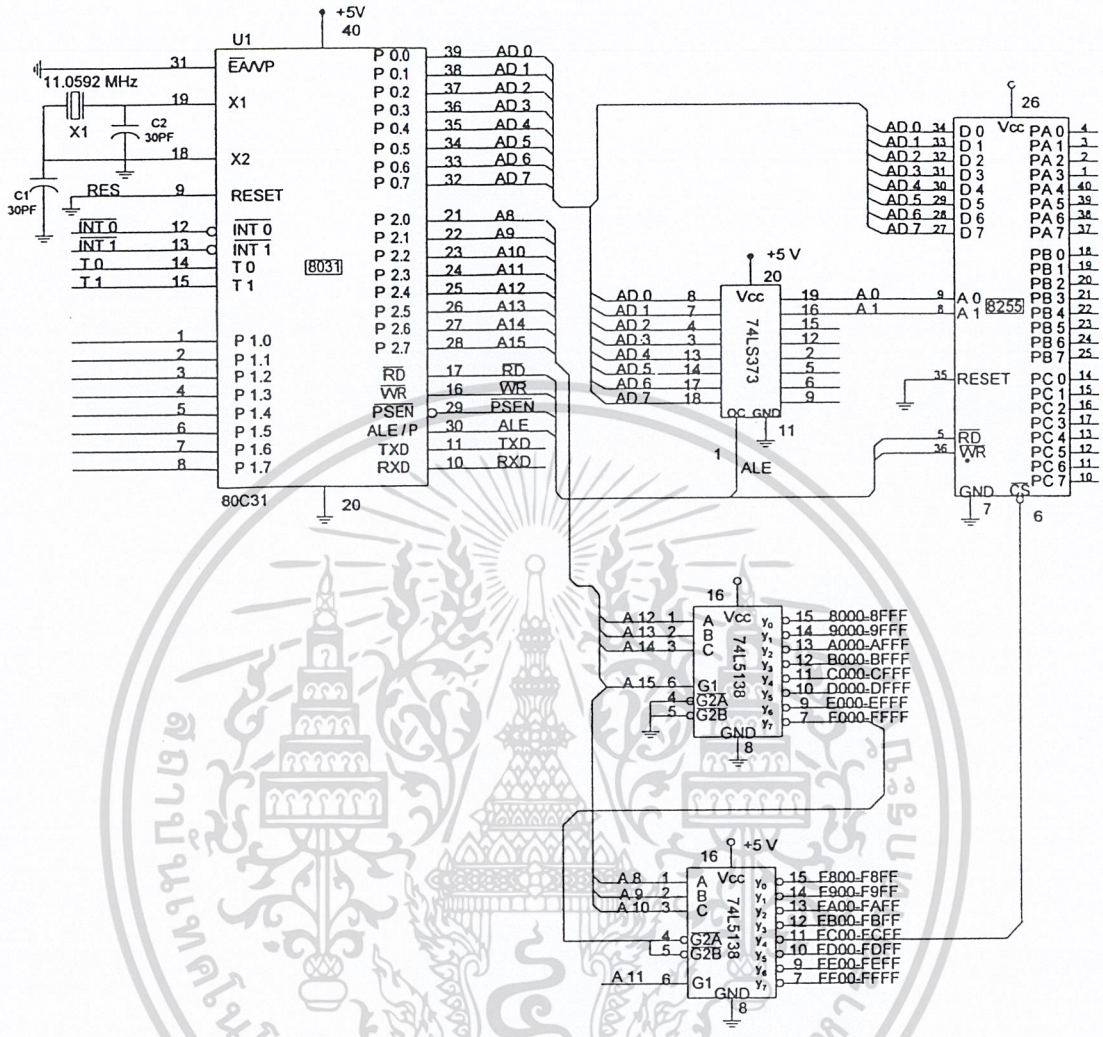
Source: Courtesy of Intel Corporation.

ตารางที่ 2.3 I/O ADDRESS ของ 8255

I/O (ADDRESS)	8255 (PORT)
FC00H	A
FC01H	B
FC02H	C
FC03H	CONTROL

*ส่วนขา RD, WR ของ 8255 ต่อมาจาก RD, WR ของ MCS-51

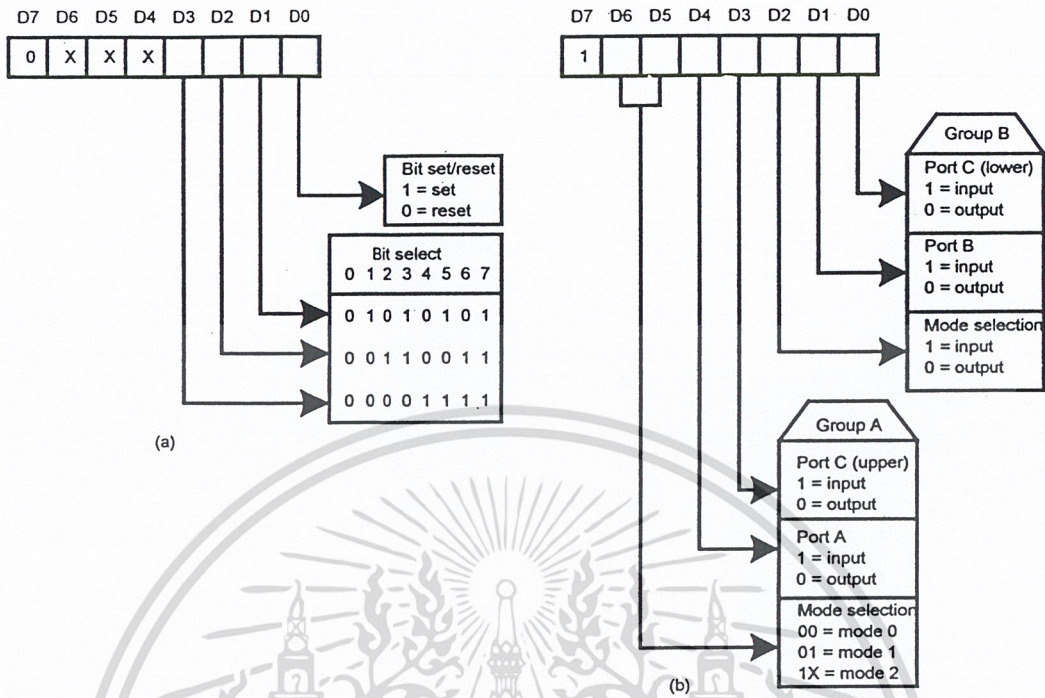
การเชื่อมโยง 8255 เข้ากับ CPU



รูปที่ 2.21 การเชื่อมโยง 8255 เข้ากับ CPU

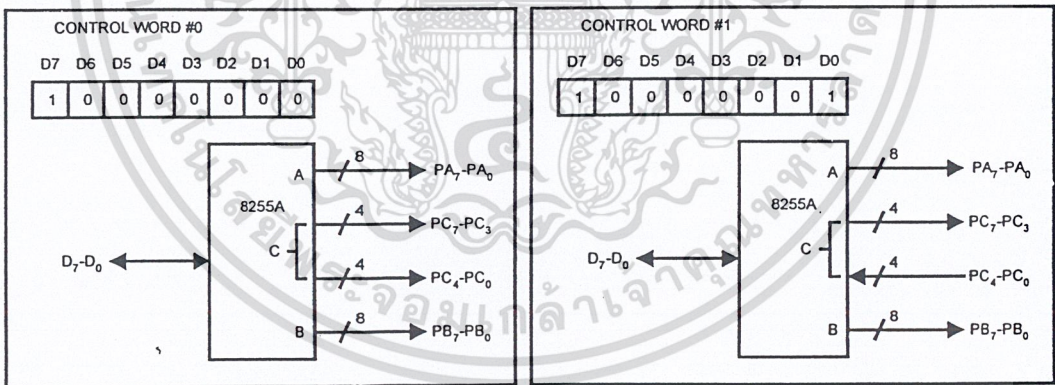
การใช้โปรแกรม 8255

จะใช้ตารางการโปรแกรมดังรูปที่ 2.22

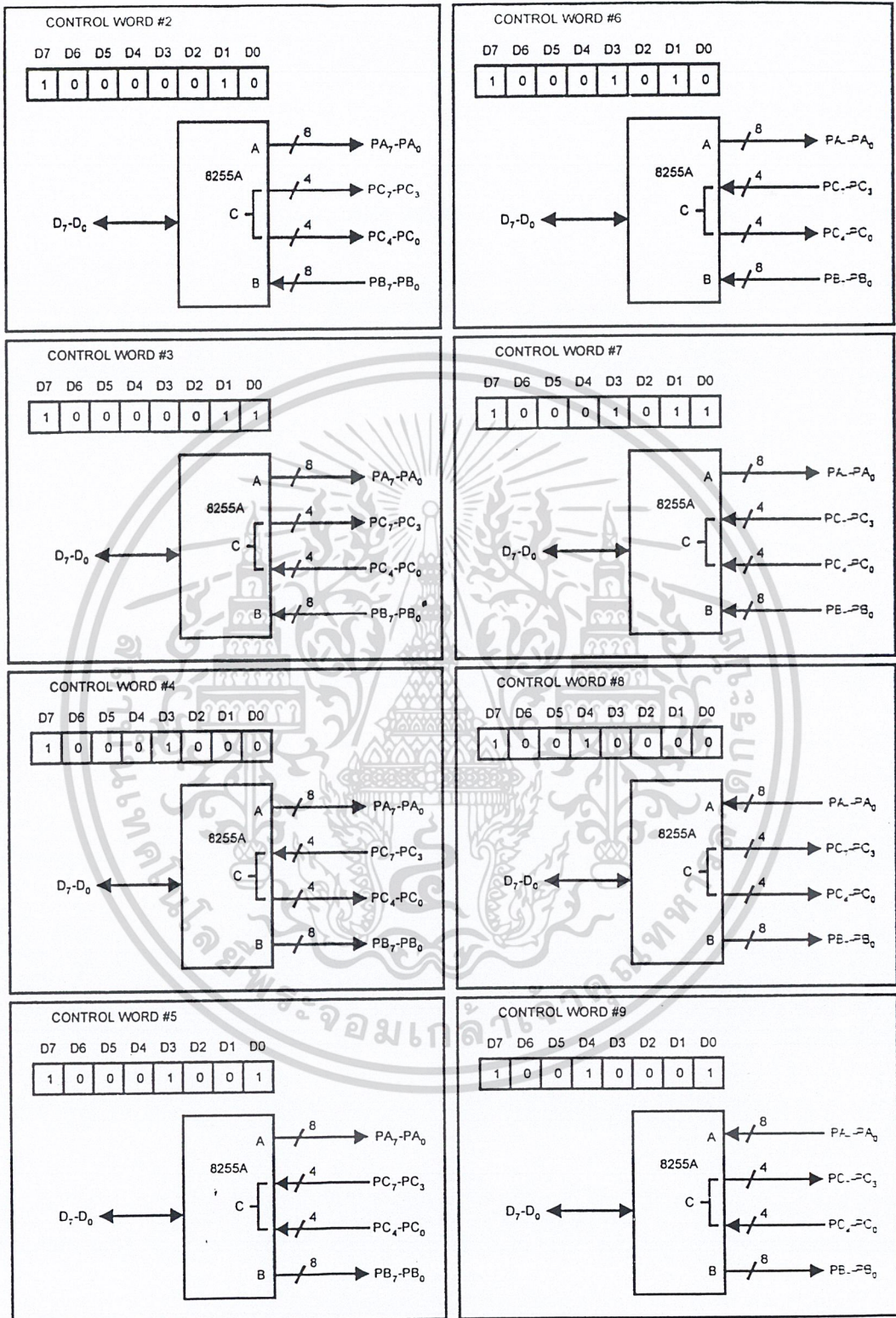


รูปที่ 2.22 CONTROL WORDS ที่ 2 แบบของ MODE และ BIT DEFINITION FORMAT

Mode 0 Configurations

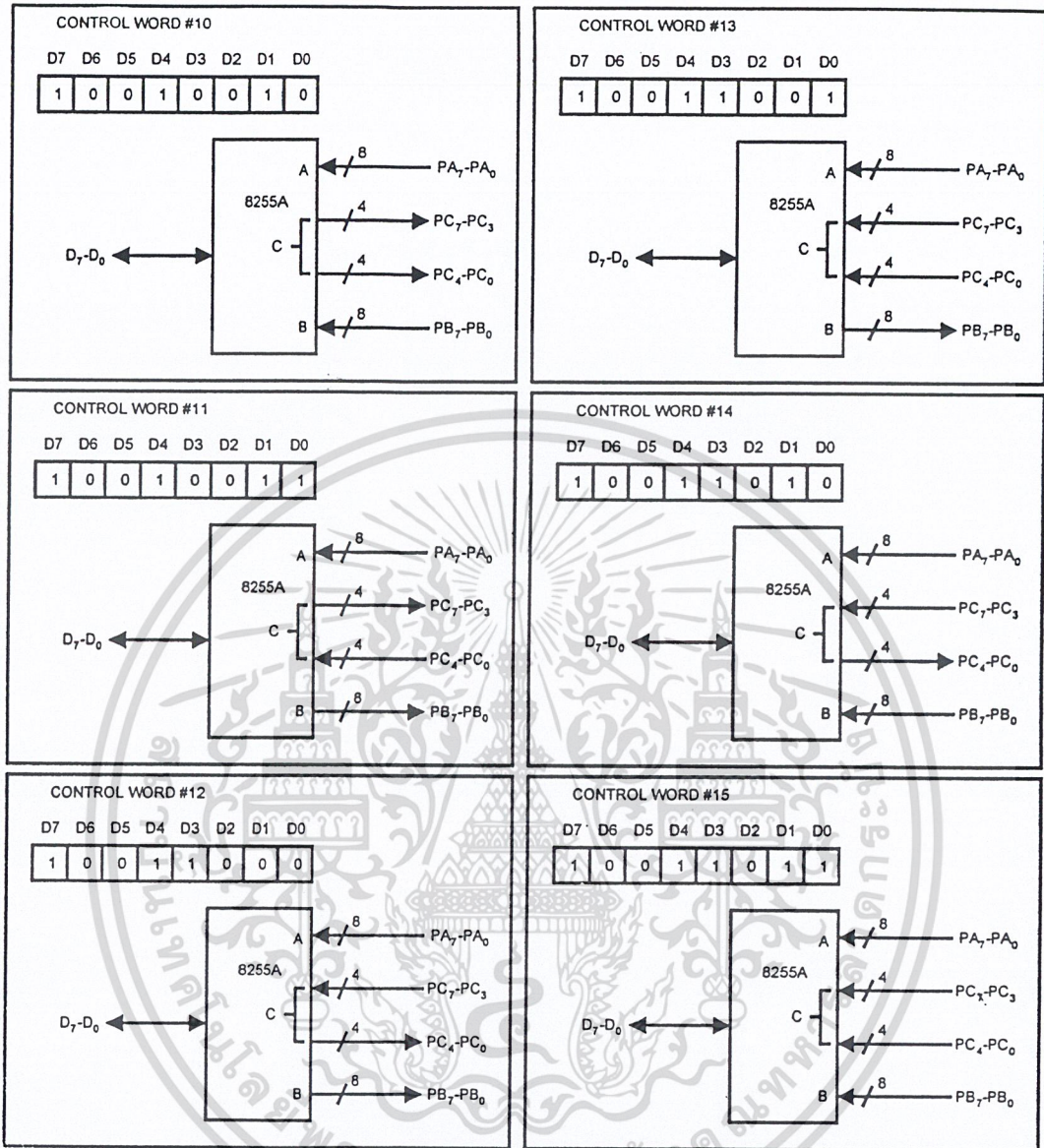


รูปที่ 2.23 CONTROL WORDS AND CONFIGURATION



รูปที่ 2.23 (ต่อ) CONTROL WORDS AND CONFIGURATION

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.23 (ต่อ) CONTROL WORDS AND CONFIGURATION

ผังเวลา (โหมด 1) อินพุตพอร์ท

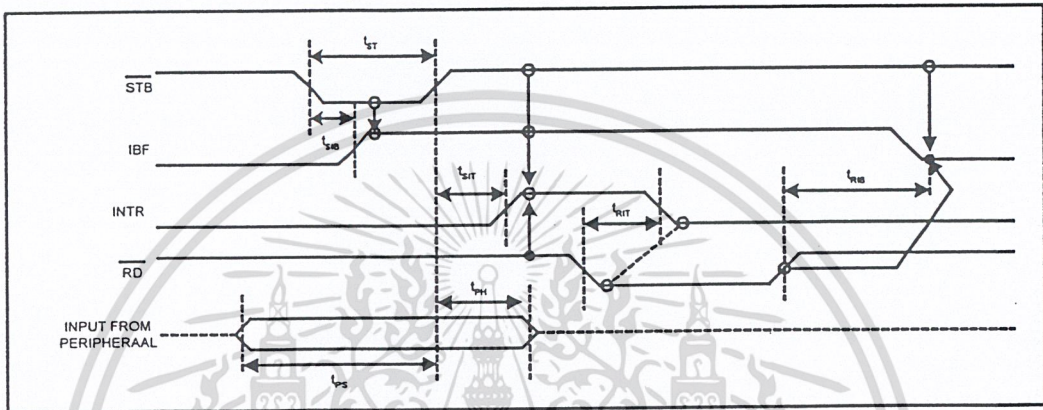
เมื่อพอร์ท A,B ได้ถูกโปรแกรมเป็นพอร์ทในการส่งข้อมูลแล้ว จะต้องใช้สัญญาณควบคุม 3 สัญญาณ คือ IBF, \overline{STB} , INTR

IBF : เป็นขาเอาต์พุตแอกทีฟที่ 1 แสดงถึงอินพุตบัฟเฟอร์ เต็ม (เมื่อ CPU อ่านข้อมูลจากพอร์ทอินพุตไปแล้วจะทำให้ขานี้เปลี่ยนเป็นลอจิก 0 คือ วงที่จะรับข้อมูลใหม่)

\overline{STB} : เป็นขาอินพุตแอกทีฟที่ 0 เป็นขาอุปกรณ์ภายนอกกระตุ้นให้อินพุตพอร์ทเลขที่ข้อมูลไว้

INTR : เป็นขาเอาต์พุตแอกทีฟที่ 1 จะแอกทีฟหลังจากได้รับ \overline{STB} แอกทีฟที่ 0 ช่วงที่ \overline{STB} เปลี่ยนจากระดับต่ำไปสูง ขา INTR จะแอกทีฟทันที (ต้องอินเเบิล อินเตอร์รัปต์ ฟลิปฟลอปไว้ก่อน) โดยเซตที่ PC4 ถ้าใช้งานที่พอร์ท A และเซตที่ PC2 ถ้าใช้ พอร์ท B)

มี TIMING DIAGRAM ของ (โหมด 1) อินพุทพอร์ท ดังรูปที่ 2.24



รูปที่ 2.24 ผังเวลา(โหมด 1) อินพุทพอร์ท

จากผังเวลาตามรูปที่ 2.24 จะเห็นว่าก่อนที่อุปกรณ์ภายนอกจะส่ง \overline{STB} มาเข้า 8255 จะต้องตรวจสอบขา IBF ว่าว่างหรือเปล่า (0 คือว่าง) ก็จะส่งข้อมูล 8 บิตมาตามหลังด้วย \overline{STB} แอกทีฟที่ 0 หลังจากนั้นไม่นาน IBF ก็จะเป็น 1 แสดงว่าข้อมูลถูกแลทช์ไว้ได้แล้ว ช่วงที่ \overline{STB} เปลี่ยนกลับเป็น 1 ช่วงนี้เอง INTR จะแอกทีฟ (มีลอจิก 1) สัญญาณนี้ถูกต่อกับขา INT ของ CPU ก็จะกระโดดไปโปรแกรมบริการอินเตอร์รัปต์ ภายในโปรแกรมบริการอินเตอร์รัปต์ จะมีการอ่านข้อมูลไปเก็บ เมื่ออ่านข้อมูลไปเก็บเสร็จแล้ว IBF ก็ว่างลงอีกครั้ง (เป็นลอจิก 0)

ผังเวลา (โหมด 1) เอาท์พุทพอร์ท

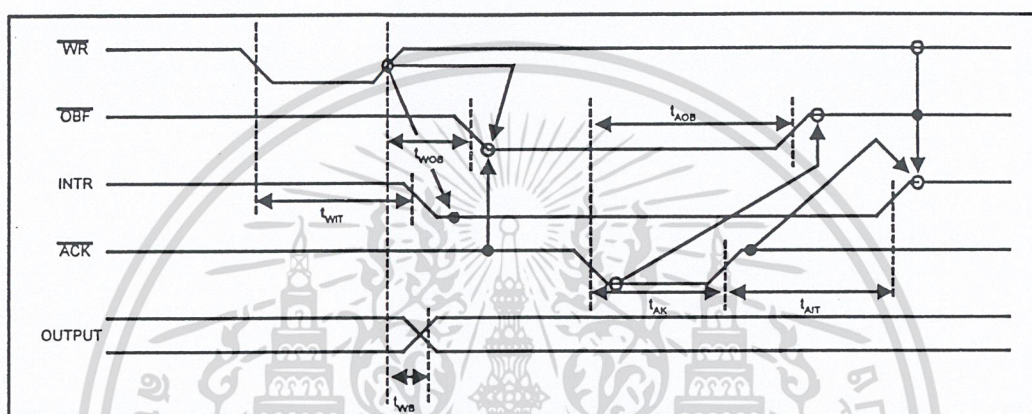
เมื่อพอร์ท A,B ได้ถูกโปรแกรมใน (โหมด 1) เพื่อใช้ในการส่งข้อมูล 8 บิต พอร์ท C จะถูกกำหนดให้เป็นพอร์ทในการตรวจสอบสัญญาณ (Handshake) สัญญาณที่ใช้มี 3 สัญญาณคือ \overline{OBF} , \overline{ACK} , INTR

\overline{OBF} : เป็นขาเอาต์พุตแอกทีฟ 0 เมื่อ CPU ส่งข้อมูลออกมาที่พอร์ทของ 8255 แล้วขานี้จะเป็น 0 หลังจากขอขาขึ้นของ \overline{WR} และจะเปลี่ยนเป็น 1 ในช่วงขอขาขึ้นของ \overline{ACK} (ขา \overline{OBF} ถ้ามีลอจิก 0 หมายถึงเอาท์พุทบัฟเฟอร์เต็ม,ถ้าเป็น 1 หมายถึงว่าง)

\overline{ACK} : เป็นขาอินพุทแอกทีฟที่ 0 เป็นสัญญาณตอบรับอุปกรณ์ภายนอกส่งมายัง 8255 หลังจากที่อินพุทพอร์ทเก็บข้อมูลได้แล้ว

INTR : เป็นขาเอาต์พุทแอกทีฟที่ 1 ส่งไปอินเตอร์รัปต์ CPU หลังจากที่ 8255 ได้รับ \overline{ACK} ช่วงขอบขาขึ้นก็จะส่ง INTR แอกทีฟ 1 ออกไป (ต้องโปรแกรม INTE ไว้ก่อนถ้าเป็นพอร์ท A ต้องเซ็ทที่ PC6 และพอร์ท B ต้องเซ็ทที่ PC2)

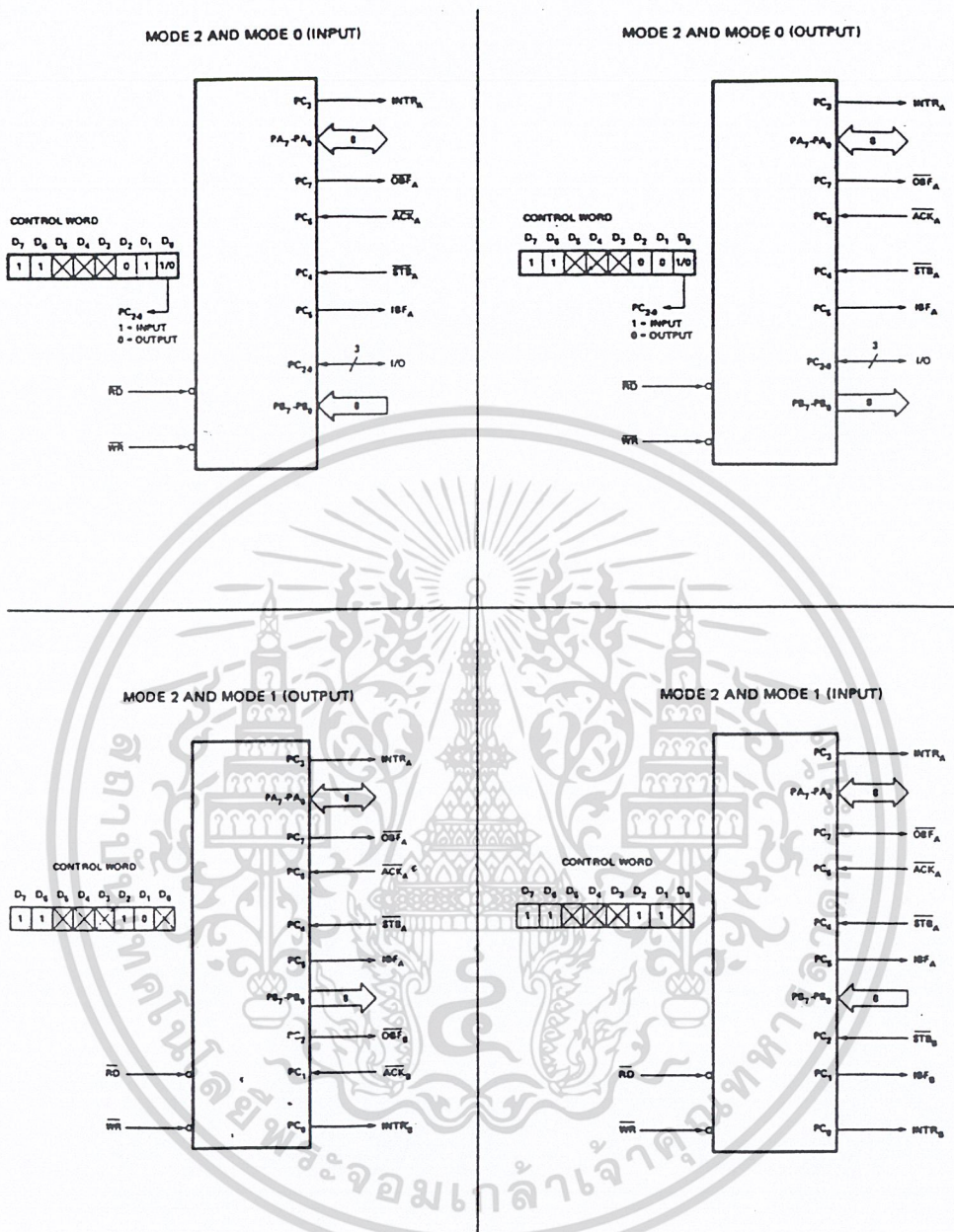
มี TIMING DIAGRAM (โหมด 1) เอาท์พุทพอร์ท ดังรูปที่ 2.25



รูปที่ 2.25 ฟังเวลา (โหมด 1) เอาท์พุทพอร์ท

จากผังเวลารูปที่ 2.25 จะเห็นว่าการทำงานอธิบายได้ดังนี้ ก่อนที่ CPU จะส่งข้อมูลใหม่มายังเอาท์พุทพอร์ท จะต้องตรวจเช็ค OBF ก่อนถ้า $OBF = 1$ (คือว่าง) ก็สามารถส่งข้อมูลใหม่มาที่เอาท์พุทพอร์ทได้ ขณะส่งข้อมูลมาสัญญาณ \overline{WR} จะแอกทีฟ 0 และช่วง \overline{WR} เปลี่ยนเป็น 1 ช่วงนี้เองจะทำให้ \overline{OBF} และ INTR เป็น 0 อยู่ช่วงหนึ่งจนกว่าจะมีสัญญาณ \overline{ACK} (สัญญาณตอบรับจากอุปกรณ์ภายนอกกว่ารับข้อมูลไว้แล้วหลังจาก \overline{ACK} เป็นสถานะทำให้ \overline{OBF} เป็น 1 คือเอาท์พุทบัฟเฟอร์จะว่างลงอีกครั้งเมื่อ \overline{ACK} เปลี่ยนเป็น 1 ช่วง leading edge จะทำให้ INTR เปลี่ยนเป็น 1 ด้วย ช่วงนี้เองโปรแกรมจะกระโดดไป ISR (Interrupt Service Routine) เพื่อจะได้นำข้อมูลใหม่มาที่เอาท์พุทพอร์ท

8255 (โหมด 2) ใช้พอร์ท A รับส่งข้อมูลแบบบัส 2 ทิศทาง พอร์ท B เป็นไอโอพอร์ท และพอร์ท C ใช้สำหรับรับส่งสัญญาณตรวจสอบความพร้อม มีตาราง Control Word และผังเวลาดังรูปที่ 2.26



รูปที่ 2.26 แสดงตาราง Control Word และผังเวลาของ 8255 (โหมด 2)

2.10 การเชื่อมโยง MCS-51 กับหน่วยความจำ

การจัดหน่วยความจำสำหรับ MCS-51

แบ่งได้เป็น 2 ส่วนใหญ่ๆ คือ

- Data Memory
- Program Memory

เอกสารนี้เป็นเอกสารที่สวอนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Data Memory

เป็นหน่วยความจำที่ใช้เก็บข้อมูล มีความจุได้ถึง 64 Kbytes เป็นหน่วยความจำประเภทอ่านและเขียนได้ (RAM) สัญญาณจาก MCS-51 ที่ใช้ในการอ่านข้อมูลจาก RAM คือ RD และสัญญาณที่ใช้ในการเขียนข้อมูลลง RAM คือ WR

RAM (Random Access Memory)

เป็นหน่วยความจำที่สามารถเขียนและอ่านข้อมูลได้ ข้อมูลจะสูญหายทันทีที่ขาดไฟเลี้ยง แบ่งเป็น 2 ชนิด คือ Static RAM และ Dynamic RAM

PROGRAM MEMORY

เป็นหน่วยความจำที่ใช้เก็บ โปรแกรมเป็นหน่วยความจำที่อ่านข้อมูลได้อย่างเดียว (ROM) สัญญาณจาก MCS-51 ที่ใช้ในการอ่าน ROM คือ PSEN

ROM (Read Only Memory)

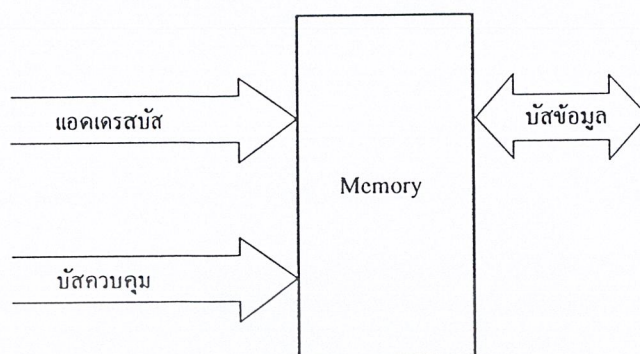
เป็นหน่วยความจำแบบถาวร เมื่อขาดไฟเลี้ยงข้อมูลไม่สูญหาย เป็นหน่วยความจำชนิดอ่านข้อมูลได้อย่างเดียว

EPROM (Erasable Programmable read-only Memory)

เป็นหน่วยความจำแบบถาวรชนิดหนึ่งซึ่งผู้ใช้นำมาโปรแกรมเองได้และสามารถ ใช้แสง UV ลบข้อมูลได้

การอ่านและเขียนข้อมูลกับหน่วยความจำ

ไอซีหน่วยความจำโดยทั่วไปจะประกอบไปด้วยกลุ่มสัญญาณ 3 กลุ่ม คือแอดเดรสบัส, บัสข้อมูลและบัสควบคุม โดยแอดเดรสบัสจะใช้ในการอ้างตำแหน่ง ถ้ามีแอดเดรสบัส 10 เส้น คือ A0-A9 สามารถอ้างตำแหน่งได้ 1 กิโลไบต์ บัสข้อมูลจะเป็นตัวบอกว่าในแต่ละตำแหน่งจะเก็บข้อมูลได้กี่บิต เช่น ถ้ามีบัสข้อมูล 8 เส้น คือ D0-D7 สามารถเก็บข้อมูลได้ตำแหน่งละ 1 ไบต์ ส่วนบัสควบคุม จะใช้ในการอ่านเขียนหน่วยความจำ ระบบบัสทั้ง 3 ระบบ แสดง ได้ดังรูปที่ 2.27



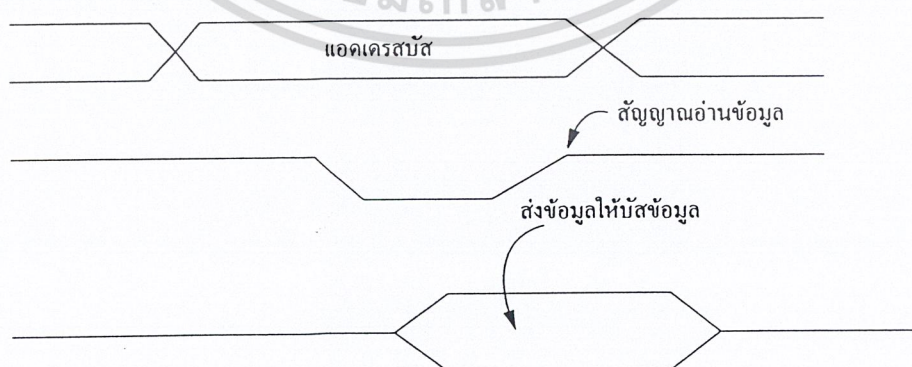
รูปที่ 2.27 แสดงกลุ่มสัญญาณที่ใช้ในการติดต่อกับหน่วยความจำ

โดยทั่วไปไอซีหน่วยความจำจะมีขา CE (Chip Enable) ไว้สำหรับเลือกให้ตัวไอซีที่ต้องการใช้ทำงาน ในกรณีที่มิไอซีหน่วยความจำหลายๆตัว ขา OE (Output Enable) จะใช้ต่อกับไอซีถอดรหัส สำหรับอ่านข้อมูล ถ้าขานี้แอกทีฟ ข้อมูลที่อยู่ในไอซีหน่วยความจำจะส่งออกมาทางบัสข้อมูลได้

การอ่านข้อมูลจากหน่วยความจำมี ลำดับขั้นดังนี้

1. ส่งตำแหน่งที่จะอ่านไปก่อนทางแอดเดรสบัส
2. ส่งสัญญาณควบคุมว่าต้องการจะอ่าน
3. ข้อมูลภายในไอซีหน่วยความจำถูกส่งออกมาทางบัสข้อมูล

การอ่านข้อมูลจากหน่วยความจำสามารถเขียนเป็นไคอะแกรมเวลา ได้ดังรูปที่ 2.28

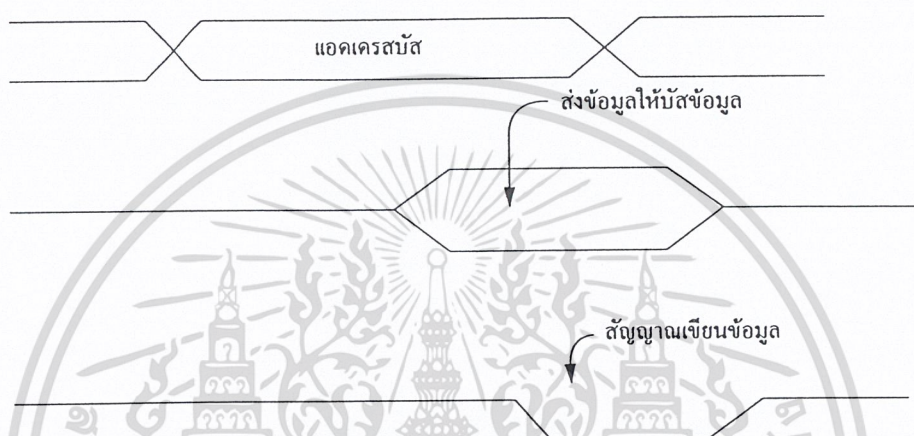


รูปที่ 2.28 แสดงสัญญาณในการอ่านข้อมูล

การเขียนข้อมูลลงหน่วยความจำ มีลำดับขั้นดังนี้

1. ส่งตำแหน่งที่จะเขียนข้อมูลออกไปก่อนทางแอดเดรสบัส
2. ส่งข้อมูลที่จะเขียนไปทางบัสข้อมูล
3. ส่งสัญญาณเขียนข้อมูล

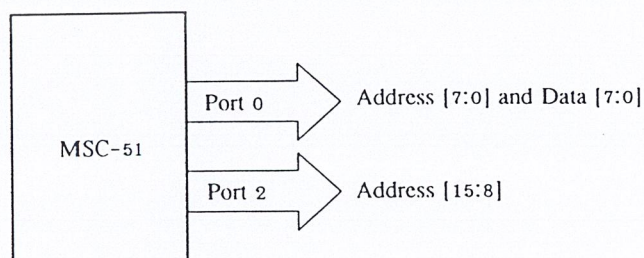
การเขียนข้อมูลให้กับหน่วยความจำสามารถเขียนไคอะแกรมเวลาได้ดังรูปที่ 2.29



รูปที่ 2.29 แสดงสัญญาณในการเขียนข้อมูล

การเชื่อมต่อหน่วยความจำกับ MCS-51

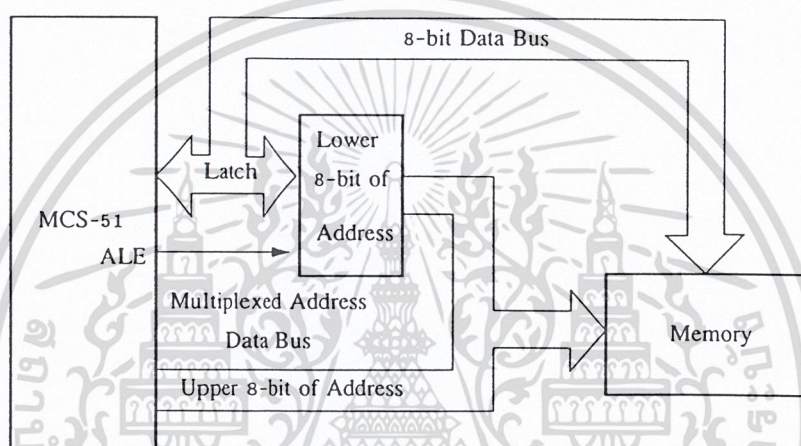
เป็นที่ทราบกันว่าสัญญาณที่ใช้ในการติดต่อกับหน่วยความจำประกอบด้วย แอดเดรสบัส บัสข้อมูล และบัสควบคุม ใน MCS-51 สามารถติดต่อกับหน่วยความจำภายนอกได้ 64 กิโลไบต์ โดยจะใช้สายสัญญาณแอดเดรสบัส 16 เส้น ส่งออกมาทาง พอร์ต 0 และพอร์ต 2 โดยพอร์ต 0 จะใช้ Multiplexed ระหว่างแอดเดรสบัสและบัสข้อมูล โดยแอดเดรสบัสจะเป็นบิตตำแหน่ง A0-A7 ดังรูปที่ 2.30



รูปที่ 2.30 แสดงสัญญาณของ MCS-51 ที่ใช้ติดต่อกับตำแหน่งของหน่วยความจำ

ในการเชื่อมต่อกับหน่วยความจำจะต้องมีอุปกรณ์ภายนอกมา Latch สัญญาณแอดเดรสบิตที่ได้จากพอร์ท 0 เพื่อที่จะใช้พอร์ท 0 เป็นบัสข้อมูลต่อไป ในรูปที่ 2.31 จะแสดงการต่อหน่วยความจำประเภท ROM และ RAM กับ MCS-51 โดยมีอุปกรณ์ภายนอกมา Latch ค่าแอดเดรสบิตต่ำเอาไว้ เรียกว่า “Address Latching”

อุปกรณ์ที่นิยมใช้ได้แก่ไอซี TTL เบอร์ 74LS373 โดยสัญญาณที่ใช้ Latch คือสัญญาณ ALE จาก MCS-51 ดังที่เคยได้กล่าวมาแล้ว



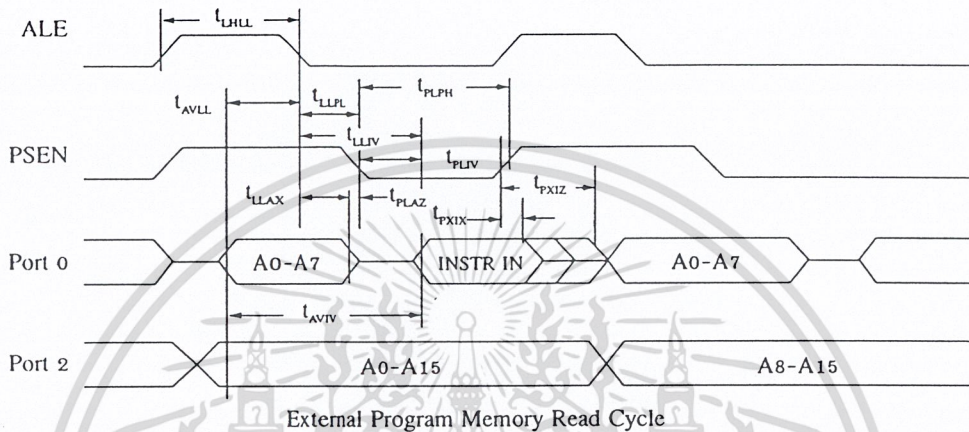
รูปที่ 2.31 แสดงการต่อ MCS-51 กับหน่วยความจำ

ในการอ่านหน่วยความจำโปรแกรมและการอ่านเขียนหน่วยความจำข้อมูล การเชื่อมต่อขาแอดเดรสบิต และบัสข้อมูลจะเหมือนกัน ถ้าหน่วยความจำทั้งสองอยู่ตำแหน่งเดียวกัน แต่จะแยกกันด้วยสัญญาณควบคุมจากไคอะแกรมเวลา พบว่าการติดต่อกับหน่วยความจำถ้าเป็นการติดต่อกับ ROM จะใช้สัญญาณ PSEN แต่ถ้าติดต่อกับ RAM จะใช้สัญญาณ RD และ WR ซึ่งแสดงค่าลอจิกของสัญญาณได้ดังนี้

	PSEN	RD	WR
อ่านหน่วยความจำโปรแกรม	0	1	1
อ่านข้อมูลภายนอก	1	0	1
เขียนข้อมูลภายนอก	1	1	0

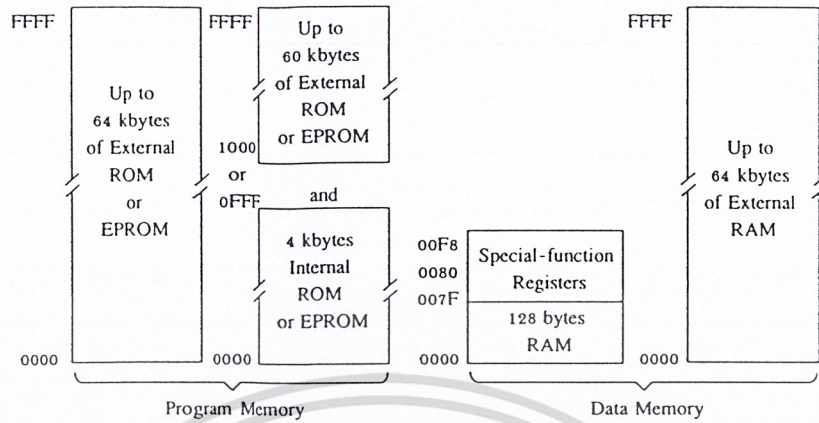
การเชื่อมต่อ MCS-51 กับหน่วยความจำโปรแกรมภายนอก

หน่วยความจำที่ใช้สำหรับเก็บโปรแกรมจะใช้หน่วยความจำประเภท ROM สำหรับการติดต่อระหว่าง MCS-51 กับหน่วยความจำโปรแกรมภายนอก จะมีลำดับสัญญาณเวลาตาม (Timing Diagram) ดังรูปที่ 2.32



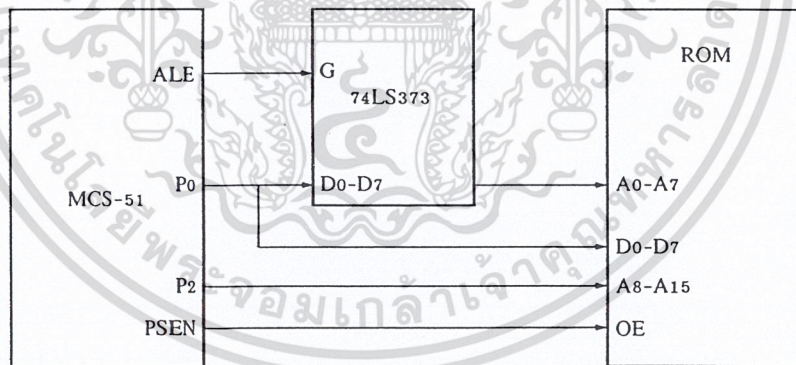
รูปที่ 2.32 แสดงสัญญาณเวลาที่ MCS-51 ติดต่อกับหน่วยความจำโปรแกรมภายนอก

จากรูปที่ 2.32 เป็นการอ่านข้อมูลจากหน่วยความจำโปรแกรมภายนอก ซึ่งถ้าหาก MCS-51 ต้องการอ่านข้อมูลจากหน่วยความจำข้อมูลภายนอก ช่วงเวลาแรกจะส่งสัญญาณ ALE ให้เป็น 1 และ PSEN จะอยู่ในสภาวะปกติคือเป็น 1 จากนั้นพอร์ท 0 และพอร์ท 2 จะส่งค่าตำแหน่งของหน่วยความจำออกมา จากนั้น ALE จะกลับเป็นลอจิก 0 อุปกรณ์ภายนอกจะ Latch ข้อมูลของพอร์ท 0 ไว้ เพราะต้องการใช้ พอร์ท 0 เป็นพอร์ทข้อมูลด้วย จากนั้นเวลาต่อมาข้อมูลพอร์ท 0 จะอยู่ในสภาวะความต้านทานสูง (High Impedance) ต่อจากนั้น PSEN จะแอกทีฟลอจิก “0” หมายความว่า MCS-51 ต้องการอ่านคำสั่ง (Fetch Instruction) จากนั้นข้อมูลคำสั่งจากหน่วยความจำโปรแกรมจะถูกเก็บเข้าไปใน Instruction Register ภายใน MCS-51 จากนั้น ALE และ PSEN จะกลับเป็น “1” ตามเดิม การจัดพื้นที่หน่วยความจำโปรแกรมแสดงได้ดังรูปที่ 2.33 โดยปกติแล้ว MCS-51 บางเบอร์จะมีหน่วยความจำโปรแกรมอยู่ภายในด้วย สำหรับเบอร์ที่ไม่มีหน่วยความจำโปรแกรมภายใน ตำแหน่งของหน่วยความจำโปรแกรมภายนอกจะเริ่มที่ 0000H



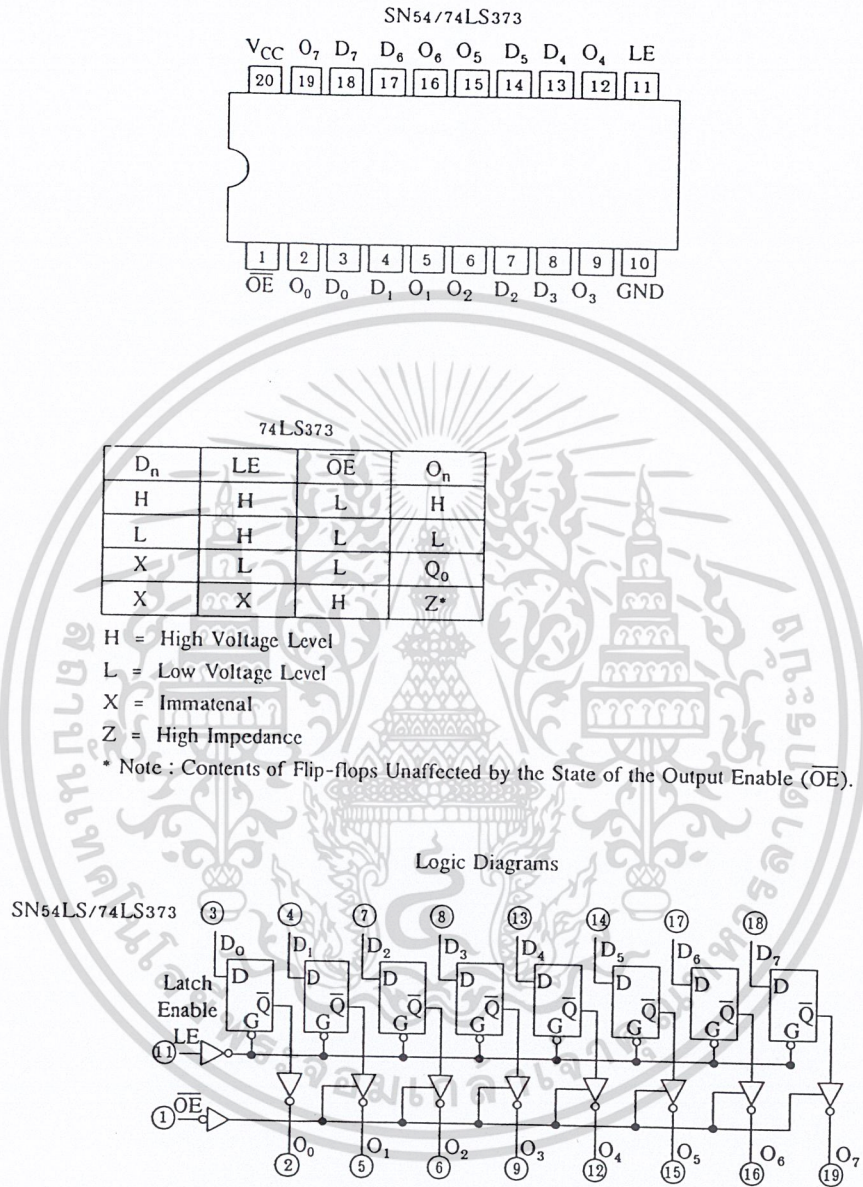
รูปที่ 2.33 แสดงการจัดพื้นที่ของหน่วยความจำของ MCS-51

จากไดอะแกรมเวลาการอ่านข้อมูลหน่วยความจำโปรแกรมภายนอก จะเห็นว่าสัญญาณที่สำคัญในการเชื่อมต่อหน่วยความจำโปรแกรมกับ MCS-51 ได้แก่ ALE, PSEN, Port 0, Port 1 และอุปกรณ์ที่ใช้ Latch ข้อมูลของพอร์ต 0 การเชื่อมต่อ MCS-51 กับหน่วยความจำภายนอกจะใช้สัญญาณที่สำคัญดังรูปที่ 2.34



รูปที่ 2.34 แสดงการเชื่อมต่อ MCS-51 กับหน่วยความจำ ROM ภายนอกขนาด 64 K

จากรูปที่ 2.34 จะเห็นว่าระบบจะใช้ไอซีเบอร์ 74LS373 เป็นตัว Latch ข้อมูลของพอร์ต 0 เพราะว่าพอร์ต 0 ต้องใช้เป็นบัสข้อมูล และแอดเดรสบัส เมื่อสัญญาณ ALE ส่งออกมา 74LS373 จะ Latch ข้อมูลของพอร์ต 0 เอาไว้โดยเป็นค่าแอดเดรสไบต์ต่ำ (ส่วนแอดเดรสไบต์สูงคือพอร์ต 2) ส่วนสัญญาณ PSEN จะส่งออกมาเพื่ออ่านข้อมูลจากหน่วยความจำโปรแกรมเข้า MCS-51 การทำงานของ 74LS373 แสดงได้ดังรูปที่ 2.35



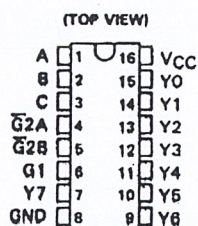
รูปที่ 2.35 แสดงการทำงานของ 74LS373

การถอดรหัสตำแหน่งของหน่วยความจำ

การถอดรหัสตำแหน่งของหน่วยความจำมีความจำเป็นอย่างยิ่งเพราะว่าหน่วยความจำที่นำมาใช้มีขนาดเล็กกว่า 64 Kbyte ดังนั้น จึงต้องนำมาเรียงกันแล้วใช้วงจรถอดรหัสตำแหน่งของหน่วยความจำแยกเป็นแต่ละข้าง ถ้าใช้หน่วยความจำขนาด 64 Kbyte จำนวน 8 ตัว จะได้เท่ากับ 32 Kbyte ถ้าให้ตัวแรกเริ่มที่แอดเดรส 8000H ตัวที่ 2 ก็จะเริ่มที่แอดเดรส 9000H ดังรายละเอียดดังตารางที่ 2.4

ตารางที่ 2.4 ตารางการถอดรหัสตำแหน่งหน่วยความจำ

EPROM ตัวที่	แอดเดรส (HEX)	A ₁₅	A ₁₄	A ₁₃	A ₁₂	A ₁₁	A ₀
1	8000-8FFF	1	0	0	0	X	X
2	9000-9FFF	1	0	0	1	X	X
3	A000-AFFF	1	0	1	0	X	X
4	B000-BFFF	1	0	1	1	X	X
5	C000-BFFF	1	1	0	0	X	X
6	D000-DFFF	1	1	0	1	X	X
7	E000-EFFF	1	1	1	0	X	X
8	F000-FFFF	1	1	1	1	X	X



(a)

FUNCTION TABLE

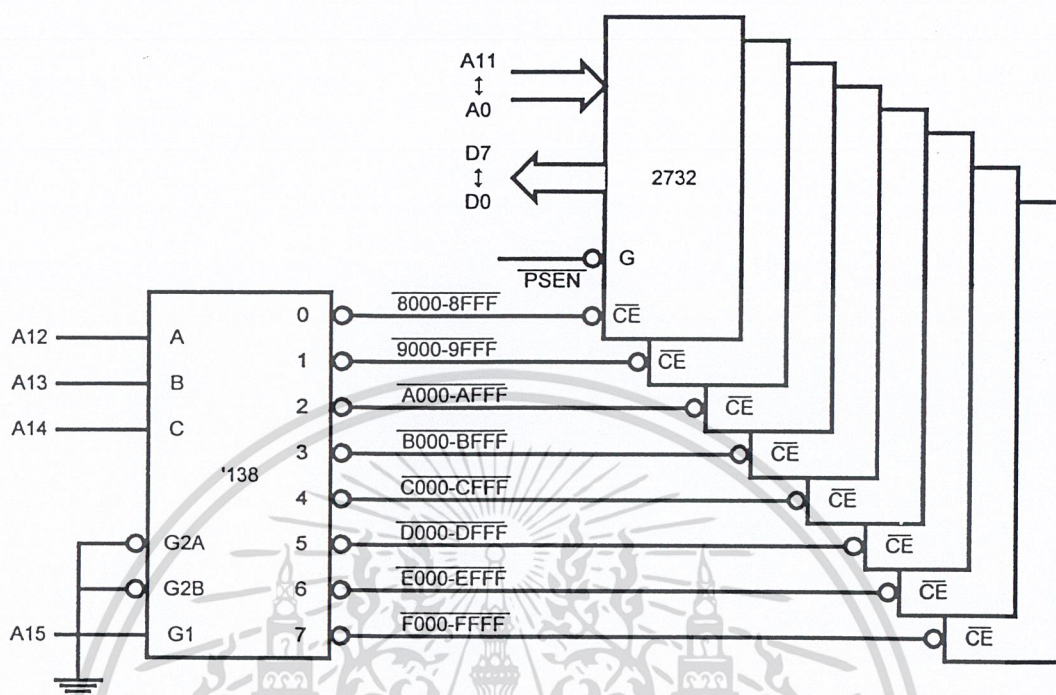
ENABLE INPUTS		SELECT INPUTS			OUTPUTS							
G1	G2*	C	B	A	Y0	Y1	Y2	Y3	Y4	Y5	Y6	Y7
X	H	X	X	X	H	H	H	H	H	H	H	H
L	X	X	X	X	H	H	H	H	H	H	H	H
H	L	L	L	L	L	H	H	H	H	H	H	H
H	L	L	L	H	H	L	H	H	H	H	H	H
H	L	L	H	L	H	H	L	H	H	H	H	H
H	L	L	H	H	H	H	L	H	H	H	H	H
H	L	H	L	L	H	H	H	H	L	H	H	H
H	L	H	L	H	H	H	H	H	H	L	H	H
H	L	H	H	L	H	H	H	H	H	H	L	H
H	L	H	H	H	H	H	H	H	H	H	H	L

*G2 = G2A + G2B

รูปที่ 2.36 การจัดวางขาและตารางความจริงของ 74LS138

การถอดรหัสตำแหน่งของหน่วยความจำจะใช้ IC ถอดรหัส 3 to 8 Line Decoder เบอร์ 74LS138 ดังมีการจัดวางขา ดังรูปที่ 2.36 (a) และตารางความจริง (b)

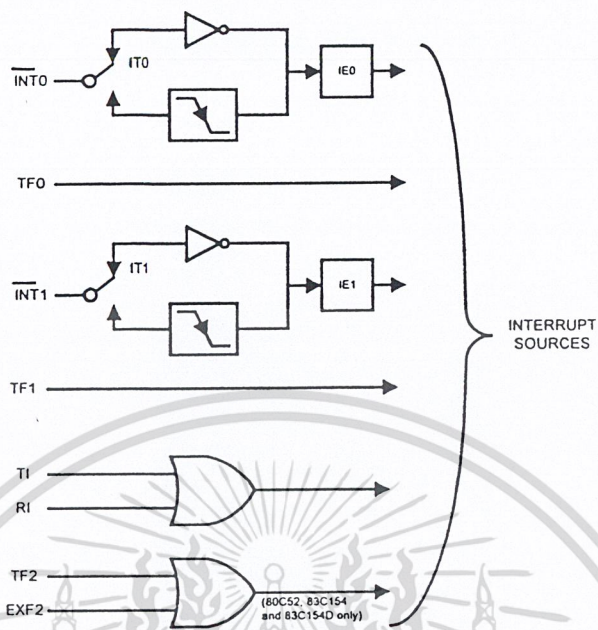
เมื่อพิจารณาจากตารางความจริงของ 74LS138 พบว่าจะต้องให้ขา G1 เป็น high และ G2A และ G2B เป็น Low แล้วนำอินพุตเข้าทางขา A,B,C ซึ่งอินพุตนี้ก็คือแอดเดรสของ MCS-51 นั่นเอง จากตารางที่ 5 พบว่า A15 เป็น high ตลอดให้นำมาต่อที่ขา G1 ได้เลย และจากตารางความจริงของ 74LS138 ขา A,B,C พบว่า ถ้าทั้ง 3 ขานี้ เป็นศูนย์หมดขา Y0 จะแอดที่ฟ Low ดังนั้น เมื่อพิจารณาจากตารางที่ 5 พบว่าตรงกับ A14, A13, A12 ดังนั้นจะได้การต่ออย่างสมบูรณ์ ดังแสดงในรูปที่ 2.37



รูปที่ 2.37 วงจรถอดรหัสสำหรับหน่วยความจำตามตารางที่ 2.4

2.11 การอินเทอร์รัปต์

อินเทอร์รัปต์คือการขัดจังหวะ โปรแกรมชั่วคราวแล้วมาทำโปรแกรมบริการอินเทอร์รัปต์ (Interrupt Service Routine;ISR) การตรวจสอบสัญญาณการร้องขออินเทอร์รัปต์จะตรวจสอบที่ตำแหน่ง S5P2 ของทุกๆแมชชีนไซเคิลเมื่อพบแล้วในช่วงแมชชีนไซเคิลที่ 2 จะเป็นการตรวจสอบว่าเป็นอุปกรณ์ใด แมชชีนไซเคิลที่ 3 จะกระโดดไปทำบริการอินเทอร์รัปต์ (Interrupt Service Routine;ISR) ดังแสดงค่า Vector ดังตารางที่ 2.5 อินเทอร์รัปต์ของ MCS-51 ได้มาจาก 6 แหล่งและแต่มีเพียง 5 Vector สำหรับ 8031,8051 สำหรับเบอร์ 8032,8052 ขึ้นไปจะมี 8 แหล่งจาก 6 Vector (เพิ่ม Timer/Counter 2 เข้ามา) ดังรูปที่ 2.38 ซึ่งแสดงแหล่งที่มาของสัญญาณอินเทอร์รัปต์ จากอุปกรณ์ต่างๆซึ่งมีทั้งภายในชิพและภายนอกชิพ



รูปที่ 2.38 แสดงแหล่งที่มาสัญญาณอินเทอร์รัปต์

ตารางที่ 2.5 แสดงชื่อสัญญาณอินเทอร์รัปต์

ลำดับ	ชื่อสัญญาณอินเทอร์รัปต์	Vector Address	Priority
1	IE0 (จากขา $\overline{INT0}$)	0003H	highest ↑ ↓ lowest
2	TF0 (Timer/Counter 0)	000BH	
3	IE1 (จากขา $\overline{INT1}$)	0013H	
4	TF1 (Timer/Counter 0)	001BH	
5	TI+RI (จาก Serial Port)	0023H	
6	TF2+EXF2 (จาก Timer/Counter 2)	002BH	

(TF2+EXF2) มีเฉพาะในเบอร์ 8052 ขึ้นไป

		(MSB)				(LSB)			
		EA	X	ET2	ES	ET1	EX1	ET0	EX0
Symbol.	Position	Function							
EA	IE.7	disables all interrupts. If EA = 0, no interrupt will be acknowledged. If EA = 1, each interrupt source is individually enabled or disabled by setting or clearing its enable bit.							
-	IE.6	reserved							
ET2	IE.5	enables or disables the Timer 2 overflow or capture interrupt. If ET2 = 0, the Timer 2 interrupt is disabled.							
ES	IE.4	enables or disables the Serial Port interrupt. If ES = 0, the Serial Port interrupt is disabled.							
ET1	IE.3	enables or disables the Timer 1 Overflow interrupt. If ET1 = 0, the Timer 1 interrupt is disabled.							
EX1	IE.2	enables or disables External Interrupt 1. If EX1 = 0, External Interrupt 1 is disabled.							
ET0	IE.1	enables or disables the Timer 0 Overflow interrupt. If ET0 = 0, the Timer 0 interrupt is disabled.							
EX0	IE.0	enables or disables External Interrupt 0. If EX0 = 0, External Interrupt 0 is disabled.							

รูปที่ 2.39 Interrupt Enable Register (IE)

IE (Interrupt Enable Register)

ใช้ควบคุมอินเทอร์รัปต์ได้ 6 แห่ง 5 Vector คือจาก (TI,RI),TF0,TF1,IE0,IE1 เราสามารถสั่งห้ามหรือไม่ห้ามการอินเทอร์รัปต์ได้จาก رجิสเตอร์ชุดนี้ ดังมีรายละเอียดดังนี้

บิต	ชื่อบิต	การทำงาน
IE.7	EA	=1 หมายถึงยอมให้เลือกการทำอินเทอร์รัปต์จากอินเทอร์รัปต์จากแหล่งต่างๆ ได้ =0 หมายถึง ไม่ยอมให้ทำอินเทอร์รัปต์จากแหล่งใดๆทั้งสิ้น
IE.6	X	ไม่ได้ใช้งาน
IE.5	ET2	=1 หมายถึงยอมทำอินเทอร์รัปต์เมื่อ TF2 เกิด โอเวอร์โพล์ =0 หมายถึง ไม่ยอมให้ทำอินเทอร์รัปต์เมื่อ TF2 เกิด โอเวอร์โพล์
IE.4	ES	=1 หมายถึง ยอมให้ทำอินเทอร์รัปต์จากพอร์ตสื่อสารอนุกรมได้ =0 หมายถึง ไม่ยอมให้ทำอินเทอร์รัปต์จากพอร์ตสื่อสารอนุกรม
IE.3	ET1	=1 หมายถึง ยอมให้ทำอินเทอร์รัปต์เมื่อ TF1 เกิด โอเวอร์โพล์ =0 หมายถึง ไม่ยอมให้ทำอินเทอร์รัปต์เมื่อ TF1 เกิด โอเวอร์โพล์
IE.2	EX1	=1 หมายถึง ยอมให้ทำอินเทอร์รัปต์จากสัญญาณภายนอกหมายเลข 1 =0 หมายถึง ไม่ยอมให้ทำอินเทอร์รัปต์จากสัญญาณภายนอกหมายเลข 1
IE.1	ET0	=1 หมายถึง ยอมให้ทำอินเทอร์รัปต์เมื่อ TF0 เกิด โอเวอร์โพล์ =0 หมายถึง ไม่ยอมให้ทำอินเทอร์รัปต์เมื่อ TF0 เกิด โอเวอร์โพล์
IE.0	EX0	=1 หมายถึง ยอมให้ทำอินเทอร์รัปต์จากสัญญาณภายนอกได้ (ขา INTO) =0 หมายถึง ไม่ยอมให้ทำอินเทอร์รัปต์จากสัญญาณภายนอกได้ (ขา INTO)

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์โดย บริษัท ชัยภูมิวิศวกรรม จำกัด การนำเอกสารนี้ไปใช้ในการค้า

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เช่น -ถ้าต้องการ Disable ทั้งหมดให้ใช้คำสั่ง CLR,EA เพียงคำสั่งเดียว

-ถ้าต้องการ Enable Timer 0 และ Timer 1 ให้ใช้คำสั่ง

SETB EA ; Enable Interrupt

SETB ET0; Enable ET0

SETB ET1 ; Enable ET1

-ถ้าต้องการ Enable Timer 0 และ Timer 1 และ disable พอร์ตสื่อสารอนุกรมให้ใช้คำสั่ง

SETB EA ; Enable Interrupt

SETB ET0 ; Enable ET0

SETB ET1 ; Enable ET1

CLR ES ; Disable Serial Port

ความหมายของสัญญาณ E = Enable หรือ External ; T= Timer

0,1,2 =Channel 0, Channel 1, Channel 2

-อินเทอร์รัปต์ภายใน MCS-51 ได้จาก Timer 0,Timer1 โดยตรวจสอบที่ TF0 และ TF1

และอินเทอร์รัปต์จาก Serial Port โดยตรวจสอบที่ TI และ RI

-ขา $\overline{INT0}$ และ $\overline{INT1}$

เมื่อทำอินเทอร์รัปต์จะเป็นขา External Interrupt Input

เมื่อไม่ทำอินเทอร์รัปต์จะใช้ Start Timer/Counter หรือที่เราเรียกว่า Hardware Start

การขัดจังหวะของการอินเทอร์รัปต์เราสามารถกำหนดความสำคัญได้จาก Interrupt Priority

Register (IP) ดังรายละเอียดดังรูปที่ 2.40

		(MSB)							(LSB)
		PCT	X	PT2	PS	PT1	PX1	PT0	PX0
Symbol	Position	Function							
PCT	IP.7	83C154/C154D only. Priority interrupt circuit control bit. The priority register contents are valid and priority assigned interrupts can be processed when this bit is "0". When the bit is "1", the priority interrupt circuit is stopped, and interrupts can only be controlled by the interrupt enable register (IE).							
-	IP.6	reserved							
PT2	IP.5	defines the Timer 2 interrupt priority level. PT2 = 1 programs it to the higher priority level.							
PS	IP.4	defines the Serial Port interrupt priority level. PS = 1 programs it to the higher priority level.							
PT1	IP.3	defines the Timer 1 interrupt priority level. PT1 = 1 programs it to the higher priority level.							
PX1	IP.2	defines the External Interrupt 1 priority level. PX1 = 1 programs it to the higher priority level.							
PT0	IP.1	defines the Timer 0 interrupt priority level. PT0 = 1 programs it to the higher priority level.							
PX0	IP.0	defines the External Interrupt 0 priority level. PX0 = 1 programs it to the higher priority level.							

รูปที่ 2.40 รายละเอียดของ IP

คำอธิบายความหมายในแต่ละบิตใน (IP)

PT: 0 Timer 2 มีลำดับความสำคัญต่ำสุด

1 Timer 2 มีลำดับความสำคัญสูงสุด

PS: 0 พอร์ตสื่อสารอนุกรมมีลำดับความสำคัญต่ำสุด

1 พอร์ตสื่อสารอนุกรม มีลำดับความสำคัญสูงสุด

PT1: 0 Timer 1 มีลำดับความสำคัญต่ำสุด

1 Timer 1 มีลำดับความสำคัญสูงสุด

PT0: 0 Timer 0 มีลำดับค่าความสำคัญต่ำสุด

1 Timer 1 มีลำดับความสำคัญสูงสุด

PX0: 0 อินเทอร์รัปต์ภายนอกชนิด 0 มีลำดับความสำคัญต่ำสุด

1 อินเทอร์รัปต์ภายนอกชนิด 0 มีลำดับความสำคัญสูงสุด

PCT : (83C154/83C154D Only)

0 ยอมให้มีการจัดลำดับความสำคัญของการอินเทอร์รัปต์ (Priority)

1 ไม่ยอมให้มีการจัดลำดับความสำคัญของการอินเทอร์รัปต์การทำงานหรือการไม่ทำอินเทอร์รัปต์ควบคุมจาก IE

ถ้าทุกบิตเป็น 1 หมด จะถือว่าทุกตัวมีลำดับความสำคัญสูงสุดเท่ากัน เมื่อสัญญาณมาพร้อมกันจะต้องตัดสินใจ ตามตารางที่ 2.5 เราสามารถสรุประบบการขัดจังหวะของ 8052 ได้ดังรูปที่ 2.42

การเลือกลักษณะของการทริก (Interrupt Type Control) ไม่ได้อยู่ในรีจิสเตอร์ที่ใช้ควบคุมการอินเทอร์รัปต์แต่ไปอยู่ในรีจิสเตอร์ TCON แทน ดังรายละเอียดดังนี้

Timer/Counter Register (TCON) อยู่ใน SFR ตำแหน่งที่ (088H)

ใช้งานหลายหน้าที่คือ

-TFx ใช้เป็นที่เก็บ Flag ของ Timer 0,1

-TRx ใช้ Start Timer Counter 0,1

-IEx ใช้เป็นที่เก็บ Flag ของสัญญาณอินเทอร์รัปต์ภายนอกชนิด 0,1

-ITx ใช้เลือกลักษณะของการทริกที่ขา \overline{INTx}

(MSB)				(LSB)				
Symbol	Position	Name and Significance	Symbol	Position	Name and Significance	Symbol	Position	Name and Significance
TF1	TCON.7	Timer 1 overflow Flag. Set by hardware on timer/counter overflow. Cleared by hardware when processor vectors to interrupt routine.	IE1	TCON.3	Interrupt 1 Edge flag. Set by hardware when external interrupt edge detected. Cleared when interrupt processed.	IT1	TCON.2	Interrupt 1 Type control bit. Set/cleared by software to specify falling edge/low level triggered external interrupts.
TR1	TCON.6	Timer 1 Run control bit. Set/cleared by software to turn timer/counter on/off.	IE0	TCON.1	Interrupt 0 Edge flag. Set by hardware when external interrupt edge detected. Cleared when interrupt processed.	IT0	TCON.0	Interrupt 0 Type control bit. Set/cleared by software to specify falling edge/low level triggered external interrupts.
TF0	TCON.5	Timer 0 overflow Flag. Set by hardware on timer/counter overflow. Cleared by hardware when processor vectors to interrupt routine.						
TR0	TCON.4	Timer 0 Run control bit. Set/cleared by software to turn timer/counter on/off.						

รูปที่ 2.41 TCON Timer Control register (TCON)

บิต TF1 – (Timer Over Flow Flag) บิตแสดงการเกิด โอเวอร์ โฟลว์ของ ไทม์เมอร์คาน์เตอร์ 1 จะเซ็ทเมื่อเกิด โอเวอร์ โฟลว์ และจะถูกเคลียร์เองเมื่อซีพียูย้ายการไปที่ โปรแกรม บริการอินเตอร์รัปต์

บิต TR1 – บิตควบคุมการนับของ Timer 1 ควบคุมจากโปรแกรม 1 Timer Counter 1 เริ่มทำงานต่อ 0 Timer Counter 1 หยุดทำงาน

บิต TF0 – (Timer Over Flow Flag) บิตแสดงการเกิด โอเวอร์ โฟลว์ของ Timer Counter 0 ถูกเซ็ทเมื่อเกิด โอเวอร์ โฟลว์ เช่นเดียวกับ TF1

บิต TR0 – เช่นเดียวกับ TR1 แต่ใช้ควบคุม Timer Counter 0

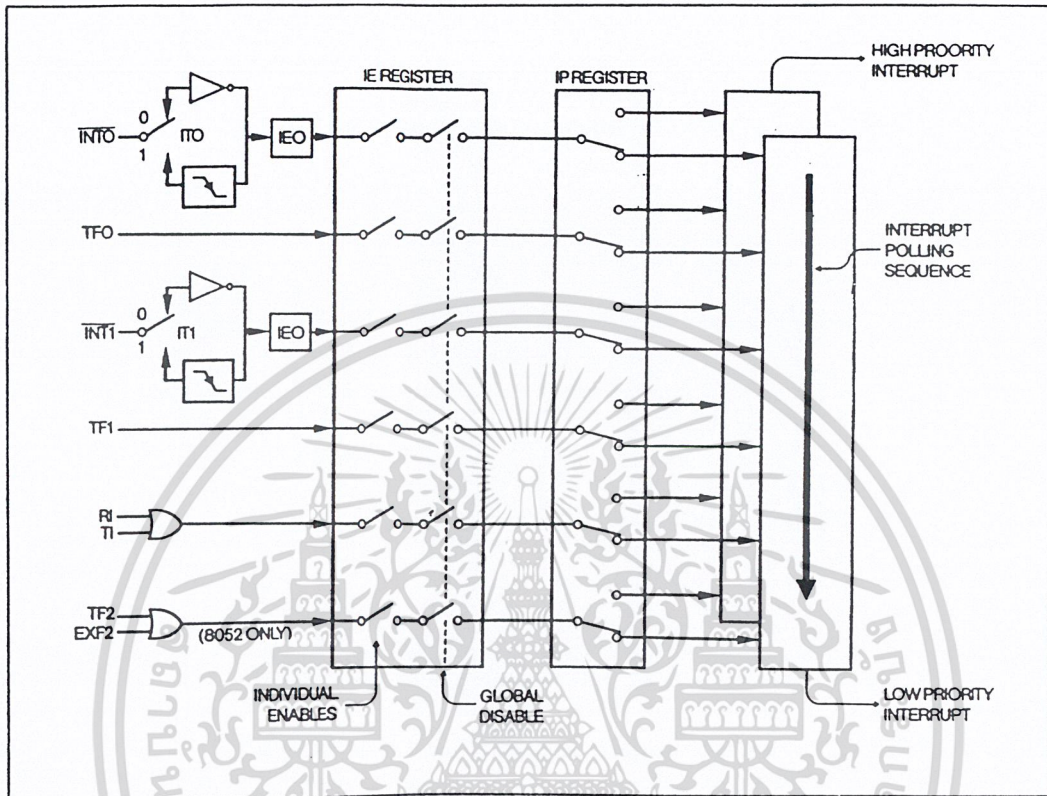
บิต IE1 – บิตแสดงสัญญาณอินเตอร์รัปต์ภายนอกหมายเลข 1 เมื่อมีสัญญาณอินเตอร์รัปต์ เข้ามาที่ขา $\overline{INT1}$ และถูกเคลียร์เองโดยคำสั่ง RETI ที่อยู่ในโปรแกรมส่วนบริการ อินเตอร์รัปต์

บิต IT1 – บิตเลือกประเภทการตรวจสอบสัญญาณอินเตอร์รัปต์ ที่เข้ามาทางขา $\overline{INT1}$ 1 จะตรวจสอบการเปลี่ยนระดับจาก 1 เป็น 0 ที่ขา $\overline{INT1}$ 0 จะตรวจสอบระดับศูนย์ของสัญญาณ ที่ขา $\overline{INT1}$

ข้อควรสังเกต

- T หมายถึง Timer/Counter หรือ Type
- R หมายถึง RUN
- F หมายถึง Flag
- E หมายถึง External

1,0 หมายถึง Channel หรือ Channel 1 บางที่ใช้คำว่า x เช่น Trx



รูปที่ 2.42 รายละเอียดของระบบจัดจังหวะของ 8052

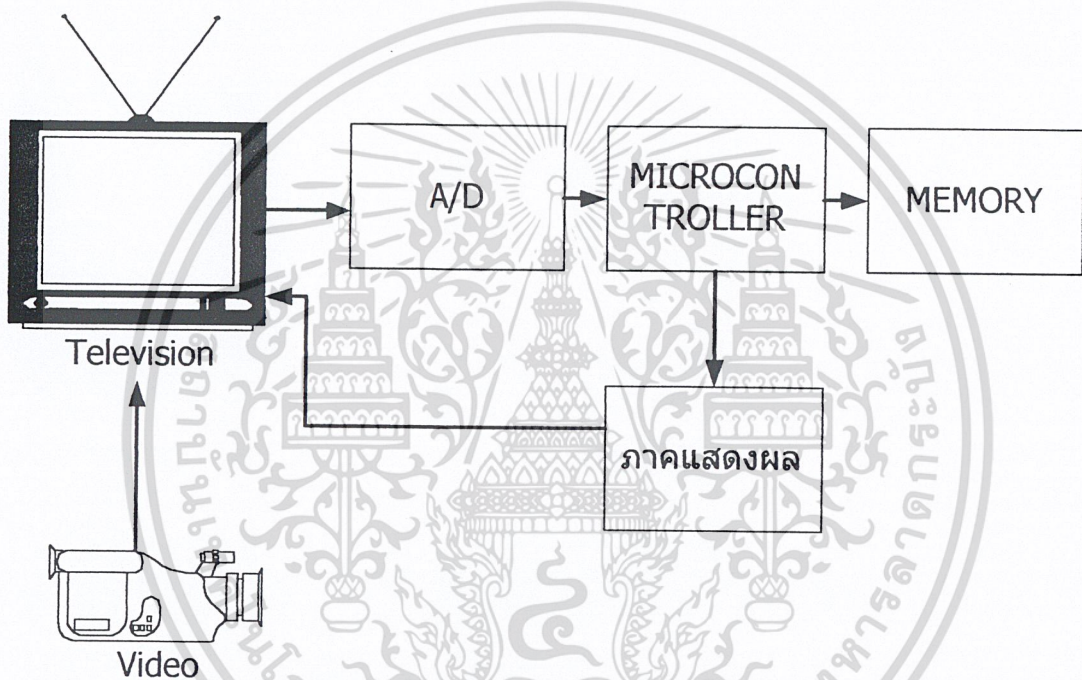
* 8052 มี Interrupt Source เพิ่มจาก 8051 อยู่ที่ TF2 และ EXTF2 *

บทที่ 3

โครงสร้างและการออกแบบ

3.1 โครงสร้างของโครงการ

สามารถเขียน โครงสร้างของโครงการเป็น Block Diagram ได้ดังนี้



รูปที่ 3.1 แสดง BLOCK DIAGRAM ของโครงการ

จาก Block Diagram จะแสดงส่วนต่างๆของโครงการอย่างคร่าวๆโดยแต่ละ Block จะมีหน้าที่การทำงานต่างๆ ดังต่อไปนี้

A/D เป็นส่วนที่ทำหน้าที่ในการแปลงสัญญาณ Analog ที่มาจากเครื่องรับโทรทัศน์โดยอยู่ในรูปของสัญญาณภาพ ให้เป็นสัญญาณ Digital

Microcontroller เป็นส่วนที่ทำหน้าที่ในการประมวลผลสัญญาณ Digital ที่รับมาจากวงจร A/D

Memory เป็นส่วนที่ทำหน้าที่ในการเก็บผลที่ได้ของ Microcontroller

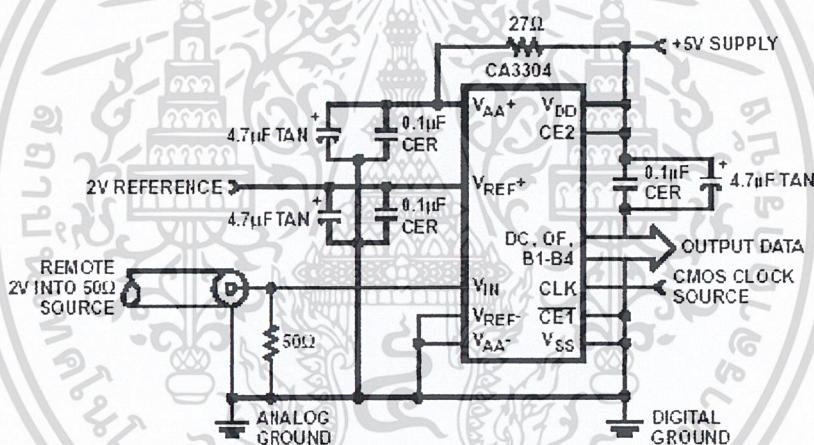
ภาคแสดงผล เป็นส่วนที่จะแสดงสัญญาณที่ได้จากการประมวลผลกลับไปหน้าจอเครื่องรับโทรทัศน์

3.2 การออกแบบโครงงาน

จากโครงสร้างของโครงงานตาม Block Diagram เราสามารถที่จะออกแบบการทำงานได้ โดยแยกออกเป็นส่วนๆดังนี้

3.2.1 ภาค A/D

ในส่วนแรกจะเป็นภาคแปลงสัญญาณ Analog เป็น Digital โดยใช้ IC A/D Converter เบอร์ CA 3304 ซึ่งเป็น IC ขนาด 4 บิต ค่าเวลาในการแปลงสัญญาณ 40 ns ใช้ Clock 25MHz



รูปที่ 3.2 แสดงวงจร A/D ขนาด 4 บิต

จากรูปเป็นวงจร A/D ขนาด 4 บิต เราจะป้อนสัญญาณภาพจากเครื่องรับโทรทัศน์เข้าที่ Vin และ Output จะออกเป็น Digital ที่ B1-B4

เมื่อเราได้สัญญาณภาพที่เป็นสัญญาณ Digital แล้วส่งให้ภาคประมวลผลและเปรียบเทียบ

3.2.2 ภาคประมวลผลเปรียบเทียบ

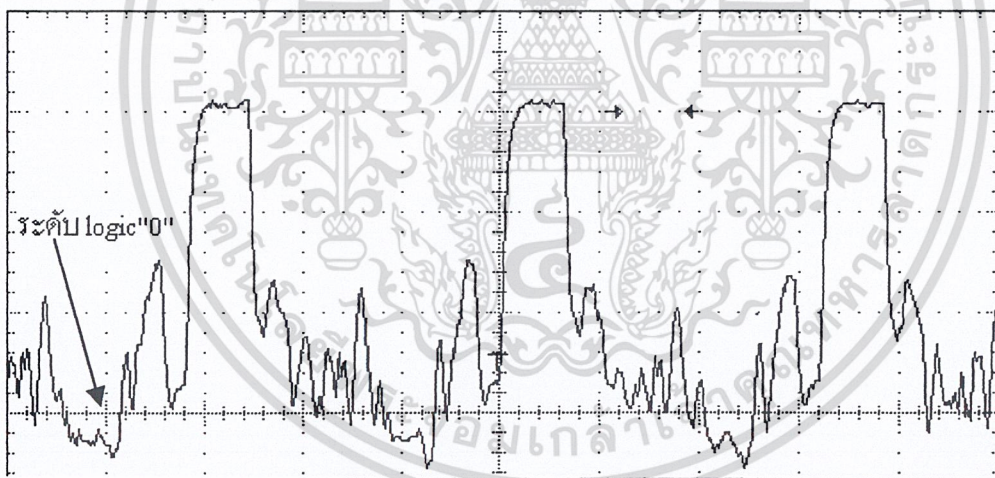
ภาคนี้จะเป็นการนำข้อมูลในแต่ละจุดของภาพบนจอของภาพหลักและภาพที่มาเปรียบเทียบนำมาเข้าโปรแกรมซึ่งจะทำงานตาม Flow Chart ของภาคประมวลผลเปรียบเทียบ โดย output ที่ได้จากภาคนี้จะบอกตำแหน่งของเส้นภาพและจุดที่ผิดของภาพเพื่อจะส่งไปยังภาคแสดงผลต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2.3 ภาคแสดงผล

จากการออกแบบจะแบ่งการแสดงผลออกเป็น 2 ชุดในหนึ่งรูป คือการแสดงผลในทางแนวนอนและการแสดงผลในทางแนวตั้ง เนื่องจากในหนึ่งรูปประกอบด้วยสองฟิล์มคู่กันดังนั้นจึงให้การแสดงผลทางแนวนอนอยู่ในฟิล์มแรก ส่วนการแสดงผลในแนวตั้งจะอยู่ในฟิล์มที่สองจากการกระทำดังกล่าวนี้ จะทำให้ภาพที่แสดงผลออกมาเป็นภาพที่มีทั้งเส้นแนวตั้งและเส้นแนวนอนพาดทับกันเกิดเป็นเส้นกริดซึ่งที่จุดที่ผิดของภาพ ซึ่งข้อมูลที่ใช้ในการแสดงผลจะได้มาจากภาคประมวลผลเปรียบเทียบ

สัญญาณ output ที่ใช้ในการแสดงผลคือสัญญาณ logic "0" และ logic "1" logic"0" จะเป็นตัวทำให้สัญญาณ ณ เวลานั้นลงกราวด์หรือมีระดับแรงดันลดลง ทำให้เกิดสัญญาณภาพสีขาว ซึ่งแสดงดังรูป ซึ่งเส้นภาพที่ต้องการจากการออกแบบกำหนดให้เป็นสีขาว

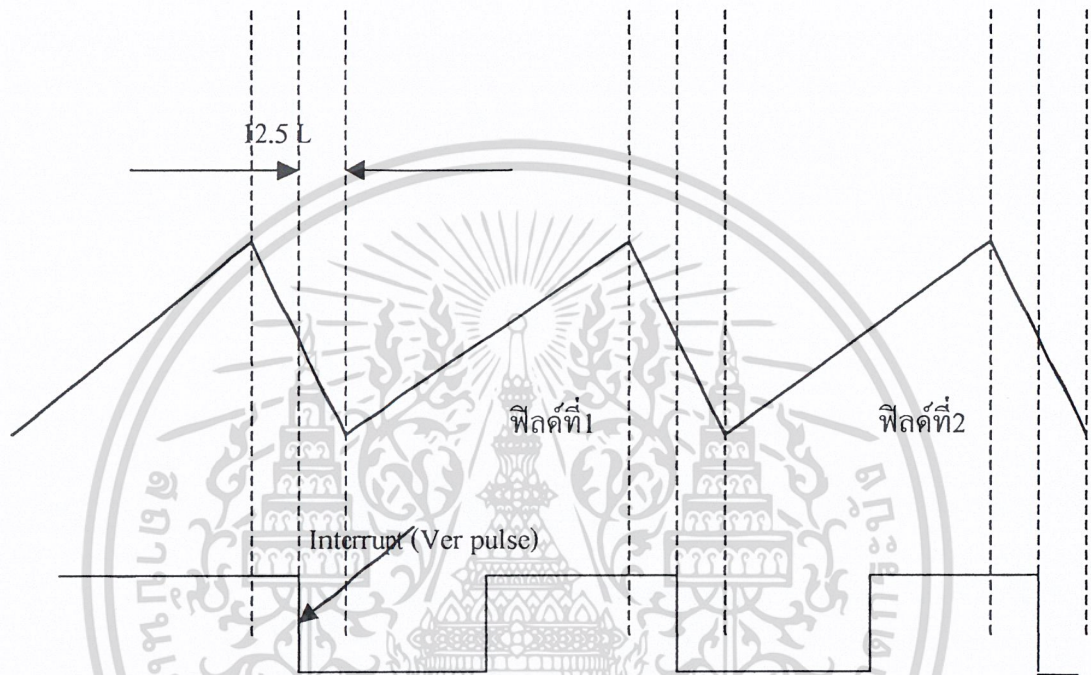


รูปที่ 3.3 แสดงระดับสัญญาณที่ logic"0"

3.2.3.1 ภาคแสดงผลในแนวนอน

ข้อมูลเส้นที่ผิดในฟิล์มที่เช็คได้จากภาคประมวลผลเปรียบเทียบ จะเข้าสู่โปรแกรมแสดงผลในแนวนอนซึ่งโปรแกรมแสดงจะเริ่มการทำงานได้จะต้องมีสัญญาณ Ver pulse (interrupt) ของฟิล์มที่หนึ่งมาเป็นตัวกระตุ้นเริ่มการทำงาน โดยจากรูปจะหน่วงเวลาไป 12.5 เส้นสะแกน จากนั้นจึงจะเริ่มนำข้อมูลเส้นที่ผิดที่ได้จากภาคประมวลผลเปรียบเทียบมาเป็นตัวหน่วงเวลาจนถึงเส้นที่ผิด

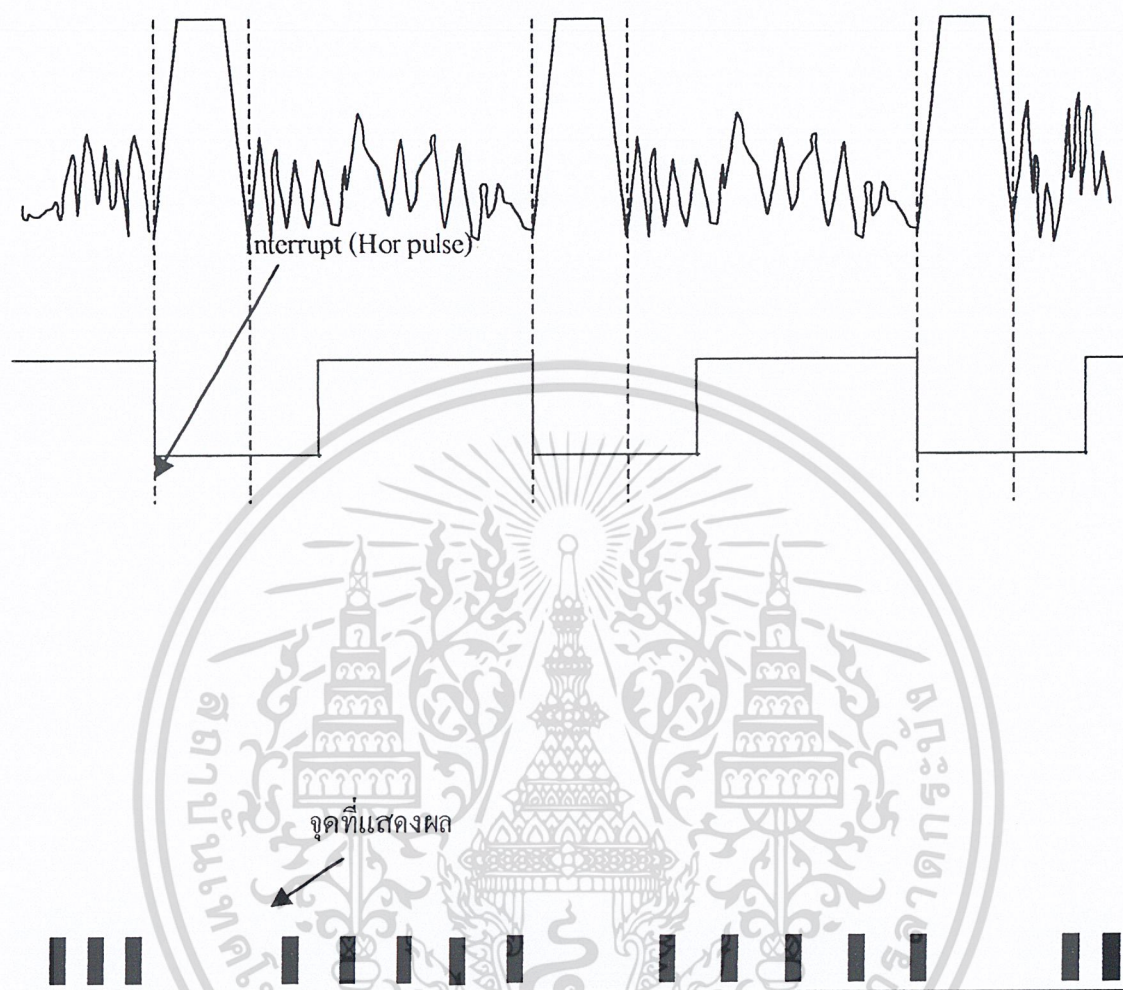
นั่น การทำให้เส้นที่ผิวดแสดงผลแนวนอนโดยจะส่ง logic"0" เข้าไปพร้อมกับสัญญาณในเส้นที่ผิวดนั้น และทำต่อลงไปอีกห้าเส้นเพื่อให้เห็นเส้นแสดงผลได้ชัดเจนขึ้น



รูปที่ 3.4 แสดงการเริ่มทำงานจาก Ver pulse

3.2.3.2 ภาคแสดงในแนวตั้ง

ข้อมูลของจุดที่ในเส้นสะแกนที่ได้จากภาคประมวลผลเปรียบเทียบจะเข้าสู่โปรแกรม แสดงผลจะเริ่มทำงานได้จะต้องมีสัญญาณ Ver pulse (interrupt) ของฟิลต์ที่สองมาเป็นตัวกระตุ้น เริ่มการทำงาน จากนั้นสัญญาณ Hor pulse สัญญาณเริ่มแสดงผลในแต่ละเส้น โดยใช้แต่ละเส้นจะ แสดงผลโดยใช้ข้อมูลจุดที่ผิวดที่ได้จากเส้นที่ผิวดจึงทำให้ภาพในฟิลต์เป็นเส้นตรงแนวตั้งพาดผ่านจุด ที่ผิวดของภาพ โดยสัญญาณภาพที่จะเกิดขึ้นจะทำโดยจุดที่ผิวด โปรแกรมจะส่ง logic"0" ร่วมกับ สัญญาณภาพเดิมทำให้เกิดมีเส้นแนวตั้งพาดผ่านจุดที่ผิวดนั้น

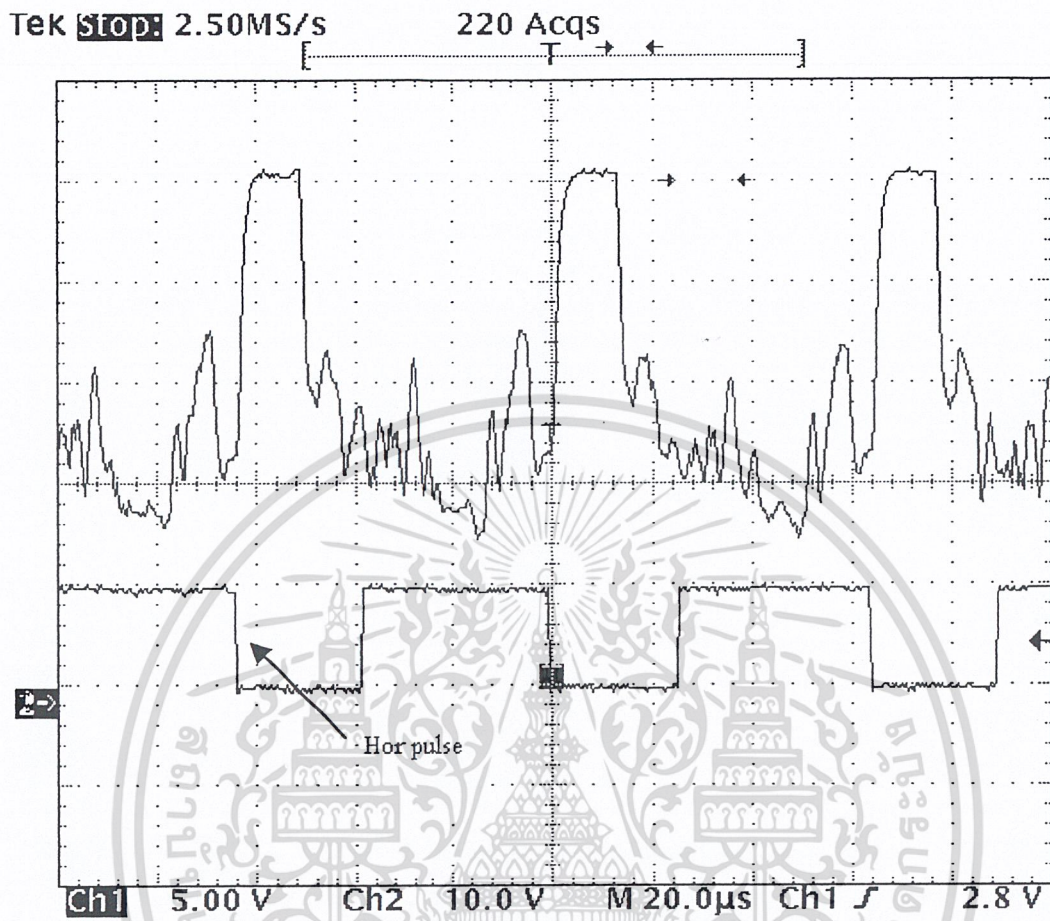


รูปที่ 3.5 แสดงจุดที่แสดงผลเทียบกับสัญญาณสะแกนและ Hor pulse

วงจรสร้างสัญญาณ pulse ที่ใช้ใน interrupt program

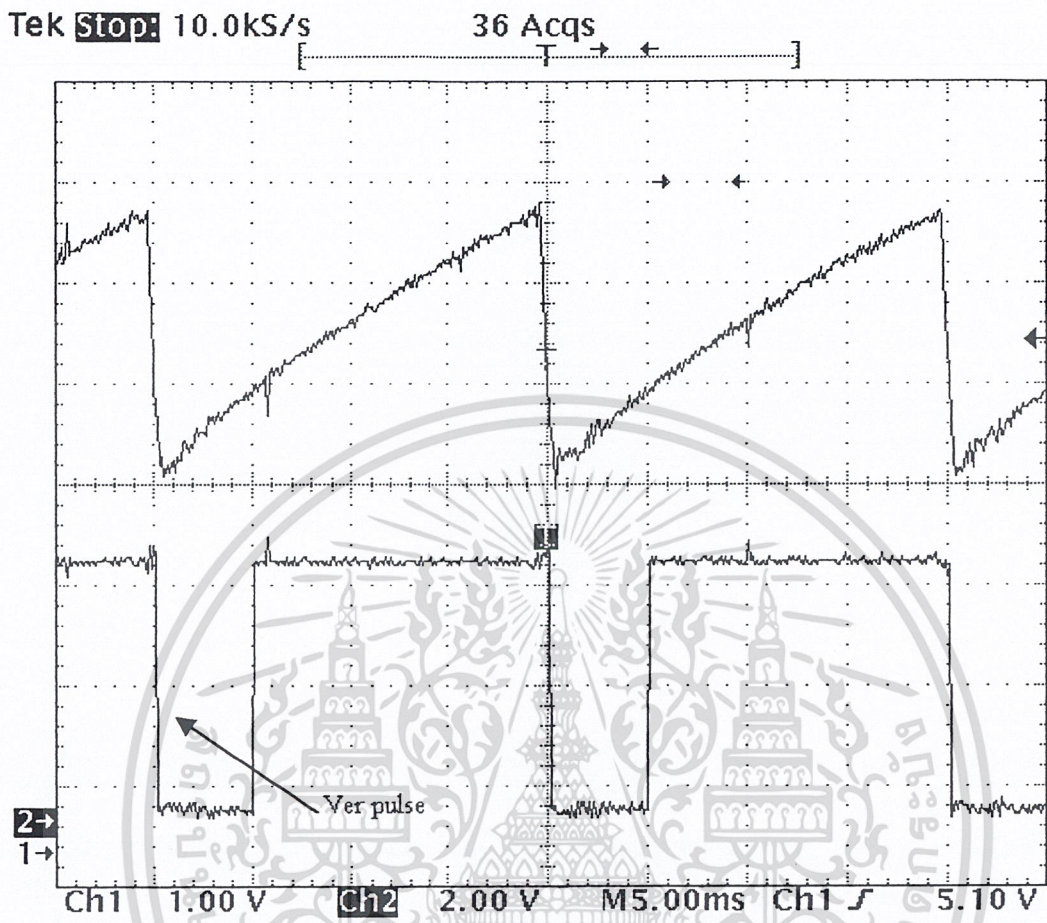
สัญญาณ interrupt ในโปรแกรมจะเป็นตัวกำหนดการเริ่มต้นการทำงานของโปรแกรมในส่วนต่างๆตามทีออกแบบโปรแกรมควบคุมการทำงานซึ่งสัญญาณ interrupt ที่โปรแกรมต้องการจะต้องเป็นสัญญาณ pulse ที่มีสัญญาณขอบขาลงจาก logic"1" เป็น logic"0" โดยจากการออกแบบโปรแกรมจะสัญญาณ interrupt สองชุดคือ

1. Hor pulse สร้างโดยการนำสัญญาณของเส้นสะแกนจากภาค Hor.Osc ของ TV มาเข้าวงจรสร้าง Hor pulse ซึ่งจะได้สัญญาณ interrupt ดังรูป



รูปที่ 3.6 แสดงสัญญาณ Hor pulse เทียบกับสัญญาณเส้นสะแกน

- Ver pulse สร้างโดยการนำสัญญาณพื้นเลื้อยจากภาค Ver.Osc จาก TV มาเข้าวงจรสร้าง จะได้สัญญาณ interrupt ดังรูป



รูปที่ 3.7 แสดงสัญญาณ Ver pulse เทียบกับสัญญาณฟันเลื่อยที่ภาค Ver.Osc

บทที่ 4

ผลการทดลอง

4.1 การเก็บข้อมูล

แสดงข้อมูลที่ได้จากการแปลงสัญญาณภาพเป็นรหัส Digital ใน ภาคเก็บข้อมูล



11111	11111
11111	11111
11111	11111
11111	11111
1F011	10F11
1F011	10F11
1F011	10F11
1F011	10F11
1F011	10F11
1F011	10F11
1F011	10F11
1F011	10F11
1F011	10F11
1F111	10F11
11111	11111
11111	11111
11111	11111
10111	11101

รูปที่ 4.1 แสดงข้อมูล Digital จากภาคเก็บข้อมูล

จากข้อมูลข้างบนแสดงรหัส Digital ในภาคเก็บข้อมูล โดยยกมาแสดงเฉพาะบางส่วนเนื่องจากข้อมูลที่ได้จากการแปลงสัญญาณภาพเป็น Digital มีความยาวมาก จะเห็นได้ว่าข้อมูลที่เก็บได้ในภาคเก็บข้อมูลจะมีอยู่ 5 หลัก ที่มี 5 หลักหมายถึงมีการ Sampling สัญญาณภาพ 5 จุด ใน 1 เส้น สะแกน เหตุที่ต้องทำการ Sampling 5 จุดใน 1 เส้นสะแกนนั้นเนื่องจากข้อจำกัดของ CPU ที่ใช้มี

เอกสารนี้เป็นเอกสารลิขสิทธิ์ของมหาวิทยาลัยราชภัฏบุรีรัมย์ เพื่อการศึกษาค้นคว้าเท่านั้น เมื่อเผยแพร่ให้ผู้อื่นโดยไม่ได้รับอนุญาต
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ความเร็วไม่สูงมากนักไม่สามารถกำหนดจุดการ Sampling ได้มากกว่านี้ แต่ละหลักของข้อมูลก็จะมีค่าของระดับสัญญาณภาพจาก 0-F กำหนดให้ 0 คือระดับดำ F คือระดับขาว จากข้อมูลที่ได้แสดงข้างบนจะเห็นว่า แต่ละจุดจะมีค่าเหมือนหรือต่างกันขึ้นอยู่กับภาวะที่เกิดขึ้นที่จอเครื่องรับโทรทัศน์ ข้อมูลข้างบนเป็นข้อมูลที่เรารับภาพ ในขณะที่ภาพมีพื้นหลังเป็นสีดำ วัตถุที่เคลื่อนที่จะเป็นสีขาวซึ่งก็จะเห็นได้ว่าค่าที่ได้ในแต่ละจุดส่วนใหญ่จะเป็นค่า 1 หรือ 0 ซึ่งก็หมายถึงเป็นระดับค่านั่นเอง ส่วนค่า F ก็หมายถึงจุด Sampling นั้น เกิดเป็นสีขาวหรือภาพเป็นสีขาวซึ่งอยู่ในจุด Sampling ที่ 2 และจุดที่ 3 นั่นเอง

4.2 การประมวลผลเปรียบเทียบ

ข้อมูลจากภาคเก็บข้อมูลดังที่แสดงให้เห็นในรูปที่ 4.1 เราจะนำเอาข้อมูลมาประมวลผลซึ่งข้อมูลจากรูปที่ 4.1 จะเห็นได้ว่าในช่วงแรกวัตถุสีขาวจะอยู่ที่ตำแหน่งทางซ้ายมือของผู้ชมซึ่งอยู่จุด Sampling ที่ 2 เพราะฉะนั้นข้อมูลทางซ้ายมือในรูปที่ 4.1 ในหลักที่ 2 ก็จะมีค่าเป็น F นอกนั้นก็จะเป็นค่า 1 หรือ 0 คือเป็นสีดำ ต่อจากนั้นถ้ามีการเคลื่อนที่วัตถุไปทางขวาของผู้ชม ข้อมูลจากภาคเก็บข้อมูลก็จะเปลี่ยนไปทันทีในที่นี้เรากำหนดให้ รูปเคลื่อนที่ไปกลางจอภาพซึ่งตรงกับจุด Sampling ที่ 3 เพราะฉะนั้นข้อมูลทางขวามือในรูปที่ 4.1 ในหลักที่ 3 ก็จะมีค่าเป็น F นอกนั้นก็จะเป็น 1 หรือ 0 เหมือนเดิมจะเห็นได้ว่าเมื่อวัตถุมีการเคลื่อนที่ที่เกิดขึ้นข้อมูล Digital ที่ได้ก็จะมีค่าเปลี่ยนแปลงไปตามการเคลื่อนที่ของวัตถุข้อมูลนี้เองที่เราจะนำไปประมวลผลหาค่าตำแหน่งที่เคลื่อนที่ไปและก็จะสร้างเส้นในแนวตั้งและแนวนอนเพื่อที่จะระบุตำแหน่งวัตถุที่มีการเคลื่อนที่กลับไปบนจอเครื่องรับโทรทัศน์อีกทีดังจะแสดงในการแสดงผล

4.3 การแสดงผล

ในการแสดงผลเราจะแสดงผลที่ได้ทดลองโดยกำหนดให้วัตถุมีการเคลื่อนที่และกำหนดให้มีพื้นหลังเป็นสีดำและวัตถุมีสีขาว ผลที่ได้จากการทดลองจะแสดงได้ดังรูปที่ 4.2



รูปที่ 4.2 ก แสดงเส้นชี้ตำแหน่งที่จุด Sampling ที่ 1

จากรูปที่ 4.2 ก เมื่อมีวัตถุเคลื่อนที่เข้ามาที่จอเครื่องรับโทรทัศน์จากทางซ้ายมือเข้ามาก็จะตรงกับจุดของการ Sampling ที่ 1 ทันทีและก็จะมีการชี้ตำแหน่งวัตถุที่เคลื่อนที่ที่เกิดขึ้นในทันทีเช่นกันเพราะมีการเคลื่อนที่ที่เกิดขึ้น โดยจะแสดงเป็นเส้นชี้ตำแหน่งในแนวตั้งและแนวนอนพาดทับกันกับวัตถุ



รูปที่ 4.2 ข แสดงเส้นชี้ตำแหน่งที่จุด Sampling ที่ 3

จากรูปที่ 4.2 ข เมื่อวัตถุมีการเคลื่อนที่ไปเรื่อยๆ ที่จอเครื่องรับโทรทัศน์ เส้นชี้ตำแหน่งวัตถุ ก็จะยังคงชี้ตำแหน่งตามวัตถุที่มีการเคลื่อนที่ไปเรื่อยๆเช่นกัน จากรูปวัตถุเคลื่อนที่มาถึงจุดของการ Sampling ที่ 3 ที่กลางจอเครื่องรับโทรทัศน์



รูปที่ 4.2 ค แสดงเส้นชี้ตำแหน่งที่จุด Sampling ที่ 4

จากรูปที่ 4.2 ค จะเห็นได้ว่าเส้นชี้ตำแหน่งก็จะยังคงชี้ตำแหน่งตามวัตถุที่มีการเคลื่อนที่ไปเรื่อยๆจนกว่าวัตถุจะเคลื่อนที่ออกไปจากจอเครื่องรับโทรทัศน์ จากรูปวัตถุเคลื่อนที่มาถึงจุดของการ Sampling ที่ 4

บทที่ 5

สรุปโครงการปัญหาและข้อเสนอแนะ

5.1 สรุปโครงการ

โครงการนี้ จะเป็นการออกแบบการสร้างเครื่องตรวจจับความเคลื่อนไหวและชี้ตำแหน่งควบคุมโดย Microcontroller ซึ่งมีหน้าที่ในการประมวลผลสัญญาณภาพจากเครื่องรับโทรทัศน์ โครงการนี้ประกอบด้วยส่วนหลักๆอยู่ 4 ส่วน คือ ภาค A/D, ภาคเก็บข้อมูล, ภาคประมวลผล และภาคแสดงผล โดยมีการทำงานคือ จะจับเอาสัญญาณภาพจากเครื่องรับโทรทัศน์ที่จับภาพมาจากกล้อง Video เข้าไปที่ภาค A/D ทำหน้าที่ในการแปลงสัญญาณภาพจากภาค Video Amp ที่เครื่องรับโทรทัศน์ให้เป็นสัญญาณ Digital แล้วส่งไปยัง Microcontroller เมื่อมีการเคลื่อนไหวเกิดขึ้น สัญญาณภาพก็จะเกิดการเปลี่ยนแปลงทำให้ ค่าที่ได้จากการแปลงสัญญาณภาพเป็น Digital นั้น เกิดการเปลี่ยนแปลงขึ้น Microcontroller ก็จะประมวลผล และพบว่าค่าที่แตกต่างเก็บไว้ใน Memory ซึ่ง Microcontroller ก็จะส่งผลไปให้ภาคแสดงผลแสดงผลจะสร้างเส้น เพื่อระบุตำแหน่งของตำแหน่งที่มีการเคลื่อนไหวกลับไปทำหน้าที่ของเครื่องรับโทรทัศน์

5.2 จุดที่ต้องปรับปรุงแก้ไข

จากการสร้างโครงการเครื่องตรวจจับความเคลื่อนไหวและชี้ตำแหน่ง มีจุดที่ต้องปรับปรุงและแก้ไข คือ การแปลงสัญญาณภาพให้เป็นสัญญาณ Digital เกิดค่าผิดพลาดสูงวงจรมีเสถียรเท่าที่ควร เป็นผลทำให้การสร้างเส้นชี้ตำแหน่งเกิดการผิดพลาดตามด้วย

5.3 ปัญหาในการทำโครงการ

ปัญหาในการทำโครงการ คือ เนื่องจากสัญญาณภาพมีคาบเวลาดำมากจึงต้องหา A/D ความเร็วสูงซึ่งหาได้ยาก และ Microcontroller ทำงานได้ช้าทำให้ความละเอียดของจุดข้อมูลน้อย และมีสัญญาณรบกวนเครื่องรับโทรทัศน์ วงจร A/D และวงจรอื่นๆ และระบบการทำงานจะมีปัญหาเมื่อถูกความถี่รบกวนมากๆ

ปัญหาในการควบคุม คือ เนื่องจากสัญญาณภาพถูกรบกวนมากการแปลงเป็น Digital เกิดค่า Error สูงทำให้การควบคุมการสร้างเส้นชี้ตำแหน่งทำได้ยากขึ้น

5.4 ข้อเสนอแนะ

ข้อเสนอแนะนี้จัดทำขึ้นเพื่อเป็นแนวทางในการพัฒนาให้โครงการนี้มีประสิทธิภาพดีขึ้น โดยนำเสนอเป็นข้อๆดังนี้

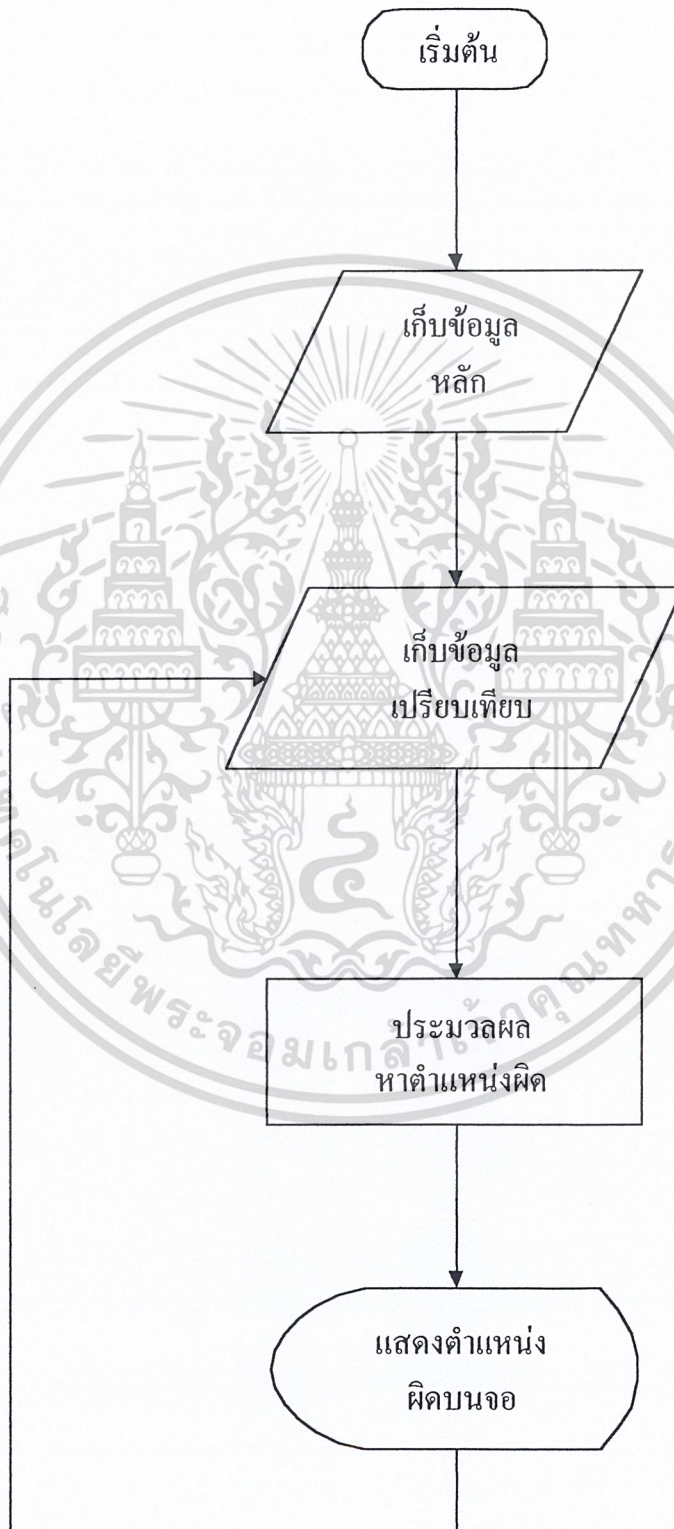
- ปรับปรุงการชี้ตำแหน่งให้มีความไวและละเอียดมากขึ้น
- เปลี่ยน CPU เป็นตัวที่มีความไวในการประมวลผลสูงขึ้น
- สามารถสร้าง Sync ทาง Hor Pulse และ Ver pulse ได้เองจากสัญญาณ Input โดยไม่ต้องพึ่งวงจรจากเครื่องรับโทรทัศน์ ทำให้เครื่องมีความยืดหยุ่นใช้กับเครื่องรับโทรทัศน์เครื่องไหนก็ได้





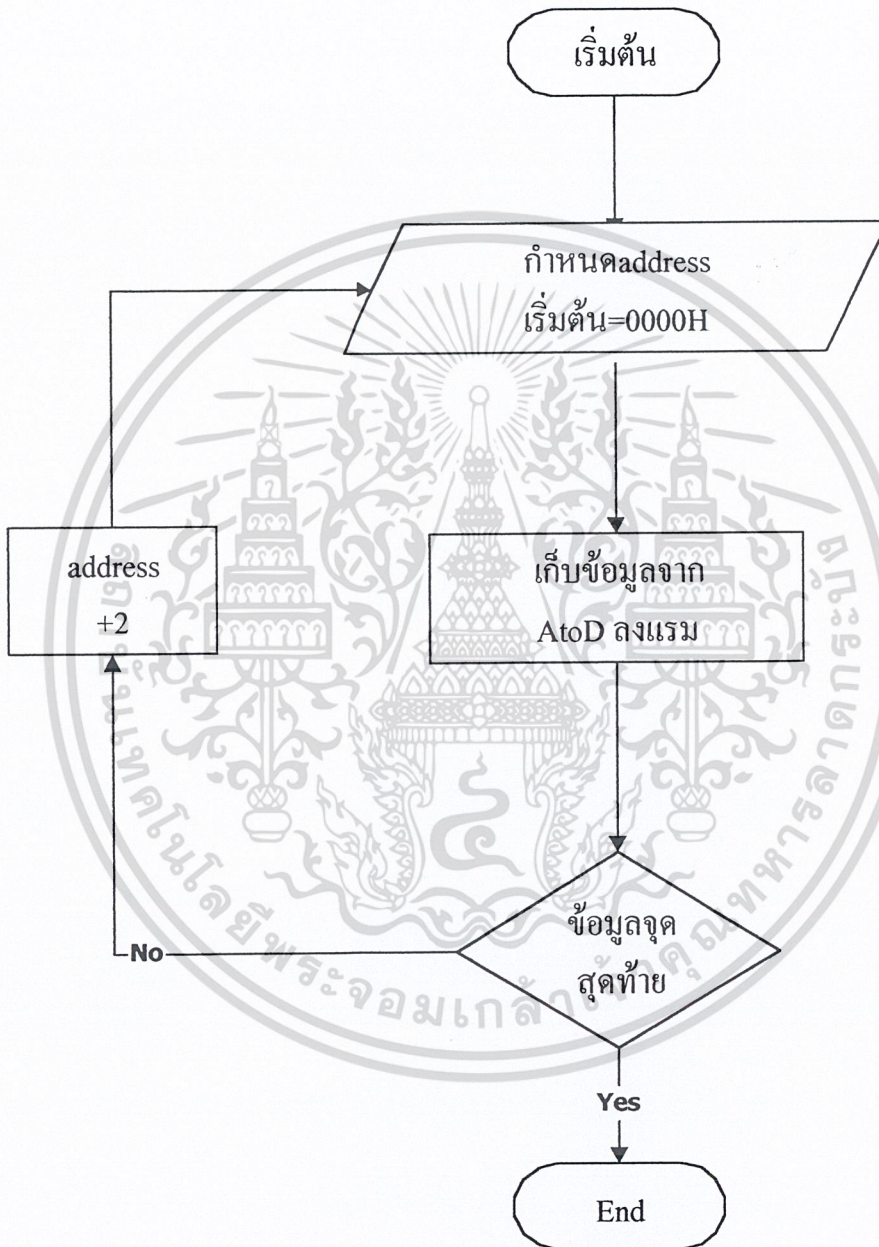
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Main Program

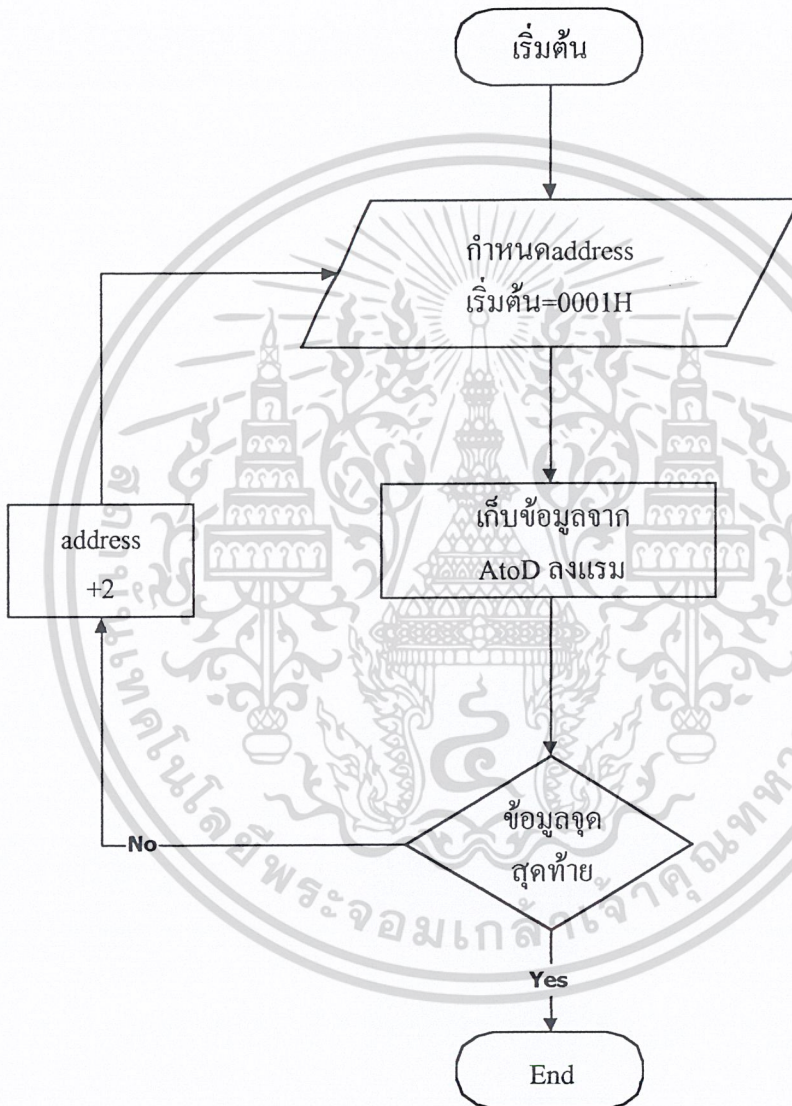


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

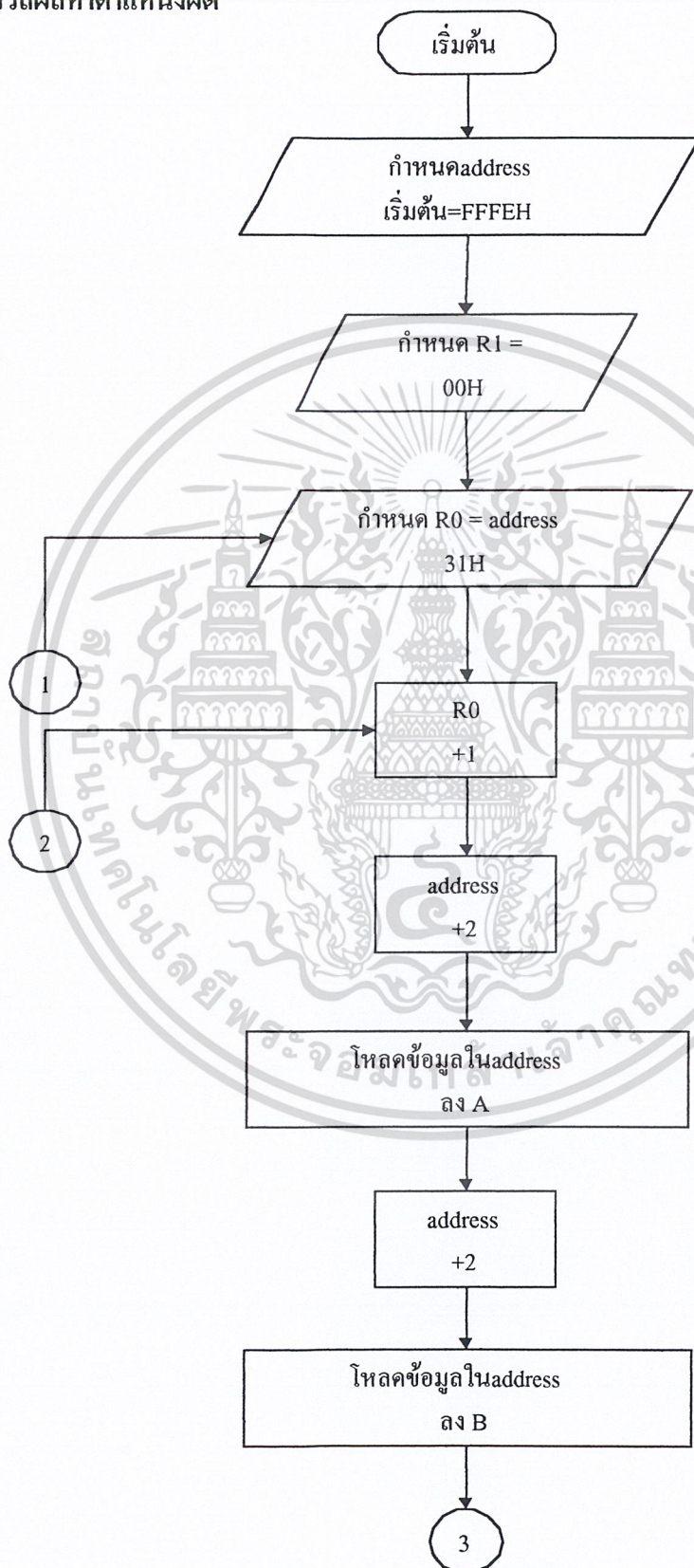
ภาคเก็บข้อมูลหลัก



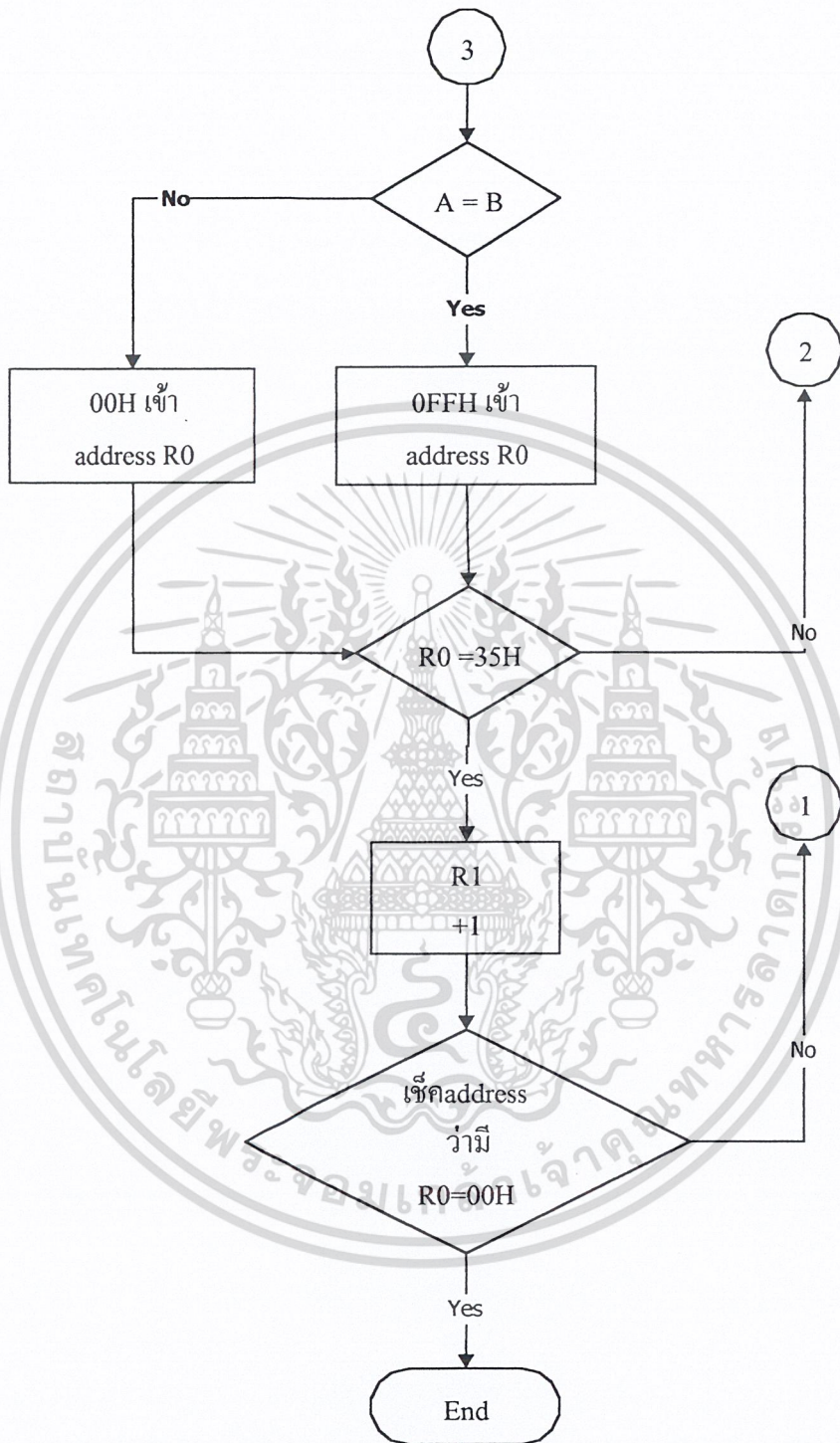
ภาคเก็บข้อมูลเปรียบเทียบ



ภาคประมวลผลหาตำแหน่งผิด

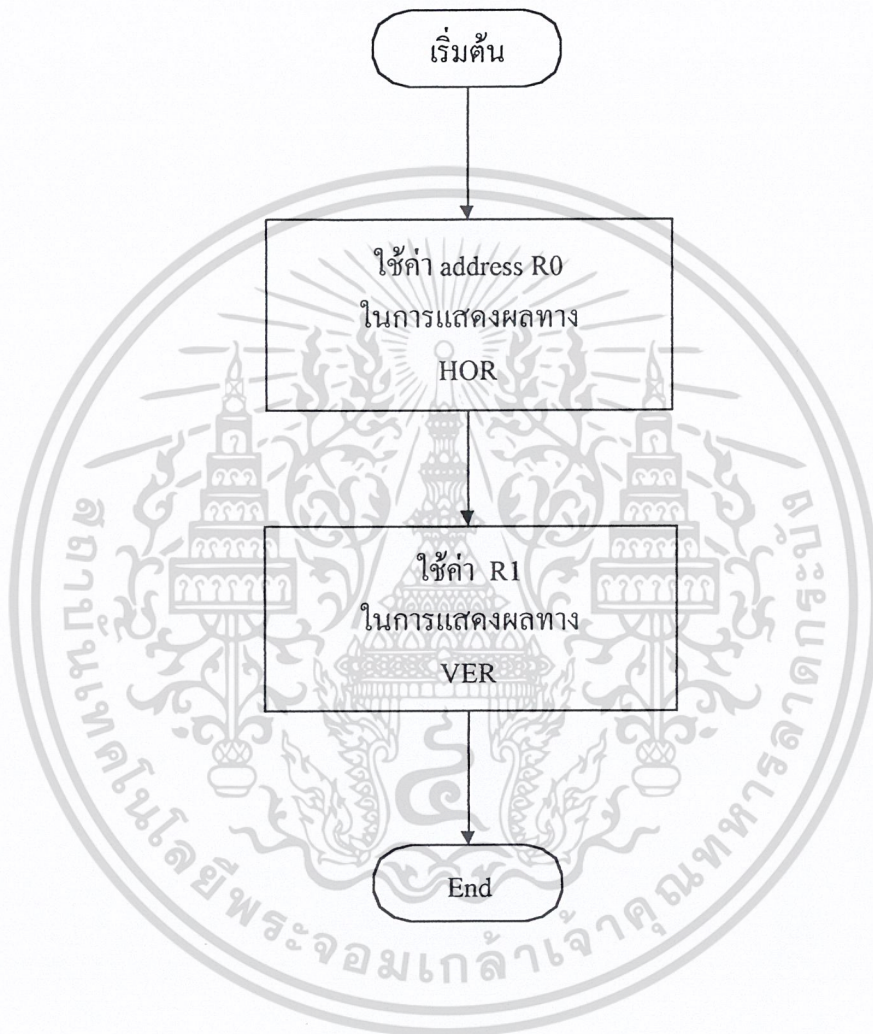


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคแสดงตำแหน่งผัดบนจอ





เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
ORG 0000H
LJMP MAIN
```

```
ORG 0003H
LJMP EX0ISR
```

```
ORG 0013H
LJMP EX1ISR
```

```
MAIN: MOV R0,#30H
      MOV 36H,#1EH
      MOV DPTR,#0FFFEH
      CLR 01H
      SETB IT0
      SETB IT1
      SETB P1.1
      SETB P1.0
      SETB P1.4
      SETB P1.5
      MOV IE,#85H ; START INTERUP
```

```
SJMP $
```

```
EX0ISR: CLR EX1
        INC R4

        CJNE R4,#01H,Z0
        RETI
```

```
Z0:      CJNE R4,#02H,Z1
          SETB 09H
          CALL DELAY1      ;WAIT 12.5 LINE
          SETB EX1
          RETI
```

```
Z1:      CJNE R4,#03,Z2
          LJMP KMNUN
```

```
Z2:      CJNE R4,#04H,Z3
          MOV R0,#30H
          CLR 09H
          SETB EX1
          RETI
```

```
Z3:      MOV R2,36H
          LJMP HOR
```

```
Z4:      MOV R4,#00H
          MOV DPTR,#0FFFEH
          MOV R0,#30H
          MOV 36H,#1EH
          RETI
```

;

```
EX1ISR:  JB 09H,MEMORY
          LJMP SHOW
```

;OOOOOOOOOOOOOOOOOOOO.....MEMORY.....OOOOOOOOOOOOOOOOOOOO

MEMORY: CALL DELAY2 ;AT MARK POINT 1

INC DPTR

INC DPTR

MOV A,P1

MOVX @DPTR,A

CALL DELAY3 ;AT MARK POINT 2

INC DPTR

INC DPTR

MOV A,P1

MOVX @DPTR,A

NOP

CALL DELAY3 ;AT MARK POINT 3

INC DPTR

INC DPTR

MOV A,P1

MOVX @DPTR,A

NOP

CALL DELAY3 ;AT MARK POINT 4

INC DPTR

INC DPTR

```
MOV A,PI
MOVX @DPTR,A
NOP
```

```
CALL DELAY3 ;AT MARK POINT 5
```

```
INC DPTR
INC DPTR
MOV A,PI
MOVX @DPTR,A
NOP
RETI
```

```
DELAY1: MOV R6,#06H ;6
DEL1: MOV R7,#83H ;131
DJNZ R7,$
DJNZ R6,DEL1
```

```
NOP
NOP
RET
```

```
-----DELAY VER-----
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับใช้ในงานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CALL CHECK

M3: INC R0
INC DPTR
INC DPTR
MOVX A,@DPTR
MOV @R0,A
CALL CHECK

M4: INC R0
INC DPTR
INC DPTR
MOVX A,@DPTR
MOV @R0,A
CALL CHECK

M5: INC R0
INC DPTR
INC DPTR
MOVX A,@DPTR
MOV @R0,A
CALL CHECK

INC 36H ;COUNT HOR

CJNE R2,#00H,EEE

DJNZ R7,AG1

DJNZ R6,AG0

NOP

CLR P1.04

NOP

V2: SETB P1.4

CALL DELAY6 ;AT MARK POINT 3

INC R0

CJNE @R0,#00H,VE3

NOP

NOP

CLR P1.4

NOP

V3: SETB P1.4

CALL DELAY6 ;AT MARK POINT 4

INC R0

CJNE @R0,#00H,VE4

NOP

NOP

CLR P1.4

NOP

V4: SETB P1.4

CALL DELAY6 ;AT MARK POINT 5

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ไว้สำหรับใช้ในงานเพื่อการศึกษาเท่านั้น เมื่ออนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
INC R0
CJNE @R0,#00H,VE5
NOP
NOP
```

```
CLR P1.4
NOP
V5: SETB P1.4
NOP
```

```
MOV R0,#30H
RETI
```

-----;-----DELAY VER-----

```
DELAYS: MOV R7,#0aH
DJNZ R7,$
NOP
RET
```

```
DELAY6: MOV R7,#02H
DJNZ R7,$
RET
```

VE1: SJMP V1

VE2: SJMP V2

VE3: SJMP V3

VE4: SJMP V4

VE5: SJMP V5

;OOOOOOOOOOOOOOOOOO.....HOR.....OOOOOOOOOOOOOOOOOOOOOOOO

;

HOR: CALL DELAY7 ;WAIT 12.5 LINE

AGN: CALL DELAY8 ;WAIT LINE FROM VER DATA

DJNZ R2,AGN

CALL DELAY9 ;1 SYNC -1

CLR P1.5

CALL DELAY10 ;WAIT 1 LINE

SETB P1.5

CALL DELAY9

CLR P1.5

CALL DELAY10

SETB P1.5

CALL DELAY9

CLR P1.5
CALL DELAY10
SETB P1.5

CALL DELAY9
CLR P1.5
CALL DELAY10
SETB P1.5

CALL DELAY9
CLR P1.5
CALL DELAY10
SETB P1.5
LJMP Z4

-----DELAY HOR-----

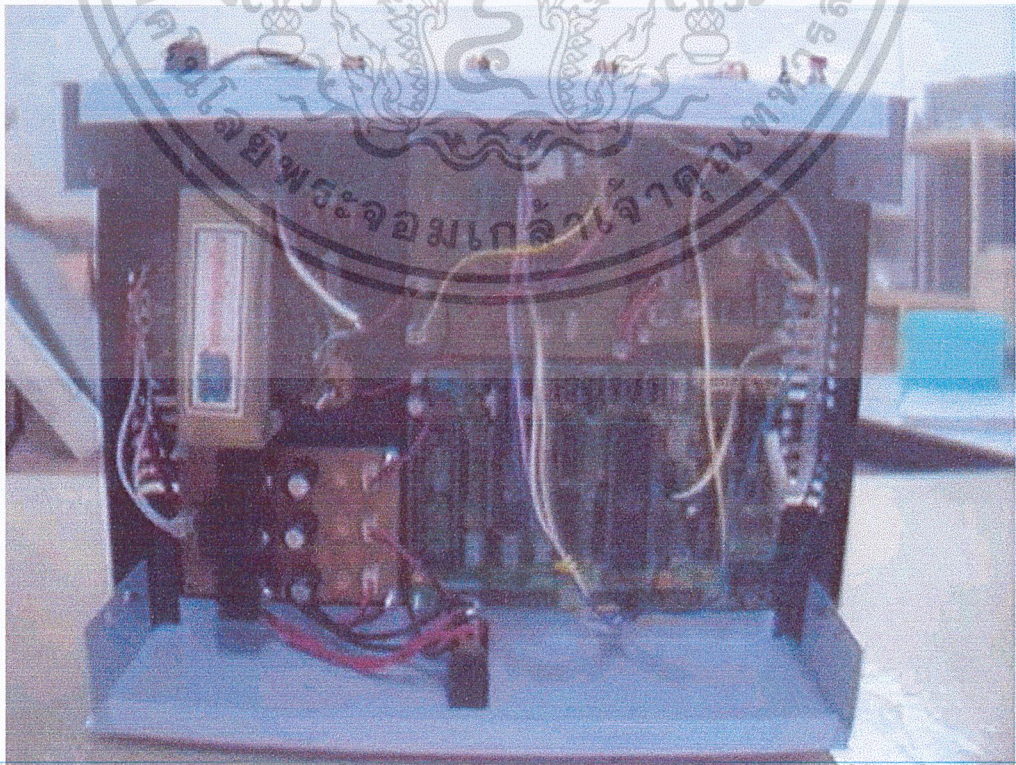
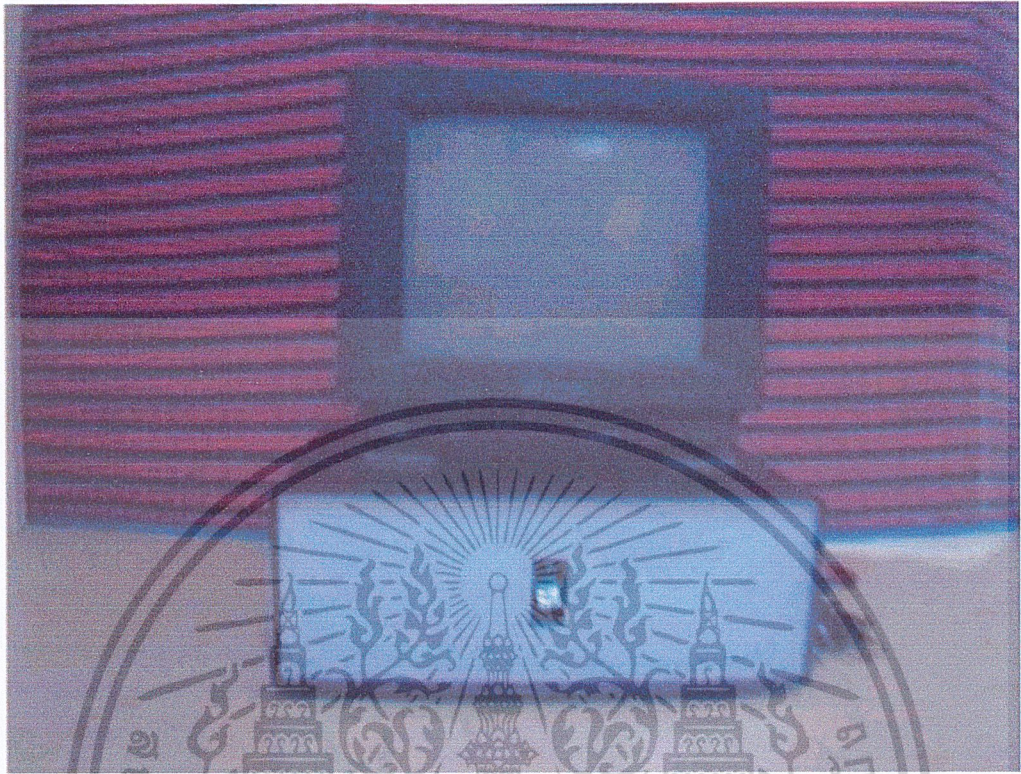
DELAY7: MOV R6,#06H ;6
DEL7: MOV R7,#83H ;131
DJNZ R7,\$
DJNZ R6,DEL7

NOP
NOP
RET



ภาคผนวก ค

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



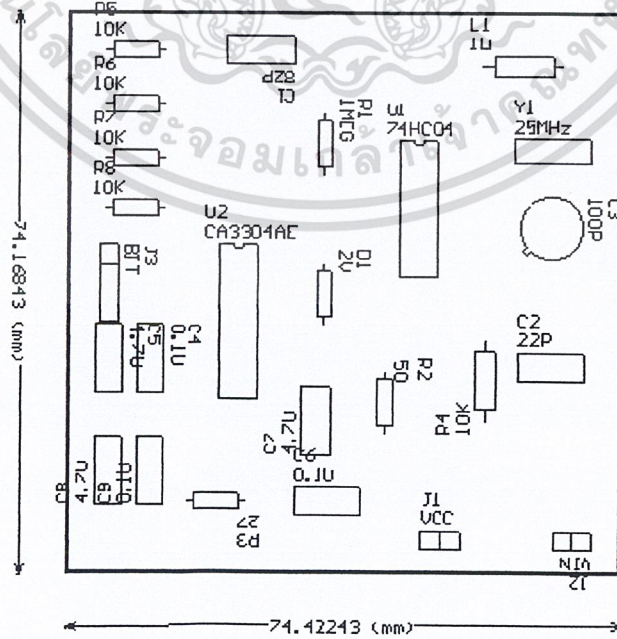
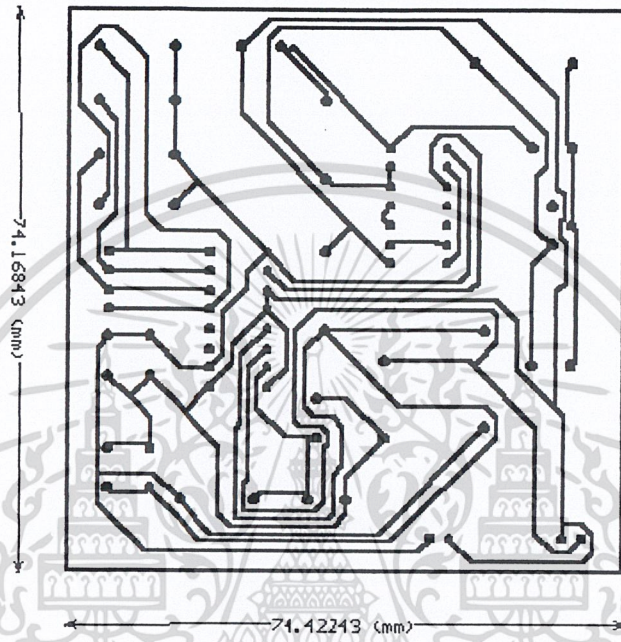
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น เมื่ออนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ภาคผนวก ง

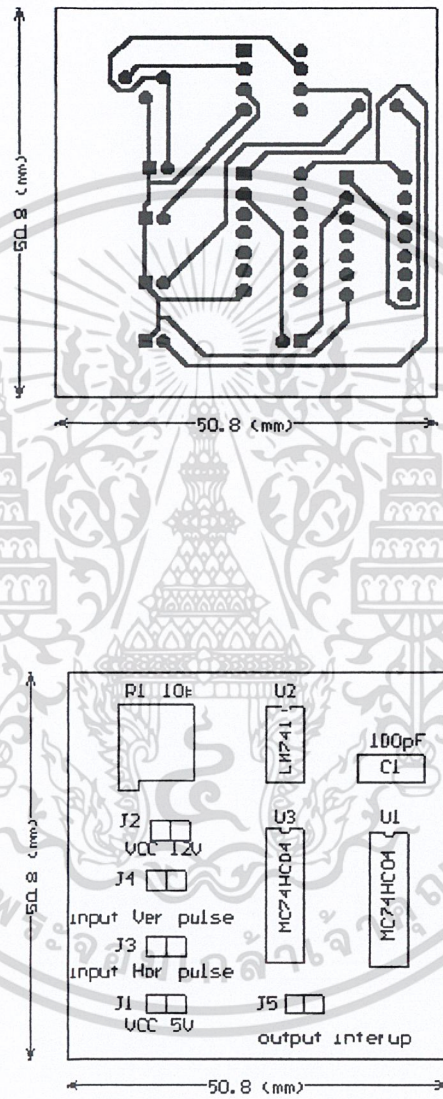
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจร A/D



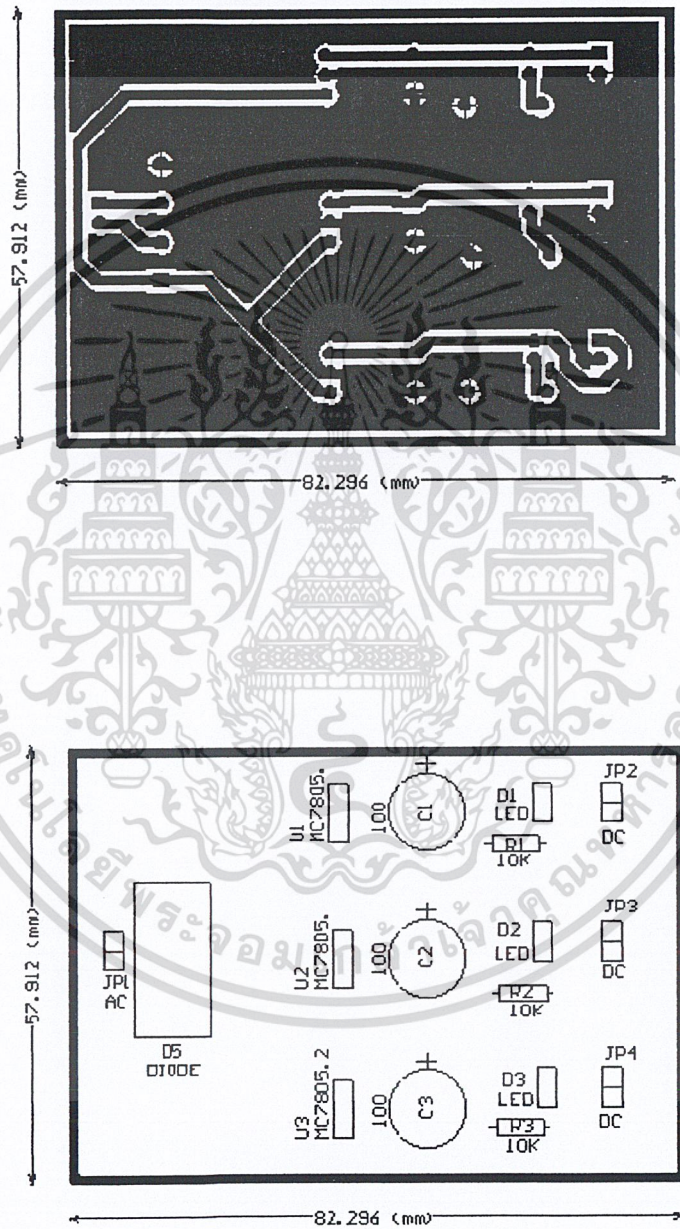
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรร่างสัญญาณอินเตอร์รัปต์ ฮอร์พัลส์ และเวอร์พัลส์



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจร PowerSupply



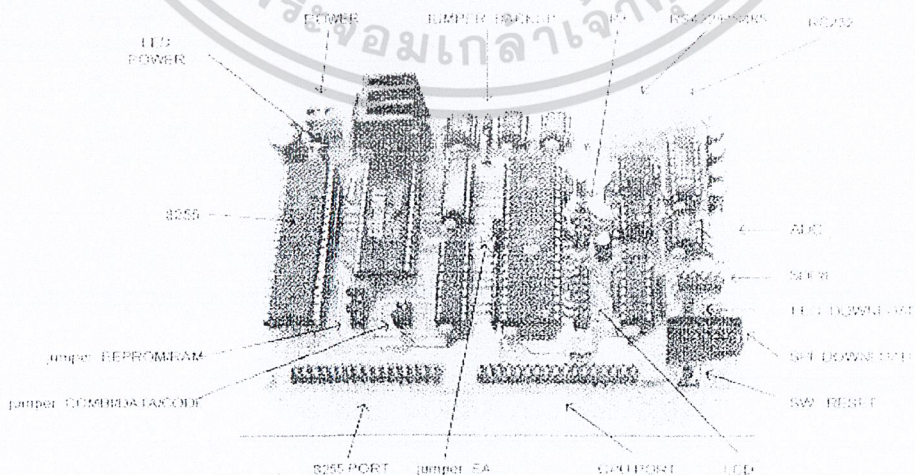
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คุณสมบัติของ CP-S8252 V2.0

- MCS-51 #AT89S8252 or #AT89S53 Microcontroller
- On-Board Down Load
- 4 Bit LCD Character port
- 12 Bit 2 Channel Analog to Digital #LTC1298 (Option)
- RTC #DS1307 (Option)
- Serial EEPROM #24xx (Option)
- Back Up Ram #DS1210 (Option)
- RS232 Communication
- RS422/RS485 Communication (Option)
- 72IOZ80 #8255 port
- 72IOZ80 #AT89S8252 port
- P3 #AT89S8252 port
- RAM #62256 (32Kbyte) or EPROM #27256 (32Kbyte)
- ET-SDP8 port
- Speed XTAL 18.342 MHz
- On-Board 5V Power Suply



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ภาคผนวก ฉ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

August 1997

Features

- CMOS/SOS Low Power with Video Speed (Typ) .. 25mW
- Parallel Conversion Technique
- Single Power Supply Voltage 3V to 7.5V
- 25MHz Sampling Rate (40ns Conversion Time) at 5V Supply
- 4-Bit Latched Three-State Output with Overflow and Data Change Outputs
- $1/8$ LSB Maximum Nonlinearity (A Version)
- Inherent Resistance to Latch-Up Due to SOS Process
- Bipolar Input Range with Optional Second Supply
- Wide Input Bandwidth (Typ) 25MHz

Applications

- High Speed A/D Conversion
- Ultrasound Signature Analysis
- Transient Signal Analysis
- High Energy Physics Research
- General-Purpose Hybrid ADCs
- Optical Character Recognition
- Radar Pulse Analysis
- Motion Signature Analysis
- Robot Vision
- RSSI Circuits

Description

The Intersil CA3304 is a CMOS parallel (FLASH) analog-to-digital converter designed for applications demanding both low-power consumption and high speed digitization. Digitizing at 25MHz, for example, requires only about 35mW.

The CA3304 operates over a wide, full-scale signal input voltage range of 0.5V up to the supply voltage. Power consumption is as low as 10mW, depending upon the clock frequency selected.

The intrinsic high conversion rate makes the CA3304 types ideally suited for digitizing high speed signals. The overflow bit makes possible the connection of two or more CA3304s in series to increase the resolution of the conversion system. A series connection of two CA3304s may be used to produce a 5-bit, 25MHz converter. Operation of two CA3304s in parallel doubles the conversion speed (i.e., increases the sampling rate from 25MHz to 50MHz). A data change pin indicates when the present output differs from the previous, thus allowing compaction of data storage.

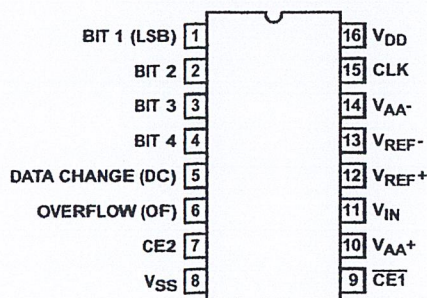
Sixteen paralleled auto-balanced voltage comparators measure the input voltage with respect to a known reference to produce the parallel-bit outputs in the CA3304. Fifteen comparators are required to quantize all input voltage levels in this 4-bit converter, and the additional comparator is required for the overflow bit.

Ordering Information

PART NUMBER	LINEARITY (INL, DNL)	SAMPLING RATE	TEMP. RANGE (°C)	PACKAGE	PKG. NO.
CA3304E	±0.25 LSB	25MHz (40ns)	-40 to 85	16 Ld PDIP	E16.3
CA3304AE	±0.125 LSB	25MHz (40ns)	-40 to 85	16 Ld PDIP	E16.3
CA3304M	±0.25 LSB	25MHz (40ns)	-40 to 85	16 Ld SOIC (W)	M16.3
CA3304AM	±0.125 LSB	25MHz (40ns)	-40 to 85	16 Ld SOIC (W)	M16.3
CA3304D	±0.25 LSB	25MHz (40ns)	-55 to 125	16 Ld SBDIP	D16.3
CA3304AD	±0.125 LSB	25MHz (40ns)	-55 to 125	16 Ld SBDIP	D16.3

Pinout

CA3304 (SBDIP, PDIP, SOIC)
TOP VIEW



CAUTION: These devices are sensitive to electrostatic discharge; follow proper IC Handling Procedures.
1-888-INTERSIL or 321-724-7143 | Copyright © Intersil Corporation 1999

File Number **1790.2**

CA3304, CA3304A

Absolute Maximum Ratings

DC Supply Voltage Range (V_{DD} or V_{AA+}) (Voltage Referenced to V_{SS} or V_{AA-} Terminal, Whichever is More Negative)	-0.5V to +8V
Input Voltage Range	
CE1, CE2 Inputs	$V_{SS} - 0.5V$ to $V_{DD} + 0.5V$
Clock, V_{REF+} , V_{REF-} , V_{IN} Inputs	$V_{AA-} - 0.5V$ to $V_{AA+} + 0.5V$
DC Input Current, Any Input	$\pm 20mA$

Operating Conditions

Recommended Supply Voltage Range (V_{DD} or V_{AA+})	3V to 7.5V
Recommended V_{AA+} Voltage Range	$V_{DD} - 1V$ to $V_{DD} + 2.5V$
Recommended V_{AA-} Voltage Range	$V_{SS} - 2.5V$ to $V_{SS} + 1V$
Operating Temperature	
CA3304D	-55°C to 125°C
CA3304E, CA3304M	-40°C to 85°C

CAUTION: Stresses above those listed in "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress only rating and operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied.

NOTE:

- θ_{JA} is measured with the component mounted on an evaluation PC board in free air.

Thermal Information

Thermal Resistance (Typical, Note 1)	θ_{JA} (°C/W)	θ_{JC} (°C/W)
SBDIP Package	80	22
PDIP Package	90	N/A
SOIC Package	100	N/A
Maximum Junction Temperature		
Ceramic Package		175°C
Plastic Package		150°C
Maximum Storage Temperature Range (T_{STG})		-65°C to 150°C
Maximum Lead Temperature (Soldering 10s)		300°C (SOIC - Lead Tips Only)

Electrical Specifications

$T_A = 25^\circ C$, $V_{REF+} = 2V$, $V_{DD} = V_{AA+} = 5V$, $V_{AA-} = V_{REF-} = V_{SS} = GND$, $f_{CLK} = 25MHz$
Unless Otherwise Specified

PARAMETER		TEST CONDITIONS	MIN	TYP	MAX	UNITS
SYSTEM PERFORMANCE						
Resolution			4	-	-	Bits
Input Errors	Integral Linearity Error	CA3304A	-	± 0.1	± 0.125	LSB
		CA3304	-	± 0.125	± 0.25	LSB
	Differential Linearity Error	CA3304A	-	± 0.1	± 0.125	LSB
		CA3304	-	± 0.125	± 0.25	LSB
	Offset Error (Unadjusted)	CA3304A	-	-	± 0.75	LSB
		CA3304	-	-	± 1.0	LSB
Gain Error (Unadjusted)	CA3304A	-	-	± 0.75	LSB	
	CA3304	-	-	± 1.0	LSB	
DYNAMIC CHARACTERISTICS (Input Signal Level 0.5dB Below Full Scale)						
Conversion Timing	Aperture Delay		-	3	-	ns
Signal to Noise Ratio, SNR = $\frac{RMS\ Signal}{RMS\ Noise}$		$f_S = 25MHz, f_{IN} = 100kHz$	-	23.7	-	dB
		$f_S = 25MHz, f_{IN} = 5MHz$	-	23.6	-	dB
Signal to Noise Ratio, SINAD = $\frac{RMS\ Signal}{RMS\ Noise + Distortion}$		$f_S = 25MHz, f_{IN} = 100kHz$	-	23.4	-	dB
		$f_S = 25MHz, f_{IN} = 5MHz$	-	22.8	-	dB
Total Harmonic Distortion, THD		$f_S = 25MHz, f_{IN} = 100kHz$	-	-34.5	-	dBc
		$f_S = 25MHz, f_{IN} = 5MHz$	-	-31.0	-	dBc
Effective Number of Bits, ENOB		$f_S = 25MHz, f_{IN} = 100kHz$	-	3.67	-	Bits
		$f_S = 25MHz, f_{IN} = 5MHz$	-	3.57	-	Bits
ANALOG INPUTS						
Input Range	Full Scale Input Range	(Notes 1, 4)	0.5	-	V_{AA}	V
Input Loading	Input Capacitance		-	10	-	pF
	Input Current	$V_{IN} = 2V$ (Note 2)	-	150	200	μA

CA3304, CA3304A

Electrical Specifications $T_A = 25^\circ\text{C}$, $V_{REF+} = 2\text{V}$, $V_{DD} = V_{AA+} = 5\text{V}$, $V_{AA-} = V_{REF-} = V_{SS} = \text{GND}$, $f_{CLK} = 25\text{MHz}$
Unless Otherwise Specified (Continued)

PARAMETER		TEST CONDITIONS	MIN	TYP	MAX	UNITS	
Allowable Input Bandwidth		(Note 4)	-	25	$f_{CLK}/2$	MHz	
-3dB Input Bandwidth			-	40	-	MHz	
REFERENCE INPUTS							
Input Range	V_{REF+} Range	(Note 4)	$V_{AA-} + 0.5$	-	V_{AA+}	V	
	V_{REF-} Range	(Note 4)	V_{AA-}	-	$V_{AA+} - 0.5$	V	
Input Loading	Resistor Ladder Impedance	$V_{IN} = 5\text{V}$, CLK = Low	640	-	960	Ω	
DIGITAL INPUTS							
Digital Input	Maximum V_{IN} , Low	CLOCK	(Notes 3, 4)	-	$0.3 \times V_{AA}$	V	
		$\overline{CE1}$, CE2	(Note 4)	-	$0.3 \times V_{DD}$	V	
	Minimum V_{IN} , High	CLOCK	(Notes 3, 4)	$0.7 \times V_{AA}$	-	-	V
		$\overline{CE1}$, CE2	(Note 4)	$0.7 \times V_{DD}$	-	-	V
	Input Leakage, Except CLK		$V = 0\text{V}, 5\text{V}$	-	-	± 1	μA
Input Leakage, CLK		(Note 3)	-	± 100	± 150	μA	
DIGITAL OUTPUTS							
Digital Outputs	Output Low (Sink) Current	$V_O = 0.4\text{V}$	6	-	-	mA	
	Output High (Source) Current	$V_O = 4.6\text{V}$	-3	-	-	mA	
	Three-State Leakage Current	$V_O = 0\text{V}, 5\text{V}$	-	± 0.2	± 5	μA	
TIMING CHARACTERISTICS							
Conversion Timing	Maximum Conversion Speed	CLK = Square Wave	25	35	-	MSPS	
	Auto-Balance Time ($\phi 1$)		20	-	-	ns	
	Sample Time ($\phi 2$)		20	-	5000	ns	
Output Timing	Data Valid Delay	(Note 4)	-	30	40	ns	
	Data Hold Time	(Note 4)	15	25	-	ns	
	Output Enable Time		-	15	-	ns	
	Output Disable Time		-	10	-	ns	
POWER SUPPLY CHARACTERISTICS							
Device Current, I_{AA}		Continuous Clock	-	5.5	-	mA	
		Continuous $\phi 2$	-	0.4	-	mA	
		Continuous $\phi 1$	-	2	-	mA	
Device Current, I_{DD}		Continuous Clock	-	1.5	-	mA	
	$V_{AA+} = 5\text{V}$, $V_{SS} = \overline{CE1} = V_{AA-} = \text{CLK} = \text{GND}$	Continuous $\phi 2$	-	5	10	mA	
	$V_{AA+} = 7\text{V}$	Continuous $\phi 1$	-	5	20	mA	

NOTES:

1. Full scale input range, $V_{REF+} - V_{REF-}$, may be in the range of 0.5V to $V_{AA+} - V_{AA-}$ volts. Linearity errors increase at lower full scale ranges, however.
2. Input current is due to energy transferred to the input at the start of the sample period. The average value is dependent on input and V_{DD} voltage.
3. The CLK input is a CMOS inverter with a 50k Ω feedback resistor. It operates from the V_{AA+} and V_{AA-} supplies. It may be AC-coupled with a 1V_{P-P} minimum source.
4. Parameter not tested, but guaranteed by design or characterization.

CA3304, CA3304A

Pin Descriptions

PIN NUMBER	NAME	DESCRIPTION
1	Bit 1	Bit 1 (LSB).
2	Bit 2	Bit 2.
3	Bit 3	Bit 3.
4	Bit 4	Bit 4 (MSB).
5	DC	Data Change.
6	OF	Overflow.
7	CE2	Three-State Output Enable Input, active low. See the Chip Enable Truth Table.
8	V _{SS}	Digital Ground.
9	$\overline{\text{CE1}}$	Three-State Output Enable Input, active high. See the Chip Enable Truth Table.
10	V _{AA} ⁺	Analog Power Supply, +5V.
11	V _{IN}	Analog Signal Input.
12	V _{REF} ⁺	Reference Voltage Positive Input.
13	V _{REF} ⁻	Reference Voltage Negative Input.
14	V _{AA} ⁻	Analog Ground.
15	CLK	Clock Input.
16	V _{DD}	Digital Power Supply, +5V.

CHIP ENABLE TRUTH TABLE

$\overline{\text{CE1}}$	CE2	BIT 1 - BIT 4	DC, OF
0	1	Valid	Valid
1	1	Three-State	Valid
X	0	Three-State	Three-State

X = Don't Care

TABLE 1. OUTPUT CODE TABLE

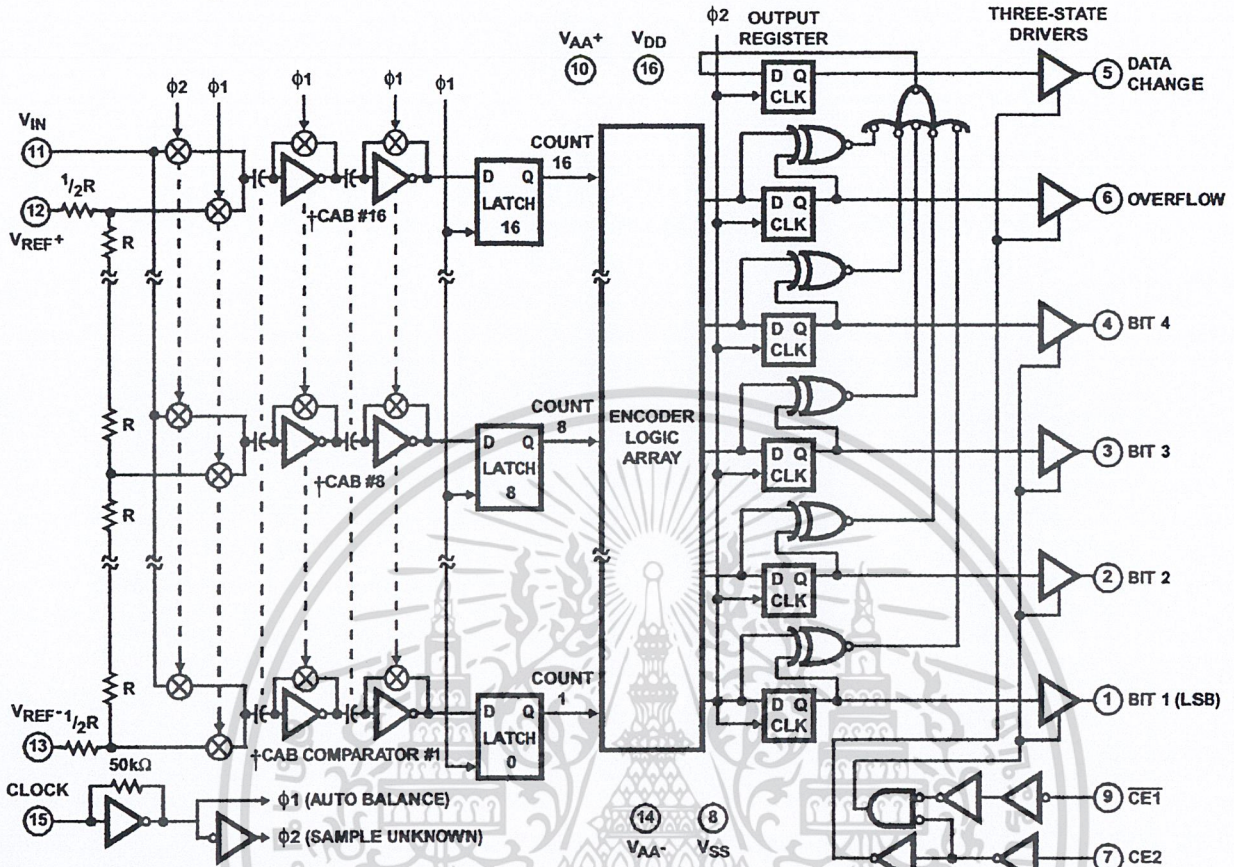
CODE DESCRIPTION	INPUT VOLTAGE (V)					OUTPUT CODE					DECIMAL COUNT
	V _{REF} ⁺ = 1V V _{REF} ⁻ = -1V	1.6V 0V	2V 0V	3.2V 0V	4.8V 0V	OF	B4	B3	B2	B1	
Zero	-1.000	0	0	0	0	0	0	0	0	0	0
1 LSB	-0.875	0.1	0.125	0.2	0.3	0	0	0	0	1	1
2 LSB	-0.750	0.2	0.250	0.4	0.6	0	0	0	1	0	2
.
.
.
1/2 Full Scale -1 LSB	-0.125	0.7	0.875	1.4	2.1	0	0	1	1	1	7
1/2 Full Scale	0	0.8	1.000	1.6	2.4	0	1	0	0	0	8
1/2 Full Scale +1 LSB	0.125	0.9	1.125	1.8	2.7	0	1	0	0	1	9
.
.
.
Full Scale -1 LSB	0.750	1.4	1.750	2.8	4.2	0	1	1	1	0	14
Full Scale	0.875	1.5	1.875	3.0	4.5	0	1	1	1	1	15
Overflow	1.000	1.6	2.000	3.2	4.8	1	1	1	1	1	31
Step Size	0.125	0.1	0.125	0.2	0.3						

NOTE:

- The voltages listed are the ideal centers of each output code shown as a function of its associated reference voltage. See Ideal Transfer Curve Figure 6. The output code should exist for an input equal to the ideal center voltage $\pm 1/2$ of the step size.

CA3304, CA3304A

Functional Diagram



† Cascaded Auto Balance (CAB)

NOTE: $CE1$ and $CE2$ inputs and data outputs have standard CMOS protection networks to V_{DD} and V_{SS} . Analog inputs and clock have standard CMOS protection networks to V_{AA+} and V_{AA-} .

Timing Diagrams

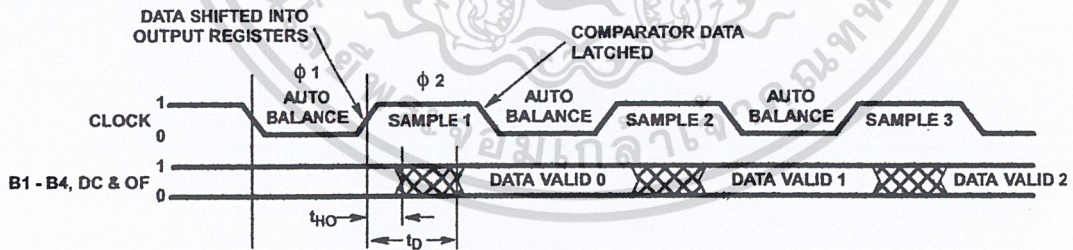


FIGURE 1. TIMING DIAGRAM

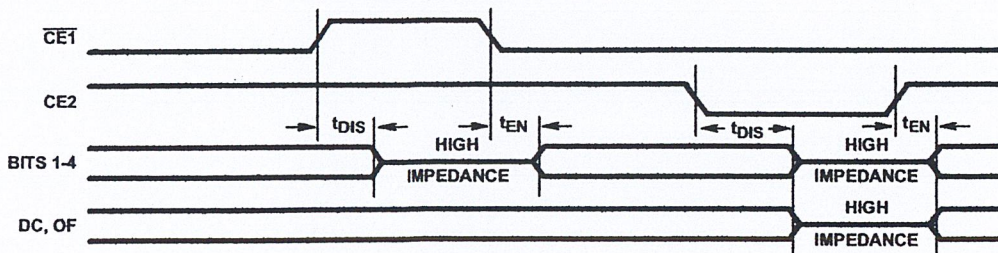


FIGURE 2. OUTPUT ENABLE/DISABLE TIMING

CA3304, CA3304A

Timing Diagrams (Continued)

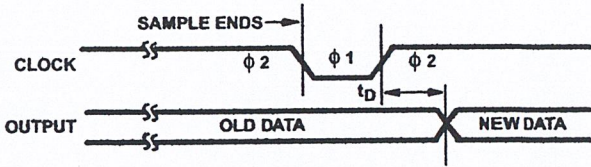


FIGURE 3A.

With $\phi 2$ as standby state (fastest method, but standby limited to $5\mu s$ maximum)

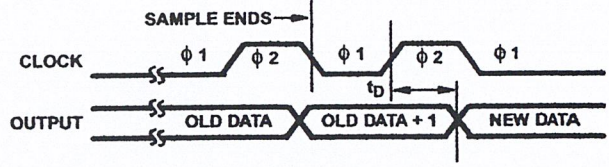


FIGURE 3B.

With $\phi 1$ as standby state (indefinite standby, double pulse needed)

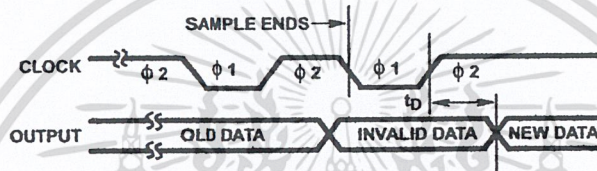


FIGURE 3C.

With $\phi 2$ as standby state (indefinite standby, lower power than 3B)

FIGURE 3. PULSE-MODE TIMING DIAGRAMS

Typical Performance Curves

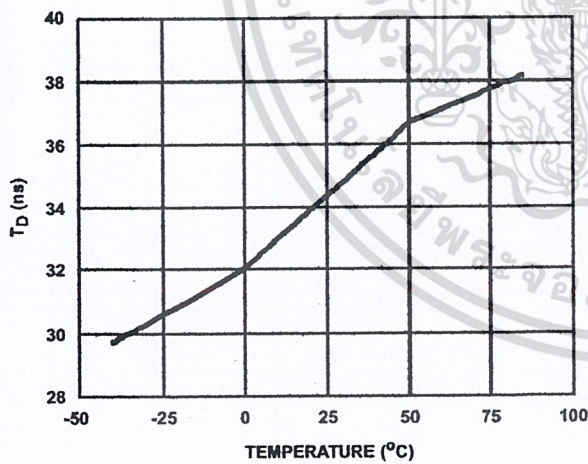


FIGURE 4. DATA DELAY vs TEMPERATURE

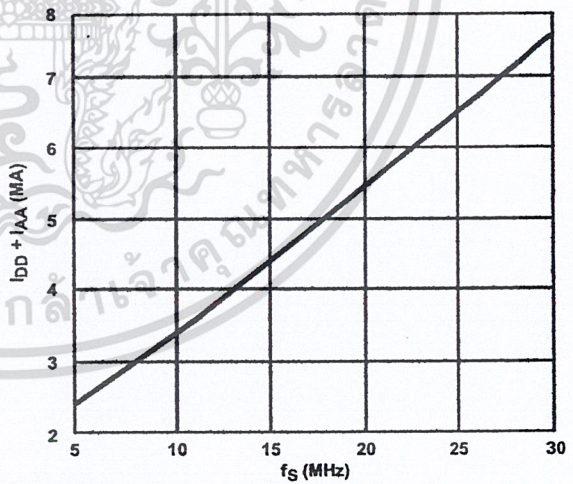


FIGURE 5. DEVICE CURRENT vs SAMPLE FREQUENCY

CA3304, CA3304A

Typical Performance Curves (Continued)

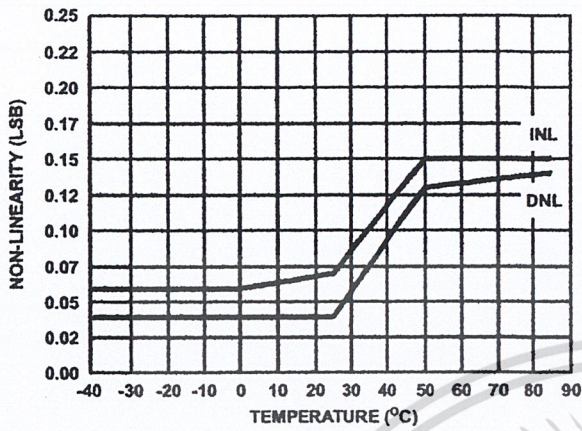


FIGURE 6. NON-LINEARITY vs TEMPERATURE

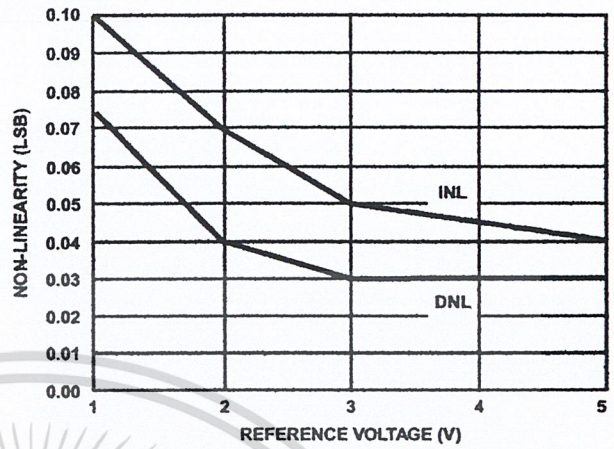


FIGURE 7. NON-LINEARITY vs REFERENCE VOLTAGE

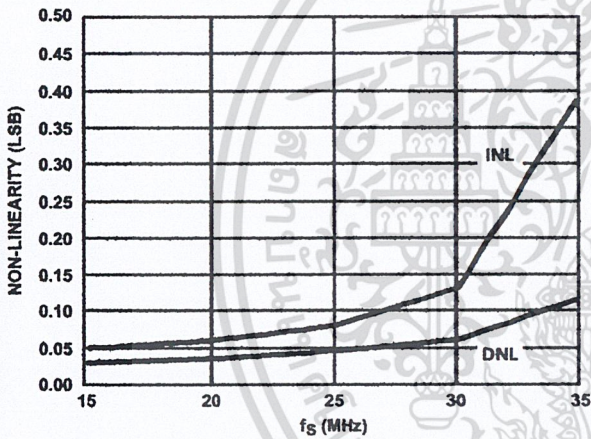


FIGURE 8. NON-LINEARITY vs SAMPLE FREQUENCY

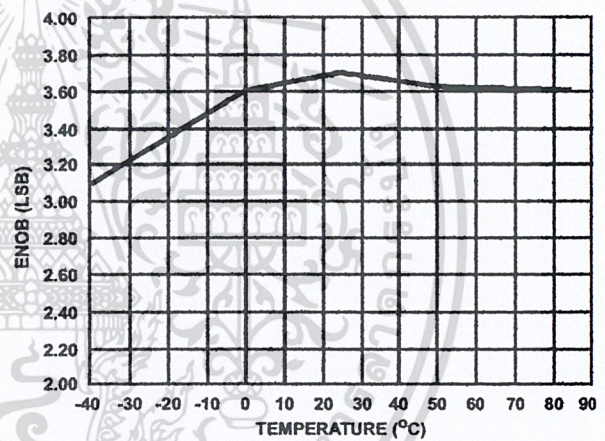


FIGURE 9. EFFECTIVE BITS vs TEMPERATURE

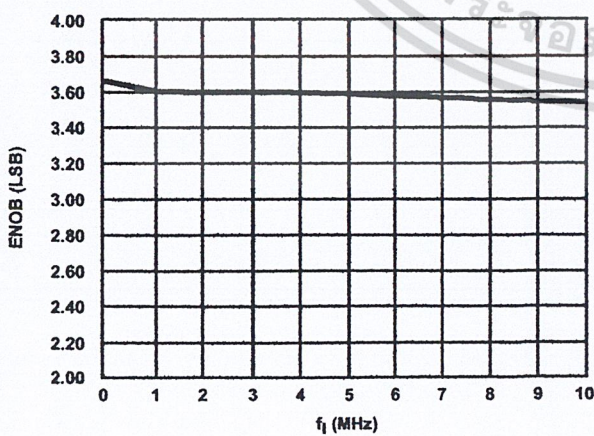


FIGURE 10. EFFECTIVE BITS vs INPUT FREQUENCY

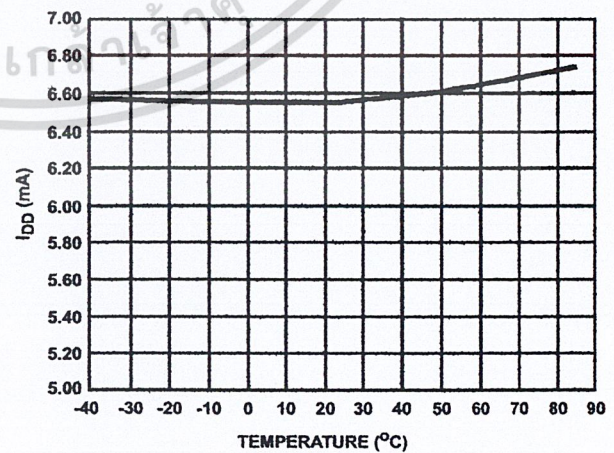


FIGURE 11. DEVICE CURRENT vs TEMPERATURE

CA3304, CA3304A

Typical Performance Curves (Continued)

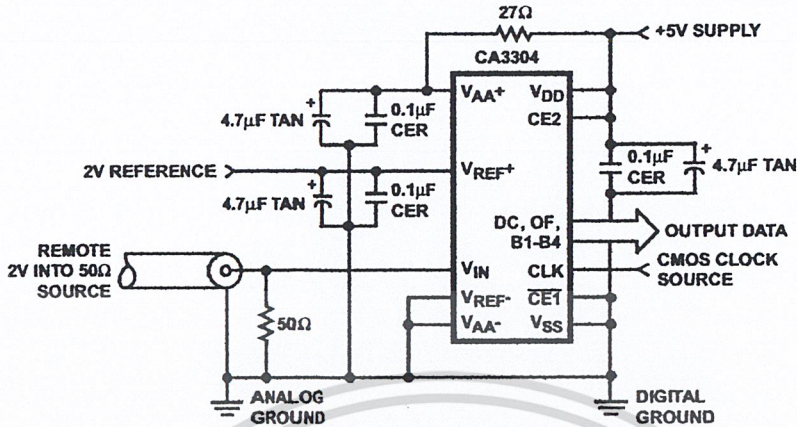


FIGURE 12A. TYPICAL CA3304 UNIPOLAR CIRCUIT CONFIGURATION

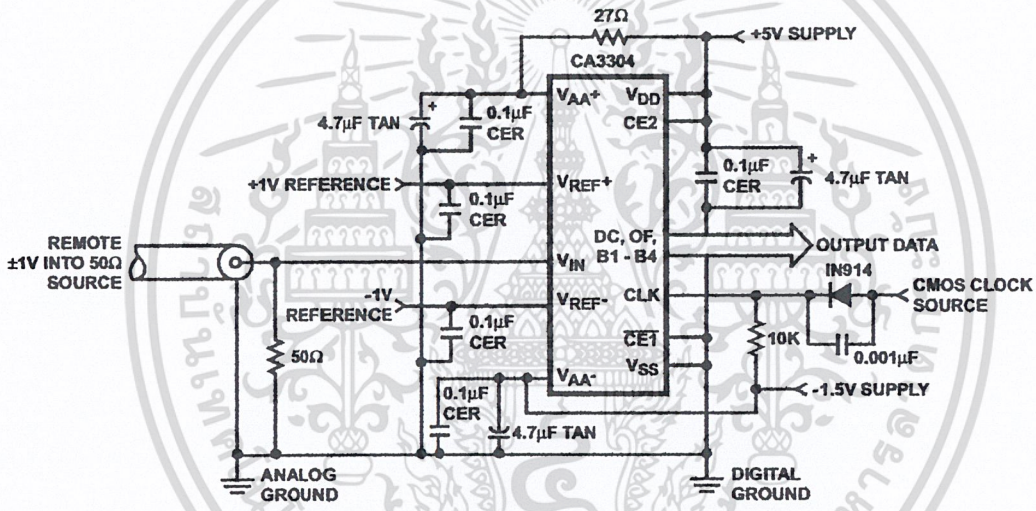


FIGURE 12B. TYPICAL CA3304 BIPOLAR CIRCUIT CONFIGURATION

FIGURE 12.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานที่ 4-14 ศึกษานี้ ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Description

Device Operation

A sequential parallel technique is used by the CA3304 converter to obtain its high speed operation. The sequence consists of the "Auto Balance" phase and the "Sample Unknown" phase (Refer to the circuit diagram). Each conversion takes one clock cycle (see Note). The "Auto Balance" ($\phi 1$) occurs during the Low period of the clock cycle, and the "Sample Unknown" ($\phi 2$) occurs during the High period of the clock cycle.

NOTE: This device requires only a single-phase clock. The terminology of $\phi 1$ and $\phi 2$ refers to the High and Low periods of the same clock.

During the "Auto Balance" phase, a transmission-gate switch is used to connect each of 16 commutating capacitors to their associated ladder reference tap. Those tap voltages will be as follows:

$$V_{TAP(N)} = [(V_{REF}/16) \times N] - [V_{REF}/(2 \times 16)] \\ = V_{REF} [(2N - 1)/32],$$

Where:

$V_{TAP(N)}$ = Reference ladder tap voltage at point N,
 V_{REF} = Voltage across V_{REF-} to V_{REF+} , and
 N = Tap number (1 through 16).

The other side of the capacitor is connected to a single-stage inverting amplifier whose output is shorted to its input by a switch. This biases the amplifier at its intrinsic trip point, which is approximately $(V_{DD} - V_{SS})/2$. The capacitors now charge to their associated tap voltages, priming the circuit for the next phase.

In the "Sample Unknown" phase, all ladder tap switches are opened, the comparator amplifiers are no longer shorted, and V_{IN} is switched to all 16 capacitors. Since the other end of the capacitor is now looking into an effectively open circuit, any voltage that differs from the previous tap voltage will appear as a voltage shift at the comparator amplifiers. All comparators whose tap voltages were lower than V_{IN} will drive the comparator outputs to a "low" state. All comparators whose tap voltages were higher than V_{IN} will drive the comparator outputs to a "high" state. A second, capacitor-coupled, auto-zeroed amplifier further amplifies the outputs.

The status of all these comparator amplifiers are stored at the end of this phase ($\phi 2$), by a secondary latching amplifier stage. Once latched, the status of the 16 comparators is decoded by a 16 to 5 bit decode array and the results are clocked into a storage register at the rising edge of the next $\phi 2$.

If the input is greater than $31/32 \times V_{REF}$, the overflow output will go "high". (The bit outputs will remain high). If the output differs from that of the previous conversion, the data change output will go "high".

A three-state buffer is used at the output of the 7 storage registers which are controlled by two chip-enable signals. $CE1$ will independently disable B1 through B4 when it is in a high state. $CE2$ will independently disable B1 through B4 and the OF and DC buffers when it is in the low state.

Continuous Clock Operation

One complete conversion cycle can be traced through the CA3304 via the following steps. (Refer to timing diagram Figure 3). The rising edge of the clock input will start a "sample" phase. During this entire "High" state of the clock, the 16 comparators will track the input voltage and the 16 latches will track the comparator outputs. At the falling edge of the clock, all 16 comparator outputs are captured by the 16 latches. This ends the "sample" phase and starts the "auto balance" phase for the comparators. During this "Low" state of the clock the output of the latches propagates through the decode array and a 6-bit code appears at the D inputs of the output registers. On the next rising edge of the clock, this 6-bit code is shifted into the output registers and appears with time delay t_D as valid data at the output of the three-state drivers. This also marks the start of a new "sample" phase, thereby repeating the conversion process for this next cycle.

Pulse Mode Operation

For sampling high speed nonrecurrent or transient data, the converter may be operated in a pulse mode in one of three ways. The fastest method is to keep the converter in the Sample Unknown phase, $\phi 2$, during the standby state. The device can now be pulsed through the Auto Balance phase with as little as 20ns. The analog value is captured on the leading edge of $\phi 1$ and is transferred into the output registers on the trailing edge of $\phi 1$. We are now back in the standby state, $\phi 2$, and another conversion can be started within 20ns, but not later than $5\mu s$ due to the eventual droop of the commutating capacitors. Another advantage of this method is that it has the potential of having the lowest power drain. The larger the time ratio between $\phi 2$ and $\phi 1$, the lower the power consumption. (See Timing Diagram Figure 3A).

The second method uses the Auto Balance phase, $\phi 1$, as the standby state. In this state the converter can stay indefinitely waiting to start a conversion. A conversion is performed by strobing the clock input with two $\phi 2$ pulses. The first pulse starts a Sample Unknown phase and captures the analog value in the comparator latches on the trailing edge. A second $\phi 2$ pulse is needed to transfer the data into the output registers. This occurs on the leading edge of the second pulse. The conversion now takes place in 40ns, but the repetition rate may be as slow as desired. The disadvantage to this method is the slightly higher device dissipation due to the low ratio of $\phi 2$ to $\phi 1$. (See Timing Diagram Figure 3B).

For applications requiring both indefinite standby and lowest power, standby can be in the $\phi 2$ (Sample Unknown) state with two $\phi 1$ pulses to generate valid data (see Figure 3C). The conversion process now takes 60ns. [Note that the above numbers do not include the t_D (Output Delay) time.]

Increased Accuracy

In most case the accuracy of the CA3304 should be sufficient without any adjustments. In applications where accuracy is of utmost importance, two adjustments can be made to obtain better accuracy; i.e., offset trim and gain trim.

CA3304, CA3304A

Offset Trim

In general offset correction can be done in the preamp circuitry by introducing a DC shift to V_{IN} or by the offset trim of the op amp. When this is not possible the V_{REF-} input can be adjusted to produce an offset trim.

The theoretical input voltage to produce the first transition is $1/2$ LSB. The equation is as follows:

$$V_{IN} \text{ (0 to 1 transition)} = 1/2 \text{ LSB} = 1/2(V_{REF}/16) \\ = V_{REF}/32.$$

Adjust offset by applying this input voltage and adjusting the V_{REF-} voltage or input amplifier offset until an output code alternating between 0 and 1 occurs.

Gain Trim

In general the gain trim can also be done in the preamp circuitry by introducing a gain adjustment for the op amp. When this is not possible, then a gain adjustment circuit should be made to adjust the reference voltage. To perform this trim, V_{IN} should be set to the 15 to overflow transition. That voltage is $1/2$ LSB less than V_{REF+} and is calculated as follows:

$$V_{IN} \text{ (15 to 16 transition)} = V_{REF} - V_{REF}/32 \\ = V_{REF} (31/32).$$

To perform the gain trim, first do the offset trim and then apply the required V_{IN} for the 15 to overflow transition. Now adjust V_{REF+} until that transition occurs on the outputs.

Layout, Input And Supply Considerations

The CA3304 should be mounted on a ground-plated, printed-circuit board, with good high-frequency decoupling capacitors mounted as close as possible. If the supply is noisy, decouple V_{AA+} with a resistor as shown in Figure 12A. The CA3304 outputs current spikes to its input at the start of the auto-balance and sample clock phases. A low impedance source, such as a locally-terminated 50 Ω coax cable, should be used to drive the input terminal. A fast-settling buffer such as the HA-5033, HA-5242, or CA3450 should be used if the source is high impedance. The V_{REF} terminals also have current spikes, and should be well bypassed.

Care should be taken to keep digital signals away from the analog input, and to keep digital ground currents away from the analog ground. If possible, the analog ground should be connected to digital ground only at the CA3304.

Bipolar Operation

The CA3304, with separate analog (V_{AA+} , V_{AA-}) and digital (V_{DD} , V_{SS}) supply pins, allows true bipolar or negative input operation. The V_{AA-} pin may be returned to a negative supply (observing maximum voltage ratings to V_{AA+} or V_{DD} and recommended rating to V_{SS}), thus allowing the V_{REF-} potential also to be negative. Figure 12B shows operation with an input range of -1V to +1V. Similarly, V_{AA+} and V_{REF+} could be maintained at a higher voltage than V_{DD} , for an input range above the digital supply.

Digital Input And Output Levels

The clock input is a CMOS inverter operating from and with logic input levels determined by the V_{AA} supplies. If V_{AA+} or V_{AA-} are outside the range of the digital supplies, it may be necessary to level shift the clock input to meet the required 30% to 70% of V_{AA} input swing. Figure 12B shows an example for a negative V_{AA-} .

An alternate way of driving the clock is to capacitively couple the pin from a source of at least 1V_{p-p}. An internal 50k Ω feedback resistor will keep the DC level at the intrinsic trip point. Extremely non-symmetrical clock waveforms should be avoided, however.

The remaining digital inputs and outputs are referenced to V_{DD} and V_{SS} . If TTL or other lower voltage sources are to drive the CA3304, either pull-up resistors or CD74HCT series "QMOS" buffers are recommended.

5-Bit Resolution

To obtain 5-bit resolution, two CA3304s can be wired together. Necessary ingredients include an open-ended ladder network, an overflow indicator, three-state outputs, and chip-enable controls - all of which are available on the CA3304.

The first step for connecting a 5-bit circuit is to totem-pole the ladder networks, as illustrated in Figure 13. Since the absolute-resistance value of each ladder may vary, external trim of the mid-reference voltage may be required.

The overflow output of the lower device now becomes the fifth bit. When it goes high, all counts must come from the upper device. When it goes low, all counts must come from the lower device. This is done simply by connecting the lower overflow signal to the CE1 control of the lower A/D converter and the CE2 control of the upper A/D converter. The three-state outputs of the two devices (bits 1 through 4) are now connected in parallel to complete the circuitry.

Definitions

Dynamic Performance Definitions

Fast Fourier Transform (FFT) techniques are used to evaluate the dynamic performance of the CA3304. A low distortion sine wave is applied to the input, it is sampled, and the output is stored in RAM. The data is then transformed into the frequency domain with a 4096 point FFT and analyzed to evaluate the dynamic performance of the A/D. The sine wave input to the part is -0.5dB down from full scale for all these tests.

Signal-to-Noise (SNR)

SNR is the measured RMS signal to RMS noise at a specified input and sampling frequency. The noise is the RMS sum of all of the spectral components except the fundamental and the first five harmonics.

Signal-to-Noise + Distortion Ratio (SINAD)

SINAD is the measured RMS signal to RMS sum of all other spectral components below the Nyquist frequency excluding DC.

CA3304, CA3304A

Effective Number of Bits (ENOB)

The effective number of bits (ENOB) is derived from the SINAD data. ENOB is calculated from:

$$\text{ENOB} = (\text{SINAD} - 1.76 + V_{\text{CORR}}) / 6.02,$$

where: $V_{\text{CORR}} = 0.5\text{dB}$.

Total Harmonic Distortion (THD)

THD is the ratio of the RMS sum of the first 5 harmonic components to the RMS value of the measured input signal.

Operating and Handling Considerations

HANDLING

All inputs and outputs of CMOS devices have a network for electrostatic protection during handling. Recommended handling practices for CMOS devices are described in ICAN-6525. "Guide to Better Handling and Operation of CMOS Integrated Circuits."

OPERATING

Operating Voltage

During operation near the maximum supply voltage limit, care should be taken to avoid or suppress power supply turn-on and turn-off transients, power supply ripple, or ground noise; any of these conditions must not cause the power supply voltages to exceed the absolute maximum rating.

Input Signals

To prevent damage to the input protection circuit, input signals should never be greater than V_{DD} or $V_{\text{AA}+}$ nor less than V_{SS} or $V_{\text{AA}-}$ (depending upon which supply the protection network is referenced. See Maximum Ratings.). Input currents must not exceed 20mA even when the power supply is off.

Unused Inputs

A connection must be provided at every input terminal. All unused input terminals must be connected to either V_{DD} or V_{SS} , whichever is appropriate.

Output Short Circuits

Shorting of outputs to any supply potential may damage CMOS devices by exceeding the maximum device dissipation.

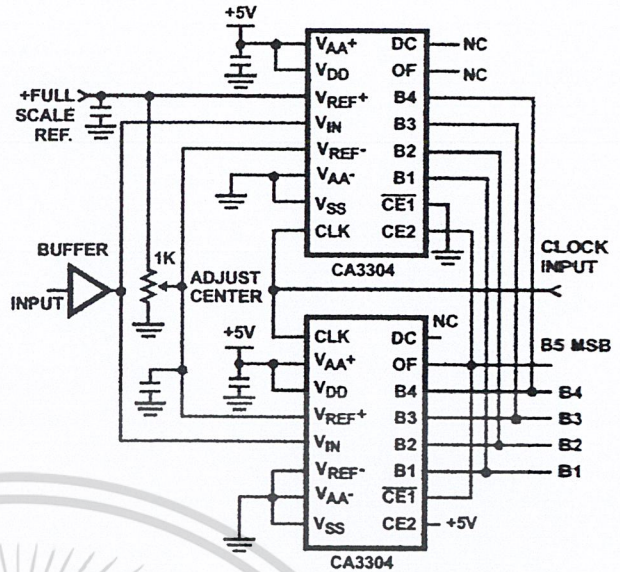


FIGURE 13. TYPICAL CA3304 5-BIT CONFIGURATION

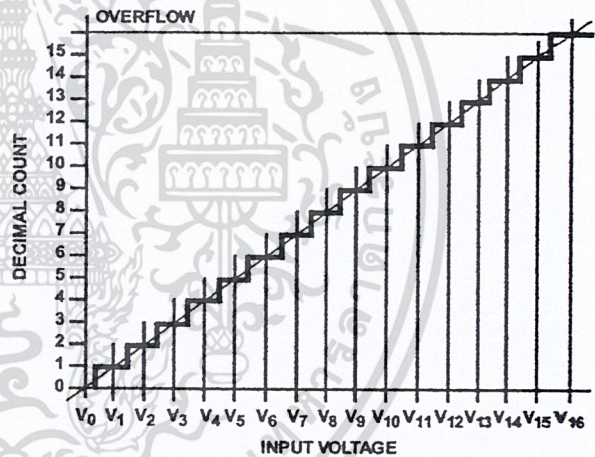


FIGURE 14. IDEAL TRANSFER CURVE

All Intersil semiconductor products are manufactured, assembled and tested under ISO9000 quality systems certification.

Intersil products are sold by description only. Intersil Corporation reserves the right to make changes in circuit design and/or specifications at any time without notice. Accordingly, the reader is cautioned to verify that data sheets are current before placing orders. Information furnished by Intersil is believed to be accurate and reliable. However, no responsibility is assumed by Intersil or its subsidiaries for its use; nor for any infringements of patents or other rights of third parties which may result from its use. No license is granted by implication or otherwise under any patent or patent rights of Intersil or its subsidiaries.

For information regarding Intersil Corporation and its products, see web site <http://www.intersil.com>

HM62256B Series

32,768-word \times 8-bit High Speed CMOS Static RAM

HITACHI

ADE-203-135D (Z)

Rev. 4.0

Nov. 29, 1995

Description

The Hitachi HM62256B is a CMOS static RAM organized 32-kword \times 8-bit. It realizes higher performance and low power consumption by employing 0.8 μ m Hi-CMOS process technology. The device, packaged in 8 \times 14 mm TSOP, 8 \times 13.4 mm TSOP with thickness of 1.2 mm, 450-mil SOP (foot print pitch width), 600-mil plastic DIP, or 300-mil plastic DIP, is available for high density mounting. It offers low power standby power dissipation; therefore, it is suitable for battery back-up systems.

Features

- High speed
Fast access time: 45/55/70/85 ns (max)
- Low power
Standby: 1.0 μ W (typ)
Operation: 25 mW (typ) ($f = 1$ MHz)
- Single 5 V supply
- Completely static memory
No clock or timing strobe required
- Equal access and cycle times
- Common data input and output
Three state output
- Directly TTL compatible
All inputs and outputs
- Capability of battery back up operation

HM62256B Series

Ordering Information

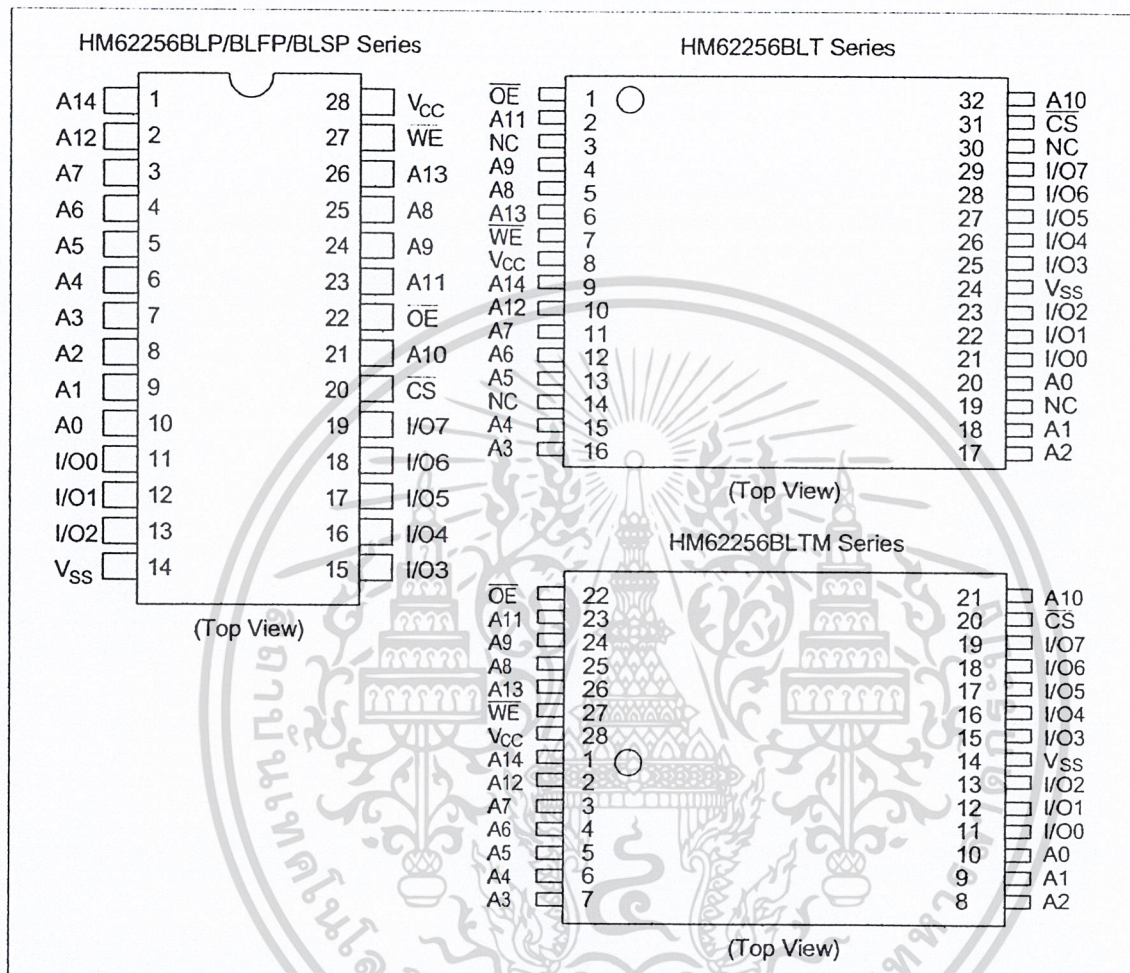
Type No.	Access Time	Package
HM62256BLP-7	70 ns	600-mil 28-pin plastic DIP (DP-28)
HM62256BLP-7SL	70 ns	
HM62256BLSP-7	70 ns	300-mil 28-pin plastic DIP (DP-28NA)
HM62256BLSP-7SL	70 ns	
HM62256BLFP-7T	70 ns	450-mil 28-pin plastic SOP (FP-28DA)
HM62256BLFP-4SLT ¹	45 ns	
HM62256BLFP-5SLT	55 ns	
HM62256BLFP-7SLT	70 ns	
HM62256BLFP-7ULT	70 ns	
HM62256BLT-8	85 ns	8 mm × 14 mm 32-pin TSOP (TFP-32DA)
HM62256BLT-7SL	70 ns	
HM62256BLTM-8	85 ns	8 mm × 13.4 mm 28-pin TSOP (TFP-28DA)
HM62256BLTM-4SL ¹	45 ns	
HM62256BLTM-5SL	55 ns	
HM62256BLTM-7SL	70 ns	
HM62256BLTM-7UL	70 ns	

Note: 1. Under development

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลง **HITACHI** ต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

HM62256B Series

Pin Arrangement



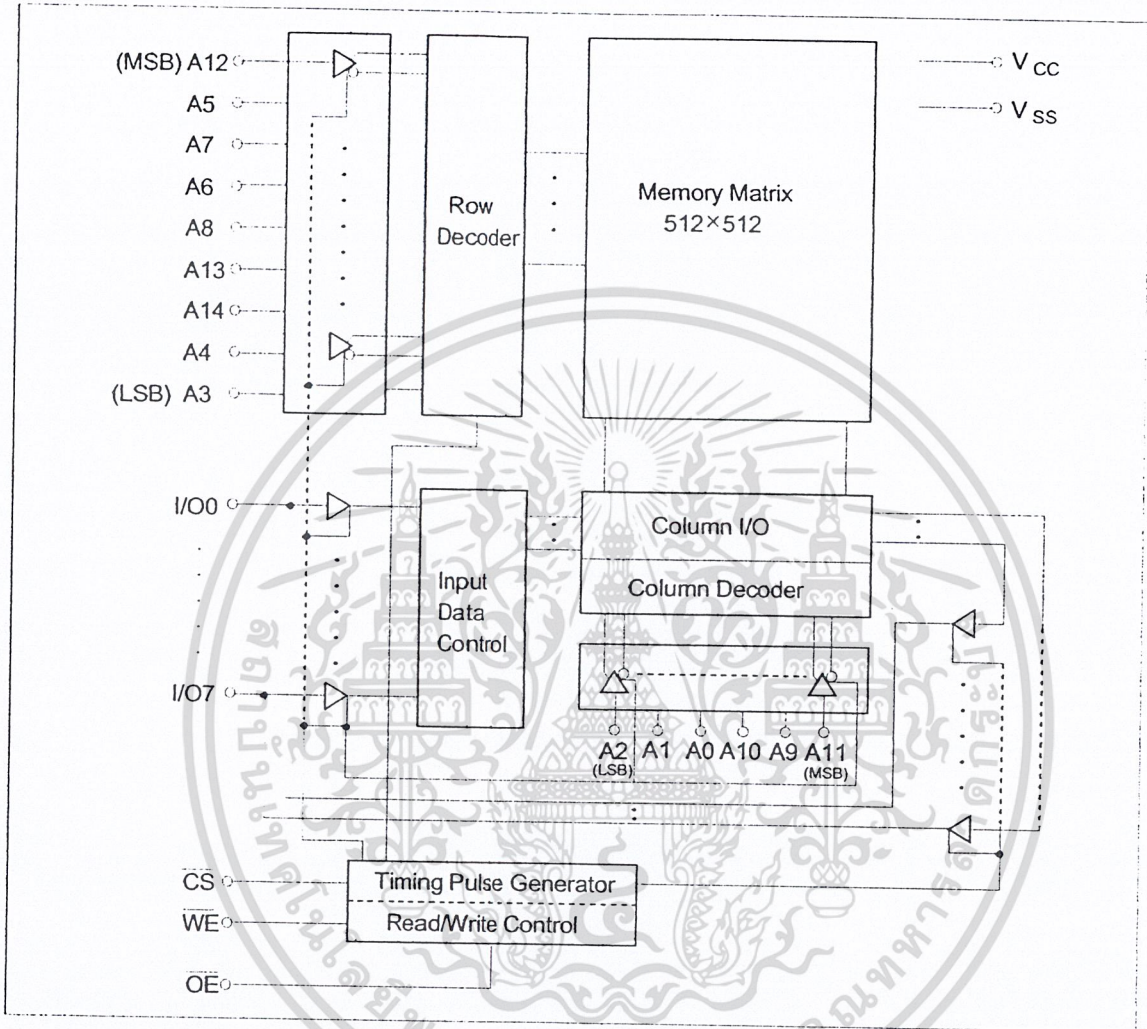
Pin Description

Symbol	Function
A0 - A14	Address
I/O0 - I/O7	Input/output
CS	Chip select
WE	Write enable
OE	Output enable
NC	No connection
V _{CC}	Power supply
V _{SS}	Ground

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงหรือทำซ้ำโดยไม่ได้รับอนุญาต ต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

HM62256B Series

Block Diagram



Function Table

\overline{WE}	\overline{CS}	\overline{OE}	Mode	V_{CC} Current	I/O Pin	Ref. Cycle
X	H	X	Not selected	I_{SS}, I_{SB1}	High-Z	—
H	L	H	Output disable	I_{CC}	High-Z	—
H	L	L	Read	I_{CC}	Dout	Read cycle (1)–(3)
L	L	H	Write	I_{CC}	Din	Write cycle (1)
L	L	L	Write	I_{CC}	Din	Write cycle (2)

Note: X: H or L

Absolute Maximum Ratings

Parameter	Symbol	Value	Unit
Power supply voltage ¹	V_{CC}	-0.5 to +7.0	V
Terminal voltage ¹	V_T	-0.5 ² to $V_{CC} + 0.3$ ³	V
Power dissipation	P_T	1.0	W
Operating temperature	T_{opr}	0 to +70	°C
Storage temperature	T_{stg}	-55 to +125	°C
Storage temperature under bias	T_{bias}	-10 to +85	°C

- Notes: 1. Relative to V_{SS}
 2. V_T min: -3.0 V for pulse half-width \leq 50 ns
 3. Maximum voltage is 7.0 V

Recommended DC Operating Conditions ($T_a = 0$ to +70°C)

Parameter	Symbol	Min	Typ	Max	Unit
Supply voltage	V_{CC}	4.5	5.0	5.5	V
	V_{SS}	0	0	0	V
Input high (logic 1) voltage	V_{IH}	2.2	---	$V_{CC} + 0.3$	V
Input low (logic 0) voltage	V_{IL}	-0.5 ¹	---	0.8	V

- Note: 1. V_{IL} min: -3.0 V for pulse half-width \leq 50 ns

HM62256B Series

DC Characteristics ($T_a = 0$ to $+70^\circ\text{C}$, $V_{CC} = 5\text{ V} \pm 10\%$, $V_{SS} = 0\text{ V}$)

Parameter		Symbol	Min	Typ*1	Max	Unit	Test Conditions
Input leakage current		$ I_{LI} $	---	---	1	μA	$V_{in} = V_{SS}$ to V_{CC}
Output leakage current		$ I_{LO} $	---	---	1	μA	$\overline{CS} = V_{IH}$ or $\overline{OE} = V_{IH}$ or $\overline{WE} = V_{IL}$ $V_{SS} \leq V_{IO} \leq V_{CC}$
Operating power supply current		I_{CC}	---	6	15	mA	$\overline{CS} = V_{IL}$, others = V_{IH}/V_{IL} $I_{IO} = 0\text{ mA}$
Average operating power supply current	HM62256B-4	I_{CC1}	---	---	70	mA	min cycle, duty = 100 %, $I_{IO} = 0\text{ mA}$ $\overline{CS} = V_{IL}$, others = V_{IH}/V_{IL}
	HM62256B-5	I_{CC1}	---	---	60		
	HM62256B-7	I_{CC1}	---	33	60		
	HM62256B-8	I_{CC1}	---	29	50		
		I_{CC2}	---	5	15	mA	Cycle time = 1 μs , $I_{IO} = 0\text{ mA}$ $\overline{CS} = V_{IL}$, $V_{IH} = V_{CC}$, $V_{IL} = 0$
Standby power supply current		I_{SB}	---	0.3	2	mA	$\overline{CS} = V_{IH}$
		I_{SB1}	---	0.2	100	μA	$V_{in} \geq 0\text{ V}$, $\overline{CS} \geq V_{CC} - 0.2\text{ V}$,
			---	0.2^2	50^2		
			---	0.2^3	10^3		
Output low voltage		V_{OL}	---	---	0.4	V	$I_{OL} = 2.1\text{ mA}$
Output high voltage		V_{OH}	2.4	---	---	V	$I_{OH} = -1.0\text{ mA}$

- Notes: 1. Typical values are at $V_{CC} = 5.0\text{ V}$, $T_a = +25^\circ\text{C}$ and not guaranteed.
 2. This characteristics is guaranteed only for L-SL version.
 3. This characteristics is guaranteed only for L-UL version.

Capacitance ($T_a = 25^\circ\text{C}$, $f = 1.0\text{ MHz}$)*1

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions
Input capacitance*1	C_{in}	---	---	8	pF	$V_{in} = 0\text{ V}$
Input/output capacitance*1	C_{IO}	---	---	10	pF	$V_{IO} = 0\text{ V}$

- Note: 1. This parameter is sampled and not 100% tested.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงหรือทำซ้ำโดยไม่ได้รับอนุญาตอย่างถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

HM62256B Series

AC Characteristics (Ta = 0 to +70°C, V_{CC} = 5 V ± 10%, unless otherwise noted.)

Test Conditions

- Input pulse levels: 0.8 V to 2.4 V
- Input rise and fall times: 5 ns
- Input and output timing reference level: 1.5 V
- Output load: HM62256B-4: 1 TTL Gate + C_L (30 pF)(Including scope & jig)
HM62256B-5: 1 TTL Gate + C_L (50 pF)(Including scope & jig)
HM62256B-7/8: 1 TTL Gate + C_L (100 pF)(Including scope & jig)

Read Cycle

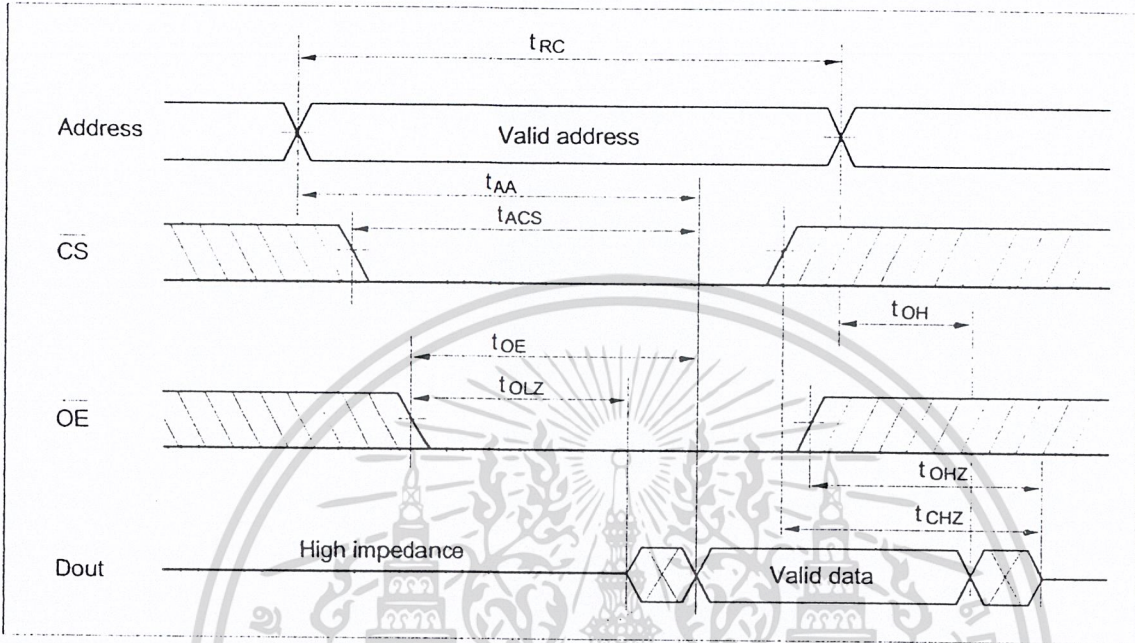
Parameter	Symbol	HM62256B								Unit	Notes
		-4		-5		-7		-8			
		Min	Max	Min	Max	Min	Max	Min	Max		
Read cycle time	t _{RC}	45	—	55	—	70	—	85	—	ns	
Address access time	t _{AA}	—	45	—	55	—	70	—	85	ns	
Chip select access time	t _{ACS}	—	45	—	55	—	70	—	85	ns	
Output enable to output valid	t _{OE}	—	30	—	35	—	40	—	45	ns	
Chip selection to output in low-Z	t _{CLZ}	5	—	5	—	10	—	10	—	ns	2
Output enable to output in low-Z	t _{OLZ}	5	—	5	—	5	—	5	—	ns	2
Chip deselection in to output in high-Z	t _{CHZ}	0	20	0	20	0	25	0	30	ns	1, 2
Output disable to output in high-Z	t _{OHZ}	0	20	0	20	0	25	0	30	ns	1, 2
Output hold from address change	t _{OH}	5	—	5	—	5	—	10	—	ns	

Notes: 1. t_{CHZ} and t_{OHZ} defined as the time at which the outputs achieve the open circuit conditions and are not referred to output voltage levels.

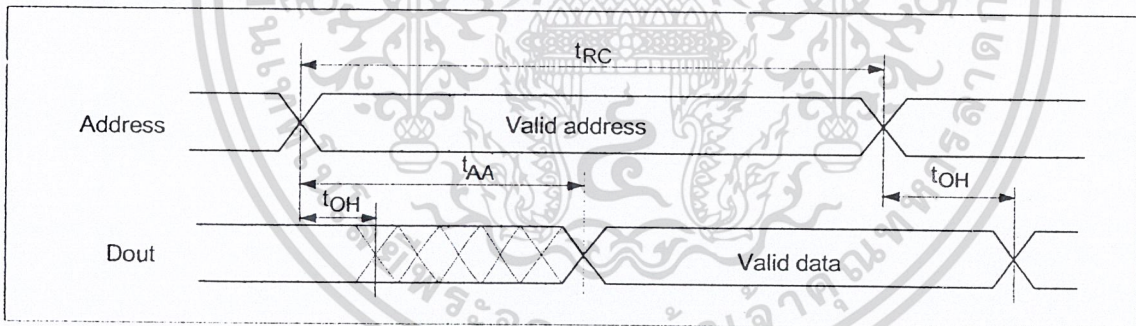
2. This parameter is sampled and not 100% tested.

HM62256B Series

Read Timing Waveform (1) ($\overline{WE}=V_{IH}$)

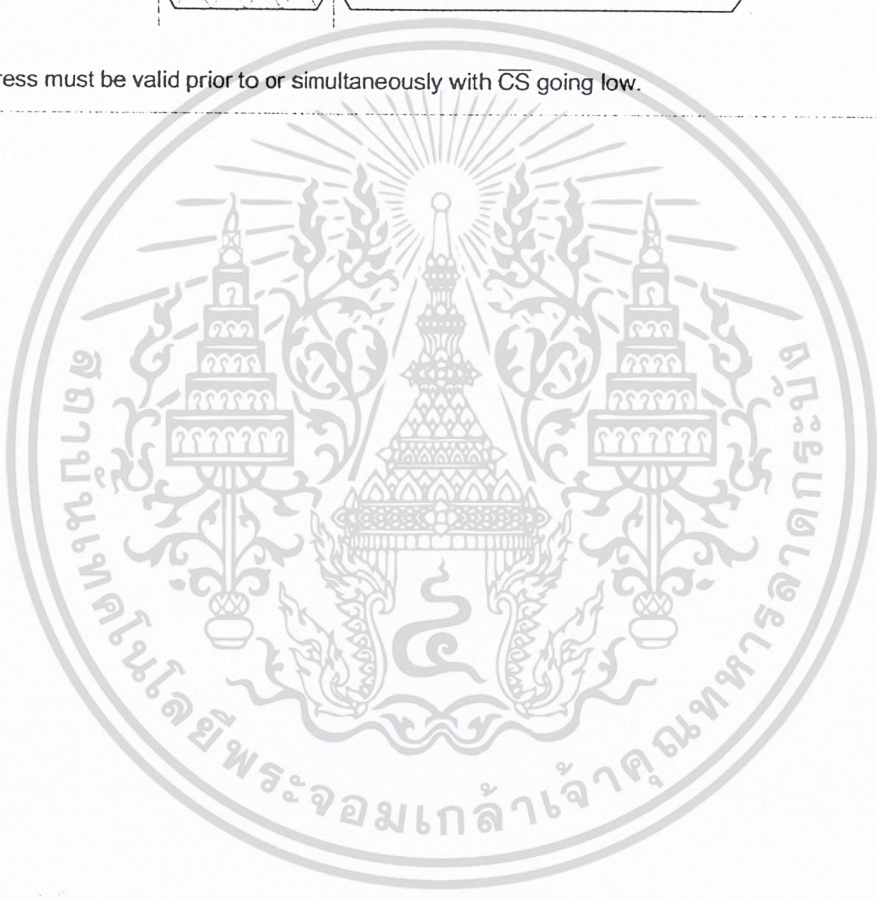
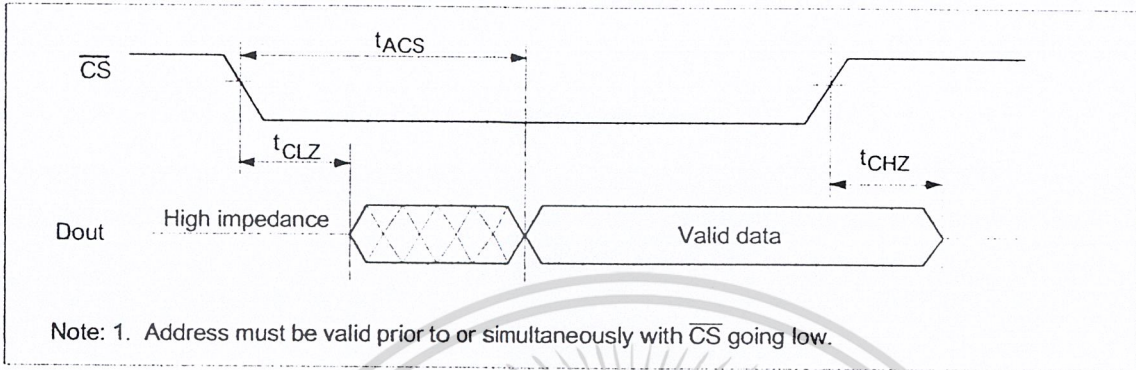


Read Timing Waveform (2) ($WE=V_{IH}, \overline{CS}=V_{II}, \overline{OE}=V_{II}$)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลง หรือทำซ้ำโดยไม่ได้รับอนุญาต ต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Read Timing Waveform (3) ($\overline{WE}=V_{IH}, \overline{OE}=V_{IL}$)¹



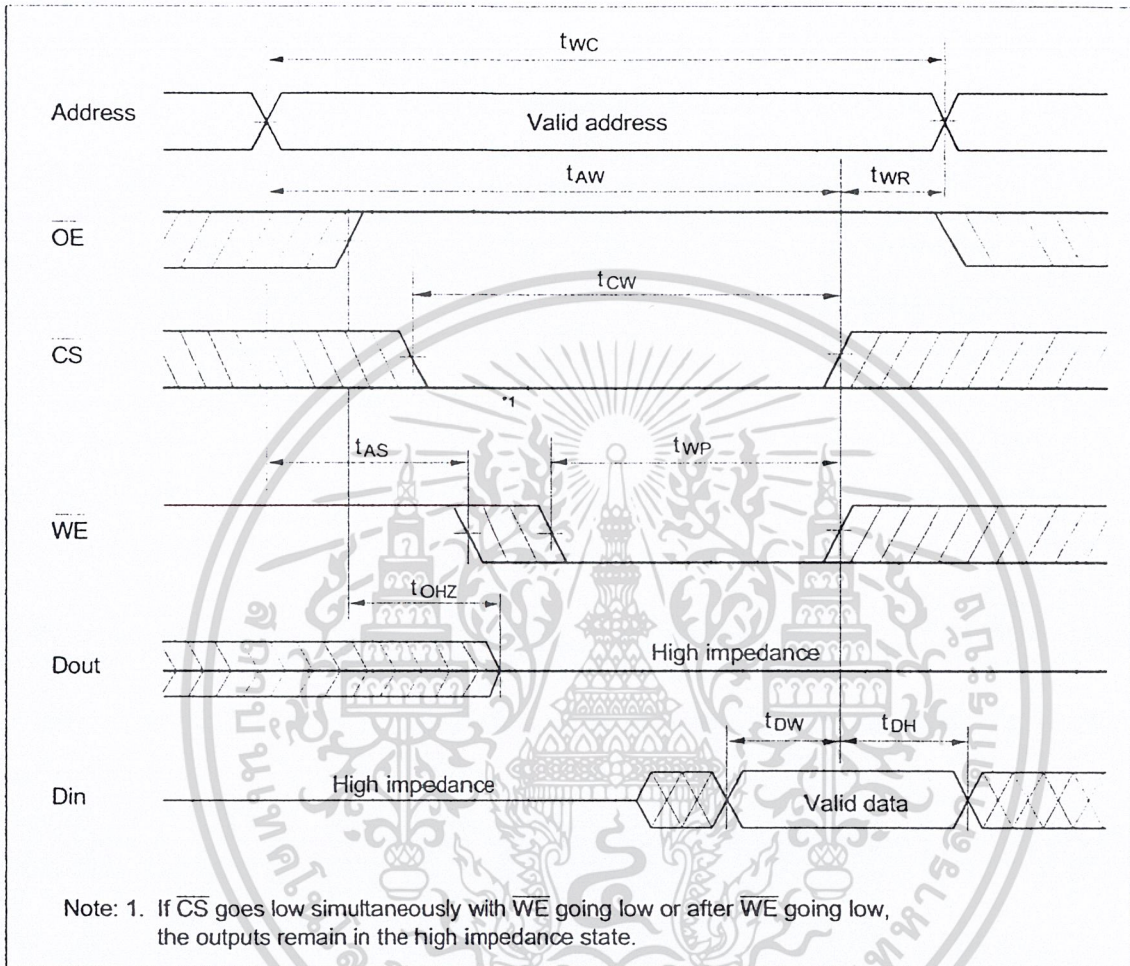
HM62256B Series

Write Cycle

Parameter	Symbol	HM62256B								Unit	Notes
		-4		-5		-7		-8			
		Min	Max	Min	Max	Min	Max	Min	Max		
Write cycle time	t_{WC}	45	55	70	85	ns					
Chip selection to end of write	t_{CW}	35	40	60	75	ns	4				
Address setup time	t_{AS}	0	0	0	0	ns	5				
Address valid to end of write	t_{AW}	35	40	60	75	ns					
Write pulse width	t_{WP}	30	35	50	55	ns	3, 8				
Write recovery time	t_{WR}	0	0	0	0	ns	6				
WE to output in high-Z	t_{WHZ}	0	20	0	20	0	25	0	40	ns	1, 2, 7
Data to write time overlap	t_{DW}	20	25	30	35	ns					
Data hold from write time	t_{DH}	0	0	0	0	ns					
Output active from end of write	t_{OW}	5	5	5	5	ns	2				
Output disable to output in high-Z	t_{OHZ}	0	20	0	20	0	25	0	40	ns	1, 2, 7

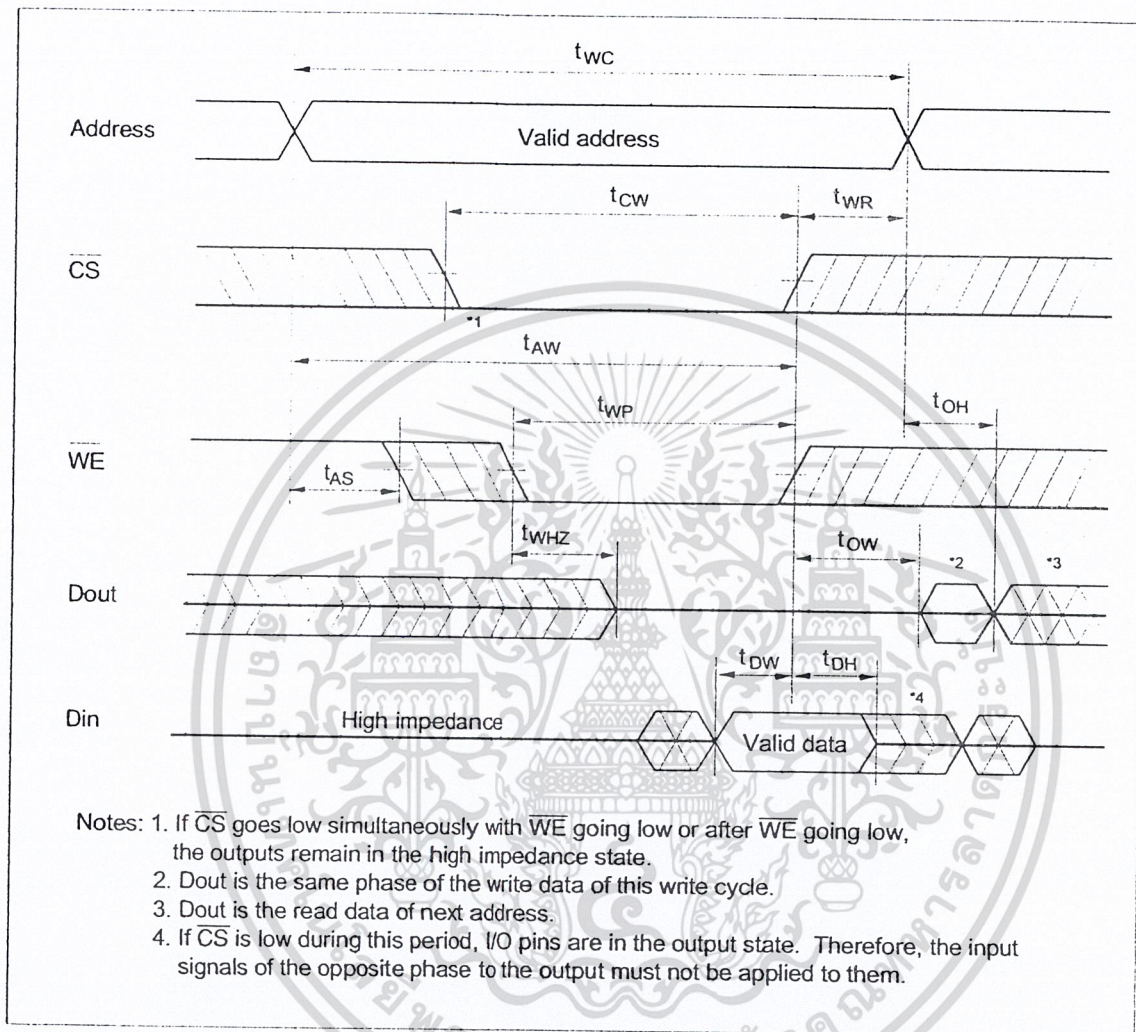
- Notes:
- t_{OHZ} and t_{WHZ} are defined as the time at which the outputs achieve the open circuit conditions and are not referred to output voltage levels.
 - This parameter is sampled and not 100% tested.
 - A write occurs during the overlap (t_{WP}) of a low \overline{CS} and a low \overline{WE} . A write begins at the later transition of \overline{CS} going low or \overline{WE} going low. A write ends at the earlier transition of \overline{CS} going high or \overline{WE} going high. t_{WP} is measured from the beginning of write to the end of write.
 - t_{CW} is measured from \overline{CS} going low to the end of write.
 - t_{AS} is measured from the address valid to the beginning of write.
 - t_{WR} is measured from the earlier of \overline{WE} or \overline{CS} going high to the end of write cycle.
 - During this period, I/O pins are in the output state so that the input signals of the opposite phase to the outputs must not be applied.
 - In the write cycle with \overline{OE} low fixed, t_{WP} must satisfy the following equation to avoid a problem of data bus contention, $t_{WP} \geq t_{WHZ} \max + t_{DW} \min$.

Write Timing Waveform (1) (\overline{OE} Clock)



HM62256B Series

Write Timing Waveform (2) (\overline{OE} Low Fixed) ($\overline{OE} = V_{IL}$)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงหรือทำซ้ำโดยไม่ได้รับอนุญาตต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

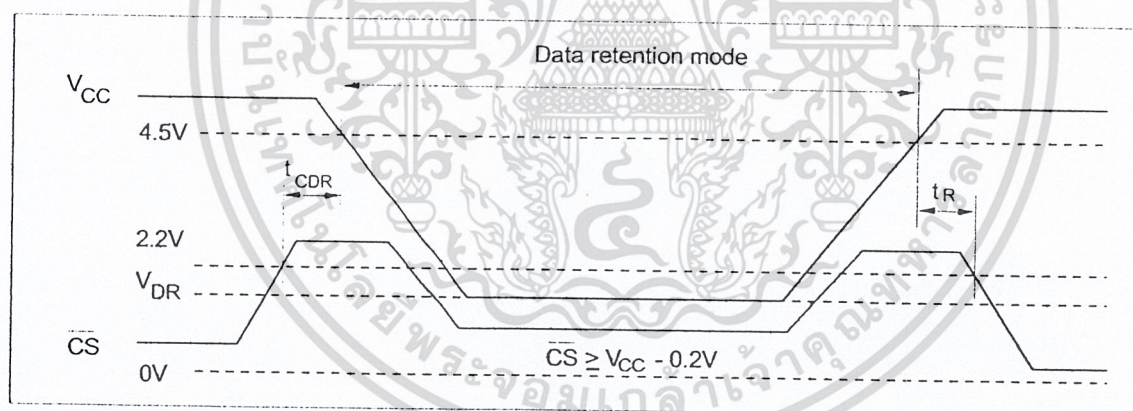
HM62256B Series

Low V_{CC} Data Retention Characteristics ($T_a = 0$ to $+70^\circ\text{C}$)

Parameter	Symbol	Min	Typ* ¹	Max	Unit	Test Conditions ⁵
V_{CC} for data retention	V_{DR}	2.0	---	5.5	V	$\overline{CS} \geq V_{CC} - 0.2\text{ V}$, $V_{in} \geq 0\text{ V}$
Data retention current	I_{CCDR}	---	0.05	30^2	μA	$V_{CC} = 3.0\text{ V}$, $V_{in} \geq 0\text{ V}$
			0.05	10^3		$\overline{CS} \geq V_{CC} - 0.2\text{ V}$,
			0.05	3^4		
Chip deselect to data retention time	t_{CDR}	0	---	---	ns	See retention waveform
Operation recovery time	t_R	t_{RC}^5	---	---	ns	

- Notes:
1. Typical values are at $V_{CC} = 3.0\text{ V}$, $T_a = 25^\circ\text{C}$ and not guaranteed.
 2. $10\ \mu\text{A}$ max at $T_a = 0$ to $+40^\circ\text{C}$.
 3. This characteristics guaranteed for only L-SL version. $3\ \mu\text{A}$ max at $T_a = 0$ to $+40^\circ\text{C}$.
 4. This characteristics guaranteed for only L-UL version. $0.6\ \mu\text{A}$ max at $T_a = 0$ to $+40^\circ\text{C}$.
 5. t_{RC} = read cycle time.
 6. \overline{CS} controls address buffer, \overline{WE} buffer, \overline{OE} buffer, and D_{in} buffer. If \overline{CS} controls data retention mode, other input levels (address, \overline{WE} , \overline{OE} , I/O) can be in the high impedance state.

Low V_{CC} Data Retention Timing Waveform

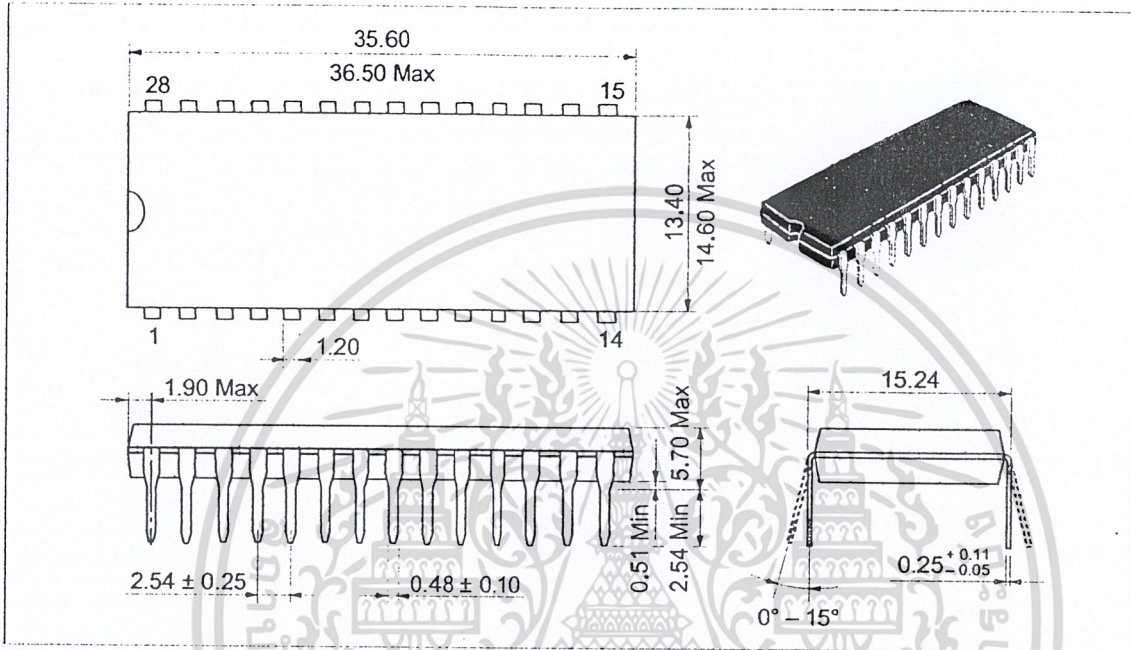


HM62256B Series

Package Dimensions

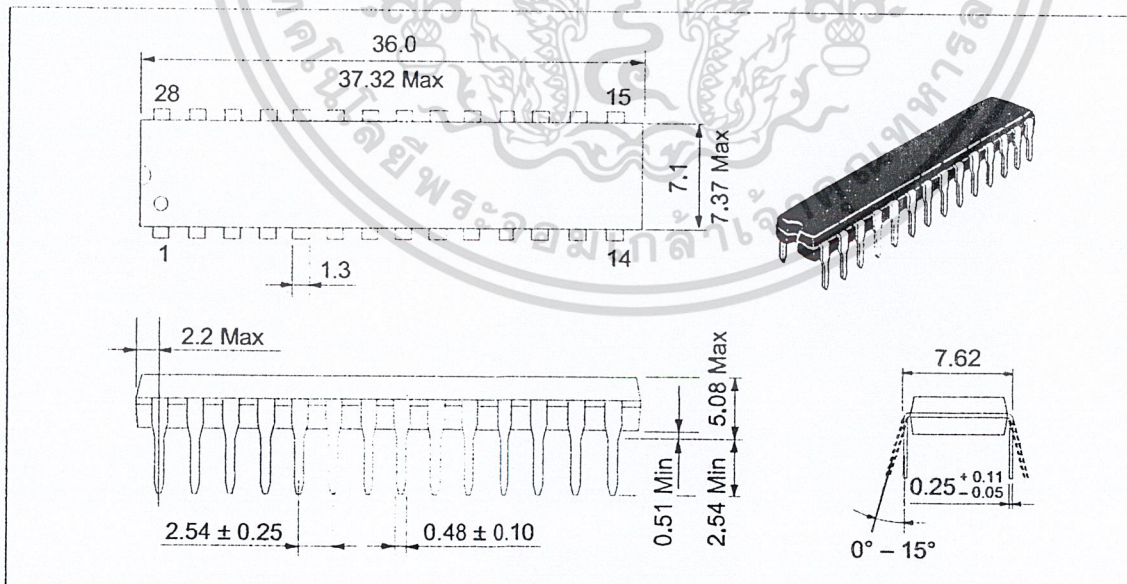
HM62256BLP Series (DP-28)

Unit: mm



HM62256BLSP Series (DP-28NA)

Unit: mm

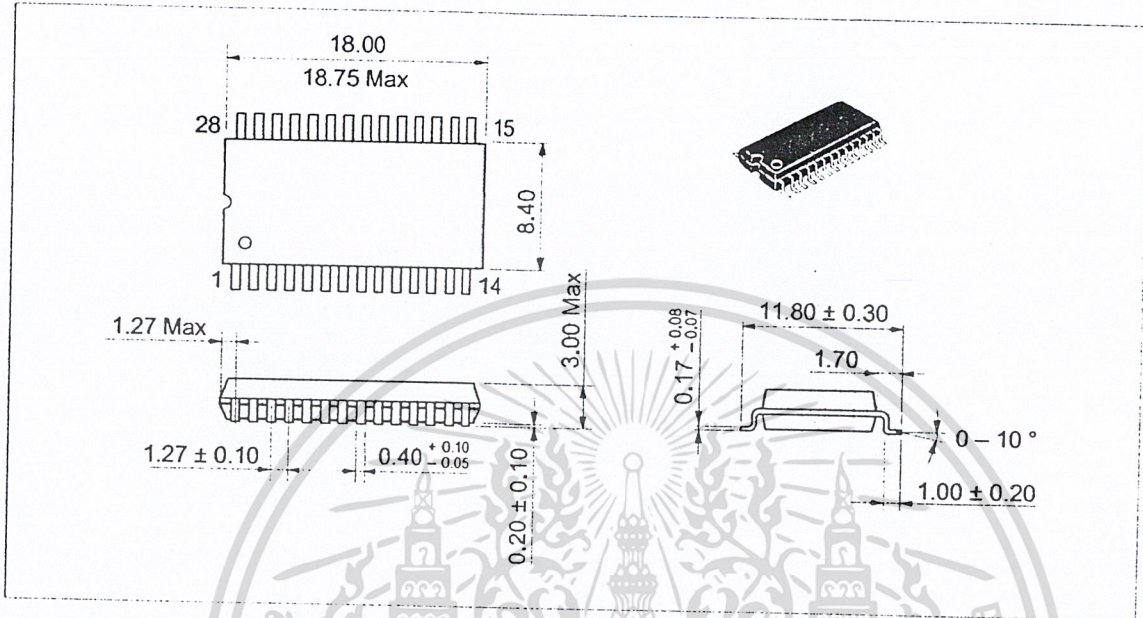


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้拿去ใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

HM62256B Series

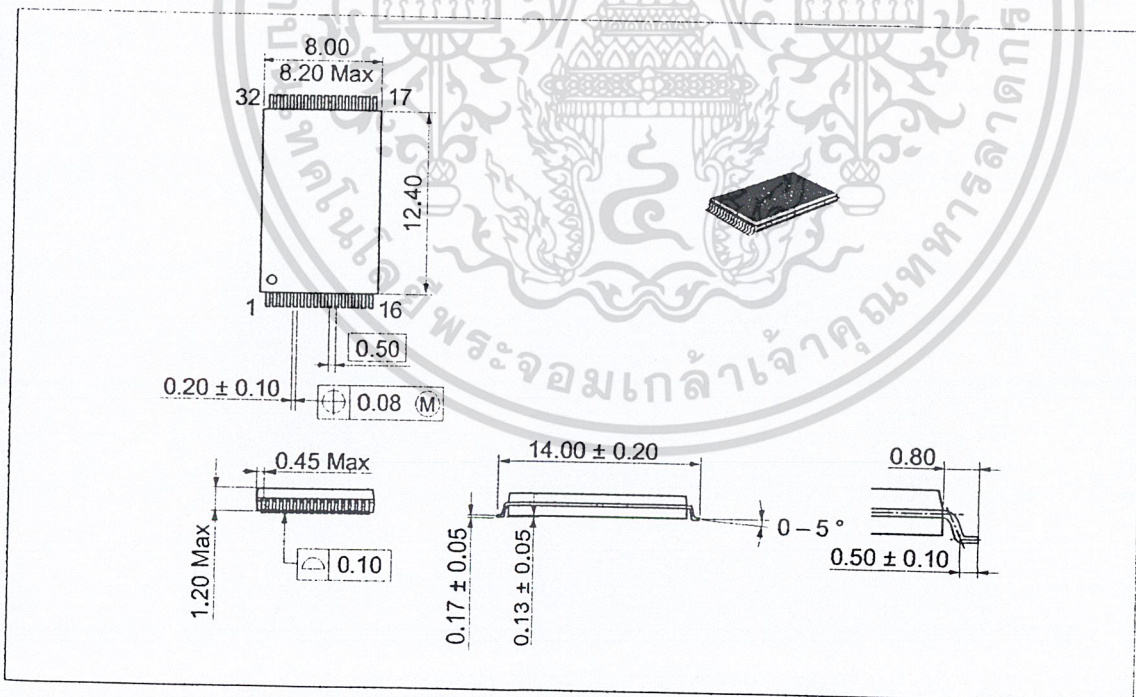
HM62256BLFP Series (FP-28DA)

Unit: mm



HM62256BLT Series (TFP-32DA)

Unit: mm



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดลอกและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บรรณานุกรม

ชูเกียรติ จันทรานี “ทฤษฎีตรวจสอบโทรทัศนศาสตร์” พิมพ์ครั้งที่ 11, ศูนย์หนังสือเทพนิมิตร, 2533

ธีรวัฒน์ ประกอบผล “การประยุกต์ใช้งานไมโครคอนโทรลเลอร์” กรุงเทพมหานคร: สำนักพิมพ์
สมาคมส่งเสริมเทคโนโลยี (ไทย-ญี่ปุ่น), 2543

รวมวงจรเครื่องรับโทรทัศนศาสตร์, บริษัทรัฐพงษ์เซลส์แอนด์เซอร์วิส, 2538

วรพจน์ กรแก้ววัฒนกุล และ ชัยวัฒน์ ลิ้มพรจิตรวิไล “เรียนรู้และปฏิบัติการไมโครคอนโทรลเลอร์
MCS-51 แบบแฟลช” บริษัท อินโนเวตีฟ เอ็กเพอริเมนต์ จำกัด

รศ.สมยศ จุณณะปิยะ “การประยุกต์ใช้งานไมโครคอนโทรลเลอร์ตระกูล MCS-51” พิมพ์ครั้งที่ 3,
คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง, 2543