สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

ระบบการสื่อสารดิจิตอลแบบ DPSK แสดงผลผ่านคอมพิวเตอร์

DPSK Digital Communication with Computer Interfacing

โดย

นาย กิตติ หมวกลาว

นาย จารุเกียรติ จินดากาญจน์

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

ภาควิชาวิศวกรรมสารสนเทศ

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2546

เลขหมู่.....
เลขทะเบียน 55768/
วัน,เดือน,ปี 25 พ.ค. 2548

.b.....
.i.....

DPSK Digital Communication with Computer Interfacing

By

Mr. KITTI MUAKLAO

Mr. JARUKIAT JINDAKRAN

A THESIS SUBMITTED IN PARTIAL FULFILLMENT OF

THE REQUIREMENT FOR THE DEGREE OF

BACHELOR IN DEPARTMENT OF INFORMATION ENGINEERING

FACULITY OF ENGINEERING

KING MONGKUT'S INSTITUTE OF TECHNOLOGYLADKRABANG

2003

หัวข้อปริญญานิพนธ์	ระบบการสื่อสารดิจิตอลแบบ DPSK แสดงผลผ่านคอมพิวเตอร์
ชื่อนักศึกษา	นาย กิตติ หมวกลาว รหัสนักศึกษา 44015637
	นาย จารุเกียรติ จินดากาญจน์ รหัสนักศึกษา 44015639
อาจารย์ที่ปรึกษา	รศ.ชวลิต เบญจางคประเสริฐ
ระดับการศึกษา	ปริญญาวิศวกรรมศาสตรบัณฑิต
	สาขาวิชาวิศวกรรมสารสนเทศ
ภาควิชา	วิศวกรรมสารสนเทศ
ปีการศึกษา	2546

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบังอนุมัติให้รับปริญญานิพนธ์ฉบับนี้ เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

.....

(รศ. ชวลิต เบญจางคประเสริฐ)

อาจารย์ผู้ควบคุมปริญญานิพนธ์

ลิขสิทธิ์ของคณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

หัวข้อปริญญานิพนธ์	ระบบการสื่อสารดิจิตอลแบบ DPSK แสดงผลผ่านคอมพิวเตอร์
ชื่อนักศึกษา	นาย กิตติ หมวกลาว รหัสนักศึกษา 44015637
	นาย จารุเกียรติ จินดากาญจน์ รหัสนักศึกษา 44015639
อาจารย์ที่ปรึกษา	รศ.ชวลิต เบญจางคประเสริฐ
ระดับการศึกษา	ปริญญาวิศวกรรมศาสตรบัณฑิต
	สาขาวิชาวิศวกรรมสารสนเทศ
ภาควิชา	วิศวกรรมสารสนเทศ
ปีการศึกษา	2546

บทคัดย่อ

ปริญญานิพนธ์นี้เป็นการนำเอาทฤษฎีดิจิตอลมอดูเลชันแบบเฟสชิฟท์คีอิ้งมาประยุกต์เป็นวงจร โดยนำเสนอในรูปแบบการมอดูเลชันแบบ DPSK ซึ่งการมอดูเลชั่นแบบนี้จะเป็นการแก้ปัญหาการกลับเฟสของข้อมูลที่ด้านภาครับของการมอดูเลชันแบบเฟสชิฟท์คีอิ้ง ในส่วนของวงจรที่ทำจะนำมาใช้เป็นบอร์ดทดลองควบคู่ไปกับการศึกษาดิจิตอลมอดูเลชันแบบ PSK และมีวงจรแสดงผลสัญญาณ ในการแสดงผลรูปสัญญาณเบสแบนด์ไปแสดงผลบนจอคอมพิวเตอร์ ผ่านทางโปรแกรมแสดงผลสัญญาณ ซึ่งใช้ VB6 ในการเขียนโปรแกรมแสดงผลสัญญาณ

THESIS TITLE	DPSK Digital Communication with Computer Interfacing
STUDENT	Mr. Kitti Muaklao ID.44015637
	Mr. Jarukiat Jindakran ID.44015639
ADVISOR	Assoc.Prof. Chawalit Benjangkaprasert
COURSE	Bachelor of Information Engineering
DEPARTMENT	Information Engineering
YEAR	2003

Abstract

This thesis is presents the application of Digital Communication theory by using PSK in type of DPSK modulation. These projects consist of circuit board experiment in order to study Digital Communication by PSK theory and interfacing for display baseband signal on computer by VB6 programming.

กิตติกรรมประกาศ

ปริญญานิพนธ์ฉบับนี้สามารถสำเร็จลุล่วงเป็นอย่างดี เนื่องด้วยคำแนะนำและคำปรึกษาที่เป็นประโยชน์อย่างสูงในการทำปริญญานิพนธ์นี้จากท่าน รศ. ชวลิต เบญจางคประเสริฐ ซึ่งเป็นอาจารย์ผู้ควบคุมปริญญานิพนธ์ ทางคณะผู้จัดทำได้รู้สึกซาบซึ้งในความอนุเคราะห์ที่ดีเยี่ยมจากท่าน และขอกราบขอบพระคุณเป็นอย่างสูง

ขอขอบคุณ อ. กฤดากร กล่อมการ ที่คอยให้คำแนะนำและคำปรึกษาในเรื่องของวงจรต่างๆ จนวงจรสำเร็จลุล่วงไปด้วยดี

ขอขอบคุณ ผศ. นภพินท์ อนันตรศิริชัย ที่ให้ความกรุณาในการตรวจปริญญานิพนธ์ฉบับนี้และคำแนะนำสำหรับการทำปริญญานิพนธ์ที่ถูกต้อง

ขอขอบคุณอาจารย์ทุกท่าน และภาควิชาวิศวกรรมสารสนเทศ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง ที่ตั้งใจประสิทธิประสาทวิชาความรู้ รวมทั้งโอกาสในการทำปริญญานิพนธ์นี้ขึ้นมา

ขอขอบคุณ เพื่อนๆนักศึกษาห้อง 3F/2 และ 3F/3 ทุกคนที่ร่วมทุกข์ร่วมสุขและเป็นกำลังใจในการทำปริญญานิพนธ์นี้ตลอดมา

สุดท้ายนี้ขอกราบขอบพระคุณ คุณพ่อ คุณแม่ผู้สรรค์สร้างทุกสิ่งทุกอย่างที่ผ่านมาอย่างมากๆ

คุณค่า และประโยชน์อันพึงมีจากปริญญานิพนธ์ฉบับนี้ ทางคณะผู้จัดทำขอมอบแด่ผู้มีพระคุณทุกท่านไว้ ณ โอกาสนี้

คณะผู้จัดทำปริญญานิพนธ์

สารบัญ

	หน้า
บทคัดย่อภาษาไทย	ก
บทคัดย่อภาษาอังกฤษ	ข
กิตติกรรมประกาศ	ค
สารบัญ	ง
สารบัญภาพ	ฉ
สารบัญตาราง	ฌ
บทที่ 1 บทนำ	1
1.1 ที่มาและแนวคิด	1
1.2 วัตถุประสงค์ของโครงงาน	1
1.3 ขอบเขตของโครงงาน	1
1.4 วิธีการดำเนินงาน	2
1.5 ประโยชน์ที่ได้รับ	3
บทที่ 2 ทฤษฎีและหลักการ	4
2.1 การเข้ารหัสข้อมูล (Data Encoding)	4
2.2 รูปแบบของข้อมูลที่ใช้ในการสื่อสารแบบดิจิตอล (Digital transmission format)	6
2.3 ชนิดของรหัสไบนารี	7
2.4 ระบบสื่อสารดิจิตอล (Digital Communication System)	11
2.5 หลักการของไบนารี PSK มอดูเลทเตอร์และดีมอดูเลทเตอร์	13
2.6 ลักษณะการทำงานทั่วไปของวงจรแสดงผลสัญญาณ	26
2.7 ขอบเขตการวัด	27
2.8 การสุ่มตัวอย่างของดิจิตอลออสซิลโลสโคป	34
2.9 ขั้นตอนหลังการสุ่มตัวอย่าง	37
2.10 การแปลงอนาลอกเป็นดิจิตอล(Analog to Digital Converter : ADC)	38
2.11 พอร์ทอนุกรม RS-232	40

บทที่ 3 การออกแบบและวงจรใช้งาน 46

3.1 การออกแบบวงจรภาคส่ง 46

3.2 การออกแบบวงจรดีมอดูเลทสัญญาณ DPSK 50

3.3 วงจรแสดงผลสัญญาณ 64

บทที่ 4 ผลการทดลอง 68

บทที่ 5 สรุปผลการทดลอง 77

บรรณานุกรม 78

ภาคผนวก 79

สารบัญภาพ

หน้า

รูปที่ 2.1 คุณลักษณะการเข้ารหัสและการมอดูเลทชั่น 4

รูปที่ 2.2 รูปคลื่นสัญญาณไบนารี 8

รูปที่ 2.3 คุณลักษณะของรหัส NRZ (I) 9

รูปที่ 2.4 คุณลักษณะของการเข้ารหัส Return-to-Zero 10

รูปที่ 2.5 แสดงส่วนประกอบโดยทั่วไปของระบบการสื่อสารดิจิตอล 12

รูปที่ 2.6 การรับ-ส่งสัญญาณดิจิตอล 13

รูปที่ 2.7 การมอดูเลทสัญญาณดิจิตอล 13

รูปที่ 2.8 การเปลี่ยนแปลงทางเฟสของคลื่นพาหะ 14

รูปที่ 2.9 การสร้างสัญญาณขึ้นใหม่ทางด้านรับ 14

รูปที่ 2.10 การรับสัญญาณ PSK ทางด้านรับ 15

รูปที่ 2.11 สัญญาณ output หลังจากผ่าน LPF 16

รูปที่ 2.12 การพิจารณารหัสเป็น 1 หรือ 0 โดย sample holder 16

รูปที่ 2.13 รหัสผิดเพี้ยนเนื่องจากเสียงรบกวน 17

รูปที่ 2.14 บล็อกไดอาแกรมของ coherent demodulator 17

รูปที่ 2.15หลักการของ carrier recovery circuit 18

รูปที่ 2.16 carrier recovery circuit และสัญญาณตามจุดต่างๆ 18

รูปที่ 2.17 การทำงานของ phase locked loop 19

รูปที่ 2.18 วงจร clock recovery 20

รูปที่ 2.19 การผิดพลาดทางเฟส 20

รูปที่ 2.20 คลื่นสัญญาณเมื่อผ่านวงจรหารความถี่ 21

รูปที่ 2.22 เปรียบเทียบ output กรณี t_1 และ t_2 เป็นจุดเริ่ม 21

รูปที่ 2.23 สัญญาณดิจิตอลหลังผ่านการดีมอดูเลท 22

รูปที่ 2.24 differential coherent PSK 22

รูปที่ 2.25 วงจร differential encoder 23

รูปที่ 2.26 การส่งรหัสสัญญาณที่ differential encoder 24

รูปที่ 2.27 รหัสสัญญาณ ณ ตำแหน่งต่างๆ 24

รูปที่ 2.28 differential decoder 25

รูปที่ 2.29 ลำดับสัญญาณดิจิตอลด้านรับ 25
รูปที่ 2.30 การเกิดข้อผิดพลาดของบิต 26
รูปที่ 2.31 แสดงลักษณะของการเกิดเอเลียสซิ่ง 29
รูปที่ 2.32 ทฤษฎีการสอดแทรก 30
รูปที่ 2.33 แสดงการจัดช่วงขอบขาขึ้นซึ่งค่าคลาดเคลื่อนที่เกิดขึ้นอยู่กับตำแหน่งในการสุ่มตัวอย่าง 33
รูปที่ 2.34 เทคนิคการสุ่มตัวอย่างแบบต่างๆ ของดิจิตอลออสซิลโลสโคป 35
รูปที่ 2.35 แสดงให้เห็นถึงผลที่ออกมาจากการสุ่มตัวอย่างสัญญาณอินพุทแบบเป็นลำดับ 36
รูปที่ 2.36 การควอนไตซิ่ง โดยใช้วงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลเปลี่ยนแรงดันอนาลอกเป็นเลขฐานสองที่ระดับต่างๆ 37
รูปที่ 2.37 แสดงการต่อวงจร Parallel Comparator Simultaneous A/D Convertor 39
รูปที่ 2.38 คอนเน็คเตอร์ของ RS-232 42
รูปที่ 3.1 แสดงบล็อกไดอะแกรมของวงจรกำเนิดสัญญาณนาฬิกา 45
รูปที่ 3.2 แสดงวงจรกำเนิดสัญญาณนาฬิกา 45
รูปที่ 3.3 วงจรสร้างสัญญาณ NRZ 46
รูปที่ 3.4 แสดงวงจรเข้ารหัสสัญญาณ NRZ เป็น NRZ-I แบบ NRZ-S 47
รูปที่ 3.5 แสดง โครงสร้างวงจรสร้างความถี่ 56 kHz 48
รูปที่ 3.6 แสดงวงจรสร้างความถี่ 56 KHz 48
รูปที่ 3.7 แสดงวงจรคูณสัญญาณคลื่นพาห์กับสัญญาณ PSK 49
รูปที่ 3.8 วงจรกรองความถี่ 56 KHz สำหรับภาคดีมอดูเลทสัญญาณ DPSK 50
รูปที่ 3.9 แสดงกราฟตอบสนองความถี่ของ Band pass Filter ที่ 56KHz 51
รูปที่ 3.10 โครงสร้างลูปยกกำลังสองสัญญาณ 51
รูปที่ 3.11 วงจรยกกำลังสองสัญญาณ 52
รูปที่ 3.12 โครงสร้าง PLL สำหรับลูปยกกำลังสองสัญญาณ 53
รูปที่ 3.13 วงจร PLL สำหรับลูปยกกำลังสอง 54
รูปที่ 3.14 วงจรหารสอง 55
รูปที่ 3.15 วงจรกู้สัญญาณคลื่นพาห์แบบยกกำลังสอง 55
รูปที่ 3.16 วงจรคูณสัญญาณคลื่นพาห์กับสัญญาณ DPSK 56
รูปที่ 3.17 วงจรอินทีเกรทแอนดัมท์ 57
รูปที่ 3.18 แสดงสัญญาณที่จุดต่างๆของวงจรอินทีเกรทแอนดัมท์ 58

รูปที่ 3.19 หลักการวงจรกู้สัญญาณนาฬิกา 59
รูปที่ 3.20 วงจรกู้สัญญาณนาฬิกาใช้ในทางปฏิบัติ 60
รูปที่ 3.21 วงจรถอดรหัสสัญญาณ NRZ-I เป็น NRZ 61
รูปที่ 3.22 วงจรภาคส่งสัญญาณ DPSK 61
รูปที่ 3.23 วงจรภาครับสัญญาณ DPSK(1) 62
รูปที่ 3.24 วงจรภาครับสัญญาณ DPSK(2) 62
รูปที่ 3.25 วงจรลดทอนสัญญาณ 63
รูปที่ 3.26 วงจรยกระดับแรงดัน 64
รูปที่ 3.27 วงจรแปลงสัญญาณอนาลอกเป็นดิจิตอล 64
รูปที่ 3.28 วงจรกำเนิดสัญญาณนาฬิกา 10MHz 65
รูปที่ 3.29 วงจรอินเตอร์เฟสโดยใช้ DS89C420 ผ่านพอร์ตอนุกรม 66
รูปที่ 4.1 แสดงสัญญาณนาฬิกาที่เกิดจากวงจรกำเนิดสัญญาณนาฬิกา 68
รูปที่ 4.2 แสดงสัญญาณเมื่อสัญญาณ 4 KHz ผ่านวงจร PLL 69
รูปที่ 4.3 แสดงสัญญาณเมื่อสัญญาณนาฬิกา 56 KHz ผ่านวงจรหาร 14 69
รูปที่ 4.4 แสดงการเปรียบเทียบสัญญาณระหว่างสัญญาณข้อมูล NRZ และสัญญาณที่ผ่านวงจรมอดูเลทชั่น 70
รูปที่ 4.5 แสดงสัญญาณเทียบระหว่างสัญญาณมอดูเลทผ่านวงจร Bandpass Filter 70
รูปที่ 4.6 แสดงสัญญาณเทียบระหว่างสัญญาณมอดูเลทและเมื่อผ่านวงจรยกกำลังสองสัญญาณ 71
รูปที่ 4.7 แสดงสัญญาณเทียบระหว่างสัญญาณยกกำลังสองและเมื่อผ่านวงจร PLL 71
รูปที่ 4.8 แสดงสัญญาณเทียบระหว่างสัญญาณจาก PLL และเมื่อผ่านวงจรหารสอง 72
รูปที่ 4.9 แสดงสัญญาณเทียบระหว่างสัญญาณความถี่ 56 KHz และเมื่อผ่านวงจรกรองความถี่ 72
รูปที่ 4.10 แสดงสัญญาณเทียบระหว่างสัญญาณคลื่นพาห์และสัญญาณ PSK 73
รูปที่ 4.11 แสดงสัญญาณเทียบระหว่างที่ผ่านวงจรดีมอดูเลทที่ผ่านวงจรกรองความถี่ต่ำ 73
รูปที่ 4.12 แสดงสัญญาณเทียบระหว่างสัญญาณ 64 KHz และเมื่อผ่านวงจรหาร 16 74
รูปที่ 4.13 แสดงสัญญาณเทียบระหว่างสัญญาณ 40 KHz และเมื่อผ่านวงจรหาร 10 74
รูปที่ 4.14 แสดงสัญญาณเทียบระหว่างสัญญาณ NRZ-I ผ่านวงจรถอดรหัส 75

สารบัญตาราง

หน้า

ตารางที่ 2.1 แสดงความสัมพันธ์ระหว่างอินพุทที่เป็นอนาลอกกับเอาต์พุทที่เป็นดิจิตอล 39

ตารางที่ 2.2 แสดงขาของคอนเน็คเตอร์ แบบ DB-9 43

บทที่ 1
บทนำ

1.1ที่มาและแนวคิด

เนื่องจากในปัจจุบันการสื่อสารดิจิตอลได้เข้ามาทดแทนระบบสื่อสารแบบอนาลอกเป็นอย่างมาก แต่อุปกรณ์สื่อสารดิจิตอลที่ใช้นั้นส่วนใหญ่นำเข้าจากต่างประเทศ เพื่อการศึกษาและเรียนรู้การทำงานของการสื่อสารแบบดิจิตอล ซึ่งจะนำมาสร้างวงจรสื่อสารแบบดิจิตอลมอดูเลชันแบบดิฟเฟอเรนเชียลเฟสชิฟท์คีย์อิง ในรูปแบบแผงการทดลองและแสดงผลผ่านคอมพิวเตอร์เพื่อนำไปวิเคราะห์รูปแบบของสัญญาณและการทำงานของวงจร ซึ่งมีราคาถูกกว่าชุดทดลองที่นำเข้าจากต่างประเทศและยังเป็นพื้นฐานในการศึกษาและพัฒนาการมอดูเลชันแบบดิจิตอลและได้รู้ถึงวิธีการนำคอมพิวเตอร์มาประยุกต์ใช้ ในรูปแบบต่างๆ ต่อไป

1.2 วัตถุประสงค์ของโครงงาน

1. เพื่อนำเสนอการสื่อสารดิจิตอลมอดูเลชันแบบเฟสชิฟท์คีย์อิง
2. เพื่อแสดงรูปแบบสัญญาณที่ผ่านเข้ามาในระบบการมอดูเลชันแบบเฟสชิฟท์คีย์อิง
3. เพื่อเป็นพื้นฐานและแนวทางในการศึกษาระบบมอดูเลชันแบบอื่นๆ
4. เพื่อใช้เป็นชุดวงจรทดลองในการศึกษาระบบมอดูเลชันแบบเฟสชิฟท์คีย์อิง
5. เพื่อศึกษาการเชื่อมต่อคอมพิวเตอร์กับอุปกรณ์ภายนอกและสามารถประยุกต์ใช้ได้
6. เพื่อให้สามารถบันทึกรูปสัญญาณได้และนำมาวิเคราะห์ต่อไป

1.3 ขอบเขตของโครงงาน

1. ศึกษาการสื่อสารดิจิตอลมอดูเลชันแบบเฟสชิฟท์คีย์อิง
2. ศึกษารูปแบบของสัญญาณจากวงจรมอดูเลชันแบบเฟสชิฟท์คีย์อิง
3. สร้างวงจรมอดูเลชันแบบดิฟเฟอเรนเชียลเฟสชิฟท์คีย์อิงได้
4. ศึกษาการเชื่อมต่อคอมพิวเตอร์กับอุปกรณ์ภายนอกและสามารถประยุกต์ใช้ได้
5. สามารถวัดสัญญาณจากวงจรไปแสดงผลบนคอมพิวเตอร์ได้
6. สามารถบันทึกรูปสัญญาณจากวงจรลงในคอมพิวเตอร์ได้

1.4 วิธีการดำเนินงาน

1. ศึกษาค้นคว้าหาข้อมูลที่เกี่ยวข้องกับการสื่อสารดิจิตอลมอดูเลชันแบบเฟสชิฟท์คีย์อิงซึ่งมีดังต่อไปนี้

- ศึกษาหาความรู้เบื้องต้นเกี่ยวกับระบบดิจิตอลมอดูเลชันแบบเฟสชิฟท์คีย์อิง
- ค้นคว้าหาข้อมูลเกี่ยวกับวงจรที่ใช้ในระบบดิจิตอลมอดูเลชันแบบเฟสชิฟท์คีย์อิง

2. ออกแบบและสร้างวงจรมอดูเลชันแบบเฟสชิฟท์คีย์อิง

- ศึกษาการทำงานพื้นฐานของวงจรมอดูเลชัน แบบดิฟเฟอเรนเชียลเฟสชิฟคีย์อิง
- ออกแบบวงจรวงจรมอดูเลชัน แบบดิฟเฟอเรนเชียลเฟสชิฟคีย์อิง
- ทดลองสร้างวงจรภาคส่งและทำการทดสอบวงจร
- สรุปผลกาทดลองภาคส่ง
- ทดลองสร้างวงจรภาครับและทำการทดสอบวงจร
- สรุปผลการทดลองภาครับ

3. ด้านวงจรวัดสัญญาณ

- ศึกษาการเชื่อมต่อคอมพิวเตอร์กับอุปกรณ์ภายนอก
- ออกแบบวงจรการเชื่อมต่อคอมพิวเตอร์กับอุปกรณ์ภายนอกโดยผ่านอินเตอร์เฟส
- ทดลองสร้างวงจรวัดสัญญาณและทดสอบวงจร
- สรุปผลการทดลองวงจรวัดสัญญาณ

4. โปรแกรม

- ศึกษาการเขียนโปรแกรม Visual Basic
- ศึกษาการเขียนโปรแกรมควบคุมผ่านพอร์ตของคอมพิวเตอร์
- เขียนโปรแกรมควบคุมวงจรวัดสัญญาณผ่านของพอร์ตคอมพิวเตอร์
- ทดสอบโปรแกรมกับวงจรวัดสัญญาณในการวัดสัญญาณจริง
- สรุปผลการทดลองโปรแกรม

5. ทดลองและสรุปผล

- นำวงจรมอดูเลชันแบบเฟสชิฟท์คีย์อิง มาทำการวัดสัญญาณและทดสอบโปรแกรมโดยการควบคุมผ่านหน้าจอคอมพิวเตอร์
- สรุปผลการทดลองของโครงงานทั้งหมด

1.5 ประโยชน์ที่ได้รับ

1. สามารถศึกษาเรียนรู้การสื่อสารดิจิตอลมอดูเลชันแบบเฟสชิฟท์คีย์อิงได้
2. เพื่อเป็นพื้นฐานและแนวทางในการศึกษาระบบดิจิตอลมอดูเลชันแบบอื่นๆได้
3. เพื่อให้ได้เห็นสัญญาณในภาคต่างๆ และนำไปวิเคราะห์ได้
4. สามารถประยุกต์ใช้งานการเชื่อมต่อคอมพิวเตอร์กับอุปกรณ์ภายนอกในแบบต่างๆได้
5. เพื่อเป็นพื้นฐานในการเขียนโปรแกรมควบคุมอุปกรณ์ภายนอกกับคอมพิวเตอร์ได้
6. สามารถนำโครงงานที่ได้จัดทำขึ้นมาไปเป็นต้นแบบไปพัฒนาต่อไปในอนาคต

บทที่ 2
ทฤษฎีและหลักการ

2.1 การเข้ารหัสข้อมูล (Data Encoding)

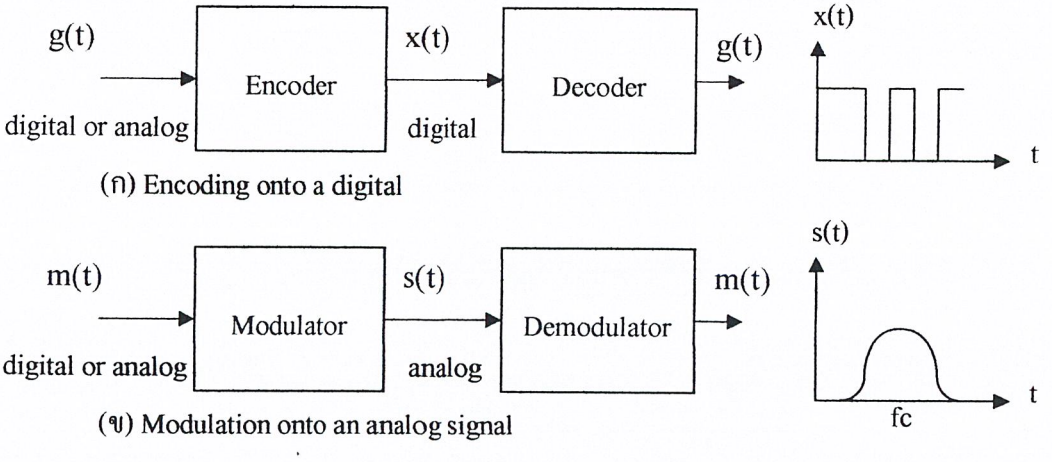
ในการเข้ารหัสข้อมูลและการมอดูเลชัน ซึ่งขบวนการดังกล่าวอาจมีข้อมูลต้นกำเนิด เป็นอนาล็อกหรือดิจิตอลก็ได้ และสำหรับเทคนิคในการเข้ารหัสข้อมูลแบบดิจิตอลแล้ว รูปแบบของสัญญาณ x(t) จะมีรูปแบบที่หลากหลายซึ่งขึ้นอยู่กับการเลือกเทคนิควิธีในการเข้ารหัสได้เหมาะสมได้ประสิทธิภาพสูงสุดในการส่งผ่านเข้าไปในตัวกลางนั้นๆ ตัวอย่างการเลือกการเข้ารหัส บางครั้งเราก็อาจเลือกเพื่อให้สอดคล้องกับแบนท์วิดท์ หรือเพื่อทำให้เกิดความผิดพลาดน้อยที่สุด

ในกรณีของสัญญาณอนาล็อก คุณสมบัติพื้นฐานที่สำคัญประการหนึ่งของสัญญาณ ก็คือการมีค่าความถี่คงที่ต่อเนื่อง จึงเป็นคุณสมบัติที่เหมาะจะใช้เป็นสัญญาณพาหะข้อมูล และความถี่ของสัญญาณพาหะใดๆ จะถูกเลือกให้เหมาะสมกับตัวกลางที่จะใช้ส่งผ่าน โดยการนำพาข้อมูลอาศัยวิธีการมอดูเลชันซึ่งถือว่าขบวนการของการเข้ารหัสข้อมูลไปบนสัญญาณพาหะที่มีความถี่ (fc) เทคนิคการมอดูเลชันทั้งหมด จะอยู่ภายในขอบเขตของการทำการเปลี่ยนแปลงค่าพารามิเตอร์ที่เป็นคุณสมบัติเบื้องต้นของสัญญาณซึ่งได้แก่

(1) ขนาด (Amplitude)

(2) ความถี่ (Frequency)

(3) เฟส (Phase)



(ก) Encoding onto a digital

(ข) Modulation onto an analog signal

รูปที่ 2.1 คุณลักษณะการเข้ารหัสและการมอดูเลชัน

ในรูปที่ 2.1 ก เป็นการเข้ารหัสสัญญาณเบสแบนด์โดยจะมีการเข้ารหัสสัญญาณให้อยู่ในรูปของสัญญาณดิจิตอล x(t) โดยสัญญาณดิจิตอลจะมีค่าความถี่ที่ไม่เปลี่ยนแปลง โดยสเปกตรัมของสัญญาณจะไม่เปลี่ยนแปลงตามสัญญาณเบสแบนด์

ในรูปที่ 2.1 ข สัญญาณอินพุต m(t) จะมีรูปแบบเป็นดิจิตอลหรืออนาล็อกก็ได้ โดยเราจะเรียกว่าสัญญาณมอดูเลติ้งหรือเบสแบนด์ ผลของการมอดูเลชันกับสัญญาณพาหะจะได้สัญญาณ s(t) ที่เรียกว่า สัญญาณที่มอดูเลตแล้วซึ่งมีแบนด์วิดท์ที่จำกัด และมีแบนด์วิดท์ที่สัมพันธ์กับ fc โดยมี fc เป็นตำแหน่งศูนย์กลางของแบนด์ และเนื้อหาต่อจากนี้จะเป็นการกล่าวถึงคุณสมบัติของการเข้ารหัสแบบต่างๆ ซึ่งก็มีจุดประสงค์เพื่อให้ได้คุณสมบัติของสัญญาณที่ดีที่สุดในการส่งผ่าน

การจัดส่งสัญญาณนั้นมี 4 วิธี ตามลักษณะของข้อมูลและสัญญาณ ซึ่งข้อพิจารณาในการเลือกใช้วิธีการจัดส่งสัญญาณทั้ง 4 วิธี นั้นมีดังต่อไปนี้

(1) ดิจิตอล ดาต้า, ดิจิตอล ซิกเนล โดยทั่วๆ ไปแล้ว อุปกรณ์ที่ใช้ในการเข้ารหัสข้อมูลดิจิตอลเป็นสัญญาณดิจิตอลจะไม่ยุ่งยากซับซ้อน และมีราคาถูกกว่าอุปกรณ์ที่ใช้มอดูเลตข้อมูลจากดิจิตอลไปเป็นอนาล็อก

(2) อนาล็อก ดาต้า, ดิจิตอล ซิกเนล การแปลงข้อมูลอนาล็อกให้เป็นสัญญาณดิจิตอล ได้มีการนำมาใช้กันในการส่งผ่านแบบดิจิตอลแบบใหม่กับอุปกรณ์สวิตชิ่ง

(3) ดิจิตอล ดาต้า, อนาล็อก ซิกเนล สำหรับตัวกลางการส่งผ่านบางตัว เช่น ไฟเบอร์ออฟติก และตัวกลางแบบไร้สาย จะยอมให้สัญญาณอนาล็อกเคลื่อนที่ได้เพียงอย่างเดียว

(4) อนาล็อก ดาต้า, อนาล็อก ซิกเนล ข้อมูลอนาล็อกในรูปแบบทางไฟฟ้า สามารถส่งผ่านในลักษณะเบสแบนด์ได้ง่ายและถูก ตัวอย่างอันหนึ่งได้แก่ การส่งผ่านเสียงไปในสายโทรศัพท์ ประโยชน์โดยทั่วไปอันหนึ่งของการมอดูเลชันก็คือ การเลื่อนแบนด์วิดท์ของสัญญาณเบสแบนด์ไปอีกส่วนหนึ่งของสเปกตรัม ด้วยวิธีการดังกล่าวนี้ สัญญาณหลายๆตัว โดยที่แต่ละตัวอยู่ในตำแหน่งของสเปกตรัมที่แตกต่างกัน สามารถใช้ตัวกลางในการส่งผ่านร่วมกันได้ วิธีการนี้เรียกว่า การมัลติเพลกซ์ทางความถี่

ข้อมูลดิจิตอล สัญญาณดิจิตอล สัญญาณเบสแบนด์ เป็นสัญญาณที่ได้จากการเข้ารหัสโดยตรง โดยที่ยังไม่มีการมอดูเลชันใดๆ ซึ่งในบางโอกาสสำหรับสัญญาณดิจิตอล ตามปกติแล้วโดยทั่วไปเราก็สามารถส่งสัญญาณเบสแบนด์ไปได้ โดยไม่ต้องมีการมอดูเลชัน เช่น สัญญาณโทรศัพท์ เป็นต้น ช่องทางเดินของสัญญาณการส่งผ่านจะเป็นตัวกำหนดรูปแบบของสัญญาณที่ใช้ในการส่งผ่าน การส่งผ่านเบสแบนด์บ่อยครั้งที่จะต้องมีการเปลี่ยนแปลงรูปแบบของสัญญาณที่ตัวส่งเพื่อให้สัญญาณที่ส่งไปถึงตัวรับได้ และตัวรับสามารถกู้สัญญาณเดิมกลับคืนมาได้ถูกต้อง รูปแบบของสัญญาณดังกล่าวนี้ อาจจะกำหนดด้วยรูปร่าง หรือรหัส ที่ยังคงรักษาคุณลักษณะ

เบสแบนด์ของสัญญาณดิจิตอลเอาไว้ได้ เทคนิคที่จะได้กล่าวถึงในที่นี้ จะนำไปใช้กับระบบสายเคเบิล ทั้งแบบโลหะและเส้นใยนำแสงที่ใช้การส่งผ่านแบบเบสแบนด์

คุณสมบัติต่างๆ ที่สำคัญในการส่งผ่านเบสแบนด์ที่ใช้รูปร่าง หรือรหัสของสัญญาณมีดังต่อไปนี้

เทคนิครหัสเบสแบนด์ที่ดี จะต้องทำให้จำนวนการเปลี่ยนแปลงสถานะของข้อมูลมีจำนวนเพิ่มมากขึ้น ซึ่งจะเป็นการเพิ่มประสิทธิภาพการทำงานของวงจรกู้สัญญาณให้ดีขึ้น ทั้งค่าของบิตข้อมูลและสัญลักษณ์ในการซิงค์ (Synchronization)

(1) การตรวจสอบการผิดพลาด และการแก้ไขให้ถูกต้อง (Error detection / correction) รหัสที่พิจารณาต่อไปนี้ จะมีความสามารถในการตรวจสอบความผิดพลาดอยู่ภายในได้ ถ้าเรากำหนดให้มีการเปลี่ยนแปลงระหว่างกลางระดับสัญญาณ ถ้าคุณสมบัติที่กำหนดให้มีการเปลี่ยนแปลงไปก็จะเป็นการเตือน ให้รู้ว่ามีข้อผิดพลาดเกิดขึ้นแม้ว่า การแก้ไขความผิดพลาดจะไม่สามารถทำได้จากคุณสมบัติของรหัสเบสแบนด์นี้ก็ตาม

(2) การลดแบนด์วิดท์ (Reduced bandwidth) ของสัญญาณดิจิตอลอาจะถูกลดลงได้โดยการใช้โครงสร้างตัวกรองสัญญาณที่ละเอียดแน่นอน กับการส่งผ่านแบบมีหลายระดับหรือเทคนิคการเข้ารหัสบางแบบจะไม่ได้รับความนิยมเพราะ เมื่อเข้ารหัสไปแล้วอาจทำให้อัตราส่วนสัญญาณต่อสัญญาณรบกวน (S/N) ลดลงหรือจำนวนการเกิด การสอดแทรกระหว่างสัญญาณ (Intersymbol interference) มีจำนวนมากขึ้น

(3) รูปร่างของสเปกตรัม (Spectrum shaping) รูปร่างของข้อมูลสามารถเปลี่ยนแปลงได้ด้วยโครงสร้างของการสแกรมบิ้ง (Scrambling) หรือการกรองซึ่งโครงสร้างเหล่านี้จะถูกเลือกให้เหมาะสมระหว่างสัญญาณกับคุณสมบัติของสัญญาณการส่งผ่าน หรือการควบคุมการแทรกสอดระหว่างช่องทางเดินสัญญาณที่แตกต่างกัน

2.2 รูปแบบของข้อมูลที่ใช้ในการสื่อสารแบบดิจิตอล (Digital transmission format)

เนื่องจากขีดจำกัดของค่าแบนด์วิดท์ อาจทำให้ความจุไม่เพียงพอต่อปริมาณข้อมูล ดังนั้นจึงต้องมีการเข้ารหัสเพื่อทำการลดจำนวนข้อมูลแต่รายละเอียดของข้อมูลยังอยู่ครบหรือมีการสูญเสียที่น้อยในความเป็นจริงสัญญาณดิจิตอลที่เป็นพัลส์อาจมีระดับ ขนาดอะไรก็ได้ 2, 4, 8 หรือ 16 ระดับก็ได้ไม่จำเป็นต้องเป็น "1" และ "0" การเพิ่มระดับเป็นการช่วยในการใช้ประโยชน์จากช่องสัญญาณและทำให้ได้สมรรถนะที่มีความผิดพลาดต่ำ

สำหรับวิธีเข้ารหัสมีหลายวิธี ซึ่งจะแบ่งตามชนิดของสัญญาณได้เป็น สัญญาณแบบขั้วเดียว (Unipolar signal) และสัญญาณแบบสองขั้ว (Bipolar signal)

(ก) สัญญาณแบบขั้วเดียว

วิธีแบบนี้ใช้หลักการสร้างขั้วศักย์ไฟฟ้าเพียงขั้วเดียว เพื่อสร้างแรงดันให้เกิด 2 สถานะ กำหนดให้เป็น "0" โวลต์ และ "V" โวลต์ สัญญาณนี้มีองค์ประกอบกระแสตรงที่มีค่าไม่เป็นศูนย์ คือ มีค่าเป็นครึ่งหนึ่งของศักย์ไฟฟ้าบวก มีทั้งแบบไม่กลับศูนย์ (Nonreturn-To-Zero: NRZ) และแบบกลับศูนย์ (Return-To-Zero: RZ)

(ข) สัญญาณแบบสองขั้ว

เรียกอีกชื่อหนึ่งว่า สัญญาณแบบ AMI (Alternate Mark Inversion) เป็นวิธีการเข้ารหัสที่แบ่งระดับสัญญาณข้อมูลออกเป็น 3 ระดับ คือ เป็นระดับบวกและลบสลับกันกรณีที่สัญญาณข้อมูลมีสถานะเป็น "1" และมีระดับศูนย์ เมื่อสัญญาณข้อมูลมีสถานะเป็น "0" ผลของการเข้ารหัสแบบนี้จะทำให้องค์ประกอบกระแสตรงมีค่าเท่ากับศูนย์ ทำให้ไม่ถูกบล็อก โดยตัวนำวงจรสื่อสารรหัสแบบนี้อาจเป็น NRZ (Duty cycle 100%) และ RZ (duty cycle 50%) ก็ได้

สำหรับแบบสองขั้วนี้ได้รับการรบกวนจากค่าเหนี่ยวนำไฟฟ้าในสายส่งได้น้อยกว่า ด้วยมีผลให้สามารถส่งข้อมูลได้ระยะไกลกว่าแบบขั้วเดียว

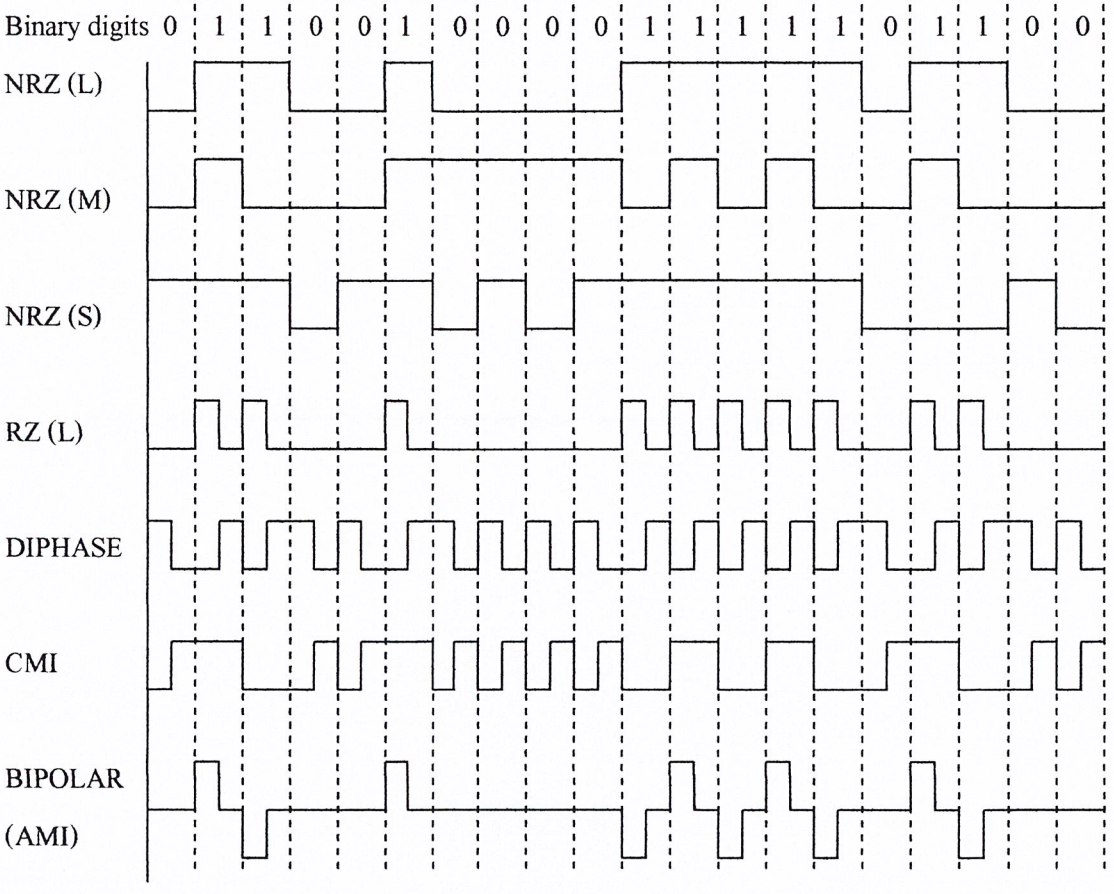
2.3 ชนิดของรหัสไบนารี

การเข้ารหัสข้อมูลไบนารีสอดคล้องโดยตรงกับสัญญาณไบนารีที่ใช้ในการส่งผ่าน เงื่อนไขสัญญาณดังกล่าวนี้ ทำขึ้นเพื่อให้คุณสมบัติของคลื่นสี่เหลี่ยมเหมาะสมโดยตรงกับการส่งผ่านบนสายเคเบิล สำหรับในที่นี้จะกล่าวถึงประโยชน์โดยทั่วไปของการส่งผ่านแบบไบนารี รวมทั้งแสดงรูปคลื่นคุณสมบัติและโครงร่างของแผนภาพของตัวเข้ารหัสและถอดรหัส ซึ่งจะมีรูปแบบของสัญญาณชนิดต่างๆ ดังรายละเอียดในรูปที่ 2.2

2.3.1 Nonreturn-to-Zero (NRZ)

สำหรับ NRZ ระดับของสัญญาณจะถูกรักษาให้คงที่ 1 ใน 2 ของระดับแรงดัน ระหว่างช่วงเวลาบิต "T" ถ้าแรงดันทั้งสองกำหนดให้เป็น "0" โวลต์ และ "V" โวลต์ แล้วรูปคลื่น NRZ จะเรียกว่าเป็นขั้วเดียว (Unipolar) เพราะว่ามันมีขั้วศักย์ไฟฟ้าขั้วเดียว และสัญญาณนี้มีองค์ประกอบกระแสตรง ที่มีค่าไม่เป็นศูนย์ คือ เป็นครึ่งหนึ่งของศักย์ไฟฟ้าบวก สัญญาณ NRZ แบบมีขั้วใช้ทั้งสองขั้วคือ ศักย์ (+, -) ซึ่งทำให้องค์ประกอบกระแสตรงมีค่าเป็นศูนย์

รูปแบบต่างๆ ของสัญญาณ NRZ อธิบายดังในรูปที่ 2.2 ตัวอย่างเช่น NRZ (L) ระดับศักย์ไฟฟ้าของสัญญาณจะเป็นตัวแสดงค่าของบิต การกำหนดของบิต "0" กับ "1" ขึ้นอยู่กับระดับศักย์ไฟฟ้า สามารถกำหนดได้อย่างอิสระสำหรับ NRZ (L)

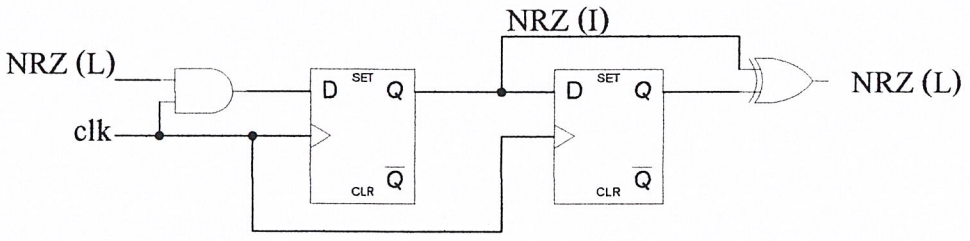


รูปที่ 2.2 รูปคลื่นสัญญาณไบนารี

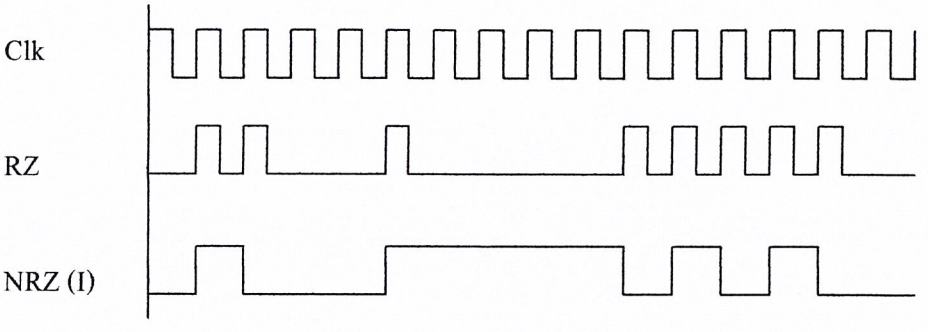
แต่ตามแบบแผนโดยทั่วไปแล้วการกำหนดให้ค่า "1" มีค่าระดับศักย์ไฟฟ้าสูงๆ และค่า "0" มีค่าระดับไฟฟ้าต่ำๆ รหัส NRZ (L) เป็นรูปแบบของ NRZ ในการส่งผ่านที่รู้จักกันมากที่สุดเพราะระบบรับและส่งทำได้ง่าย ตัวรับรหัส/ถอดรหัส ประกอบด้วยตัวขับและตัวรับอย่างง่ายๆ ซึ่งคุณสมบัติพื้นฐาน ได้ถูกกำหนดไว้ในมาตรฐานการเชื่อมต่อระดับ (layer 1 physical layer)

รูปแบบของ NRZ (M) จะใช้การเปลี่ยนระดับสัญญาณแทนค่ามาร์ค (mark) ซึ่งมีค่าเท่ากับลอจิก "1" ส่วนค่าลอจิก "0" จะแทนได้ด้วยการไม่เปลี่ยนแปลงระดับสัญญาณสำหรับ NRZ (S) ก็จะมีลักษณะทำนองเดียวกันกับ NRZ (M) เพียงแต่จะกลับกันคือ ลอจิก "0" จะแทนด้วยการเปลี่ยนระดับสัญญาณรูปแบบของ NRZ (M, S) ที่กล่าวมาแล้วคือ สับเซตของ NRZ (I) ซึ่งเรียกว่า

"condition NRZ " ซึ่งอาศัยการเปลี่ยนแปลงระดับมาเป็นตัวกำหนดลอจิก และตัวเข้ารหัสและถอดรหัสของลอจิก NRZ (I) ข้อได้เปรียบของ NRZ (I) ที่มีเหนือ NRZ (L) เนื่องจากการสลับขั้วเพราะว่าข้อมูลถูกเข้ารหัสด้วยการมีหรือไม่มีการเปลี่ยนแปลงแทนที่จะเป็นการมีหรือไม่มี พัลส์ ดังในรูปที่ 2.3



(ก) coder (ข) decoder



(ค) Waveform of coder

รูปที่ 2.3 คุณลักษณะของรหัส NRZ (I)

ข้อเสียของการเข้ารหัสสัญญาณดิจิตอลแบบ NRZ คือ ถ้ามีสถานะใดสถานะหนึ่งติดต่อกันเป็นเวลานานจะเกิดการถอดรหัสที่ผิดพลาดขึ้นที่ภาครับเช่นมีค่าบิต "0" ถึง 4 บิตติดกันอาจทำให้ด้านภาครับถอดรหัสผิดพลาดขึ้น

2.3.2 Return-to-Zero (RZ)

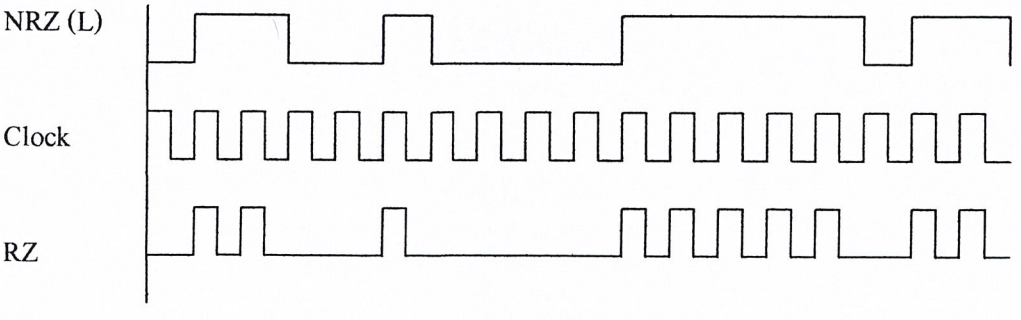
โดยการเข้ารหัส Return-to-Zero (RZ) การแสดงระดับสัญญาณค่าบิต จะกระทำเพียงครึ่งช่วงแรกของช่วงเวลาบิตหลังจากครึ่งหนึ่งของบิตผ่านไป สัญญาณจะกลับไปยังระดับสัญญาณอ้างอิง (zero) เป็นเวลาครึ่งหนึ่งของช่วงความยาวบิตตามรูปที่ 2.4 ค่าศูนย์จะถูกแสดงด้วยการไม่มี

การเปลี่ยนแปลง โดยที่สัญญาณจะยังคงอยู่ที่ระดับอ้างอิง ซึ่งมันจะมีประโยชน์ในการเปลี่ยนแปลง (Transition) และการทำให้สัญญาณนาฬิกาในการกู้สัญญาณคืนดีขึ้น รูปคลื่นของ RZ สำหรับค่าบิต "1" และ "0" แสดงไว้ในรูปที่ 2.2 เปรียบเทียบกับรูปแบบของรหัสตัวอื่นจะสังเกตเห็นว่า ค่าบิต "0" ก็คือ ค่าของสัญญาณที่ไม่มีการเปลี่ยนแปลงซึ่งทำให้เกิดปัญหาเรื่องศักยภาพของวงจร เวลาในการกู้สัญญาณ ซึ่งอาจจะกำจัดปัญหาดังกล่าว ได้โดยการทำ Precoding ตัวเข้ารหัสรูปคลื่นและตัวถอดรหัสแสดงไว้ในรูปที่ 2.4 รหัส RZ จะถูกสร้างโดยการแอนด์ (AND) NRZ (L) กับสัญญาณนาฬิกาที่ทำหน้าที่เป็นอัตราบิตของระบบ ตัวถอดรหัสจะถอดรหัสได้โดยการหน่วงเวลา RZ ไป 1/2 บิต และนำเอาสัญญาณ RZ ที่หน่วงเวลามาเอกซ์คลูซีฟออร์กับสัญญาณ RZ เดิม ก็จะได้สัญญาณ NRZ (L) กลับคืนมาเหมือนเดิม

ข้อดีของ RZ นี้ ด้านรับสามารถตรวจจับค่าสถานะบิต "1" ได้ง่ายแบบ NRZ แต่ยังไม่สามารถแก้ปัญหาในการส่งสถานะบิต "0" ติดต่อกันนานๆ ได้

ข้อเสีย ไม่เหมาะสมในการส่งสัญญาณที่มีบิตศูนย์ติดต่อกันนานๆ

สรุป ทั้งแบบ NRZ และ RZ จะมีลักษณะเหมือนกันคือ ค่าแรงดัน (voltage) เฉลี่ยไม่เท่ากับศูนย์หรือใกล้เคียงค่าศูนย์ แต่มีค่าแรงดันค่อนข้างคงที่ขึ้นอยู่กับสัดส่วนของสถานะบิต "1" หรือบิต "0" ซึ่งการส่งข้อมูลในลักษณะนี้ผ่านเข้าไปในเครือข่าย นับว่าเสี่ยงต่อความผิดพลาดของข้อมูลได้ พิจารณาอย่างเช่น สัญญาณข้อมูลแบบ NRZ เท่ากับ "1 1 1 1 0 1" และเมื่อผ่านอุปกรณ์ประจุไฟฟ้า โอกาสที่สถานะบิต "0" ไม่สามารถถูกตรวจจับที่ด้านรับได้มีสูงมาก เพราะ เกิดจากการคายประจุไม่ทัน (บิตตามมาเป็นบิต "1") ซึ่งเราสามารถแก้ปัญหานี้ได้ โดยการใช้สัญญาณแบบสองขั้ว

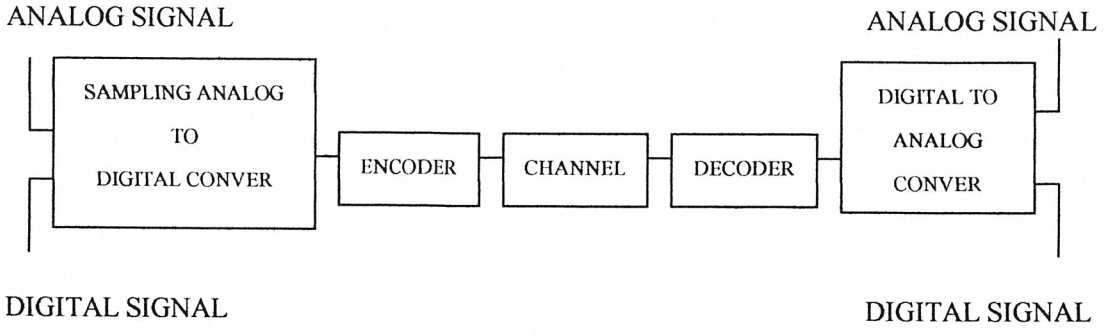


รูปที่ 2.4 คุณลักษณะของการเข้ารหัส Return-to-Zero

2.4ระบบสื่อสารดิจิตอล (Digital Communication System)

จุดมุ่งหมายของระบบสื่อสารคือ การส่งข่าวสารจากจุดหนึ่งไปยังจุดอื่นๆ โดยข่าวสารนี้อยู่ในรูปของสัญญาณไฟฟ้า ในแบบอนาล็อกหรือดิจิตอล สัญญาณอนาล็อก (analog signal) คือสัญญาณที่มีค่าต่อเนื่องตลอดเวลา ในขณะที่สัญญาณดิจิตอล (digital signal) คือสัญญาณที่มีค่าแน่นอนและมีจำนวนจำกัด ตัวอย่างของสัญญาณอนาล็อก คือ เสียงที่รับได้ โดยไมโครโฟนและตัวอย่างของสัญญาณดิจิตอล คือ สัญญาณข้อมูลที่ส่งออกจากคอมพิวเตอร์ ส่วนประกอบเบื้องต้นของระบบสื่อสารดิจิตอลแสดงให้เห็นใน รูปที่ 2.5 โดยสัญญาณขาเข้า (input signal) อาจจะมีลักษณะรูปแบบเดียวกับข้อมูลคอมพิวเตอร์หรือสัญญาณอนาล็อก จะทำการแปลงให้เป็นสัญญาณดิจิตอลโดยการสุ่มตัวอย่าง (sampling) และการจัดระดับ (quantization) สัญญาณแต่ละแบบที่เข้ามาจะถูกตัวส่ง (transmitter) รวมสถานะแน่นอนของสัญญาณดิจิตอลทั้งหมดเข้าเป็นรูปแบบ ซึ่งเหมาะสม สำหรับช่องสัญญาณ (channel) ระหว่างตัวส่งกับตัวรับ โดยที่ช่องสัญญาณจะมีรูปแบบที่แตกต่างกันออกไปขึ้นอยู่กับโครงสร้างทางฟิสิกซ์ เช่น สายคู่ขนาน (wire paire) สายโคแอ็กเซียล (coaxial) เส้นใยแสง (optical fibers) และชั้นบรรยากาศสำหรับการส่งด้วยคลื่นวิทยุซึ่งแตกต่างกันไปตามความต้องการของตัวส่ง โดยทั่วไปช่องสัญญาณจะทำให้เกิดการผิดเพี้ยน (distortion) ไปจากสัญญาณที่ส่ง เนื่องจากการบวกสัญญาณรบกวน (noise) ที่หลีกเลี่ยงไม่ได้ ทำให้เครื่องรับต้องทำงานหนักในการกู้ (recover) เอาสัญญาณที่ถูกต้องกลับมา ถ้าช่องสัญญาณมีระยะทางไกล การลดทอน (attenuation) สัญญาณที่ส่งก็จะสูง ทำให้ต้องมีตัวทบทวนสัญญาณ (repeater) ระหว่างตัวส่งกับตัวรับ เพื่อให้ปรับคุณลักษณะของสัญญาณถูกต้อง รูปแบบง่ายๆของตัวทวนสัญญาณ คือ แอมปลิฟลาย ซึ่งใช้ในระบบอนาล็อก ซึ่งจะทำหน้าที่ขยายสัญญาณที่รับเข้ามาแล้วส่งออกไป แต่วิธีนี้สัญญาณรบกวนก็จะถูกขยายด้วยซึ่งไม่ได้เป็นการกำจัดการผิดเพี้ยนของสัญญาณ ส่วนตัวทวนสัญญาณระบบดิจิตอลจะทำการสร้างสัญญาณขึ้นมาใหม่จากสัญญาณเดิมแล้วทำการส่งต่อไป

ความสามารถในการสร้างสัญญาณใหม่ เป็นข้อได้เปรียบของระบบดิจิตอล ในการสื่อสารระบบอนาล็อก ตัวทวนสัญญาณจะทำหน้าที่ขยายอย่างเดียว โดยที่เครื่องรับ จะทำการกะประมาณรูปร่างของสัญญาณให้ตรงกับสัญญาณที่ส่งการวัดคุณสมบัติในการใช้งานของระบบจะวัดในเทอมของการเหมือนกันระหว่างสัญญาณที่ส่งกับสัญญาณที่รับ



รูปที่ 2.5 แสดงส่วนประกอบโดยทั่วไปของระบบการสื่อสารดิจิตอล

การส่งสัญญาณดิจิตอล เช่น สัญญาณ PCM โดยคลื่นวิทยุไมโครเวฟ จำเป็นที่จะต้องเปลี่ยนสัญญาณดิจิตอลไปเป็นสัญญาณในย่านความถี่วิทยุ เทคนิคในการมอดูเลทสัญญาณดิจิตอลมี 3แบบ คือ

1. แอมปลิจูดชิฟท์คีย์อิง (Amplitude Shift Keying :ASK)
2. ฟรีเควนซีชิฟท์คีย์อิง (Frequency Shift Keying :FSK)
3. เฟสชิฟท์คีย์อิง (Phase Shift Keying :PSK)

ซึ่งในการมอดูเลทเป็นการนำสัญญาณเบสแบนด์ ที่เป็นข้อมูลมาเปลี่ยนแปลงเป็นสัญญาณคลื่นพาห์ จากสัญญาณคลื่นพาห์แสดงเป็นสมการได้ดังนี้

$$f(t) = A \cos(2\pi f_c t + \phi) \qquad \text{สมการที่ 2.1}$$

โดยที่ $f(t)$: เป็นสัญญาณโคไซน์ในเวลาใดๆ

A : เป็นขนาดของแอมปลิจูด

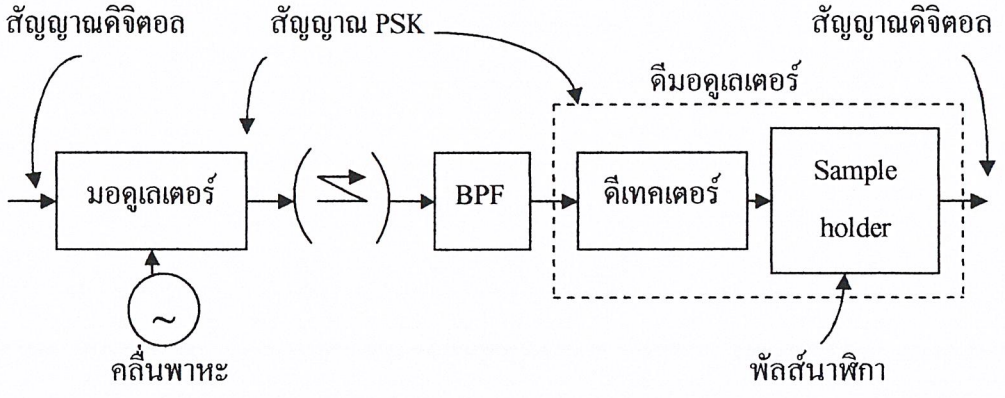
f_c : เป็นขนาดความถี่ของคลื่นพาห์

ϕ : เป็นเฟสของสัญญาณ

ในการมอดูเลทโดยการเปลี่ยนขนาดแอมปลิจูดตามขนาดของสัญญาณเบสแบนด์ เรียกว่า การมอดูเลทแบบแอมปลิจูดชิฟท์คีย์อิง และการมอดูเลท โดยเปลี่ยนแปลงความถี่ตามสัญญาณเบสแบนด์เรียกว่า การมอดูเลทแบบฟรีเควนซีชิฟท์คีย์อิง และถ้าหากเปลี่ยนเฟสตามสัญญาณเบสแบนด์จะเรียกว่า การมอดูเลทแบบเฟสชิฟท์คีย์อิง ซึ่งในที่นี้จะอธิบายแต่การมอดูเลทแบบเฟสชิฟท์คีย์อิง (Phase Shift Keying :PSK) เท่านั้น

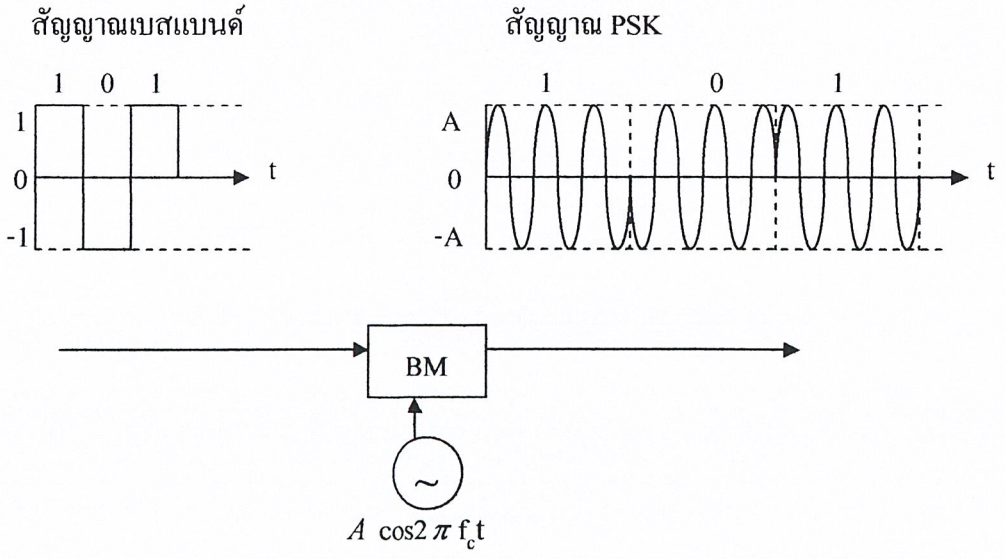
2.5หลักการของไบนารี PSK มอดูเลเตอร์และดีมอดูเลเตอร์

ทางด้านส่งมีมอดูเลเตอร์ ซึ่งเปลี่ยนสัญญาณดิจิตอลเป็นสัญญาณ PSK ทางด้านรับมี band-pass filter และดีมอดูเลเตอร์ ซึ่งเปลี่ยนสัญญาณ PSK เป็นสัญญาณดิจิตอลอันเดิม ดีมอดูเลเตอร์ประกอบด้วยดีเทคเตอร์ และ sample holder



รูปที่ 2.6 การรับ-ส่งสัญญาณดิจิตอล

โดยทั่วไปแล้วการมอดูเลท PSK จะใช้ balanced modulator สมมติว่าสัญญาณดิจิตอลเบสแบนด์อยู่ในรูปคลื่นสี่เหลี่ยมมีแอมปลิจูดเท่ากับ 1 สำหรับรหัส 1 และมีแอมปลิจูดเท่ากับ -1 สำหรับรหัส 0 เมื่อคลื่นรูปสี่เหลี่ยมนี้ถูกผสมโดยคลื่นแคเรียร์ $A\ \cos 2\pi f_c t$ ผ่านวงจร balanced modulator สัญญาณ PSK ที่ได้แสดงดังในรูป



รูปที่ 2.7 การมอดูเลทสัญญาณดิจิตอล

สัญญาณ PSK สำหรับรหัส 1 จะเป็น $S(t) = 1 \times A \cos 2\pi f_c t = A \cos 2\pi f_c t$ ส่วนสัญญาณ PSK สำหรับรหัส 0 จะเป็น $S(t) = -1 \times A \cos 2\pi f_c t = -A \cos 2\pi f_c t$ เราสามารถเขียน $-A \cos 2\pi f_c t = A \cos(2\pi f_c t + \pi)$ ตามหลักการนี้แสดงว่าสำหรับรหัส 0 เฟสของคลื่นแคเรียร์จะเปลี่ยนไปเท่ากับ π ซึ่งจะเห็นได้ชัดเจนดังในรูป

กรณี 1

$S(t) = 1 \times A \cos 2\pi f_c t$

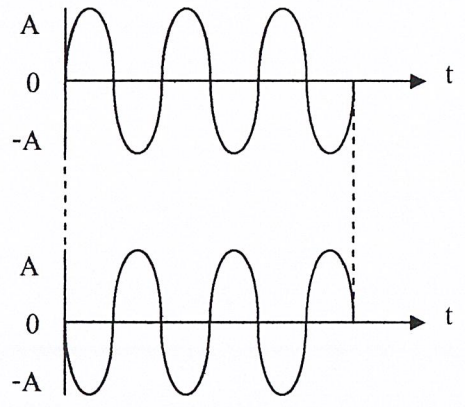
$= A \cos 2\pi f_c t$

กรณี 0

$S(t) = -1 \times A \cos 2\pi f_c t$

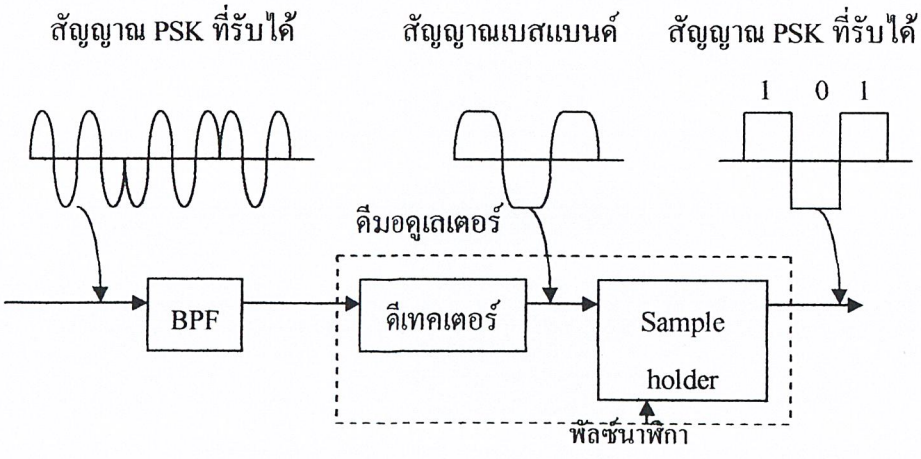
$= -A \cos 2\pi f_c t$

$= A \cos(2\pi f_c t + \pi)$



รูปที่ 2.8 การเปลี่ยนแปลงทางเฟสของคลื่นพาหะ

band-pass filter ทางด้านรับ รับสัญญาณ ซึ่งมีเสียงรบกวนปนอยู่ด้วยจะถูกดีเทคออกมาที่ดีมอดูเลเตอร์, ดีเทคเตอร์ จะเอาสัญญาณเบสแบนด์ออกมา โดยตัดแคเรียร์คอมโปเนนท์ ซึ่งรวมอยู่ในสัญญาณ PSK ออกไป สัญญาณเบสแบนด์จะไม่เป็นรูปสี่เหลี่ยมที่สมบูรณ์นัก เนื่องจากการกำหนดแถบความกว้าง โดยตัวกรองความถี่ และเนื่องจากอิทธิพลของเสียงรบกวน sample holder จะสร้างสัญญาณดิจิตอลเดิมขึ้นมาใหม่ผ่านการพิจารณา polarity บวก หรือ ลบ ของสัญญาณเบสแบนด์

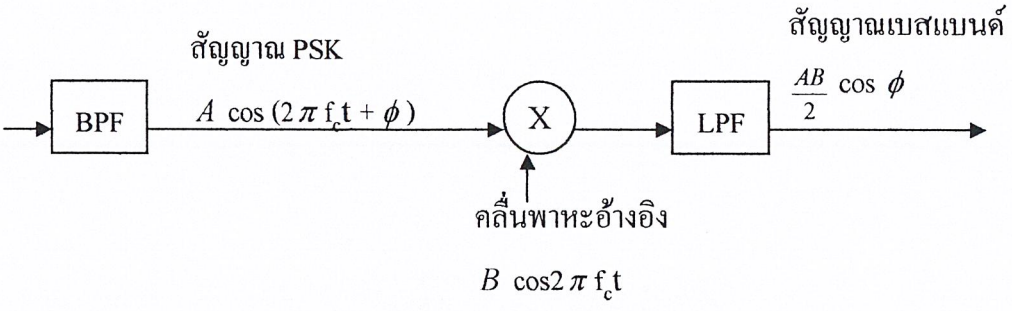


รูปที่ 2.9 การสร้างสัญญาณขึ้นใหม่ทางด้านรับ

2.5.1 โคฮีเรนท์ดีเทคชัน

การดีมอดูเลทสัญญาณ PSK ทางด้านรับเป็นแบบ coherent detection ซึ่งมีหลักการดังนี้ สัญญาณ PSK ที่รับได้ ขั้นแรกจะผ่านวงจร multiplier ซึ่งจะคูณสัญญาณ PSK ที่รับได้ด้วย reference carrier สำหรับฮาร์โมนิคซึ่งรวมอยู่ในสัญญาณ output จะถูกตัดโดยผ่าน low pass filter และได้สัญญาณเบสแบนด์ออกมาทางด้านทางออก

ถ้าสัญญาณ PSK ที่รับเข้ามาคือ $A \cos(2\pi f_c t + \phi)$ คลื่นพาหะอ้างอิงมีไว้เพื่อการซิงโครไนซ์กับคลื่นพาหะทางด้านส่ง คือ $B\cos 2\pi f_c t$ สัญญาณทางออกหลังจากผ่าน LPF แล้ว สามารถกำหนดได้เป็น $\frac{AB}{2}(\cos\phi)$



รูปที่ 2.10 การรับสัญญาณ PSK ทางด้านรับ

ทั้งนี้เนื่องจาก

$$A\cos(2\pi f_c t + \phi)\, B\cos 2\pi f_c t$$

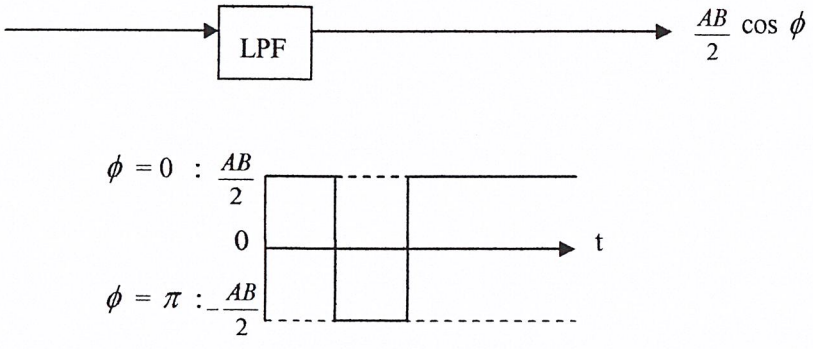
$$= \frac{AB}{2}\left\{ \cos(2\pi f_c t + \phi + 2\pi f_c t) + \cos(2\pi f_c t + \phi - 2\pi f_c t) \right\}$$

$$= \frac{AB}{2}\left\{ \cos(4\pi f_c t + \phi) + \cos\phi \right\}$$

ซึ่ง $\frac{AB}{2}\cos(4\pi f_c t + \phi)$ นี้คือฮาร์โมนิค โดยมีความถี่เป็น 2เท่า ของความถี่คลื่นพาหะเดิม ซึ่งจะถูกตัดออกไปเมื่อผ่าน low pass filter ดั้งนั้น ทางด้านทางออกจึงมีแต่เพียง $\frac{AB}{2}\cos\phi$ เท่านั้น $\frac{AB}{2}\cos\phi$ นี้ จะได้เป็น $\frac{AB}{2}$ เมื่อ $\phi = 0$ และจะได้เป็น $-\frac{AB}{2}$ เมื่อ $\phi = \pi$ ดังในรูป

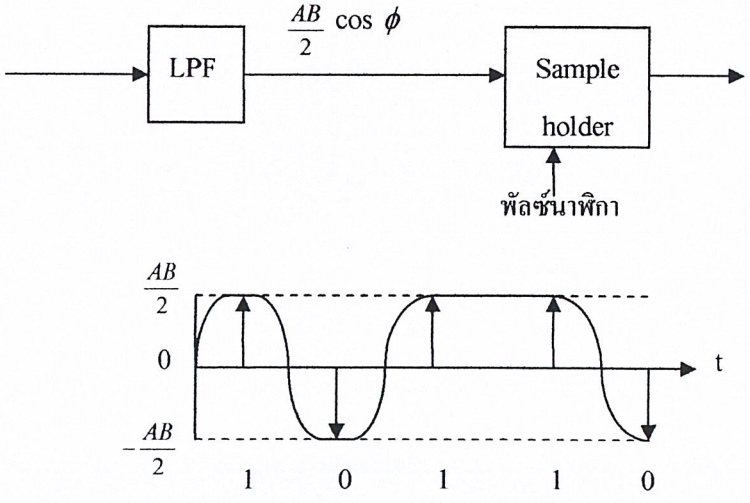
สัญญาณ output ในรูปข้างบน ในทางปฏิบัติแล้วจะไม่เป็นรูปสี่เหลี่ยมโดยสมบูรณ์ ทั้งนี้เนื่องจากอิทธิพลของ band limitation และเสียงรบกวน

ต่อจากนี้ สัญญาณเบสแบนด์นี้ จะถูกส่งไปยังวงจร sample holder ซึ่งวงจรจะทำการสุ่มตัวอย่างสัญญาณเบสแบนด์ด้วย clock pulse ที่จุดกึ่งกลางของแต่ละรหัสสัญญาณ และกำหนดว่ารหัสนั้นเป็น 1 หรือ



รูปที่ 2.11 สัญญาณ output หลังจากผ่าน LPF

เป็น 0 โดยการตัดสิน หรือ พิจารณาจาก polarity ของสัญญาณแซมเปิลนั้น แล้วทำการสร้างสัญญาณดิจิตอลดั้งเดิมขึ้นมาใหม่ ในรูปนี้รหัสเป็น 1 สำหรับสัญญาณที่มีแอมปลิจูดเป็นบวก และรหัสเป็น 0 สำหรับสัญญาณที่มีแอมปลิจูดเป็นลบ

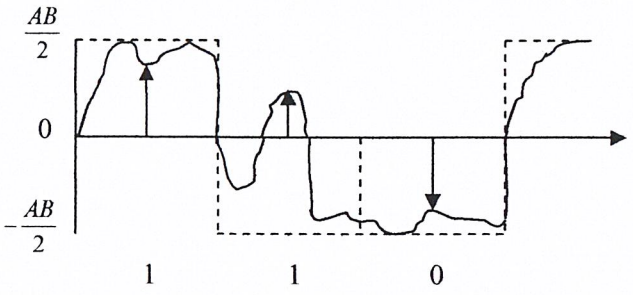


รูปที่ 2.12 การพิจารณารหัสเป็น 1 หรือ 0 โดย sample holder

เมื่อสัญญาณมีการผิดเพี้ยน เนื่องจากอิทธิพลของเสียงรบกวน ถ้ามีการผิดเพี้ยนน้อย polarity ของสัญญาณก็ไม่เปลี่ยนแปลง เช่น t_1 และ t_3 รหัสที่ได้ออกมาก็ถูกต้อง แต่ถ้าพิจารณา

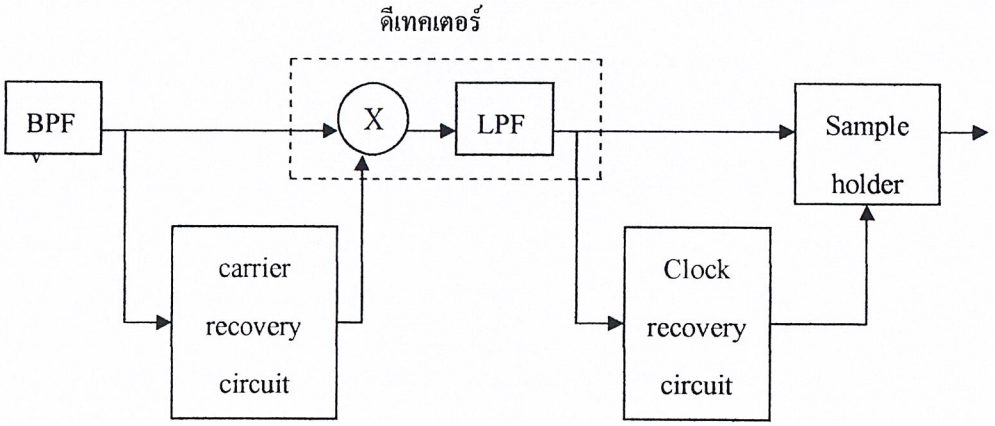
สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

ที่ t_2 polarity ของสัญญาณถูกเปลี่ยนไปในทางตรงข้ามเนื่องจากเกิดคารผิดเพี้ยนมาก รหัสที่ได้ออกมาก็จะผิดไปจากรหัสเดิม bit error ก็จะเกิดขึ้น



รูปที่ 2.13 รหัสผิดเพี้ยนเนื่องจากเสียงรบกวน

รูปต่อไปนี้เป็นบล็อกไดอาแกรมของ coherent demodulator มี BPF ดีเทคเตอร์ sample holder, carrier recovery circuit และ clock recovery circuit วงจร carrier recovery circuit จะสร้างคลื่นพาหะอ้างอิงขึ้นมาใหม่ โดยการทวีคูณสัญญาณ PSK ที่รับมาได้ ส่วน clock recovery circuit จะสร้างสัญญาณ clock ขึ้นมาใหม่ เพื่อใช้สำหรับ sample holding ในวิธีการ coherent detection นี้ทั้งคลื่นพาหะอ้างอิง และสัญญาณ clock จะถูกสร้างขึ้นมาใหม่จากสัญญาณ PSK ที่รับเข้ามา

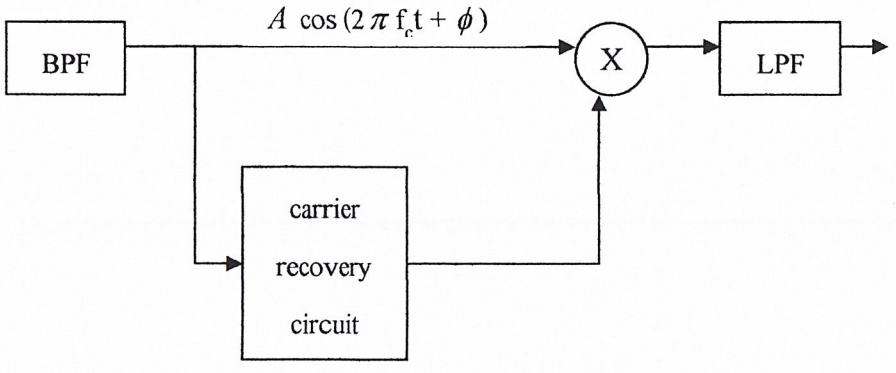


รูปที่ 2.14 บล็อกไดอาแกรมของ coherent demodulator

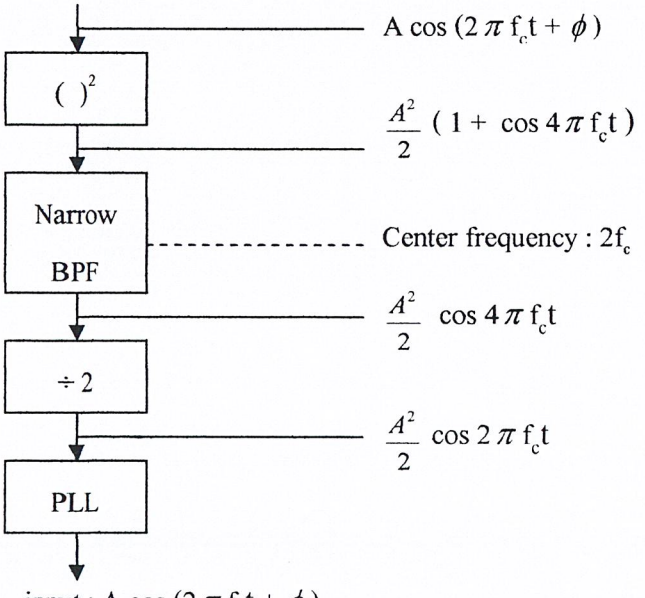
55768

คลื่นพาหะอ้างอิงที่ใช้ใน coherent detection นี้ เพื่อการซิงโครไนซ์กับคลื่นพาหะทางด้านส่ง เพื่อจุดประสงค์นี้คลื่นพาหะอ้างอิงถูกสร้างขึ้นใหม่จากสัญญาณ PSK ที่รับเข้ามา สัญญาณ input ที่เข้าวงจร carrier recovery circuit สามารถกำหนดโดย $A \cos(2\pi f_c t + \phi)$ สัญญาณ output คลื่นพาหะอ้างอิงกำหนดโดย $B \cos 2\pi f_c t$

วงจร carrier recovery ประกอบด้วย squarer, narrow band pass filter โดยมีความถี่กึ่งกลางที่ $2f_c$, วงจร $\frac{1}{2}$ frequency divider และวงจร phase lock loop

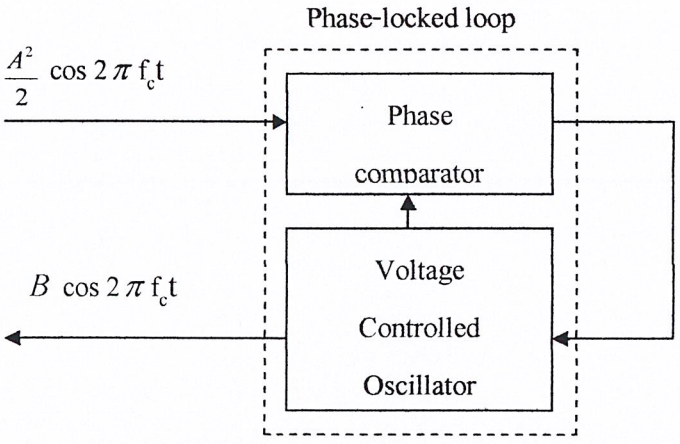


รูปที่ 2.15หลักการของ carrier recovery circuit



รูปที่ 2.16 carrier recovery circuit และสัญญาณตามจุดต่างๆ

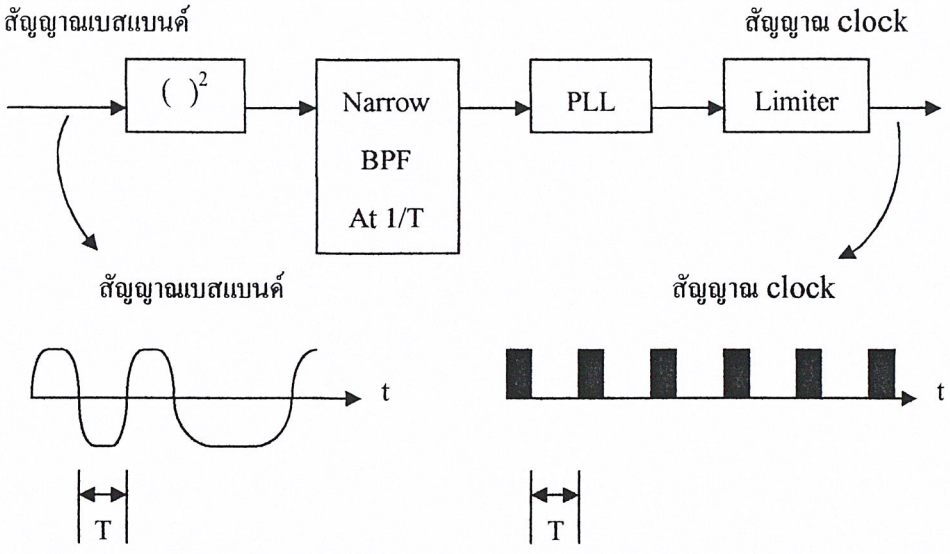
สัญญาณ($\frac{A^2}{2}\cos 2\pi f_c t$) ที่ออกจากวงจร divider ปกติจะมีเสียงรบกวนรวมอยู่ด้วย เพื่อตัดเสียงรบกวนออก และได้คลื่นพาหะอ้างอิงปราศจากการผิดเพี้ยน จำต้องใช้วงจร phase lock loop ช่วย วงจร PLL นี้ประกอบด้วย phase comparator และ voltage controlled oscillator (VCO) ที่วงจร phase comparator สัญญาณ output ของวงจร divider จะถูกเปรียบเทียบอย่างต่อเนื่องกับ output ของ VCO เมื่อมีความต่างเฟสระหว่างสัญญาณทั้งสองนี้ สัญญาณ output ของ VCO จะถูกควบคุมโดยอัตโนมัติในการปรับเฟสของสัญญาณทั้งสอง โดยวิธีการนี้คลื่นพาหะอ้างอิง B $\cos 2\pi f_c t$ ซึ่งไม่มีเสียงรบกวนรวมอยู่ด้วยสามารถที่จะสร้างขึ้นมาใหม่



รูปที่ 2.17 การทำงานของ phase locked loop

clock pulse ที่จำเป็นสำหรับ sample holder ก็ถูกสร้างขึ้นมาใหม่จากสัญญาณ PSK เพื่อจุดประสงค์นี้ ต้องใช้วงจร clock recovery สัญญาณเบสแบนด์ที่ได้ ที่ output ของดีเทคเตอร์ โดยทั่วไปจะใช้เป็น สัญญาณ input ให้กับวงจร clock recovery

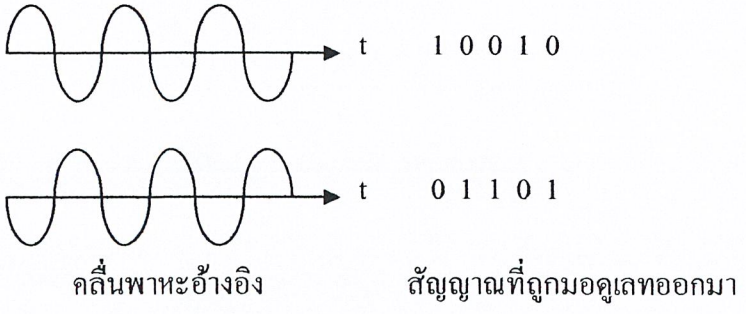
มีอยู่หลายวิธีในการสร้างสัญญาณ clock ขึ้นใหม่ วงจรข้างล่างนี้ก็เป็นตัวอย่างวงจรหนึ่ง ซึ่งประกอบด้วย squarer, narrow BPF, PLL และลิมิเตอร์ สำหรับ narrow BPF ที่ใช้ในวงจรนี้มีความถี่กึ่งกลางของ $\frac{1}{T}$ ซึ่ง T คือ ความกว้างของรหัสตัวหนึ่งๆดังนั้น $\frac{1}{T}$ คือความถี่ของสัญญาณ clock ที่ได้ โดยการผ่านสัญญาณเบสแบนด์ที่ได้รับที่ output ของดีเทคเตอร์ผ่านวงจรนี้ เราจะได้รับสัญญาณ clock ที่มีความถี่ $\frac{1}{T}$



รูปที่ 2.18 วงจร clock recovery

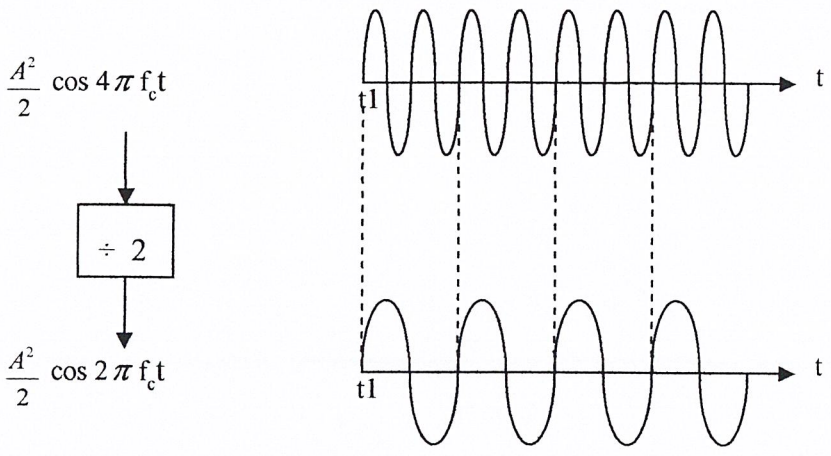
2.5.2 การผิดพลาดทางเฟส (phase ambiguity)

คลื่นพาหะอ้างอิงที่ใช้ใน coherent detection มีความจำเป็นเพื่อล๊อคเฟสกับคลื่นพาหะทางด้านส่ง แต่อย่างไรก็ตาม ปกติแล้วเป็นไปไม่ได้ที่จะทำให้คลื่นพาหะสองชนิดนี้มีการล๊อคเฟสซึ่งกันและกันอย่างสมบูรณ์ในไบนารี PSK ความต่างเฟสเท่ากับ อาจจะมีสาเหตุจากความต่างระหว่างคลื่นพาหะทั้งสอง แต่เป็นไปไม่ได้ที่จะรู้ความต่างเฟสนี้ที่ทางด้านรับ ความไม่สามารถที่จะ detect ความต่างเฟสนี้เป็นผลทำให้เกิดการผิดพลาดทางเฟส เมื่อคลื่นพาหะอ้างอิงเกิดการ out of phase เท่ากับ เครื่องหมายของบิทที่อยู่ในการดีมอดูเลทสัญญาณดิจิตอล จะเกิดการเปลี่ยนกลับจาก 1 เป็น 0 และจาก 0 เป็น 1



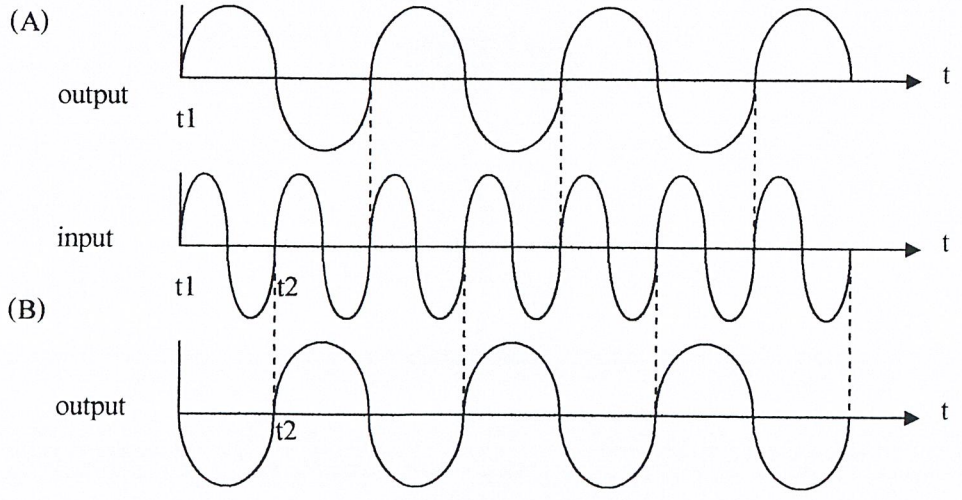
รูปที่ 2.19 การผิดพลาดทางเฟส

การผิดพลาดทางเฟสมีสาเหตุมาจาก frequency divider ในวงจร carrier recovery ในการหารความถี่นี้สัญญาณ $\cos 4\pi f_c t$ ถูกหารความถี่ด้วย 2 จะได้ $\cos 2\pi f_c t$ รูปต่อไปนี้แสดงรูปคลื่นดั้งเดิม และรูปคลื่นทาง output ที่ได้หลังการผ่านวงจรหารความถี่ด้วย 2 ซึ่งมีจุดเริ่มแรกที่ t_1 โดยการกำหนดจุดเริ่มแรกที่ต่างกันเราจะได้รูปคลื่น output ที่ต่างกัน



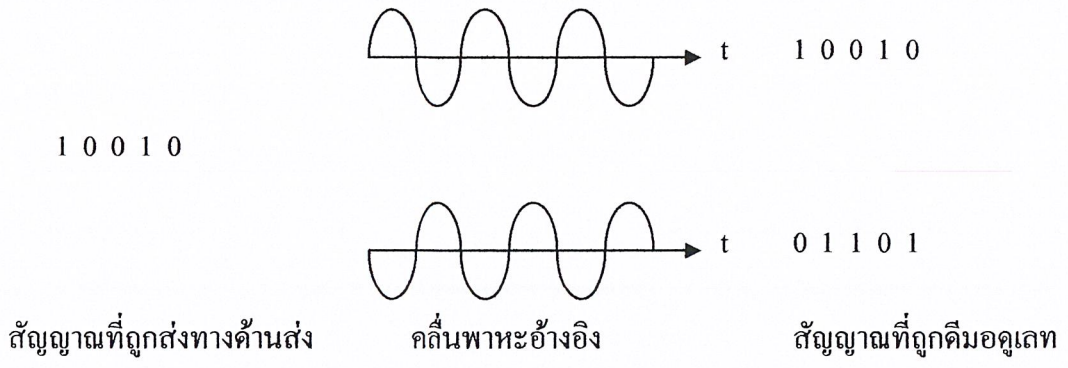
รูปที่ 2.20 คลื่นสัญญาณเมื่อผ่านวงจรหารความถี่

รูปข้างล่างนี้เป็น input และ output ของวงจรหารความถี่ ซึ่งใช้ในวงจร carrier recovery ซึ่ง output (A) ได้จากกรณี t_1เป็นจุดเริ่ม ส่วน output (B) ได้จากกรณีให้ t_2 เป็นจุดเริ่ม จะเห็นว่า output ทั้งสองกรณีกลับเฟสกัน



รูปที่ 2.22 เปรียบเทียบ output กรณี t_1 และ t_2 เป็นจุดเริ่ม

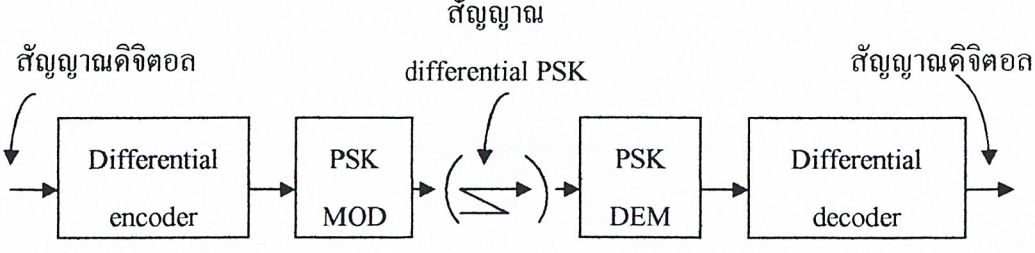
เนื่องจากรูปคลื่น output 2 แบบสามารถทำให้เกิดขึ้นได้ที่ output ของวงจรหารความถี่ ดังนั้นเราต้องมาพิจารณารูปคลื่นของคลื่นพาหะอ้างอิง 2 แบบ แบบหนึ่ง เฟสตรงกับคลื่นพาหะทางด้านส่ง และอีกแบบหนึ่ง ต่างเฟส π กับคลื่นพาหะ ตามปกติแล้วแบบใดแบบหนึ่งของคลื่นพาหะอ้างอิงใน 2 แบบนี้ ใช้ในการดีโมดูเลทอยู่แล้ว อย่างไรก็ตามไม่มีการกำหนดแน่นอนว่าแบบไหนที่ใช้สำหรับการดีมอดูเลท และดังนั้นเราจึงไม่สามารถกำหนดได้ว่าสัญญาณดิจิตอลที่ได้รับหลังจากผ่านการดีมอดูเลทเป็นแบบปกติ หรือ แบบกลับเฟส



รูปที่ 2.23 สัญญาณดิจิตอลหลังผ่านการดีมอดูเลท

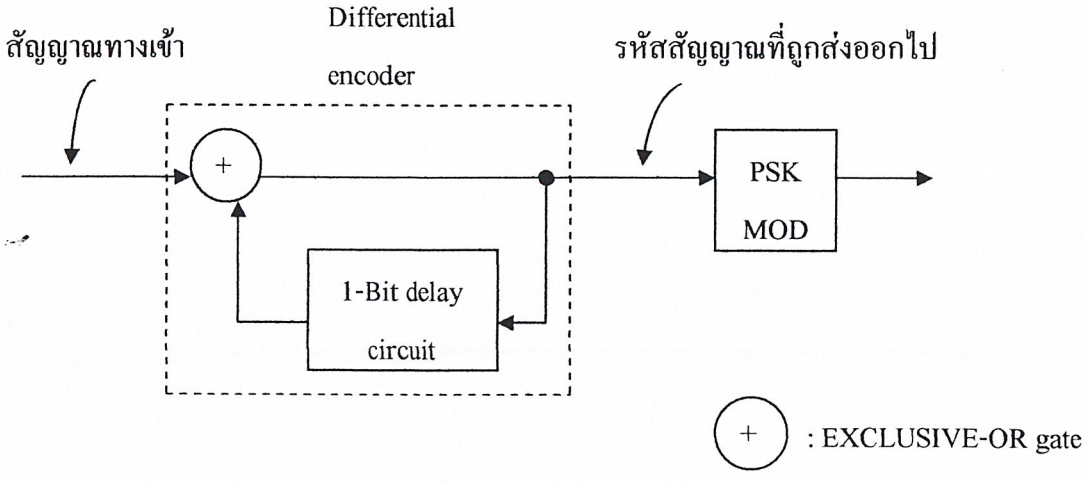
วิธีการที่จะแก้ปัญหาการผิดพลาดทางเฟสคือ differential coherent PSK หรือ เรียกย่อๆ ว่า DCPSK โดยวิธีการนี้ ข่าวสารในสัญญาณดิจิตอลที่จะส่งจะถูกทำให้เฟสของสัญญาณ PSK เปลี่ยนไป คือ ไม่ให้เป็น initial phase ของสัญญาณ PSK

จากรูป สัญญาณดิจิตอลที่จะส่ง ทางด้านส่งจะถูก differential encode ก่อนที่จะทำการมอดูเลทแบบ PSK เพื่อจุดประสงค์นี้ differential encoder จะอยู่ข้างหน้าวงจร PSK modulator สำหรับทางด้านรับสัญญาณ differential PSK จะถูกดีมอดูเลทแบบ coherent demodulator และป้อนเข้าวงจร differential decoder เพื่อสร้างสัญญาณดิจิตอลดั้งเดิมขึ้นมาใหม่



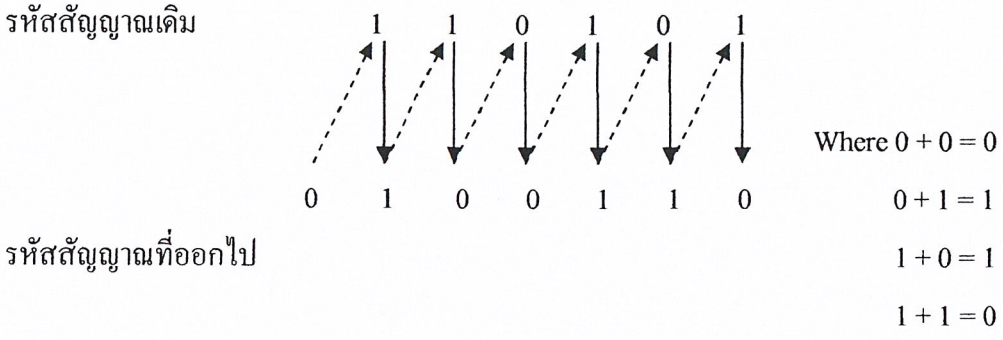
รูปที่ 2.24 differential coherent PSK

differential encoder ที่ใช้ประกอบด้วย Exclusive-OR gate และ one bit delay circuit รหัสสัญญาณจะถูกส่งไปหนึ่งบิตก่อน และถูกบวกกับแต่ละบิต โดย Exclusive-OR gate สร้างรหัสสัญญาณใหม่ขึ้นมาเพื่อจะส่งไป รหัสที่ส่งไปนี้ถูกผ่าน PSK มอดูเลเตอร์ และในเวลาเดียวกัน จะเข้าวงจร one bit delay อีกครั้งเพื่อบวกกับสัญญาณดิจิตอล input ตัวต่อไป



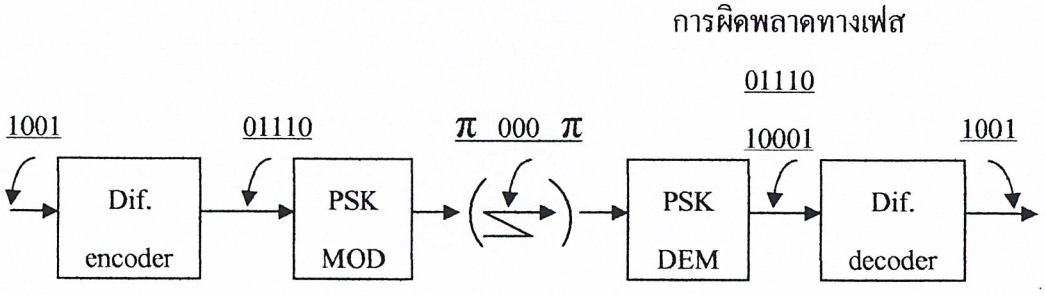
รูปที่ 2.25 วงจร differential encoder

สมมติว่าเรามีสัญญาณที่จะส่งเป็น 110101 ลอจิกต่อไปนี้จะถูกนำมาใช้สำหรับ Exclusive-OR gate คือ $0 + 0 = 0$, $0 + 1 = 1$, $1 + 0 = 1$ และ $1 + 1 = 0$ ขั้นแรกให้ค่าเริ่มแรกของ one bit delay circuit เป็น 0 และให้ 0 นี้เป็นรหัสแรกที่จะส่งไป บวกบิตแรกของสัญญาณดั้งเดิมคือ "1" เข้ากับรหัสแรกที่จะส่งคือ รหัส "0" นั่นคือ $0 + 1 = 1$ ตอนนี้ให้เรากำหนดรหัส "1" นี้เป็นรหัสที่สองที่จะส่ง บวกบิตที่สองคือ "1" ของสัญญาณดั้งเดิมเข้ากับรหัสตัวที่สองที่จะส่ง นั่นคือ $1 + 1 = 0$ ให้เรากำหนดรหัส "0" นี้เป็นรหัสที่สามที่จะส่ง โดยการดำเนินขั้นตอนซ้ำกันไปอย่างนี้เรื่อยๆ ลำดับของรหัสที่จะต้องส่งจะเป็น 0100110 หลังจากขบวนการ differential encoding จะเห็นได้ว่า รหัสที่จะส่งหลังจากทำการ differential encoding จะเหมือนกันกับรหัสที่ส่งไปก่อนหนึ่งบิต เมื่อสัญญาณ input เป็น "0" และจะกลับกันเมื่อสัญญาณ input เป็น "1"



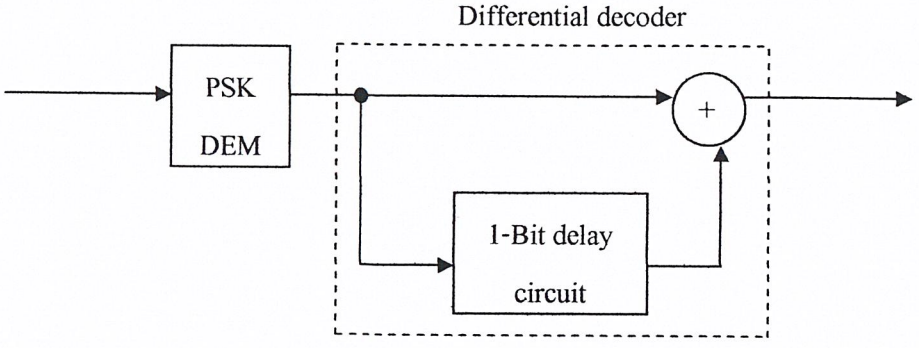
รูปที่ 2.26 การส่งรหัสสัญญาณที่ differential encoder

ลำดับสัญญาณ differential encoder คือ PSK มอดูเลท โดยการทำให้ initial phase π แทนรหัส 0 และ initial phase 0 แทนรหัส 1 แล้วส่งออกไป ส่วนทางด้านรับ สัญญาณ differential PSK ถูกดีเทคแบบ coherent เพื่อสร้างสัญญาณดิจิตอลที่ส่งขึ้นมาใหม่ สัญญาณดิจิตอลที่ได้โดยผ่าน coherent detection นี้ อาจจะเปลี่ยนจาก 1 เป็น 0 หรือ จาก 0 เป็น 1 เนื่องจาก phase ambiguity อย่างไรก็ตามใน differential coherent PSK ลำดับของสัญญาณที่ได้รับหลังจากการ differential decoding จะพร้องกันกับลำดับสัญญาณดั้งเดิมเสมอ โดยปราศจากผลจาก phase ambiguity



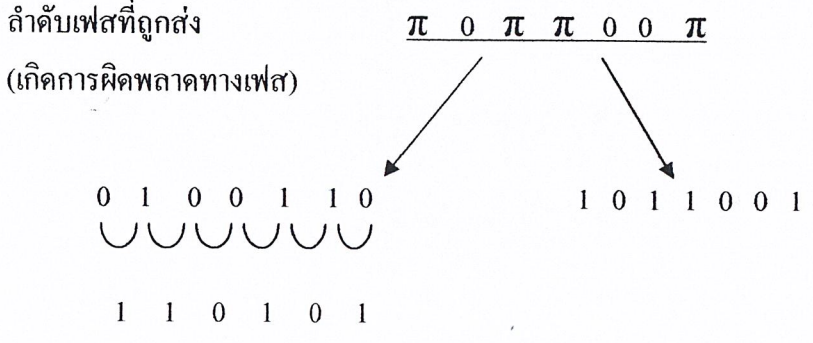
รูปที่ 2.27 รหัสสัญญาณ ณ ตำแหน่งต่างๆ

Differential decoder ประกอบด้วยวงจร one bit delay และ Exclusive-OR gate สัญญาณดิจิตอลที่ถูกดีมอดูเลทผ่านขบวนการ coherent detection ถูกป้อนเข้า Exclusive-OR gate และในขณะเดียวกันก็ป้อนเข้าวงจร one bit delay ใน Exclusive-OR gate สัญญาณดิจิตอล input และสัญญาณ output ของวงจร one bit delay ถูกบวกเข้าด้วยกัน นั่นคือ โดยการบวก 2 บิตข้างเคียงในลำดับสัญญาณดิจิตอลที่ได้ดีมอดูเลท โดย Exclusive-OR gate การเปลี่ยนแปลงในทุกๆ 2 บิตข้างเคียงจะถูกตรวจสอบตลอดเวลา



รูปที่ 2.28 differential decoder

สมมติว่าลำดับเฟสที่ส่งของสัญญาณ PSK เป็น $\pi, 0, \pi, \pi, 0, 0$ และ π ทางด้านรับหนึ่งในสองลำดับสัญญาณดิจิตอล อาจจะได้รับที่ output ของดีมอดูเลเตอร์ เนื่องจาก phase ambiguity นั่นคือ 0100110 หรือ 1011001 ตอนนี้ให้เรา decode 010010 Exclusive-OR gate บวก 2 บิตข้างเคียง โดยการบวกบิตแรกกับบิตที่สอง จะได้ 0 + 1 = 1 บวกบิทที่สองกับบิตที่สามจะได้ 1 + 0 = 1 และการทำอย่างนี้เรื่อยๆไปจะได้ 110101

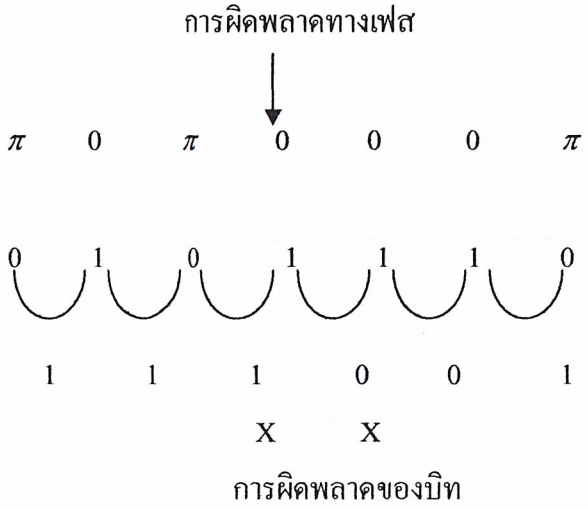


รูปที่ 2.29 ลำดับสัญญาณดิจิตอลด้านรับ

โดยการให้สัญญาณผ่าน differential encoder ทางด้านส่ง ลำดับสัญญาณดั้งเดิมถูกเปลี่ยนไป เพื่อให้ information ยังคงมีอยู่ แม้มีการเปลี่ยนแปลงใน 2 บิตข้างเคียงของลำดับรหัสส่ง ส่วนทางด้านรับ ลำดับรหัสที่ถูกมอดูเลทถูกป้อนเข้าไปใน differential decoder เพื่อเอาลำดับสัญญาณดั้งเดิมออกมา โดยการตรวจสอบการเปลี่ยนแปลงใน 2 บิตข้างเคียง ในลักษณะนี้ information ยังคงมีอยู่ดังเดิม แม้มีการเปลี่ยนแปลงของ initial phase ในสัญญาณที่มอดูเลทแบบ

PSK เนื่องจาก information ถูกทำให้คงอยู่ ถึงแม้ว่าถ้าคลื่นพาหะอ้างอิงที่ใช้สำหรับ coherent detection ต่างเฟสไป ก็ตาม และดังนั้นอิทธิพลของ phase ambiguity สามารถที่จะแก้ปัญหาได้

differential coherent PSK มีข้อดีตรงที่ว่า ไม่มีผลจากการเกิด phase ambiguity แต่มีข้อเสียเกี่ยวกับ bit error คือเมื่อ initial phase อันหนึ่งของสัญญาณ differential PSK ถูกการดีมอดูเลทอย่างไม่ถูกต้อง จะเป็นสาเหตุให้เกิด bit error คู่หนึ่ง เพราะว่าสัญญาณดั้งเดิมถูกสร้างขึ้นใหม่จาก 2 บิตข้างเคียงจากการดีมอดูเลท



รูปที่ 2.30 การเกิดข้อผิดพลาดของบิต

2.6 ลักษณะการทำงานทั่วไปของวงจรแสดงผลสัญญาณ

ลักษณะทั่วไปของวงจรแสดงผลสัญญาณนี้จะมีลักษณะที่คล้ายคลึงกับดิจิตอลออสซิลโลสโคป (Digital Oscilloscopes) จะต่างกันตรงที่ฟังก์ชันในการทำงานของวงจรแสดงผลสัญญาณนี้จะมีให้เลือกใช้น้อยกว่า เนื่องจากว่าเป็นวงจรที่ใช้แสดงผลสัญญาณเฉพาะงาน แต่หลักการทำงานของวงจรโดยทั่วไปจะเหมือนกับดิจิตอลออสซิลโลสโคป เพราะฉะนั้นในหัวข้อนี้และหัวข้อถัดไปต่อจากนี้ จะอ้างถึงดิจิตอลออสซิลโลสโคปแทนคำว่าวงจรแสดงผลสัญญาณดิจิตอลออสซิลโลสโคป (Digital Oscilloscopes) ได้รับการออกแบบให้มีขีดความสามารถในการตอบสนองความต้องการของผู้ใช้ ซึ่งไม่สามารถทำได้ในอนาลอกออสซิลโลสโคปเดิมๆที่มีอยู่ โดยที่ความแตกต่างพื้นฐานระหว่างออสซิลโลสโคปแบบอนาลอกและแบบดิจิตอลอยู่ที่รูปแบบของการเก็บภาพ อนาลอกออสซิลโลสโคปใช้กลไกในการเก็บรูปคลื่นซึ่งใช้หลอด CRT โดยหลอดที่ว่านี้มีความสามารถทำให้สัญญาณที่เกิดขึ้นสามารถแสดงผลได้ชั่วขณะหนึ่งเท่านั้น แสดงผลบนจอได้

1ชั่วโมงหรือมากกว่าโดยวิธีการควบคุมแรงไฟและอิเล็กตรอนภายในหลอด ส่วนดิจิตอลออสซิลโลสโคปจะสุ่มตัวอย่างรูปคลื่นอินพุทมาเปลี่ยนเป็นข้อมูลไบนารี(Binary data) แล้วทำการส่งไปแสดงผลทางจอภาพ

ดิจิตอลออสซิลโลสโคปนี้ จะมีขบวนการในการทำงานอยู่ด้วยกัน 3 ช่วงใหญ่ๆ คือ ช่วงของการสุ่มตัวอย่าง การแปลงเป็นสัญญาณดิจิตอล, ช่วงของการเก็บข้อมูล และ ช่วงของการแสดงผลค่าต่างๆ

เริ่มต้นด้วยเมื่อมีสัญญาณอนาลอก เข้ามาจะทำการสุ่มตัวอย่าง และทำการควอนไตซ์ (Quantizing) เพื่อให้ได้จำนวนของจุดบนสัญญาณตามระดับที่เราต้องการค่าที่ได้จะถูกส่งไปที่วงจรแปลงสัญญาณอนาลอกเป็นดิจิตอล (Analog to Digital Converter :ADC) หากเป็นวงจรที่ใช้สัญญาณดิจิตอล 8 บิต(bit) ก็จะได้ระดับของสัญญาณที่แปลงออกมา 2^8 หรือ 256 ระดับ ขั้นตอนที่กล่าวมาถูกควบคุมความเร็วในการทำงานด้วยฐานเวลา(time base) เดียวกัน ซึ่งฐานเวลานี้จะกำเนิดสัญญาณพัลซ์ ที่มีความถี่ที่เหมาะสม ในการสุ่มตัวอย่าง และจะเป็นตัวกำหนดจุดเวลาเพื่อเป็นจุดอ้างอิงค่าควอนไตซ์ของสัญญาณอินพุทด้วย ซึ่งเป็นฐานเวลาแบบดิจิตอลที่มีความเที่ยงตรงสูงมาก และใช้เป็นเวลาอ้างอิงในการทำงานของวงจรค่าที่ถูกแปลงเป็นดิจิตอลแล้วนั้นจะถูกส่งไปยังพอร์ต RS232 เพื่อทำการส่งเข้าคอมพิวเตอร์ เพื่อให้โปรแกรมคอมพิวเตอร์เป็นตัวจัดการเก็บและบันทึกค่าที่ได้แล้วส่งมาแสดงผลทางจอมอนิเตอร์

2.7 ขอบเขตการวัด

ทุกสิ่งทุกอย่างย่อมมีขีดจำกัดในตัวของมันเอง เมื่อเรานำสิ่งนั้นมาใช้งานเกินความสามารถของมัน ผลที่ได้ก็จะไม่ถูกต้องสมบูรณ์ ดิจิตอลออสซิลโลสโคปก็เช่นเดียวกัน เมื่อดิจิตอลออสซิลโลสโคปถูกสร้างมาด้วยขบวนการทางดิจิตอล ในอนาลอกสโคปหรือดิจิตอลออสซิลโลสโคปทั่วๆไป จะเห็นว่าผู้ผลิตจะกำหนดขอบเขตการวัดเป็นค่าความถี่สูงสุดที่เครื่องสามารถทำการได้ เช่น 20 MS/s, 60 MHz, 100 MS/s, 150 MHz เป็นต้น

สำหรับดิจิตอลออสซิลโลสโคปนั้น ขอบเขตการวัดนอกจากสามารถบอกเป็นค่าความถี่สูงสุดที่เครื่องสามารถทำการวัดได้แล้วยังต้องบอกค่าอัตราการสุ่มตัวอย่างข้อมูลควบคู่ไปด้วย โดยปกติแล้วจะมีค่าเป็นล้านครั้งต่อวินาที(MS/s)

เริ่มด้วยค่าอัตราการสุ่มตัวอย่างข้อมูลจะชี้ให้เห็นถึงความละเอียด และคุณภาพของภาพที่ปรากฏบนจอ ซึ่งประกอบขึ้นมาจากจุดที่ได้จากการสุ่มตัวอย่างบนรูปคลื่นที่วัด ถ้าจำนวนจุดที่ได้มีจำนวนมาก ภาพที่ได้ก็จะมีความถูกต้องสมบูรณ์มาก การสูญเสียจุดจากการสุ่มตัวอย่างไปเพียง

เล็กน้อย ในบางรูปคลื่น ก็อาจเป็นการสูญเสียรายละเอียดของรูปคลื่นนั้นไปได้ ถ้าอัตราการสุ่มตัวอย่างมีค่ามาก นั่นคือ ดิจิตอลออสซิลโลสโคปจะมีความละเอียดของรูปคลื่นมากด้วย ส่วนความถี่ที่บอกมานั้นก็ยังคงเป็นขอบเขตการวัดความถี่สูงสุดของดิจิตอลออสซิลโลสโคปในลักษณะเดียวกับอนาลอกออสซิลโลสโคป

ถ้าหากเราต้องการจะรู้ว่ารูปคลื่นที่ปรากฏบนจอนั้นมีความละเอียดแค่ไหน ก็สามารถทำได้ด้วยการคำนวณแบบง่ายๆ ตามสูตรที่ว่า

$$\text{จำนวนจุดต่อหนึ่งรูปคลื่น} = \frac{\text{อัตราการสุ่มตัวอย่างของดิจิตอลออสซิลโลสโคป}}{\text{ค่าความถี่ที่ทำการวัด}}$$

ตัวอย่างเช่น ดิจิตอลออสซิลโลสโคปมีอัตราการสุ่มตัวอย่าง 50 MS/s ใช้วัดสัญญาณที่มีความถี่ 500 kHz ดังนั้นจะได้ว่า

$$\text{จำนวนจุดต่อหนึ่งรูปคลื่น} = \frac{50 \quad MS/s}{500 \quad KHz} = 100$$

จะเห็นว่าภาพที่แสดงผลบนจอนั้นในหนึ่งรูปคลื่นจะเกิดจากการเรียงกันของจุดจำนวน 100 จุด แต่ถ้าหากความถี่ที่ใช้วัดเปลี่ยนเป็น 10 MHzที่อัตราการสุ่มตัวอย่างเดิมความละเอียดของภาพในหนึ่งรูปคลื่นจะมีเพียง 5 จุด ต่อรูปคลื่นเท่านั้น ซึ่งจากทั้ง 2 กรณี ทำให้เราสรุปได้ว่า เมื่อนำมาวัดค่าสัญญาณที่มีความถี่ต่ำๆ จะให้ความละเอียดของภาพสูง แต่เมื่อนำมาวัดสัญญาณที่มีความถี่สูงๆ แล้ว จะให้ภาพที่มีความละเอียดชัดเจนได้น้อยลง

(ก) (ข)

รูปที่ 2.31 แสดงลักษณะของการเกิดเอเลียสซิ่ง
(ก) สัญญาณอินพุทเมื่อมีการสุ่มตัวอย่างต่ำเกินไป
(ข) เมื่อแสดงผลเกิดเป็นสัญญาณเอเลียส

ปัญหาอย่างหนึ่งซึ่งเกิดขึ้นกับดิจิตอลออสซิลโลสโคป คือ การที่สัญญาณที่จะทำการวัดมีความถี่สูงมากๆ เมื่อมีการสุ่มตัวอย่างสัญญาณดังกล่าว แล้วนำมาสร้างให้ปรากฏบนจออีกครั้ง ผลที่ได้บนจอจะเป็นภาพที่ต่างไปจากสัญญาณที่วัดจริง เรียกว่า สัญญาณเอเลียส (Alias signal) อันเกิดจากอัตราการสุ่มต่ำกว่าความถี่สัญญาณที่วัด โดยดูได้จาก ตัวอย่างในรูปที่ 2.31 ในการใช้งานควรจะพยายามหลีกเลี่ยง อย่าให้เกิดสัญญาณเอเลียสขึ้น เพราะว่าสัญญาณเอเลียสเป็นรูปคลื่นที่มีความถี่ต่างไปจากรูปคลื่นจริงอย่างมาก ซึ่งไม่สามารถนำไปวิเคราะห์ได้

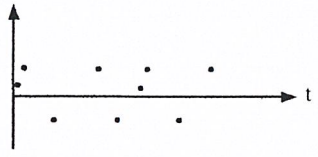
การทำให้รูปคลื่นที่ปรากฏบนจอ มีความสมบูรณ์ถูกต้องนั้น จำนวนจุดที่ได้จากการสุ่มตัวอย่างต้องมีมากกว่า 2 เท่าของความถี่ที่วัดนั้นใน 1 รูปคลื่น และเมื่อทำการตรวจวัดขอบขาขึ้นและขอบขาลงของพัลส์จะต้องได้จำนวนครั้งที่สุ่มตัวอย่างมากกว่า 10 ครั้งต่อ 1 รูปคลื่น นอกจากการสุ่มตัวอย่างที่ต้องการความเร็วในการทำงานพอสมควรแล้วยังต้องพิจารณาอีกด้วยว่าวงจร ADC นั้น สามารถทำงานได้ด้วยความเร็วขนาดไหนซึ่งเราจะพิจารณากันในหัวข้อต่อไป

สิ่งที่จะทำให้เรารู้ถึงขอบเขตการวัด ของดิจิตอลออสซิลโลสโคป อีกอย่างหนึ่งก็คือค่าความถี่สูงสุดของสัญญาณที่ดิจิตอลออสซิลโลสโคปสามารถทำการเก็บข้อมูลได้ ซึ่งเราเรียกว่าค่า USB(Useful Storage Bandwidth) USB จะมีค่าเป็นเท่าไรนั้นขึ้นอยู่กับความสามารถในการสุ่มตัวอย่างของดิจิตอลออสซิลโลสโคปด้วย ซึ่งค่า USB สามารถหาได้จากสูตร

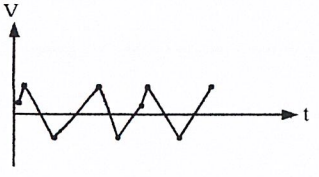
$$\text{USB} = \frac{\text{อัตราการสุ่มตัวอย่างสูงสุด(MS/s)}}{25}$$

โดยที่ ตัวเลข 25 เป็นจำนวนจุดที่ใช้ในการสร้างภาพบนจอใน 1 รูปคลื่น ซึ่งเป็นค่าที่ใช้โดยทั่วไป

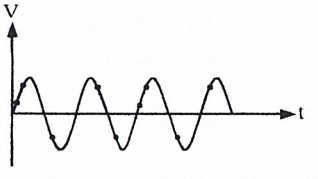
เนื่องจากดิจิตอลออสซิลโลสโคป ไม่สามารถแสดงรายละเอียดของสัญญาณโดยการสร้างสัญญาณสุ่มตัวอย่างสอดแทรกลงไปในการสุ่มตัวอย่างแบบปกติ ผลที่ได้คือ จะมีจุดเสริมเข้าไปในรูปคลื่นเดิม ภาพที่ได้จะมีความต่อเนื่องสม่ำเสมอมากขึ้นและเรียกวิธีการนี้ว่า "ทฤษฎีการสอดแทรก" (interpolation methods) ซึ่งแสดงตัวอย่างการสอดแทรกสัญญาณในรูปที่ 2.32



(ก)



(ข)



(ค)

รูปที่ 2.32 ทฤษฎีการสอดแทรก

(ก) การแสดงผลแบบจุด

(ข) การสอดแทรกด้วยวิธีเวกเตอร์

(ค) การสอดแทรกแบบซายน์

ในรูปที่ 2.32 (ก) จะเป็นการแสดงให้เห็นถึงการสร้างภาพให้ปรากฏบนจอโดยการเรียงจุดที่ได้จากการสุ่มตัวอย่างโดยปกติจะได้ประมาณ 25 จุดต่อรูปคลื่น

ส่วนรูปที่ 2.32 (ข) เป็นการลากเส้นเชื่อมต่อระหว่างจุดที่ได้มา ทำให้ได้ภาพที่เป็นเส้นตรงที่เชื่อมต่อกัน 10 เส้นต่อรูปคลื่น ซึ่งวิธีการนี้เรียกว่า "การสอดแทรกแบบลิเนียร์" (linear

interpolation) หรือการแสดงผลแบบเวกเตอร์(vector display) ดังนั้น เมื่อเป็นการแสดงผลของรูปคลื่นซายน์ ค่า USB จะเป็น

$$\text{USB} = \frac{\text{อัตราการสุ่มตัวอย่างสูงสุด(MS/s)}}{10}$$

สำหรับรูปที่ 2.32 (ค) เป็นการสอดแทรกโดยการนำเอาฟังก์ชันซายน์มาคำนวณลากเส้นเชื่อมต่อ ระหว่างจุด(sine interpolation) ซึ่งวิธีการนี้จะใช้จุดเพียง 2.5 จุดต่อรูปคลื่นเท่านั้น ในการแสดงผล ดังนั้นค่า USB จะเป็น

$$\text{USB} = \frac{\text{อัตราการสุ่มตัวอย่างสูงสุด(MS/s)}}{2.5}$$

ซึ่งทำให้ค่า USB มีค่ามากนั้นเท่ากับว่า ขอบเขตของดิจิตอลออสซิลโลสโคป ก็ถูกขยายมากไปด้วย

2.7.1 ดิจิตอลออสซิลโลสโคปกับรูปคลื่นพัลส์

หากเราจะพูดกันถึงรูปคลื่นพัลส์แล้ว ส่วนที่มีความสำคัญมากต่อรูปคลื่นชนิดนี้ก็คือช่วงเวลาขอบขาขึ้นและขอบขาลงของพัลส์ ดังนั้นเครื่องมือที่จะใช้วัดรูปคลื่นเหล่านี้จะต้องสามารถวัดช่วงขอบขาขึ้นและขอบขาลงได้ โดยมีความผิดเพี้ยนน้อยที่สุดในอนาลอกออสซิลโลสโคปสามารถคำนวณหาช่วงเวลาขอบขึ้น(t_r : rise time) ของพัลส์ได้ดังนี้

$$t_r(\text{ns}) = \frac{0.35}{\text{แบนด์วิดธ์}}$$

จากสูตรดังกล่าวหากอนาลอกออสซิลสโคปมีย่านการวัด 100 MHz เราจะได้ช่วงเวลาขอบขาขึ้นของพัลส์เท่ากับ 3.5 ns ($0.35/100 \times 10^6$) นี่คือวิธีการของอนาลอกออสซิลสโคป ส่วนในดิจิตอลออสซิลสโคปช่วงเวลาขอบขาขึ้นที่วัดได้จะมีการเปลี่ยนแปลงอยู่ระหว่าง 0.8 ถึง 1.6 เท่าของช่วงเวลาการสุ่มตัวอย่าง หากเราคิดเอาช่วงเวลาขอบขาขึ้นเป็น 10 ถึง 90 เปอร์เซ็นต์ของแอมปลิจูดของพัลส์ จะได้

$$t_r = 0.8 \times 2 \text{ (ช่วงเวลาการสุ่มตัวอย่าง)}$$

หรือ $$t_r = 1.6 / \text{(อัตราการสุ่มตัวอย่าง)}$$

เพื่อให้การคำนวณมีความคลาดเคลื่อนน้อยลง สูตรการหาช่วงเวลาขอบขาขึ้นที่นำไปใช้งานจริง (Ut_r = Useful Rise Time) จึงใช้ค่า 1.6 ตลอด ดังนี้

$$Ut_r = 1.6 / \text{(อัตราการสุ่มตัวอย่าง)}$$

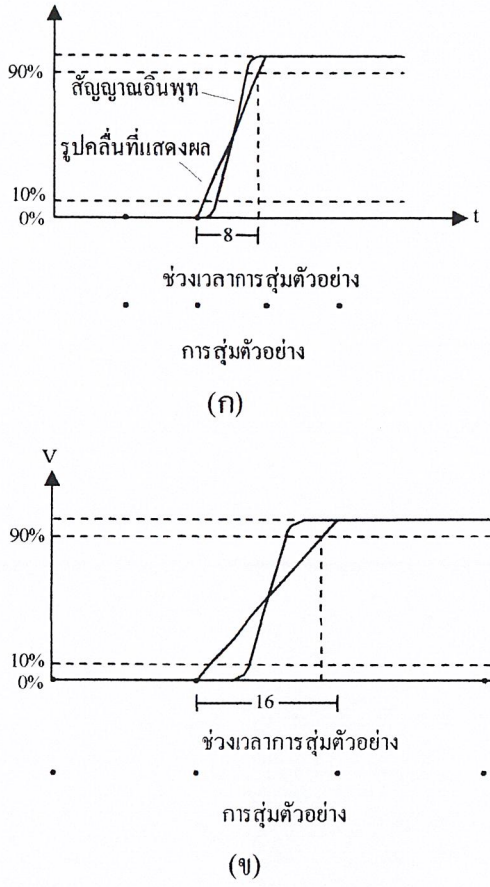
หรือ $$Ut_r = \text{(ช่วงเวลาการสุ่มตัวอย่างต่ำสุด)} \times 1.6$$

เช่น ถ้ามีอัตราการสุ่มตัวอย่างเป็น 100 MS/s ก็จะมีช่วงเวลาการสุ่มตัวอย่างเป็น 0.01 μs และ $Ut_r = 0.01\mu s \times 1.6 = 16$ ns นั่นคือ ดิจิตอลออสซิลโลสโคปเครื่องนี้จะสามารถแสดงผลช่วงขอบขาขึ้นในการวัดได้ภายในเวลา 16 ns เมื่อคิดช่วงขอบขาขึ้นเป็น 10 ถึง 90 เปอร์เซ็นต์ของแอมปลิจูด

จะเห็นได้ว่า ความสามารถในการแสดงผลรูปคลื่นพัลส์นั้นจะขึ้นอยู่กับช่วงเวลาในการสุ่มตัวอย่างของดิจิตอลออสซิลโลสโคปเอง รูปที่ 2.33 (ก) จะเป็นการแสดงให้เห็นถึงช่วงเวลาของขาขึ้นที่อยู่ระหว่างช่วงการสุ่มตัวอย่าง โดยรูปคลื่นที่แสดงผลจะอยู่ในช่วง 0.8 x (ช่วงเวลาการสุ่มตัวอย่าง) รูปคลื่นที่แสดงผลออกมา จะมีความชันของขอบขาขึ้น ต่างจากรูปคลื่นจริงอยู่บ้างพอสมควร และเมื่อดูรูปสัญญาณอินพุทเดียวกัน แต่มีช่วงเวลาในการสุ่มตัวอย่างต่างกัน ตามรูปที่ 2.33 (ข) ภาพที่ได้จากการแสดงผลช่วงขอบขาขึ้นจะอยู่ในช่วง 1.6 x (ช่วงเวลาการสุ่มตัวอย่าง) ซึ่งถ้าเปรียบกับรูปที่ 2.33 (ก) แล้ว ความชันของขอบขาขึ้นตามรูปที่ 2.33 (ข) จะแตกต่างจากรูปสัญญาณอินพุทจริงค่อนข้างมากที่เดียว

จากที่ทราบในตอนต้นว่า การจัดช่วงขอบขาขึ้นและขอบขาลงของพัลส์ จะต้องทำการสุ่มตัวอย่างมากกว่า 10 ครั้ง ดังนั้น เราสามารถหาช่วงเวลาที่ต้องใช้ในการวัดขอบขาขึ้นได้ โดยหารอัตราการสุ่มตัวอย่างด้วย 10 แล้วกลับเศษเป็นส่วนดังนี้

$$\text{Res} = \frac{1}{\text{(อัตราการสุ่มตัวอย่าง)} / 10}$$



รูปที่ 2.33 แสดงการจัดช่วงขอบขาขึ้น ซึ่งค่าคลาดเคลื่อนที่เกิดขึ้นอยู่กับตำแหน่งในการสุ่มตัวอย่าง
(ก) ช่วงขอบขาขึ้นอยู่ระหว่าง 0.8
(ข) ช่วงขอบขาขึ้นอยู่ระหว่าง 1.6

ถ้าเป็นดิจิตอลออสซิลโลสโคป ที่มีอัตราการสุ่มตัวอย่าง 100 MS/s จะมีการสุ่มตัวอย่างทุกๆ 10 ns (1 / 100 MS/s) และจะใช้การทำงานกับขอบขาขึ้นเป็นเวลา 100 ns แล้วถ้าหากว่าพัลส์ที่เข้ามามีความถี่สูงมาก เราก็ย่อมต้องการดิจิตอลออสซิลโลสโคป ที่มีความเร็วในการสุ่มตัวอย่างสูงขึ้นด้วย เช่น 500 MS/s ซึ่งจะมีการสุ่มตัวอย่างทุกๆ 2 ns และสามารถวัดช่วงขอบขาขึ้นที่อยู่ระหว่างช่วงการสุ่มตัวอย่างโดยใช้เวลา 1.17 ns

จะเห็นว่าดิจิตอลออสซิลโลสโคป ตอบสนองการวัดรูปคลื่นพัลส์ ได้มีค่อยจะดีเท่ากับอนาลอกออสซิลโลสโคป และเราไม่สามารถนำค่า Ut_r เป็นค่าซึ่งแสดงถึงขอบเขตจำกัดของดิจิตอลออสซิลโลสโคปก็ได้

2.8 การสุ่มตัวอย่างของดิจิตอลออสซิลโลสโคป

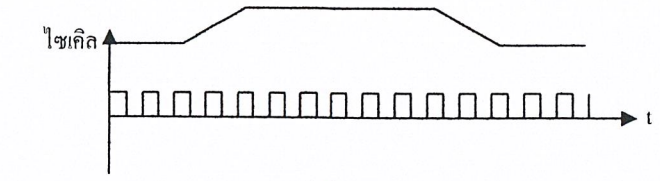
ดิจิตอลออสซิลโลสโคปใช้การสุ่มตัวอย่างด้วยกัน 2 แบบ คือ

2.8.1 การสุ่มตัวอย่างแบบเวลาจริง(Real Time or One-Shot)

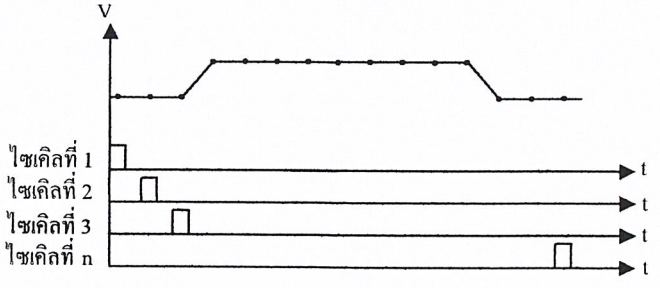
จะเกิดการสุ่มตัวอย่างขึ้นทันทีที่มีการจัดสัญญาณอินพุทได้ โดยผลที่ได้จะมาจากรูปคลื่นจริงๆ และจะมีความเหมือนกับรูปคลื่นจริงมาก ส่วนมากจะใช้กับสัญญาณที่เกิดขึ้น เพียงชั่วขณะหรือใช้ในการสุ่มตัวอย่าง บางส่วนของสัญญาณที่ต้องการวิเคราะห์เป็นพิเศษ ดังนั้นความเร็วของการสุ่มตัวอย่างแบบเวลาจริงนี้จึงต้องสูงพอที่จะทำงานในกรณีดังกล่าวได้ การสุ่มตัวอย่างแบบนี้จะทำงานแบบผ่านครั้งเดียวคือ จะมีการสุ่มตัวอย่างจุดเดียวในแต่ละครั้งของการทำงาน จึงสามารถนำไปตรวจจับสัญญาณที่เกิดขึ้นเพียงชั่วขณะ เช่น แรงไฟกระชาก, สัญญาณควบคุมเครื่องกล, สัญญาณลักษณะทางชีววิทยา ฯลฯ ซึ่งจะปรากฏให้สามารถวัดได้ในระยะเวลาที่สั้นมาก การจะใช้วิธีสุ่มตัวอย่างจึงต้องใช้แบบที่เมื่อเริ่มสุ่มและสิ้นสุดการสุ่มต้องได้รูปสัญญาณที่เกิดขึ้น รูปที่ 2.4 (ก) จะเห็นการสุ่มตัวอย่าแบบเวลาจริงที่ใช้ในการวัดรูปคลื่นพัลส์หนึ่งลูก

2.8.2 การสุ่มตัวอย่างแบบเวลาเสมือน(Equivalent Time)

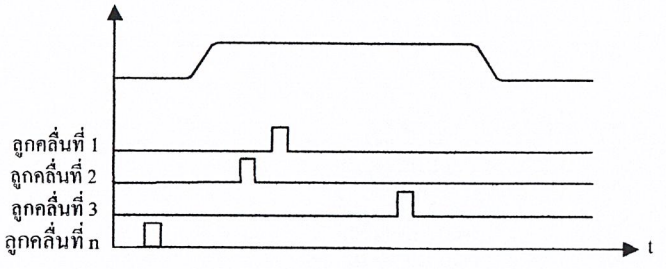
การสุ่มตัวอย่างแบบนี้โดยมากจะใช้กับสัญญาณที่เกิดขึ้นซ้ำๆ กันหรือใช้ตรวจจับบางส่วนของสัญญาณที่เกิดขึ้นซ้ำๆ กัน การสุ่มตัวอย่างแบบเวลาเสมือนสามารถแบ่งออกเป็น 2 ชนิดย่อยๆ อีกคือ การสุ่มชนิดเป็นลำดับ(Sequential Sampling) และการสุ่มชนิดมีเป็นลำดับ(Random Sampling)



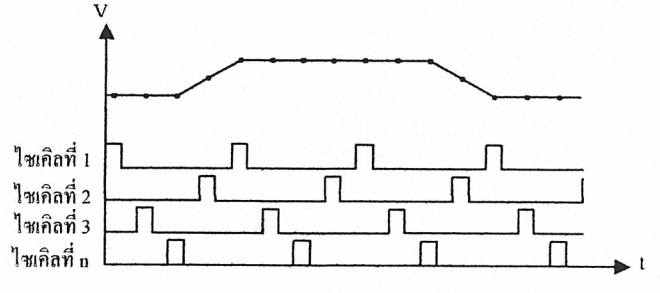
(ก)



(ข)



(ค)



(ง)

รูปที่ 2.34 เทคนิคการสุ่มตัวอย่างแบบต่างๆ ของดิจิตอลออสซิลโลสโคป

(ก) การสุ่มแบบเวลาจริง

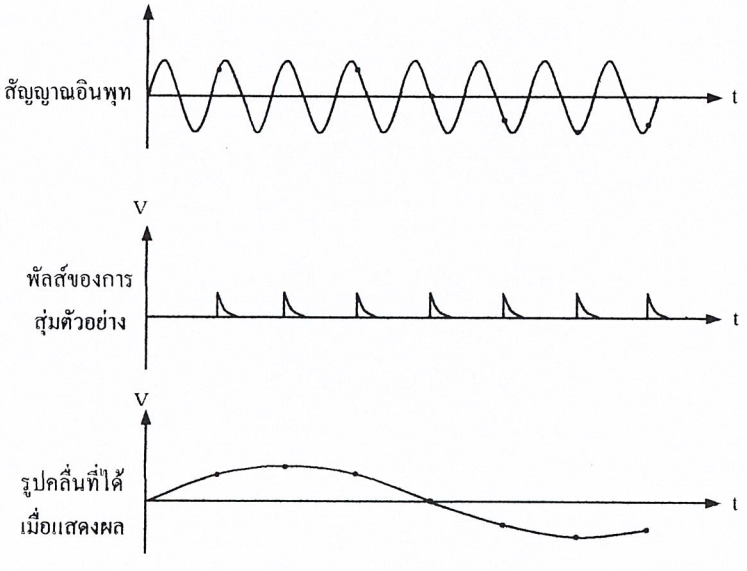
(ข) การสุ่มแบบเวลาเสมือนชนิดเป็นลำดับ

(ค) การสุ่มแบบเวลาเสมือนชนิดไม่เป็นลำดับโดยใช้จุดเดียวในการทำงานหนึ่งครั้ง

(ง) การสุ่มแบบเวลาเสมือนชนิดไม่เป็นลำดับโดยใช้หลายจุดในการทำงานหนึ่งครั้ง

ในการสุ่มตัวอย่างชนิดลำดับจะเป็นดังรูปที่ 2.34 (ข) ซึ่งการสุ่มตัวอย่างชนิดนี้ในการทำงานหนึ่งครั้งหรือหนึ่งไซเคิลจะต้องได้จุดบนรูปคลื่น 1 จุดแล้วนำไปเก็บไว้ในหน่วยความจำจนกระทั่งหน่วยความจำเต็ม เมื่อนำไปแสดงผลก็จะเป็นไปตามรูปที่ 2.35 ส่วนการสุ่มตัวอย่างแบบเวลาเสมือนชนิดมีเป็นลำดับนั้นจะเป็นดังรูปที่ 2.34 (ค) ซึ่งการสุ่มตัวอย่างแบบนี้จะใช้เมื่อมีการทำปรีทริกเกอร์(pre-trigger) เพื่อดูรูปคลื่นที่อยู่หลังจุดทริก ซึ่งการสุ่มตัวอย่างแบบเป็นลำดับจะไม่สามารถทำได้ในการทำงานหนึ่งไซเคิลจะได้จุดบนรูปคลื่น 1 จุดเช่นกัน แต่จะเป็นจุดตรงส่วนใดของรูปคลื่นก็ได้ โดยจะทำไปเรื่อยๆ จนหน่วยความจำเต็ม

ในรูปที่ 2.34 (ง) จะเป็นการสุ่มตัวอย่างแบบไม่เป็นลำดับเช่นกัน แต่จะต่างกันตรงที่ในการทำงานหนึ่งไซเคิลนั้นจะได้จุดหลายจุดบนรูปคลื่น และในการทำงานครั้งต่อไปก็จะได้จุดหลายจุดแต่จะเป็นจุดที่ไม่ซ้ำจุดเดิม (จุดใดก็ได้) การสุ่มตัวอย่าง ในรูปนี้จะนำไปใช้ประโยชน์เมื่อมีการวิเคราะห์รูปคลื่น โดยการนำข้อมูลที่ได้จากการสุ่มตัวอย่างแบบนี้มาเปรียบเทียบกับรูปคลื่นอื่นๆ โดยเฉพาะอย่างยิ่งการวิเคราะห์รูปคลื่นในส่วนที่เป็นการทริกในลักษณะต่างๆ กัน



รูปที่ 2.35 แสดงให้เห็นถึงผลที่ออกมาจากการสุ่มตัวอย่างสัญญาณอินพุทแบบเป็นลำดับ

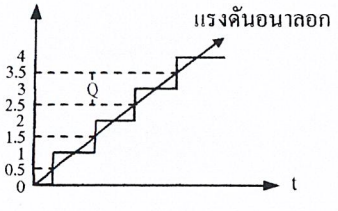
สำหรับดิจิตอลออสซิลโลสโคป ที่ระบุความสามารถในการวัดไว้ เช่น 100 MHz นี้ก็คือความสามารถในการวัดสัญญาณความถี่ 100 MHz แล้วดิจิตอลออสซิลโลสโคปจะแสดงผลได้ทันที่ 100 MHz เฉพาะสำหรับสัญญาณที่เกิดขึ้นซ้ำๆ กัน แต่หากเป็นสัญญาณชั่วขณะเกิดขึ้นแล้วใช้

การสุ่มตัวอย่างแบบเวลาจริง แล้วดิจิตอลออสซิลโลสโคปนี้มีจะสามารถวัดสัญญาณชั่วขณะได้เพียง 10 MHzเท่านั้น

เมื่อคิดเทียบเป็นอัตราส่วน ระหว่างการทำงานกับสัญญาณปกติและการทำงานกับสัญญาณชั่วขณะของดิจิตอลออสซิลโลสโคป ก็จะได้เป็น 10:1 และสามารถเพิ่มเป็น 5:1 หรือ 2:5:1 ได้ ซึ่งหมายถึง ดิจิตอลออสซิลโลสโคปจะต้องมีการใช้วิธีการสอดแทรกอย่างมากเลยที่เดียว สาเหตุที่เกิดกรณีดังกล่าวขึ้นนั้นมาจากการที่ความสามารถในการสุ่มตัวอย่างถูกกำหนดด้วยสัญญาณนาฬิกาภายใน แต่สัญญาณที่เข้ามาวัดจะเป็นการทำงานแสดงผลแบบอนาลอก ซึ่งขอบเขตของความถี่จะกว้างมาก นี่คือการนำข้อดีของอนาลอกมาใช้

2.9 ขั้นตอนหลังการสุ่มตัวอย่าง

เมื่อเราได้ทำการสุ่มตัวอย่างไปแล้ว ค่าที่ได้จะไม่ทำการแปลงเป็นสัญญาณดิจิตอลในทันที ทั้งนี้เนื่องจากค่าที่มาจากการสุ่มตัวอย่างนั้นเป็นค่าที่มีระดับแตกต่างกันอย่างมากมาย ในทางปฏิบัติเราจะไม่สามารถแปลงเป็นสัญญาณดิจิตอลได้มากขนาดนั้น จึงจำเป็นต้องแบ่งค่าที่ได้มาจากการสุ่มตัวอย่างออกเป็นกลุ่มๆ เราเรียกว่า "ควอนไตซิ่ง(quantizing)" ซึ่งการควอนไตซิ่งนี้จะเป็นการนำค่ามาจากการสุ่มตัวอย่างที่มีค่าใกล้เคียงกันมากอยู่ในกลุ่มเดียวกัน ต่อจากนั้นจะนำค่าตัวเลขมาใช้แทนกลุ่มสัญญาณดังกล่าว



รูปที่ 2.36 การควอนไตซิ่ง โดยใช้วงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลเปลี่ยนแรงดันอนาลอกเป็นเลขฐานสองที่ระดับต่างๆ

การแบ่งกลุ่มสัญญาณจะมีลักษณะเป็นขั้นบันได ตามรูปที่ 2.36 โดยให้มีการเปลี่ยนแปลงของค่าที่ได้จากการสุ่มตัวอย่างอยู่ระหว่าง 0-4 โวลต์ และจัดเป็นกลุ่มได้ 4 กลุ่ม คือ ช่วงระดับ 0-1, 1-2, 2-3 และ 3-4 โวลต์ โดยให้สัญญาณที่อยู่ในระดับ 0-1 มีค่า 0.5 แทนกลุ่มนี้ และ 1.5 แทนกลุ่ม 1-2, ระดับ 2.5 แทนกลุ่ม 2-3 และระดับ 3.5 แทนกลุ่ม 3-4 ค่า 0.5, 1.5, 2.5 และ 3.5 จะนำไปใช้ใน ADC อีกครั้งเพื่อทำเป็นสัญญาณดิจิตอล

เนื่องจากวิธีการควอนไตซิ่งดังกล่าวมีโอกาสที่จะเกิดค่าคลาดเคลื่อนได้ อันเนื่องมาจากสัญญาณรบกวน ที่เข้ามาในระบบทำให้ค่าที่ได้ในการจัดกลุ่ม ผิดไปจากความเป็นจริงได้ และเนื่องจากการควอนไตซิ่งนั้นประกอบจากวงจรดิจิตอลอิเล็กทรอนิกส์ ดังนั้นจึงเกิดความไม่แน่นอนของผลที่ได้อยู่บ้าง โดยความไม่แน่นอนเหล่านี้จะแสดงค่าบวก, ลบ ของบิตสุดท้าย

เมื่อผ่านADC แล้ว นอกจากบิตสุดท้ายจะเป็นค่าของความไม่แน่นอนแล้ว บิตอื่นๆ ก็ยังเป็นค่าผิดพลาด ที่เกิดจากสัญญาณรบกวนได้ด้วยเหมือนกัน แต่สัญญาณดิจิตอลที่ได้ส่วนใหญ่ก็ยังคงมีความเที่ยงตรงอยู่มาก

2.10 การแปลงอนาลอกเป็นดิจิตอล(Analog to Digital Converter : ADC)

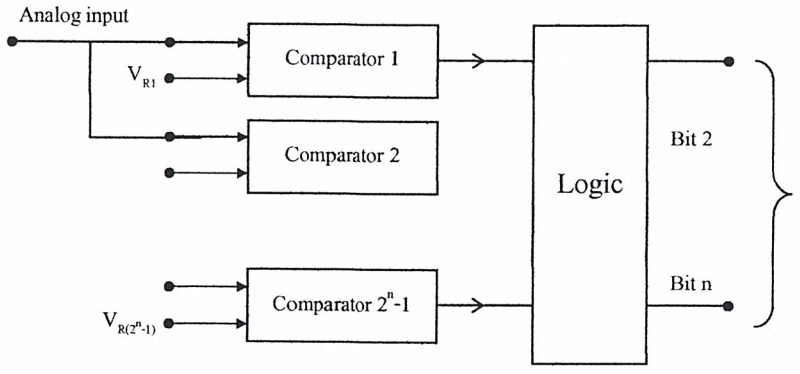
ในการติดต่อสื่อสารกันระหว่างระบบอนาลอกและระบบดิจิตอลนั้นเป็นไปไม่ได้เลยที่จะให้สัญญาณอนาลอกเข้ามาทำงานในระบบดิจิตอล ดังนั้น จึงต้องมีการแปลงสัญญาณอนาลอกให้เป็นสัญญาณดิจิตอล ส่วนที่ทำหน้าที่ดังกล่าวนี้เราเรียกว่า "วงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล" วิธีแปลง ADC นั้นมีหลายวิธีที่มีใช้อยู่ในปัจจุบันอาจแยกได้ 4 วิธีดังนี้

1. แบบอินทิเกรท(Integrating)
2. แบบใช้วงจรเปรียบเทียบขนาน หรือแบบ "แฟลช" (Parallel Comparator Simultaneous "Flash")
3. แบบไบนารี่แรมพ์(Binary Ramp)
4. แบบประมาณค่าอย่างต่อเนื่อง(Successive Approximation)

แต่ในที่นี้เราจะอธิบายในแบบที่ใช้ในการทำออสซิลโลสโคปเท่านั้น

2.10.1 แบบอินทิเกรท(Integrating)

วงจรแบบนี้ใช้วงจรเปรียบเทียบที่ต่อขนานกัน ดังรูปที่ 2.37 จะมีคอมพาราเตอร์ ซึ่งประกอบด้วยออปแอมป์ที่ต่อเป็นวงจรเปรียบเทียบและตัวต้านทานต่อไว้เพื่อแบ่งแรงดันที่ขาอินพุทแบบกลับให้มีขนาดต่างๆ ภายในตัวมันจะใช้การวัดระดับแรงดันและการเปรียบเทียบแรงดัน



รูปที่ 2.37 แสดงการต่อวงจร Parallel Comparator Simultaneous A/D Converter

หลักการทำงาน คือ คอมพาราเตอร์จะทำการเปรียบเทียบสัญญาณอนาลอกอินพุทกับแรงดันอ้างอิงที่แบ่งแรงดันให้สอดคล้องกับรหัสดิจิตอล โดยใช้ตัวต้านทานและแปลงเอาต์พุท จากคอมพาราเตอร์ให้ตรงกับรหัสดิจิตอล ซึ่งจะเห็นว่าอุปกรณ์ทางด้านความเร็วนั้นจะถูกจำกัดแค่เพียง Propagation time ของคอมพาราเตอร์เท่านั้น เมื่อเป็นแรงดันอินพุทที่ขาอินพุทแบบไม่กลับ มีค่าสูงกว่าที่ขาอินพุทแบบกลับ เอาต์พุทจะได้ค่าสูง แต่อุปสรรคที่สำคัญต่อการพัฒนาวงจรบนชิป IC คือ วงจรนี้ต้องการคอมพาราเตอร์จำนวน 2^n-1 ตัว ซึ่งเป็นจำนวนที่มากพอสมควร

ตารางที่ 2.1 แสดงความสัมพันธ์ระหว่างอินพุทที่เป็นอนาลอกกับเอาต์พุทที่เป็นดิจิตอล

แรงดันอินพุท V_{in}(โวลต์)	เอาต์พุทของวงจรเปรียบเทียบ			เอาต์พุทเลขฐานสอง	
	A1	A2	A3	D1	D0
0 - 1	0	0	0	0	0
1 - 2	1	0	0	0	1
2 - 3	1	1	0	1	0
3 – 4	1	1	1	1	1

เมื่อต้องการวงจรที่มีความละเอียดสูงขึ้นจำเป็นต้องใช้วงจรเปรียบเทียบมากขึ้น เป็น2^n-1 เมื่อ n แทนจำนวนบิตหรือความละเอียดที่ต้องการ

ข้อดีของวงจรแบบนี้ คือ มีความเร็วสูงมาก โดยสามารถใช้เวลาในการแปลงได้เร็วในระดับนาโนวินาที

ข้อเสียของวงจรแบบนี้ คือ จะใช้ตัวเปรียบเทียบมาก เช่น ใช้ 255 ตัว เมื่อต้องการความละเอียด 8 บิต

2.11 พอร์ทอนุกรม RS-232

การส่งข้อมูลแบบที่ละไบต์ หรือก็คือ การส่งแบบขนานนั่นเอง วิธีนี้เป็นวิธีที่เร็ว แต่ถูกรบกวนได้ง่ายจากสัญญาณรบกวนต่างๆ และมีราคาแพงเนื่องจากใช้ปริมาณสายส่งมาก จึงเป็นเหตุให้วิธีนี้ไม่เป็นที่นิยมในการส่งข้อมูลในระยะทางไกลๆ

การส่งข้อมูลแบบทีละบิต หรือการส่งแบบอนุกรม มีความเร็วในการรับส่งช้ากว่าการส่งช้ากว่าการส่งแบบขนาน แต่มีข้อดีคือ มีผลกระทบจากสัญญาณรบกวนเพียงเล็กน้อย และประหยัดกว่าการส่งแบบขนานมาก เหมาะสำหรับการส่งข้อมูลเป็นระยะเวลาทางไกลๆ เนื่องจากใช้สายส่งเพียงสองสามเส้น

2.11.1 ลักษณะทางฮาร์ดแวร์

อุปกรณ์ที่ใช้การติดต่อสื่อสารแบบอนุกรม สามารถแยกออกได้เป็น 2 ประเภท คือ DCE(Data Communications Equipment) อุปกรณ์เหล่านี้ได้แก่ โมเด็ม(Modem) พล็อตเตอร์ (Plotter) เป็นต้น และ DTE(Data Terminal Equipment) ซึ่งก็คือคอมพิวเตอร์นั่นเอง ข้อกำหนดทางไฟฟ้าของพอร์ทอนุกรมกำหนดเป็นมาตรฐานโดย EIA(Electronics Industry Association) หรือ RS-232 ซึ่งประกอบไปด้วยสิ่งต่างๆ เหล่านี้

1. ช่วงไม่มีข้อมูล(space) หรือลอจิก “0” ต้องมีแรงดันอยู่ในช่วง -3 ถึง -25 โวลต์
2. ช่วงข้อมูล(mark) หรือลอจิก “1” ต้องมีแรงดันอยู่ช่วง +3 ถึง +25 โวลต์
3. แรงดันในช่วง -3 ถึง +3 โวลต์ ไม่มีการนิยามไว้
4. แรงดันในขณะเปิดวงจรต้องมีค่าไม่เกิน 25 โวลต์
5. กระแสขณะช็อตวงจรมีค่าไม่เกิน 500 มิลลิแอมป์

มาตรฐานของ RS-232 นั้นนอกจากจะมีคุณสมบัติดังที่กล่าวมาแล้วยังจะต้องประกอบด้วยค่าความจุของสาย อัตราบอดเรท(Baud Rate) สูงสุด ซึ่งรายละเอียดต่างๆ ดูได้จากมาตรฐานของ EIA RS-232-C ตามมาตรฐานของ RS-232-C กำหนดอัตราบอดเรทไว้ที่ 20,000 บิตต่อวินาที ซึ่งค่อนข้างจะช้าเกินไปสำหรับมาตรฐานในปัจจุบัน ในช่วงหลังจึงได้มีการกำหนดมาตรฐาน RS-232D ขึ้นและยังคงใช้งานกันอยู่ในปัจจุบัน

พอร์ทอนุกรมนี้จะมีอยู่ 2 ขนาน คือ คอนเน็คเตอร์แบบ D-type ตัวผู้ขนาด 25 Pin รูปที่ 2.38 (ก) และคอนเน็คเตอร์แบบ D-type ตัวผู้ขนาด 9 pin ในรูปที่ 2.38 (ข) ซึ่งคอนเน็คเตอร์ทั้ง 2 แบบนี้จะติดอยู่ที่ด้านหลังของเครื่องคอมพิวเตอร์

คุณสมบัติเบื้องต้นของ RS-232

- รับส่งข้อมูลระหว่างอุปกรณ์ทางคอนเน็คเตอร์ ขา 2 และ 3
- การแฮนด์เชคทางซอฟท์แวร์ เป็นการผนวกอักษรควบคุมการรับส่งข้อมูลเข้าไปกับชุดข้อมูลที่ต้องการส่ง
- การแฮรด์เชคทางฮาร์ดแวร์ เป็นการผ่านสัญญาณควบคุม ไปตามสายเคเบิลที่เชื่อมต่อระหว่างอุปกรณ์ทั้งสอง โดยจะต่อขาเอาต์พุทเข้ากับขาอินพุท
- แม้ว่าชื่อสัญญาณ และหมายเลขประจำขาของคอนเน็คเตอร์ สำหรับการอินเตอร์เฟซของ DTE หรือ DCE เหมือนกัน แต่จะทำหน้าที่ตรงข้ามกัน โดยเมื่อมีด้านหนึ่งเป็นอินพุท อีกด้านที่ต่อกับขานั้นก็จะเป็นเอาต์พุท

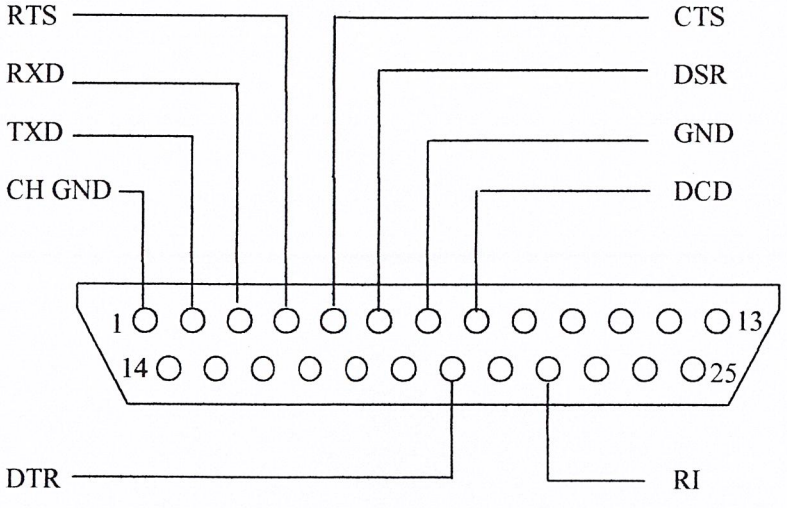
การอินเตอร์เฟซ เป็นกระบวนการแลกเปลี่ยนข้อมูล กับอุปกรณ์ภายนอกที่มีความแน่นอน ระบบการอินเตอร์เฟซแบบอนุกรมในไมโครคอมพิวเตอร์ทั่วไปคือ ระบบ EIA RS-232 ในยุคแรกๆ การอินเตอร์เฟซ RS-232 ถูกออกแบบสำหรับเชื่อทมต่อเทอร์มินัลกับโมเด็ม

การแฮนด์เชค เป็นกระบวนการที่อุปกรณ์หนึ่งใช้ตรวจสอบสถานะของอีกอุปกรณ์หนึ่งที่ต่อเข้าด้วยกัน และตอบสนองสถานะนั้นอย่างเหมาะสมและถูกจังหวะเวลา

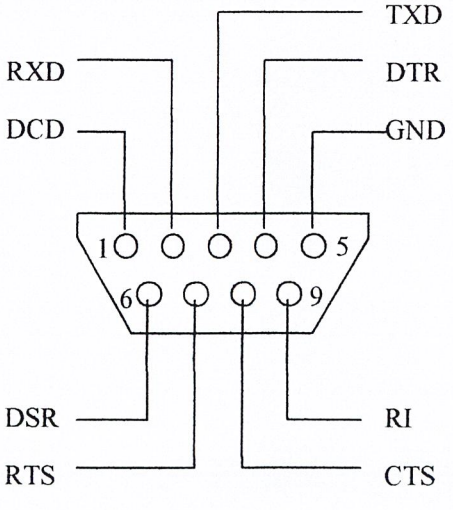
หน้าที่การทำงานของแต่ละขา คำจำกัดความของแต่ละขาบนคอนเน็คเตอร์ DB-25 นิยามตามหน้าที่ของด้าน DTE เป็นหลัก

ขา 1 PROTECTIVE GROUND เรารู้จักกันทั่วไป ในชื่อกราวด์ของอุปกรณ์(chassis ground)ถ้าปลั๊กไฟของอุปกรณ์ด้านหนึ่งไม่มีขากราวด์ (มีเพียง2 ขา) ขา 1 ของด้านอุปกรณ์นั้นจะต้องต่อไปหาขา 1 ของอีกอุปกรณ์หนึ่งที่มีการต่อสายกราวด์เพื่อป้องกันอันตรายไฟฟ้าดูด หน้าที่ของขานี้ มักจะมีผู้เข้าใจสับสนกับหน้าที่ของขา 7(COMMON RETURN) ตามปกติในระบบไฟฟ้ากระแสสลับจะมีสายไฟสายหนึ่งสำหรับส่งกระแสกลับลงดินหรือกราวด์ ซึ่งในทางปฏิบัตินั้น เส้นทางเดินของกระแสในสายกราวด์กลับไปยังพื้นดินเป็นระยะทางไกล ทำให้มีความต้านทานไฟฟ้าเดินขึ้นระหว่างอุปกรณ์กับพื้นดิน และหากเราต่ออุปกรณ์ 2 ตัว ซึ่งต่อกับระบบไฟฟ้าคนละระบบกันเข้าด้วยกัน(เช่น ในอาคารขนาดใหญ่) กราวด์ของอุปกรณ์ทั้งคู่อาจมีทางเดินไฟฟ้าที่ต่างกันทำให้เกิดความแตกต่างของระดับแรงดันที่กราวด์ของอุปกรณ์ได้ ซึ่งอาจเป็นสาเหตุทำให้การอินเตอร์เฟซทำงานผิดพลาด แต่เราสามารถแก้ไขได้โดยการต่อกราวด์ของทั้งสองอุปกรณ์เข้าด้วยกันโดยตรงผ่านทางขา 1 และแต่ละอุปกรณ์ อย่างไรก็ตามปัญหาดังกล่าวข้างต้นมักทำให้เกิดปัญหา

มากกว่า นั่นคือมันอาจทำให้เกิดกระแสไหลวนในกราวด์(round loop) ผ่านทางสายเคเบิลที่เชื่อมระหว่างอุปกรณ์ ปัญหากระแสไหลวนในกราวด์ มักทำให้การอินเตอร์เฟซมีการทำงานที่ไม่คงเส้นคงวา มีอาการแปลกๆ ไม่แน่นอน และอาการจะขึ้นอยู่กับรูปแบบการต่ออุปกรณ์เข้าด้วยกันหรือการตั้งค่าสวิตช์บนอุปกรณ์ ถ้าอุปกรณ์มีอาการที่ขึ้นกับลักษณะดังกล่าว สิ่งที่คุณควรตรวจเป็นอันดับแรกคือ ดูว่าสายเคเบิลที่ใช้มีสายสำหรับขา 1 อยู่หรือไม่ และอาจแก้ปัญหาแปลกๆ นี้ได้ด้วยการตัดสายของขา 1 ออกไป โดยปกติขา 1 จะมีหรือไม่ก็ได้



(ก)



(ข)

รูปที่ 2.38 คอนเน็คเตอร์ของ RS-232

(ก) คอนเน็คเตอร์แบบ DB-25

(ข) คอนเน็คเตอร์แบบ DB-9

ขา 2 TRANSMITTED DATA ส่งข้อมูลจาก DATA ไป DCE

ขา 3 RECEIVED DATA ส่งข้อมูลจาก DCE ไป DTE

ขา4 REQUEST TO SEND เอาต์พุทอเนกประสงค์สามารถนำไปประยุกต์ใช้ได้หลายหลาย

ขา 5 CLEAR TO SEND อินพุทอเนกประสงค์สามารถนำไปประยุกต์ใช้ได้หลายหลาย

ขา 6 DATA SET READY อินพุทอเนกประสงค์ที่ใช้แจ้ง DTE อุปกรณ์ DCE มีไฟเลี้ยงและพร้อมที่จะทำงาน

ขา 7 COMMON จุดอ้างอิงแรงดันสำหรับทุกสัญญาณในกระบวนการอินเตอร์เฟซ

ขา 8 DATA CARRIER DETECT สำหรับ DTE สัญญาณ DCD จะถูกนำไปใช้ในการยกเลิกการรับข้อมูล

ขา 20 DATA TERMINAL READY เอาต์พุทอเนกประสงค์ โดยทั่วไปใช้เป็นสัญญาณบอก DCE ว่าอุปกรณ์ DTE ที่มันอินเตอร์เฟซด้วยมีไฟเลี้ยงและพร้อมที่จะทำงาน

นอกจาก 9 ขา ที่กล่าวถึงข้างต้น ยังมีขาอื่นๆอีกที่ใช้ในการอินเตอร์เฟซกับไมโครคอมพิว-เตอร์ แต่สัญญาณสำคัญต่างๆ ที่การนำไปใช้เป็นประจำก็มีมักมาจาก 9 ขานี้เท่านั้น เรามักเรียกกลุ่มของคอนเน็คเตอร์ขา 2, 3, 4, 5, 6, 7, 8, 20 ว่า “กลุ่ม BIG EIGHT” ส่วนขาสัญญาณอื่นๆ มีไว้สำหรับเป็นทางเลือกที่ผู้ผลิตแต่ละรายจะนำไปประยุกต์ใช้ได้ตาความต้องการ ส่วนคอนเน็คเตอร์ DB- 9 จะทำงานได้เหมือนDB- 25 ตามตารางที่ 2 .2

ตารางที่ 2.2 แสดงขาของคอนเน็คเตอร์ แบบ DB-9

ขา	ฟังก์ชัน
1	Received Line Signal Detect
2	Received Data
3	Transmit Data
4	Data Terminal Ready
5	Signal Ground
6	Data Set Ready
7	Request To Send
8	Clear To Send
9	Ring Indicator

ข้อดีของการสื่อสารผ่านพอร์ทอนุกรมมีหลายข้อดังเช่น สามารถใช้สายได้ยาวกว่าการติดต่อสื่อสารผ่านพอร์ทแบบขนาน โดยที่พอร์ตอนุกรมจะใช้ระดับแรงดันในช่วง -3 ถึง -25 โวลต์ แทนลอจิก "0" และใช้แรงดันในช่วง +3 ถึง +25 โวลต์ แทนลอจิก "1" ดังนั้นจะเห็นว่าช่วงการสวิง(swing) ของแรงดันมีค่าประมาณ 50 โวลต์ ส่วนพอร์ทขนานมีช่วงสวิง 5 โวลต์ เท่านั้นซึ่งจะเห็นได้อย่างชัดเจน ว่าหากมีการสูญเสียในสายแล้วการส่งข้อมูลผ่านพอร์ทอนุกรมจะสามารถส่งข้อมูลไปได้ไกลกว่าอย่างแน่นอน อีกข้อก็คือ ใช้จำนวนสายสัญญาณน้อยกว่าการส่งข้อมูลแบบขนาน ในกรณีที่อุปกรณ์อยู่ห่างจากเครื่องคอมพิวเตอร์มากๆ ย่อมจะสะดวกกว่าหากจะเดินสายเพียง 3 เส้น ซึ่งเป็นลักษณะของนัลโมเด็ม(Null Modem) เมื่อเทียบกับการเดินสายจำนวน 19 หรือ 25 เส้น ในการใช้พอร์ทขนาน

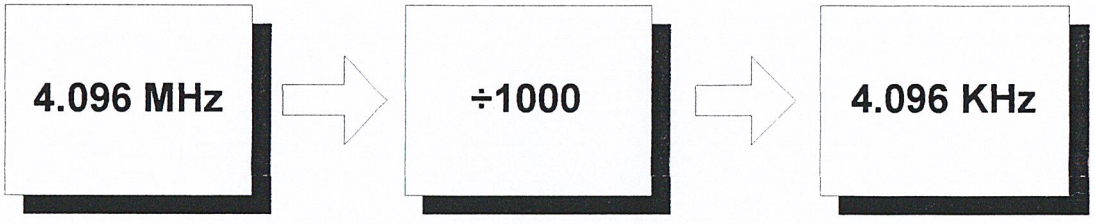
ข้อเสียจะมีค่าประจุสะสมอยู่เนื่องจากการที่สายรวมกันหลายๆ เส้น สายส่วนใหญ่จะมีตัวเก็บประจุสเตย์(Stay Capacitance) ประมาณ 40 ถึง 50 pf ต่อ 1 ฟุต ซึ่งที่จริงแล้วเรายอมให้มีค่าตัวเก็บประจุสเตย์ได้ต้องไม่มากกว่า 2,500 pf ดังนั้นจึงต่อสายได้ยาวสุด 50 ฟุต หากสายยาวกว่านี้ค่าประจุสเตย์จะมากตามไปด้วย จะมีผลให้ช่วงเวลาการเปลี่ยนแปลงระดับของสัญญาณจะมากกว่า 4 เปอร์เซ็นต์ เมื่อเป็นเช่นนี้ฝ่ายรับจะตีความสัญญาณผิดไปจากความเป็นจริง มาร์กบิต(Mark bit) จะยาวกว่าสเปซบิต(Space bit) หรือ สเปซบิตยาวกว่ามาร์กบิตขึ้นอยู่กับวงจร การตรวจสอบการผิดเพี้ยนแบบนี้เรียกว่า "Bias Distortion"

บทที่ 3
การออกแบบและวงจรใช้งาน

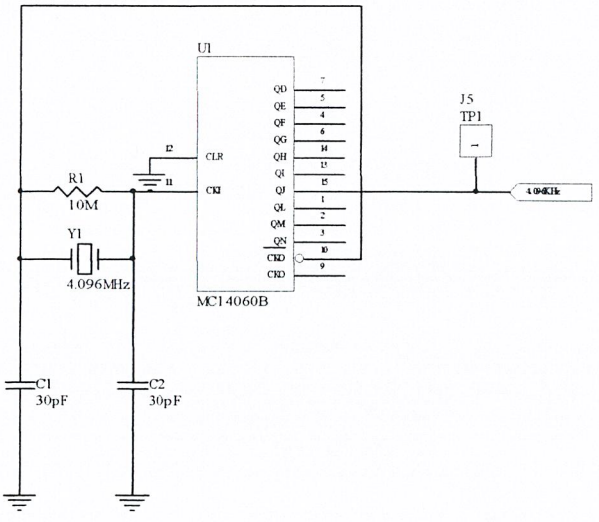
3.1 การออกแบบวงจรภาคส่ง

3.1.1 การออกแบบวงจรกำเนิดสัญญาณนาฬิกา

จากรูปที่ 3.2 ใช้คริสตอลที่มีความถี่ 18.432 MHz จากคริสตัลออสซิลเลเตอร์จะเข้าไปยังขา 10 และขา11 ของวงจรรวม 4060 ซึ่งทำหน้าที่เป็นวงจรหาร 64 ซึ่งจะให้เอ้าท์พุท 288 kHz ทาง Q6 ที่ขา 4 ของไอซี 4060 จากนั้นจะผ่านวงจรหาร 15 ซึ่งประกอบด้วยวงจรรวม 4024 และแอนด์เกทจำนวนหนึ่งจะให้ เอ้าท์พุท 19.2 kHz ออกทาง Q4 ที่ขา 5 ของตัวไอซี 4024 แล้วผ่านเข้าไปวงจรหาร 4 ซึ่งประกอบด้วยวงจรดีฟลิปฟลอป 2 ตัว ได้เอ้าท์พุทออกมาเป็น 4.8 kHz



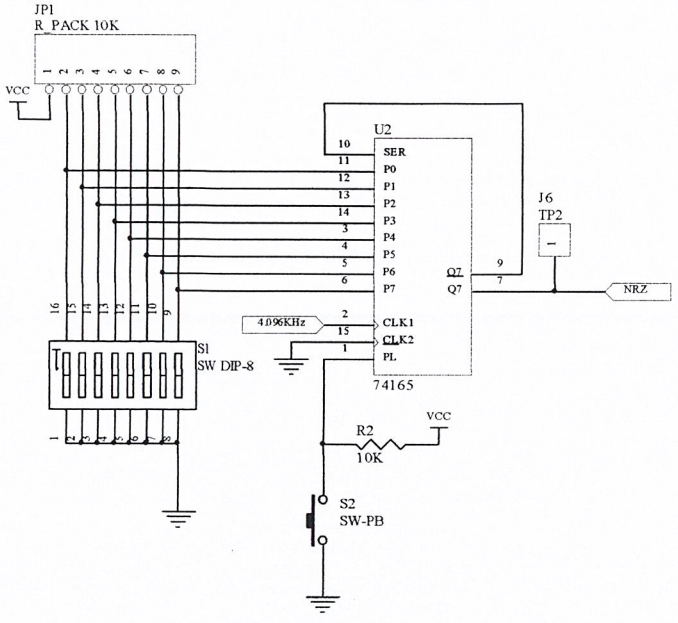
รูปที่ 3.1 แสดงบล็อกไดอะแกรมของวงจรกำเนิดสัญญาณนาฬิกา



รูปที่ 3.2 แสดงวงจรกำเนิดสัญญาณนาฬิกา

3.1.2 การออกแบบและการทำงานของวงจร NRZ

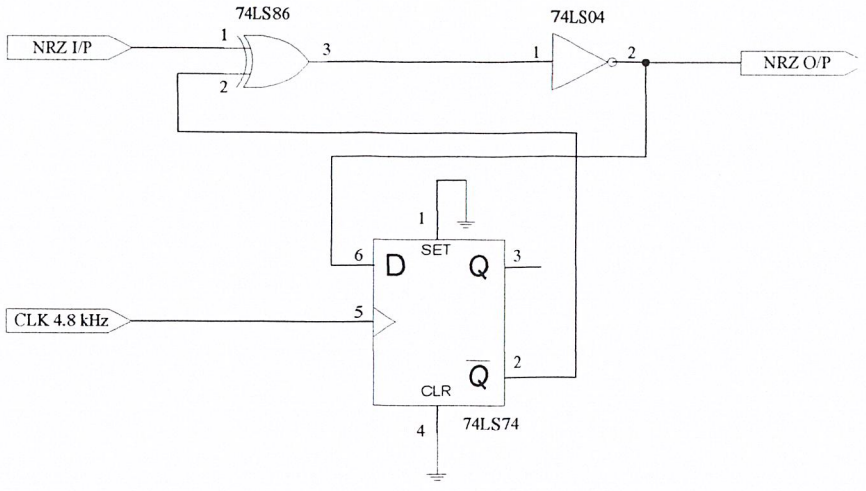
ในการทดลองจะใช้ไอซี 74165 เป็นตัวกำเนิดสัญญาณ NRZ โดยที่ไอซี 74165 เป็นไอซี 8-Bit Parallel-In/Serial-Out Shift Register ซึ่งไอซี 74165 จะเปลี่ยนข้อมูลแบบขนาน 8 บิต เป็นข้อมูลแบบอนุกรม โดยส่งบิตนัยสำคัญสูงสุด (MSB) เป็นบิตแรกแล้วเรียงตามลำดับไปจนถึงบิตต่ำสุด (LSB) สามารถต่อวงจรได้ดังรูปที่ 3.3



รูปที่ 3.3 วงจรสร้างสัญญาณ NRZ

3.1.3 วงจรเข้ารหัสเบสแบนด์แบบ NRZ เป็น NRZ Invert (NRZ-I)

สำหรับสาเหตุที่ต้องเข้ารหัสสัญญาณเบสแบนด์ NRZ เป็น NRZ-I หรือ differential encode ซึ่งใช้การเปลี่ยนแปลงขอบสัญญาณแทนการเปลี่ยนแปลงระดับสัญญาณ สำหรับการมอดูเลทสัญญาณ แบบ PSK เพื่อป้องกันการสับสนทางเฟส (phase ambiguity) ซึ่งเป็นเฟสของวงจรกู้สัญญาณคลื่นพาห์ผิดจาก $\cos 2\pi f_c t$ เป็น $-\cos 2\pi f_c t$ ผลจะทำให้เกิดการดีมอดูเลทผิดจากความเป็นจริง ถ้าหากทำการส่งข้อมูลด้วยสัญญาณ NRZ แต่ถ้าหากเราทำการเข้ารหัสสัญญาณ NRZ เป็น NRZ-I แล้วทำการใช้การเปลี่ยนแปลงขอบของสัญญาณแทนการส่ง 0 หรือ 1 จะสามารถแก้ไขปัญหาเนื่องจากการสับสนทางเฟสได้ สำหรับการเข้ารหัสสัญญาณ NRZ เป็น NRZ-I ซึ่งในการออกแบบใช้ NRZ-I แบบ NRZ-S สามารถแสดงได้ดังรูปที่ 3.4

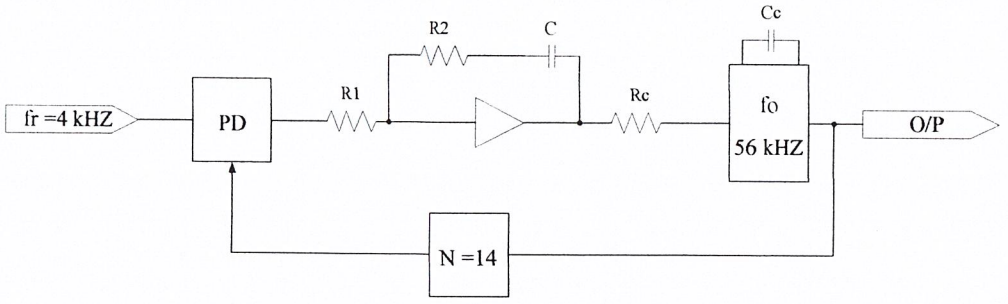


รูปที่ 3.4 วงจรเข้ารหัสสัญญาณ NRZ เป็น NRZ-I แบบ NRZ-S

การเข้ารหัสสัญญาณเบสแบนด์แบบ NRZ หรือ Non Return to Zero Level : NRZ-L เป็น NRZ-S (Non Return to Zero Space) ใช้หลักการ differential encode ดังแสดงในรูปที่ 3.4 โดยใช้การมอดูโลแทนด้วยเอกซ์คูซีฟออเกทซึ่งในทางปฏิบัติใช้วงจรรวม 74LS86 และสำหรับการหน่วงเวลาไป 1 บิตจะใช้ดีฟลิปฟลอป โดยที่ดีฟลิปฟลอปจะใช้วงจรรวม 74LS74 และสัญญาณนาฬิกาของดีฟลิปฟลอปจะใช้วงจรรวม 74LS74 และสัญญาณนาฬิกาของฟลิปฟลอปได้จากการกำหนดบิทเรทของสัญญาณเบสแบนด์

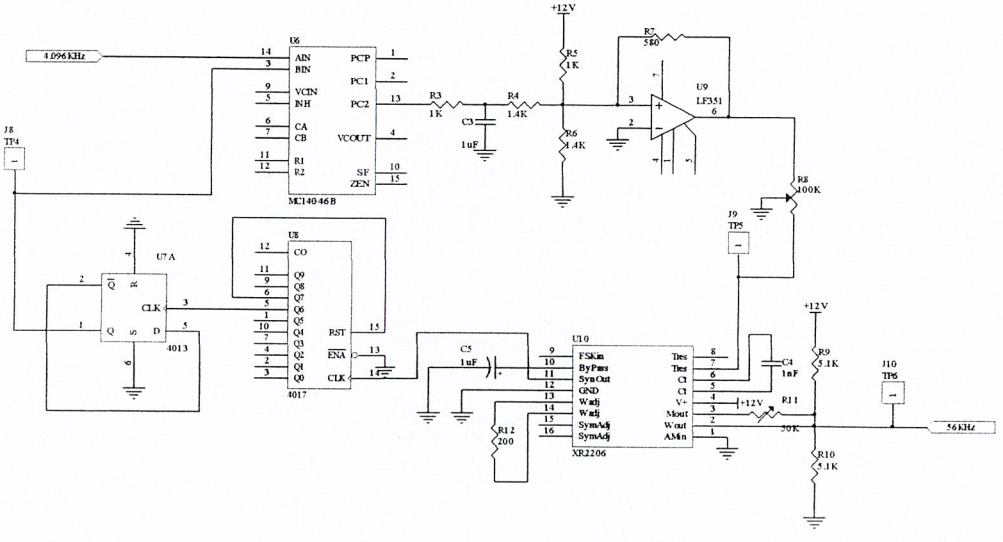
3.1.4 วงจรสร้างความถี่ 56 kHz

สำหรับการออกแบบวงจรผลิตความถี่ 56 kHz เพื่อให้มีเสถียรภาพทางความถี่ที่คงที่จึงใช้การสังเคราะห์ความถี่จากแหล่งความถี่อ้างอิงที่เชื่อถือได้ ซึ่งสร้างจากสัญญาณนาฬิกาที่เป็นตัวกำหนดบิตเรทของสัญญาณเบสแบนด์มีความถี่ 4kHz โดยโครงสร้างของ PLL ที่ทำหน้าที่สร้างความถี่ 56 kHz ซึ่งเป็นคลื่นพาห์ สำหรับการมอดูเลทสัญญาณ PSK แสดงได้ดังรูปที่ 3.5 โดยความถี่อ้างอิงของลูปเท่ากับ 4 kHz และความถี่ศูนย์กลางของลูปเท่ากับ 56 kHz และวงจรหารเท่ากับ 14



รูปที่ 3.5 แสดงโครงสร้างวงจรสร้างความถี่ 56 kHz

โดยวงจรที่ใช้จริงแสดงในรูปที่ 3.6 โดยที่ค่า R_c ในวงจรคือ R_3 ค่า C_C คือค่า C_2 ค่า R_1, R_2 คือ R1, R2 ตามลำดับและค่า C คือ C1 สัญญาณเอ้าท์พุทความถี่ 56 kHz ได้ที่ขา 2 ของวงจรรวม XR2206

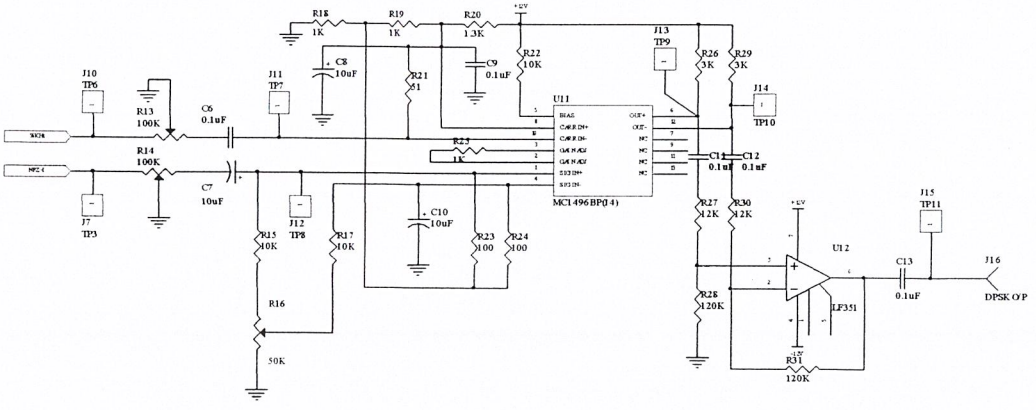


รูปที่ 3.6 วงจรสร้างความถี่ 56 KHz

3.1.5 วงจรคูณสัญญาณคลื่นพาห์กับสัญญาณ PSK

วงจรคูณสัญญาณคลื่นพาห์กับสัญญาณ PSK ใช้วงจรรวม MC1496 โดยสัญญาณที่คูณจะป้อนเข้าที่ ขา 1 และ ขา 10 โดยสัญญาณอินพุทที่ขา 1 เป็นอินพุทจากสัญญาณ PSK และสัญญาณอินพุทที่ขา 10 เป็นสัญญาณจากวงจรกู้สัญญาณคลื่นพาห์ โดยขนาดของสัญญาณเป็นขนาดเล็กไม่เกิน 60 mV เช่นเดียวกับวงจรยกกลังสองที่เอ้าท์พุทของวงจรคูณคือ ขา 6 และ ขา 12 ให้สัญญาณที่กลับเฟสกันโดยสัญญาณเอ้าท์พุทที่ความถี่สูงจะถูกบายพาสลงกราวด์และสัญญาณเบสแบนด์ที่ดีมอ

ดูเลทได้ ใช้อินพุทอินเวอร์ติ้งของออปแอมป์ สำหรับอัตราการขยายออปแอมป์สามารถกำหนดโดยกำหนดอัตราส่วนระหว่างความต้านทานที่ป้อนกลับและความต้านทานอินพุท โดยในที่นี้กำหนดอัตราขยายเท่ากับ 12 และสำหรับการออกแบบเพื่อให้ใช้กับแหล่งจ่าย + 12 V กับกราวด์นั้นที่ ขานอนอินเวอร์ติ้งอินพุทของออปแอมป์ต้องจัดไบอัสแรงดันที่มีขนาดประมาณกึ่งหนึ่งของแหล่งจ่าย สำหรับวงจรคูณสัญญาณคลื่นพาห์กับสัญญาณ PSK แสดงดังรูปที่ 3.7



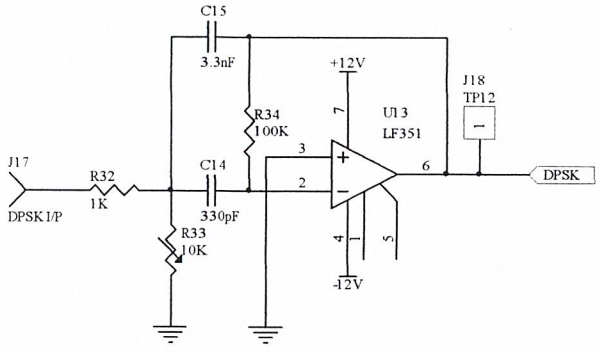
รูปที่ 3.7 วงจรคูณสัญญาณคลื่นพาห์กับสัญญาณ PSK

3.2 การออกแบบวงจรดีมอดูเลทสัญญาณ DPSK

โครงสร้างวงจรดีมอดูเลทสัญญาณ DPSK ซึ่งประกอบด้วยส่วนใหญ่ๆ คือวงจรกรองความถี่วงจร โคฮีเรนด์ดีมอดูเลทเตอร์ (Coherent Demodulator) ซึ่งประกอบด้วยวงจรกู้สัญญาณคลื่นพาห์(Carrier Recovery) วงจรคูณสัญญาณ วงจรอินทีเกรทแอนดัมท์ (integrated and dump) และสำหรับการส่งสัญญาณ DPSK ที่ภาคส่งส่วนของสัญญาณเบสแบนด์เข้ารหัสเป็น NRZ-I ดังนั้นเพื่อให้สามารถถอดรหัสเป็น NRZ ได้ที่ภาครับจะต้องมีวงจรกู้สัญญาณนาฬิกา (Clock Recovery) และวงจรถอดรหัสสัญญาณ NRZ-I เป็น NRZ

3.2.1 วงจรกรองความถี่ผ่าน

สำหรับวงจรกรองความถี่ผ่าน 56 KHz สำหรับภาคดีมอดูเลทสัญญาณ DPSK กำหนดให้มีค่า Q เท่ากับ 6 และอัตราการขยายความถี่ศูนย์กลางเท่ากับ 1 ขนาดความต้านทานและคาปาซิแตนซ์ของวงจรกรองความถี่ 56 KHz มีขนาดเช่นเดียวกับวงจรกรองความถี่ผ่านย่านในภาคมอดูเลทสัญญาณ DPSK สำหรับวงจรกรองความถี่ แสดงดังรูป



รูปที่ 3.8 วงจรกรองความถี่ 56 KHz สำหรับภาคดีมอดูเลทสัญญาณ DPSK

ถ้าให้ **Q** เป็นค่า Quality factor ของวงจร

$\omega 0$ เป็นความถี่ศูนย์กลาง

H เกนของวงจรที่ความถี่ผ่าน

ทรานเฟอร์ฟังก์ชันของวงจรแสดงได้คือ

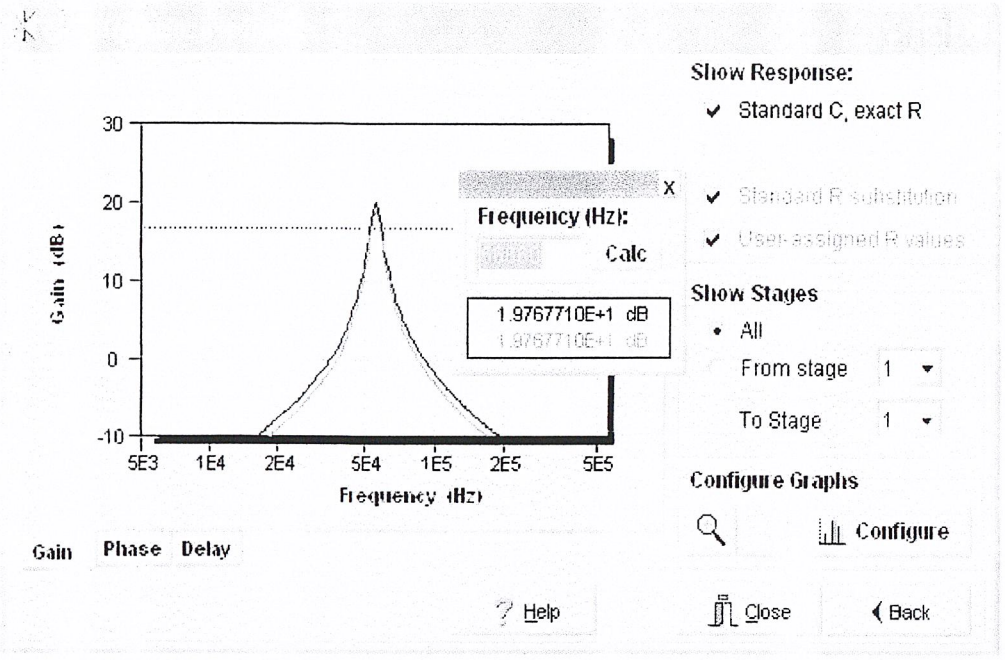
$$\frac{Vo(s)}{Vi(s)} = \frac{Hx(\omega/Q)xs}{s^2 + (\omega_0/Q)xs + \omega_0^2}$$

$$\omega_0^2 = \frac{1}{R_3 C_1 C_2}\left(\frac{1}{R_1} + \frac{1}{R_2}\right)$$

$$Q = \frac{1}{\sqrt{\frac{1}{R_3}\left(\frac{1}{R_1} + \frac{1}{R_2}\right)\left(\sqrt{\frac{C_1}{C_2}} + \sqrt{\frac{C_2}{C_1}}\right)}}$$

$$H = \frac{-R_3 C_2}{R_1(C_1 + C_2)}$$

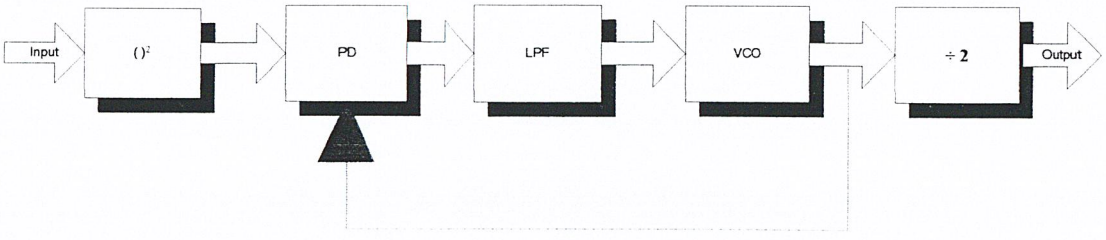
สำหรับการออกแบบกำหนดค่า **Q** = 10, **H** = 10, ωo = 56KHz และใช้โปรแกรม Filter WIZ โดยมีผลดังนี้



รูปที่ 3.9 แสดงกราฟตอบสนองความถี่ของ Bandpass Filter ที่ 56KHz

3.2.2 วงจรกู้สัญญาณคลื่นพาห์

วงจรกู้สัญญาณคลื่นพาห์เป็นวงจรสร้างสัญญาณคลื่นพาห์ขึ้นที่ภาครับของวงจรดีมอดูเลทสัญญาณ DPSK โดยสัญญาณที่สร้างขึ้นมาจะมีคุณสมบัติซิงโครไนซ์ทางเฟสกับคลื่นพาห์ที่ภาคส่ง โดยวงจรกู้สัญญาณคลื่นพาห์ หรือวงจรสร้างสัญญาณ $\cos\omega_c t$ ขึ้นที่ภาครับ มีหลายชนิดเช่น squaring loop, costas loop แต่ในการทดลองนี้จะกล่าวกับ squaring loop หรือ ลูปยกกำลังสอง สำหรับการกู้สัญญาณคลื่นพาห์โดยสามารถแสดงหลักการวงจรได้ดังรูปที่ 3.10

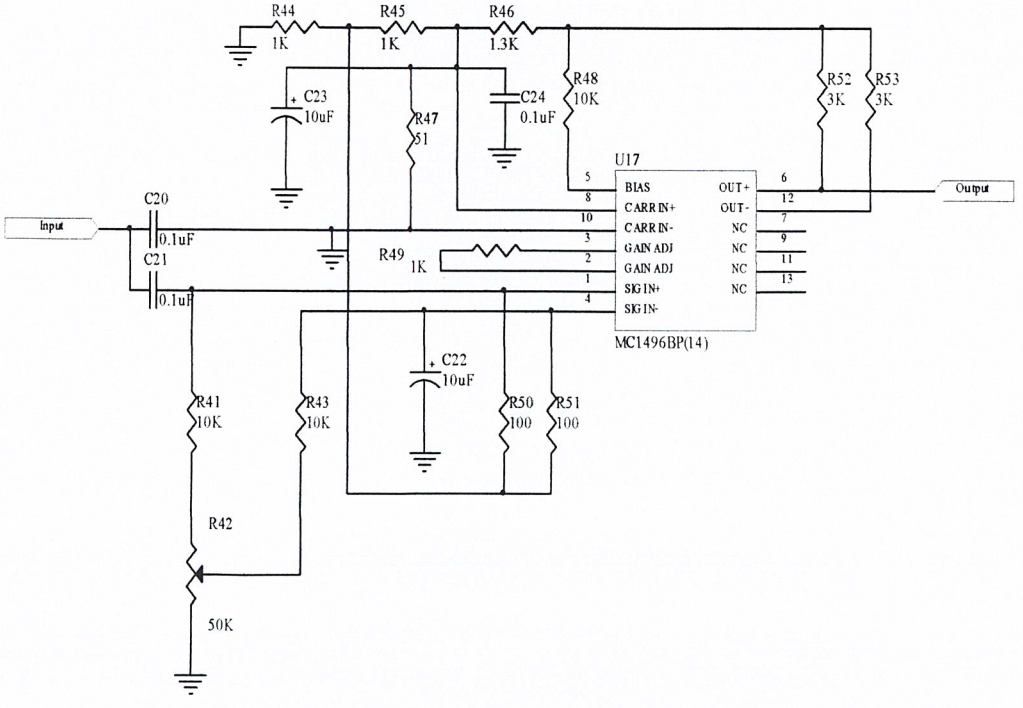


รูปที่ 3.10 โครงสร้างลูปยกกำลังสองสัญญาณ

โดยลูปยกกำลังสอง(squaring loop) จะประกอบด้วยภาคยกกำลังสองของสัญญาณ (squaring), วงจร PLL, จงจรหารกำลังสองการทำงานของลูปยกกำลังสองเมื่อรับสัญญาณอินพุท DPSK ซึ่งมีเฟส $\cos\omega_c t$ หรือ $-\cos\omega_c t$ ขึ้นอยู่กับสัญญาณเบสแบนด์ วงจรยกกำลังสองทำหน้าที่ยกกำลังสองของสัญญาณคลื่นพาห์โดยเอาท์พุทของวงจรทำหน้าที่ยกกำลังสองสัญญาณคลื่นพาห์โดยเอาท์พุทของวงจรยกกำลังสองจะได้ฮาร์โมนิคที่ 2 ของ $\cos\omega_c t$ หรือ $\cos2\omega_c t$, สัญญาณ $\cos2\omega_c t$ จะเป็นอินพุทหรือสัญญาณอ้างอิงของ PLL โดย PLL จะล็อกเฉพาะสัญญาณ $\cos2\omega_c t$ เอาท์พุทของ PLL จะเป็นอินพุทของวงจรหารสอง ซึ่งจะหารความถี่ให้เป็น $\cos\omega_c t$ สำหรับเป็นสัญญาณอ้างอิงเพื่อการดีมอดูเลทสัญญาณ DPSK ต่อไปโดยในทางปฏิบัติสามารถแสดงการออกแบบของส่วนต่างๆ ได้ดังนี้

3.2.3 วงจรยกกำลังสอง

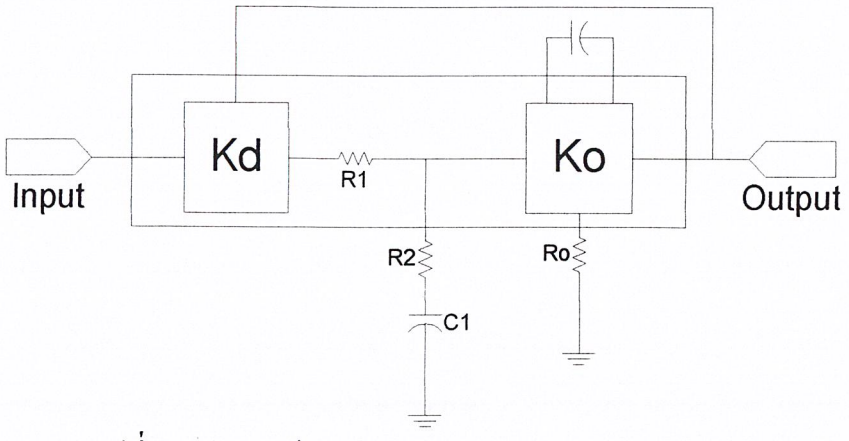
หลักการวงจรยกกำลังสอง จะใช้วงจรคูณสัญญาณโดยอินพุททั้งสองของวงจรคูณสัญญาณต่อเข้าด้วยกันสัญญาณที่ต้องการยกกำลัง โดยวงจรที่ใช้คูณเป็นวงจรรวมสำหรับคูณสัญญาณขนาดเล็กซึ่งใช้วงจรรวม MC1496 โดยอินพุทมีขนาดสัญญาณ 100 mV



รูปที่ 3.11 วงจรยกกำลังสองสัญญาณ

3.2.4 วงจร PLL

สำหรับวงจร PLL สำหรับล็อกสัญญาณ $\cos 2\omega_c t$ นั้นใช้วงจรรวม LM565 โดยแสดงโครงสร้างวงจรได้ดังรูป 3.12 ค่าความถี่ศูนย์กลางของ f_0 ของลูปตั้งได้จากค่า R_0C_0 ตั้งให้มีขนาดเท่ากับ 2 เท่าของ 56 KHz หรือเท่ากับ 112 KHz



รูปที่ 3.12 โครงสร้าง PLL สำหรับลูปยกกำลังสองสัญญาณ

โดยค่าความถี่ f_0 กำหนดได้คือ

$$f_0 = \frac{1}{3.7R_0C_0}$$

ถ้ากำหนด C_0 เท่ากับ 330pF ค่า R_0 จะมีขนาดเท่ากับ 7312 Ω ในทางปฏิบัติใช้ความต้านทานขนาด 5K Ω ต่ออนุกรมกับความต้านทานปรับค่าได้ขนาด 5K Ω สำหรับการกำหนดค่าเวลาคงตัวของวงจรกรองความถี่ผ่านในลูปซึ่งเป็นตัวกำหนดลูปนอยส์แบนด์วิดท์(loop noise and width) และความถี่ธรรมชาติของลูป สำหรับ PLL ทำหน้าที่กู้สัญญาณคลื่นพาห์หรือแคเรียซิงโครไนซ์ ค่าของลูปนอยส์แบนด์วิดท์หรือความถี่ธรรมชาติของลูปต้องมีขนาดแคบที่สุดเท่าที่จะทำได้เพื่อให้สัญญาณนอยส์ที่เอาท์พุทของ PLL ที่อยู่ในรูปของจิทเตอร์มีขนาดน้อยที่สุดแต่ขนาดของเวลาพูลอิน (pull in time) ของลูปจะมีค่าสูง ดังนั้นการกำหนดค่านอยส์แบนด์วิทท์จะต้องมีขนาดไม่แคบเกินไป โดยจากลูปนอยส์แบนวิดท์แสดงได้

$$B_L = \frac{SNR_iB_i}{2xSNR_L}$$

โดยค่า SNR_L สำหรับ PLL ที่อินพุทเป็นวงจรยกกำลังสอง จะต้องมีขนาดมากกว่าหรือเท่ากับ 12 dB ค่า B_i เป็นแบนด์วิดท์ของวงจรกรองความถี่ที่อินพุทของวงจรยกกำลังสองซึ่งมีขนาดแบนด์วิดท์เท่ากับ 11.2KHz

สำหรับ SNR_i หรืออัตราส่วนระหว่างกำลังสองของสัญญาณต่อสัญญาณรบกวนที่อินพุทของวงจรดีมอดูเลท PSK จะมีมากกว่า 10 dB ดังนั้นจากสมการ ลูปนอยส์แบนด์วิดท์จะต้องมีขนาดน้อยกว่าหรือเท่ากับ 4.6 KHz สำหรับลูปนอยส์แบนด์วิดท์ซึ่งแสดงความสัมพันธ์กับความถี่ธรรมชาติ โดยถ้าลูปมีค่า $\zeta = 0.707$ แล้วค่าลูปนอยส์แบนด์วิดท์ของ PLL ที่ใช้วงจรกรองแบบลีดแล็คจะแสดงได้คือ

$$B_L = 0.53\,\omega_n$$

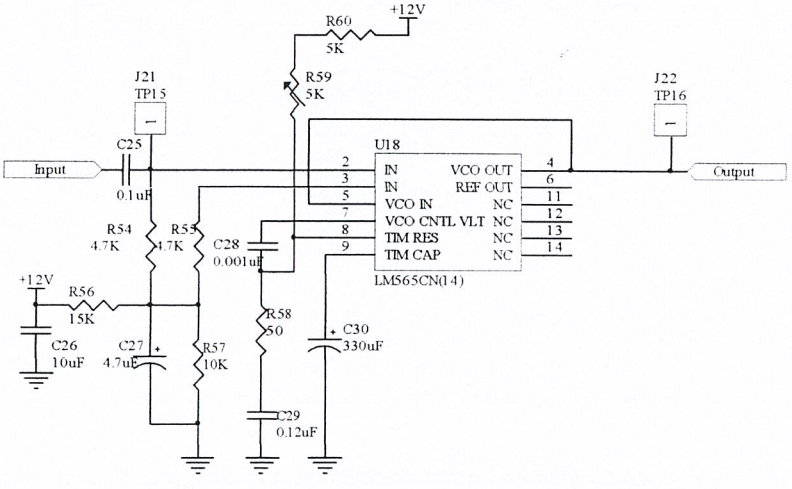
และค่า ω_n กำหนดจาก

$$\omega_n = \sqrt{\frac{K_0 K_d}{(R_1 + R_2)C}}$$

และ

$$\zeta = \frac{R_2 C \omega_n}{2}$$

จากค่า B_L กำหนดให้เท่ากับ 4.6KHz แล้วค่า R1 อยู่ภายในวงจรรวม LM565 เท่ากับ 3600Ω จากสมการ ค่า C ในวงจรกรองเท่ากับ 1.23 μF ซึ่งในทางปฏิบัติเลือกใช้ขนาด 1.2 μF และค่า R_2 สำหรับกำหนดค่า ζ จะเท่ากับ 56 Ω สำหรับวงจรในทางปฏิบัติแสดงได้ดังรูป 3.12 โดยค่า R_0 จากสมการคือ R60 อนุกรมกับ R59 และ C_0 คือ C30 ส่วนค่า C คือ C28 และ R58 ตามลำดับ

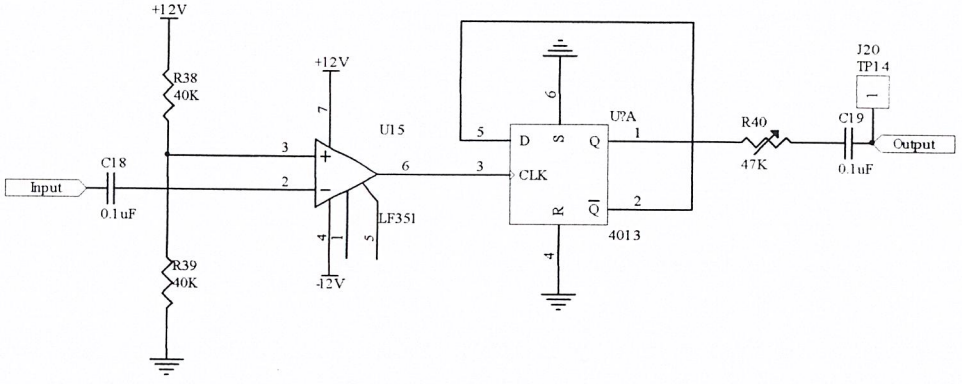


รูปที่ 3.13 วงจร PLL สำหรับลูปยกกำลังสอง

3.2.5 วงจรหาร

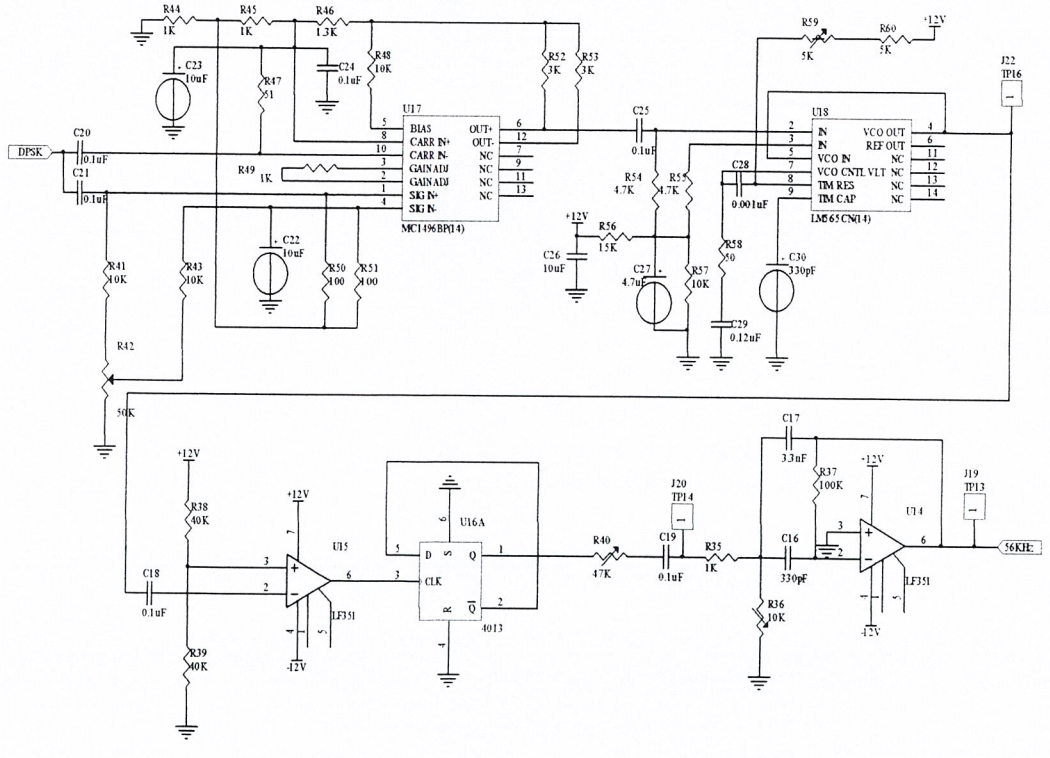
สำหรับวงจรหาร 2 สำหรับหารเอาท์พุทของสัญญาณจากวงจร PLL แสดงได้ดังรูป 3.14 โดยวงจรประกอบด้วยวงจรรวม LF351 สำหรับปรับระดับแรงดันเอาท์พุทของวงจร PLL เป็น

ระดับแรงดัน TTL วงจรรวม 74LS74 สำหรับหาร 2 และต่อไปเป็นวงจรบัฟเฟอร์ที่เอาท์พุท โดยระดับสัญญาณเอาท์พุทของวงจรหาร 2 จะถูกลดระดับแรงดันเหลือประมาณ 100 mV สำหรับวงจรคูณต่อไป



รูปที่ 3.14 วงจรหารสอง

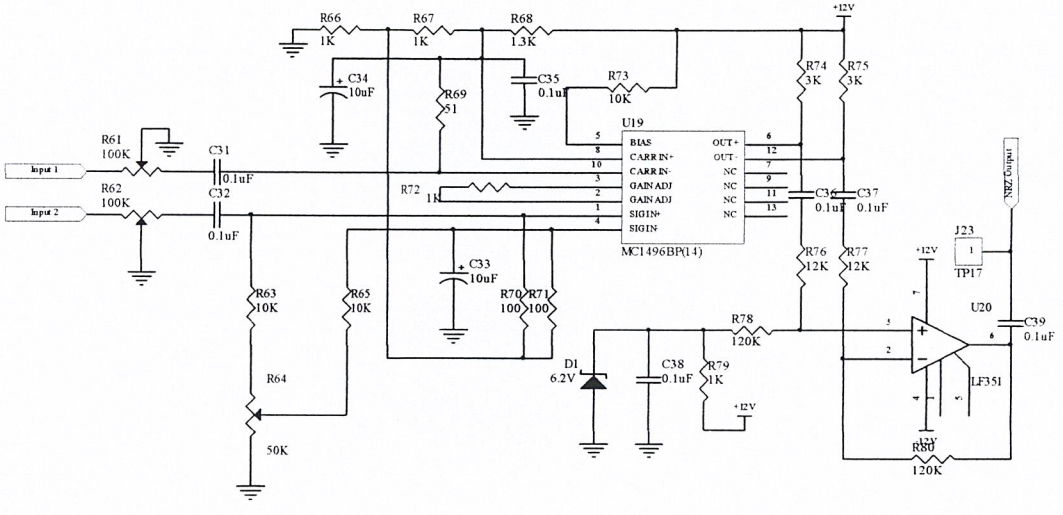
สำหรับวงจรกู้คลื่นพาห์ทั้งหมดแสดงได้ดังรูป



รูปที่ 3.15 วงจรกู้สัญญาณคลื่นพาห์แบบยกกำลังสอง

3.2.5 วงจรคูณสัญญาณคลื่นพาห์กับสัญญาณ PSK

วงจรคูณสัญญาณคลื่นพาห์กับสัญญาณ PSK ใช้วงจรรวม MC1496 โดยสัญญาณที่คูณจะป้อนเข้าที่ ขา 1 และขา 10 โดยสัญญาณอินพุทที่ขา 1 เป็นอินพุทจากสัญญาณ PSK และสัญญาณที่อินพุทที่ขา 10 เป็นสัญญาณคลื่นพาห์ โดยขนาดของสัญญาณเป็นขนาดเล็กไม่เกิน 100 mV เช่นเดียวกับวงจรยกกำลังสอง ที่เอาท์พุทของวงจรคูณคือขา 6 และ ขา 12 ให้สัญญาณที่กลับเฟสกัน โดยสัญญาณเอาท์พุทที่ความถี่สูงจะถูกบายพาสลงกราวด์และสัญญาณเบสแบนด์ที่ดีมอดูเลทได้ใช้อินพุทอินเวอร์ติ้งและนอนอินเวอร์ติ้ง ของออปแอมป์ สำหรับอัตราการขยายออปแอมป์สามารถกำหนดได้โดย กำหนด อัตราส่วนระหว่างความต้านทานที่ป้อนกลับและความต้านทานอินพุท โดยในมที่นี้ กำหนดอัตราขยายเท่ากับ 12 และสำหรับการออกแบบเพื่อให้ใช้กับแหล่งจ่าย +12 V กับกราวด์นั้น ที่ขานอนอินเวอร์ติ้งอินพุทของออปแอมป์ต้องจัดไบอัสแรงดันที่มีขนาดประมาณกึ่งหนึ่งของแหล่งจ่าย VCC ซึ่งกำหนดโดยใช้ซีเนอร์ไดโอด 6.2 V สำหรับวงจรคูณสัญญาณคลื่นพาห์กับสัญญษณ PSK แสดงดังรูปที่ 3.16



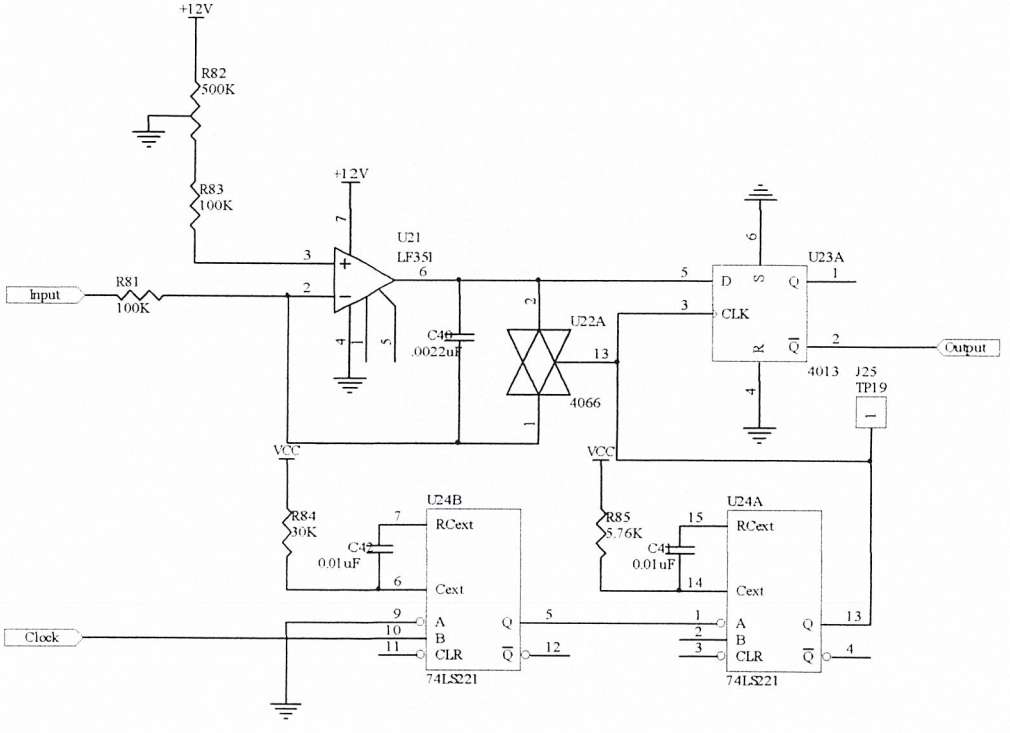
รูปที่ 3.16 วงจรคูณสัญญาณคลื่นพาห์กับสัญญาณ DPSK

3.2.6 วงจรอินทีเกรทแอนดัมท์ (interated and dump)

ถึงแม้ว่าสัญญาณเอาท์พุทของวงจรคูณจะเป็นสัญญาณเบสแบนด์ NRZ-I แล้วก็ตามแต่สัญญาณจะเกิดการสั่น (jitter) เนื่องจากสัญญาณรบกวน เพื่อให้ได้สัญญาณ NRZ-I ที่แน่นอนทางภาครับจึงต้องทำการอินทีเกรทสัญญาณไปในช่วง 1 บิท เพื่อพิจารณาว่าสัญญาณเบสแบนด์จะมีระดับที่แน่นอนไปในทิศทางใด แล้วทำการตัดสินระดับที่ปลายที่ช่วงเวลา 1บิท และก่อนที่จะทำการอินที่เกรท สัญญาณลูกต่อไปต้องทำการรีเซ็ท (reset) หรือดัมท์ (dump) ให้วงจรอินทิเกรทที่ค่า

0 ก่อนทุกครั้ง วงจรอินทีเกรทแอนดัมท์จะประกอบด้วย วงจรอินติเกรท, ฟลิปฟลอป, อิเล็กทรอนิกส์สวิทช์ และ วงจรสร้างซิงพัลซ์ (sync pulse) โดยแสดงรูปวงจรได้ดังรูป 3.17

จากอินพุทของวงจรคือสัญญาณ Naz_{in} ที่มาจากเอาท์พุทของวงจรคูณสัญญาณคลื่นพาห์กับสัญญาณ PSK โดยสัญญาณอินพุทนี้จะมีการสั่น (jitter) โดยขึ้นอยู่กับขนาด SNR ของสัญญาณที่อินพุทของวงจรดีมอดูเลท PSK (SNR_i) โดยสัญญาณเบสแบนด์ที่ถูกอินทีเกรทดังแสดงในรูปที่ 3.18 ซึ่งเป็นเอาท์พุทของวงจรอินเวอร์ติ้งอินทีเกรท (inverting integrated) จากรูปปลายช่วงสัญญาณเบสแบนด์แต่ละช่วงจะถูกรีเซ็ทโดย sync pulse ซึ่งสัญญาณ sync pulse จะได้จากวงจรกู้สัญญาณนาฬิกา (Clock Recovery) สำหรับเอาท์พุทของวงจรอินเวอร์ติ้งอินทีเกรทเตอร์จะป้อนให้กับฟลิปฟลอปเพื่อให้ตัดสินค่าระดับลอจิก โดยเอาท์พุทของฟลิปฟลอปจะให้สัญญาณเบสแบนด์ NRZ-I ที่ถูกหน่วงเวลาไป 1 บิท ดังแสดงในรูป 3.18 โดยขนาดของการสั่นของสัญญาณเบสแบนด์จะลดลง



รูปที่ 3.17 วงจรอินทีเกรทแอนดัมท์

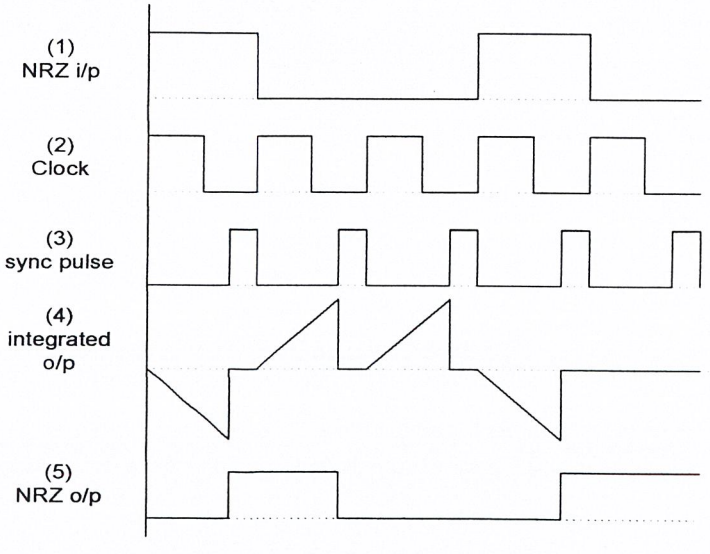
สำหรับสมการแสดงเอาท์พุทของวงจรอินทีเกรทเขียนได้คือ

$$V_0(t) = \frac{1}{RC}\int_0^t V_{in}(t)dt$$

โดยค่า RC เป็นค่าเวลาคงตัวของวงจรอินทีเกรท เพื่อให้ค่าแรงดันที่เอาท์พุทของวงจรอินทีเกรทมีค่าสูงสุดในช่องเวลา 1 บิท ค่า RC กำหนดให้เท่ากับช่วงเวลา 1 บิท ซึ่งเท่ากับ 250 μS สำหรับบิทเรทขนาด 4000 จากสมการ ถ้ากำหนดค่า C ให้เท่ากับ 0.0022 μF แล้วค่า R เท่ากับ 113.6KΩ สำหรับวงจรสร้าง sync pulse ที่ใช้สำหรับสุ่มเพื่อตัดสิน ค่าระดับสัญญาณลอจิกและทำการรีเซ็ทวงจรอินทีเกรทสัญญาณ sync pulse สร้างจากการหน่วงสัญญาณนาฬิกาที่ได้จากวงจรกู้สัญญาณนาฬิกา โดย sync pulse จะเกิดในช่วงปลายของสัญญาณ NRZ-I แต่ลูกโดยเป็นพัลซ์ขนาดแคบๆ การหน่วงเวลาและการทำพัลซ์ให้มีขนาดแคบ ใช้โมโนสเตเบิ้ลจำนวน 2 ชุดโดย ใช้วงจรรวม 74LS221 ซึ่งมีโมโนสเตเบิ้ล 2 ชุดอยู่ในวงจรเดียวกัน โดยอินพุทของสัญญาณนาฬิกาเป็นอินพุทของโมโนสเตทเบิ้ลตัวที่หนึ่ง กำหนดให้ทำงานที่อินพุทขอบขาขึ้น โดยตั้งเวลาให้หน่วงเวลาเท่ากับ 210 μS โดยช่วงเวลากำหนดได้ดังสมการ

$$T_w = 0.7R_TC_T$$

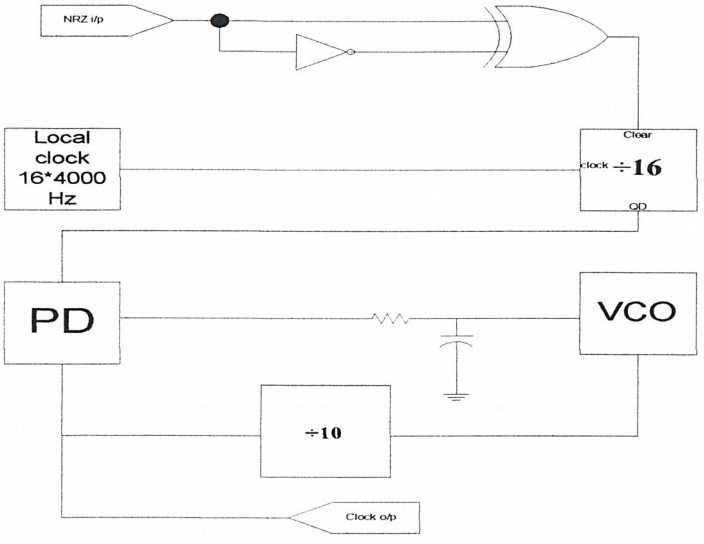
T_w เป็นช่วงเวลาอินพุทของโมโนสเตเบิ้ล , R_TC_T เป็นความต้านทานและคาปาซิเตอร์ ต่อที่ขา RC_{ext} ของโมโนสเตเบิ้ลสำหรับโมโนสเตเบิ้ลตัวที่สอง สร้าง sync pulse กำหนดให้อินพุททำงานที่ขอบขาลง โดยช่วงเวลาจะมีขนาดประมาณ 40 μS ถ้าหากกำหนดให้ C_T สำหรับโมโนสเตเบิ้ลตัวที่สองเท่ากับ 0.01 μF ค่า R_T เท่ากับ 11.4 KΩ โดยในทางปฏิบัติใช้ความต้านทานขนาด 30 KΩ และ 5.76 KΩ ตามลำดับ สำหรับสัญญาณที่จุดต่างๆ ของวงจรจะเป็นดังรูป 3.18



รูปที่ 3.18 แสดงสัญญาณที่จุดต่างๆของวงจรอินทีเกรทแอนดัมท์

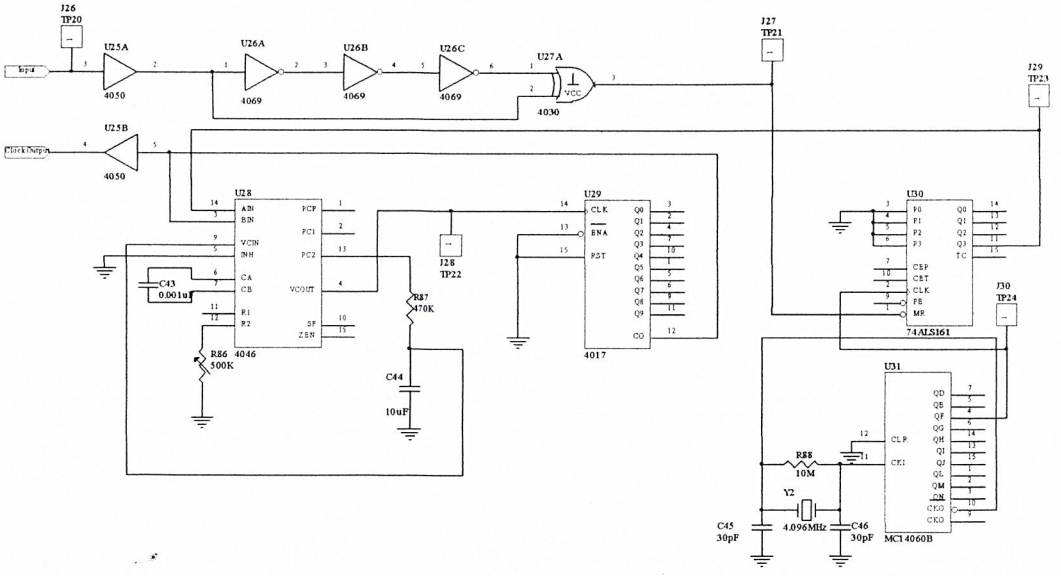
3.2.7 วงจรกู้สัญญาณนาฬิกา

สำหรับการสร้างสัญญาณนาฬิกาที่ภาครับขนาด 4 bps ให้สามารถซิงโครไนซ์กับภาคส่งได้ ใช้หลักการแสดงดังรูป 3.19



รูปที่ 3.19 หลักการวงจรกู้สัญญาณนาฬิกา

จากรูปวงจรประกอบด้วยวงจรสร้างความถี่อ้างอิง (local clock) ซึ่งสร้างความถี่ขนาด 16 เท่าของ 4000 Hz , วงจรหาร 16, วงจรหาการเปลี่ยนแปลงของขอบของสัญญาณ, วงจร PLL โดยจากอินพุทสัญญาณ NRZ จะถูกนำมาหาขอบสัญญาณ (Transition) โดยใช้วงจรนอทเกทหน่วงสัญญาณ NRZ-I ที่อินพุทแล้วทำการเอ็กซ์คูลซีฟออเข้ากับสัญญาณ NRZ-I เดิมซึ่งจะทำให้ที่เอาท์พุทของเอ็กซ์คูลซีฟออเกทได้สัญญาณพัลซ์แคบๆ ซึ่งเกิดขึ้นทุกการเปลี่ยนแปลงสัญญาณอินพุทโดยสัญญาณพัลซ์นี้จะเป็นสัญญาณเคลียร์ (Clear) ให้กับวงจรหาร 16 โดยที่อินพุทเป็นความถี่ขนาด 16 เท่าของความถี่บิทเรท ดังนั้นความถี่ของสัญญาณนาฬิกาที่เอาท์พุทวงจรหาร 16 จะเป็นความถี่ของสัญญาณนาฬิกาที่ซิงโครไนซ์กับสัญญาณเบสแบนด์ที่รับเข้ามา โดยขนาดของความถี่สัญญาณนาฬิกาที่เอาท์พุทวงจรหาร 16 จะถูกปรับอัตราการหารด้วยขนาดต่างๆ กัน โดยขึ้นอยู่กับขอบของสัญญาณเบสแบนด์ที่อินพุทของวงจรกู้สัญญาณนาฬิกา โดยที่เอาท์พุทของวงจรหาร 16 จะ เป็นความถี่ขนาด 4000 Hz แต่ยังการสั่น (jitter) ดังนั้นจึงใช้วงจร PLL ซึ่งทำหน้าที่คล้ายวงจรกรองความถี่ผ่านย่านทำการสร้างเฉพาะความถี่สัญญาณนาฬิกาที่ไม่มีการสั่นผ่านไปเป็นสัญญาณนาฬิกาเอาท์พุท สำหรับวงจรในทางปฏิบัติ แสดงได้ดังรูป 3.20

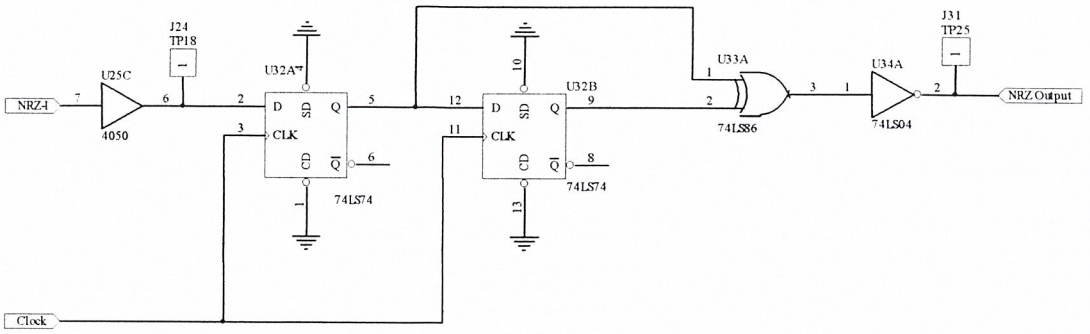


รูปที่ 3.20 วงจรกู้สัญญาณนาฬิกาใช้ในทางปฏิบัติ

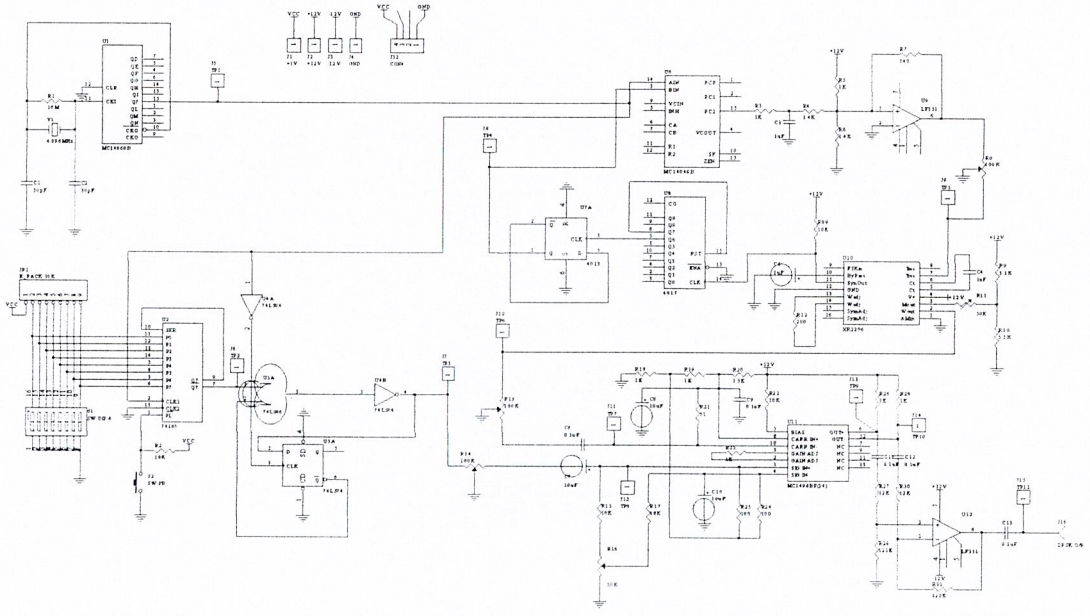
จากรูปวงจรสร้างความถี่อ้างอิง (local clock) สร้างความถี่ 16 เท่าของ 4000 Hz ประกอบด้วยวงจรรวม 4060 โดยวงจรรวม 4060 เป็นวงจรหารไบนารี่และมีเกทออสซิเลทอยู่ภายใน โดยเกทออสซิเลสใช้สร้างความถี่อ้างอิง ซึ่งกำหนดโดยคริสตอลขนาด 4.096 MHz สำหรับความถี่ 16 เท่าของ 4000 Hz ได้จากเอาท์พุท QF ของ 4060 โดยวงจรรวม 40163 สำหรับวงจรหาร 16 โดยสัญญาณอินพุทเคลียร์ที่ได้จากวงจรหาการเปลี่ยนแปลงของขอบ ซึ่งเป็นการต่อร่วมระหว่างนอทเกทและวงจรเอกซ์คูลซีฟออดังได้กล่าวมาข้างต้น สำหรับส่วนของวงจร PLL ประกอบด้วยวงจรรวม 4046 และวงจรรวม 4017 โดยวงจรรวม 4046 ประกอบด้วย VCO และเฟสดีเทคเตอร์โดยขนาดของความถี่ VCO ตั้งให้มีขนาด 10 เท่าของสัญญาณอินพุทหรือขนาดเท่ากับ 40 KHz โดยวงจรรวม 4017 เป็นวงจรหาร 10 สำหรับป้อนสัญญาณกลับไปเปรียบเทียบเฟสกับอินพุทที่มีจิทเตอร์ขนาด 4000 Hz โดยเอาสัญญาณป้อนกลับนี้ไปใช้งานเป็นสัญญาณนาฬิกาสำหรับค่า RC สำหรับวงจรกรองในลูปของ PLL ซึ่งต่อที่ขา 13 และขา 9 ของวงจรรวม 4046 ทดลองเลือกจากทางปฏิบัติใช้ขนาด 470 $K\Omega$ และ 10 μF ตามลำดับ

3.2.8 วงจรถอดรหัสสัญญาณ NRZ-I/NRZ

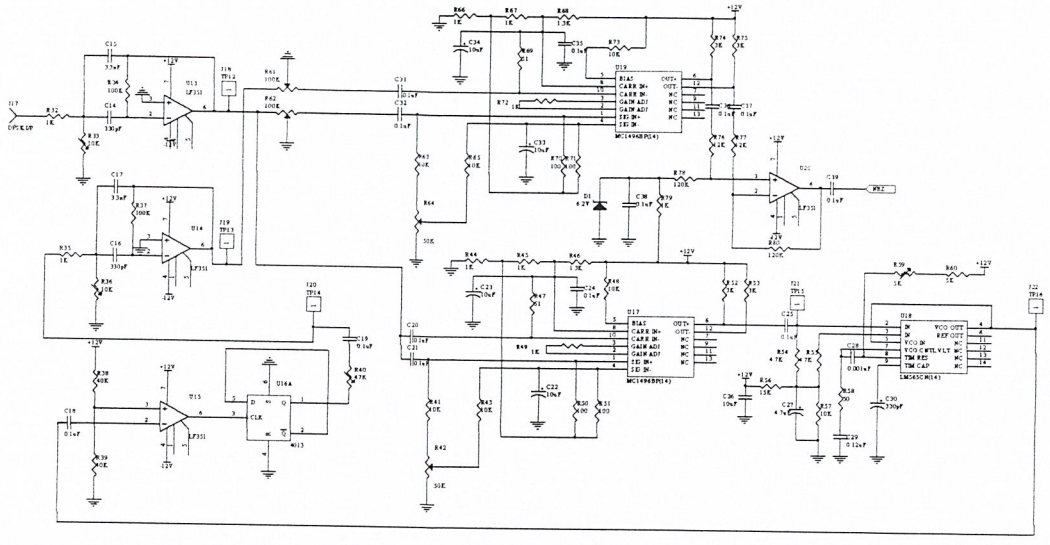
สำหรับการถอดรหัสสัญญาณ NRZ-I ซึ่งใช้ NRZ-S เป็น NRZ-L นั้นใช้วงจรดังรูปที่ 3.21 จากรูปการมอดูเลทและการหน่วงเวลา 1 บิท ใช้เอ็กซ์คูลซีฟออกเกท 74LS86 และดิฟลิปฟลอปเช่นเดียวกับวงจรเข้ารหัสสัญญาณ



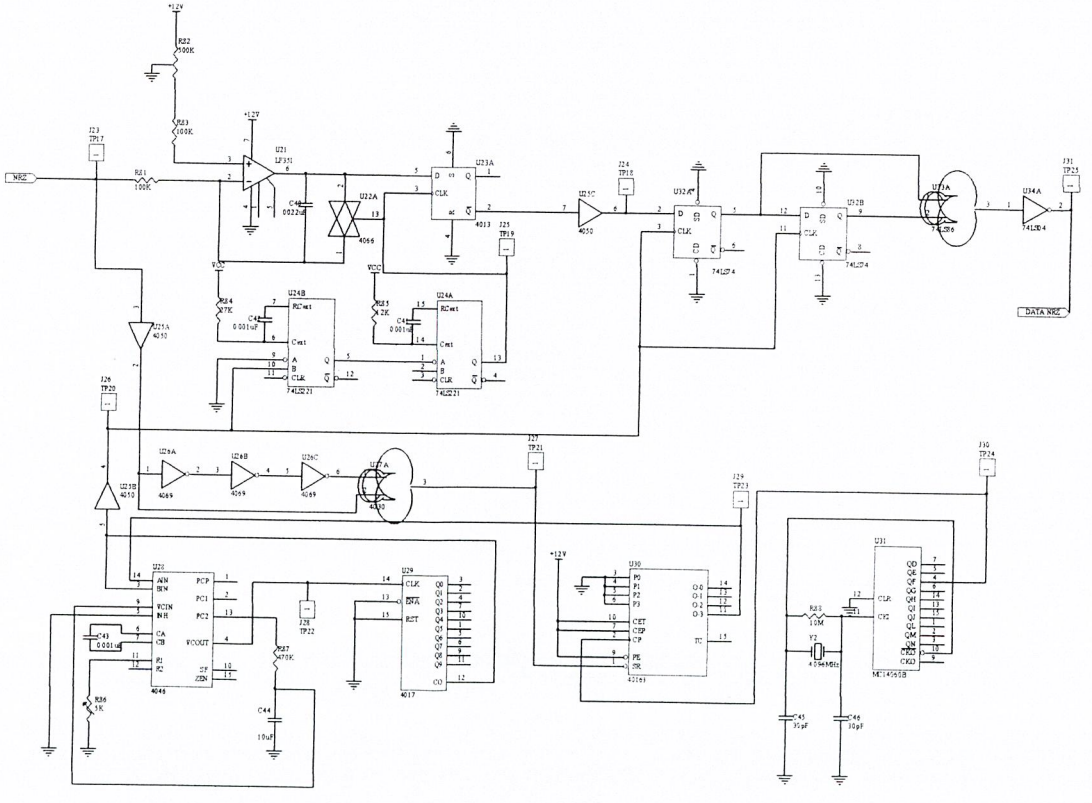
รูปที่ 3.21 วงจรถอดรหัสสัญญาณ NRZ-I เป็น NRZ



รูปที่ 3.22 วงจรภาคส่งสัญญาณ DPSK



รูปที่ 3.23 วงจรภาครับสัญญาณ DPSK(1)

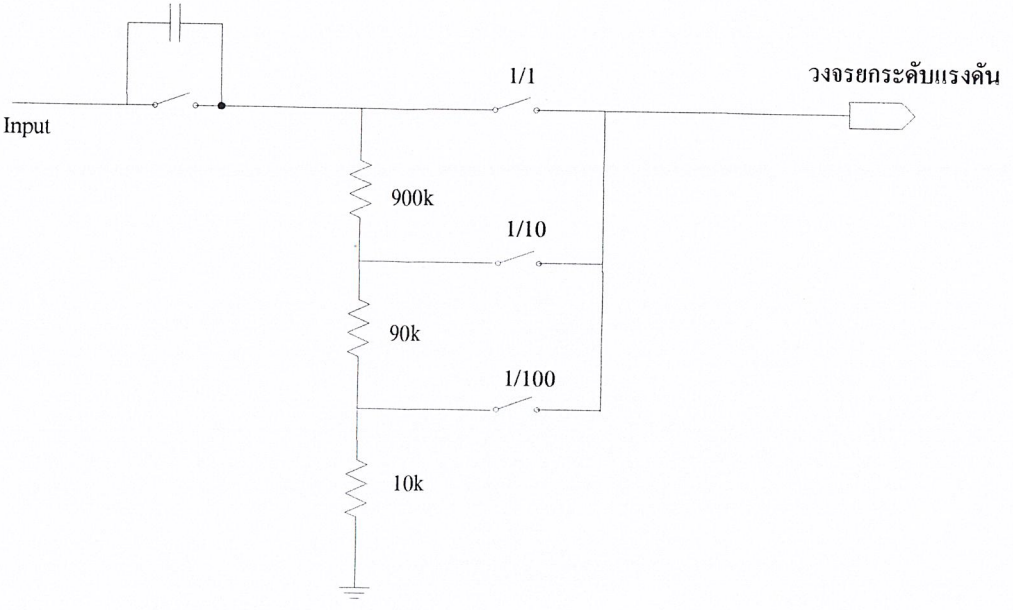


รูปที่ 3.24 วงจรภาครับสัญญาณ DPSK(2)

3.3 วงจรแสดงผลสัญญาณ

3.3.1 วงจรลดทอนสัญญาณ

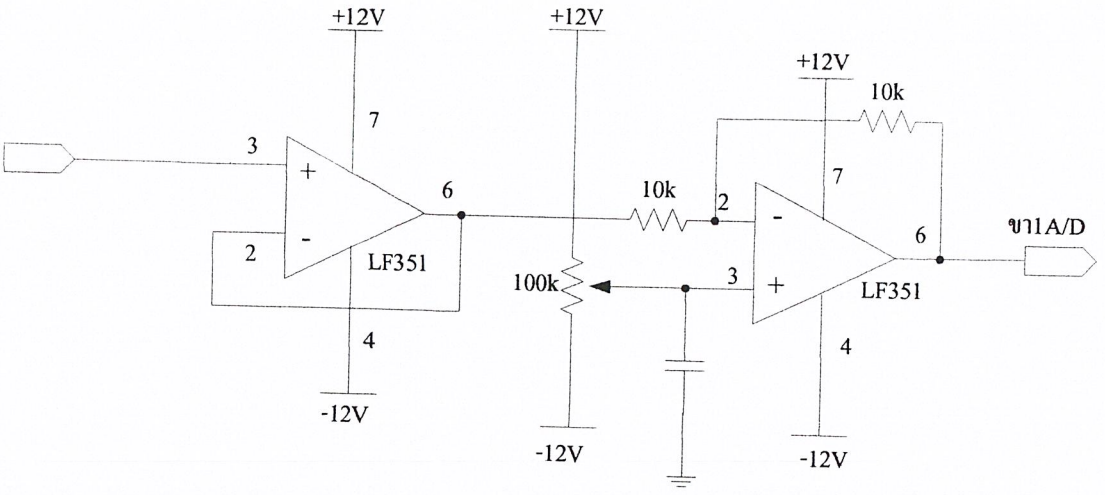
วงจรนี้จะใช้ในการลดทอนสัญญาณ เนื่องจากสัญญาณที่เข้ามามีขนาดที่แตกต่างกัน ดังนั้นจะต้องปรับระดับสัญญาณให้เหมาะสมก่อนที่จะส่งไปยังภาคอื่นๆต่อไป ซึ่งการลดทอนสัญญาณจะใช้หลักการแบ่งแรงดัน และการลดทอนสัญญาณจะต้องเป็นอิสระกับความถี่ ในวงจรมีลดทอนทั้งหมด 3ระดับ คือ 1/1, 1/10 และ 1/100



รูปที่ 3.25 วงจรลดทอนสัญญาณ

3.3.2 วงจรยกระดับแรงดัน

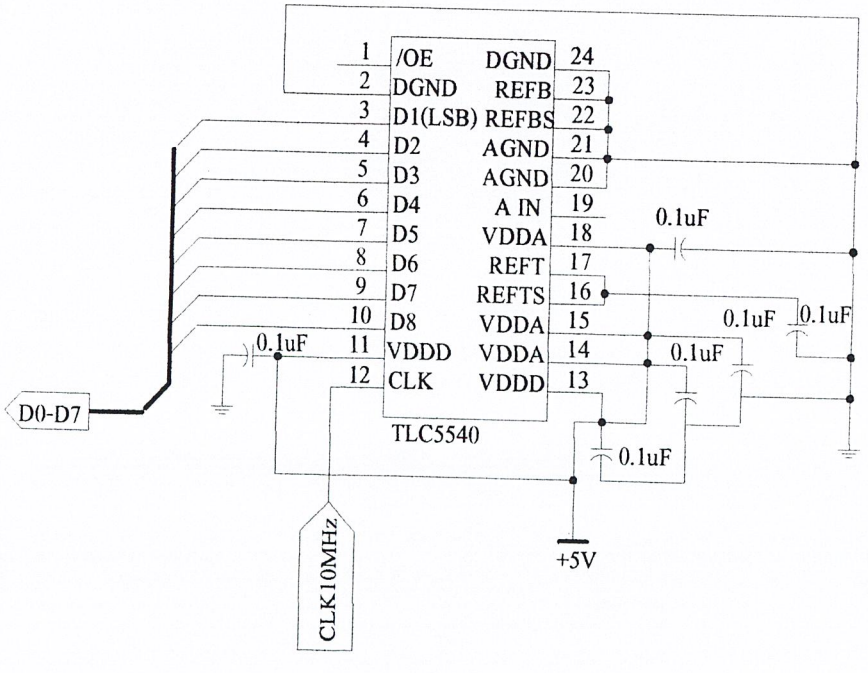
วงจรนี้จะใช้ LF 351 2 ตัว ซึ่งสัญญาณที่มาจากภาคลดทอนก่อนหน้านี้จะผ่าน LF 351 ตัวแรกเข้ามา ซึ่งจะทำหน้าที่เป็นวงจรบัฟเฟอร์ และส่งไปยัง LF351ตัวที่สอง ซึ่งทำหน้าที่ยกระดับแรงดันไฟให้ได้ 2.5 โวลต์ แล้วส่งต่อไปยังขา 1 ของวงจรแปลงสัญญาณอนาลอกเป็นดิจิตอล



รูปที่ 3.26 วงจรยกระดับแรงดัน

3.3.3 วงจรแปลงสัญญาณอนาลอกเป็นดิจิตอล (Analog to Digital Converter)

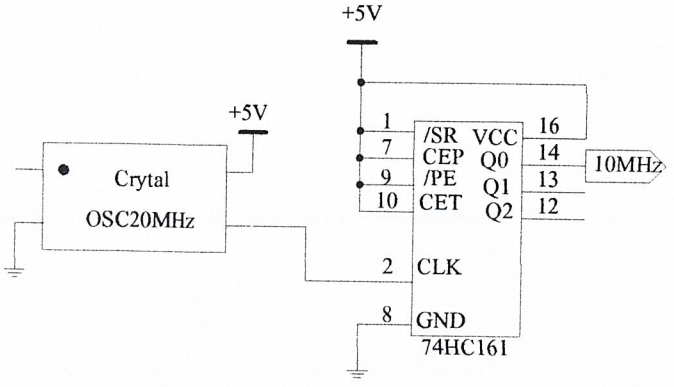
ในส่วนของวงจรแสดงผลสัญญาณนั้นจะมีส่วนที่ถือได้ว่าเป็นส่วนที่สำคัญก็คือวงจรแปลงสัญญาณอนาลอกเป็นดิจิตอล ซึ่งในวงจรแสดงผลสัญญาณนี้ได้เลือกใช้ไอซีเบอร์ TLC5540 มีความละเอียด 8 บิต และมีอัตราสุ่มสูงสุดที่ 40 MHZ



รูปที่ 3.27 วงจรแปลงสัญญาณอนาลอกเป็นดิจิตอล

3.3.4 วงจรกำเนิดสัญญาณนาฬิกา

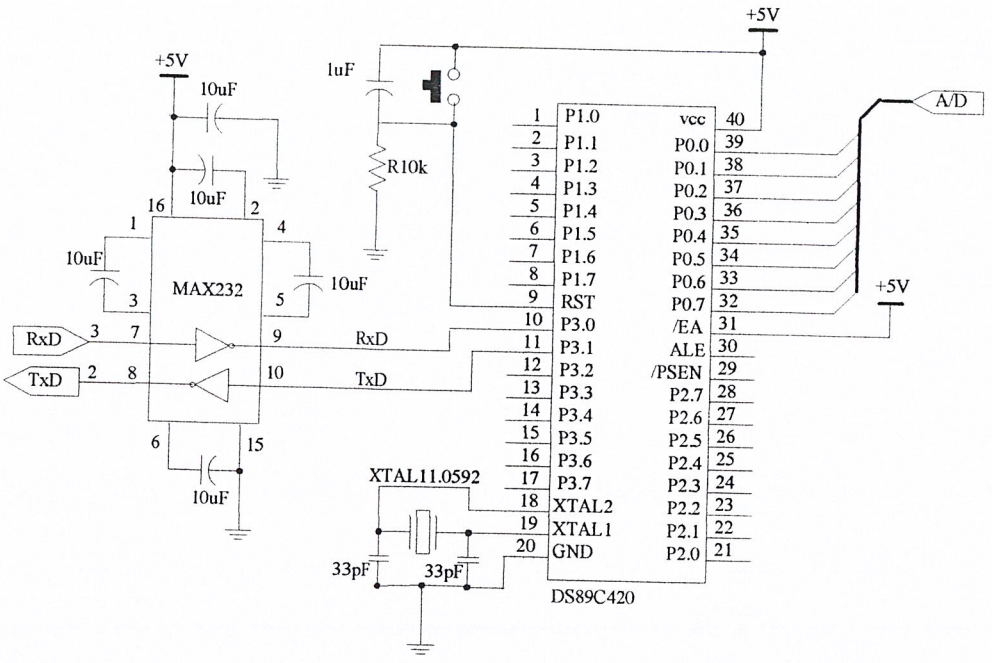
วงจรนี้จะทำหน้าที่ในการสร้างสัญญาณนาฬิกาสำหรับใช้ในการอ้างอิงความถี่ในการแซมปิ้งของไอซี TLC5540 โดยมีโมดูลออสซิลเลเตอร์ที่เป็นตัวผลิตความถี่ออกมาเป็นสัญญาณนาฬิกามีความถี่ 20MHz แล้วเอามาทำการหารความถี่ลงให้เหลือ 10 MHz ด้วยไอซี 74HC161 แล้วส่งไปยังขา 12 ของไอซี TLC5540



รูปที่ 3.28 วงจรกำเนิดสัญญาณนาฬิกา 10MHz

3.3.5 วงจรเชื่อมต่ออินเตอร์เฟส

วงจรในการเชื่อมต่ออินเตอร์เฟสนี้เราจะใช้ไอซี DS89C420 เป็นตัวที่แปลงข้อมูลแบบขนานให้เป็นอนุกรม แล้วส่งข้อมูลที่ได้ไปแสดงผลยังจอคอมพิวเตอร์ ซึ่งเป็นข้อมูลที่ส่งเข้ามาจากวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลนั้นเอง โดยไอซี DS89C420 นี้จะมีลักษณะที่คล้ายกับ MCS51 มาก ต่างกันตรงที่ไอซีตัวนี้จะใช้เวลาในการประมวลผลคำสั่งเร็วกว่า MCS51 ถึง 12 เท่าด้วยกัน กล่าวคือ MCS51 ทั่วๆ ไปจะใช้ สัญญาณนาฬิกาจำนวน 12 ลูกต่อแมชีนไซเกิล แต่ไอซีเบอร์นี้จะใช้ใช้ สัญญาณนาฬิกาจำนวน 1 ลูกต่อแมชีนไซเกิลเท่านั้น



รูปที่ 3.29 วงจรอินเตอร์เฟสโดยใช้ DS89C420 ผ่านพอร์ตอนุกรม

บทที่ 4

ผลการทดลอง

เครื่องมือที่ใช้ในการทดลอง

- Oscilloscope
- Function Generator
- Power Supply 12V

ชุดเครื่องส่งประกอบด้วย

1.วงจรสุ่ม DATA

2.วงจรเข้ารหัสสัญญาณ NRZ เป็น NRZ-I

3.ออสซิลเลเตอร์ 4000Hz และสัญญาณคลื่นพาห์ 56 KHz

ชุดเครื่องรับ ประกอบด้วย

1.วงจรกรองสัญญาณ Bandpass Filter 56KHz

2.วงจรกู้สัญญาณนาฬิกา

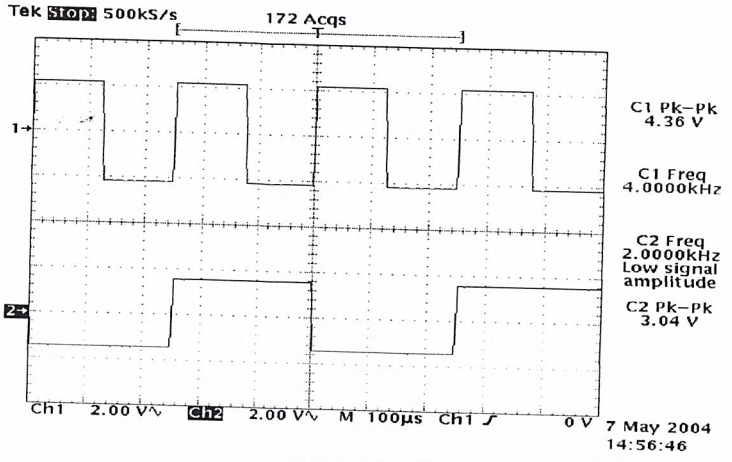
3.วงจรกู้สัญญาณคลื่นพาห์

4.วงจรแปลงสัญญาณ NRZ-I เป็น NRZ

ผลการทดลอง

โครงงานนี้ ซึ่งเป็นการสื่อสารชนิดแบบ DPSK (Differential Phase Shift Keying) โดยจะสื่อสารผ่านสายโคแอกซ์เซียล โดยสามารถแบ่งเป็นส่วนของภาคส่งและภาครับแล้วได้ทำการทดลองส่วนต่าง ๆ ได้ดังนี้

1.ผลการทดลองภาคส่ง ทำการวัดสัญญาณนาฬิกาจากวงจรกำเนิดสัญญาณนาฬิการูปที่ 3.2 ที่จุด TP1 และวงจรกำเนิด Data รูปที่ 3.3 ที่จุด TP2

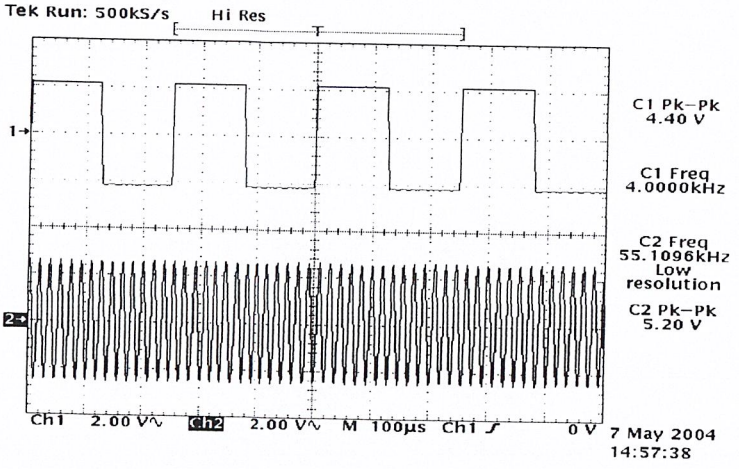


รูปที่ 4.1 แสดงสัญญาณนาฬิกาที่เกิดจากวงจรกำเนิดสัญญาณนาฬิกา

CH 1 – สัญญาณนาฬิกา 4 KHz ที่จุด TP1

CH 2 – สัญญาณ NRZ 2 KHz ที่จุด TP2

2.ผลการทดลองภาคส่ง ทำการวัดสัญญาณนาฬิกาจากวงจรกำเนิดสัญญาณนาฬิการูปที่ 3.2 ที่จุด TP1 ที่ป้อนให้วงจร PLL รูปที่ 3.6 ที่จุด TP6 เพื่อผลิตสัญญาณคลื่นพาห์ 56KHz

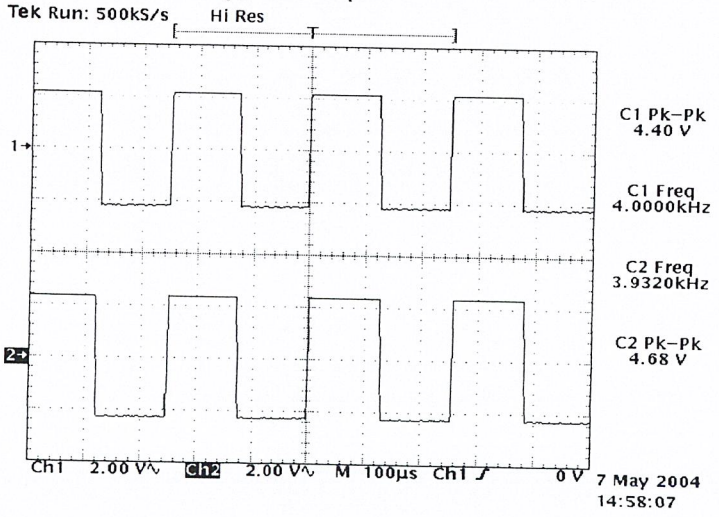


รูปที่ 4.2 แสดงสัญญาณเมื่อสัญญาณ 4 KHz ผ่านวงจร PLL

CH 1 – สัญญาณนาฬิกา 4 KHz ที่จุด TP1

CH 2 – สัญญาณคลื่นพาห์ 56 KHz ที่ออกจากวงจร PLL ที่จุด TP6

3.ผลการทดลองภาคส่ง ทำการวัดสัญญาณนาฬิกาจากวงจรกำเนิดสัญญาณนาฬิการูปที่ 3.2 ที่จุด TP1 เปรียบเทียบกับวงจร PLL รูปที่ 3.6 ที่จุด TP4

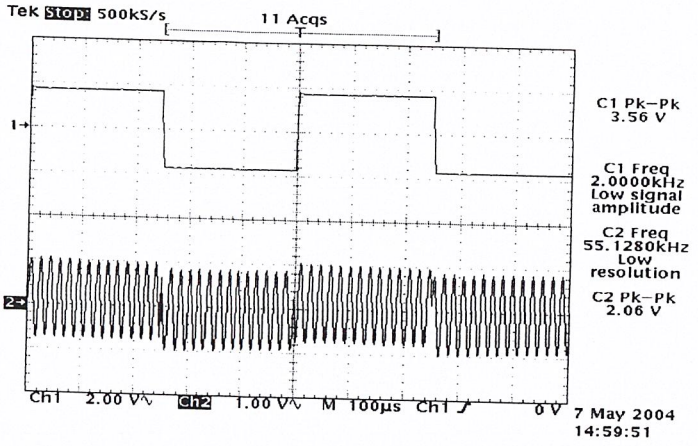


รูปที่ 4.3 แสดงสัญญาณอินพุทที่เข้าวงจร PLL และสัญญาณนาฬิกา 56 KHz ออกจากวงจร PLL ผ่านวงจรหาร 14

CH 1 – สัญญาณนาฬิกา 4 KHz ที่จุด TP1

CH 2 – สัญญาณนาฬิกา 56 KHz หาร 14 ที่จุด TP4

4.ผลการทดลองภาคส่ง ทำการวัดสัญญาณจากวงจรวงจรเข้ารหัสสัญญาณ NRZ เป็น NRZ-I รูปที่ 3.4 ที่จุด TP3 เทียบกับสัญญาณผ่านวงจรมอดูเลทชั่นรูปที่ 3.7 ที่จุด TP11

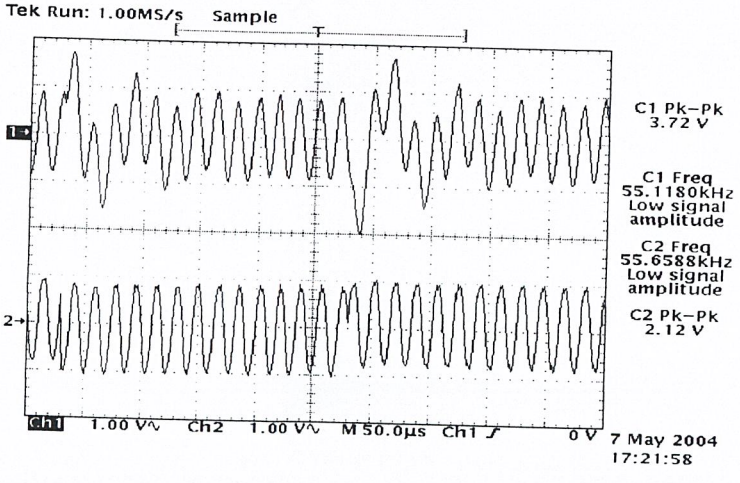


รูปที่ 4.4 แสดงการเปรียบเทียบสัญญาณระหว่างสัญญาณข้อมูล NRZ-I และสัญญาณที่ผ่านวงจรมอดูเลทชั่น

CH 1 – สัญญาณข้อมูล NRZ-I ที่จุด TP3

CH 2 – สัญญาณที่ผ่านการวงจรมอดูเลทชั่น ที่จุด TP11

5.ผลการทดลองภาครับ ทำการวัดสัญญาณมอดูเลท ที่จุด TP11 ผ่านวงจร Bandpass Filter รูปที่ 3.8 ที่จุด TP12

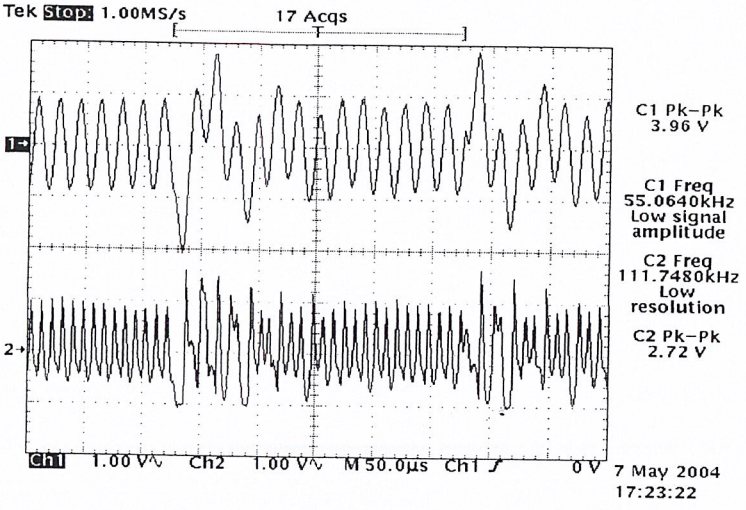


รูปที่ 4.5 แสดงสัญญาณเทียบระหว่างสัญญาณมอดูเลทผ่านวงจร Bandpass Filter

CH 1 – สัญญาณมอดูเลทผ่านวงจร Bandpass Filter ที่จุด TP12

CH 2 - สัญญาณมอดูเลท ที่จุด TP11

6.ผลการทดลองภาครับ ทำการวัดสัญญาณมอดูเลทที่จุด TP12 ผ่านวงจรยกกำลังสองรูปที่ 3.11 ที่จุด TP15

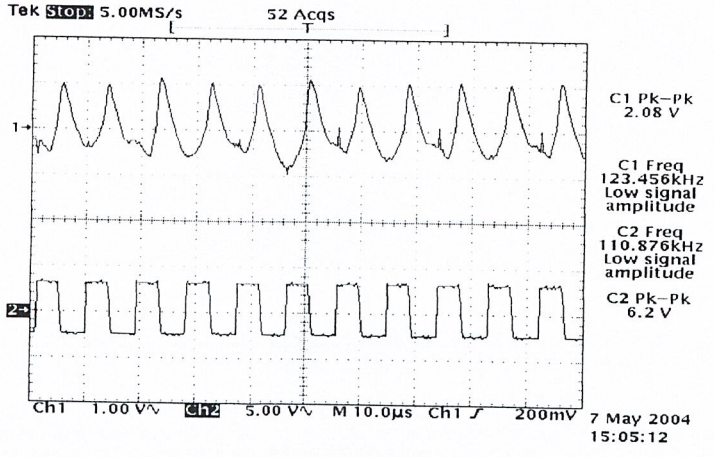


รูปที่ 4.6 แสดงสัญญาณเทียบระหว่างสัญญาณมอดูเลทและเมื่อผ่านวงจรยกกำลังสองสัญญาณ

CH 1 – สัญญาณมอดูเลท ที่จุด TP12

CH 2 - สัญญาณที่ผ่านการวงจรยกกำลังสองสัญญาณ ที่จุด TP15

7.ผลการทดลองภาครับ ทำการวัดสัญญาณที่จุด TP15 ผ่านวงจร PLL รูปที่ 3.13 ที่จุด TP16

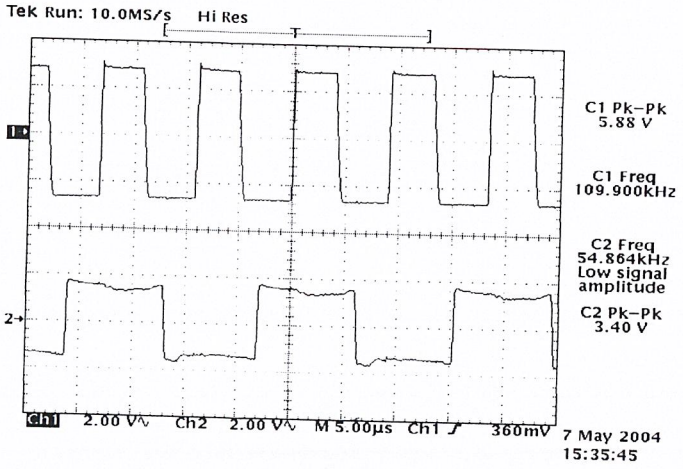


รูปที่ 4.7 แสดงสัญญาณเทียบระหว่างสัญญาณยกกำลังสองและเมื่อผ่านวงจร PLL

CH 1 – สัญญาณยกกำลังสอง ที่จุด TP15

CH 2 - สัญญาณจาก PLL ที่จุด TP16

8.ผลการทดลองภาครับ ทำการวัดสัญญาณจาก PLL ที่จุด TP16 ผ่านวงจรหารสองรูปที่ 3.14 ที่จุด TP14

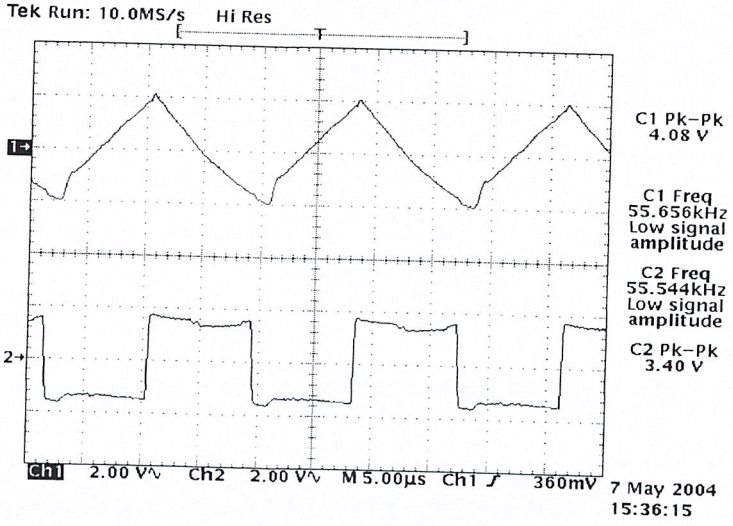


รูปที่ 4.8 แสดงสัญญาณเทียบระหว่างสัญญาณจาก PLL และเมื่อผ่านวงจรหารสอง

CH 1 – สัญญาณนาฬิกาความถี่ 112 KHz จากวงจร PLL ที่จุด TP16

CH 2 - สัญญาณนาฬิกามาจากวงจรหารสองความถี่ 56 KHz ที่จุด TP14

9. ผลการทดลองภาครับเมื่อสัญญาณ 56KHz ที่จุด TP14 ผ่านวงจร Bandpass Filter รูปที่ 3.8 ที่จุด TP13

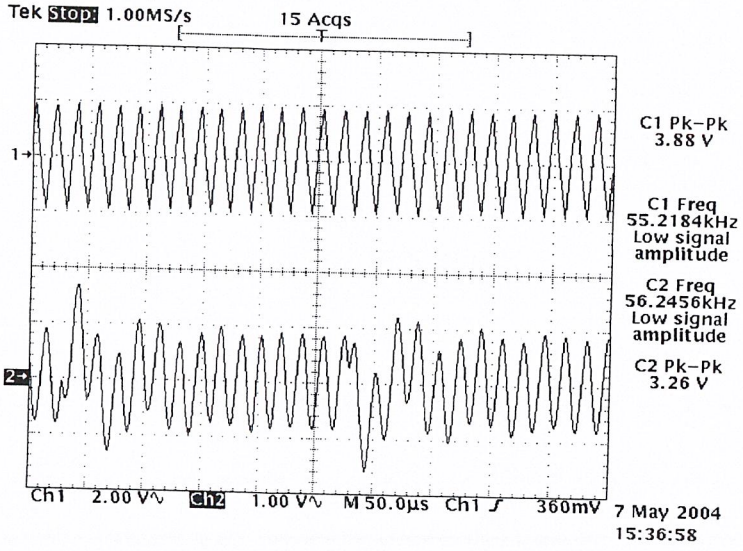


รูปที่ 4.9 แสดงสัญญาณเทียบระหว่างสัญญาณความถี่ 56 KHz และเมื่อผ่านวงจรกรองความถี่

CH 1 – สัญญาณความถี่ 56 KHz เมื่อผ่านวงจร Bandpass Filter

CH 2 – สัญญาณความถี่ 56 KHz จากวงจรหารสอง

10.ผลการทดลองภาครับ ทำการวัดสัญญาณจากวงจรกู้คลื่นพาห์ที่จุด TP13 เทียบกับสัญญาณ PSK จากภาคส่ง ที่จุด TP12

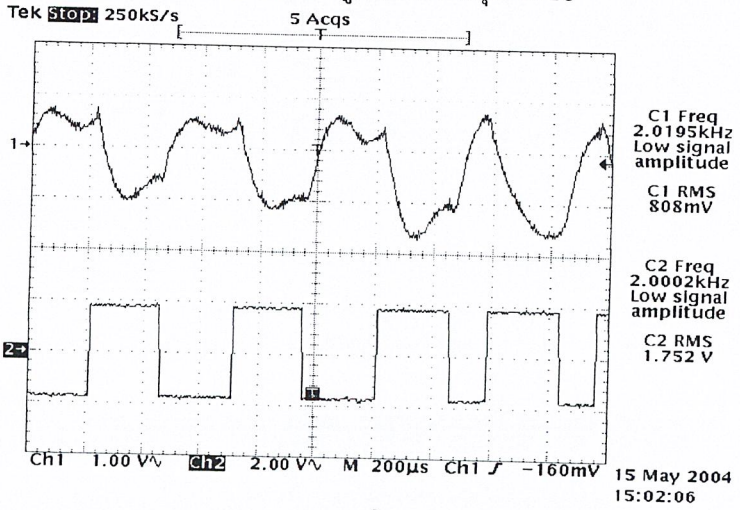


รูปที่ 4.10 แสดงสัญญาณเทียบระหว่างสัญญาณคลื่นพาห์และสัญญาณ PSK

CH 1 – สัญญาณคลื่นพาห์ 56 KHz ที่จุด TP13

CH 2 – สัญญาณ PSK ที่ภาครับ ที่จุด TP12

11.ผลการทดลองภาครับ ทำการวัดสัญญาณผ่านวงจรดีมอดูเลทชั่นรูปที่ 3.16 ที่จุด TP17 เทียบกับสัญญาณจากวงจรอินทีเกรทแอนดัมท์รูปที่ 3.17 ที่จุด TP18

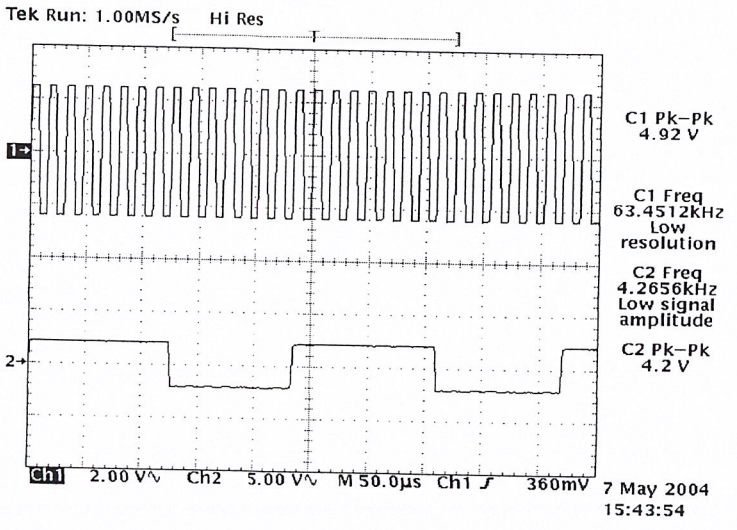


รูปที่ 4.11 แสดงสัญญาณเทียบระหว่างที่ผ่านวงจรดีมอดูเลทที่ผ่านวงจรกรองความถี่ต่ำและผ่านวงจรอินที่เกรทแอนดัมท์

CH 1 – สัญญาณดีมอดูเลทผ่านวงจร LPF ที่จุด TP17

CH 2 – สัญญาณ NRZ-I ที่ผ่านวงจรอินทีเกรทแอนดัมท์ TP18

12. ผลการทดลองภาครับ ทำการวัดสัญญาณจากวงจรกำเนิดสัญญาณนาฬิกา 64 KHzรูปที่ 3.20 ที่จุด TP24 หาร 16 ที่จุด TP23

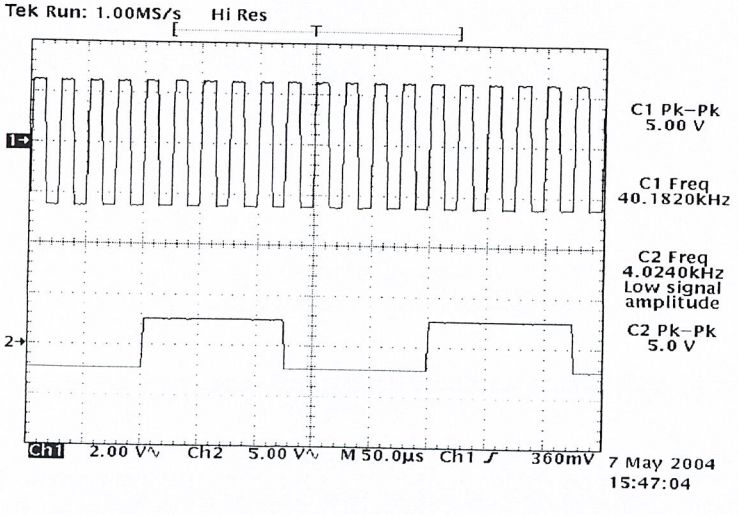


รูปที่ 4.12 แสดงสัญญาณเทียบระหว่างสัญญาณ 64 KHz และเมื่อผ่านวงจรหาร 16

CH 1 – สัญญาณนาฬิกา 64 KHz ที่จุด TP24

CH 2 – สัญญาณนาฬิกา 4 KHz เมื่อผ่านวงจรหาร 16 ที่จุด TP23

13.ผลการทดลองภาครับ ทำการวัดสัญญาณจากวงจร PLL 40 KHz รูปที่3.20 ที่จุด TP22 หาร 10 ที่จุด TP20

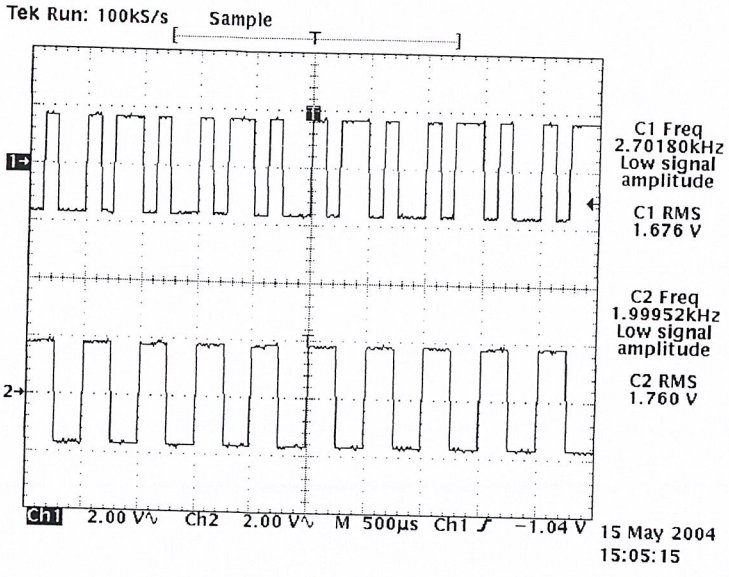


รูปที่ 4.13 แสดงสัญญาณเทียบระหว่างสัญญาณ 40 KHz และเมื่อผ่านวงจรหาร 10

CH 1 – สัญญาณนาฬิกา 40 KHz ที่จุด TP22

CH 2 – สัญญาณนาฬิกา 4 KHz เมื่อผ่านวงจรหาร 10 ที่จุด TP20

14.ผลการทดลองภาครับ ทำการวัดสัญญาณ NRZ-I ที่จุด TP18 ผ่านวงจรถอดรหัสรูปที่ 3.21 ที่จุด TP25



รูปที่ 4.14 แสดงสัญญาณเทียบระหว่างสัญญาณ NRZ-I ผ่านวงจรถอดรหัส

CH 1 – สัญญาณ NRZ- I ทางด้านอินพุท ที่จุด TP 18

CH 2 - สัญญาณ NRZ ที่ผ่านการถอดรหัส ที่จุด TP 25

บทที่ 5
สรุปผลการทดลองและวิจารณ์

เนื่องจากต้องใช้เวลาในการศึกษา ค้นคว้าหาข้อมูลการทำงานของระบบรับและส่งสัญญาณแบบ DPSK และต้องศึกษาการนำสัญญาณไปแสดงผลยังหน้าจอคอมพิวเตอร์ ซึ่งทำให้ต้องใช้เวลาในการศึกษาทฤษฎีในการออกแบบวงจรเพิ่มเติมต่างๆ บางครั้งการทำงานของวงจรในแต่ละส่วนที่ออกแบบมานั้นให้ผลไม่เป็นที่น่าพอใจ จึงต้องใช้เวลาในการแก้ไขอยู่นานพอสมควร อีกทั้งข้อมูลส่วนใหญ่มีรายละเอียดและวิธีการออกแบบที่เป็นทฤษฎีเสียส่วนใหญ่ การอธิบายรายละเอียดจะใช้บล็อกไดอะแกรมควบคู่กับสมการทางคณิตศาสตร์ในการอธิบาย ซึ่งต้องอาศัยความรู้ความเข้าใจในระดับสูง

ปัญหาจากการทดลองวงจรภาคส่งและภาครับของเครื่องส่ง DPSK

1. อุปกรณ์ที่ใช้มีคุณภาพที่ต่ำมีความผิดพลาดสูงเมื่อเทียบจากการคำนวณออกแบบวงจร
2. ในการการปรับแต่งวงจรภาคมอดูเลทและภาคดีมอดูเลทมีความยุ่งยาก อีกทั้งต้องใช้เวลาในการปรับแต่งอย่างมาก
3. ปัญหาอินพุทอิมพิแดนซ์ของภาคต่างๆ เมื่อต่อร่วมกันต้องมีค่าอินพุทอิมพิแดนซ์ที่แมทซ์กัน วงจรจึงจะทำงานได้
4. อุปกรณ์เสียโดยไม่ทราบสาเหตุ ซึ่งอาจจะเป็นผลจากอุปกรณ์มีคุณภาพต่ำ
5. เมื่อต่อวงจรแหล่งจ่ายไฟร่วมกันหลายๆ ภาคมีผลทำให้กระแสตก
6. ปัญหาที่เกิดจากสัญญาณรบกวน

แนวทางในการแก้ปัญหาจากวงจรภาคส่งและภาครับของเครื่องส่ง DPSK

1. ควรทำความเข้าใจกับระบบการมอดูเลชั่นแบบ PSK ให้เข้าใจดีเสียก่อนว่าระบบจะต้องประกอบด้วยอะไรบ้าง
2. การเลือกอุปกรณ์ไม่ควรคำนึงถึงราคาที่ถูกมากเกินไป และอุปกรณ์แต่ละยี่ห้อก็มีประสิทธิภาพที่ต่างกัน และการใช้ก็อาจจะต่างกัน ดังนั้นจึงต้องศึกษาจากดาต้าชีสให้ดีก่อนใช้
3. ควรคำนึงถึงกระแสที่แหล่งจ่ายจะจ่ายให้กับโหลดด้วย เพราะถ้ามีโหลดที่ต่อร่วมกันหลายจุดอาจจะทำให้มีกระแสที่แหล่งจ่ายไม่เพียงพอ ซึ่งอาจทำให้เกิดความเสียหายกับวงจรได้

บรรณานุกรม

[1] ชวลิต เบญจางคประเสริฐ: "เอกสารประกอบการเรียนการสอนวิชา Microwave Communication System", คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง กรุงเทพฯ

[2] กฤดากร กล่อมการ: "การสื่อสารข้อมูล (Data Communication)" พิมพ์ครั้งที่ 1 คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง กรุงเทพฯ, ISBN : 974-15-000-76

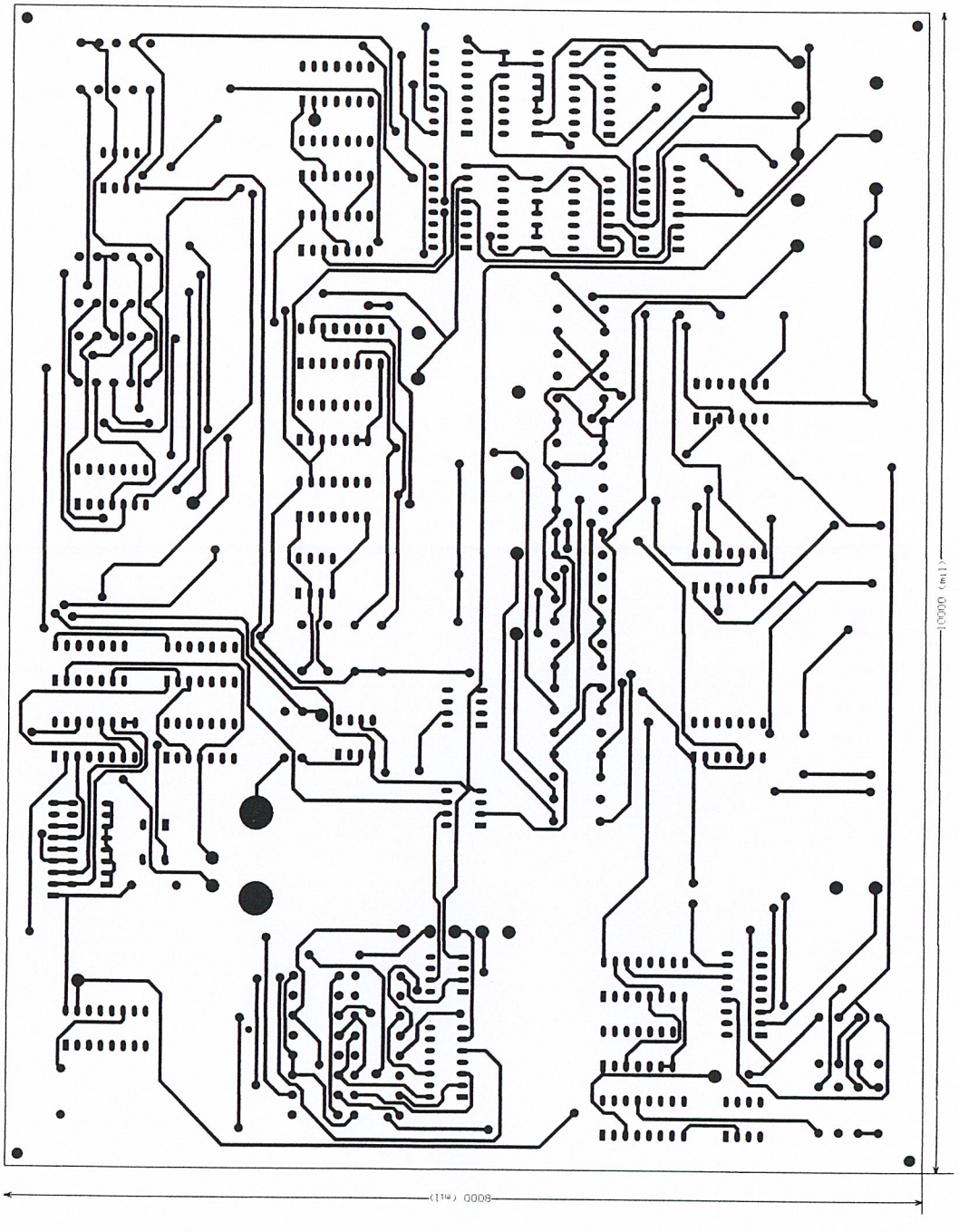
[3] บัณฑิต โรจน์อารยานนท์: "หลักการไฟฟ้าสื่อสาร" พิมพ์ครั้งที่ 7 สำนักพิมพ์แห่งจุฬาลงกรณ์มหาวิทยาลัย, ISBN : 974-638-228-4

[4] กฤดากร กล่อมการ: "การออกแบบระบบส่งข้อมูลในช่องสัญญาณการกระจายเสียงแบบ FM" , วิทยานิพนธ์สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

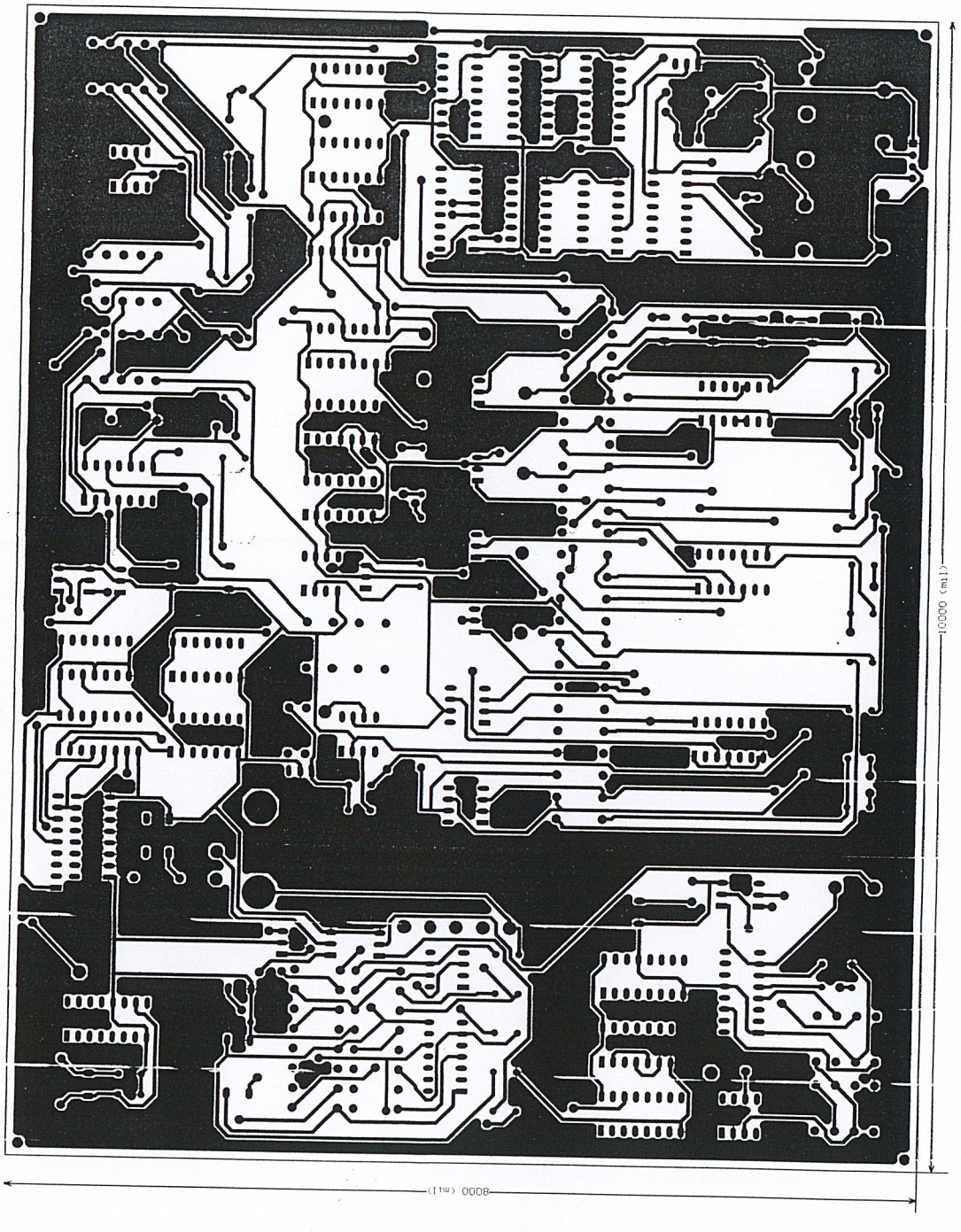
[5] โกวิทย์ ตังคะภิภพ, เมธี ภักดี : "ออสซิลโลสโคปสำหรับงานทดลองพื้นฐาน" ปริญญานิพนธ์สำหรับปริญญาอุตสาหกรรมบันฑิต คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

[6] อภิชาต ภู่พลับ: "สนุก!กับการประยุกต์ใช้ Visual Basic" Infopress Developer Book, ISBN : 974-91201-7-5

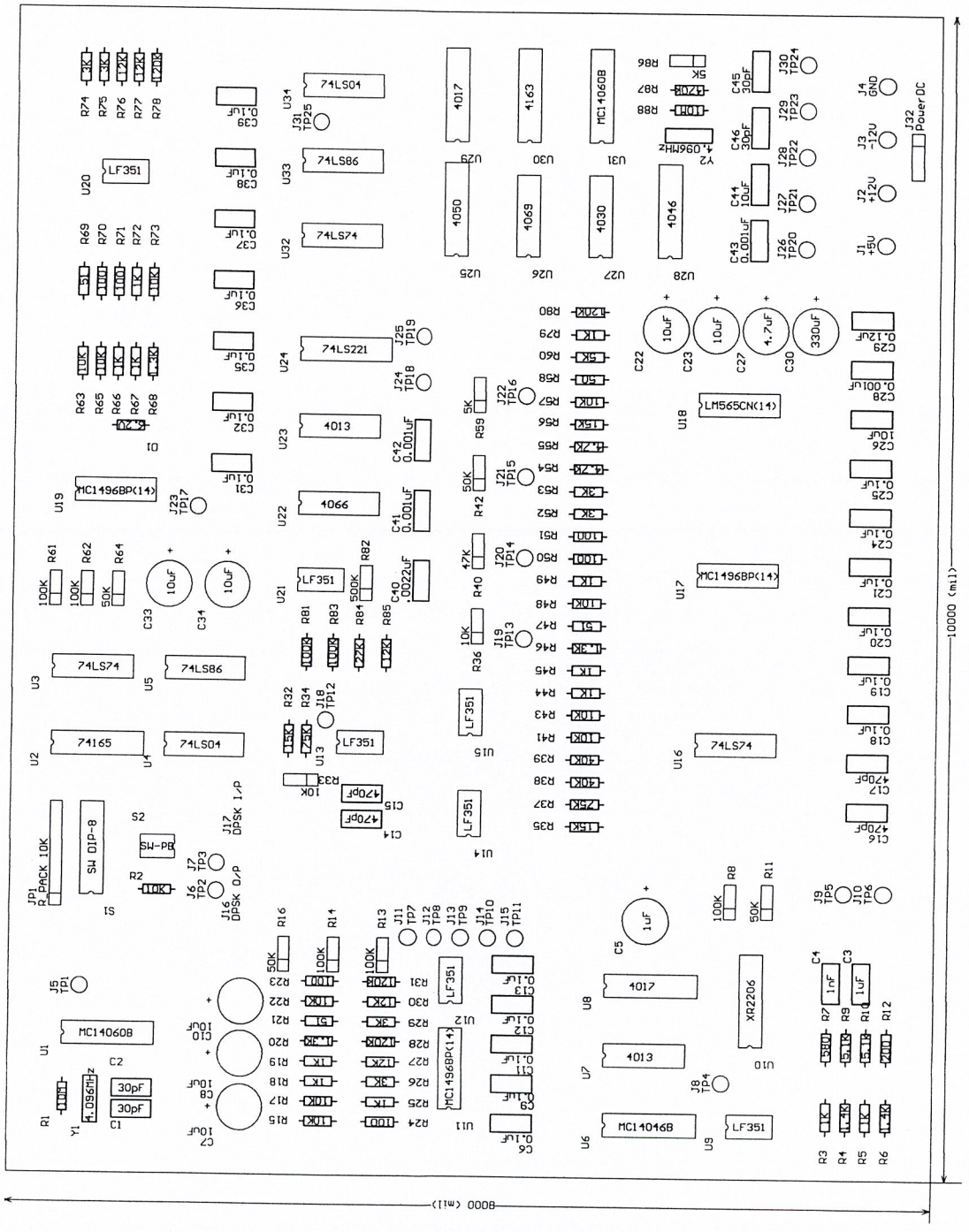
ภาคผนวก



ลายวงจร DPSK ด้านบน



ลายวงจร DPSK ด้านล่าง



Silkscreen วงจร DPSK

6.0
5.0
4.0
3.0
2.0
1.0
0
Y
X
0
1.0
2.0
3.0
4.0
5.0
6.0
7.0
ENGINEER:
PHONE:
TITLE:
Eurocard VME bus format
PLACE
LOGO
HERE
ENGINEER:
PHONE:
PART NO.:
REV: 01
DATE: 19-May-2004
FILE NAME: PCB2.PCB
LAYER: Mechanical Layer 4
GERBER: .GTL

6.0
5.0
4.0
3.0
2.0
1.0
0
Y
X
0
1.0
2.0
3.0
4.0
5.0
6.0
7.0
ENGINEER:
PHONE:
TITLE:
Eurocard VME bus format
PLACE
LOGO
HERE
ENGINEER:
PHONE:
PART NO.:
REV: 01
DATE: 19-May-2004
FILE NAME: PCB2.PCB
LAYER: Mechanical Layer 4
GERBER: .GBL

Silkscreen ภาษาอังกฤษ

FAIRCHILD SEMICONDUCTOR™

October 1987
Revised March 2002

CD4013BC
Dual D-Type Flip-Flop

General Description

The CD4013B dual D-type flip-flop is a monolithic complementary MOS (CMOS) integrated circuit constructed with N- and P-channel enhancement mode transistors. Each flip-flop has independent data, set, reset, and clock inputs and "Q" and "$\overline{Q}$" outputs. These devices can be used for shift register applications, and by connecting "$\overline{Q}$" output to the data input, for counter and toggle applications. The logic level present at the "D" input is transferred to the Q output during the positive-going transition of the clock pulse. Setting or resetting is independent of the clock and is accomplished by a high level on the set or reset line respectively.

Features

- Wide supply voltage range: 3.0V to 15V
- High noise immunity: 0.45 V_{DD} (typ.)
- Low power TTL: fan out of 2 driving 74L
  compatibility: or 1 driving 74LS

Applications

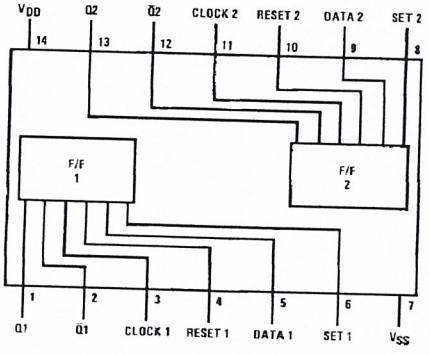
- Automotive
- Data terminals
- Instrumentation
- Medical electronics
- Alarm system
- Industrial electronics
- Remote metering
- Computers

Ordering Code:

Order Number	Package Number	Package Description
CD4013BCM	M14A	14-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-012, 0.150" Narrow
CD4013BCSJ	M14D	14-Lead Small Outline Package (SOP), EIAJ TYPE II, 5.3mm Wide
CD4013BCN	N14A	14-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300" Wide

Devices also available in Tape and Reel. Specify by appending the suffix letter "X" to the ordering code.

Connection Diagram



Top View

Truth Table

CL (Note 1)	D	R	S	Q	$\overline{Q}$
⌐	0	0	0	0	1
⌐	1	0	0	1	0
¬	x	0	0	Q	$\overline{Q}$
x	x	1	0	0	1
x	x	0	1	1	0
x	x	1	1	1	1

No Change
x = Don't Care Case
Note 1: Level Change

© 2002 Fairchild Semiconductor Corporation

National Semiconductor

November 1999

ADC0801/ADC0802/ADC0803/ADC0804/ADC0805
8-Bit µP Compatible A/D Converters

General Description

The ADC0801, ADC0802, ADC0803, ADC0804 and ADC0805 are CMOS 8-bit successive approximation A/D converters that use a differential potentiometric ladder—similar to the 256R products. These converters are designed to allow operation with the NSC800 and INS8080A derivative control bus with TRI-STATE® output latches directly driving the data bus. These A/Ds appear like memory locations or I/O ports to the microprocessor and no interfacing logic is needed.

Differential analog voltage inputs allow increasing the common-mode rejection and offsetting the analog zero input voltage value. In addition, the voltage reference input can be adjusted to allow encoding any smaller analog voltage span to the full 8 bits of resolution.

Features

- Compatible with 8080 µP derivatives—no interfacing logic needed - access time - 135 ns
- Easy interface to all microprocessors, or operates "stand alone"
- Differential analog voltage inputs
- Logic inputs and outputs meet both MOS and TTL voltage level specifications
- Works with 2.5V (LM336) voltage reference
- On-chip clock generator
- 0V to 5V analog input voltage range with single 5V supply
- No zero adjust required
- 0.3" standard width 20-pin DIP package
- 20-pin molded chip carrier or small outline package
- Operates ratiometrically or with 5 V_{DC}, 2.5 V_{DC}, or analog span adjusted voltage reference

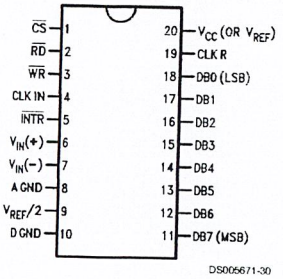
Key Specifications

Resolution	8 bits
Total error	±¼ LSB, ±½ LSB and ±1 LSB
Conversion time	100 µs

Connection Diagram

ADC080X

Dual-In-Line and Small Outline (SO) Packages



DS005671-30

See Ordering Information

Ordering Information

TEMP RANGE		0°C TO 70°C	0°C TO 70°C	−40°C TO +85°C
ERROR	±¼ Bit Adjusted	ADC0802LCWM		ADC0801LCN
	±½ Bit Unadjusted			ADC0802LCN
	±¾ Bit Adjusted			ADC0803LCN
	±1Bit Unadjusted	ADC0804LCWM	ADC0804LCN	ADC0805LCN/ADC0804LCJ
PACKAGE OUTLINE		M20B—Small Outline	N20A—Molded DIP	

TRI-STATE® is a registered trademark of National Semiconductor Corp.
Z-80® is a registered trademark of Zilog Corp.

© 1999 National Semiconductor Corporation

National Semiconductor

June 1999

ADC0820
8-Bit High Speed µP Compatible A/D Converter with Track/Hold Function

General Description

By using a half-flash conversion technique, the 8-bit ADC0820 CMOS A/D offers a 1.5 µs conversion time and dissipates only 75 mW of power. The half-flash technique consists of 32 comparators, a most significant 4-bit ADC and a least significant 4-bit ADC.

The input to the ADC0820 is tracked and held by the input sampling circuitry eliminating the need for an external sample-and-hold for signals moving at less than 100 mV/µs.

For ease of interface to microprocessors, the ADC0820 has been designed to appear as a memory location or I/O port without the need for external interfacing logic.

Key Specifications

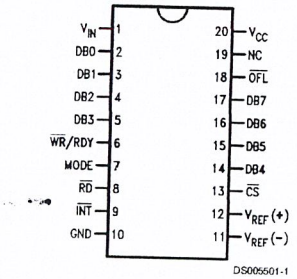
Resolution	8 Bits
Conversion Time	2.5 µs Max (RD Mode) 1.5 µs Max (WR-RD Mode)
Low Power	75 mW Max
Total Unadjusted Error	±½ LSB and ± 1 LSB

Features

- Built-in track-and-hold function
- No missing codes
- No external clocking
- Single supply—5 V_{DC}
- Easy interface to all microprocessors, or operates stand-alone
- Latched TRI-STATE® output
- Logic inputs and outputs meet both MOS and T²L voltage level specifications
- Operates ratiometrically or with any reference value equal to or less than V_{CC}
- 0V to 5V analog input voltage range with single 5V supply
- No zero or full-scale adjust required
- Overflow output available for cascading
- 0.3" standard width 20-pin DIP
- 20-pin molded chip carrier package
- 20-pin small outline package
- 20-pin shrink small outline package (SSOP)

Connection and Functional Diagrams

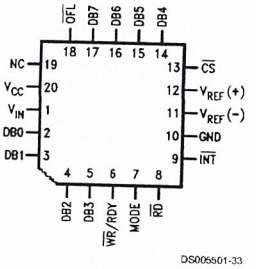
Dual-In-Line, Small Outline and SSOP Packages



DS005501-1

Top View

Molded Chip Carrier Package



DS005501-33

TRI-STATE® is a registered trademark of National Semiconductor Corporation

© 1999 National Semiconductor Corporation

FAIRCHILD SEMICONDUCTOR™

October 1987
Revised March 2002

CD4046BC
Micropower Phase-Locked Loop

General Description

The CD4046BC micropower phase-locked loop (PLL) consists of a low power, linear, voltage-controlled oscillator (VCO), a source follower, a zener diode, and two phase comparators. The two phase comparators have a common signal input and a common comparator input. The signal input can be directly coupled for a large voltage signal, or capacitively coupled to the self-biasing amplifier at the signal input for a small voltage signal.

Phase comparator I, an exclusive OR gate, provides a digital error signal (phase comp. I Out) and maintains 90° phase shifts at the VCO center frequency. Between signal input and comparator input (both at 50% duty cycle), it may lock onto the signal input frequencies that are close to harmonics of the VCO center frequency.

Phase comparator II is an edge-controlled digital memory network. It provides a digital error signal (phase comp. II Out) and lock-in signal (phase pulses) to indicate a locked condition and maintains a 0° phase shift between signal input and comparator input.

The linear voltage-controlled oscillator (VCO) produces an output signal (VCO Out) whose frequency is determined by the voltage at the VCO_{IN} input, and the capacitor and resistors connected to pin $C1_A$, $C1_B$, R1 and R2.

The source follower output of the VCO_{IN} (demodulator Out) is used with an external resistor of 10 kΩ or more.

The INHIBIT input, when high, disables the VCO and source follower to minimize standby power consumption. The zener diode is provided for power supply regulation, if necessary.

Features

- Wide supply voltage range: 3.0V to 18V
- Low dynamic power consumption: 70 μW (typ.) at f_o = 10 kHz, V_{DD} = 5V
- VCO frequency: 1.3 MHz (typ.) at V_{DD} = 10V
- Low frequency drift: 0.06%/°C at V_{DD} = 10V with temperature
- High VCO linearity: 1% (typ.)

Applications

- FM demodulator and modulator
- Frequency synthesis and multiplication
- Frequency discrimination
- Data synchronization and conditioning
- Voltage-to-frequency conversion
- Tone decoding
- FSK modulation
- Motor speed control

Ordering Code:

Order Number	Package Number	Package Description
CD4046BCM	M16A	16-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-012, 0.150" Narrow
CD4046BCN	N16E	16-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300" Wide

Devices also available in Tape and Reel. Specify by appending the suffix letter "X" to the ordering code.

© 2002 Fairchild Semiconductor Corporation

FAIRCHILD SEMICONDUCTOR™

November 1983
Revised December 1998

CD4066BC
Quad Bilateral Switch

General Description

The CD4066BC is a quad bilateral switch intended for the transmission or multiplexing of analog or digital signals. It is pin-for-pin compatible with CD4016BC, but has a much lower "ON" resistance, and "ON" resistance is relatively constant over the input-signal range.

Features

- Wide supply voltage range 3V to 15V
- High noise immunity 0.45 V_{DD} (typ.)
- Wide range of digital and analog switching ±7.5 V_{PEAK}
- "ON" resistance for 15V operation 80Ω
- Matched "ON" resistance ΔR_{ON}=5Ω (typ.) over 15V signal input
- "ON" resistance flat over peak-to-peak signal range
- High "ON"/"OFF" 65 dB (typ.) output voltage ratio @ f_{is} = 10 kHz, R_L = 10 kΩ
- High degree linearity 0.1% distortion (typ.) High degree linearity @ f_{is} = 1 kHz, V_{is} = $5V_{p-p}$, $V_{DD}-V_{SS}$ = 10V, R_L = 10 kΩ
- Extremely low "OFF" 0.1 nA (typ.) switch leakage: @ $V_{DD}-V_{SS}$ = 10V, T_A = 25°C
- Extremely high control input impedance 10^{12}Ω(typ.)
- Low crosstalk –50 dB (typ.) between switches @ f_{is} = 0.9 MHz, R_L = 1 kΩ
- Frequency response, switch "ON" 40 MHz (typ.)

Applications

- Analog signal switching/multiplexing
  - Signal gating
  - Squelch control
  - Chopper
  - Modulator/Demodulator
  - Commutating switch
- Digital signal switching/multiplexing
- CMOS logic implementation
- Analog-to-digital/digital-to-analog conversion
- Digital control of frequency, impedance, phase, and analog-signal-gain

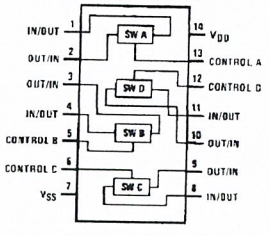
Ordering Code:

Order Number	Package Number	Package Description
CD4066BCM	M14A	14-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-120, 0.150" Narrow Body
CD4066BCJ	M14D	14-Lead Small Outline Package (SOP), EIAJ TYPE II, 5.3mm Wide
CD4066BCN	N14A	14-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300" Wide

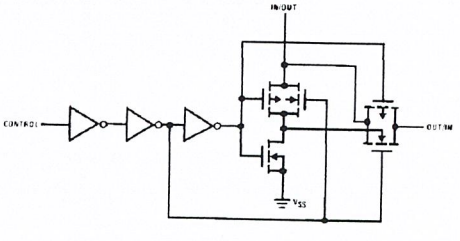
Devices also available in Tape and Reel. Specify by appending suffix letter "X" to the ordering code.

Connection Diagram

Pin Assignments for SOIC, SOP and DIP



Schematic Diagram



© 1999 Fairchild Semiconductor Corporation

SN54160 THRU SN54163, SN54LS160A THRU SN54LS163A, SN54S162, SN54S163, SN74160 THRU SN74163, SN74LS160A THRU SN74LS163A, SN74S162, SN74S163 SYNCHRONOUS 4-BIT COUNTERS

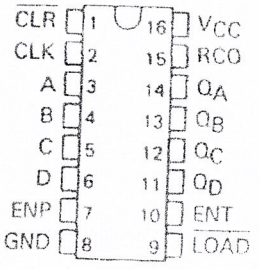
SDLS060 – OCTOBER 1976 – REVISED MARCH 1988

'160, '161, 'LS160A, 'LS161A . . . SYNCHRONOUS COUNTERS WITH DIRECT CLEAR
'162, '163, 'LS162A, 'LS163A, 'S162, 'S163 . . . FULLY SYNCHRONOUS COUNTERS

- Internal Look-Ahead for Fast Counting
- Carry Output for n-Bit Cascading
- Synchronous Counting
- Synchronously Programmable
- Load Control Line
- Diode-Clamped Inputs

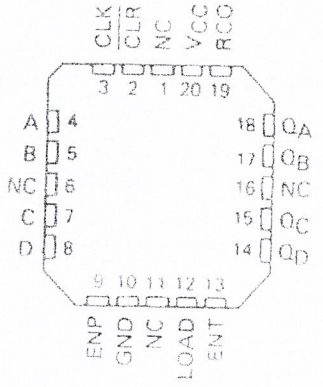
TYPE	TYPICAL PROPAGATION TIME, CLOCK TO Q OUTPUT	TYPICAL MAXIMUM CLOCK FREQUENCY	TYPICAL POWER DISSIPATION
'160 thru '163	14 ns	32 MHz	305 mW
'LS162A thru 'LS163A	14 ns	32 MHz	93 mW
'S162 and 'S163	9 ns	70 MHz	475 mW

SERIES 54', 54LS', 54S' . . . J OR W PACKAGE
SERIES 74' . . . N PACKAGE
SERIES 74LS', 74S' . . . D OR N PACKAGE
(TOP VIEW)



NC – No internal connection

SERIES 54LS', 54S' . . . FK PACKAGE
(TOP VIEW)



NC – No internal connection

description

These synchronous, presettable counters feature an internal carry look-ahead for application in high-speed counting designs. The '160, '162, 'LS160A, 'LS162A, and 'S162 are decade counters and the '161, '163, 'LS161A, 'LS163A, and 'S163 are 4-bit binary counters. Synchronous operation is provided by having all flip-flops clocked simultaneously so that the outputs change coincident with each other when so instructed by the count-enable inputs and internal gating. This mode of operation eliminates the output counting spikes that are normally associated with asynchronous (ripple clock) counters, however counting spikes may occur on the (RCO) ripple carry output. A buffered clock input triggers the four flip-flops on the rising edge of the clock input waveform.

These counters are fully programmable; that is, the outputs may be preset to either level. As presetting is synchronous, setting up a low level at the load input disables the counter and causes the outputs to agree with the setup data after the next clock pulse regardless of the levels of the enable inputs. Low-to-high transitions at the load input of the '160 thru '163 should be avoided when the clock is low if the enable inputs are high at or before the transition. This restriction is not applicable to the 'LS160A thru 'LS163A or 'S162 or 'S163. The clear function for the '160, '161, 'LS160A, and 'LS161A is asynchronous and a low level at the clear input sets all four of the flip-flop outputs low regardless of the levels of clock, load, or enable inputs. The clear function for the '162, '163, 'LS162A, 'LS163A, 'S162, and 'S163 is synchronous and a low level at the clear input sets all four of the flip-flop outputs low after the next clock pulse, regardless of the levels of the enable inputs. This synchronous clear allows the count length to be modified easily as decoding the maximum count desired can be accomplished with one external NAND gate. The gate output is connected to the clear input to synchronously clear the counter to 0000 (LLLL). Low-to-high transitions at the clear input of the '162 and '163 should be avoided when the clock is low if the enable and load inputs are high at or before the transition.

PRODUCTION DATA information is current as of publication date. Products conform to specifications per the terms of Texas Instruments standard warranty. Production processing does not necessarily include testing of all parameters.

Copyright © 1988, Texas Instruments Incorporated

TEXAS INSTRUMENTS
POST OFFICE BOX 655303 • DALLAS, TEXAS 75265

National Semiconductor

May 1999

LM565/LM565C
Phase Locked Loop

General Description

The LM565 and LM565C are general purpose phase locked loops containing a stable, highly linear voltage controlled oscillator for low distortion FM demodulation, and a double balanced phase detector with good carrier suppression. The VCO frequency is set with an external resistor and capacitor, and a tuning range of 10:1 can be obtained with the same capacitor. The characteristics of the closed loop system—bandwidth, response speed, capture and pull in range—may be adjusted over a wide range with an external resistor and capacitor. The loop may be broken between the VCO and the phase detector for insertion of a digital frequency divider to obtain frequency multiplication.

The LM565H is specified for operation over the −55˚C to +125˚C military temperature range. The LM565CN is specified for operation over the 0˚C to +70˚C temperature range.

Features

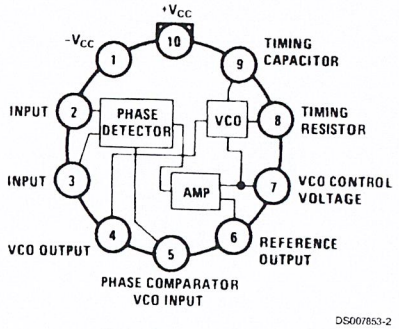
- 200 ppm/ C frequency stability of the VCO
- Power supply range of ±5 to ±12 volts with 100 ppm/% typical
- 0.2% linearity of demodulated output
- Linear triangle wave with in phase zero crossings available
- TTL and DTL compatible phase detector input and square wave output
- Adjustable hold in range from ±1% to > ±60%

Applications

- Data and tape synchronization
- Modems
- FSK demodulation
- FM demodulation
- Frequency synthesizer
- Tone decoding
- Frequency multiplication and division
- SCA demodulators
- Telemetry receivers
- Signal regeneration
- Coherent demodulators

Connection Diagrams

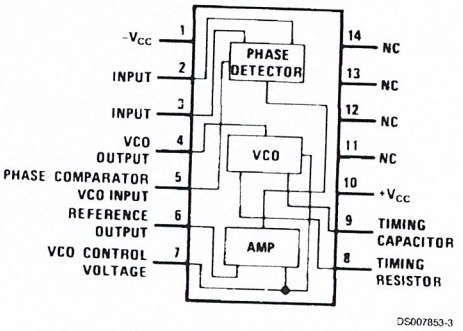
Metal Can Package



DS007853-2

Order Number LM565H
See NS Package Number H10C

Dual-in-Line Package



DS007853-3

Order Number LM565CN
See NS Package Number N14A

© 1999 National Semiconductor Corporation

National Semiconductor

January 2001

LM111/LM211/LM311 Voltage Comparator

1.0 General Description

The LM111, LM211 and LM311 are voltage comparators that have input currents nearly a thousand times lower than devices like the LM106 or LM710. They are also designed to operate over a wider range of supply voltages: from standard ±15V op amp supplies down to the single 5V supply used for IC logic. Their output is compatible with RTL, DTL and TTL as well as MOS circuits. Further, they can drive lamps or relays, switching voltages up to 50V at currents as high as 50 mA.

Both the inputs and the outputs of the LM111, LM211 or the LM311 can be isolated from system ground, and the output can drive loads referred to ground, the positive supply or the negative supply. Offset balancing and strobe capability are provided and outputs can be wire OR'ed. Although slower than the LM106 and LM710 (200 ns response time vs 40 ns) the devices are also much less prone to spurious oscillations. The LM111 has the same pin configuration as the LM106 and LM710.

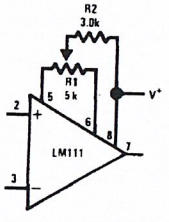
The LM211 is identical to the LM111, except that its performance is specified over a −25°C to +85°C temperature range instead of −55°C to +125 C. The LM311 has a temperature range of 0°C to +70°C.

2.0 Features

- Operates from single 5V supply
- Input current: 150 nA max. over temperature
- Offset current: 20 nA max. over temperature
- Differential input voltage range: ±30V
- Power consumption: 135 mW at ±15V

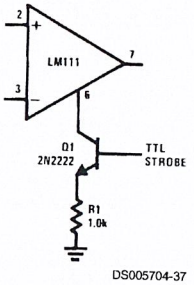
3.0 Typical Applications (Note 3)

Offset Balancing



DS005704-36

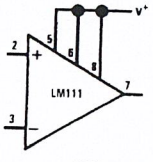
Strobing



DS005704-37

Note: Do Not Ground Strobe Pin. Output is turned off when current is pulled from Strobe Pin.

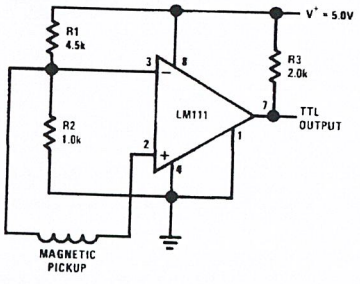
Increasing Input Stage Current (Note 1)



DS005704-38

Note 1: Increases typical common mode slew from 7.0V/µs to 18V/µs.

Detector for Magnetic Transducer



DS005704-39

© 2001 National Semiconductor Corporation

FAIRCHILD
SEMICONDUCTOR™

October 1987
Revised March 2002

CD4020BC • CD4040BC • CD4060BC
14-Stage Ripple Carry Binary Counters • 12-Stage Ripple Carry Binary Counters • 14-Stage Ripple Carry Binary Counters

General Description

The CD4020BC, CD4060BC are 14-stage ripple carry binary counters, and the CD4040BC is a 12-stage ripple carry binary counter. The counters are advanced one count on the negative transition of each clock pulse. The counters are reset to the zero state by a logical "1" at the reset input independent of clock.

Features

- Wide supply voltage range: 3.0V to 15V
- High noise immunity: 0.45 V_{DD} (typ.)
- Low power TTL compatibility: Fan out of 2 driving 74L or 1 driving 74LS
- Medium speed operation: 8 MHz typ. at V_{DD} = 10V
- Schmitt trigger clock input

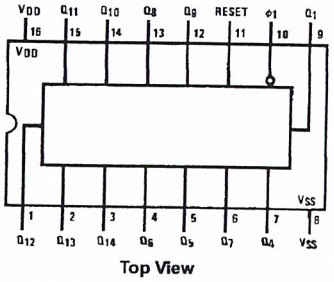
Ordering Code:

Order Number	Package Number	Package Description
CD4020BCM	M16A	16-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-012, 0.150" Narrow
CD4020BCN	N16E	16-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300" Wide
CD4040BCM	M16A	16-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-012, 0.150" Narrow
CD4040BCSJ	M16D	16-Lead Small Outline Package (SOP), EIAJ TYPE II, 5.3mm Wide
CD4040BCN	N16E	16-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300" Wide
CD4060BCM	M16A	16-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-012, 0.150" Narrow
CD4060BCN	N16E	16-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300" Wide

Devices also available in Tape and Reel. Specify by appending the suffix letter "X" to the ordering code.

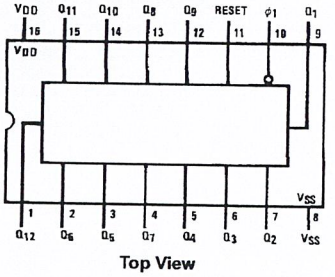
Connection Diagrams

Pin Assignments for DIP and SOIC
CD4020BC



Top View

Pin Assignments for DIP, SOIC and SOP
CD4040BC



Top View

© 2002 Fairchild Semiconductor Corporation

DALLAS MAXIM

www.maxim-ic.com

DS89C420
Ultra-High-Speed Microcontroller

GENERAL DESCRIPTION

The DS89C420 offers the highest performance available in 8051-compatible microcontrollers. It features a redesigned processor core that executes every 8051 instruction (depending on the instruction type) up to 12 times faster than the original for the same crystal speed. Typical applications see a speed improvement of 10 times using the same code and crystal. The DS89C420 offers a maximum crystal speed of 33MHz, achieving execution rates up to 33 million instructions per second (MIPS).

APPLICATIONS

Data Logging
Vending
Automotive Test Equipment
Motor Control
Magstripe Reader/Scanner
Consumer Electronics
Gaming Equipment
Appliances (Washers, Microwaves, etc.)
Telephones
HVAC
Building Security and Door Access Control
Building Energy Control and Management
Uninterruptible Power Supplies
Programmable Logic Controllers
Industrial Control and Automation

ORDERING INFORMATION

PART	TEMP RANGE	MAX CLOCK SPEED (MHz)	PIN-PACKAGE
DS89C420-MNG	-40°C to +85°C	25	40 PDIP
DS89C420-QNG	-40°C to +85°C	25	44 PLCC
DS89C420-ENG	-40°C to +85°C	25	44 TQFP
DS89C420-MCL	0°C to +70°C	33	40 PDIP
DS89C420-QCL	0°C to +70°C	33	44 PLCC
DS89C420-ECL	0°C to +70°C	33	44 TQFP
DS89C420-MNL	-40°C to +85°C	33	40 PDIP
DS89C420-QNL	-40°C to +85°C	33	44 PLCC
DS89C420-ENL	-40°C to +85°C	33	44 TQFP

Pin Configurations appear at end of data sheet.

FEATURES

- **80C52 Compatible**
  - 8051 Pin- and Instruction-Set Compatible
  - Four Bidirectional I/O Ports
  - Three 16-Bit Timer Counters
  - 256 Bytes Scratchpad RAM
- **On-Chip Memory**
  - 16kB Flash Memory
  - In-System Programmable through Serial Port
  - 1kB SRAM for MOVX
- **ROMSIZE Feature**
  - Selects Internal Program Memory Size from 0 to 16k
  - Allows Access to Entire External Memory Map
  - Dynamically Adjustable by Software
- **High-Speed Architecture**
  - 1 Clock-Per-Machine Cycle
  - DC to 33MHz Operation
  - Single-Cycle Instruction in 30ns
  - Optional Variable Length MOVX to Access Fast/Slow Peripherals
  - Dual Data Pointers with Auto Increment/Decrement and Toggle Select
  - Supports Four Paged Modes
- **Power Management Mode**
  - Programmable Clock Divider
  - Automatic Hardware and Software Exit
- **Two Full-Duplex Serial Ports**
- **Programmable Watchdog Timer**
- **13 Interrupt Sources (Six External)**
- **Five Levels of Interrupt Priority**
- **Power-Fail Reset**
- **Early Warning Power-Fail Interrupt**

Note: Some revisions of this device may incorporate deviations from published specifications known as errata. Multiple revisions of any device may be simultaneously available through various sales channels. For information about device errata, click here: www.maxim-ic.com/errata.

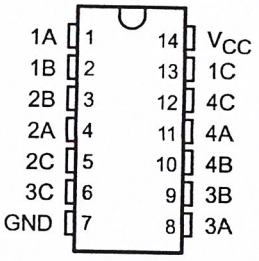
REV: 102203

SN74HC4066
QUADRUPLE BILATERAL ANALOG SWITCH

SCLS325G – MARCH 1996 – REVISED JULY 2003

- Wide Operating Voltage Range of 2 V to 6 V
- Typical Switch Enable Time of 18 ns
- Low Power Consumption, 20-μA Max I_{CC}
- Low Input Current of 1 μA Max
- High Degree of Linearity
- High On-Off Output-Voltage Ratio
- Low Crosstalk Between Switches
- Low On-State Impedance . . . 50-Ω TYP at V_{CC} = 6 V
- Individual Switch Controls

D, DB, N, NS, OR PW PACKAGE
(TOP VIEW)



description/ordering information

The SN74HC4066 is a silicon-gate CMOS quadruple analog switch designed to handle both analog and digital signals. Each switch permits signals with amplitudes of up to 6 V (peak) to be transmitted in either direction.

Each switch section has its own enable input control (C). A high-level voltage applied to C turns on the associated switch section.

Applications include signal gating, chopping, modulation or demodulation (modem), and signal multiplexing for analog-to-digital and digital-to-analog conversion systems.

ORDERING INFORMATION

T_A	PACKAGE†		ORDERABLE PART NUMBER	TOP-SIDE MARKING
–40°C to 85°C	PDIP – N	Tube of 25	SN74HC4066N	SN74HC4066N
	SOIC – D	Tube of 50	SN74HC4066D	HC4066
		Reel of 2500	SN74HC4066DR	
		Reel of 250	SN74HC4066DT	
	SOP – NS	Reel of 2000	SN74HC4066NSR	HC4066
	SSOP – DB	Reel of 2000	SN74HC4066DBR	HC4066
	TSSOP – PW	Tube of 90	SN74HC4066PW	HC4066
		Reel of 2000	SN74HC4066PWR	
		Reel of 250	SN74HC4066PWT	

† Package drawings, standard packing quantities, thermal data, symbolization, and PCB design guidelines are available at www.ti.com/sc/package.

FUNCTION TABLE
(each switch)

INPUT CONTROL (C)	SWITCH
L	OFF
H	ON

Please be aware that an important notice concerning availability, standard warranty, and use in critical applications of Texas Instruments semiconductor products and disclaimers thereto appears at the end of this data sheet.

PRODUCTION DATA information is current as of publication date. Products conform to specifications per the terms of Texas Instruments standard warranty. Production processing does not necessarily include testing of all parameters.

Copyright © 2003, Texas Instruments Incorporated

TEXAS INSTRUMENTS
POST OFFICE BOX 655303 • DALLAS, TEXAS 75265