สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

# ออสซิลโลสโคปบนคอมพิวเตอร์

# PC-Based Digital Storage Oscilloscope

โดย

นายสุพจน์ สมสกุล

นายอนิรุทธ์ วังตระกูล

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาวิศวกรรมอิเล็กทรอนิกส์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2545

เลขหมู่.....
เลขทะเบียน 50406
วัน,เดือน,ปี 13 พ.ค. 2547

.b.....
.i.....

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# คอมพิวเตอร์ออสซิลโลสโคป

# PC-Based Digital Storage Oscilloscope


โดย

นายสุพจน์ สมสกุล 43515940

นายอนิรุทธ์ วังตระกูล 43515945

อาจารย์ที่ปรึกษา

รศ.ดร. มนัส สังวรศิลป์


ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาอิเล็กทรอนิกส์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2545


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**ปริญญานิพนธ์ภาคเรียนที่ 2 ปีการศึกษา 2545**

**ภาควิชาอิเล็กทรอนิกส์**

**คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง**

**เรื่อง ออสซิลโลสโคปบนเครื่องคอมพิวเตอร์**

**PC-Based Digital Storage Oscilloscope**


**ผู้จัดทำ**

1. นายสุพจน์ สมสกุล 43515940
2. นายอนิรุทธ์ วังตระกูล 43515945


.....

(รศ.ดร.มนัส สังวรศิลป์)

**อาจารย์ที่ปรึกษา**


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# ออสซิลโลสโคปบนคอมพิวเตอร์

**ผู้จัดทำ**

นายสุพจน์ สมสกุล 43515940

นายอนิรุทธ์ วังตระกูล 43515945

**อาจารย์ที่ปรึกษา**

รศ.ดร.มนัส สังวรศิลป์

ปีการศึกษา 2545

**บทคัดย่อ**

โครงงานนี้มีจุดมุ่งหมายเพื่อออกแบบและสร้างเครื่องวิเคราะห์สัญญาณ ซึ่งทำการประมวลผลสัญญาณด้วยคอมพิวเตอร์ โดยแบ่งการทำงานออกเป็น ฮาร์ดแวร์ (Hardware) ซึ่งประกอบด้วยส่วนของวงจรที่ทำหน้าที่แปลงสัญญาณอนาลอก (Analog) เป็นสัญญาณดิจิตอล (Digital) หรือ ADC (Analog to Digital Converter) โดยส่งข้อมูลไปยังคอมพิวเตอร์ผ่านพอร์ตขนาน และ ส่วนของซอฟต์แวร์ (Software) ประกอบด้วยการทำงานคือ อินเตอร์เฟส (Interface) ควบคุมการทำงานของ ADC เพื่อทำงานร่วมกับคอมพิวเตอร์ และนำไปแสดงผลบนจอคอมพิวเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# PC-BASE DIGITAL STORAGE OSCILLOSCOPE

**Student**

Suporth Somsakul 43515940

Anirut Wangtrakool 43515945

**Advisor**

Assoc. Prof. Dr. Manas Sangworasil

Year 2002

**ABSTRACT**

This project aims to design and implement a Signal Analyzer that is processed by computer and the whole component is composed of hardware and software. An ADC (Analog to Digital Converter) that contains in hardware component due for a signal converter that converts analog signal into digital signal via a computer parallel port then, a signal is processed by computer. The software component is composed of ADC and computer interfacing control and computer display control. However the software can control hardware to select voltage range time base range.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# สารบัญ


| | | หน้า |
|---|---|---|
| | บทคัดย่อ(ภาษาไทย) | I |
| | บทคัดย่อ(English) | II |
| | สารบัญ | III |
| | สารบัญรูป | VI |
| | สารบัญตาราง | VII |
| บทที่ 1 | บทนำ | 1 |
| บทที่ 2 | ดาต้าแอคควิทชั่น และ คอนเวอร์ชั่น(Data Acquisition and Convertion) | 2 |
| | 2.1 ทฤษฎีการ Sampling | 3 |
| | 2.2 การแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล(Analog to Digital Converter) | 6 |
| บทที่ 3 | หลักการของดิจิตอลสตอเรจออสซิลโลสโคป | 9 |
| | 3.1 การทำงานของดิจิตอลสตอเรจออสซิลโลสโคป (DSO) | 9 |
| | 3.2 ขอบเขตการวัด | 10 |
| | 3.3 การสุ่มตัวอย่างของดิจิตอลสตอเรจออสซิลสโคป | 17 |
| | 3.4 ขั้นตอนการสุ่มตัวอย่าง | 20 |
| | 3.5 การเก็บข้อมูลของดิจิตอลสตอเรจออสซิลโลสโคป | 21 |
| | 3.6 ปัญหาพื้นฐานของดิจิตอลสตอเรจออสซิลโลสโคป | 22 |
| | 3.7 ความละเอียดถูกต้องแม่นยำ | 22 |
| | 3.8 สัญญาณชั่วขณะ (Transient Capture) | 24 |
| | 3.9 แบนวิดธ์และอัตราการสุ่มตัวอย่าง (Bandwidth and Sample rate) | 25 |
| บทที่ 4 | ความรู้เบื้องต้นเกี่ยวกับพอร์ตขนาน | 27 |
| บทที่ 5 | การคำนวณและการสร้าง | 38 |
| | 5.1 วงจรตามแรงดัน (Voltage Follower) | 38 |
| | 5.2 วงจรขยายแบบกลับเฟส (Inverting Amplifier.) | 39 |
| | 5.3 วงจรยกระดับสัญญาณ | 41 |
| | 5.4 วงจรเอดีซี | 42 |
| | 5.5 วงจรกำเนิดสัญญาณนาฬิกาหลายความถี่ (Multi Frequency Clock Generator) | 43 |
| | 5.6 การออกแบบซอฟท์แวร์ | 45 |


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# สารบัญ (ต่อ)


| | | หน้า |
|---|---|---|
| บทที่ 6 | การทดลอง และผลการทดลอง | 47 |
| | 6.1 วงจรตามแรงดัน | 47 |
| | 6.2 วงจรขยายสัญญาณ | 48 |
| | 6.3 วงจรยกระดับสัญญาณ | 49 |
| | 6.4 วงจร Analog to Digital Converter (ADC) | 49 |
| | 6.5 Multi Clock Generator | 49 |
| | 6.6 การวัดและวิเคราะห์สัญญาณ | 51 |
| บทที่ 7 | บทวิจารณ์ และบทสรุป | 63 |
| | 7.1 บทวิจารณ์และบทสรุป | 63 |
| | 7.2 ปัญหาที่พบในการทำโครงงาน | 63 |
| | 7.3 การแก้ไขปัญหา | 64 |
| | 7.4 ประโยชน์ที่ได้รับจากโครงงาน | 64 |
| | 7.5 แนวทางในการพัฒนาต่อ | 64 |
| | 7.6 คุณสมบัติของโครงงานนี้ | 65 |
| ภาคผนวก ก. | | |
| ภาคผนวก ข. | | |
| ภาคผนวก ค. | | |
| ภาคผนวก ง. | | |


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# สารบัญรูป


| | หน้า |
|---|---|
| รูปที่ 2.1 ระบบควบคุมที่มีการประมวลผลข้อมูลทางดิจิตอล | 2 |
| รูปที่ 2.2 วิธีการพื้นฐานของADC | 3 |
| รูปที่ 2.3 ทรานสเฟอร์ฟังก์ชันของคอมพาราเตอร์ | 3 |
| รูปที่ 2.4 แสดงการผิดผลาดในการวัดใน Aperture Time | 3 |
| รูปที่ 2.5 แสดง Spectrum ของสัญญาณอนาลอกที่จะถูกสุ่ม | 5 |
| รูปที่ 2.6 หลังจากการสุ่มเกิด Frequency Folding | 5 |
| รูปที่ 2.7 การเกิด Alias Frequency จากการสุ่มด้วยความถี่ต่ำกว่า 2 เท่า ของสัญญาณอนาลอก | 6 |
| รูปที่ 2.8 แสดงการต่อวงจร Parallel Comparator A/D Converter | 7 |
| รูปที่ 2.9 วงจรเปลี่ยนสัญญาณเอทูดีแบบสโลปเดี่ยว | 8 |
| รูปที่ 3.1 แสดงบล็อกไดอะแกรมของดิจิตอลสตอเรจออสซิลโลสโคป (DSO) | 10 |
| รูปที่ 3.2 แสดงลักษณะของการเกิดเอเลียสซิ่ง | 12 |
| รูปที่ 3.3 ทฤษฎีการสอดแทรก | 14 |
| รูปที่ 3.4 แสดงการจัดช่วงขอบขาขึ้น ซึ่งค่าคลาดเคลื่อนที่เกิดขึ้นอยู่กับตำแหน่งในการสุ่ม | 16 |
| รูปที่ 3.5 เทคนิคการสุ่มตัวอย่างแบบต่าง ๆ ของดิจิตอลสตอเรจออสซิลโลสโคป | 18 |
| รูปที่ 3.6 แสดงผลที่ออกมาจากการสุ่มตัวอย่างสัญญาณอินพุทแบบเป็นลำดับ | 19 |
| รูปที่ 3.7 การควอนไตซิ่ง โดยใช้วงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล | 20 |
| รูปที่ 3.8 บล็อกไดอะแกรมของ RIS ดิจิไตเซอร์ | 24 |
| รูปที่ 3.9 บล็อกไดอะแกรมของดิจิไตเซอร์การสุ่มตัวอย่าง | 25 |
| รูปที่ 4.1 แสดงไดอะแกรมเวลาของการส่งข้อมูลไปยังเครื่องพิมพ์ | 29 |
| รูปที่ 4.2 แสดงระบบบัสภายในของพอร์ตขนาน | 31 |
| รูปที่ 4.3 วงจรภายในของพอร์ต Data | 32 |
| รูปที่ 4.4 วงจรภายในของพอร์ต Control | 34 |
| รูปที่ 4.5 แสดงวงจรภายในของพอร์ตแสดงสถานะ | 35 |
| รูปที่ 4.6 การจัดขาของไอซีเบอร์ ULN2003 | 36 |


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# สารบัญรูป (ต่อ)


หน้า

รูปที่ 5.1 บล็อกไดอะแกรมการทำงานของวงจร 38
รูปที่ 5.2 วงจรตามแรงดัน 38
รูปที่ 5.3 วงจรขยายแบบกลับเฟส 39
รูปที่ 5.4 วงจรพื้นฐานของวงจรขยายแบบกลับเฟส 40
รูปที่ 5.5 วงจรยกระดับสัญญาณ 41
รูปที่ 5.6 วงจรพื้นฐานของวงจรรวมสัญญาณหรือวงจรซัมมิ่งแบบกลับเฟส 41
รูปที่ 5.7 วงจรเอดีซี 42
รูปที่ 5.8 วงจรกำเนิดสัญญาณนาฬิกา หลายความถี่ 43
รูปที่ 5.9 โปรแกรมที่ใช้ควบคุม 45
รูปที่ 5.10 Flow chart การทำงานของโปรแกรม 46

รูปที่ 6.1 สัญญาณ Sine wave ความถี่ 10 Hz 51
รูปที่ 6.2 สัญญาณ Sine wave ความถี่ 100 Hz 51
รูปที่ 6.3 สัญญาณ Sine wave ความถี่ 1 kHz 52
รูปที่ 6.4 สัญญาณ Sine wave ความถี่ 10 kHz 52
รูปที่ 6.5 สัญญาณ Sine wave ความถี่ 100 kHz 53
รูปที่ 6.6 สัญญาณ Sine wave ความถี่ 500 kHz 53
รูปที่ 6.7 สัญญาณ Sine wave ความถี่ 1 MHz 54
รูปที่ 6.8 สัญญาณ Sine wave ความถี่ 2 MHz 54
รูปที่ 6.9 สัญญาณ Sine wave ความถี่ 3 MHz 55
รูปที่ 6.10 สัญญาณ Sine wave ความถี่ 5 MHz 55
รูปที่ 6.11 สัญญาณ Square wave ความถี่ 10 Hz 56
รูปที่ 6.12 สัญญาณ Square wave ความถี่ 100 Hz 56
รูปที่ 6.13 สัญญาณ Square wave ความถี่ 1 kHz 57
รูปที่ 6.14 สัญญาณ Square wave ความถี่ 10 kIz 57
รูปที่ 6.15 สัญญาณ Square wave ความถี่ 100 kHz 58
รูปที่ 6.16 สัญญาณ Square wave ความถี่ 500 kHz 58
รูปที่ 6.17 สัญญาณ Square wave ความถี่ 1 MHz 59
รูปที่ 6.18 สัญญาณ Square wave ความถี่ 2 MHz 59
รูปที่ 6.19 สัญญาณ Square wave ความถี่ 3 MHz 60
รูปที่ 6.20 สัญญาณ Triangle wave ความถี่ 10 Hz 60
รูปที่ 6.21 สัญญาณ Triangle wave ความถี่ 100 Hz 61
รูปที่ 6.22 สัญญาณ Triangle wave ความถี่ 1 kHz 61
รูปที่ 6.23 สัญญาณ Triangle wave ความถี่ 10 kHz 62


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# สารบัญตาราง


| | หน้า |
|---|---|
| ตารางที่ 4.1 สัญญาณสำคัญ ๆ ของพอร์ตขนานที่ใช้ติดต่อกับเครื่องพิมพ์ | 29 |
| ตารางที่ 4.2 แสดงสัญญาณทั้งหมดที่อยู่บนพอร์ตขนาน | 33 |
| ตารางที่ 5.1 เปรียบเทียบอัตราขยายกับการป้อนลอจิกต่างๆ | 39 |
| ตารางที่ 5.2 ความถี่ของวงจรกำเนิดสัญญาณ | 44 |


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

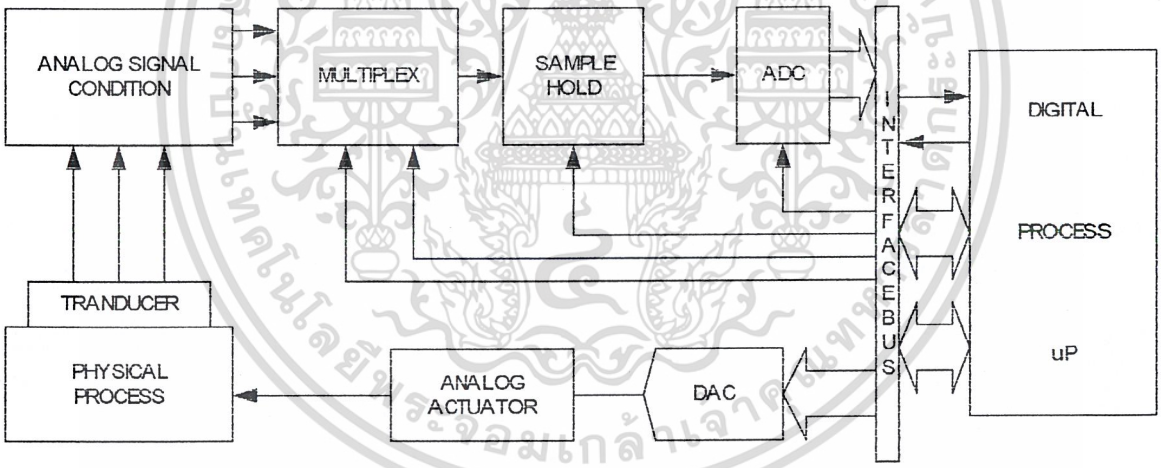
# บทที่1
# บทนำ

ปัจจุบันเครื่องออสซิลโลสโคป ได้แพร่หลายในวงการอิเล็กทรอนิกส์เป็นอย่างมาก ไม่ว่าจะเป็นการวิเคราะห์ งานซ่อม หรือการเก็บข้อมูลบางอย่างไว้อ้างอิง จะยังมีอื่นๆอีกมากมายในปัจจุบันเครื่องออสซิลโลสโคป รุ่นใหม่ที่เก็บสัญญาณ หรือบันทึกข้อมูลพร้อมยังมีฟังก์ชันพิเศษต่างๆมากมาย ซึ่งก็จะมีราคาค่อนข้างสูงมากและในโรงงานอุตสาหกรรมได้นำเอาคอมพิวเตอร์เข้ามาควบคุมเครื่องจักรเพื่อลดการผิดผลาด ลดเวลาที่สูญเสียต่างๆ และยังสามารถเพิ่มประสิทธิภาพการทำงานได้สูงขึ้น จากข้อดีของออสซิลโลสโคป และคอมพิวเตอร์นั้นจึงเป็นจุดเริ่มต้นของโครงงานนี้ที่จะสร้างเครื่องออสซิลโลสโคป ใช้งานร่วมกับคอมพิวเตอร์ให้เป็นออสซิลโลสโคปแสดงผลหน้าจอที่คอมพิวเตอร์โดยได้นำเครื่องออสซิลโลสโคป มาประยุกต์ใช้งาน ฉะนั้นจึงได้มีการสร้างเครื่องมือชนิดหนึ่งขึ้นมา เรียกว่า PC BASE STORAGE OSCILLOSCOPE เพื่อแก้ปัญหาในจุดนี้ และมีข้อดีคือใช้งานร่วมกับคอมพิวเตอร์ทั่วไปที่มีใช้กันอย่างแพร่หลาย เพียงแต่นำเครื่องออสซิลโลสโคป ต่อเข้าที่พอร์ตขนานของเครื่องคอมพิวเตอร์ และมีซอฟแวร์เป็นตัวควบคุมให้เครื่องคอมพิวเตอร์ทำหน้าที่เป็นดิจิตอลสตอเรจออสซิลโลสโคป โดยแสดงผลที่ได้ออกทางจอภาพ เครื่องพิมพ์ พร้อมบันทึกข้อมูลลงในคอมพิวเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# บทที่ 2
## ดาต้าแอคควิทชั่น และ คอนเวอร์ชั่น
## (Data Acquisition and Conversion)

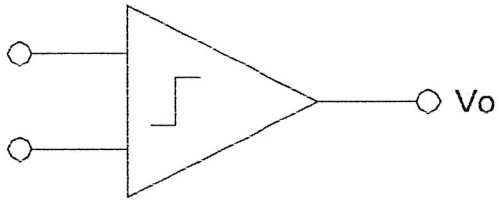
รูปร่างสัญญาณทางไฟฟ้าที่เราพบเห็นและคุ้นเคยในชีวิตประจำวันจะอยู่ในรูปแบบของสัญญาณที่มีความต่อเนื่องกันหรือเรียกว่าสัญญาณอนาลอก(Analog Signal) ซึ่งแต่เดิมการนำเอาสัญญาณไฟฟ้าดังกล่าวมาประมวลผลจะกระทำในแบบอนาลอก แต่เมื่อเทคนิคการประมวลผลสัญญาณทางดิจิตอลได้รับการพัฒนาขึ้นมาเนื่องจากพบว่าในรูปแบบดิจิตอลการประมวลผล,เก็บ, สื่อสาร และแสดงกระทำได้ง่ายและมีประสิทธิภาพมากกว่า ดังนั้นการเปลี่ยนรูปแบบของสัญญาณ (Conversion)จึงได้มีความจำเป็นขึ้น จากสัญญาณอนาลอกที่มีอยู่ตามธรรมชาติถูกเปลี่ยนมาเป็นสัญญาณดิจิตอล โดย Analog to Digital Converter(ADC) และประมวลผลโดยตัวประมวลผลทางดิจิตอล (Digital Processor)เช่น คอมพิวเตอร์ จากนั้นจะถูกนำมาแสดง หรือ ถูกเปลี่ยนกลับมาในรูปแบบอนาลอก และใช้งานได้ง่ายกว่าโดยใช้ Digital to Analog Converter (DAC) รูปที่ 2.1 แสดงระบบควบคุมโดยการประมวลผลข้อมูลในระบบดิจิตอล



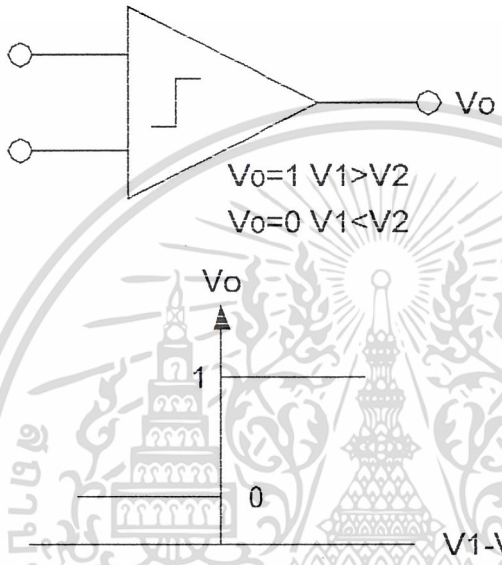

รูปที่ 2.1 ระบบควบคุมที่มีการประมวลผลข้อมูลทางดิจิตอล

วิธีการแปลงสัญญาณอนาลอกเป็นดิจิตอลแบบง่ายๆแสดงดังรูป 2.2 โดยใช้หลักการของวงจรคอมพาราเตอร์ แรงดันอินพุทไม่ทราบค่า $V_X$ จะต่อเข้ากับอินพุทขาหนึ่งของอนาลอกคอมพาราเตอร์และแรงดันอินพุทที่ขนาดแปรตามเวลา $V_R$ ต่อเข้ากับอีกอินพุทหนึ่งของคอมพาราเตอร์ ลักษณะของทรานเฟอร์ฟังชั่นของคอมพาราเตอร์ ดังแสดงในรูป 2.3 ถ้าแรงดันอินพุท $V_1$ มากกว่า $V_2$แล้วแรงดันเอาท์พุทจะเป็น " 1 " ถ้าอินพุท $V_1$ น้อยกว่า $V_2$ และเอาท์พุทจะเป็นศูนย์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 2.2 วิธีการพื้นฐานของADC




รูปที่ 2.3 ทรานสเฟอร์ฟังก์ชันของคอมพาราเตอร์

วงจร Analog to Digital Converter (ADC)ที่ใช้งานทั่วไปมีหลายชนิด เช่น Counter type ADC, Tracking ADC , Integrating ADC, Successive Approximation ADC หรือ Parallel (Flash) ADC เป็นต้น

**2.1 ทฤษฎีการแซมปลิง (Sampling)**

ในการแปลงสัญญาณอนาลอกเป็นดิจิตอลนั้นจะต้องใช้เวลาช่วงหนึ่งในการจัดการซึ่งช่วงเวลาดังกล่าวขึ้นอยู่กับตัวแปลงเช่น

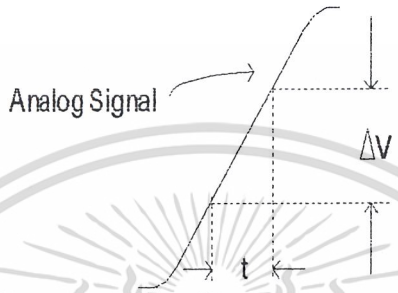
1. ความละเอียดของการเปลี่ยนสัญญาณ
2. เทคนิคการแปลงสัญญาณ
3. ความเร็วในการทำงานของอุปกรณ์ร่วมอื่นๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ความเร็วของการแปลงสัญญาณนี้จำเป็นต่อการใช้งานเฉพาะอย่างและความแม่นยำที่ต้องการ

**Aperture Time :** คือช่วงเวลาในการแปลงสัญญาณ ซึ่งคำว่า Aperture time โดยทั่วไปหมายถึง ช่วงเวลาที่เกิดความไม่แน่นอนในการวัดและผลก็คือความผิดพลาด (Error) ต่อค่าที่วัดได้

ในรูปที่ 2.4 สัญญาณอนาลอก V(t) มีอัตราการเปลี่ยน dV/dt ช่วง Aperture Time $t_s$ ดังนั้นช่วงเวลาการเปลี่ยนแปลงสัญญาณอนาลอกจะเท่ากับ




รูปที่ 2.4 แสดงการผิดผลาดในการวัดใน Aperture Time

ดังนั้นหากเวลาที่ ADC ใช้ในการเปลี่ยนสัญญาณในเวลา $t_s$ นี้ รหัสของสัญญาณดิจิตอลที่ได้อาจตรงกับสัญญาณอนาลอกค่าใดค่าหนึ่งในช่วงนี้ และส่วนที่เหลือคือความผิดพลาดที่เกิดขึ้นวิ่งแน่นอนในบ้างครั้งเป็นไปได้ที่รหัสของสัญญาณดิจิตอลจะตรงกับค่าของสัญญาณอนาลอกที่ถูกต้อง

**Sample Hold and Aperture error**

วงจร Sampling Hold จะทำการสุ่มสัญญาณอินพุท และนำสัญญาณนั้นมาเก็บ (Hold) ในช่วงเวลาหนึ่ง ซึ่งส่วนใหญ่จะใช้การประจุแรงดันนั้นในตัวเก็บประจุที่รั่วไหลต่ำ ดังนั้นในเมื่อสัญญาณอินพุทสามารถคงอยู่ได้นานพอ ทำให้ ADC ไม่จำเป็นต้องมีเวลาในการแปลง (Conversion Time) อย่างรวดเร็วนัก Aperture Time ของ Sampling Hold คือเวลาตั้งแต่เริ่มสุ่มสัญญาณจนตัวเก็บประจุมีค่าแรงดันจนถึงค่าที่สุ่มวิ่งสำหรับ Sampling Hold แล้ว Aperture Time ขึ้นอยู่กับ Bandwidth และ Switching Time ของอุปกรณ์แอคทีฟที่ใช้ในวงจร ซึ่งหาและสร้างได้ง่ายและถูกกว่าการสร้าง ADC ความเร็วสูง

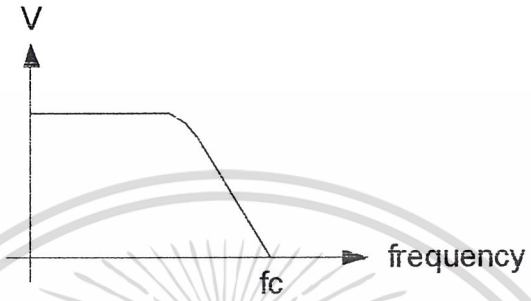
มีปัญหาว่าอัตราการสุ่มสัญญาณนั้นควรจะมีค่าเท่าใดที่จะไม่ทำให้ข้อมูลสูญเสียไปเมื่อสัญญาณนั้นถูกเปลี่ยนกลับมาเช่นเดิม อันนี้ขึ้นอยู่กับความถี่ของสัญญาณอนาลอก และทฤษฎีการสุ่มที่กล่าวไว้ว่า

"ถ้าสัญญาณต่อเนื่องซึ่งมีความถี่และฮาร์โมนิกส์ ไม่เกิน $f_c$ แล้วสัญญาณดังกล่าวจะสามารถเปลี่ยนกลับมาได้เหมือนเดิมโดยไม่สูญเสียรายละเอียดหรือเพี้ยนไปถ้าอัตราการสุ่มไม่น้อยกว่า $2f_c$ ต่อวินาที"

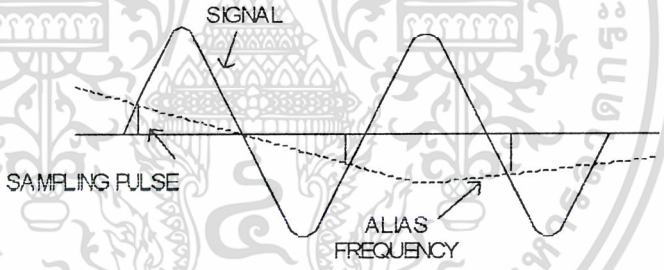
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**Frequency Folding and Aliasing**

จากทฤษฎีการสุ่มสามารถอธิบายลักษณะรูปสเปกตรัม (Spectrum) ของสัญญาณในรูปที่ 2.5 แสดงให้เห็น สเปกตรัมของสัญญาณที่ถูกสุ่มซึ่งแบนด์วิดธ์ไม่เกิน $f_c$ ในขณะที่สัญญานนี้จะถูกสุ่มด้วยความถี่ $f_s$ ขบวณการมอดูเลชั่น (Modulation) จะทำให้แถบสเปกตรัมของสัญญาณสุ่มขยายออกจาก $f_s$ เป็น $2f_s$ , $3f_s$ ,... ได้ดังรูปที่ 2.6




รูปที่ 2.5 แสดง Spectrum ของสัญญาณอนาลอกที่จะถูกสุ่ม




รูปที่ 2.6 หลังจากการสุ่มเกิด Frequency Folding

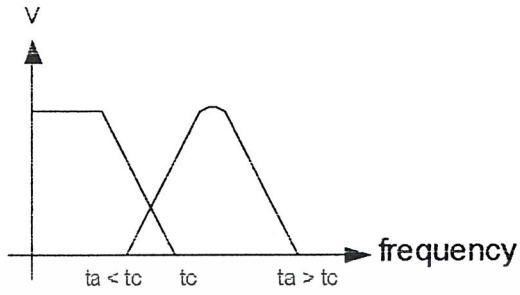
ถ้าความถี่ของสัญญาณสุ่ม $f_s$ ไม่สูงพอหลังจากการสุ่มสัญญาณสเปคตรัมบางส่วนของ $f_s$ จะมาซ้อนทับกับสเปกตรัมของสัญญาณซึ่งเรียกว่า Frequency Folding หากเป็นเช่นนี้ก็จะทำให้เกิดความเพี้ยนแก่สัญญาณอนาลอกจากการซ้อนทับกันของสเปกตรัม เมื่อสัญญาณถูกเปลี่ยนกลับให้อยู่ในรูปเดิม และถ้าเลื่อนความถี่ของการสุ่มสูงขึ้นจนโอกาสการซ้อนทับของสเปกตรัมหมดไป ($f_s - f_c$) = $f_c$ จะทำให้การเปลี่ยนกลับของสัญญาณหลังจากถูกสุ่มก็ยังคงเหมือนเดิมได้

จากที่กล่าวมาแสดงการสนับสนุนทฤษฎีการสุ่มที่ว่าให้ $f_s < 2f_c$ นั้นคือการกำจัดการซ้อนทับของสเปกตรัมได้ 2 วิธีคือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.ใช้อัตราการสุ่มที่สูงพอ

2. การทำการกรองความถี่ของสัญญาณอนาลอก ก่อนการสุ่มเพื่อให้ Bandwidth ไม่เกินไปกว่า $f_s/2$




รูปที่ 2.7 การเกิด Alias Frequency จากการสุ่มด้วยความถี่ต่ำกว่า 2 เท่า ของสัญญาณอนาลอก

ในทางปฏิบัติแล้วจะยังคงเกิด Frequency Folding ได้เสมอจากส่วนฮาร์โมนิกส์ของสัญญาณ รวมทั้งสเปกตรัมของสัญญาณรบกวนที่ยังคงอยู่แม้ว่าจะทำการกรองความถี่มาก่อนหน้านี้แล้วก็ตาม สำหรับการกำจัดการซ้อนทับของสเปกตัมนี้วิธีที่ได้ผลคือพยายามให้การสุ่มสัญญาณเป็นไปอย่างรวดเร็วมากที่สุด

ผลของการใช้อัตราสุ่มที่ไม่เหมาะสมอีกอย่างหนึ่งเกิดขึ้น ดังรูปที่ 2.7 เรียกว่า Alias Frequency ซึ่งเกิดกับสัญญาณที่เปลี่ยนกลับมาเช่นเดิมหลังจากถูกสุ่มแล้ว

**2.2 การแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล (Analog to Digital Converter)**

วงจร เอทูดีแบบใช้วงจรเปรียบเทียบหรือแบบ"แฟลช"

(Parallel Comparator Simultaneous "Flash" A/D Converter)

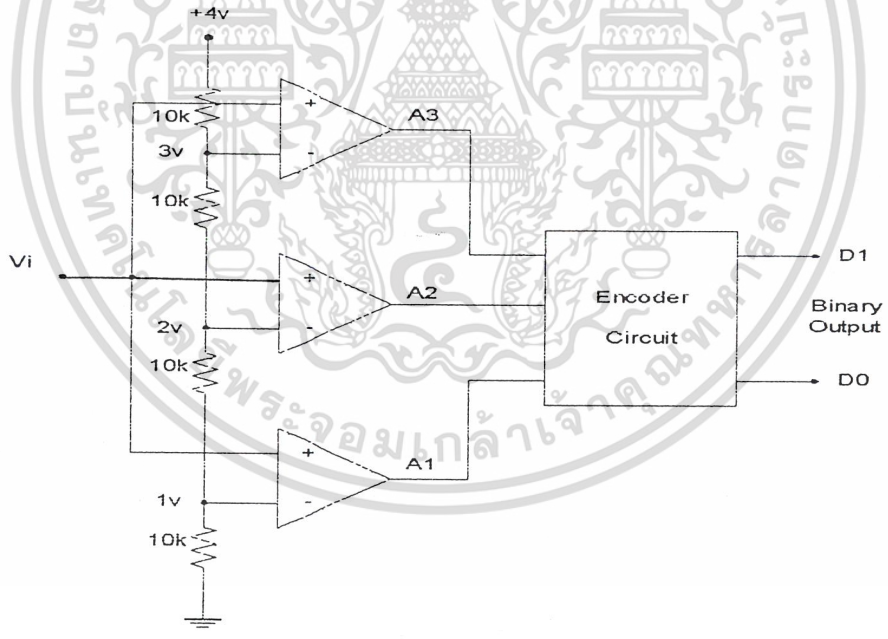
สำหรับการแปลงสัญญาณที่ต้องการความเร็วสูงมากๆ เช่น การแปลงภาพโทรทัศน์,เรดาห์ จำเป็นต้องใช้ ADC แบบพิเศษที่เรียกว่า Flash (Parallel) ADC ซึ่งแสดงดังรูป Block Diagram ดังรูปที่ 2.8

หลักการทำงานก็คือ จะใช้คอมพาราเตอร์เปรียบเทียบสัญญาณอนาลอกอินพุทกับสัญญาณอ้างอิงแบ่งแรงดันให้ตรงกับรหัสดิจิตอลซึ่งจะเห็นว่าอุปกรณทางด้านความเร็วจะถูกจำกัดเพียง Propagation time ของคอมพาราเตอร์เท่านั้นแต่อุปสรรคที่สำคัญต่อการพัฒนาวงจรบนชิพไอซี คือ วงจรนี้ต้องการคอมพาราเตอร์ จำนวน $2^n-1$ ตัว ซึ่งเป็นจำนวนที่มากพอสมควร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

| แรงดันอินพุต $V_{in}$ (โวลต์) | เอาท์ของวงจรเปรียบเทียบ | | | เอาท์พุทเลขฐานสอง | |
|---|---|---|---|---|---|
| | A1 | A2 | A3 | D1 | D2 |
| 0-1 | 0 | 0 | 0 | 0 | 0 |
| 1-2 | 1 | 0 | 0 | 0 | 1 |
| 2-3 | 1 | 0 | 1 | 1 | 0 |
| 3-4 | 1 | 1 | 1 | 1 | 1 |

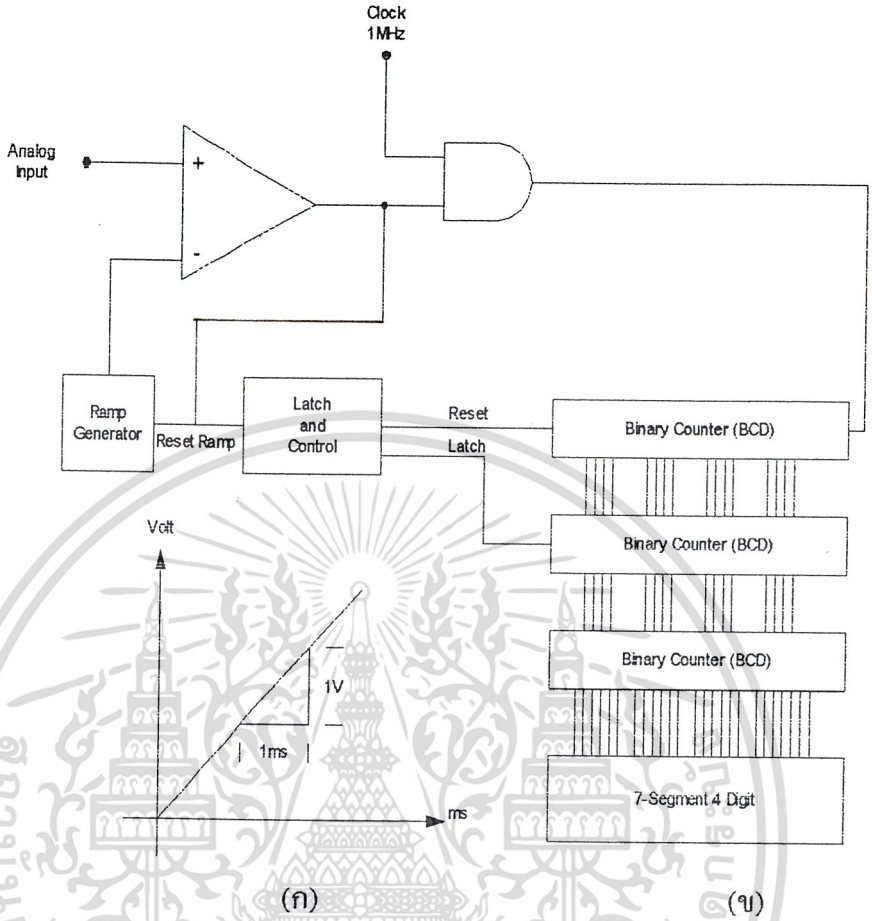
ตารางที่ 2.1 ความสัมพันธ์ระหว่างแรงดันอินพุทที่เป็นอนาลอกกับเอาท์พุทที่เป็นดิจิตอล




รูปที่ 2.8 แสดงการต่อวงจร Parallel Comparator A/D Converter

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**วงจรเอทูดีแบบสโลปเดียวหรือแบบแรมป์(Single Ramp หรือ Single Slope A/D Converter)**




(ก) ความชันของสัญญาณแรมป์ (ข) แสดงบล็อกไดอะแกรม

รูปที่ 2.9 วงจรเปลี่ยนสัญญาณเอทูดีแบบสโลปเดี่ยว

สัญญาณแรมป์เป็นบวกมากขึ้นเรื่อยๆจนมากกว่าระดับแรงดันอินพุท เอาท์พุทของวงจรเปรียบเทียบก็ตกลงมาเป็นระดับ “LOW” ปิดแอนด์เกตไม่มีสัญญาณไปให้กับวงจรนับ

วงจรนับจะหยุดนับและเก็บค่าไว้ในแลตช์ (Latch) จากนั้นจะทำการรีเซตวงจรนับ และวงจรกำเนิดสัญญาณแรมป์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# บทที่ 3
## หลักการของดิจิตอลสตอเรจออสซิลโลสโคป

ดิจิตอลสตอเรจออสซิลโลสโคป (Digital Storage Oscilloscope) หรือเรียกเป็นชื่อย่อว่า DSO ได้รับการออกแบบให้มีขีดความสามารถในการตอบสนองความต้องการของผู้ใช้ ซึ่งไม่สามารถทำได้ในอนาลอกสโคปแบบเดิม ๆ ที่มีอยู่ อาทิเช่น การเก็บข้อมูลของสัญญาณที่วัดได้ เพื่อการนำมาวิเคราะห์ในภายหลัง การวิเคราะห์รูปคลื่นอย่างละเอียดโดยการซูมรูปคลื่นส่วนที่ต้องการ การจับสัญญาณที่เกิดขึ้นเพียงชั่วขณะหนึ่ง การทำปรีทริกเกอร์ (Pre-Trigger) และการตรวจจับสัญญาณที่มีการเปลี่ยนแปลงทางความถี่อย่างรวดเร็วหรือช้าเกินไป ซึ่งไม่สามารถตรวจจับได้ด้วยอนาลอกสโคปแบบปกติ

จุดสำคัญของสโคปแบบนี้อยู่ที่วิธีการในการเก็บข้อมูลและวิธีการทางดิจิตอลที่นำมาใช้ โดยปกติแล้วข้อมูลที่ถูกนำมาเก็บไว้นั้นสามารถนำไปบันทึกไว้ในเครื่องคอมพิวเตอร์ได้และยังสามารถต่อพ่วงพล็อตเตอร์หรือพรินเตอร์ได้ด้วย

### 3.1 การทำงานของดิจิตอลสตอเรจออสซิลโลสโคป (DSO)

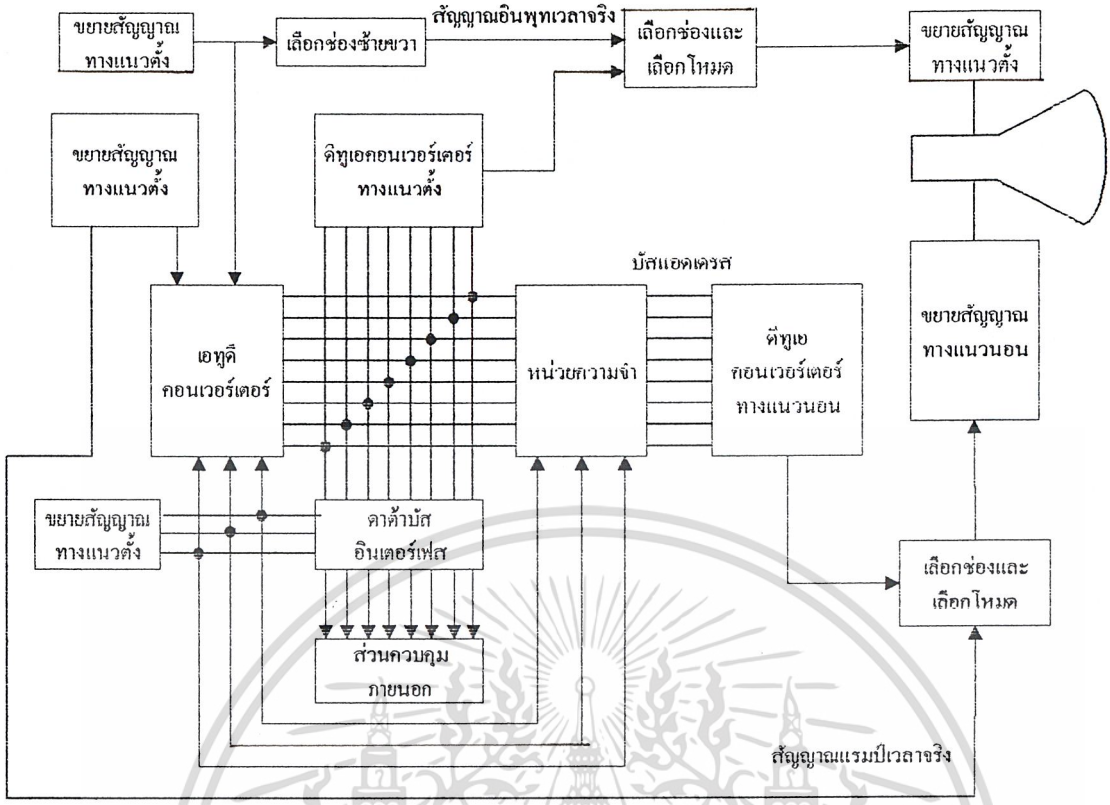
สัญญาณอนาลอกและสัญญาณดิจิตอลนั้นมีการนำมาเปรียบเทียบกันอยู่เสมอ ในเรื่องของสโคปก็เช่นเดียวกัน สตอเรจสโคปนั้นได้ถูกประดิษฐ์คิดขึ้นมาทั้งแบบอนาลอกและแบบดิจิตอล สำหรับอนาลอกสตอเรจสโคปนั้นจะมีวิธีการเก็บบันทึกรูปคลื่นแบบอนาลอก นั่นคือ การใช้หลอดสตอเรจ (Storage CRT) ซึ่งหลอดที่ว่านี้มีความสามารถทำให้สัญญาณที่เกิดขึ้นเพียงชั่วขณะแสดงผลบนจอได้เป็นเวลา 1 ชั่วโมงหรือมากกว่า

ส่วน DSO ดิจิตอลสตอเรจสโคปจะมีวิธีการเก็บบันทึกรูปคลื่นด้วยระบบดิจิตอล ข้อมูลจะถูกบันทึกไว้ในหน่วยความจำแบบดิจิตอล ซึ่งจะเห็นว่าเมื่อเทียบกับแบบดิจิตอลแล้ว แบบอนาลอกจะเก็บรูปคลื่นด้วยอุปกรณ์ แต่แบบดิจิตอลจะเก็บรูปคลื่นด้วยวงจร นี่คือสิ่งที่แตกต่างกัน

ส่วน DSO จะมีกระบวนการในการทำงานอยู่ 3 ช่วงใหญ่ ๆ คือ ช่วงของการสุ่มตัวอย่างและการแปลงสัญญาณเป็นดิจิตอล, ช่วงเวลาของการเก็บข้อมูล และสุดท้ายก็คือ ช่วงของการแสดงผลค่าต่าง ๆ

เริ่มต้นด้วยการสุ่มตัวอย่างสัญญาณที่เข้ามาเพื่อให้ได้จำนวนของจุดบนสัญญาณเหล่านี้ จากนั้นเป็นขั้นตอนการนำค่าที่ได้จากการสุ่มตัวอย่างมาแปลงเป็นสัญญาณดิจิตอลด้วยวงจรแปลงสัญญาณอนาลอกเป็นดิจิตอล (Analog to Digital Converter) ซึ่งหากเป็นวงจรที่ใช้สัญญาณดิจิตอล 8 บิต ก็จะได้ระดับของสัญญาณที่แปลงออกมา $2^8$ หรือ 256 ระดับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 3.1 แสดงบล็อกไดอะแกรมของดิจิตอลสตอเรจออสซิลโลสโคป (DSO)

ขั้นตอนที่กล่าวมาจะถูกควบคุมความเร็วในการทำงานด้วยฐานเวลา (time base) เดียวกันซึ่งเป็นฐานเวลาแบบดิจิตอลที่มีความเที่ยงตรงสูงมาก และจะใช้เป็นเวลาอ้างอิงในการทำงานของวงจร ซึ่งโดยปกติแล้วค่าฐานเวลาจะมีหน่วงเป็น MS/s หรือจำนวนจุดต่อวินาที ค่าที่แปลงเป็นสัญญาณดิจิตอลแล้วจะถูกเก็บไว้ในหน่วยความจำ

สำหรับการแสดงผลของดิจิตอลสตอเรจสโคป จะอาศัยการทำงานแบบอนาลอก ดังนั้นในช่วงของการแสดงผลจึงต้องแปลงสัญญาณดิจิตอลไปเป็นสัญญาณอนาลอกเสียก่อน เพื่อให้ได้สัญญาณควบคุมลำอิเล็กตรอนทั้งแนวตั้งแนวนอน ในรูปที่ 3.1 เป็นรายละเอียดพื้นฐานของดิจิตอลสตอเรจออสซิลโลสโคป

### 3.2 ขอบเขตการวัด

ทุกสิ่งทุกอย่างย่อมมีขีดจำกัดในตัวของมันเอง เมื่อเรานำสิ่งนั้นมาใช้งานเกินความสามารถของมัน ผลที่ได้ก็จะไม่ถูกต้องสมบูรณ์ ดิจิตอลสตอเรจออสซิลโลสโคปก็เช่นเดียวกัน เมื่อดิจิตอลสตอเรจออสซิลโลสโคปถูกสร้างขึ้นมาด้วยขบวนการทางดิจิตอล ดังนั้นขีดความสามารถของมันจึง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ถูกจำกัดด้วยวิธีการทางดิจิตอล ในอนาลอกสโคปหรือดิจิตอลสโคปทั่วไป จะเห็นว่าผู้ผลิตกำหนดขอบเขตการวัดเป็นค่าความถี่สูงสุดที่เครื่องสามารถทำการวัดได้ เช่น 20 MIIz, 60 MIIz, 100 MHz, 150 MHz เป็นต้น ซึ่งเวลาซื้อก็ต้องไตร่ตรองพิจารณาถึงขีดจำกัดอันนี้

สำหรับดิจิตอลสตอเรจออสซิลโลสโคปนั้น ขอบเขตการวัดนอกจากสามารถบอกเป็นค่าความถี่สูงสุดที่เครื่องสามารถทำการวัดได้แล้ว ยังต้องบอกค่าอัตราการสุ่มตัวอย่างข้อมูลควบคู่กันไปด้วย โดยปกติแล้ว จะมีค่าเป็นล้านครั้งต่อวินาที (MS/s) เช่น 20 MS/s 20 MHz, 40 MS/S 100 MHz, 100 MS/s 100MHz, 200 MS/s 70 MHz เป็นต้น ค่าเหล่านี้จะบอกอะไรเราบ้าง

เริ่มด้วยอัตราการสุ่มตัวอย่างข้อมูลจะชี้ให้เห็นถึงความละเอียดและคุณภาพของภาพที่ปรากฏบนจอ ซึ่งประกอบขึ้นมาจากจุดที่ได้จากการสุ่มตัวอย่างบนรูปคลื่นที่วัด ถ้าจำนวนจุดที่ได้มีจำนวนมากภาพที่ได้ก็จะมีความถูกต้องสมบูรณ์มาก การสูญเสียจุดจากการสุ่มตัวอย่างไปเพียงเล็กน้อยในบางรูปคลื่น ก็อาจเป็นการสูญเสียรายละเอียดของรูปคลื่นนั้นไปได้ ถ้าอัตราการสุ่มตัวอย่างมีค่ามาก นั่นคือ ดิจิตอลสตอเรจออสซิลโลสโคปจะมีความละเอียดของรูปคลื่นสูงมากด้วย ส่วนความถี่ที่บอกมานั้นก็ยังเป็นขอบเขตการวัดความถี่สูงสุดของดิจิตอลสตอเรจออสซิลโลสโคปในลักษณะเดียวกับอนาลอกสโคป

ถ้าหากเราต้องการจะรู้ว่ารูปคลื่นที่ปรากฏบนจอภาพนั้นมีความละเอียดแค่ไหน ก็สามารถทำได้ด้วยการคำนวณแบบง่าย ๆ ตามสูตรที่ว่า

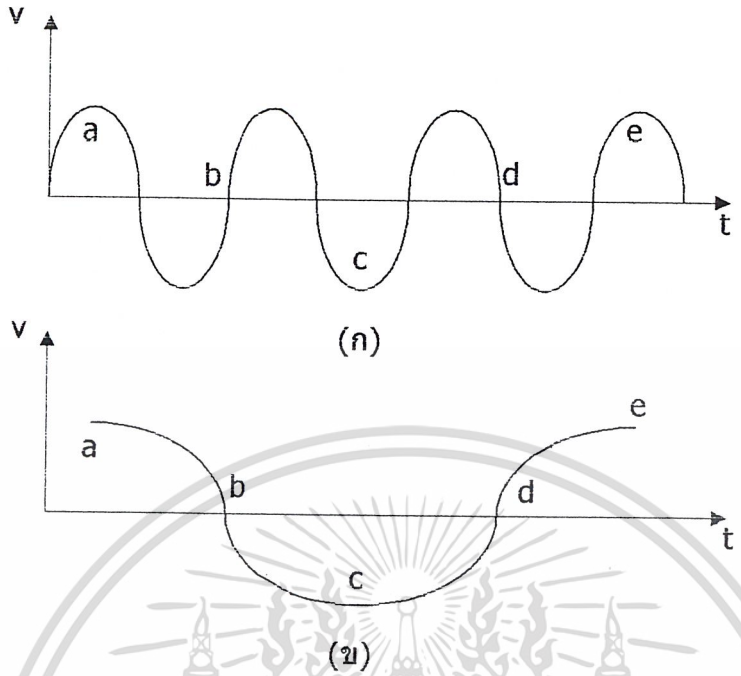
$$\text{จำนวนจุดต่อหนึ่งรูปคลื่น} = \frac{\text{จำนวนการสุ่มตัวอย่างของดิจิตอลสตอเรสออสซิลโลสโคป}}{\text{ค่าความถี่ที่ทำการวัด}}$$

ตัวอย่างเช่น ดิจิตอลสตอเรจออสซิสโลสโคปมีอัตราการสุ่มตัวอย่าง 50 MS/s ใช้วัดสัญญาณที่มีความถี่ 500 kHz ดังนั้นจะได้ว่า

$$\text{จำนวนจุดต่อหนึ่งรูปคลื่น} = \frac{50MS/s}{500KHz} = 100$$

จะเห็นว่าภาพที่แสดงผลบนจอภาพนั้นในหนึ่งรูปคลื่นจะเกิดการเรียงกันของจุดจำนวน 100 จุด แต่ถ้าหากความถี่ที่ใช้วัดเปลี่ยนเป็น 10 MHz ที่อัตราการสุ่มตัวอย่างเดิม ความละเอียดของภาพในหนึ่งรูปคลื่นจะมีเพียง 5 จุด ต่อรูปคลื่นเท่านั้น ซึ่งจากทั้ง 2 กรณี ทำให้เราสามารถสรุปได้ว่า เมื่อนำมาวัดค่าสัญญาณที่มีความถี่สูง ๆ แล้ว จะให้ภาพที่มีความละเอียดชัดเจนได้น้อยลง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 3.2 แสดงลักษณะของการเกิดเอเลียสซิ่ง
(ก) สัญญาณอินพุทเมื่อมีการสุ่มตัวอย่างต่ำเกินไป
(ข) เมื่อแสดงผลเกิดเป็นสัญญาณเอเลียส

ปัญหาอย่างหนึ่งซึ่งเกิดขึ้นกับดิจิตอลสตอเรจออสซิลโลสโคป คือ การที่สัญญาณที่จะทำการวัดมีความถี่สูงมาก ๆ เมื่อมีการสุ่มตัวอย่างสัญญาณดังกล่าว แล้วนำมาสร้างให้ปรากฏบนจออีกครั้ง ผลที่ได้บนจอจะเป็นภาพที่ต่างไปจากสัญญาณที่วัดจริง เรียกว่า สัญญาณเอเลียส (Alias Signal) อันเกิดจากอัตราการสุ่มต่ำกว่าความถี่สัญญาณที่วัด โดยดูได้จาก ตัวอย่างในรูปที่ 3.2 ในการใช้งานควรพยายามหลีกเลี่ยงอย่าให้เกิดสัญญาณเอเลียสขึ้น เพราะว่าสัญญาณเอเลียสเป็นรูปคลื่นที่มีความถี่ต่างไปจากรูปคลื่นจริงอย่างมาก ซึ่งไม่สามารถนำไปวิเคราะห์ได้

การทำให้รูปคลื่นที่ปรากฏบนจอมีความสมบูรณ์ถูกต้องนั้น จำนวนจุดที่ได้จากการสุ่มตัวอย่างต้องมีมากกว่า 2 เท่าของความถี่ที่วัดนั้นใน 1 รูปคลื่น และเมื่อทำการตรวจวัดขอบขาขึ้นและขอบขาลงของพัลส์จะต้องได้จำนวนพัลส์ที่สุ่มตัวอย่างมากกว่า 10 ครั้งต่อ 1 รูปคลื่น นอกจากการสุ่มตัวอย่างที่ต้องการความเร็วในการทำงานพอสมควรแล้วยังต้องพิจารณาอีกด้วยว่าวงจรแปลงสัญญาณอนาลอกเป็นดิจิตอลนั้น สามารถทำงานได้ด้วยความเร็วขนาดไหนซึ่งเราจะพิจารณากันในหัวข้อต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สิ่งที่จะทำให้เรารู้ถึงขอบเขตการวัดของดิจิตอลสตอเรจออสซิลโลสโคป อีกอย่างหนึ่งก็คือ ค่าความถี่สูงสุดของสัญญาณที่ดิจิตอลสตอเรจออสซิลโลสโคป สามารถทำการเก็บข้อมูลได้ ซึ่งเราเรียกว่าค่า USB (Useful Storage Bandwidth) USB นี้จะมีค่าเป็นเท่าไรนั้นขึ้นอยู่กับความสามารถในการสุ่มตัวอย่างของดิจิตอลสตอเรจออสซิลโลสโคป ด้วย ซึ่งค่า USB สามารถหาได้จากสูตร

USB = อัตราการสุ่มตัวอย่างสูงสุด (MS/s) / 25

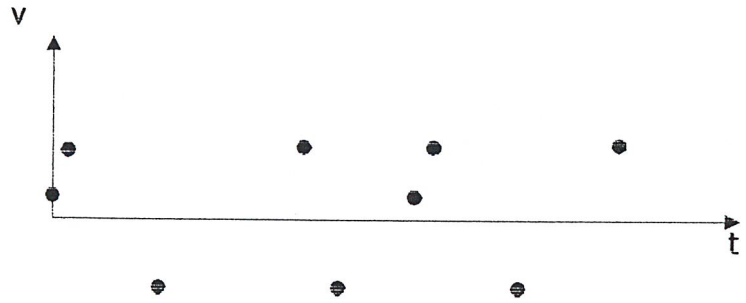
ตัวเลข 25 เป็นจำนวนจุดที่ใช้ในการสร้างภาพบนจอใน 1 รูปคลื่น ซึ่งเป็นค่าที่ใช้โดยทั่วไป

เนื่องจากดิจิตอลสตอเรจออสซิล โลสโคป ไม่สามารถแสดงรายละเอียดของสัญญาณที่มีความถี่สูงกว่าขีดจำกัดได้มากพอ ดังนั้นจึงได้มีการคิดค้นวิธีการเพิ่มรายละเอียดของสัญญาณโดยการสร้างสัญญาณสุ่มตัวอย่างสอดแทรกลงไปในการสุ่มตัวอย่างแบบปกติ ผลที่ได้คือ จะมีจุดเสริมเข้าไปในรูปคลื่นเดิม ภาพที่ได้จะมีความต่อเนื่องสม่ำเสมอมากขึ้นและเรียกวิธีการนี้ว่า "ทฤษฎีการสอดแทรก" (Interpolation Methods) ซึ่งแสดงตัวอย่างการสอดแทรกสัญญาณในรูปที่ 3.3

ในรูปที่ 3.3 (ก) จะเป็นการแสดงให้เห็นถึงการสร้างภาพให้ปรากฏบนจอโดยการเรียงจุดที่ได้จากการสุ่มตัวอย่างโดยปกติจะได้ประมาณ 25 จุดต่อรูปคลื่น ส่วนรูปที่ 3.3 (ข) เป็นการลากเส้นเชื่อมต่อระหว่างจุดที่ได้มา ทำให้ได้ภาพที่เป็นเส้นตรงที่เชื่อมต่อกัน 10 เส้นต่อรูปคลื่น ซึ่งวิธีการนี้เรียกว่า การสอดแทรกแบบลิเนียร์ (Linear Interpolation) หรือ การแสดงผลแบบเวกเตอร์ (Vector Diplay) ดังนั้น เมื่อเป็นการแสดงผลของรูปคลื่นซายน์ ค่า USB จะเป็น

USB = อัตราการสุ่มตัวอย่างสูงสุด (MS/s) / 10

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




(ก)

(ข)

(ค)

รูปที่ 3.3 ทฤษฎีการสอดแทรก

(ก) การแสดงผลแบบจุด

(ข) การสอดแทรกด้วยวิธีเวกเตอร์

(ค) การสอดแทรกแบบซายน์

สำหรับรูปที่ 3.3 (ค) เป็นการสอดแทรกโดยการนำเอาฟังก์ชันซายน์มาคำนวณลากเส้นเชื่อมต่อระหว่างจุด (Sinc Interpolation) ซึ่งวิธีการนี้จะใช้จุดเพียง 2.5 จุดต่อรูปคลื่นเท่านั้น ในการแสดงผล ดังนั้นค่า USB จะเป็น

เอกสารนี้มีไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

USB = อัตราการสุ่มตัวอย่างสูงสุด (MS/s) / 2.5

ซึ่งทำให้ค่า USB มีค่ามากนั้นเท่ากับว่าขอบเขตของดิจิตอลสตอเรจออสซิลโลสโคป ก็ถูกขยายมากไปด้วย

**ดิจิตอลสตอเรจออสซิลโลสโคปกับรูปคลื่นพัลส์**

หากเราจะพูดกันถึงรูปคลื่นพัลส์แล้ว ส่วนที่ความสำคัญมาต่อรูปคลื่นชนิดนี้ก็คือ ช่วงเวลาขอบขาขึ้นและขอบขาลงของพัลส์ ดังนั้นเครื่องมือที่จะใช้วัดรูปคลื่นเหล่านี้จะต้องสามารถวัดช่วงขอบขาขึ้นและขอบขาลงได้โดยมีความผิดเพี้ยนน้อยที่สุด ในอนาลอกสโคปสามารถนำมาคำนวนหาช่วงเวลาขอบขาขึ้น ($t_r$ : rise time) ของพัลส์ได้ดังนี้

$$t_r \text{ (ns)} = 0.35 / \text{แบนด์วิดธ์ (MHz)}$$

จากสูตรดังกล่าวหากอนาลอกสโคปมีย่านการวัด 100 MHz จะได้ช่วงเวลาขอบขาขึ้นของพัลส์เท่ากับ 3.5 ns นี่คือวิธีการของอนาลอกสโคป ส่วนในดิจิตอลสโคปช่วงเวลาขอบขาขึ้นที่วัดได้จะมีการเปลี่ยนแปลงอยู่ระหว่าง 08. ถึง 1.6 เท่า ของช่วงเวลาการสุ่มตัวอย่างหากเราคิดเอาช่วงเวลาขอบขาขึ้นเป็น 10 ถึง 90 เปอร์เซนต์ของแอมปลิจูดขอบพัลส์จะได้

$$t_r = 0.8*2(\text{ช่วงเวลาการสุ่มตัวอย่าง})$$

หรือ $$t_r = 1.6/(\text{อัตราการสุ่มตัวอย่าง})$$

เพื่อให้การคำนวณมีการคลาดเคลื่อนน้อยลง สูตรการหาช่วงเวลาขอบขาขึ้นที่นำไปใช้งานจริง ($Ut_r$ = Use Rise Time) จึงใช้ค่า 1.6 ตลอด ดังนี้

$$Ut_r = 1.6 / (\text{อัตราการสุ่มตัวอย่าง})$$

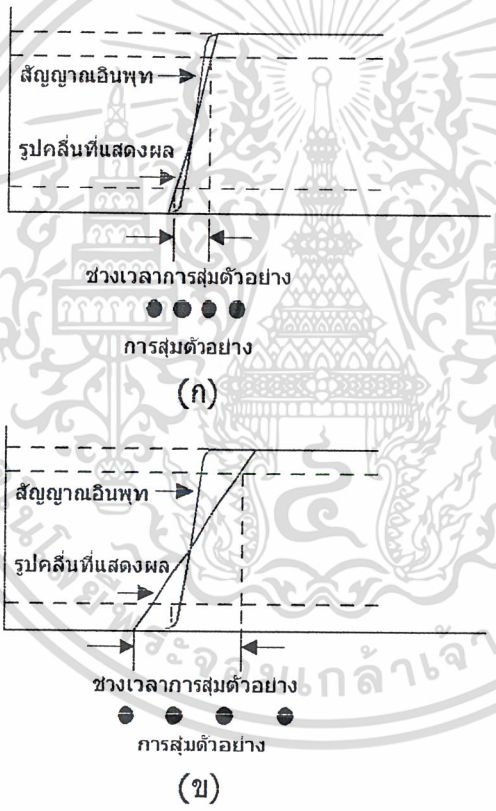
หรือ $$Ut_r - (\text{ช่วงเวลาการสุ่มตัวอย่างต่ำสุด})*1.6$$

สำหรับดิจิตอลสตอเรจออสซิลโลสโคปแล้ว ในการหาช่วงขอบขาขึ้นที่สามารถจะวัดได้จะมีการคำนวณเช่นเดียวกับดิจิตอลออสซิลโลสโคป เช่นถ้า มีอัตราการสุ่มตัวอย่างเป็น 100 MS/s ก็จะมีการสุ่มตัวอย่างเป็น 0.01$\mu$s และ $t_r$DSO = 0.01$\mu$s *1.6 = 16 ns นั่นคือ ดิจิตอลสตอเรจ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ออสซิลโลสโคปเครื่องนี้จะสามารแสดงผลช่วงขอบขาขึ้นในการวัดได้ภายในเวลา 16 ns เมื่อคิดช่วงขอบขาขึ้นเป็น 10 ถึง 90 เปอร์เซนต์ของแอมปลิจูด

จะเห็นได้ว่าความสามารถในการแสดงผลรูปคลื่นพัลส์นั้นจะขึ้นอยู่กับช่วงเวลาในการสุ่มตัวอย่างของ ดิจิตอลสตอเรจออสซิล โลสโคปเอง รูปที่ 3.4 (ก) จะเป็นการแสดงให้เห็นถึงช่วงเวลาขอบขาขึ้นที่อยู่ระหว่างช่วงการสุ่มตัวอย่าง โดยรูปคลื่นที่แสดงผลจะอยู่ในช่วง 0.8* (ช่วงเวลาการสุ่มตัวอย่าง) รูปคลื่นที่แสดงผลออกมามากจะมีความชันของเขอบขาขึ้นต่างจากรูปคลื่นจริงอยู่บ้างพอสมควร และเมื่อดูรูปสัญญาณอินพุทเดียวกัน แต่มีช่วงเวลาการสุ่มตัวอย่างต่างกัน ตามรูปที่ 3.4 (ข) ภาพที่ได้จากการแสดงผลช่วงขอบขาขึ้นจะอยู่ในช่วง 1.6* (ช่วงเวลาการสุ่มตัวอย่าง) ซึ่งถ้าเปรียบกับรูปที่ 3.4 (ก) แล้ว ความชันของขอบขาขึ้นตามรูปที่ 3.4 (ข) จะแตกต่างจากรูปสัญญาณอินพุทจริงค่อนข้างมากทีเดียว




รูปที่ 3.4 แสดงการจัดช่วงขอบขาขึ้น ซึ่งค่าคลาดเคลื่อนที่เกิดขึ้นอยู่กับตำแหน่งในการสุ่ม

(ก) ช่วงขอบขาขึ้นอยู่ระหว่าง 0.85

(ข) ช่วงขอบขาขึ้นอยู่ระหว่าง 0.85

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง


จากที่ทราบในตอนต้นว่า การจัดช่วงขอบขาขึ้นและขอบขาลงของพัลส์จะต้องทำการสุ่มตัวอย่างมากกว่า 10 ครั้ง ดังนั้น เราสามารถหาช่วงเวลาที่ต้องใช้ในการวัดขอบขาขึ้นได้ โดยหารอัตราการสุ่มตัวอย่างด้วย 10 แล้วกลับเศษเป็นส่วนดังนี้

$$\text{Ressolution} = 10 / (\text{อัตราการสุ่มตัวอย่าง})$$

ถ้าเป็นดิจิตอลสตอเรจออสซิลสโคป ที่มีอัตราการสุ่มตัวอย่าง 100 MS/s จะมีการสุ่มตัวอย่างทุก ๆ 10 ns (1/100 MS/s) และจะใช้การทำงานกับขอบขาขึ้นเป็นเวลา 100 ns แล้วถ้าหากว่าพัลส์ที่เข้ามามีความถี่สูงมาก เราก็ย่อมต้องการดิจิตอลสตอเรจออสซิลสโคป

ที่มีความเร็วในการสุ่มตัวอย่างสูงขึ้นด้วย เช่น 500 MS/s ซึ่งจะมีการสุ่มตัวอย่างทุก ๆ และสามารถวัดช่วงขอบขาขึ้นที่อยู่ระหว่างช่วงการสุ่มตัวอย่างโดยใช้เวลา 1.17 ns

จะเห็นว่าดิจิตอลสตอเรจออสซิลสโคปตอบสนองการวัดรูปคลื่นพัลส์ได้ไม่ค่อยจะดีเท่าอนาลอกสโคป และเราไม่สามารถนำค่า $U_t$ เป็นค่าซึ่งแสดงถึงขอบเขตจำกัดของดิจิตอลสตอเรจออสซิลสโคปก็ได้

**3.3 การสุ่มตัวอย่างของดิจิตอลสตอเรจออสซิลสโคป**

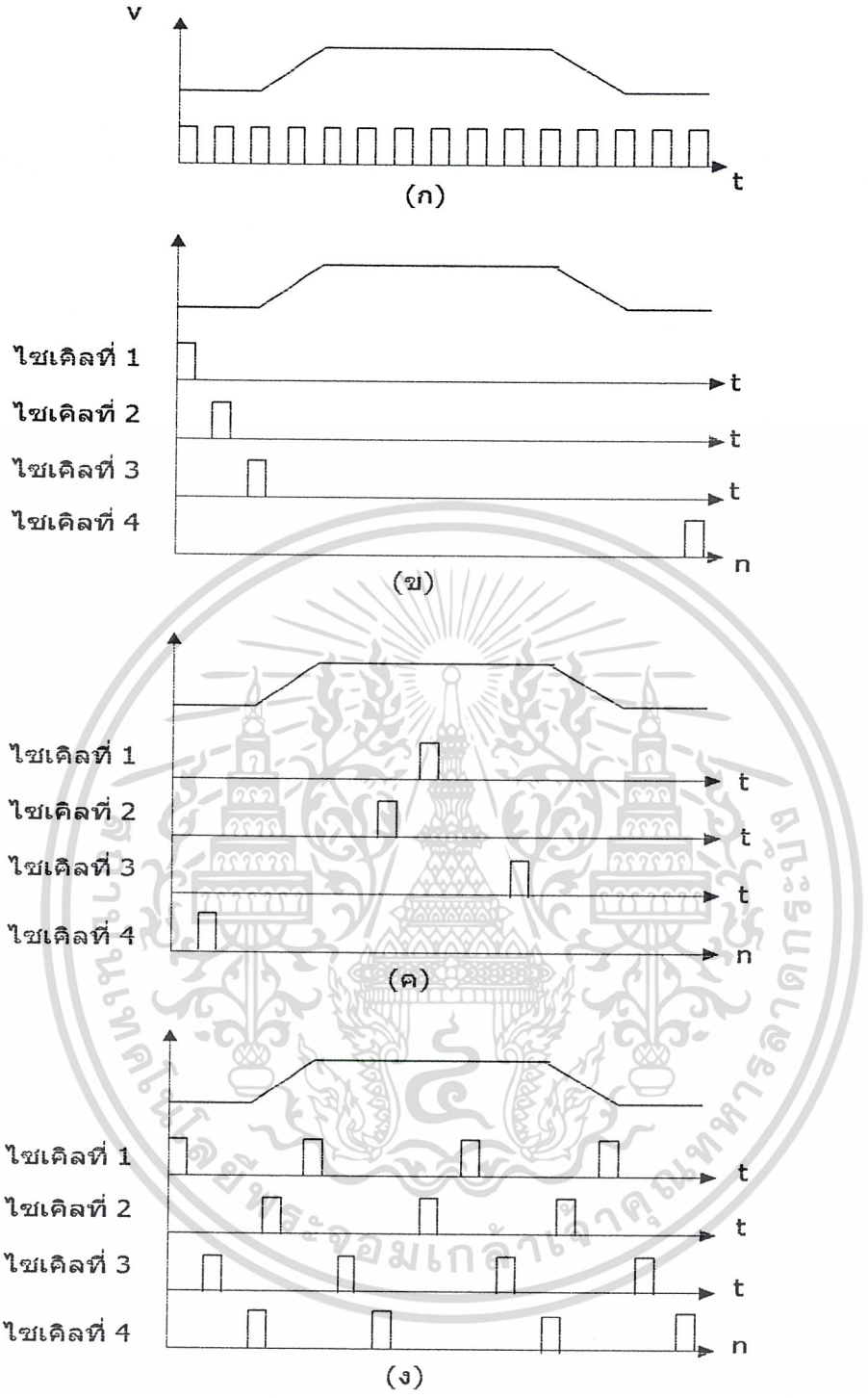
ดิจิตอลสตอเรจออสซิลสโคป ใช้การสุ่มตัวอย่างด้วยกันสองแบบ คือ

**3.3.1 การสุ่มตัวอย่างแบบเวลาจริง (Real Time or One-shot)** จะเกิดการสุ่มตัวอย่างขึ้นทันทีที่มีการจับสัญญาณอินพุทได้ โดยผลที่ได้จะมาจากรูปคลื่นจริง ๆ และจะมีความเหมือนกับรูปคลื่นจริงมาก ส่วนมากจะใช้กับเสัญญาณที่เกิดขึ้นเพียงชั่วขณะหรือใช้ในการสุ่มตัวอย่างบางส่วนของสัญญาณที่ต้องการวิเคราะห์เป็นพิเศษ ดังนั้นความเร็วของการสุ่มตัวอย่างแบบผ่านครั้งเดียวคือจะมีการสุ่มตัวอย่างจุดเดียวในแต่ละครั้งของการทำงาน จึงสามารถนำไปตรวจจับสัญญาณที่เกิดขึ้นเพียงชั่วขณะเช่น แรงไฟกระชาก, สัญญาณควบคุมเครื่องกล, สัญญาณในลักษณะทางชีววิทยา ฯลฯ ซึ่งจะปรากฏให้สามารถวัดได้ในระยะเวลาที่สั้นมา การจะใช้วิธีสุ่มตัวอย่างจึงต้องใช้แบบที่เมื่อเริ่มสุ่มและสิ้นสุดการสุ่มต้องได้รูปสัญญาณที่เกิดขึ้น รูปที่ 3.5 (ก) จะเห็นการสุ่มตัวอย่างแบบเวลาจริงที่ใช้ในการวัดรูปคลื่นพัลส์หนึ่งลูก

**3.3.2 การสุ่มตัวอย่างแบบเวลาเสมือน (Equivalent Time)** การสุ่มตัวอย่างแบบนี้โดยมากจะใช้กับสัญญาณที่เกิดขึ้นซ้ำ ๆ กันหรือใช้ตรวจจับบางส่วนของสัญญาณที่เกิดขึ้นซ้ำ ๆ กัน การสุ่มตัวอย่างแบบเวลาเสมือนสามารถแบ่งออกเป็น 2 ชนิดย่อย ๆ อีก คือ การสุ่มชนิดเป็นลำดับ (Sequential Sampling) และการสุ่มชนิดไม่เป็นลำดับ (Random Sampling)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

50406




รูปที่ 3.5 เทคนิคการสุ่มตัวอย่างแบบต่าง ๆ ของดิจิตอลสตอเรจออสซิลโลสโคป

(ก) การสุ่มแบบเวลาจริง

(ข) การสุ่มแบบเวลาเสมือนชนิดเป็นลำดับ

(ค) การสุ่มแบบเวลาเสมือนชนิดไม่เป็นลำดับโดยใช้จุดเดียวในการทำงานหนึ่งครั้ง

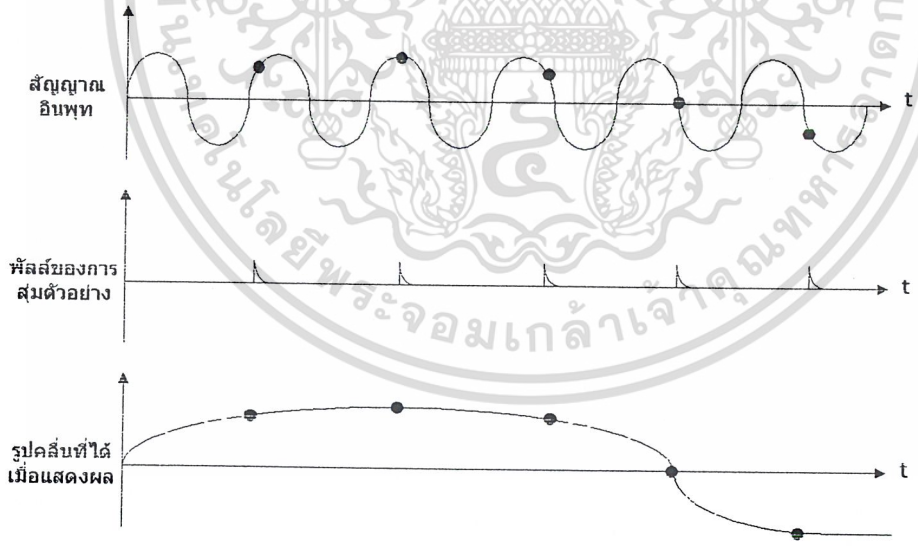
(ง) การสุ่มแบบเวลาเสมือนชนิดไม่เป็นลำดับโดยใช้หลายเดียวในการทำงานหนึ่งครั้ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในการสุ่มตัวอย่างชนิดลำดับจะเป็นดังรูปที่ 3.5 (ข) ซึ่งการสุ่มตัวอย่างชนิดนี้ในการทำงานหนึ่งครั้งหรือหนึ่งไซเคิลจะต้องได้จุดบนรูปคลื่น 1 จุด แล้วนำไปเก็บไว้ในหน่วยความจำจนกระทั่งหน่วยความจำเต็ม เมื่อนำไปแสดงผลก็จะเป็นไปตามรูปที่ 3.6 ส่วนการสุ่มตัวอย่างแบบเวลาเสมือนชนิดไม่เป็นลำดับนั้นจะเป็นดังรูป 3.5 (ค) ซึ่งการสุ่มตัวอย่างแบบนี้จะใช้เมื่อมีการทำพรีทริกเกอร์ (pre-trigger) เพื่อดูรูปคลื่นที่อยู่หลังจุดทริก ซึ่งการสุ่มตัวอย่างแบบเป็นลำดับจะไม่สามารถทำได้

ในการทำงานหนึ่งไซเคิลจะได้จุดบนรูปคลื่น 1 จุดเช่นกัน แต่จะเป็นจุดบนส่วนใดของรูปคลื่นก็ได้ โดยจะทำไปเรื่อย ๆ จนหน่วยความจำเต็ม

ในรูปที่ 3.5 (ง) จะเป็นการสุ่มตัวอย่างแบบไม่เป็นลำดับเช่นกัน แต่จะต่างกันตรงที่ในการทำงานหนึ่งไซเคิลนั้นจะได้จุดหลายจุดบนรูปคลื่น และในการทำงานครั้งต่อไปก็จะได้จุดหลายจุด แต่จะเป็นจุดที่ไม่ซ้ำจุดเดิม (จุดใดก็ได้) การสุ่มตัวอย่างในรูปนี้จะนำไปใช้ประโยชน์เมื่อมีการวิเคราะห์รูปคลื่น โดยการนำข้อมูลที่ได้จากการสุ่มตัวอย่างแบบนี้มาเปรียบเทียบกับรูปคลื่นอื่น ๆ โดยเฉพาะอย่างยิ่งการวิเคราะห์รูปคลื่นในส่วนที่เป็นการทริกในลักษณะต่าง ๆ กัน




รูปที่ 3.6 แสดงให้เห็นถึงผลที่ออกมาจากการสุ่มตัวอย่างสัญญาณอินพุทแบบเป็นลำดับ

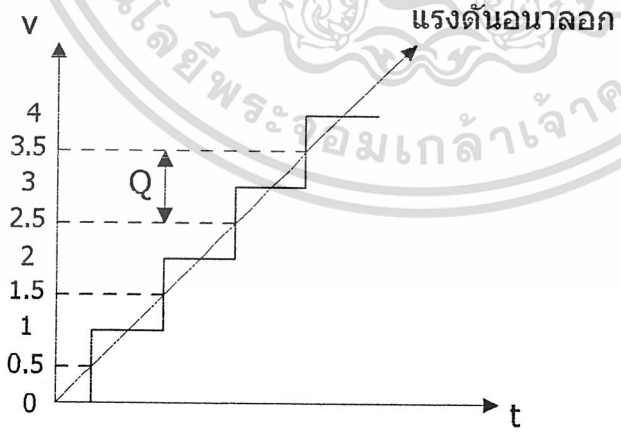
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำหรับดิจิตอลสตอเรจออสซิลโลสโคป ที่มีการใช้การแสดงผลแบบอนาลอก ซึ่งระบุความสามารถในการวัดไว้ เช่น 100 MIIz ความหมายของ 100 MIIz นี้ก็คือ ความสามารถในการวัดสัญญาณความถี่ 100 MHz แล้วดิจิตอลสตอเรจออสซิลโลสโคปจะแสดงผลในแบบอนาลอกได้ทันที 100 MHz เฉพาะสัญญาณที่เกิดขึ้นซ้ำ ๆ กัน แต่หากเป็นสัญญาณชั่วขณะเกิดขึ้นแล้วใช้การสุ่มตัวอย่างแบบเวลาจริงแล้ว ดิจิตอลสตอเรจออสซิลโลสโคปนี้จะสามารถวัดสัญญาณชั่วขณะได้เพียง 10 MHz เท่านั้น

เมื่อคิดเทียบเป็นอัตราส่วนระหว่างการทำงานกับสัญญาณปกติและการทำงานกับสัญญาณชั่วขณะของดิจิตอลสตอเรจออสซิลโลสโคป ก็จะได้เป็น 10:1 และสามารถเพิ่มเป็น 5:1 หรือ 2.5:1 ได้ ซึ่งหมายถึง ดิจิตอลสตอเรจออสซิลโลสโคปจะต้องมีการใช้วิธีการสอดแทรกอย่างมากเลยทีเดียว สาเหตุที่เกิดกรณีดังกล่าวขึ้นนั้นมาจากการที่ความสามารถในการสุ่มตัวอย่างถูกกำหนดด้วยสัญญาณนาฬิกาภายใน แต่สัญญาณที่เข้าวัดจะเป็นการทำงานแสดงผลแบบอนาลอก ซึ่งขอบเขตของความถี่จะกว้างมาก นี่คือการนำข้อดีของอนาลอกมาใช้

### 3.4 ขั้นตอนการสุ่มตัวอย่าง

เมื่อเราได้ทำการสุ่มตัวอย่างไปแล้ว ค่าที่ได้จะไม่ทำการแปลงเป็นสัญญาณดิจิตอลในทันที โดยทั้งนี้เนื่องมาจากค่าที่มาจากการสุ่มตัวอย่างนั้นเป็นค่าที่มีระดับแตกต่างกันอย่างมากมาย ในทางปฏิบัติเราไม่สามารถแปลงเป็นสัญญาณดิจิตอลได้มากขนาดนั้น จึงจำเป็นต้องแบ่งค่าที่ได้มาจากการสุ่มตัวอย่างออกเป็นกลุ่ม ๆ เราเรียกว่า ควอนไตซิ่ง (Quantizing) ซึ่งการควอนไตซิ่งนี้จะเป็นการนำค่าจากการสุ่มตัวอย่างที่มีค่าใกล้เคียงกันมากอยู่ในกลุ่มเดียวกัน ต่อจากนั้นจะนำค่าตัวเลขมาใช้แทนกลุ่มสัญญาณดังกล่าว




รูปที่ 3.7 การควอนไตซิ่ง โดยใช้วงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลคอนเวอร์เตอร์เปลี่ยนแรงดันอนาลอกเป็นเลขฐานสองที่ระดับต่าง ๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การแบ่งกลุ่มสัญญาณจะมีลักษณะเป็นขั้นบันได ตามรูปที่ 3.7 โดยให้มีการเปลี่ยนแปลงของค่าที่ได้จากการสุ่มตัวอย่างอยู่ระหว่าง 0-4 โวลท์ และจัดแบ่งได้ 4 กลุ่ม คือ ช่วงระดับ 0-1, 1-2, 2-3 และ 3-4 โวลท์ โดยให้สัญญาณที่อยู่ในระดับ 0-1 มีค่า 0.5 แทนกลุ่มนี้ และ 1.5 แทนกลุ่ม 1-2, ระดับ 2.5 แทนกลุ่ม 2-3 และระดับ 3.5 แทนกลุ่ม 3-4 ค่า 0.5, 1.5, 2.5 และ 3.5 จะนำไปใช้ใน ADC อีกครั้งเพื่อทำเป็นสัญญาณดิจิตอล

เนื่องจากวิธีการควอนไตซิ่งดังกล่าวมีโอกาสที่จะเกิดค่าคลาดเคลื่อนได้ อันเรื่องมาจากสัญญาณที่จะเกิดค่าคลาดเคลื่อนได้ เนื่องมาจากสัญญาณรบกวนที่เข้ามาในระบบทำให้ค่าที่ได้ในการจัดกลุ่มผิดไปจากความเป็นจริงได้ และเนื่องจากการควอนไตซิ่งนั้นประกอบจากวงจรดิจิตอลอิเล็กทรอนิกส์ ดังนั้นจึงเกิดความไม่แน่นอนของผลที่ได้อยู่บ้าง โดยความไม่แน่นอนเหล่านี้จะแสดงค่าบวก ลบ ของบิตสุดท้าย

เมื่อผ่าน ADC แล้ว นอกจากบิตสุดท้ายจะเป็นค่าของความไม่แน่นอนแล้ว บิตอื่น ๆ ก็จะเป็นค่าผิดพลาดที่เกิดจากสัญญาณรบกวนได้ด้วยเหมือนกันแต่สัญญาณดิจิตอลที่ได้ส่วนใหญ่ก็ยังมีความเที่ยงตรงอยู่บ้าง

### 3.5 การเก็บข้อมูลของดิจิตอลสตอเรจออสซิลโลสโคป

ความสามารถของดิจิตอลสตอเรจออสซิลโลสโคป ที่สำคัญมากอย่างหนึ่งก็คือความสามารถในการเก็บข้อมูล ซึ่งสำหรับดิจิตอลสตอเรจออสซิลโลสโคปแล้วหน่วยความจำที่สามารถรองรับข้อมูลได้นั้นก็มีมากมายเช่นเดียวกับคอมพิวเตอร์ทั้งหลาย ดังนั้น จึงเป็นที่แน่นอนว่าหน่วยความจำที่ใช้ก็ย่อมมี 2 แบบ คือRAM (Random Access Memory) และ ROM (Read Only Memory)

สำหรับ RAM สามารเก็บข้อมูลที่เป็นปัจจุบันได้อยู่ตลอดเวลา ในขณะที่ ROM นั้นจะเป็นหน่วยความจำแบบถาวร ไม่สามารถบันทึกข้อมูลเพิ่มเติมได้ ส่วนมากจะใช้ในการแสดงคุณสมบัติอุปกรณ์หรือวงจรต่าง ๆ รวมทั้งการแก้ไขปัญหาในลักษณะต่าง ๆ กัน

การเก็บข้อมูลนั้นยังสามารถบันทึกลงบนแผ่นดิสเก็ตต์, เทปแม่เหล็ก หรือแม้กระทั่งการพ่วงเข้ากับคอมพิวเตอร์เพื่อถ่ายโอนข้อมูลได้ด้วย

สำหรับการเก็บข้อมูลแบบ RAM นั้น ปกติจะมีทั้งแบบ CMOS, NMOS หรือแม้แต่ ECL (Emitter Coupled bipolar Logic) ซึ่งแบบต่าง ๆเหล่านี้ นั้นเป็นหน่วยความจำ RAM ซึ่งอยู่ภายในดิจิตอลสตอเรจออสซิลโลสโคป และมีขนาดหน่วยความจำที่จำกัด สำหรับหน่วยความจำขนาดใหญ่และมีความยาวข้อมูลมาก ๆ นั้นก็จะต้องมีการแก้ไขปรับปรุงให้ทันสมัยอยู่ตลอดเวลาด้วยและขนาดหน่วยความจำที่ดิจิตอลสตอเรจออสซิลโลสโคปใช้ จะอยู่ในช่วง 4k ถึง 32k นอกจากนี้ในปัจจุบันยังมีหน่วยความจำแบบแผ่นการ์ด (RAM card) อีกด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### 3.6 ปัญหาพื้นฐานของดิจิตอลสตอเรจออสซิลโลสโคป

ปัญหาที่มักจะเกิดขึ้นบ่อย ๆ กับอนาลอกสโคปและดิจิตอลสโคปแบบเก่า ๆ ก็คือ การสั่นไหวของภาพทางแนวนอน (Horizontal Jitter) อาการดังกล่าวจะทำให้ภาพที่ได้จากการวัดเกิดอาการพร่ามัว เนื่องจากมีการสั่นของภาพ และจะเกิดขึ้นกับรูปคลื่นซายน์ไปจนถึงรูปคลื่นพัลส์ด้วย เราจึงคำนวณให้มีค่าเป็น ±1/2 ของช่วงเวลาระหว่างการสุ่มตัวอย่าง

### 3.7 ความละเอียดถูกต้องแม่นยำ

ความละเอียดถูกต้องแม่นยำเป็นสิ่งที่สำคัญอย่างมาก ๆ สำหรับเครื่องวัดทุกชนิด DSO ก็เช่นเดียวกัน เมื่อพูดถึงความละเอียดทางด้านแนวตั้งย่อมจะหมายถึง ความสามารถในการแยกแยะระหว่างสัญญาณซึ่งอยู่ติด ๆ กัน

โดยปกติแล้วความละเอียดทางด้านแนวตั้งของดิจิตอลสตอเรจออสซลโลสโคปจะถูกกำหนดด้านจำนวนเลขฐานสองที่เป็นเอาท์พุทของ ADC ตัวอย่างเช่น ADC ให้เอาท์พุทออกมา 8 บิต ก็จะมีความละเอียดได้ถึง 256 ($2^8$) ตำแหน่ง หรือคิดเป็น 0.391% (1/256) เพื่อให้ชัดเจนยิ่งขึ้น นอกจากเราต้องรู้จำนวนบิตของ ADC แล้วเราจะต้องรู้อีกว่าถ้าเราตั้งค่าโวลท์ต่อช่องไว้ที่ค่าหนึ่ง แล้วเราสามารถอ่านค่าความละเอียดออกมาเป็นเท่าไร ตัวอย่างเช่น ถ้าเราตั้งค่าโวลท์ต่อช่องไว้ที่ 50mV/div เมื่ออ่านค่าเดิมหน้าจอซึ่ง มี 8 ช่อง ก็จะอ่านค่าได้ทั้ง 400mV และถ้า ADC ใช้ 8 บิต เราก็จะได้ความละเอียดของแนวตั้งทั้งสิ้น 256 ตำแหน่ง ซึ่งแต่ละช่วงระหว่างตำแหน่งจะมีค่าเป็น

$$400*10^{-3} / 256 = 1.5625 \text{ mV}$$

นั่นคือ 1 ตำแหน่งจะแทนเป็นระดับแรงดันได้ 1.5625 mV ในทำนองเดียวกันหาก ADC ให้เอาท์พุทออกมา 4 บิต ความละเอียดทางแนวตั้งก็จะได้เป็น 16 ตำแหน่งและตั้งค่าโวลท์ต่อช่องไว้ที่ค่าเดิมดังนั้นสำหรับ 1 ตำแหน่งก็จะมีค่า 25 mV (0.4/16)

ดังนั้นจำนวนบิตของ ADC และมาตราส่วนทางแนวตั้งที่ตั้งค่าไว้จะเป็นตัวกำหนดความสามารถในการแยกแยะรายละเอียดต่าง ๆ ของรูปคลื่น เมื่อรายละเอียดต่าง ๆ ของการแสดงผลมีความสมบูรณ์นั้นย่อมหมายความไปถึงว่าจะไม่มีเครื่องมือวัดที่จะมีความถูกต้องแม่นยำกว่า

ต่อไปเราจะมาพิจารณาถึงความละเอียดทางด้านแนวนอนกันบ้างสำหรับความละเอียดทางด้านแนวนอนนั้นเป็นค่าที่เกี่ยวพันกับคาบเวลาที่ถูกเก็บไว้ในหน่วยความจำแบบดิจิตอล หากสัญญาณถูกเก็บไว้ในข้อมูล 1024 เวิร์ด ก็จะได้ค่าความละเอียดของด้านแนวนอนเป็น 1/1024 หรือคิดเป็น 0.098%

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เรามาลองเปรียบเทียบกันดีกว่าสำหรับหัวข้อนี้นั้นอนาลอกและดิจิตอลเป็นอย่างไร ถ้าเป็นอนาลอกสโคปความละเอียดของภาพที่ได้จะขึ้นอยู่กับพื้นที่ผิวด้านหน้าจอ และขนาดรูปร่างของลำอิเล็กตรอนที่ใช้ในการเขียน รวมไปถึงความสามารถในการทำงานของวงจรขยายสัญญาณทางแนวตั้งและแนวนอนซึ่งกลายเป็นปัจจัยอันหนึ่งซึ่งกลายเป็นขีดจำกัดอย่างมากสำหรับอนาลอกสโคปด้วย

แต่สำหรับดิจิตอลสโคปความละเอียดทางแนวตั้งจะขึ้นอยู่กับจำนวนบิตที่ ADC ใช้ และในเรื่องของความถูกต้องแม่นยำ อนาลอกจะคล้ายกับดิจิตอลในบางกรณี ซึ่งโดยปกติค่าความคลาดเคลื่อนทางแนวตั้งจะไม่เกิน + 2-4% และทางแนวนอนจะไม่เกิน +1-3%

อย่างไรก็ดีดิจิตอลสโคปมีข้อได้เปรียบเรื่องความถูกต้องแม่นยำเพิ่มขึ้นอีกเล็กน้อย ด้วยลักษณะของภาพที่เรียกว่า frozen ที่ปรากฏบนจอ CRT และโดยการใช้ตัวชี้ค่าที่เราเรียกกันว่า cursors ซึ่งมีการชี้ค่าได้แม่นยำมากทีเดียว สิ่งที่เสริมเข้ามานี้ทำให้ดิจิตอลสโคปสามารถลบจุดด้อยด้านความแม่นยำบางเรื่องลงไปได้มากทีเดียว

สำหรับเรื่องของฐานเวลานั้นดิจิตอลสตอเรจออสซิลโลสโคป จะไม่ใช้วงจรกำเนิดฐานเวลาแบบลิเนียร์สวีพ (linear sweep) แต่จะใช้วงจรกำเนิดฐานเวลาแบบคริสตอลแทน เนื่องจากฐานเวลาที่จากแบบคริสตอลจะมีค่าความคลาดเคลื่อนน้อยกว่า ± 0.01%

เมื่อมาถึงจุดนี้เราจะเห็นว่าความแม่นยำด้านแนวนอนจะเกี่ยวพันกับสัญญาณนาฬิกา, ขนาดของหน่วยความจำ, และตัวชี้ค่า จะเห็นว่าความแม่นยำด้านแนวนอนจะต้องอาศัยองค์ประกอบแยะมากทีเดียว ดังนั้นเพื่อให้เกิดค่าความแม่นยำทางแนวนอนสูงสุดสำหรับดิจิตอลสตอเรจออสซิลโลสโคป เราจะร้องทำการวัดสัญญาณนั้น ๆ ซ้ำ ๆ กันและต้องลดทอนค่าคลาดเคลื่อนที่เกิดจากการเลือกใช้ตัวชี้ค่าไม่เหมาะสมลงด้วย

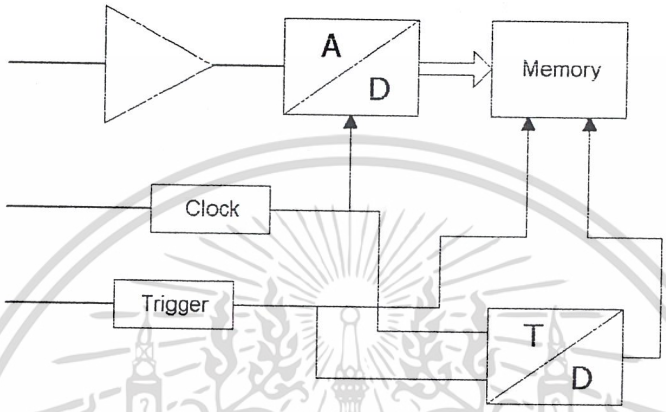
### 3.8 สัญญาณชั่วขณะ (Transient Capture)

สโคปแบบอนาลอกส่วนใหญ่ไม่สามารถแสดงค่าชั่วขณะที่เกิดขึ้นได้ ในทางตรงข้ามสโคปแบบดิจิตอลถูกออกแบบมาเพื่อแสดงค่าชั่วขณะ โดยมีโครงสร้างของดิจิไตเซอร์ 3 แบบ สำหรับทรานเซี้ยนดิจิไตเซอร์ และ RIS (Random Interleaved Sampling) สามารถตรวจจับสัญญาณชั่วขณะและบันทึกข้อมูลรูปคลื่นปรีทริกเกอร์ (Pree-trigger) ได้ ในขณะที่แซมปลิ้งดิจิไตเซอร์ไม่สามารถทำงานได้ ดิจิไตเซอร์ทั้ง 3ชนิด สามารถบันทึกสัญญาณที่เกิดขึ้นซ้ำ ๆ หลายครั้งได้

ในทรานเซี้ยนดิจิไตเซอร์ มีอุปกรณ์แปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล และหน่วยความจำรูปคลื่น อุปกรณ์แปลี่ยนสัญญาณอนาลอกเป็นดิจิตอลจะเปลี่ยนสัญญาณต่อเนื่องให้อยู่ในรูปตัวเลข และส่งสัญญาณที่สุ่มได้ไปยังหน่วยความจำแบบ circular addressing หลังจากใช้หน่วยความจำตำแหน่งสุดท้าย ระบบจะเขียนข้อมูลทับอันเดิม โดยเริ่มเขียนทับที่หน่วยความจำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เริ่มต้น หลังจากทริกเกอร์ถูกผลิตขึ้น หน่วยความจำจะยังคงทำงานต่อไปโดยเป็นค่าที่ถูกเลือกใช้ของตัวอย่างโพสทริกเกอร์ หลังจากนั้นอุปกรณ์เปลี่ยนสัญญาณอนาลอกเป็นสัญญาณดิจิตอลจะหยุดป้อนข้อมูลสู่หน่วยความจำ ถ้าผู้ใช้เลือกใช้ข้อมูลปรีทริกเกอร์ 100% แล้วอุปกรณ์เปลี่ยนสัญญาณอนาลอกเป็นสัญญาณดิจิตอลจะหยุดส่งข้อมูลทันทีที่ทริกเกอร์มาถึง ถ้าผู้ใช้เลือกใช้โพสทริกเกอร์ 100% ระบบจะเติมข้อมูลทุกแอดเดรสของหน่วยความจำมากกว่า 1 ครั้งแล้วหยุด หน่วยความจำจะมีข้อมูลรูปคลื่นที่เกิดขึ้นหลังทริกเกอร์



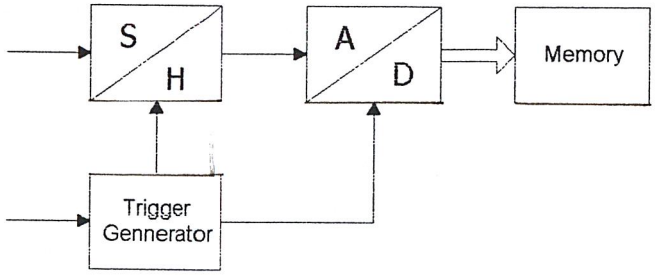

รูปที่ 3.8 บล็อกไดอะแกรมของ RIS ดิจิไตเซอร์

RIS ดิจิไตเซอร์ ประกอบด้วยทรานเชี้ยนดิจิไตเซอร์ที่เพิ่มโหมดการสอดแทรก สำหรับทริกเกอร์แต่ละอัน RIS ดิจิไตเซอร์จะบันทึกชุดของจุดตัวอย่างรูปคลื่น จุดตัวอย่างในดิจิไตเซอร์มาจากการได้มาของการเพิ่มทริกเกอร์ เพื่อสร้างรายละเอียดของรูปร่างสัญญาณต้นกำเนิด เนื่องจากดิจิไตเซอร์ไม่มีทางรู้ได้ว่ามีสัญญาณทริกเกอร์แล้ว สัญญาณนาฬิกาและจุดทริกเกอร์จึงไม่สอดคล้องกัน ดังนั้นเวลาระหว่างทริกเกอร์และทุก ๆ สัญญาณนาฬิกาเปลี่ยนแปลงอย่างสุ่มจากรูปคลื่นที่ได้มา โครงสร้างของ RIS ใช้ TDC ในการวัดความสัมพันธ์และความแม่นยำของการได้มาของรูปคลื่น TDC มีการแก้ปัญหาเรื่องเวลามากกว่าการเว้นช่วงของเวลาของตัวอย่าง ดังนั้น RIS จะช่วยแสดงผลให้เห็นรายละเอียดที่ทรานเชี้ยนดิจิไตเซอร์อย่างเดียวพลาดไป RIS สามารถเลือกการบันทึกปรีทริกเกอร์เช่นเดียวกับทรานเชี้ยนดิจิไตเซอร์

ดิจิไตเซอร์การสุ่มตัวอย่าง (Sampling Digitizer) ที่มีประสิทธิภาพประกอบด้วยส่วนหัวของการสุ่มตัวอย่าง, อุปกรณ์แปลงสัญญาณอนาลอกเป็นดิจิตอล, หน่วยความจำรูปคลื่นและวงจรสัญญาณเวลา ส่วนหัวของการสุ่มตัวอย่างจะเก็บค่าศักดาไฟฟ้าและค่าคงที่ไว้ ขณะที่อุปกรณ์แปลงสัญญาณอนาลอกเป็นดิจิตอลทำการแปลงเป็นตัวเลข ดิจิไตเซอร์การสุ่มตัวอย่างจะได้ 1 ตัวอย่างต่อทริกเกอร์ สำหรับแต่ละทริกเกอร์ตามลำดับ วงจรสัญญาณเวลาจะหน่วงเวลาจากทริกเกอร์ถึงจุดตัวอย่าง เช่น อัตราการสุ่ม 1GS/S จุดตัวอย่างแรกจะอยู่ที่จุดทริกเกอร์ จุดที่ 2 หน่วงไป 1 นาโน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วินาที จุดที่ 3 หน่วงไป 2 นาโนวินาที เนื่องจากจุดตัวอย่างถูกหน่วงจากจุดทริกเกอร์ ดังนั้นดิจิไตเซอร์การสุ่มตัวอย่างไม่สามารถบันทึกข้อมูลที่มีก่อนทริกเกอร์ได้




รูปที่ 3.9 บล็อกไดอะแกรมของดิจิไตเซอร์การสุ่มตัวอย่าง

**3.9 แบนวิดธ์และอัตราการสุ่มตัวอย่าง (Bandwidth and Sample rate)**

แบนวิดธ์เป็นส่วนสำคัญที่ต้องระบุสำหรับดิจิไตเซอร์เช่นเดียวกับสโคปแบบอนาลอก การขยายข้อมูลที่ป้อนเข้าของดิจิไตเซอร์และการกรองเป็นตัวตัดสินกำหนดแบนวิดธ์ ขอบสัญญาณพัลส์ที่เร็วและจุดยอดของรูปคลื่นที่ฉับพลัน ประกอบด้วยส่วนประกอบสัญญาณความถี่สูงเพื่อที่จะบันทึกยอดและขอบของสัญญาณได้ถูกต้องแม่นยำ ดิจิไตเซอร์ต้องมีแบนวิดธ์ที่เพียงพอเพื่อจะผ่านสัญญาณความถี่สูงที่มีการลดทอนต่ำ

ต้องมีแบนวิดธ์เท่าใด เพื่อแสดงการขยายจุดยอดสัญญาณอย่างถูกต้องแม่นยำ แบนวิดธ์ของดิจิไตเซอร์ควรจะมีมากกว่าแบนวิดธ์ของสัญญาณ ดังนั้นสิ่งแรกที่ต้องพิจารณาแบนวิดธ์ของสัญญาณโดยการประมาณค่าเวลาที่เพิ่มขึ้นเร็วกว่า สมมติผลตอบสนองต่อระบบมีโพลเดียว แบนวิดธ์ของสัญญาณจะเป็นดังนี้

**แบนวิดธ์ของสัญญาณ 0.35/ (10%-90%rise time)**

แบนวิดธ์ของดิจิไตเซอร์แสดงความถี่ซึ่งถูกลดทอนลง 3 เดซิเบล การลดทอนนี้เกิดขึ้นอย่างค่อยเป็นค่อยไป เริ่มจากความถี่ต่ำกว่า ดังนั้นต้องเลือกดิจิไตเซอร์ซึ่งมีแบนวิดธ์สูงกว่าของสัญญาณ ผลกระทบต่ออัตราการสุ่มตัวอย่างของแบนวิดธ์ที่ใช้

อัตราการสุ่มตัวอย่างของดิจิไตเซอร์สามารถลดแบนวิดธ์ที่ใช้ เพื่อให้แน่ใจว่าการสุ่มตัวอย่างที่ใช้เพียงพอ เรารับมา 4 ตัวต่อรอบกับการแทรก sin x / x หรือ 10 ตัวอย่างต่อรอบกับการแทรกเส้นตรง ถ้าเป็นสัญญาณทรานเซี้ยนพิจารณารายละเอียดอัตราการสุ่มตัวอย่าง ซิงเกิลช๊อต (Single Shot) ถ้าเกิดซ้ำ ๆ หลายครั้งสามารถใช้อัตราการสุ่มที่เท่า ๆ กันอย่างรวดเร็ว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดิจิไตเซอร์ในอุดมคติที่ไม่มีสัญญาณรบกวนและให้สัญญาณจำกัด หลักการไนควิสต์ (Nyquist Theorem) ต้องได้อย่างน้อย 2 ตัวอย่างต่อแต่ละลูกคลื่น อาจกล่าวอีกอย่างได้ว่าความถี่ข้มูลป้อนเข้าที่สูงที่สุดห้ามเกินครึ่งหนึ่งของอัตราการสุ่มตัวอย่าง ขั้นตอนการสอดแทรก sin x / x สามารถจำลองสัญญาณข้อมูลป้อนเข้าในดิจิไตเซอร์อย่างแม่นยำถูกต้องเหมาะสม ขั้นตอน sin x / x เหมาะกับส่วนโค้งระหว่างจุดตัวอย่างเพื่อแสดงรูปคลื่นที่เรียบ มีข้อเสียการสอดแทรก sin x / x สามารถขยายสัญญาณรบกวน เนื่องจากสัญญาณรบกวนมีอยู่ในสัญญาณจริงและในดิจิไตเซอร์ ดังนั้น sin x / x ควรจะใช้อย่างระมัดระวังโดยเฉพาะการสุ่มตัวอย่างเพียง 2 ตัวอย่างต่อรูปคลื่น

ขั้นตอน sin x / x จะสร้างโอเวอร์ชู้ทและพรีชู้ทบนขอบที่ไม่เป็นที่ต้องการด้วย ดังนั้นจึงต้องการตัวอย่างข้อมูลอย่างน้อย 2 อันบนขอบของสัญญาณ ผู้ใช้สามารถตรวจสอบจุดข้อมูลดิบที่ได้มาในสโคปโดยใช้แสดง sin x / x

สำหรับการแทนรูปคลื่นที่แม่นยำกว่า ดิจิไตเซอร์ควรบันทึกอย่างน้อย 4 จุดตัวอย่างต่อลูกคลื่นของส่วนประกอบของคลื่นซายน์ที่มีความถี่สูงสุด จุดตัวอย่างที่เพิ่มเติมเพิ่มอัตราส่วนของสัญญาณต่อสัญญาณรบกวน สำหรับการสอดแทรก sin x / x

การสอดแทรกเส้นตรงสามารถแสดงรูปคลื่นที่ถูกต้องแม่นยำโดยปราศจากการขยายสัญญาณรบกวน เพื่อผลที่ดีจะต้องการอย่างน้อย 10 ตัวอย่างต่อลูกคลื่น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# บทที่ 4
# ความรู้เบื้องต้นเกี่ยวกับพอร์ตขนาน

การประมวลผลข้อมูลข้อมูลเพื่องานควบคุมนั้น สิ่งแรกจะต้องมีส่วนของสัญญาณอินพุต ซึ่งอาจจะมาจากตัวตรวจจับต่าง ๆ ผ่านวงจรภาคหน้าเพื่อเปลี่ยนรูปแบบสัญญาณอินพุตให้เหมาะสมกับการเชื่อมต่อกับคอมพิวเตอร์ เมื่อข้อมูลอินพุตถูกส่งเข้าสู่คอมพิวเตอร์แล้ว คอมพิวเตอร์จะทำการประมวลผลข้อมูลที่ได้มาเหล่านั้นให้อยู่ในรูปแบบที่เหมาะสมก่อนที่จะส่งออกไปยังภายนอกผ่านอุปกรณ์เอาต์พุตต่อไป

การเชื่อมต่อระหว่างคอมพิวเตอร์กับอุปกรณ์ภายนอกทั้งส่วนของภาคอินพุตและภาคเอาต์พุต สามารถทำได้หลายวิธีดังนี้

1. เชื่อมต่อผ่านทางการ์ดอินพุตเอาต์พุต ซึ่งใช้วิธีการเสียบหรือติดตั้งการ์ดลงในสล็อตภายในเครื่องคอมพิวเตอร์
2. เชื่อมต่อผ่านทางพอร์ตอนุกรม
3. เชื่อมต่อผ่านทางพอร์ตขนาน
4. เชื่อมต่อผ่านระบบมาตรฐานอื่น ๆ เช่น พอร์ต USB (Universal Serial Bus), พอร์ต SCSI หรือพอร์ต GAME เป็นต้น

**ทำไมถึงเลือกใช้งานพอร์ตขนาน**

เมื่อเทียบกับการใช้งานการ์ดอินพุตเอาต์พุตที่ต้องติดตั้งอยู่ภายในเครื่องคอมพิวเตอร์แล้ว พอร์ตขนานมีข้อได้เปรียบอยู่หลายประการดังนี้

**ในด้านความปลอดภัย** การที่ต้องถอดฝาเครื่องคอมพิวเตอร์ออกมาเพื่อเสียบการ์ดเชื่อมต่อลงในสล็อตของคอมพิวเตอร์ อาจจะทำเกิดความเสียหายกับส่วนอื่น ๆ ของคอมพิวเตอร์ได้ ถ้าผู้ที่ใช้งานไม่มีความชำนาญหรือเกิดการต่อวงจรที่ผิดพลาด

**ในด้านการเข้ากันได้กับคอมพิวเตอร์ส่วนใหญ่** การเชื่อมต่อโดยใช้การ์ดที่เสียบลงในสล็อตไม่สามารถใช้กับคอมพิวเตอร์ในปัจจุบันได้ทุกรุ่น ยกตัวอย่าง คอมพิวเตอร์โน้ตบุ๊ก จะไม่มีสล็อตเสียบแต่จะมีเสียบการ์ด PCMCIA แทน ในขณะที่พอร์ตขนานจะมีติดตั้งอยู่ในคอมพิวเตอร์ทุกเครื่อง ทั้งนี้เพื่อใช้ในการติดต่อกับเครื่องพิมพ์

**ข้อจำกัดด้านพื้นที่** คอมพิวเตอร์บางเครื่องมีการเสียบการ์ดเชื่อมต่อตัวอื่น ๆ อยู่แล้ว อาทิ การ์ดเสียง การ์ดโมเด็ม เป็นต้น จนไม่มีสล็อตเหลือพอสำหรับการเสียบการ์ดเชื่อมต่อเพิ่มเติม

**ความสะดวกในการใช้งาน** การเชื่อมต่อทางพอร์ตขนานสามารถทำได้ง่าย ๆ เพียงต่อสายสำหรับเชื่อมต่อเข้ากับคอนเน็กเตอร์ DB-25 ของพอร์ตขนาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**จำนวนช่องสัญญาณอินพุตเอาต์พุต** พอร์ตขนานมีจำนวนพอร์ตอินพุตเอาต์พุตมาเพียงพอที่จะนำไปใช้งานต่าง ๆ และยังสามารถขยายให้มีจำนวนพอร์ตเพิ่มขึ้นได้ โดยพอร์ตขนานปกติมีจำนวนขาเอาต์พุต 12 ขา และขาอินพุต 15 ขา

**ความเร็วในการสื่อสารข้อมูลกับพอร์ตขนาน** มีความเร็วเท่ากับการติดต่อกับระบบบัสโดยตรง และมีความเร็วมากกว่าการติดต่อผ่านทางพอร์ตอนุกรม

**อะไหล่และชิ้นส่วนประกอบ** คอนเน็กเตอร์และสายเชื่อมต่อต่าง ๆ ของการเชื่อมต่อผ่านทางพอร์ตขนาน หาได้ง่ายและราคาไม่แพง หรือจะสร้างขึ้นเองก็สามารถทำได้อย่างง่ายดาย

จากคุณสมบัติดังที่ได้กล่าวมาแล้วนั้นทำให้พอร์ตขนานเหมาะอย่างยิ่งที่จะนำมาใช้ในการเชื่อมต่อคอมพิวเตอร์กับอุปกรณ์ภายนอกเพื่อควบคุมหรือรับสัญญาณข้อมูล นอกจากนั้นหากนำคุณสมบัติของการเขียนโปรแกรมง่าย ๆ ผ่านระบบปฏิบัติการวินด์โดวส์ด้วยโปรแกรม ก็จะสามารถสร้างระบบการเชื่อมต่อที่สมบูรณ์และใช้งานง่ายได้ไม่ยาก

## ความรู้เบื้องต้นของพอร์ตขนาน

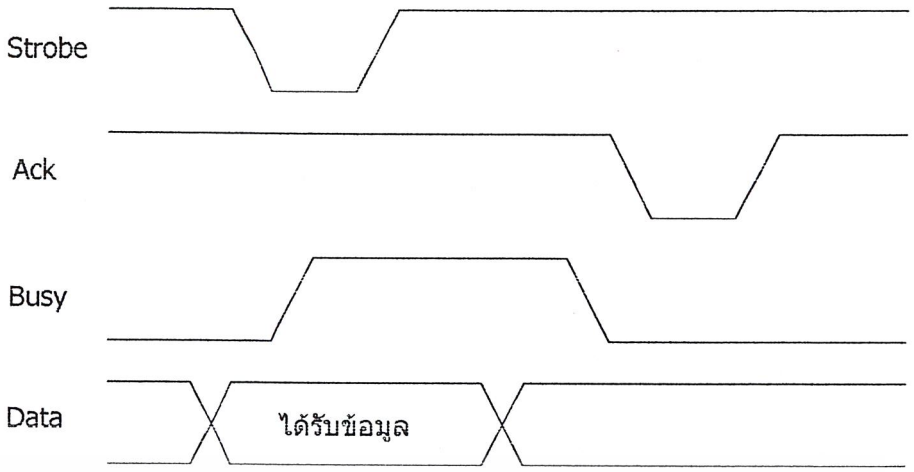
พอร์ตขนาน (Parallel port) สาเหตุที่มีชื่อนี้ เนื่องจากการถ่ายทอดข้อมูลของพอร์ตนี้เป็นแบบขนาน สำหรับชื่อเรียกอีกชื่อของพอร์ตขนานคือ พอร์ตเครื่องพิมพ์ (Printer port) เนื่องจากพอร์ตนี้ใช้สำหรับต่อเครื่องพิมพ์นั่นเอง

ด้วยการถ่ายทอดข้อมูลแบบขนานนี้เอง ทำให้พอร์ตขนานมีอัตราการถ่ายทอดข้อมูลสูงกว่าการถ่ายทอดข้อมูลแบบอนุกรมประมาณ 8-10 เท่า และการประมวลผลข้อมูลส่วนใหญ่จะมีขนาด 8 บิต ดังนั้นพอร์ตขนานจึงสามารถรองรับการถ่ายทอดข้อมูล 8 บิตได้โดยไม่ต้องต่อส่วนเพิ่มเติมใดๆ

**ลักษณะทางกายภาพของพอร์ตขนาน**

เพื่อให้เข้าใจถึงการนำเอาพอร์ตขนานไปใช้งาน ก่อนอื่นต้องมาทำความเข้าใจก่อนว่า ปกตินั้นการสั่งพิมพ์งานจากคอมพิวเตอร์ไปยังพอร์ตขนานนั้นมีรูปแบบการทำงานภายในอย่างไร ในรูปที่ 4.1 แสดงไดอะแกรมเวลาของติดต่อระหว่างพอร์ตขนานกับเครื่องพิมพ์ ซึ่งจะเห็นได้ว่ามีสัญญาณที่ใช้งานจริง ๆ มีไม่มาก เริ่มจากสัญญาณพอร์ต Data ถูกส่งออกไปยังเครื่องพิมพ์ พร้อมทั้งส่งสัญญาณ Strobe ออกไปด้วย เพื่อให้เครื่องพิมพ์รับรู้ว่ามีการส่งข้อมูลใหม่มาที่ขา Data แล้ว จากนั้นคอมพิวเตอร์จะต้องรอการตอบกลับจากเครื่องพิมพ์ นั่นคือเครื่องพิมพ์จะสร้างสัญญาณ Busy หรือเพื่อบอกว่าเครื่องพิมพ์ยังไม่พร้อมที่จะรับข้อมูลใหม่ จนกระทั่งเมื่อเครื่องพิมพ์พร้อม พร้อมทั้งส่งสัญญาณ Strobe ออกไปด้วย เพื่อให้เครื่องพิมพ์รับรู้ว่ามีการส่งข้อมูลใหม่มาที่ขา Data แล้ว จากนั้นคอมพิวเตอร์จะต้องรอการตอบกลับจากเครื่องพิมพ์ นั่นคือเครื่องพิมพ์จะสร้างสัญญาณ Busy หรือเพื่อบอกว่าเครื่องพิมพ์ยังไม่พร้อมที่จะรับข้อมูลใหม่ จนกระทั่งเมื่อเครื่องพิมพ์พร้อม เครื่องพิมพ์จะสร้างสัญญาณ ACK ส่งไปยังคอมพิวเตอร์เพื่อแจ้งว่า พร้อมที่จะรับข้อมูลใหม่แล้ว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 4.1 แสดงไดอะแกรมเวลาของการส่งข้อมูลไปยังเครื่องพิมพ์

สัญญาณข้อมูลขนาด 8 บิต, สัญญาณ Strobe และสัญญาณ ACK (acknowledge) เป็นสัญญาณที่สำคัญในการส่งข้อมูลจากคอมพิวเตอร์ไปยังเครื่องพิมพ์ นอกจากสัญญาณทั้งสามแล้ว ส่วนใหญ่การติดต่อกับเครื่องพิมพ์ยังต้องมีสัญญาณอื่น ๆ ร่วมด้วย เนื่องจากเครื่องพิมพ์ต้องทำหน้าที่ถึง 3 อย่างด้วยกันคือ รับข้อมูลจากคอมพิวเตอร์, พิมพ์ข้อมูลที่รับเข้ามา และตอบสนองต่อการใช้งานของผู้ใช้ เช่น การเปลี่ยนฟอนต์ เป็นต้น บางครั้งอาจเกิดเหตุการณ์ที่ไม่ปกติ เช่น บัฟเฟอร์สำหรับรับข้อมูลเต็ม (เนื่องจากเครื่องพิมพ์เป็นอุปกรณ์ที่ทำงานทางกลย่อมทำงานได้ช้ากว่าการส่งข้อมูลของคอมพิวเตอร์) เครื่องพิมพ์จะต้องแจ้งไปยังคอมพิวเตอร์ว่าให้หยุดส่งข้อมูลชั่วคราว เนื่องจากไม่สามารถรับข้อมูลมากกว่านี้ได้แล้ว สัญญาณที่ส่งจากเครื่องพิมพ์ไปยังคอมพิวเตอร์คือสัญญาณ Busy และเมื่อเครื่องพิมพ์เกิดข้อผิดพลาด เช่น กระดาษติด เครื่องพิมพ์จะต้องแจ้งไปยังคอมพิวเตอร์เช่นกัน โดยสัญญาณที่แจ้งไปยังคอมพิวเตอร์เรียกว่าสัญญาณ Reset ไปยังเครื่องพิมพ์เพื่อรีเซตเครื่องพิมพ์ด้วย สามารถสรุปขาสัญญาณที่จำเป็นสำหรับการติดต่อดังในตารางที่ 4.1

| สัญญาณ | หน้าที่การทำงาน | ทิศทาง |
|---|---|---|
| ข้อมูล 8 บิต | ข้อมูลที่ส่งจากคอมพิวเตอร์ไปยังเครื่องพิมพ์ | คอมพิวเตอร์ |
| Strobe | แจ้งเครื่องพิมพ์ถึงข้อมูลที่ส่งมาใหม่ | คอมพิวเตอร์ |
| Acknowledge | เครื่องพิมพ์แจ้งมายังคอมพิวเตอร์ว่าได้รับข้อมูลแล้ว | เครื่องพิมพ์ |
| Busy | แจ้งสถานะว่าเครื่องพิมพ์ไม่ว่างที่จะรับข้อมูลใหม่ | เครื่องพิมพ์ |
| Error | แจ้งสถานะว่าเครื่องพิมพ์เกิดข้อผิดพลาด | เครื่องพิมพ์ |
| Reset | รีเซตเครื่องพิมพ์ | คอมพิวเตอร์ |

ตารางที่ 4.1 สัญญาณสำคัญ ๆ ของพอร์ตขนานที่ใช้ติดต่อกับเครื่องพิมพ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากตารางที่ 4.1 จะเห็นได้ว่าพอร์ตขนานของคอมพิวเตอร์ยังแยกย่อยออกเป็นอีก 3 พอร์ต ได้แก่ พอร์ตเอาต์พุตที่ทำหน้าที่ส่งข้อมูลจากคอมพิวเตอร์ไปยังเครื่องพิมพ์ พอร์ตเอาต์พุตสำหรับสัญญาณ Strobe และ Reset พอร์ตอินพุตสำหรับการอ่านค่าสัญญาณ Acknowledge, Busy และสัญญาณ Error จากเครื่องพิมพ์ โดยปกติพอร์ตขนานออกแบบมาให้มีสายสัญญาณอยู่ทั้งหมด 17 เส้น สายสัญญาณเหล่านั้นจะมีรีจิสเตอร์ 3 ตัวควบคุมการทำงาน ดังนี้

1. พอร์ตเอาต์พุตสำหรับสัญญาณข้อมูล 8 เส้น มีรีจิสเตอร์ Data ควบคุม
2. พอร์ตอินพุตสำหรับการอ่านค่าสถานะต่าง ๆ จากภายนอกมีอยู่ด้วยกัน 5 เส้น ใช้รีจิสเตอร์ Status ในการควบคุม
3. พอร์ตเอาต์พุตสำหรับส่งสัญญาณควบคุมไปยังอุปกรณ์ภายนอก มีอยู่ด้วยกัน 4 เส้น ใช้รีจิสเตอร์ Control ในการควบคุม

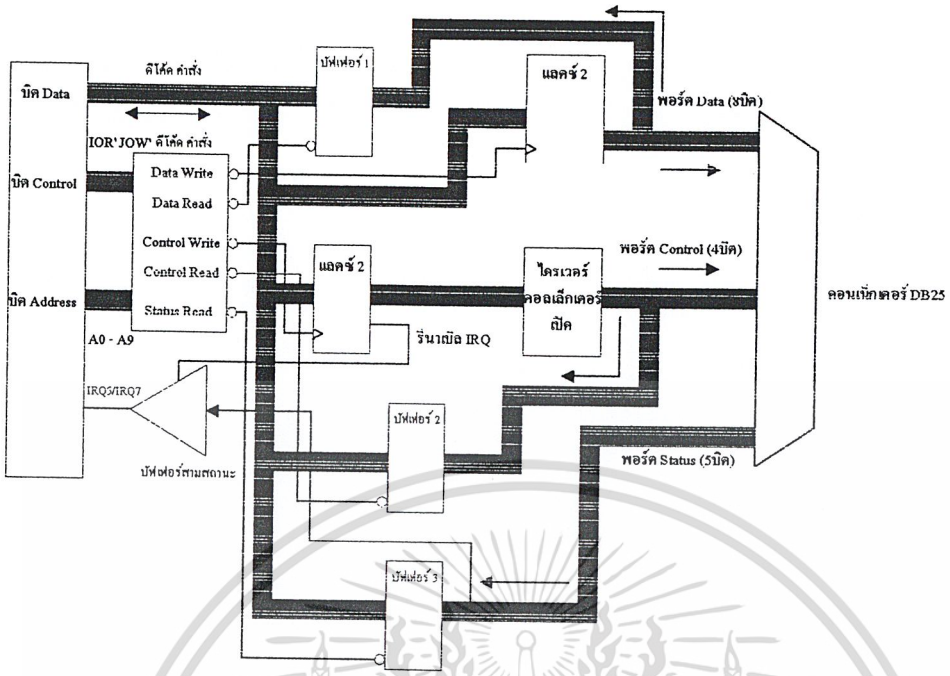
บล็อกไดอะแกรมในรูปที่ 1-2 แสดงระบบบัสของคอมพิวเตอร์สำหรับการติดต่อกับพอร์ตขนาน สัญญาณเอาต์พุตจากพอร์ตขนานจะถูกส่งไปยังคอนเน็กเตอร์แบบ DB-25 สำหรับคอมพิวเตอร์ส่วนใหญ่ในปัจจุบันพอร์ตขนานจะมีมาพร้อมกับเมนบอร์ด ไม่จำเป็นต้องใช้การ์ดเสียบเพิ่มเติมเหมือนในอดีต พร้อมทั้งมีฟังก์ชันการทำงานที่ซับซ้อนขึ้น แต่ยังคงสนับสนุนการทำงานของพอร์ตขนานในรูปแบบมาตรฐาน (SPP) อยู่

เมื่อดูจากรูปที่ 4.1 เทียบการทำงานโดยทั่วไปกับการเชื่อมต่อผ่านการ์ดที่เสียบลงในสล็อตของคอมพิวเตอร์แล้ว พอร์ตขนานจะมีลักษณะใกล้เคียงกัน โดยการติดต่อกับพอร์ตขนานจะต้องมีการอ้างแอดเดรส ตำแหน่งแอดเดรสที่ใช้อ้างถึงจะเป็นตำแหน่ง A0-A9 และใช้ขา IOR และ IOW สำหรับเป็นตัวเลือกว่าต้องการอ่านหรือเขียนรีจิสเตอร์ตัวใด จากการดีโค้ดแอดเดรส A0-A9 นี้เอง ทำให้ได้สัญญาณออกมาเพื่อไปควบคุมหรืออินเทอร์เฟซต่าง ๆ ดังนี้

Data Write สัญญาณอินเทอร์สำหรับนำข้อมูลที่อยู่ในบัส Data ไปออกที่ขา Data ของพอร์ตขนาน

Data Read สัญญาณอินเทอร์สำหรับอ่านข้อมูลจากขา Data ของพอร์ตขนานมาเก็บไว้ในบัส Data

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 4.2 แสดงระบบบัสภายในของพอร์ตขนาน

Control Write สัญญาณอีนาเบิลสำหรับนำข้อมูลที่อยู่ในบัส Data ไปออกที่ขา Control ของพอร์ตขนาน สำหรับพอร์ตนี้นอกจากจะส่งข้อมูลออกไปยังพอร์ตขนานแล้วยังทำหน้าที่อีนาเบิลการอินเตอร์รัปต์ของการเปลี่ยนแปลงสัญญาณที่พอร์ต Status อีกด้วย

Control Read สัญญาณอีนาเบิลสำหรับอ่านค่าข้อมูลจากขา Control มาเก็บไว้ในบัส Data

Status Read สัญญาณอีนาเบิลสำหรับอ่านค่าข้อมูลจากขาพอร์ต Status มาเก็บไว้ในบัส Data

ตารางที่ 4.2 แสดงชื่อและหน้าที่การทำงานของตำแหน่งขาต่าง ๆ บนพอร์ตขนาน ส่วนในตารางที่ 4.3 แสดงแอดเดรสของพอร์ตขนาน ซึ่งกำหนดไว้ 3 ตำแหน่งคือ LPT1, LPT2, และ LPT3

**พอร์ตดาต้า (Data Port)**

จากรูปที่ 1-3 แสดงให้เห็นว่าพอร์ต Data ประกอบด้วยบัฟเฟอร์ 1 ตัวและไอซีแลตช์อีก 1 ตัว เมื่อคอมพิวเตอร์ต้องการส่งข้อมูลไปยังเครื่องพิมพ์ คอมพิวเตอร์จะเขียนข้อมูลไปยังไอซีแลตช์ 1 ทั้ง 8 บิต เอาต์พุตของไอซีแลตช์ 1 คือ D0-D7 ซึ่งเอาต์พุตนี้จะไปปรากฏอยู่ที่พอร์ตขนานในตำแหน่งขา 2 ถึงขา 9 และที่ขาเอาต์พุตนี้สัญญาณ Data จะส่งกลับไปเป็นอินพุตของบัฟเฟอร์ 1 ด้วย ทำให้คอมพิวเตอร์สามารถอ่านค่าสถานะปัจจุบันที่เกิดขึ้นกับพอร์ต Data ได้

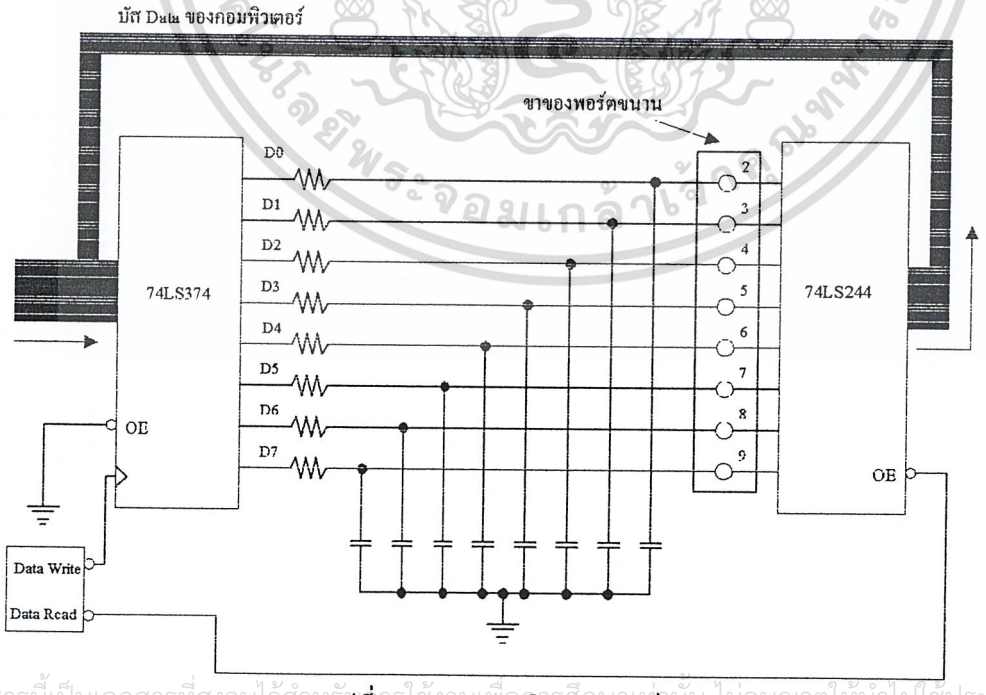
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อคอมพิวเตอร์ส่งข้อมูล ข้อมูลจะถูกส่งมาจากบัสข้อมูลของคอมพิวเตอร์ผ่านไปให้กับไอซี 74LS374 ซึ่งเป็นไอซีแลตช์ข้อมูล และเมื่อต้องการให้ข้อมูลปรากฏที่เอาต์พุต คอมพิวเตอร์จะส่งสัญญาณ DataWrite ออกไปที่ขา CLK ของ 74LS374 เอาต์พุตจาก 74LS374 จะถูกกรองด้วยวงจร RC ซึ่งประกอบด้วยตัวต้านทานค่า 27 □ และตัวเก็บประจุ 0.0022 μF เพื่อให้ช่วงเวลาที่เปลี่ยน

จากลอจิก «0» เป็นลอจิก «1» หรือจากลอจิก «1» เป็นลอจิก «0» เป็นไปอย่างช้า ๆ เนื่องจากการเปลี่ยนแรงดันที่รวดเร็วทำให้เกิดสัญญาณรบกวนเหนี่ยวนำข้ามไปยังข้อมูลบิตอื่น ๆ ได้ ทำให้ข้อมูลที่ส่งออกไปมีข้อผิดพลาด จากค่าตัวต้านทานและตัวเก็บประจุในวงจรทำให้เกิดการหน่วงเวลาไปประมาณ 60 นาโนวินาที จากวงจรในรูปที่ 1-3 ทำให้เอาต์พุตของพอร์ต Data มีคุณสมบัติดังนี้

1. กระแสซิงก์สูงสุด 24 mA
2. กระแสซอร์สสูงสุด 2.6 mA
3. ระดับแรงดันของลอจิก "1" ต่ำสุดเท่ากับ 2.4 V
4. ระดับแรงดันสูงสุดสำหรับลอจิก "0" เท่ากับ 0.5 V

สำหรับบัฟเฟอร์สำหรับการอ่านข้อมูลกลับได้แก่เบอร์ 74LS244 ซึ่งเมื่อต้องการอ่านค่าคอมพิวเตอร์จะส่งสัญญาณ Data Read ออกมาเพื่ออีนาเบิลไอซี 74LS244 สำหรับพอร์ตขนานแบบมาตรฐาน (Standard Parallel Port : SPP) พอร์ต Data จะต้องใช้เพื่อการส่งค่าออกเอาต์พุตเท่านั้น แต่สำหรับพอร์ตขนานที่มีการสื่อสารสองทิศทาง (Bidirectional Parallel Port) สามารถอ่านค่าจากพอร์ต Data ได้ด้วย แต่ก่อนที่จะอ่านค่าต้องจำไว้เสมอว่าจะต้องป้อนค่าเอาต์พุตให้มีค่าลอจิก «1» ทั้งหมดก่อน




รูปที่ 4.3 วงจรภายในของพอร์ต Data

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

| DB-25 | รีจีสเตอร์ | ทิศทาง | ตำแหน่งบิต | ชื่อขาสัญญาณ | หน้าที่การทำงาน |
|---|---|---|---|---|---|
| 1 | Control | Out | C0 | STROBE | แอกทีฟ "0" ส่งค่าออกไป เพื่อบอกว่าที่ขาดาต้ามีข้อมูลแล้ว |
| 2-9 | Data | Out | D1-D8 | DATA1-DATA2 | สำหรับพอร์ตขนานมาตรฐานเดิมขานี้ทำหน้าที่เป็นขาส่งข้อมูลเอาต์พุตเท่านั้นสำหรับในปัจจุบันขานี้รับข้อมูลอินพุตได้ด้วย |
| 10 | Ststus | In | S6 | nACK | เป็นพัลล์ลอจิก "0" ที่ส่งมาจากเครื่องพิมพ์เพื่อบอกว่าได้รับข้อมูลที่ส่งไปแล้ว |
| 11 | Ststus | In | S7 | BUSY | เป็นสัญญาณแจ้งมาจากเครื่องพิมพ์ว่ายังไม่พร้อมรับข้อมูล |
| 12 | Ststus | In | S5 | PE | แจ้งกระดาษหมด |
| 13 | Ststus | In | S4 | SELECT | แจ้งว่าเครื่องพิมพ์ต่ออยู่ |
| 14 | Control | Out | C1 | AUTO FEED | สั่งเครื่องพิมพ์ให้เลื่อนบรรทัด |
| 15 | Ststus | In | S3 | ERROR | สัญญาณจากเครื่องพิมพ์มายังคอมพิวเตอร์เพื่อแสดงข้อผิดพลาดจากการพิมพ์ |
| 16 | Control | Out | C2 | INIT | รีเซตเครื่องพิมพ์โดยให้ลอจิก "0" |
| 17 | Control | Out | C3 | SELECT-IN | ส่งสัญญาณไปยังเครื่องพิมพ์เพื่อแจ้งว่าต้องการเลือกเครื่องพิมพ์เครื่องนี้ |
| 18-25 | | | | GND | กราวด์ |

ตารางที่ 4.2 แสดงสัญญาณทั้งหมดที่อยู่บนพอร์ตขนาน

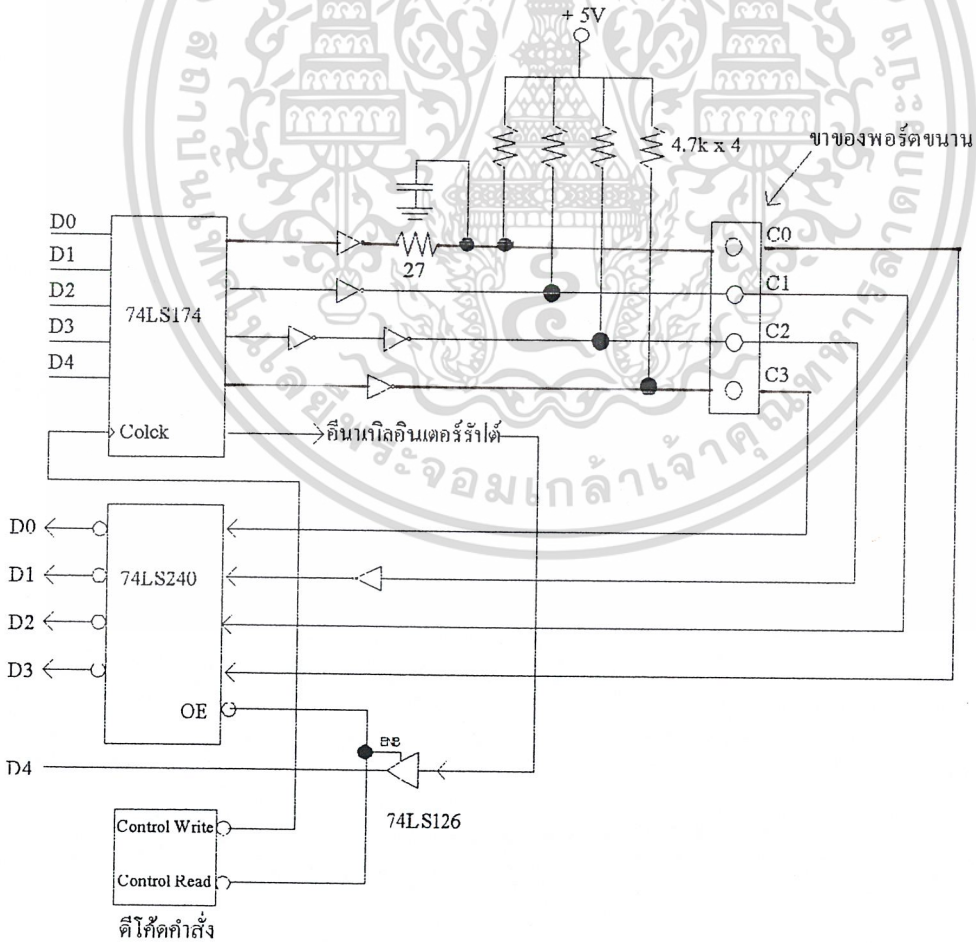
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**พอร์ต Control**

พอร์ต Control ใช้สำหรับคอมพิวเตอร์ควบคุมเครื่องพิมพ์ จากตารางที่ 4.2 จะเห็นว่าพอร์ตประกอบไปด้วยบิตเอาต์พุต 4 บิตที่ต่อออกไปยังเครื่องพิมพ์ ส่วนบิตอีนาเบิลอินเตอร์รัปต์ไม่ได้ถูกต่อออกไป รูปที่ 4.4 แสดงบล็อกไดอะแกรมของพอร์ต Control เอาต์พุตของพอร์ต Control มีอินเวอร์เตอร์แบบคอลเล็กเตอร์เปิดต่อร่วมอยู่ โดยเอาต์พุตเหล่านี้จะถูกพูลอัปไว้ด้วยตัวต้านทานค่า 4.7 kΩ สำหรับบิต C2 จะผ่านอินเวอร์เตอร์ถึงสองตัวทำให้ที่เอาต์พุตของบิต C2 ไม่มีการกลับสถานะลอจิก

สถานะของพอร์ต Control สามารถอ่านกลับได้โดยการใช้บัฟเฟอร์เบอร์ 74LS240 ซึ่งเอาต์พุตของ 74LS240 มีอินเวอร์เตอร์อยู่ภายใน ทำให้ค่าที่อ่านได้ตรงกับค่าที่ส่งออกไป การควบคุม การอ่านและเขียนข้อมูลกับพอร์ต Control คอมพิวเตอร์จะส่งข้อมูลมาที่ขา Control Write และ Control Read

เนื่องจากเอาต์พุตของพอร์ต Control เป็นแบบคอลเล็กเตอร์เปิด ดังนั้นผู้ใช้งานสามารถใช้พอร์ตนี้ในการอ่านค่าสัญญาณอินพุตจากภายนอกได้ โดยก่อนที่จะอ่านค่าจะต้องทำให้ขาพอร์ตที่ต้องการอ่านค่ามีลอจิก "1" เสียก่อน

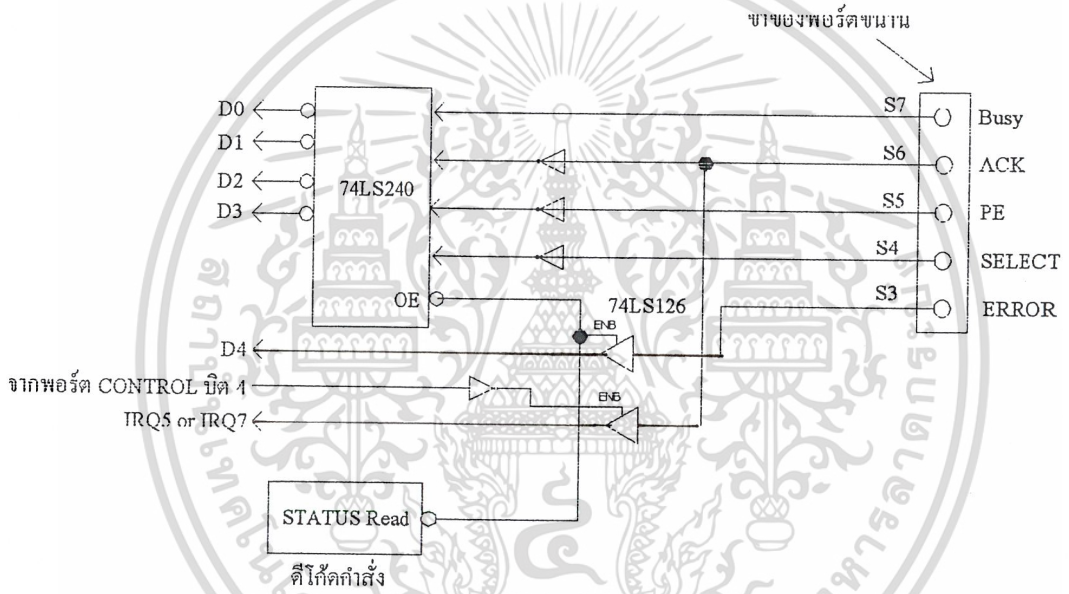



รูปที่ 4.4 วงจรภายในของพอร์ต Control

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**พอร์ตแสดงสถานะหรือพอร์ต Status**

พอร์ต Status เป็นพอร์ตที่คอมพิวเตอร์ใช้สำหรับการอ่านค่าสถานะจากเครื่องพิมพ์ รูปที่ 1-5 แสดงรายละเอียดภายในของพอร์ต Status จะสังเกตได้ว่ามีขาสัญญาณอยู่ทั้งหมด 5 สัญญาณด้วยกันและจะเรียกชื่อเป็น S3, S4, S5, S6 และS7 ซึ่งตัวเลขนั้นหมายถึงตำแหน่งบิตของขาเหล่านี้ภายในรีจิสเตอร์ Status นั่นเอง สำหรับบิต S7 จะมีข้อแตกต่างจากบิตอื่น ๆ ที่เมื่อสัญญาณจากภายนอกส่งเข้ามาแล้วจะไม่ผ่านอินเวอร์เตอร์ ในขณะที่ขาอื่น ๆ ผ่านอินเวอร์เตอร์ทั้งหมด ดังนั้นเมื่อข้อมูลผ่านจากขาอินพุตไปยัง 74LS240 ซึ่งเอาต์พุตมีการกลับสถานะทำให้บิต เป็นบิตเดียวที่มีการกลับสถานะ นอกจากนี้ในการใช้งานถ้าต้องการให้มีการสร้างสัญญาณอินเตอร์รัปต์จากขอบขาขึ้นของขา S6 สามารถกำหนดค่าได้จากพอร์ต Control บิต 4




รูปที่ 4.5 แสดงวงจรภายในของพอร์ตแสดงสถานะ

**การนำพอร์ตขนานไปใช้งาน**

สำหรับพอร์ตขนานแบบมาตรฐาน ผู้ใช้งานสามารถนำพอร์ตอินพุต 5 บิต (พอร์ต Status) พอร์ตเอาต์พุต 4 บิต (พอร์ต Control) และพอร์ตเอาต์พุตอีก 8 บิต (พอร์ต Data ) ไปใช้งานได้ รูปที่ 4.5 แสดงวงจรภายในของพอร์ตแสดงสถานะโดยตรง โดยที่ 4 บิตของพอร์ตเอาต์พุตหรือพอร์ต Control นั้นสามารถดัดแปลงให้ใช้งานเป็นพอร์ตอินพุตขนาด 4 บิตได้ด้วยดังนั้นผู้ใช้งานจึงสามารถนำสัญญาณจากพอร์ตขนานที่มีมากถึง 17 เส้น ไปใช้งานในการควบคุมโดยใช้ระดับสัญญาณ TTL

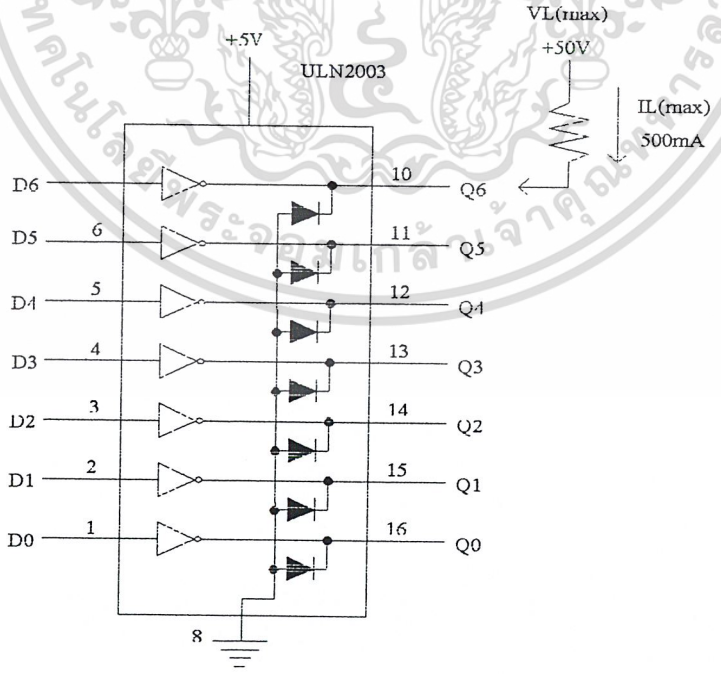
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**การขับอุปกรณ์เอาต์พุตกระแสสูง**

โดยความสามารถพื้นฐานของพอร์ตขนานแล้วไม่สามารถนำไปขับอุปกรณ์เอาต์พุตโดยตรงได้ เนื่องจากข้อจำกัดด้านความสามารถในการจ่ายกระแส ดังนั้นถ้าต้องการนำเอาพอร์ตขนานของคอมพิวเตอร์ไปขับอุปกรณ์ภายนอกจะต้องมีวงจรบัฟเฟอร์ทำหน้าที่จ่ายกระแสให้เพียงพอแก่ความต้องการของอุปกรณ์เอาต์พุตนั้น อย่างไรก็ตามในส่วนของวงจรบัฟเฟอร์นั้นก็มีขีดความสามารถในการจ่ายกระแสได้ระดับหนึ่งเท่านั้น กรณีที่ต้องการจ่ายพลังงานสูงจะต้องมีอุปกรณ์ที่ทำหน้าที่จ่างแรงดันและกระแสสูงโดยเฉพาะ เรียกอุปกรณ์แหล่านี้ว่า อุปกรณ์ขับ หรือไดรเวอร์ (driver) ซึ่งในที่นี้นำมาอธิบายทั้งสิ้น 3 รูปแบบคือ ใช้ทรานซิสเตอร์ขับ, ใช้ไอซีขับ และใช้อุปกรณ์เชื่อมโยงทางแสงหรือออปโต้คัปเปอร์ (opto-coupler) สำหรับโหลดที่ต้องการกระแสสูงมาก ๆ ทำให้ต้องมีการแยกระบบกราวด์ของระบบคอมพิวเตอร์ออกจากวงจรเอาต์พุต เพื่อลดสัญญาณรบกวนและป้องกันการย้อนกลับของแรงดันและกระแสสูงที่อาจเข้ามาทำความเสียหายแก่พอร์ตขนานของคอมพิวเตอร์

**การใช้ไอซีขับ**

ไอซีที่ใช้ในการขับโหลดกระแสสูงมักจะมีวงจรทางเอาต์พุตเป็นแบบคอลเล็กเตอร์เปิด ทำให้สามารถใช้กับแรงดันไม่ต่ำกว่า 30 V ขึ้นอยู่กับไอซีในแต่ละเบอร์ สำหรับไอซีขับหรือไอซีไดรเวอร์ที่ยกมาอธิบายคือเบอร์ ULN2003 เป็นไอซีอินเวอร์เตอร์ไดรเวอร์ ภายในบรรจุอินเวอร์เตอร์เกต 7 ตัว สำหรับรายละเอียดของ ULN2003 มีดังนี้




รูปที่ 4.6 การจัดขาของไอซีเบอร์ ULN2003

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

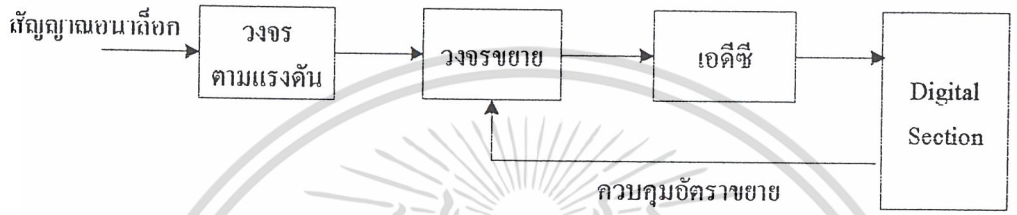
ULN2003 มีรูปแบบการจัดขาและวงจรภายในแสดงในรูปที่ 4.6 ภายใน ULN2003 บรรจุอินเวอร์เตอร์เกตแบบคอลเล็กเตอร์เปิด 7 ตัว สามารถใช้กับแรงดันได้สูงสุด 50 Vกระแสเอาต์พุตสูงสุดในแต่ละขาเท่ากับ 500mA ทั้งนี้ขึ้นอยู่กับความสามารถในการจ่ายกระแสของแหล่งจ่ายไฟด้วย นอกจากนั้นยังต่อไดโอดป้องกันแรงดันย้อนกลับจากอุปกรณ์เอาต์พุตที่มีโครงสร้างเป็นขดลวดไว้ที่ทุกขาเอาต์พุต ทำให้สามารถขับโหลดที่เป็นขดลวด อาทิ รีเลย์ หรือมอเตอร์ไฟตรงขนาดเล็กถึงขนาดกลางได้ทันที ซึ่งในชุดทดลอง NX-2000 โดยบอร์ด EX-06 ซึ่งเป็นบอร์ดขับรีเลย์จะใช้ไอซีเบอร์ ULN2003 ตัวนี้เป็นอุปกรณ์หลัก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# บทที่ 5
## การคำนวณและการสร้าง

**การทำงานของวงจร**

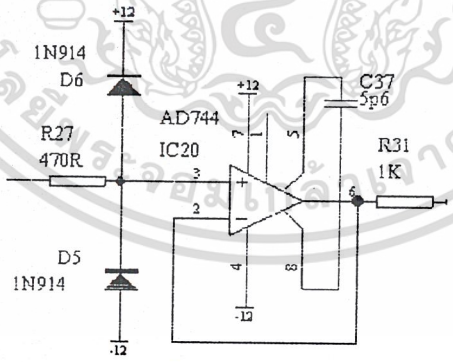
จากบล็อคไดอะแกรมรวมของระบบดังรูปที่ 3.1 สามารถแบ่งแยกการทำงานออกเป็นสองส่วนคือ ฮาร์ดแวร์ และ ซอฟต์แวร์ โดยส่วนแรกเป็นส่วนของฮาร์ดแวร์ ซึ่งมีการทำงานตามบล็อคไดอะแกรมดังรูปที่ 5.1




รูปที่ 5.1 บล็อคไดอะแกรมการทำงานของวงจร

จากรูปที่ 5.1 บล็อคไดอะแกรมการทำงานของวงจรสามารถอธิบายหน้าที่การทำงานของแต่ละบล็อคได้ดังนี้โดยเริ่มจาก

**5.1 วงจรตามแรงดัน (Voltage Follower)**

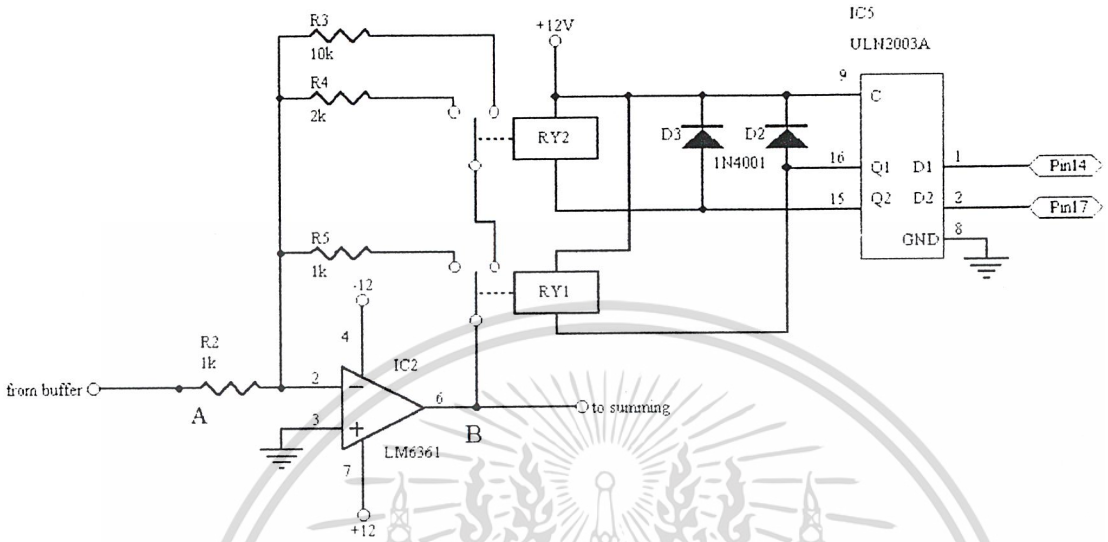



รูปที่ 5.2 วงจรตามแรงดัน

วงจรตามแรงดัน (Voltage follower) หรือ วงจรบัฟเฟอร์(Buffer)ทำหน้าที่สะท้อนค่าความต่างศักย์ที่ขาอินพุตให้ไปปรากฏที่ขาเอาต์พุตของออปแอมป์ ข้อดีของวงจรตามแรงดันหรือ วงจร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## 5.2 วงจรขยายแบบกลับเฟส (Inverting Amplifier.)




รูปที่ 5.3 วงจรขยายแบบกลับเฟส

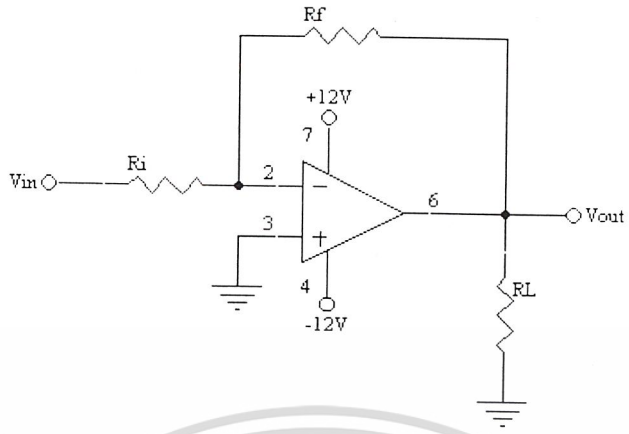
วงจรขยายแบบกลับเฟสทำหน้าที่ขยายสัญญาณทางด้านอินพุตให้สัญญาณทางด้านเอาต์พุตมีความแรงมากขึ้น และนอกจากนั้นสัญญาณเอาต์พุตที่ได้ จะมีเฟส (Phase) แตกต่างจากสัญญาณอินพุตที่เข้ามา 180 องศา อีกทั้งวงจรยังสามารถปรับเลือกอัตราขยายได้ 3 ระดับ ในการปรับเลือกอัตราขยายนั้นทำได้โดยการป้อนลอจิก (logic) เข้าที่ขา 1 และ 2 ของ ไอซี5 (Intergrated Circuit : IC5) โดย ไอซี5 ทำหน้าที่เป็นตัวขับรีเลย์ (Relay) ซึ่งอัตราขยายที่ได้ แสดงตามตารางที่ 3.1

| D2 | D1 | อัตราขยาย (เท่า) |
|---|---|---|
| 0 | 0 | 2.1375 |
| 1 | 0 | 1.0688 |
| 1 | 1 | 0.4275 |

ตารางที่ 5.1 เปรียบเทียบอัตราขยายกับการป้อนลอจิกต่างๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การคำนวณเพื่อออกแบบวงจรให้มีอัตราขยายตามที่กำหนดสามารถคำนวณได้ดังต่อไปนี้




รูปที่ 5.4 วงจรพื้นฐานของวงจรขยายแบบกลับเฟส

จากสมการอัตราขยายแรงดัน (Av) ของวงจรขยายแบบกลับเฟส

$$A_v = \frac{V_{out}}{V_{in}} = -\frac{R_f}{R_{in}}$$

$$R_f = |A_v| R_{in}$$

กำหนดค่า Rin = 1kΩ, Av = 1 จะได้

$$R_f = (1)1k\Omega = 1k\Omega. \ \#$$

กำหนดค่า Rin = 1kΩ, Av = 2 จะได้

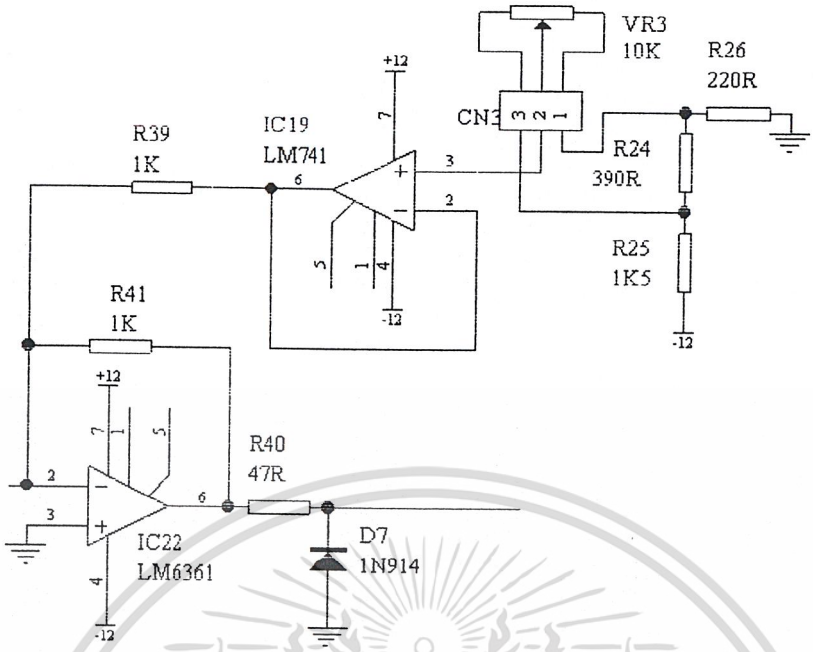
$$R_f = (2)1k\Omega = 2k\Omega. \ \#$$

กำหนดค่า Rin = 1kΩ, Av = 10 จะได้

$$R_f = (10)1k\Omega = 10k\Omega. \ \#$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

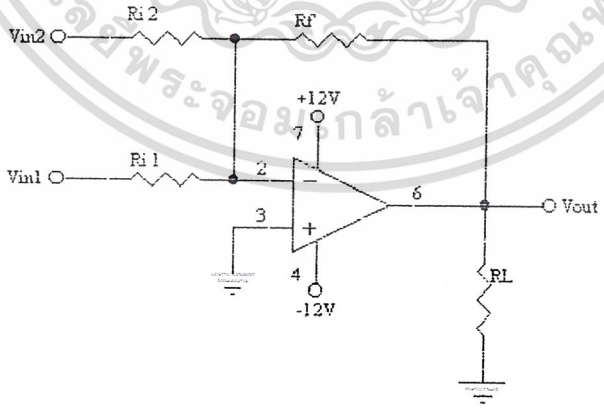
**5.3 วงจรยกระดับสัญญาณ**




รูปที่ 5.5 วงจรยกระดับสัญญาณ

วงจรยกระดับสัญญาณทำหน้าที่ยกระดับสัญญาณให้สูงขึ้นก่อนที่จะป้อนเข้าสู่วงจรเอดีซี เพราะว่าวงจรเอดีซีไม่สามารถทำงานได้ที่แรงดันอินพุตเป็นค่าลบ จึงต้องมีการยกระดับสัญญาณขึ้นจากเดิม

การทำงานของ ไอซี 3 เปรียบเสมือนกับวงจรรวมสัญญาณหรือวงจรซัมมิ่ง (Summing) แบบกลับเฟส วงจรพื้นฐานแสดงดังรูปที่ 5.6




รูปที่ 5.6 วงจรพื้นฐานของวงจรรวมสัญญาณหรือวงจรซัมมิ่งแบบกลับเฟส

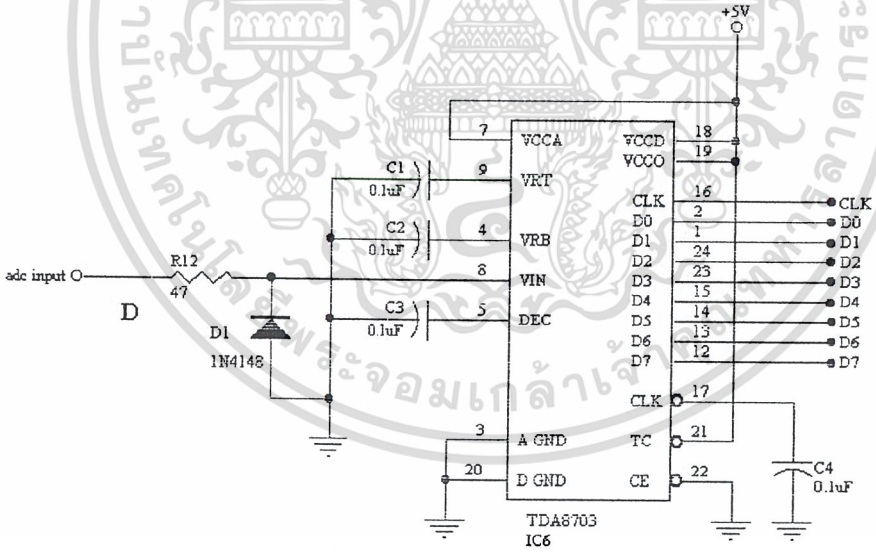
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เป็นวงจรที่ใช้รวมสัญญาณทางด้านอินพุตให้ออกมาที่ด้านเอาต์พุต โดยสัญญาณเอาต์พุตที่ได้จะกลับเฟสเมื่อเทียบกับสัญญาณอินพุต ซึ่งเป็นไปตามสมการ

$$V_{out} = -(V_{in1} + V_{in2})$$

เมื่อพิจารณาจากรูปที่ 5.6 จะเห็นได้ว่า Vin1 คือสัญญาณเอาต์พุตจากวงจรขยายก่อนหน้านี้ และ Vin2 จะเป็นแรงดันไฟตรงซึ่งมีค่าคงที่ พิจารณาจากรูปที่ 5.5 เมื่อปรับค่า VR1 ผ่านวงจรตามแรงดัน จะมีผลทำให้แรงดันที่จุด D (Vout) มีค่าเท่ากับ สัญญาณ Vin1 บวกกับ แรงดันค่าคงที่ Vin2 (รูป 5.6) และสัญญาณเอาต์พุตที่จุด D จะมีเฟสแตกต่างจากสัญญาณอินพุต Vin1 สัญญาณเอาต์พุตที่ได้จึงมีระดับสูงขึ้นหรือมีแรงดันออฟเซ็ต (Offset Voltage) ผลที่ได้ก็คือ สัญญาณดิจิตอลทางเอาต์พุตของวงจรเอดีซีจะแปรผันตรงกับความแรงของสัญญาณอนาล็อกได้อย่างถูกต้องทุกช่วงสัญญาณ

**5.4 วงจรเอดีซี**

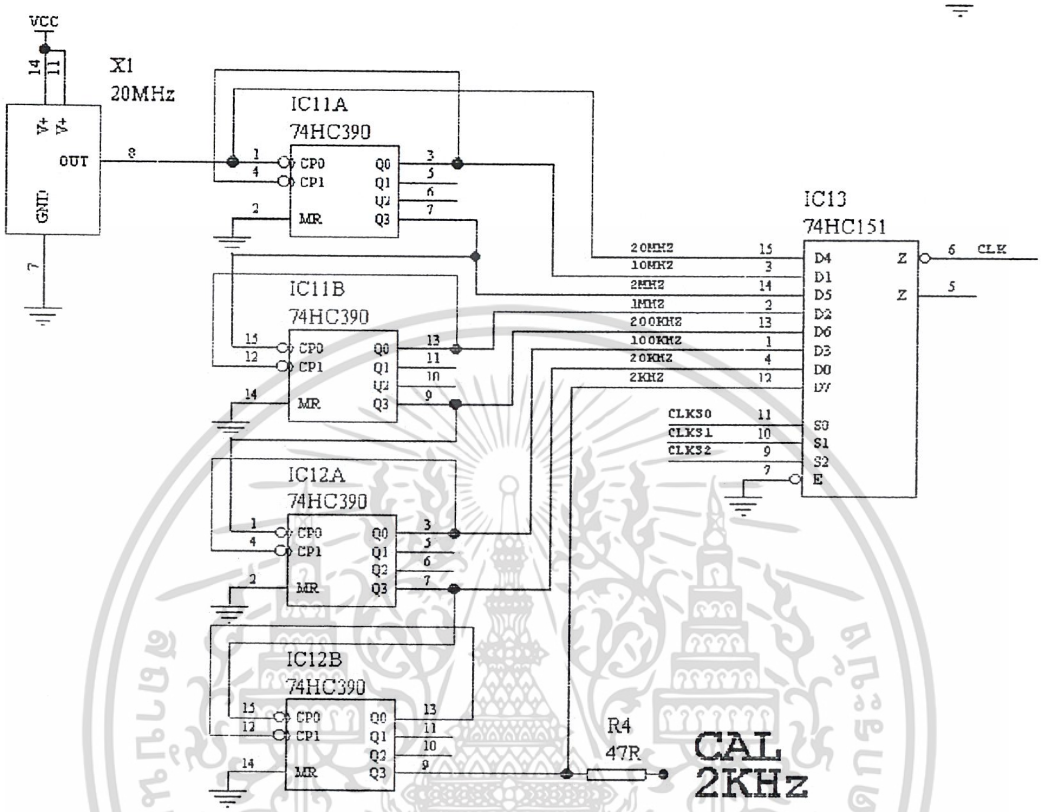



รูปที่ 5.7 วงจรเอดีซี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรเอดีซีทำหน้าที่แปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอล ซึ่งเป็นแบบแฟลชเอดีซี (Flash ADC) และมีเอาต์พุต 8 บิต

**5.5 วงจรกำเนิดสัญญาณนาฬิกา หลายความถี่ (Multi Frequency Clock Generator)**




รูปที่ 5.8 วงจรกำเนิดสัญญาณนาฬิกา หลายความถี่

วงจรนี้ทำหน้าที่ในการสร้างสัญญาณนาฬิกา สำหรับใช้ ในการทำงานของวงจรทั้งหมด ในวงจรประกอบด้วย Oscillator ความถี่ 20 MHz วงจรนับ ใช้ IC เบอร์ 74HC390 จำนวน 4 ตัว ใช้เป็นวงจรหารความถี่ เพื่อให้เกิดเป็นความถี่ต่างๆ ซึ่งในวงจรนี้จะได้ความถี่ 8 ความถี่ด้วยกัน ดังตาราง และใช้ IC เบอร์ 74HC151 ในการเลือกความถี่ไปใช้งาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

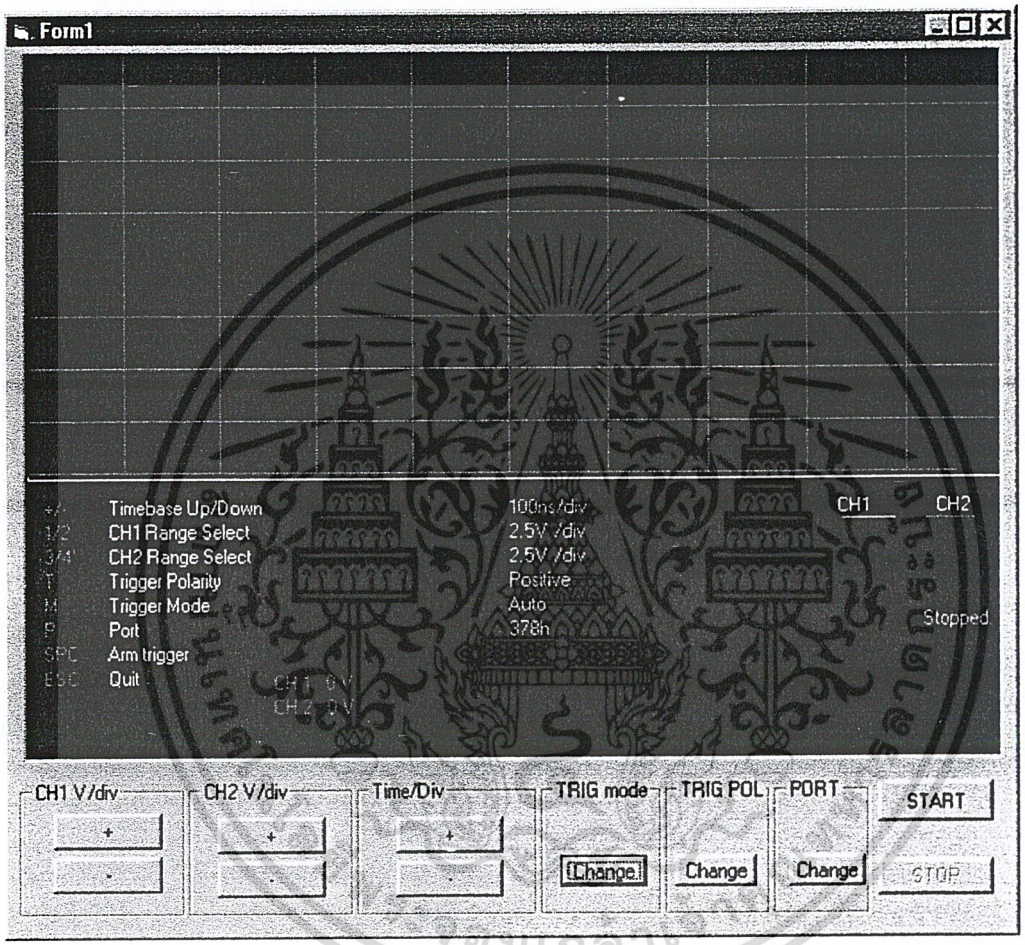
| S0 | S1 | S2 | ความถี่(Hz) |
|---|---|---|---|
| 0 | 0 | 0 | 20M |
| 0 | 0 | 1 | 10M |
| 0 | 1 | 0 | 2M |
| 0 | 1 | 1 | 1M |
| 1 | 0 | 0 | 200k |
| 1 | 0 | 1 | 100k |
| 1 | 1 | 0 | 20k |
| 1 | 1 | 1 | 2k |

ตารางที่ 5.2 ความถี่ของวงจรกำเนิดสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**5.6 การออกแบบ และเขียนโปรแกรม**

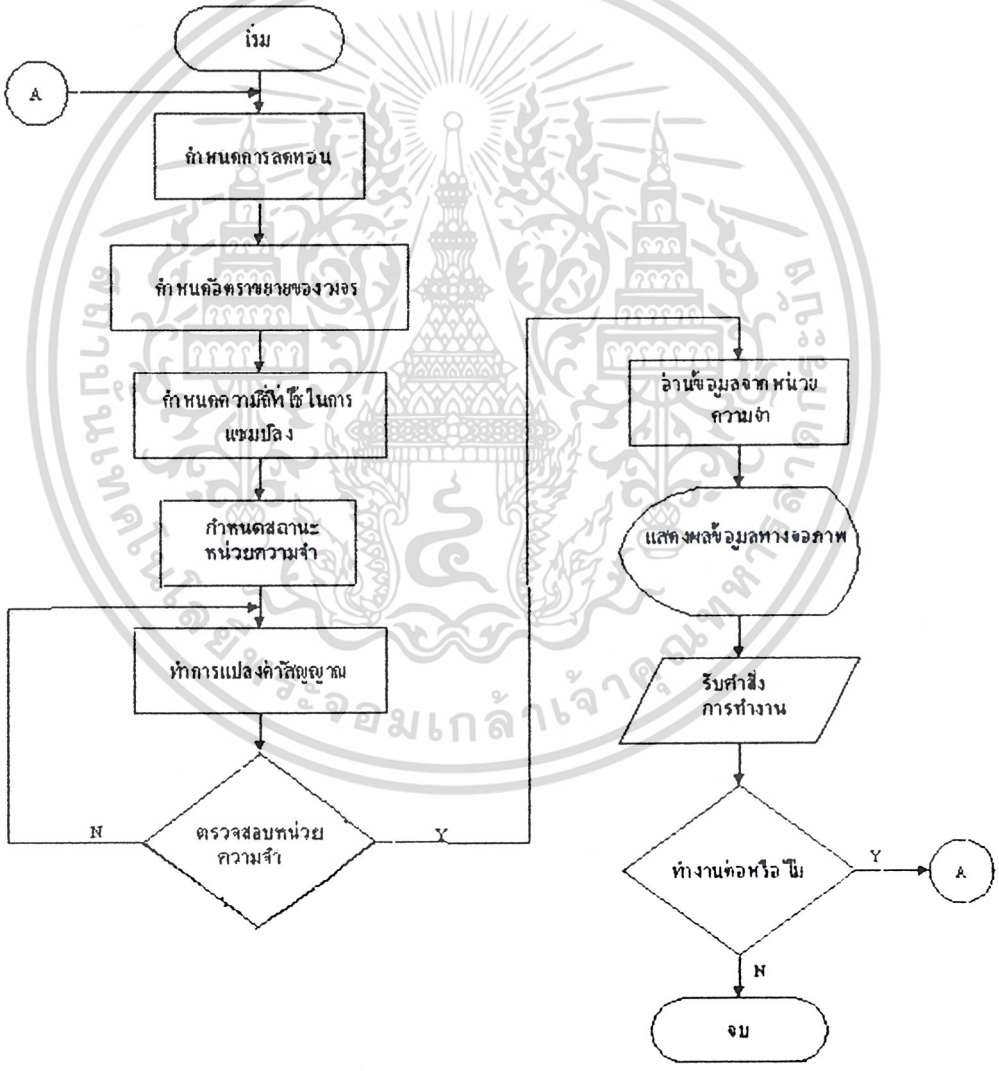
ในการเขียนโปรแกรมควบคุมการใช้งาน จะเป็นการเขียนโปรแกรมโดยใช้ Visual Basic 6 โดยที่ GUI ของโปรแกรมจะมีลักษณะที่เหมือนกับ Digital Oscilloscope แต่จะแตกต่างกันตรงที่ปุ่มที่ใช้ควบคุม ในการนี้ปุ่มที่สร้างขึ้นจะเป็นปุ่มควบคุมหลัก เท่านั้น ดังแสดงในรูปที่ 5.9




รูปที่ 5.9 โปรแกรมที่ใช้ควบคุม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เริ่มต้นของการออกแบบนั้นเราจะให้โปรแกรมสั่งงานออกมาที่พอร์ทต่างๆตามที่กล่าวไว้ในขั้นต้น เพื่อกำหนดค่าเริ่มต้นของการทำงานให้แก่ระบบ จากนั้นเมื่อทุกอย่างพร้อมแล้วลำดับต่อไปเราจะสั่งงานเปิดหน่วยความจำให้รับข้อมูลจากการแปลงค่าเก็บมาไว้ในหน่วยความจำ ซึ่งจะมีการตรวจสอบไปพร้อมๆกันว่ามีการเก็บข้อมูลไว้เป็นจำนวนเท่าไร และครบตามจำนวนแล้วหรือไม่ เมื่อครบตามจำนวนที่กำหนดไว้แล้วก็จะให้คอมพิวเตอร์อ่านข้อมูลจากหน่วยความจำพร้อมทั้งแสดงผลที่ได้ออกมาที่หน้าจอคอมพิวเตอร์ จากนั้นก็ตรวจสอบว่าผู้ใช้ต้องการใช้งานโปรแกรมต่อไปอีกหรือไม่หากไม่ก็ให้ออกจากโปรแกรมแต่ถ้าต้องการทำงานต่อระบบการทำงานก็จะกลับมาเริ่มทำงานตั้นแต่การทำงานที่จุดเริ่มต้นจนถึงจุดสุดท้ายของการทำงาน




รูปที่ 5.10 Flow chart การทำงานของโปรแกรม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# บทที่ 6
## การทดลองและผลการทดลอง

**วัตถุประสงค์**

1. เพื่อเป็นการทดสอบการทำงานของวงจรต่างๆ เพื่อหาข้อบกพร่อง และปรับปรุง
2. เพื่อทดสอบการติดต่อสื่อสารระหว่างฮาร์ดแวร์ และซอฟท์แวร์ ผ่านทางพอร์ตสื่อสารแบบขนาน เพื่อประยุกต์คอมพิวเตอร์เป็นดิจิตอลสตอเรจออสซิลโลสโคป
3. เพื่อเป็นการเปรียบเทียบการทำงานของเครื่องที่สร้างขึ้น กับเครื่องที่จำหน่ายตามท้องตลาด

**ขอบเขตการทดลอง**

1. การทดลองการทำงานของวงจรส่วนต่างๆ
2. การติดต่อระหว่างฮาร์ดแวร์ และซอฟท์แวร์ ผ่านทางโปรแกรมคอมพิวเตอร์

ในการทดลองในส่วนแรก เพื่อให้ง่ายในการสร้างวงจรใช้งานจริง จึงได้ทำการทดลองการทำงานของวงจรในภาคต่างๆ แยกจากกัน เพื่อที่จะพิจารณาถึงความเป็นไปได้ที่วงจรจะใช้งานได้จริง ส่วนทางด้านซอฟท์แวร์คอมพิวเตอร์ จะทำการทดลองวัดสัญญาณเชิงความถี่ ของสัญญาณลักษณะต่างๆ เพื่อเปรียบเทียบกับอุปกรณ์ที่มีจำหน่ายในท้องตลาด

**ลำดับขั้นการทดลอง**

**ส่วนที่ 1 การทดสอบการทำงานของวงจรต่างๆ**

**6.1 การทดลองวงจรตามแรงดัน**

6.1.1 ทำการต่อวงจรตามแรงดัน ดังในรูปที่ 5.2

6.1.2 ป้อนสัญญาณรูปซายน์ 1 kHz. 1Vp-p. เข้าที่อินพุตของวงจรและวัดสัญญาณเอาต์พุต ที่ได้ออกมาเปรียบเทียบกับสัญญาณทางอินพุต

6.1.3 ทดลองเปลี่ยนค่าแรงดัน ความถี่ และรูปคลื่นสัญญาณ

**สรุปผลการทดลองที่ 6.1**

**การทำงานของวงจร**

สัญญาณที่ถูกเลือกจะผ่านมาทาง R27 ซึ่งต่อร่วมกับวงจรป้องกันแรงดัน D5 และ D6 เพื่อป้องกันแรงดันไม่ใช้เกิน ±12.6 V จากนั้นสัญญาณจะผ่านมาบัฟเฟอร์โดย IC20 ซึ่งเป็นอุปกรณ์ชนิด FET ที่มีความไวต่อสัญญาณอินพุต โดยต่อในลักษณะของวงจร Non-Inverting Buffer C27

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จะทำหน้าที่ชดเชยอัตราการขยาย และป้องกันการเกิด Overshoot ขณะที่ทำการเปลี่ยนสัญญาณอินพุต

**ผลที่ได้**

ลักษณะของสัญญาณอินพุต และเอาท์พุต เหมือนกัน และจะมีแอมปลิจูดได้ไม่เกิน ±12V

**6.2 วงจรขยายสัญญาณแบบกลับเฟส**

6.2.1 ทำการต่อวงจรขยายแบบกลับเฟส ดังรูปที่ 5.3

6.2.2 นำสัญญาณจากข้อ 6.1 มาเป็นอินพุตให้กับวงจร

6.2.3 ทำการทดลองเปลี่ยนอัตราการขยายสัญญาณ โดยเปลี่ยนค่าที่คอนโทรล รีเลย์ 5 และรีเลย 6

**สรุปผลการทดลองที่ 6.2**

**การทำงานของวงจร**

สัญญาณจะถูกควบคุมอัตราการขยายโดย R31 ถึง R37 , IC21 และ RLY5 และ RLY6 ซึ่งมีลักษณะการต่อเป็นแบบ Inverting Amplifier โดยที่อัตราขยายจะถูกควบคุมผ่านทาง Software ซึ่งจะมาควบคุม Relay 5 และ 6 เพื่อให้อัตราขยายเป็นแบบ 1-2-5 Sequence เหมือนกับ CRO ทั่วไป

**ผลที่ได้**

เมื่อทำการควบคุมให้ RLY5 เลือกไปที่ และ อัตราขยายสัญญาณจะเท่ากับ 2.142 Amplitude สัญญาณเอาท์พุตจะสูงกว่าอินพุตประมาณ 2 เท่า หากควบคุมให้ RLY5 เลือกไปยังตำแหน่งของ R34 และ R35 แล้วค่าอัตราขยายที่ได้จะเท่ากับ 1.068 รูปสัญญาณระหว่างอินพุต และเอาท์พุตจะเหมือนกัน ทั้งนี้ RLY6 จะเลือกอยู่ที่ตำแหน่งของ RLY5 แต่ถ้า RLY6 เลือกอยู่ที่ตำแหน่งของ R32 และ R33 แล้ว สัญญาณที่ได้จะมี Amplitude ที่ต่ำกว่าสัญญาณอินพุตครึ่งหนึ่ง ซึ่งมีลักษณะเป็น 1-2-5 Sequence

**การทดลองที่ 6.3 วงจรยกระดับสัญญาณ**

6.3.1 ทำการต่อวงจรยกระดับสัญญาณ ดังรูปที่ 5.5

6.3.2 นำสัญญาณจากข้อ 6.2 มาเป็นอินพุตให้กับวงจร

6.3.3 ทดลองปรับค่า VR3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**สรุปผลการทดลองที่ 6.3**

**การทำงาน**

สัญญาณที่เข้ามายังวงจร Summing ซึ่งประกอบไปด้วย IC22, R38, R39, และ R41 โดยวงจรจะทำการปรับค่า offset voltage ซึ่งจะหมายถึงการควบคุมตำแหน่งของสัญญาณที่จะแสดงทางด้าน vertical นั่นเอง ทั้งนี้จะมีแรงดันอ้างอิงที่ได้จากการแบ่งแรงดันของ R24, R25 และ R26 ( ref voltage –1.25V ถึง –3.5V ) และมี VR3 ในการปรับค่า offset ตามแรงดันอ้างอิง และทำการ inverting สัญญาณอีกครั้งโดย IC22

**ผลที่ได้**

จากการทดลองจะเห็นได้ว่า เมื่อเราทำการปรับ VR3 สัญญาณเอาท์พุตที่ขา 6 ของ IC22 จะปรับขึ้นลง อันเนื่องมาจากการ Summing กับแรงดัน offset ที่ได้จากเอาท์พุตของ IC19

**การทดลองที่ 6.4 วงจร ADC**

6.4.1 ทำการต่อวงจร ADC ดังรูปที่ 5.7

6.4.2 ป้อนสัญญาณ Clock ความถี่ 1 kHz เข้าที่ขา 16 ของ IC23

6.4.3 ป้อนลอจิก "0" ให้กับขา /ADC1Ena

6.4.4 ป้อนแรงดันไปตรงขนาด 2.4 V ให้แก่ขา 8 ของ IC23

6.4.5 เพิ่มแรงดันดีซีจนได้ เอาท์พุต D0-D7 มีค่า FFH

6.4.6 ลดแรงดันดีซีจนได้ เอาท์พุต D0-D7 มีค่า 00H

**สรุปผลการทดลองที่ 6.4**

**การทำงาน**

สัญญาณอินพุตจะถูกป้อนผ่าน R40 และ D7 ซึ่งจะป้องกันไม่ให้สัญญาณอินพุตของ ADC ต่ำกว่า -0.6V เนื่องจาก IC ที่ใช้เป็นแบบ Single Supply แล้วจะทำการแปลงสัญญาณ Analog input เป็น Digital 8 bit output

**ผลที่ได้**

จากการทดลองจะเป็นการหาค่าแรงดันสูงสุด ต่ำสุด ที่วงจร ADC สามารถแปลงค่าออกมาเป็นข้อมูลดิจิตอลได้ ซึ่งค่าแรงดันต่ำสุดคือ 1.55V และแรงดันสูงสุดคือ 3.26V ซึ่งถ้าสูง หรือต่ำกว่านี้ค่าที่ได้ ก็จะยังคงเป็นค่าสูงสุดอยู่เช่นเดิม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**การทดลองที่ 6.5 Multi Clock Generator**

6.5.1 ต่อวงจร Clock Generator ดังรูปที่ 5.8

6.5.2 ป้อนลอจิกค่าต่างๆ ให้กับ S0, S1 และ S2 ของ IC13

**สรุปผลการทดลองที่ 6.5**

**การทำงาน**

สัญญาณนาฬิกาที่ได้จาก X1 ความถี่ 20 Mhz จะถูกหารความถี่ด้วย 2, 10, 20, 100, 200, 1000 และ 10000 โดย IC11 และ IC12 จากนั้นจะถูกป้อนให้กับ IC13 ซึ่งเป็น 8 input Multiplexer ซึ่งจะทำการเลือกความถี่ใดความถี่หนึ่ง โดยการป้อนสัญญาณ Select S0, S1 และ S2 ของ IC13

**ผลที่ได้**

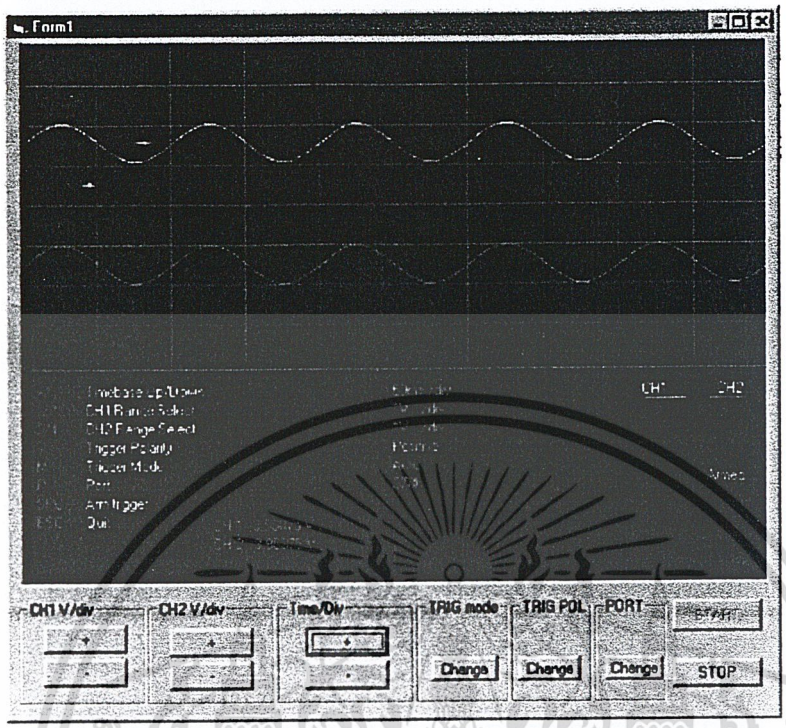
เมื่อทำการป้อนลอจิก 000 ถึง 111 ให้กับ S0, S1 และ S2 ของ IC13 ได้ค่าความถี่เอาท์พุต ดังนี้

| S0 | S1 | S2 | ความถี่(Hz) |
|---|---|---|---|
| 0 | 0 | 0 | 20M |
| 0 | 0 | 1 | 10M |
| 0 | 1 | 0 | 2M |
| 0 | 1 | 1 | 1M |
| 1 | 0 | 0 | 200k |
| 1 | 0 | 1 | 100k |
| 1 | 1 | 0 | 20k |
| 1 | 1 | 1 | 2k |

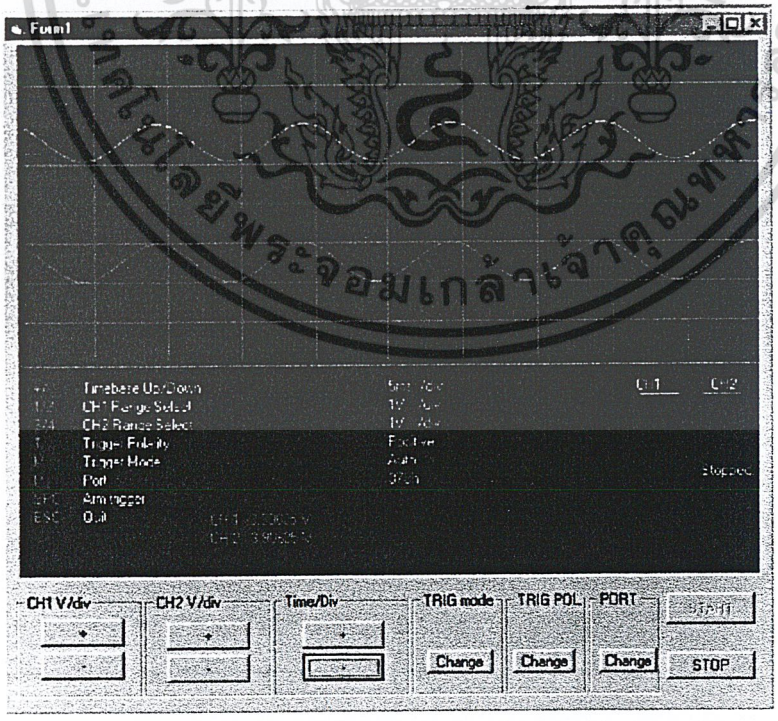
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**ส่วนที่ 2 การทดสอบการทำงานของ Hardware ร่วมกับ Software**

**การทดลองที่ 6.6 การวัดและวิเคราะห์สัญญาณ**

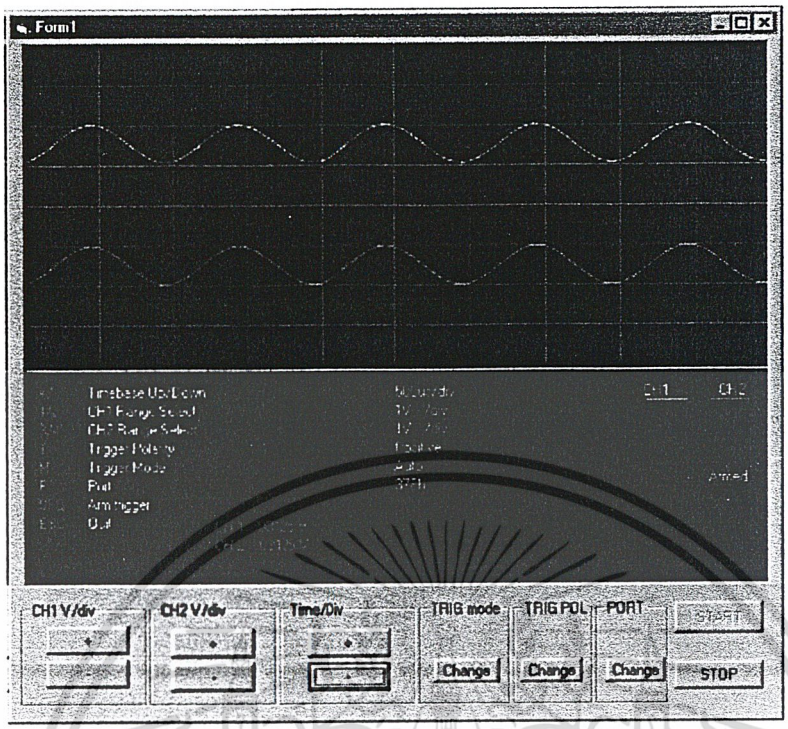



รูปที่ 6.1 สัญญาณ Sine wave ความถี่ 10 Hz




เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

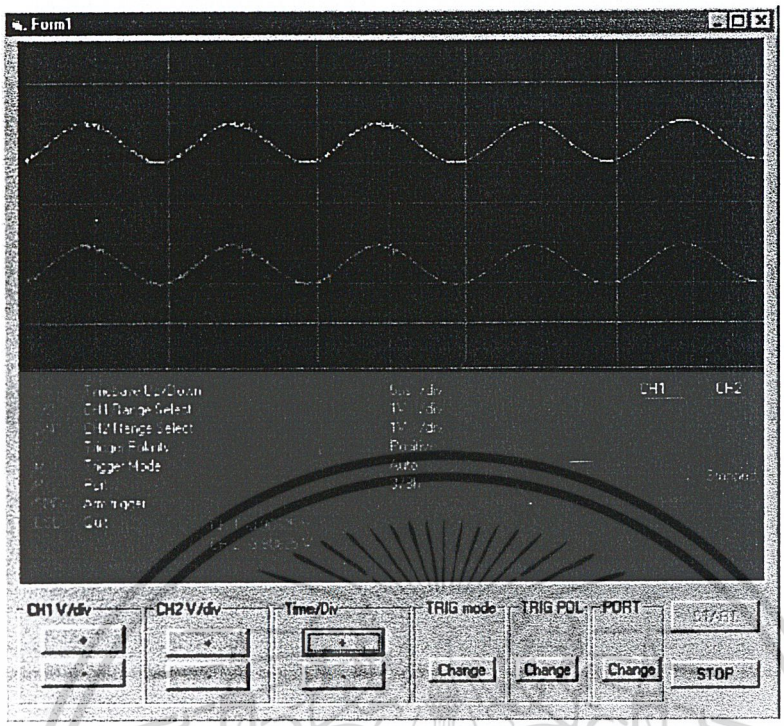
รูปที่ 6.2 สัญญาณ Sine wave ความถี่ 100 Hz



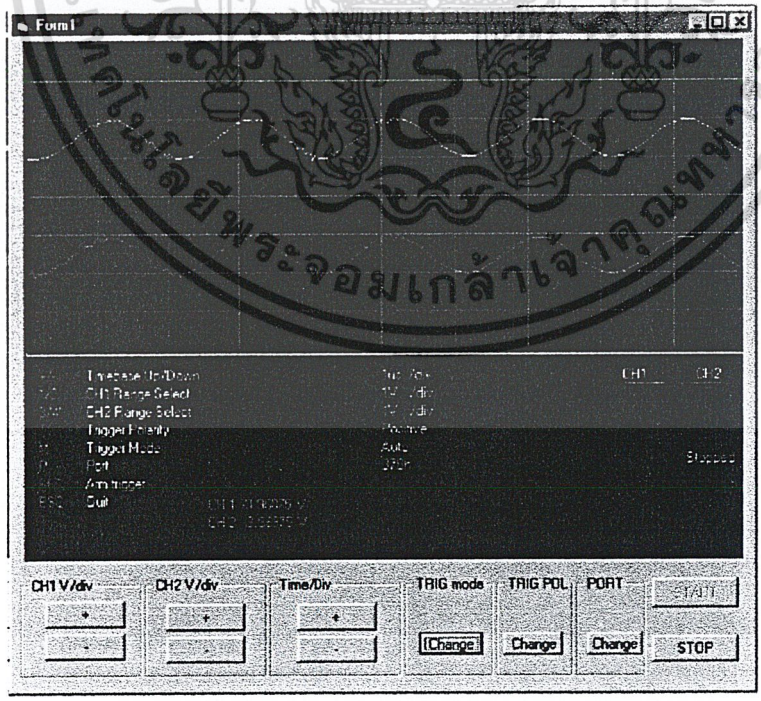

รูปที่ 6.3 สัญญาณ Sine wave ความถี่ 1 kHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 6.4 สัญญาณ Sine wave ความถี่ 10 kHz

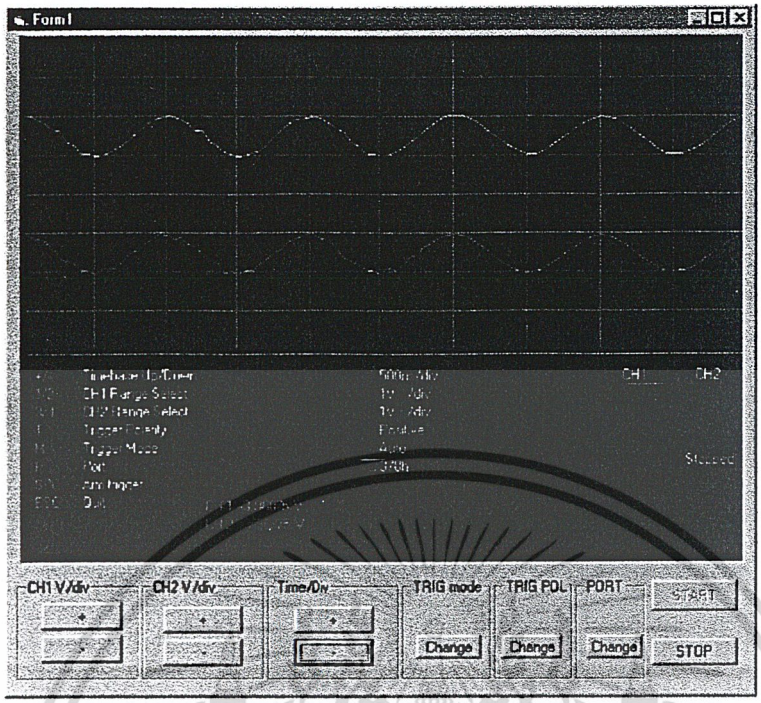



รูปที่ 6.5 สัญญาณ Sine wave ความถี่ 100 kHz

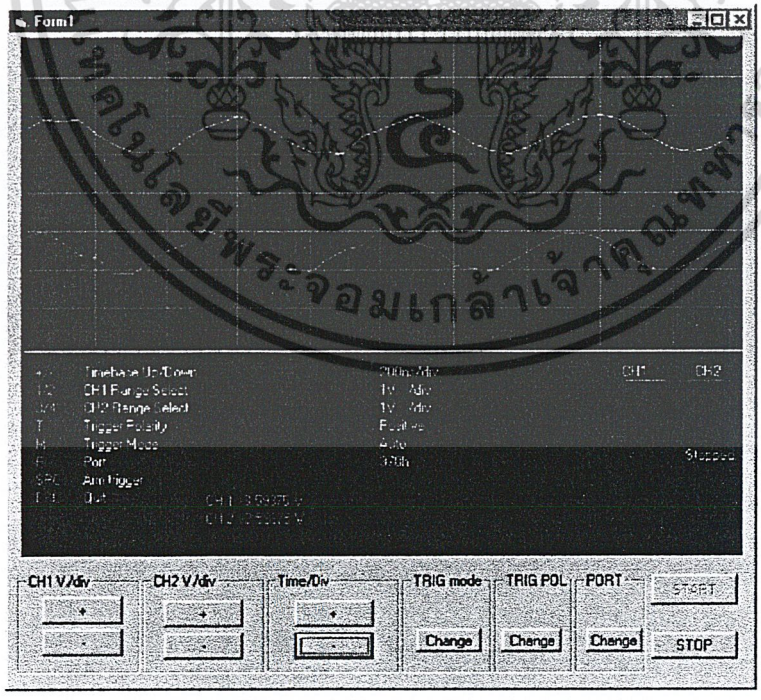



รูปที่ 6.6 สัญญาณ Sine wave ความถี่ 500 kHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

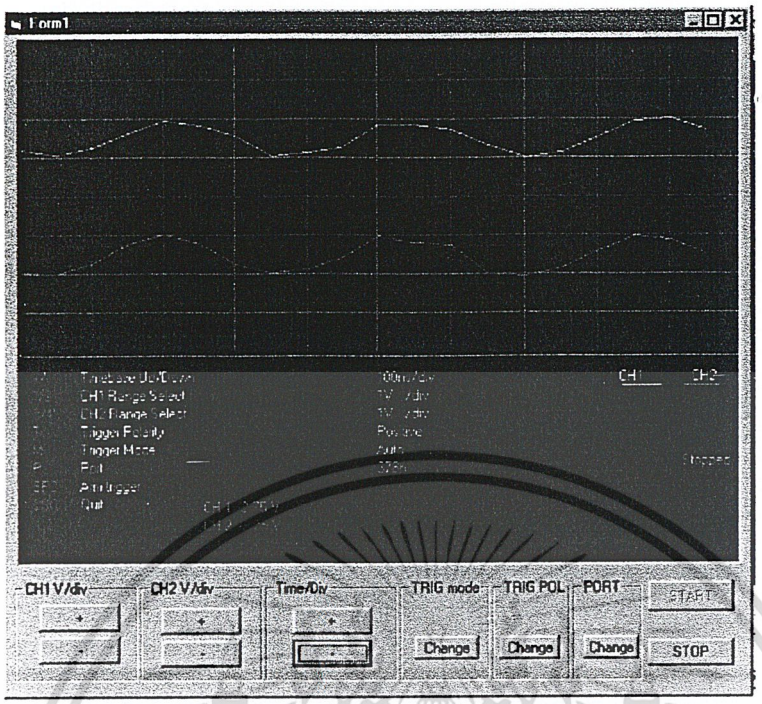



รูปที่ 6.7 สัญญาณ Sine wave ความถี่ 1 MHz

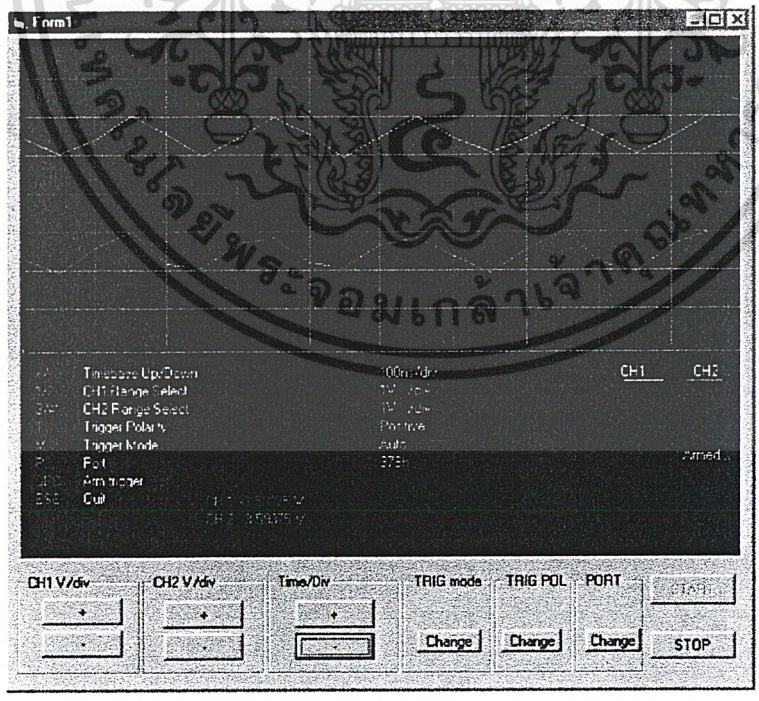



รูปที่ 6.8 สัญญาณ Sine wave ความถี่ 2 MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

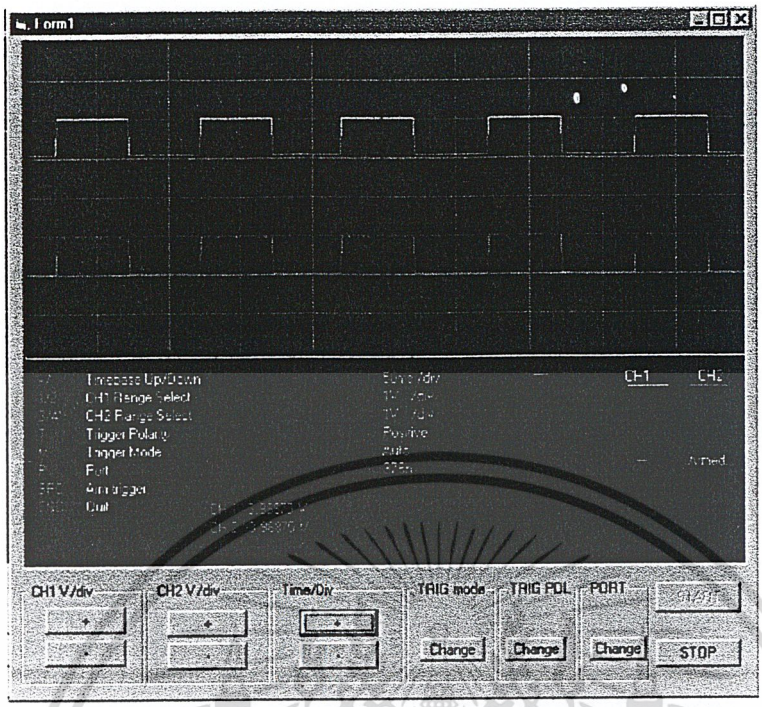



รูปที่ 6.9 สัญญาณ Sine wave ความถี่ 3 MHz

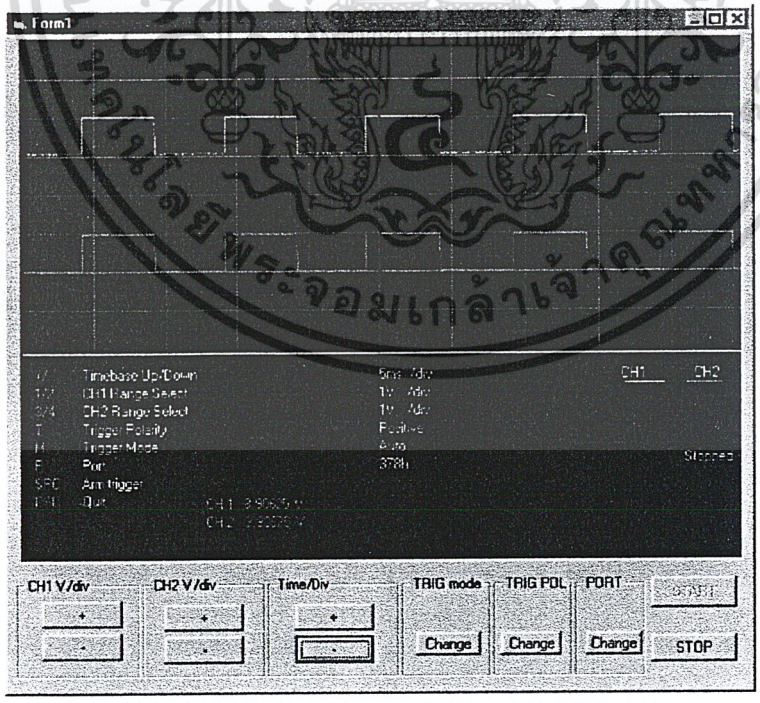



รูปที่ 6.10 สัญญาณ Sine wave ความถี่ 5 MHz

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

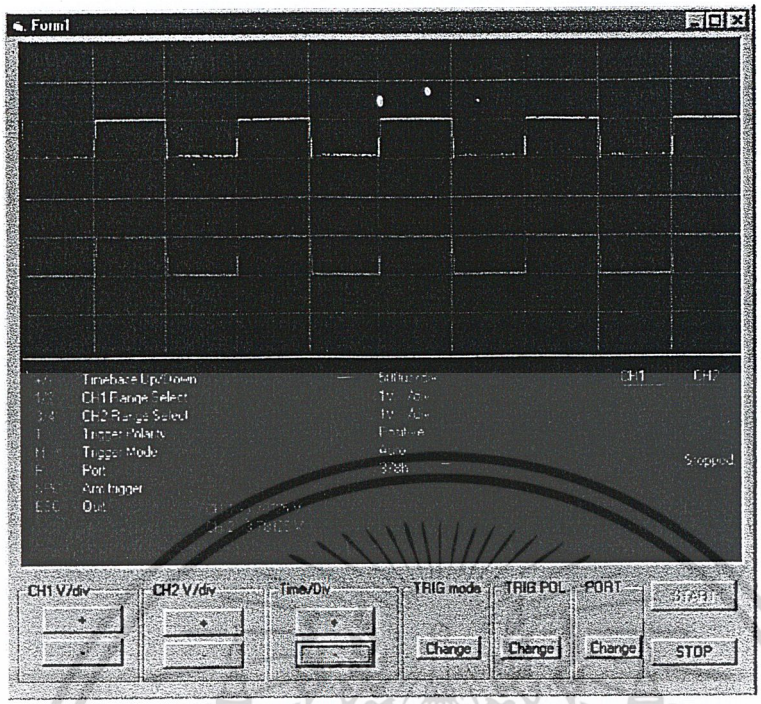



รูปที่ 6.11 สัญญาณ Square wave ความถี่ 10 Hz

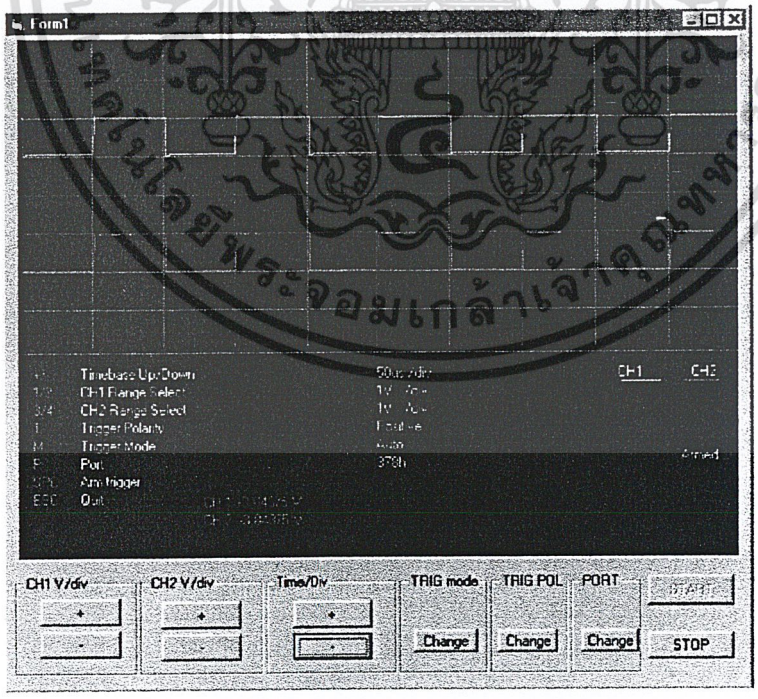



รูปที่ 6.12 สัญญาณ Square wave ความถี่ 100 Hz

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ ห้ามมิให้ทำซ้ำ ดัดแปลง หรือนำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

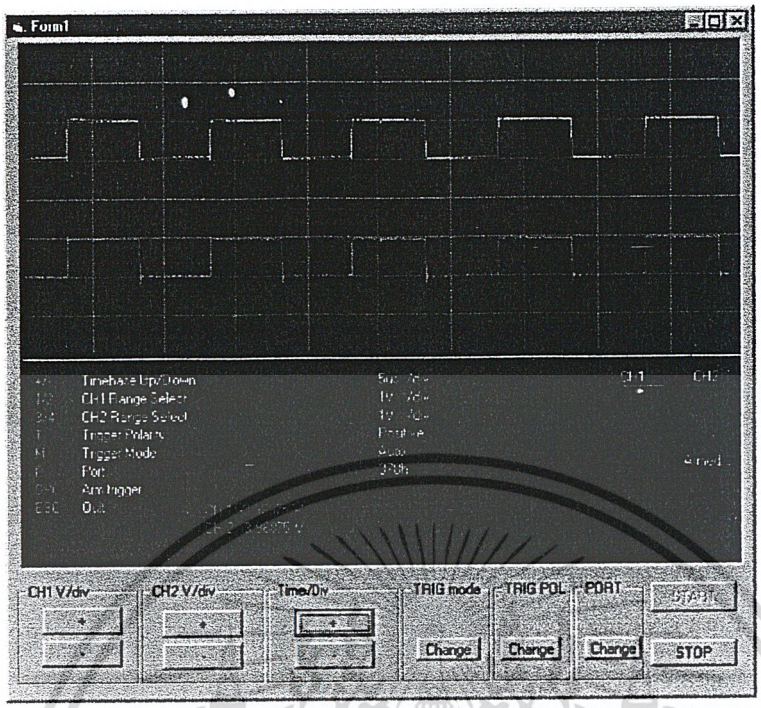



รูปที่ 6.13 สัญญาณ Square wave ความถี่ 1 kHz

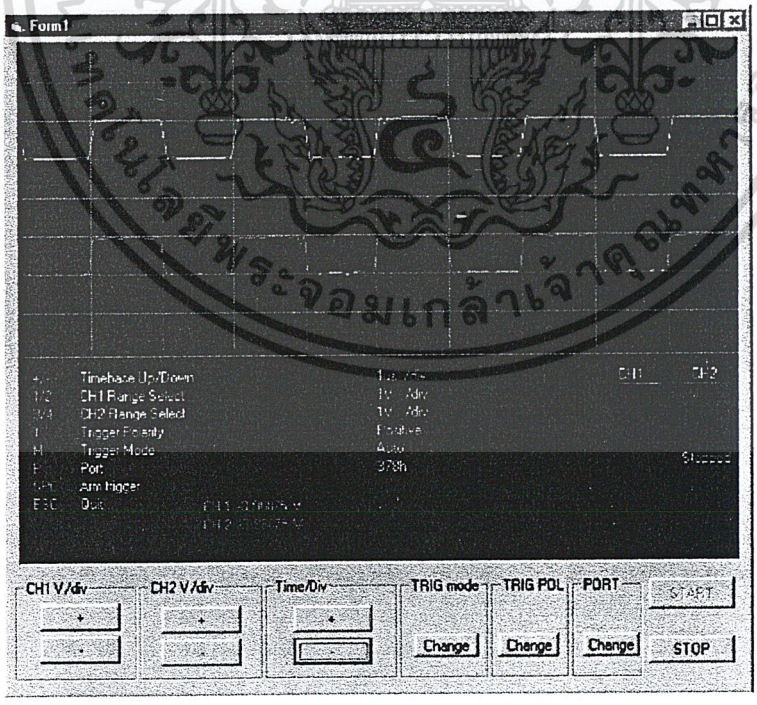



รูปที่ 6.14 สัญญาณ Square wave ความถี่ 10 kHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

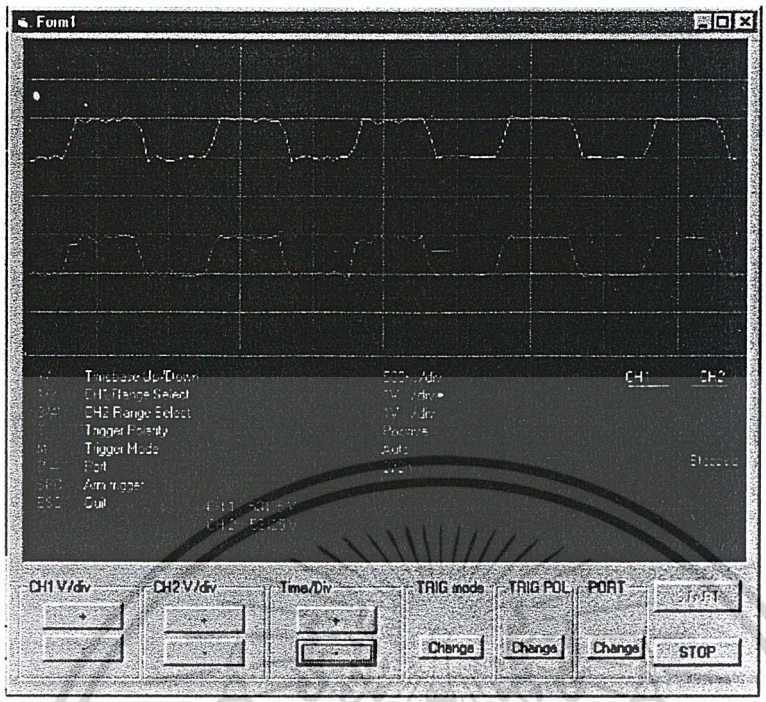



รูปที่ 6.15 สัญญาณ Square wave ความถี่ 100 kHz

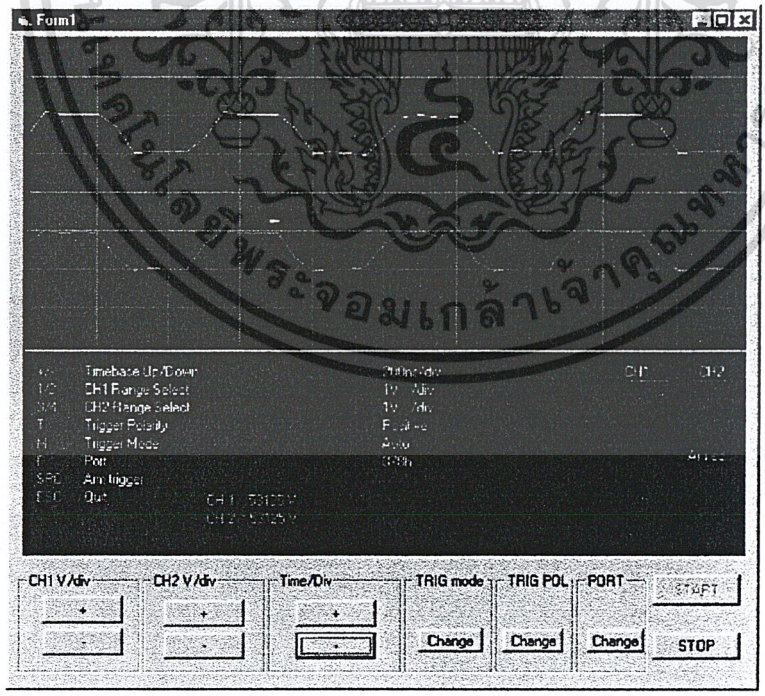



รูปที่ 6.16 สัญญาณ Square wave ความถี่ 500 kHz

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

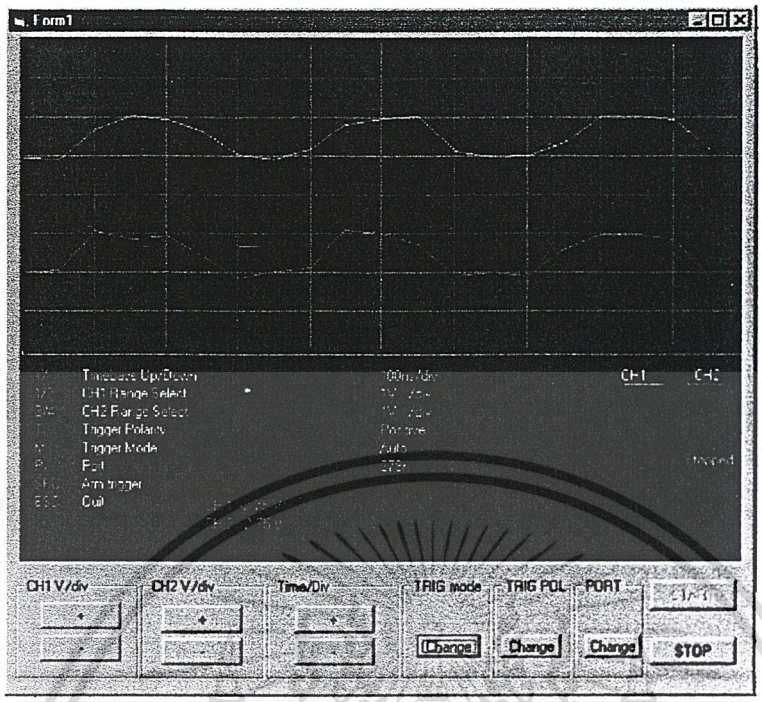



รูปที่ 6.17 สัญญาณ Square wave ความถี่ 1 MHz

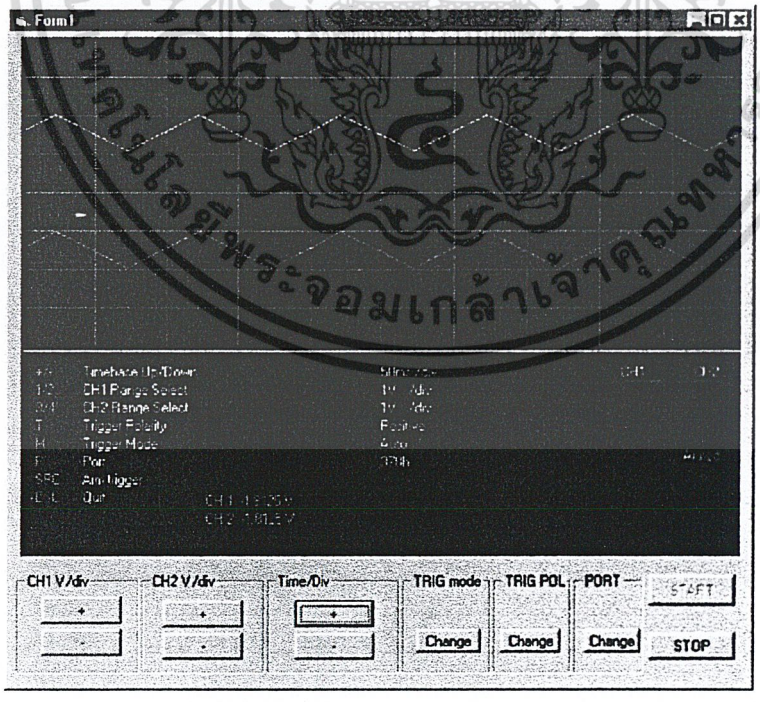



รูปที่ 6.18 สัญญาณ Square wave ความถี่ 2 MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

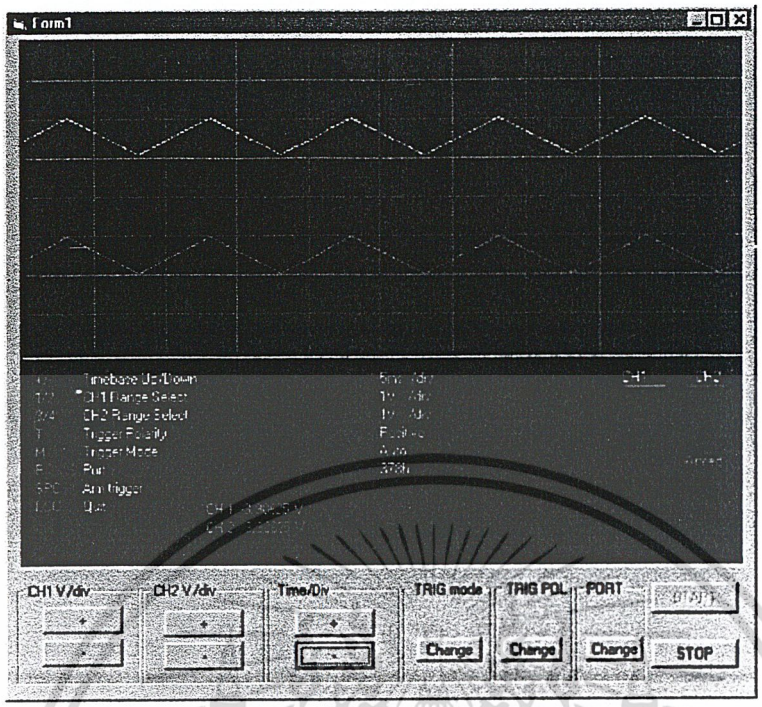



รูปที่ 6.19 สัญญาณ Square wave ความถี่ 3 MHz

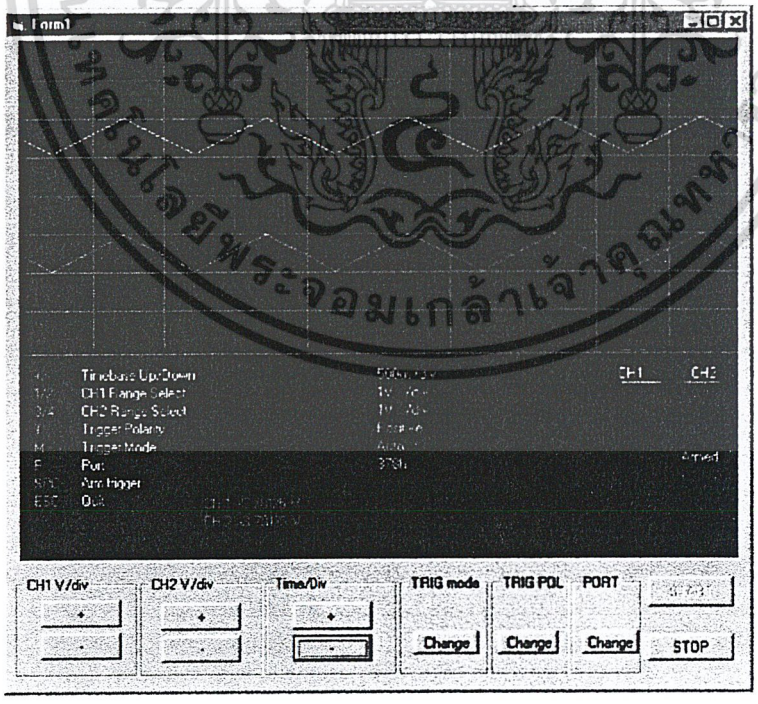



รูปที่ 6.20 สัญญาณ Triangle wave ความถี่ 10 Hz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

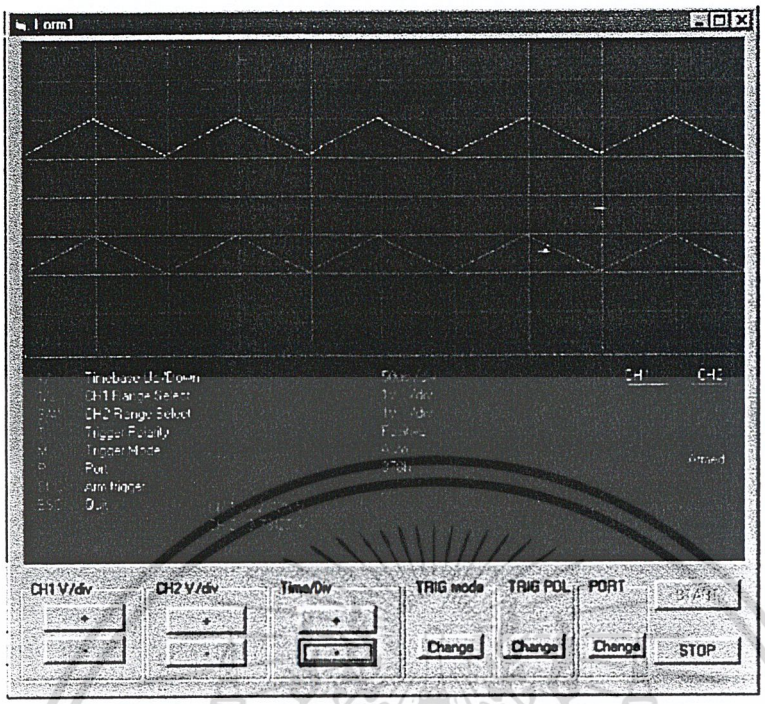



รูปที่ 6.21 สัญญาณ Triangle wave ความถี่ 100 Hz

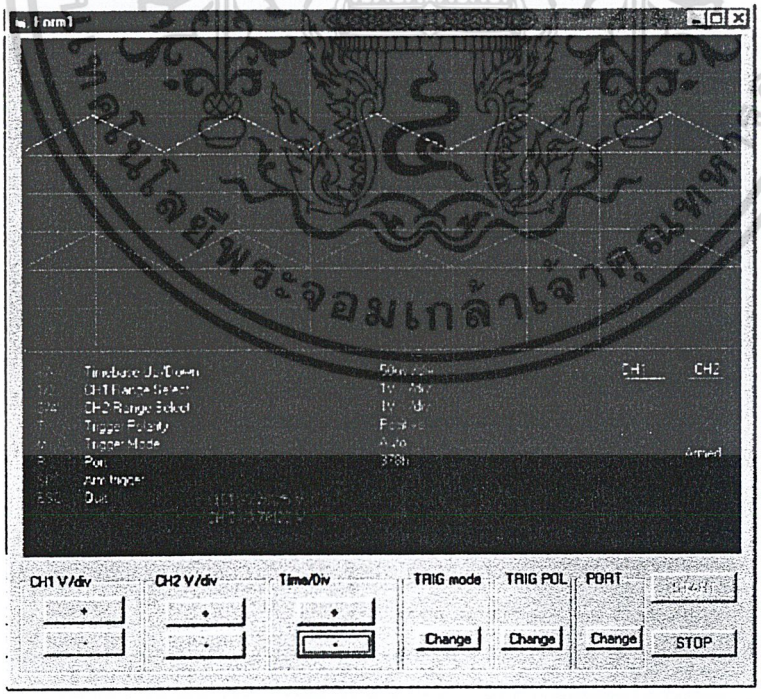



รูปที่ 6.22 สัญญาณ Triangle wave ความถี่ 1 kHz

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 6.23 สัญญาณ Triangle wave ความถี่ 10 kHz




รูปที่ 6.24 สัญญาณ Triangle wave ความถี่ 100 kHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# บทที่ 7
# บทวิจารณ์และบทสรุป

## 7.1 บทวิจารณ์และบทสรุป

จากผลการทดลองวงจรในส่วนต่างๆ ในบทที่ 6 ทั้งวงจรในส่วนของภาคอนาลอก และวงจรในสวนของภาคดิจิตอล วงจรสามารถทำงานได้ค่อนข้างดี การปรับระดับทริกเกอร์ในโครงงานนี้จะใช้ฮาร์ดแวร์ทริกเกอร์ ซึ่งมีข้อดีตรงที่การแสดงผลจะเร็ว แต่ก็มีข้อเสียที่สัญญาณที่แสดงมีความนิ่งน้อยกว่าการใช้ซอฟท์แวร์ทริกเกอร์ ข้อมูลที่ได้จากการแปลงสัญญาณอนาลอกเป็นดิจิตอล จะถูกเก็บลงในหน่วยความจำชนิด FIFO (First in First out) ซึ่งทำให้ง่ายต่อการเรียกข้อมูลออกมาแสดงผล โดยที่ไม่ต้องอ้างแอดเดรส ข้อมูลที่ผิดพลาดส่วนใหญ่เกิดจากสัญญาณรบกวนที่เกิดขึ้นในภาคของวงจรอนาลอก

## 7.2 ปัญหาที่พบในการทำโครงงาน

1. อุปกรณ์บางตัวหายาก เช่น IC เบอร์ TDA8703 แบบ DIP 24 ขา IC เบอร์ LM6361 และ IC เบอร์ 7202-35RC ที่ต้องสั่งจากต่างประเทศ ทำให้งบประมาณ และเวลาที่ใช้ เกิดบานปลายออกไป

2. เนื่องจากวงจรที่ออกแบบมา ทำให้เกิดปัญหาในบางครั้ง ทางด้านการทดลองที่ ผิดบ้างถูกบ้าง กว่าจะได้วงจรที่สมบูรณ์แบบ และใช้งานได้จริง จะต้องทำการออกแบบ ทดลอง และแก้ไขอยู่หลายครั้ง ทำให้เสียเวลาไปมาก ก่อนที่จะออกแบบวงจรพิมพ์ก็ได้ทำการสร้างวงจรโดยใช้สาย wire ระหว่างอุปกรณ์แต่ละตัว จากนั้นจึงออกแบบ PCB ซึ่งทำได้ค่อนข้างยาก เพราะต้องพยายามทำให้อุปกรณ์อยู่ใกล้กันให้มากที่สุด เพื่อลดปัญหาที่เกิดขึ้นกับการใช้การ wire สาย คือ สัญญาณรบกวนที่เกิดขึ้น นอกจากนี้ลายวงจรที่ออกแบบได้ค่อนข้างที่จะละเอียดและซับซ้อน จึงต้องจ้างร้านทำ งบประมาณจึงเพิ่มมากขึ้นอีก

3. เกิดสัญญาณรบกวนจากเครื่องคอมพิวเตอร์ ในบางความถี่

4. ต้องใช้เวลาในการเขียนโปรแกรมค่อนข้างมาก เนื่องจากต้องศึกษาถึงสถาปัตยกรรมของโปรแกรม Visual Basic ใหม่ทั้งหมด และเทคนิคในการเขียนโปรแกรมเพิ่มเติม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**7.3 การแก้ไขปัญหา**

1. เพื่อลดสัญญาณรบกวนที่เกิดขึ้น จึงต้องพยายามออกแบบการวางอุปกรณ์บนแผ่น PCB ให้อยู่ใกล้กันมากที่สุด
2. ใช้ตัวเก็บประจุค่า 0.1 µF ต่อคร่อมระหว่าง VCC กับ Ground
3. ทำการแยกไฟเลี้ยงที่จ่ายให้กับ วงจรอนาลอก และวงจรดิจิตอลออกจากกัน
4. ทำการศึกษาหาวิธีการ และเทคนิคการเขียนโปรแกรมเพิ่มเติม จากเอกสาร และอินเตอร์เน็ต

**7.4 ประโยชน์ที่ได้รับจากโครงงาน**

1. ได้เครื่อง Digital Storage Oscilloscope ที่มีราคาถูกกว่าเครื่องที่มีจำหน่ายในท้องตลาด โดยที่มีขีดความสามารถในการวัดสัญญาณได้ใกล้เคียงกัน
2. ฮาร์ดแวร์ที่สร้างขึ้นมาสามารถใช้ร่วมกับคอมพิวเตอร์ PC และ Labtop ได้ทุกเครื่อง และง่านต่อการต่อใช้งาน ไม่ต้องเปิดเครื่องเพื่อทำการใส่อุปกรณ์เพิ่มเติม เพียงแค่ต่อสายเชื่อมต่อผ่านทางพอร์ตสื่อสารแบบขนานเท่านั้น
3. โปรแกรมที่ใช้มาสารถทำงานได้บนระบบปฏิบัติการ MS Windows 32 bit ขึ้นไปได้
4. ได้รับความรู้เพิ่มเติมจากโครงงาน ทั้งในส่วนของฮาร์ดแวร์ และซอฟท์แวร์
5. สามารถเป็นต้นแบบให้นักศึกษา หรือผู้ที่สนใจ นำไปปรับปรุงแก้ไข และพัฒนาได้ต่อไป

**7.5 แนวทางในการพัฒนาต่อ**

1. พัฒนาขีดความสามารถในส่วนของฮาร์ดแวร์ให้มีขีดความสามารถในการวัดสัญญาณ ที่มีค่าแรงดัน และความถี่สูงขึ้นไปอีก รวมทั้งการแสดงผลเป็น Spectrum ได้
2. ในส่วนของขนาดของฮาร์ดแวร์ให้เล็กลง เพื่อง่ายต่อการนำไปใช้งานในสถานที่ต่างๆ
3. พัฒนาการเชื่อมต่อกับคอมพิวเตอร์แบบพอร์ตขนานเป็น แบบ USB เพื่อให้มีความสามารถในการส่งผ่านข้อมูลได้ดียิ่งขึ้น อันจะทำให้พัฒนาขีดความสามารถของโครงงานให้สูงขึ้น
4. พัฒนาในส่วนของซอฟท์แวร์ ให้มี GUI ที่ใช้งานได้ง่าย และแสดงผลเป็นแบบ Realtime ได้ดียิ่งขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### 7.6 คุณสมบัติของโครงงานนี้

- Sampling rate 20MS/s
- 2 MHz analog bandwidth
- Dual channels
- Optional external trigger input.
- PC-Based, connects to standard parallel port.
- Vertical position adjustments.
- Fully software controlled timebase and attenuation rages.
- 100ns/div to 50ms/div timebase in 1-2-5 sequence.
  (100nS,200nS,500nS,1mS,2mS,5mS,10mS,20mS,50mS)
- 50mV/div to 2.5V/div vertical ranges in 1-2-5
  sequence.(50mV,100mV,250mV,500mV,1V,2.5V)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

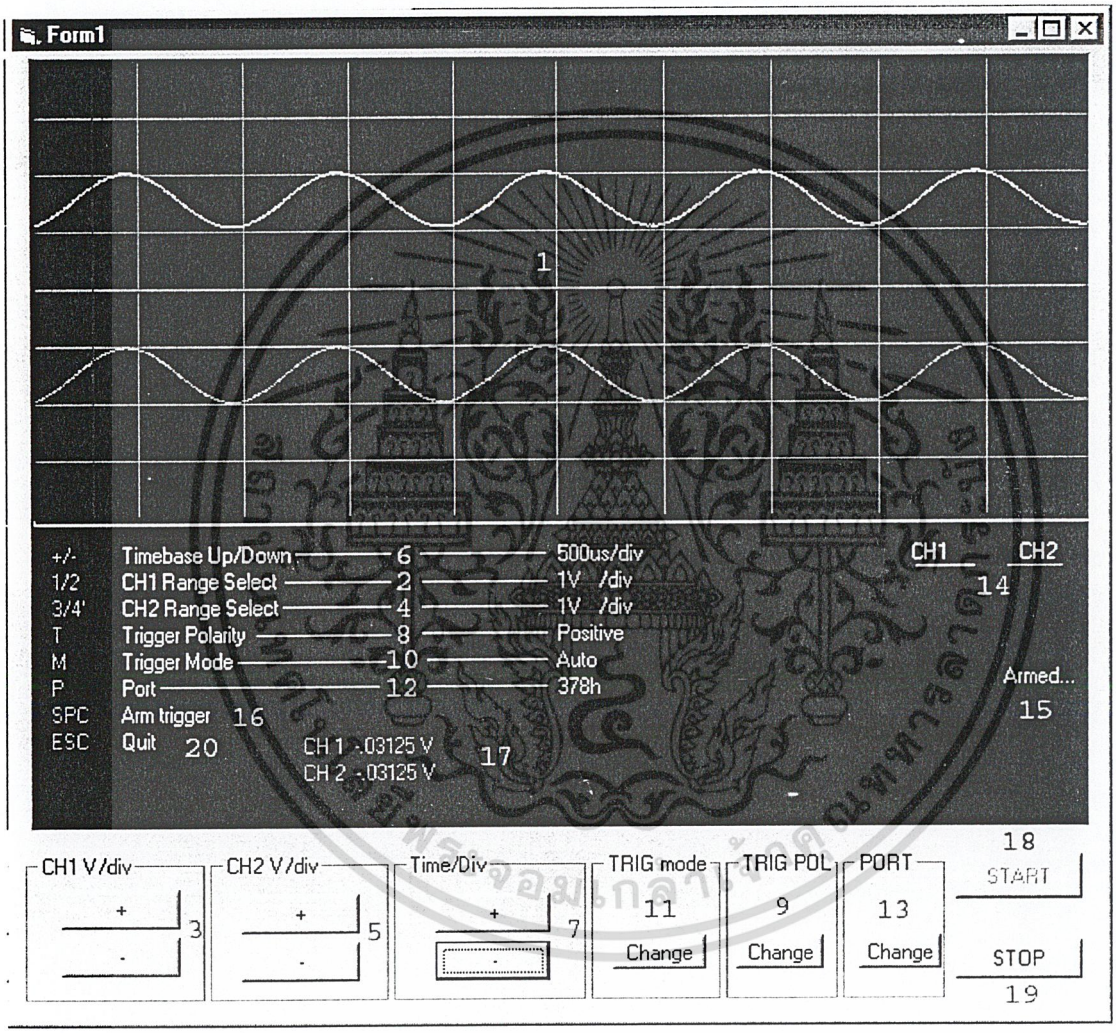
# ภาคผนวก ก.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# คู่มือการใช้งาน คอมพิวเตอร์ออสซิลโลสโคป

## ส่วนประกอบ

1. ตัวเครื่อง
2. สายเชื่อมต่อคอมพิวเตอร์แบบขนาน
3. โปรแกรมใช้งาน




## คำอธิบายอย่างย่อ

1. หน้าจอแสดงผล
2. แสดงค่า Volt/Div ของช่องสัญญาณ 1
3. ปรับค่า Volt/Div ขึ้น/ลง ของช่องสัญญาณ 1
4. แสดงค่า Volt/Div ของช่องสัญญาณ 2
5. ปรับค่า Volt/Div ขึ้น/ลง ของช่องสัญญาณ 2

เอกสารนี้เป็นเอกสารสงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6. แสดงค่า Time/Div

7. ปรับค่า Time/Div ขึ้น/ลง

8. แสดงขั้วของสัญญาณทริก

Positive เพื่อเลือกการทริกที่ขอบขาขึ้น

Negative เพื่อเลือกการทริกที่ขอบขาลง

9. ปรับเลือกขั้วของสัญญาณทริก

10. แสดงรูปแบบของสัญญาณทริก

Auto เพื่อให้เครื่องทำการทริกโดยอัตโนมัติ

Manual เพื่อให้สามารถปรับการทริกได้ด้วยตัวเอง จากตัวเครื่อง

Single Shot เพื่อให้สามารถแสดงผลได้ทีละเฟรม

11. ปรับเลือกค่ารูปแบบของสัญญาณทริก

12. แสดงรูปแบบการส่งข้อมูลของพอร์ตขนาน

13. ปรับเลือกรูปแบบการส่งข้อมูลของพอร์ตขนาน

14. แสดงลักษณะของสัญญาณในแต่ละช่องสัญญาณ

15. แสดงสถานะการทริก

Strobe... ทำการทริกและสุ่มตัวอย่าง

Armed... หยุดทำการทริกและสุ่มตัวอย่าง

16. เลื่อนภาพการทริก (ในโหมด Single Shot)

17. แสดงค่าโวล์ทเตจ ที่ตำแหน่งเคอเซอร์ (วัดจากตำแหน่งกึ่งกลางจอภาพ)

18.เริ่มแสดงค่าสัญญาณออกทางหน้าจอ

19.หยุดแสดงค่าสัญญาณออกทางหน้าจอ

20. ออกจากโปรแกรม

**การติดตั้ง**

1. ต่อสายเชื่อมต่อระหว่างตัวเครื่องเข้ากับพอร์ตสื่อสารแบบขนานของคอมพิวเตอร์

2. ติดตั้งไฟล์โปรแกรมใช้งาน CDSO.EXE ลงในฮาร์ดไดรฟ์

3. คัดลอกไฟล์ INPOUT32.DLL ลงในพาร์ทซิสเต็มของวินโดวส์

**การใช้งาน**

1. ต่อสายโพรบเข้ากับช่อสัญญาณที่ต้องการวัด

2. เลือกรูปแบบของสัญญาณที่วัด (AC/DC)

3. เรียกโปรแกรม CDSO.EXE

เอกสารนี้สงวนลิขสิทธิ์ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4. คลิก START เพื่อเริ่มแสดงผล

5. ทำการปรับค่า Time/Div เพื่อให้หน้าจอสามารถแสดงรูปสัญญาณได้

6. ทำการปรับค่า Volt/Div เพื่อให้หน้าจอสามารถแสดงรูปสัญญาณได้

7. เมื่อต้องการทำ Single Shot

   7.1. เลือกโหมดการทริกไปที่ Single Shot

   7.2. คลิกเมาส์ที่หน้าจอแสดงผล

   7.3. กด Spacebar เพื่อเลือกให้หน้าจอแสดงผลสัญญาณทีละรูป

8. ปรับ CH1 Pos. ที่ตัวเครื่องเมื่อต้องการปรับตำแหน่งของสัญญาณของช่องสัญญาณ 1 ขึ้น/ลง

9. ปรับ CH2 Pos. ที่ตัวเครื่องเมื่อต้องการปรับตำแหน่งของสัญญาณของช่องสัญญาณ 2 ขึ้น/ลง

10. ปรับ Level เพื่อต้องการปรับตำแหน่งสัญญาณทริกให้เหมาะสม

**ปัญหาและทางแก้ไข**

1. ตัวเครื่องมีเสียงดังของรีเลย์ตลอดเวลา

ทางแก้ไข ทดลองเปลี่ยนค่ารูปแบบการทริกเป็นแบบ Manual แล้วปรับ Level จนรีเลย์หยุดทำงาน

2. จอภาพไม่แสดงรูปสัญญาณ

ทางแก้ไข ทดลองเปลี่ยนค่ารูปแบบการรับส่งข้อมูลของพอร์ตสื่อสารแบบขนาน

3. เมื่อเริ่มทำงาน (กดปุ่ม START) โปรแกรมโชว์ข้อความ ERROR ไม่สามารถทำงานได้

ทางแก้ไข ตรวจสอบว่าได้ทำการคัดลอกไฟล์ INPOUT32.DLL ลงในพาร์ทซิสเต็มของวินโดวส์เรียบร้อยแล้ว

4. สัญญาณอยู่ชิดขอบบนหรือล่างสุดของส่วนแสดงผล

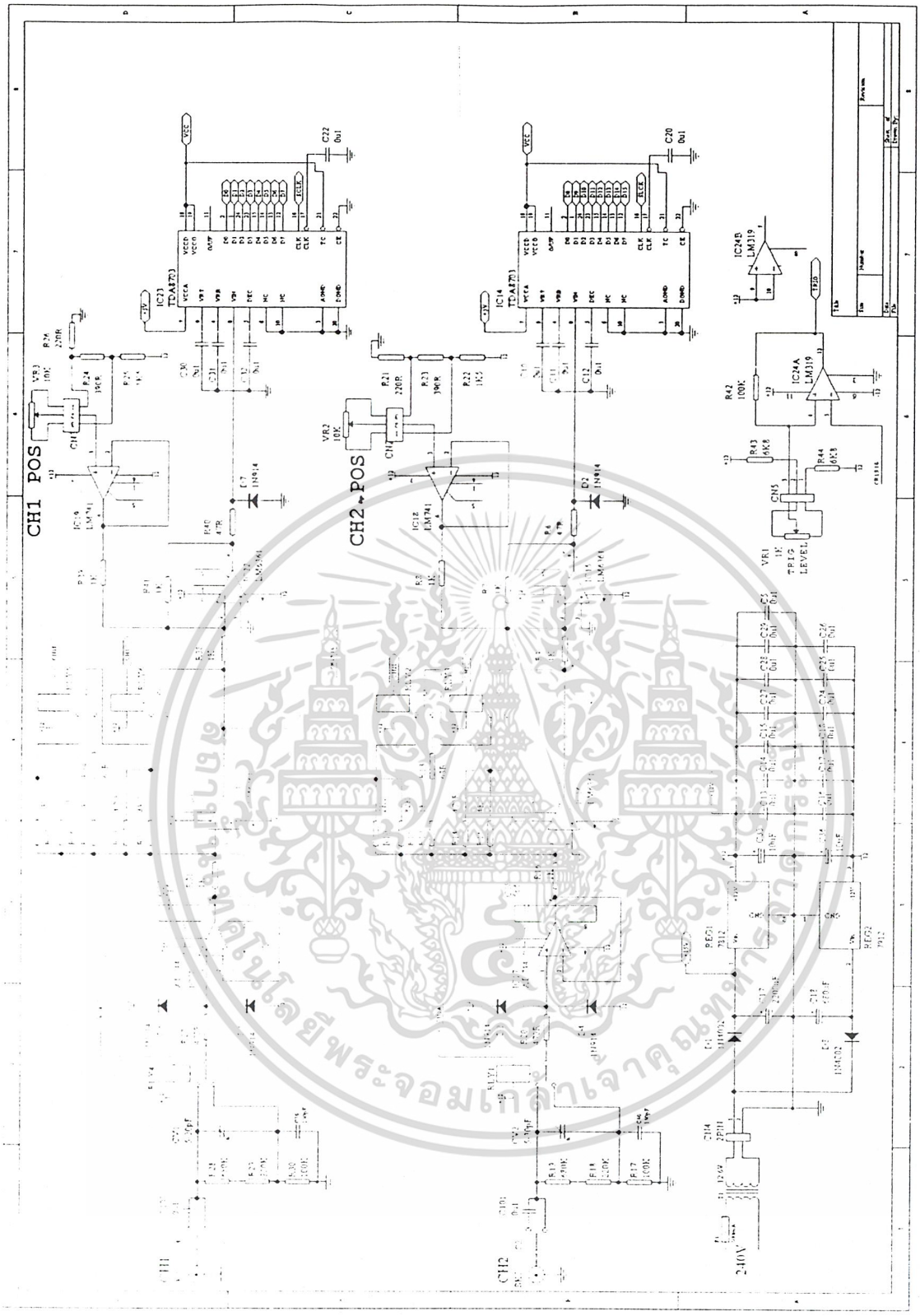
ทางแก้ไข ทดลองปรับค่า POS. ของช่องสัญญาณที่ทำการวัดให้อยู่กึ่งกลาง

ทดลองปรับ Volt/Div และ/หรือ Time/Div

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

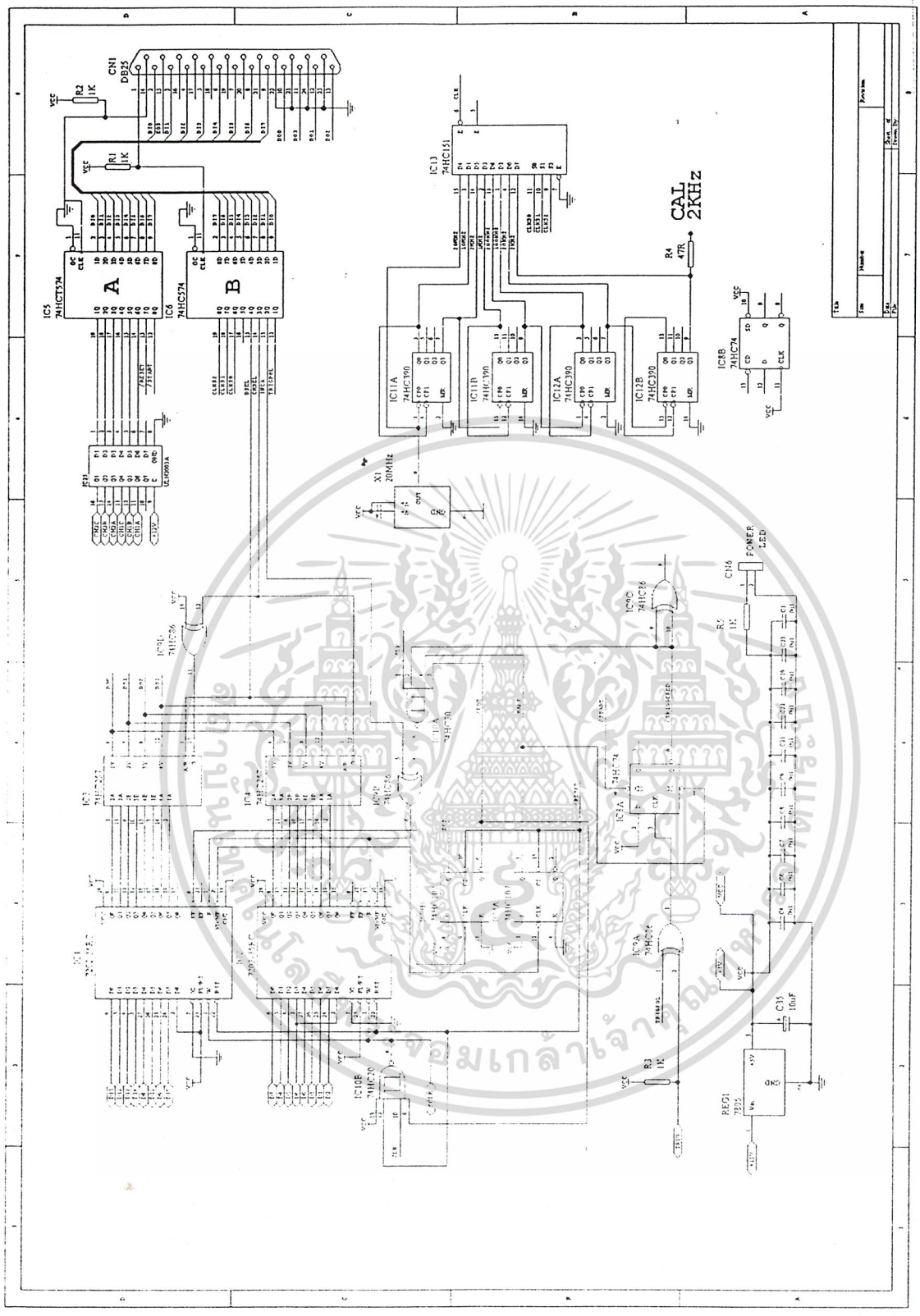
# ภาคผนวก ข.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




วงจรในส่วนของ Analog Part

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




วงจรในส่วนของ Digital Part

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# ภาคผนวก ค

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**CODE MODULE 1**

```
Const MaxRAM = 1024

Public TBname(18) As String * 5
Public VoltName(5) As String * 5
Public data(2, MaxRAM) As Byte
Public TimeBase  As Integer
Public CH1volt As Integer
Public CH2volt As Integer
Public TrigMode As Integer
Public TrigPol As Boolean
Public Armed As Boolean

Sub SETVALUE()
TBname(1) = "50ms"
TBname(2) = "20ms"
TBname(3) = "10ms"
TBname(4) = "5ms"
TBname(5) = "2ms"
TBname(6) = "1ms"
TBname(7) = "500us"
TBname(8) = "200us"
TBname(9) = "100us"
TBname(10) = "50us"
TBname(11) = "20us"
TBname(12) = "10us"
TBname(13) = "5us"
TBname(14) = "2us"
TBname(15) = "1us"
TBname(16) = "500ns"
TBname(17) = "200ns"
TBname(18) = "100ns"

VoltName(0) = "2.5V"
VoltName(1) = "1V"
VoltName(2) = "500mV"
VoltName(3) = "250mV"
VoltName(4) = "100mV"
VoltName(5) = "50mV"


End Sub
'*****************************************************************}
'Sub Initialise_Graphics()
Sub DrawMainScreen()

  'SetFillStyle SolidFill, Black
   setcolor vbWhite
   rectangle 0, 0, 610, 260
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
  'SetFillStyle SolidFill, green
  bar 485, 280, 535, 280
 ' SetFillStyle SolidFill, red
  bar 545, 280, 595, 280
  setcolor vbWhite
  outtextxy 498, 270, "CH1"
  outtextxy 558, 270, "CH2"
  'SetFillStyle SolidFill, Black
End Sub


Sub DrawWaveform()

Dim x As Single
Dim xx As Single
Dim y As Single
Dim spd As Single
Dim start As Single
Dim xjump As Single
Dim endloc As Single

Dim c, xg, yg As Integer

  bar 1, 1, 600, 256
  setcolor &H404040
  xg = 60
  For c = 1 To 9
  Fm.SCR.Line (xg * c, 1)-(xg * c, 256)
  Next c
  yg = 32
  For c = 1 To 7
   Fm.SCR.Line (1, yg * c)-(600, yg * c)
  Next c

  Select Case TimeBase
   Case 18: spd = 2
   Case 17: spd = 4
   Case 16: spd = 10
   Case 3, 15: spd = 20

   Case 2, 5, 8, 11, 14: spd = 40
   Case 1, 4, 6, 7, 9, 10, 12, 13: spd = 100
  End Select

  setcolor vbGreen
  For c = 1 To 2   '
   If c = 2 Then setcolor vbRed
   start = 512 - ((spd * 10) / 2)
     endloc = 512 + ((spd * 10) / 2)
   x = start
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
    xjump = 600 / (spd * 10)
  xx = 1
    MoveTo 1, 256 - data(c, Round(start))
  While x < endloc
     LineTo Round(xx), 256 - data(c, Round(x))
       xx = xx + xjump
    x = x + 1
  Wend
 Next c
End Sub

'*********************************************************************}
Sub DisplayStatMessage(s As String)
 bar 550, 340, 680, 350
  setcolor vbGreen
  outtextxy 550, 340, s
End Sub

'*********************************************************************}
Sub RetrieveData()
Dim c As Integer
Dim ch As Byte

  If ((TrigMode = 2) And (Not Armed)) Then Exit Sub

  DSOA_Address False
  DSOA_Reset
 If TrigMode = 0 Then
  Select Case TimeBase
       Case 1, 2, 3: delay 300
     Case Else: delay 50
  End Select
    DSOA_Trigger
 End If
  DisplayStatMessage "Armed..."

 Do
 DoEvents
 Loop Until DSOA_EOS Or keypressed

 Armed = False
 If keypressed Then Exit Sub
  DisplayStatMessage "Retrieving..."

  For c = 1 To MaxRAM
    DSOA_Address True
    data(1, c) = DSOA_ReadByteA
    data(2, c) = DSOA_ReadByteB
    DSOA_Address False
  Next c
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
   DSOA_Address False
   DSOA_Reset
End Sub

'*********************************************************************}
Sub UpdateTimebase()
Dim Num As Byte

   Select Case TimeBase
      Case 1, 2, 3: Num = 7
      Case 4, 5: Num = 0
      Case 6: Num = 3
      Case 7, 8: Num = 6
      Case 9:       Num = 2
      Case 10, 11: Num = 5
      Case 12:    Num = 1
      Case 13, 14, 15, 16, 17, 18: Num = 4
   End Select
  DSOA_Clock Num
End Sub

'*********************************************************************}
Sub UpdateVoltageRange()

   DSOA_ChangeVoltageA CH1volt

   DSOA_ChangeVoltageB CH2volt
End Sub

'*********************************************************************}
Sub DisplayMenu()

   setcolor vbRed
   outtextxy 10, 270, "+/-"
   outtextxy 10, 285, "1/2"
   outtextxy 10, 300, "3/4'"
   outtextxy 10, 315, "T"
   outtextxy 10, 330, "M"
  outtextxy 10, 345, "P"
  outtextxy 10, 360, "SPC"
   outtextxy 10, 375, "ESC"
  setcolor vbWhite
   outtextxy 50, 270, "Timebase Up/Down"
   outtextxy 50, 285, "CH1 Range Select"
   outtextxy 50, 300, "CH2 Range Select"

   outtextxy 50, 315, "Trigger Polarity"
   outtextxy 50, 330, "Trigger Mode"
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
   outtextxy 50, 345, "Port"
   outtextxy 50, 360, "Arm trigger"
   outtextxy 50, 375, "Quit"
End Sub

'*********************************************************************}
Sub DisplayInfo()
Dim s As String

   bar 300, 270, 400, 380
   setcolor vbGreen
   outtextxy 300, 270, TBname(TimeBase) + "/div"
   outtextxy 300, 285, VoltName(CH1volt) + "/div"
   outtextxy 300, 300, VoltName(CH2volt) + "/div"
  If Not TrigPol Then
  s = "Positive"
  Else
  s = "Negative"
  End If
  outtextxy 300, 315, s
  Select Case TrigMode
   Case 0: s = "Auto"
   Case 1: s = "Normal"
   Case 2: s = "Single Shot"
    Case Else: s = "Error"
  End Select
   outtextxy 300, 330, s
  Select Case PortAddr
   Case &H378: s = "378h"
   Case &H278: s = "278h"
   Case &H3BC: s = "3BCh"
   Case Else:    s = "Error"
  End Select
  outtextxy 300, 345, s
End Sub

'*********************************************************************}
Function CheckKeyPress() As Boolean

Dim ch As Byte
Dim b As Boolean

   b = False
    If keypressed Then ch = readkey
   Select Case ch
    Case 27: b = True
    Case Asc(" "): Armed = True
    Case Asc("+"), Asc("="):
          If TimeBase < 18 Then
              inc TimeBase, 1
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        UpdateTimebase
        DisplayInfo
        End If
Case Asc("-"), Asc("_"):
    If TimeBase > 1 Then

        dec TimeBase, 1
        UpdateTimebase
        DisplayInfo
        End If
 Case Asc("1"):
    If CH1volt > 0 Then
        dec CH1volt, 1
        UpdateVoltageRange
        DisplayInfo
        End If
Case Asc("2"):
    If CH1volt < 5 Then
        inc CH1volt, 1
        UpdateVoltageRange
        DisplayInfo
        End If
Case Asc("3"):
    If CH2volt > 0 Then
        dec CH2volt, 1
        UpdateVoltageRange
        DisplayInfo
      End If
Case Asc("4"):
  If CH2volt < 5 Then
        inc CH2volt, 1
        UpdateVoltageRange
        DisplayInfo
        End If
Case Asc("t"), Asc("T"):
        TrigPol = Not TrigPol
        DSOA_TriggerPol (TrigPol)
        DisplayInfo

Case Asc("m"), Asc("M"):
            If (TrigMode < 2) Then
            inc TrigMode, 1
            Else
            TrigMode = 0
            End If
            DisplayInfo
Case Asc("p"), Asc("P"):
        Select Case PortAddr
        Case &H378: PortAddr = &H278
        Case &H278: PortAddr = &H3BC
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
            Case &H3BC: PortAddr = &H378
            End Select
            DisplayInfo
    End Select

   CheckKeyPress = b
   keypressed = False
End Function


'*********************************************************************}
Sub MainLoop()
Dim quit As Boolean
    SETVALUE
    DisplayMenu
   DisplayInfo
    DrawMainScreen
    Do
       DoEvents
      ' Fm.SCR.Picture = Nothing
       DrawMainScreen
       DrawWaveform
       RetrieveData
     DisplayStatMessage "Stopped."
       quit = CheckKeyPress
   Loop Until quit
End Sub

'*********************************************************************}
Sub InitialiseVariables()

   PortAddr = &H378
   TimeBase = 18
   TrigPol = False
   TrigMode = 0
   CH1volt = 0
   CH2volt = 0
   Armed = False
   UpdateTimebase
   UpdateVoltageRange
   DSOA_TriggerPol TrigPol

End Sub

'*********************************************************************}
Sub Load_Defaults()

End Sub
Sub def()
PortAddr = &H378
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
End Sub
'*********************************************************************}
Sub Save_Defaults()

End Sub

'*********************************************************************}
Sub EX()

Dim OriginalMode As Integer

   OriginalMode = LastMode
   InitialiseVariables
  Load_Defaults
   MainLoop
  Save_Defaults

End Sub
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**CODE MODULE 2**

```
Public PortAddr As Integer

Dim RegA As Byte
Dim RegB As Byte '

'"{***************************************************}
Sub WriteLatchA()

   Out PortAddr, RegA
   Out PortAddr + 2, 3
   Out PortAddr + 2, 1
   Out PortAddr + 2, 3

End Sub
"{***************************************************}
Sub WriteLatchB()

   Out PortAddr, RegB
   Out PortAddr + 2, 3
   Out PortAddr + 2, 2
   Out PortAddr + 2, 3
End Sub

"{***************************************************}
Sub DSOA_Address(b As Boolean)

   If b Then
   RegB = (RegB Or 2)
   Else
   RegB = (RegB And &HFD)
   End If
   WriteLatchB
End Sub

"{***************************************************}
Sub DSOA_Reset()

   RegA = RegA And &HBF
   WriteLatchA
   RegA = RegA Or 64
   WriteLatchA
End Sub

"{***************************************************}
Sub DSOA_Trigger()
   RegA = RegA And &H7F
   WriteLatchA
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
   RegA = RegA Or 128
   WriteLatchA
End Sub

"{*************************************************}
Sub DSOA_TriggerPol(d As Boolean)

   If d Then
      RegB = RegB Or 1
   Else
   RegB = RegB And &HFE
   End If
   WriteLatchB
End Sub

"{*************************************************}
Sub DSOA_ChSelect(d As Boolean)

   If d Then
   RegB = (RegB Or 4)
   Else
   RegB = (RegB And &HFB)
   End If
   WriteLatchB
End Sub

"{*************************************************}
Sub DSOA_DataSelect(d As Boolean)

   If d Then
      RegB = (RegB Or 8)
      Else
      RegB = (RegB And &HF7)
   End If
   WriteLatchB
End Sub

"{*************************************************}
Function DSOA_DecodeByte() As Byte
Dim d As Byte
Dim v As Byte

   v = 0

   DSOA_DataSelect True
   d = Inp(PortAddr + 1)
   d = d Xor &H80
   If (d And 16) <> 0 Then inc v, 64
   If (d And 32) <> 0 Then inc v, 32
   If (d And 64) <> 0 Then inc v, 8
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
  If (d And 128) <> 0 Then inc v, 1

  DSOA_DataSelect False
  d = Inp(PortAddr + 1)
  d = d Xor &H80
  If (d And 16) <> 0 Then inc v, 16
  If (d And 32) <> 0 Then inc v, 128
  If (d And 64) <> 0 Then inc v, 4
  If (d And 128) <> 0 Then inc v, 2

  DSOA_DecodeByte = v
End Function

"{*****************************************************************}
Function DSOA_ReadByteB() As Byte
Dim d As Byte

 DSOA_ChSelect True
 DSOA_ReadByteB = DSOA_DecodeByte
End Function

"{*****************************************************************}
Function DSOA_ReadByteA() As Byte

 DSOA_ChSelect False
 DSOA_ReadByteA = DSOA_DecodeByte
End Function

"{*********************************************}
Function DSOA_EOS() As Boolean
Dim t As Boolean
Dim d As Byte

 d = Inp(PortAddr + 1)
  If (d And 8) > 0 Then
     t = True
  Else
     t = False
  End If

 DSOA_EOS = t
End Function

"{*************************************************}
Sub DSOA_CS0(d As Boolean)

  If d Then
   RegB = RegB Or 32
  Else
   RegB = RegB And &HDF
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
    End If
  WriteLatchB
End Sub

"{***********************************************}
Sub DSOA_CS1(d As Boolean)

   If d Then
      RegB = RegB Or 64
   Else
      RegB = RegB And &HBF
   End If
      WriteLatchB
End Sub

"{***********************************************}
Sub DSOA_CS2(d As Boolean)
   If d Then
      RegB = RegB Or 128
   Else
      RegB = RegB And &H7F
   End If
  WriteLatchB
End Sub

"{***********************************************}
Sub DSOA_Clock(n As Byte)
Dim d As Byte
Dim c1 As Boolean
Dim c2 As Boolean
Dim c3 As Boolean

  If (n < 0) Or (n > 7) Then Exit Sub
  Select Case n
     Case 0: c3 = False: c2 = False: c1 = False
     Case 1:    c3 = False: c2 = False: c1 = True
    Case 2:     c3 = False: c2 = True: c1 = False
    Case 3:     c3 = False: c2 = True: c1 = True
    Case 4:     c3 = True: c2 = False: c1 = False
    Case 5:     c3 = True: c2 = False: c1 = True
    Case 6:     c3 = True: c2 = True: c1 = False
    Case 7:     c3 = True: c2 = True: c1 = True
  End Select
  DSOA_CS0 c1
  DSOA_CS1 c2
  DSOA_CS2 c3
End Sub

"{***********************************************}
Sub DSOA_ChangeVoltageB(Num)
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
Dim c1, c2, c3 As Boolean
  Select Case Num
Case 0:      c1 = False: c2 = False: c3 = True
Case 1:      c1 = False: c2 = False: c3 = False
Case 2:     c1 = False: c2 = True: c3 = False
Case 3:      c1 = True: c2 = False: c3 = True
Case 4:      c1 = True: c2 = False: c3 = False
Case 5:      c1 = True: c2 = True: c3 = False
  End Select
  If c3 Then RegA = RegA Or 1 Else RegA = RegA And &HFE
  If c2 Then RegA = RegA Or 2 Else RegA = RegA And &HFD
  If c1 Then RegA = RegA Or 4 Else RegA = RegA And &HFB
  WriteLatchA
End Sub

"{*****************************************}
Sub DSOA_ChangeVoltageA(Num)
Dim c1, c2, c3 As Boolean

  Select Case Num
Case 0:      c1 = False: c2 = False: c3 = True
Case 1:      c1 = False: c2 = False: c3 = False
Case 2:      c1 = False: c2 = True: c3 = False
Case 3:      c1 = True: c2 = False: c3 = True
Case 4:      c1 = True: c2 = False: c3 = False
Case 5:      c1 = True: c2 = True: c3 = False
  End Select
  If c3 Then RegA = RegA Or 8 Else RegA = RegA And &HF7
  If c2 Then RegA = RegA Or 16 Else RegA = RegA And &HEF
  If c1 Then RegA = RegA Or 32 Else RegA = RegA And &HDF
  WriteLatchA
End Sub
Sub port(addr As Integer, Value As Integer)
Out addr, Valuc
End Sub
Sub inc(data, Value)
data = data + Value
End Sub
Sub dec(data, Value)
data = data - Value
End Sub
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# ภาคผนวก ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# DATA SHEET

# TDA8703
## 8-bit high-speed analog-to-digital converter

Product specification
Supersedes data of April 1993
File under Integrated Circuits, IC02

1996 Aug 26

Philips Semiconductors

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PHILIPS

# 8-bit high-speed analog-to-digital converter

# TDA8703

## FEATURES

- 8-bit resolution
- Sampling rate up to 40 MHz
- High signal-to-noise ratio over a large analog input frequency range (7.1 effective bits at 4.43 MHz full-scale input)
- Binary or two's complement 3-state TTL outputs
- Overflow/underflow 3-state TTL output
- TTL compatible digital inputs
- Low-level AC clock input signal allowed
- Internal reference voltage generator
- Power dissipation only 290 mW (typical)
- Low analog input capacitance, no buffer amplifier required
- No sample-and-hold circuit required.

## APPLICATIONS

- General purpose high-speed analog-to-digital conversion
- Digital TV, IDTV
- Subscriber TV decoder
- Satellite TV decoders
- Digital VCR.

## GENERAL DESCRIPTION

The TDA8703 is an 8-bit high-speed Analog-to-Digital Converter (ADC) for video and other applications. It converts the analog input signal into 8-bit binary-coded digital words at a maximum sampling rate of 40 MHz. All digital inputs and outputs are TTL compatible, although a low-level AC clock input signal is allowed.

## ORDERING INFORMATION

| TYPE NUMBER | PACKAGE | | |
|---|---|---|---|
| | NAME | DESCRIPTION | VERSION |
| TDA8703 | DIP24 | plastic dual in-line package; 24 leads (600 mil) | SOT101-1 |
| TDA8703T | SO24 | plastic small outline package; 24 leads; body width 7.5 mm | SOT137-1 |



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## QUICK REFERENCE DATA

| SYMBOL | PARAMETER | CONDITIONS | MIN. | TYP. | MAX. | UNIT |
|---|---|---|---|---|---|---|
| $V_{CCA}$ | analog supply voltage | | 4.5 | 5.0 | 5.5 | V |
| $V_{CCD}$ | digital supply voltage | | 4.5 | 5.0 | 5.5 | V |
| $V_{CCO}$ | output stages supply voltage | | 4.2 | 5.0 | 5.5 | V |
| $I_{CCA}$ | analog supply current | | – | 28 | 36 | mA |
| $I_{CCD}$ | digital supply current | | – | 19 | 25 | mA |
| $I_{CCO}$ | output stages supply current | | – | 11 | 14 | mA |
| ILE | DC integral linearity error | | – | – | ±1 | LSB |
| DLE | DC differential linearity error | | – | – | ±1/2 | LSB |
| AILE | AC integral linearity error | note 1 | – | – | ±2 | LSB |
| B | –3 dB bandwidth | note 2; $f_{CLK}$ = 40 MHz | – | 19.5 | – | MHz |
| $f_{CLK}/f_{\overline{CLK}}$ | maximum conversion rate | note 3 | 40 | – | – | MHz |
| $P_{tot}$ | total power dissipation | | – | 290 | 415 | mW |

**Notes**

1. Full-scale sinewave ($f_i$ = 4.4 MHz; $f_{CLK}$; $f_{\overline{CLK}}$ = 27 MHz).
2. The –3 dB bandwidth is determined by the 3 dB reduction in the reconstructed output (full-scale signal at input).
3. The circuit has two clock inputs CLK and $\overline{CLK}$. There are four modes of operation:
   a) TTL (mode 1); $\overline{CLK}$ decoupled to DGND by a capacitor. CLK input is TTL threshold voltage of 1.5 V and sampling on the LOW-to-HIGH transition of the input clock signal.
   b) TTL (mode 2); CLK decoupled to DGND by a capacitor. $\overline{CLK}$ input is TTL threshold voltage of 1.5 V and sampling on the HIGH-to-LOW transition of the input clock signal.
   c) AC drive modes (modes 3 and 4); When driving the CLK input directly and with any AC signal of 0.5 V (peak-to-peak value) imposed on a DC level of 1.5 V, sampling takes place on the LOW-to-HIGH transition of the clock signal. When driving the $\overline{CLK}$ input with such a signal, sampling takes place on the HIGH-to-LOW transition.
   d) If one of the clock inputs is not driven, then it is recommended to decouple this input to DGND with a 100 nF capacitor.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## BLOCK DIAGRAM

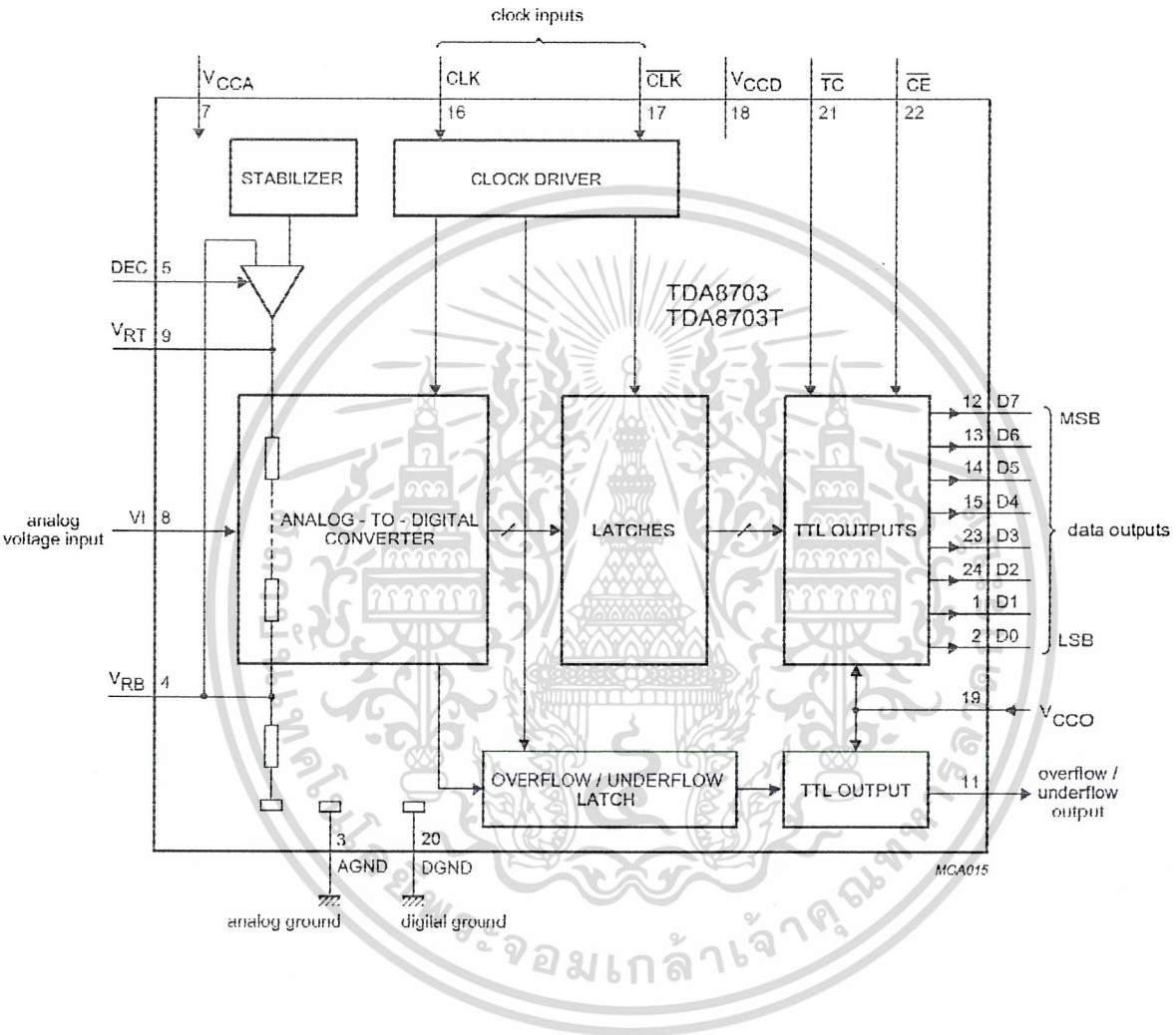



Fig.1 Block diagram.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## PINNING

| SYMBOL | PIN | DESCRIPTION |
|---|---|---|
| D1 | 1 | data output; bit 1 |
| D0 | 2 | data output; bit 0 (LSB) |
| AGND | 3 | analog ground |
| $V_{RB}$ | 4 | reference voltage bottom (decoupling) |
| DEC | 5 | decoupling input (internal stabilization loop decoupling) |
| n.c. | 6 | not connected |
| $V_{CCA}$ | 7 | positive supply voltage for analog circuits (+5 V) |
| VI | 8 | analog voltage input |
| $V_{RT}$ | 9 | reference voltage top (decoupling) |
| n.c. | 10 | not connected |
| O/UF | 11 | overflow/underflow data output |
| D7 | 12 | data output; bit 7 (MSB) |
| D6 | 13 | data output; bit 6 |
| D5 | 14 | data output; bit 5 |
| D4 | 15 | data output; bit 4 |
| CLK | 16 | clock input |
| $\overline{CLK}$ | 17 | complementary clock input |
| $V_{CCD}$ | 18 | positive supply voltage for digital circuits (+5 V) |
| $V_{CCO}$ | 19 | positive supply voltage for output stages (+5 V) |
| DGND | 20 | digital ground |
| $\overline{TC}$ | 21 | input for two's complement output (TTL level input, active LOW) |
| $\overline{CE}$ | 22 | chip enable input (TTL level input, active LOW) |
| D3 | 23 | data output; bit 3 |
| D2 | 24 | data output; bit 2 |

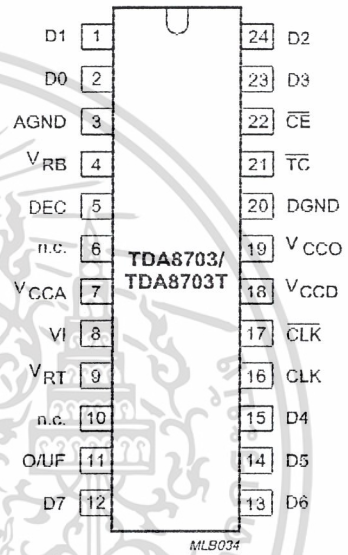



Fig.2 Pin configuration.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## LIMITING VALUES

In accordance with the Absolute Maximum Rating System (IEC 134).

| SYMBOL | PARAMETER | CONDITIONS | MIN. | MAX. | UNIT |
|---|---|---|---|---|---|
| $V_{CCA}$ | analog supply voltage | | −0.3 | +7.0 | V |
| $V_{CCD}$ | digital supply voltage | | −0.3 | +7.0 | V |
| $V_{CCO}$ | output stages supply voltage | | −0.3 | +7.0 | V |
| $V_{CCA} - V_{CCD}$ | supply voltage differences | | −1.0 | +1.0 | V |
| $V_{CCO} - V_{CCD}$ | supply voltage differences | | −1.0 | +1.0 | V |
| $V_{CCA} - V_{CCO}$ | supply voltage differences | | −1.0 | +1.0 | V |
| $V_{VI}$ | input voltage range | referenced to AGND | −0.3 | +7.0 | V |
| $V_{CLK}/V_{\overline{CLK}}$ | AC input voltage for switching (peak-to-peak value) | note 1; referenced to DGND | – | 2.0 | V |
| $I_O$ | output current | | – | +10 | mA |
| $T_{stg}$ | storage temperature | | −55 | +150 | °C |
| $T_{amb}$ | operating ambient temperature | | 0 | +70 | °C |
| $T_j$ | junction temperature | | – | +125 | °C |

**Notes**

1. The circuit has two clock inputs CLK and $\overline{CLK}$. There are four modes of operation:
   a) TTL (mode 1); $\overline{CLK}$ decoupled to DGND by a capacitor. CLK input is TTL threshold voltage of 1.5 V and sampling on the LOW-to-HIGH transition of the input clock signal.
   b) TTL (mode 2); CLK decoupled to DGND by a capacitor. $\overline{CLK}$ input is TTL threshold voltage of 1.5 V and sampling on the HIGH-to-LOW transition of the input clock signal.
   c) AC drive modes (modes 3 and 4); When driving the CLK input directly and with any AC signal of 0.5 V (peak-to-peak value) imposed on a DC level of 1.5 V, sampling takes place on the LOW-to-HIGH transition of the clock signal. When driving the $\overline{CLK}$ input with such a signal, sampling takes place on the HIGH-to-LOW transition.
   d) If one of the clock inputs is not driven, then it is recommended to decouple this input to DGND with a 100 nF capacitor.

## HANDLING

Inputs and outputs are protected against electrostatic discharges in normal handling. However, to be totally safe, it is desirable to take normal precautions appropriate to handling integrated circuits.

## THERMAL RESISTANCE

| SYMBOL | PARAMETER | VALUE | UNIT |
|---|---|---|---|
| $R_{th\ j-a}$ | from junction to ambient in free air | | |
| | SOT101-1 | 55 | K/W |
| | SOT137-1 | 75 | K/W |



นี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## CHARACTERISTICS

$V_{CCA} = V_7 - V_3 = 4.5$ V to 5.5 V; $V_{CCD} = V_{18} - V_{20} = 4.5$ V to 5.5 V; $V_{CCO} = V_{19} - V_{20} = 4.5$ V to 5.5 V; AGND and DGND shorted together; $V_{CCA} - V_{CCD} = -0.5$ V to +0.5 V; $V_{CCO} - V_{CCD} = -0.5$ V to +0.5 V; $V_{CCA} - V_{CCD} = -0.5$ V to +0.5 V; $T_{amb} = 0$ °C to +70 °C; unless otherwise specified (typical values measured at $V_{CCA} = V_{CCD} = V_{CCO} = 5$ V and $T_{amb} = 25$ °C).

| SYMBOL | PARAMETER | CONDITIONS | MIN. | TYP. | MAX. | UNIT |
|---|---|---|---|---|---|---|
| **Supply** | | | | | | |
| $V_{CCA}$ | analog supply voltage | | 4.5 | 5.0 | 5.5 | V |
| $V_{CCD}$ | digital supply voltage | | 4.5 | 5.0 | 5.5 | V |
| $V_{CCO}$ | output stages supply voltage | | 4.2 | 5.0 | 5.5 | V |
| $I_{CCA}$ | analog supply current | | – | 28 | 36 | mA |
| $I_{CCD}$ | digital supply current | | – | 19 | 25 | mA |
| $I_{CCO}$ | output stage supply current | all outputs LOW | – | 11 | 14 | mA |
| **Inputs** | | | | | | |
| CLOCK INPUT $\overline{CLK}$ AND CLK (note 1; REFERENCED TO DGND) | | | | | | |
| $V_{IL}$ | LOW level input voltage | | 0 | – | 0.8 | V |
| $V_{IH}$ | HIGH level input voltage | | 2.0 | – | $V_{CCD}$ | V |
| $I_{IL}$ | LOW level input current | $V_{CLK}/V_{\overline{CLK}} = 0.4$ V | −400 | – | – | µA |
| $I_{IH}$ | HIGH level input current | $V_{CLK}/V_{\overline{CLK}} = 0.4$ V | – | – | 100 | µA |
| | | $V_{CLK}/V_{\overline{CLK}} = V_{CCD}$ | – | – | 300 | µA |
| $Z_i$ | input impedance | $f_{CLK}/f_{\overline{CLK}} = 10$ MHz | – | 4 | – | kΩ |
| $C_i$ | input capacitance | $f_{CLK}/f_{\overline{CLK}} = 10$ MHz | – | 4.5 | – | pF |
| $V_{CLK} - V_{\overline{CLK}}$ | AC input voltage for switching (peak-to-peak value) | note 1; DC level = 1.5 V | 0.5 | – | 2.0 | V |
| $\overline{TC}$ AND $\overline{CE}$ (REFERENCED TO DGND) | | | | | | |
| $V_{IL}$ | LOW level input voltage | | 0 | – | 0.8 | V |
| $V_{IH}$ | HIGH level input voltage | | 2.0 | – | $V_{CCD}$ | V |
| $I_{IL}$ | LOW level input current | $V_{IL} = 0.4$ V | −400 | – | – | µA |
| $I_{IH}$ | HIGH level input current | $V_{IH} = 2.7$ V | – | – | 20 | µA |
| VI (ANALOG INPUT VOLTAGE REFERENCED TO AGND) | | | | | | |
| $V_{VI(B)}$ | input voltage (bottom) | | 1.33 | 1.41 | 1.48 | V |
| $V_{VI(0)}$ | input voltage | output code = 0 | 1.455 | 1.55 | 1.635 | V |
| $V_{OS(B)}$ | offset voltage (bottom) | $V_{VI(0)} - V_{VI(B)}$ | 0.125 | – | 0.155 | V |
| $V_{VI(T)}$ | input voltage (top) | | 3.2 | 3.36 | 3.5 | V |
| $V_{VI(255)}$ | input voltage | output code = 255 | 3.115 | 3.26 | 3.385 | V |
| $V_{OS(T)}$ | offset voltage (top) | $V_{VI(T)} - V_{VI(255)}$ | 0.085 | – | 0.115 | V |
| $V_{VI(p-p)}$ | input voltage amplitude (peak-to-peak value) | | 1.66 | 1.71 | 1.75 | V |
| $I_{IL}$ | LOW level input current | $V_{VI} = 1.4$ V | – | 0 | – | µA |
| $I_{IH}$ | HIGH level input current | $V_{VI} = 3.6$ V | 60 | 120 | 180 | µA |
| $Z_i$ | input impedance | $f_i = 1$ MHz | – | 10 | – | kΩ |
| $C_i$ | input capacitance | $f_i = 1$ MHz | – | 14 | – | pF |



นี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

| SYMBOL | PARAMETER | CONDITIONS | MIN. | TYP. | MAX. | UNIT |
|---|---|---|---|---|---|---|
| **Reference resistance** | | | | | | |
| $R_{ref}$ | reference resistance | $V_{RT}$ to $V_{RB}$ | – | 220 | – | Ω |
| **Outputs** | | | | | | |
| DIGITAL OUTPUTS (D7 - D0) (REFERENCED TO DGND) | | | | | | |
| $V_{OL}$ | LOW level output voltage | $I_O$ = 1 mA | 0 | – | 0.4 | V |
| $V_{OH}$ | HIGH level output voltage | $I_O$ = –0.4 mA | 2.7 | – | $V_{CCD}$ | V |
| $I_{OZ}$ | output current in 3-state mode | 0.4 V < $V_O$ < $V_{CCD}$ | –20 | – | +20 | µA |
| **Switching characteristics** (note 2; see Fig.3) | | | | | | |
| $f_{CLK}/f_{\overline{CLK}}$ | maximum clock frequency | | 40 | – | – | MHz |
| **Analog signal processing ($f_{CLK}$ = 40 MHz)** | | | | | | |
| B | –3 dB bandwidth | note 3 | – | 19.5 | – | MHz |
| $G_d$ | differential gain | note 4 | – | 0.6 | – | % |
| $\phi_d$ | differential phase | note 4 | – | 0.8 | – | deg |
| $f_1$ | fundamental harmonics (full-scale) | $f_i$ = 4.43 MHz | – | – | 0 | dB |
| $f_{all}$ | harmonics (full-scale), all components | $f_i$ = 4.43 MHz | – | –55 | – | dB |
| SVRR1 | supply voltage ripple rejection | note 5 | – | –28 | –25 | dB |
| SVRR2 | supply voltage ripple rejection | note 5 | – | 1 | 2.5 | %/V |
| **Transfer function** | | | | | | |
| ILE | DC integral linearity error | | – | – | ±1 | LSB |
| DLE | DC differential linearity error | | – | – | ±1/2 | LSB |
| AILE | AC integral linearity error | note 6 | – | – | ±2 | LSB |
| EB | effective bits | $f_i$ = 4.43 MHz | – | 7.1 | – | bits |
| **Timing** (note 7; see Figs 3 to 6; $f_{CLK}$ = 40 MHz) | | | | | | |
| $t_{dS}$ | sampling delay | | – | – | 2 | ns |
| $t_{HD}$ | output hold time | | 6 | – | – | ns |
| $t_{dLH}$ | output delay time | LOW-to-HIGH transition | – | 8 | 10 | ns |
| $t_{dHL}$ | output delay time | HIGH-to-LOW transition | – | 16 | 20 | ns |
| $t_{dZH}$ | 3-state output delay times | enable-to-HIGH | – | 19 | 25 | ns |
| $t_{dZL}$ | 3-state output delay times | enable-to-LOW | – | 16 | 20 | ns |
| $t_{dHZ}$ | 3-state output delay times | disable-to-HIGH | – | 14 | 20 | ns |
| $t_{dLZ}$ | 3-state output delay times | disable-to-LOW | – | 9 | 12 | ns |



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**Notes**

1. The circuit has two clock inputs CLK and $\overline{CLK}$. There are four modes of operation:
   a) TTL (mode 1); $\overline{CLK}$ decoupled to DGND by a capacitor. CLK input is TTL threshold voltage of 1.5 V and sampling on the LOW-to-HIGH transition of the input clock signal.
   b) TTL (mode 2); CLK decoupled to DGND by a capacitor. $\overline{CLK}$ input is TTL threshold voltage of 1.5 V and sampling on the HIGH-to-LOW transition of the input clock signal.
   c) AC drive modes (modes 3 and 4); When driving the CLK input directly and with any AC signal of 0.5 V (peak-to-peak value) imposed on a DC level of 1.5 V, sampling takes place on the LOW-to-HIGH transition of the clock signal. When driving the $\overline{CLK}$ input with such a signal, sampling takes place on the HIGH-to-LOW transition.
   d) If one of the clock inputs is not driven, then it is recommended to decouple this input to DGND with a 100 nF capacitor.
2. In addition to a good layout of the digital and analog ground, it is recommended that the rise and fall times of the clock must not be less than 2 ns.
3. The –3 dB bandwidth is determined by the 3 dB reduction in the reconstructed output (full-scale signal at the input).
4. Low frequency ramp signal ($V_{VI(p-p)}$ = 1.8 V and $f_i$ = 15 kHz) combined with a sinewave input voltage ($V_{VI(p-p)}$ = 0.5 V, $f_i$ = 4.43 MHz) at the input.
5. Supply voltage ripple rejection:
   a) SVRR1; variation of the input voltage producing output code 127 for supply voltage variation of 1 V: $SVRR1 = 20 \log (\Delta V_{VI(127)} / \Delta V_{CCA})$
   b) SVRR2; relative variation of the full-scale range of analog input for a supply voltage variation of 1 V: $SVR2 = \{\Delta(V_{VI(0)} - V_{VI(255)}) / (V_{VI(0)} - V_{VI(255)})\} \div \Delta V_{CCA}$.
6. Full-scale sinewave ($f_i$ = 4.4 MHz; $f_{CLK}$; $f_{\overline{CLK}}$ = 27 MHz).
7. Output data acquisition:
   a) Output data is available after the maximum delay of $t_{dHL}$ and $t_{dLH}$.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**Table 1** Output coding and input voltage (referenced to AGND; typical values)

| | | | BINARY OUTPUT BITS | | | | | | | | TWO'S COMPLEMENT OUTPUT BITS | | | | | | | |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| STEP | $V_{VI(p-p)}$ | O/UF | D7 | D6 | D5 | D4 | D3 | D2 | D1 | D0 | D7 | D6 | D5 | D4 | D3 | D2 | D1 | D0 |
| Underflow | <1.55 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 0 | 1.55 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 1 | – | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 1 |
| . | . | . | . | . | . | . | . | . | . | . | . | . | . | . | . | . | . | . |
| . | . | . | . | . | . | . | . | . | . | . | . | . | . | . | . | . | . | . |
| 254 | . | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 0 |
| 255 | 3.26 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| Overflow | >3.26 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |

**Table 2** Mode selection

| $\overline{TC}$ | $\overline{CE}$ | D7-D0 | O/UF |
|---|---|---|---|
| X(1) | 1 | high impedance | high impedance |
| 0 | 0 | active; two's complement | active |
| 1 | 0 | active; binary | active |

**Note**

1. X = don't care.

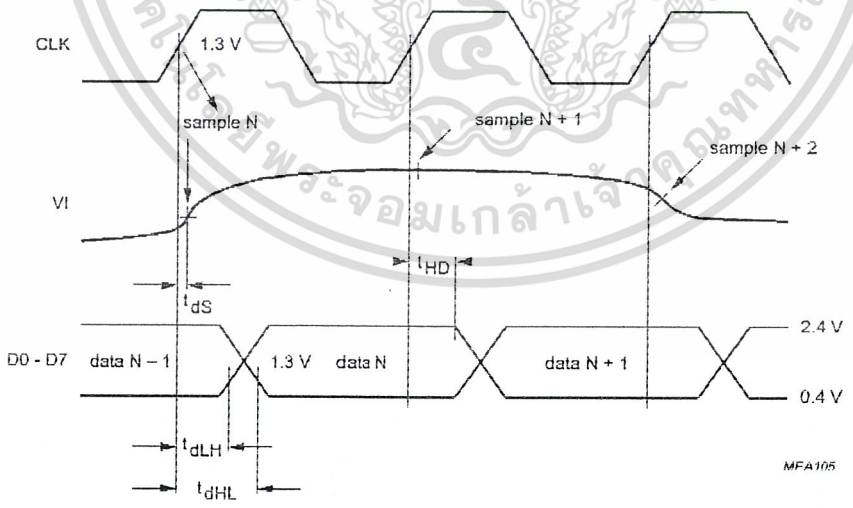



Fig.3 Timing diagram.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

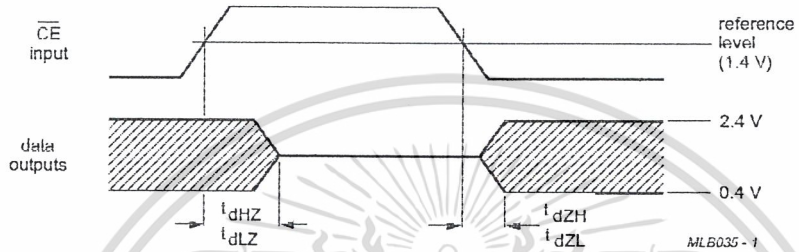



Fig.4 3-state delay timing diagram.

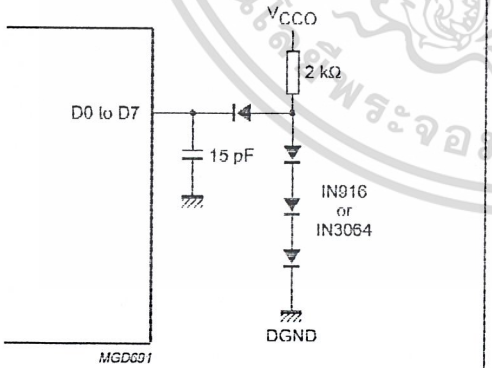



Fig.5 Load circuit for timing measurement; data outputs ($\overline{CE}$ = LOW).

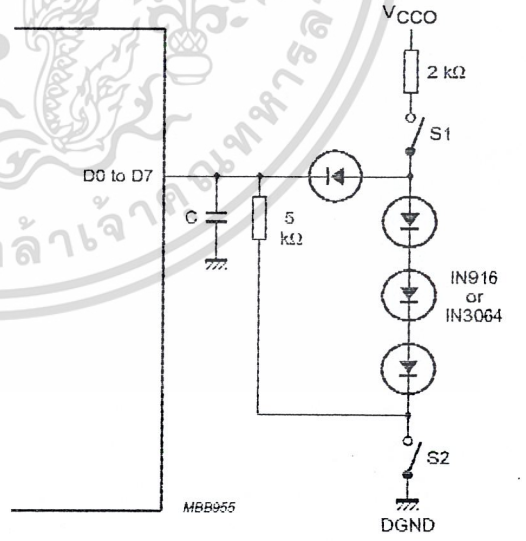



Fig.6 Load circuit for timing measurement; 3-state outputs ($\overline{CE}$: $f_i$ = 1 MHz; $V_{VI}$ = 3 V); see Table 3.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**Table 3** Mode selection

| TIMING MEASUREMENT | SWITCH S1 | SWITCH S2 | CAPACITOR |
|---|---|---|---|
| $t_{dZH}$ | open | closed | 15 pF |
| $t_{dZL}$ | closed | open | 15 pF |
| $t_{dHZ}$ | closed | closed | 5 pF |
| $t_{dLZ}$ | closed | closed | 5 pF |

## INTERNAL PIN CONFIGURATIONS

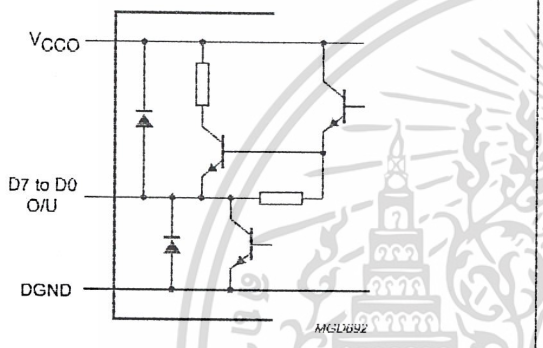



Fig.7 TTL data and overflow/underflow outputs.

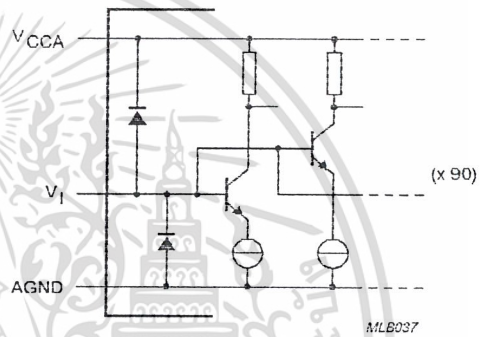



Fig.8 Analog inputs.

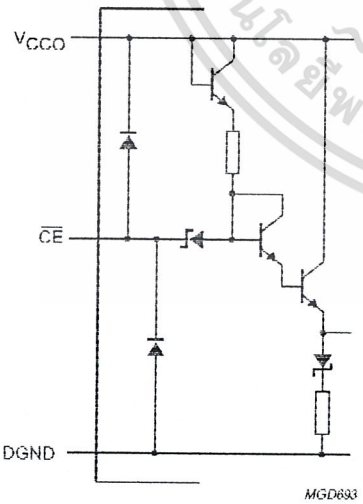



Fig.9 $\overline{CE}$ (3-state) input.

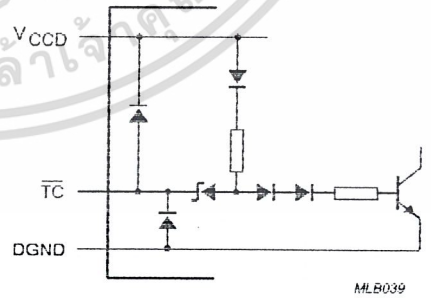



Fig.10 $\overline{TC}$ (two's complement) input.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

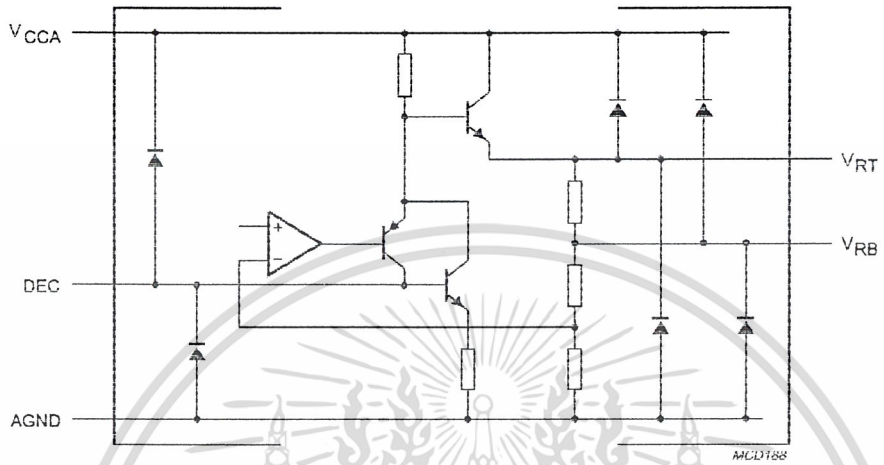



Fig.11 $V_{RB}$, $V_{RT}$ and DEC.

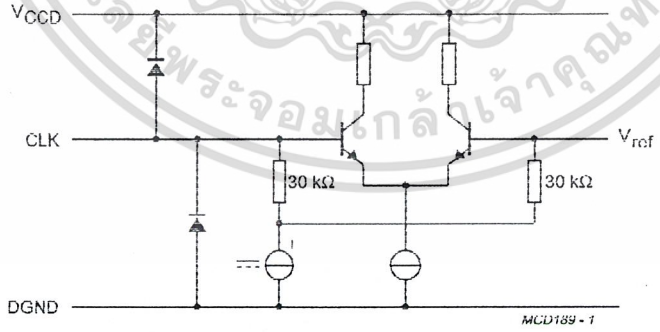


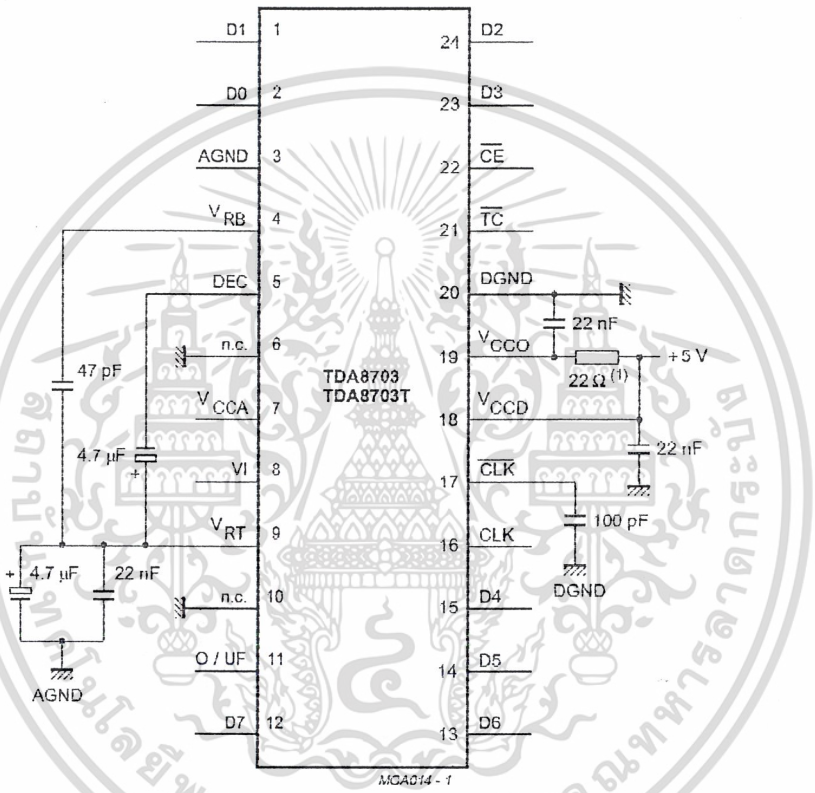

Fig.12 CLK and $\overline{CLK}$ inputs.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## APPLICATION INFORMATION

Additional application information will be supplied upon request (please quote number FTV/8901).




CLK should be decoupled to the DGND with a 100 nF capacitor, if a TTL signal is used on CLK (see Chapter "Characteristics", note 1).

CLK and $\overline{CLK}$ can be used in a differential mode (see Chapter "Characteristics", note 1).

$V_{RB}$ and $V_{RT}$ are decoupling pins for the internal reference ladder; do not draw current from these pins in order to achieve good linearity.

If it is required to use the TDA8703 in a parallel system configuration, the references ($V_{RB}$ and $V_{RT}$) of each TDA8703 can be connected together. Code 0 will be identical and code 255 will remain in the 1 LSB variation for each TDA8703.

Analog and digital supplies should be separated and decoupled.

Pins 6 and 10 should be connected to AGND in order to prevent noise influence.

(1) It is recommended to decouple $V_{CCO}$ through a 22 Ω resistor especially when the output data of the TDA8703 interfaces with a capacitive CMOS load device.

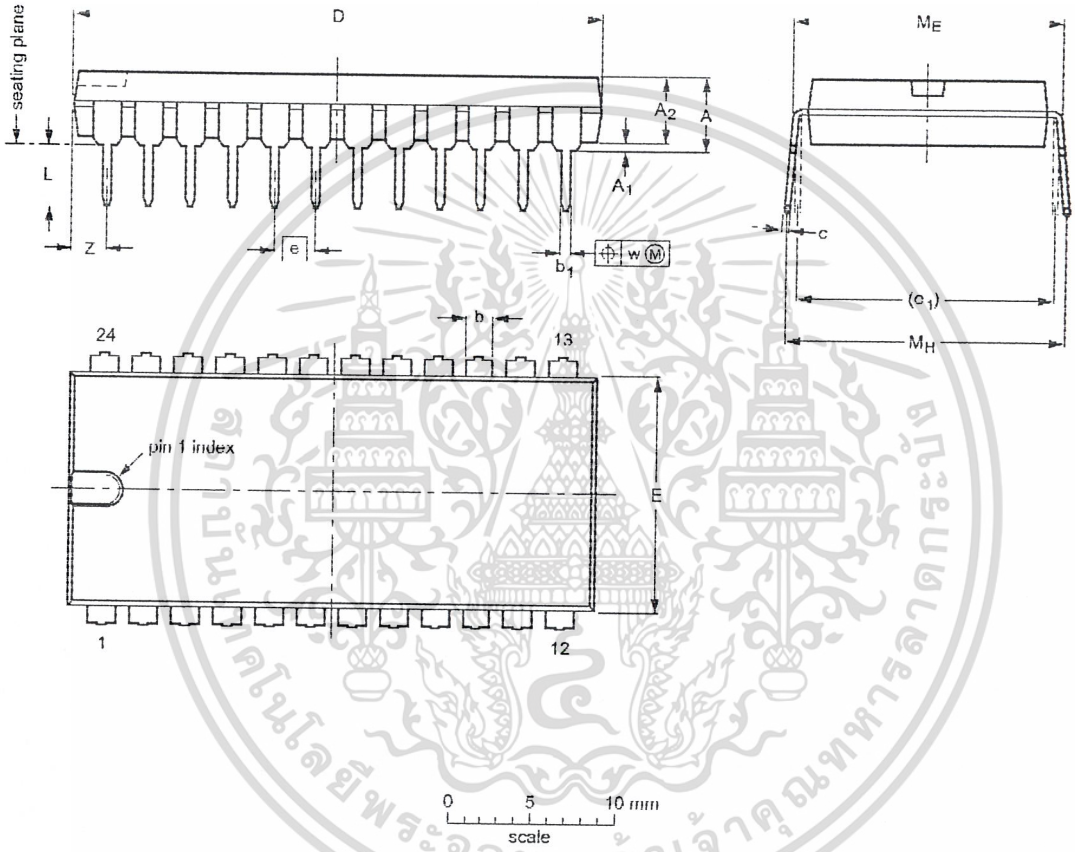
Fig.13 Application diagram.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## PACKAGE OUTLINES

**DIP24: plastic dual in-line package; 24 leads (600 mil)** **SOT101-1**




**DIMENSIONS (inch dimensions are derived from the original mm dimensions)**

| UNIT | A max. | $A_1$ min. | $A_2$ max. | b | $b_1$ | c | D (1) | E (1) | e | $e_1$ | L | $M_E$ | $M_H$ | w | Z (1) max. |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| mm | 5.1 | 0.51 | 4.0 | 1.7<br>1.3 | 0.53<br>0.38 | 0.32<br>0.23 | 32.0<br>31.4 | 14.1<br>13.7 | 2.54 | 15.24 | 3.9<br>3.4 | 15.80<br>15.24 | 17.15<br>15.90 | 0.25 | 2.2 |
| inches | 0.20 | 0.020 | 0.16 | 0.066<br>0.051 | 0.021<br>0.015 | 0.013<br>0.009 | 1.26<br>1.24 | 0.56<br>0.54 | 0.10 | 0.60 | 0.15<br>0.13 | 0.62<br>0.60 | 0.68<br>0.63 | 0.01 | 0.087 |

**Note**

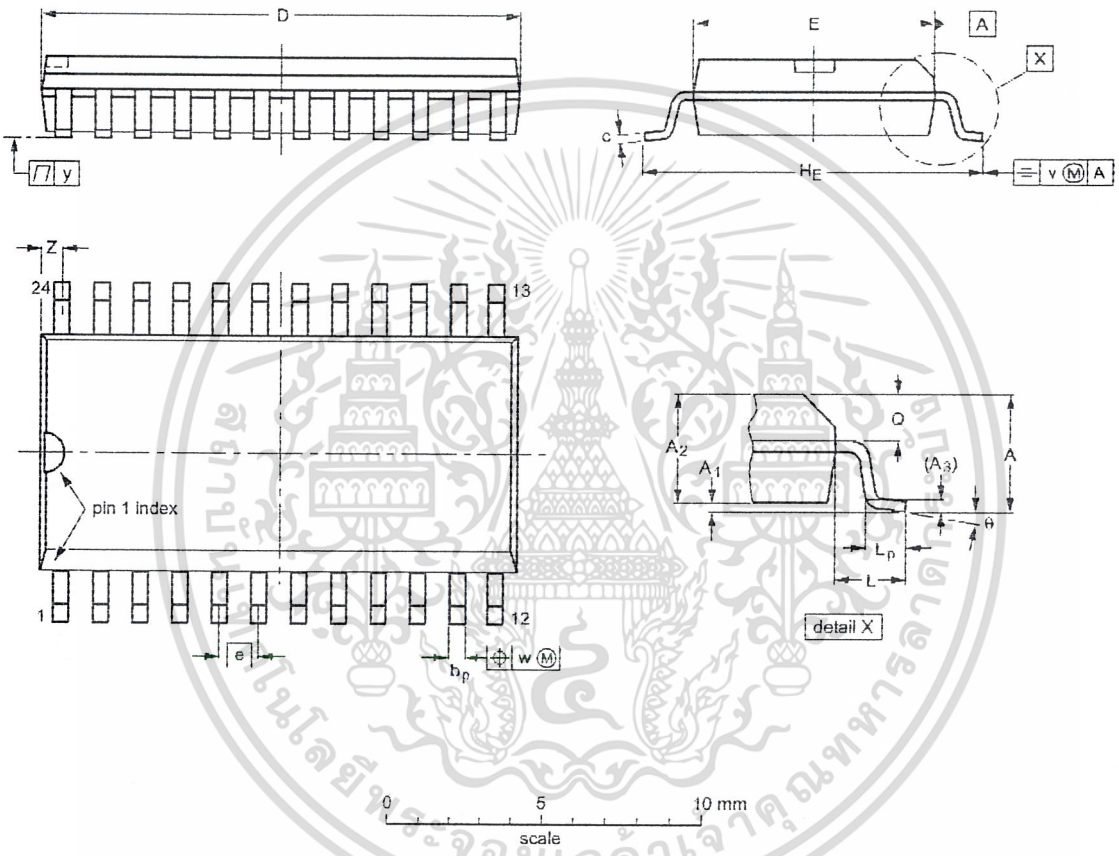
1. Plastic or metal protrusions of 0.25 mm maximum per side are not included.

| OUTLINE VERSION | REFERENCES | | | | EUROPEAN PROJECTION | ISSUE DATE |
|---|---|---|---|---|---|---|
| | IEC | JEDEC | EIAJ | | | |
| SOT101-1 | 051G02 | MO-015AD | | | | ~~92-11-17~~<br>95-01-23 |



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**SO24: plastic small outline package; 24 leads; body width 7.5 mm** **SOT137-1**




**DIMENSIONS** (inch dimensions are derived from the original mm dimensions)

| UNIT | A max. | $A_1$ | $A_2$ | $A_3$ | $b_p$ | c | $D^{(1)}$ | $E^{(1)}$ | e | $H_E$ | L | $L_p$ | Q | v | w | y | $Z^{(1)}$ | θ |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| mm | 2.65 | 0.30<br>0.10 | 2.45<br>2.25 | 0.25 | 0.49<br>0.36 | 0.32<br>0.23 | 15.6<br>15.2 | 7.6<br>7.4 | 1.27 | 10.65<br>10.00 | 1.4 | 1.1<br>0.4 | 1.1<br>1.0 | 0.25 | 0.25 | 0.1 | 0.9<br>0.4 | 8°<br>0° |
| inches | 0.10 | 0.012<br>0.004 | 0.096<br>0.089 | 0.01 | 0.019<br>0.014 | 0.013<br>0.009 | 0.61<br>0.60 | 0.30<br>0.29 | 0.050 | 0.42<br>0.39 | 0.055 | 0.043<br>0.016 | 0.043<br>0.039 | 0.01 | 0.01 | 0.001 | 0.035<br>0.016 | |

**Note**

1. Plastic or metal protrusions of 0.15 mm maximum per side are not included.

| OUTLINE VERSION | REFERENCES | | | | EUROPEAN PROJECTION | ISSUE DATE |
|---|---|---|---|---|---|---|
| | IEC | JEDEC | EIAJ | | | |
| SOT137-1 | 075E05 | MS-013AD | | | | ~~92-11-17~~<br>95-01-24 |



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## SOLDERING

### Introduction

There is no soldering method that is ideal for all IC packages. Wave soldering is often preferred when through-hole and surface mounted components are mixed on one printed-circuit board. However, wave soldering is not always suitable for surface mounted ICs, or for printed-circuits with high population densities. In these situations reflow soldering is often used.

This text gives a very brief insight to a complex technology. A more in-depth account of soldering ICs can be found in our *"IC Package Databook"* (order code 9398 652 90011).

### DIP

#### Soldering by dipping or by wave

The maximum permissible temperature of the solder is 260 °C; solder at this temperature must not be in contact with the joint for more than 5 seconds. The total contact time of successive solder waves must not exceed 5 seconds.

The device may be mounted up to the seating plane, but the temperature of the plastic body must not exceed the specified maximum storage temperature ($T_{stg\ max}$). If the printed-circuit board has been pre-heated, forced cooling may be necessary immediately after soldering to keep the temperature within the permissible limit.

#### Repairing soldered joints

Apply a low voltage soldering iron (less than 24 V) to the lead(s) of the package, below the seating plane or not more than 2 mm above it. If the temperature of the soldering iron bit is less than 300 °C it may remain in contact for up to 10 seconds. If the bit temperature is between 300 and 400 °C, contact may be up to 5 seconds.

### SO

#### Reflow soldering

Reflow soldering techniques are suitable for all SO packages.

Reflow soldering requires solder paste (a suspension of fine solder particles, flux and binding agent) to be applied to the printed-circuit board by screen printing, stencilling or pressure-syringe dispensing before package placement.

Several techniques exist for reflowing; for example, thermal conduction by heated belt. Dwell times vary between 50 and 300 seconds depending on heating method. Typical reflow temperatures range from 215 to 250 °C.

Preheating is necessary to dry the paste and evaporate the binding agent. Preheating duration: 45 minutes at 45 °C.

#### Wave soldering

Wave soldering techniques can be used for all SO packages if the following conditions are observed:

- A double-wave (a turbulent wave with high upward pressure followed by a smooth laminar wave) soldering technique should be used.
- The longitudinal axis of the package footprint must be parallel to the solder flow.
- The package footprint must incorporate solder thieves at the downstream end.

During placement and before soldering, the package must be fixed with a droplet of adhesive. The adhesive can be applied by screen printing, pin transfer or syringe dispensing. The package can be soldered after the adhesive is cured.

Maximum permissible solder temperature is 260 °C, and maximum duration of package immersion in solder is 10 seconds, if cooled to less than 150 °C within 6 seconds. Typical dwell time is 4 seconds at 250 °C.

A mildly-activated flux will eliminate the need for removal of corrosive residues in most applications.

#### Repairing soldered joints

Fix the component by first soldering two diagonally-opposite end leads. Use only a low voltage soldering iron (less than 24 V) applied to the flat part of the lead. Contact time must be limited to 10 seconds at up to 300 °C. When using a dedicated tool, all other leads can be soldered in one operation within 2 to 5 seconds between 270 and 320 °C.



นี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## DEFINITIONS

| Data sheet status | |
|---|---|
| Objective specification | This data sheet contains target or goal specifications for product development. |
| Preliminary specification | This data sheet contains preliminary data; supplementary data may be published later. |
| Product specification | This data sheet contains final product specifications. |
| **Limiting values** | |
| Limiting values given are in accordance with the Absolute Maximum Rating System (IEC 134). Stress above one or more of the limiting values may cause permanent damage to the device. These are stress ratings only and operation of the device at these or at any other conditions above those given in the Characteristics sections of the specification is not implied. Exposure to limiting values for extended periods may affect device reliability. | |
| **Application information** | |
| Where application information is given, it is advisory and does not form part of the specification. | |

## LIFE SUPPORT APPLICATIONS

These products are not designed for use in life support appliances, devices, or systems where malfunction of these products can reasonably be expected to result in personal injury. Philips customers using or selling these products for use in such applications do so at their own risk and agree to fully indemnify Philips for any damages resulting from such improper use or sale.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# CMOS ASYNCHRONOUS FIFO 256 x 9, 512 x 9 and 1,024 x 9

**IDT7200L**
**IDT7201LA**
**IDT7202LA**

## FEATURES:

- First-In/First-Out dual-port memory
- 256 x 9 organization (IDT7200)
- 512 x 9 organization (IDT7201)
- 1,024 x 9 organization (IDT7202)
- Low power consumption
  - *— Active: 440mW (max.)*
  - *—Power-down: 28mW (max.)*
- Ultra high speed—12ns access time
- Asynchronous and simultaneous read and write
- Fully expandable by both word depth and/or bit width
- Pin and functionally compatible with 720X family
- Status Flags: Empty, Half-Full, Full
- Auto-retransmit capability
- High-performance CEMOS™ technology
- Military product compliant to MIL-STD-883, Class B
- Standard Military Drawing #5962-87531, 5962-89666, 5962-89863 and 5962-89536 are listed on this function
- Dual versions available in the TSSOP package. For more information, see IDT7280/7281/7282 data sheet
  - IDT7280 = 2 x IDT7200
  - IDT7281 = 2 x IDT7201
  - IDT7282 = 2 x IDT7202
- Industrial temperature range (–40°C to +85°C) is available (plastic packages only)

## DESCRIPTION:

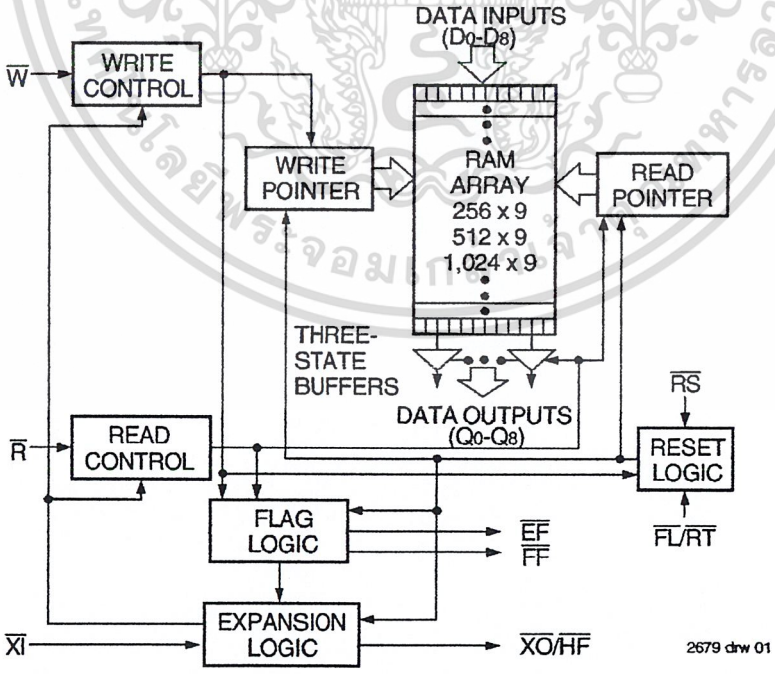
The IDT7200/7201/7202 are dual-port memories that load and empty data on a first-in/first-out basis. The devices use Full and Empty flags to prevent data overflow and underflow and expansion logic to allow for unlimited expansion capability in both word size and depth.

The reads and writes are internally sequential through the use of ring pointers, with no address information required to load and unload data. Data is toggled in and out of the devices through the use of the Write ($\overline{W}$) and Read ($\overline{R}$) pins.

The devices utilize a 9-bit wide data array to allow for control and parity bits at the user's option. This feature is especially useful in data communications applications where it is necessary to use a parity bit for transmission/reception error checking. It also features a Retransmit ($\overline{RT}$) capability that allows for reset of the read pointer to its initial position when $\overline{RT}$ is pulsed LOW to allow for retransmission from the beginning of data. A Half-Full Flag is available in the single device mode and width expansion modes.

These FIFOs are fabricated using IDT's high-speed CMOS technology. They are designed for those applications requiring asynchronous and simultaneous read/writes in multiprocessing and rate buffer applications. Military grade product is manufactured in compliance with the latest revision of MIL-STD-883, Class B.

## FUNCTIONAL BLOCK DIAGRAM




IDT and the IDT logo are registered trademarks of Integrated Device Technology, Inc.

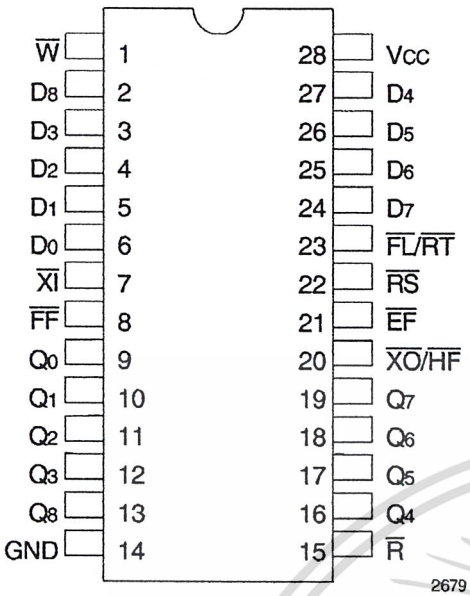


© 2002 Integrated Device Technology, Inc. All rights reserved. Product specifications subject to change without notice.

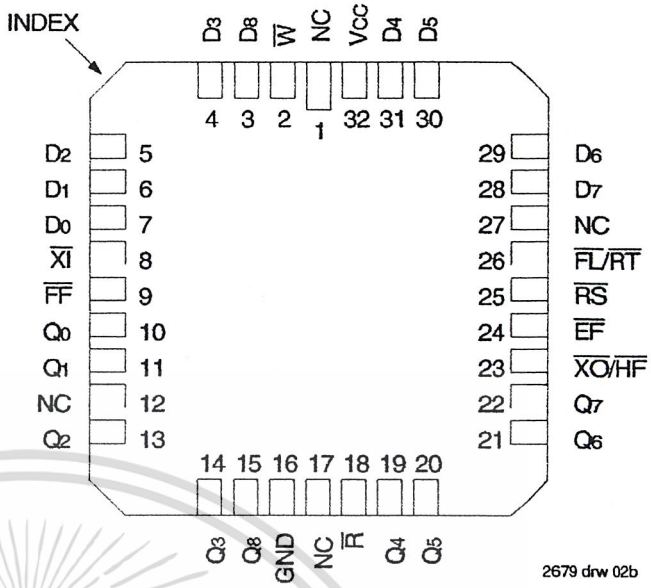


ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## PIN CONFIGURATIONS




2679 drw 02a




2679 drw 02b

| Package Type | Reference Identifier | Order Code |
|---|---|---|
| PLASTIC DIP[1] | P28-1 | P |
| PLASTIC THIN DIP | P28-2 | TP |
| CERDIP[1] | D28-1 | D |
| THIN CERDIP | D28-3 | TD |
| SOIC | SO28-3 | SO |

TOP VIEW

| Package Type | Reference Identifier | Order Code |
|---|---|---|
| LCC[1] | L32-1 | L |
| PLCC | J32-1 | J |

TOP VIEW

NOTE:
1. The 600-mil-wide DIP (P28-1 and D28-1) and LCC are not available for the IDT7200.

## ABSOLUTE MAXIMUM RATINGS

| Symbol | Rating | Com'l & Ind'l | Mil. | Unit |
|---|---|---|---|---|
| $V_{TERM}$ | Terminal Voltage with Respect to GND | –0.5 to +7.0 | –0.5 to +7.0 | V |
| $T_{STG}$ | Storage Temperature | –55 to +125 | –65 to +155 | °C |
| $I_{OUT}$ | DC Output Current | –50 to +50 | –50 to +50 | mA |

NOTE:
1. Stresses greater than those listed under ABSOLUTE MAXIMUM RATINGS may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods may affect reliability.

## RECOMMENDED DC OPERATING CONDITIONS

| Symbol | Parameter | Min. | Typ. | Max. | Unit |
|---|---|---|---|---|---|
| $V_{CC}$ | Supply Voltage Commercial/Industrial/Military | 4.5 | 5.0 | 5.5 | V |
| GND | Supply Voltage | 0 | 0 | 0 | V |
| $V_{IH}$[1] | Input High Voltage Com'l/Ind'l | 2.0 | — | — | V |
| $V_{IH}$[1] | Input High Voltage Military | 2.2 | — | — | V |
| $V_{IL}$[2] | Input Low Voltage Commercial/Industrial/Military | — | — | 0.8 | V |
| $T_A$ | Operating Temperature Commercial | 0 | — | 70 | °C |
| $T_A$ | Operating Temperature Industrial | –40 | — | 85 | °C |
| $T_A$ | Operating Temperature Military | –55 | — | 125 | °C |

NOTES:
1. For RT/RS/XI input, $V_{IH}$ = 2.6V (commercial).
   For RT/RS/XI input, $V_{IH}$ = 2.8V (military).
2. 1.5V undershoots are allowed for 10ns once per cycle.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## DC ELECTRICAL CHARACTERISTICS

(Commercial: $V_{CC}$ = 5V ± 10%, $T_A$ = 0°C to +70°C; Industrial: $V_{CC}$ = 5V ± 10%, $T_A$ = –40°C to +85°C; Military: $V_{CC}$ = 5V ± 10%, $T_A$ = –55°C to +125°C)

| Symbol | Parameter | IDT7200L IDT7201LA IDT7202LA Com'l & Ind'l[1] $t_A$ = 12, 15, 20, 25, 35, 50 ns | | IDT7200L IDT7201LA IDT7202LA Military[2] $t_A$ = 20, 30, 50, 80 ns | | Unit |
|---|---|---|---|---|---|---|
| | | Min. | Max. | Min. | Max. | |
| $I_{LI}$[3] | Input Leakage Current (Any Input) | –1 | 1 | –10 | 10 | µA |
| $I_{LO}$[4] | Output Leakage Current | –10 | 10 | –10 | 10 | µA |
| $V_{OH}$ | Output Logic "1" Voltage $I_{OH}$ = –2mA | 2.4 | — | 2.4 | — | V |
| $V_{OL}$ | Output Logic "0" Voltage $I_{OL}$ = 8mA | — | 0.4 | — | 0.4 | V |
| $I_{CC1}$[5,6,7] | Active Power Supply Current | — | 80 | — | 100 | mA |
| $I_{CC2}$[5,8] | Standby Current ($\overline{R}=\overline{W}=\overline{RS}=\overline{FL}/\overline{RT}=V_{IH}$) | — | 5 | — | 15 | mA |

**NOTES:**
1. Industrial temperature range product for the 15ns and 25 ns speed grades are available as a standard device.
2. Military speed grades of 50ns and 80ns are only available for the IDT7201LA.
3. Measurements with 0.4 ≤ $V_{IN}$ ≤ $V_{CC}$.
4. $\overline{R}$ ≥ $V_{IH}$, 0.4 ≤ $V_{OUT}$ ≤ $V_{CC}$.
5. Tested with outputs open ($I_{OUT}$ = 0).
6. Tested at f = 20 MHz.
7. Typical $I_{CC1}$ = 15 + 2*fs + 0.02*$C_L$*fs (in mA) with $V_{CC}$ = 5V, $T_A$ = 25°C, fs = WCLK frequency = RCLK frequency (in MHz, using TTL levels), data switching at fs/2, $C_L$ = capacitive load (in pF).
8. All Inputs = $V_{CC}$ - 0.2V or GND + 0.2V.

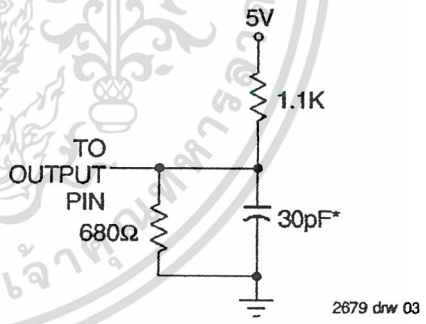
## CAPACITANCE ($T_A$ = +25°C, f = 1.0 MHz)

| Symbol | Parameter | Condition | Max. | Unit |
|---|---|---|---|---|
| $C_{IN}$ | Input Capacitance | $V_{IN}$ = 0V | 8 | pF |
| $C_{OUT}$ | Output Capacitance | $V_{OUT}$ = 0V | 8 | pF |

**NOTE:**
1. Characterized values, not currently tested.

## AC TEST CONDITIONS

| | |
|---|---|
| Input Pulse Levels | GND to 3.0V |
| Input Rise/Fall Times | 5ns |
| Input Timing Reference Levels | 1.5V |
| Output Reference Levels | 1.5V |
| Output Load | See Figure 1 |




or equivalent circuit

***Figure 1. Output Load***

* Includes scope and jig capacitances.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## AC ELECTRICAL CHARACTERISTICS(1)

(Commercial: $V_{CC}$ = 5V ± 10%, $T_A$ = 0°C to +70°C; Industrial: $V_{CC}$ = 5V ± 10%, $T_A$ = –40°C to +85°C; Military: $V_{CC}$ = 5V ± 10%, $T_A$ = –55°C to +125°C)

| | | Commercial | | Com'l & Ind'l(2) | | Com'l & Mil. | | Com'l & Ind'l(2) | | |
|---|---|---|---|---|---|---|---|---|---|---|
| | | IDT7200L12 IDT7201LA12 IDT7202LA12 | | IDT7200L15 IDT7201LA15 IDT7202LA15 | | IDT7200L20 IDT7201LA20 IDT7202LA20 | | IDT7200L25 IDT7201LA25 IDT7202LA25 | | |
| Symbol | Parameter | Min. | Max. | Min. | Max. | Min. | Max. | Min. | Max. | Unit |
| $f_S$ | Shift Frequency | — | 50 | — | 40 | — | 33.3 | — | 28.5 | MHz |
| $t_{RC}$ | Read Cycle Time | 20 | — | 25 | — | 30 | — | 35 | — | ns |
| $t_A$ | Access Time | — | 12 | — | 15 | — | 20 | — | 25 | ns |
| $t_{RR}$ | Read Recovery Time | 8 | — | 10 | — | 10 | — | 10 | — | ns |
| $t_{RPW}$ | Read Pulse Width(3) | 12 | — | 15 | — | 20 | — | 25 | — | ns |
| $t_{RLZ}$ | Read Pulse Low to Data Bus at Low Z(4) | 3 | — | 3 | — | 3 | — | 3 | — | ns |
| $t_{WLZ}$ | Write Pulse High to Data Bus at Low Z(4,5) | 5 | — | 5 | — | 5 | — | 5 | — | ns |
| $t_{DV}$ | Data Valid from Read Pulse High | 5 | — | 5 | — | 5 | — | 5 | — | ns |
| $t_{RHZ}$ | Read Pulse High to Data Bus at High Z(4) | — | 12 | — | 15 | — | 15 | — | 18 | ns |
| $t_{WC}$ | Write Cycle Time | 20 | — | 25 | — | 30 | — | 35 | — | ns |
| $t_{WPW}$ | Write Pulse Width(3) | 12 | — | 15 | — | 20 | — | 25 | — | ns |
| $t_{WR}$ | Write Recovery Time | 8 | — | 10 | — | 10 | — | 10 | — | ns |
| $t_{DS}$ | Data Set-up Time | 9 | — | 11 | — | 12 | — | 15 | — | ns |
| $t_{DH}$ | Data Hold Time | 0 | — | 0 | — | 0 | — | 0 | — | ns |
| $t_{RSC}$ | Reset Cycle Time | 20 | — | 25 | — | 30 | — | 35 | — | ns |
| $t_{RS}$ | Reset Pulse Width(3) | 12 | — | 15 | — | 20 | — | 25 | — | ns |
| $t_{RSS}$ | Reset Set-up Time(4) | 12 | — | 15 | — | 20 | — | 25 | — | ns |
| $t_{RSR}$ | Reset Recovery Time | 8 | — | 10 | — | 10 | — | 10 | — | ns |
| $t_{RTC}$ | Retransmit Cycle Time | 20 | — | 25 | — | 30 | — | 35 | — | ns |
| $t_{RT}$ | Retransmit Pulse Width(3) | 12 | — | 15 | — | 20 | — | 25 | — | ns |
| $t_{RTS}$ | Retransmit Set-up Time(4) | 12 | — | 15 | — | 20 | — | 25 | — | ns |
| $t_{RTR}$ | Retransmit Recovery Time | 8 | — | 10 | — | 10 | — | 10 | — | ns |
| $t_{EFL}$ | Reset to Empty Flag Low | — | 12 | — | 25 | — | 30 | — | 35 | ns |
| $t_{HFH,FFH}$ | Reset to Half-Full and Full Flag High | — | 17 | — | 25 | — | 30 | — | 35 | ns |
| $t_{RTF}$ | Retransmit Low to Flags Valid | — | 20 | — | 25 | — | 30 | — | 35 | ns |
| $t_{REF}$ | Read Low to Empty Flag Low | — | 12 | — | 15 | — | 20 | — | 25 | ns |
| $t_{RFF}$ | Read High to Full Flag High | — | 14 | — | 15 | — | 20 | — | 25 | ns |
| $t_{RPE}$ | Read Pulse Width after $\overline{EF}$ High | 12 | — | 15 | — | 20 | — | 25 | — | ns |
| $t_{WEF}$ | Write High to Empty Flag High | — | 12 | — | 15 | — | 20 | — | 25 | ns |
| $t_{WFF}$ | Write Low to Full Flag Low | — | 14 | — | 15 | — | 20 | — | 25 | ns |
| $t_{WHF}$ | Write Low to Half-Full Flag Low | — | 17 | — | 25 | — | 30 | — | 35 | ns |
| $t_{RHF}$ | Read High to Half-Full Flag High | — | 17 | — | 25 | — | 30 | — | 35 | ns |
| $t_{WPF}$ | Write Pulse Width after $\overline{FF}$ High | 12 | — | 15 | — | 20 | — | 25 | — | ns |
| $t_{XOL}$ | Read/Write to $\overline{XO}$ Low | — | 12 | — | 15 | — | 20 | — | 25 | ns |
| $t_{XOH}$ | Read/Write to $\overline{XO}$ High | — | 12 | — | 15 | — | 20 | — | 25 | ns |
| $t_{XI}$ | $\overline{XI}$ Pulse Width(3) | 12 | — | 15 | — | 20 | — | 25 | — | ns |
| $t_{XIR}$ | $\overline{XI}$ Recovery Time | 8 | — | 10 | — | 10 | — | 10 | — | ns |
| $t_{XIS}$ | $\overline{XI}$ Set-up Time | 8 | — | 10 | — | 10 | — | 10 | — | ns |

NOTES:
1. Timings referenced as in AC Test Conditions.
2. Industrial temperature range product for 15ns and 25ns speed grades are available as a standard device.
3. Pulse widths less than minimum value are not allowed.
4. Values guaranteed by design, not currently tested.
5. Only applies to read data flow-through mode



ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## AC ELECTRICAL CHARACTERISTICS[1] (Continued)

(Commercial: $V_{CC}$ = 5V ± 10%, $T_A$ = 0°C to +70°C; Industrial: $V_{CC}$ = 5V ± 10%, $T_A$ = –40°C to +85°C; Military: $V_{CC}$ = 5V ± 10%, $T_A$ = –55°C to +125°C)

| | | Military | | Commercial | | Com'l & Mil.[2] | | Military[2] | | |
|---|---|---|---|---|---|---|---|---|---|---|
| | | IDT7200L30<br>IDT7201LA30<br>IDT7202LA30 | | IDT7200L35<br>IDT7201LA35<br>IDT7202LA35 | | IDT7200L50<br>IDT7201LA50<br>IDT7202LA50 | | IDT7201LA80 | | |
| Symbol | Parameter | Min. | Max. | Min. | Max. | Min. | Max. | Min. | Max. | Unit |
| $f_S$ | Shift Frequency | — | 25 | — | 22.2 | — | 15 | — | 10 | MHz |
| $t_{RC}$ | Read Cycle Time | 40 | — | 45 | — | 65 | — | 100 | — | ns |
| $t_A$ | Access Time | — | 30 | — | 35 | — | 50 | — | 80 | ns |
| $t_{RR}$ | Read Recovery Time | 10 | — | 10 | — | 15 | — | 20 | — | ns |
| $t_{RPW}$ | Read Pulse Width[3] | 30 | — | 35 | — | 50 | — | 80 | — | ns |
| $t_{RLZ}$ | Read Pulse Low to Data Bus at Low Z[4] | 3 | — | 3 | — | 3 | — | 3 | — | ns |
| $t_{WLZ}$ | Write Pulse High to Data Bus at Low Z[4,5] | 5 | — | 5 | — | 5 | — | 5 | — | ns |
| $t_{DV}$ | Data Valid from Read Pulse High | 5 | — | 5 | — | 5 | — | 5 | — | ns |
| $t_{RHZ}$ | Read Pulse High to Data Bus at High Z[4] | — | 20 | — | 20 | — | 30 | — | 30 | ns |
| $t_{WC}$ | Write Cycle Time | 40 | — | 45 | — | 65 | — | 100 | — | ns |
| $t_{WPW}$ | Write Pulse Width[3] | 30 | — | 35 | — | 50 | — | 80 | — | ns |
| $t_{WR}$ | Write Recovery Time | 10 | — | 10 | — | 15 | — | 20 | — | ns |
| $t_{DS}$ | Data Set-up Time | 18 | — | 18 | — | 30 | — | 40 | — | ns |
| $t_{DH}$ | Data Hold Time | 0 | — | 0 | — | 5 | — | 10 | — | ns |
| $t_{RSC}$ | Reset Cycle Time | 40 | — | 45 | — | 65 | — | 100 | — | ns |
| $t_{RS}$ | Reset Pulse Width[3] | 30 | — | 35 | — | 50 | — | 80 | — | ns |
| $t_{RSS}$ | Reset Set-up Time[4] | 30 | — | 35 | — | 50 | — | 80 | — | ns |
| $t_{RSR}$ | Reset Recovery Time | 10 | — | 10 | — | 15 | — | 20 | — | ns |
| $t_{RTC}$ | Retransmit Cycle Time | 40 | — | 45 | — | 65 | — | 100 | — | ns |
| $t_{RT}$ | Retransmit Pulse Width[3] | 30 | — | 35 | — | 50 | — | 80 | — | ns |
| $t_{RTS}$ | Retransmit Set-up Time[4] | 30 | — | 35 | — | 50 | — | 80 | — | ns |
| $t_{RTR}$ | Retransmit Recovery Time | 10 | — | 10 | — | 15 | — | 20 | — | ns |
| $t_{EFL}$ | Reset to Empty Flag Low | — | 40 | — | 45 | — | 65 | — | 100 | ns |
| $t_{HFH,FFH}$ | Reset to Half-Full and Full Flag High | — | 40 | — | 45 | — | 65 | — | 100 | ns |
| $t_{RTF}$ | Retransmit Low to Flags Valid | — | 40 | — | 45 | — | 65 | — | 100 | ns |
| $t_{REF}$ | Read Low to Empty Flag Low | — | 30 | — | 30 | — | 45 | — | 60 | ns |
| $t_{RFF}$ | Read High to Full Flag High | — | 30 | — | 30 | — | 45 | — | 60 | ns |
| $t_{RPE}$ | Read Pulse Width after $\overline{EF}$ High | 30 | — | 35 | — | 50 | — | 80 | — | ns |
| $t_{WEF}$ | Write High to Empty Flag High | — | 30 | — | 30 | — | 45 | — | 60 | ns |
| $t_{WFF}$ | Write Low to Full Flag Low | — | 30 | — | 30 | — | 45 | — | 60 | ns |
| $t_{WHF}$ | Write Low to Half-Full Flag Low | — | 40 | — | 45 | — | 65 | — | 100 | ns |
| $t_{RHF}$ | Read High to Half-Full Flag High | — | 40 | — | 45 | — | 65 | — | 100 | ns |
| $t_{WPF}$ | Write Pulse Width after $\overline{FF}$ High | 30 | — | 35 | — | 50 | — | 80 | — | ns |
| $t_{XOL}$ | Read/Write to $\overline{XO}$ Low | — | 30 | — | 35 | — | 50 | — | 80 | ns |
| $t_{XOH}$ | Read/Write to $\overline{XO}$ High | — | 30 | — | 35 | — | 50 | — | 80 | ns |
| $t_{XI}$ | $\overline{XI}$ Pulse Width[3] | 30 | — | 35 | — | 50 | — | 80 | — | ns |
| $t_{XIR}$ | $\overline{XI}$ Recovery Time | 10 | — | 10 | — | 10 | — | 10 | — | ns |
| $t_{XIS}$ | $\overline{XI}$ Set-up Time | 10 | — | 10 | — | 15 | — | 15 | — | ns |

**NOTES:**

1. Timings referenced as in AC Test Conditions
2. Military speed grades of 50ns and 80ns are only available for IDT7201LA.
3. Pulse widths less than minimum value are not allowed.
4. Values guaranteed by design, not currently tested.
5. Only applies to read data flow-through mode.



ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# SIGNAL DESCRIPTIONS

## INPUTS:

### DATA IN ($D_0 - D_8$)

Data inputs for 9-bit wide data.

## CONTROLS:

### RESET ($\overline{RS}$)

Reset is accomplished whenever the Reset ($\overline{RS}$) input is taken to a LOW state. During reset, both internal read and write pointers are set to the first location. A reset is required after power up before a write operation can take place. **Both the Read Enable ($\overline{R}$) and Write Enable ($\overline{W}$) inputs must be in the HIGH state during the window shown in Figure 2, (i.e., $t_{RSS}$ before the rising edge of $\overline{RS}$) and should not change until $t_{RSR}$ after the rising edge of $\overline{RS}$. Half-Full Flag ($\overline{HF}$) will be reset to HIGH after Reset ($\overline{RS}$).**

### WRITE ENABLE ($\overline{W}$)

A write cycle is initiated on the falling edge of this input if the Full Flag ($\overline{FF}$) is not set. Data set-up and hold times must be adhered to with respect to the rising edge of the Write Enable ($\overline{W}$). Data is stored in the RAM array sequentially and independently of any on-going read operation.

After half of the memory is filled and at the falling edge of the next write operation, the Half-Full Flag ($\overline{HF}$) will be set to LOW and will remain set until the difference between the write pointer and read pointer is less than or equal to one half of the total memory of the device. The Half-Full Flag ($\overline{HF}$) is then reset by the rising edge of the read operation.

To prevent data overflow, the Full Flag ($\overline{FF}$) will go LOW, inhibiting further write operations. Upon the completion of a valid read operation, the Full Flag ($\overline{FF}$) will go HIGH after $t_{RFF}$, allowing a valid write to begin. When the FIFO is full, the internal write pointer is blocked from $\overline{W}$, so external changes in $\overline{W}$ will not affect the FIFO when it is full.

### READ ENABLE ($\overline{R}$)

A read cycle is initiated on the falling edge of the Read Enable ($\overline{R}$) provided the Empty Flag ($\overline{EF}$) is not set. The data is accessed on a First-In/First-Out basis, independent of any ongoing write operations. After Read Enable ($\overline{R}$) goes HIGH, the Data Outputs ($Q_0 - Q_8$) will return to a high impedance condition until the next Read operation. When all data has been read from the FIFO, the Empty Flag ($\overline{EF}$) will go LOW, allowing the "final" read cycle but inhibiting further read operations with the data outputs remaining in a high impedance state. Once a valid write operation has been accomplished, the Empty Flag ($\overline{EF}$) will go HIGH after $t_{WEF}$ and a valid Read can then begin. When the FIFO is empty, the internal read pointer is blocked from $\overline{R}$ so external changes in $\overline{R}$ will not affect the FIFO when it is empty.

### FIRST LOAD/RETRANSMIT ($\overline{FL}/\overline{RT}$)

This is a dual-purpose input. In the Depth Expansion Mode, this pin is grounded to indicate that it is the first loaded (see Operating Modes). In the Single Device Mode, this pin acts as the retransmit input. The Single Device Mode is initiated by grounding the Expansion In ($\overline{XI}$).

The IDT7200/7201A/7202A can be made to retransmit data when the Retransmit Enable control ($\overline{RT}$) input is pulsed LOW. A retransmit operation will set the internal read pointer to the first location and will not affect the write pointer. Read Enable ($\overline{R}$) and Write Enable ($\overline{W}$) must be in the HIGH state during retransmit. This feature is useful when less than 256/512/1,024 writes are performed between resets. The retransmit feature is not compatible with the Depth Expansion Mode and will affect the Half-Full Flag ($\overline{HF}$), depending on the relative locations of the read and write pointers.

### EXPANSION IN ($\overline{XI}$)

This input is a dual-purpose pin. Expansion In ($\overline{XI}$) is grounded to indicate an operation in the single device mode. Expansion In ($\overline{XI}$) is connected to Expansion Out ($\overline{XO}$) of the previous device in the Depth Expansion or Daisy Chain Mode.

## OUTPUTS:

### FULL FLAG ($\overline{FF}$)

The Full Flag ($\overline{FF}$) will go LOW, inhibiting further write operation, when the write pointer is one location less than the read pointer, indicating that the device is full. If the read pointer is not moved after Reset ($\overline{RS}$), the Full-Flag ($\overline{FF}$) will go LOW after 256 writes for IDT7200, 512 writes for the IDT7201A and 1,024 writes for the IDT7202A.

### EMPTY FLAG ($\overline{EF}$)

The Empty Flag ($\overline{EF}$) will go LOW, inhibiting further read operations, when the read pointer is equal to the write pointer, indicating that the device is empty.

### EXPANSION OUT/HALF-FULL FLAG ($\overline{XO}/\overline{HF}$)

This is a dual-purpose output. In the single device mode, when Expansion In ($\overline{XI}$) is grounded, this output acts as an indication of a half-full memory.

After half of the memory is filled and at the falling edge of the next write operation, the Half-Full Flag ($\overline{HF}$) will be set LOW and will remain set until the difference between the write pointer and read pointer is less than or equal to one half of the total memory of the device. The Half-Full Flag ($\overline{HF}$) is then reset by using rising edge of the read operation.

In the Depth Expansion Mode, Expansion In ($\overline{XI}$) is connected to Expansion Out ($\overline{XO}$) of the previous device. This output acts as a signal to the next device in the Daisy Chain by providing a pulse to the next device when the previous device reaches the last location of memory.

### DATA OUTPUTS ($Q_0 - Q_8$)

Data outputs for 9-bit wide data. This data is in a high impedance condition whenever Read ($\overline{R}$) is in a HIGH state.



เอกสารนี้มีลิขสิทธิ์ ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# SIGNAL DESCRIPTIONS

## INPUTS:

### DATA IN ($D_0 - D_8$)

Data inputs for 9-bit wide data.

## CONTROLS:

### RESET ($\overline{RS}$)

Reset is accomplished whenever the Reset ($\overline{RS}$) input is taken to a LOW state. During reset, both internal read and write pointers are set to the first location. A reset is required after power up before a write operation can take place. **Both the Read Enable ($\overline{R}$) and Write Enable ($\overline{W}$) inputs must be in the HIGH state during the window shown in Figure 2, (i.e., $t_{RSS}$ before the rising edge of $\overline{RS}$) and should not change until $t_{RSR}$ after the rising edge of $\overline{RS}$. Half-Full Flag ($\overline{HF}$) will be reset to HIGH after Reset ($\overline{RS}$).**

### WRITE ENABLE ($\overline{W}$)

A write cycle is initiated on the falling edge of this input if the Full Flag ($\overline{FF}$) is not set. Data set-up and hold times must be adhered to with respect to the rising edge of the Write Enable ($\overline{W}$). Data is stored in the RAM array sequentially and independently of any on-going read operation.

After half of the memory is filled and at the falling edge of the next write operation, the Half-Full Flag ($\overline{HF}$) will be set to LOW and will remain set until the difference between the write pointer and read pointer is less than or equal to one half of the total memory of the device. The Half-Full Flag ($\overline{HF}$) is then reset by the rising edge of the read operation.

To prevent data overflow, the Full Flag ($\overline{FF}$) will go LOW, inhibiting further write operations. Upon the completion of a valid read operation, the Full Flag ($\overline{FF}$) will go HIGH after $t_{RFF}$, allowing a valid write to begin. When the FIFO is full, the internal write pointer is blocked from $\overline{W}$, so external changes in $\overline{W}$ will not affect the FIFO when it is full.

### READ ENABLE ($\overline{R}$)

A read cycle is initiated on the falling edge of the Read Enable ($\overline{R}$) provided the Empty Flag ($\overline{EF}$) is not set. The data is accessed on a First-In/First-Out basis, independent of any ongoing write operations. After Read Enable ($\overline{R}$) goes HIGH, the Data Outputs ($Q_0 - Q_8$) will return to a high impedance condition until the next Read operation. When all data has been read from the FIFO, the Empty Flag ($\overline{EF}$) will go LOW, allowing the "final" read cycle but inhibiting further read operations with the data outputs remaining in a high impedance state. Once a valid write operation has been accomplished, the Empty Flag ($\overline{EF}$) will go HIGH after $t_{WEF}$ and a valid Read can then begin. When the FIFO is empty, the internal read pointer is blocked from $\overline{R}$ so external changes in $\overline{R}$ will not affect the FIFO when it is empty.

### FIRST LOAD/RETRANSMIT ($\overline{FL}/\overline{RT}$)

This is a dual-purpose input. In the Depth Expansion Mode, this pin is grounded to indicate that it is the first loaded (see Operating Modes). In the Single Device Mode, this pin acts as the retransmit input. The Single Device Mode is initiated by grounding the Expansion In ($\overline{XI}$).

The IDT7200/7201A/7202A can be made to retransmit data when the Retransmit Enable control ($\overline{RT}$) input is pulsed LOW. A retransmit operation will set the internal read pointer to the first location and will not affect the write pointer. Read Enable ($\overline{R}$) and Write Enable ($\overline{W}$) must be in the HIGH state during retransmit. This feature is useful when less than 256/512/1,024 writes are performed between resets. The retransmit feature is not compatible with the Depth Expansion Mode and will affect the Half-Full Flag ($\overline{HF}$), depending on the relative locations of the read and write pointers.

### EXPANSION IN ($\overline{XI}$)

This input is a dual-purpose pin. Expansion In ($\overline{XI}$) is grounded to indicate an operation in the single device mode. Expansion In ($\overline{XI}$) is connected to Expansion Out ($\overline{XO}$) of the previous device in the Depth Expansion or Daisy Chain Mode.

## OUTPUTS:

### FULL FLAG ($\overline{FF}$)

The Full Flag ($\overline{FF}$) will go LOW, inhibiting further write operation, when the write pointer is one location less than the read pointer, indicating that the device is full. If the read pointer is not moved after Reset ($\overline{RS}$), the Full-Flag ($\overline{FF}$) will go LOW after 256 writes for IDT7200, 512 writes for the IDT7201A and 1,024 writes for the IDT7202A.

### EMPTY FLAG ($\overline{EF}$)

The Empty Flag ($\overline{EF}$) will go LOW, inhibiting further read operations, when the read pointer is equal to the write pointer, indicating that the device is empty.

### EXPANSION OUT/HALF-FULL FLAG ($\overline{XO}/\overline{HF}$)

This is a dual-purpose output. In the single device mode, when Expansion In ($\overline{XI}$) is grounded, this output acts as an indication of a half-full memory.

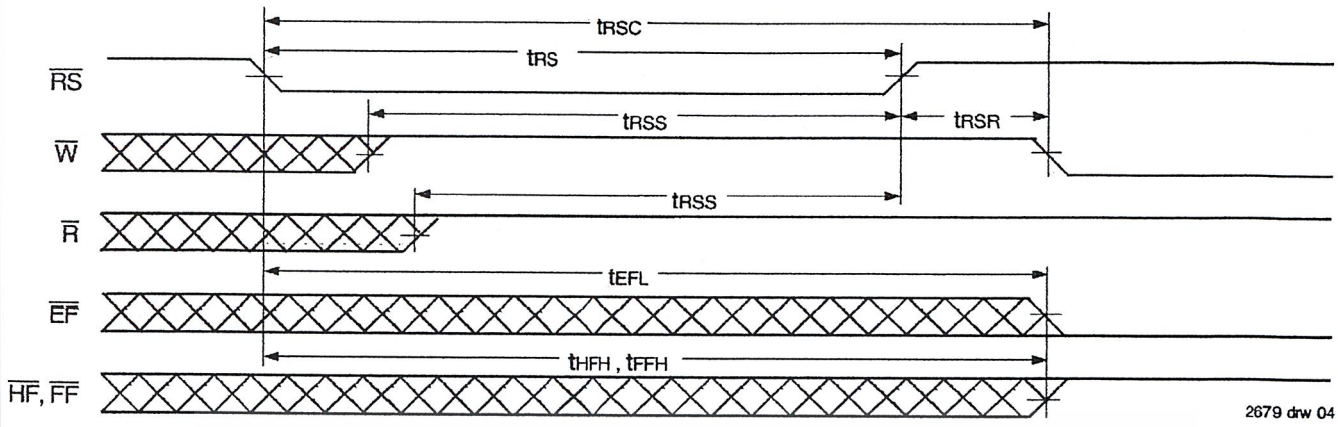
After half of the memory is filled and at the falling edge of the next write operation, the Half-Full Flag ($\overline{HF}$) will be set LOW and will remain set until the difference between the write pointer and read pointer is less than or equal to one half of the total memory of the device. The Half-Full Flag ($\overline{HF}$) is then reset by using rising edge of the read operation.

In the Depth Expansion Mode, Expansion In ($\overline{XI}$) is connected to Expansion Out ($\overline{XO}$) of the previous device. This output acts as a signal to the next device in the Daisy Chain by providing a pulse to the next device when the previous device reaches the last location of memory.

### DATA OUTPUTS ($Q_0 - Q_8$)

Data outputs for 9-bit wide data. This data is in a high impedance condition whenever Read ($\overline{R}$) is in a HIGH state.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




NOTES:
1. EF, FF, HF may change status during Reset, but flags will be valid at tRSC.
2. W and R = VIH around the rising edge of RS.

*Figure 2. Reset*

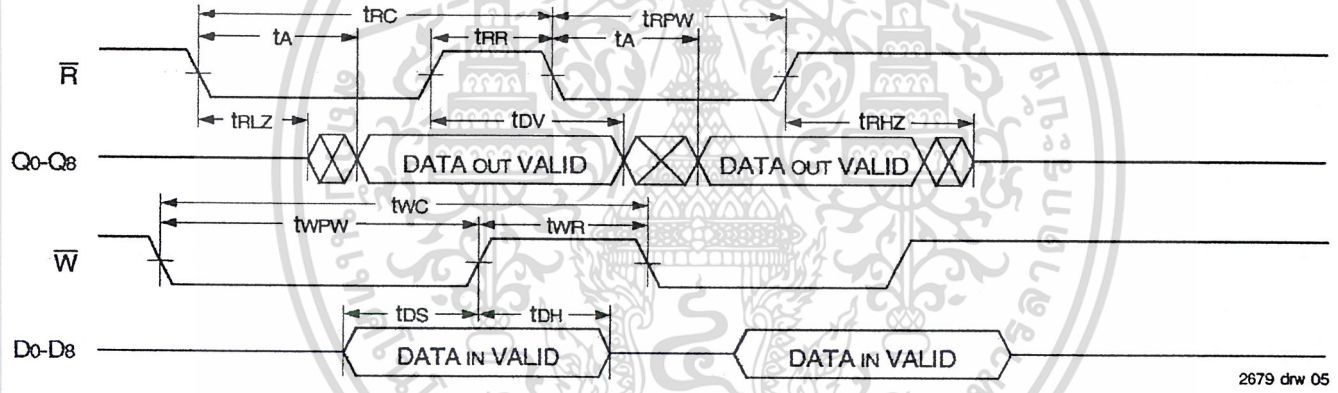



*Figure 3. Asynchronous Write and Read Operation*

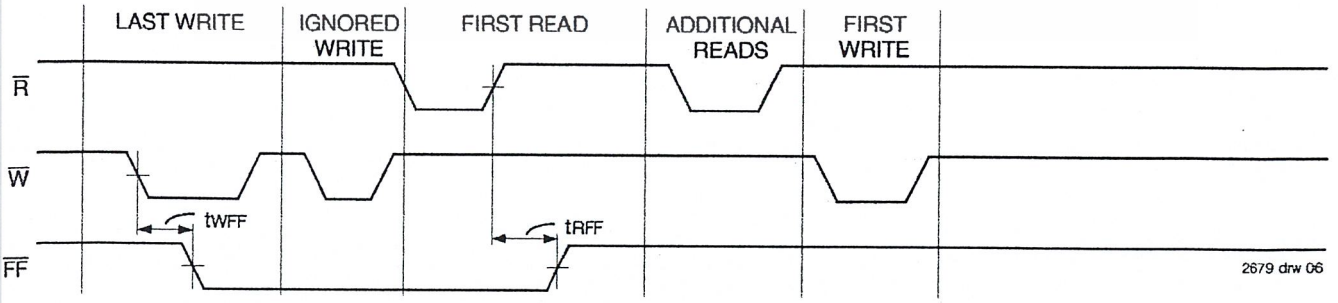



*Figure 4. Full Flag From Last Write to First Read*



ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

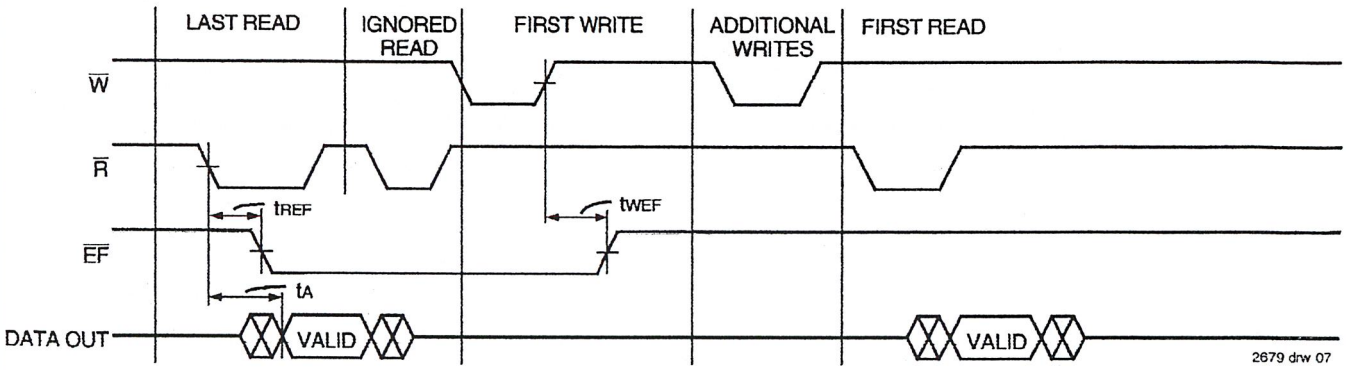



*Figure 5. Empty Flag From Last Read to First Write*

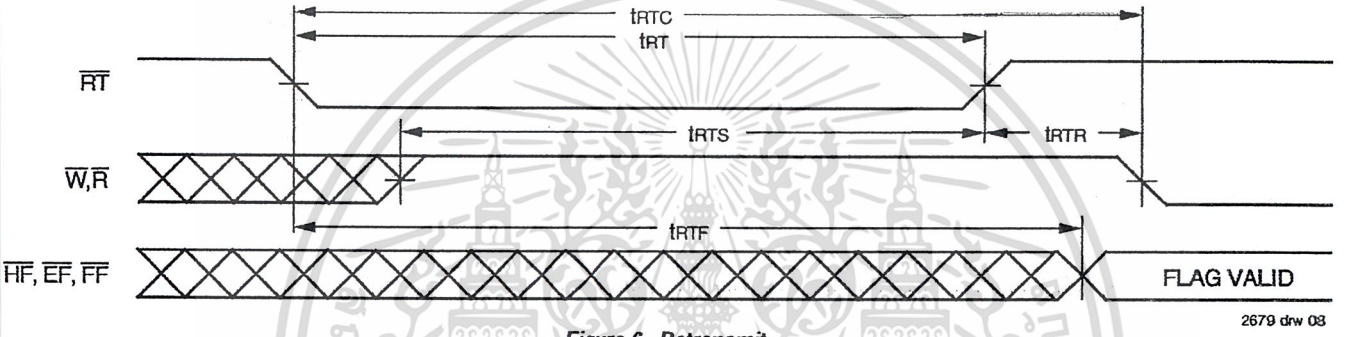



*Figure 6. Retransmit*

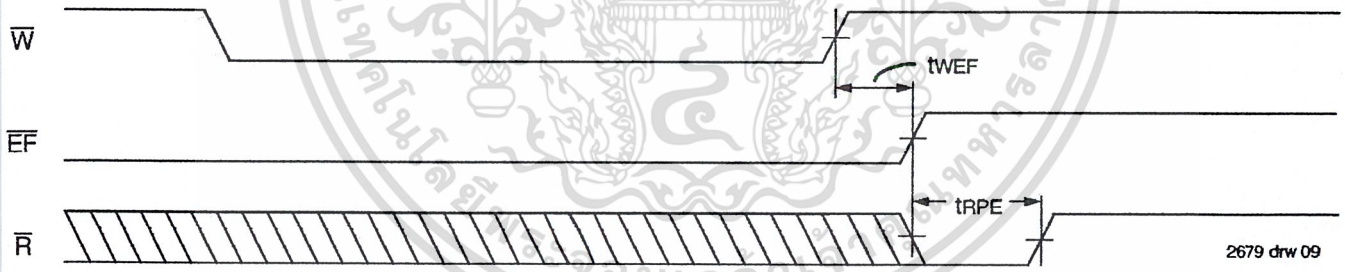



*Figure 7. Minimum Timing for an Empty Flag Coincident Read Pulse*

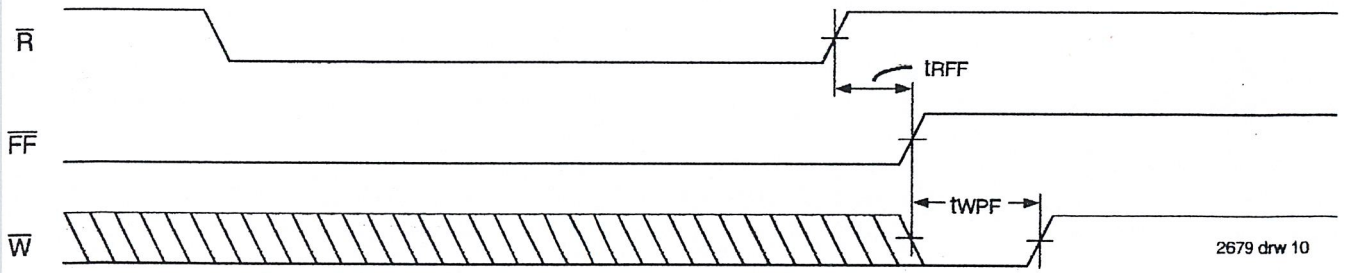



*Figure 8. Minimum Timing for a Full Flag Coincident Write Pulse*



ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

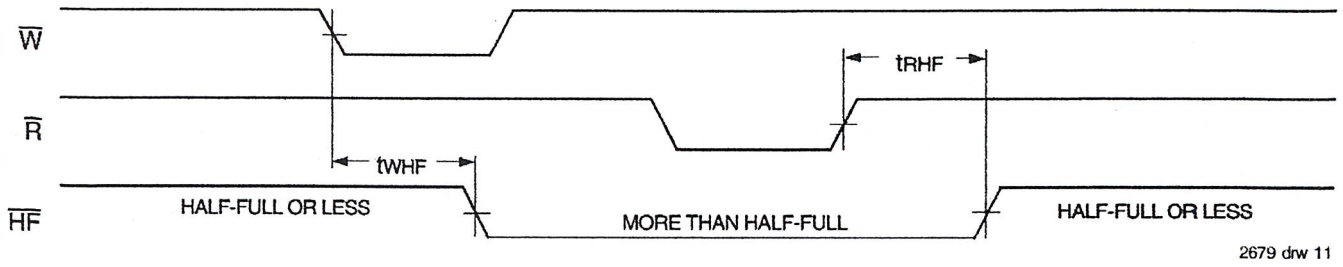



*Figure 9. Half-Full Flag Timing*

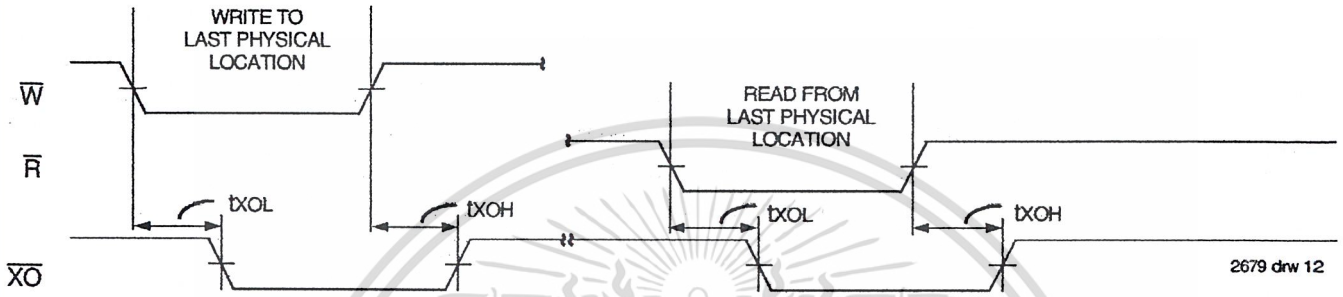



*Figure 10. Expansion Out*

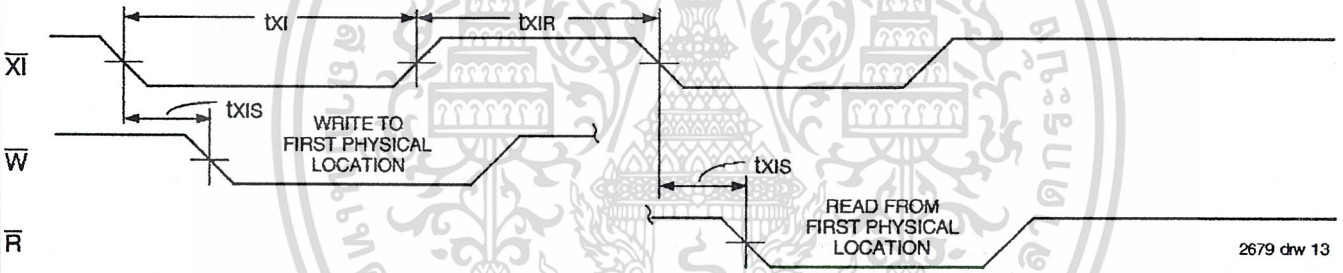



*Figure 11. Expansion In*

## OPERATING MODES:

Care must be taken to assure that the appropriate flag is monitored by each system (i.e. $\overline{FF}$ is monitored on the device where $\overline{W}$ is used; $\overline{EF}$ is monitored on the device where $\overline{R}$ is used). For additional information, refer to Tech Note 8: *Operating FIFOs on Full and Empty Boundary Conditions* and Tech Note 6: *Designing with FIFOs.*

### SINGLE DEVICE MODE

A single IDT7200/7201A/7202A may be used when the application requirements are for 256/512/1,024 words or less. These devices are in a Single Device Configuration when the Expansion In ($\overline{XI}$) control input is grounded (see Figure 12).

### DEPTH EXPANSION

The IDT7200/7201A/7202A can easily be adapted to applications when the requirements are for greater than 256/512/1,024 words. Figure 14 demonstrates Depth Expansion using three IDT7200/7201A/7202As. Any depth can be attained by adding additional IDT7200/7201A/7202As. These FIFOs operate in the Depth Expansion mode when the following conditions are met:

1. The first device must be designated by grounding the First Load ($\overline{FL}$) control input.
2. All other devices must have $\overline{FL}$ in the HIGH state.
3. The Expansion Out ($\overline{XO}$) pin of each device must be tied to the Expansion In ($\overline{XI}$) pin of the next device. See Figure 14.
4. External logic is needed to generate a composite Full Flag ($\overline{FF}$) and Empty Flag ($\overline{EF}$). This requires the ORing of all $\overline{EF}$s and ORing of all $\overline{FF}$s (i.e. all must be set to generate the correct composite $\overline{FF}$ or $\overline{EF}$). See Figure 14.
5. The Retransmit ($\overline{RT}$) function and Half-Full Flag ($\overline{HF}$) are not available in the Depth Expansion Mode.

For additional information, refer to Tech Note 9: *Cascading FIFOs or FIFO Modules.*



ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# USAGE MODES:

## WIDTH EXPANSION

Word width may be increased simply by connecting the corresponding input control signals of multiple devices. Status flags ($\overline{EF}$, $\overline{FF}$ and $\overline{HF}$) can be detected from any one device. Figure 13 demonstrates an 18-bit word width by using two IDT7200/7201A/7202As. Any word width can be attained by adding additional IDT7200/7201A/7202As (Figure 13).

## BIDIRECTIONAL OPERATION

Applications which require data buffering between two systems (each system capable of Read and Write operations) can be achieved by pairing IDT7200/7201A/7202As as shown in Figure 16. Both Depth Expansion and Width Expansion may be used in this mode.

## DATA FLOW-THROUGH

Two types of flow-through modes are permitted, a read flow-through and write flow-through mode. For the read flow-through mode (Figure 17), the FIFO permits a reading of a single word after writing one word of data into an empty FIFO. The data is enabled on the bus in ($t_{WEF} + t_A$) ns after the rising edge of $\overline{W}$, called the first write edge, and it remains on the bus until the $\overline{R}$ line is raised from LOW-to-HIGH, after which the bus would go into a three-state mode after $t_{RHZ}$ ns. The $\overline{EF}$ line would have a pulse showing temporary deassertion and then would be asserted.

In the write flow-through mode (Figure 18), the FIFO permits the writing of a single word of data immediately after reading one word of data from a full FIFO. The $\overline{R}$ line causes the $\overline{FF}$ to be deasserted but the $\overline{W}$ line being LOW causes it to be asserted again in anticipation of a new data word. On the rising edge of $\overline{W}$, the new word is loaded in the FIFO. The $\overline{W}$ line must be toggled when $\overline{FF}$ is not asserted to write new data in the FIFO and to increment the write pointer.

## COMPOUND EXPANSION

The two expansion techniques described above can be applied together in a straightforward manner to achieve large FIFO arrays (see Figure 15).

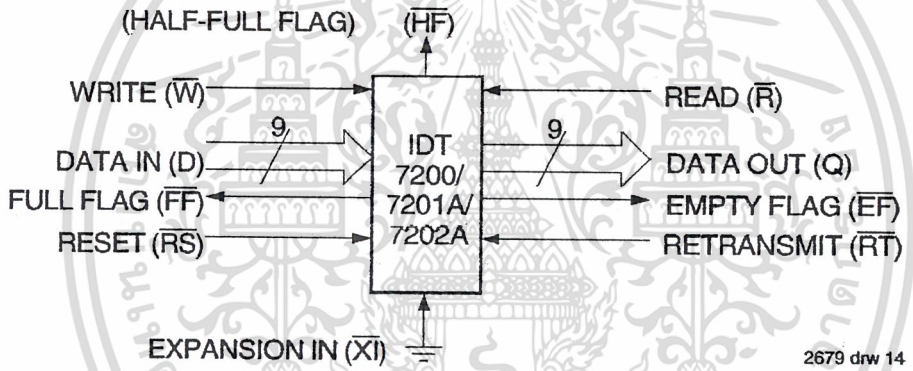



*Figure 12. Block Diagram of Single 256 x 9, 512 x 9, 1,024 x 9 FIFO*

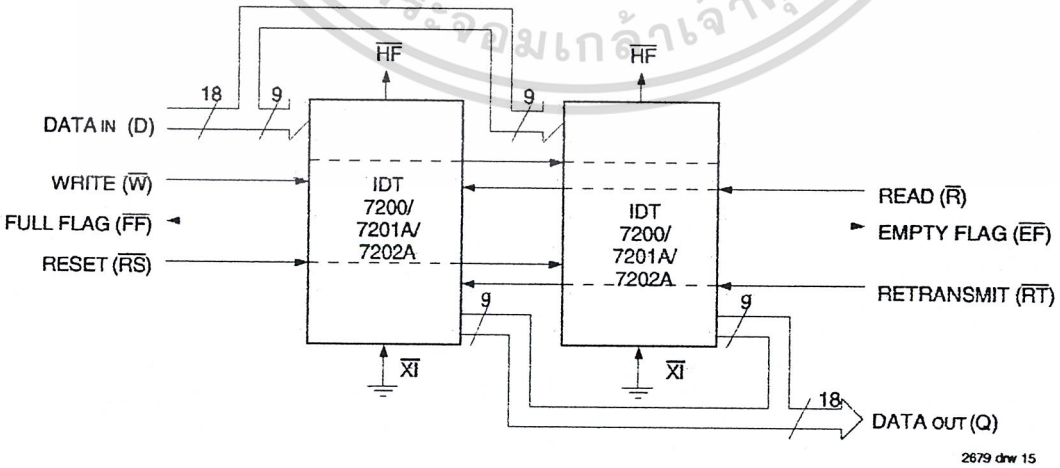



*Figure 13. Block Diagram of 256 x 18, 512 x 18, 1,024 x 18 FIFO Memory Used in Width Expansion Mode*



ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## TABLE 1 — RESET AND RETRANSMIT

Single Device Configuration/Width Expansion Mode

| Mode | Inputs | | | Internal Status | | Outputs | | |
|---|---|---|---|---|---|---|---|---|
| | $\overline{RS}$ | $\overline{RT}$ | $\overline{XI}$ | Read Pointer | Write Pointer | $\overline{EF}$ | $\overline{FF}$ | $\overline{HF}$ |
| Reset | 0 | X | 0 | Location Zero | Location Zero | 0 | 1 | 1 |
| Retransmit | 1 | 0 | 0 | Location Zero | Unchanged | X | X | X |
| Read/Write | 1 | 1 | 0 | Increment(1) | Increment(1) | X | X | X |

**NOTE:**
1. Pointer will increment if flag is HIGH.

## TABLE 2 — RESET AND FIRST LOAD TRUTH TABLE

Depth Expansion/Compound Expansion Mode

| Mode | Inputs | | | Internal Status | | Outputs | |
|---|---|---|---|---|---|---|---|
| | $\overline{RS}$ | $\overline{FL}$ | $\overline{XI}$ | Read Pointer | Write Pointer | $\overline{EF}$ | $\overline{FF}$ |
| Reset First Device | 0 | 0 | (1) | Location Zero | Location Zero | 0 | 1 |
| Reset All Other Devices | 0 | 1 | (1) | Location Zero | Location Zero | 0 | 1 |
| Read/Write | 1 | X | (1) | X | X | X | X |

**NOTE:**
1. $\overline{XI}$ is connected to $\overline{XO}$ of previous device. See Figure 14. $\overline{RS}$ = Reset Input, $\overline{FL}/\overline{RT}$ = First Load/Retransmit, $\overline{EF}$ = Empty Flag Output, $\overline{FF}$ = Full Flag Output, $\overline{XI}$ = Expansion Input, $\overline{HF}$ = Half-Full Flag Output

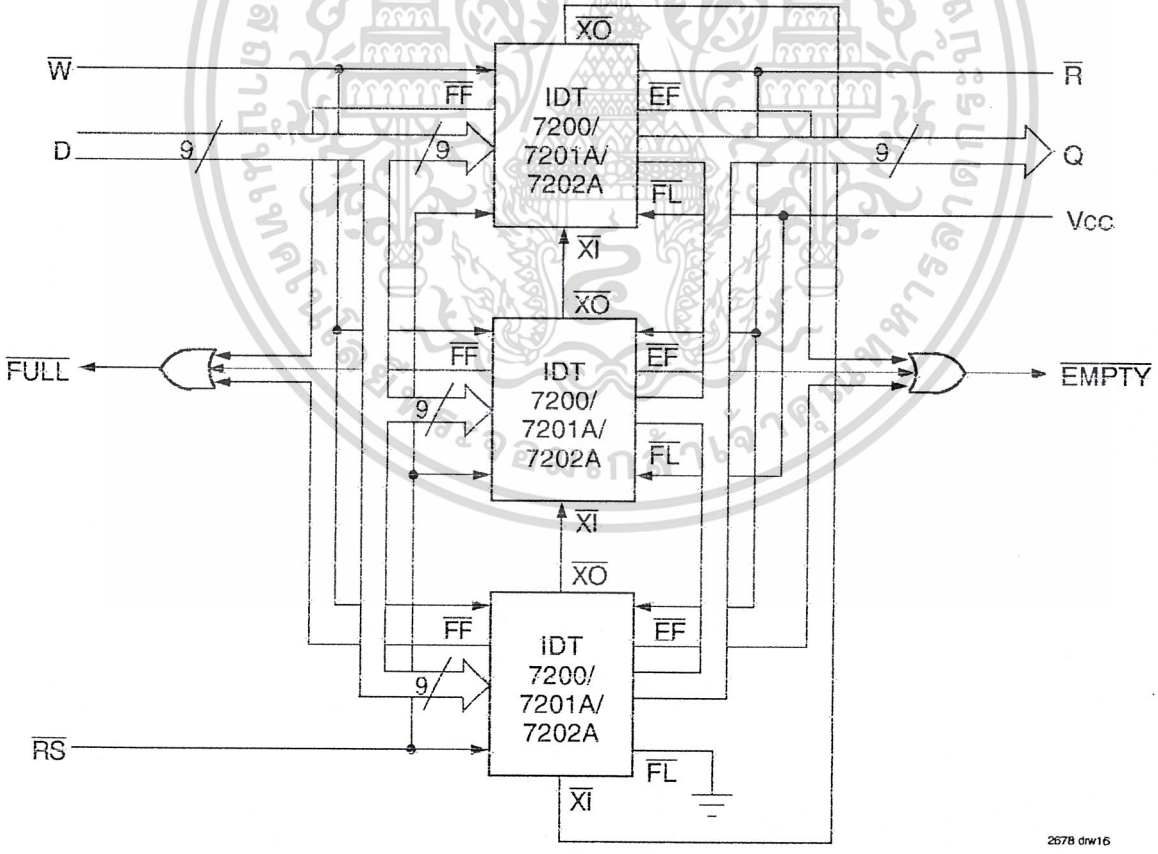
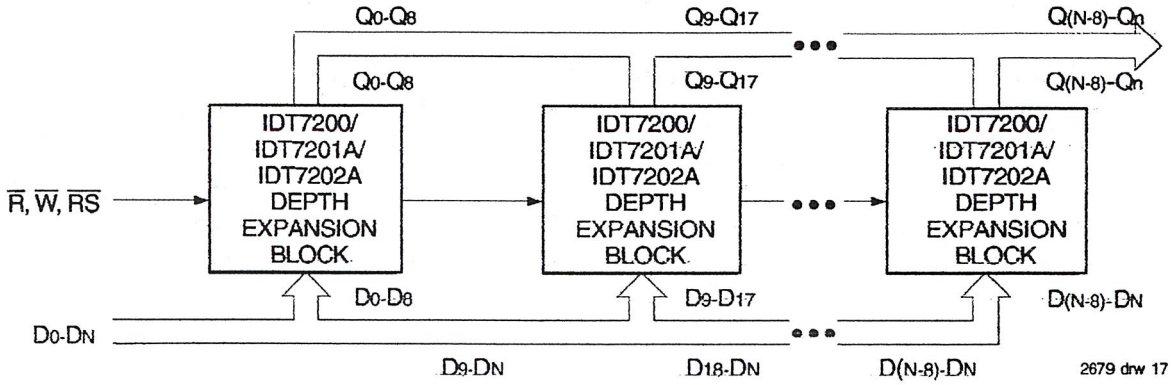



*Figure 14. Block Diagram of 768 x 9, 1,536 x 9, 3,072 x 9 FIFO Memory (Depth Expansion)*

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




**NOTES:**
1. For depth expansion block see section on Depth Expansion and Figure 14.
2. For Flag detection see section on Width Expansion and Figure 13.

*Figure 15. Compound FIFO Expansion*

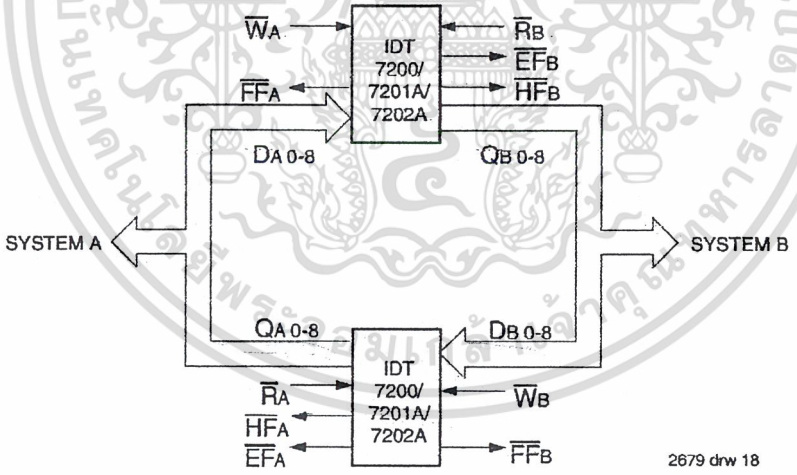



*Figure 16. Bidirectional FIFO Mode*

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

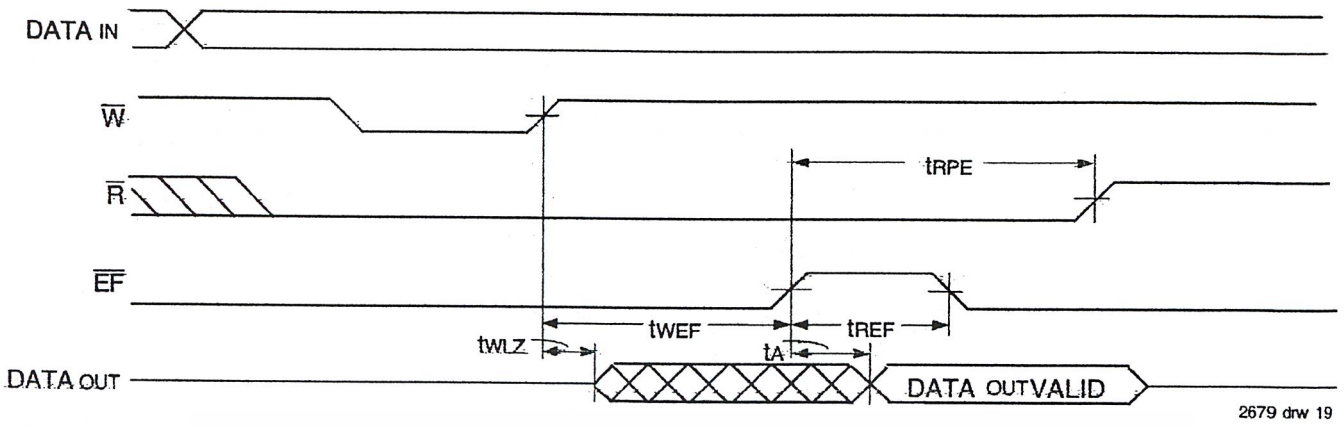



*Figure 17. Read Data Flow-Through Mode*

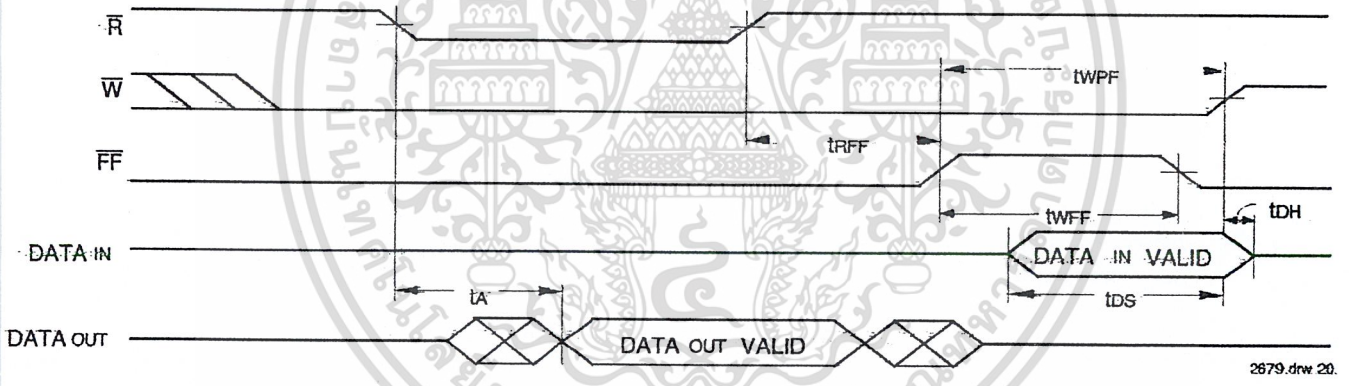
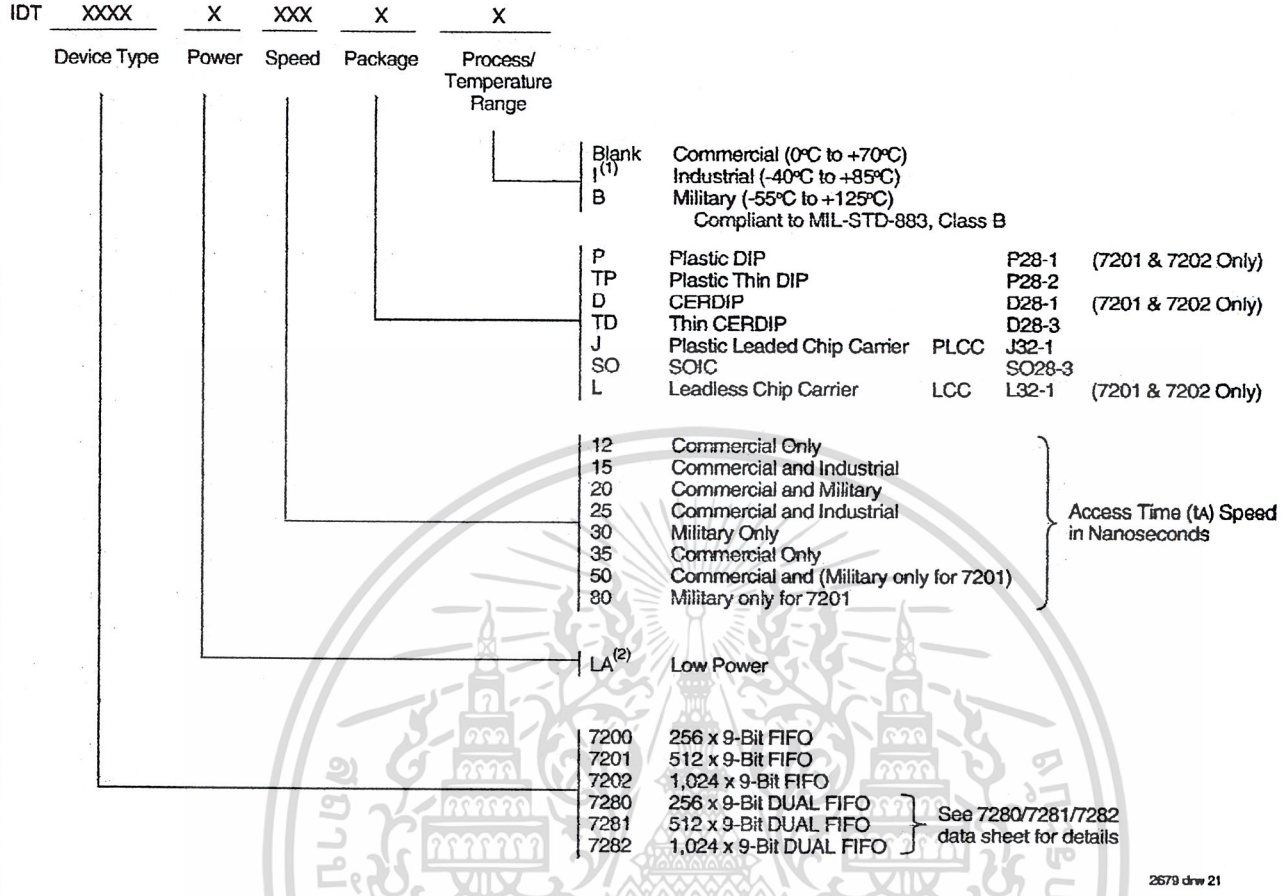



*Figure 18. Write Data Flow-Through Mode*



เอกสารนี้มีลิขสิทธิ์ ได้รับอนุญาตให้ใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## ORDERING INFORMATION




2679 drw 21

**NOTES:**
1. Industrial temperature range product is available for the 15ns and 25ns as a standard product.
2. "A" to be included for IDT7201 and IDT7202 ordering part number.

## DATASHEET DOCUMENT HISTORY

05/02/2001 pgs. 1, 2, 3, 4, 5 and 14.


*CORPORATE HEADQUARTERS*
2975 Stender Way
Santa Clara, CA 95054

*for SALES:*
800-345-7015 or 408-727-6116
fax: 408-492-8674
www.idt.com

*for TECH SUPPORT:*
408-330-1753
e-mail: FIFOhelp@idt.com




ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้