สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

การพัฒนาอุปกรณ์แสดงหมายเลขโทรศัพท์เพื่อใช้ในการบันทึกหมายเลขโทรศัพท์รวมถึงวันและเวลารับเข้า

DEVELOPMENT OF A CALLER LINE IDENTIFICATION DEVICE FOR RECORDING OF INCOMING TELEPHONE NUMBER WITH TIME AND DATE INFORMATION

T054976

โดย

นายปริญญ์ ศรีวงศา

นายระตินัย รักษาวงศ์

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาวิศวกรรมโทรคมนาคม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2546

เลขหมู่.....
เลขทะเบียน 54976
วัน,เดือน,ปี 24 มี.ค. 2548

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การพัฒนาอุปกรณ์แสดงหมายเลขโทรศัพท์เพื่อใช้ในการบันทึกหมายเลขโทรศัพท์รวมถึงวันและเวลารับเข้า

DEVELOPMENT OF A CALLER LINE IDENTIFICATION DEVICE FOR RECORDING OF INCOMING TELEPHONE NUMBER WITH TIME AND DATE INFORMATION

โดย

นายปริญญ์ สริวงศา 44015065

นายระดินัย รักษาวงศ์ 44015078

อาจารย์ที่ปรึกษา

รศ.ดร. ไกรสิน ส่งวัฒนา

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาวิศวกรรมโทรคมนาคม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2546

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การพัฒนาอุปกรณ์แสดงหมายเลขโทรศัพท์เพื่อใช้ในการบันทึกหมายเลขโทรศัพท์รวมถึงวันและเวลารับเข้า

DEVELOPMENT OF A CALLER LINE IDENTIFICATION DEVICE FOR RECORDING OF INCOMING TELEPHONE NUMBER WITH TIME AND DATE INFORMATION

โดย นายปริญญ์ ศรีวงศา 44015065
นายระตินัย รักษาวงศ์ 44015078

อาจารย์ที่ปรึกษา รศ.ดร.ไกรสิน ส่งวัฒนา

บทคัดย่อ

โครงงานนี้เป็นการพัฒนาและใช้อุปกรณ์แสดงหมายเลขโทรศัพท์เพื่อให้บันทึกหมายเลขโทรศัพท์ วันและเวลาที่รับเข้า ประกอบด้วยอุปกรณ์แสดงหมายเลขโทรศัพท์และไมโครคอนโทรลเลอร์ตระกูลMCS-51 เป็นส่วนควบคุมการทำงาน,คีย์บอร์ด,ชุดแสดงผล LCD เพื่อให้สามารถทราบข้อมูลของผู้ที่ต้องการติดต่อได้ขณะที่ไม่มีผู้รับสาย

ABSTRACT

This project develops caller line identification (CLI) device for recording the calling telephone number with date and time. The main parts are caller line identification (CLI) device and a microcontroller MCS – 51 which is used to control operation of other components keyboard and LCD display. The LCD display is for displaying the recorded data.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ปีการศึกษา 2546

ภาควิชาวิศวกรรมโทรคมนาคม

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง การพัฒนาอุปกรณ์แสดงหมายเลขโทรศัพท์เพื่อใช้ในการบันทึกหมายเลขโทรศัพท์รวมถึงวันและ
และเวลารับเข้า

DEVELOPMENT OF A CALLER LINE IDENTIFICATION DEVICE FOR RECORDING OF INCOMING TELEPHONE NUMBER WITH TIME AND DATE INFORMATION

ผู้จัดทำ

นายปริญญ์ ศรีวงศา 44015065

นายระตินัย รักษาวงศ์ 44015078

อาจารย์ที่ปรึกษา

ลงนาม.....

(รศ.ดร. ไกรสิน ส่งวัฒนา)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

เรื่อง	หน้า
บทที่ 1 บทนำ	1
บทที่ 2 ทฤษฎีและหลักการ	2
2.1 สัญญาณจากชุมสายสาธารณะตามมาตรฐาน Bell 202 และ v.23 Type; Bell GR-30- CORE	2
2.2 การ Interface ของสัญญาณ	3
2.3 รายละเอียดและหลักการทำงานส่วนถอดสัญญาณ FSK (Frequency shift Keying)	3
2.4 รายละเอียดและหลักการของสัญญาณ FSK (Frequency shift Keying)	5
2.5 รายละเอียดและหลักการทำงานของส่วนถอดรหัส DTMF	7
2.6 โทรศัพท์ที่มีหน้าปัดเป็นแบบกดปุ่ม	13
2.7 ทฤษฎีของไมโครคอนโทรลเลอร์	14
บทที่ 3 วงจรและการทำงาน	22
3.1 วงจรตรวจสอบสถานะ Hook-On, Hook-Off	22
3.2 วงจร Caller ID ที่ใช้งานเบื้องของ MC14LC5447	24
3.3 วงจรถอดรหัสสัญญาณ DTMF	26
3.4 Flowchart การทำงานของโปรแกรม	28
บทที่ 4 การทดลองและผลการทดลอง	29
บทที่ 5 บทวิจารณ์และบทสรุป	43
บรรณานุกรมอ้างอิง	
ภาคผนวก	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูปภาพ

	หน้า
รูปที่ 2.1 การแบ่งสัญญาณที่ส่งจากผู้ให้บริการโทรศัพท์ตามมาตรฐาน Bell 202 และ v.23 Type; Bell GR-30-CORE	2
รูปที่ 2.2 แสดงโครงสร้างภายในของ MC14LC5447	4
รูปที่ 2.3 แสดงขาของ MC14LC5447	5
รูปที่ 2.4 แสดงโครงสร้างภายในของ MT8870	8
รูปที่ 2.5 แสดงรายละเอียดขาของ MT8870	9
รูปที่ 2.6 แสดงความถี่ที่ได้จากภาคกรองความถี่	9
รูปที่ 2.7 แสดงวงจรตรวจสอบสัญญาณอย่างง่าย และแสดงการกำหนดเวลาการ์ดไทม์(Gard Time)พร้อมวิธีคำนวณ	11
รูปที่ 2.8 แสดงการต่อวงจรภาคอินพุท	12
รูปที่ 2.9 แสดงการต่อวงจรผลิตความถี่	12
รูปที่ 2.10แสดงหน้าปัดของเครื่องโทรศัพท์แบบกดปุ่มและความถี่ที่ใช้	13
รูปที่ 2.11การจัดหน่วยความจำของไมโครคอนโทรลเลอร์	14
รูปที่ 2.12แสดงแผนภาพ แฟลชเมโมรีของ P89C51RD2	17
รูปที่ 2.13รูปแบบข้อมูลอนุกรมแบบอะซิงโครนัส	18
รูปที่ 2.14ไดอะแกรมการทำงานในโหมด I ของพอร์ตอนุกรมภายในไมโครคอนโทรลเลอร์ MCS-51	21
รูปที่ 3.1 แสดงวงจรตรวจสอบสถานะ Hook-On, Hook-Off	22
รูปที่ 3.2 แสดงวงจร Bridge rectifier	22
รูปที่ 3.3 แสดงวงจร Caller ID ที่ใช้งานเบื้องต้นของ MC14LC5447	24
รูปที่ 3.4 แสดงวงจรภายนอก ที่เชื่อมต่อกับภายในMC14LC5447	24
รูปที่ 3.5 แสดงวงจร DTMF Decoder	26
รูปที่ 3.6 แสดงวงจรรวมทั้งหมด	27
รูปที่ 3.6 Flowchart การทำงานของโปรแกรม	28
รูปที่ 4.1 แสดงสัญญาณเอาต์พุตของวงจรขณะ Hook-on (วางหู)	29
รูปที่ 4.2 แสดงสัญญาณเอาต์พุตของวงจรขณะ Hook-off (ยกหู)	29
รูปที่ 4.3 แสดงสัญญาณ FSK ที่อยู่ระหว่างริงแรกและริงที่สอง	30
รูปที่ 4.4 แสดงสัญญาณ FSK ช่วง Channel Seizure Signal, Mark Signal และ Data Signal	30
รูปที่ 4.5 แสดงสัญญาณช่วง Channel Seizure Signal เมื่อขยายดู	31
รูปที่ 4.6 แสดงสัญญาณช่วง Mark Signal เมื่อขยายดู	31
รูปที่ 4.7 แสดงสัญญาณช่วง Data Signal เมื่อขยายดู	32

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หน้า

รูปที่ 4.8 แสดงสัญญาณที่ขา Ring Time (RT,ขา6) เทียบกับสัญญาณริง 1และริง 2 32
รูปที่ 4.9 แสดงสัญญาณที่ขา Ring Detect Output (RDO,ขา12)
เทียบกับสัญญาณริง 1และริง 2 33
รูปที่ 4.10แสดงสัญญาณที่ขา Power Up (PWRUP,ขา7)
เทียบกับสัญญาณริง 1และริง 2 33
รูปที่ 4.11แสดงสัญญาณที่ขา Data Output Cooked (DOC,ขา15)
เทียบกับสัญญาณริง 1และริง 2 34
รูปที่ 4.12แสดงสัญญาณที่ขา Data Out Raw (DOR,ขา14)
เทียบกับสัญญาณริง 1และริง 2 34
รูปที่ 4.13แสดงสัญญาณที่ขา Data Out Raw (DOR,ขา14)
ที่ประกอบไปด้วย Channel Seizure, Mark single และ Message Word 35
รูปที่ 4.14แสดงสัญญาณที่ขา Data Out Raw (DOR,ขา14)
ช่วง Channel Seizure เมื่อขยายดู 35
รูปที่ 4.15แสดงสัญญาณที่ขา Data Out Raw (DOR,ขา14)
ช่วง Message Word เมื่อขยายดู 36
รูปที่ 4.16แสดงสัญญาณที่ได้จากการกดปุ่ม1ในโดเมนความถี่และเวลา 36
รูปที่ 4.17แสดงสัญญาณที่ได้จากการกดปุ่ม2ในโดเมนความถี่และเวลา 37
รูปที่ 4.18แสดงสัญญาณที่ได้จากการกดปุ่ม3ในโดเมนความถี่และเวลา 37
รูปที่ 4.19แสดงสัญญาณที่ได้จากการกดปุ่ม4ในโดเมนความถี่และเวลา 37
รูปที่ 4.20แสดงสัญญาณที่ได้จากการกดปุ่ม5ในโดเมนความถี่และเวลา 38
รูปที่ 4.21แสดงสัญญาณที่ได้จากการกดปุ่ม6ในโดเมนความถี่และเวลา 38
รูปที่ 4.22แสดงสัญญาณที่ได้จากการกดปุ่ม7ในโดเมนความถี่และเวลา 38
รูปที่ 4.23แสดงสัญญาณที่ได้จากการกดปุ่ม8ในโดเมนความถี่และเวลา 39
รูปที่ 4.24แสดงสัญญาณที่ได้จากการกดปุ่ม9ในโดเมนความถี่และเวลา 39
รูปที่ 4.25แสดงสัญญาณที่ได้จากการกดปุ่ม*ในโดเมนความถี่และเวลา 39
รูปที่ 4.26แสดงสัญญาณที่ได้จากการกดปุ่ม0ในโดเมนความถี่และเวลา 40
รูปที่ 4.27แสดงสัญญาณที่ได้จากการกดปุ่ม#ในโดเมนความถี่และเวลา 40
รูปที่ 4.28แสดงผลที่หน้าจอเมื่อทำการเรียกเข้าไปที่เครื่องบันทึกหมายเลขโทรศัพท์ 41
รูปที่ 4.29แสดงผลที่หน้าจอเมื่อมีการเรียกออก 42

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

	หน้า
ตารางที่ 2.1 Data Signaling Interface Parameter	3
ตารางที่ 2.2 แสดงค่าที่ถอดรหัสได้จากความถี่ต่างๆ	10
ตารางที่ 2.3 แสดงค่าการตั้งค่าระดับความสำคัญของอินเตอร์รัปต์	16
ตารางที่ 4.1 แสดงผลการทดลองวัดความถี่สัญญาณ DTMF และวงจรถอดรหัสสัญญาณ DTMF	41

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่1
บทนำ

ในปัจจุบันการสื่อสารระบบโทรศัพท์มีการใช้งานกันอย่างกว้างขวาง และได้มีการวางสายโทรศัพท์ สร้างชุมสายโทรศัพท์เพื่อให้บริการด้านการสื่อสารโทรคมนาคมและด้านระบบโทรศัพท์แก่ผู้ใช้ที่อยู่ตามสถานที่ต่างๆ ทำให้มีการเพิ่มจำนวนของผู้ใช้เป็นจำนวนมาก

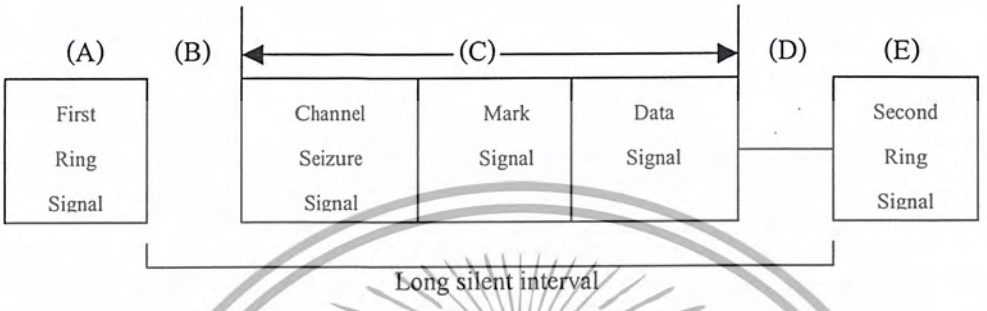
เมื่อมีผู้ใช้จำนวนมาก ก็มีโอกาสที่จะพลาดการติดต่อ เราจึงต้องทราบข้อมูลหรือหมายเลขโทรศัพท์ของผู้ที่โทรศัพท์เรียกเข้ามาในขณะที่ผู้เช่าหมายเลขไม่อยู่ เพื่อการติดต่อกลับที่รวดเร็วและไม่พลาดการติดต่อ

อุปกรณ์แสดงหมายเลขโทรศัพท์(Caller Line Identification Device; CLID) จึงจะต้องสามารถทั้งที่จะแสดงหมายเลขโทรศัพท์ เวลา วัน และเดือน ของผู้ที่ติดต่อเข้ามา พร้อมทั้งบันทึกข้อมูลทั้งหมดเก็บไว้โดยใช้ไมโครคอนโทรเลอร์เป็นส่วนควบคุมการทำงาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่2
ทฤษฎีและหลักการ

2.1 สัญญาณจากชุมสายสาธารณะตามมาตรฐาน bell 202 และ v.23 Type; Bell GR-30-CORE



รูปที่ 2.1 การแบ่งสัญญาณที่ส่งจากผู้ให้บริการโทรศัพท์ตามมาตรฐาน Bell 202 และ v.23 Type; Bell GR-30-CORE

ความหมายของช่วงต่างๆตามรูปที่ 2.1

Parameter	Value	Description
A	0.2-3.0 วินาที	สัญญาณริงแรกที่ส่งมาเป็นไฟสลับ มีความถี่ 18-25HZ
B	0.5-1.5 วินาที	เป็นช่องว่างระหว่างริงแรกจนถึงชุดข้อมูล
C	0.9 วินาที	เป็นชุดข้อมูลที่ส่งมาเป็นสัญญาณ Frequency shift keying โดยมี Channel seizure signal, Mark Signal และ Data signal
D	≥. 200 มิลลิวินาที	เป็นช่องว่างระหว่างชุดข้อมูลจนถึงริงที่สอง
E	1.8-3.0 วินาที	สัญญาณริงที่สองที่ส่งมาเป็นไฟสลับ มีความถี่ 18-25HZ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2 การ Interface ของสัญญาณ

Link type	Simplex , two wire
Transmission scheme	Analogue , phase coherent , frequency shift Keying(FSK)
Logic 1 (mark)	1200 ± 12 HZ
Logic 0 (space)	2200 ± 22 HZ
Transmission rate	1200bit/s
Application of data	Serial , binary , asynchronous
Bit error rate	1 out of 100,000 bits
Phase continuity	maintained from beginning of service to end of message
Receiver sensitivity	-26 dBm ± 2 dBm
Bit duration	833 ± 50μs (start and stop bits have the same duration as a standard bit)
Electrical characteristics	Allowable D.C. resistance and a.c. impedance for on-hook condition (unlooped) are given in specification Public switched telephone network (PSTN)

ตารางที่ 2.1 Data Signaling Interface Parameter

2.3 รายละเอียดและหลักการทำงานของส่วนถอดสัญญาณ FSK

MC14LC5447 เป็นซิลิกอน เกท HCMOS IC ออกแบบให้ Demodulate สัญญาณ Bell 202 และ V.23 1200-baud FSK ข้อมูล asynchronous การประยุกต์ใช้งานที่สำคัญสำหรับผลิตภัณฑ์นี้ จะใช้เป็นตัวรับและแสดงหมายเลขโทรเข้าหรือข้อความที่รอส่ง ไปยังผู้เช่าจากชุมสาย (Public Switched Telephone Network (PSTN)) อุปกรณ์นี้จะประกอบไปด้วยวงจร Carrier Detect และ Ring Detector ซึ่งจะใช้กับอุปกรณ์กำลังสูง

คุณสมบัติของ MC14LC5447

มี Ring Detector ในไอซี

มี Ring Detect Output สำหรับส่งการอินเตอร์รัพท์ให้ไมโครคอนโทรเลอร์

ช่วงรอการทำงาน(Power Down Mode)กินกระแสต่ำที่น้อยกว่า 1μA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ใช้แหล่งจ่ายเดียว +3.5 V ถึง +6.0 V

มีขาสำหรับเลือกว่าจะใช้ความถี่ Clock เท่าไร; 3.68 MHZ, 3.58 MHZ or 455 KHZ

มีช่วงการทำงาน(Power up)อยู่ 2 สถานะ สำหรับควบคุมจัดการPower

สามารถ Demodulates Bell 202 และ V.23

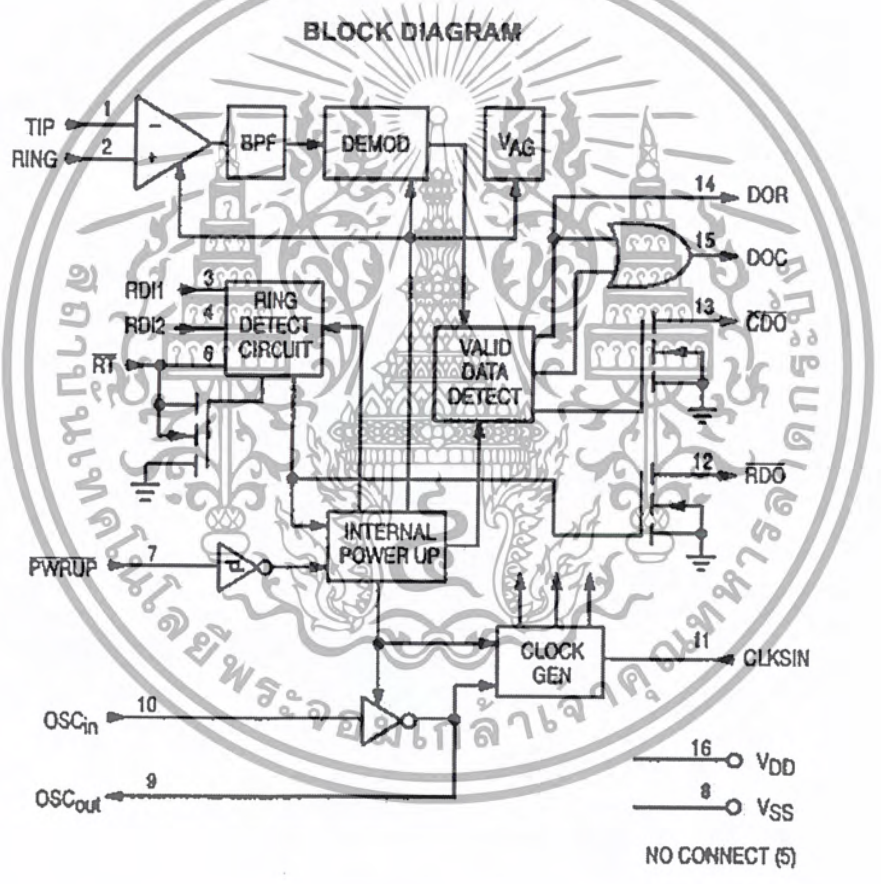
การนำ MC14LC5447 ไปใช้งาน

การตรวจสอบเวลาของการถูกเรียก

การเก็บเบอร์ไว้ในหน่วยความจำเพื่อสะดวกในการเรียกในครั้งต่อไป

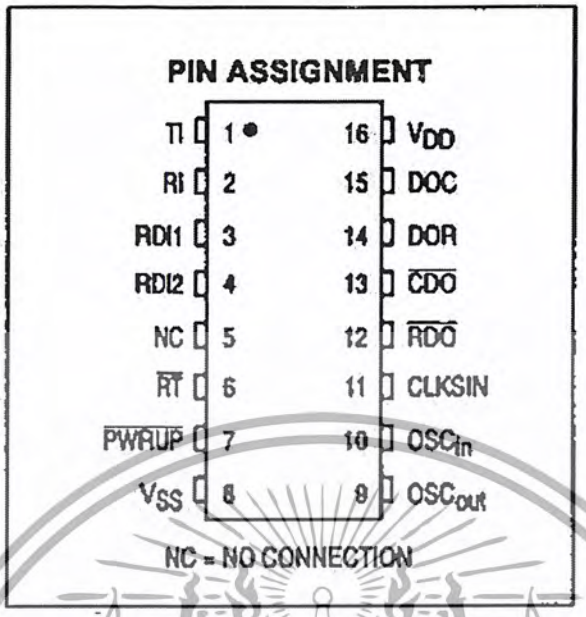
การเลือกที่จะตอบรับหรือไม่ตอบรับการเรียก

การเชื่อมต่อกับคอมพิวเตอร์



รูปที่ 2.2 แสดงโครงสร้างภายในของ MC14LC5447

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



2.4 รายละเอียดและหลักการของสัญญาณ FSK (Frequency shift Keying)

รูปแบบของสัญญาณ Caller ID จะมีอยู่ 2 รูปแบบคือ

SDMF (Single Data Message Format)

MDMF (Multiple Data Message Format)

SDMF จะใช้ในการส่งข้อมูลที่มีขนาดเล็ก คือจะใช้ส่งแต่เลขหมายโทรศัพท์เพียงอย่างเดียว

MDMF จะใช้ในการส่งข้อมูลที่มีขนาดใหญ่กว่าแบบ SDMF คือข้อมูลที่ใช้ส่งสามารถส่งได้ทั้งชื่อผู้เรียก และหมายเลขโทรศัพท์ รวมทั้งวันและเวลาที่เรียกด้วย

ซึ่ง MDMF นี้จะเป็นรูปแบบในการส่งข้อมูลที่สามารถจะเพิ่มข้อมูลอื่นๆอีกได้ง่าย เช่น ที่อยู่, เขต, เมือง เป็นต้น

ในประเทศไทยจะใช้รูปแบบ MDMF ในการส่งข้อมูล Caller ID ซึ่งส่งได้ทั้งชื่อผู้เรียกและหมายเลขโทรศัพท์ (แต่ในปัจจุบันยังไม่มีการส่งชื่อผู้เรียกเท่านั้นเอง)

รูปแบบการส่งข้อมูลทั้งสองแบบนี้ จะประกอบด้วยค่าที่จะเป็นตัวกำหนดประเภทของข้อมูลที่จะใช้ในการส่ง ซึ่งค่านี้จะแสดงถึงความยาวของข้อมูล และ Checksum ซึ่งแสดงดังตัวอย่างต่อไปนี้

ตัวอย่างของSDMF

ตัวอย่างต่อไปนี้จะแสดงข้อมูลในรูปแบบ SDMF ซึ่งในแต่ละไบท์จะอยู่ในรูปของเลขฐาน 16

04 12 30 39 33 30 31 32 32 34 36 30 39 35 35 35 31 32 31 32 51

04- Message type word - 4 indicate SDMF

12- 18 decimal, number of bytes in date, and time and phone number

30,39- 09,September (ASCII)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

33,30- 30,30th day (ASCII)

31,32- 12,12 hour (ASCII)

32,34- 24 minutes (12:24PM) (ASCII)

36,30,39- 609,Area code (ASCII)

35,35,35- 555,prefix (ASCII)

31,32,31,32- 1212,sufix (ASCII)

51h = Checksum Word

ตัวอย่างของMDMF

ตัวอย่างต่อไปนี้จะแสดงข้อมูลในรูปแบบ MDMF ซึ่งในแต่ละไบท์จะอยู่ในรูปของเลขฐาน 16

80 20 01 08 30 33 32 34 30 39 30 32 07 08 4A 4F 48 4E 20 44 4F 45 02 0A 38 30 30 35 35 35 31 32 31 32 7D

80- Message type word, 80 indicates MDMF

20- Length of data, 32 bytes in data, time, name and number

01- Data type, 1 = date & time

08- Length of date and time, 8 bytes

30,33- 03,March

32,34- 24,24th day

30,39- 09, hour

30,32- 02,minutes (9:02am)

07- Data type, 7 = name

08- Length of name, 8 bytes

4A - 'J'

4F - 'O'

48 - 'H'

4E - 'N'

20 - ' '(space)

44 - 'D'

4F - 'O'

45 - 'E'

02- Data type, 2 = phone number

0A- Length of phone number, 10 bytes

38- 8

30- 0

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

30- 0

35- 5

35- 5

35- 5

31- 1

32- 2

31- 1

32- 2

7D- Checksum

ตัวเลขที่บอกถึงชนิดของข้อมูลมีดังนี้

1- Date & Time

2- Phone Number

4- Number not present

7- Name

8- Name not present

2.5 รายละเอียดและหลักการทำงานของส่วนถอดรหัส DTMF

IC MT8870 เป็นตัวสร้างสัญญาณ Digital เพื่อใช้ควบคุมการทำงานของเครื่องการถอดรหัสความถี่โทรศัพท์ หมายถึง การแปลงสัญญาณความถี่ซึ่งเกิดจากกดปุ่มตัวเลขของโทรศัพท์ชนิดกดปุ่ม (ชนิด Tone หรือ DTMF) ให้เป็นระบบตัวเลขทางดิจิตอล ซึ่ง IC MT8870 ใช้แปลงความถี่โทรศัพท์ให้เป็นเลขฐานสองขนาด 4 บิต

จากรูปที่ 2.4 ใช้ IC เบอร์ MT8870 เป็นตัวเปลี่ยนสัญญาณความถี่โทรศัพท์ เมื่อมีการสั่งงานทางโทรศัพท์เข้ามา หมายเลขที่ใช้ในการโทรก็จะถูกส่งเข้ามาทาง Input ของวงจรแล้วก็ถูกเปลี่ยนเป็นสัญญาณ Digital ส่งเข้าภาค MCS-51 Controller ทำการประมวลผลที่รับเข้ามาแล้วนำผลที่ได้ไปใช้งาน เช่น เปิดหรือปิดอุปกรณ์ไฟฟ้า

คุณสมบัติของ MT8870

เป็นตัวรับและถอดรหัสความถี่ (DTMF receiver)

กินไฟน้อยใช้ไฟเลี้ยงระดับเดียวกับ TTL

สามารถตั้งอัตราขยายภายในตัวไอซีได้

สามารถปรับการ์ดไทม์ (Guard time) ได้เป็นไอซีคุณภาพสูง

การนำ MT8870 ไปใช้งาน

นำไปใช้งานทางด้านรีโมตคอนโทรล

เครื่องป้องกันโทรศัพท์ทางไกล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ใช้ในงานเกี่ยวกับเครดิตการ์ด

ใช้งานรวมกับคอมพิวเตอร์

ใช้ในเครื่องชุมสายขนาดย่อย หรือ PABX

ใช้กับงานทางด้านโทรศัพท์ทั่วไป

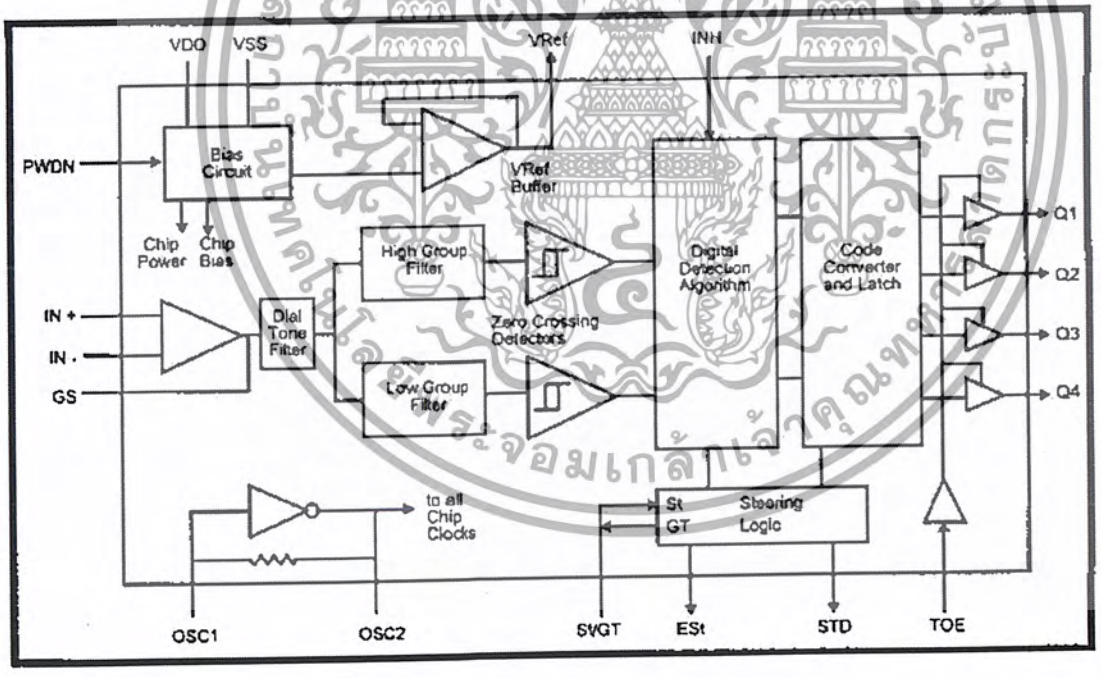
เครื่องกันขโมย

การควบคุมอุปกรณ์ทางโทรศัพท์

ใช้ทำเครื่องสอบถามทางโทรศัพท์

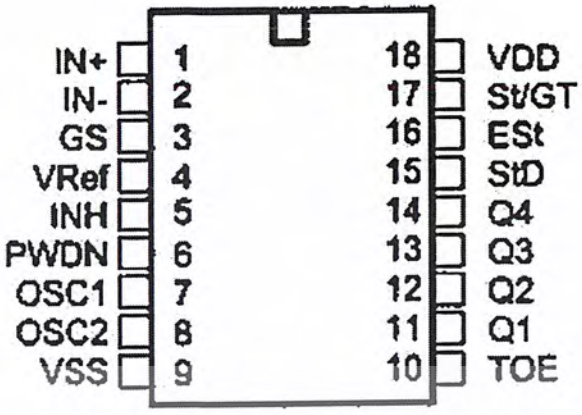
โครงสร้างของ MT8870

โครงสร้างภายในของไอซี MT8870 ประกอบไปด้วยวงจรกรองความถี่และวงจรถอดรหัสฟังก์ชั่นทางดิจิตอล เป็นไอซีที่สร้างโดยใช้เทคโนโลยี ISO2 - CMOS ในส่วนของวงจรกรองความถี่ใช้เทคนิคของ สวิตช์คาปาซิเตอร์ฟิลเตอร์ สำหรับกรองความถี่สูง และความถี่ต่ำ ส่วนวงจรถอดรหัสทั้ง 16 ความถี่ออกเป็นเลขฐานสองขนาด 4 บิต และเช็คช่วงเวลาที่สัญญาณเข้ามา ส่วนภาคอินพุทเป็นออปแอมป์ ซึ่งสามารถปรับอัตราขยายได้โดยการต่ออุปกรณ์ภายนอกเอาท์พุทเป็นวงจรแลตช์ 3 สถานะ รูปที่ 2.6 แสดงโครงสร้างภายในของ MT8870 และรูปที่ 2.7 แสดงรายละเอียดขาของ MT8870



รูปที่ 2.4 แสดงโครงสร้างภายในของ MT8870

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.5 แสดงรายละเอียดขาของ MT8870

ฟังก์ชั่นการทำงานภายใน MT8870

ภายใน MT8870 ประกอบด้วยส่วนสำคัญ 5 ส่วนคือ

ภาคกรองความถี่ (Filter section)

ภาคถอดรหัส (Decode section)

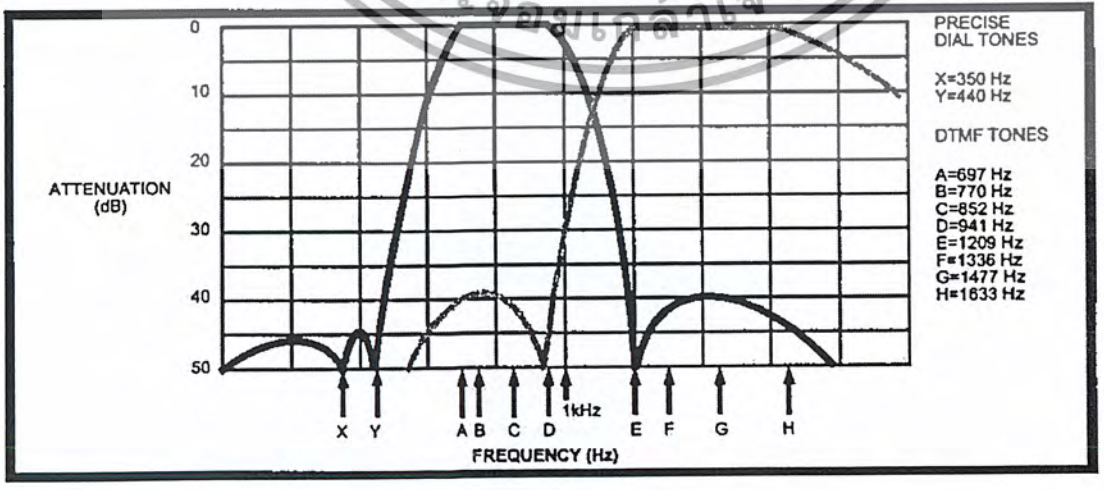
ภาคตรวจสอบสัญญาณ (Steering circuit)

ภาคขยายสัญญาณความแตกต่าง (Differential input)

ภาคกำเนิดความถี่ (Oscillator)

2.5.1 ภาคกรองสัญญาณความถี่

ในส่วนนี้จะแยกสัญญาณ DTMF ที่เข้ามาออกเป็น 2 กลุ่มความถี่ คือช่วงความถี่สูงและความถี่ต่ำโดยใช้วงจรกรองความถี่อันดับ 6 ชนิด สวิตช์คาปาซิเตอร์ (six-order switched capacitor band pass filter) ซึ่งความถี่ที่แยกได้มี 2 ช่วง คือช่วงความถี่สูงและความถี่ต่ำ



รูปที่ 2.6 แสดงความถี่ที่ได้จากภาคกรองความถี่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.5.2 ภาคถอดรหัส

ความถี่ DTMF ที่ถูกกรองเรียบร้อยแล้ว จะผ่านเข้าวงจรถอดรหัสความถี่ออกเป็นตัวเลข โดยใช้เทคนิค การนับแบบดิจิตอลและมีการตรวจสอบความถี่ที่เข้ามาว่าเป็นความถี่มาตรฐาน DTMF หรือไม่ เพื่อป้องกันความถี่อื่นเข้ามาผสม เมื่อตรวจสอบว่าความถี่นั้นถูกต้อง สัญญาณที่ขา EST (Early Steering) ก็จะแอคทีฟสำหรับค่าถอดรหัสได้จากความถี่ต่างๆนั้น แสดงในตารางที่ 2.2

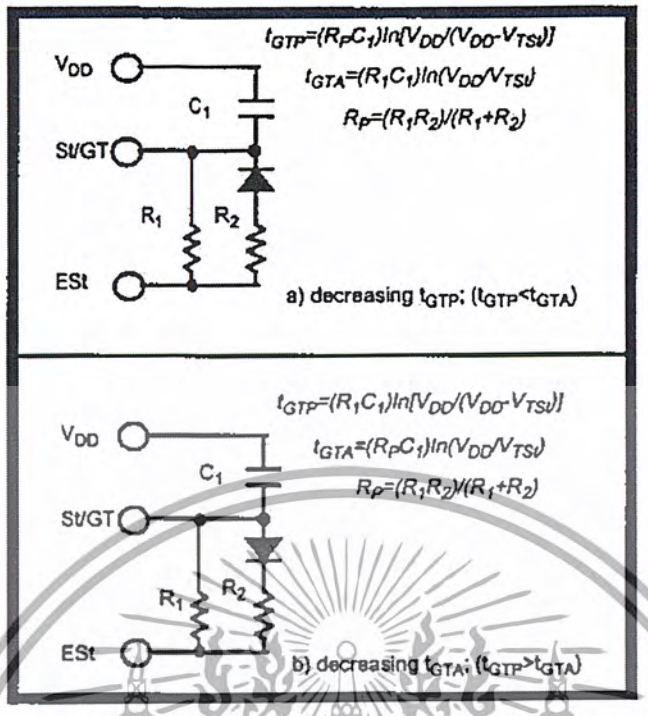
F_{LOW}(Hz)	F_{HIGH}(Hz)	NO	TOE	Q_4	Q_3	Q_2	Q_1
697	1209	1	H	0	0	0	1
697	1336	2	H	0	0	1	0
697	1477	3	H	0	0	1	1
770	1209	4	H	0	1	0	0
770	1336	5	H	0	1	0	1
770	1447	6	H	0	1	1	0
852	1209	7	H	0	1	1	1
852	1336	8	H	1	0	0	0
852	1477	9	H	1	0	0	1
941	1336	0	H	1	0	1	0
941	1209	*	H	1	0	1	1
941	1447	#	H	1	1	0	0
697	1633	A	H	1	1	1	0
770	1633	C	H	1	1	1	0
852	1633	C	H	1	1	1	1
941	1633	D	H	0	0	0	0
-	-	ANY	L	Z	Z	Z	Z

ตารางที่2.2 แสดงค่าที่ถอดรหัสได้จากความถี่ต่างๆ

2.5.3 ภาคตรวจสอบสัญญาณ

ก่อนที่จะมีการถอดรหัสความถี่ออกไปที่เอาท์พุท จะมีการตรวจสอบช่วงความถี่ที่เข้ามาว่ามีระยะเวลาตามที่กำหนดหรือไม่ โดยสังเกตจากระยะเวลาการกดปุ่มโทรศัพท์ ซึ่งต้องกดปุ่มให้มีความถี่ออกมาเป็นช่วงเวลาพอสมควร มิฉะนั้นวงจรส่วนนี้จะไม่รับ โดยถือว่าสัญญาณนั้นไม่ถูกต้อง ส่วนช่วงเวลายาวเท่าใดสามารถตั้งได้โดยใช้ RC ต่อภายนอก สัญญาณที่ขา EST จะเป็น " HIGH " นานใกล้เคียงกับระยะเวลาที่มีความถี่ DTMF เข้ามาเก็บประจุ C จะคลายประจุทำให้แรงดัน Vc สูงขึ้นจนถึงค่าเทรชโฮล วงจรถอดรหัสจึงจะถอดรหัสออกเป็นตัวเลขขนาด 4 บิต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



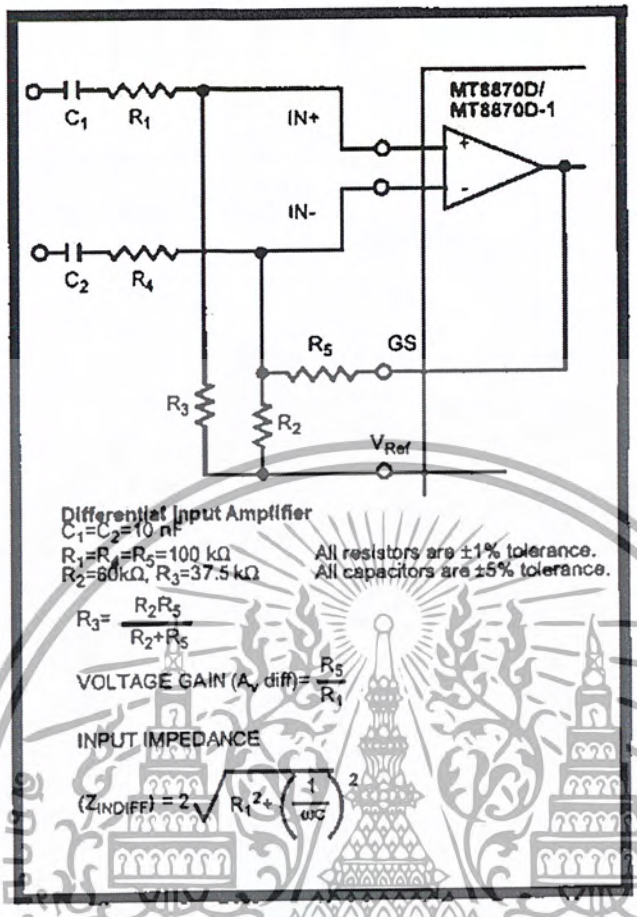
รูปที่ 2.7 แสดงวงจรตรวจสอบสัญญาณอย่างง่ายและแสดงการกำหนดเวลาการ์ดไทม์(Gard Time)พร้อมวิธีคำนวณ

สำหรับคำว่า การ์ดไทม์ (Gard time) นั้นหมายถึง ช่วงคาบเวลาของความถี่ที่เข้ามาซึ่งจะต้องนานเท่ากับหรือมากกว่าช่วงเวลาที่เราตั้งไว้ ซึ่งจะได้รับการยอมรับว่าสัญญาณความถี่นั้นถูกต้อง หรือพูดได้ว่าเวลาที่เราตั้งไว้โดย RC ก็คือการ์ดไทม์นั้นเอง เมื่อสัญญาณความถี่เข้ามานานเท่ากับหรือมากกว่าที่ตั้งไว้ จึงจะสามารถแปลงเป็นตัวเลขได้ ถ้าสัญญาณความถี่เข้ามาสั้นกว่าก็จะไม่มีการถอดรหัสเป็นตัวเลขออกไป การตั้งเวลาและคำนวณเวลาดูได้จาก รูปที่ 2.7

2.5.4 ภาคของขยายสัญญาณความแตกต่าง

วงจรส่วนอินพุทของ MT8870 เป็นภาคขยายออปแอมป์ที่สามารถปรับอัตราขยายโดยต่อวงจรภายนอกเพิ่มเข้าไปรูปที่ 2.8 แสดงการต่อวงจรภายนอกเข้ากับอินพุท ซึ่งสามารถคำนวณอัตราความแตกต่างของอินพุทและอิมพีแดนซ์ได้ดังนี้

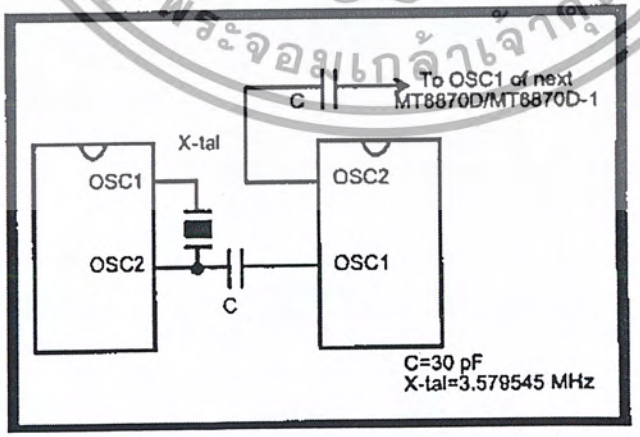
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.8 แสดงการต่อวงจรภาคอินพุท

2.5.5ภาคกำเนิดความถี่

ภาคนี้ภายในไอซีจะมีวงจรเวลาอยู่ภายใน เพียงแต่ต่อแร่คริสตอลขนาด 3.58 MHz ก็สามารถใช้งานได้ทันที การต่อวงจรกำเนิดความถี่แสดงในดังรูปที่ 2.9



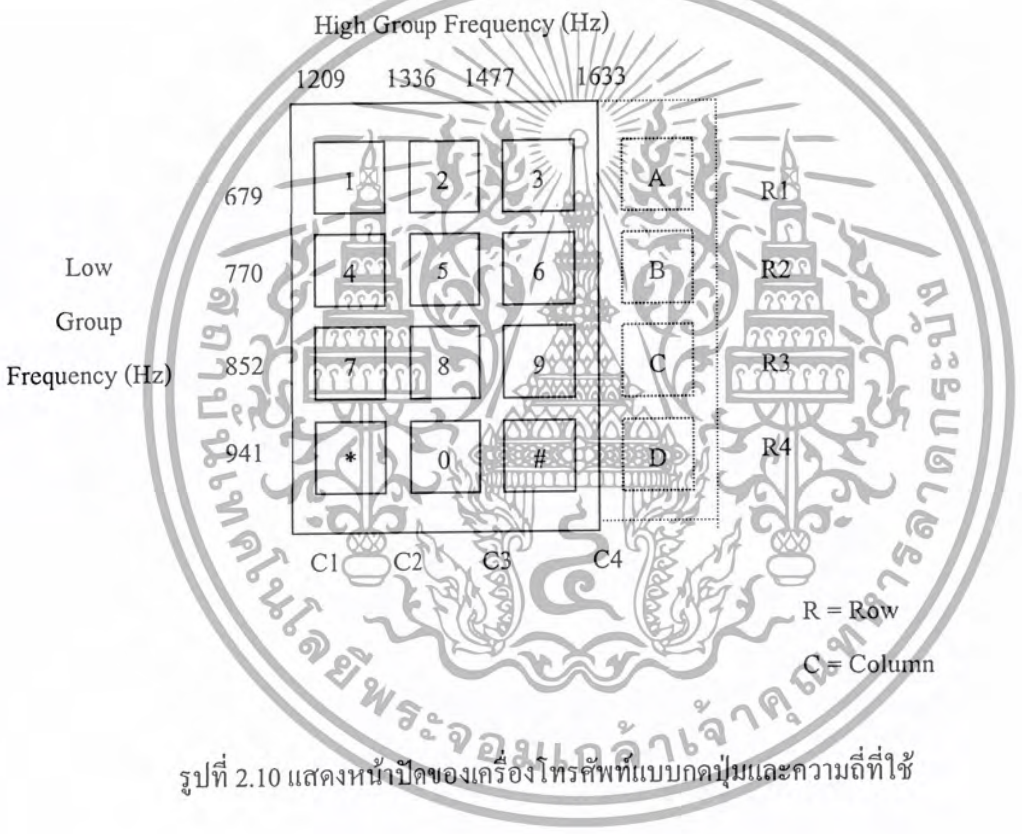
รูปที่ 2.9 แสดงการต่อวงจรผลิตความถี่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.6 โทรศัพท์ที่มีหน้าปัดเป็นแบบกดปุ่ม

เครื่องโทรศัพท์ที่มีหน้าปัดเป็นแบบกดปุ่มและใช้กรรมวิธีของ Dial Tone Multifrequency (DTMF) ในการส่งเลขหมายโทรศัพท์นั้น โดยทั่วไปหน้าปัดจะมี 12 ปุ่ม แบ่งเป็น 4 Rows และ 3 Columns และในเครื่องโทรศัพท์บางแบบอาจจะมีถึง 16 ปุ่ม โดยเพิ่ม Columns ที่ 4 ขึ้นมาอีกดังแสดงตามรูป

ความถี่ที่ใช้ในแต่ละ Row และ Column จะมีความถี่ต่างกัน ความถี่ของทั้ง 4 Rows เรียกว่าเป็นกลุ่มความถี่ต่ำ (Low Group Frequency) และความถี่ของทั้ง 3 หรือ 4 columns เรียกว่ากลุ่มความถี่สูง (High Group Frequency) การกดปุ่มที่หมายเลขใดๆ จะทำให้วงจรอิเล็กทรอนิกส์ภายในเครื่องโทรศัพท์ผลิตความถี่ออกมา 2 ความถี่ เช่น เมื่อกดเลข 5 ความถี่ที่ผลิตออกมา คือ 770 Hz และ 136 Hz เป็นต้น



รูปที่ 2.10 แสดงหน้าปัดของเครื่องโทรศัพท์แบบกดปุ่มและความถี่ที่ใช้

มาตรฐานของความถี่ที่ใช้และตำแหน่งของเลขหมายต่างๆ จะถูกจัดให้มีลักษณะดังแสดงดังรูปที่ 2.10 สำหรับความผิดพลาดที่ยอมให้เกิดขึ้นได้จะเป็น 1.5 % สำหรับการผลิตความถี่ และ 2 % สำหรับการรับเลขหมาย

ข้อดีของการใช้โทรศัพท์แบบกดปุ่ม (DTMF Dialing)

- สามารถลดเวลาในการหมุนเลขหมายลงได้ ทำให้มีผลคือ เวลาเฉลี่ยที่ใช้โทรศัพท์แต่ละครั้ง (Holding Time) ลดลง ซึ่งทำให้ชุมสายโทรศัพท์สามารถรับ traffic ได้มากขึ้น

- สามารถใช้วงจรทาง Solid State Electronics แทนอุปกรณ์ทางด้าน Mechanics จึงทำให้มีความรวดเร็วและแม่นยำในการส่งหมายเลข

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

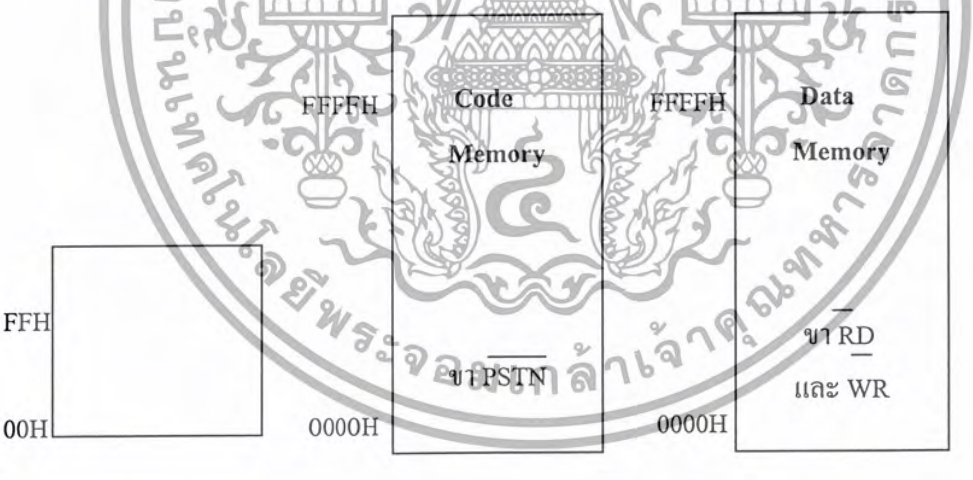
- สามารถเพิ่มปุ่มกดได้อีก 4 ปุ่ม (Column ที่ 4) เพื่อใช้ในการส่งสัญญาณบริการประเภทอื่นๆ
- มีความเหมาะสมที่จะใช้กับชุมสายโทรศัพท์ระบบ SPC (Store Program Control)

2.7 ทฤษฎีของไมโครคอนโทรลเลอร์

ไมโครคอนโทรลเลอร์ P89C51RD2 เป็นไมโครคอนโทรลเลอร์ที่มีหลักการทำงานเหมือนกับไมโครคอนโทรลเลอร์ตระกูล MCS – 51 ดังนั้นจึงขอนำเสนอหลักการทำงานของ MCS – 51 บางประการที่สำคัญ และใช้ในโครงงานดังนี้

2.7.1 โครงสร้างหน่วยความจำ

หน่วยความจำสำหรับไมโครคอนโทรลเลอร์ จะมี 2 ชนิดคือ หน่วยความจำที่ใช้เก็บโปรแกรม หรือ รอม(ROM) กับหน่วยความจำที่ใช้เก็บข้อมูลในการประมวลผล หรือ แรม(RAM) ไมโครคอนโทรลเลอร์บางเบอร์เช่น 8051, 8052 จะมีหน่วยความจำโปรแกรมภายในไอซี และไมโครคอนโทรลเลอร์ ทุกเบอร์สามารถอ้างหน่วยความจำโปรแกรมภายนอกได้มากที่สุด 64 กิโลไบต์ สำหรับหน่วยความจำแรมภายใน จะประกอบไปด้วยพื้นที่ใช้งานทั่วไป, รีจีสเตอร์แบงก์, พื้นที่ใช้งานระดับบิต และรีจีสเตอร์ฟังก์ชันพิเศษ เราอาจเขียนไดอะแกรมของหน่วยความจำของ 8031 ได้ดังรูปที่ 2.11 โดยในรูปจะบอกด้วยว่าขาใดจะแอคทีฟ



รูปที่ 2.11 การจัดหน่วยความจำของไมโครคอนโทรลเลอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ใน 8031 จะมีหน่วยความจำภายในตั้งแต่ตำแหน่ง 00H ถึง FFH และสามารถอ้างหน่วยความจำโปรแกรมภายนอกได้ 64 กิโลไบต์ ตำแหน่ง ถ้าอ่านข้อมูลจากหน่วยความจำโปรแกรมขา PSEN จะแอคทีฟ นอกจากนี้ 8031 สามารถ อ้างถึงหน่วยความจำภายนอกได้ 64 กิโลไบต์ตำแหน่ง โดยการติดต่อกับหน่วยความจำนี้ ขา RD และ WR จะแอคทีฟ สำหรับหน่วยความจำข้อมูลภายในนั้นจะแบ่งออกได้ดังนี้

1) ชุดรีจิสเตอร์ 4 ชุด แต่ละชุดเรียกว่ารีจิสเตอร์แบงค์ ที่ตำแหน่ง 00H ถึง 1FH โดยแต่ละชุดประกอบด้วยรีจิสเตอร์ R0 ถึง R7

2) หน่วยความจำที่สามารถเข้าถึงข้อมูลระดับบิตได้ ตำแหน่ง 20H ถึง 2FH

3) หน่วยความจำใช้งานทั่วไปตำแหน่ง 30H ถึง 7FH

4) รีจิสเตอร์ ฟังก์ชั่นพิเศษ ตำแหน่ง 80H ถึง FFH

แผนผังการจัดหน่วยความจำข้อมูลภายใน การอ้างตำแหน่ง หน่วยความจำภายในจะอ้างได้สองแบบ คือ การอ้างไปที่ตำแหน่งของไบต์ (เขียนหมายเลขตำแหน่งด้านนอก) หรือการไปที่ตำแหน่งของบิต (เขียนหมายเลขตำแหน่งด้านใน) โดยตำแหน่งของหน่วยความจำที่อ้างเป็นแบบบิตได้จะมีตำแหน่งบิตที่แน่นอน

2.7.2 รีจีสเตอร์ฟังก์ชั่นพิเศษ (Special Function Register)

ในไมโครคอนโทรลเลอร์รุ่น รีจิสเตอร์จะใช้หน่วยความจำแรมภายในไอซี โดยส่วนหนึ่งเป็น รีจิสเตอร์พิเศษ (Special Function Register: SFR) ซึ่งมีทั้งหมด 21 ตัวโดยรีจิสเตอร์พิเศษต่าง ๆ จะเริ่มที่หน่วยความจำตั้งแต่ 80H ถึง FFH ซึ่งมีทั้งหมด 128 ตำแหน่ง แต่จะเป็นรีจิสเตอร์ฟังก์ชั่นพิเศษ เพียง 21 ตำแหน่ง แต่ถ้าเป็น 8032 / 8051 จะใช้ 26 ตำแหน่ง หรือมีรีจิสเตอร์พิเศษ 26 ตัว

2.7.3 คุณสมบัติพิเศษของ P89C51RD2 8-bit Flash microcontroller family

ไมโครคอนโทรลเลอร์รุ่น P89C51RD2 เป็นไมโครคอนโทรลเลอร์ที่อยู่ในตระกูลของ MCS-51 เหมือนไมโครคอนโทรลเลอร์ทั่วๆไป แต่จะมีคุณสมบัติพิเศษซึ่งต่างจากไมโครคอนโทรลเลอร์ตัวอื่นๆ ก็คือ สามารถทำการโปรแกรมแบบ อินซิสเต็ม โปรแกรมมิ่ง ได้นอกจากนั้นยังมีข้อดีอื่นๆ ที่เหนือกว่าไมโครคอนโทรลเลอร์อื่นๆ อีกเช่น

2.7.3.1 เลือกการทำงานได้ 2 แบบ คือ แบบ 6 สัญญาณนาฬิกา และ แบบ 12 สัญญาณนาฬิกา

P89C51RD2 สามารถเลือกที่จะทำงานเร็วขึ้นอีก 1 เท่า ด้วย Xtal ค่าเดิม กล่าวคือ สามารถเลือกได้ว่าจะทำงานในโหมด 12 สัญญาณนาฬิกา หรือ แบบ 6 สัญญาณนาฬิกา ถ้าเลือกแบบ 12 สัญญาณนาฬิกา การทำคำสั่ง 1 คำสั่ง ก็จะใช้ 12 สัญญาณนาฬิกา ตามปกติ ถ้าเลือกโหมด 6 สัญญาณนาฬิกา การทำคำสั่ง 1 คำสั่งก็จะใช้เพียง 6 สัญญาณนาฬิกาเท่านั้น โดยปกติทางโรงงานจะกำหนดให้ไอซีทำงานในโหมด 6 สัญญาณนาฬิกา มาอยู่แล้ว แต่ผู้ใช้ยังคงสามารถโปรแกรมให้ทำงานแบบ 12 สัญญาณนาฬิกา ตามเดิมก็ได้ เพื่อที่จะนำมาใช้ กับเครื่องโปรแกรมแบบขนาน (Parallel) และที่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำคัญคือ เมื่อเราเปลี่ยนให้กลายเป็นการโปรแกรมเป็นแบบ 12 สัญญาณนาฬิกา จะไม่สามารถกำหนดย้อนกลับไปเป็นแบบ 6 สัญญาณนาฬิกา ได้อีก เพาะฉะนั้น ต้องตัดสินใจเลือกให้เด็ดขาดก่อน

2.7.3.2 มี ONCE™ Mode

ONCE ("On-Circuit Emulation) โหมดนี้เป็นโหมดที่ให้การสนับสนุนในการทดสอบระบบโดยที่ไม่ต้องถอดตัวไอซีออกมาจากวงจร ในการใช้ ONCE โหมดต้องกำหนดค่าต่างๆ ดังนี้

1. ให้ ALE เป็น LOW ขณะที่กำลัง รีเซ็ตวงจร และให้ PSEN เป็น HIGH
2. คงค่า ALE ให้เป็น LOW ไว้จน RST สิ้นสุดลง

ขณะที่วงจรอยู่ใน ONCE โหมด เราสามารถใช้ อีมูเลเตอร์ ในการขับวงจร การกลับสู่การทำงานปกติทำได้โดยการรีเซ็ต

2.7.4 มีแหล่งกำเนิดอินเตอร์รัปต์ 7 แหล่ง 4 ระดับ (Interrupt Priority Structure 7 source 4 level)

ปกติในไมโครคอนโทรลเลอร์ 8051 ทั่วไป จะมี 2 ระดับอินเตอร์รัปต์ แต่ในไมโครคอนโทรลเลอร์ เบอร์ P89C51RD2 จะมีถึง 4 ระดับอินเตอร์รัปต์ โดยจะมีรีจิสเตอร์ฟังก์ชั่นพิเศษ 3 ตัวที่เป็นตัวสร้างอินเตอร์รัปต์ คือ IE, IP และ IPH โดย IPH จะอยู่ที่ตำแหน่ง B7H ของ รีจิสเตอร์ฟังก์ชั่นพิเศษ โดยกำหนดค่า ระดับความสำคัญ จะกำหนดโดยค่าในรีจิสเตอร์ฟังก์ชั่นพิเศษ IPH กับรีจิสเตอร์ฟังก์ชั่นพิเศษ IP ดังตาราง

PRIORITY BITS		INTERRUPT PROIRITY LEVEL
IPH.x	IP.x	
0	0	Level 0 (lowest priority)
0	1	Level 1
1	0	Level 2
1	1	Level 3 (Highest priority)

ตารางที่ 2.3 แสดงค่าการตั้งค่าระดับความสำคัญของอินเตอร์รัปต์

2.7.5 มีดาต้าพอยน์เตอร์ (DPTR) 2 ตัว

ใน P89C51RD2 มีดาต้าพอยน์เตอร์ 2 ตัว โดยเราสามารถเลือกว่าจะใช้ตัวใดได้โดยเลือกเซ็ตบิต DPS ในรีจิสเตอร์ฟังก์ชั่นพิเศษ AUXR1 (ตำแหน่ง A2H) โดย

เลือก DPTR0; DPS = 0

เลือก DPTR1; DPS = 1

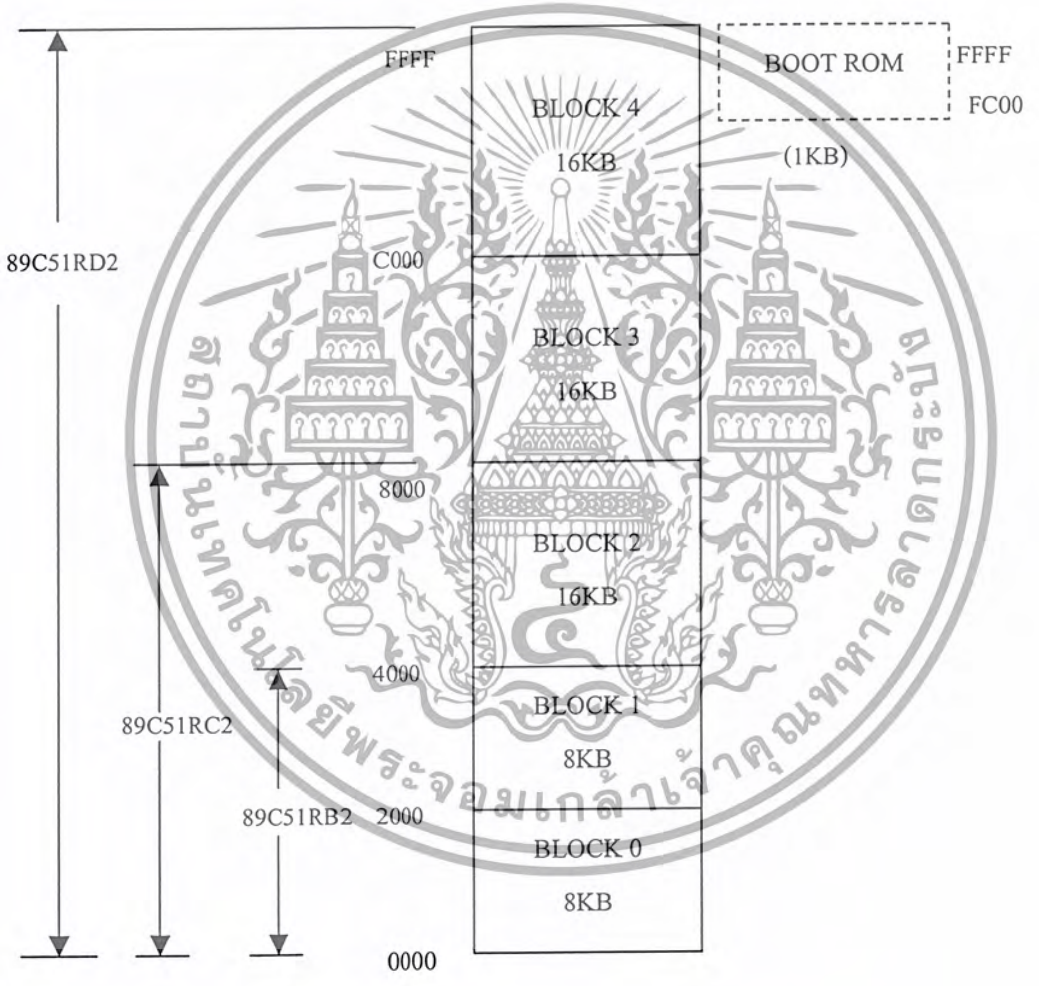
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

2.7.6 แฟลชอีพรอมเมโมรี (FLASH EPROM MEMORY)

ในไมโครคอนโทรลเลอร์ P89C51RD2 มีหน่วยความจำ แฟลชเมโมรี 64 กิโลไบต์ ซึ่งแบ่งเป็น 5 บล็อก โดยสองบล็อกแรกจะมีขนาด 8 กิโลไบต์ โดยมีแอดเดรสตั้งแต่ 0000F ถึง 3FFFH และอีก 3 บล็อกที่เหลือมีขนาด 16 กิโลไบต์ โดยมีแอดเดรสตั้งแต่ 4000H ถึง FFFFH

บู๊ตรอม (Boot ROM) เป็นแฟลชเมโมรี ที่มีขนาด 1 กิโลไบต์ อยู่ที่แอดเดรส FC00H ถึง FFFFH ซึ่ง บู๊ตรอมสามารถปิด (ไม่ใช้งาน) ได้ ดังนั้นเมื่อเราไม่ได้ใช้งาน บู๊ตรอมแฟลชเมโมรี (Boot ROM Flash memory) 1 กิโลไบต์บนก็จะนำไปใช้เป็นแฟลชเมโมรีได้ตามปกติ



รูปที่ 2.12แสดงแผนภาพ แฟลชเมโมรีของ P89C51RD2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
544976

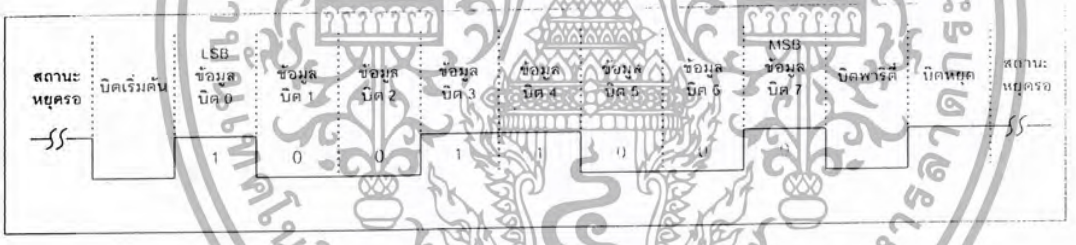
2.7.7 การสื่อสารข้อมูลแบบอะซิงโครนัส

การสื่อสารข้อมูลแบบอะซิงโครนัสคือการรับและส่งข้อมูลโดยไม่จำเป็นต้องมีสัญญาณนาฬิการ่วมด้วยแต่จะใช้การกำหนดค่าอัตราเร็วในการรับและส่งข้อมูลให้มีค่าเท่ากัน ซึ่งเรียกอัตราเร็วนี้ว่า อัตราบอด หรือ บอดเรต (Baud rate) มีหน่วยเป็น บิตต่อวินาที (Bit per second: bps)

รูปแบบของข้อมูลที่ใช้ในการส่งแบบอะซิงโครนัสประกอบด้วย 4 ส่วนด้วยกันคือ

1. บิตเริ่มต้น (start bit) มีขนาด 1 บิต
2. บิตข้อมูลแบบอนุกรม มีขนาด 8 บิต
3. บิตตรวจสอบพาริตี้ (parity bit) มีขนาด 1 บิตหรือไม่มี
4. บิตปิดท้ายหรือบิตหยุด (stop bit) มีขนาด 1 บิต

รูปที่ 2.13 แสดงรูปแบบของข้อมูลอนุกรมแบบอะซิงโครนัส เมื่อไม่มีการส่งข้อมูล ขา DATA จะมีสถานะลอจิก "1" เรียกสถานะนี้ว่า สถานะหยุดรอ (waiting stage) การเริ่มต้นส่งข้อมูลจะเริ่มจากการให้ขา DATA มีลอจิก "0" ด้วยช่วงระยะเวลา 1 บิต เรียกบิตนี้ว่า บิตเริ่มต้น (start bit)จากนั้นบิตข้อมูลจะถูกส่งออกไป โดยเริ่มจากบิตที่มีนัยสำคัญต่ำสุดหรือบิต LSB ก่อน ซึ่งข้อมูลที่ต้องการส่งมีจำนวน 8 บิต จากนั้นตามด้วย บิตพาริตี้ (parity bit) ซึ่งใช้ในการตรวจสอบความผิดพลาดที่เกิดขึ้นจากการส่งข้อมูล บิตสุดท้ายที่จะส่งคือ (stop bit) โดยจะเป็นการทำให้ขา DATA มีสถานะลอจิก "1" อีกครั้งด้วยระยะเวลาอย่างน้อย 1 บิต , 1.5 บิต หรือ 2 บิต เพื่อเป็นการแสดงว่าสิ้นสุดข้อมูลแล้ว



รูปที่ 2.13 รูปแบบข้อมูลอนุกรมแบบอะซิงโครนัส

อัตราความเร็วในการรับและส่งข้อมูลของการรับส่งข้อมูลแบบอะซิงโครนัสหรืออัตราบอด หรือบอดเรตที่ใช้สำหรับพอร์ตอนุกรม RS- 232 มีด้วยกันหลายค่า ตั้งแต่ 110 ถึง 19,200 บิตต่อวินาที โดยมีค่าเพิ่มมากขึ้นตามเทคโนโลยีของคอมพิวเตอร์ เนื่องจากอัตราบอดคือค่าของจำนวนบิตที่สามารถส่งได้ใน 1 วินาที สมมติว่า ข้อมูลอนุกรมมีขนาด 8 บิต ไม่มีการตรวจสอบพาริตี้ มีบิตเริ่มต้น 1 บิต และบิตปิดท้าย 1 บิต ความยาวของข้อมูล 1 ไบต์ จะมีความยาวเท่ากับ 10 บิต ถ้าใช้บอดเรตในการส่งข้อมูลเท่ากับ 1,200 บิตต่อวินาที ก็จะสามารถรับส่งข้อมูลได้ด้วยความเร็ว 120 ไบต์ต่อวินาที

การตรวจสอบพาริตี้สามารถกำหนดให้เป็นแบบคี่ (Odd), แบบคู่ (even) หรือไม่มีการตรวจสอบพาริตี้ก็ได้ พาริตี้คี่หรือพาริตี้คู่แสดงถึงจำนวนลอจิก "1" ทั้งหมดภายในข้อมูลที่ส่งไป 1 ไบต์ รวมบิตพาริตี้ว่ามีจำนวนเป็นเลขคู่หรือเลขคี่ ยกตัวอย่าง ข้อมูลที่จะทำการส่งมีขนาด 8 บิต มีค่าเท่ากับ 99H หรือ 11011001B จะเห็นว่าข้อมูลในไบต์นี้มีจำนวนลอจิก "1" จำนวน 4 ตัว ซึ่งเป็นเลขคู่ ดังนั้นถ้ากำหนด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ค่าพาริตี้เป็นคู่ ค่าของบิตพาริตี้จะต้องมีลอจิกเป็น "0" แต่ถ้ากำหนดพาริตี้เป็นคี่ ค่าของบิตพาริตี้จะต้องเป็น "1" เพื่อให้ข้อมูล 1 ไบต์รวมทั้งบิตพาริตี้เป็นคี่

บิตพาริตี้ถูกสร้างขึ้นจากภาคส่งข้อมูลของ UART (Universal Asynchronous Receiver Transmitter) เป็นอุปกรณ์ที่ใช้ในการรับและส่งข้อมูลอนุกรม) ซึ่งทางภาครับต้องกำหนดการตรวจสอบพาริตี้ที่ตรงกันเอาไว้ว่าจะตรวจสอบพาริตี้คี่หรือคู่ จากนั้นภาครับของ UART จะทำการตรวจสอบค่าพาริตี้ที่เกิดขึ้นว่าเป็นคู่หรือเป็นคี่ โดยการนับจำนวนลอจิก "1" ทั้งหมดรวมทั้งบิตพาริตี้ด้วย ถ้ากำหนดพาริตี้ไว้เป็นคู่แต่อ่านค่าตัวเลขในการนับออกมาได้ตัวเลขเป็นคี่ ทางภาครับจะแสดงข้อผิดพลาดออกมาให้ผู้ใช้ทราบ กระบวนการดังกล่าวเป็นวิธีการตรวจสอบความผิดพลาดที่เกิดขึ้นในการรับส่งข้อมูลที่ง่ายที่สุด แต่มันสามารถตรวจสอบได้เมื่อมีบิตข้อมูลที่ทำการรับส่งผิดพลาดเพียงบิตเดียวเท่านั้น ถ้าข้อมูลที่ทำการส่งมีบิตที่ผิดพลาดมากกว่า 1 บิต การตรวจสอบด้วยวิธีนี้จะไม่ได้ผล สำหรับการตั้งพาริตี้เป็น NONE นั้น ทั้งภาครับและส่งจะไม่มีการตรวจสอบพาริตี้

2.7.8 โหมดการทำงานของพอร์ตอนุกรมใน MCS-51

พอร์ตอนุกรมในไมโครคอนโทรลเลอร์ MCS-51 สามารถเลือกการทำงานได้ถึง 4 โหมดคือ

1 โหมด 0 เป็นการกำหนดให้พอร์ตอนุกรมทำงานในลักษณะชิฟต์รีจิสเตอร์

2 โหมด 1 เป็นการกำหนดให้เป็น UART ขนาด 8 บิต สามารถเลือกอัตราบอดได้

3 โหมด 2 เป็นการกำหนดให้เป็น UART ขนาด 9 บิต โดยมีอัตราบอดคงที่

4 โหมด 3 เป็นการกำหนดให้เป็น UART ขนาด 9 บิต สามารถเลือกอัตราบอดได้

โดยในโครงงานนี้จะใช้โหมด 1 จึงขออธิบายการทำงานในโหมดนี้

การทำงานในโหมด 1 ของวงจรพอร์ตอนุกรม

มีไดอะแกรมแสดงในรูปที่ 2.14 ในโหมดนี้ใช้ในการรับส่งข้อมูลรวม 10 บิต โดยส่งข้อมูลออกทางขา P3.1 หรือ TxD และรับข้อมูลเข้าทางขา P3.0 หรือ RxD ข้อมูลทั้ง 10 บิต ประกอบด้วย บิตเริ่มต้น (มีค่าเป็น "0") 1 บิต บิตข้อมูล 8 บิต โดยรับหรือส่งข้อมูลในบิต LSB ก่อน และบิตหยุดหรือบิตปิดท้าย (มีค่าเป็น "1") ในการรับข้อมูลบิตหยุดจะถูกเก็บไว้ในบิต RB8 ในรีจิสเตอร์ SCON อัตราบอดในโหมดนี้ได้รับการกำหนดโดยอัตราการเกิดโอเวอร์โฟลวของไทม์เมอร์ 1 ใน AT89C51 ส่วนในไมโครคอนโทรลเลอร์ AT89C52 และในอนุกรม AT89Sxx สามารถเลือกใช้อัตราการเกิดโอเวอร์โฟลวของ ไทม์เมอร์ 1 หรือ ไทม์เมอร์ 2 ในการกำหนดอัตราบอดได้

กระบวนการส่งข้อมูลเริ่มต้นด้วยการแอคทีฟสัญญาณเขียนข้อมูลมายังรีจิสเตอร์ SBUF ส่งมายังวงจรควบคุมการส่ง (TX control) จากนั้นวงจรควบคุมจะทำการแอคทีฟสัญญาณ SEND ที่สเตค 1 เฟส 1 ของแมชชีนไซเคิลต่อมา โดยสัญญาณ SEND จะเป็น "0" ตลอดการส่งข้อมูล เมื่อสัญญาณ SEND แอคทีฟ จะทำการส่งบิตเริ่มต้นก่อนเป็นบิตแรก โดยมีคาบเวลาของบิตเริ่มต้นเท่ากับ 1 แมชชีนไซเคิล จากนั้นตามด้วยการส่งบิตข้อมูล 8 บิต เรียงลำดับจาก LSB โดยข้อมูลที่ทำการส่งถูกเรียกออกมาจากรีจิสเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บัฟเฟอร์สำหรับการส่งข้อมูล ในทุกๆบิตข้อมูลที่ทำการส่งออกไป จะเกิดสัญญาณพัลส์ SHIFT ขึ้น เพื่อให้เรียกข้อมูลในแต่ละบิตจากรีจิสเตอร์บัฟเฟอร์การกำหนดจังหวะการส่งข้อมูลใช้สัญญาณนาฬิกาการส่ง (TX clock) เป็นตัวกำหนด โดยสัญญาณนาฬิกานี้ได้มาจากการหารสัญญาณ TCLK จากไทม์เมอร์ 1 ด้วย 16 หลังจากการส่งบิตข้อมูลก็จะทำการส่งบิตหยุดหรือบิตปิดท้าย 1 บิต ดังนั้นการส่งข้อมูลจะใช้สัญญาณนาฬิกาทั้งหมด 10 ลูก เมื่อทำการส่งข้อมูลครบเรียบร้อยแล้ว จะทำการเซตบิต TI ในรีจิสเตอร์ SCON หากการอินเตอร์รัปต์จากพอร์ตอนุกรมได้รับการเอ็นเอเบิลไว้ ก็จะเกิดการอินเตอร์รัปต์ขึ้นในระบบ หลังจากที่ทำการบริการอินเตอร์รัปต์หรือส่งข้อมูลเรียบร้อยแล้ว ต้องทำการเคลียร์บิต TI ก่อนเป็นอันดับแรก เพื่อให้การรับส่งข้อมูลทางพอร์ตอนุกรมดำเนินต่อไปได้

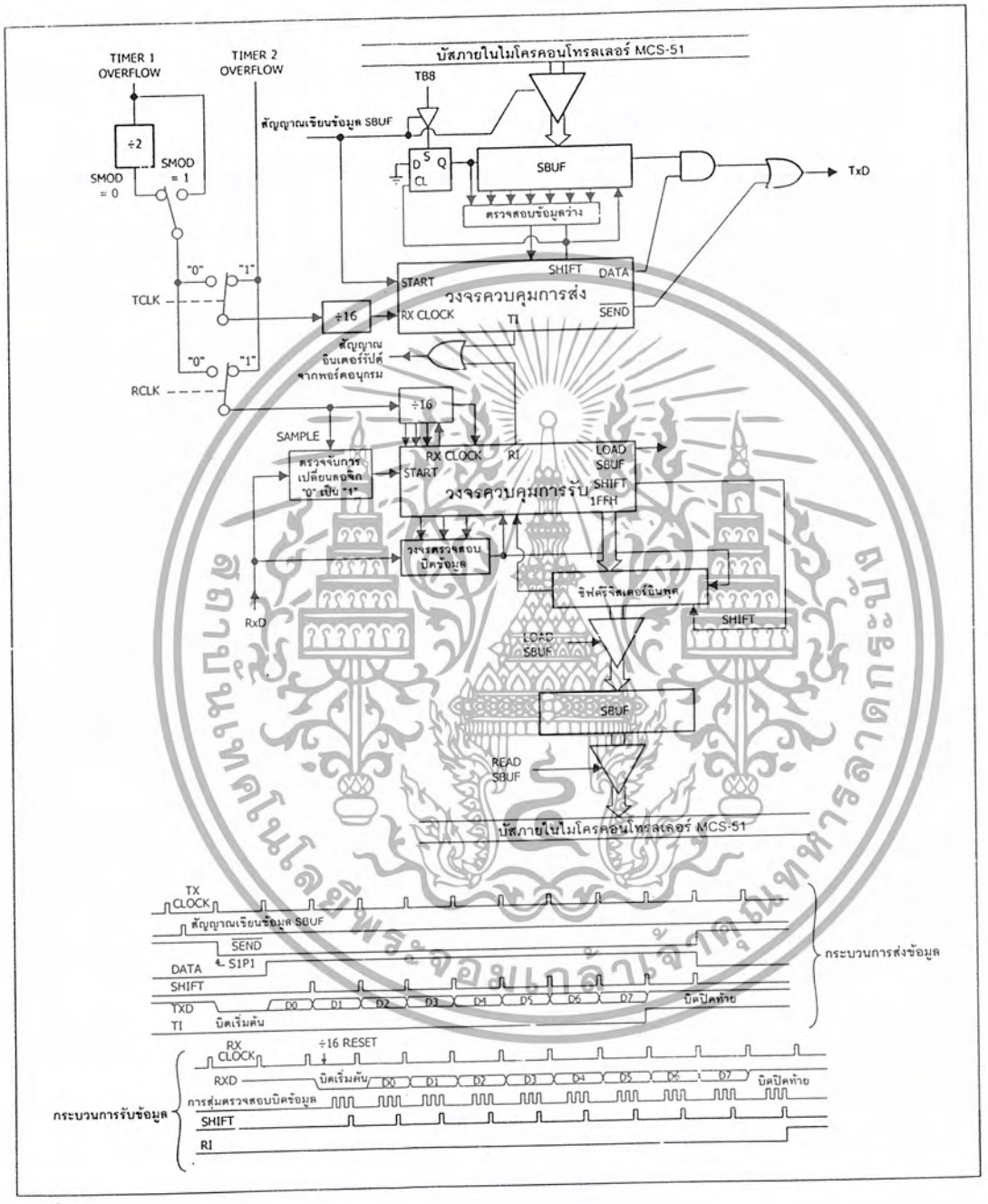
ด้านการรับข้อมูล จะทำการตรวจจับการเปลี่ยนแปลงระดับลอจิกจาก “1” เป็น “0” ที่ขา RxD โดยใช้อัตราการสุ่มเท่ากับ 1/16 เท่าของอัตราบอด เมื่อตรวจจับพบ ไทม์เมอร์/เคาน์เตอร์ที่ใช้ในการกำหนดอัตราบอดจะรีเซตและทำการเขียนข้อมูล 1FFH ไปยังชิฟต์รีจิสเตอร์ ข้อมูลจะเริ่มเดินทางเข้าสู่พอร์ตอนุกรมของไมโครคอนโทรลเลอร์ผ่านทางขา RxD ในการตีความว่าบิตที่เข้ามาเป็น “0” หรือ “1” จะใช้ผลการสุ่มข้างมาก โดยบิตของข้อมูลที่เข้ามาได้รับการแบ่งออกเป็น 16 สเตต การสุ่มข้อมูลจะทำการสุ่มสเตตที่ 7, 8 และ 9 หาก 2 ใน 3 ของการสุ่มพบว่าข้อมูลเป็นลอจิกใด จะตีความข้อมูลในบิตนั้นเป็นตามเสียงข้างมาก ยกตัวอย่าง สุ่มพบลอจิก “1” 2 ใน 3 ครั้ง จะตีความว่าบิตของข้อมูลที่ได้นั้นเป็น “1”

ลำดับของการรับข้อมูลมีลักษณะเดียวกับการส่งข้อมูลคือ เริ่มด้วยบิตเริ่มต้นก่อน ตามด้วยบิตข้อมูล และบิตปิดท้าย การรับข้อมูลได้ 1 บิต จะมีพัลส์ SHIFT เกิดขึ้น เพื่อทำการเลื่อนข้อมูลเข้าสู่รีจิสเตอร์บัฟเฟอร์ การรับข้อมูล การกำหนดจังหวะการรับข้อมูลใช้สัญญาณนาฬิกาการรับข้อมูล (RX clock)

หลังจากสัญญาณนาฬิกาลูกสุดท้าย อันหมายถึงสามารถรับข้อมูลได้ครบแล้ว วงจรควบคุมการรับข้อมูลจะทำการส่งข้อมูลจากรีจิสเตอร์บัฟเฟอร์ไปยังรีจิสเตอร์ SBUF และบิต RB8 ในรีจิสเตอร์ SCON โดยข้อมูลในบิต RB8 ก็คือข้อมูลของบิตหยุดนั่นเอง พร้อมกันนั้นยังทำการเซตบิต RI ในรีจิสเตอร์ SCON ด้วย หากการอินเตอร์รัปต์จากพอร์ตอนุกรมได้รับการเอ็นเอเบิลไว้ ก็จะเกิดการอินเตอร์รัปต์ขึ้นในระบบ หลังจากบริการอินเตอร์รัปต์หรือรับข้อมูลเรียบร้อยแล้ว ต้องทำการเคลียร์บิต RI ก่อน เพื่อให้การรับส่งข้อมูลทางพอร์ตอนุกรมดำเนินต่อไปได้

ซึ่งการทำงานในโหมดนี้ได้รับความนิยมสูงสุด เนื่องจากมีกระบวนการที่ซับซ้อนและสามารถทำการรับส่งข้อมูลกับคอมพิวเตอร์ได้อย่างมีประสิทธิภาพ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

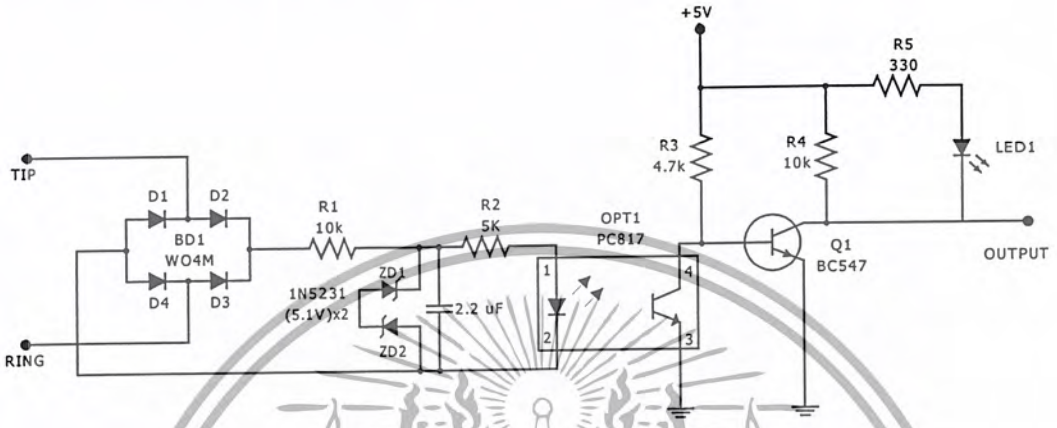


รูปที่ 2.14ไดอะแกรมการทำงานในโหมด 1 ของพอร์ตอนุกรมภายในไมโครคอนโทรลเลอร์ MCS-51

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

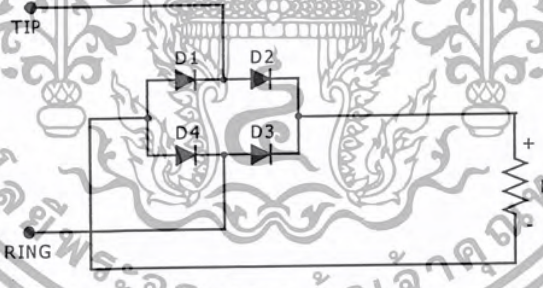
บทที่ 3
วงจรและการทำงาน

3.1 วงจรตรวจสอบสถานะ Hook-On, Hook-Off



รูปที่ 3.1 แสดงวงจรตรวจสอบสถานะ Hook-On, Hook-Off

3.1.1 วงจร Bridge rectifier



รูปที่ 3.2 แสดงวงจร Bridge rectifier

หลักการทำงานวงจร Bridge rectifier

จากรูปที่ 3.2 การทำงานของวงจร Bridge rectifier เมื่อมีแรงดันไฟฟ้าของสายโทรศัพท์ในสภาพวางหู จะมีแรงดันในคู่สายโทรศัพท์จะมีแรงดันประมาณ –48 โวลต์ ทำให้ไดโอด D1 และ D3 ทำงาน กระแสไหลผ่าน RL ทำให้ขั้วแรงดันตกคร่อมประมาณ 48 โวลต์และเมื่อทำการยกหูแรงดันที่คู่สายโทรศัพท์จะลดลงเหลือประมาณ –5 ถึง –8 โวลต์ ทำไดโอด D1 และ D3 ทำงาน กระแสไหลผ่าน RL ทำให้ขั้วแรงดันตกคร่อมประมาณ 5 ถึง 8 โวลต์ และสภาวะสุดท้ายเมื่อมีสัญญาณเรียกเข้ามาจะมีลักษณะเป็น Sine wave มีแรงดันประมาณ 100 โวลต์พีคทูพีค เมื่อผ่านวงจร Bridge rectifier แล้วจะเหลือความต่างศักย์ที่ไม่สูงมากเกินไป และจะทำให้วงจรไม่ได้รับความเสียหาย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หลักการทำงาน

จากวงจรในรูปที่ 3.1 แรงดันไฟตรงประมาณ 48 ถึง 52 โวลต์จากคู่สายโทรศัพท์จะถูกจัดขั้วแรงดันใหม่โดยบริดจ์ไดโอด BD1 โดยที่ถ้ามีแรงดันไฟด้าน Tip ของวงจร จะทำให้ D2 ได้รับ Forward Bias มีแรงดันตกคร่อม R1 เพื่อลดระดับแรงดันให้ต่ำลง แล้วผ่านซีเนอร์ไดโอด ZD1, ZD2 เพื่อจำกัดแรงดันไว้ให้มีค่าประมาณ 10 โวลต์ จากนั้นก็ผ่าน R2 ทำให้ LED ที่อยู่ภายในออปโต้Switch OPT1 ได้รับ Forward Bias และมีแรงดันพอที่จะทำให้ LED ที่อยู่ภายในออปโต้Switch ทำงานได้ ทำให้ไดโอด D4 ได้รับ Forward Bias ออกไปทางด้าน Ring ของวงจร

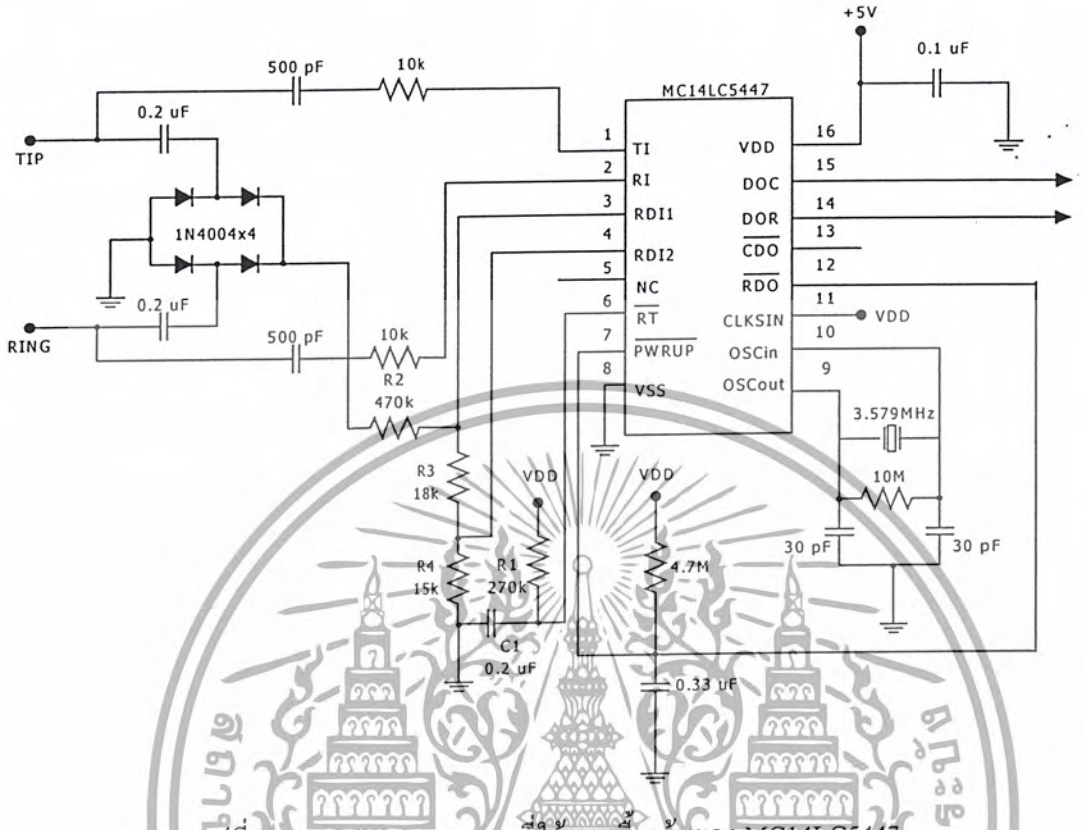
ถ้ามีแรงดันไฟที่ด้าน Ring ของวงจร การทำงานของวงจรในส่วนนี้ก็จะเหมือนกับว่ามีแรงดันไฟที่ด้าน Tip แต่ที่บริดจ์ไดโอด จะเป็นไดโอด D3 ที่ได้รับ Forward bias ผ่าน R1, ZD1, ZD2 เพื่อลดขนาดของแรงดันให้ต่ำลงและจำกัดแรงดันไว้ประมาณ 10 โวลต์ จากนั้นก็ผ่าน R2 เข้าขาแอโนดของ LED ที่อยู่ภายในออปโต้Switch OPT1 และมีแรงดันพอที่จะทำให้ LED ที่อยู่ภายในออปโต้Switch ทำงานได้ ทำให้ไดโอด D1 ได้รับ Forward Bias ออกไปทางด้าน Tip ของวงจร

เมื่อ LED ที่อยู่ภายในออปโต้Switch OPT1 ทำงานทำให้ทรานซิสเตอร์ที่อยู่ภายใน ออปโต้ Switch OPT1 ทำงาน ส่งผลให้ทรานซิสเตอร์ Q1 ไม่ทำงานเนื่องจากขา Base ของ Q1 ถูกต่อลงกราวนด์ผ่าน Collector และ Emitter ของทรานซิสเตอร์ที่อยู่ภายในออปโต้Switch OPT1 ทำให้ไม่มีกระแสไหลเข้าที่ขา Base ของ Q1 ส่งผลให้ทรานซิสเตอร์ Q1 อยู่ในสภาวะ cut off และไม่มีกระแสไหลที่ขา Collector ของทรานซิสเตอร์ Q1 จึงทำให้แรงดันที่ตกคร่อม R4 และ R5 มีค่าประมาณ 0 โวลต์ และทำให้มีแรงดันตกคร่อมที่ขา Collector และ Emitter ของทรานซิสเตอร์ Q1 มีค่าเท่ากับแหล่งจ่ายหรือประมาณ 5 โวลต์ ซึ่งเป็นแรงดันที่จุด output ของวงจร LED1 จึงไม่ได้รับ Bias ทำให้ LED 1 ไม่ทำงาน

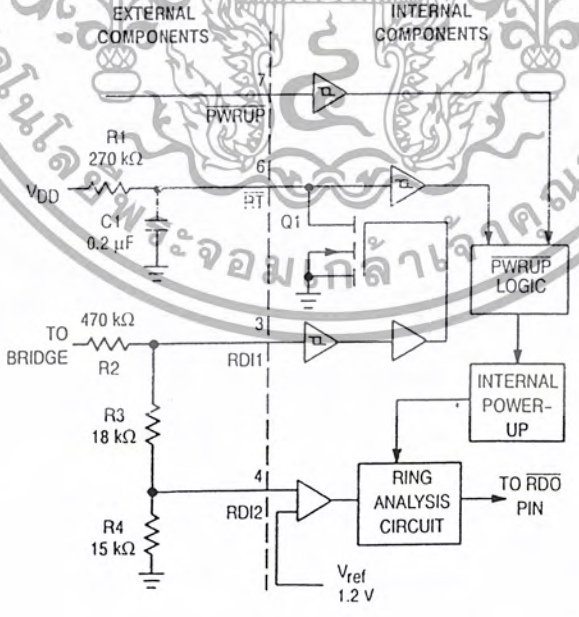
ในสภาวะ Hook-off เมื่อมีการยกหูจะทำให้แรงดันที่คู่สายโทรศัพท์ตกลงเหลือประมาณ 7 โวลต์ ซึ่งแรงดันจากคู่สายโทรศัพท์จะถูกจัดขั้วแรงดันใหม่โดยบริดจ์ไดโอด BD1 ผ่าน R1 เพื่อลดระดับแรงดันให้ต่ำลงแล้วผ่าน ZD1, ZD2 จากนั้นก็ผ่าน R2 ซึ่งในจุดนี้แรงดันจะถูกลดลงเหลือประมาณ 1.5 โวลต์ ซึ่งแรงดันที่ลดลงขนาดนี้ไม่เพียงพอที่จะทำให้ออปโต้Switch OPT1 ทำงานได้ ส่งผลให้ Q1 อยู่ในสภาวะ active เนื่องจากที่ขา Base ของทรานซิสเตอร์ Q1 ได้รับกระแสที่ไหลผ่าน R3 ทำให้มีกระแสไหลผ่านขา Collector และ Emitter ของทรานซิสเตอร์ Q1 ลงกราวนด์ ดังนั้นจึงมีแรงดันตกคร่อมที่ R4 และ R5 และแรงดันที่ขา Collector ของ Q1 จะตกลงเหลือประมาณ 0 โวลต์ โดยมี R4 เป็นโหลด ด้วยเหตุนี้จึงทำให้ LED1 ได้รับ Bias ทำให้ LED1 ทำงาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2 วงจร Caller ID ที่ใช้งานเบื้องต้นของ MC14LC5447



รูปที่ 3.3 แสดงวงจร Caller ID ที่ใช้งานเบื้องต้นของ MC14LC5447



รูปที่ 3.4 แสดงวงจรภายนอก ที่เชื่อมต่อกับ ภายในMC14LC5447

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หลักการทำงาน

อุปกรณ์ภายนอกที่ต่อกับ IC MC14LC5447 นี้แสดงไว้ในรูปที่ 3.2 และ 3.3 ซึ่งจากรูปเมื่อเราจ่ายแรงดัน VDD ให้กับวงจร C1 ของวงจร RC network จะทำการชาร์ตประจุให้ได้ค่าเท่ากับ VDD และจะทำให้ขา RT อยู่ในสภาวะ off และถ้าขา PWRUP (ขา7) ได้รับแรงดันเท่ากับ VDD จะทำให้ IC MC14LC5447 อยู่ในสภาวะ power-down และมันต้องการกระแสจากแหล่งจ่ายเพียง 1 μA

R2, R3 และ R4 จะทำหน้าที่เป็นตัวลดทอนกำลังของสัญญาณ ring ที่เข้ามา โดยค่าการลดทอนจะขึ้นอยู่กับค่าความต้านทาน R2 แรงดันที่จ่ายให้ขา RDI1 ที่จะทำให้วงจร Schmitt-trigger เริ่มทำงานได้จะต้องมีค่าประมาณ 40Vrms หรือมากกว่ากำลังของสัญญาณ ring ที่มาจากสายสัญญาณ tip และ ring เมื่อ V_T+ ของวงจร Schmitt-trigger มากเกินไป Q1 จะอยู่ในสภาวะอิ่มตัว และ C1 จะคายประจุให้กับ RT ซึ่งจะเป็นขั้นตอนแรกในการเปลี่ยนสภาวะเป็น power-up ซึ่งในขา RDI2 ก็จะมีลักษณะการทำงานที่คล้ายกับขา RDI1 และในสภาวะนี้ IC MC14LC5447 จะต้องการกระแสเพิ่มเป็น 2.4 μA

ค่าของ R1 และ C1 จะต้องเลือกค่าที่ทำให้ voltage ที่ขา RT ต่ำกว่า V_T+ ของ Schmitt-trigger ที่อยู่ระหว่าง cycle ของกำลังสัญญาณ ring และค่าของความถี่ที่สามารถขา RT ทำงานได้คือ 15.3 Hz

ในขณะที่ขา RDI2 กำลังทำงาน ส่วนของแรงดันของกำลังสัญญาณ ring ซึ่งมีค่ามากกว่า 1.2 V จะถูกส่งไปให้วงจร ring analysis ซึ่งวงจรนี้จะเป็นวงจร digital integrator ซึ่งจะเห็นได้ในช่วง duty cycle ของสัญญาณที่เข้ามา เมื่อ input ที่เข้ามายังขา RDI2 นี้ มีแรงดันมากกว่า 1.2 V แล้ววงจร integrator จะนับด้วยอัตราเร็ว 800Hz แต่ถ้า input ที่เข้ามามีแรงดันที่ต่ำกว่า 1.2 V แล้ววงจร integrator จะนับด้วยอัตราเร็ว 400Hz

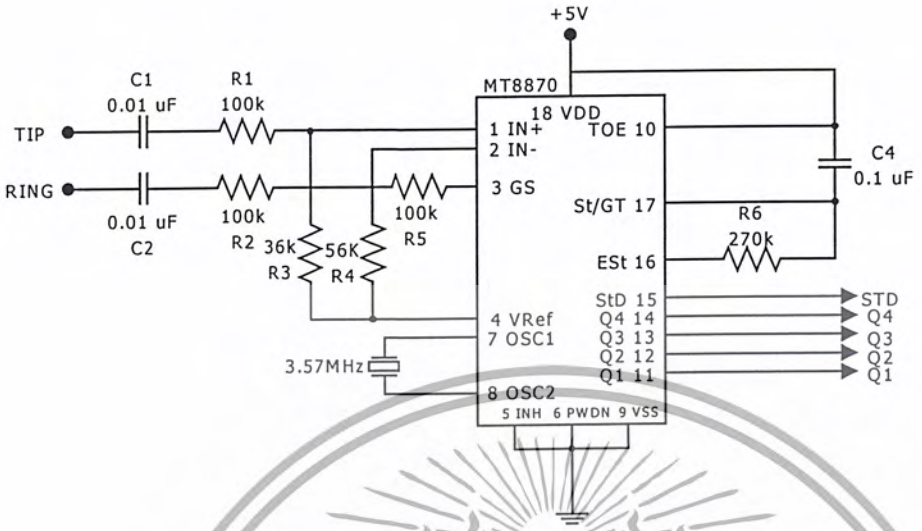
สัญญาณ Ring จะผ่านเข้ามาได้นั้นวงจรนับภายใน IC จะต้องนับ binary ได้ 48 และสัญญาณ ring จะผ่านเข้ามาไม่ได้ถ้าถ้าวงจรนับภายใน IC นับ binary ได้ต่ำลงเป็น 32 ซึ่งจำนวนของ cycle ของสัญญาณ ring ที่ต้องการจะขึ้นอยู่กับ amplitude ของสัญญาณที่ส่งให้กับขา RDI2 และเวลาที่สั้นที่สุดในการ qualify สัญญาณ ring จะมีค่าประมาณ 60mS และเวลาที่สั้นที่สุดในการ disqualify สัญญาณ ring จะมีค่าประมาณ 40 mS

ถ้าสัญญาณ Ring ได้ผ่านเข้ามาในวงจร สัญญาณที่ออกมาจากขา RDO จะอยู่ในสถานะ low และสัญญาณนี้จะ feed back กลับไปยังขา PWRUP ดังแสดงในรูปที่ 7 หรือจะใช้เป็นสัญญาณในการ interrupt ของ MCU ดังแสดงในรูปที่ 8 ในกรณีใดก็ตามแรงดันที่ขา PWRUP จะต่ำกว่า V_T- และวงจรจะอยู่ในโหมด power-up และพร้อมที่จะรับสัญญาณที่อยู่ในรูปของ FSK ซึ่งในขณะที่เป็น power-up นี้ IC จะต้องการกระแสเพิ่มเป็น 6.2 mA แต่ถ้าที่ขา RT ได้รับสัญญาณเป็น don't care จะทำให้แรงดันที่ขานี้กลับมาสู่แรงดัน VDD

หลังจากที่ได้รับสัญญาณ FSK แล้ว ที่ขา PWRUP จะมีแรงดันกลับเข้าสู่แรงดัน VDD และจะกลับสู่ standby mode และต้องการกระแสน้อยกว่า 1 μA ของแหล่งจ่ายกระแส และจะพร้อมที่จะรับข้อมูลในครั้งต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3 วงจร DTMF Decoder (Dial Tone Multifrequency Decoder)



รูปที่ 3.5 แสดงวงจร DTMF Decoder

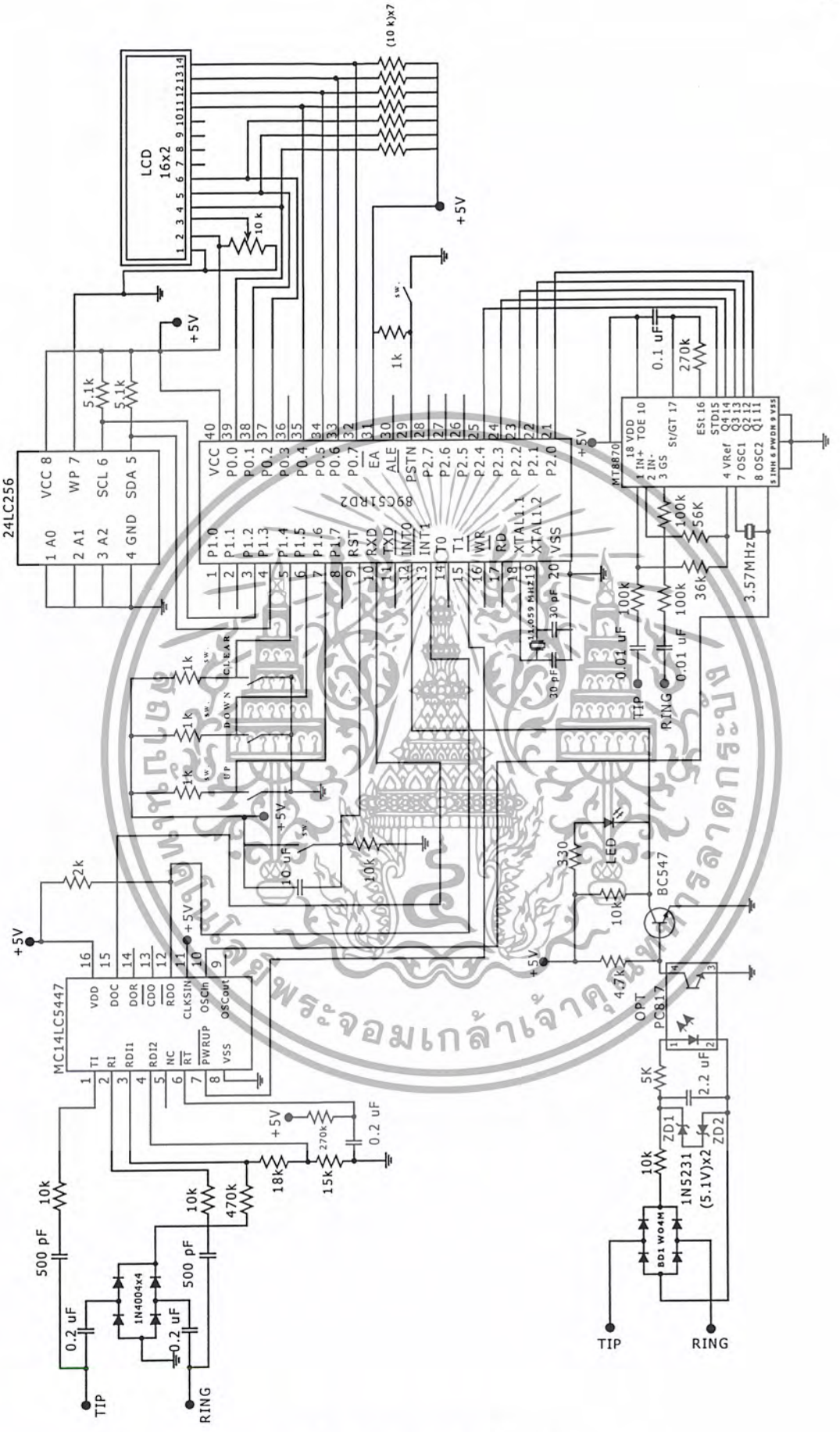
หลักการทำงาน

เมื่อมีการยกหูจะทำให้หน้าสัมผัสต่อเข้ากับคู่สายและเมื่อมีการกดปุ่มจะมีสัญญาณ 2 ความถี่ส่งออกมาจากโทรศัพท์ผ่านเข้าขา 1, 2 ของ MT8870 จะรับสัญญาณ DTMF และ DECODE สัญญาณให้เป็นข้อมูล BINARY ขนาด 4 บิต โดยที่ช่วงเวลาในการรับได้ว่ามีการกดสัญญาณเข้ามาขึ้นอยู่กับค่า R6 และ C4 โดยที่

$$T = R \times C$$; T = ช่วงเวลาการยอมรับ

ซึ่งจะได้ประมาณ 30 ms เพราะฉะนั้นถ้ามีการกดคีย์เร็วกว่า 30 ms จะไม่มีรหัส BINARY ปรากฏ สัญญาณ BINARY 4 บิต จะออกมาทางขา 11 - 14 และขา 15 จะเป็นสัญญาณ STD ซึ่งมีหน้าที่บอกให้รู้ว่าตอนนี้ได้ถอดรหัส DTMF เป็น BINARY 4 บิต มารออยู่แล้ว ทุกครั้งนี้มีการกดปุ่มซึ่งสัญญาณ STD นี้จะส่งไปยัง Port 1 บิต 4 และสัญญาณ BINARY 4 บิต จะส่งไปยัง Port 1 บิต 0 – 3 ต่อไป

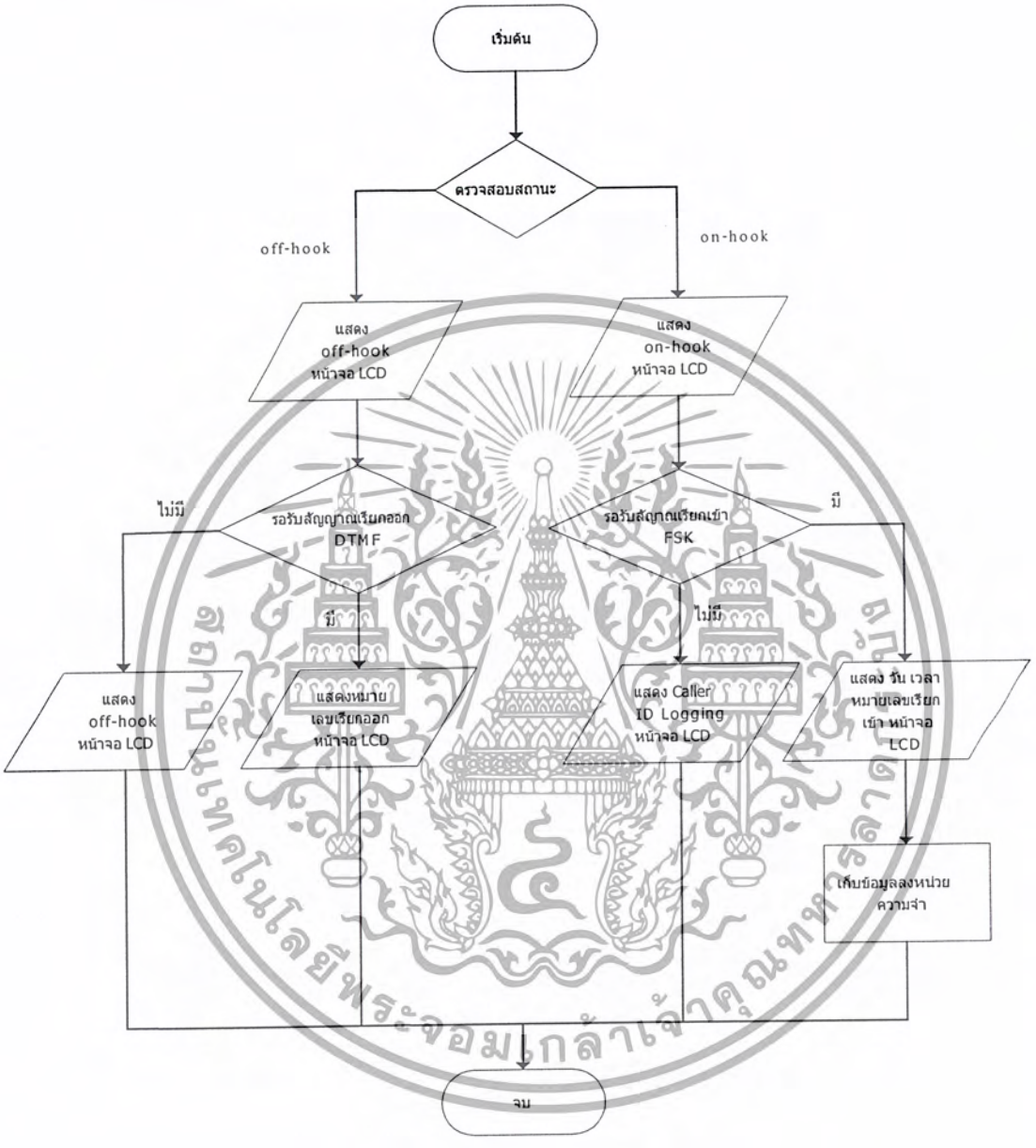
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.6 แสดงวงจรรวมทั้งหมด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.4 Flowchart การทำงานของโปรแกรม



รูปที่ 3.7 Flowchart การทำงานของโปรแกรม

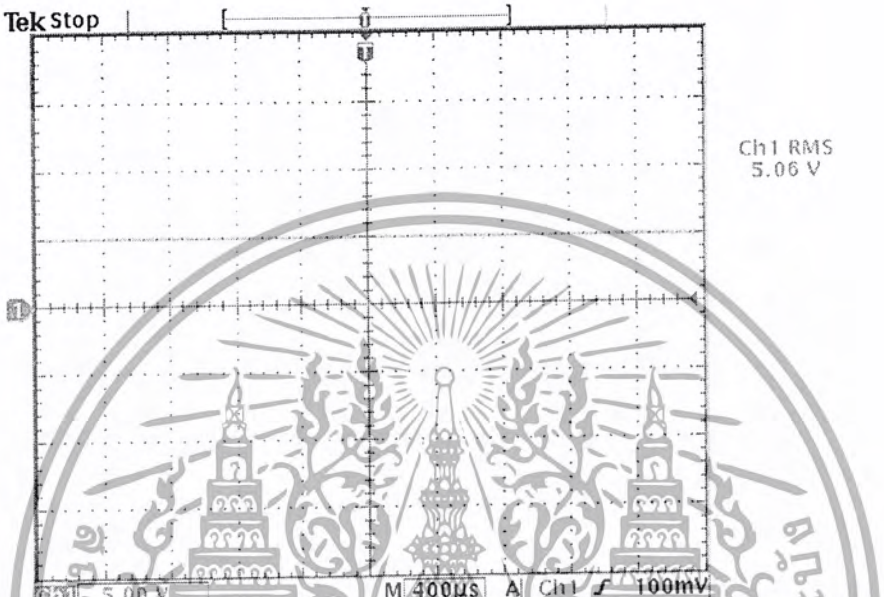
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่4

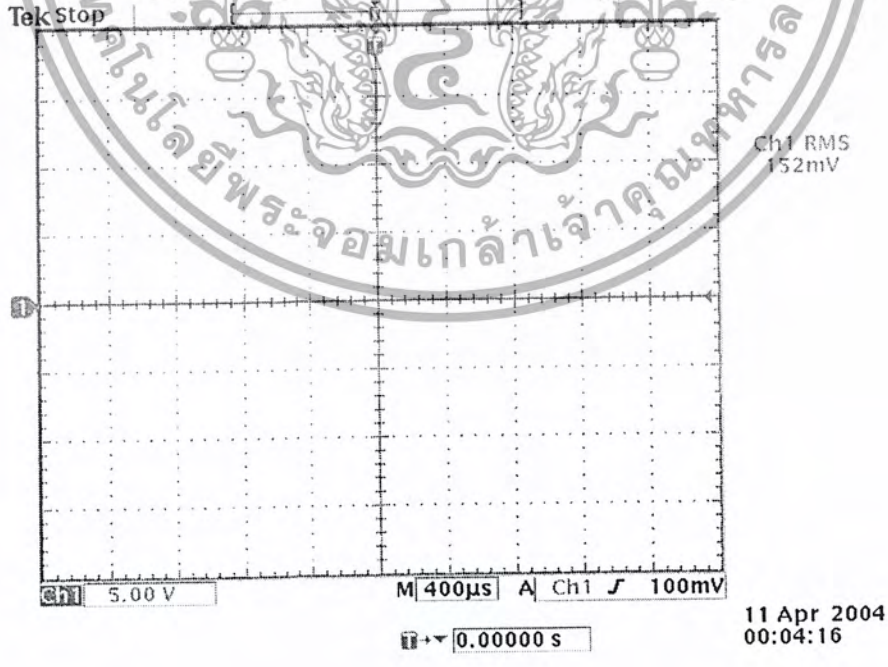
การทดลองและผลการทดลอง

4.1 การทดลองป้อนสัญญาณโทรศัพท์เข้าวงจรตรวจสอบสถานะ Hook-On, Hook-off

4.1.1 วัดสัญญาณที่ขาเอาต์พุตของวงจร



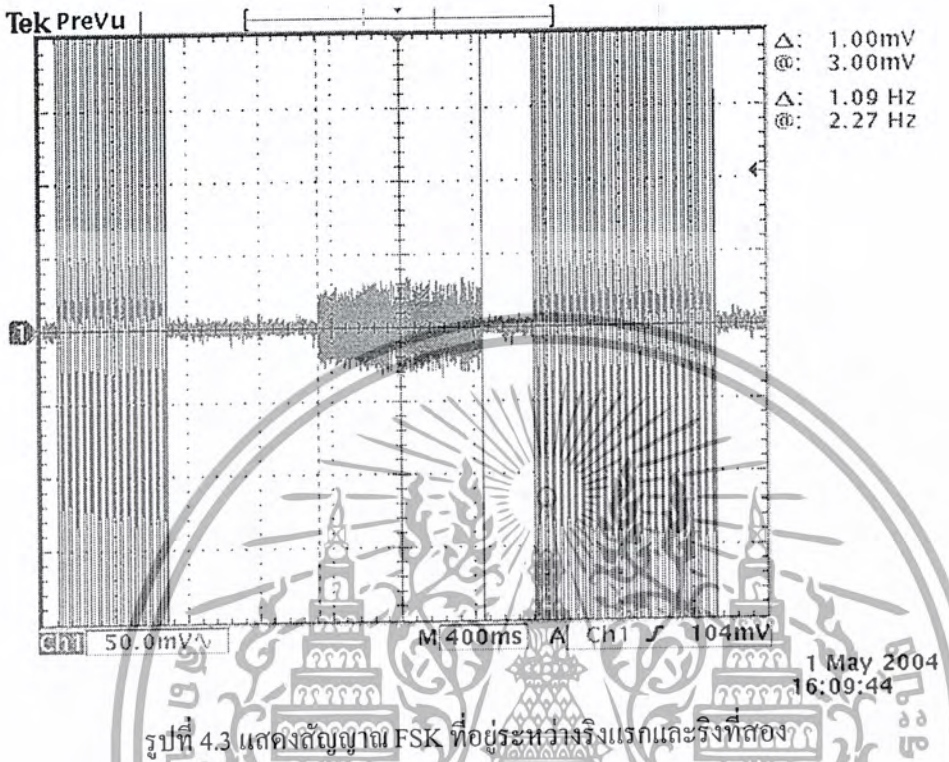
รูปที่ 4.1 แสดงสัญญาณเอาต์พุตของวงจรขณะ Hook-on (วางหู)



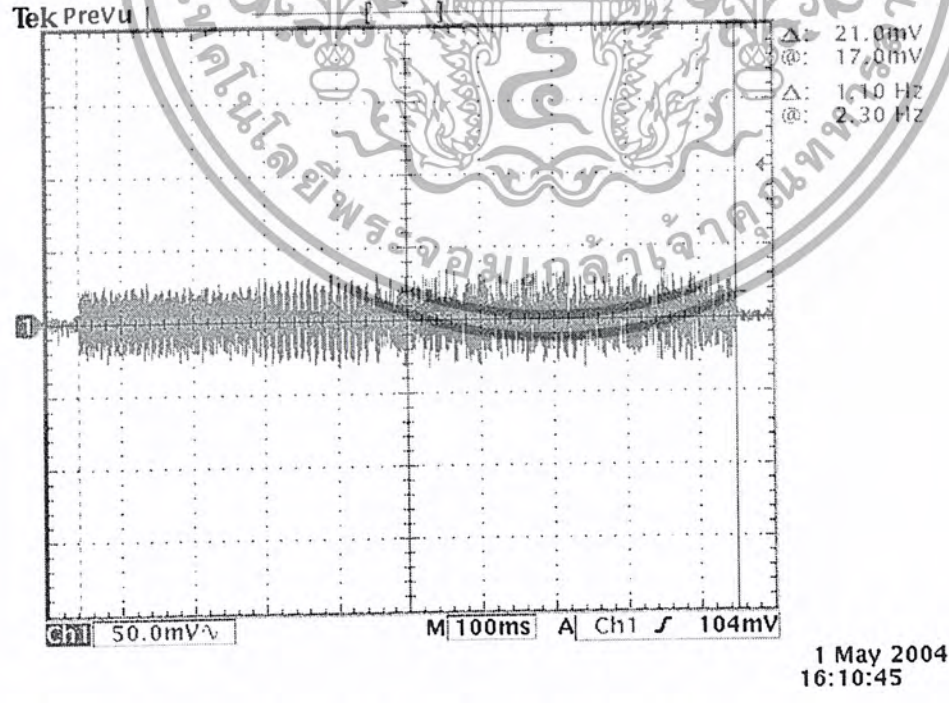
รูปที่ 4.2 แสดงสัญญาณเอาต์พุตของวงจรขณะ Hook-off (ยกหู)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2 การทดลองวัดสัญญาณจากคู่สายโทรศัพท์

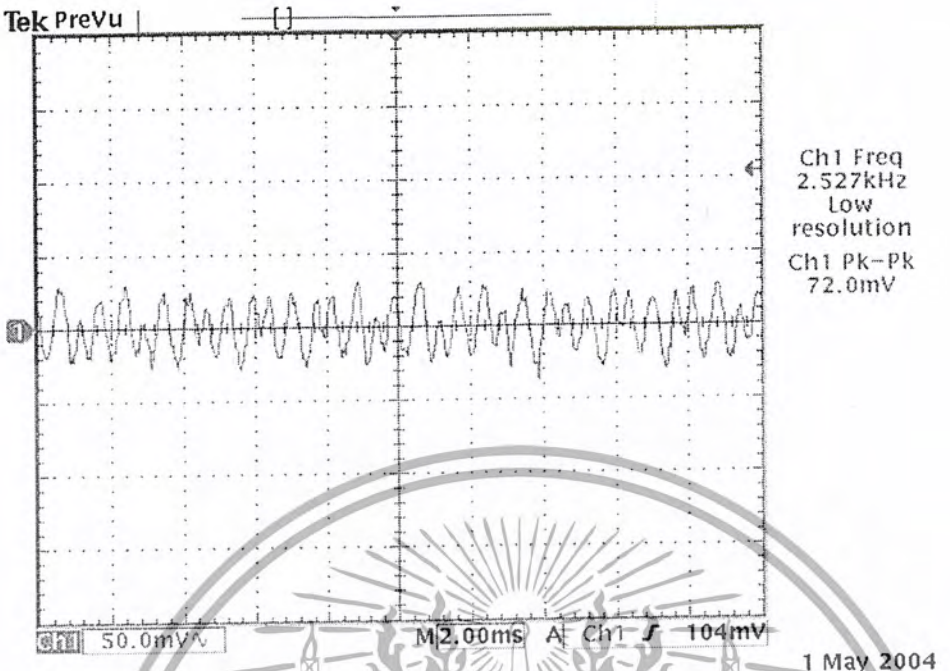


รูปที่ 4.3 แสดงสัญญาณ FSK ที่อยู่ระหว่างริงแรกและริงที่สอง

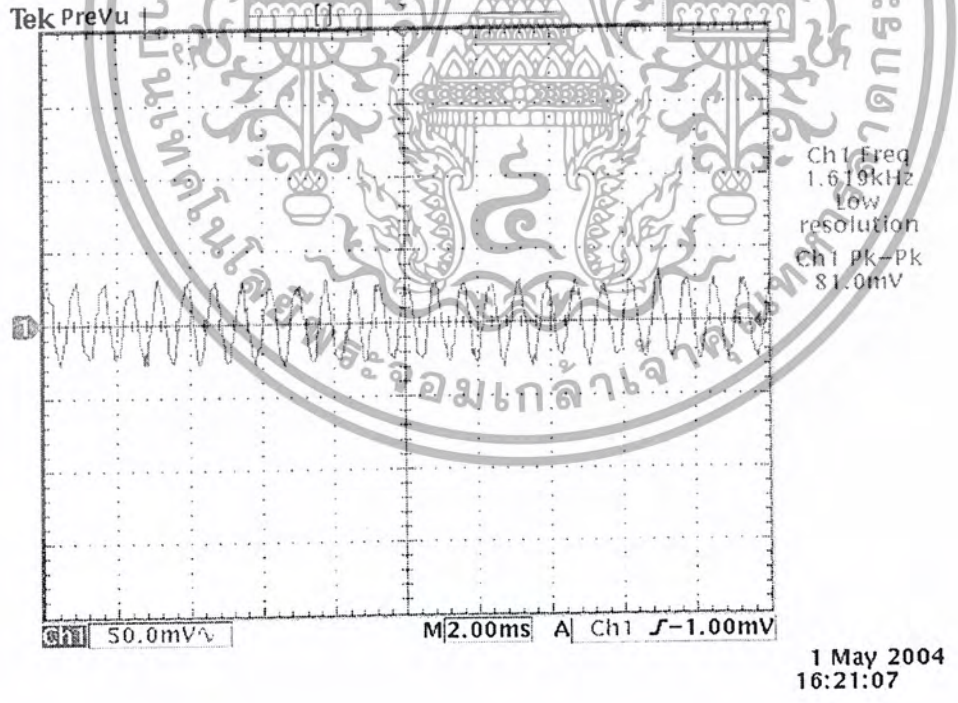


รูปที่ 4.4 แสดงสัญญาณ FSK ช่วง Channel Seizure Signal, Mark Signal และ Data Signal

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

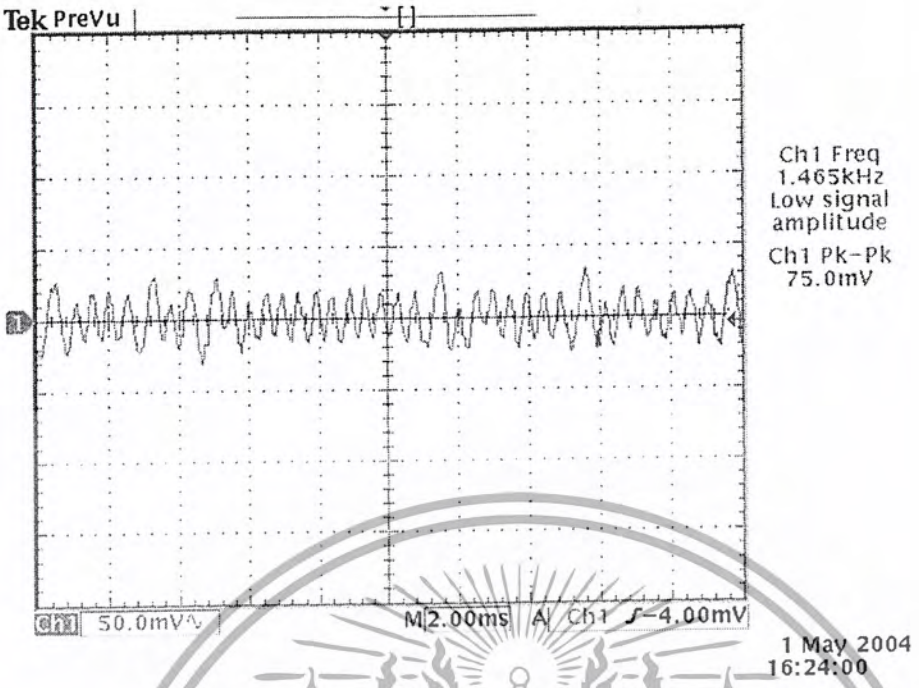


รูปที่ 4.5 แสดงสัญญาณช่วง Channel Seizure Signal เมื่อขยายดู



รูปที่ 4.6 แสดงสัญญาณช่วง Mark Signal เมื่อขยายดู

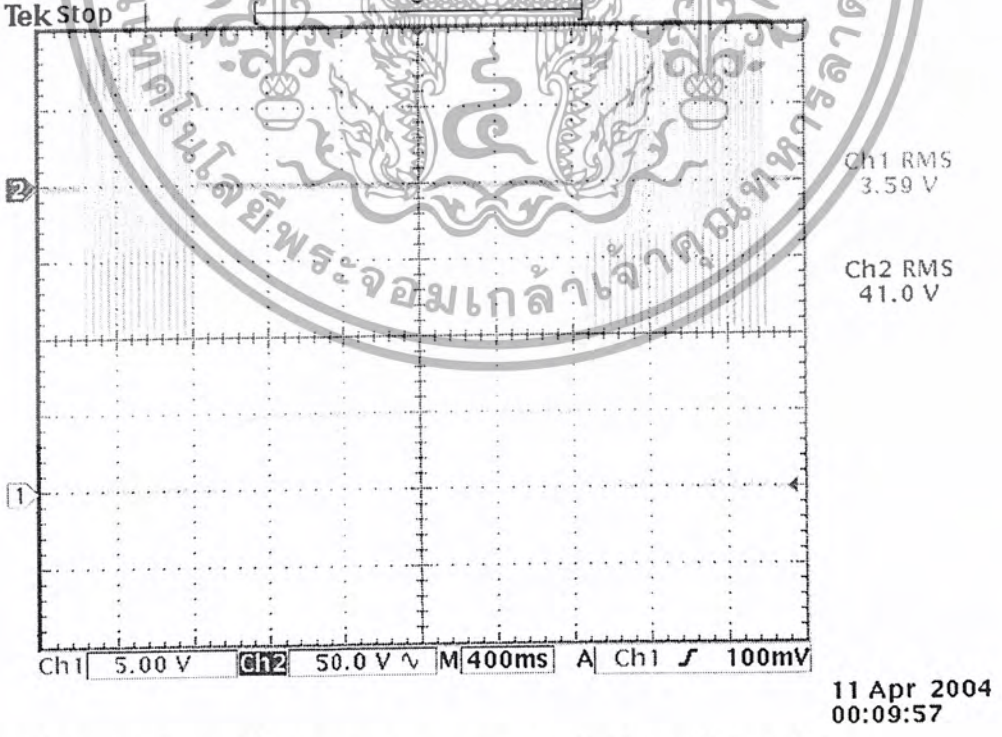
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.7 แสดงสัญญาณช่วง Data Signal เมื่อขยายดู

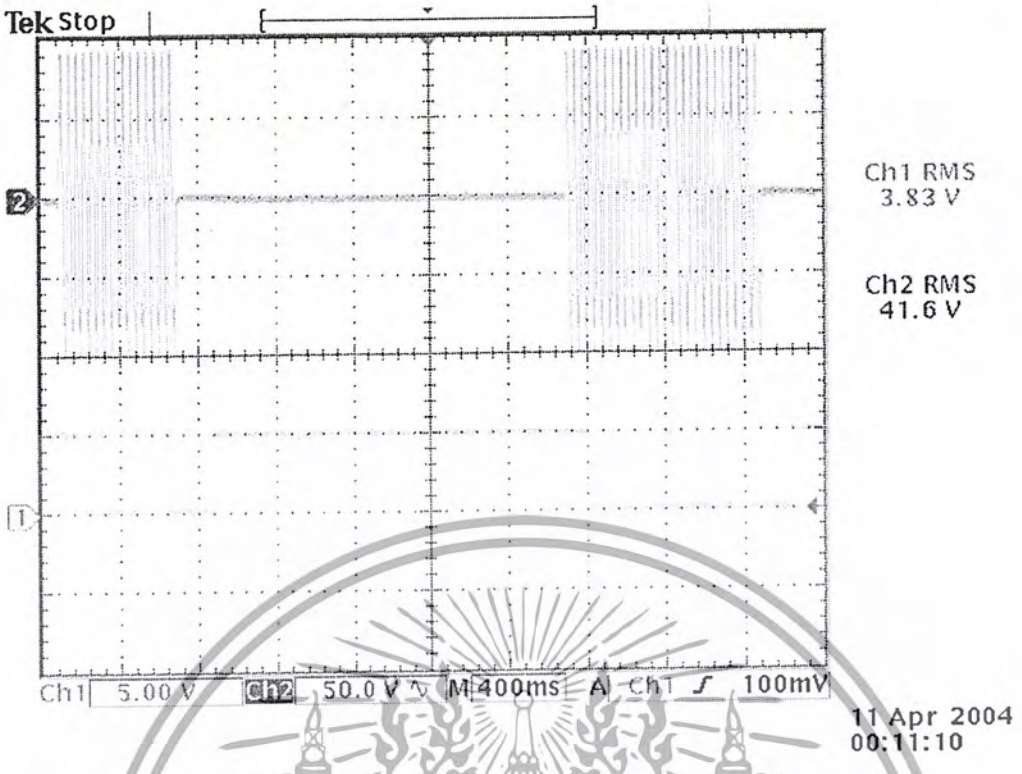
4.3 การทดลองป้อนสัญญาณโทรศัพท์เข้าวงจรที่ต่อกับ MC14LC5447 ที่ใช้ในการทดลอง

4.3.1 วัดสัญญาณที่ขาต่างๆที่สำคัญของ MC14LC5447

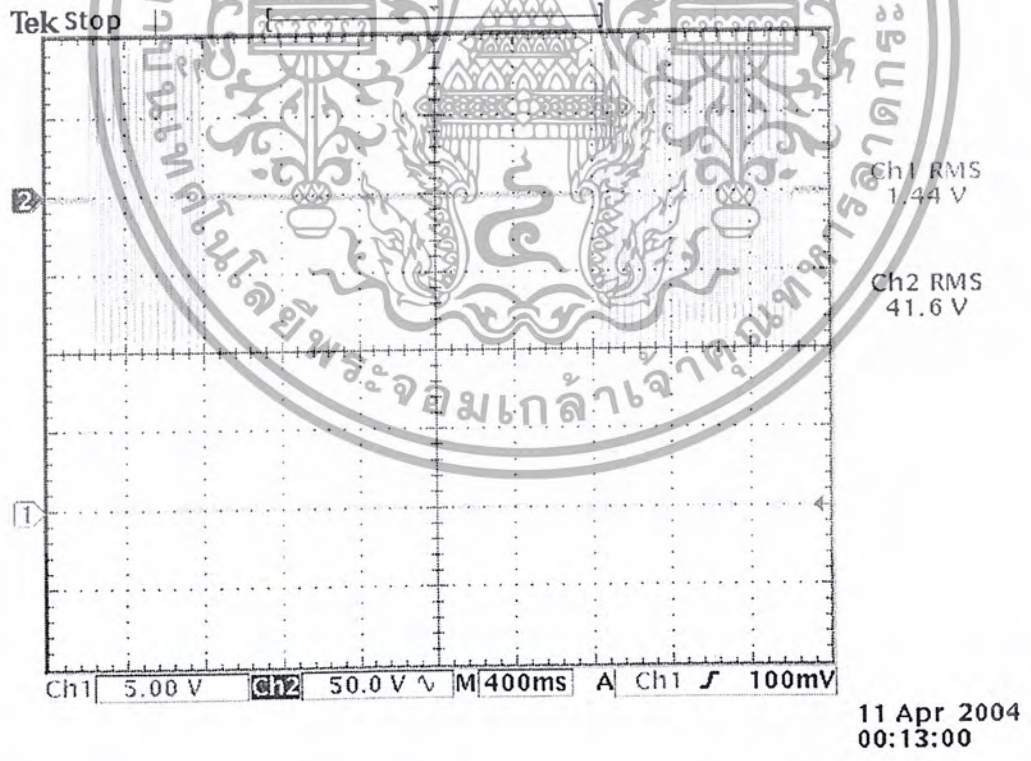


รูปที่ 4.8 แสดงสัญญาณที่ขา Ring Time (RT,ขา16) เทียบกับสัญญาณริง 1และริง 2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

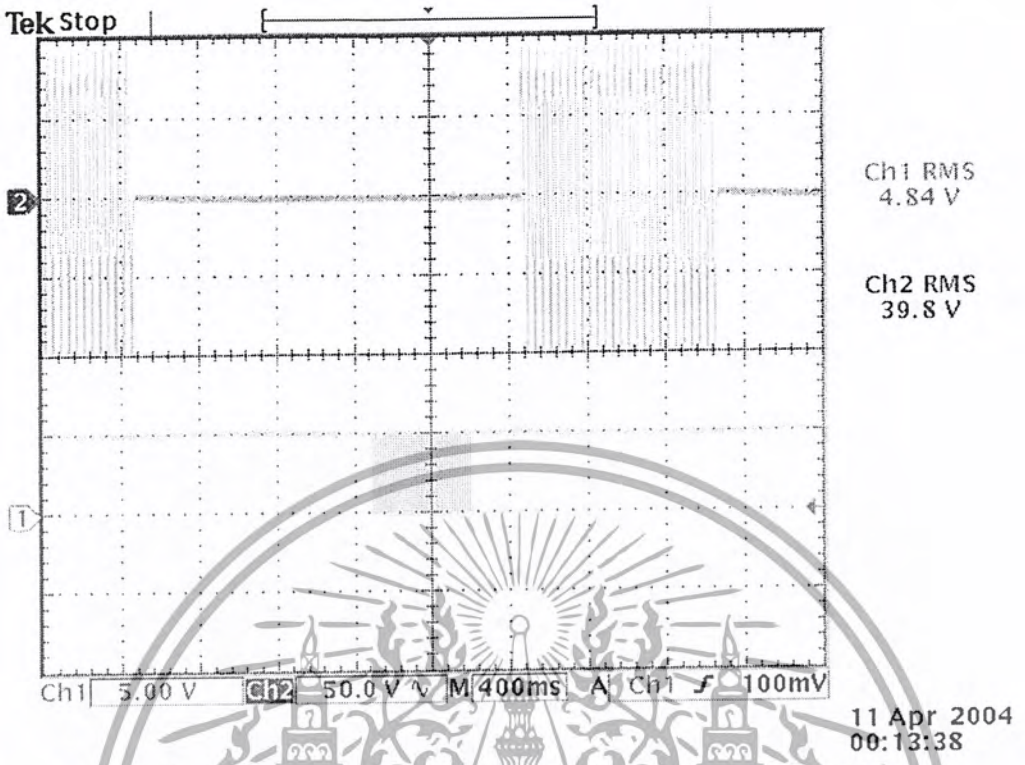


รูปที่ 4.9 แสดงสัญญาณที่ขา Ring Detect Output (RDO,ขา12) เทียบกับสัญญาณริง 1และริง 2

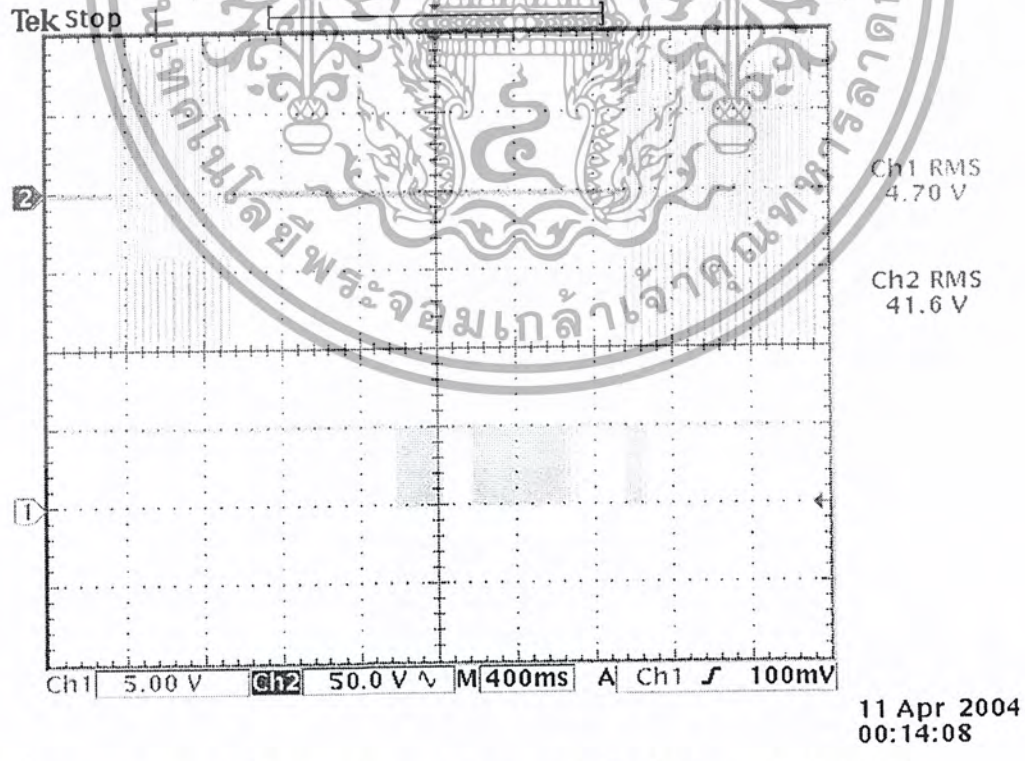


รูปที่ 4.10 แสดงสัญญาณที่ขา Power Up (PWRUP,ขา7) เทียบกับสัญญาณริง 1และริง 2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

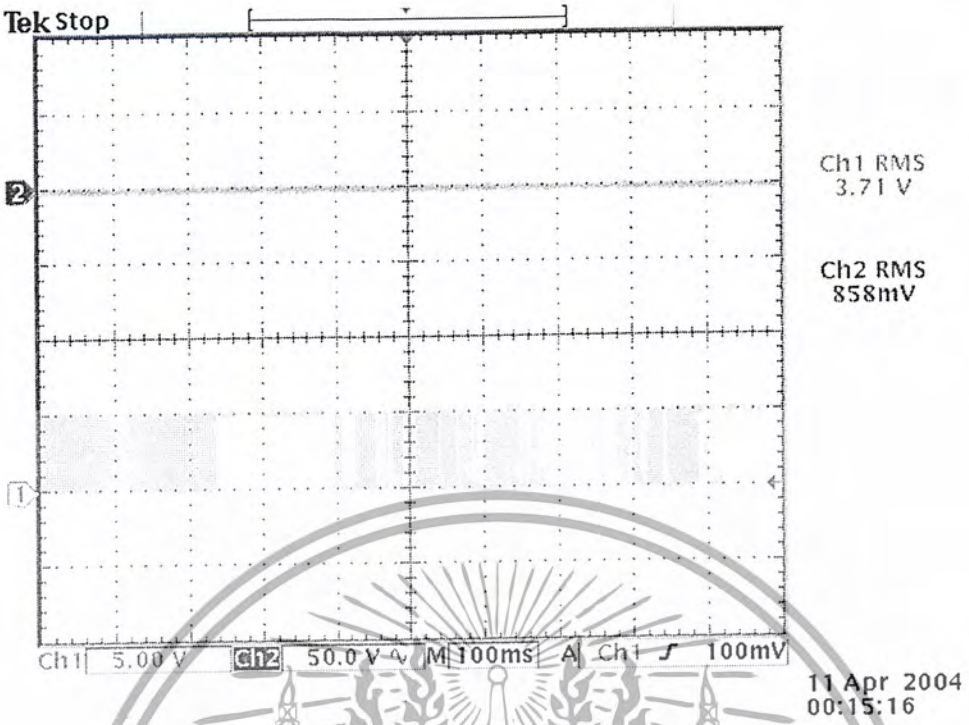


รูปที่ 4.11 แสดงสัญญาณที่ขา Data Output Cooked (DOC,ขา15) เทียบกับสัญญาณริง 1และริง 2

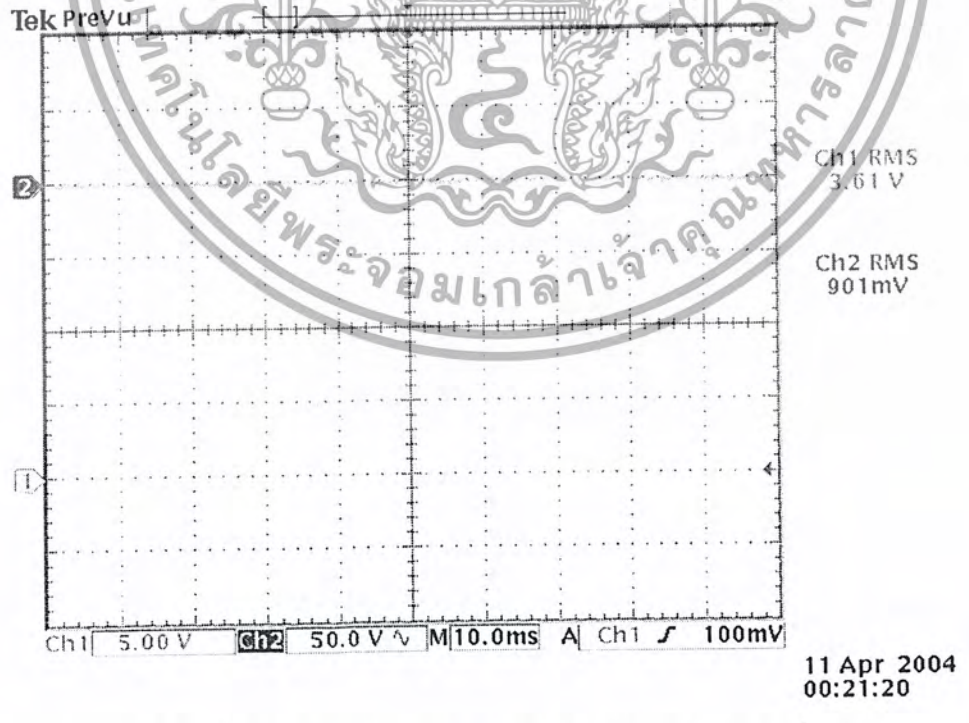


รูปที่ 4.12 แสดงสัญญาณที่ขา Data Out Raw (DOR,ขา14) เทียบกับสัญญาณริง 1และริง 2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

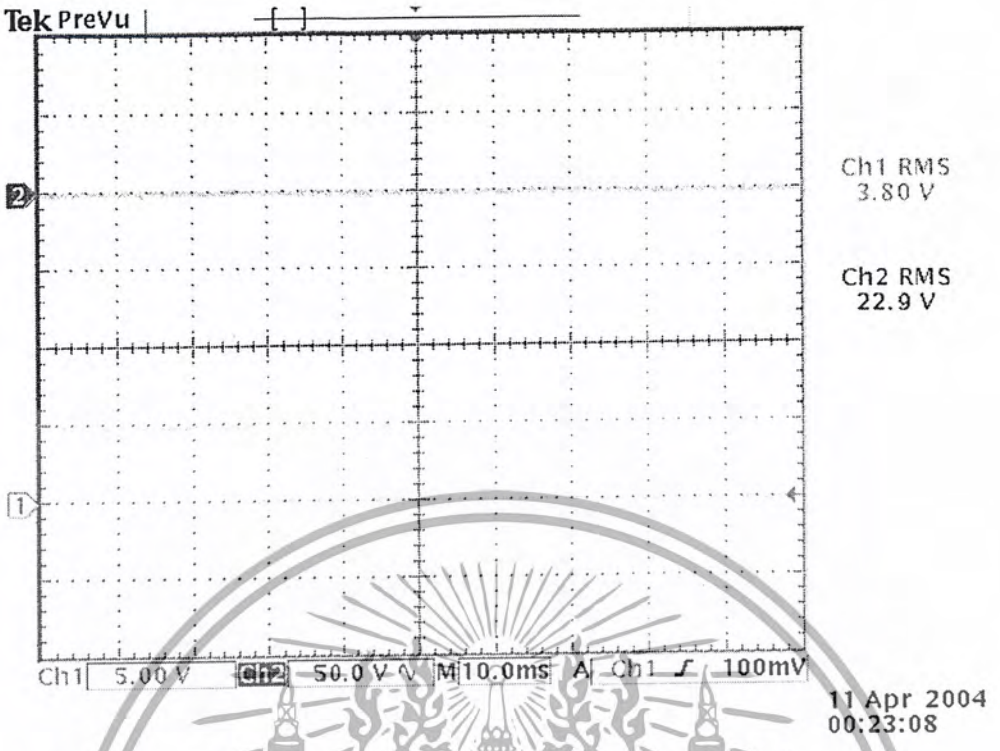


รูปที่ 4.13 แสดงสัญญาณที่ขา Data Out Raw (DOR,ข114)ที่ประกอบไปด้วย Channel Seizure, Mark single และ Message Word



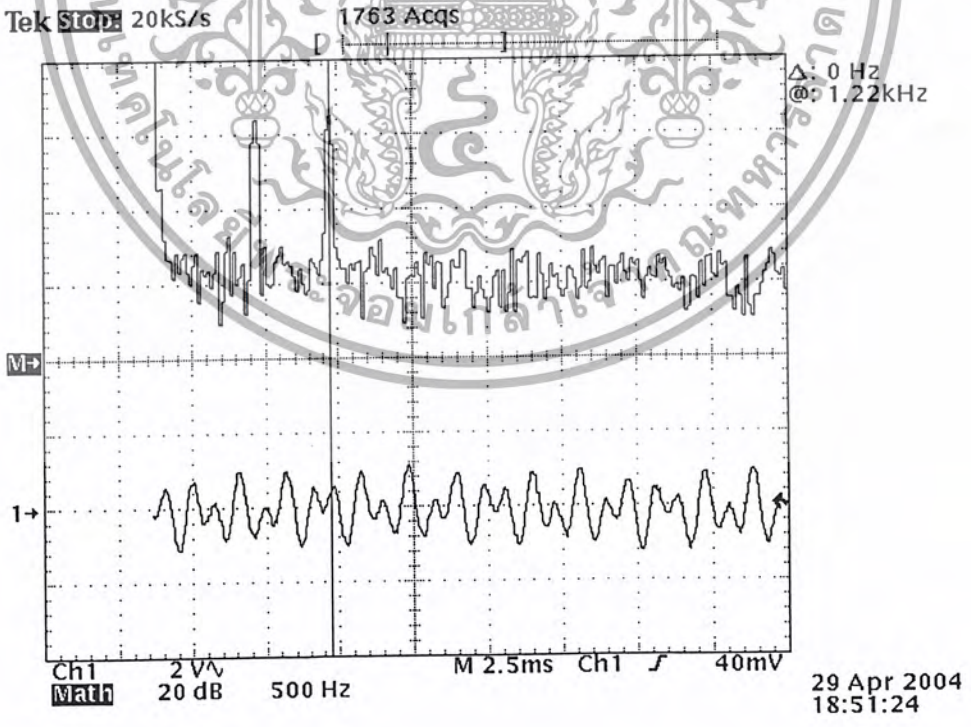
รูปที่ 4.14 แสดงสัญญาณที่ขา Data Out Raw (DOR,ข114)ช่วง Channel Seizure เมื่อขยายดู

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



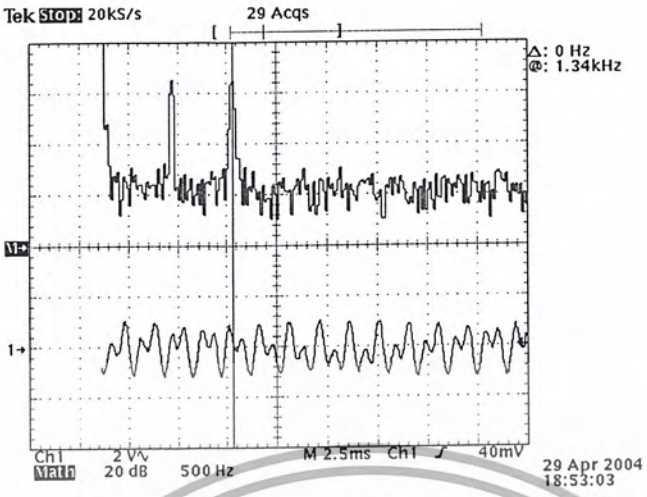
รูปที่ 4.15 แสดงสัญญาณที่ขา Data Out Raw (DOR,ขา14)ช่วง Message Word เมื่อขยายดู

4.4 การทดลองวัดสัญญาณ DTMF จากเครื่องโทรศัพท์

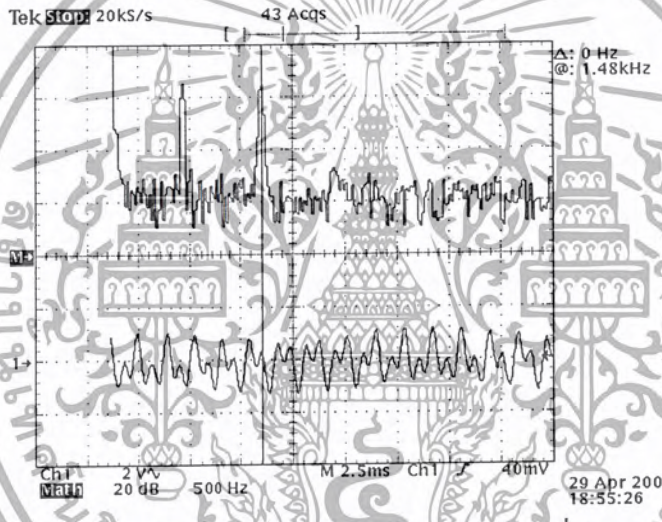


รูปที่ 4.16 แสดงสัญญาณที่ได้จากการกดปุ่ม1 ในโดเมนความถี่และเวลา

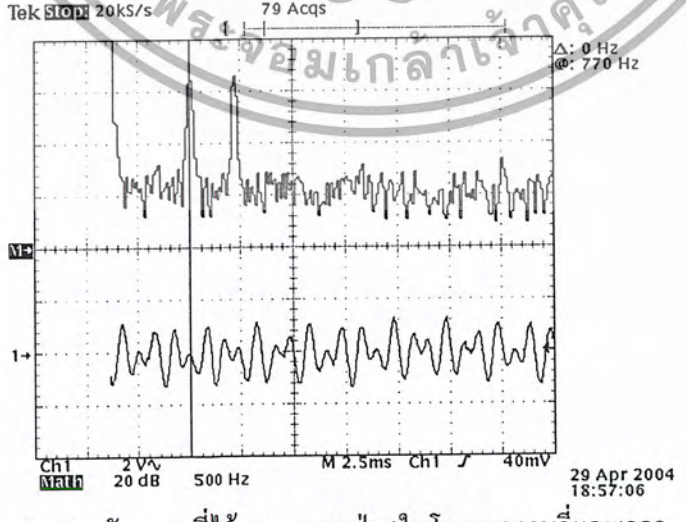
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.17 แสดงสัญญาณที่ได้จากการกดปุ่ม2ในโดเมนความถี่และเวลา

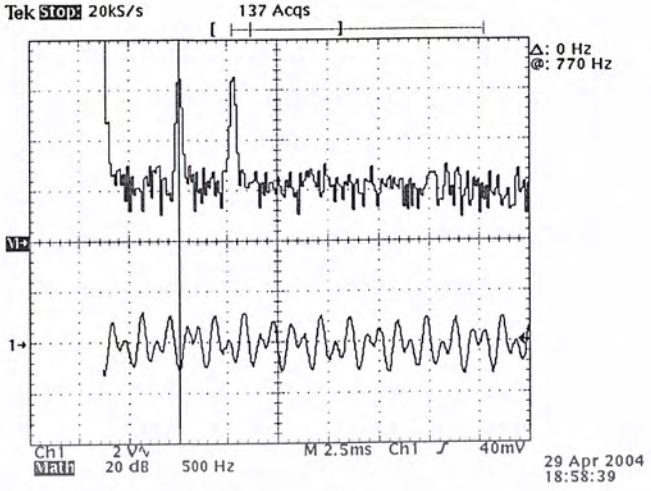


รูปที่ 4.18 แสดงสัญญาณที่ได้จากการกดปุ่ม3ในโดเมนความถี่และเวลา

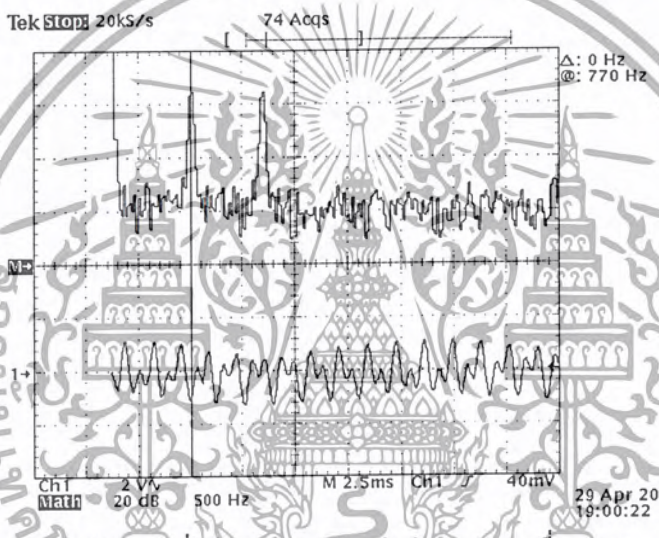


รูปที่ 4.19 แสดงสัญญาณที่ได้จากการกดปุ่ม4ในโดเมนความถี่และเวลา

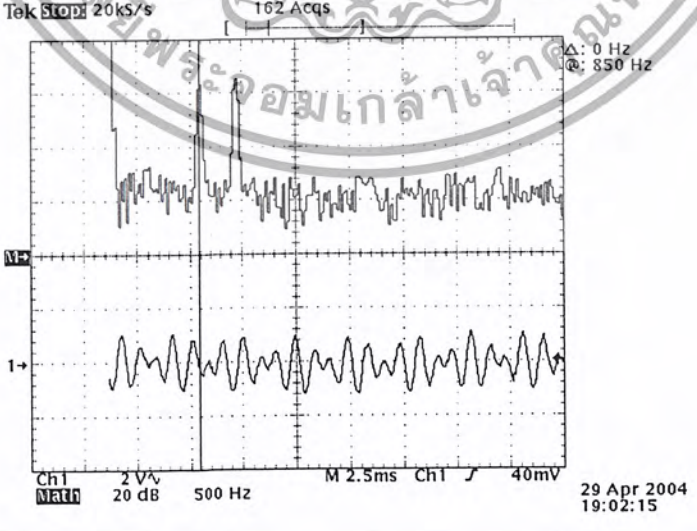
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.20 แสดงสัญญาณที่ได้จากการกดปุ่ม5ในโดเมนความถี่และเวลา

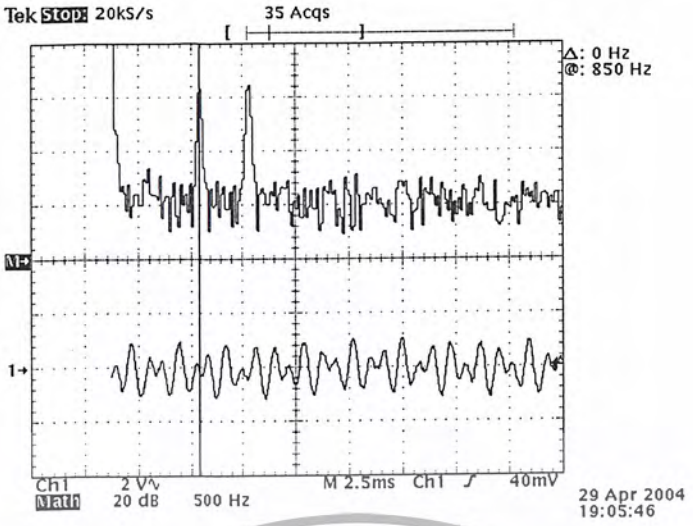


รูปที่ 4.21 แสดงสัญญาณที่ได้จากการกดปุ่ม6ในโดเมนความถี่และเวลา

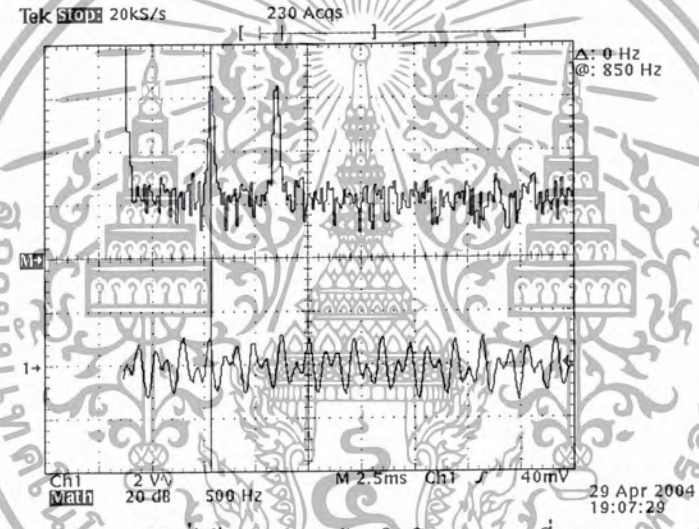


รูปที่ 4.22 แสดงสัญญาณที่ได้จากการกดปุ่ม7ในโดเมนความถี่และเวลา

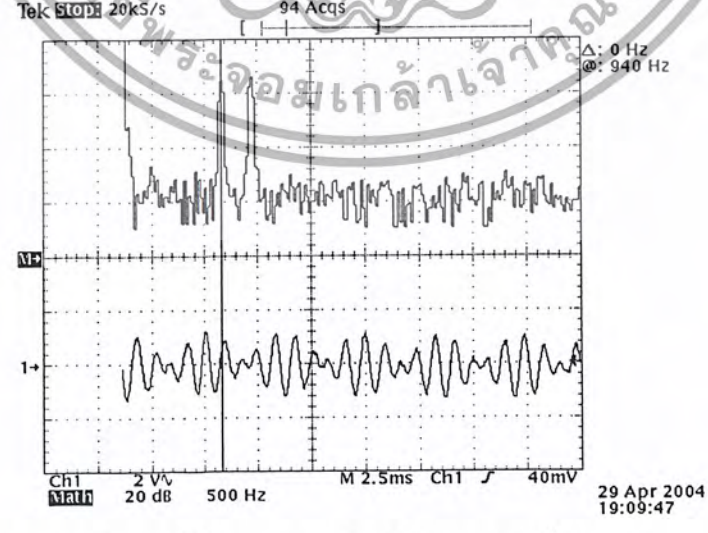
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.23 แสดงสัญญาณที่ได้จากการกดปุ่ม8ในโดเมนความถี่และเวลา

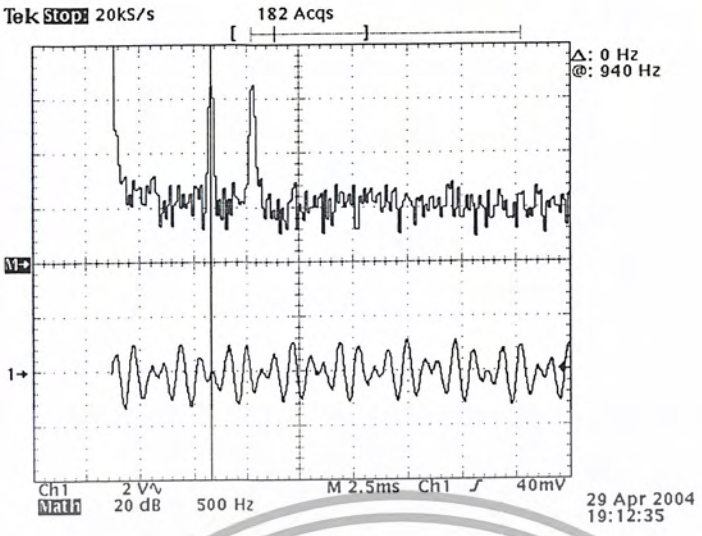


รูปที่ 4.24 แสดงสัญญาณที่ได้จากการกดปุ่ม9ในโดเมนความถี่และเวลา

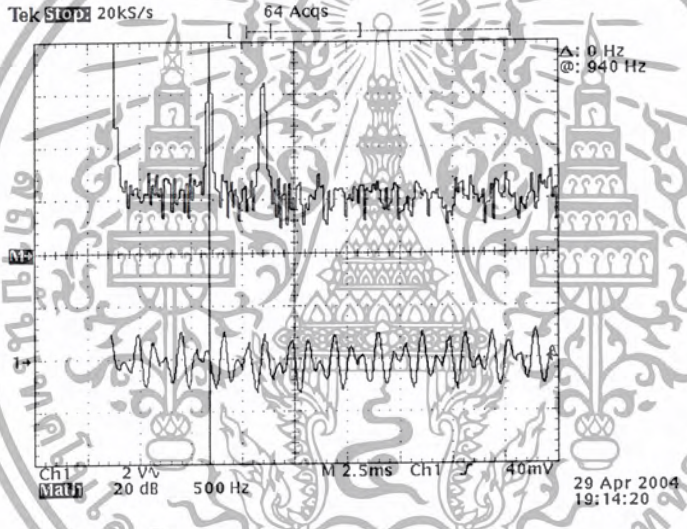


รูปที่ 4.25 แสดงสัญญาณที่ได้จากการกดปุ่ม*ในโดเมนความถี่และเวลา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.26 แสดงสัญญาณที่ได้จากการกดปุ่ม0ในโดเมนความถี่และเวลา



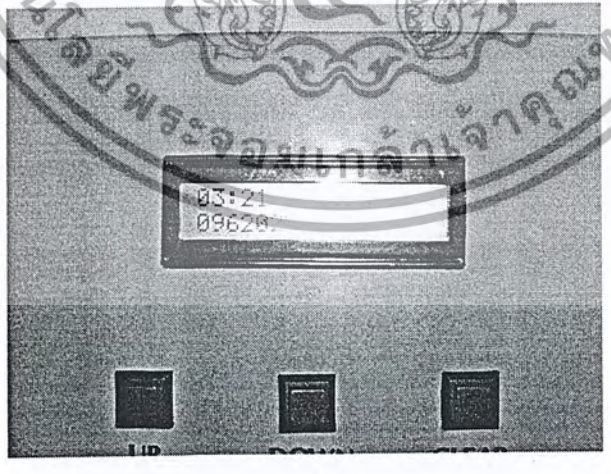
รูปที่ 4.27 แสดงสัญญาณที่ได้จากการกดปุ่ม#ในโดเมนความถี่และเวลา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปุ่มหมายเลข	ความถี่ที่วัดได้		สัญญาณ STD		DTMF Decoder			
	ความถี่ต่ำ	ความถี่สูง	ขณะกด	ขณะไม่กด	ขา14 (Q4)	ขา13 (Q3)	ขา12 (Q2)	ขา11 (Q1)
1	700เฮิรตซ์	1220เฮิรตซ์	1	0	0	0	0	1
2	700เฮิรตซ์	1340เฮิรตซ์	1	0	0	0	1	0
3	700เฮิรตซ์	1480เฮิรตซ์	1	0	0	0	1	1
4	770เฮิรตซ์	1220เฮิรตซ์	1	0	0	1	0	0
5	770เฮิรตซ์	1340เฮิรตซ์	1	0	0	1	0	1
6	770เฮิรตซ์	1480เฮิรตซ์	1	0	0	1	1	0
7	850เฮิรตซ์	1220เฮิรตซ์	1	0	0	1	1	1
8	850เฮิรตซ์	1340เฮิรตซ์	1	0	1	0	0	0
9	850เฮิรตซ์	1480เฮิรตซ์	1	0	1	0	0	1
0	940เฮิรตซ์	1340เฮิรตซ์	1	0	1	0	1	0
*	940เฮิรตซ์	1220เฮิรตซ์	1	0	1	0	1	1
#	940เฮิรตซ์	1480เฮิรตซ์	1	0	1	1	0	0

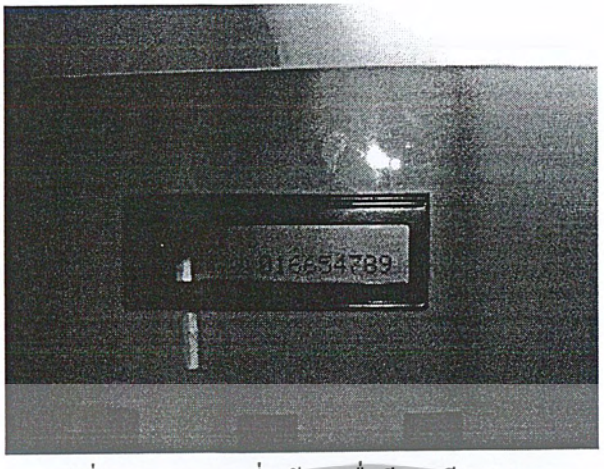
ตารางที่ 4.1 แสดงผลการทดลองวัดความถี่สัญญาณ DTMF และวงจรถอดรหัสสัญญาณ DTMF

4.5 การทดลองโทรศัพท์เข้าเครื่องบันทึกหมายเลขโทรศัพท์



รูปที่ 4.28 แสดงผลที่หน้าจอเมื่อทำการเรียกเข้าไปที่เครื่องบันทึกหมายเลขโทรศัพท์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.29 แสดงผลที่หน้าจอเมื่อมีการเรียกออก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่5
บทวิจารณ์และบทสรุป

บทวิจารณ์

ในการถอดสัญญาณ FSK ที่ส่งมาจากสายโทรศัพท์ซึ่งเป็นสัญญาณที่ส่งมาจากชุมสายสาธารณะ PSTN (Public switched Telephone Network) ซึ่งสามารถที่จะใช้ IC ได้หลายตัวเช่น MC14LC5447, HT9032, MT8843 เป็นต้น แต่ในโครงงานนี้เราใช้ IC เบอร์ MC14LC5447 ซึ่งนิยมใช้กันอย่างแพร่หลาย ทั้งนี้เรายังใช้ IC เบอร์ MT8870 ที่ใช้ในการถอดสัญญาณ DTMF ซึ่งนิยมใช้กันอย่างแพร่หลายเช่นเดียวกัน

บทสรุป

วงจรหลักๆที่ใช้เพื่อให้ไมโครคอนโทรลเลอร์ควบคุม มีหลักๆ 3 วงจรคือ

วงจรตรวจสอบสถานะ Hook-On, Hook-Off จากการทดลองจะพบว่า แรงดันเอาต์พุตจะมีค่า 0 โวลต์ เมื่อยกหู และ 5 โวลต์ เมื่อวางหู

วงจรถอดสัญญาณ FSK ซึ่งใช้ IC เบอร์ MC14LC5447 จะพร้อมใช้งานเมื่อไมโครคอนโทรลเลอร์ ตรวจสอบพบว่ามีการวางหู และจะพร้อมถอดสัญญาณ FSK ซึ่งสัญญาณที่ได้ออกมาทางเอาต์พุตจะเป็นสัญญาณดิจิตอลแบบอะซิงโครนัส มี Start bit และ Stop bit อยู่ระหว่างข้อมูล 8 bit บอดเรตที่ใช้ในการส่งคือ 1200 บิตต่อวินาที

วงจรถอดสัญญาณ DTMF จะใช้ IC เบอร์ MT8870 จะพร้อมใช้งานเมื่อไมโครคอนโทรลเลอร์ตรวจสอบพบว่ามีการยกหู และจะถอดสัญญาณออกมาเป็นสัญญาณดิจิตอลขนาด 4 บิตออกมาทางเอาต์พุต

ส่วนสุดท้ายคือ ส่วนควบคุม (ไมโครคอนโทรลเลอร์) จะใช้ร่วมกับทั้ง 3 วงจร พร้อมกับ EEPROM เบอร์ 24LC256 ซึ่งใช้เก็บข้อมูลที่มีการเรียกเข้ามา คือ หมายเลขโทรศัพท์ วันและเวลาที่มีผู้เรียกเข้ามาซึ่งจะแสดงผลทางจอ LCD ขนาด 16 แถว 2 บรรทัด พร้อมกับคีย์บอร์ดกดดูข้อมูลที่บันทึกไว้จำนวน 15ข้อมูล และยังมีปุ่มกดเพื่อลบข้อมูลที่บันทึกไว้ด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บรรณานุกรม

1. น.อ. ธวัชชัย เลื่อนฉวี , "เทคโนโลยีโทรศัพท์", บริษัท ศุภาลัย, 2533
2. วรพจน์ กรแก้ววัฒนกุล , ชัยวัฒน์ ลิ้มพรจิตรวิไล , "เรียนรู้และปฏิบัติการไมโครคอนโทรลเลอร์ MCS-51" , บริษัท อินโนเวตีฟ เอ็กเพอริเมนต์ , ไม่ปรากฏปีที่พิมพ์
3. รศ. สมยศ จุณณะปิยะ , "การประยุกต์ใช้งานไมโครคอนโทรลเลอร์" , สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง, 2543

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
;=========================================================================
$NOMOD51 NOLIST NOSYMBOLS NODEBUG
$INCLUDE(..\mcu\89c51Rx2.mcu)
;-------------------------------------------------------------------------
; P89C51Rx2Hxx devices have a 6-Clock default clock rate (12-Clock
optional).
;
msec        EQU 10
usec        EQU 100
FADDR       EQU 0a0h            ; fixed address for AT24Cxx EEPROMs
PADDR       EQU 0               ; programmable address (0..7)
index       EQU r0              ; buffer pointer
kount       EQU r1              ; byte count register
zdata       EQU r1              ; data register
addr_lo     EQU r2              ; 2-byte address register
addr_hi     EQU r3
lt0_lo      EQU r2
lt0_hi      EQU r3
lt1_lo      EQU r2
lt1_hi      EQU r3
lcd_bl      BIT P0.3            ; lcd black-light
lcd_en      BIT P0.2
lcd_rw      BIT P0.1
lcd_rs      BIT P0.0
lcd_data    EQU P0
; Microcontroller connections to AT24Cxx serial bus lines.
SCL         BIT p1.2            ; serial clock
SDA         BIT p1.3            ; serial data
std_in      BIT p2.4
hook_in     BIT p3.2
pwr_up      BIT p3.5
ctrl_port   BIT p3.7
BSEG        AT 20h
clidf       BIT  0
hookf       BIT  1
incommingf  BIT  2
keyf        BIT  3
lt0f        BIT  4              ; long timer 0 overflow flag
lt1f        BIT  5
ringf       BIT  6
emptylogf   BIT  7
reclogf     BIT  8
DSEG        AT 30h
prefix_buf: DS 12
ISEG        AT 80h
cid_buff:   DS 64
ORG         0E0h                ; stack origin
stack:      DS 32               ; stack depth (32 bytes)
CSEG
ORG         0000h               ; power on/reset vector
ajmp        main_st
ORG         0003h               ; external interrupt 0 vector
ajmp        hook_isr            ; undefined
ORG         000Bh               ; timer 0 overflow vector
ajmp        timer0_isr
ORG         0013h               ; external interrupt 1 vector
ajmp        ring_isr
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
ORG         001Bh                   ; timer 1 overflow vector
ajmp        timer1_isr
ORG         0023h                   ; serial I/O interrupt vector
Ajmp        serial_isr
ORG         0100h                   ; begin code space
Main_st:
;=========================================================================
;
mov         r4, #100/msec
acall       delay2
mov         sp, #(stack-1)          ; initialize stack pointer
acall       initialize              ; initialize controller registers
acall       init_lcd
st1:
clr         incommingf
acall       clear_dsp
acall       return_home
acall       str2lcd
db          'Caller I', ('D' or 80h)
mov         a, #40h
acall       lcd2pos
acall       str2lcd
db          'Loggin', ('g' or 80h)
st2:
jnb         clidf, st3
acall       cid2buff
jc          st3
acall       cid2dsp
clr         emptylogf
acall       byte_fill
jnc         st3
acall       clear_dsp
acall       return_home
acall       str2lcd
db          'Write erro', ('r' or 80h)
st3:
jnb         lt0f, m2
clr         et0
clr         lt0f
setb        pwr_up
sjmp        st1
hook_isr:
;=========================================================================
;
push        acc
push        psw
clr         rs1
setb        rs0
jb          incommingf, hi1
clr         lcd_bl
acall       clear_dsp
acall       return_home
acall       str2lcd
db          'Off-Hook..', ('.' or 80h)
setb        keyf
hi1:
mov         r7, #3
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
jb          hook_in, hi8
hi2:
jnb         std_in, hi1
mov         r4, #10/msec
acall       delay2
djnz        r7, hi2
mov         a, p2
anl         a, #00001111b
push        acc
jnb         keyf, hi4
acall       clear_dsp
mov         a, #50h
acall       lcd2pos
mov         a, #00000111b
acall       wr_inst
hi4:
pop         acc
acall       ascii_tbl
acall       wr_data
jb          std_in, $
clr         keyf
sjmp        hi1
hi8:
mov         r4, #10/msec
acall       delay2
jnb         hook_in, hi1
mov         a, #00000110b
acall       wr_inst
acall       clear_dsp
acall       return_home
acall       str2lcd
db          'On-Hook..', (',' or 80h)
acall       init_timer0
clr         incommingf
hi9:
pop         psw
pop         acc
reti
timer0_isr:
;=========================================================================
; Process Timer Zero interrupt, which occurs about every 35.555 ms.
push        psw                     ; save flags
setb        rs1                     ; select register bank two
clr         rs0
jb          lt0f, ti2
cjne        lt0_lo, #0, ti1         ; test low byte
dec         lt0_hi                  ; low byte is zero, borrow from high
ti1:
djnz        lt0_lo, ti2             ; dec low byte, skip if not zero
cjne        lt0_hi, #0, ti2         ; low byte is zero, test high byte
                                    ; both bytes equal zero
setb        lt0f
ti2:
pop         psw                     ; restore flags and reg bank zero
reti
ring_isr:
;=========================================================================
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
;
push        psw
clr         pwr_up
clr         lcd_bl
jnb         int1, $
setb        lcd_bl
acall       init_timer0
pop         psw
reti
timer1_isr:
;=========================================================================
; Process Timer One interrupt, which occurs about every 35.555 ms.
push        psw                     ; save flags
setb        rs1                     ; select register bank three
setb        rs0
mov         a, p1
orl         a, #10001111b
cpl         a
jz          t1i9a
mov         b, a
mov         a, #00000110b
acall       wr_inst
acall       clear_dsp
acall       return_home
mov         a, b
cjne        a, #00010000b, t1i3
acall       str2lcd
db          'Clear Lo', ('g' or 80h)
setb        emptylogf
acall       clear_log
sjmp        t1i7
t1i3:
cjne        a, #00100000b, t1i5
jb          emptylogf, dn5
dn2:
mov         a, addr_lo
cjne        a, #34, xx1
xx1:
jnc         xx2
mov         a, #68                  ; <
sjmp        xx3
t1i9a:
sjmp        t1i9
xx2:                                ; >=
subb        a, #34
xx3:
mov         addr_lo, a
acall       read_byte
jnb         reclogf, dn4
clr         reclogf
mov         a, addr_lo
cjne        a, #17, dn3
dn3:
jnc         dn3a
mov         a, #85
dn3a:
clr         c
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
subb        a, #17
mov         addr_lo, a
sjmp        xx3
dn4:
acall       cid2dsp
sjmp        dn6
dn5:
acall       str2lcd
db          'Log is Empt', ('y' or 80h)
dn6:
jnb         p1.5, $
mov         r4, #40/msec
acall       delay2
sjmp        t1i7
t1i5:
cjne        a, #01000000b, t1i7
jb          mptylogf, up5
up2:
mov         a, addr_lo
cjne        a, #85, xx4
mov         addr_lo, #0
xx4:
acall       read_byte
jnb         reclogf, up4
clr         reclogf
mov         a, addr_lo
add         a, #17
mov         addr_lo, a
sjmp        up2
up4:
acall       cid2dsp
sjmp        up6
up5:
acall       str2lcd
db          'Log is Empt', ('y' or 80h)
up6:
jnb         p1.6, $
mov         r4, #40/msec
acall       delay2
t1i7:
acall       init_timer0
t1i9:
pop         psw                     ;restore flags and reg bank zero
reti
serial_isr:
;=========================================================================
;
push        psw
clr         clidf
clr         ti
jnb         ri, si2
mov         a, sbuf
clr         ri
setb        clidf
clr         es
si2:
pop         psw
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
reti
cid2buff:
;=============================================================================
;
mov         r0, #cid_buff
cjne        a, #80h, c2b5
acall       get_char
jc          c2b9
acall       get_char
jc          c2b9
acall       get_char
jc          c2b9
mov         r7, a
c2b1:
acall       get_char
jc          c2b9
mov         @r0, a
inc         r0
djnz        r7, c2b1
c2b2:
acall       get_char
jc          c2b9
cjne        a, #02, c2b2
acall       get_char
jc          c2b9
mov         r7, a
c2b3:
acall       get_char
jc          c2b9
mov         @r0, a
inc         r0
djnz        r7, c2b3
sjmp        c2b7
c2b5:
cjne        a, #04, c2b9
acall       get_char
jc          c2b9
mov         r7, a
c2b6:
acall       get_char
jc          c2b9
mov         @r0, a
inc         r0
djnz        r7, c2b6
c2b7:
clr         c
sjmp        c2b8
c2b9:
setb        c
c2b8:
clr         clidf
setb        incommingf
setb        es
ret
cid2dsp:
;=============================================================================
;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
acall       clear_dsp
mov         a, #07h
acall       lcd2pos
mov         r0, #cid_buff + 2
mov         r7, #2
c2d1:
mov         a, @r0
inc         r0
acall       wr_data
djnz        r7, c2d1
mov         a, #'/'
acall       wr_data
mov         r0, #cid_buff
mov         r7, #2
c2d2:
mov         a, @r0
inc         r0
acall       wr_data
djnz        r7, c2d2
mov         a, #00h
acall       lcd2pos
mov         r0, #cid_buff + 4
mov         r7, #2
c2d3:
mov         a, @r0
inc         r0
acall       wr_data
djnz        r7, c2d3
mov         a, #':'
acall       wr_data
mov         r7, #2
c2d4:
mov         a, @r0
inc         r0
acall       wr_data
djnz        r7, c2d4
mov         a, #40h
acall       lcd2pos
mov         r7, #9
mov         a, @r0
cjne        a, #'P', c2d5
acall       str2lcd
db          'Blocke', ('d' or 80h)
sjmp        c2d7
c2d5:
cjne        a, #'O', c2d6
acall       str2lcd
db          'Unavailabl', ('e' or 80h)
sjmp        c2d7
c2d6:
mov         a, @r0
inc         r0
acall       wr_data
djnz        r7, c2d6
c2d7:
acall       init_timer0
ret
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
initialize:
;=========================================================================
; Initialize controller registers and I/O lines.
mov         scon, #01010000b        ; serial port mode 1
anl         pcon, #01111111b        ; initialize power control register
mov         tmod, #00010001b        ; timer 1 16-bit
                                    ; timer 0 16-bit
mov         t2con, #00110100b
mov         rcap2h, #0fdh
mov         rcap2l, #0c0h
setb        tr0 ; start timer 0
setb        tr1
setb        lt0f
clr         p2, #0ffh
mov         p3, #0ffh
mov         ie, #10011111b
mov         ip, #00001000b
orl         psw, #00011000b
mov         addr_hi, #0
mov         addr_lo, #0
anl         psw, #11100111b
mov         addr_hi, #0
mov         addr_lo, #0
ret
init_lcd:
;=========================================================================
;
mov         lcd_data, #00110000b
setb        lcd_en
clr         lcd_en
mov         r4, #4000/usec
acall       delay1
setb        lcd_en
clr         lcd_en
mov         r4, #100/usec
acall       delay1
setb        lcd_en
clr         lcd_en
mov         lcd_data, #00100000b
acall       busy_lcd
setb        lcd_en
clr         lcd_en
acall       busy_lcd
mov         a, #00101000b ; function set
acall       wr_inst
mov         a, #00001100b ; display on
acall       wr_inst
acall       clear_dsp
mov         a, #00000110b ; entry mode set
acall       wr_inst
ret
clear_dsp:
;=========================================================================
;
mov         a, #00000001b
acall       wr_inst
ret
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
return_home:
;=========================================================================
;
mov         a, #00000010b
acall       wr_inst
ret
lcd2pos:
;=========================================================================
;
setb        acc.7
acall       wr_inst
ret
wr_inst:
;=========================================================================
;
clr         lcd_rs                  ; instruction select
sjmp        wr_lcd
wr_data:
setb        lcd_rs                  ; data select
wr_lcd:
clr         lcd_rw                  ; prepare R/W for write operation
push        acc                     ; save data
anl         a, #11110000b           ; 4 high order bits
anl         lcd_data, #00001111b
orl         lcd_data, a
setb        lcd_en
clr         lcd_en
pop         acc                     ; restore data
anl         a, #00001111b           ; 4 low order bits
swap        a
anl         lcd_data, #00001111b
orl         lcd_data, a
setb        lcd_en
clr         lcd_en
acall       busy_lcd
ret
busy_lcd:
;=========================================================================
;
orl         lcd_data, #11110000b    ; prepare port for input
clr         lcd_rs
setb        lcd_rw                  ; prepare R/W for read operation
wait_lcd:
setb        lcd_en
mov         a, lcd_data
clr         lcd_en
setb        lcd_en
clr         lcd_en
jb          acc.7, wait_lcd
ret
str2lcd:
;
=========================================================================
; Copy in-line character string to console output device.
pop         dph                     ; get in-line string address
pop         dpl                     ; from stack
str_o1:
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
clr         a
movc        a,@a+dptr                   ; read next byte.
inc         dptr                        ; bump pointer.
jbc         acc.7,str_o2                ; escape after last character.
acall       wr_data                     ; output character.
sjmp        str_o1                      ; loop until done.
str_o2:
acall       wr_data                     ; output character.
clr         a
jmp         @a+dptr                     ; return to program.
ascii_tbl:
;=====================================================================
;
inc         a
movc        a, @a+pc
ret
db          'D1234567890*#ABC'
get_char:
;=====================================================================
; Read a character from the serial port.
; Return the character in the accumulator.
mov         r4, #00
gcdl2:
mov         r5, #00
gcdl3:
jb          ri, gc1 ;
djnz        r5, gcdl3
djnz        r4, gcdl2
setb        c                           ; set error flag
ret                                     ; return
gc1:
mov         a, sbuf                     ; get character into accumulator
clr         ri                          ; reset receive flag
clr         c
ret
init_timer0:
;=====================================================================
; Load and start long timer 0.
; System Timer 0 count loaded and interrupt enabled elsewhere.
setb        rs1                         ; select register bank two
clr         rs0
mov         lt0_hi, #001h               ;
mov         lt0_lo, #01ah               ; load 10-second count
mov         th0, #0c0h
mov         tl0, #000h
clr         lt0f
setb        et0
clr         rs1                         ; back to bank zero
ret
delay1:
;=====================================================================
; Delay for 100 us (@ 11.0592 MHz & 6-Clock Mode) times the value in
the register R4.
udl1:
mov         r5, #91
djnz        r5, $
djnz        r4, udl1
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
ret
delay2:
;=========================================================================
; Delay for 10 ms (@ 11.0592 MHz & 6-Clock Mode) times the value in the
register R4.
mdl1:
mov         r5, #68
mdl2:
mov         r6, #134
djnz        r6, $
djnz        r5, mdl2
nop
djnz        r4, mdl1
ret
clear_log:
;=========================================================================
mov         r0, #prefix_buf
mov         r7, #5
mov         ptr, #0
mov         dph, addr_hi
mov         dpl, addr_lo
x71:
mov         @r0, #'E'
mov         b, #120
x72:
mov         a, #PADDR
acall       write_byte
jnc         x73
djnz        b, x72
setb        c
sjmp        x75
x73:
inc         r0
mov         a, dpl
add         a, #17
mov         dpl, a
mov         addr_hi, dph
mov         addr_lo, dpl
djnz        r7, x71
mov         addr_lo, #0
clr         c
x75:
ret
byte_fill:
;=========================================================================
mov         r0, #cid_buff
mov         r7, #17
mov         dph, addr_hi
mov         dpl, addr_lo
x51:
mov         b, #120
x52:
mov         a, #PADDR
acall       write_byte
jnc         x53
djnz        b, x52
setb        c
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
sjmp        x55
x53:
inc         r0
inc         dptr
mov         addr_hi, dph
mov         addr_lo, dpl
mov         a, dpl
cjne        a, #85, x54
mov         addr_lo, #00
x54:
djnz        r7, x51
clr         c
x55:
ret
read_byte:
;=============================================================================
mov         r0, #cid_buff
mov         r7, #17
mov         dph, addr_hi
mov         dpl, addr_lo
mov         b, #120                 ; retry counter
x81:
mov         a, #PADDR               ; programmable address
acall       read_random             ; try to read
jnc         x82                     ; jump if read OK
djnz        b, x81                  ; try again
sjmp        x87                     ; set error flag and exit
x82:
;++++++++++++++++++++++++++++++++++++++++++++++++
cjne        a, #'E', x82a
setb        reclogf
sjmp        x88
x82a:
mov         @r0, a
inc         r0
sjmp        x85                     ; do remaining addresses
x83:
mov         a, #PADDR
acall       read_current
jc          x88                     ; jump if read fails
mov         @r0, a
inc         r0
x85:
inc         dptr ; advance address pointer
mov         addr_hi, dph
mov         addr_lo, dpl
x86:
djnz        r7, x83
clr         c                       ; clear error flag
sjmp        x88                     ; exit
x87:
setb        c                       ; set error flag
x88:
ret
write_byte:
; AT24Cxx Byte Write function.
; Called with programmable address in A, byte address in
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
; register pair ADDR_HI:ADDR_LO, data in register XDATA.
; Does not wait for write cycle to complete.
; Returns CY set to indicate that the bus is not available
; or that the addressed device failed to acknowledge.
; Destroys A.
acall       start
jc          x49                     ; abort if bus not available
rl          a                       ; programmable address to bits 3:1
orl         a, #FADDR               ; add fixed address
clr         acc.0                   ; specify write operation
acall       shout                   ; send device address
jc x48                              ; abort if no acknowledge
mov         a, addr_hi              ; send high byte of address
acall       shout                   ;
jc          x48                     ; abort if no acknowledge
mov         a, addr_lo              ; send low byte of address
acall       shout                   ;
jc          x48                     ; abort if no acknowledge
mov         a, @r0                  ; get data
acall       shout                   ; send data
jc          x48                     ; abort if no acknowledge
clr         c                       ; clear error flag
x48:
acall       stop
x49:
ret
read_current:
; AT24Cxx Current Address Read function.
; Called with programmable address in A. Returns data in A.
; Returns CY set to indicate that the bus is not available
; or that the addressed device failed to acknowledge.
acall       start
jc          x45                     ; abort if bus not available
rl          a                       ; programmable address to bits 3:1
orl         a, #FADDR               ; add fixed address
setb        acc.0                   ; specify read operation
acall       shout                   ; send device address
jc          x44                     ; abort if no acknowledge
acall       shin                    ; receive data byte
acall       NAK                     ; do not acknowledge byte
clr         c                       ; clear error flag
x44:
acall       stop
x45:
ret
read_random:
; AT24Cxx Random Read function.
; Called with programmable address in A, byte address in
; register pair ADDR_HI:ADDR_LO. Returns data in A.
; Returns CY set to indicate that the bus is not available
; or that the addressed device failed to acknowledge.
push        b
mov         b, a                    ; save copy of programmable address
acall       start
jc          x47                     ; abort if bus not available
rl          a                       ; programmable address to bits 3:1
orl         a                       , #FADDR ; add fixed address
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
clr         acc.0                   ; specify write operation
acall       shout                   ; send device address
jc          x46                     ; abort if no acknowledge
mov         a, addr_hi              ; send high byte of address
acall       shout                   ;
jc          x46                     ; abort if no acknowledge
mov         a, addr_lo              ; send low byte of address
acall       shout                   ;
jc          x46                     ; abort if no acknowledge
mov         a, b                    ; get programmable address
acall       read_current
sjmp        x47                     ; exit
x46:
acall       stop
x47:
pop         b
ret
start:
; Send START, defined as high-to-low SDA with SCL high.
; Return with SCL, SDA low.
; Returns CY set if bus is not available.
setb        SDA
setb        SCL
jnb         SDA, x40 ; jump if not high
jnb         SCL, x40 ; jump if not high
nop                                 ; enforce setup delay and cycle delay
nop                                 ;
clr         SDA
nop                                 ; enforce hold delay
nop                                 ;
nop                                 ;
nop                                 ;
nop                                 ;
nop                                 ;
nop                                 ;
nop                                 ;
nop                                 ;
clr         SCL
clr         c                       ; clear error flag
sjmp        x41
x40:
setb        c                       ; set error flag
x41:
ret
stop:
; Send STOP, defined as low-to-high SDA with SCL high.
; SCL expected low on entry. Return with SCL, SDA high.
clr         SDA
nop                                 ; enforce SCL low and data setup
nop
nop                                 ;
nop                                 ;
setb        SCL
nop                                 ; enforce setup delay
nop                                 ;
nop                                 ;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
nop                                    ;
nop                                    ;
nop                                    ;
nop                                    ;
nop                                    ;
nop                                    ;
nop                                    ;
setb        SDA
ret
shout:
; Shift out a byte to the AT24Cxx, most significant bit first.
; SCL, SDA expected low on entry. Return with SCL low.
; Called with data to send in A.
; Returns CY set to indicate failure by slave to acknowledge.
push        b
mov         b, #8                      ; bit counter
x42:
rlc         a                          ; move bit into CY
mov         SDA, c                     ; output bit
nop                                    ; enforce SCL low and data setup
nop                                    ;
setb        SCL                        ; raise clock
nop                                    ; enforce SCL high
nop                                    ;
nop                                    ;
nop                                    ;
nop                                    ;
nop                                    ;
nop                                    ;
nop                                    ;
clr         SCL                        ; drop clock
djnz        b, x42                     ; next bit
setb        SDA                        ; release SDA for ACK
nop                                    ; enforce SCL low and tAA
nop                                    ;
nop                                    ;
nop                                    ;
setb        SCL                        ; raise ACK clock
nop                                    ; enforce SCL high
nop         ;
nop         ;
nop         ;
nop         ;
nop         ;
nop         ;
nop         ;
mov         c, SDA                     ; get ACK bit
clr         SCL                        ; drop ACK clock
pop         b
ret
shin:
; Shift in a byte from the AT24Cxx, most significant bit first.
; SCL expected low on entry. Return with SCL low.
; Returns received data byte in A.
setb        SDA                        ; make SDA an input
push        b
mov         b, #8                      ; bit count
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
x43:
nop                             ; enforce SCL low and data setup
nop                             ;
nop                             ;
nop                             ;
nop                             ;
nop                             ;
setb        SCL                 ; raise clock
nop                             ; enforce SCL high
nop                             ;
nop                             ;
nop                             ;
mov         c, SDA              ; input bit
rlc         a                   ; move bit into byte
clr         SCL                 ; drop clock
djnz        b, x43              ; next bit
pop         b
ret
NAK:
; Clock out a negative acknowledge bit (high).
; SCL expected low on entry. Return with SCL low, SDA high.
setb        SDA                 ; NAK bit
nop                             ; enforce SCL low and data setup
nop                             ;
nop                             ;
nop                             ;
setb        SCL                 ; raise clock
nop                             ; enforce SCL high
nop                             ;
nop                             ;
nop                             ;
nop                             ;
nop                             ;
nop                             ;
nop                             ;
clr         SCL                 ; drop clock
ret
;-------------------------------------------------------------------------
END
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELFA

Datum 981218

PRODUKTINFORMATION

HÄMTFAX 08-580 941 14 | FAX ON DEMAND +46 8 580 941 14 | INTERNET http://www.elfa.se

TEKNISK INFORMATION 020-75 80 20 ORDERTEL 020-75 80 00 ORDERFAX 020-75 80 10

TECHNICAL INFORMATION +46 8 580 941 15 ORDERPHONE +46 8 580 941 01 ORDERFAX +46 8 580 941 11

Vi reserverar oss mot fel samt förbehåller oss rätten till ändringar utan föregående meddelande

ELFA artikelnr.

73-036-21 MT8870DE DTMF-mottagare

Antal sidor: 13

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ISO^2-CMOS **MT8870D/MT8870D-1**

Integrated DTMF Receiver

ISSUE 5 March 1997

Features

- Complete DTMF Receiver
- Low power consumption
- Internal gain setting amplifier
- Adjustable guard time
- Central office quality
- Power-down mode
- Inhibit mode
- Backward compatible with MT8870C/MT8870C-1

Applications

- Receiver system for British Telecom (BT) or CEPT Spec (MT8870D-1)
- Paging systems
- Repeater systems/mobile radio
- Credit card systems
- Remote control
- Personal computers
- Telephone answering machine

Ordering Information

MT8870DE/DE-1	18 Pin Plastic DIP
MT8870DS/DS-1	18 Pin SOIC
MT8870DN/DN-1	20 Pin SSOP

-40 °C to +85 °C

Description

The MT8870D/MT8870D-1 is a complete DTMF receiver integrating both the bandsplit filter and digital decoder functions. The filter section uses switched capacitor techniques for high and low group filters; the decoder uses digital counting techniques to detect and decode all 16 DTMF tone-pairs into a 4-bit code. External component count is minimized by on chip provision of a differential input amplifier, clock oscillator and latched three-state bus interface.

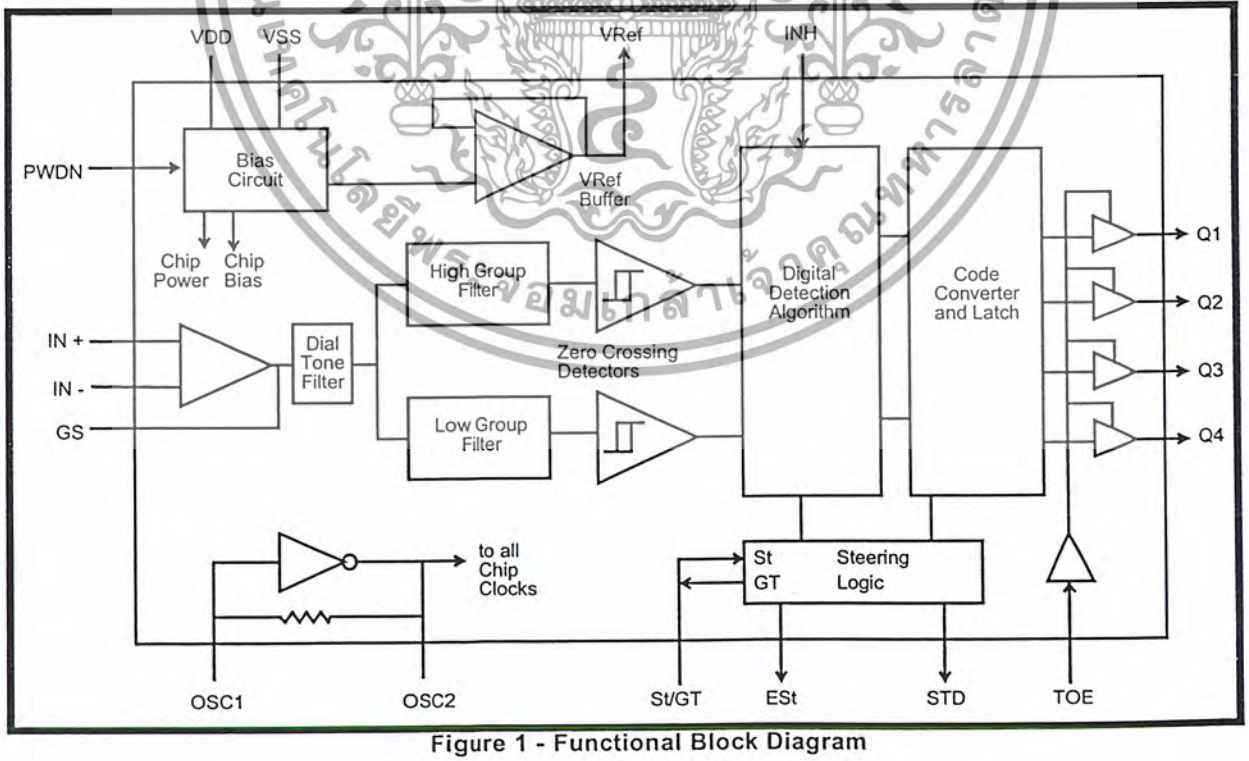
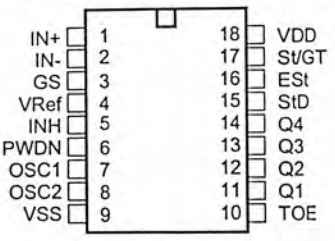
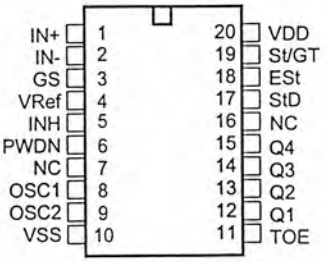


Figure 1 - Functional Block Diagram

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



18 PIN PLASTIC DIP/SOIC



20 PIN SSOP

Figure 2 - Pin Connections

Pin Description

Pin #		Name	Description
18	20		
1	1	IN+	Non-Inverting Op-Amp (Input).
2	2	IN-	Inverting Op-Amp (Input).
3	3	GS	Gain Select. Gives access to output of front end differential amplifier for connection of feedback resistor.
4	4	V_{Ref}	Reference Voltage (Output). Nominally $V_{DD}/2$ is used to bias inputs at mid-rail (see Fig. 6 and Fig. 10).
5	5	INH	Inhibit (Input). Logic high inhibits the detection of tones representing characters A, B, C and D. This pin input is internally pulled down.
6	6	PWDN	Power Down (Input). Active high. Powers down the device and inhibits the oscillator. This pin input is internally pulled down.
7	8	OSC1	Clock (Input).
8	9	OSC2	Clock (Output). A 3.579545 MHz crystal connected between pins OSC1 and OSC2 completes the internal oscillator circuit.
9	10	V_{SS}	Ground (Input). 0V typical.
10	11	TOE	Three State Output Enable (Input). Logic high enables the outputs Q1-Q4. This pin is pulled up internally.
11-14	12-15	Q1-Q4	Three State Data (Output). When enabled by TOE, provide the code corresponding to the last valid tone-pair received (see Table 1). When TOE is logic low, the data outputs are high impedance.
15	17	StD	Delayed Steering (Output).Presents a logic high when a received tone-pair has been registered and the output latch updated; returns to logic low when the voltage on St/GT falls below V_{TSt}.
16	18	ESt	Early Steering (Output). Presents a logic high once the digital algorithm has detected a valid tone pair (signal condition). Any momentary loss of signal condition will cause ESt to return to a logic low.
17	19	St/GT	Steering Input/Guard time (Output) Bidirectional. A voltage greater than V_{TSt} detected at St causes the device to register the detected tone pair and update the output latch. A voltage less than V_{TSt} frees the device to accept a new tone pair. The GT output acts to reset the external steering time-constant; its state is a function of ESt and the voltage on St.
18	20	V_{DD}	Positive power supply (Input). +5V typical.
	7, 16	NC	No Connection.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Functional Description

The MT8870D/MT8870D-1 monolithic DTMF receiver offers small size, low power consumption and high performance. Its architecture consists of a bandsplit filter section, which separates the high and low group tones, followed by a digital counting section which verifies the frequency and duration of the received tones before passing the corresponding code to the output bus.

Filter Section

Separation of the low-group and high group tones is achieved by applying the DTMF signal to the inputs of two sixth-order switched capacitor bandpass filters, the bandwidths of which correspond to the low and high group frequencies. The filter section also incorporates notches at 350 and 440 Hz for exceptional dial tone rejection (see Figure 3). Each filter output is followed by a single order switched capacitor filter section which smooths the signals prior to limiting. Limiting is performed by high-gain comparators which are provided with hysteresis to prevent detection of unwanted low-level signals. The outputs of the comparators provide full rail logic swings at the frequencies of the incoming DTMF signals.

Decoder Section

Following the filter section is a decoder employing digital counting techniques to determine the frequencies of the incoming tones and to verify that they correspond to standard DTMF frequencies. A complex averaging algorithm protects against tone simulation by extraneous signals such as voice while providing tolerance to small frequency deviations and variations. This averaging algorithm has been developed to ensure an optimum combination of immunity to talk-off and tolerance to the presence of interfering frequencies (third tones) and noise. When the detector recognizes the presence of two valid tones (this is referred to as the "signal condition" in some industry specifications) the "Early Steering" (ESt) output will go to an active state. Any subsequent loss of signal condition will cause ESt to assume an inactive state (see "Steering Circuit").

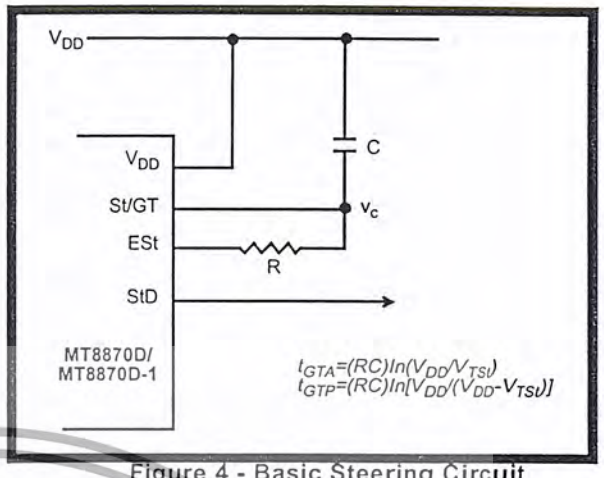


Figure 4 - Basic Steering Circuit

Steering Circuit

Before registration of a decoded tone pair, the receiver checks for a valid signal duration (referred to as character recognition condition). This check is performed by an external RC time constant driven by ESt. A logic high on ESt causes v_c (see Figure 4) to rise as the capacitor discharges. Provided signal

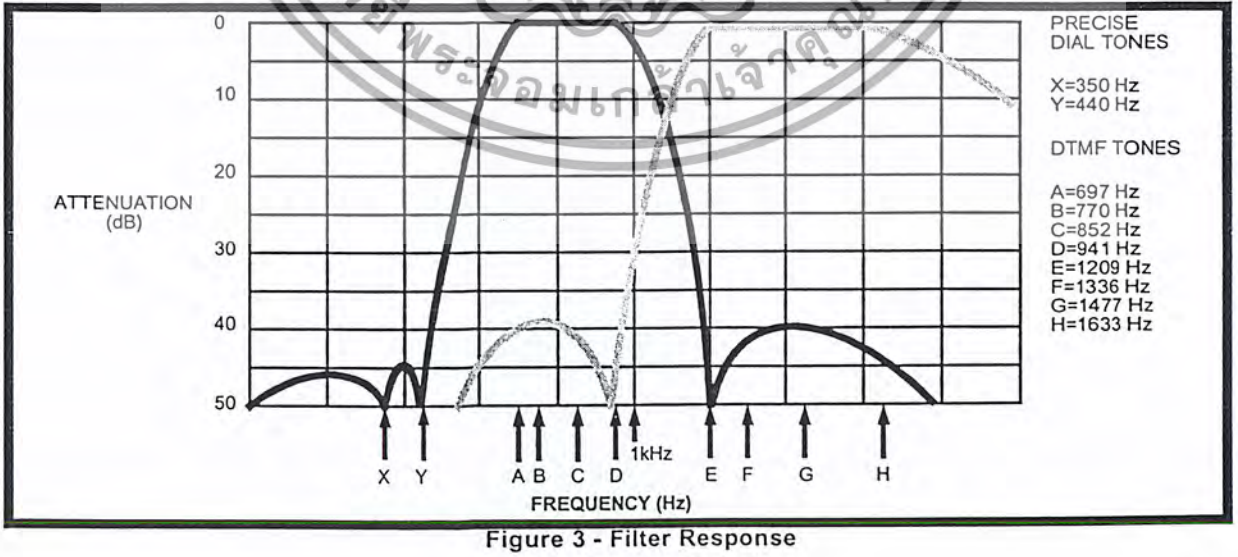


Figure 3 - Filter Response

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

condition is maintained (ESt remains high) for the validation period (t_{GTP}), v_c reaches the threshold (V_{TSt}) of the steering logic to register the tone pair, latching its corresponding 4-bit code (see Table 1) into the output latch. At this point the GT output is activated and drives v_c to V_{DD}. GT continues to drive high as long as ESt remains high. Finally, after a short delay to allow the output latch to settle, the delayed steering output flag (StD) goes high, signalling that a received tone pair has been registered. The contents of the output latch are made available on the 4-bit output bus by raising the three state control input (TOE) to a logic high. The steering circuit works in reverse to validate the interdigit pause between signals. Thus, as well as rejecting signals too short to be considered valid, the receiver will tolerate signal interruptions (dropout) too short to be considered a valid pause. This facility, together with the capability of selecting the steering time constants externally, allows the designer to tailor performance to meet a wide variety of system requirements.

Digit	TOE	INH	ESt	Q_4	Q_3	Q_2	Q_1
ANY	L	X	H	Z	Z	Z	Z
1	H	X	H	0	0	0	1
2	H	X	H	0	0	1	0
3	H	X	H	0	0	1	1
4	H	X	H	0	1	0	0
5	H	X	H	0	1	0	1
6	H	X	H	0	1	1	0
7	H	X	H	0	1	1	1
8	H	X	H	1	0	0	0
9	H	X	H	1	0	0	1
0	H	X	H	1	0	1	0
*	H	X	H	1	0	1	1
#	H	X	H	1	1	0	0
A	H	L	H	1	1	0	1
B	H	L	H	1	1	1	0
C	H	L	H	1	1	1	1
D	H	L	H	0	0	0	0
A	H	H	L	undetected, the output code will remain the same as the previous detected code			
B	H	H	L				
C	H	H	L				
D	H	H	L				

Table 1. Functional Decode Table

L=LOGIC LOW, H=LOGIC HIGH, Z=HIGH IMPEDANCE
X = DON'T CARE

Guard Time Adjustment

In many situations not requiring selection of tone duration and interdigital pause, the simple steering circuit shown in Figure 4 is applicable. Component values are chosen according to the formula:

$$t_{REC}=t_{DP}+t_{GTP}$$
$$t_{ID}=t_{DA}+t_{GTA}$$

The value of t_{DP} is a device parameter (see Figure 11) and t_{REC} is the minimum signal duration to be recognized by the receiver. A value for C of 0.1 µF is recommended for most applications, leaving R to be selected by the designer.

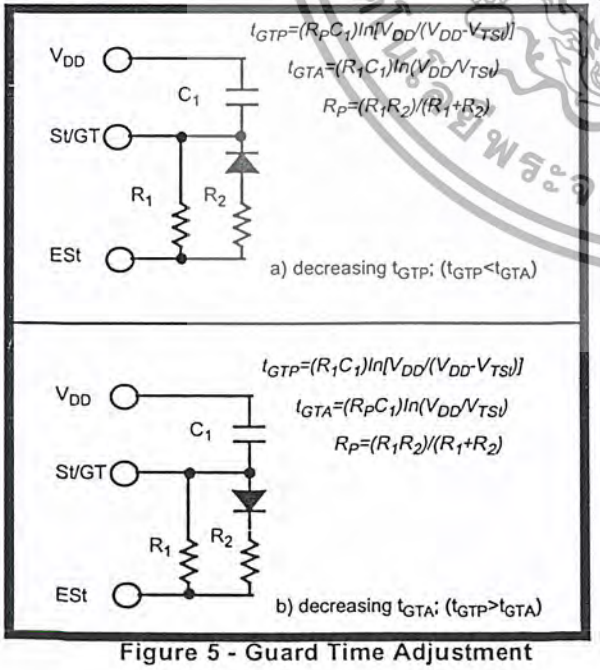


Figure 5 - Guard Time Adjustment

Different steering arrangements may be used to select independently the guard times for tone present (t_{GTP}) and tone absent (t_{GTA}). This may be necessary to meet system specifications which place both accept and reject limits on both tone duration and interdigital pause. Guard time adjustment also allows the designer to tailor system parameters such as talk off and noise immunity. Increasing t_{REC} improves talk-off performance since it reduces the probability that tones simulated by speech will maintain signal condition long enough to be registered. Alternatively, a relatively short t_{REC} with a long t_{DO} would be appropriate for extremely noisy environments where fast acquisition time and immunity to tone drop-outs are required. Design information for guard time adjustment is shown in Figure 5.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Power-down and Inhibit Mode

A logic high applied to pin 6 (PWDN) will power down the device to minimize the power consumption in a standby mode. It stops the oscillator and the functions of the filters.

Inhibit mode is enabled by a logic high input to the pin 5 (INH). It inhibits the detection of tones representing characters A, B, C, and D. The output code will remain the same as the previous detected code (see Table 1).

Differential Input Configuration

The input arrangement of the MT8870D/MT8870D-1 provides a differential-input operational amplifier as well as a bias source (V_{Ref}) which is used to bias the inputs at mid-rail. Provision is made for connection of a feedback resistor to the op-amp output (GS) for adjustment of gain. In a single-ended configuration, the input pins are connected as shown in Figure 10 with the op-amp connected for unity gain and V_{Ref} biasing the input at $^1/_2V_{DD}$. Figure 6 shows the differential configuration, which permits the adjustment of gain with the feedback resistor R_5.

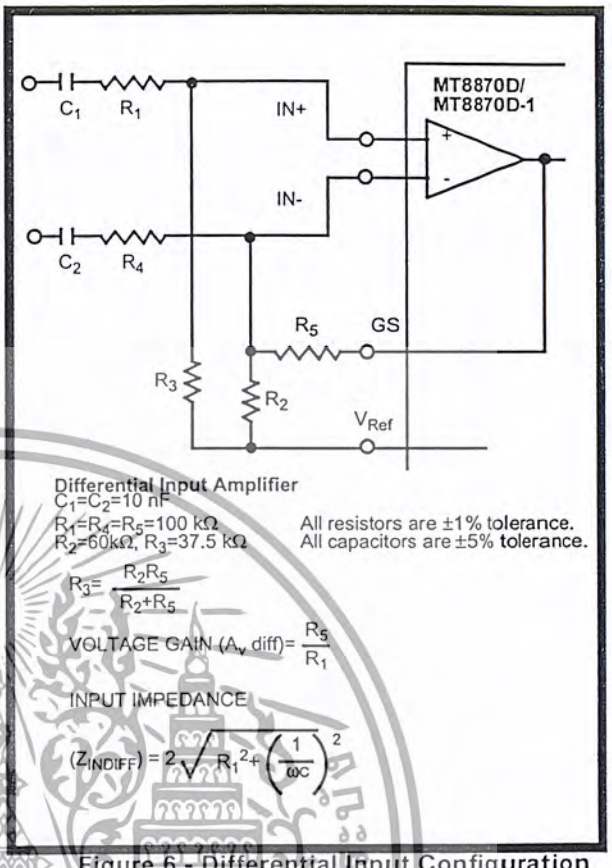


Figure 6 - Differential Input Configuration

Crystal Oscillator

The internal clock circuit is completed with the addition of an external 3.579545 MHz crystal and is normally connected as shown in Figure 10 (Single-Ended Input Configuration). However, it is possible to configure several MT8870D/MT8870D-1 devices employing only a single oscillator crystal. The oscillator output of the first device in the chain is coupled through a 30 pF capacitor to the oscillator input (OSC1) of the next device. Subsequent devices are connected in a similar fashion. Refer to Figure 7 for details. The problems associated with unbalanced loading are not a concern with the arrangement shown, i.e., precision balancing capacitors are not required.

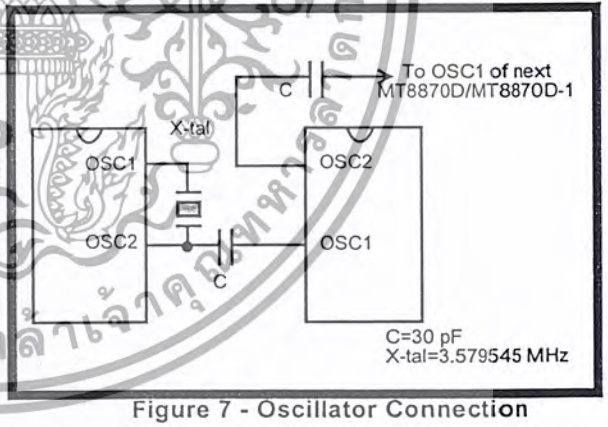


Figure 7 - Oscillator Connection

Parameter	Unit	Resonator
R1	Ohms	10.752
L1	mH	.432
C1	pF	4.984
C0	pF	37.915
Qm	-	896.37
Δf	%	±0.2%

Table 2. Recommended Resonator Specifications

Note: Qm=quality factor of RLC model, i.e., $1/2\Pi fR1C1$.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Applications

RECEIVER SYSTEM FOR BRITISH TELECOM SPEC POR 1151

The circuit shown in Fig. 9 illustrates the use of MT8870D-1 device in a typical receiver system. BT Spec defines the input signals less than -34 dBm as the non-operate level. This condition can be attained by choosing a suitable values of R_1 and R_2 to provide 3 dB attenuation, such that -34 dBm input signal will correspond to -37 dBm at the gain setting pin GS of MT8870D-1. As shown in the diagram, the component values of R_3 and C_2 are the guard time requirements when the total component tolerance is 6%. For better performance, it is recommended to use the non-symmetric guard time circuit in Fig. 8.

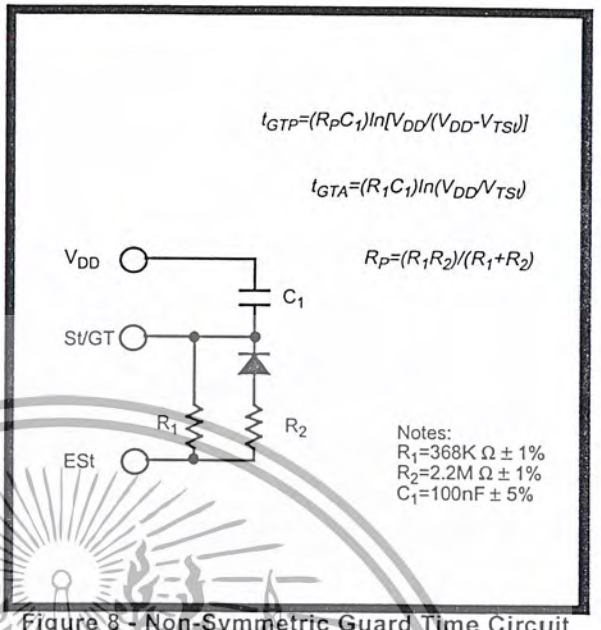


Figure 8 - Non-Symmetric Guard Time Circuit

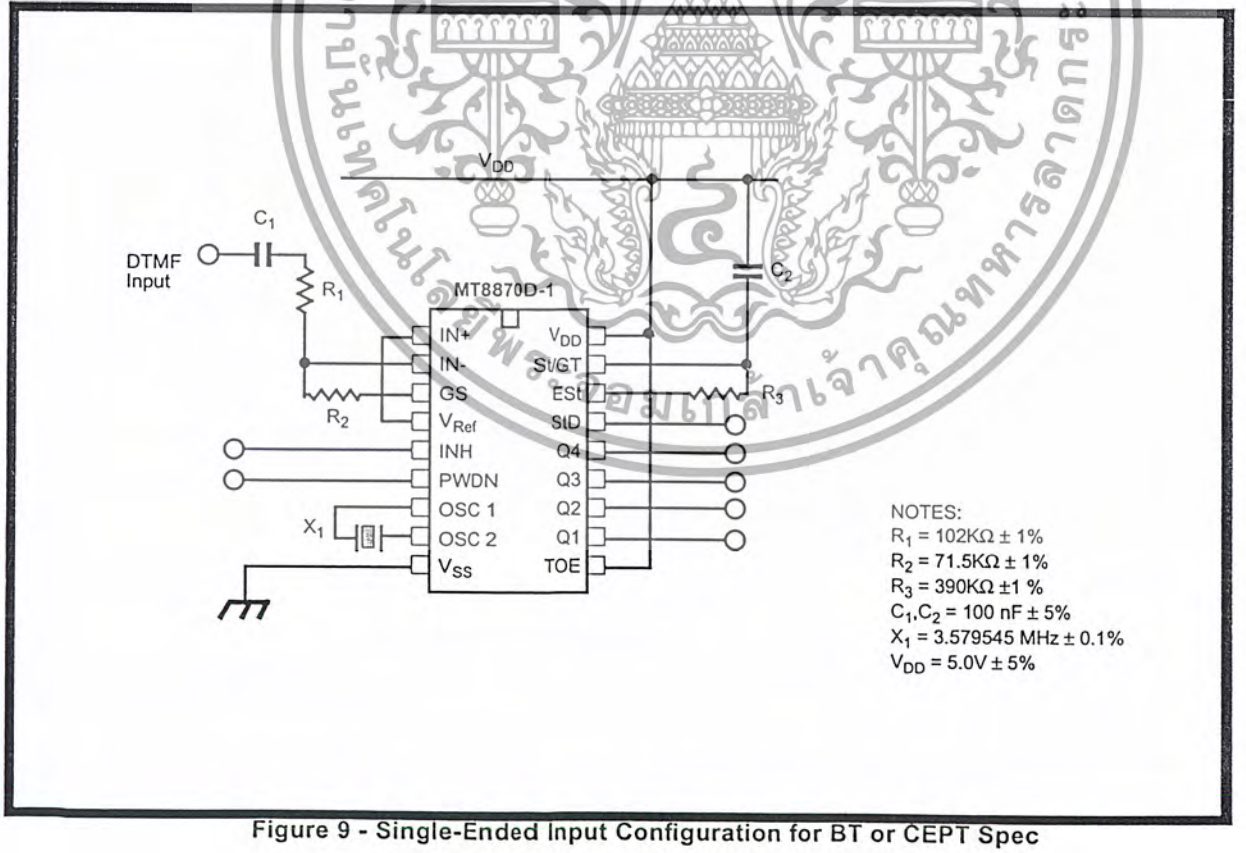


Figure 9 - Single-Ended Input Configuration for BT or CEPT Spec

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings†

	Parameter	Symbol	Min	Max	Units
1	DC Power Supply Voltage	V_{DD}		7	V
2	Voltage on any pin	V_I	V_{SS}-0.3	V_{DD}+0.3	V
3	Current at any pin (other than supply)	I_I		10	mA
4	Storage temperature	T_{STG}	-65	+150	°C
5	Package power dissipation	P_D		500	mW

† Exceeding these values may cause permanent damage. Functional operation under these conditions is not implied.
Derate above 75 °C at 16 mW / °C. All leads soldered to board.

Recommended Operating Conditions - Voltages are with respect to ground (V_{SS}) unless otherwise stated.

	Parameter	Sym	Min	Typ‡	Max	Units	Test Conditions
1	DC Power Supply Voltage	V_{DD}	4.75	5.0	5.25	V	
2	Operating Temperature	T_O	-40		+85	°C	
3	Crystal/Clock Frequency	fc		3.579545		MHz	
4	Crystal/Clock Freq.Tolerance	Δfc		±0.1		%	

‡ Typical figures are at 25°C and are for design aid only: not guaranteed and not subject to production testing.

DC Electrical Characteristics - V_{DD}=5.0V± 5%, V_{SS}=0V, -40°C ≤ T_O ≤ +85°C, unless otherwise stated.

		Characteristics	Sym	Min	Typ‡	Max	Units	Test Conditions
1	SUPPLY	Standby supply current	I_{DDQ}		10	25	µA	PWDN=V_{DD}
2		Operating supply current	I_{DD}		3.0	9.0	mA	
3		Power consumption	P_O		15		mW	fc=3.579545 MHz
4	INPUTS	High level input	V_{IH}	3.5			V	V_{DD}=5.0V
5		Low level input voltage	V_{IL}			1.5	V	V_{DD}=5.0V
6		Input leakage current	I_{IH}/I_{IL}		0.1		µA	V_{IN}=V_{SS} or V_{DD}
7		Pull up (source) current	I_{SO}		7.5	20	µA	TOE (pin 10)=0, V_{DD}=5.0V
8		Pull down (sink) current	I_{SI}		15	45	µA	INH=5.0V, PWDN=5.0V, V_{DD}=5.0V
9		Input impedance (IN+, IN-)	R_{IN}		10		MΩ	@ 1 kHz
10		Steering threshold voltage	V_{TSt}	2.2	2.4	2.5	V	V_{DD} = 5.0V
11	OUTPUTS	Low level output voltage	V_{OL}			V_{SS}+0.03	V	No load
12		High level output voltage	V_{OH}	V_{DD}-0.03			V	No load
13		Output low (sink) current	I_{OL}	1.0	2.5		mA	V_{OUT}=0.4 V
14		Output high (source) current	I_{OH}	0.4	0.8		mA	V_{OUT}=4.6 V
15		V_{Ref} output voltage	V_{Ref}	2.3	2.5	2.7	V	No load, V_{DD} = 5.0V
16		V_{Ref} output resistance	R_{OR}		1		kΩ	

‡ Typical figures are at 25°C and are for design aid only: not guaranteed and not subject to production testing.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Operating Characteristics - V_{DD}=5.0V±5%, V_{SS}=0V, -40°C ≤ T_O ≤ +85°C ,unless otherwise stated.

Gain Setting Amplifier

	Characteristics	Sym	Min	Typ‡	Max	Units	Test Conditions
1	Input leakage current	I_{IN}			100	nA	$V_{SS} \le V_{IN} \le V_{DD}$
2	Input resistance	R_{IN}	10			MΩ	
3	Input offset voltage	V_{OS}			25	mV	
4	Power supply rejection	PSRR	50			dB	1 kHz
5	Common mode rejection	CMRR	40			dB	0.75 V ≤ V_{IN} ≤ 4.25 V biased at V_{Ref} =2.5 V
6	DC open loop voltage gain	A_{VOL}	32			dB	
7	Unity gain bandwidth	f_C	0.30			MHz	
8	Output voltage swing	V_O	4.0			V_{pp}	Load ≥ 100 kΩ to V_{SS} @ GS
9	Maximum capacitive load (GS)	C_L			100	pF	
10	Resistive load (GS)	R_L			50	kΩ	
11	Common mode range	V_{CM}	2.5			V_{pp}	No Load

MT8870D AC Electrical Characteristics - V_{DD}=5.0V ±5%, V_{SS}=0V, -40°C ≤ T_O ≤ +85°C , using Test Circuit shown in Figure 10.

	Characteristics	Sym	Min	Typ‡	Max	Units	Notes*
1	Valid input signal levels (each tone of composite signal)		-29		+1	dBm	1,2,3,5,6,9
			27.5		869	mV_{RMS}	1,2,3,5,6,9
2	Negative twist accept				8	dB	2,3,6,9,12
3	Positive twist accept				8	dB	2,3,6,9,12
4	Frequency deviation accept		±1.5% ± 2 Hz				2,3,5,9
5	Frequency deviation reject		±3.5%				2,3,5,9
6	Third tone tolerance			-16		dB	2,3,4,5,9,10
7	Noise tolerance			-12		dB	2,3,4,5,7,9,10
8	Dial tone tolerance			+22		dB	2,3,4,5,8,9,11

‡ Typical figures are at 25 °C and are for design aid only: not guaranteed and not subject to production testing.

*NOTES
1. dBm= decibels above or below a reference power of 1 mW into a 600 ohm load.
2. Digit sequence consists of all DTMF tones.
3. Tone duration= 40 ms, tone pause= 40 ms.
4. Signal condition consists of nominal DTMF frequencies.
5. Both tones in composite signal have an equal amplitude.
6. Tone pair is deviated by ±1.5 %± 2 Hz.
7. Bandwidth limited (3 kHz) Gaussian noise.
8. The precise dial tone frequencies are (350 Hz and 440 Hz) ± 2 %.
9. For an error rate of better than 1 in 10,000.
10. Referenced to lowest level frequency component in DTMF signal.
11. Referenced to the minimum valid accept level.
12. Guaranteed by design and characterization.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MT8870D-1 AC Electrical Characteristics

- V_{DD}=5.0V±5%, V_{SS}=0V, -40°C ≤ T_O ≤ +85°C , using Test Circuit shown in Figure 10.

	Characteristics	Sym	Min	Typ‡	Max	Units	Notes*
1	Valid input signal levels (each tone of composite signal)		-31		+1	dBm	Tested at V_{DD}=5.0V 1,2,3,5,6,9
			21.8		869	mV_{RMS}	
2	Input Signal Level Reject		-37			dBm	Tested at V_{DD}=5.0V 1,2,3,5,6,9
			10.9			mV_{RMS}	
3	Negative twist accept				8	dB	2,3,6,9,13
4	Positive twist accept				8	dB	2,3,6,9,13
5	Frequency deviation accept		±1.5%± 2 Hz				2,3,5,9
6	Frequency deviation reject		±3.5%				2,3,5,9
7	Third zone tolerance			-18.5		dB	2,3,4,5,9,12
8	Noise tolerance			-12		dB	2,3,4,5,7,9,10
9	Dial tone tolerance			+22		dB	2,3,4,5,8,9,11

‡ Typical figures are at 25 °C and are for design aid only: not guaranteed and not subject to production testing.

*NOTES
1. dBm= decibels above or below a reference power of 1 mW into a 600 ohm load.
2. Digit sequence consists of all DTMF tones.
3. Tone duration= 40 ms, tone pause= 40 ms.
4. Signal condition consists of nominal DTMF frequencies.
5. Both tones in composite signal have an equal amplitude.
6. Tone pair is deviated by ±1.5 %± 2 Hz.
7. Bandwidth limited (3 kHz) Gaussian noise.
8. The precise dial tone frequencies are (350 Hz and 440 Hz) ± 2 %.
9. For an error rate of better than 1 in 10,000.
10. Referenced to lowest level frequency component in DTMF signal.
11. Referenced to the minimum valid accept level.
12. Referenced to Fig. 10 input DTMF tone level at -25dBm (-28dBm at GS Pin) interference frequency range between 480-3400Hz.
13. Guaranteed by design and characterization.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC Electrical Characteristics - V_{DD}=5.0V±5%, V_{SS}=0V, -40°C ≤ To ≤ +85°C , using Test Circuit shown in Figure 10.

		Characteristics	Sym	Min	Typ‡	Max	Units	Conditions
1	TIMING	Tone present detect time	t_{DP}	5	11	14	ms	Note 1
2		Tone absent detect time	t_{DA}	0.5	4	8.5	ms	Note 1
3		Tone duration accept	t_{REC}			40	ms	Note 2
4		Tone duration reject	$t_{\overline{REC}}$	20			ms	Note 2
5		Interdigit pause accept	t_{ID}			40	ms	Note 2
6		Interdigit pause reject	t_{DO}	20			ms	Note 2
7	OUTPUTS	Propagation delay (St to Q)	t_{PQ}		8	11	µs	TOE=V_{DD}
8		Propagation delay (St to StD)	t_{PStD}		12	16	µs	TOE=V_{DD}
9		Output data set up (Q to StD)	t_{QStD}		3.4		µs	TOE=V_{DD}
10		Propagation delay (TOE to Q ENABLE)	t_{PTE}		50		ns	load of 10 kΩ, 50 pF
11		Propagation delay (TOE to Q DISABLE)	t_{PTD}		300		ns	load of 10 kΩ, 50 pF
12	PDWN	Power-up time	t_{PU}		30		ms	Note 3
13		Power-down time	t_{PD}		20		ms	
14	CLOCK	Crystal/clock frequency	f_C	3.5759	3.5795	3.5831	MHz	
15		Clock input rise time	t_{LHCL}			110	ns	Ext. clock
16		Clock input fall time	t_{HLCL}			110	ns	Ext. clock
17		Clock input duty cycle	DC_{CL}	40	50	60	%	Ext. clock
18		Capacitive load (OSC2)	C_{LO}			30	pF	

‡ Typical figures are at 25°C and are for design aid only: not guaranteed and not subject to production testing.

*NOTES:
1. Used for guard-time calculation purposes only.
2. These, user adjustable parameters, are not device specifications. The adjustable settings of these minimums and maximums are recommendations based upon network requirements.
3. With valid tone present at input, t_{PU} equals time from PDWN going low until ESt going high.

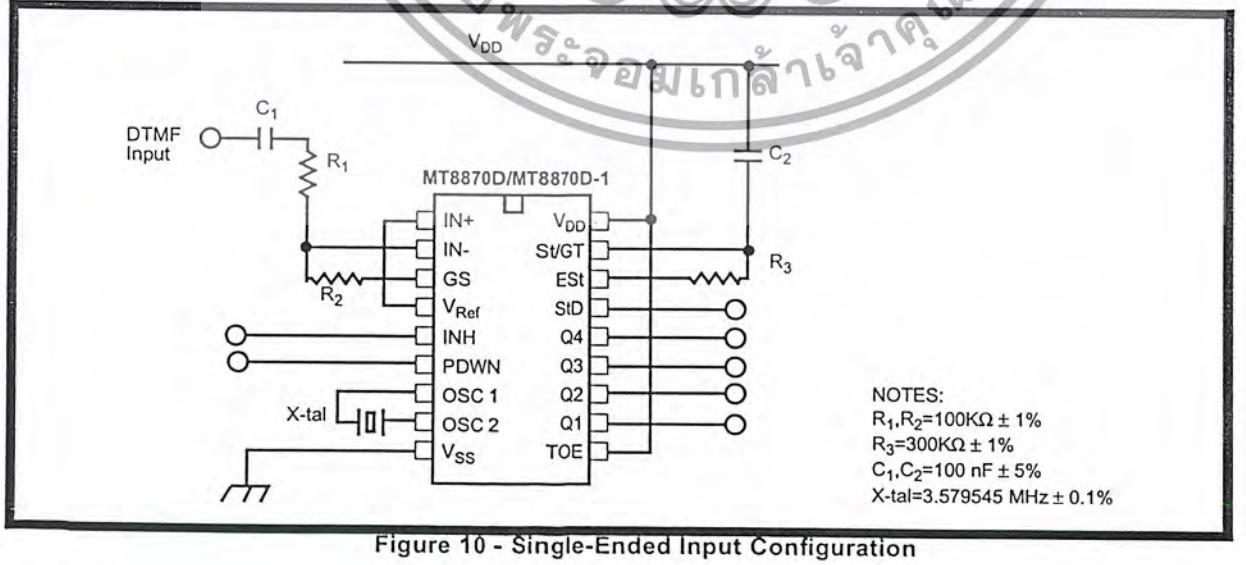
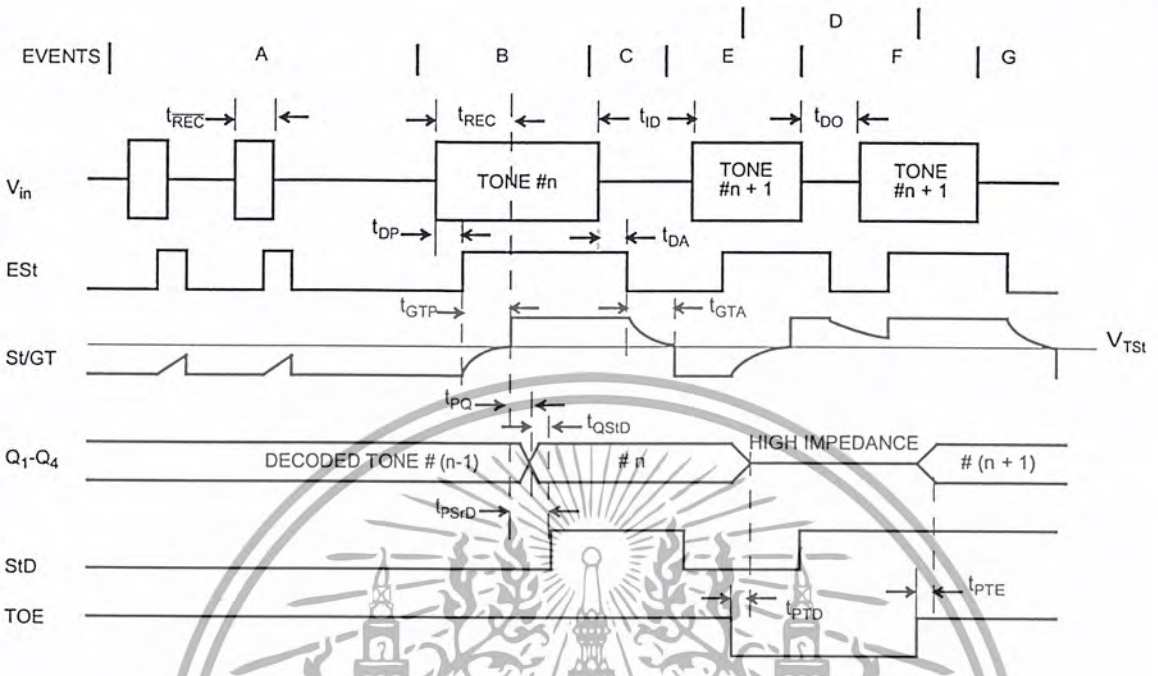


Figure 10 - Single-Ended Input Configuration

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



EXPLANATION OF EVENTS

A) TONE BURSTS DETECTED, TONE DURATION INVALID, OUTPUTS NOT UPDATED.

B) TONE #n DETECTED, TONE DURATION VALID, TONE DECODED AND LATCHED IN OUTPUTS.

C) END OF TONE #n DETECTED, TONE ABSENT DURATION VALID, OUTPUTS REMIAN LATCHED UNTIL NEXT VALID TONE.

D) OUTPUTS SWITCHED TO HIGH IMPEDANCE STATE.

E) TONE #n + 1 DETECTED, TONE DURATION VALID, TONE DECODED AND LATCHED IN OUTPUTS (CURRENTLY HIGH IMPEDANCE).

F) ACCEPTABLE DROPOUT OF TONE #n + 1, TONE ABSENT DURATION INVALID, OUTPUTS REMAIN LATCHED.

G) END OF TONE #n + 1 DETECTED, TONE ABSENT DURATION VALID, OUTPUTS REMAIN LATCHED UNTIL NEXT VALID TONE.

EXPLANATION OF SYMBOLS

V_{in} DTMF COMPOSITE INPUT SIGNAL.

ESt EARLY STEERING OUTPUT. INDICATES DETECTION OF VALID TONE FREQUENCIES.

St/GT STEERING INPUT/GUARD TIME OUTPUT. DRIVES EXTERNAL RC TIMING CIRCUIT.

Q_1-Q_4 4-BIT DECODED TONE OUTPUT.

StD DELAYED STEERING OUTPUT. INDICATES THAT VALID FREQUENCIES HAVE BEEN PRESENT/ABSENT FOR THE REQUIRED GUARD TIME THUS CONSTITUTING A VALID SIGNAL.

TOE TONE OUTPUT ENABLE (INPUT). A LOW LEVEL SHIFTS Q_1-Q_4 TO ITS HIGH IMPEDANCE STATE.

$t_{\overline{REC}}$ MAXIMUM DTMF SIGNAL DURATION NOT DETECED AS VALID

t_{REC} MINIMUM DTMF SIGNAL DURATION REQUIRED FOR VALID RECOGNITION

t_{ID} MAXIMUM TIME BETWEEN VALID DTMF SIGNALS.

t_{DO} MAXIMUM ALLOWABLE DROP OUT DURING VALID DTMF SIGNAL.

t_{DP} TIME TO DETECT THE PRESENCE OF VALID DTMF SIGNALS.

t_{DA} TIME TO DETECT THE ABSENCE OF VALID DTMF SIGNALS.

t_{GTP} GUARD TIME, TONE PRESENT.

t_{GTA} GUARD TIME, TONE ABSENT.

Figure 11 - Timing Diagram

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Notes:

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC14LC5447

Product Preview

Calling Line Identification (CLID) Receiver with Ring Detector

The MC14LC5447 is a silicon gate HCMOS IC designed to demodulate Bell 202 and V.23 1200–baud FSK asynchronous data. The primary application for this device is in products that will be used to receive and display the calling number, or message waiting indicator sent to subscribers from participating central office facilities of the public switched network. The device also contains a carrier detect circuit and ring detector which may be used to power up the device.

Applications for this device include adjunct boxes, answering machines, feature phones, fax machines, and computer interface products.

The MC14LC5447 offers the following performance features.

- Ring Detector On–Chip
- Ring Detect Output for MCU Interrupt
- Power–Down Mode, Less than 1 µA
- Single Supply: + 3.5 to + 6.0 V
- Pin Selectable Clock Frequencies: 3.68 MHz, 3.58 MHz, or 455 kHz
- Two Stage Power–Up for Power Management Control
- Demodulates Bell 202 and V.23

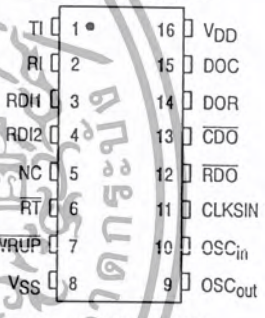
P SUFFIX
PLASTIC DIP
CASE 648

DW SUFFIX
SOG PACKAGE
CASE 751G

ORDERING INFORMATION

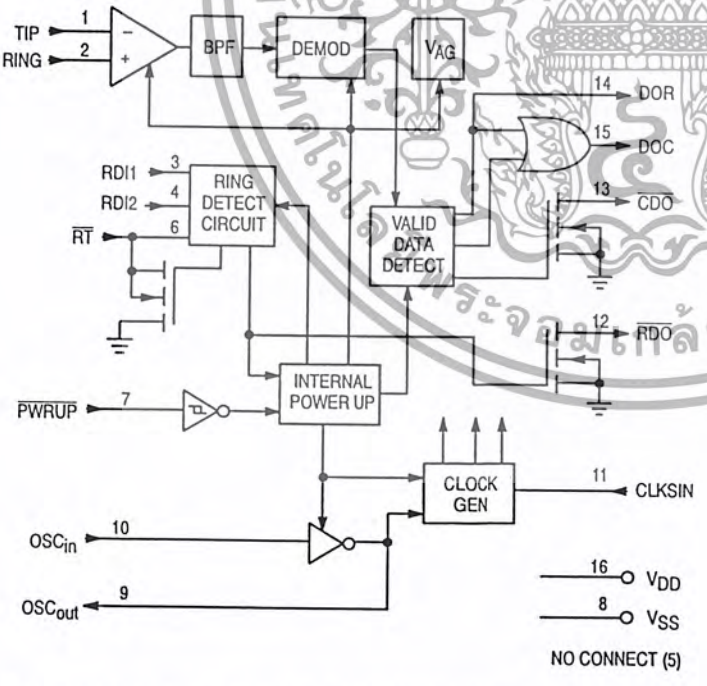
MC14LC5447P	Plastic DIP
MC14LC5447DW	SOG Package

PIN ASSIGNMENT



NC = NO CONNECTION

BLOCK DIAGRAM



This document contains information on a product under development. Motorola reserves the right to change or discontinue this product without notice.

REV 0
7/96

© Motorola, Inc. 1996

MOTOROLA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ABSOLUTE MAXIMUM RATINGS

(Voltages referenced to GND, except where noted)

Rating	Symbol	Value	Unit
DC Supply Voltage	V_{DD}	– 0.5 to + 6.0	V
Input Voltage, All Pins	V_{in}	– 0.5 to V_{DD} + 0.5	V
DC Current Drain Per Pin	I	± 10	mA
Power Dissipation	P_D	20	mW
Operating Temperature Range	T_A	0 to + 70	°C
Storage Temperature Range	T_{stg}	– 40 to + 150	°C

This device contains circuitry to protect the inputs against damage due to high static voltages or electric fields. However, it is advised that normal precautions be taken to avoid applications of any voltage higher than maximum rated voltages to this high impedance circuit. For proper operation it is recommended that V_{in} and V_{out} be constrained to the range $V_{SS} \le (V_{in}$ or $V_{out}) \le V_{DD}$.

Reliability of operation is enhanced if unused inputs are tied to an appropriate logic voltage level (e.g., either V_{SS} or V_{DD}).

ELECTRICAL CHARACTERISTICS

(All polarities referenced to V_{SS} = 0 V, V_{DD} = + 5 V ± 10%, unless otherwise noted, T_A = 0 to + 70°C)

Parameter	Symbol	Min	Typ	Max	Unit
DC Supply Voltage	V_{DD}	3.5	5	6	V
Supply Current (All Output Pins Unloaded) (See Figure 1) $\overline{RT}$ = 0, $\overline{PWRUP}$ = 1, XTAL = 3.58 MHz	I_{DD}	—	2.4	3	mA
Supply Current (All Output Pins Unloaded) (See Figure 1) $\overline{PWRUP}$ = 0, $\overline{RT}$ = Don't Care, XTAL = 3.58 MHz	I_{DD}	—	4.0	5.5	mA
Standby Current (All Output Pins Unloaded) (See Figure 1) $\overline{RT}$ = 1, $\overline{PWRUP}$ = 1	I_{STBY}	—	—	1	µA
Input Voltage 0 Level (CLKSIN, OSC_{in})	V_{IL}	—	—	V_{DD} x 0.3	V
Input Voltage 1 Level (CLKSIN, OSC_{in})	V_{IH}	V_{DD} x 0.7	—	—	V
Output Voltage High: V_{DD} = 5 V (DOR, DOC, OSC_{out}) I_{OH} = 40 µA $I_{OH} \le$ 1 µA	V_{OH}	2.4 4.95	—	—	V
Output Voltage Low: V_{DD} = 5 V (DOR, DOC, OSC_{out}) I_{OL} = 1.6 mA $I_{OL} \le$ 1 µA	V_{OL}	—	—	0.4 0.05	V
Input Leakage Current (OSC_{in}, CLKSIN, $\overline{PWRUP}$, $\overline{RT}$, RDI1, and RDI2)	I_{in}	—	—	±1	µA
Output Voltage Low: V_{DD} = 5 V ($\overline{RDO}$, $\overline{RT}$, $\overline{CDO}$) I_{OL} = 2.0 mA	V_{OL}	—	—	0.4	V
Input Threshold Voltage Positive Going: V_{DD} = 5 V (RDI1, $\overline{RT}$, $\overline{PWRUP}$) (See Figure 3)	V_{T+}	2.5	2.75	3.0	V
Input Threshold Voltage Negative Going: V_{DD} = 5 V (RDI1, $\overline{RT}$, $\overline{PWRUP}$) (See Figure 3)	V_{T-}	2.0	2.3	2.6	V
RDI2 Threshold	$R_{D2}V_T$	1.0	1.1	1.2	V
TIP/RING Input dc Resistance	R_{in}	—	250	—	kΩ

ANALOG CHARACTERISTICS (V_{DD} = + 5 V, T_A = + 25°C, unless otherwise noted, 0 dBm = 0.7746 Vrms @ 600 Ω)

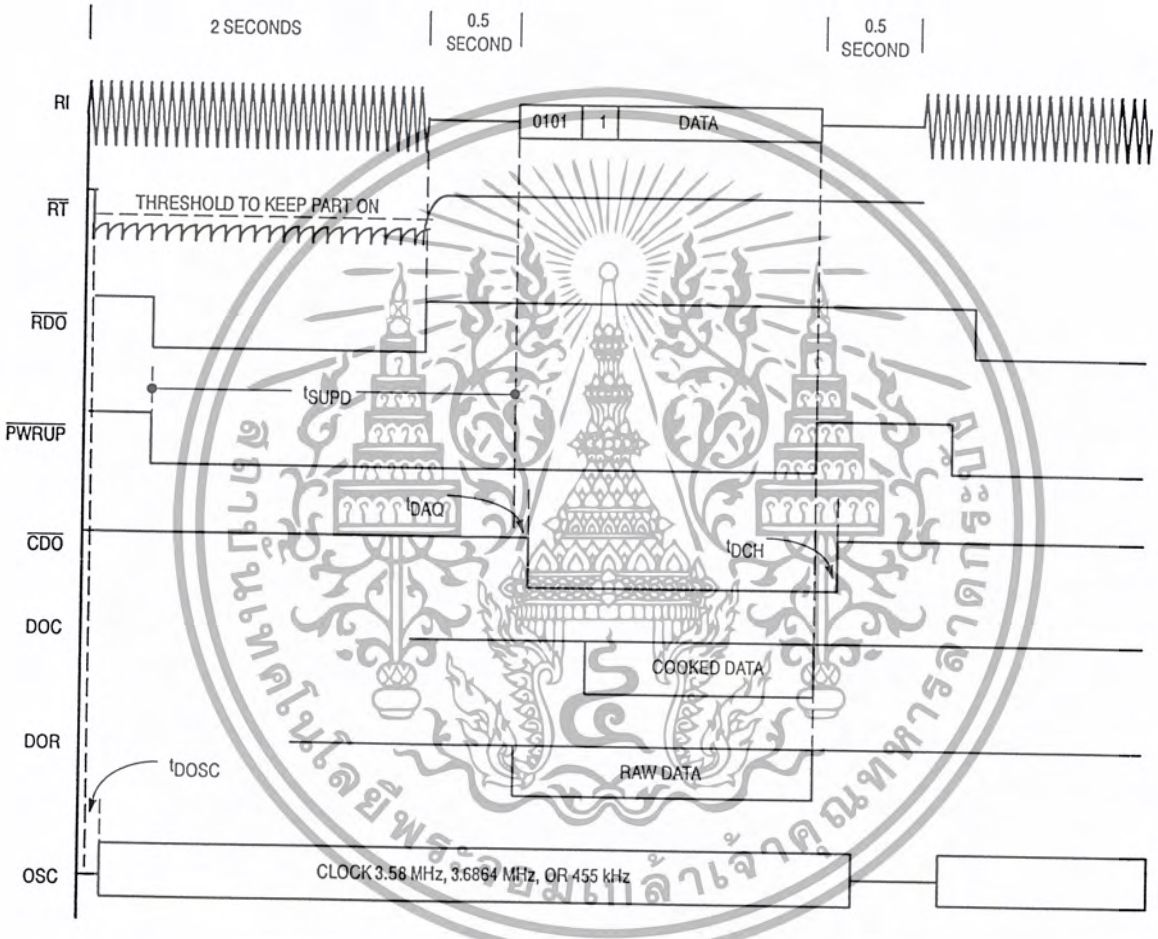
Characteristic		Min	Typ	Max	Unit
Input Sensitivity: TIP and RING (Pins 1 and 2, V_{DD} = + 5 V)		– 40	– 45	—	dBm
Band–Pass Filter (BPF) Frequency Response (Relative to 1700 Hz @ 0 dBm)					dB
	60 Hz	—	– 64	—	
	500 Hz	—	– 4	—	
	2700 Hz	—	– 3	—	
	≥ 3300 Hz	—	– 34	—	
Carrier Detect Sensitivity		—	– 48	—	dBm

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

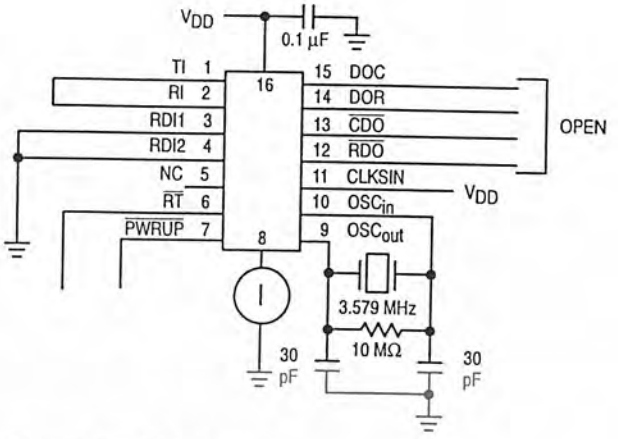
SWITCHING CHARACTERISTICS (V_{DD} = + 5 V, C_L = 50 pF, T_A = + 25°C)

Description	Symbol	Min	Typ	Max	Unit
OSC Startup (CLKSIN = 1; 3.579 MHz XTAL)	t_{DOSC}	—	2	—	ms
Power–Up Low to FSK (Setup Time)	t_{SUPD}	15	—	—	ms
Carrier Detect Acquisition Time	t_{DAQ}	—	14	—	ms
End of Data to Carrier Detect High	t_{DCH}	8	—	—	ms

TIMING DIAGRAM



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



RT	PWRUP	I_{DD}	OSC_{in}
1	1	1 µA MAX	DISABLE
0	1	2.4 mA TYP	ENABLE
X	0	6.2 mA TYP	ENABLE

Figure 1. I_{DD} Test Circuit

PIN DESCRIPTIONS

TI
Tip Input (Pin 1)

This input pin is normally connected to the tip side of the twisted pair. It is internally biased to 1/2 supply voltage when the device is in the power–up mode. This pin must be dc isolated from the line.

RI
Ring Input (Pin 2)

This input is normally connected to the ring side of the twisted pair. It is internally biased to 1/2 supply voltage when the device is in the power–up mode. This pin must be dc isolated from the line.

RDI1
Ring Detect Input 1 (Pin 3)

This input is normally coupled to one of the twisted pair wires through an attenuating network. It detects energy on the line and enables the oscillator and precision ring detection circuitry.

RDI2
Ring Detect Input 2 (Pin 4)

This input to the precision ring detection circuit is normally coupled to one of the twisted pair wires through an attenuating network. A valid ring signal as determined from this input sends the $\overline{RDO}$ (Pin 12) to a logic 0.

$\overline{RT}$
Ring Time (Pin 6)

An RC network may be connected to this pin. The RC time constant is chosen to hold this pin voltage below 2.2 V between the peaks of the ringing signal. $\overline{RT}$ is an internal power–up control and activates only the circuitry necessary to determine if the incoming ring is valid.

$\overline{PWRUP}$
Power Up (Pin 7)

A logic 0 on the $\overline{PWRUP}$ input causes the device to be in the active mode ready to demodulate incoming data. A logic 1 on this pin causes the device to be in the standby mode, if the $\overline{RT}$ input pin is at a logic 1. This pin may be controlled by $\overline{RDO}$ and $\overline{CDO}$ for auto power–up operation. For other applications, this pin may be controlled externally.

V_{SS}
Ground (Pin 8)

Ground return pin is typically connected to the system ground.

OSC_{out}
Oscillator Output (Pin 9)

This pin will have either a crystal or a ceramic resonator tied to it with the other end connected to OSC_{in}.

OSC_{in}
Oscillator Input (Pin 10)

This pin will have either a crystal or a ceramic resonator tied to it with the other end connected to OSC_{out}. OSC_{in} may also be driven directly from an appropriate external source.

CLKSIN
Clock Select Input (Pin 11)

A logic 1 on this input configures the device to accept either a 3.579 MHz or 3.6864 MHz crystal. A logic 0 on this pin configures the part to operate with a 455 kHz resonator.

For crystal and resonator specifications see Table 1.

$\overline{RDO}$
Ring Detect Out (Pin 12)

This open–drain output goes low when a valid ringing signal is detected. $\overline{RDO}$ remains low as long as the ringing signal remains valid. This signal can be used for auto power–up, when connected to Pin 7.

$\overline{CDO}$
Carrier Detect Output (Pin 13)

When low, this open drain output indicates that a valid carrier is present on the line. $\overline{CDO}$ remains low as long as the carrier remains valid. An 8 ms hysteresis is built in to allow for a momentary drop out of the carrier. $\overline{CDO}$ may be used in the auto power–up configuration when connected to $\overline{PWRUP}$.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DOR
Data Out Raw (Pin 14)

This pin presents the output of the demodulator whenever $\overline{CDO}$ is low. This data stream includes the alternate 1 and 0 pattern, and the 150 ms of marking, which precedes the data. At all other times, DOR is held high.

DOC
Data Out Cooked (Pin 15)

This output presents the output of the demodulator whenever $\overline{CDO}$ is low, and when an internal validation sequence has been successfully passed. The output does not include the alternate 1 and 0 pattern. At all other times, DOC is held high.

V_{DD}
Positive Power Supply (Pin 16)

The digital supply pin, which is connected to the positive side of the power supply.

APPLICATIONS INFORMATION

The MC14LC5447 has been designed to be one of the main functional blocks in products targeted for the CLASS (Custom Local Area Signaling Service) market. CLASS is a set of subscriber features now being presented to the consumer by the RBOCs (Regional Bell Operating Companies) and independent TELCOs. Among CLASS features, such as distinctive ringing and selective call forwarding, the subscriber will also have available a service known as Calling Number Delivery (CND) and message waiting. With these services, a subscriber will have the ability to display at a minimum, a message containing the phone number of the calling party, the date, and the time. A message containing only this information is known as a single format message, as shown in Figure 9. An extended message, known as multiple format message, can contain additional information as shown in Figure 10.

The interface should be arranged to allow simplex data transmission from the terminating central office, to the CPE (Customer Premises Equipment), only when the CPE is in an on–hook state. The data will be transmitted in the silent period between the first and second power ring after a voice path has been established.

The data signaling interface should conform to Bell 202, which is described as follows:

- Analog, phase coherent, frequency shift keying
- Logical 1 (Mark) = 1200 ± 12 Hz
- Logical 0 (Space) = 2200 ± 22 Hz
- Transmission rate = 1200 bps
- Application of data = serial, binary, asynchronous

The transmission level from the terminating C.O. will be – 13.5 dBm ± 1.0. The expected worst case attenuation through the loop is expected to be – 20 dB. The receiver therefore, should have a sensitivity of approximately – 34.5 dBm to handle the worst case installations.

Additional information on CLASS services can be obtained from:

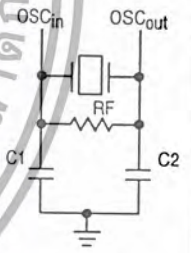
BELLCORE CUSTOMER SVS.
1–800–521–2673
201–699–5800 FOREIGN CALLS
201–699–0936 FAX
The document number is: TA–NWT–000030
Title: "Voice Band Data Transmission Interface Generic Requirements"

Figure 7 is a conceptual design of how the MC14LC5447 can be implemented into a product which will retrieve the incoming message and convert it to EIA–232 levels for transmission to the serial port of a PC. With this message and appropriate software, the PC can be used to look up the name and any additional information associated with the caller that had been previously stored.

Figure 8 is a conceptual design of an adjunct unit in parallel with an existing phone. This arrangement gives the subscriber CND service without having to replace existing equipment.

Table 1. Oscillator Specifications

Clock Select Pin 11 = 1	
Crystal Mode	Parallel
Frequency	3.579 MHz or 3.6864 MHz
R_f	10 MΩ
C1 and C2	30 pF
Source:	
Fox Electronics	
5570 Enterprise Pkwy.	
Ft. Myers, FL 33905	
Tel. 813–693–0099	
Clock Select Pin 11 = 0	
Resonator	#CSB455J
Frequency	455 kHz ± 0.5%
R_f	1.0 MΩ
C1 and C2	100 pF
Source:	
Murata Manufacturing Co. Ltd.	
2200 Lake Park Dr.	
Smyrna, GA 30080	
Tel. 404–436–1300	



NOTE: Motorola cannot recommend one supplier over another and in no way suggests that this is a complete listing.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DESIGN INFORMATION

The circuit in Figure 2 illustrates in greater detail the relationship between Pins 3, 4, 6, and 7.

The external component values shown in Figure 2 are the same as those shown in Figures 7 and 8. When V_{DD} is applied to the circuit in these two figures, the RC network will charge cap C1 to V_{DD} holding $\overline{RT}$ (Pin 6) off. If the $\overline{PWRUP}$ (Pin 7) is also held at V_{DD}, the MC14LC5447 will be in a power–down mode, and will consume 1 µA of supply current (max).

The resistor network (R2 – R4) attenuates the incoming power ring applied to the top of R2. The values given have been chosen to provide a sufficient voltage at RDI1 (Pin 3) to turn on the Schmitt–trigger input with approximately a 40 Vrms or greater power ring input from tip and ring. When V_{T+} of the Schmitt is exceeded, Q1 will be driven to saturation discharging cap C1 on $\overline{RT}$. This will initialize a partial power–up, with only the portions of the part involved with the ring signal analysis enabled, including RDI2 (Pin 4). At this time the MC14LC5447 power consumption is increased to approximately 2.4 mA (typ).

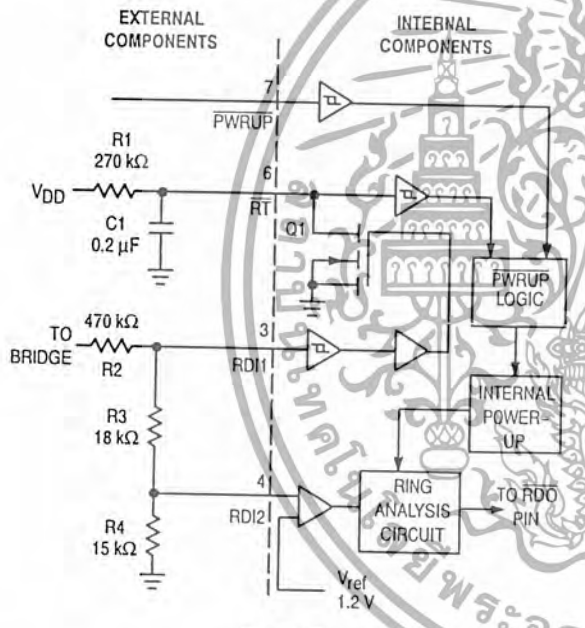


Figure 2.

The value of R1 and C1 must be chosen to hold the $\overline{RT}$ pin voltage below the V_{T+} of the $\overline{RT}$ Schmitt between the individual cycles of the power ring. The values shown will work for ring frequencies of 15.3 Hz (min).

With RDI2 now enabled, a portion of the power ring above 1.2 V is fed to the ring analysis circuit. This circuit is a digital integrator which looks at the duty cycle of the incoming signal. When the input to RDI2 is above 1.2 V, the integrator is counting up at an 800 Hz rate. When the input to RDI2 falls below 1.2 V, the integrator counts down at a 400 Hz rate.

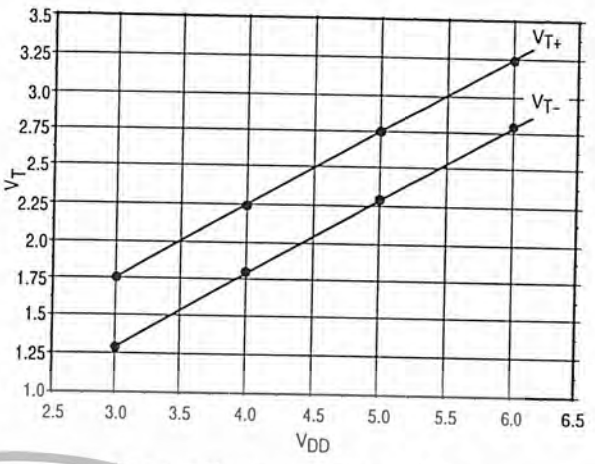


Figure 3. V_{DD} versus V_{T+} and V_{T-}

A ring is qualified when an internal count of binary 48 is reached. The ring is disqualified when the count drops to a binary 32. The number of ring cycles required to qualify the signal will depend on the amplitude of the voltage presented to RDI2. The shortest amount of time needed to do the qualification is approximately 60 ms. The shortest amount of time required for dequalification will be approximately 40 ms.

Once the ring signal is qualified, the $\overline{RDO}$ pin will be sent low. This can be fed back to $\overline{PWRUP}$ as shown in Figure 7, or with a pull–up resistor, can be used as an interrupt to an MCU as shown in Figure 8. In either case, once the $\overline{PWRUP}$ pin is below V_{T-}, the part will be fully powered up, and ready to receive FSK. During this mode, the device current will increase to approximately 6.2 mA (typ). The state of the $\overline{RT}$ pin is now a "don't care" as far as the part is concerned. Normally, however, this pin will be allowed to return to V_{DD}.

After the FSK message has been received, the $\overline{PWRUP}$ pin can be allowed to return to V_{DD} and the part will return to the standby mode, consuming less than 1 µA of supply current. The part is now ready to repeat the same sequence for the next incoming message.

TYPICAL DEMODULATOR PERFORMANCE

The following describes the performance of the MC14LC5447 demodulator in the presence of noise over a simulated Bell 3002 telephone loop.

The Bell 3002 loop represents a worst case local telephone loop in North America. The characteristics of this loop, which affect performance, are high frequency attenuation and Envelope Delay Distortion (EDD) or group delay.

The minimum receiver sensitivity of the MC14LC5447 under these conditions is typically – 45 dBm.

The MC14LC5447 achieves a Bit Error Rate (BER) of 1×10^{-5} at a Signal–to–Noise Ratio (SNR) of 15 dB in V.23 operation and at an SNR of 18 dB in Bell 202 operation (see Figures 4 and 5).

All measurements in dBm are referenced to 600 Ω: 0 dBm = 0.7746 Vrms.

All measurements were taken using the MC145460EVK evaluation board.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

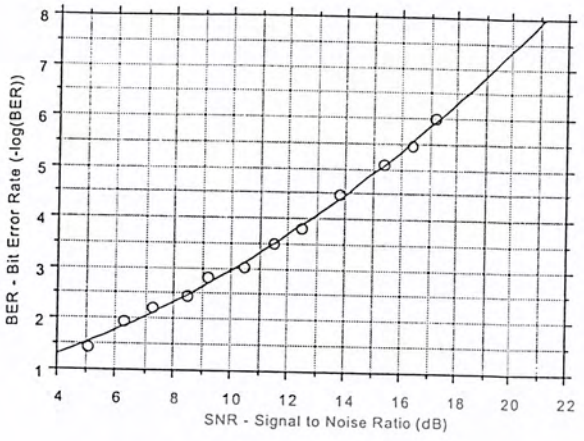


Figure 4. MC14LC5447 V.23 Operation
(Typical BER vs SNR)

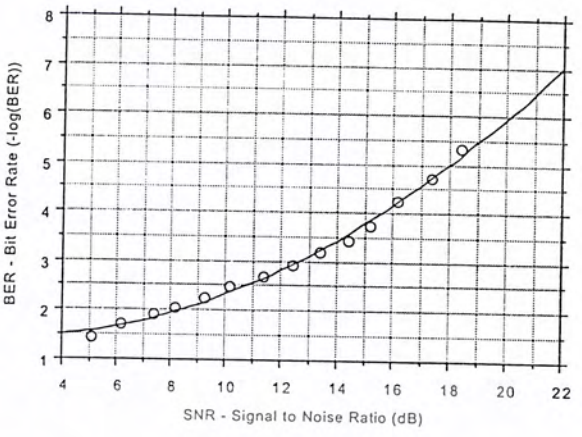


Figure 5. MC14LC5447 Bell 202 Operation
(Typical BER vs SNR)

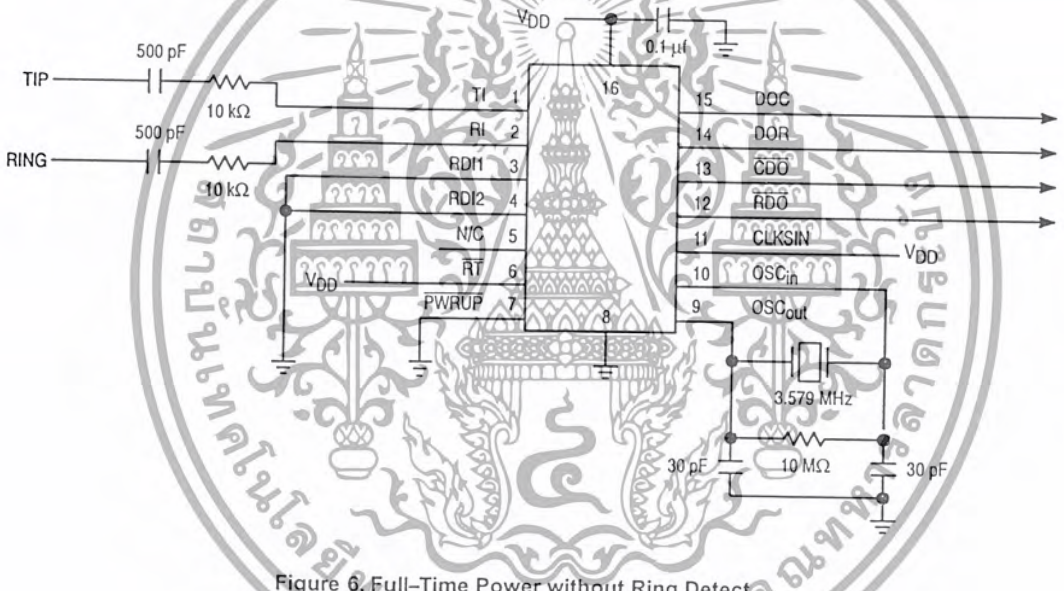
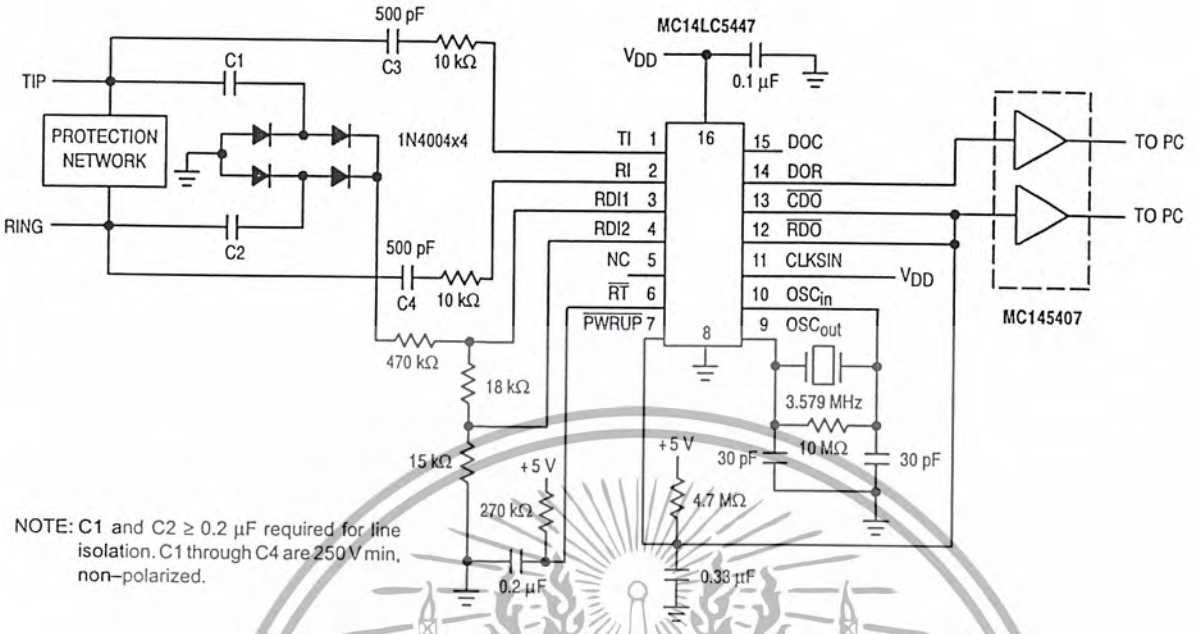


Figure 6. Full–Time Power without Ring Detect

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

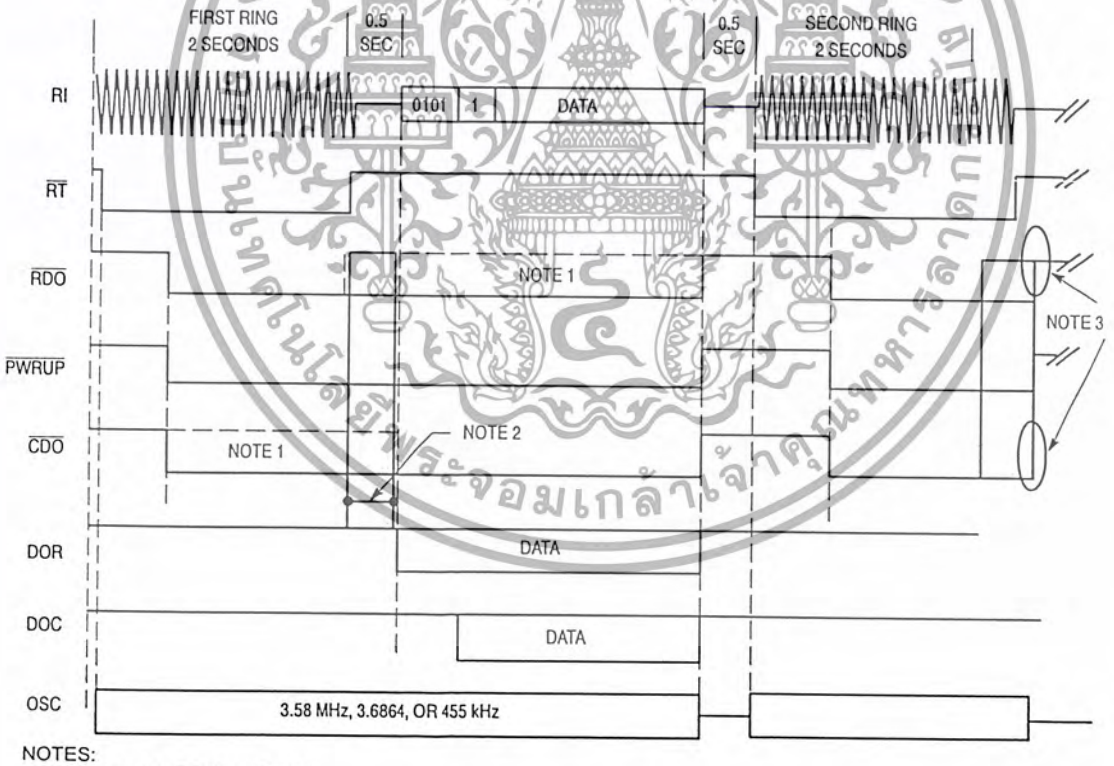
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

APPLICATION CIRCUIT



NOTE: C1 and C2 ≥ 0.2 µF required for line isolation. C1 through C4 are 250 V min, non–polarized.

Figure 7. Partial Implementation of PC Interface to Tip and Ring



NOTES:
1. Wired 'OR' RDO with CDO.
2. Overlap of RDO edge with CDO edge to ensure part stays in PWRUP determined by RC time constant on RDO, PWRUP, and CDO pin.
3. Part reverts to PWR ON, on rising edge of RDO since there is no CDO.

Timing Diagram for Figure 7

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

APPLICATION CIRCUIT

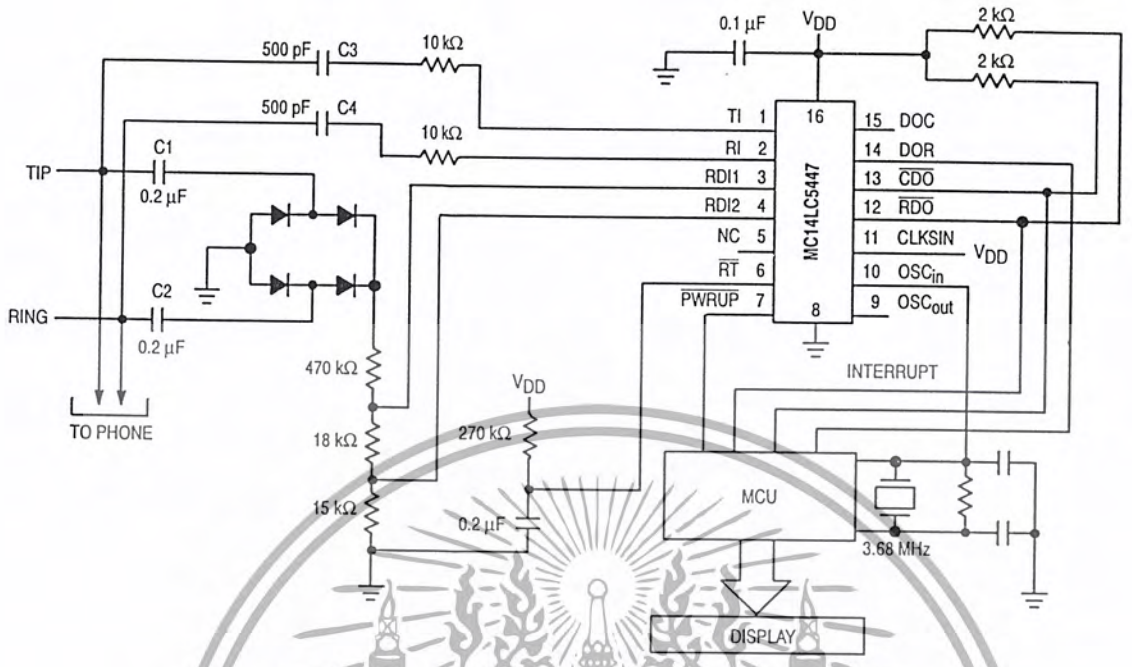
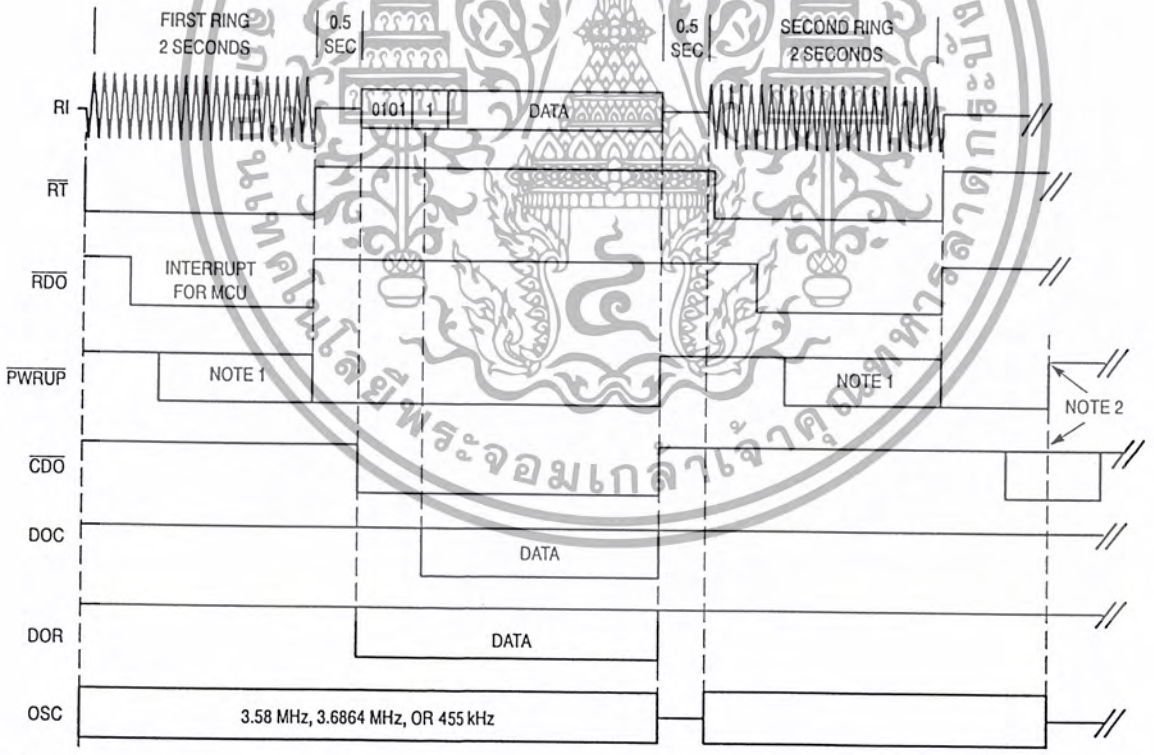


Figure 8. Adjunct Box Concept for Calling Number Display



NOTES:
1. MCU must assert $\overline{\text{PWRUP}}$ to MC14LC5447.
2. No data detected, MCU powers down the MC14LC5447.

Timing Diagram for Figure 8

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

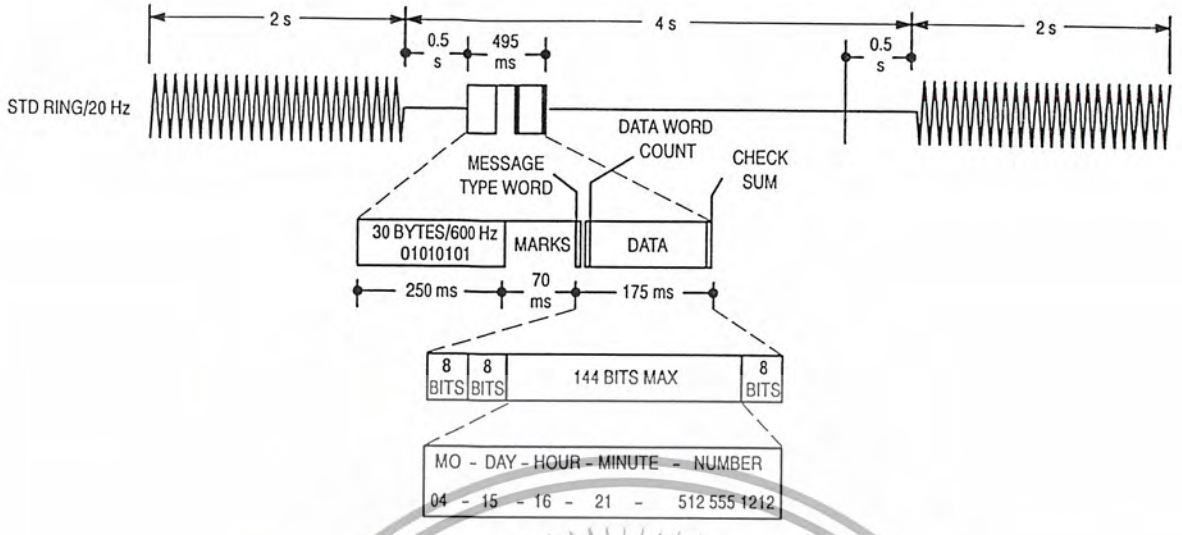


Figure 9. Single Message Format

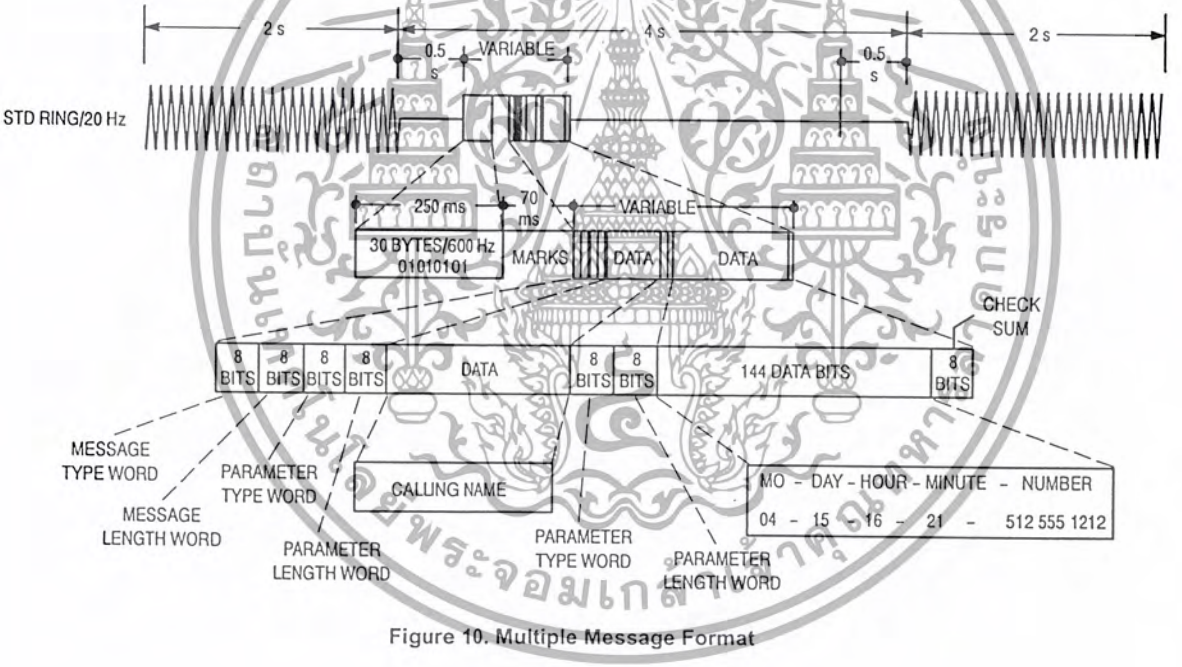
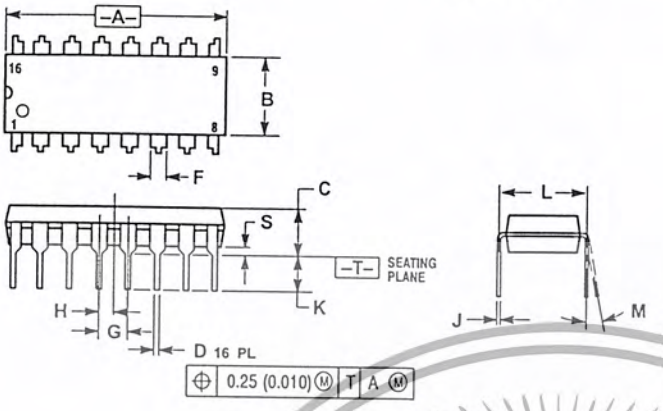


Figure 10. Multiple Message Format

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PACKAGE DIMENSIONS

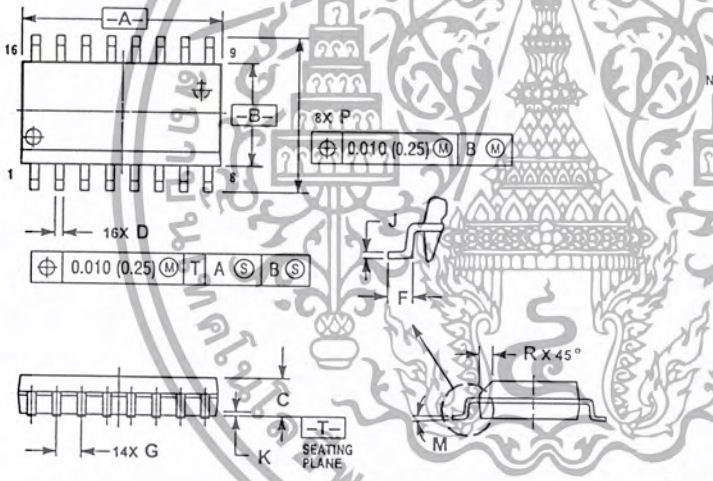
P SUFFIX
PLASTIC DIP
CASE 648–08



NOTES:
1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982.
2. CONTROLLING DIMENSION: INCH.
3. DIMENSION L TO CENTER OF LEADS WHEN FORMED PARALLEL.
4. DIMENSION B DOES NOT INCLUDE MOLD FLASH.
5. ROUNDED CORNERS OPTIONAL.

	INCHES		MILLIMETERS	
DIM	MIN	MAX	MIN	MAX
A	0.740	0.770	18.80	19.55
B	0.250	0.270	6.35	6.85
C	0.145	0.175	3.69	4.44
D	0.015	0.021	0.39	0.53
F	0.040	0.70	1.02	1.77
G	0.100 BSC		2.54 BSC	
H	0.050 BSC		1.27 BSC	
J	0.008	0.015	0.21	0.38
K	0.110	0.130	2.80	3.30
L	0.295	0.305	7.50	7.74
M	0°	10°	0°	10°
S	0.020	0.040	0.51	1.01

DW SUFFIX
SOG PACKAGE
CASE 751G–02



NOTES:
1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982.
2. CONTROLLING DIMENSION: MILLIMETER.
3. DIMENSIONS A AND B DO NOT INCLUDE MOLD PROTRUSION.
4. MAXIMUM MOLD PROTRUSION 0.15 (0.006) PER SIDE.
5. DIMENSION D DOES NOT INCLUDE DAMBAR PROTRUSION. ALLOWABLE DAMBAR PROTRUSION SHALL BE 0.13 (0.005) TOTAL IN EXCESS OF D DIMENSION AT MAXIMUM MATERIAL CONDITION.

	MILLIMETERS		INCHES	
DIM	MIN	MAX	MIN	MAX
A	10.15	10.45	0.400	0.411
B	7.40	7.60	0.292	0.299
C	2.35	2.65	0.093	0.104
D	0.35	0.49	0.014	0.019
F	0.50	0.90	0.020	0.035
G	1.27 BSC		0.050 BSC	
J	0.25	0.32	0.010	0.012
K	0.10	0.25	0.004	0.009
M	0°	7°	0°	7°
P	10.05	10.55	0.395	0.415
R	0.25	0.75	0.010	0.029

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PC817 Series

High Density Mounting Type Photocoupler

※ Lead forming type (I type) and taping reel type (P type) are also available. (PC817I/PC817P)
※※ TÜV (VDE0884) approved type is also available as an option.

■ Features

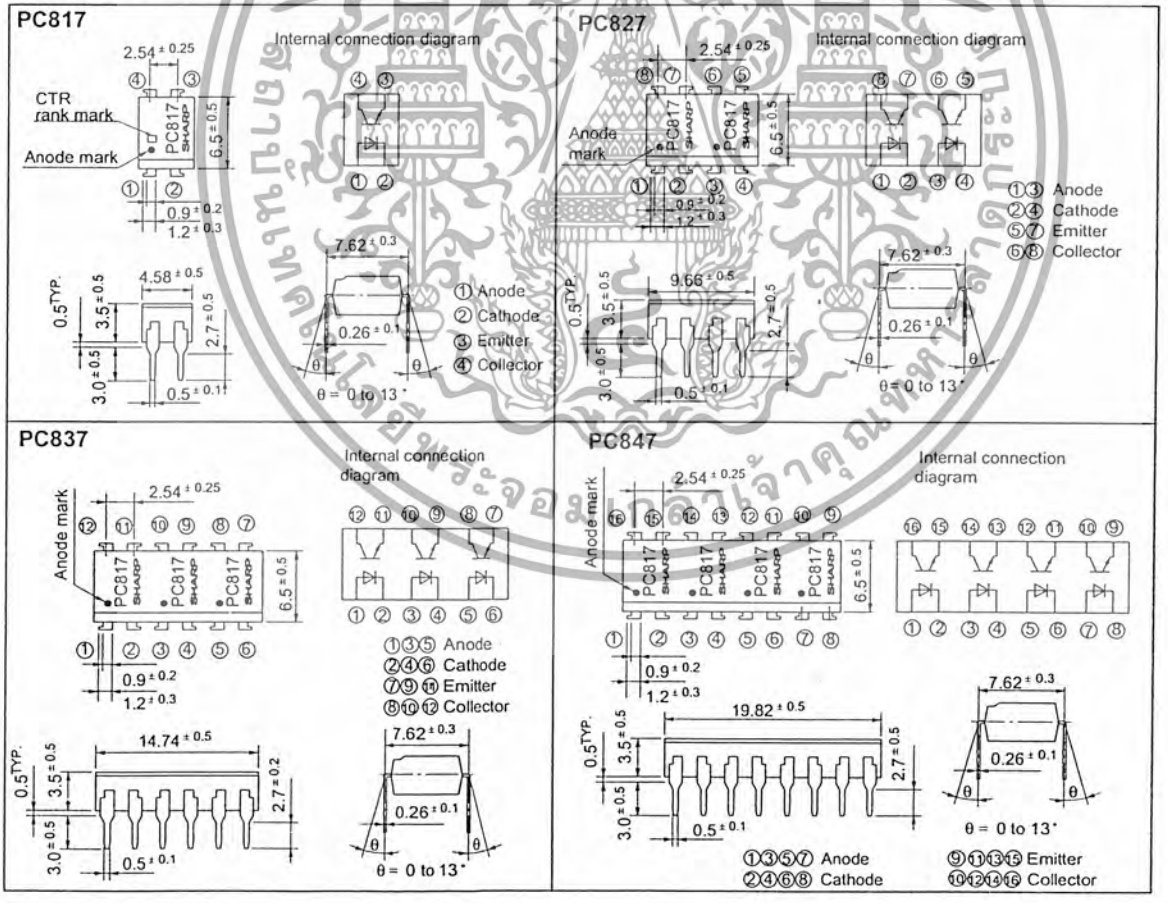
1. Current transfer ratio
   (CTR: MIN. 50% at I_F = 5mA ,V_{CE}=5V)
2. High isolation voltage between input and output (V_{iso} : 5 000V_{rms})
3. Compact dual-in-line package
   PC817 : 1-channel type
   PC827 : 2-channel type
   PC837 : 3-channel type
   PC847 : 4-channel type
4. Recognized by UL, file No. E64380

■ Applications

1. Computer terminals
2. System appliances, measuring instruments
3. Registers, copiers, automatic vending machines
4. Electric home appliances, such as fan heaters, etc.
5. Signal transmission between circuits of different potentials and impedances

■ Outline Dimensions

(Unit : mm)



" In the absence of confirmation by device specification sheets, SHARP takes no responsibility for any defects that occur in equipment using any of SHARP's devices, shown in catalogs, data books, etc. Contact SHARP in order to obtain the latest version of the device specification sheets before using any SHARP's device."

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

■ Absolute Maximum Ratings (Ta= 25°C)

Parameter		Symbol	Rating	Unit
Input	Forward current	I_F	50	mA
	*1Peak forward current	I_{FM}	1	A
	Reverse voltage	V_R	6	V
	Power dissipation	P	70	mW
Output	Collector-emitter voltage	V_{CEO}	35	V
	Emitter-collector voltage	V_{ECO}	6	V
	Collector current	I_C	50	mA
	Collector power dissipation	P_C	150	mW
Total power dissipation		P_{tot}	200	mW
*2Isolation voltage		V_{iso}	5 000	V_{rms}
Operating temperature		T_{opr}	- 30 to + 100	°C
Storage temperature		T_{stg}	- 55 to + 125	°C
*3Soldering temperature		T_{sol}	260	°C

*1 Pulse width <=100μs, Duty ratio : 0.001
*2 40 to 60% RH, AC for 1 minute
*3 For 10 seconds

■ Electro-optical Characteristics (Ta= 25°C)

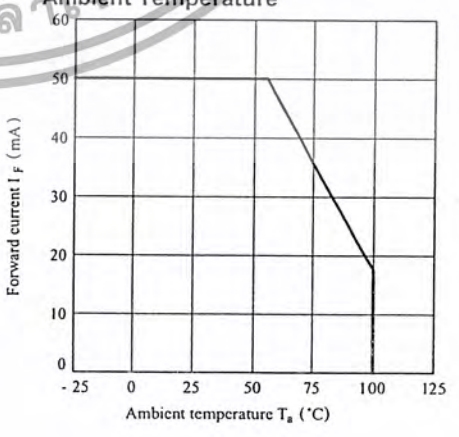
Parameter			Symbol	Conditions	MIN.	TYP.	MAX.	Unit
Input	Forward voltage		V_F	I_F = 20mA	-	1.2	1.4	V
	Peak forward voltage		V_{FM}	I_{FM} = 0.5A	-	-	3.0	V
	Reverse current		I_R	V_R = 4V	-	-	10	μA
	Terminal capacitance		C_t	V= 0, f= 1kHz	-	30	250	pF
Output	Collector dark current		I_{CEO}	V_{CE} = 20V	-	-	10^{-7}	A
Transfer characteristics	*4Current transfer ratio		CTR	I_F = 5mA, V_{CE} = 5V	50	-	600	%
	Collector-emitter saturation voltage		$V_{CE(sat)}$	I_F = 20mA, I_C = 1mA	-	0.1	0.2	V
	Isolation resistance		R_{ISO}	DC500V, 40 to 60% RH	5×10^{10}	10^{11}	-	Ω
	Floating capacitance		C_f	V= 0, f= 1MHz	-	0.6	1.0	pF
	Cut-off frequency		f_c	V_{CE} =5V, I_C = 2mA, R_L = 100Ω, -3dB	-	80	-	kHz
	Response time	Rise time	t_r	V_{CE} = 2V, I_C = 2mA, R_L = 100Ω	-	4	18	μs
		Fall time	t_f		-	3	18	μs

*4 Classification table of current transfer ratio is shown below.

Model No.	Rank mark	CTR (%)
PC817A	A	80 to 160
PC817B	B	130 to 260
PC817C	C	200 to 400
PC817D	D	300 to 600
PC8✻7AB	A or B	80 to 260
PC8✻7BC	B or C	130 to 400
PC8✻7CD	C or D	200 to 600
PC8✻7AC	A, B or C	80 to 400
PC8✻7BD	B, C or D	130 to 600
PC8✻7AD	A, B, C or D	80 to 600
PC8✻7	A, B, C, D or No mark	50 to 600

✻ : 1 or 2 or 3 or 4

Fig. 1 Forward Current vs. Ambient Temperature



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Fig. 2 Collector Power Dissipation vs. Ambient Temperature

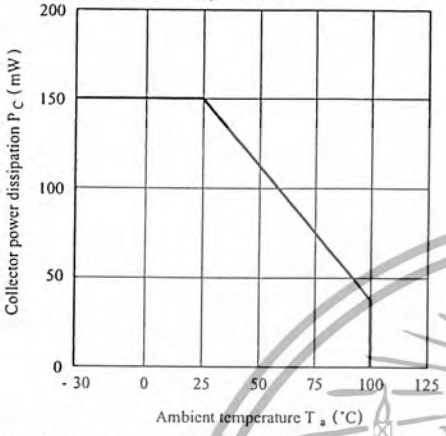


Fig. 3 Peak Forward Current vs. Duty Ratio

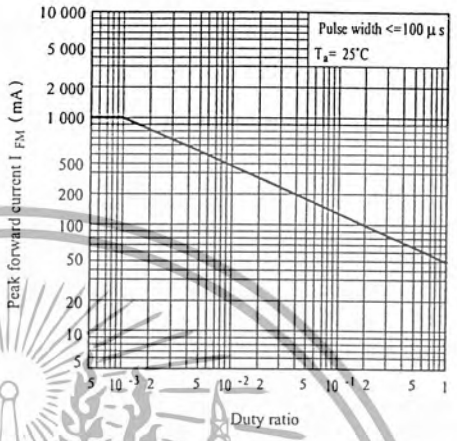


Fig. 4 Current Transfer Ratio vs. Forward Current

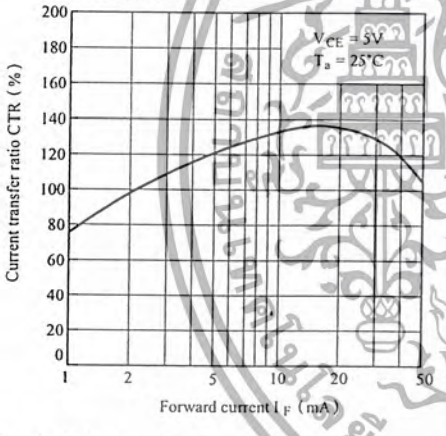


Fig. 5 Forward Current vs. Forward Voltage

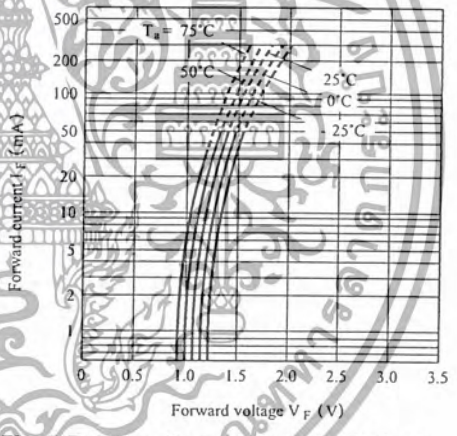


Fig. 6 Collector Current vs. Collector-emitter Voltage

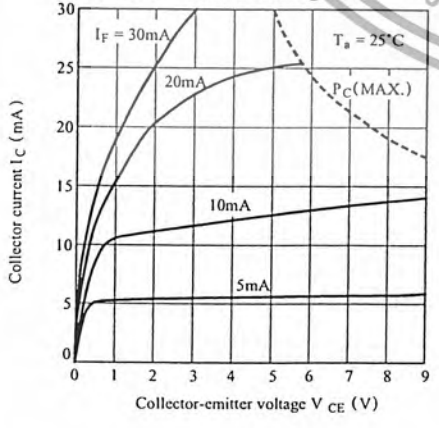
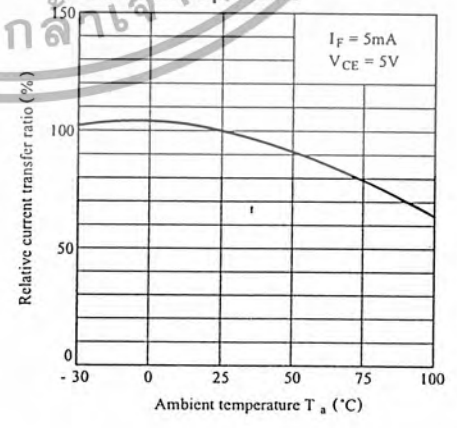


Fig. 7 Relative Current Transfer Ratio vs. Ambient Temperature



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Fig. 8 Collector-emitter Saturation Voltage vs. Ambient Temperature

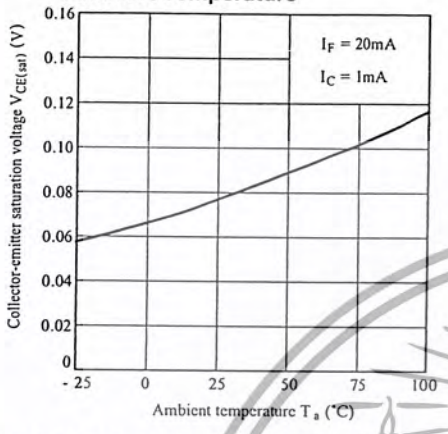


Fig. 9 Collector Dark Current vs. Ambient Temperature

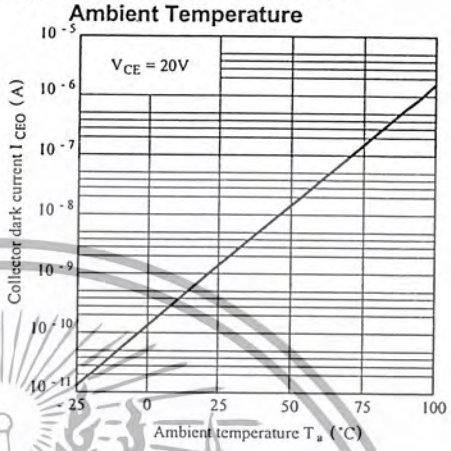


Fig.10 Response Time vs. Load Resistance

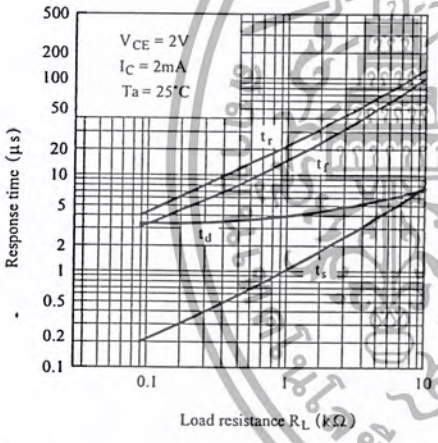
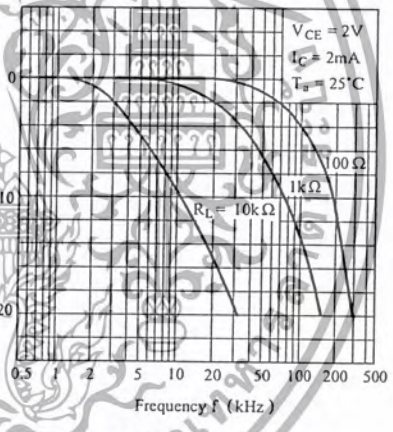
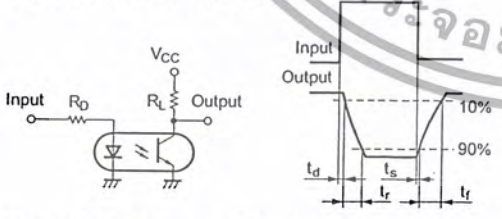


Fig.11 Frequency Response



Test Circuit for Response Time



Test Circuit for Frepuency Response

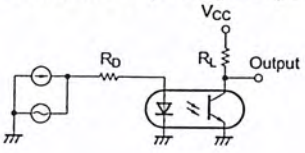
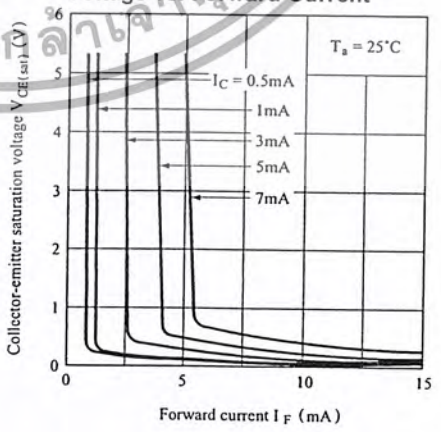


Fig.12 Collector-emitter Saturation Voltage vs. Forward Current



● Please refer to the chapter "Precautions for Use"

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้