สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

เครื่องมอดูเลชั่นและดีมอดูชั่นแบบ BPSK

BPSK MODULATION AND DEMODULATION

T 050395

โดย

นายคณิตศาสตร์ ประสมศรี

นายเชษฐา สุวรรณโชติ

โครงงานนี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาตรีอุตสาหกรรมศาสตรบัณฑิต

สาขาวิชาเทคโนโลยีอิเล็กทรอนิกส์

ภาควิชาเทคนิคอุตสาหกรรม

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2545

เลขหมู่.....
เลขทะเบียน 50395
วัน,เดือน,ปี 13 พ.ค. 2547
.b.....
.i.....

เอกสารนี้เป็นสิ่งสงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น ทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เครื่องมอดูเลชั่นและดีมอดูชั่นแบบ BPSK

BPSK MODULATION AND DEMODULATION

โดย

นายคณิตศาสตร์ ประสมศรี รหัส 43015764

นายเชษฐา สุวรรณโชติ รหัส 43015770

อาจารย์ที่ปรึกษา

รศ.ดร. กนก เจนจิระพงศ์เวช

โครงงานนี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาตรีอุตสาหกรรมศาสตรบัณฑิต

สาขาวิชาเทคโนโลยีอิเล็กทรอนิกส์

ภาควิชาเทคนิคอุตสาหกรรม

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2545

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อปริญญานิพนธ์	เครื่องมอดูเลชั่น และดีมอดูเลชั่นแบบ BPSK
	BPSK MODULATION AND DEMODULATION
นักศึกษา	นายคณิตศาสตร์ ประสมศรี เลขประจำตัว 43015764
	นายเชษฐา สุวรรณโชติ เลขประจำตัว 43015770
อาจารย์ที่ปรึกษา	รศ.ดร.กนก เจนจิระพงศ์เวช
ภาควิชา	เทคนิคอุตสาหกรรม
ปีการศึกษา	2545

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง อนุมัติให้นับปริญญานิพนธ์ฉบับนี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรอุตสาหกรรมศาสตรบัณฑิต

_____ อาจารย์ที่ปรึกษา
(รศ.ดร.กนก เจนจิระพงศ์เวช)

_____ กรรมการ
( )

_____ กรรมการ
( )

_____ กรรมการ
( )

ลิขสิทธิ์ของคณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อปริญญานิพนธ์	เครื่องมอดูเลชั่น และดีมอดูเลชั่นแบบ BPSK
	BPSK MODULATION AND DEMODULATION
นักศึกษา	นายคณิตศาสตร์ ประสมศรี เลขประจำตัว 43015764
	นายเชษฐา สุวรรณโชติ เลขประจำตัว 43015770
อาจารย์ที่ปรึกษา	รศ.ดร.กนก เจนจิระพงศ์เวช
ภาควิชา	เทคนิคอุตสาหกรรม
ปีการศึกษา	2545

บทคัดย่อ

โครงงานนี้เสนอการออกแบบเครื่องมอดูเลชั่น และดีมอดูเลชั่น แบบ BPSK เพื่อใช้เป็นชุดฝึกการสื่อสารเชิงตัวเลข วงจรประกอบไปด้วยภาคมอดูเลชั่น กับภาคดีมอดูเลชั่น

ในภาคมอดูเลชั่น มีส่วนประกอบหลัก ๆ คือ ภาคกำเนิดสัญญาณพาหะ และภาคการรวมสัญญาณทางเฟส ในภาคกำเนิดสัญญาณพาหะจะสร้างสัญญาณพาหะรูปซายน์จากสัญญาณนาฬิกา ซึ่งมีความถี่น้อยกว่าสัญญาณนาฬิกาอยู่ร้อยเท่า สำหรับภาคการรวมสัญญาณทางเฟสจะทำการกลับเฟสของสัญญาณพาหะตามสัญญาณข้อมูล ซึ่งจะกำเนิดเป็นสัญญาณ BPSK

สำหรับในภาคดีมอดูเลชั่น จุดสำคัญเป็นการสร้างสัญญาณพาหะ โดยใช้วงจรเฟสล็อกลูปมาใช้ในการถอดสัญญาณข้อมูลออกมา ซึ่งใช้วงจรเฟสล็อกลูปชนิดที่รู้จักกันว่าคอสตาสลูป เพื่อรักษาความถี่ของสัญญาณพาหะ ที่สร้างขึ้นมาใหม่ ให้ล็อกกับความถี่ของสัญญาณ BPSK จากนั้นสัญญาณข้อมูลจะถูกถอดออกมาจากการรวมสัญญาณ BPSK กับสัญญาณพาหะที่สร้างขึ้นมา และถูกปรับแต่งรูปร่างให้ได้สัญญาณข้อมูลที่สมบูรณ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Thesis Title	เครื่องมอดูเลชั่น และดีมอดูเลชั่นแบบ BPSK BPSK MODULATION AND DEMODULATION
Student	Mr.Canitsad Prasomsri ID 43015764 Mr.Chatta Suwannachot ID 43015770
Advisor	Assoc.Prof. Dr.Kanok Jenjirapongwed
Department	Industrial Technology
Academic Year	2545

Abstract

This project presents the design of modulation and demodulation of BPSK used for educational purpose. The circuit consists of BPSK modulator and BPSK demodulator.

The BPSK modulator part consists mainly of a carrier generator and a phase modulator. The carrier generator produces a sinusoidal carrier from a clock signal. The frequency of this carrier is one hundred times smaller than the frequency of the clock signal. The phase modulator reverses the phase of the carrier according to the data to be transmitted in order to generate the BPSK signal.

For the BPSK demodulator is essentially a carrier restorer using a PLL to detect a data signal. This kind of PLL is known as a Costas loop to keep frequency of a carrier that lock with frequency of BPSK signal. Then a data signal is detected from multiplexing between BPSK signal with carrier. And the data signal is adjusted by Shaper to a complete signal.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คำนำ

โครงงานชิ้นนี้ จัดทำขึ้นโดยมีวัตถุประสงค์เพื่อใช้เป็นเครื่องศึกษาและทดลองเกี่ยวกับการมอดูเลทชั่นและดีมอดูเลทชั่นสัญญาณ แบบ BPSK ใช้เพื่อศึกษาการทำงานของวงจรภาคต่าง ๆ ลักษณะของรูปคลื่นสัญญาณ เพื่อนำไปเป็นอุปกรณ์ช่วยในการฝึกสอน หรืออุปกรณ์การศึกษาในเรื่องของ BPSK คณะผู้จัดทำหวังเป็นอย่างยิ่งว่าโครงงานชิ้นนี้จะถูกนำไปใช้ประโยชน์ไม่ว่าในด้านใดให้เกิดประโยชน์ต่อผู้ใช้สูงสุด โดยเนื้อหาและรายละเอียดอาจบกพร่องไปตามคุณวุฒิและวัยวุฒิของผู้จัดทำ ซึ่งน้อมรับที่จะนำไปปรับปรุงแก้ไขตามคำแนะนำต่อไป

คณะผู้จัดทำ

นาย คณิตศาสตร์ ประสมศรี

นายเชษฐา สุวรรณโชติ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

บทที่ 1 บทนำ 1

1.1 จุดมุ่งหมาย 1

1.2 แนวคิดและที่มา 1

1.3 ขอบเขตการทำงาน 1

1.4 ประโยชน์หรือผลที่คาดว่าจะได้รับ 2

บทที่ 2 ทฤษฎีและหลักการทั่วไป 3

2.1 กล่าวนำ 3

2.2 การมอดูเลทแบบเปลี่ยนเฟสของสัญญาณคลื่นพาห์ 5

2.3 BPSK Modulator 5

2.4 BPSK Demodulator 8

2.5 โคฮีเรนดีเทคชัน 9

2.6 ทฤษฎีเฟสล็อกลูป 10

บทที่ 3 การดำเนินงาน 21

3.1 เครื่องมอดูเลชั่นแบบ BPSK 21

3.2 เครื่องดีมอดูเลชั่นแบบ BPSK 24

บทที่ 4 การทดลอง และผลการทดลอง 29

4.1 เครื่องมอดูเลชั่นแบบ BPSK 29

4.2 เครื่องดีมอดูเลชั่นแบบ BPSK 39

บทที่ 5 สรุปผลและวิจารณ์ 51

หนังสืออ้างอิง

ภาคผนวก

กิตติกรรมประกาศ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูปภาพ

บทที่ 2

รูปที่ 2.1 รูปคลื่นของการมอดูเลทแบบ ASK 3

รูปที่ 2.2 รูปคลื่นของการมอดูเลทแบบ FSK 4

รูปที่ 2.3 รูปคลื่นของการมอดูเลทแบบ PSK 4

รูปที่ 2.4 Block Diagram การมอดูเลทสัญญาณแบบ BPSK 5

รูปที่ 2.5 สัญญาณเอาท์พุทของแต่ละ block ของ BPSK Moulator 6

รูปที่ 2.6 ความสัมพันธ์ของเฟสเอาท์พุทเทียบกับเวลา 7

รูปที่ 2.7 Block Diagram ของ BPSK Demodulator 8

รูปที่ 2.8 บล็อกไดอะแกรมของ coherent demodulator 9

รูปที่ 2.9 วงจรพื้นฐานของเฟสล็อกลูป 10

รูปที่ 2.10 แบบจำลองเฟสล็อกลูป 11

รูปที่ 2.11 วงจรกรองแบบพาสซีฟ และแอคทีฟ 12

รูปที่ 2.12 วงจรอนาล็อกเฟสดีเทคเตอร์ 15

รูปที่ 2.13 คุณสมบัติโอนย้ายของอนาล็อกเฟสดีเทคเตอร์ 15

รูปที่ 2.14 โครงสร้างของวงจรเฟสฟรีเควนซีดีเทคเตอร์ 16

รูปที่ 2.15 ผังเวลาของเฟสฟรีเควนซีดีเทคเตอร์ในช่วงเวลาต่าง ๆ 17

รูปที่ 2.16 คุณสมบัติโอนย้ายของเฟสดีเทคเตอร์ 18

รูปที่ 2.17 พิสัยล็อก, พิสัยพูลอิน, พิสัยแคปเจอร์ 18

รูปที่ 2.18 โครงสร้าง PLL สำหรับการสังเคราะห์ความถี่ 19

บทที่ 3

รูปที่ 3.1 บล็อกไดอะแกรมของเครื่องมอดูเลชั่นแบบ BPSK 21

รูปที่ 3.2 รูปสัญญาณลักษณะการมอดูเลทสัญญาณตามจุดต่าง ๆ 22

รูปที่ 3.3 วงจร BPSK Modulation ที่ทำการออกแบบ 23

รูปที่ 3.4 บล็อกไดอะแกรมของเครื่องดีมอดูเลชั่นแบบ BPSK 24

รูปที่ 3.5 รูปสัญญาณลักษณะการดีมอดูเลทสัญญาณตามจุดต่าง ๆ 25

รูปที่ 3.6 วงจร BPSK Demodulation ที่ทำการออกแบบ 26

รูปที่ 3.8 รูปแผ่นวงจร ของ BPSK Modulation 27

รูปที่ 3.9 รูปแผ่นวงจร ของ BPSK Demodulation 28

บทที่ 4

รูปที่ 4.1 ch1 = สัญญาณ data : ch2 = สัญญาณ test point 1 29

รูปที่ 4.2 ch1 = สัญญาณ clock : ch2 = สัญญาณ test point 2 30

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 4.3 ch1 = สัญญาณ data : ch2 = สัญญาณ test point 3 30
รูปที่ 4.4 สัญญาณ test point 4 31
รูปที่ 4.5 สัญญาณ test point 5 31
รูปที่ 4.6 ch1 = สัญญาณ test point 1 : ch2 = สัญญาณ test point 6 32
รูปที่ 4.7 ch1 = สัญญาณ test point 1 : ch2 = สัญญาณ test point 7 32
รูปที่ 4.8 ch1 = สัญญาณ test point 1 : ch2 = สัญญาณ test point 8 33
(ปรับ B.W. Max)
รูปที่ 4.9 ch1 = สัญญาณ test point 1 : ch2 = สัญญาณ test point 8 33
(ปรับ B.W. Min)
รูปที่ 4.10 ch1 = สัญญาณ data : ch2 = สัญญาณ test point 1 34
รูปที่ 4.11 ch1 = สัญญาณ clock : ch2 = สัญญาณ test point 2 35
รูปที่ 4.12 ch1 = สัญญาณ data : ch2 = สัญญาณ test point 3 35
รูปที่ 4.13 สัญญาณ test point 4 36
รูปที่ 4.14 สัญญาณ test point 5 36
รูปที่ 4.15 ch1 = สัญญาณ test point 1 : ch2 = สัญญาณ test point 6 37
รูปที่ 4.16 ch1 = สัญญาณ test point 1 : ch2 = สัญญาณ test point 7 37
รูปที่ 4.17 ch1 = สัญญาณ test point 1 : ch2 = สัญญาณ test point 8 38
(ปรับ B.W. Max)
รูปที่ 4.18 ch1 = สัญญาณ test point 1 : ch2 = สัญญาณ test point 8 38
(ปรับ B.W. Min)
รูปที่ 4.19 ch1 = สัญญาณ phase in : ch2 = สัญญาณ test point 1 39
รูปที่ 4.20 ch1 = สัญญาณ test point 2 : ch2 = สัญญาณ test point 3 40
รูปที่ 4.21 ch1 = สัญญาณ phase in : ch2 = สัญญาณ test point 4 40
รูปที่ 4.22 ch1 = สัญญาณ phase in : ch2 = สัญญาณ test point 5 41
รูปที่ 4.23 สัญญาณ test point 6 41
รูปที่ 4.24 ch1 = สัญญาณ phase in : ch2 = สัญญาณ test point 7 42
รูปที่ 4.25 ch1 = สัญญาณ phase in : ch2 = สัญญาณ test point 8 42
รูปที่ 4.26 ch1 = สัญญาณ data : ch2 = สัญญาณ test point 8 43
รูปที่ 4.27 ch1 = สัญญาณ data : ch2 = สัญญาณ data output 43
รูปที่ 4.28 ch1 = สัญญาณ data : ch2 = สัญญาณ data output : ch3 = phase in 44
รูปที่ 4.29 ch1 = สัญญาณ phase in : ch2 = สัญญาณ test point 1 45

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 4.30 ch1 = สัญญาณ test point 2 : ch2 = สัญญาณ test point 3 46
รูปที่ 4.31 ch1 = สัญญาณ phase in : ch2 = สัญญาณ test point 4 46
รูปที่ 4.32 ch1 = สัญญาณ phase in : ch2 = สัญญาณ test point 5 47
รูปที่ 4.33 สัญญาณ test point 6 47
รูปที่ 4.34 ch1 = สัญญาณ phase in : ch2 = สัญญาณ test point 7 48
รูปที่ 4.35 ch1 = สัญญาณ phase in : ch2 = สัญญาณ test point 8 48
รูปที่ 4.36 ch1 = สัญญาณ data : ch2 = สัญญาณ test point 8 49
รูปที่ 4.37 ch1 = สัญญาณ data : ch2 = สัญญาณ data output 49
รูปที่ 4.38 ch1 = สัญญาณ data : ch2 = สัญญาณ data output : ch3 = phase in 50

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ
เครื่องมอดูเลชั่นและดีมอดูเลชั่นแบบ BPSK
BPSK MODULATION AND DEMODULATION

1.1 จุดมุ่งหมาย

เพื่อศึกษาการสร้างเครื่องมือที่ใช้ในการรวมสัญญาณเข้ากับคลื่นพาห์และการถอดสัญญาณออกจากคลื่นพาห์ในแบบ BPSK ได้ รวมถึงศึกษาลักษณะของการมอดดูเลชั่นและดีมอดูเลชั่นแบบ BPSK ด้วย

1.2 แนวคิดและที่มา

เนื่องจากการมอดูเลชั่นและดีมอดูเลชั่นแต่เดิม ตามรูปแบบต่าง ๆ มีประสิทธิภาพสัญญาณที่ได้ออกมาไม่ดีเท่าที่ควร โดยมีผลมาจากสาเหตุต่าง ๆ หลายอย่างประกอบเข้าด้วยกัน อาทิ มีสัญญาณรบกวนมาก การมอดูเลชั่นโดยนำเอาสัญญาณดิจิตอลซึ่งเป็นสัญญาณข่าวสารมาทำการมอดูเลชั่นเป็นวิธีหนึ่งที่จะทำให้สัญญาณที่ได้จากการมอดูเลชั่นมีการผิดเพี้ยนอันเกิดมาจากสัญญาณรบกวนลดน้อยลง จึงใช้การมอดูเลชั่นและดีมอดูเลชั่นในแบบ BPSK ซึ่งเป็นการนำสัญญาณดิจิตอล แบบไบนารี่เป็นสัญญาณข่าวสาร เพื่อปรับปรุงประสิทธิภาพในการมอดูเลชั่นและดีมอดูเลชั่นให้ดีขึ้น

1.3 ขอบเขตการทำงาน

BPSK Modulator

- สัญญาณนาฬิกา (Clock Input)
  - ระดับสัญญาณ(Level) TTL
  - ความถี่(f_{clk}) 20 kKz – 1MHz
- สัญญาณอินพุท(Data Input)
  - ระดับสัญญาณ(Level) TTL
  - Bit Rate 100 bits/s – 5 kbits/s
- Phase Modulator Output
  - ความต้านทาน(Impedance) 600 Ω
  - ระดับ (Level with no load) 2 V peak
- BPSK Output
  - ความต้านทาน(Impedance) 600 Ω
  - ระดับ (Level with no load) 0-10 V peak

เอกสารนี้เพื่อการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

BPSK Demodulator

- BPSK Input

ความต้านทาน(Impedance)	600 Ω
ระดับสัญญาณ(Level)	1 V peak
Minimum Level	0.3 V peak
Carrier Frequency	1.5-4.5 kKz

- สัญญาณเอาท์พุท(Data Output)

ความต้านทาน(Impedance)	220 Ω
ระดับ (Level)	TTL
Maximum Bit rate	1.2 kbits/s

1.4 ประโยชน์หรือผลที่คาดว่าจะได้รับ

สามารถจะนำไปใช้เป็นแนวทางในการศึกษาลักษณะการมอดูเลชั่นและดีมอดูเลชั่นแบบ BPSK ได้

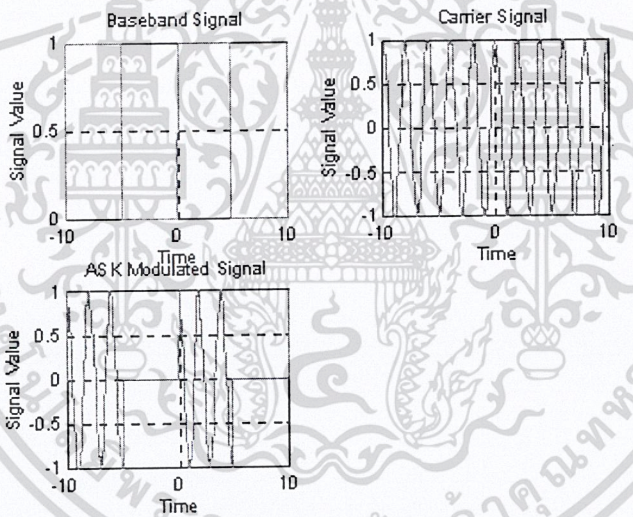
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
ทฤษฎีและหลักการทั่วไป

2.1 กล่าวนำ

การสื่อสารในปัจจุบันได้นิยมนำเอาการมอดูเลทสัญญาณแบบดิจิตอลมอดูเลชั่น(Digital Modulation) มาใช้อย่างแพร่หลาย เนื่องจากระบบดิจิตอลให้ค่าความแน่นอนน่าเชื่อถือสูงกว่าระบบอนาล็อก(Analog System) และมีการรบกวนจากสัญญาณรบกวน(Noise) ต่ำ ซึ่งในปัจจุบัน อุปกรณ์ด้านระบบดิจิตอลได้มีการพัฒนาก้าวหน้าไปมาก ทำให้ต้นทุนในการผลิตลดต่ำลง นอกจากนี้ การมอดูเลทแบบดิจิตอลยังสามารถทำการเข้ารหัส(Encode) ก่อนทำการมอดูเลทแล้วทำการถอดรหัส(Decode) หลังการมอดูเลท ทำให้การส่งข้อมูลมีการผิดพลาดน้อยลง ในการมอดูเลทสัญญาณดิจิตอล มี 3 วิธีใหญ่ ๆ คือ

1. การเปลี่ยนขนาดสัญญาณดิจิตอล(Amplitude Shift Keying : ASK) รูปคลื่นสัญญาณที่ได้จากการมอดูเลทวิธีนี้จะเปลี่ยนแปลงขนาดสัญญาณ(Amplitude) ตามระดับสัญญาณดิจิตอลที่เปลี่ยนไป

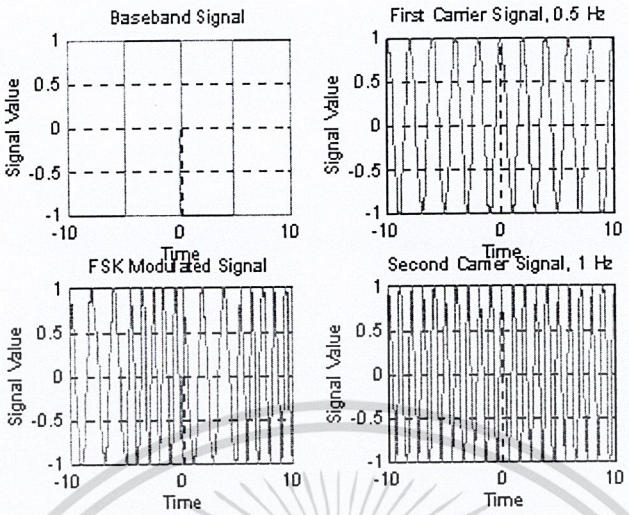


รูปที่ 2.1 รูปคลื่นของการมอดูเลทแบบ ASK

จากรูป ที่ระดับสัญญาณดิจิตอลมีสถานะลอจิก “0” สัญญาณที่ได้จะมีขนาดเป็น “0” และจะมีขนาดเปลี่ยนแปลงไปตามคลื่นพาห์(Carrier) เมื่อระดับลอจิกมีสถานะเป็น “1” ข้อดีของวิธีการนี้ คือ มีส่วนประกอบวงจรง่าย ราคาถูก แต่ข้อมูลที่รับเข้ามาภาคปลายทางผิดพลาดได้ง่าย เนื่องจากสัญญาณรบกวนที่มีผลต่อขนาดของสัญญาณ อีกทั้งอัตราการส่งข้อมูลได้ไม่สูงมาก

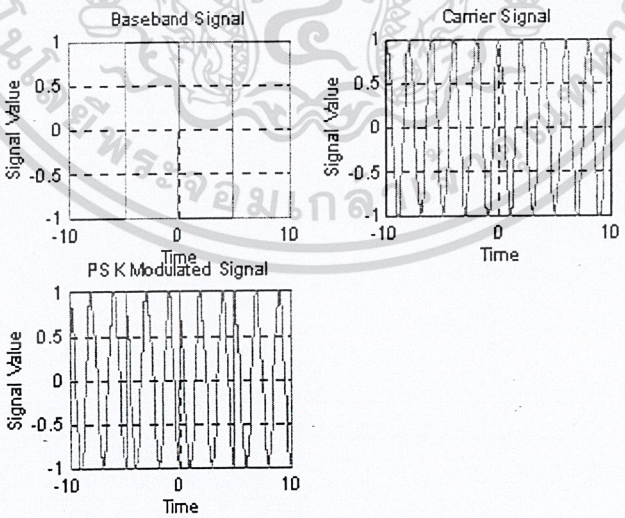
2. การเปลี่ยนความถี่ตามสัญญาณดิจิตอล(Frequency Shift Keying : FSK) รูปคลื่นสัญญาณที่ได้จากวิธีการนี้ สัญญาณดิจิตอลจะควบคุมความถี่ของสัญญาณที่ได้จากวงจรมอดูเลชั่น โดยรูปคลื่นจะมีความถี่สูงเมื่อระดับสัญญาณดิจิตอลเป็น “1” และมีความถี่ต่ำเมื่อระดับสัญญาณเป็น “0” ซึ่งมีอัตราการส่งข้อมูลต่ำพอ ๆ กับวิธีการ ASK มีข้อดีเหมือนกัน แต่ทนทานต่อสัญญาณรบกวนได้สูงกว่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.2 รูปคลื่นของการมอดูเลทแบบ FSK

3. การเปลี่ยนเฟสตามสัญญาณเชิงเลข(Phase Shift Keying : PSK) รูปคลื่นของสัญญาณที่ได้จากวิธีการนี้ สัญญาณดิจิตอลจะควบคุมการเปลี่ยนเฟสของสัญญาณ โดยเมื่อมีการเปลี่ยนแปลงระดับของสัญญาณดิจิตอล ก็จะมีการเปลี่ยนแปลงเฟสของสัญญาณคลื่นพาห์เป็นตรงกันข้าม(180 องศา) วงจรภาครับและส่งมีความยุ่งยากมาก ราคาสูง



รูปที่ 2.3 รูปคลื่นของการมอดูเลทสัญญาณแบบ PSK

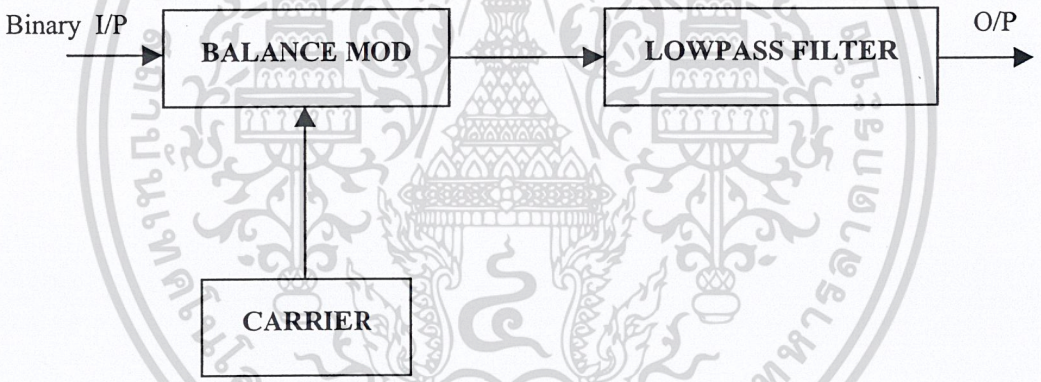
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2 การมอดูเลทแบบเปลี่ยนเฟสของสัญญาณคลื่นพาห์ (Phase Shift Keying : PSK)

การมอดูเลทแบบเปลี่ยนเฟสของสัญญาณคลื่นพาห์ PSK เป็นการมอดูเลททางดิจิตอลแบบหนึ่งที่มีลักษณะคล้ายกับการมอดูเลททางเฟส (Phase Modulation) ของสัญญาณดิจิตอล แต่จะต่างกันที่สัญญาณที่นำมามอดูเลทเป็นลักษณะของสัญญาณไบนารี่(Binary Pulse) ที่มีระดับแรงดันคงที่ 2 ระดับ ทำให้ค่าเฟสที่เปลี่ยนแปลงของสัญญาณที่ผ่านการมอดูเลท มีค่าจำกัด สำหรับการเปลี่ยนแปลงระดับของพัลส์แต่ละครั้ง

สำหรับ BPSK (Binary Phase Shift Keying) เป็นการแปลงข้อมูลที่เป็นสัญญาณไบนารี่ ให้เป็นสัญญาณวิทยุ โดยใช้การเปลี่ยนแปลงเฟสของสัญญาณคลื่นพาห์ที่มีความเป็นไปได้ของ 2 เฟส นั่นคือผลของเฟสหนึ่งจะเทียบได้กับบิท “1” และเฟสที่เหลือจะเทียบได้กับบิท “0” ดังนั้น เฟสของสัญญาณที่ได้จะกลับกันอยู่ 180 องศา หรือเราเรียกอีกอย่างหนึ่งว่า Phase Reversal Keying : PRK

2.3 BPSK Modulator

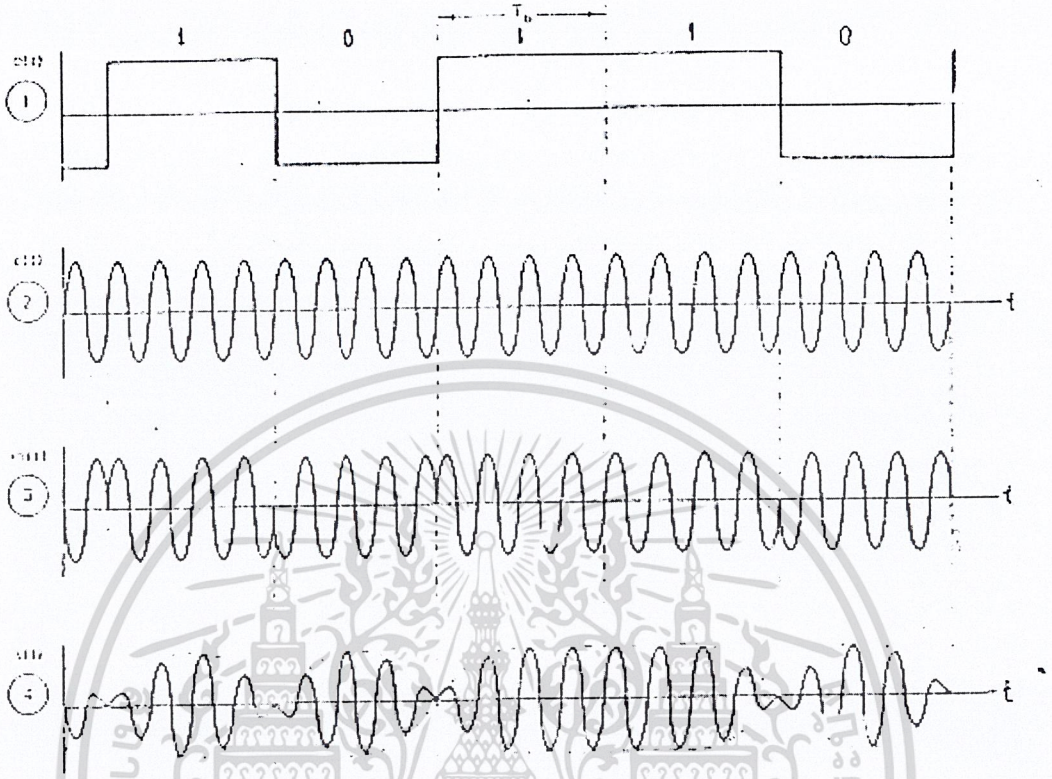


รูปที่ 2.4 Block Diagram การมอดูเลทสัญญาณแบบ BPSK

จากรูปที่ 2.4 แสดง Block Diagram การมอดูเลทสัญญาณแบบ BPSK โดยสามารถอธิบายการทำงานในภาคต่าง ๆ ได้ดังนี้

สัญญาณอินพุทของ Balance Modulator มี 2 สัญญาณ คือ สัญญาณคลื่นพาห์ ที่มีเฟสและความถี่คงที่ และสัญญาณข้อมูลดิจิตอลแบบไบนารี่ จากหลักการผสมสัญญาณแบบ BPSK นั้น จะได้เอาท์พุทจาก Balance Modulator เป็นสัญญาณอนาล็อกหรือสัญญาณพาห์ที่มีการเปลี่ยนแปลงเฟส โดยมีค่าอยู่ระหว่าง 0 และ 180 องศา การเปลี่ยนแปลงเฟสที่เกิดขึ้นจะขึ้นอยู่กับสัญญาณข้อมูลไบนารี่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.5 สัญญาณเอาท์พุทของแต่ละ block ของ BPSK Modulator

จากรูปที่ 2.5 สัญญาณของแต่ละ Block สามารถอธิบายการทำงานด้วยสมการทางคณิตศาสตร์ได้ดังนี้.-

เมื่อ b(t) : ข้อมูลไบนารี่ มีระดับเป็น ± 1

c(t) : สัญญาณคลื่นพาห์

$c(t) = \cos(\omega c\, t + \theta)$

$m(t) = b(t) * c(t)$

$= b(t) \cos(\omega c\, t + \theta)$ โดยที่ $\theta = 0, 180$ องศา

จาก $\cos(A+B) = \cos A \cos B - \sin A \sin B$

ที่ $\theta = 0$; $m(t) = +A\cos\omega c\, t$

$\theta = 180$; $m(t) = -A\cos\omega c\, t$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แบนด์วิดของ BPSK

พิจารณาแบนด์วิดที่จำเป็นสำหรับ BPSK โดยสมมุติให้ระดับแรงดันของสัญญาณดิจิตอลลอจิก 1 มีค่าเป็น +1 โวลต์ และลอจิก 0 มีค่า –1 โวลต์ และสัญญาณคลื่นพาห์อ้างอิงมีค่า cos ωc t ดังนั้นจะได้เอาท์พุทจากการมอดูเลทเป็น +cos ωc t ซึ่งมีค่าของเฟสตรงกับสัญญาณคลื่นพาห์อ้างอิงและ -cos ωc t ซึ่งต่างเฟสกับสัญญาณอ้างอิง 180 องศา นั่นคือเอาท์พุทที่ได้จากการมอดูเลทจะเปลี่ยนแปลงตามสถานะของสัญญาณดิจิตอลที่เข้ามา ซึ่งสามารถนำไปพิจารณาผลที่มีต่อการมอดูเลทของ BPSK คือ ทำให้อัตราการเปลี่ยนแปลงของเอาท์พุทในหน่วย บอด (baud) มีค่าเท่ากับอัตราการเปลี่ยนแปลงของอินพุท ในหน่วยบิทต่อวินาที แบนด์วิทของเอาท์พุทจะกว้างที่สุดเมื่อมีการเปลี่ยนแปลงสัญญาณดิจิตอลระหว่างอินพุทกับเอาท์พุท

ความถี่พื้นฐาน (F_a) ของการเปลี่ยนแปลงระหว่าง I/O ของสัญญาณดิจิตอลจะมีค่าเป็นครึ่งหนึ่งของอัตราบิท(F_b) สามารถแสดงด้วยสมการทางคณิตศาสตร์ได้ดังนี้

O/P จากการมอดูเลทแบบ BPSK = ความถี่พื้นฐานของสัญญาณดิจิตอล x สัญญาณพาห์

$$= \cos \omega_a t \times \cos \omega c\, t$$

หรือ $$= \tfrac{1}{2} (\cos (\omega c\, t+\omega_a t) + (\cos (\omega c\, t-\omega_a t)$$

จะได้แบนด์วิดทั้งสองข้างมีค่าอย่างน้อย

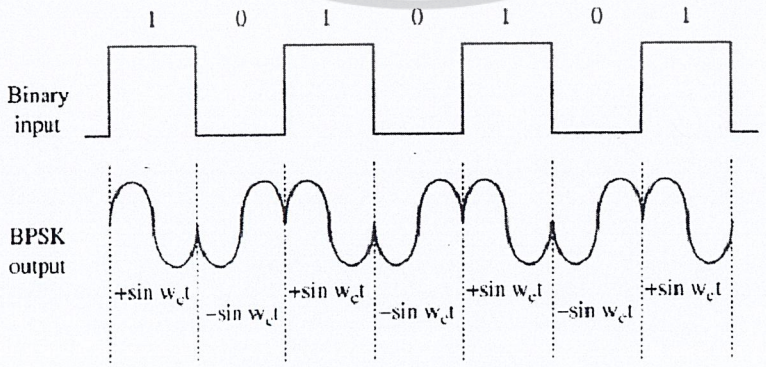
$$= (\cos (\omega c\, t+\omega_a t)- (\cos (\omega c\, t-\omega_a t)$$

$$= 2\omega_a t$$

จาก $F_a = \omega_a t = F_b/2$

ดังนั้น $F_n = 2(F_b/2) = F_b$

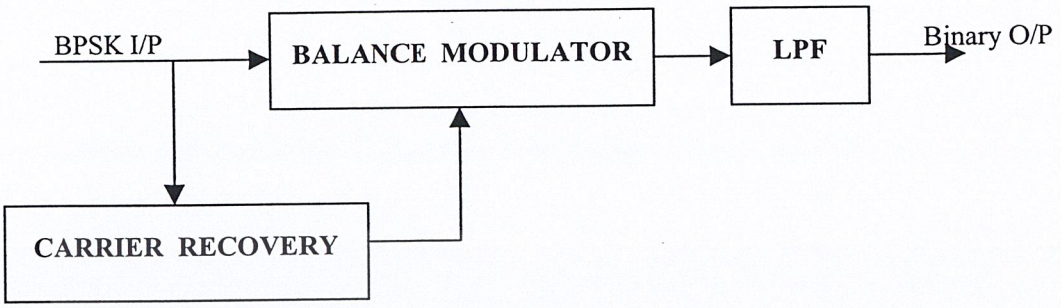
จากสมการข้างต้น สามารถแสดงความสัมพันธ์ของเวลาและเฟสของเอาท์พุท จากการมอดูเลทแบบ BPSK ดังรูปที่ 2.6



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 2.6 ความสัมพันธ์ของเฟสเอาท์พุทเทียบกับเวลา

2.4 BPSK Demodulator



รูปที่ 2.7 Block Diagram ของ BPSK Demodulator

จาก Block Diagram แสดงการดีมอดูเลทของ BPSK โดยสัญญาณที่เข้ามาทางภาครับจะเป็นสัญญาณ $\pm \cos \omega c\ t$ ทางภาครับจะมีวงจรตรวจจับสัญญาณ เพื่อสร้างสัญญาณคลื่นพาห์ที่มีเฟสและความถี่ตรงกับทางภาคส่ง และมีวงจร Balance Modulator ทำการดีมอดูเลทสัญญาณที่รับเข้ามากับสัญญาณคลื่นพาห์ที่สร้างขึ้นใหม่ เอาทพุทที่ได้จะนำไปผ่านวงจร low-pass filter เพื่อกรองเอาเฉพาะสัญญาณข้อมูลเท่านั้น

สามารถอธิบายการทำงานด้วยสมการทางคณิตศาสตร์ได้ดังนี้.-

กรณีสัญญาณอินพุทเป็น $\cos \omega c\ t$ (ลอจิก 1)

เอาท์พุท = $(\cos \omega c\ t) \times (\cos \omega c\ t)$

= $\cos^2 \omega c\ t$

= $\frac{1}{2}(1+\cos 2\omega c\ t)$

= $\frac{1}{2} + \frac{1}{2} \cos 2\omega c\ t$

เอาท์พุท = $\frac{1}{2}$ Vdc ที่ลอจิก 1

จะเห็นว่าเอาท์พุทที่ได้จากการดีมอดูเลท มี 2 ส่วน คือ ส่วนที่เป็นไฟตรง และสัญญาณโคซายน์ความถี่ 2 เท่าของสัญญาณคลื่นพาห์($2\omega c\ t$) แต่เมื่อผ่านวงจร low-pass filter แล้ว สัญญาณ $2\omega c\ t$ จะถูกกำจัดไปเหลือแต่สัญญาณไฟตรง (dc) ค่าบวกเท่านั้น

กรณีสัญญาณอินพุทเป็น $-\cos \omega c\ t$ (ลอจิก 0)

เอาท์พุท = $(-\cos \omega c\ t) \times (\cos \omega c\ t)$

= $-\cos^2 \omega c\ t$

= $-\frac{1}{2}(1+\cos 2\omega c\ t)$

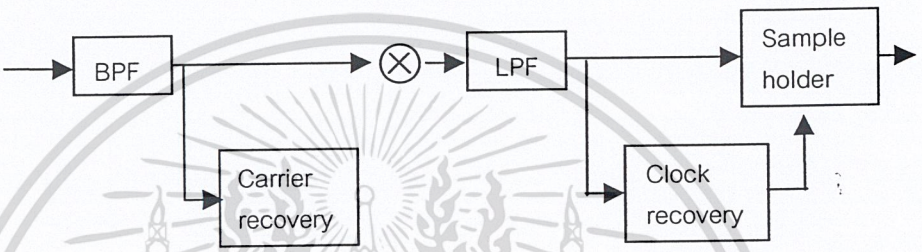
เอาท์พุท = $-\frac{1}{2}$ Vdc ที่ลอจิก 0

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จะเห็นได้ว่าเอาท์พุทที่ได้ประกอบด้วย 2 ส่วนเช่นกัน คือ ไฟดีซีค่าลบ และสัญญาณโคซายน์ ความถี่ 2 เท่าของสัญญาณคลื่นพาห์ และใช้ low-pass filter กำจัดสัญญาณความถี่ 2ωc t ทิ้งไป เหลือแต่สัญญาณไฟดีซีมีค่าเป็นลบ

2.5 โคฮีเรนท์ดีเทคชัน

การดีมอดูเลทสัญญาณ BPSK เป็นแบบ coherent detection ซึ่งมีหลักการดังนี้.-



รูปที่ 2.8 บล็อกไดอะแกรมของ coherent demodulator

จากรูปเป็นบล็อกไดอะแกรมของ coherent demodulator มี BPF ดีเทคเตอร์ sample holder, carrier recovery circuit และ clock recovery circuit โดยวงจร carrier recovery circuit จะสร้างคลื่นพาหะอ้างอิงขึ้นมาใหม่ โดยการทวีคูณสัญญาณ BPSK ที่เข้ามาทางอินพุท ส่วน clock recovery circuit จะสร้างสัญญาณ clock ขึ้นมาใหม่ เพื่อใช้สำหรับ sample holder

คลื่นพาหะอ้างอิงที่ใช้ใน coherent detection นี้ เพื่อให้เกิดการซิงโครไนซ์กับคลื่นพาหะทางด้านส่งหรือตัวมอดูเลท เพื่อจุดประสงค์นี้ คลื่นพาหะอ้างอิงจึงถูกสร้างขึ้นมาใหม่จากสัญญาณ BPSK ที่รับเข้ามา สัญญาณอินพุทที่เข้ามาในวงจร carrier recovery circuit สามารถกำหนดโดย A cos (2π fct + φ) สัญญาณเอาท์พุทคือคลื่นพาหะอ้างอิง กำหนดโดย B cos 2π fct

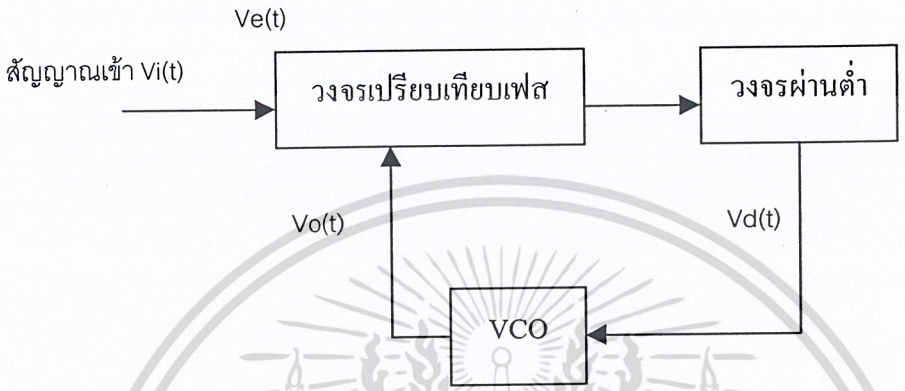
วงจร carrier recovery circuit ประกอบด้วย squarer, narrow bandpass filter โดยมีความถี่กึ่งกลางที่ 2fc, วงจร ½ frequency divider และวงจร phase locked loop (PLL)

สัญญาณที่ออกจากวงจร divider ปกติจะมีเสียงรบกวนรวมอยู่ด้วย เพื่อที่จะกำจัดเสียงรบกวนออกให้ได้คลื่นพาหะอ้างอิงที่ปราศจากการผิดเพี้ยน จำเป็นต้องใช้วงจร phase locked loop (PLL) เข้ามาช่วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.6 ทฤษฎีเฟสล็อกลูป (Phase Lock Loop : PLL)

วงจรเฟสล็อกลูป ประกอบด้วยวงจรเปรียบเทียบเฟส วงจรผ่านต่ำ วงจรขยาย และ วงจรผลิตความถี่ควบคุมโดยแรงดัน(Voltage Control Oscillator : VCO) ต่อเป็นวงรอบ (Loop) เช่นวงจรป้อนกลับทั่ว ๆ ไป



รูปที่ 2.9 วงจรพื้นฐานของเฟสล็อกลูป

วงจรเปรียบเทียบเฟส คือ วงจรที่ให้แรงดันออกเป็นปฏิภาคกับผลต่างระหว่างเฟสสัญญาณเข้าสองสัญญาณ วงจรนี้อาจเป็นวงจรคูณถ้าสัญญาณเข้า $V_i(t)$ มีความที่ ω_i และเฟส θ_i

$$V_i = V_i \sin(\omega_i t + \theta_i)$$

และสัญญาณออกจาก VCO มีความถี่ ω_i และเฟส θ_i

$$V_o = V_o \cos(\omega_i t + \theta_o)$$

ถ้าป้อน V_i และ V_o เข้าที่วงจรเปรียบเทียบเฟส จะได้สัญญาณ คือ

$$Ve(t) = KmViVo$$

ถ้าไม่สนใจเทอมความถี่ $2\omega_i$ ซึ่งถูกกำจัดโดยวงจร low-pass filter จะได้

$$Ve(t) = KmViVo / 2 \sin(\theta_i - \theta_o)$$

หากให้ผลต่าง $\theta_i - \theta_o$ มีค่าน้อย ๆ จะได้

$$Ve = Kd(\theta_i - \theta_o)$$

โดย Kd เป็นค่าแกนของเฟสดีเทคเตอร์ มีขนาดเป็น V/rad และในกรณีที่ให้ระบบเป็นเชิงเส้น จะได้ความถี่ด้านออกจากวงจร VCO ที่เบี่ยงเบนออกจากความถี่ศูนย์กลาง คือ

$$\Delta\omega = KoVc$$

โดย Vc เป็นแรงดันด้านเข้าของวงจร

Kd เป็นแกนของ VCO มีขนาดเป็น Rad/v

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดังนั้น ความถี่ด้านออกของ VCO คือ

$$fo = \omega c + \Delta\omega = \omega c + KoVc$$

โดยที่ c เป็นความถี่อิสระของ VCO และจากความถี่เป็นการอนุพันธ์ของเฟสเทียบกับเวลา หรือเขียนได้เป็น

$$\Delta\omega = d\theta_o/dt = KoVc$$

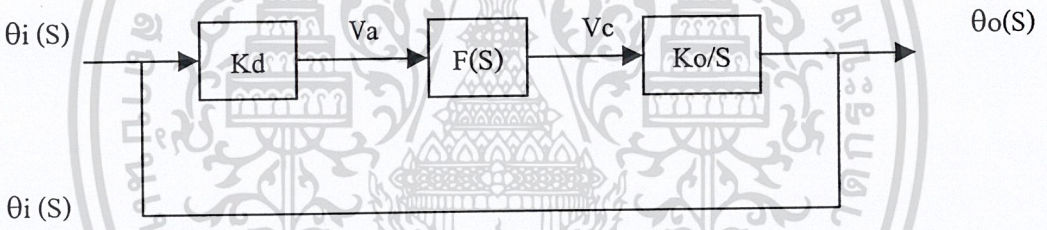
หรือเขียนเฟสด้านออกของลูปได้ว่า

$$\theta_o(s) = \int_0 \Delta\omega \, dt$$

กรณีในระบบเฟสล็อกลูป ถ้าทำการวิเคราะห์ด้วยลาปาซทรานส์ฟอร์ม สามารถแสดงเฟสด้านออกได้ว่า

$$\theta_o(s) = KoVc/S$$

ดังนั้น ระบบเฟสล็อกลูปสามารถแสดงแบบจำลองได้ดังรูปที่ 2.9



รูปที่ 2.10 แบบจำลองเฟสล็อกลูป

จากรูปสามารถเขียนทรานส์เฟอร์ฟังก์ชั่นได้คือ

$$\theta_o(S)/\theta_i(S) = \{ KdKo(F(S)/S \}/\{ 1+KoKd(F(S)/S \}$$

แรงดัน vc นี้ จะได้รับการขยายและใช้เป็นแรงดันควบคุมความถี่ของ VCO ซึ่งในการทำงานปกติการควบคุมนี้จะมีผลให้สัญญาณ Vo จาก VCO มีความถี่ตรงกับสัญญาณด้านเข้า vi และถ้าอัตราขยายของลูปมีค่าสูง vc จะมีค่าต่ำ และเฟส ω_o กับ ω_i จะมีค่าใกลเคียงกัน

การทำงานของวงจร PLL สามารถอธิบายได้คร่าว ๆ คือ เมื่อไม่มีสัญญาณเข้า(vi) แรงดัน vc และ vd ที่ใช้ควบคุม VCO จะเป็นศูนย์ VCO จะกำเนิดสัญญาณความถี่หนึ่งเรียกว่าความถี่อิสระ f00 เมื่อมีสัญญาณเข้า vi ที่ความถี่ fi ถ้า fi ต่างจาก f00 มาก สัญญาณ vc ซึ่งมีความถี่เท่ากับ f00 – fi จะไม่สามารถผ่านวงจรผ่านต่ำ แรงดัน vd ที่ใช้ควบคุม VCO จะยังคงเป็นศูนย์ และ VCO ยังคงทำงานโดยกำเนิดสัญญาณความถี่ f00 เช่นเดิม และหาก fi มีค่าไม่ต่างจาก f00 มากนัก นั่นคือ $|fi - f00| < \Delta fp\ (2\Delta fp)$

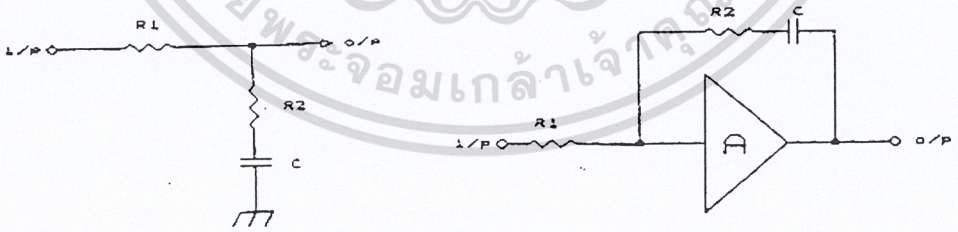
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ในการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเอกสารนี้ทุกครั้งที่มีการนำไปใช้

มีชื่อว่า ช่วงดึงเข้า(pull – in range) สัญญาณ vc จะมีลักษณะไม่สมมาตร คือมีองค์ประกอบไฟตรงไม่เท่ากับศูนย์ vd จะค่อย ๆ เพิ่มค่าขึ้น และหลังจากช่วงหนึ่งเรียกว่า เวลาดึงเข้า(pull – in time) ความถี่ fo ซึ่งค่อย ๆ แปรค่าไปยังค่า fi จะต่างจาก fi เพียง $|fi - fo| < \Delta fc$ ($2\Delta fc$) มีชื่อว่าช่วงเวลาจับ(capture range) ถึงตอนนี้ fo จะแปรเข้าสู่ fi อย่างรวดเร็วฉับพลัน เรียกว่าเกิดการล็อก (lock) vd ก็จะเปลี่ยนแปลงอย่างฉับพลันเช่นกัน ทั้งนี้ สำหรับ VCO โดยทั่วไป ความถี่ fo จะเป็นปฏิภาคกับการบ่ายเบนจากความถี่อิสระ เมื่อเกิดการล็อกแล้ว ถ้าความถี่ของสัญญาณแปรเปลี่ยนไป ความถี่ของ VCO ก็จะแปรเปลี่ยนตามไปด้วย เรียกว่า เกิดการตามรอย (tracking) ความถี่ของ VCO จะสามารถตามร้อยความถี่ fi ได้ ตราบใดที่ $|fi - f00| < \Delta fH$ ($2\Delta fH$) มีชื่อว่าช่วงคงที่ไว้ (hold – in rang)

สรุปแล้วถ้าเพิ่มหรือลดความถี่ fi จะได้การเปลี่ยนแปลงของ vd (ซึ่งควบคุม VCO) และเป็นปฏิภาคกับ(fo – f00)

<u>วงจรกรองความถี่ในลูป</u>

สำหรับกรณีวงจรกรองความถี่ต่ำผ่าน F(S) ในลูปซึ่งเป็นตัวควบคุมคุณสมบัติไดนามิกของลูป จะกล่าวไว้ 2 ประเภท คือ วงจรกรองแบบพาสซีฟ หรือวงจรกรองแบบลีด-แล็ก (lead-lag filter) และวงจรกรองความถี่แบบแอคทีฟ



รูปที่ 2.11(a) วงจรกรองแบบพาสซีฟ รูปที่ 2.11(b) วงจรกรองแบบแอคทีฟ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรกรองแบบพาสซีฟ มีทรานซ์เฟอร์ฟังก์ชัน คือ

$$F(S) = (ST_2 + 1)/(ST_1 + 1)$$

โดย $T_1 = (R_1 + R_2)C$

$T_2 = R_2C$

ถ้าให้ A เป็นเกนของวงจรกรองความถี่ กำหนดให้มีค่ามาก ๆ จะได้ทรานเฟอร์ฟังก์ชั่น ของเฟสเอาท์พุทต่อเฟสอินพุท คือ

$$H(S) = \theta_o(S)/\theta_i(S) = \frac{\{ KdKo(ST_2 + 1)/T_1 \}}{\{ S^2 + (S(1+KoKdT_2))/T_1 + (KdKo/T_1) \}}$$

วงจรกรองแบบแอคทีฟ มีทรานซ์เฟอร์ฟังก์ชัน คือ

$$F(S) = (ST_2 + 1)/(ST_1)$$

โดย $T_1 = R_1C$

$T_2 = R_2C$

ถ้าให้ A เป็นเกนของวงจรกรองความถี่ กำหนดให้มีค่ามาก ๆ จะได้ทรานเฟอร์ฟังก์ชั่น ของเฟสเอาท์พุทต่อเฟสอินพุท คือ

$$H(S) = \theta_o(S)/\theta_i(S) = \frac{\{ KdKo(ST_2 + 1)/T_1 \}}{\{ S^2 + (S(KoKdT_2))/T_1 + (KdKo/T_1) \}}$$

ถ้าค่าเฟสเออเรอร์เป็นค่าแตกต่างระหว่างเฟสอินพุทกับเฟสที่ป้อนกลับแล้ว จะได้

$$\theta_e(S) = \theta_i(S) - \theta_o(S)$$

ทรานเฟอร์ฟังก์ชั่นของเฟสเออเรอร์ต่อเฟสอินพุทของเฟสล็อกลูป แสดงได้คือ

$$\theta_o(S)/\theta_i(S) = 1 - \theta_o(S)/\theta_i(S)$$

หรือเขียนได้เป็น

$$\theta_o(S)/\theta_i(S) = S/(S + KdKoF(S))$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เฟสดีเทคเตอร์

สำหรับเฟสดีเทคเตอร์หรืออาจเรียกว่าเฟสคอมพาราเตอร์(Phase Comparator) เป็นอุปกรณ์ที่เปรียบเทียบสัญญาณอ้างอิงหรือเฟสอินพุทกับเฟสเอาท์พุทที่ป้อนกลับจาก VCO และให้แรงดันเอาท์พุทเป็นแรงดันที่แปรตามค่าความต่างเฟส สำหรับเฟสดีเทคเตอร์ สามารถแบ่งออกเป็น 2 ประเภท คือ อนาล็อกเฟสดีเทคเตอร์ และ ดิจิตอลเฟสดีเทคเตอร์ โดยเฟสล็อกลูปที่ใช้อนาล็อกเฟสดีเทคเตอร์หรือเรียกว่าอนาล็อกเฟสล็อกลูป(Analog Phase Lock Loop : APLL) และในเฟสล็อกลูปที่ใช้ดิจิตอลเฟสดีเทคเตอร์ หรือเรียกว่า(Digital Phase Lock Loop : DPLL) โดยทั่วไปแล้วถ้ากล่าวถึง PLL จะหมายถึงเฟสล็อกลูปสำหรับเฟสดีเทคเตอร์ ที่ใช้ในอนาล็อกเฟสล็อกลูป ที่ใช้กันมากก็คือ วงจรคูรแบบกิลเบร์ด (Gilbert Multiplier) และสำหรับ DPLL มักใช้เฟสดีเทคเตอร์แบบเฟสฟรีเควนซีดีเทคเตอร์(Phase Frequency Detector : PFD)

วงจรคูณแบบกิลเบร์ด

โครงสร้างวงจรดังรูปที่ 2.11 โดยสัญญาณอินพุทของเฟสดีเทคเตอร์ จะมาจากสัญญาณอ้างอิงและสัญญาณที่ป้อนกลับจากเอาท์พุทของ VCO โดยสัญญาณจาก VCO จะให้สัญญาณรูปสี่เหลี่ยม ส่วนสัญญาณอินพุทของเฟสดีเทคเตอร์โดยทั่วไปจะเป็นสัญญาณซายน์ที่มีขนาดใหญ่เมื่อเปรียบเทียบกับแรงดันความร้อนสมมูลย์(Thermal Voltage = 26 mV) ดังนั้นทรานซิสเตอร์คู่ล่างของวงจรคูณซึ่งทำหน้าที่เหมือนเป็นสวิตซ์จะปิดและเปิดตามซีกบวกหรือลบของสัญญาณซายน์ ในที่นี้วงจรคูณจะทำหน้าที่เป็นซิงโครไนซ์สวิตซ์(Synchronous Switched) สามารถเขียนสัญญาณการทำงานได้ดังรูปที่ 2.11

สำหรับสัญญาณเอาท์พุทประกอบด้วย dc และสัญญาณส่วนประกอบที่เป็น ac ที่มีความถี่เป็นสองเท่าของความถี่อินพุท ดังนั้น ค่าเฉลี่ยของสัญญาณเอาท์พุทแสดงได้คือ

$$Vav = 1/2\pi[\int_0^{2\pi} Vo(t)]\, d(\omega ot)$$

จะได้

$$Vav = -1/[\pi(A_1 - A_2)]$$

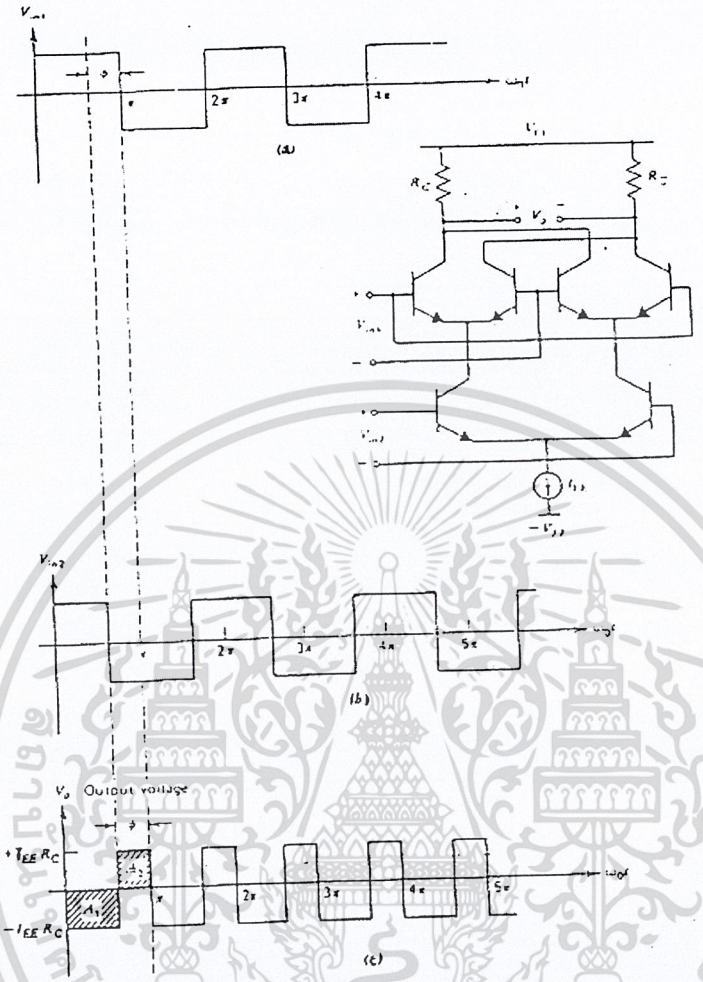
สำหรับ A_1, A_2 เป็นพื้นที่แสดงดังรูป ดังนั้น

$$Vav = -[I_{EE}Rc(\pi - \phi)/\pi - I_{EE}Rc\phi/\pi]$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

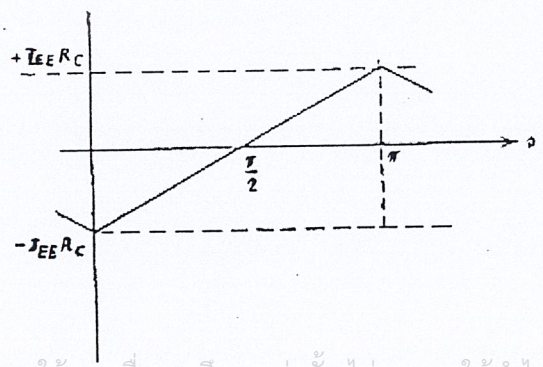
จะได้

$$Vav = I_{EE}Rc(2\phi/\pi - 1)$$



รูปที่ 2.12 วงจรอนาล็อกเฟสดีเทคเตอร์

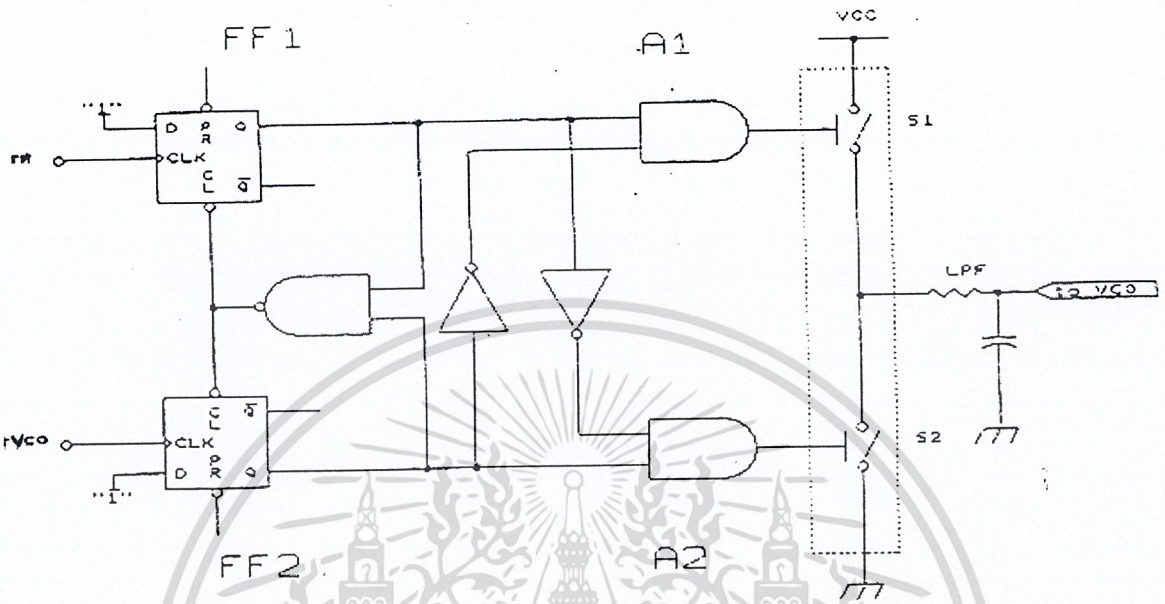
โดยสามารถแสดงคุณสมบัติโอนย้ายของอนาล็อกเฟสดีเทคเตอร์ได้ดังรูปที่ 2.13



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 2.13 คุณสมบัติโอนย้ายของอนาล็อกเฟสดีเทคเตอร์

วงจรเฟสฟรีเควนซีดีเทคเตอร์ (Phase Frequency Detector)



รูปที่ 2.14 โครงสร้างของวงจรเฟสฟรีเควนซีดีเทคเตอร์

สำหรับวงจรเฟสฟรีเควนซีดีเทคเตอร์ หรือ PFD เป็นวงจรที่รับสัญญาณอินพุทเป็นสัญญาณดิจิตอล และให้เอาท์พุทเป็นสัญญาณดิจิตอลที่ขึ้นอยู่กับความต่างเฟสของสัญญาณอินพุท นอกจากจะทำการดีเทคความต่างเฟสแล้ว วงจร PFD สามารถที่จะดีเทคความแตกต่างระหว่างความถี่อินพุททั้งสองด้วย

จากรูปที่ 2.13 วงจรจะประกอบด้วย ฟลิปฟลอป, วงจรเกท ต่อร่วมกันกับส่วนที่เรียกว่าชาร์จปั๊ม(charge pump) ซึ่งเป็นส่วนที่ให้สัญญาณเอาท์พุทเป็นสัญญาณแรงดัน โดยแสดงวงจรสมมูลย์ของชาร์จปั๊มเป็นสวิตซ์ที่จะปิดเมื่อมีสัญญาณลอจิกที่จะขับเป็น “1” และเปิดเมื่อลอจิกที่มาขับเป็น “0” โดยที่อินพุท f_r เป็นสัญญาณจากความถี่อ้างอิง ส่วนอินพุท f_{vco} เป็นอินพุทจากความถี่ป้อนกลับจาก VCO การทำงานสามารถอธิบายได้ 3 ช่วง ดังนี้.-

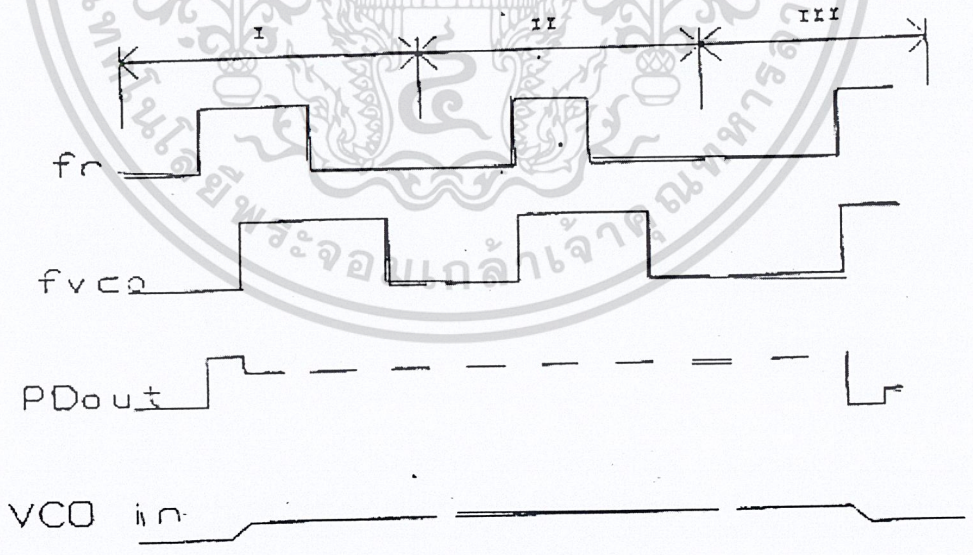
<u>ช่วงแรก</u> เริ่มต้นกำหนดให้สัญญาณ f_r มีเฟสนำหน้าสัญญาณ f_{vco} ขอบของสัญญาณ f_r จะเซ็ตฟลิปฟลอบ FF_1 ให้สัญญาณที่ขา Q เป็นลอจิก “1” ส่วนสัญญาณที่ขา Q ของ FF_2 จะเป็นลอจิก “0” ดังนั้นที่เอาท์พุทเกท A_1 มีลอจิก “1” ทำให้ S_1 ปิด ดังนั้นกระแสจะไหลจาก VCC ผ่านความต้านทานเข้าสู่คาปาซิเตอร์ในวงจร LPF ซึ่งเป็นการชาร์จแรงดันให้คาปาซิเตอร์ ขณะต่อมาขอบของสัญญาณ f_{vco} ที่ตามมาจะเซ็ตให้ขา Q ของฟลิปฟลอบ FF_2 เป็น “1” ดังนั้นเอาท์พุทของแนนเกทจะเป็น “0” ซึ่งเป็นการรีเซ็ต

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

ฟลิปฟลอบทั้งสองตัว ดังนั้นที่สวิตซ์จะเปิดออก สำหรับปรากฏการณ์ในช่วงแรกนี้เรียกว่า การปั๊มขึ้น (pump up) โดยอาจจะเกิดขึ้นหลาย ๆ ไซเคิลต่อ ๆ กัน โดย PFD จะทำการปั๊มขึ้นจนกระทั่งเฟสของ f_r และเฟสของ f_{vco} ไม่แตกต่างกัน

<u>ช่วงสอง</u> เนื่องจากเฟสของ f_r และ f_{vco} เท่ากันแล้ว S_1 และ S_2 อยู่ในสภาวะเปิดออกทั้งคู่ สภาวะเช่นนี้ที่จุดเอาท์พุทของ PFD จะมีสถานะเป็นไฮอิมพีแดนซ์(Hi-Impedance) แรงดันที่ควบคุม VCO จะเป็นแรงดันซึ่งคงค้างในคาปาซิเตอร์จากการชาร์จ

<u>ช่วงสาม</u> กรณีเฟสของสัญญาณจาก VCO เริ่มนำหน้าสัญญาณ f_r ขอบของสัญญาณ f_{vco} จะเซ็ตให้ฟลิปฟลอบ FF_2 ให้ลอจิกเอาท์พุทเท่ากับ “1” และที่เอาท์พุทของเกท A_2 มีค่าเป็นลอกจิก “1” ทำให้ S_2 ถูกปิด แรงดันในคาปาซิเตอร์จะถูกดิสชาร์จผ่านความต้านทาน และสวิตซ์ S_2 ลงกราวด์ และเฟสของ f_r ที่ตามมาจะเซ็ตฟลิปฟลอบ FF_1 ทำให้เอาท์พุทของ A_2 เป็นลอกจิก “0” และ S_2 จะถูกเปิดออก สำหรับลักษณะการทำงานในช่วงนี้เรียกว่าการปั๊มลง(pump down) โดยอาจจะเกิดเป็นหลาย ๆ ไซเคิล เช่นเดียวกับการปั๊มขึ้น

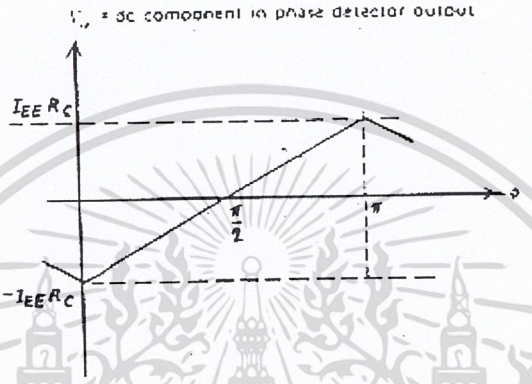


รูปที่ 2.15 ผังเวลาของเฟสฟรีเควนซีดีเทคเตอร์ในช่วงเวลาต่าง ๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

50395

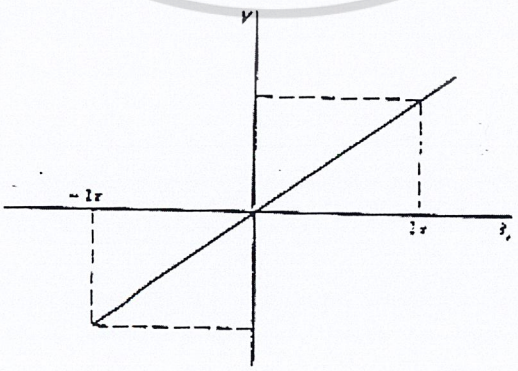
กล่าวได้ว่าในกรณีถ้าความถี่อินพุทไม่เท่ากันแล้ว ที่อินพุทของ PFD จะมีความต่างเฟสกันตลอดเวลา ดังนั้น FF_1 , FF_2 จะถูกเซ็ตตลอด เช่น ถ้า $f_r > f_{vco}$ ที่เอาท์พุทของ Q_1 จะเป็น “1” ตลอด ทำให้ S_1 ปิดวงจร, แรงดันจะชาร์จเข้าสู่คาปาซิเตอร์ เป็นการเพิ่มแรงดันให้กับ VCO สร้างความถี่เพิ่มขึ้นตาม f_r สำหรับคุณสมบัติโอนย้ายของเฟสฟรีเควนซีดีเทคเตอร์ แสดงได้ดังรูปที่ 2.16



รูปที่ 2.16 คุณสมบัติโอนย้ายของเฟสดีเทคเตอร์

<u>การเข้าสู่สภาวะล็อกและการติดตามสัญญาณของ PLL</u>

เนื่องจากการประยุกต์ใช้งานที่สำคัญอันหนึ่งในระบบโทรคมนาคม สำหรับ PLL ก็คือการใช้สำหรับติดตามสัญญาณเพื่อจะทำการดีมอดูเลท หรือทำการซิงโครไนซ์สัญญาณขึ้นมาใหม่จากสัญญาณอินพุทที่เป็นคลื่นพาห์ ดังนั้น การวิเคราะห์ความสามารถในการติดตามการเปลี่ยนแปลงความถี่ของสัญญาณอินพุทและความสามารถในการเริ่มต้นล็อกความถี่อินพุทจึงมีความสำคัญ โดยในที่นี้จะเป็นการวิเคราะห์สำหรับอนาล็อกเฟสล็อกลูปเท่านั้น



รูปที่ 2.17 พิสัยล็อก, พิสัยพูลอิน, พิสัยแคปเจอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเอกสารทุกครั้งที่มีการนำไปใช้

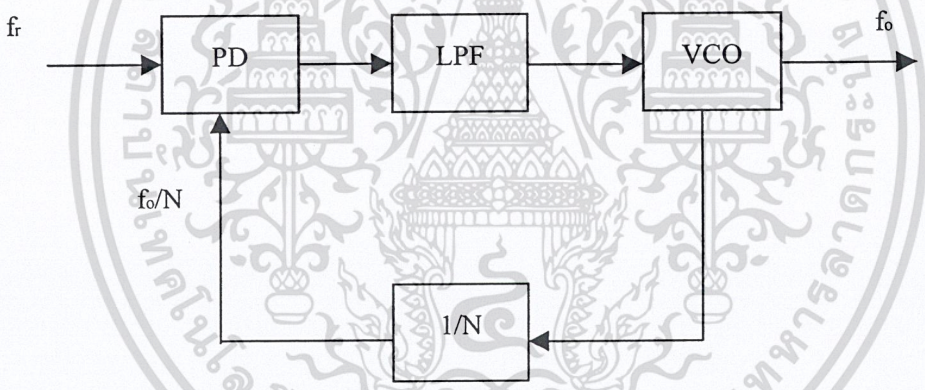
พิสัยล็อก (lock range) เป็นพิสัยที่ความถี่ของ VCO ของลูปสามารถติดตามความถี่อินพุท(tracking) หลังจากลูปเริ่มต้นล็อกกับสัญญาณอินพุทแล้ว ดังนั้น อาจเรียกว่าพิสัยแทรคกิ้ง(tracking range) หรือพิสัยโฮล (hold in range) การหาพิสัยล็อกสูงสุดนั้น หาได้จากการสมมติว่าความถี่ที่ป้อนเข้าลูปเป็นความถี่สูงสุดของเฟสล็อกลูปทำการล็อก

พิสัยพูลอิน (pull in range) เป็นพิสัยที่ PLL สามารถจะล็อกกับสัญญาณอินพุทได้โดยลูปอยู่ในสภาวะเริ่มต้นไม่ได้ล็อกกับความถี่อินพุท

พิสัยแคปเจอร์ เป็นพิสัยที่ PLL สามารถจะล็อกกับความถี่อินพุท พิสัยแคปเจอร์จะมีช่วงความถี่แคบกว่าพิสัยพูลอิน โดยผลต่างของความถี่สามารถผ่านลูปฟิลเตอร์โดยไม่ถูกลดทอน

การสังเคราะห์ความถี่ด้วยเฟสล็อกลูป

การสังเคราะห์ความถี่ด้วย PLL เป็นการสร้างความถี่ขึ้นใหม่ ด้วยสัญญาณความถี่อ้างอิงที่มาตรฐาน โดยโครงสร้างสำหรับการสังเคราะห์ความถี่แสดงดังรูป



รูปที่ 2.18 โครงสร้าง PLL สำหรับการสังเคราะห์ความถี่

จากรูป ส่วนที่เพิ่มเข้ามาจากโครงสร้าง PLL เดิม คือ วงจรหาร N(1/N) โดยถ้า f_r เป็นความถี่อ้างอิงที่มีความถี่คงที่แล้ว ความถี่เอาท์พุทของ VCO จะเท่ากับขนาดของความถี่อ้างอิง(frequency reference : fr) คูณกับจำนวนหาร N หรือ

$$f_o = f_r * N$$

หรือกล่าวได้ว่า ความถี่เอาท์พุท(f_o) จะเป็นจำนวนเท่าของความถี่อ้างอิง ความถี่ที่ป้อนกลับจากวงจร VCO ที่นำมาเปรียบเทียบกับความถี่อ้างอิงที่เฟสดีเทคเตอร์(PD) หารด้วยจำนวน N ให้เท่ากับความถี่อ้างอิง สำหรับทรานเฟอร์ฟังก์ชันของ PLL ที่มีวงจรหารในส่วนป้อนกลับเขียนได้ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\theta_o(S)/\theta_i(S) = \{ KdKo(F(S)/S \}/\{ 1+KoKd(F(S)/NS \}$$

สำหรับทรานเฟอร์ฟังก์ชันของลูปใด ๆ เขียนได้

$$\theta_o(S) = G(S)/1+G(S)H(S)$$

G(S) = ฟอร์เวิร์ดเกน(forward gain)

H(S) = เกนป้อนกลับ(feedback gain)

G(S)H(S) = เกนลูปปิด(open loop gain)

จะได้ฟอร์เวิร์ดเกน คือ

$$G(S) = KdKoF(S)/S$$

และเกนลูปเปิดของ PLL คือ

$$G(S)H(S) = KdKo(F(S)/NS$$

สำหรับในการสังเคราะห์ความถี่วงจรกรองความถี่ต่ำ(LPF) ในลูปจะเลือกใช้วงจรกรองแบบแอคทีฟ เนื่องจากดึงกระแสอินพุทน้อย ทำให้ค่าความผิดพลาดในสภาวะสงบของเฟสดีเทคเตอร์เอาท์พุทมีค่าน้อย โดยจะได้ทรานเฟอร์ฟังก์ชั่น

$$\theta_o/\theta_r = \frac{\{ KdKo(ST_2 + 1)/T_1 \}}{\{ S^2 + (S(KoKdT_2))/NT_1 + (KdKo/NT_1) \}}$$

จะได้ความถี่ธรรมชาติของลูปและค่าแดมปิ้งแฟคเตอร์ คือ

$$\omega_n = \sqrt{(KdKo/NT_1)}$$

$$= (T_2/2)\,\omega_n$$

ค่าความถี่ธรรมชาติ, อัตรา damping ของลูป จะเป็นพารามิเตอร์ที่สามารถกำหนดได้โดยการกำหนดค่าพารามิเตอร์ดังกล่าว เราจะกำหนดโดยพิจารณาจากความต้องการต่อการตอบสนองของลูปในสภาวะทรานเซียน ความสามารถมอดูเลทความถี่ที่ต้องการในกรณีลูปถูกมอดูเลทด้วยสัญญาณเบสแบนด์และความเสถียรภาพของลูป

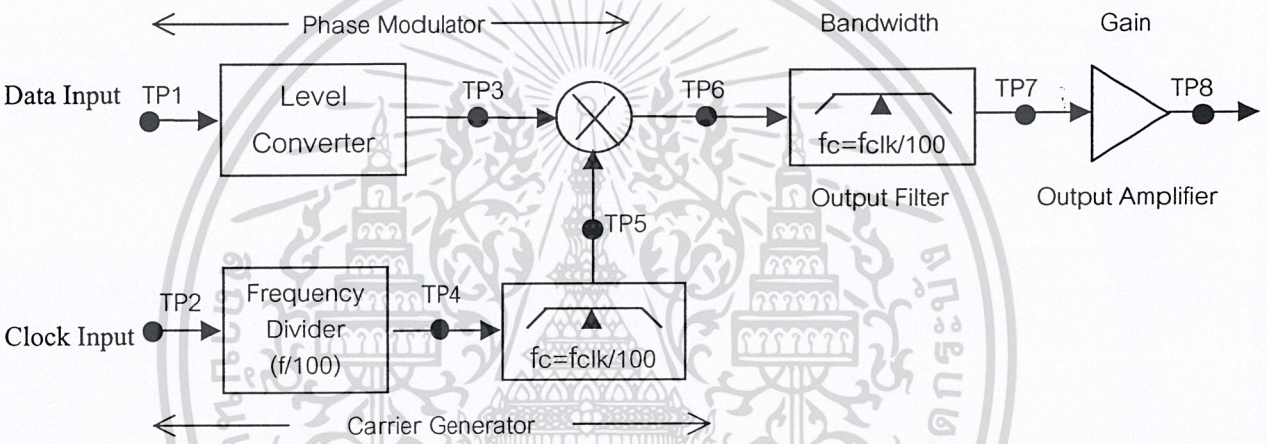
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3
การดำเนินงาน

จากทฤษฎีและหลักการทั่วไปของการมอดูเลชั่นและดีมอดูเลชั่นสัญญาณ BPSK จึงได้มีการศึกษาและทำความเข้าใจเพื่อนำมาใช้ในการออกแบบและสร้างวงจรออกมาตามวัตถุประสงค์ของโครงงาน โดยแบ่งเป็นสองส่วนคือส่วนของเครื่องมอดูเลชั่น และเครื่องดีมอดูเลชั่น

3.1 เครื่องมอดูเลชั่นแบบ BPSK

ในส่วนของเครื่องมอดูเลชั่น มีบล็อกไดอะแกรมโดยละเอียดดังนี้.-



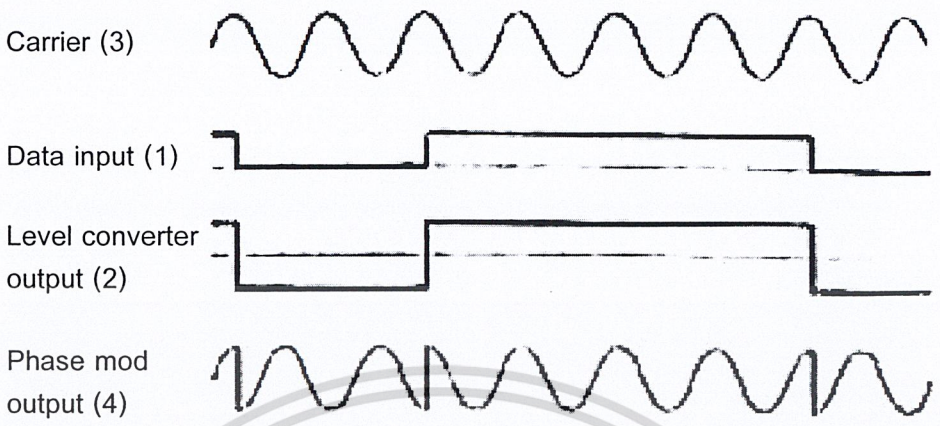
รูปที่ 3.1 บล็อกไดอะแกรมของเครื่องมอดูเลชั่นแบบ BPSK

จากรูป ประกอบไปด้วยวงจรในภาคต่าง ๆ มีการทำงานในแต่ละภาค คือ

3.1.1 Carrier Generator ประกอบไปด้วยวงจรหารความถี่ f/100 frequency divider และ Bandpass filter เมื่อสัญญาณ Clock Input เข้ามาจะถูกหารความถี่ด้วย 100 และเมื่อผ่านเข้าสู่ Bandpass filter สัญญาณที่ได้ก็จะเป็นสัญญาณซายน์เวฟ หรือ carrier ของวงจรนั่นเอง

3.1.2 phase Modulator ประกอบไปด้วยวงจร level converter และวงจร mixer โดยวงจร level converter จะเปลี่ยนสัญญาณ data input โดยปกติที่เข้ามาเป็นแบบ 0 v และ 5 v จะเปลี่ยนระดับเป็น -5 v และ +5 v ส่วนวงจร mixer ก็จะทำการผสมสัญญาณระหว่าง สัญญาณ data กับ carrier ซึ่งผลที่ได้คือการมอดูเลททางเฟสนั่นเอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.2 รูปสัญญาณลักษณะการมอดูเลทสัญญาณตามจุดต่าง ๆ

3.1.3 Level converter ประกอบไปด้วยทรานซิสเตอร์จำนวน 2 ตัว ทำหน้าที่เป็นสวิตซ์ มีการต่อไฟ +5 v และ –5 v ไว้ เมื่อสัญญาณอินพุทที่เข้ามามีค่าเท่ากับ +5 v ทรานซิสเตอร์ทั้งสองตัวก็จะ on ทำให้เอาท์พุทมีค่าเท่ากับ +5 v เมื่อสัญญาณอินพุทที่เข้ามามีค่าเท่ากับ 0 v ทรานซิสเตอร์ทั้งสองตัวก็จะมีสภาวะ off ทำให้เอาท์พุทมีค่าเท่ากับ – 5 v (TP3)

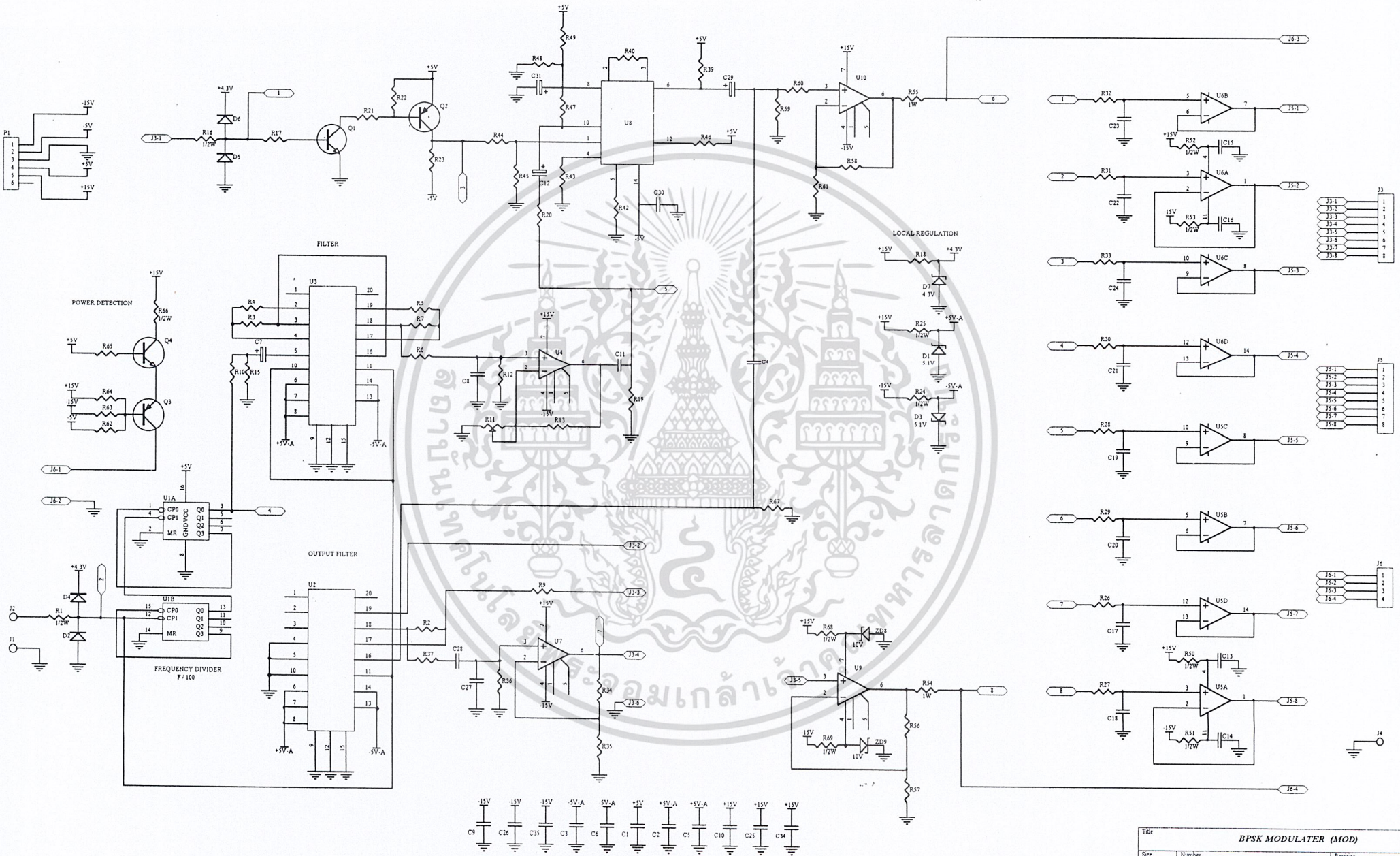
3.1.4 Mixer ในภาคหรือวงจรนี้จะเป็น analog multiplier ทำการผสมสัญญาณระหว่าง data และ carrier เข้าด้วยกัน (TP6)

3.1.5 Output Filter ประกอบด้วยวงจร bandpass filter โดยความถี่กลาง center frequency จะเหมือนกับความถี่ carrier (TP7)

3.1.6 Output Amplifier ทำการขยายสัญญาณเอาท์พุท BPSK ให้แรงขึ้น(TP8)

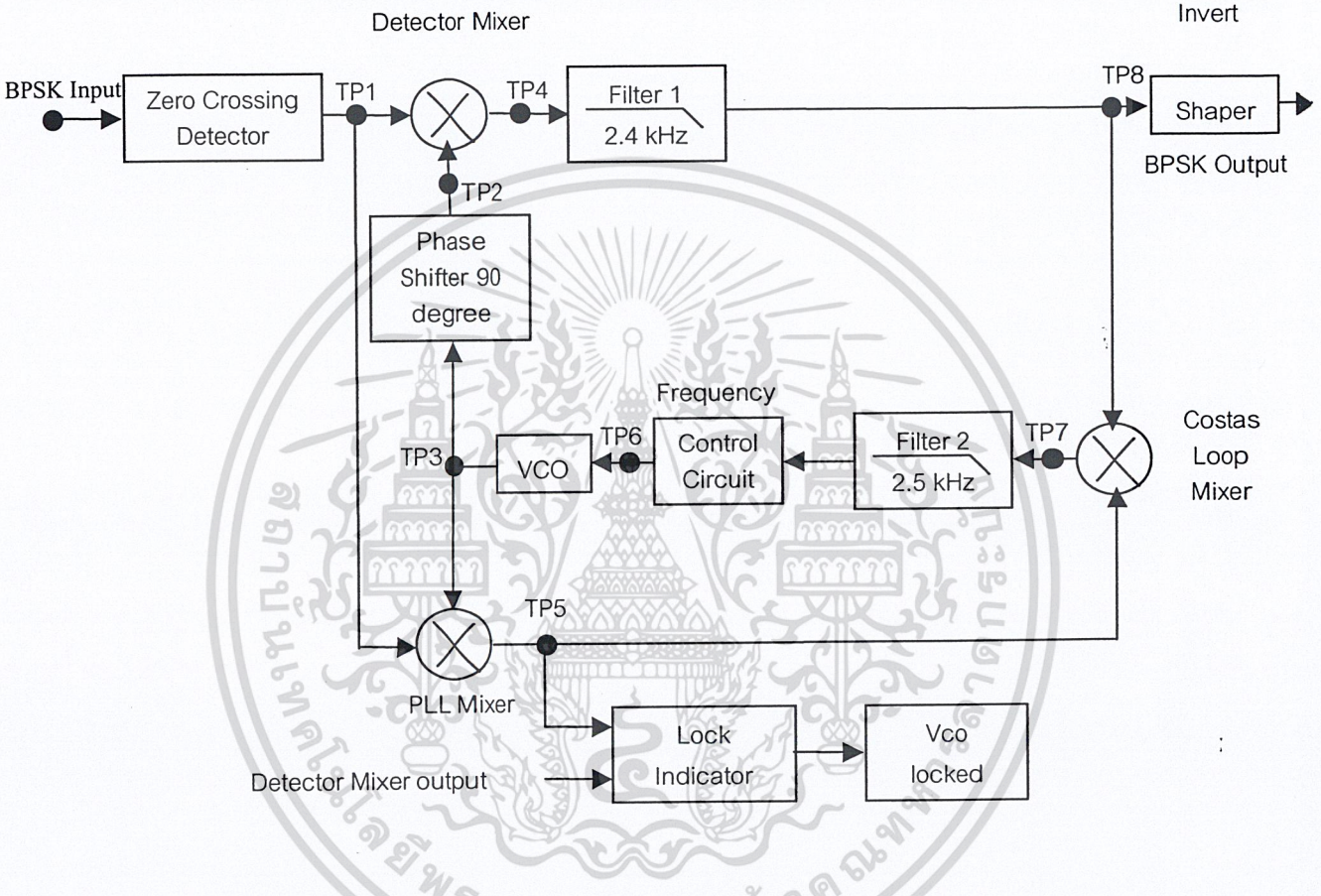
จากการทำงานในภาคต่าง ๆ ของบล็อกไดอะแกรม ทำการออกแบบวงจรได้ดังรูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้


FILTER
POWER DETECTION
LOCAL REGULATION
OUTPUT FILTER
FREQUENCY DIVIDER
F / 100
BPSK MODULATER (MOD)
R3102
V1.0
19-Aug-2002

3.2 เครื่องดีมอดูเลชั่นแบบ BPSK

ในส่วนของเครื่องดีมอดูเลชั่น มีบล็อกไดอะแกรมโดยละเอียดดังนี้.-



รูปที่ 3.4 บล็อกไดอะแกรมของเครื่องดีมอดูเลชั่นแบบ BPSK

จากรูป ประกอบไปด้วยวงจรในภาคต่าง ๆ มีการทำงานในแต่ละภาค คือ

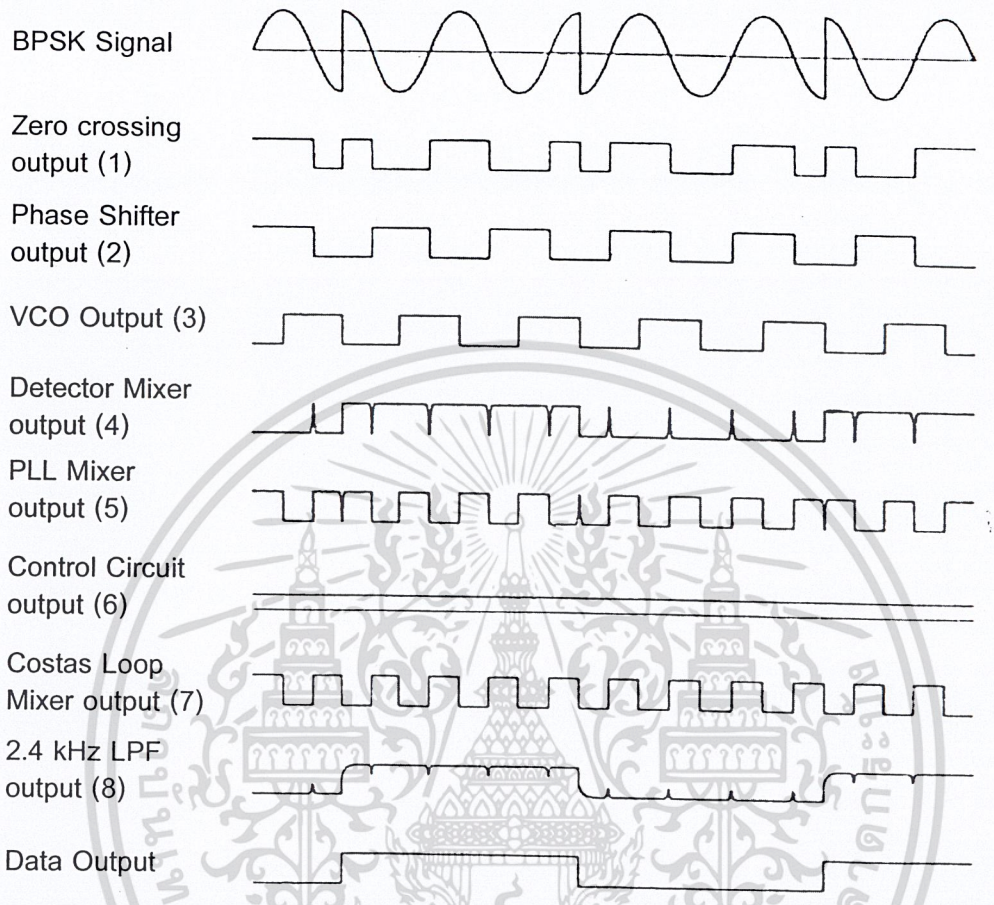
3.2.1 Zero Crossing Detector มีหน้าที่เปลี่ยนหรือแปลงสัญญาณอนาล็อก BPSK ที่เข้ามาให้อยู่ในลักษณะเป็นสัญญาณดิจิตอล ที่มีความถี่และเฟสเหมือนกัน (TP1)

3.2.2 Detector Mixer ทำหน้าที่ผสมสัญญาณที่รับมาได้โดยถูกแปลงจากวงจร zero crossing detector แล้ว กับสัญญาณจากวงจร ninety-degree phase shifter เพื่อให้ได้สัญญาณ data ออกมา (TP4)

3.2.3 Ninety-Degree Phase Shifter ทำการเลื่อนเฟสของสัญญาณจาก VCO ไป 90 องศา (TP2)

3.2.4 PLL Mixer ทำหน้าที่ผสมสัญญาณจาก zero crossing detector กับ VCO เข้าด้วยกัน โดยความแตกต่างของสองเฟสที่เข้ามาก็คือสัญญาณความผิดพลาดทางเฟส (TP5)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.5 รูปสัญญาณลักษณะการดีมอดูเลทสัญญาณตามจุดต่าง ๆ

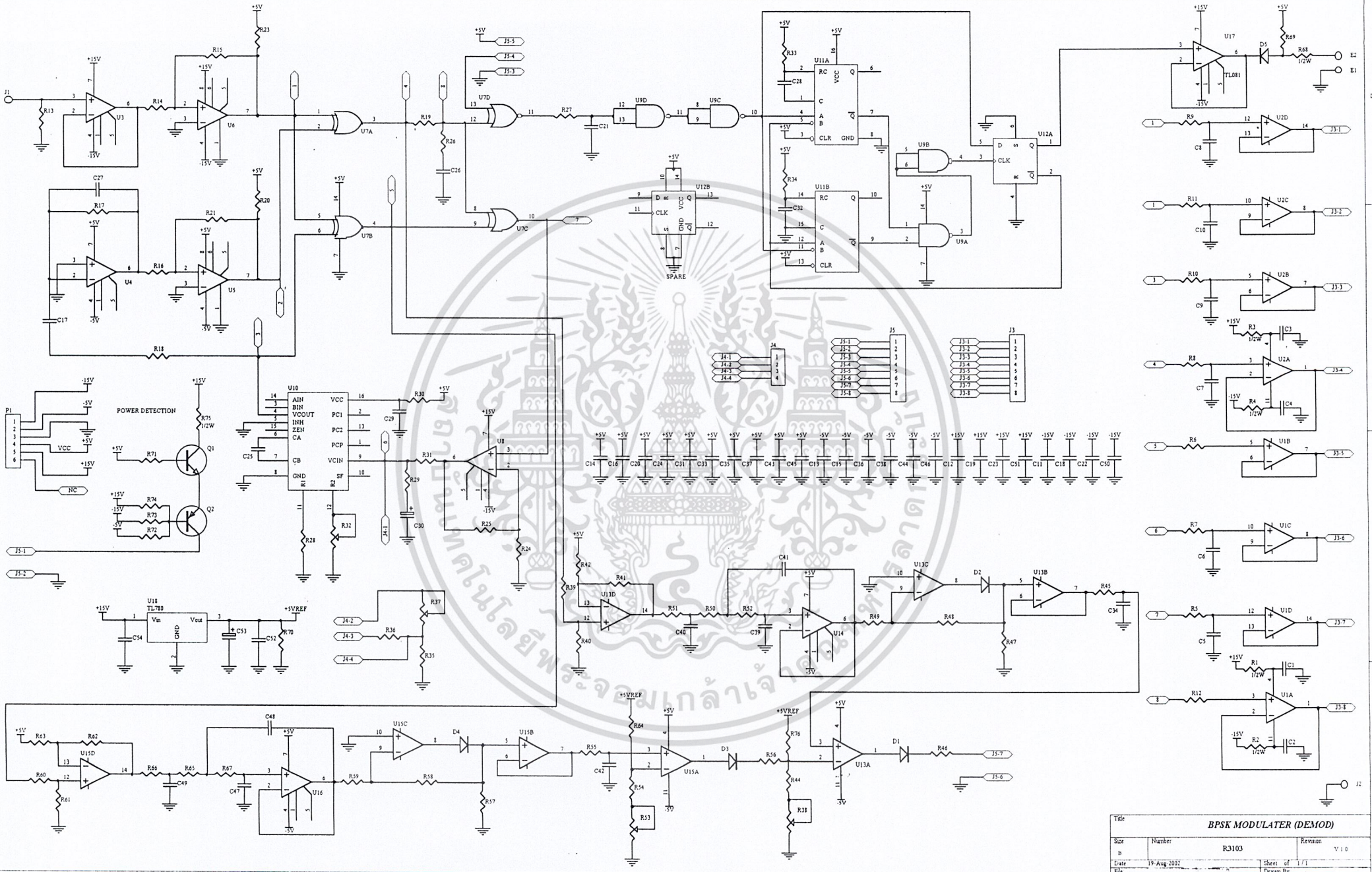
3.2.5 Voltage Controlled Oscillator (VCO) จะทำการผลิตสัญญาณความถี่ขึ้นมาจากการควบคุมของแรงดันไฟ โดยเมื่อ VCO อยู่ในสภาวะล็อก จะมีค่าความถี่เท่ากับ BPSK carrier frequency (TP3)

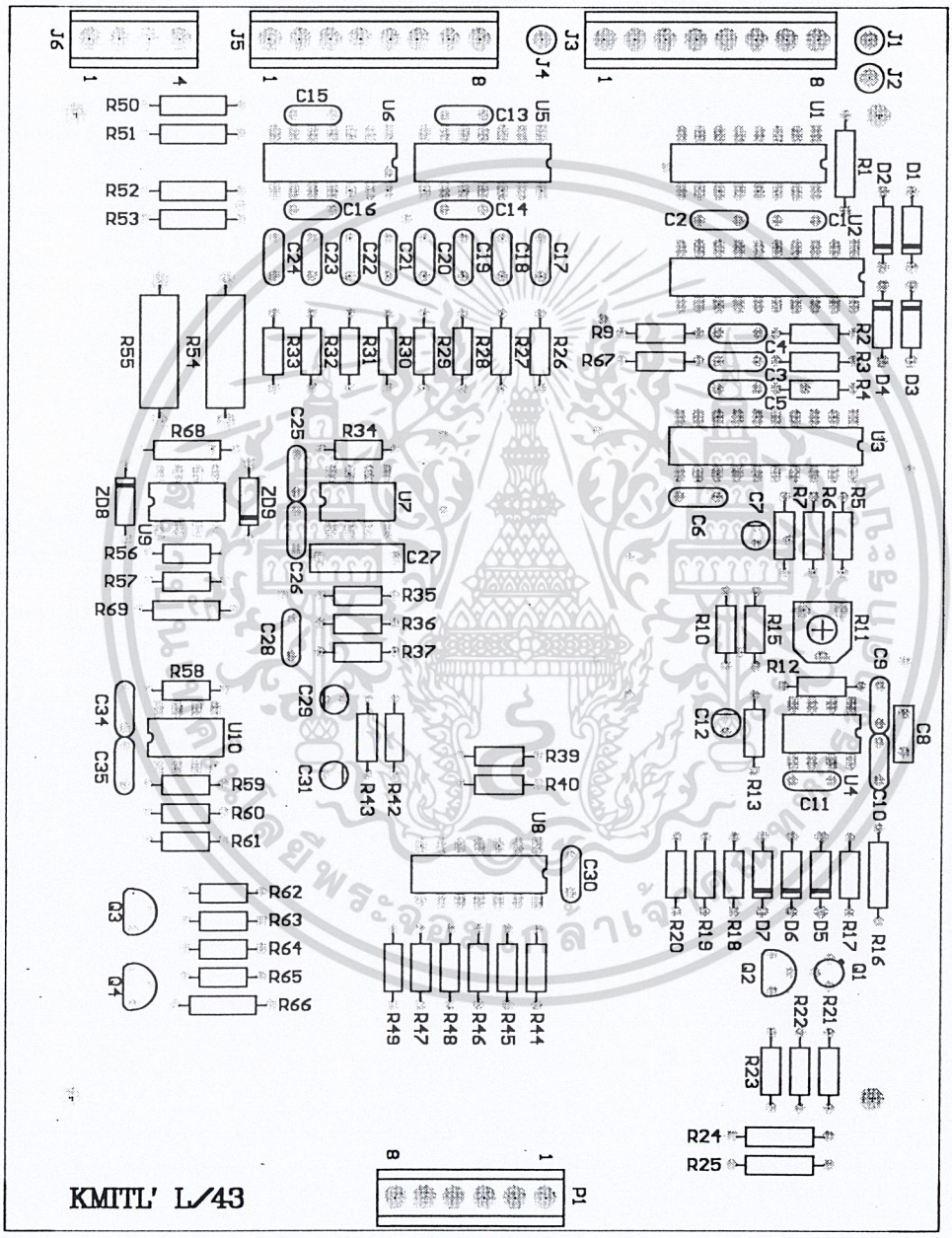
3.2.6 Costas Loop Mixer ทำหน้าที่ผสมสัญญาณจาก PLL Mixer กับสัญญาณเอาท์พุทจาก Filter 1 เพื่อให้ได้สัญญาณที่จะนำไปเป็นสัญญาณอ้างอิงต่อไป (TP7)

3.2.7 Lock Indicator Circuit ทำหน้าที่สร้างแรงดันไฟให้แสดงสถานะการล็อกและไม่ล็อกของ PLL โดยเมื่อมีการล็อกก็จะทำการสร้างแรงดันไฟให้ LED ติดแสดงสถานะการล็อก เมื่อไม่มีการล็อกก็จะสร้างแรงดันไฟอีกค่าหนึ่งเพื่อทำให้ LED ดับ

จากการทำงานในภาคต่าง ๆ ของบล็อกไดอะแกรม ทำการออกแบบวงจรได้ดังรูป

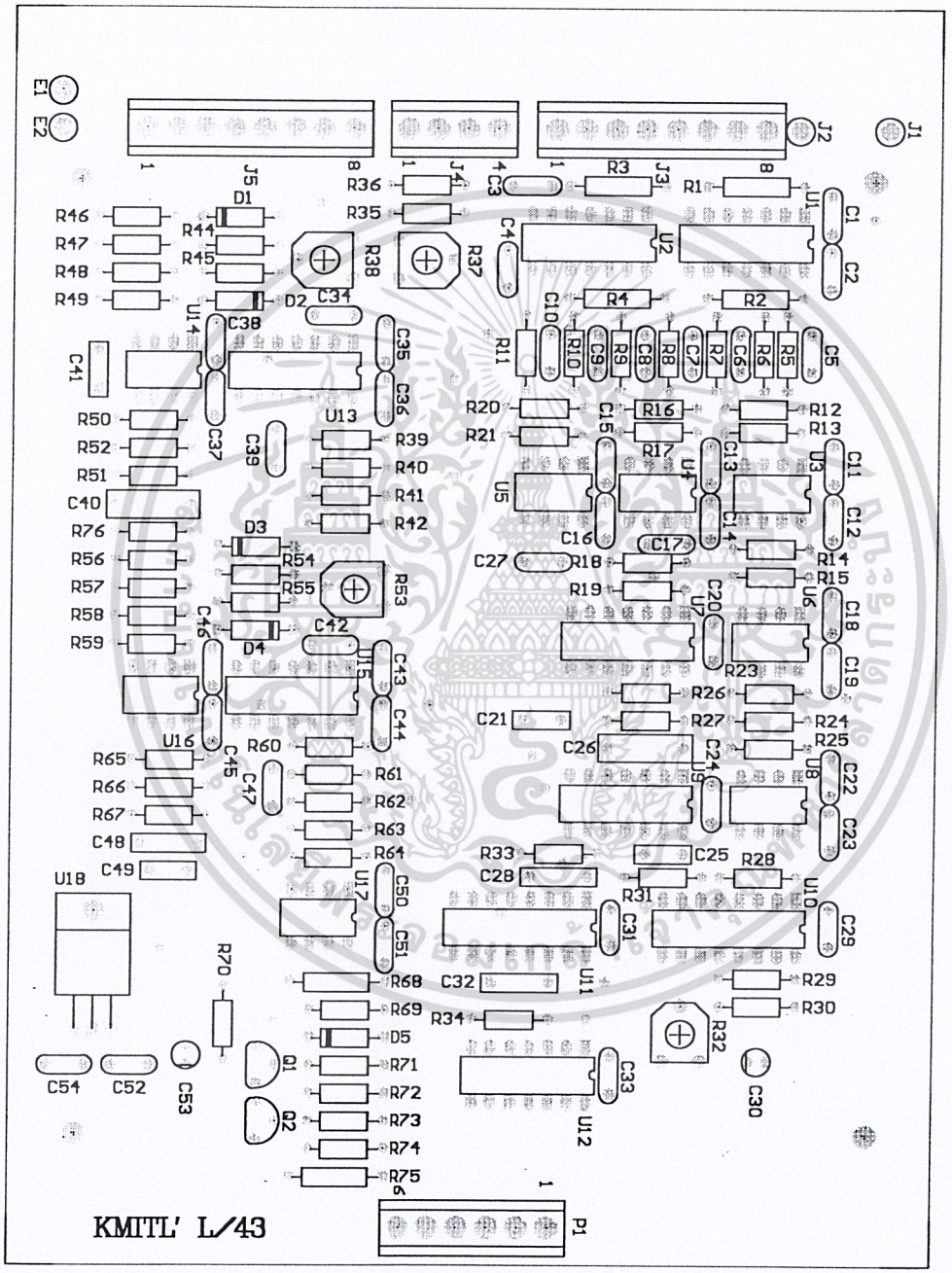
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้


POWER DETECTION
SPARE
BPSK MODULATER (DEMOD)
R3103
V1.0
19-Aug-2002
Sheet of 1/1



รูปที่ 3.8 รูปแผ่นวงจร ของ BPSK Modulation

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.9 รูปแผ่นวงจร ของ BPSK Demodulation

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

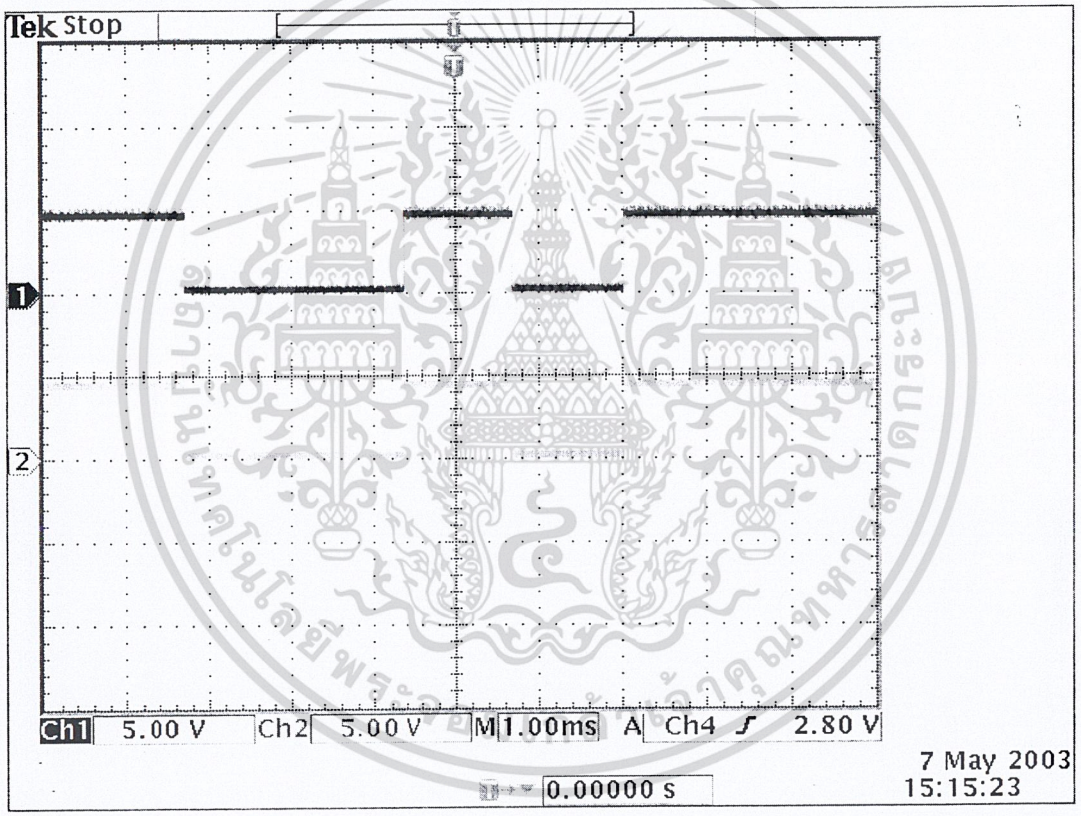
การทดลอง และผลการทดลอง

เมื่อทำการออกแบบและสร้างวงจรของเครื่องมอดูเลชั่นและดีมอดูเลชั่น แบบ BPSK แล้ว จึงทำการทดลองในส่วนต่าง ๆ ของวงจรดังนี้.-

4.1 เครื่องมอดูเลชั่นแบบ BPSK

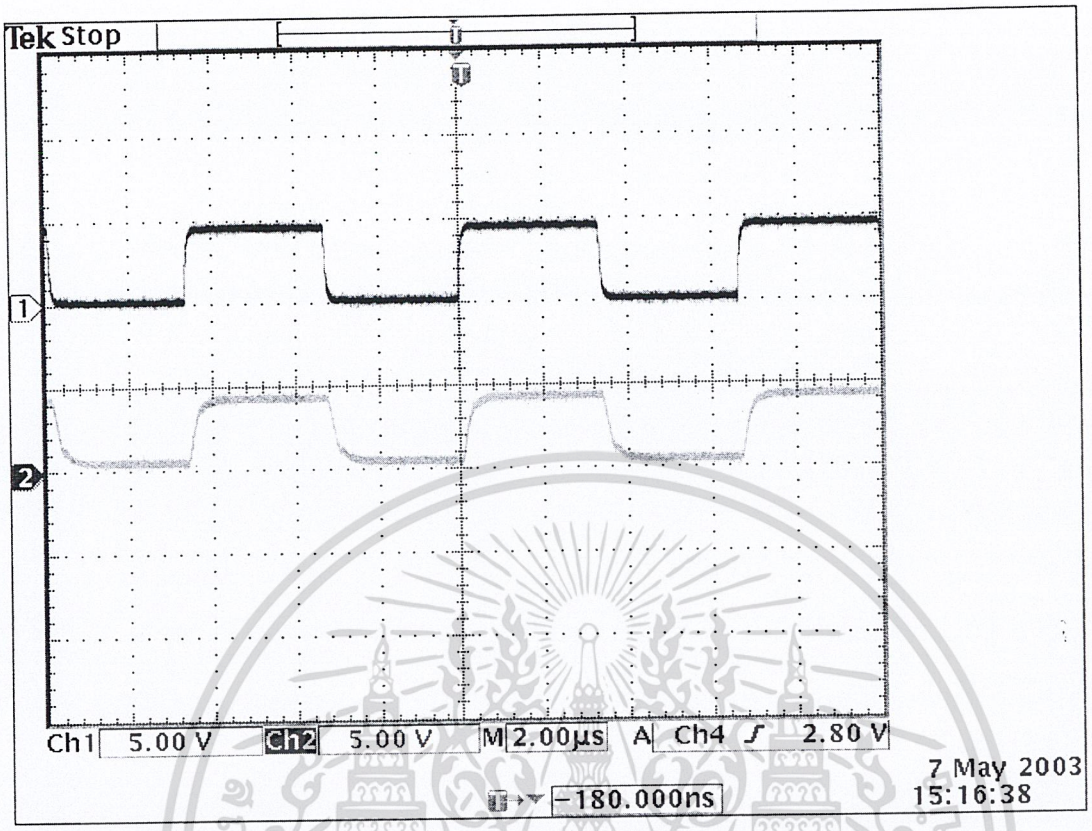
ป้อนสัญญาณ data ที่ 158 bits/s

ป้อนสัญญาณ clock ที่ 1.5 kHz ได้รูปสัญญาณดังนี้

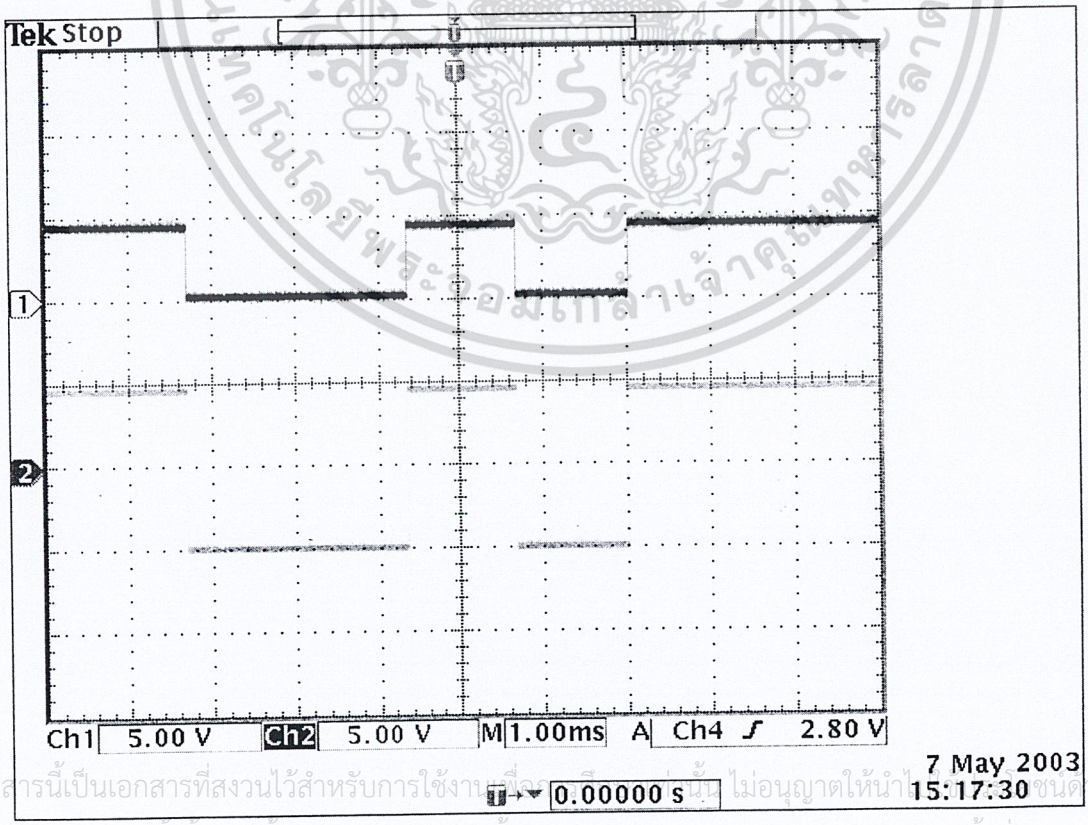


รูปที่ 4.1 ch1 = สัญญาณ data : ch2 = สัญญาณ test point 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

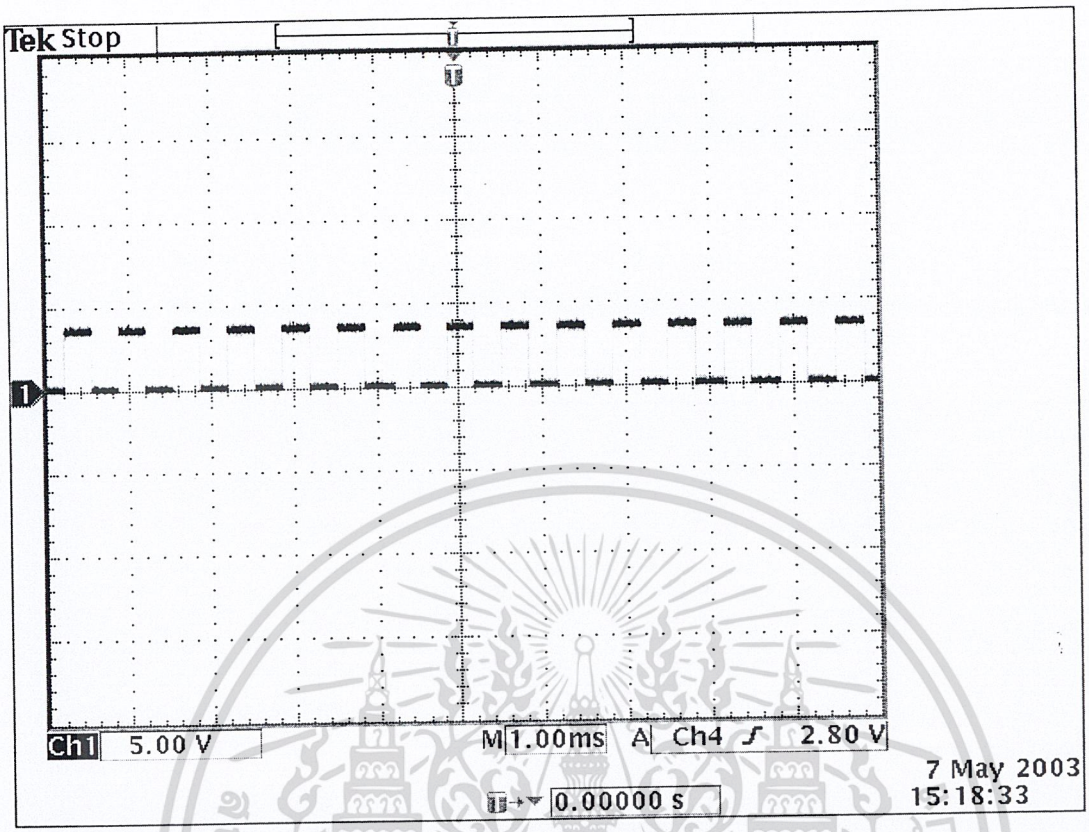


รูปที่ 4.2 ch1 = สัญญาณ clock : ch2 = สัญญาณ test point 2

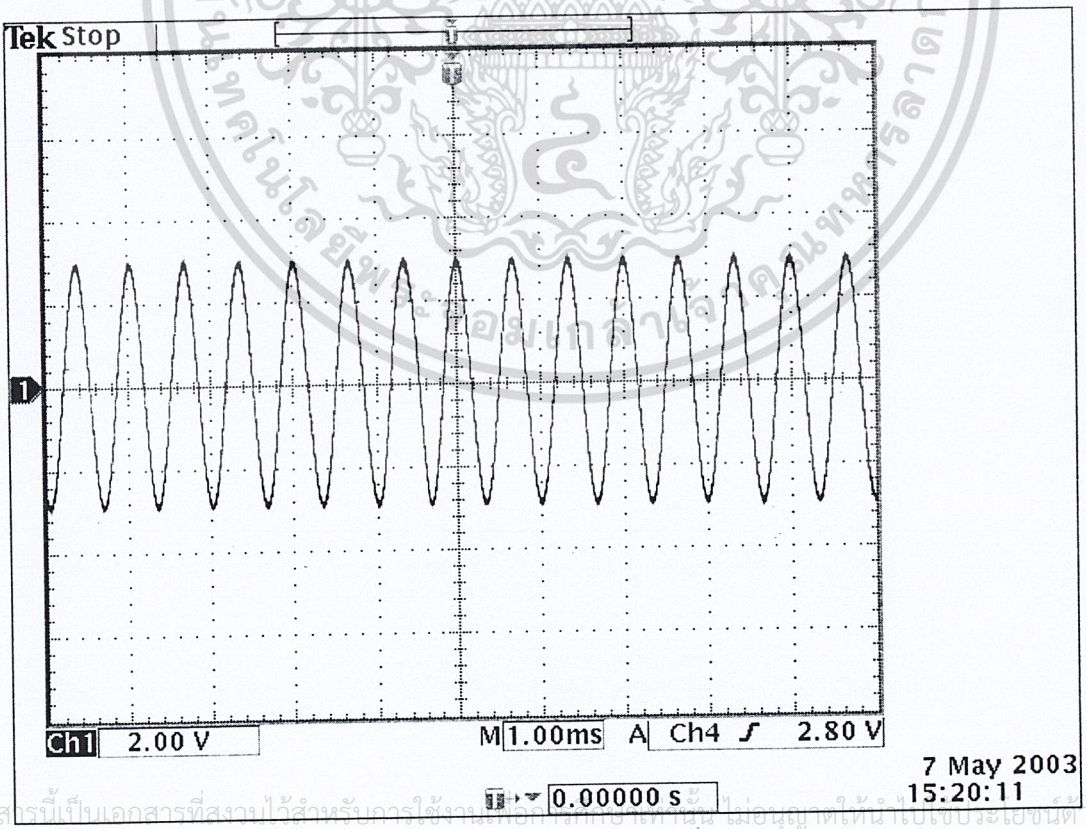


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 4.3 ch1 = สัญญาณ data : ch2 = สัญญาณ test point 3

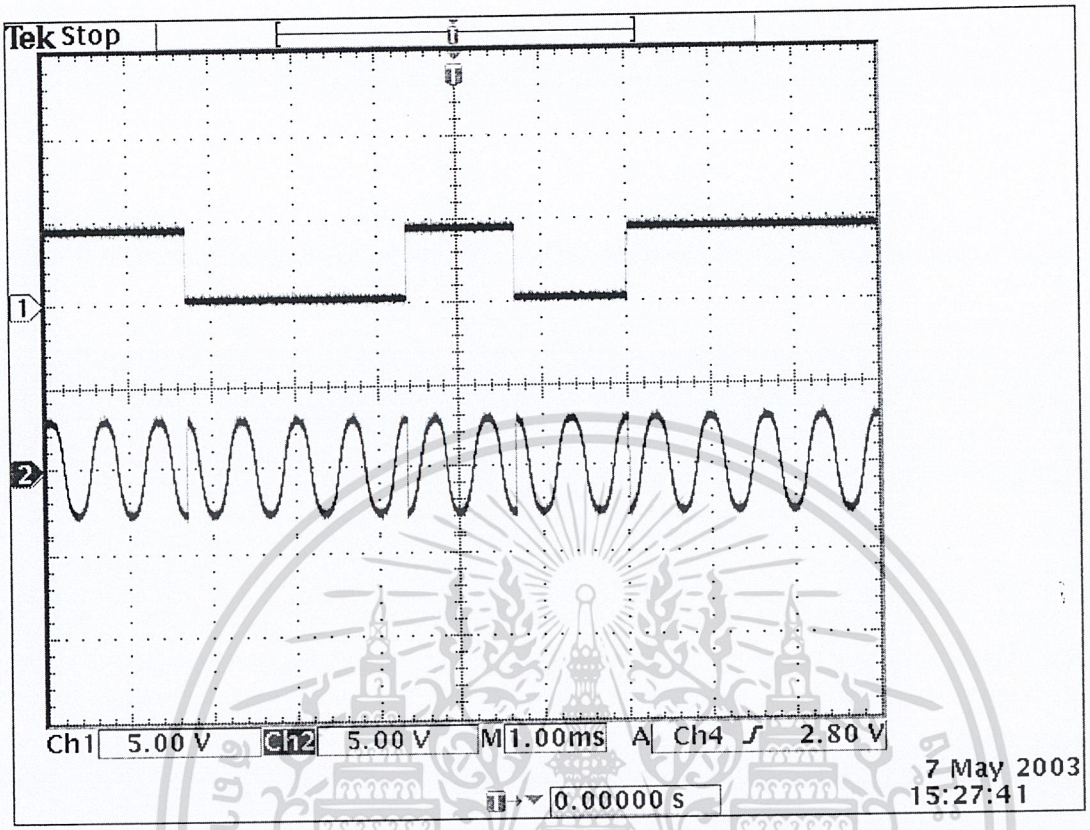


รูปที่ 4.4 สัญญาณ test point 4

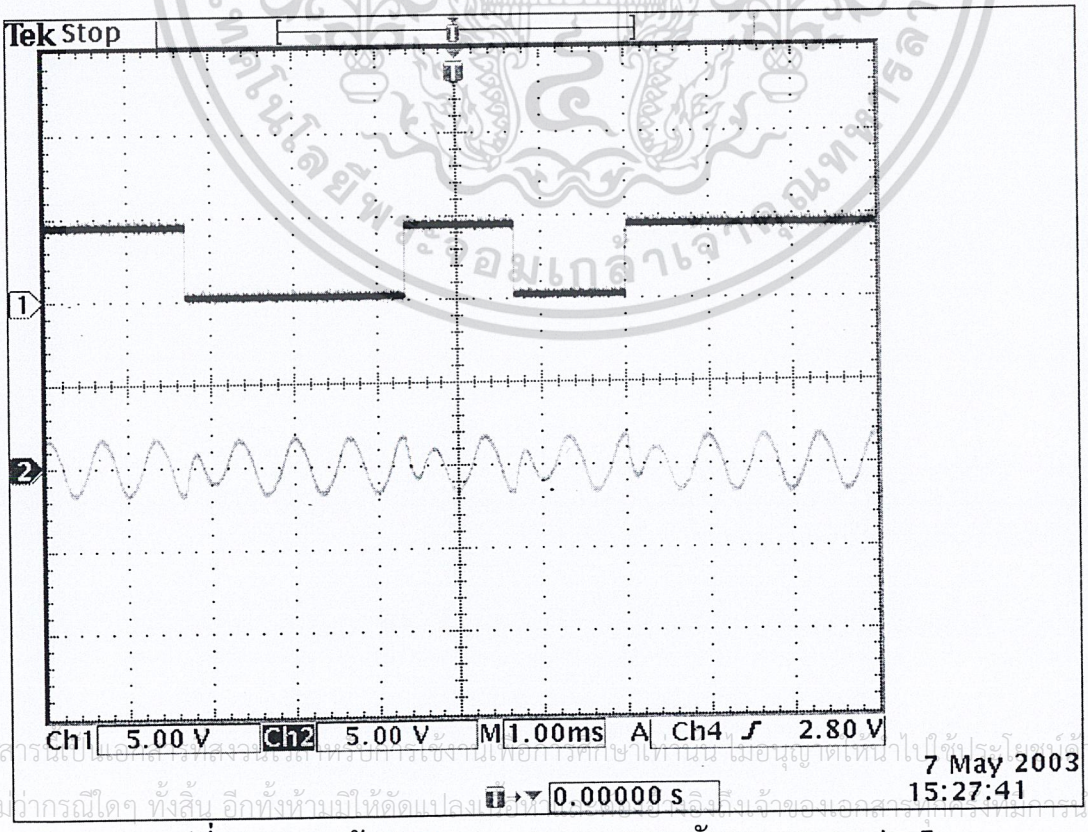


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 4.5 สัญญาณ test point 5

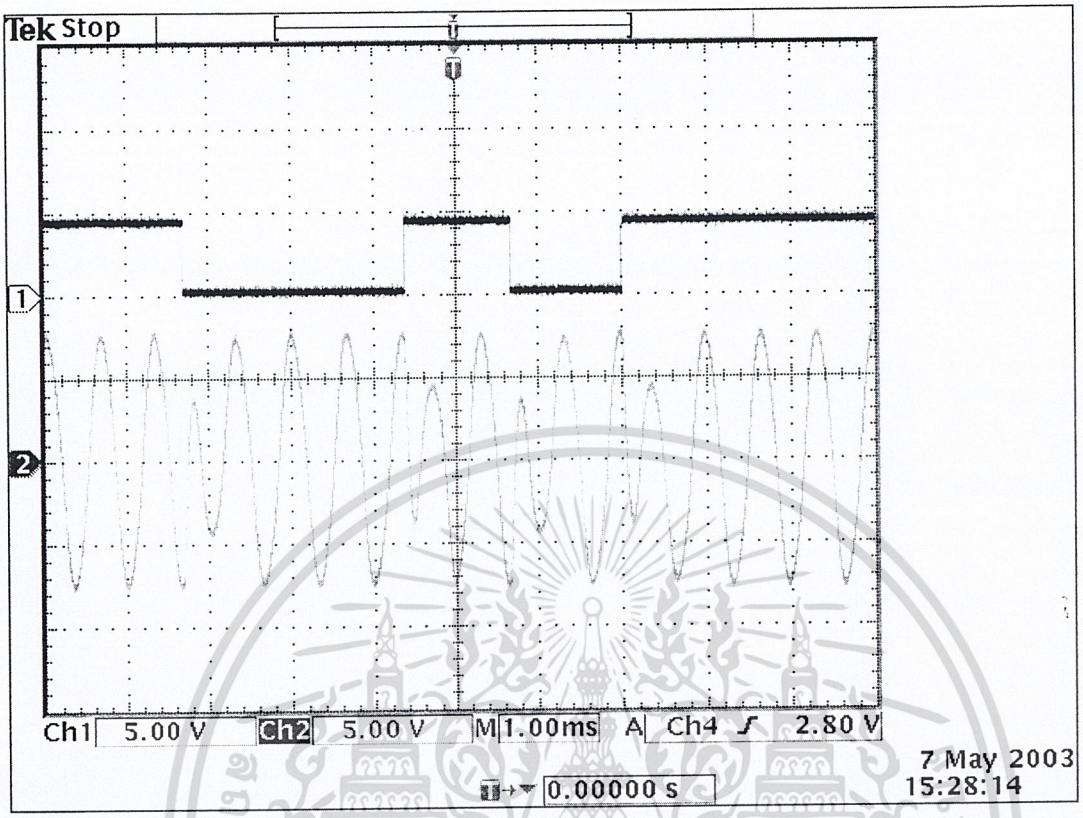


รูปที่ 4.6 ch1 = สัญญาณ test point 1 : ch2 = สัญญาณ test point 6

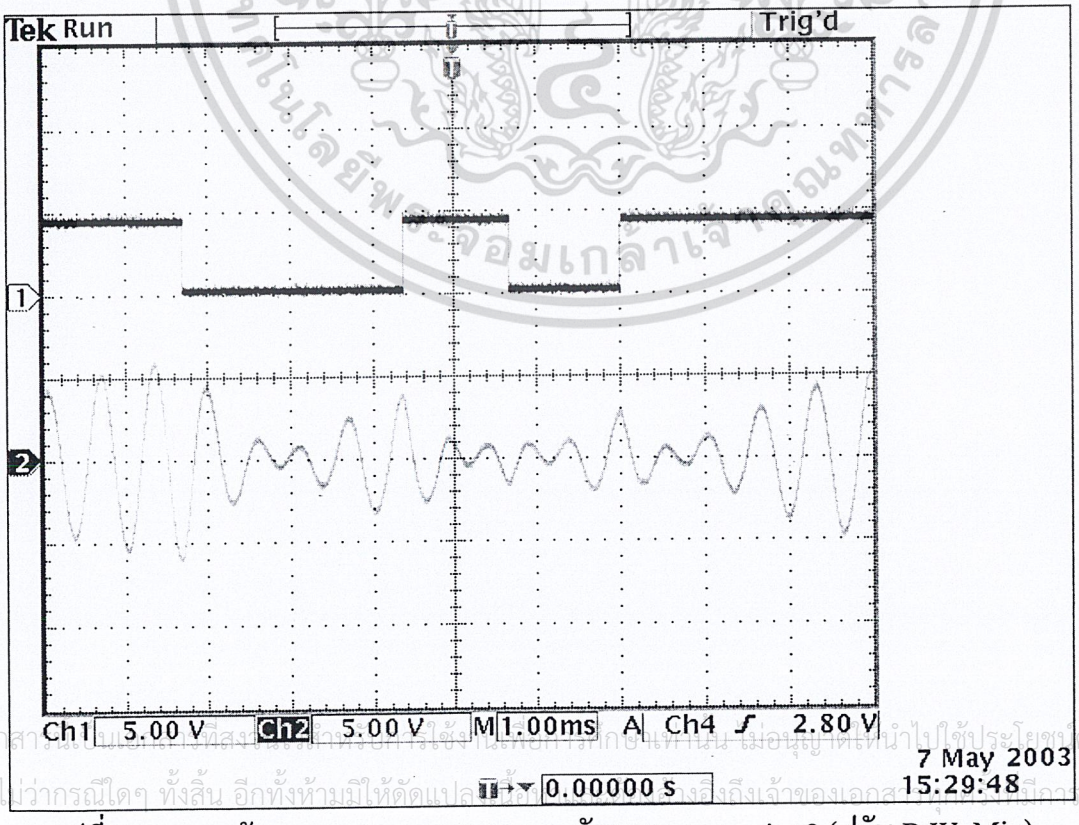


รูปที่ 4.7 ch1 = สัญญาณ test point 1 : ch2 = สัญญาณ test point 7

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.8 ch1 = สัญญาณ test point 1 : ch2 = สัญญาณ test point 8 (ปรับ B.W. Max)

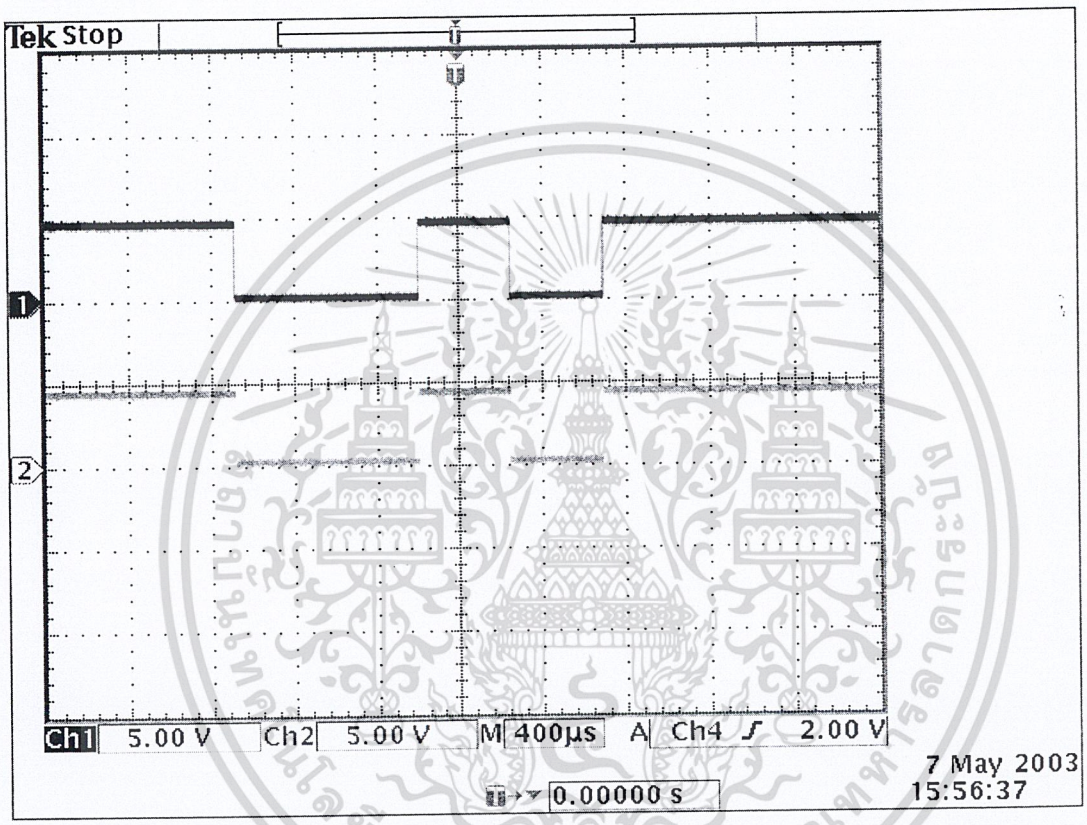


รูปที่ 4.9 ch1 = สัญญาณ test point 1 : ch2 = สัญญาณ test point 8 (ปรับ B.W. Min)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

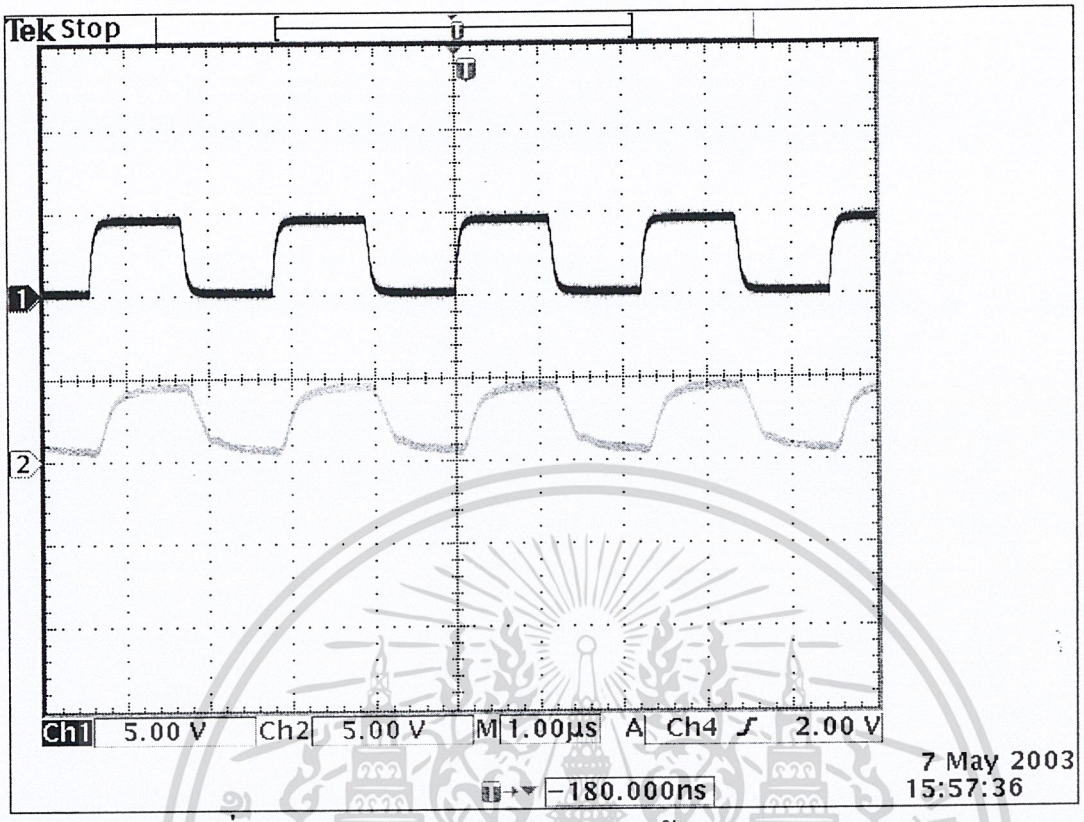
ป้อนสัญญาณ data ที่ 2.27 kbits/s

ป้อนสัญญาณ clock ที่ 4.5 kHz ได้รูปสัญญาณดังนี้

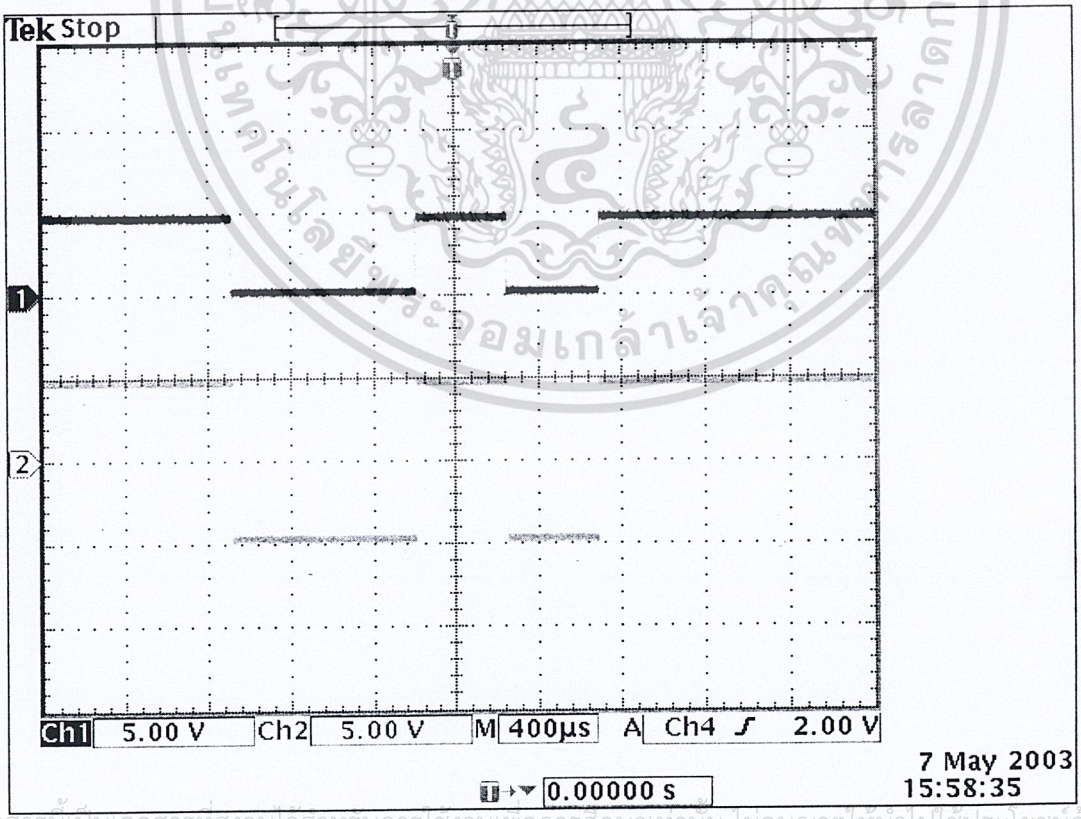


รูปที่ 4.10 ch1 = สัญญาณ data : ch2 = สัญญาณ test point 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

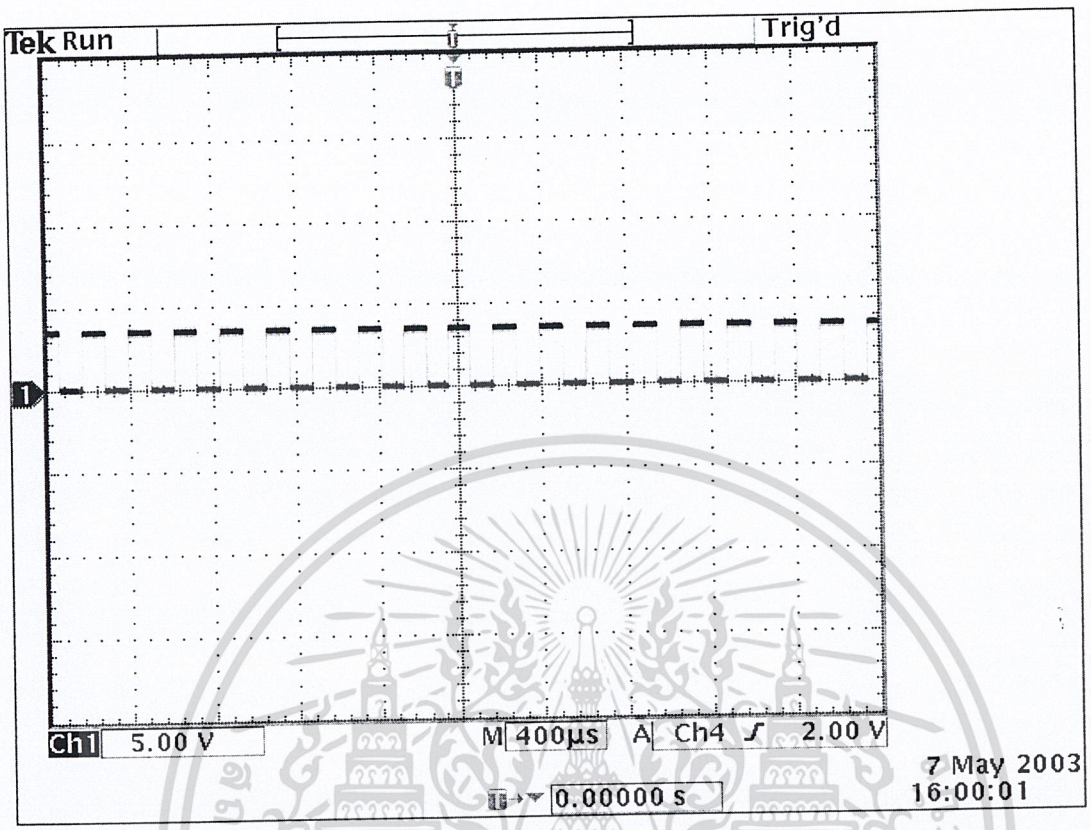


รูปที่ 4.11 ch1 = สัญญาณ clock : ch2 = สัญญาณ test point 2

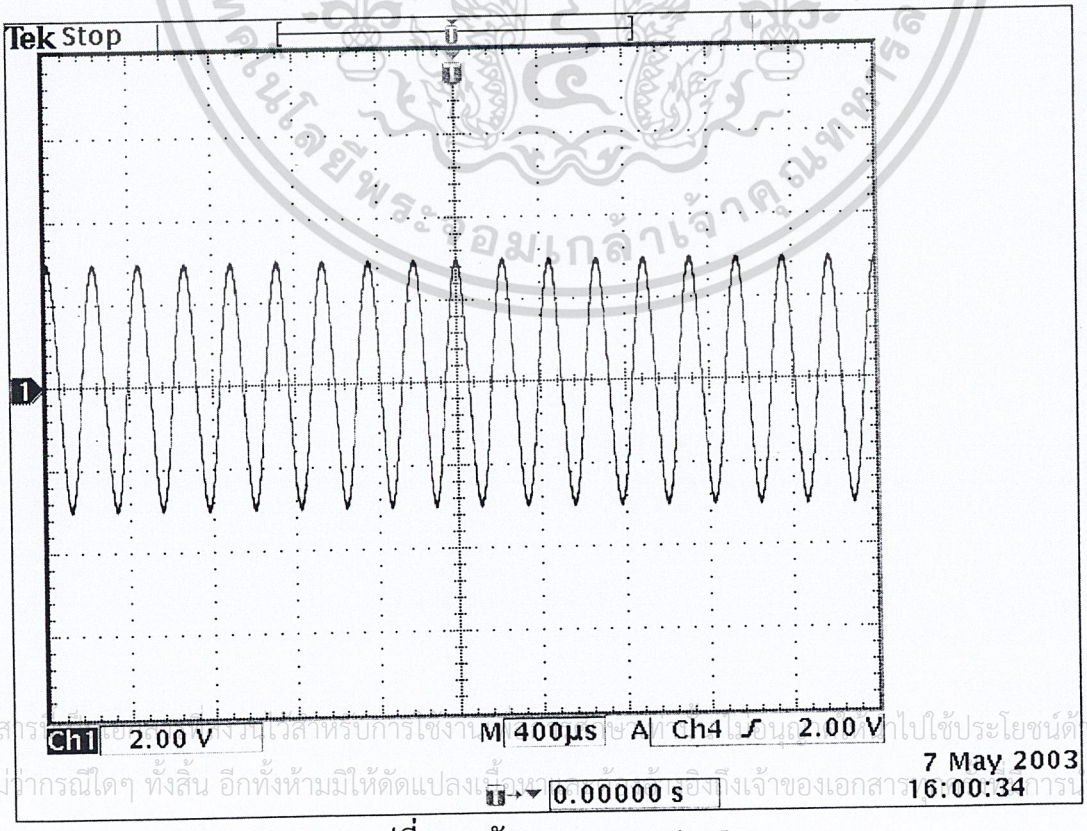


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 4.12 ch1 = สัญญาณ data : ch2 = สัญญาณ test point 3

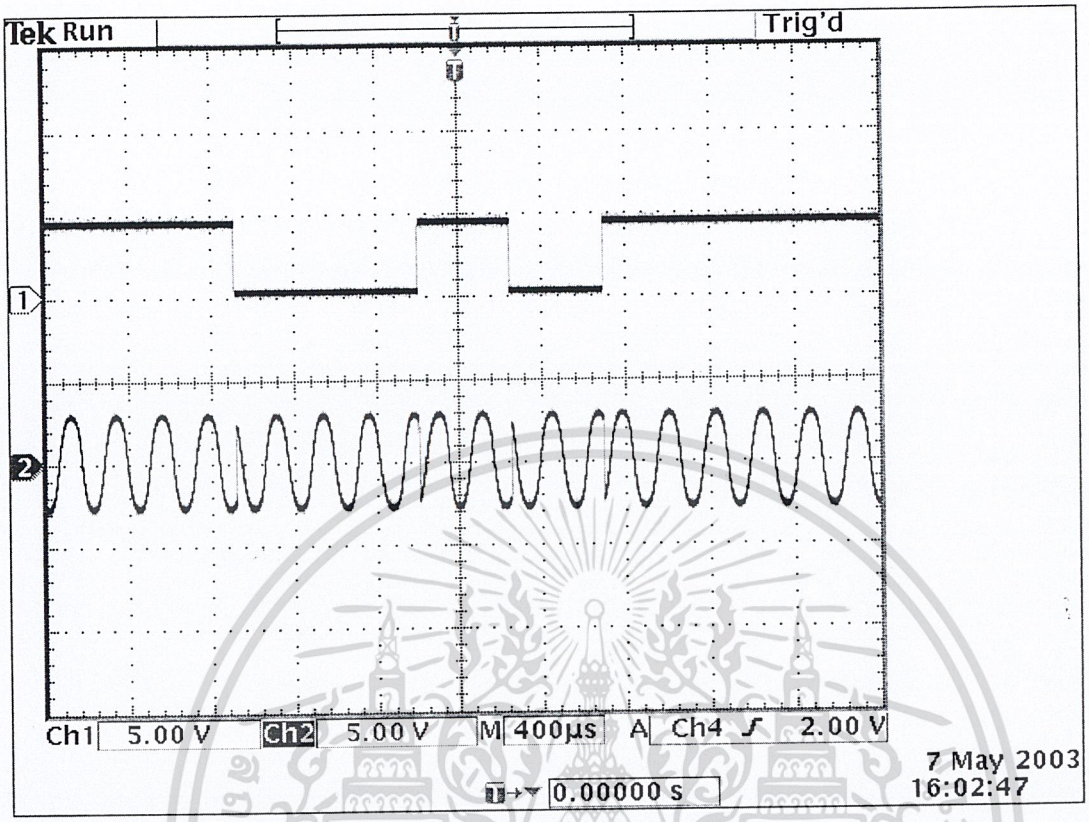


รูปที่ 4.13 สัญญาณ test point 4

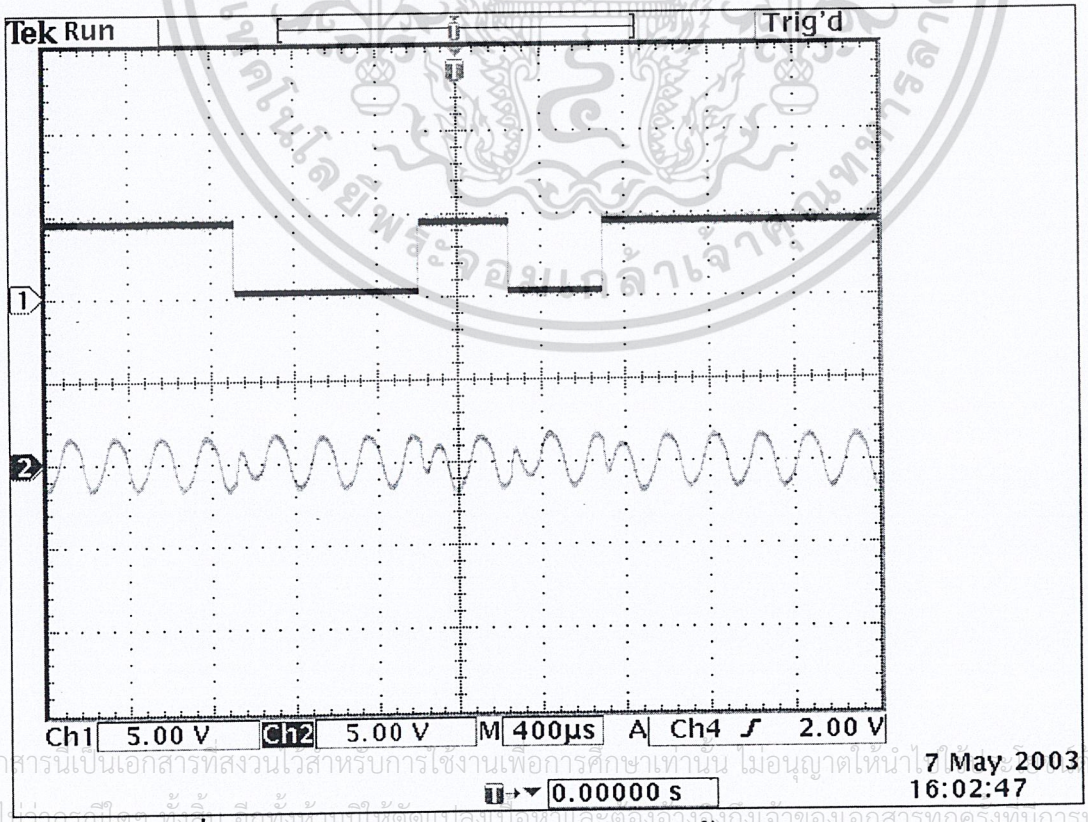


รูปที่ 4.14 สัญญาณ test point 5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

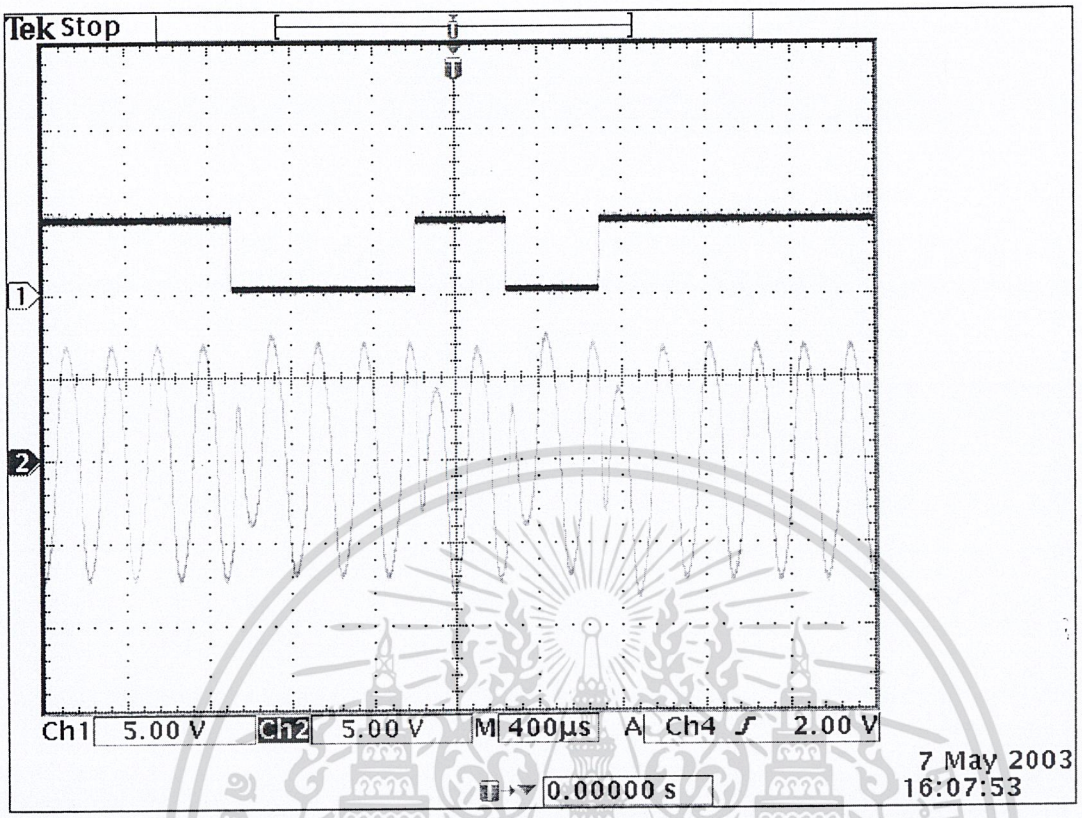


รูปที่ 4.15 ch1 = สัญญาณ test point 1 : ch2 = สัญญาณ test point 6

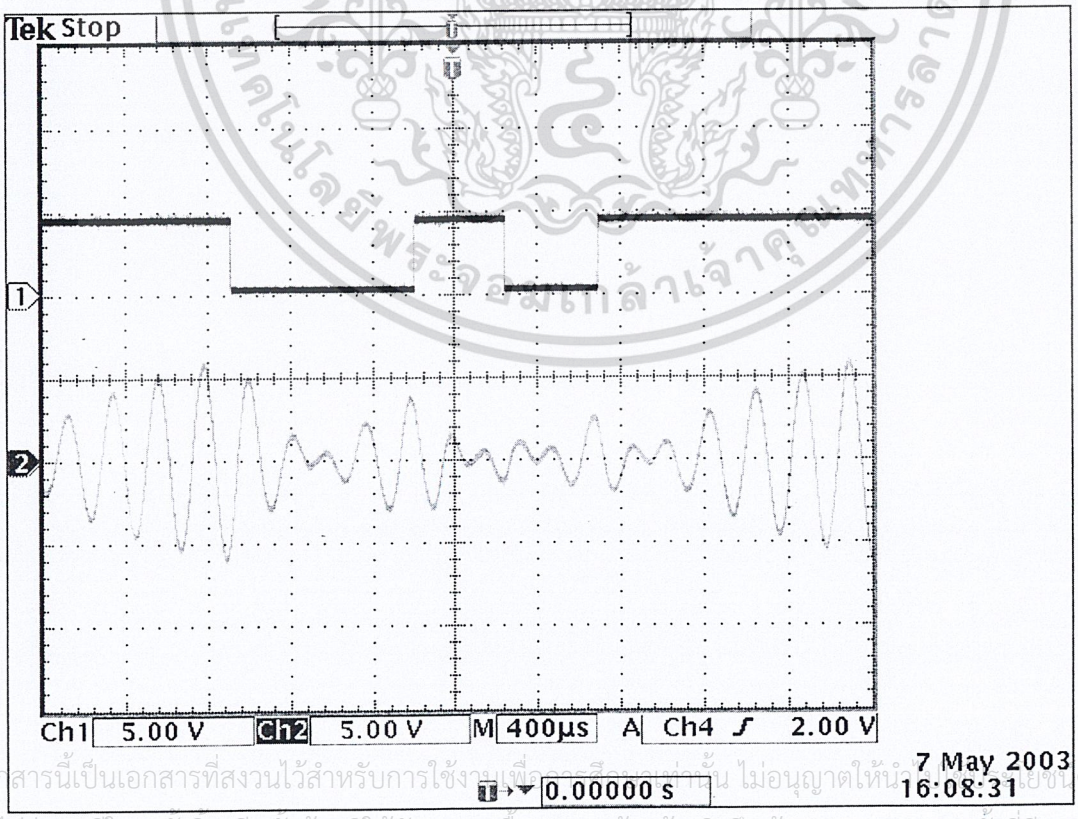


รูปที่ 4.16 ch1 = สัญญาณ test point 1 : ch2 = สัญญาณ test point 7

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ ดัดแปลง เผยแพร่ หรือเพื่อการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.17 ch1 = สัญญาณ test point 1 : ch2 = สัญญาณ test point 8 (ปรับ B.W. Max)



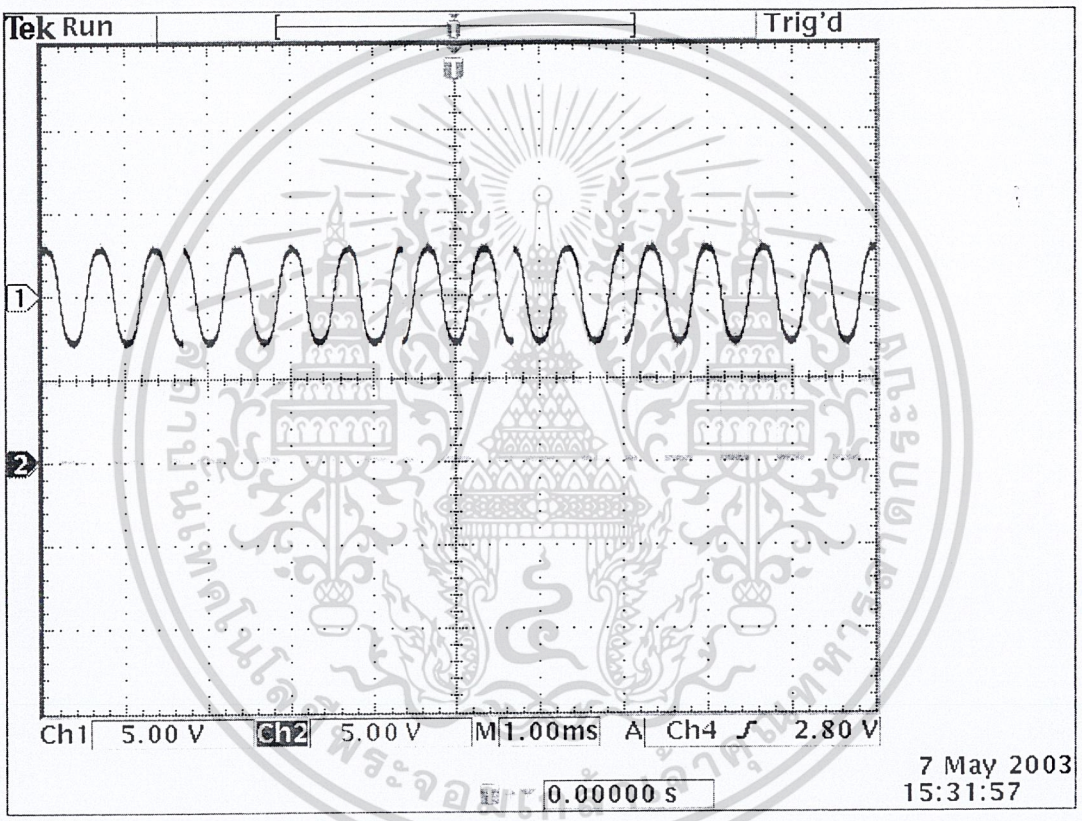
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 4.18 ch1 = สัญญาณ test point 1 : ch2 = สัญญาณ test point 8 (ปรับ B.W. Min)

4.2 เครื่องดีมอดูเลชั่นแบบ BPSK

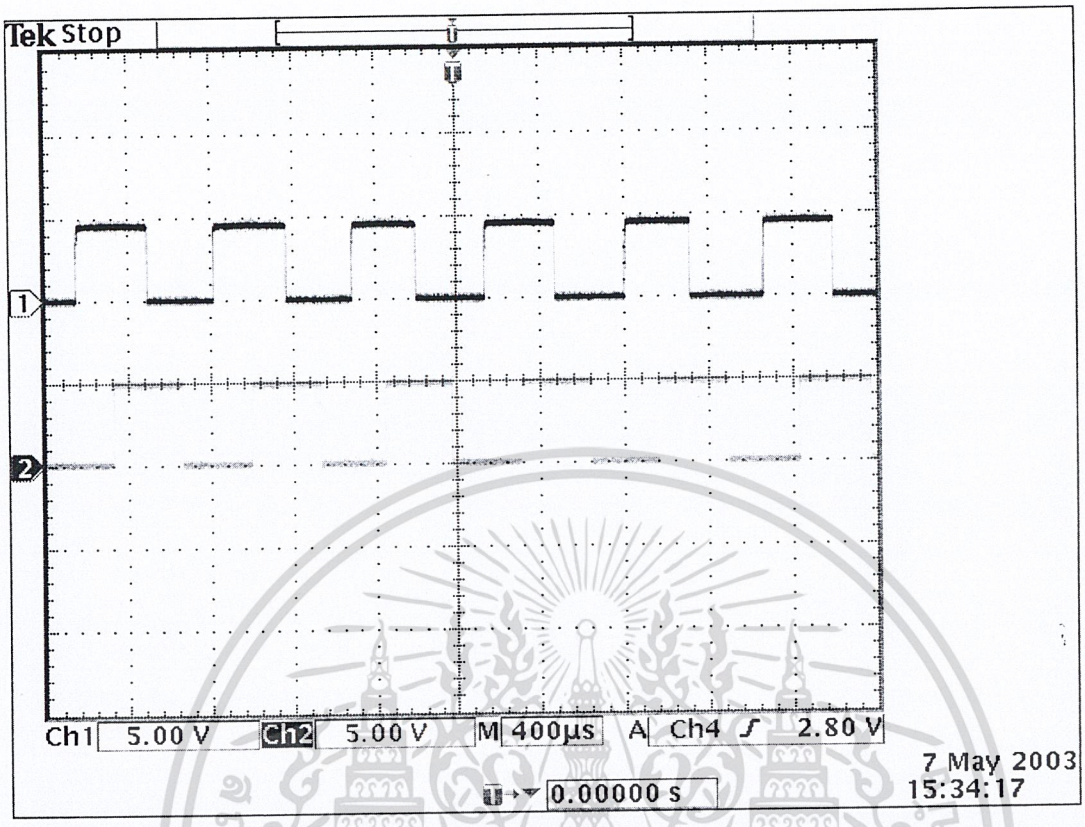
ป้อนสัญญาณ data ที่ 158 bits/s

ป้อนสัญญาณ clock ที่ 1.5 kHz ได้รูปสัญญาณดังนี้

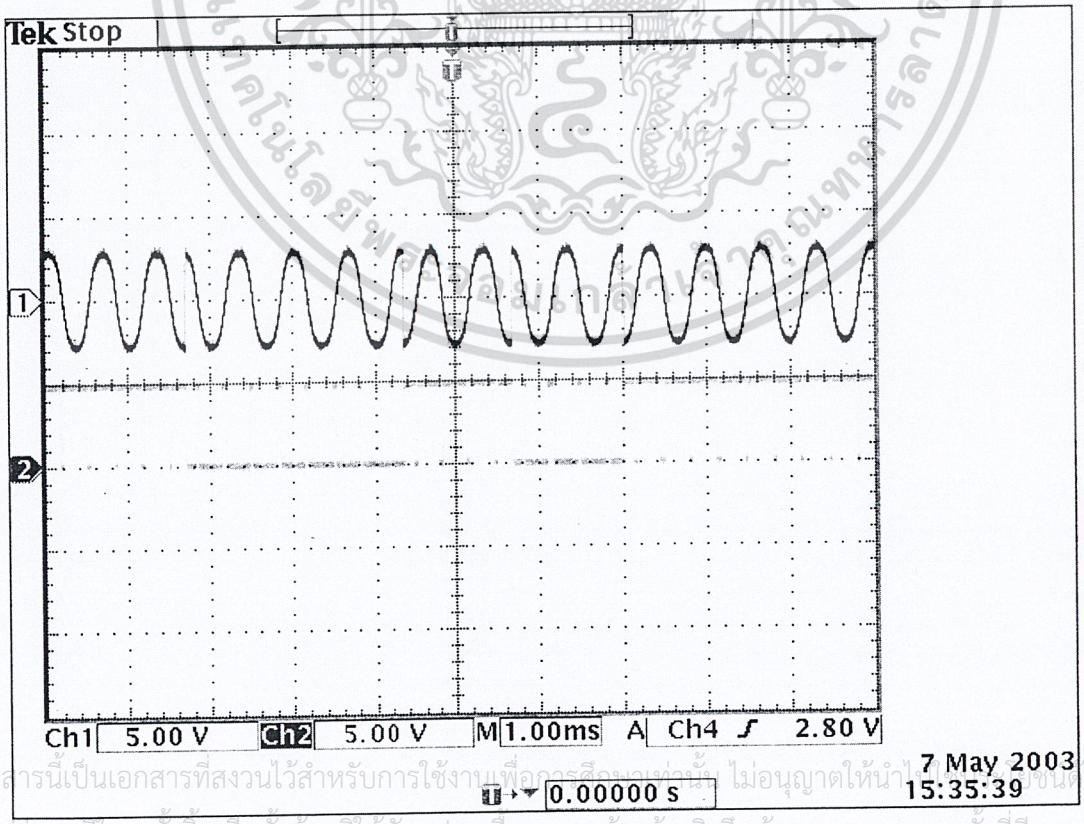


รูปที่ 4.19 ch1 = สัญญาณ phase in : ch2 = สัญญาณ test point 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

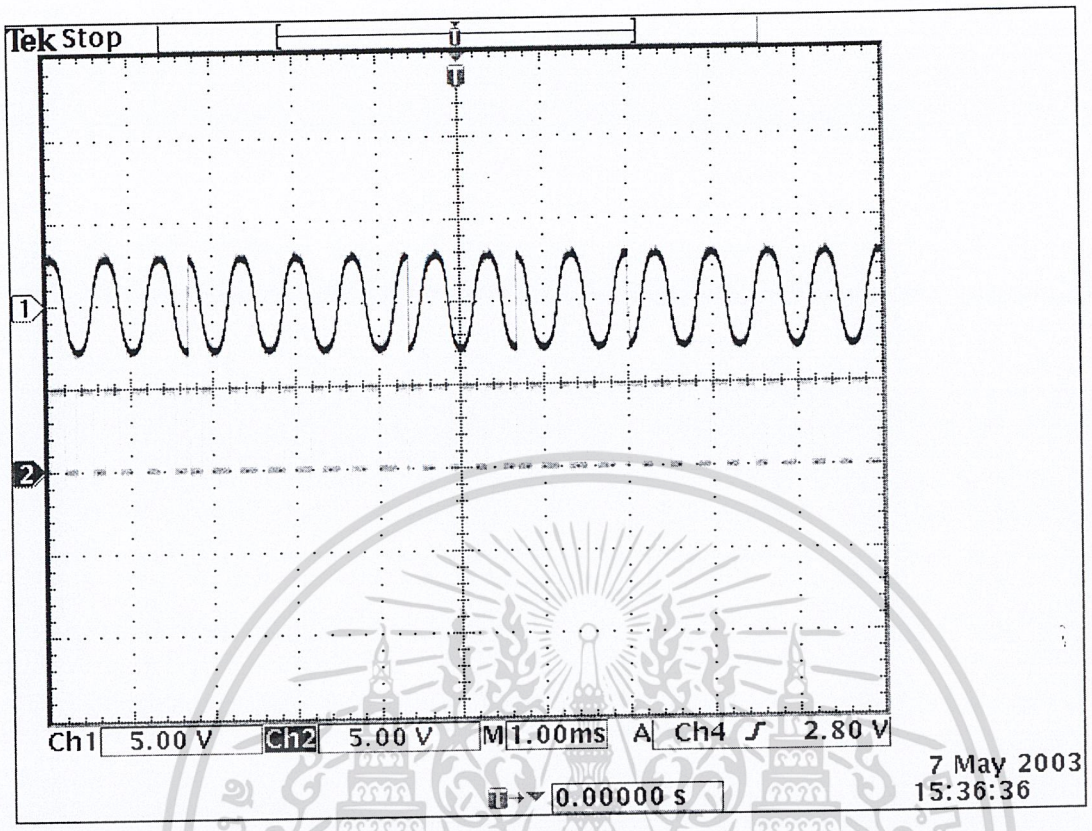


รูปที่ 4.20 ch1 = สัญญาณ test point 2 : ch2 = สัญญาณ test point 3

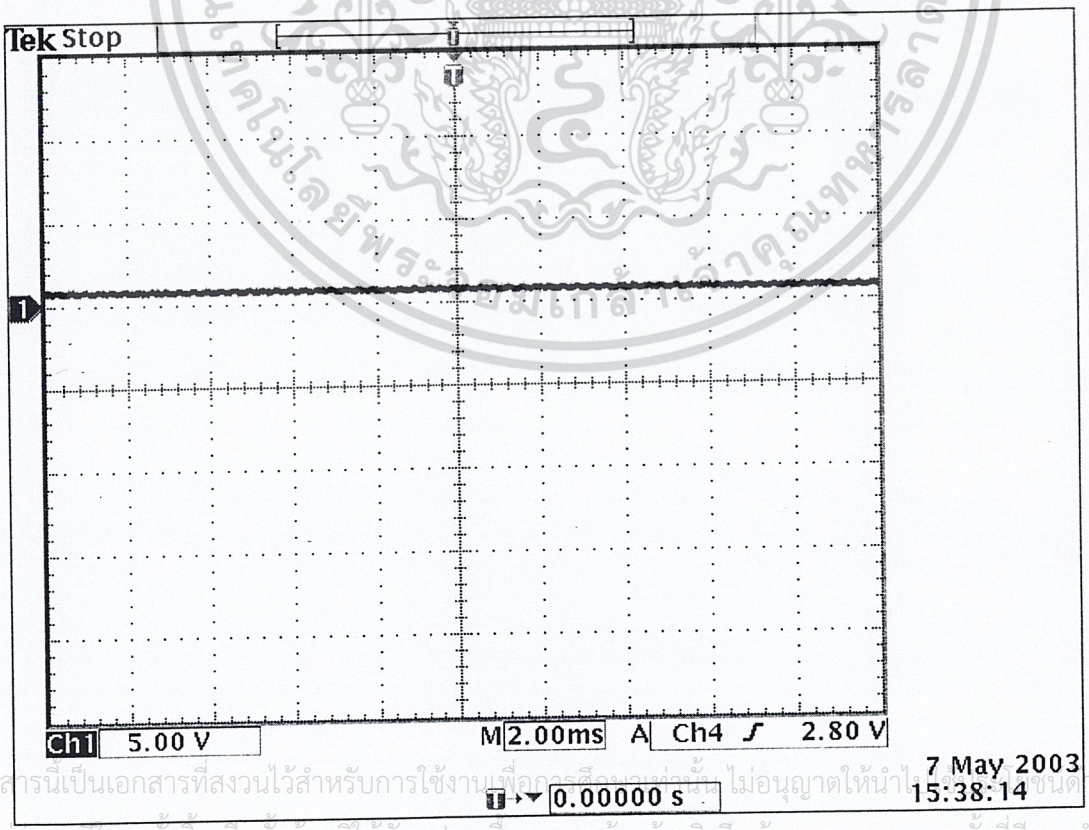


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 4.21 ch1 = สัญญาณ phase in : ch2 = สัญญาณ test point 4

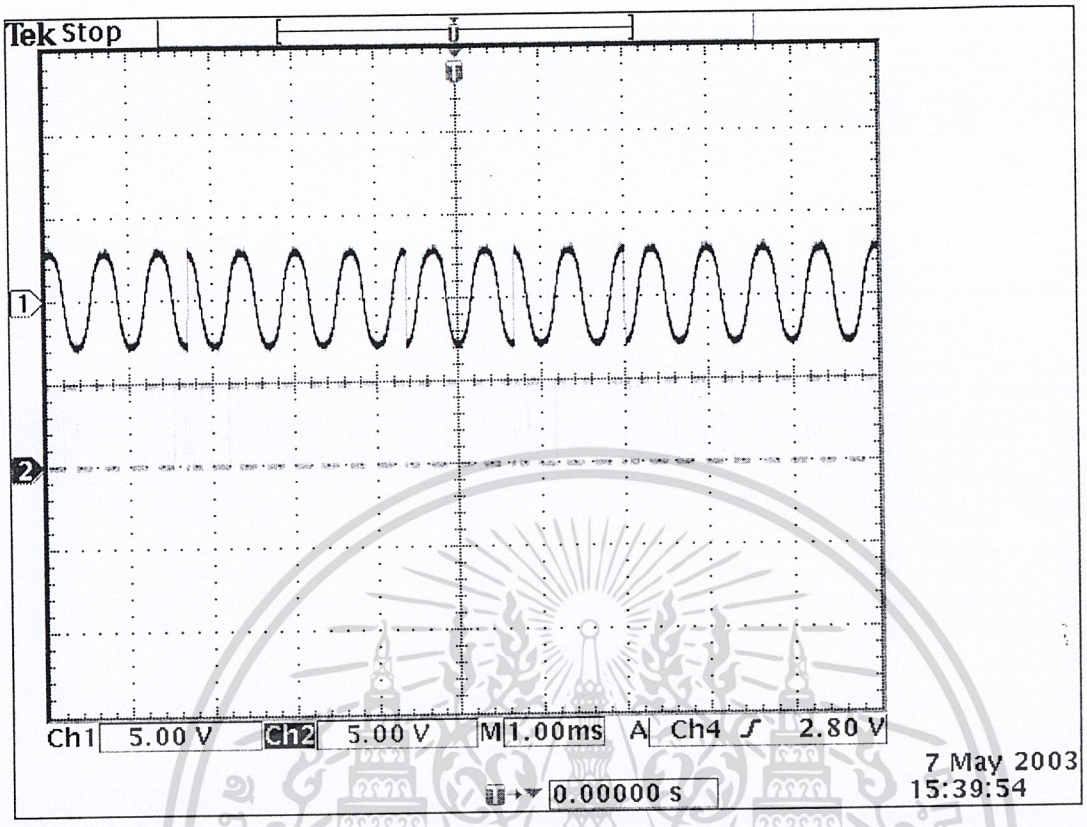


รูปที่ 4.22 ch1 = สัญญาณ phase in : ch2 = สัญญาณ test point 5

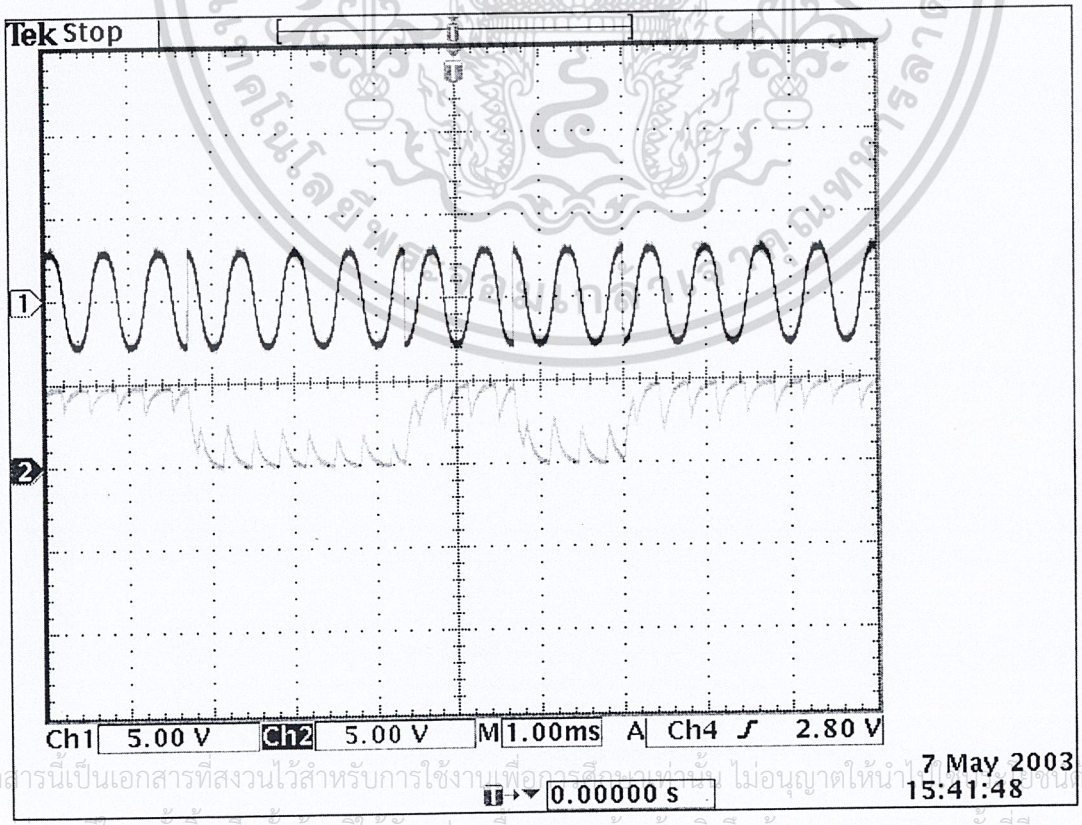


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 4.23 สัญญาณ test point 6

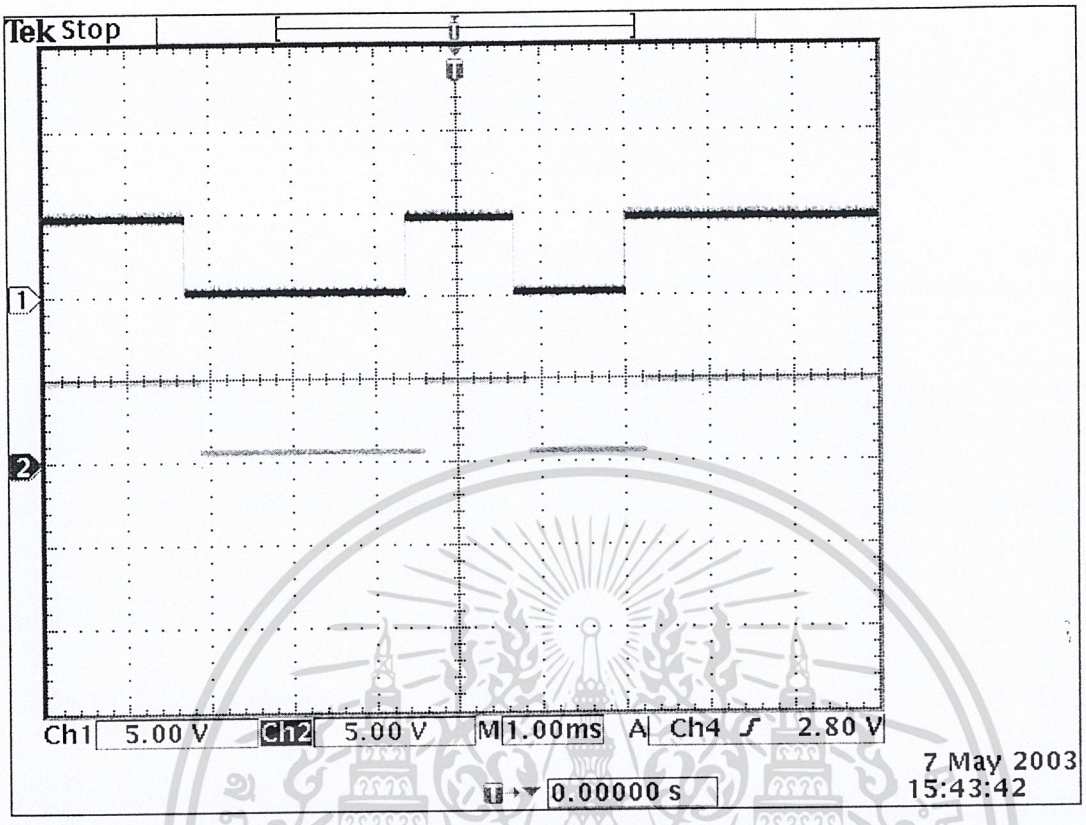


รูปที่ 4.24 ch1 = สัญญาณ phase in : ch2 = สัญญาณ test point 7

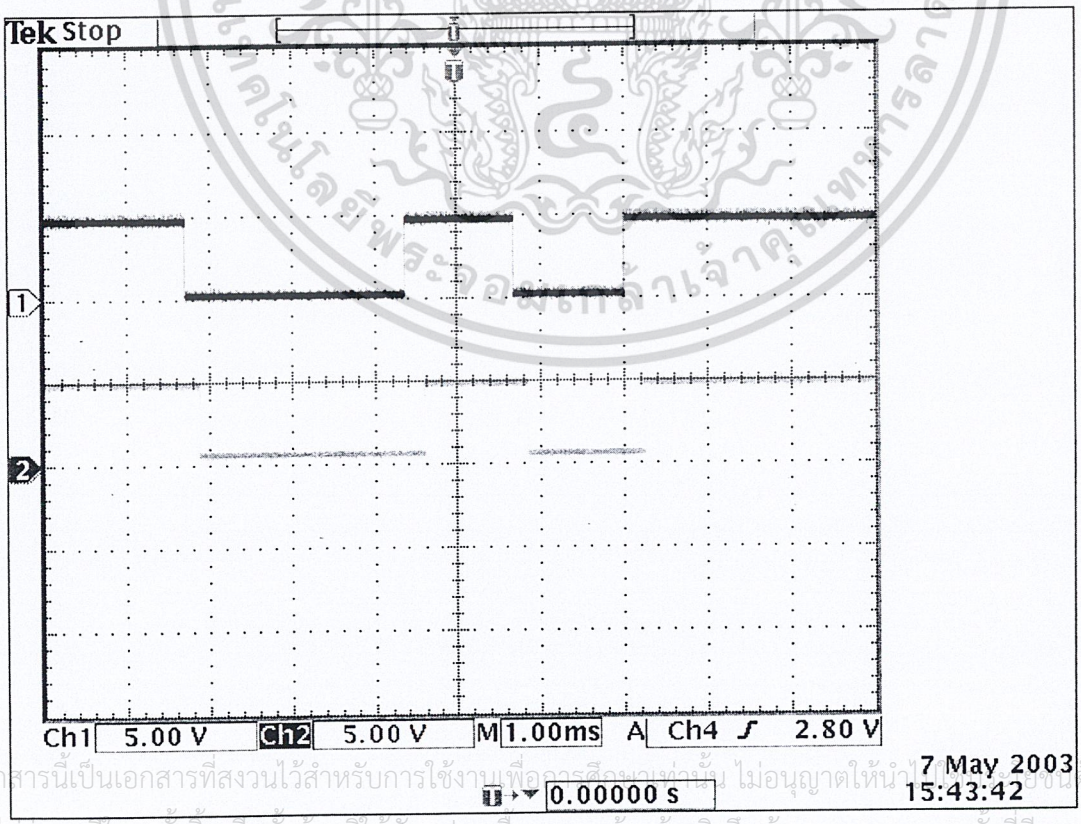


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 4.25 ch1 = สัญญาณ phase in : ch2 = สัญญาณ test point 8

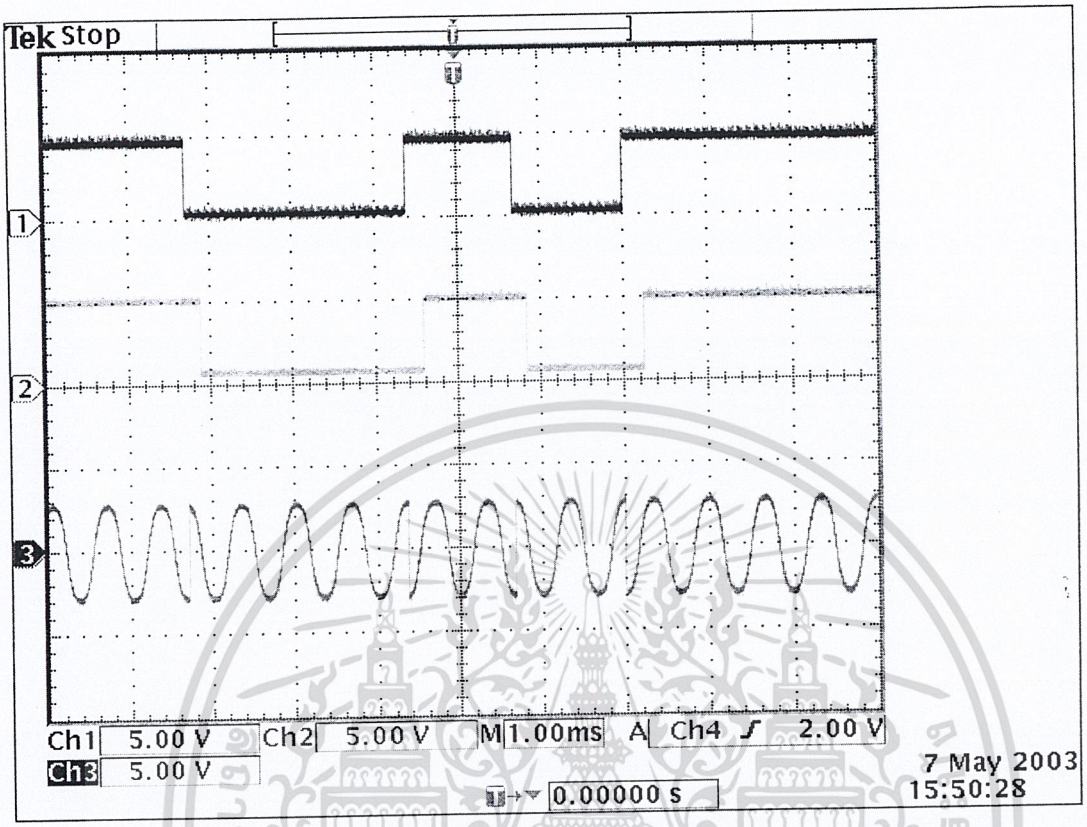


รูปที่ 4.26 ch1 = สัญญาณ data : ch2 = สัญญาณ test point 8



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 4.27 ch1 = สัญญาณ data : ch2 = สัญญาณ data output

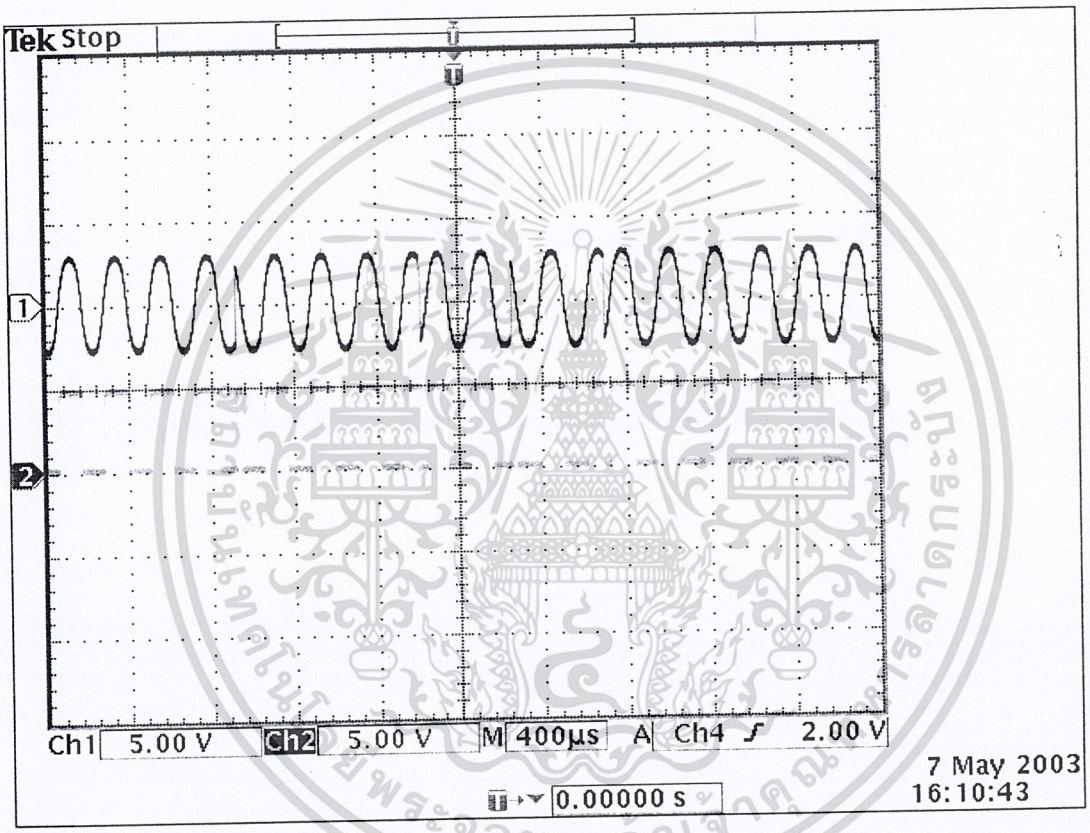


รูปที่ 4.28 ch1 = สัญญาณ data : ch2 = สัญญาณ data output : ch3 = phase in

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

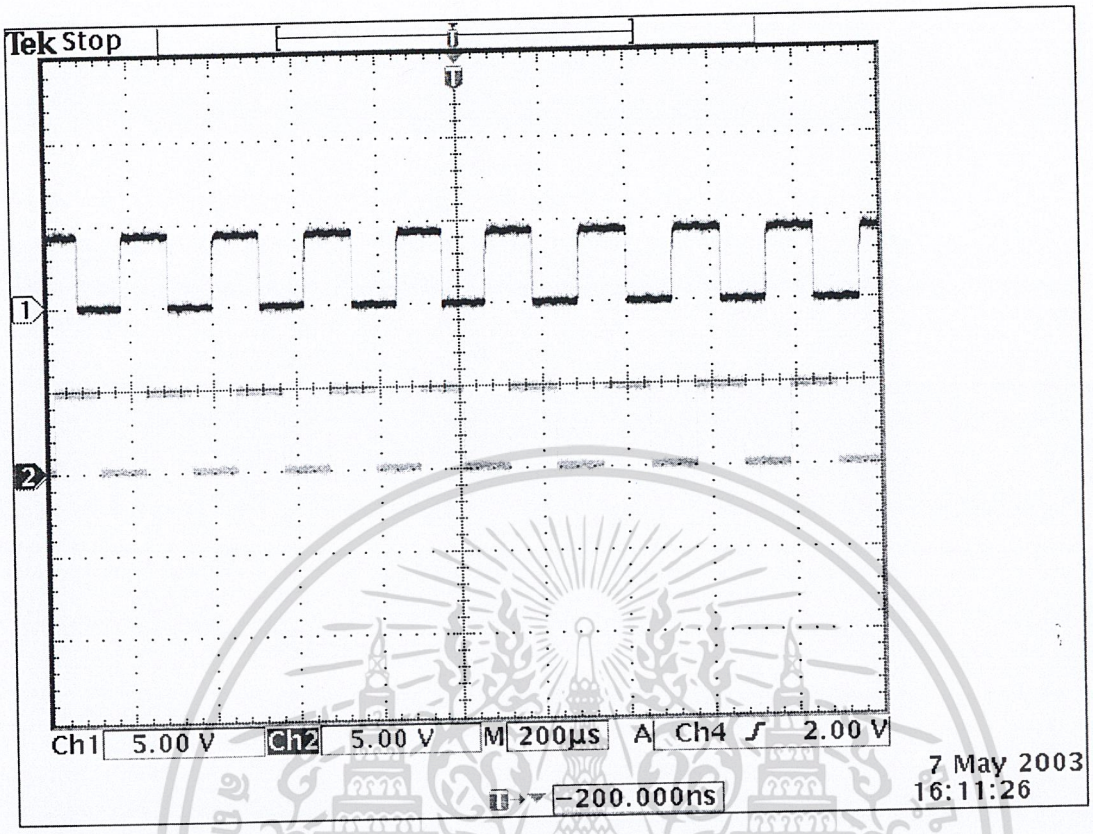
ป้อนสัญญาณ data ที่ 4.5 kbits/s

ป้อนสัญญาณ clock ที่ 2.27 kHz ได้รูปสัญญาณดังนี้

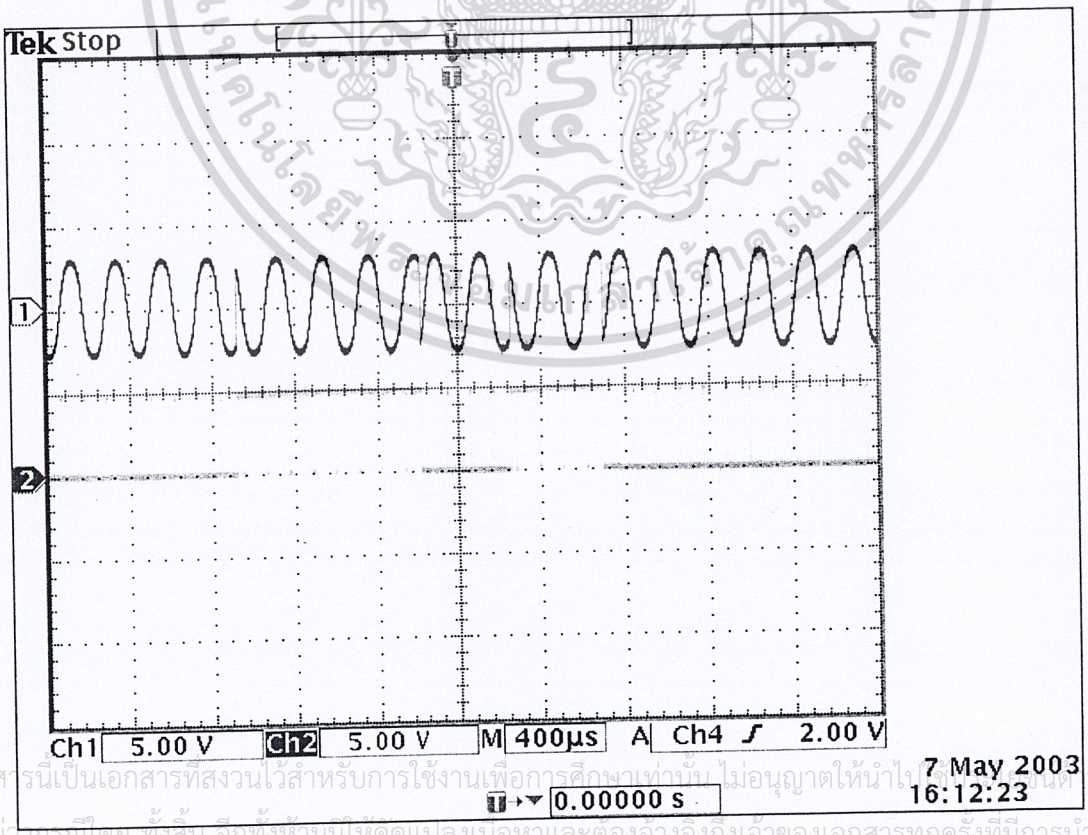


รูปที่ 4.29 ch1 = สัญญาณ phase in : ch2 = สัญญาณ test point 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

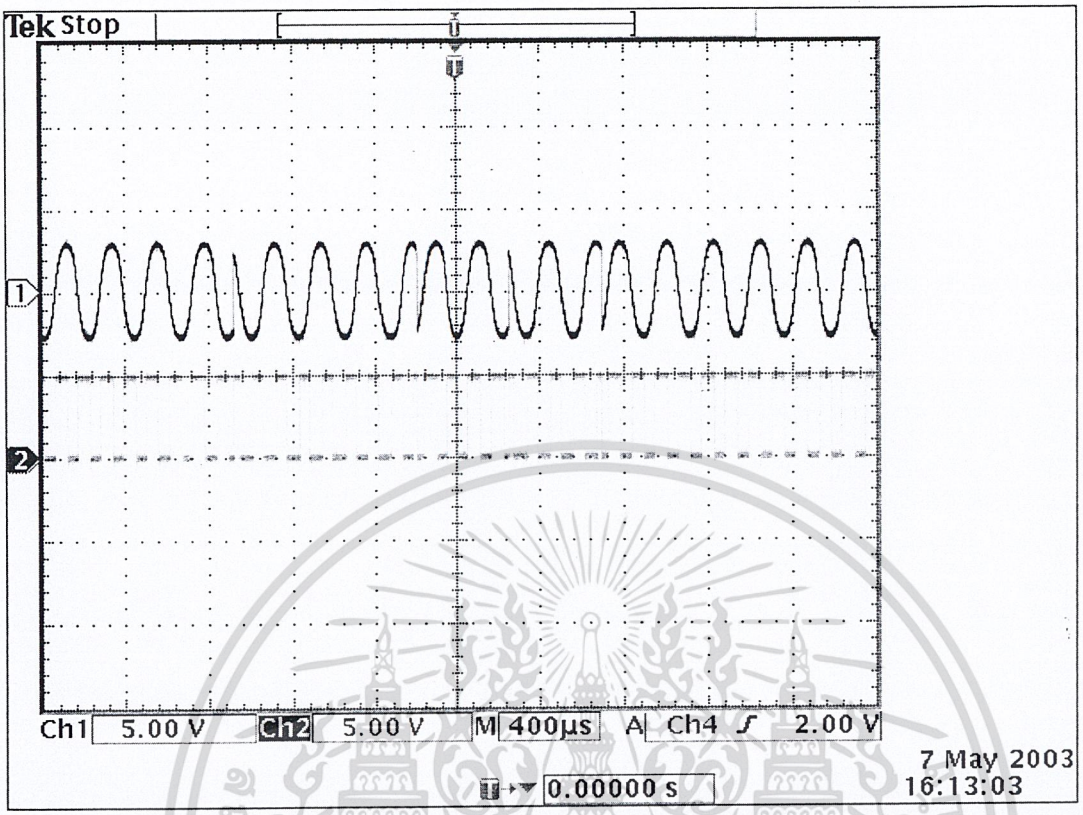


รูปที่ 4.30 ch1 = สัญญาณ test point 2 : ch2 = สัญญาณ test point 3

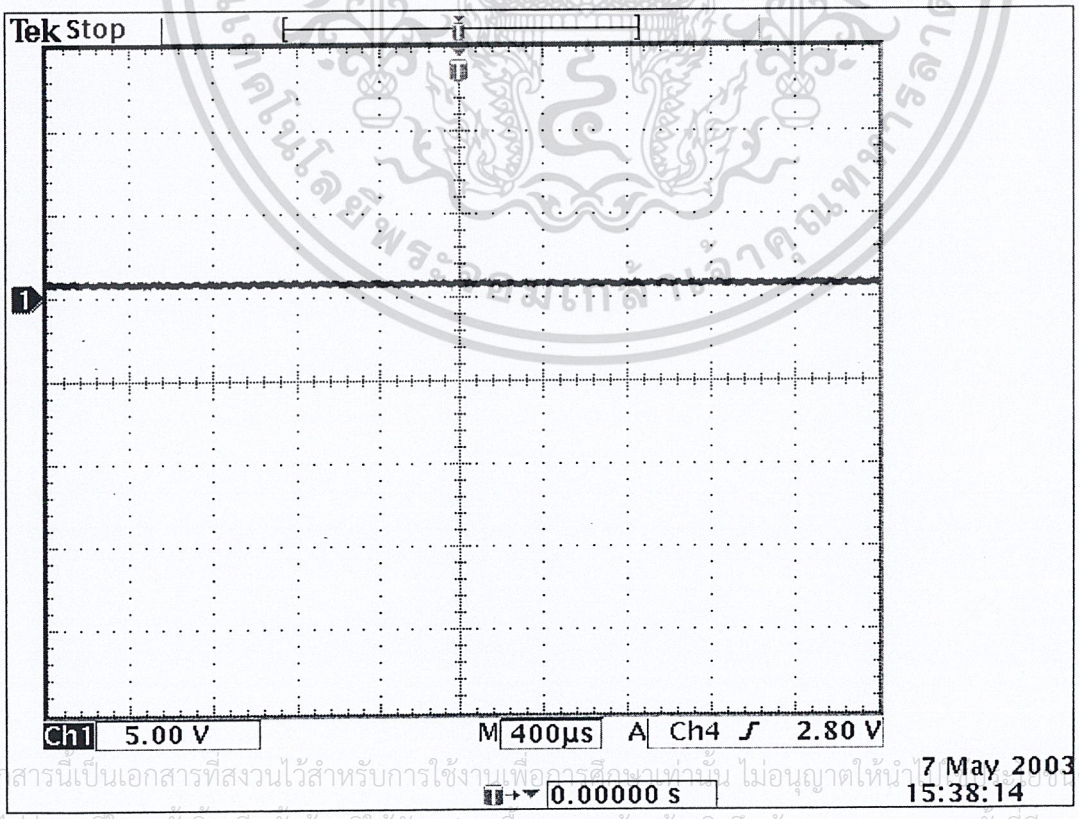


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 4.31 ch1 = สัญญาณ phase in : ch2 = สัญญาณ test point 4

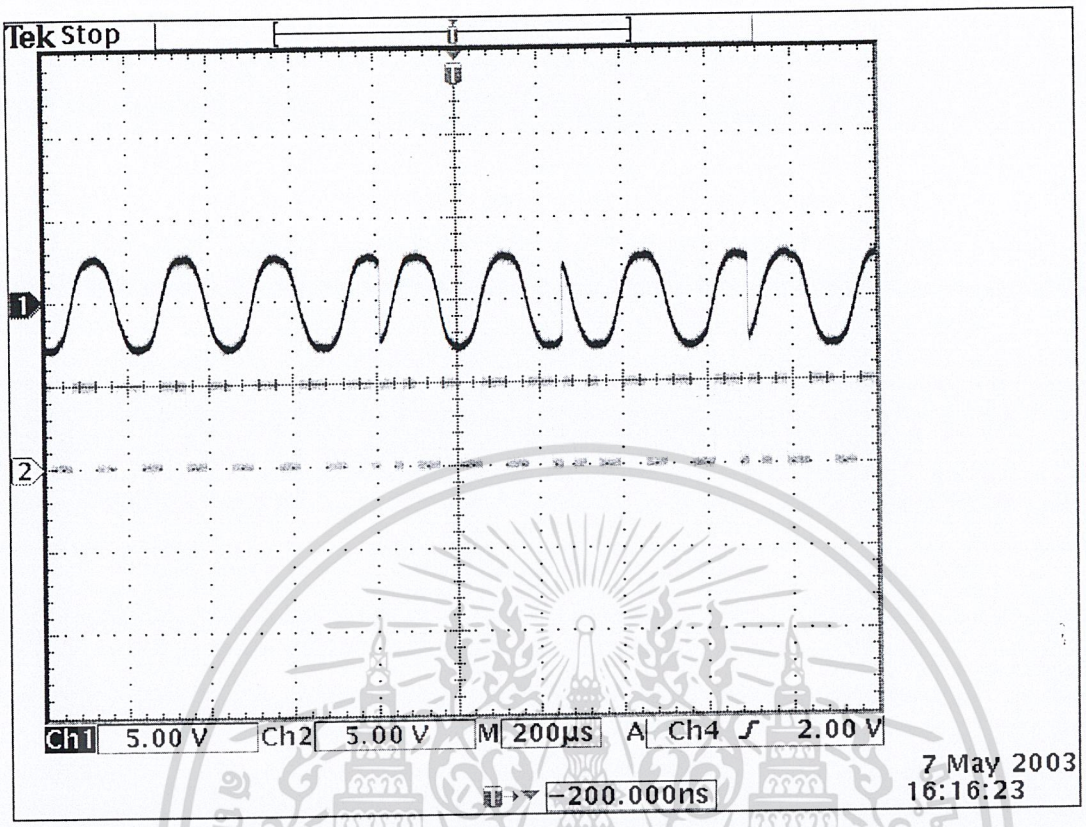


รูปที่ 4.32 ch1 = สัญญาณ phase in : ch2 = สัญญาณ test point 5

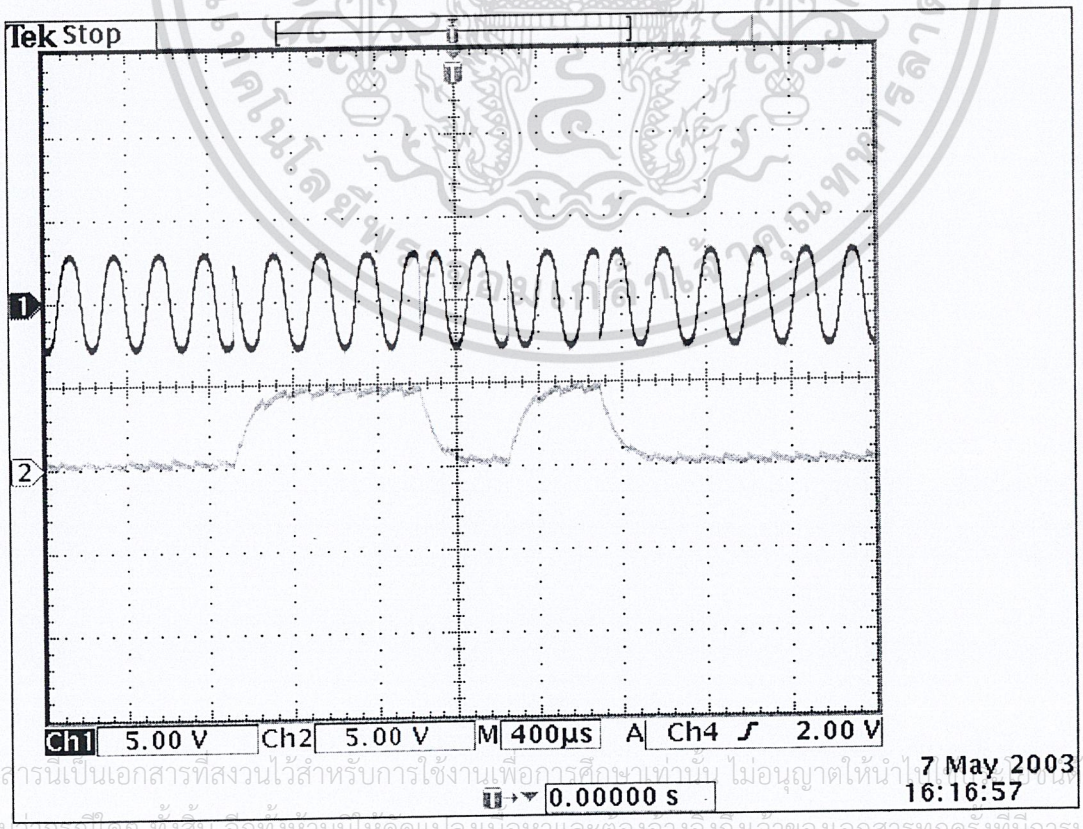


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 4.33 สัญญาณ test point 6

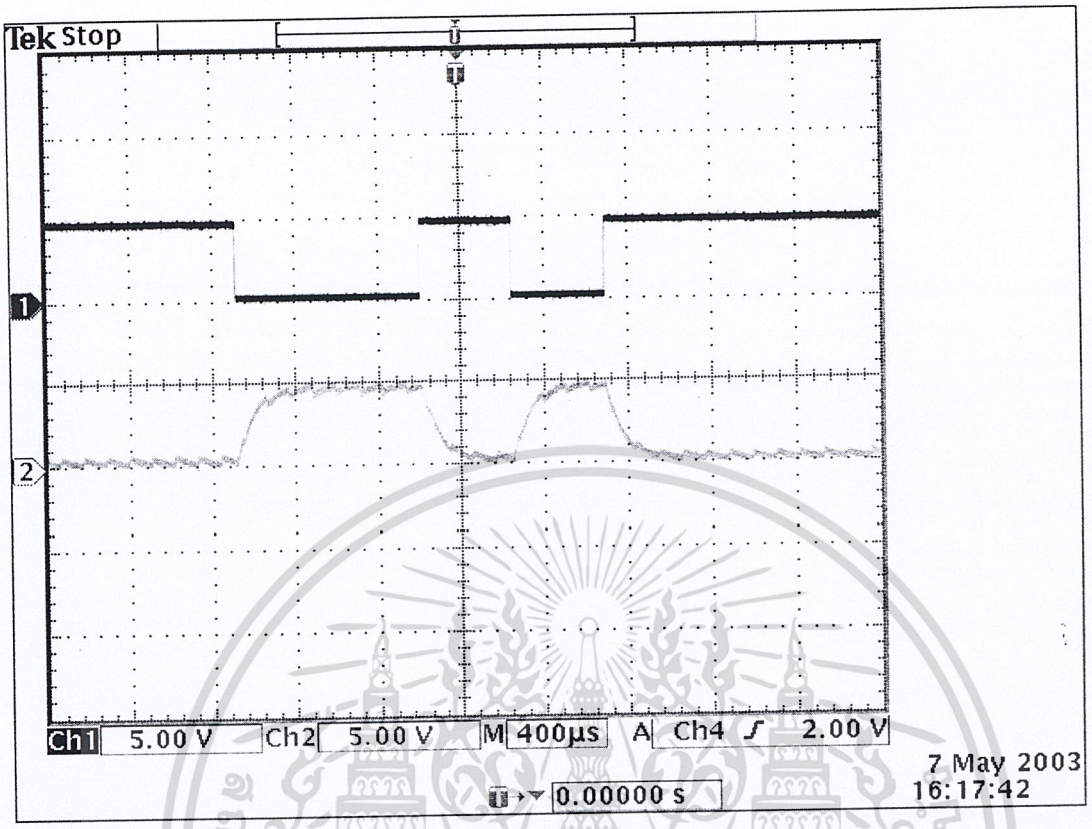


รูปที่ 4.34 ch1 = สัญญาณ phase in : ch2 = สัญญาณ test point 7

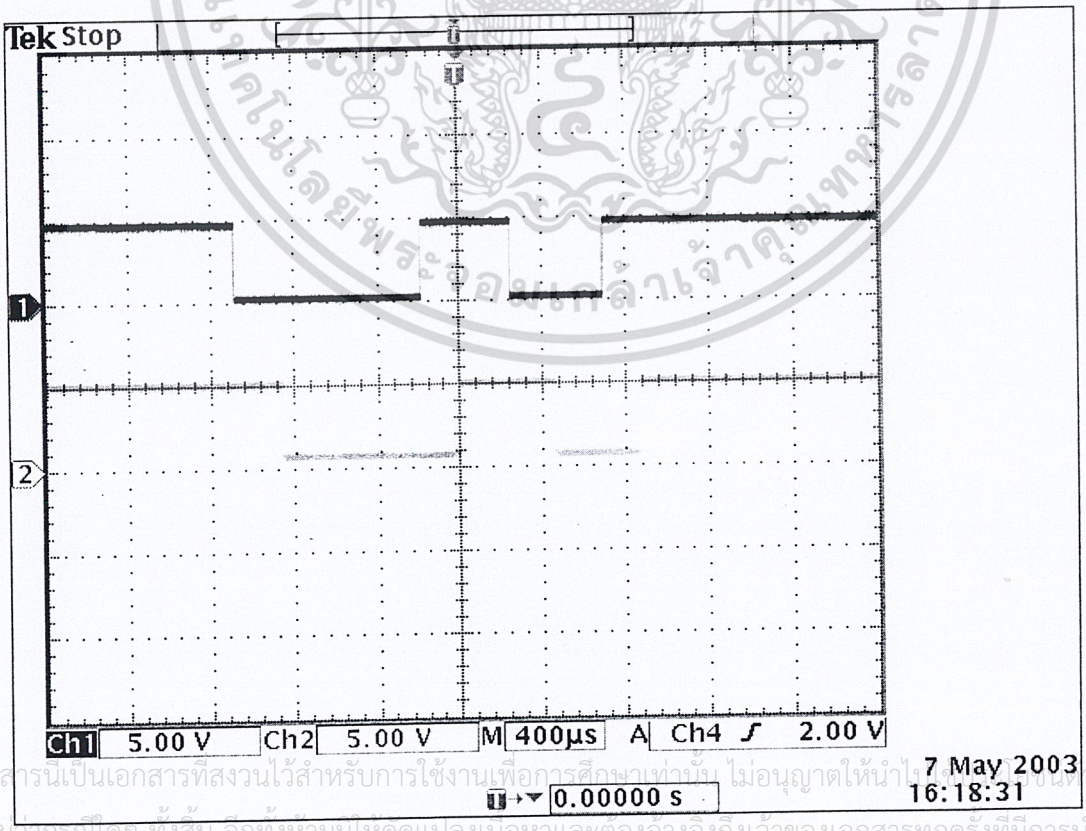


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 4.35 ch1 = สัญญาณ phase in : ch2 = สัญญาณ test point 8

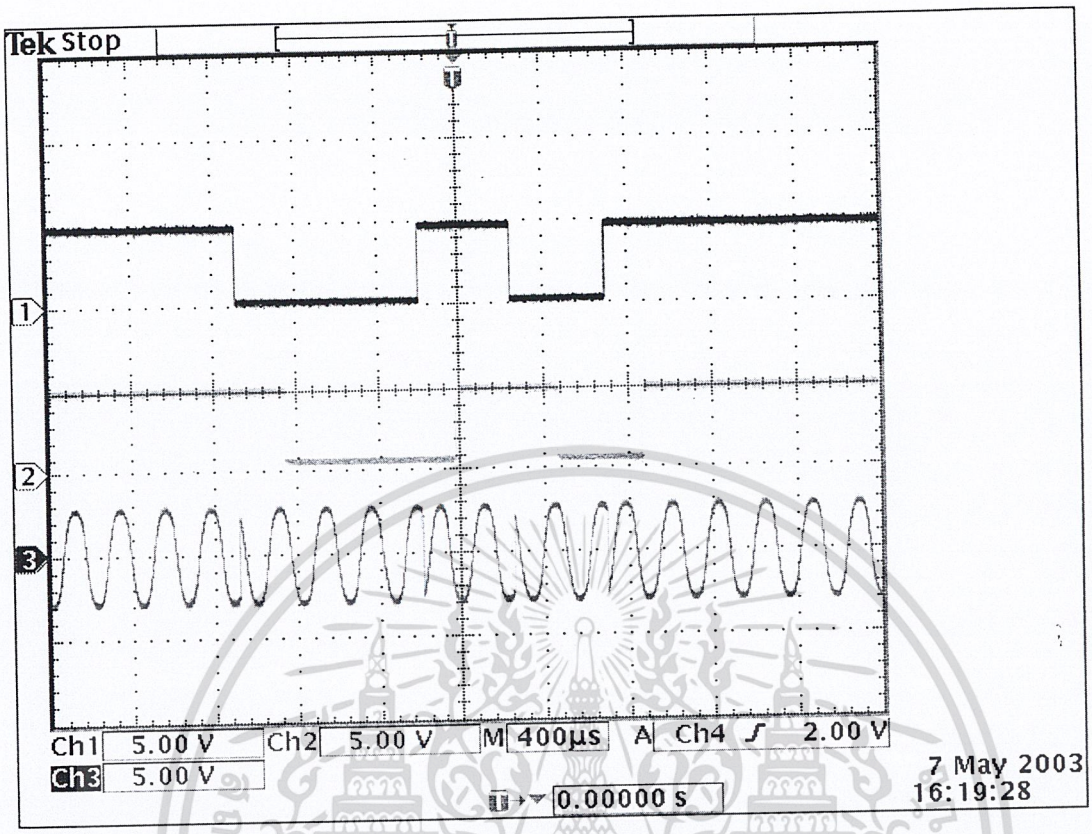


รูปที่ 4.36 ch1 = สัญญาณ data : ch2 = สัญญาณ test point 8



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 4.37 ch1 = สัญญาณ data : ch2 = สัญญาณ data output



รูปที่ 4.38 ch1 = สัญญาณ data : ch2 = สัญญาณ data output : ch3 = phase in

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
สรุปผลและวิจารณ์

หลังจากการทดลองซึ่งปรากฏผลการทดลองในบทที่ 4 นั้น ในขั้นตอนแรกของการดำเนินการทดลอง ในส่วนของภาคมอดูเลชั่น สัญญาณเอาท์พุทที่ออกมาจากวงจร Level converter ซึ่งทำหน้าที่แปลงสัญญาณข้อมูลดิจิตอลจากสัญญาณบวกและศูนย์ ให้มีระดับไฟบวกและลบ ในช่วงของไฟลบสัญญาณเอาท์พุทที่ได้มีลักษณะของสัญญาณไม่เรียบ จึงต้องทำการปรับค่าและสำรวจการบัดกรีให้ลงเกิดความเรียบร้อยและความแน่นอนของการลงกราวด์ จึงทำให้ไฟลบเรียบขึ้น แต่ในส่วนวงจรอื่น ๆ สามารถทำงานได้ตามขอบเขต

ในส่วนของภาคดีมอดูเลชั่น ในช่วงดำเนินการทดลอง วงจรเฟสล็อกลูป ไม่สามารถทำงานได้ กล่าวคือไม่สามารถล็อกกับความถี่ของสัญญาณ BPSK ที่เข้ามาได้ จึงทำการปรับค่าความต้านทานปรับค่าได้ ซึ่งเป็นตัวกำหนดแรงดันไฟดีซีซึ่งใช้ควบคุมสัญญาณ VCO ให้คงที่ จึงทำให้วงจรสามารถสร้างสัญญาณพาหะขึ้นมาใหม่ และสามารถล็อกกับความถี่ของสัญญาณ BPSK ที่เข้ามาได้ ในส่วนของวงจรอื่น ๆ สามารถทำงานได้

การมอดูเลทสัญญาณแบบ BPSK เป็นการมอดูเลททางดิจิตอลที่นิยมใช้ในการส่งข้อมูล โดยให้ประสิทธิภาพดีที่สุดต่อสัญญาณรบกวน เมื่อเปรียบเทียบกับ ASK และกับ FSK เครื่องมอดูเลชั่นและดีมอดูชั่นแบบ BPSK ที่ได้ทำการออกแบบและสร้างขึ้นมานั้น สามารถที่จะทำให้ผู้ที่ศึกษาทำการตรวจวัดสัญญาณเพื่อดูลักษณะการกำเนิดสัญญาณ BPSK และการดีมอดูเลทสัญญาณ BPSK โดยมีจุดทดสอบสัญญาณตามภาคต่าง ๆ ของวงจร เพื่อเปรียบเทียบดูการเปลี่ยนแปลงของสัญญาณในแต่ละภาคได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หนังสืออ้างอิง

1. ณรงค์ เหมกรณ์, การสื่อสารดาวเทียม . กรุงเทพมหานคร : สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง, 2533.
2. บรรเจิด ตันติกัลยาภรณ์, เครื่องรับส่ง 8. กรุงเทพมหานคร : เครื่องรับส่ง, 2533.
3. สุชาติ กังวารจิตต์, เครื่องรับส่งวิทยุและระบบวิทยุสื่อสาร . กรุงเทพมหานคร : ซีเอ็ดยูเคชั่น , 2532.
4. J. G. Proakis, Digital Communication. New York : McGraw-Hill, 1987.
5. Roland E. best, Phase Lock Loops Application . New York : McGraw-Hill, 1984.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

May 2001

National Semiconductor

MF10
Universal Monolithic Dual Switched Capacitor Filter

General Description

The MF10 consists of 2 independent and extremely easy to use, general purpose CMOS active filter building blocks. Each block, together with an external clock and 3 to 4 resistors, can produce various 2nd order functions. Each building block has 3 output pins. One of the outputs can be configured to perform either an allpass, highpass or a notch function; the remaining 2 output pins perform lowpass and bandpass functions. The center frequency of the lowpass and bandpass 2nd order functions can be either directly dependent on the clock frequency, or they can depend on both clock frequency and external resistor ratios. The center frequency of the notch and allpass functions is directly dependent on the clock frequency, while the highpass center frequency depends on both resistor ratio and clock. Up to 4th order functions can be performed by cascading the two 2nd order building blocks of the MF10; higher than 4th order functions can be obtained by cascading MF10 packages.

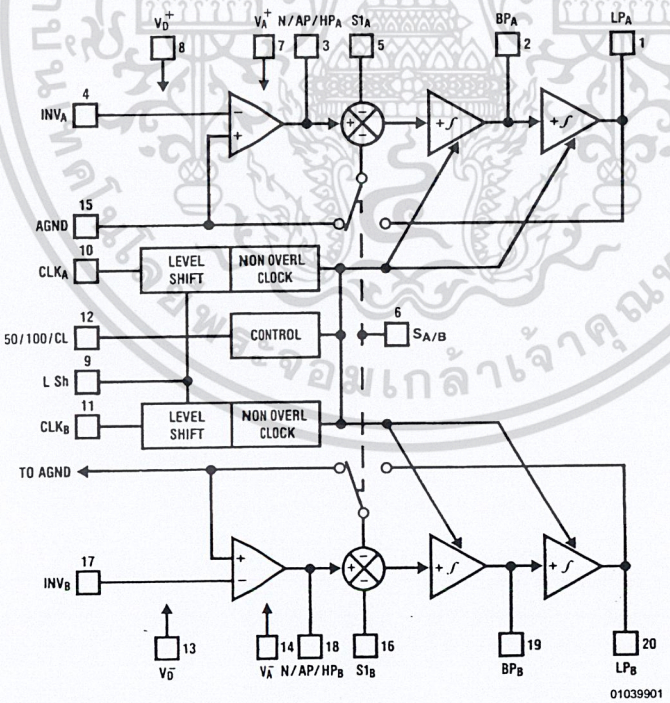
Any of the classical filter configurations (such as Butterworth, Bessel, Cauer and Chebyshev) can be formed.

For pin-compatible device with improved performance refer to LMF100 datasheet.

Features

- Easy to use
- Clock to center frequency ratio accuracy ±0.6%
- Filter cutoff frequency stability directly dependent on external clock quality
- Low sensitivity to external component variation
- Separate highpass (or notch or allpass), bandpass, lowpass outputs
- f_o x Q range up to 200 kHz
- Operation up to 30 kHz
- 20-pin 0.3" wide Dual-In-Line package
- 20-pin Surface Mount (SO) wide-body package

System Block Diagram



Package in 20 pin molded wide body surface mount and 20 pin molded DIP.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่อนุญาตให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

© 2001 National Semiconductor Corporation

Absolute Maximum Ratings (Note 1)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/ Distributors for availability and specifications.

Supply Voltage ($V^+ - V^-$)	14V
Voltage at Any Pin	$V^+ + 0.3V$
	$V^- - 0.3V$
Input Current at Any Pin (Note 2)	5 mA
Package Input Current (Note 2)	20 mA
Power Dissipation (Note 3)	500 mW
Storage Temperature	150˚C
ESD Susceptability (Note 11)	2000V
Soldering Information	
N Package: 10 sec	260˚C
SO Package:	
Vapor Phase (60 Sec.)	215˚C
Infrared (15 Sec.)	220˚C

See AN-450 "Surface Mounting Methods and Their Effect on Product Reliability" (Appendix D) for other methods of soldering surface mount devices.

Operating Ratings (Note 1)

Temperature Range	$T_{MIN} \le T_A \le T_{MAX}$
MF10ACN, MF10CCN	$0˚C \le T_A \le 70˚C$
MF10CCWM	$0˚C \le T_A \le 70˚C$

Electrical Characteristics

$V^+ = +5.00V$ and $V^- = -5.00V$ unless otherwise specified. **Boldface limits apply for T_{MIN} to T_{MAX};** all other limits $T_A = T_J = 25˚C$.

Symbol	Parameter		Conditions		MF10ACN, MF10CCN, MF10CCWM			Units
					Typical (Note 8)	Tested Limit (Note 9)	Design Limit (Note 10)	
$V^+ - V^-$	Supply Voltage	Min					**9**	V
		Max					**14**	V
I_S	Maximum Supply Current		Clock Applied to Pins 10 & 11 No Input Signal		8	12	**12**	mA
f_O	Center Frequency Range	Min	$f_O \times Q < 200$ kHz		0.1		**0.2**	Hz
		Max			30		**20**	kHz
f_{CLK}	Clock Frequency Range	Min			5.0		**10**	Hz
		Max			1.5		**1.0**	MHz
f_{CLK}/f_O	50:1 Clock to Center Frequency Ratio Deviation	MF10A	Q = 10 Mode 1	V_{pin12} = 5V f_{CLK} = 250 KHz	±0.2	±0.6	**±0.6**	%
		MF10C			±0.2	±1.5	**±1.5**	%
f_{CLK}/f_O	100:1 Clock to Center Frequency Ratio Deviation	MF10A	Q = 10 Mode 1	V_{pin12} = 0V f_{CLK} = 500 kHz	±0.2	±0.6	**±0.6**	%
		MF10C			±0.2	±1.5	**±1.5**	%
	Clock Feedthrough		Q = 10 Mode 1		10			mV
	Q Error (MAX) (Note 4)		Q = 10 Mode 1	V_{pin12} = 5V f_{CLK} = 250 kHz	±2	±6	**±6**	%
				V_{pin12} = 0V f_{CLK} = 500 kHz	±2	±6	**±6**	%
H_{OLP}	DC Lowpass Gain		Mode 1 R1 = R2 = 10k		0	±0.2	**±0.2**	dB
V_{OS1}	DC Offset Voltage (Note 5)				±5.0	±20	**±20**	mV
V_{OS2}	DC Offset Voltage	Min	V_{pin12} = +5V	$S_{A/B} = V^+$	−150	−185	**−185**	mV

เอกสารนี้ใช้เพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Electrical Characteristics (Continued)

V^+ = +5.00V and V^- = −5.00V unless otherwise specified. **Boldface limits apply for T_{MIN} to T_{MAX};** all other limits $T_A = T_J$ = 25°C.

Symbol	Parameter		Conditions		MF10ACN, MF10CCN, MF10CCWM			Units
					Typical (Note 8)	Tested Limit (Note 9)	Design Limit (Note 10)	
	(Note 5)	Max	(f_{CLK}/f_O = 50)			−85	**−85**	
		Min	V_{pin12} = +5V	$S_{A/B}$ = V^-	−70			mV
		Max	(f_{CLK}/f_O = 50)					
V_{OS3}	DC Offset Voltage (Note 5)	Min	V_{pin12} = +5V	All Modes	−70	−100	**−100**	mV
		Max	(f_{CLK}/f_O = 50)			−20	**−20**	
V_{OS2}	DC Offset Voltage (Note 5)		V_{pin12} = 0V (f_{CLK}/f_O = 100)	$S_{A/B}$ = V^+	−300			mV
			V_{pin12} = 0V (f_{CLK}/f_O = 100)	$S_{A/B}$ = V^-	−140			mV
V_{OS3}	DC Offset Voltage (Note 5)		V_{pin12} = 0V (f_{CLK}/f_O = 100)	All Modes	−140			mV
V_{OUT}	Minimum Output Voltage Swing	BP, LP Pins	R_L = 5k		±4.25	±3.8	**±3.8**	V
		N/AP/HP Pin	R_L = 3.5k		±4.25	±3.8	**±3.8**	V
GBW	Op Amp Gain BW Product				2.5			MHz
SR	Op Amp Slew Rate				7			V/µs
	Dynamic Range(Note 6)		V_{pin12} = +5V (f_{CLK}/f_O = 50)		83			dB
			V_{pin12} = 0V (f_{CLK}/f_O = 100)		80			dB
I_{SC}	Maximum Output Short Circuit Current (Note 7)	Source			20			mA
		Sink			3.0			mA

Logic Input Characteristics

Boldface limits apply for T_{MIN} to T_{MAX}; all other limits $T_A = T_J$ = 25°C

Parameter		Conditions	MF10ACN, MF10CCN, MF10CCWM			Units
			Typical (Note 8)	Tested Limit (Note 9)	Design Limit (Note 10)	
CMOS Clock Input Voltage	Min Logical "1"	V^+ = +5V, V^- = −5V, V_{LSh} = 0V		+3.0	**+3.0**	V
	Max Logical "0"			−3.0	**−3.0**	V
	Min Logical "1"	V^+ = +10V, V^- = 0V, V_{LSh} = +5V		+8.0	**+8.0**	V
	Max Logical "0"			+2.0	**+2.0**	V
TTL Clock Input Voltage	Min Logical "1"	V^+ = +5V, V^- = −5V, V_{LSh} = 0V		+2.0	**+2.0**	V
	Max Logical "0"			+0.8	**+0.8**	V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Logic Input Characteristics (Continued)

Boldface limits apply for T_{MIN} to T_{MAX}; all other limits $T_A = T_J = 25^\circ C$

Parameter		Conditions	MF10ACN, MF10CCN, MF10CCWM			Units
			Typical (Note 8)	Tested Limit (Note 9)	Design Limit (Note 10)	
	Min Logical "1"	$V^+ = +10V$, $V^- = 0V$, $V_{LSh} = 0V$		+2.0	**+2.0**	V
	Max Logical "0"			+0.8	**+0.8**	V

Note 1: Absolute Maximum Ratings indicate limits beyond which damage to the device may occur. DC and AC electrical specifications do not apply when operating the device beyond its specified operating conditions.

Note 2: When the input voltage (V_{IN}) at any pin exceeds the power supply rails ($V_{IN} < V^-$ or $V_{IN} > V^+$) the absolute value of current at that pin should be limited to 5 mA or less. The 20 mA package input current limits the number of pins that can exceed the power supply boundaries with a 5 mA current limit to four.

Note 3: The maximum power dissipation must be derated at elevated temperatures and is dictated by T_{JMAX}, θ_{JA}, and the ambient temperature, T_A. The maximum allowable power dissipation at any temperature is $P_D = (T_{JMAX} - T_A)/\theta_{JA}$ or the number given in the Absolute Maximum Ratings, whichever is lower. For this device, $T_{JMAX} = 125^\circ C$, and the typical junction-to-ambient thermal resistance of the MF10ACN/CCN when board mounted is $55^\circ C/W$. For the MF10AJ/CCJ, this number increases to $95^\circ C/W$ and for the MF10ACWM/CCWM this number is $66^\circ C/W$.

Note 4: The accuracy of the Q value is a function of the center frequency (f_O). This is illustrated in the curves under the heading "Typical Performance Characteristics".

Note 5: V_{OS1}, V_{OS2}, and V_{OS3} refer to the internal offsets as discussed in the Applications Information Section 3.4.

Note 6: For ±5V supplies the dynamic range is referenced to 2.82V rms (4V peak) where the wideband noise over a 20 kHz bandwidth is typically 200 µV rms for the MF10 with a 50:1 CLK ratio and 280 µV rms for the MF10 with a 100:1 CLK ratio.

Note 7: The short circuit source current is measured by forcing the output that is being tested to its maximum positive voltage swing and then shorting that output to the negative supply. The short circuit sink current is measured by forcing the output that is being tested to its maximum negative voltage swing and then shorting that output to the positive supply. These are the worst case conditions.

Note 8: Typicals are at 25°C and represent most likely parametric norm.

Note 9: Tested limits are guaranteed to National's AOQL (Average Outgoing Quality Level).

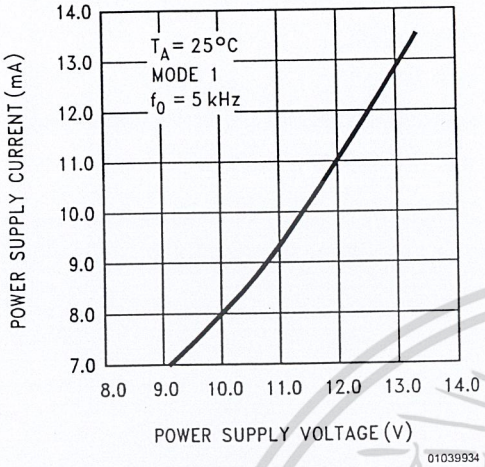
Note 10: Design limits are guaranteed but not 100% tested. These limits are not used to calculate outgoing quality levels.

Note 11: Human body model, 100 pF discharged through a 1.5 kΩ resistor.

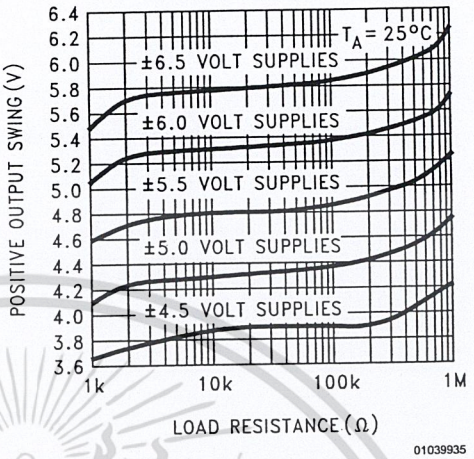
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics

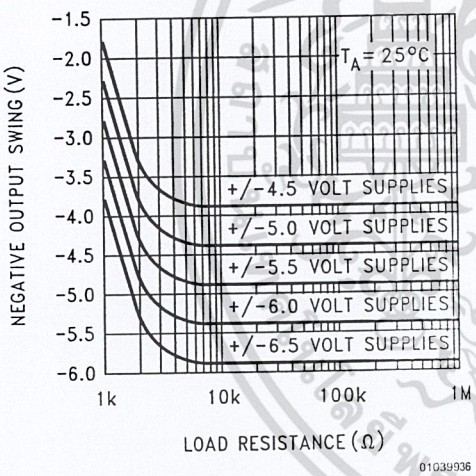
Power Supply Current vs. Power Supply Voltage



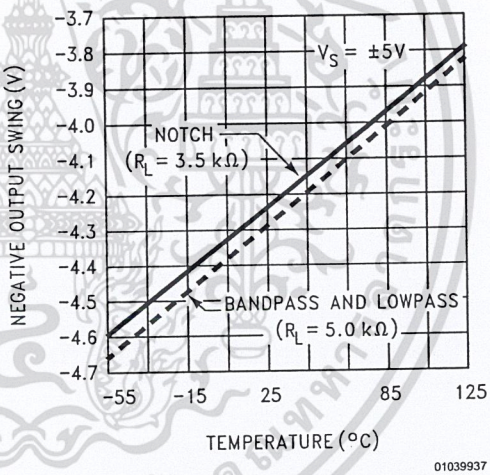
Positive Output Voltage Swing vs. Load Resistance (N/AP/HP Output)



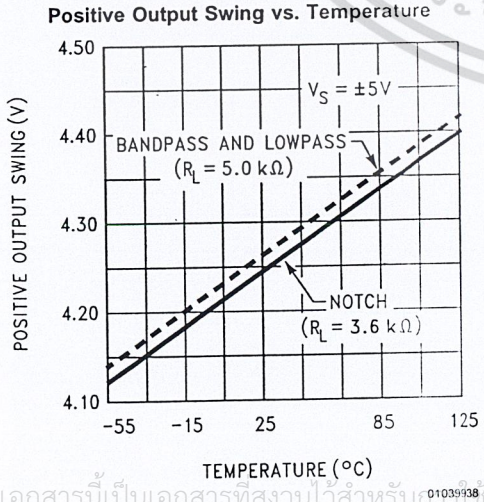
Negative Output Voltage Swing vs. Load Resistance (N/AP/HP Output)



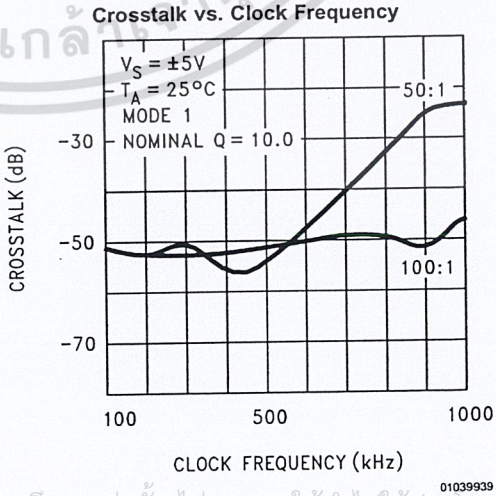
Negative Output Swing vs. Temperature



Positive Output Swing vs. Temperature



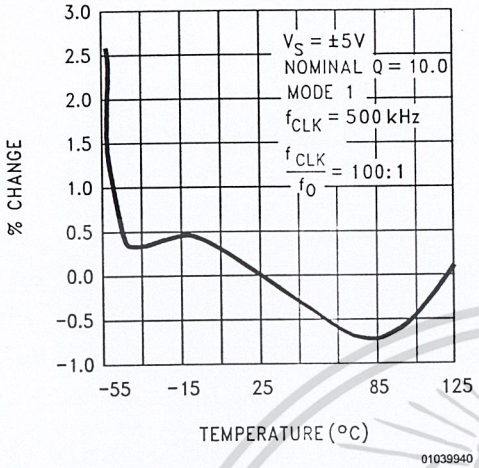
Crosstalk vs. Clock Frequency



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

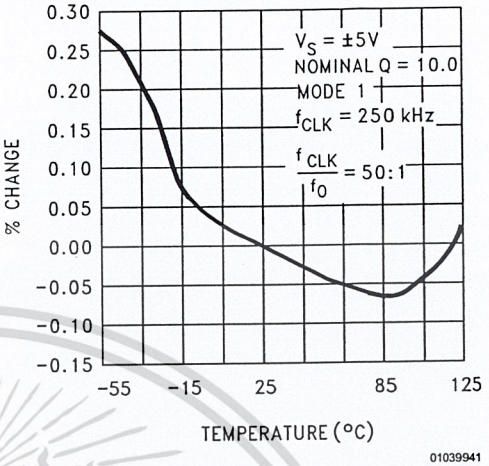
Typical Performance Characteristics (Continued)

Q Deviation vs. Temperature



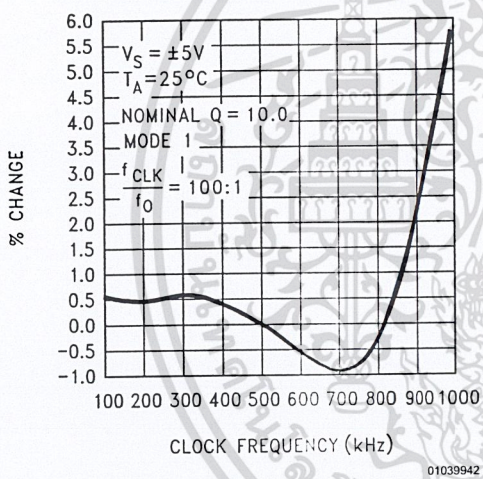
01039940

Q Deviation vs. Temperature



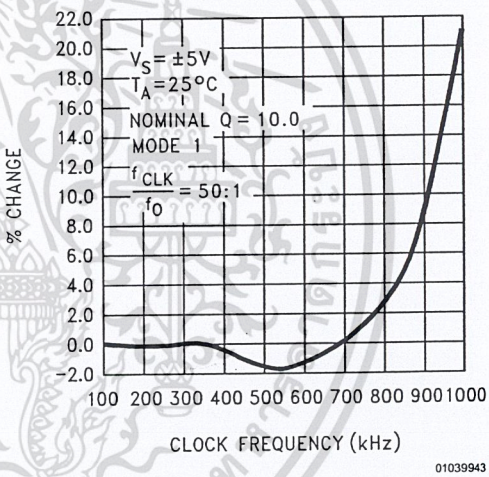
01039941

Q Deviation vs. Clock Frequency



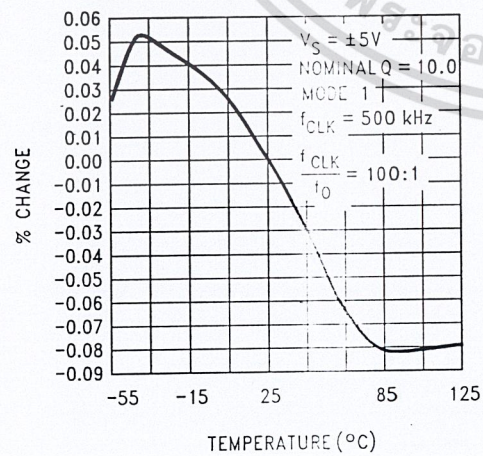
01039942

Q Deviation vs. Clock Frequency



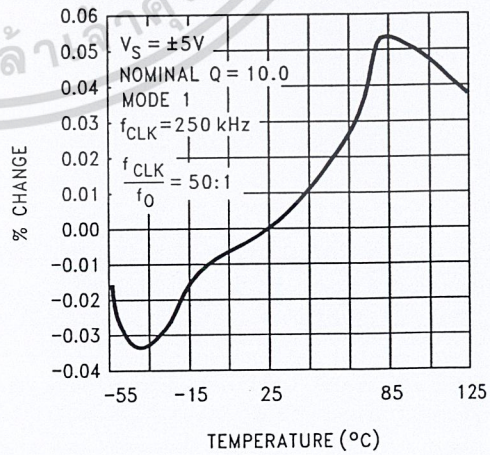
01039943

f_{CLK}/f_O Deviation vs. Temperature



01039944

f_{CLK}/f_O Deviation vs. Temperature

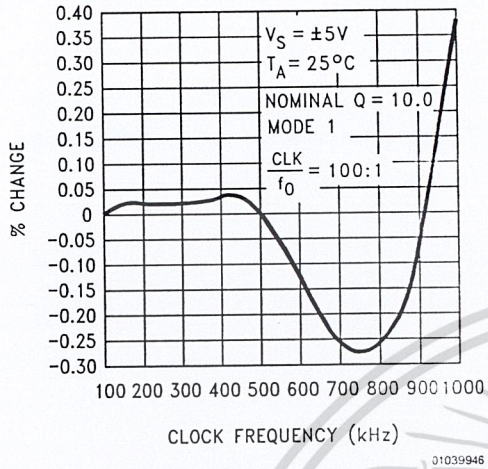


01039945

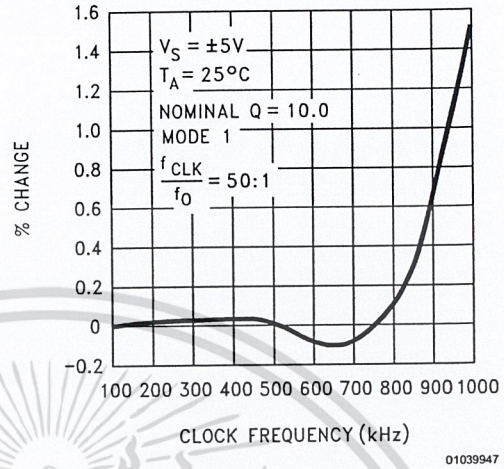
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics (Continued)

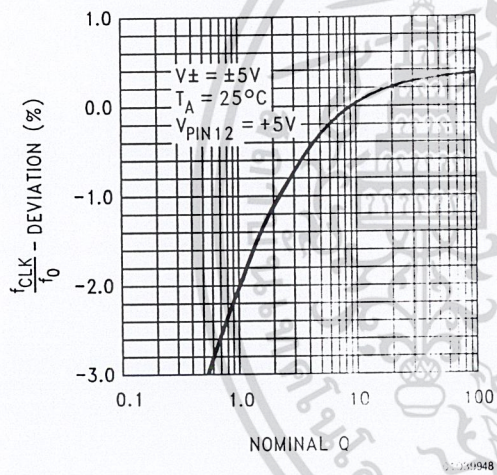
f_{CLK}/f_O Deviation vs. Clock Frequency



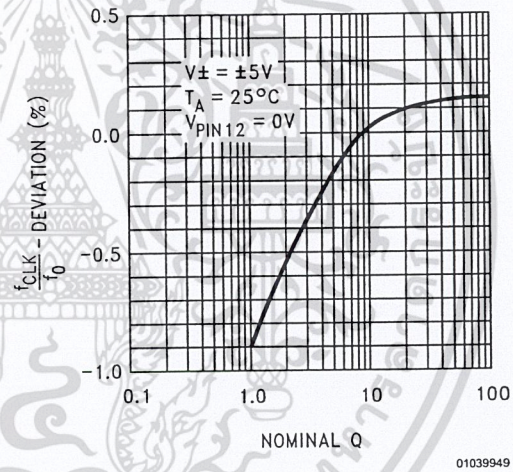
f_{CLK}/f_O Deviation vs. Clock Frequency



Deviation of f_{CLK}/f_O vs. Nominal Q



Deviation of f_{CLK}/f_O vs. Nominal Q



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Pin Descriptions

LP(1,20), BP(2,19), N/AP/HP(3,18)
The second order lowpass, bandpass and notch/allpass/highpass outputs. These outputs can typically sink 1.5 mA and source 3 mA. Each output typically swings to within 1V of each supply.

INV(4,17)
The inverting input of the summing op-amp of each filter. These are high impedance inputs, but the non-inverting input is internally tied to AGND, making INV_A and INV_B behave like summing junctions (low impedance, current inputs).

S1(5,16)
S1 is a signal input pin used in the allpass filter configurations (see modes 4 and 5). The pin should be driven with a source impedance of less than 1 kΩ. If S1 is not driven with a signal it should be tied to AGND (mid-supply).

$S_{A/B}$(6)
This pin activates a switch that connects one of the inputs of each filter's second summer to either AGND ($S_{A/B}$ tied to V^-) or to the lowpass (LP) output ($S_{A/B}$ tied to V^+). This offers the flexibility needed for configuring the filter in its various modes of operation.

V_A^+(7),V_D^+(8)
Analog positive supply and digital positive supply. These pins are internally connected through the IC substrate and therefore V_A^+ and V_D^+ should be derived from the same power supply source. They have been brought out separately so they can be bypassed by separate capacitors, if desired. They can be externally tied together and bypassed by a single capacitor.

V_A^-(14), V_D^-(13)
Analog and digital negative supplies. The same comments as for V_A^+ and V_D^+ apply here.

LSh(9)
Level shift pin; it accommodates various clock levels with dual or single supply operation. With dual ±5V supplies, the MF10 can be driven with CMOS clock levels (±5V) and the LSh pin should be tied to the system ground. If the same supplies as above are used but only TTL clock levels, derived from 0V to +5V supply, are available, the LSh pin should be tied to the system ground. For single supply operation (0V and +10V) the V_A^-, V_D^-pins should be connected to the system ground, the AGND pin should be biased at +5V and the LSh pin should also be tied to the system ground for TTL clock levels. LSh should be biased at +5V for CMOS clock levels in 10V single-supply applications.

CLKA(10), CLKB(11)
Clock inputs for each switched capacitor filter building block. They should both be of the same level (TTL or CMOS). The level shift (LSh) pin description discusses how to accommodate their levels. The duty cycle of the clock should be close to 50% especially when clock frequencies above 200 kHz are used. This allows the maximum time for the internal op-amps to settle, which yields optimum filter operation.

50/100/CL(12)
By tying this pin high a 50:1 clock-to-filter-center-frequency ratio is obtained. Tying this pin at mid-supplies (i.e. analog ground with dual supplies) allows the filter to operate at a 100:1 clock-to-center-frequency ratio. When the pin is tied low (i.e., negative supply with dual supplies), a simple current limiting circuit is triggered to limit the overall supply current down to about 2.5 mA. The filtering action is then aborted.

AGND(15)
This is the analog ground pin. This pin should be connected to the system ground for dual supply operation or biased to mid-supply for single supply operation. For a further discussion of mid-supply biasing techniques see the Applications Information (Section 3.2). For optimum filter performance a "clean" ground must be provided.

1.0 Definition of Terms

f_{CLK}: the frequency of the external clock signal applied to pin 10 or 11.

f_O: center frequency of the second order function complex pole pair. f_O is measured at the bandpass outputs of the MF10, and is the frequency of maximum bandpass gain. (*Figure 1*)

f_{notch}: the frequency of minimum (ideally zero) gain at the notch outputs.

f_z: the center frequency of the second order complex zero pair, if any. If f_z is different from f_O and if Q_Z is high, it can be observed as the frequency of a notch at the allpass output. (*Figure 10*)

Q: "quality factor" of the 2nd order filter. Q is measured at the bandpass outputs of the MF10 and is equal to f_O divided by the −3 dB bandwidth of the 2nd order bandpass filter (*Figure 1*). The value of Q determines the shape of the 2nd order filter responses as shown in *Figure 6*.

Q_Z: the quality factor of the second order complex zero pair, if any. Q_Z is related to the allpass characteristic, which is written:

$$H_{AP}(s) = \frac{H_{OAP}\left(s^2 - \frac{s\omega_O}{Q_Z} + \omega_O^2\right)}{s^2 + \frac{s\omega_O}{Q} + \omega_O^2}$$

where $Q_Z = Q$ for an all-pass response.

H_{OBP}: the gain (in V/V) of the bandpass output at $f = f_O$.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.0 Definition of Terms (Continued)

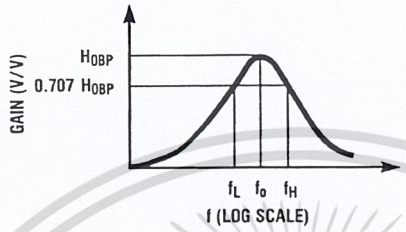
H_{OLP}: the gain (in V/V) of the lowpass output as f → 0 Hz (*Figure 2*).

H_{OHP}: the gain (in V/V) of the highpass output as f → $f_{CLK}/2$ (*Figure 3*).

H_{ON}: the gain (in V/V) of the notch output as f → 0 Hz and as f → $f_{CLK}/2$, when the notch filter has equal gain above and below the center frequency (*Figure 4*). When the low-frequency gain differs from the high-frequency gain, as in modes 2 and 3a (*Figure 11* and *Figure 8*), the two quantities below are used in place of H_{ON}.

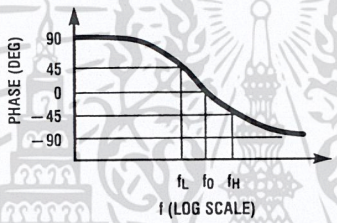
H_{ON1}: the gain (in V/V) of the notch output as f → 0 Hz.

H_{ON2}: the gain (in V/V) of the notch output as f → $f_{CLK}/2$.



01039905

(a)



01039906

(b)

$$H_{BP}(s) = \frac{H_{OBP}\frac{\omega_O}{Q}S}{s^2 + \frac{s\omega_O}{Q} + \omega_O^2}$$

$$Q = \frac{f_O}{f_H - f_L};\ f_O = \sqrt{f_L f_H}$$

$$f_L = f_O\left(\frac{-1}{2Q} + \sqrt{\left(\frac{1}{2Q}\right)^2 + 1}\right)$$

$$f_H = f_O\left(\frac{1}{2Q} + \sqrt{\left(\frac{1}{2Q}\right)^2 + 1}\right)$$

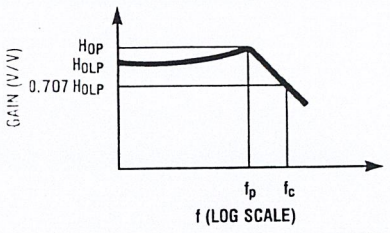
$$\omega_O = 2\pi f_O$$

01039956

FIGURE 1. 2nd-Order Bandpass Response

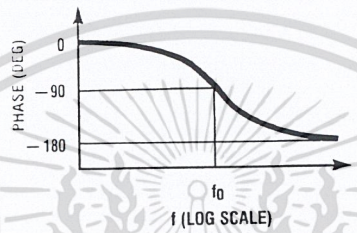
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.0 Definition of Terms (Continued)



01039907

(a)



01039908

(b)

$$H_{LP}(s) = \frac{H_{OLP}\omega_0^2}{s^2 + \frac{s\omega_0}{Q} + \omega_0^2}$$

$$f_C = f_0 \times \sqrt{\left(1 - \frac{1}{2Q^2}\right) + \sqrt{\left(1 - \frac{1}{2Q^2}\right)^2 + 1}}$$

$$f_p = f_0 \sqrt{1 - \frac{1}{2Q^2}}$$

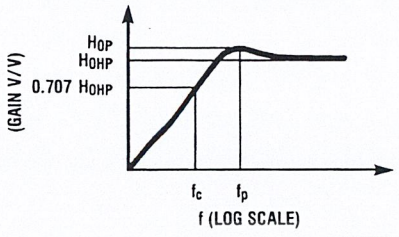
$$H_{OP} = H_{OLP} \times \frac{1}{\frac{1}{Q}\sqrt{1 - \frac{1}{4Q^2}}}$$

01039957

FIGURE 2. 2nd-Order Low-Pass Response

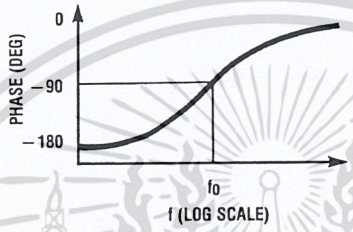
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.0 Definition of Terms (Continued)



01039909

(a)



01039910

(b)

$$H_{HP}(s) = \frac{H_{OHP}s^2}{s^2 + \frac{s\omega_0}{Q} + \omega_0^2}$$

$$f_C = f_O \times \left[\sqrt{\left(1 - \frac{1}{2Q^2}\right) + \sqrt{\left(1 - \frac{1}{2Q^2}\right)^2 + 1}}\right]^{-1}$$

$$f_p = f_O \times \left[\sqrt{1 - \frac{1}{2Q^2}}\right]^{-1}$$

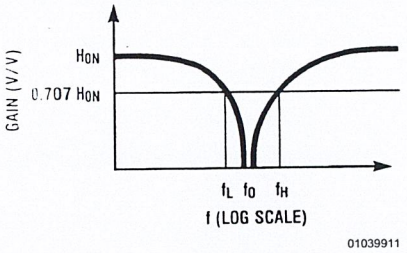
$$H_{OP} = H_{OHP} \times \frac{1}{\frac{1}{Q}\sqrt{1 - \frac{1}{4Q^2}}}$$

01039958

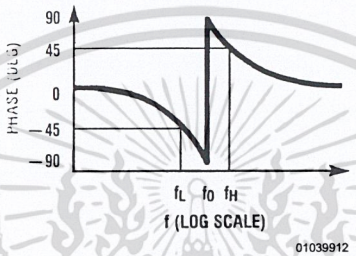
FIGURE 3. 2nd-Order High-Pass Response

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.0 Definition of Terms (Continued)



(a)



(b)

$$H_N(s) = \frac{H_{ON}(s^2 + \omega_O^2)}{s^2 + \frac{s\omega_O}{Q} + \omega_O^2}$$

$$Q = \frac{f_O}{f_H - f_L};\ f_O = \sqrt{f_L f_H}$$

$$f_L = f_O\left(\frac{-1}{2Q} + \sqrt{\left(\frac{1}{2Q}\right)^2 + 1}\right)$$

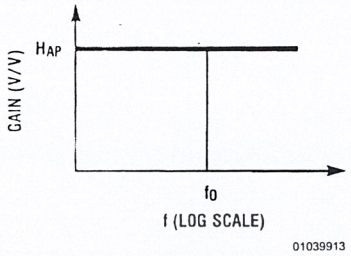
$$f_H = f_O\left(\frac{1}{2Q} + \sqrt{\left(\frac{1}{2Q}\right)^2 + 1}\right)$$

01039960

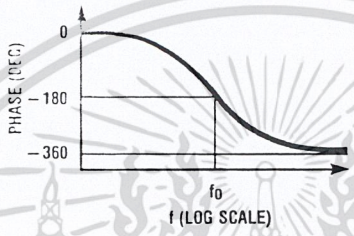
FIGURE 4. 2nd-Order Notch Response

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.0 Definition of Terms (Continued)



(a)



(b)

$$H_{AP}(s) = \frac{H_{OAP}\left(s^2 - \frac{s\omega_O}{Q} + \omega_O^2\right)}{s^2 + \frac{s\omega_O}{Q} + \omega_O^2}$$

01039961

FIGURE 5. 2nd-Order All-Pass Response

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.0 Definition of Terms (Continued)

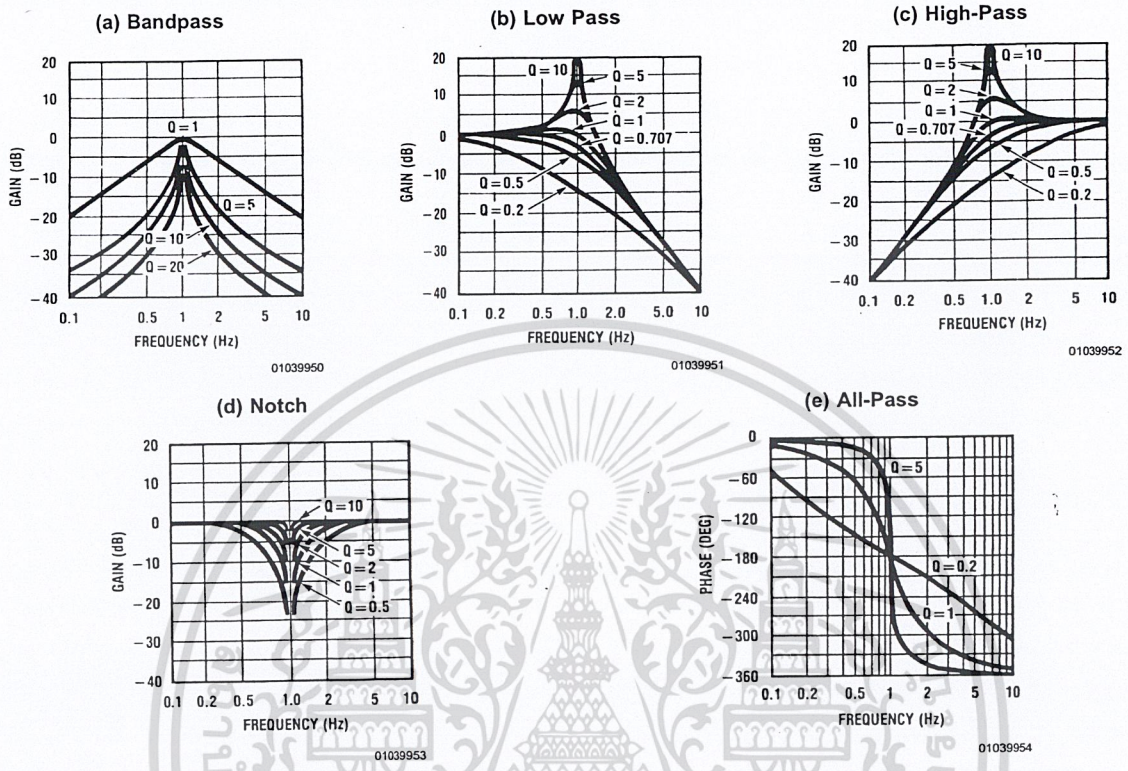


FIGURE 6. Response of various 2nd-order filters as a function of Q. Gains and center frequencies are normalized to unity.

2.0 Modes of Operation

The MF10 is a switched capacitor (sampled data) filter. To fully describe its transfer functions, a time domain approach is appropriate. Since this is cumbersome, and since the MF10 closely approximates continuous filters, the following discussion is based on the well known frequency domain. Each MF10 can produce a full 2nd order function. See *Table 1* for a summary of the characteristics of the various modes.

MODE 1: Notch 1, Bandpass, Lowpass Outputs:

$f_{notch} = f_O$ **(See *Figure 7*)**

f_O= center frequency of the complex pole pair

$$= \frac{f_{CLK}}{100} \text{ or } \frac{f_{CLK}}{50}$$

f_{notch}= center frequency of the imaginary zero pair = f_O.

$$H_{OLP} = \text{Lowpass gain (as } f \rightarrow 0) = -\frac{R2}{R1}$$

$$H_{OBP} = \text{Bandpass gain (at } f = f_O) = -\frac{R3}{R1}$$

$$H_{ON} = \text{Notch output gain as } \left.\begin{matrix} f \rightarrow 0 \\ f \rightarrow f_{CLK}/2 \end{matrix}\right\} = \frac{-R_2}{R_1}$$

$$Q = \frac{f_O}{BW} = \frac{R3}{R2}$$

= quality factor of the complex pole pair

BW = the −3 dB bandwidth of the bandpass output.

Circuit dynamics:

$$H_{OLP} = \frac{H_{OBP}}{Q} \text{ or } H_{OBP} = H_{OLP} \times Q$$

$$= H_{ON} \times Q.$$

$H_{OLP(peak)} \cong Q \times H_{OLP}$ (for high Q's)

MODE 1a: Non-Inverting BP, LP (See *Figure 8*)

$$f_O = \frac{f_{CLK}}{100} \text{ or } \frac{f_{CLK}}{50}$$

$$Q = \frac{R3}{R2}$$

$H_{OLP} = -1$; $H_{OLP(peak)} \cong Q \times H_{OLP}$ (for high Q's)

$$H_{OBP_1} = -\frac{R3}{R2}$$

H_{OBP_2}= 1 (Non-Inverting)

Circuit Dynamics: $H_{OBP1} = Q$

Note: V_{IN} should be driven from a low impedance (<1 kΩ) source.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.0 Modes of Operation (Continued)

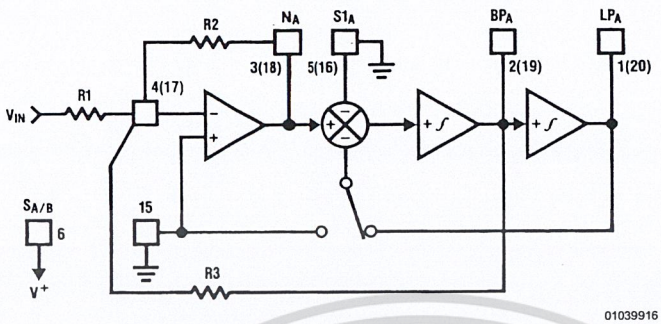


FIGURE 7. MODE 1

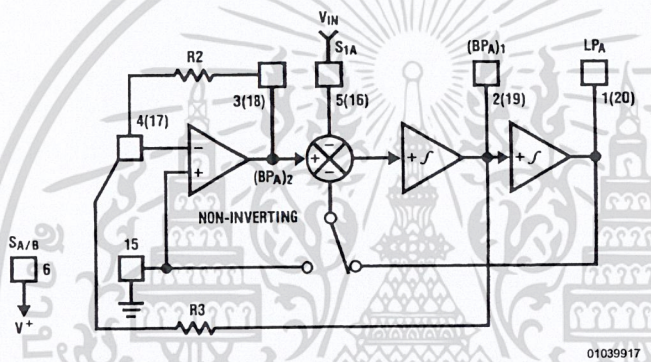


FIGURE 8. MODE 1a

MODE 2: Notch 2, Bandpass, Lowpass: $f_{notch} < f_O$ (See *Figure 9*)

f_O = center frequency

$$= \frac{f_{CLK}}{100}\sqrt{\frac{R2}{R4}+1} \text{ or } \frac{f_{CLK}}{50}\sqrt{\frac{R2}{R4}+1}$$

$$f_{notch} = \frac{f_{CLK}}{100} \text{ or } \frac{f_{CLK}}{50}$$

Q = quality factor of the complex pole pair

$$= \frac{\sqrt{R2/R4+1}}{R2/R3}$$

H_{OLP} = Lowpass output gain (as $f \rightarrow 0$)

$$= -\frac{R2/R1}{R2/R4+1}$$

H_{OBP} = Bandpass output gain (at $f = f_O$) = $-R3/R1$

H_{ON_1} = Notch output gain (as $f \rightarrow 0$)

$$= -\frac{R2/R1}{R2/R4+1}$$

$$H_{ON_2} = \text{Notch output gain}\left(\text{as } f \rightarrow \frac{f_{CLK}}{2}\right) = -R2/R1$$

Filter dynamics: $H_{OBP} = Q\sqrt{H_{OLP}\,H_{ON_2}} = \sqrt{H_{ON1}\,H_{ON2}}$

MODE 3: Highpass, Bandpass, Lowpass Outputs (See *Figure 10*)

$$f_O = \frac{f_{CLK}}{100} \times \sqrt{\frac{R2}{R4}} \text{ or } \frac{f_{CLK}}{50} \times \sqrt{\frac{R2}{R4}}$$

Q = quality factor of the complex pole pair

$$= \sqrt{\frac{R2}{R4}} \times \frac{R3}{R2}$$

$$H_{OHP} = \text{Highpass Gain}\left(\text{as } f \rightarrow \frac{f_{CLK}}{2}\right) = -\frac{R2}{R1}$$

$$H_{OBP} = \text{Lowpass Gain}\left(\text{at } f = f_O\right) = -\frac{R3}{R1}$$

$$H_{OLP} = \text{Lowpass Gain}\left(\text{as } f \rightarrow 0\right) = -\frac{R4}{R1}$$

Circuit dynamics: $\frac{R2}{R4} = \frac{H_{OHP}}{H_{OLP}}$;

$$H_{OBP} = \sqrt{H_{OHP} \times H_{OLP}} \times Q$$

$H_{OLP(peak)} \cong Q \times H_{OLP}$ (for high Q's)

$H_{OHP(peak)} \cong Q \times H_{OHP}$ (for high Q's)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.0 Modes of Operation (Continued)

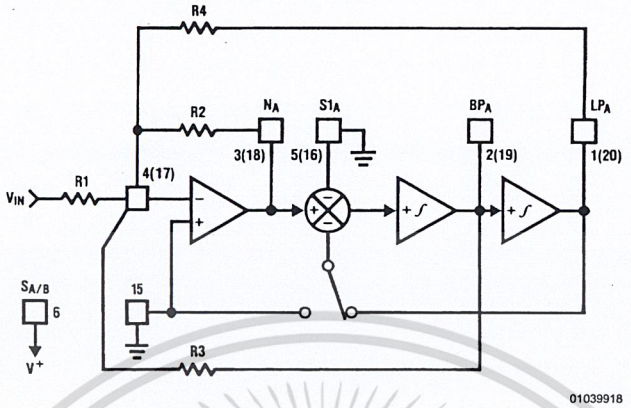
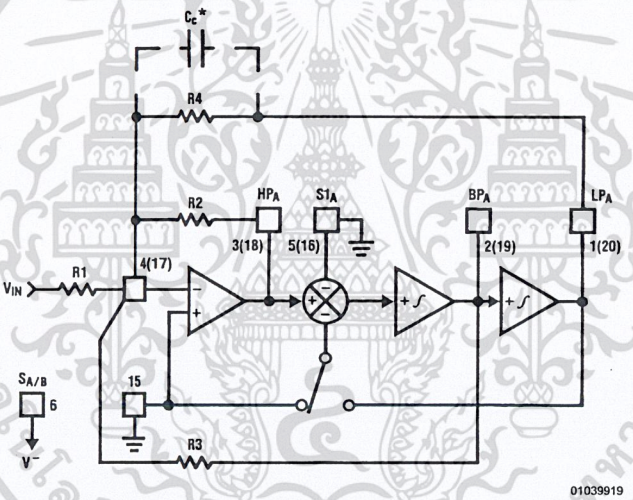


FIGURE 9. MODE 2



*In Mode 3, the feedback loop is closed around the input summing amplifier; the finite GBW product of this op amp causes a slight Q enhancement. If this is a problem, connect a small capacitor (10 pF − 100 pF) across R4 to provide some phase lead.

FIGURE 10. MODE 3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.0 Modes of Operation (Continued)

MODE 3a: HP, BP, LP and Notch with External Op Amp (See *Figure 11*)

$$f_O = \frac{f_{CLK}}{100} \times \sqrt{\frac{R2}{R4}} \text{ or } \frac{f_{CLK}}{50} \times \sqrt{\frac{R2}{R4}}$$

$$Q = \sqrt{\frac{R2}{R4}} \times \frac{R3}{R2}$$

$$H_{OHP} = -\frac{R2}{R1}$$

$$H_{OBP} = -\frac{R3}{R1}$$

$$H_{OLP} = -\frac{R4}{R1}$$

f_n = notch frequency $= \frac{f_{CLK}}{100}\sqrt{\frac{R_h}{R_l}}$ or $\frac{f_{CLK}}{50}\sqrt{\frac{R_h}{R_l}}$

H_{ON} = gain of notch at

$$f = f_O = \left| Q\left(\frac{R_g}{R_l} H_{OLP} - \frac{R_g}{R_h} H_{OHP}\right)\right|$$

H_{n1} = gain of notch (as $f \rightarrow 0$) $= \frac{R_g}{R_l} \times H_{OLP}$

H_{n2} = gain of notch $\left(\text{as } f \rightarrow \frac{f_{CLK}}{2}\right)$

$$= -\frac{R_g}{R_h} \times H_{OHP}$$

MODE 4: Allpass, Bandpass, Lowpass Outputs(See *Figure 12*)

f_O = center frequency

$$= \frac{f_{CLK}}{100} \text{ or } \frac{f_{CLK}}{50};$$

f_z* = center frequency of the complex zero $\approx f_O$

$$Q = \frac{f_O}{BW} = \frac{R3}{R2};$$

Q_Z = quality factor of complex zero pair $= \frac{R3}{R1}$

For AP output make R1 = R2

H_{OAP}* = Allpass gain $\left(\text{at } 0 < f < \frac{f_{CLK}}{2}\right) = -\frac{R2}{R1} = -1$

H_{OLP} = Lowpass gain (as $f \rightarrow 0$)

$$= -\left(\frac{R2}{R1} + 1\right) = -2$$

H_{OBP} = Bandpass gain (at $f = f_O$)

$$= -\frac{R3}{R2}\left(1 + \frac{R2}{R1}\right) = -2\left(\frac{R3}{R2}\right)$$

Circuit Dynamics: $H_{OBP} = (H_{OLP}) \times Q = (H_{OAP} + 1)Q$

*Due to the sampled data nature of the filter, a slight mismatch of f_z and f_O occurs causing a 0.4 dB peaking around f_O of the allpass filter amplitude response (which theoretically should be a straight line). If this is unacceptable, Mode 5 is recommended.

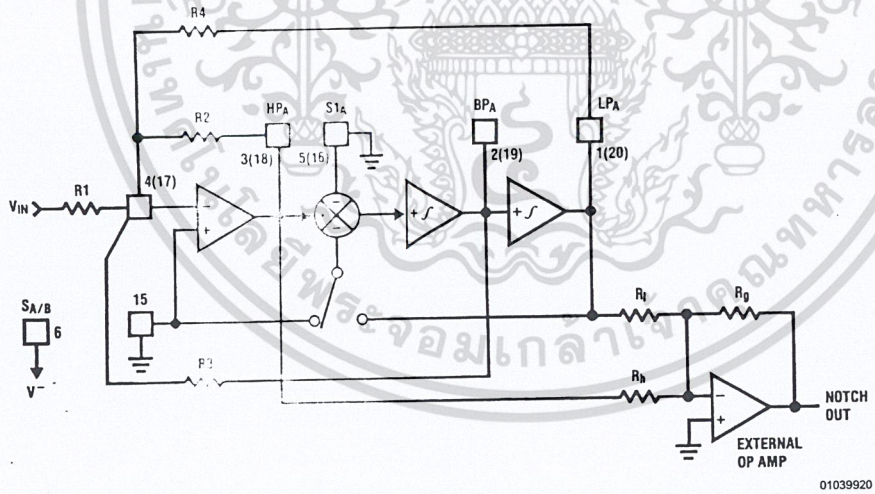


FIGURE 11. MODE 3a

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.0 Modes of Operation (Continued)

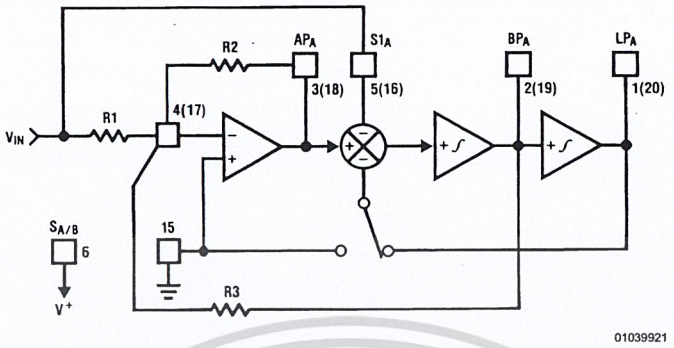


FIGURE 12. MODE 4

MODE 5: Numerator Complex Zeros, BP, LP (See *Figure 13*)

$$f_O = \sqrt{1 + \frac{R2}{R4}} \times \frac{f_{CLK}}{100} \text{ or } \sqrt{1 + \frac{R2}{R4}} \times \frac{f_{CLK}}{50}$$

$$f_z = \sqrt{1 - \frac{R2}{R4}} \times \frac{f_{CLK}}{100} \text{ or } \sqrt{1 - \frac{R1}{R4}} \times \frac{f_{CLK}}{50}$$

$$Q = \sqrt{1 + R2/R4} \times \frac{R3}{R2}$$

$$Q_Z = \sqrt{1 - R1/R4} \times \frac{R3}{R1}$$

H_{0z1} = gain at C.Z. output (as $f \rightarrow 0$ Hz) $= \dfrac{-R2(R4 - R1)}{R1(R2 + R4)}$

H_{0z2} = gain at C.Z. output $\left(\text{as } f \rightarrow \dfrac{f_{CLK}}{2}\right) = \dfrac{-R2}{R1}$

$$H_{OBP} = -\left(\frac{R2}{R1} + 1\right) \times \frac{R3}{R2}$$

$$H_{OLP} = -\left(\frac{R2 + R1}{R2 + R4}\right) \times \frac{R4}{R1}$$

MODE 6a: Single Pole, HP, LP Filter (See *Figure 14*)

f_c = cutoff frequency of LP or HP output

$$= \frac{R2}{R3}\frac{f_{CLK}}{100} \text{ or } \frac{R2}{R3}\frac{f_{CLK}}{50}$$

$$H_{OLP} = -\frac{R3}{R1}$$

$$H_{OHP} = -\frac{R2}{R1}$$

MODE 6b: Single Pole LP Filter (Inverting and Non-Inverting) (See *Figure 15*)

f_c = cutoff frequency of LP outputs

$$\cong \frac{R2}{R3}\frac{f_{CLK}}{100} \text{ or } \frac{R2}{R3}\frac{f_{CLK}}{50}$$

H_{OLP1} = 1 (non-inverting)

$$H_{OLP2} = -\frac{R3}{R2}$$

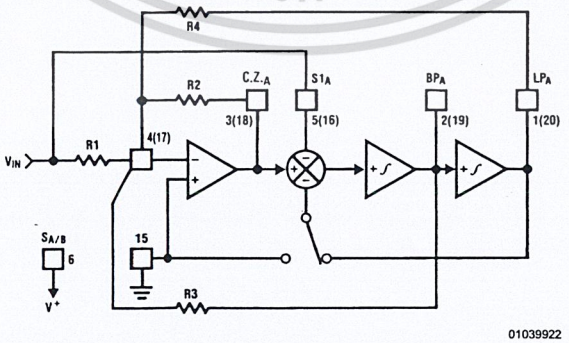
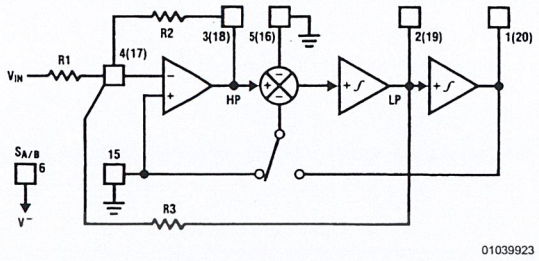


FIGURE 13. MODE 5

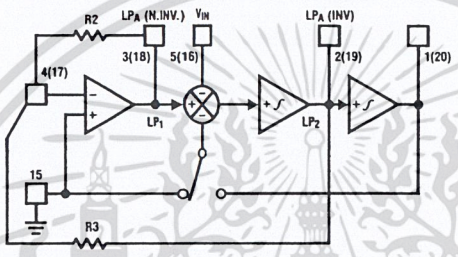
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.0 Modes of Operation (Continued)



01039923

FIGURE 14. MODE 6a



01039924

FIGURE 15. MODE 6b

TABLE 1. Summary of Modes. Realizable filter types (e.g. low-pass) denoted by asterisks. Unless otherwise noted, gains of various filter outputs are inverting and adjustable by resistor ratios.

Mode	BP	LP	HP	N	AP	Number of Resistors	Adjustable f_{CLK}/f_O	Notes
1	*	*		*		3	No	
1a	(2) $H_{OBP1} = -Q$ $H_{OBP2} = +1$	$H_{OLP} + 1$				2	No	May need input buffer. Poor dynamics for high Q.
2	*	*		*		3	Yes (above $f_{CLK}/50$ or $f_{CLK}/100$)	
3	*	*	*			4	Yes	Universal State-Variable Filter. Best general-purpose mode.
3a	*	*	*	*		7	Yes	As above, but also includes resistor-tuneable notch.
4	*	*			*	3	No	Gives Allpass response with $H_{OAP} = -1$ and $H_{OLP} = -2$.
5	*	*			*	4		Gives flatter allpass response than above if $R_1 = R_2 = 0.02R_4$.
6a		*	*			3		Single pole.
6b		(2) $H_{OLP1} = +1$ $H_{OLP2} = \frac{-R3}{R2}$				2		Single pole.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.0 Applications Information

The MF10 is a general-purpose dual second-order state variable filter whose center frequency is proportional to the frequency of the square wave applied to the clock input (f_{CLK}). By connecting pin 12 to the appropriate DC voltage, the filter center frequency f_O can be made equal to either $f_{CLK}/100$ or $f_{CLK}/50$. f_O can be very accurately set (within ±6%) by using a crystal clock oscillator, or can be easily varied over a wide frequency range by adjusting the clock frequency. If desired, the f_{CLK}/f_O ratio can be altered by external resistors as in *Figures 9, 10, 11, 13, 14, 15*. The filter Q and gain are determined by external resistors.

All of the five second-order filter types can be built using either section of the MF10. These are illustrated in *Figure 1* through *Figure 5* along with their transfer functions and some related equations. *Figure 6* shows the effect of Q on the shapes of these curves. When filter orders greater than two are desired, two or more MF10 sections can be cascaded.

3.1 DESIGN EXAMPLE

In order to design a second-order filter section using the MF10, we must define the necessary values of three parameters: f_0, the filter section's center frequency; H_0, the passband gain; and the filter's Q. These are determined by the characteristics required of the filter being designed.

As an example, let's assume that a system requires a fourth-order Chebyshev low-pass filter with 1 dB ripple, unity gain at DC, and 1000 Hz cutoff frequency. As the system order is four, it is realizable using both second-order sections of an MF10. Many filter design texts include tables that list the characteristics (f_O and Q) of each of the second-order filter sections needed to synthesize a given higher-order filter. For the Chebyshev filter defined above, such a table yields the following characteristics:

f_{0A} = 529 Hz Q_A = 0.785

f_{0B} = 993 Hz Q_B = 3.559

For unity gain at DC, we also specify:

H_{0A} = 1

H_{0B} = 1

The desired clock-to-cutoff-frequency ratio for the overall filter of this example is 100 and a 100 kHz clock signal is available. Note that the required center frequencies for the two second-order sections will not be obtainable with clock-to-center-frequency ratios of 50 or 100. It will be necessary to adjust

$$\frac{f_{CLK}}{f_0}$$

externally. From *Table 1*, we see that Mode 3 can be used to produce a low-pass filter with resistor-adjustable center frequency.

In most filter designs involving multiple second-order stages, it is best to place the stages with lower Q values ahead of stages with higher Q, especially when the higher Q is greater than 0.707. This is due to the higher relative gain at the center frequency of a higher-Q stage. Placing a stage with lower Q ahead of a higher-Q stage will provide some attenuation at the center frequency and thus help avoid clipping of signals near this frequency. For this example, stage A has the lower Q (0.785) so it will be placed ahead of the other stage.

For the first section, we begin the design by choosing a convenient value for the input resistance: R_{1A} = 20k. The absolute value of the passband gain H_{OLPA} is made equal to 1 by choosing R_{4A} such that: $R_{4A} = -H_{OLPA}R_{1A} = R_{1A}$ = 20k. If the 50/100/CL pin is connected to mid-supply for nominal 100:1 clock-to-center-frequency ratio, we find R_{2A} by:

$$R_{2A} = R_{4A}\frac{f_{0A}^2}{(f_{CLK}/100)^2} = 2 \times 10^4 \times \frac{(529)^2}{(1000)^2} = 5.6\text{k and}$$

$$R_{3A} = Q_A\sqrt{R_{2A}R_{4A}} = 0.785\sqrt{5.6 \times 10^3 \times 2 \times 10^4} = 8.3\text{k}$$

The resistors for the second section are found in a similar fashion:

$$R_{1B} = 20\text{k}$$

$$R_{4B} = R_{1B} = 20\text{k}$$

$$R_{2B} = R_{4B}\frac{f_{0B}^2}{(f_{CLK}/100)^2} = 20\text{k}\,\frac{(993)^2}{(1000)^2} = 19.7\text{k}$$

$$R_{3B} = Q_B\sqrt{R_{2B}R_{4B}} = 3.559\sqrt{1.97\times10^4\times2\times10^4} = 70.6\text{k}$$

The complete circuit is shown in *Figure 16* for split ±5V power supplies. Supply bypass capacitors are highly recommended.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.0 Applications Information (Continued)

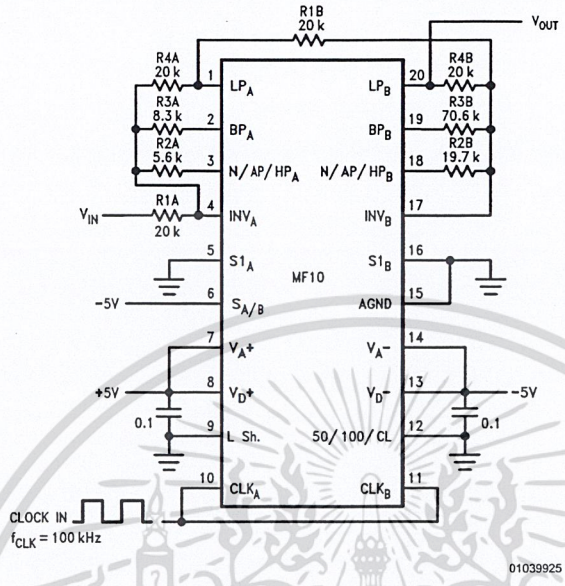


FIGURE 16. Fourth-Order Chebyshev Low-Pass Filter from Example in 3.1. ±5V Power Supply. 0V–5V TTL or −5V ±5V CMOS Logic Levels.

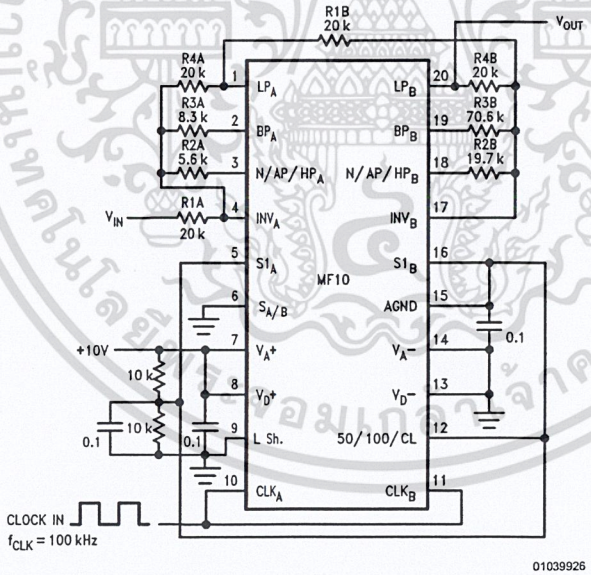
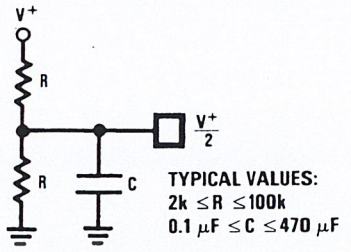


FIGURE 17. Fourth-Order Chebyshev Low-Pass Filter from Example in 3.1. Single +10V Power Supply. 0V–5V TTL Logic Levels. Input Signals Should be Referred to Half-Supply or Applied through a Coupling Capacitor.

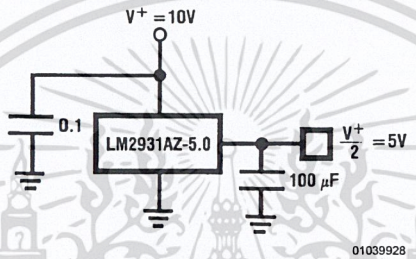
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.0 Applications Information (Continued)



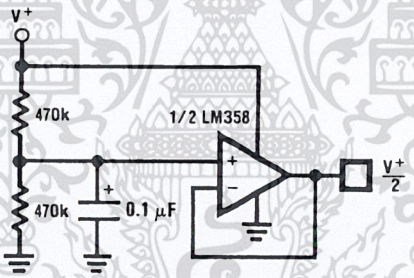
01039927

(a) Resistive Divider with Decoupling Capacitor



01039928

(b) Voltage Regulator



01039929

(c) Operational Amplifier with Divider

FIGURE 18. Three Ways of Generating V+/2 for Single-Supply Operation

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.0 Applications Information

(Continued)

3.2 SINGLE SUPPLY OPERATION

The MF10 can also operate with a single-ended power supply. *Figure 17* shows the example filter with a single-ended power supply. V_A^+ and V_D^+ are again connected to the positive power supply (8V to 14V), and V_A^- and V_D^- are connected to ground. The A_{GND} pin must be tied to $V^+/2$ for single supply operation. This half-supply point should be very "clean", as any noise appearing on it will be treated as an input to the filter. It can be derived from the supply voltage with a pair of resistors and a bypass capacitor (*Figure 18a*), or a low-impedance half-supply voltage can be made using a three-terminal voltage regulator or an operational amplifier (*Figure 18b* and *Figure 18c*). The passive resistor divider with a bypass capacitor is sufficient for many applications, provided that the time constant is long enough to reject any power supply noise. It is also important that the half-supply reference present a low impedance to the clock frequency, so at very low clock frequencies the regulator or op-amp approaches may be preferable because they will require smaller capacitors to filter the clock frequency. The main power supply voltage should be clean (preferably regulated) and bypassed with 0.1 µF.

3.3 DYNAMIC CONSIDERATIONS

The maximum signal handling capability of the MF10, like that of any active filter, is limited by the power supply voltages used. The amplifiers in the MF10 are able to swing to within about 1V of the supplies, so the input signals must be kept small enough that none of the outputs will exceed these limits. If the MF10 is operating on ±5V, for example, the outputs will clip at about 8 V_{p-p}. The maximum input voltage multiplied by the filter gain should therefore be less than 8 V_{p-p}.

Note that if the filter Q is high, the gain at the lowpass or highpass outputs will be much greater than the nominal filter gain (*Figure 6*). As an example, a lowpass filter with a Q of 10 will have a 20 dB peak in its amplitude response at f_O. If the nominal gain of the filter H_{OLP} is equal to 1, the gain at f_O will be 10. The maximum input signal at f_O must therefore be less than 800 mV_{p-p} when the circuit is operated on ±5V supplies.

Also note that one output can have a reasonable small voltage on it while another is saturated. This is most likely for a circuit such as the notch in Mode 1 (*Figure 7*). The notch output will be very small at f_O, so it might appear safe to apply a large signal to the input. However, the bandpass will have its maximum gain at f_O and can clip if overdriven. If one output clips, the performance at the other outputs will be degraded, so avoid overdriving any filter section, even ones whose outputs are not being directly used. Accompanying *Figure 7* through *Figure 15* are equations labeled "circuit dynamics", which relate the Q and the gains at the various outputs. These should be consulted to determine peak circuit gains and maximum allowable signals for a given application.

3.4 OFFSET VOLTAGE

The MF10's switched capacitor integrators have a higher equivalent input offset voltage than would be found in a typical continuous-time active filter integrator. *Figure 19* shows an equivalent circuit of the MF10 from which the output DC offsets can be calculated. Typical values for these offsets with $S_{A/B}$ tied to V^+ are:

V_{os1} = opamp offset = ±5 mV

V_{os2} = −150 mV @ 50:1: −300 mV @ 100:1

V_{os3} = −70 mV @ 50:1: −140 mV @ 100:1

When $S_{A/B}$ is tied to V^-, V_{os2} will approximately halve. The DC offset at the BP output is equal to the input offset of the lowpass integrator (V_{os3}). The offsets at the other outputs depend on the mode of operation and the resistor ratios, as described in the following expressions.

Mode 1 and Mode 4

$$V_{OS(N)} = V_{OS1}\left(\frac{1}{Q} + 1\left\|H_{OLP}\right\|\right) - \frac{V_{OS3}}{Q}$$

$$V_{OS(BP)} = V_{OS3}$$

$$V_{OS(LP)} = V_{OS(N)} - V_{OS2}$$

Mode 1a

$$V_{OS(N.INV.BP)} = \left(1 + \frac{1}{Q}\right)V_{OS1} - \frac{V_{OS3}}{Q}$$

$$V_{OS(INV.BP)} = V_{OS3}$$

$$V_{OS(LP)} = V_{OS(N.INV.BP)} - V_{OS2}$$

เอกสารนี้สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.0 Applications Information

(Continued)

Mode 2 and Mode 5

$$V_{OS(N)} = \left(\frac{R2}{R_p} + 1\right) V_{OS1} \times \frac{1}{1 + R2/R4}$$

$$+ V_{OS2} \frac{1}{1 + R4/R2} - \frac{V_{OS3}}{Q\sqrt{1 + R2/R4}}$$

$$R_p = R1//R3//R4$$

$$V_{OS(BP)} = V_{OS3}$$

$$V_{OS(LP)} = V_{OS(N)} - V_{OS2}$$

Mode 3

$$V_{OS(HP)} = V_{OS2}$$

$$V_{OS(BP)} = V_{OS3}$$

$$V_{OS(LP)} = V_{OS1}\left[1 + \frac{R4}{R_p}\right] - V_{OS2}\left(\frac{R4}{R2}\right)$$

$$-V_{OS3}\left(\frac{R4}{R3}\right)$$

$$Rp = R1//R2//R3$$

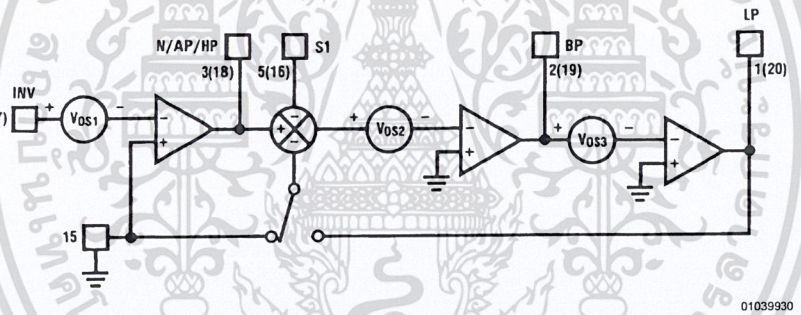


FIGURE 19. MF10 Offset Voltage Sources

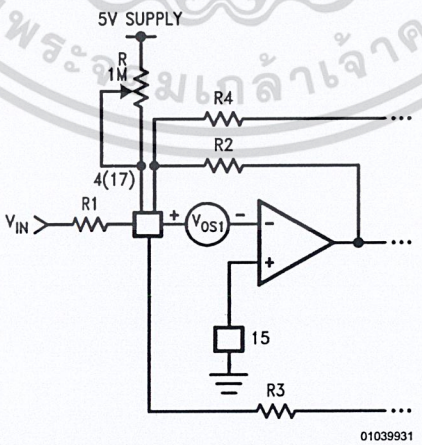


FIGURE 20. Method for Trimming V_{OS}

For most applications, the outputs are AC coupled and DC offsets are not bothersome unless large signals are applied to the filter input. However, larger offset voltages will cause clipping to occur at lower AC signal levels, and clipping at

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.0 Applications Information

(Continued)

any of the outputs will cause gain nonlinearities and will change f_O and Q. When operating in Mode 3, offsets can become excessively large if R2 and R4 are used to make f_{CLK}/f_O significantly higher than the nominal value, especially if Q is also high. An extreme example is a bandpass filter having unity gain, a Q of 20, and f_{CLK}/f_O = 250 with pin 12 tied to ground (100:1 nominal). R4/R2 will therefore be equal to 6.25 and the offset voltage at the lowpass output will be about +1V. Where necessary, the offset voltage can be adjusted by using the circuit of *Figure 20*. This allows adjustment of V_{OS1}, which will have varying effects on the different outputs as described in the above equations. Some outputs cannot be adjusted this way in some modes, however ($V_{OS(BP)}$ in modes 1a and 3, for example).

3.5 SAMPLED DATA SYSTEM CONSIDERATIONS

The MF10 is a sampled data filter, and as such, differs in many ways from conventional continuous-time filters. An important characteristic of sampled-data systems is their effect on signals at frequencies greater than one-half the sampling frequency. (The MF10's sampling frequency is the same as its clock frequency.) If a signal with a frequency greater than one-half the sampling frequency is applied to the input of a sampled data system, it will be "reflected" to a frequency less than one-half the sampling frequency. Thus, an input signal whose frequency is $f_s/2$ + 100 Hz will cause the system to respond as though the input frequency was $f_s/2$ − 100 Hz. This phenomenon is known as "aliasing", and can be reduced or eliminated by limiting the input signal spectrum to less than $f_s/2$. This may in some cases require the use of a bandwidth-limiting filter ahead of the MF10 to limit the input spectrum. However, since the clock frequency is much higher than the center frequency, this will often not be necessary.

Another characteristic of sampled-data circuits is that the output signal changes amplitude once every sampling period, resulting in "steps" in the output voltage which occur at the clock rate (*Figure 21*). If necessary, these can be "smoothed" with a simple R–C low-pass filter at the MF10 output.

The ratio of f_{CLK} to f_C (normally either 50:1 or 100:1) will also affect performance. A ratio of 100:1 will reduce any aliasing problems and is usually recommended for wideband input signals. In noise sensitive applications, however, a ratio of 50:1 may be better as it will result in 3 dB lower output noise. The 50:1 ratio also results in lower DC offset voltages, as discussed in Section 3.4.

The accuracy of the f_{CLK}/f_O ratio is dependent on the value of Q. This is illustrated in the curves under the heading "Typical Performance Characteristics". As Q is changed, the true value of the ratio changes as well. Unless the Q is low, the error in f_{CLK}/f_O will be small. If the error is too large for a specific application, use a mode that allows adjustment of the ratio with external resistors.

It should also be noted that the product of Q and f_O should be limited to 300 kHz when f_O < 5 kHz, and to 200 kHz for f_O > 5 kHz.

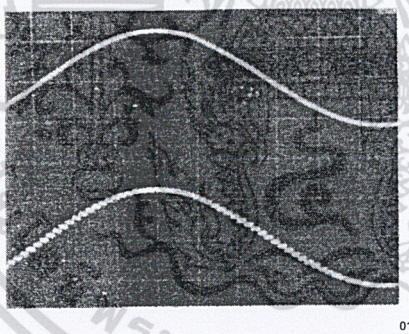


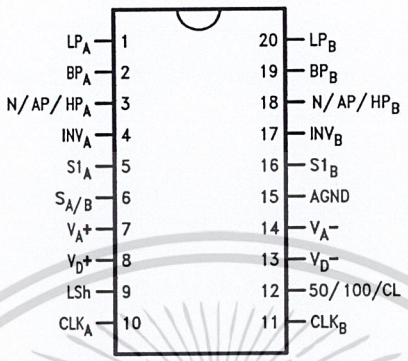
FIGURE 21. The Sampled-Data Output Waveform

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.0 Applications Information (Continued)

Connection Diagram

Surface Mount and Dual-In-Line Package



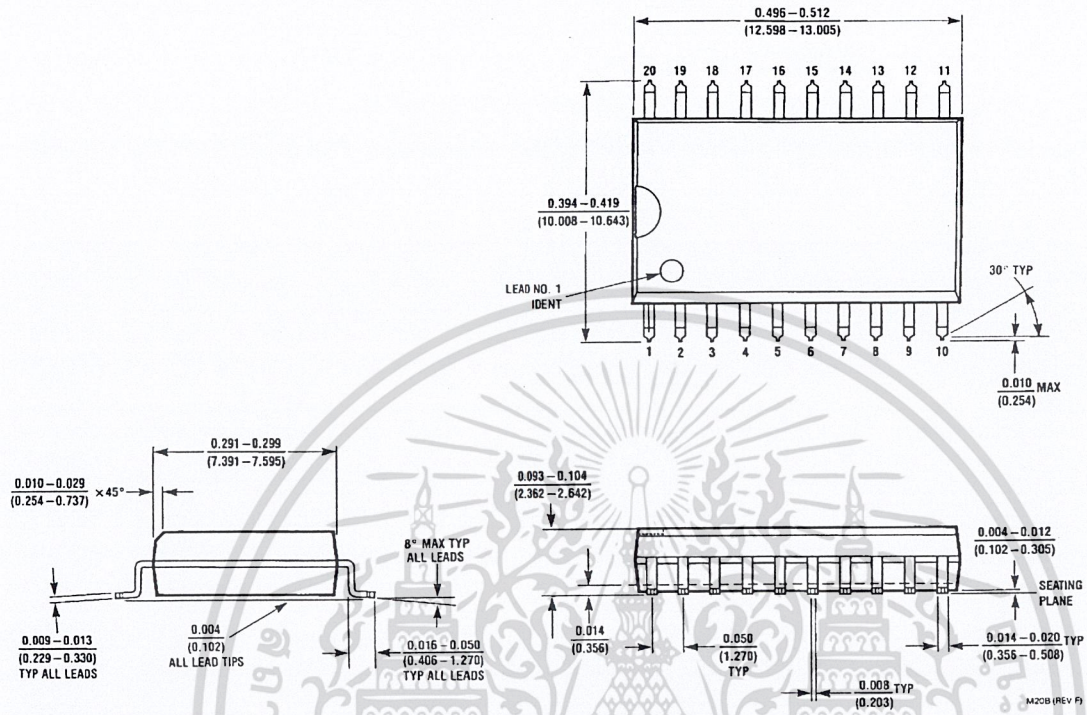
01039904

Top View
Order Number MF10CCWM
See NS Package Number M20B
Order Number MF10ACN or MF10CCN
See NS Package Number N20A

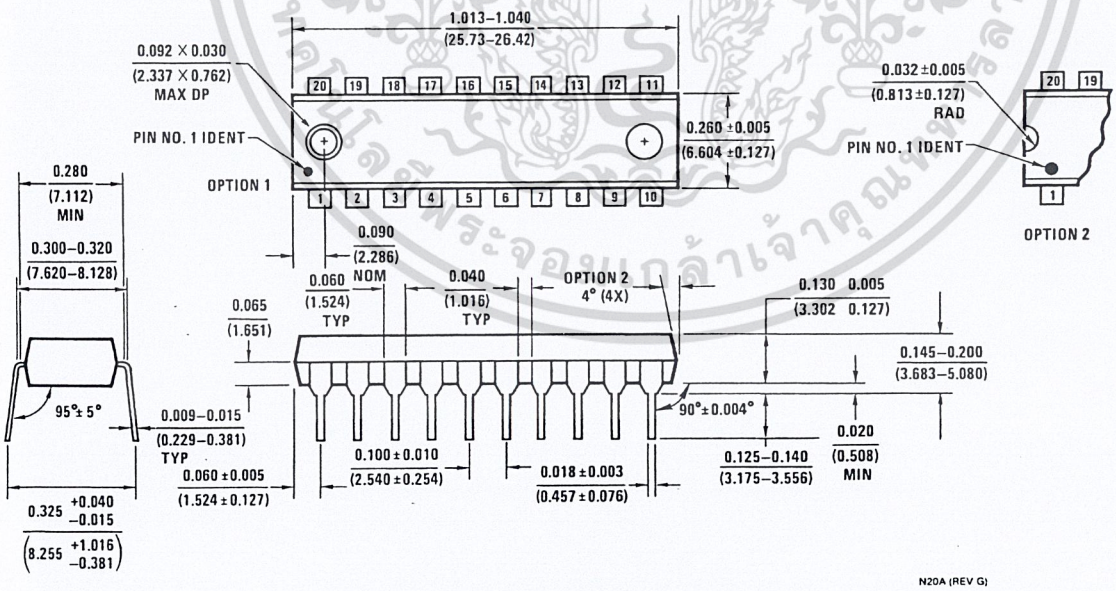
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Physical Dimensions inches (millimeters)

unless otherwise noted



Molded Package (Small Outline) (M)
Order Number MF10ACWM or MF10CCWM
NS Package Number M20B



20-Lead Molded Dual-In-Line Package (N)
Order Number MF10ACN or MF10CCN
NS Package Number N20A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Notes

LIFE SUPPORT POLICY

NATIONAL'S PRODUCTS ARE NOT AUTHORIZED FOR USE AS CRITICAL COMPONENTS IN LIFE SUPPORT DEVICES OR SYSTEMS WITHOUT THE EXPRESS WRITTEN APPROVAL OF THE PRESIDENT AND GENERAL COUNSEL OF NATIONAL SEMICONDUCTOR CORPORATION. As used herein:

1. Life support devices or systems are devices or systems which, (a) are intended for surgical implant into the body, or (b) support or sustain life, and whose failure to perform when properly used in accordance with instructions for use provided in the labeling, can be reasonably expected to result in a significant injury to the user.
2. A critical component is any component of a life support device or system whose failure to perform can be reasonably expected to cause the failure of the life support device or system, or to affect its safety or effectiveness.

National Semiconductor Corporation
Americas
Tel: 1-800-272-9959
Fax: 1-800-737-7018
Email: support@nsc.com
www.national.com

National Semiconductor Europe
Fax: +49 (0) 180-530 85 86
Email: europe.support@nsc.com
Deutsch Tel: +49 (0) 69 9508 6208
English Tel: +44 (0) 870 24 0 2171
Français Tel: +33 (0) 1 41 91 8790

National Semiconductor Asia Pacific Customer Response Group
Tel: 65-2544466
Fax: 65-2504466
Email: ap.support@nsc.com

National Semiconductor Japan Ltd.
Tel: 81-3-5639-7560
Fax: 81-3-5639-7507

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

National does not assume any responsibility for use of any circuitry described, no circuit patent licenses are implied and National reserves the right at any time without notice to change said circuitry and specifications.

FAIRCHILD
SEMICONDUCTOR™

October 1987
Revised March 2002

CD4046BC
Micropower Phase-Locked Loop

General Description

The CD4046BC micropower phase-locked loop (PLL) consists of a low power, linear, voltage-controlled oscillator (VCO), a source follower, a zener diode, and two phase comparators. The two phase comparators have a common signal input and a common comparator input. The signal input can be directly coupled for a large voltage signal, or capacitively coupled to the self-biasing amplifier at the signal input for a small voltage signal.

Phase comparator I, an exclusive OR gate, provides a digital error signal (phase comp. I Out) and maintains 90° phase shifts at the VCO center frequency. Between signal input and comparator input (both at 50% duty cycle), it may lock onto the signal input frequencies that are close to harmonics of the VCO center frequency.

Phase comparator II is an edge-controlled digital memory network. It provides a digital error signal (phase comp. II Out) and lock-in signal (phase pulses) to indicate a locked condition and maintains a 0° phase shift between signal input and comparator input.

The linear voltage-controlled oscillator (VCO) produces an output signal (VCO Out) whose frequency is determined by the voltage at the VCO_{IN} input, and the capacitor and resistors connected to pin $C1_A$, $C1_B$, R1 and R2.

The source follower output of the VCO_{IN} (demodulator Out) is used with an external resistor of 10 kΩ or more.

The INHIBIT input, when high, disables the VCO and source follower to minimize standby power consumption. The zener diode is provided for power supply regulation, if necessary.

Features

- Wide supply voltage range: 3.0V to 18V
- Low dynamic power consumption: 70 μW (typ.) at f_o = 10 kHz, V_{DD} = 5V
- VCO frequency: 1.3 MHz (typ.) at V_{DD} = 10V
- Low frequency drift: 0.06%/°C at V_{DD} = 10V with temperature
- High VCO linearity: 1% (typ.)

Applications

- FM demodulator and modulator
- Frequency synthesis and multiplication
- Frequency discrimination
- Data synchronization and conditioning
- Voltage-to-frequency conversion
- Tone decoding
- FSK modulation
- Motor speed control

Ordering Code:

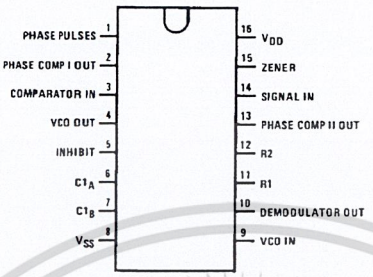
Order Number	Package Number	Package Description
CD4046BCM	M16A	16-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-012, 0.150" Narrow
CD4046BCN	N16E	16-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300" Wide

Devices also available in Tape and Reel. Specify by appending the suffix letter "X" to the ordering code.

© 2002 Fairchild Semiconductor Corporation

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Connection Diagram



Top View

Block Diagram

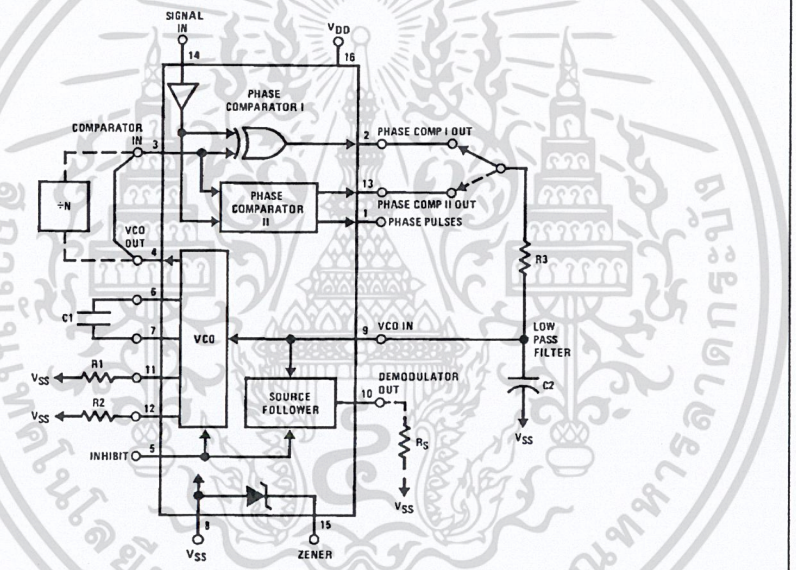


FIGURE 1.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings (Note 1)

(Note 2)

DC Supply Voltage (V_{DD})	−0.5 to +18 V_{DC}
Input Voltage (V_{IN})	−0.5 to V_{DD} +0.5 V_{DC}
Storage Temperature Range (T_S)	−65°C to +150°C
Power Dissipation (P_D)	
Dual-In-Line	700 mW
Small Outline	500 mW
Lead Temperature (T_L)	
(Soldering, 10 seconds)	260°C

Recommended Operating Conditions (Note 2)

DC Supply Voltage (V_{DD})	3 to 15 V_{DC}
Input Voltage (V_{IN})	0 to V_{DD} V_{DC}
Operating Temperature Range (T_A)	−55°C to +125°C

Note 1: "Absolute Maximum Ratings" are those values beyond which the safety of the device cannot be guaranteed. They are not meant to imply that the devices should be operated at these limits. The table of "Recommended Operating Conditions" and "Electrical Characteristics" provides conditions for actual device operation.

Note 2: V_{SS} = 0V unless otherwise specified.

DC Electrical Characteristics (Note 2)

Symbol	Parameter	Conditions	−55°C		+25°C			+125°C		Units
			Min	Max	Min	Typ	Max	Min	Max	
I_{DD}	Quiescent Device Current	Pin 5 = V_{DD}, Pin 14 = V_{DD}, Pin 3, 9 = V_{SS}								
		V_{DD} = 5V		5		0.005	5		150	µA
		V_{DD} = 10V		10		0.01	10		300	
		V_{DD} = 15V		20		0.015	20		600	
		Pin 5 = V_{DD}, Pin 14 = Open, Pin 3, 9 = V_{SS}								
		V_{DD} = 5V		45		5	35		185	µA
		V_{DD} = 10V		450		20	350		650	
		V_{DD} = 15V		1200		50	900		1500	
V_{OL}	LOW Level Output Voltage	V_{DD} = 5V		0.05		0	0.05		0.05	V
		V_{DD} = 10V		0.05		0	0.05		0.05	
		V_{DD} = 15V		0.05		0	0.05		0.05	
V_{OH}	HIGH Level Output Voltage	V_{DD} = 5V	4.95		4.95	5		4.95		V
		V_{DD} = 10V	9.95		9.95	10		9.95		
		V_{DD} = 15V	14.95		14.95	15		14.95		
V_{IL}	LOW Level Input Voltage	V_{DD} = 5V, V_O = 0.5V or 4.5V		1.5		2.25	1.5		1.5	V
	Comparator and Signal In	V_{DD} = 10V, V_O = 1V or 9V		3.0		4.5	3.0		3.0	
		V_{DD} = 15V, V_O = 1.5V or 13.5V		4.0		6.25	4.0		4.0	
V_{IH}	HIGH Level Input Voltage	V_{DD} = 5V, V_O = 0.5V or 4.5V	3.5		3.5	2.75		3.5		V
	Comparator and Signal In	V_{DD} = 10V, V_O = 1V or 9V	7.0		7.0	5.5		7.0		
		V_{DD} = 15V, V_O = 1.5V or 13.5V	11.0		11.0	8.25		11.0		
I_{OL}	LOW Level Output Current	V_{DD} = 5V, V_O = 0.4V	0.64		0.51	0.88		0.36		mA
	(Note 4)	V_{DD} = 10V, V_O = 0.5V	1.6		1.3	2.25		0.9		
		V_{DD} = 15V, V_O = 1.5V	4.2		3.4	8.8		2.4		
I_{OH}	HIGH Level Output Current	V_{DD} = 5V, V_O = 4.6V	−0.64		−0.51	−0.88		−0.36		mA
	(Note 4)	V_{DD} = 10V, V_O = 9.5V	−1.6		−1.3	−2.25		−0.9		
		V_{DD} = 15V, V_O = 13.5V	−4.2		−3.4	−8.8		−2.4		
I_{IN}	Input Current	All Inputs Except Signal Input								µA
		V_{DD} = 15V, V_{IN} = 0V		−0.1		-10^{-5}	−0.1		−1.0	
		V_{DD} = 15V, V_{IN} = 15V		0.1		10^{-5}	0.1		1.0	
C_{IN}	Input Capacitance	Any Input (Note 3)							7.5	pF
P_T	Total Power Dissipation	f_o = 10 kHz, R1 = 1 MΩ, R2 = ∞, VCO_{IN} = V_{CC}/2								
		V_{DD} = 5V				0.07				mW
		V_{DD} = 10V				0.6				
		V_{DD} = 15V				2.4				

Note 3: Capacitance is guaranteed by periodic testing.

Note 4: I_{OH} and I_{OL} are tested one output at a time.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC Electrical Characteristics (Note 5)

$T_A = 25°C$, $C_L = 50$ pF

Symbol	Parameter	Conditions	Min	Typ	Max	Units
VCO SECTION						
I_{DD}	Operating Current	f_o = 10 kHz, R1 = 1 MΩ, R2 = ∞, $VCO_{IN} = V_{CC}/2$				
		V_{DD} = 5V		20		μA
		V_{DD} = 10V		90		
		V_{DD} = 15V		200		
f_{MAX}	Maximum Operating Frequency	C1 = 50 pF, R1 = 10 kΩ, R2 = ∞, $VCO_{IN} = V_{DD}$				
		V_{DD} = 5V	0.4	0.8		MHz
		V_{DD} = 10V	0.6	1.2		
		V_{DD} = 15V	1.0	1.6		
	Linearity	VCO_{IN} = 2.5V ± 0.3V, R1 ≥ 10 kΩ, V_{DD} = 5V		1		%
		VCO_{IN} = 5V ± 2.5V, R1 ≥ 400 kΩ, V_{DD} = 10V		1		
		VCO_{IN} = 7.5V ± 5V, R1 ≥ 1 MΩ, V_{DD} = 15V		1		
	Temperature-Frequency Stability No Frequency Offset, $f_{MIN} = 0$	%/°C < 5c1/f, V_{DD} R2 = ∞				
		V_{DD} = 5V		0.12–0.24		%/°C
		V_{DD} = 10V		0.04–0.08		
		V_{DD} = 15V		0.015–0.03		
	Frequency Offset, $f_{MIN} \neq 0$	V_{DD} = 5V		0.06–0.12		%/°C
		V_{DD} = 10V		0.05–0.1		
		V_{DD} = 15V		0.03–0.06		
VCO_{IN}	Input Resistance	V_{DD} = 5V		10^5		MΩ
		V_{DD} = 10V		10^6		
		V_{DD} = 15V		10^6		
VCO	Output Duty Cycle	V_{DD} = 5V		50		%
		V_{DD} = 10V		50		
		V_{DD} = 15V		50		
t_{THL}	VCO Output Transition Time	V_{DD} = 5V		90	200	ns
t_{THL}		V_{DD} = 10V		50	100	ns
		V_{DD} = 15V		45	80	
PHASE COMPARATORS SECTION						
R_{IN}	Input Resistance					
	Signal Input	V_{DD} = 5V	1	3		MΩ
		V_{DD} = 10V	0.2	0.7		
		V_{DD} = 15V	0.1	0.3		
	Comparator Input	V_{DD} = 5V		10^6		
		V_{DD} = 10V		10^6		
		V_{DD} = 15V		10^6		
	AC-Coupled Signal Input Voltage Sensitivity	C_{SERIES} = 1000 pF f = 50 kHz				
		V_{DD} = 5V		200	400	mV
		V_{DD} = 10V		400	800	
		V_{DD} = 15V		700	1400	
DEMODULATOR OUTPUT						

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC Electrical Characteristics (Continued)

Symbol	Parameter	Conditions	Min	Typ	Max	Units
VCO_{IN}–V_{DEM}	Offset Voltage	RS ≥ 10 kΩ, V_{DD} = 5V		1.50	2.2	
		RS ≥ 10 kΩ, V_{DD} = 10V		1.50	2.2	V
		RS ≥ 50 kΩ, V_{DD} = 15V		1.50	2.2	
	Linearity	RS ≥ 50 kΩ				
		VCO_{IN} = 2.5V ± 0.3V, V_{DD} = 5V		0.1		
		VCO_{IN} = 5V ± 2.5V, V_{DD} = 10V		0.6		%
		VCO_{IN} = 7.5V ± 5V, V_{DD} = 15V		0.8		
ZENER DIODE						
V_Z	Zener Diode Voltage	I_Z = 50 µA	6.3	7.0	7.7	V
R_Z	Zener Dynamic Resistance	I_Z = 1 mA		100		Ω

Note 5: AC Parameters are guaranteed by DC correlated testing.

Phase Comparator State Diagrams

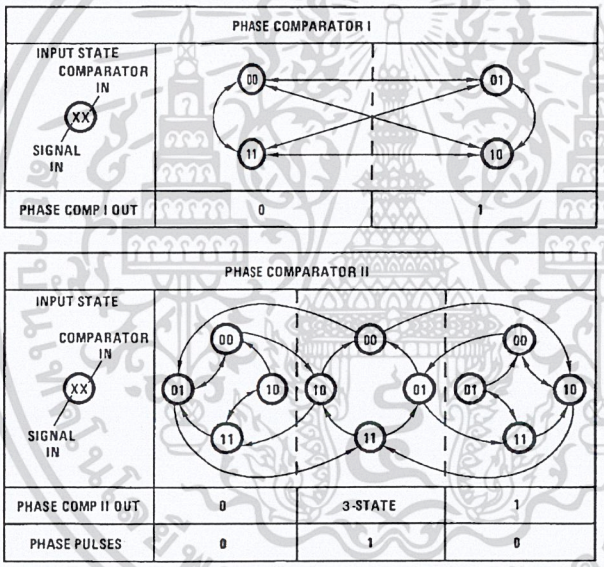


FIGURE 2.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Waveforms

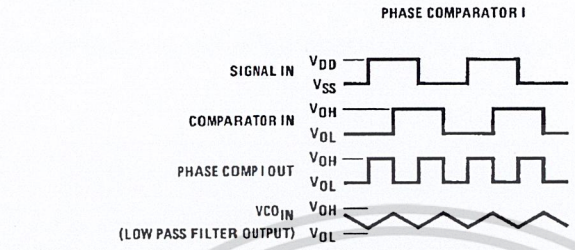


FIGURE 3. Typical Waveform Employing Phase Comparator I in Locked Condition

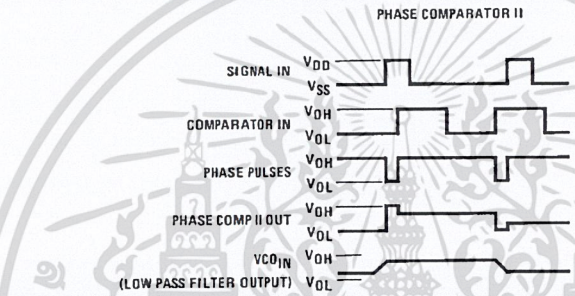


FIGURE 4. Typical Waveform Employing Phase Comparator II in Locked Condition

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics

Typical Center Frequency vs C1
for R1 = 10 kΩ, 100 kΩ and 1 MΩ

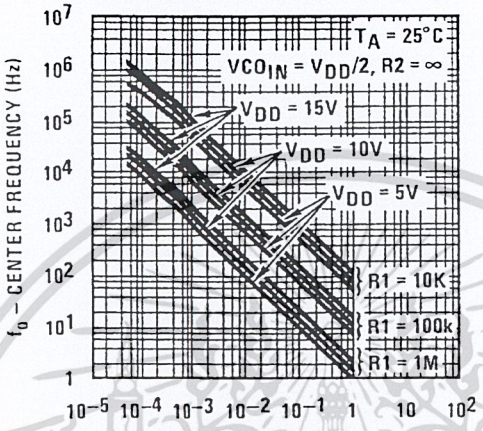


FIGURE 5.

Typical Frequency vs C1
for R2 = 10 kΩ, 100 kΩ and 1 MΩ

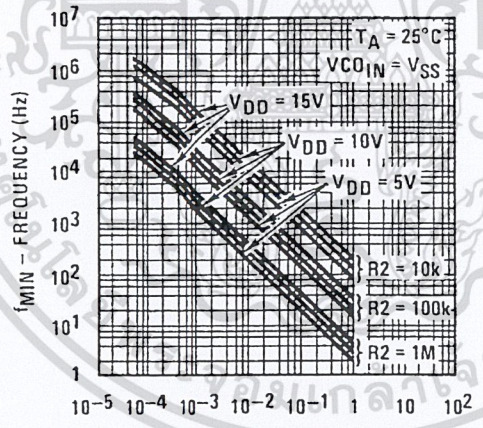


FIGURE 6.

Note: To obtain approximate total power dissipation of PLL system for no-signal input: Phase Comparator I, P_D (Total) = P_D (f_o) + P_D (f_{MIN}) + P_D (R_S); Phase Comparator II, P_D (Total) = P_D (f_{MIN}).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics (Continued)

Typical f_{MAX}/f_{MIN} vs R2/R1

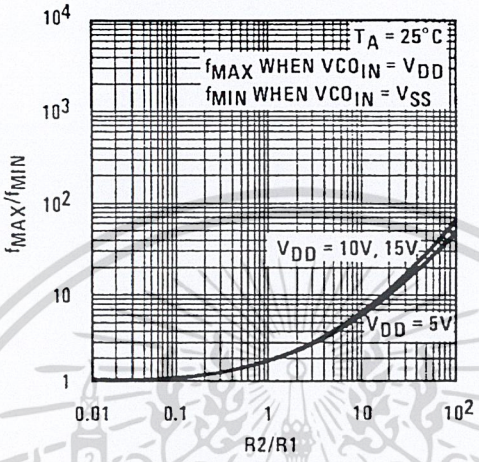


FIGURE 7.

Typical VCO Power Dissipation at Center Frequency vs R1

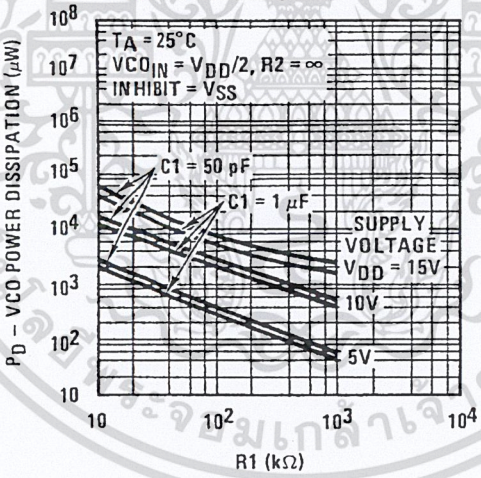


FIGURE 8.

Note: To obtain approximate total power dissipation of PLL system for no-signal input: Phase Comparator I, P_D (Total) = P_D (f_o) + P_D (f_{MIN}) + P_D (R_S); Phase Comparator II, P_D (Total) = P_D (f_{MIN}).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics (Continued)

Typical VCO Power Dissipation at f_{MIN} vs R2

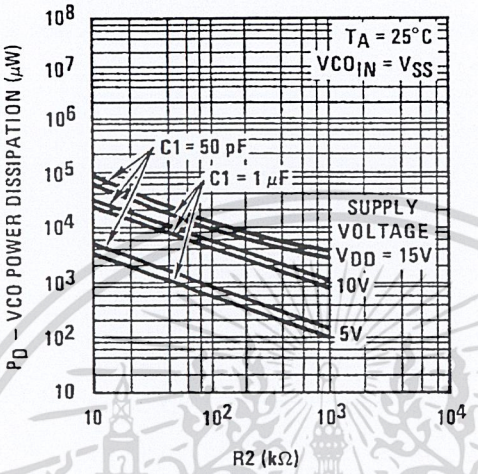


FIGURE 9.

Typical Source Follower Power Dissipation vs R_S

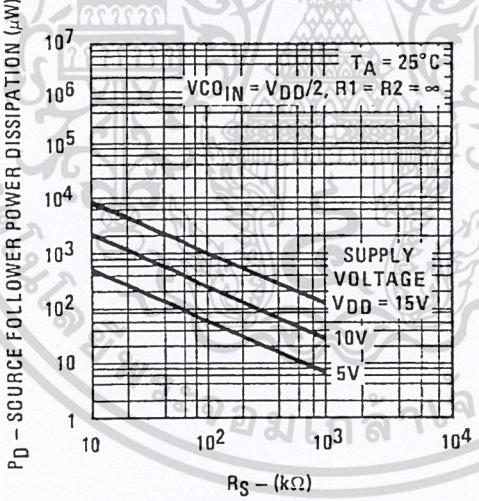


FIGURE 10.

Note: To obtain approximate total power dissipation of PLL system for no-signal input: Phase Comparator I, P_D (Total) = P_D (f_o) + P_D (f_{MIN}) + P_D (R_S); Phase Comparator II, P_D (Total) = P_D (f_{MIN}).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics (Continued)

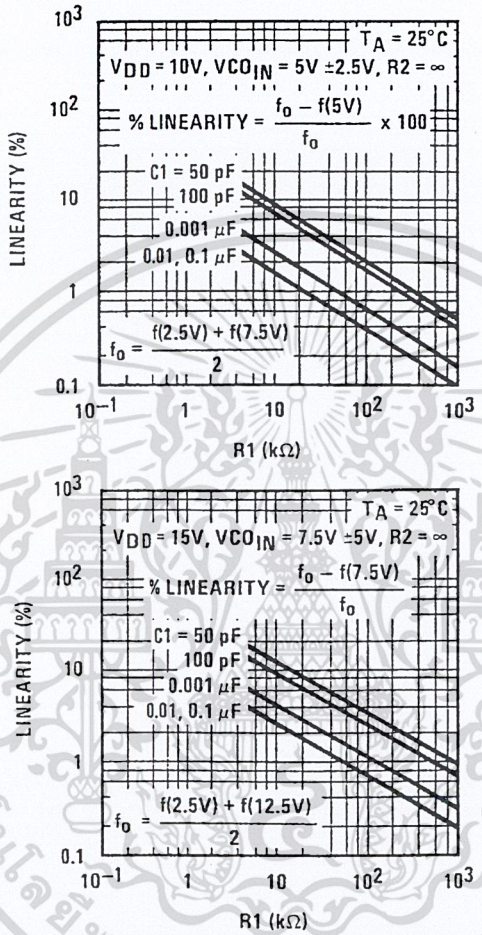


FIGURE 11. Typical VCO Linearity vs R1 and C1

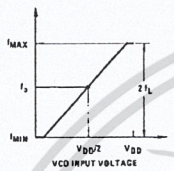
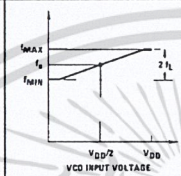
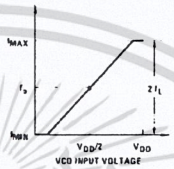
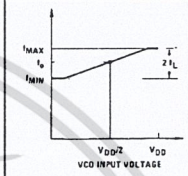
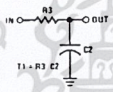
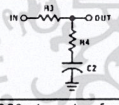
Note: To obtain approximate total power dissipation of PLL system for no-signal input: Phase Comparator I, P_D (Total) = P_D (f_o) + P_D (f_{MIN}) + P_D (R_S); Phase Comparator II, P_D (Total) = P_D (f_{MIN}).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Design Information

This information is a guide for approximating the value of external components for the CD4046B in a phase-locked-loop system. The selected external components must be within the following ranges: R1, R2 ≥ 10 kΩ, R_S ≥ 10 kΩ, C1 ≥ 50 pF.

In addition to the given design information, refer to Figure 5, Figure 6, Figure 7 for R1, R2 and C1 component selections.

Characteristics	Using Phase Comparator I		Using Phase Comparator II	
	VCO Without Offset R2 = ∞	VCO With Offset	VCO Without Offset R2 = ∞	VCO With Offset
VCO Frequency				
For No Signal Input	VCO in PLL system will adjust to center frequency, f_o		VCO in PLL system will adjust to lowest operating frequency, f_{min}	
Frequency Lock Range, $2f_L$	$2f_L$ = full VCO frequency range $2f_L = f_{max} - f_{min}$			
Frequency Capture Range, $2f_C$	 $2f_C \approx \frac{1}{\pi}\sqrt{\frac{2\pi f_L}{\tau 1}}$			
Loop Filter Component Selection		For $2f_C$, see Ref.	$f_C = f_L$	
Phase Angle Between Single and Comparator	90° at center frequency (f_o), approximating 0° and 180° at ends of lock range ($2f_L$)		Always 0° in lock	
Locks on Harmonics of Center Frequency	Yes		No	
Signal Input Noise Rejection	High		Low	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Design Information (Continued)

Characteristics	Using Phase Comparator I		Using Phase Comparator II	
	VCO Without Offset $R2 = \infty$	VCO With Offset	VCO Without Offset $R2 = \infty$	VCO With Offset
VCO Component Selection	Given: f_o. Use f_o with Figure 5 to determine R1 and C1.	Given: f_o and f_L. Calculate f_{min} from the equation $f_{min} = f_o - f_L$. Use f_{min} with Figure 6 to determine R2 and C1. Calculate $\frac{f_{max}}{f_{min}}$ from the equation $\frac{f_{max}}{f_{min}} = \frac{f_o + f_L}{f_o - f_L}$. Use $\frac{f_{max}}{f_{min}}$ with Figure 7 to determine ratio R2/R1 to obtain R1.	Given: f_{max}. Calculate f_o from the equation $f_o = \frac{f_{max}}{2}$. Use f_o with Figure 5 to determine R1 and C1.	Given: f_{min} and f_{max}. Use f_{min} with Figure 6 to to determine R2 and C1. Calculate $\frac{f_{max}}{f_{min}}$ Use $\frac{f_{max}}{f_{min}}$ with Figure 7 to determine ratio R2/R1 to obtain R1.

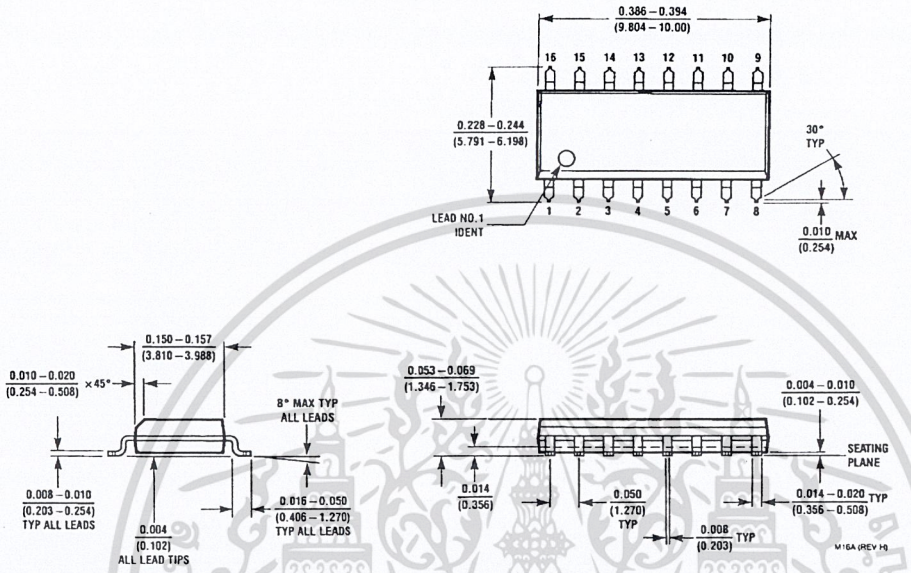
References

G.S. Moschytz, "Miniaturized RC Filters Using Phase-Locked Loop", BSTJ, May, 1965.

Floyd Gardner, "Phaselock Techniques", John Wiley & Sons, 1966.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

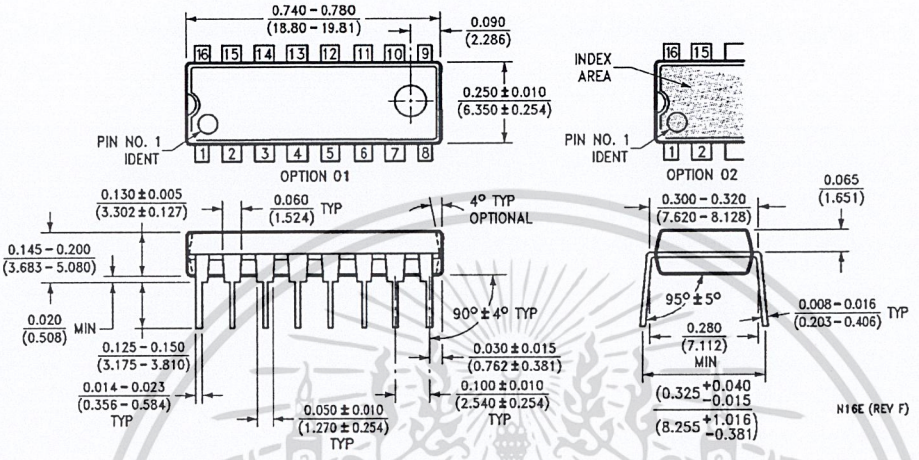
Physical Dimensions inches (millimeters) unless otherwise noted



16-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-012, 0.150" Narrow
Package Number M16A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Physical Dimensions inches (millimeters) unless otherwise noted (Continued)



16-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300" Wide
Package Number N16E

Fairchild does not assume any responsibility for use of any circuitry described, no circuit patent licenses are implied and Fairchild reserves the right at any time without notice to change said circuitry and specifications.

LIFE SUPPORT POLICY

FAIRCHILD'S PRODUCTS ARE NOT AUTHORIZED FOR USE AS CRITICAL COMPONENTS IN LIFE SUPPORT DEVICES OR SYSTEMS WITHOUT THE EXPRESS WRITTEN APPROVAL OF THE PRESIDENT OF FAIRCHILD SEMICONDUCTOR CORPORATION. As used herein:

1. Life support devices or systems are devices or systems which, (a) are intended for surgical implant into the body, or (b) support or sustain life, and (c) whose failure to perform when properly used in accordance with instructions for use provided in the labeling, can be reasonably expected to result in a significant injury to the user.
2. A critical component in any component of a life support device or system whose failure to perform can be reasonably expected to cause the failure of the life support device or system, or to affect its safety or effectiveness.

www.fairchildsemi.com

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

LM311

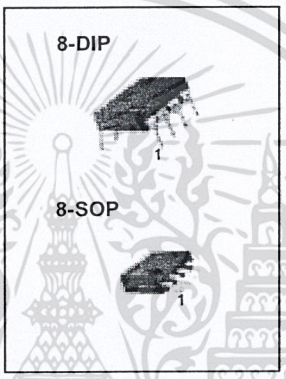
Single Comparator

Features

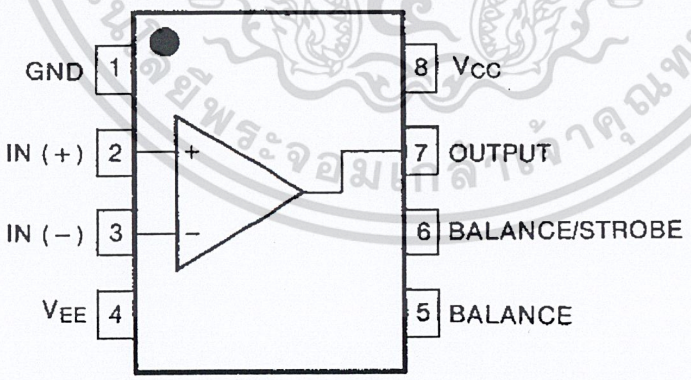
- Low input bias current : 250nA (Max)
- Low input offset current : 50nA (Max)
- Differential Input Voltage : ±30V
- Power supply voltage : single 5.0V supply to ±15V.
- Offset voltage null capability.
- Strobe capability.

Description

The LM311 series is a monolithic, low input current voltage comparator. The device is also designed to operate from dual or single supply voltage.



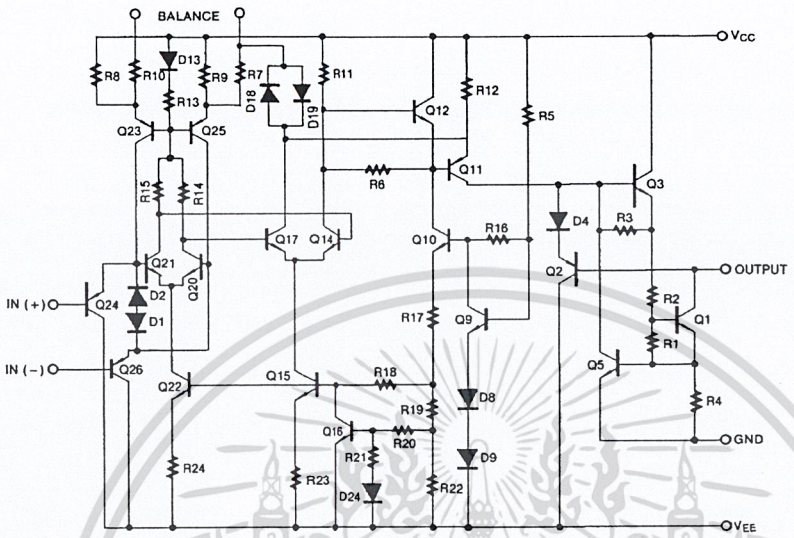
Internal Block Diagram



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

©2001 Fairchild Semiconductor Corporation
และการแก้ไข ทั้งนี้ ยกเว้นห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Schematic Diagram



Absolute Maximum Ratings

Parameter	Symbol	Value	Unit
Total Supply Voltage	V_{CC}	36	V
Output to Negative Supply Voltage LM311	V_O - V_{EE}	40	V
Ground to Negative voltage	V_{EE}	-30	V
Differential Input Voltage	$V_{I(DIFF)}$	30	V
Input Voltage	V_I	±15	V
Output Short Circuit Duration	-	10	sec
Power Dissipation	P_D	500	mW
Operating Temperature Range	T_{OPR}	0 ~ +70	°C
Storage Temperature Range	T_{STG}	- 65 ~ +150	°C

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Electrical Characteristics

(V_{CC} = 15V, T_A = 25°C, unless otherwise specified)

Parameter	Symbol	Conditions	Min.	Typ.	Max.	Unit
Input Offset Voltage	V_{IO}	$R_S \leq 50K\Omega$	-	1.0	7.5	mV
		Note 1	-	-	10	
Input Offset Current	I_{IO}		-	6	50	nA
		Note 1	-	-	70	
Input Bias Current	I_{BIAS}		-	100	250	nA
		Note 1	-	-	300	
Voltage Gain	G_V	-	40	200	-	V/mV
Response Time	T_{RES}	Note 2	-	200	-	ns
Saturation Voltage	V_{SAT}	I_O =50mA, $V_I \leq$ -10mV	-	0.75	1.5	V
		$V_{CC} \geq$ 4.5V, V_{EE} =0V I_O =8mA, $V_I \leq$ -10mV, Note 1	-	0.23	0.4	
Strobe "ON" Current	$I_{STR(ON)}$	-	-	3	-	mA
Output Leakage Current	I_{SINK}	I_{STR} =3mA, $V_I \geq$ 10mV V_O =15V, V_{CC}=±15V	-	0.2	50	nA
Input Voltage Range	$V_{I(R)}$	Note 1	-14.5 to 13.0	-14.7 to 13.8	-	V
Positive Supply Current	I_{CC}	-	-	3.0	7.5	mA
Negative Supply Current	I_{EE}	-	-	-2.2	-5.0	mA
Strobe Current	I_{STR}	-	-	3	-	mA

Notes :

1. $0 \leq T_A \leq +70°C$
2. The response time specified is for a 100mV input step with 5mV over drive.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics

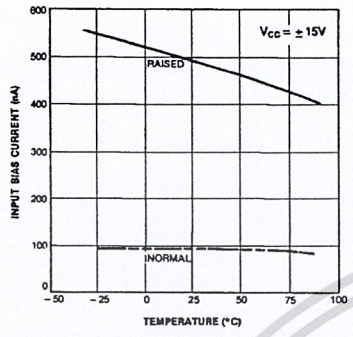


Figure 1. Input Bias Current vs Temperature

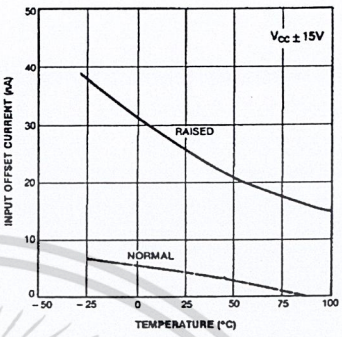


Figure 2. Input Offset Current vs Temperature

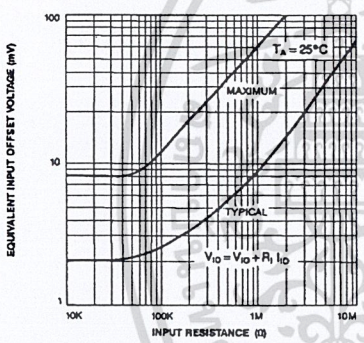


Figure 3. Offset Voltage vs Input Resistance

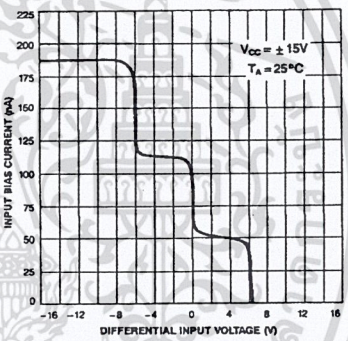


Figure 4. Input Bias Current vs Differential input voltage

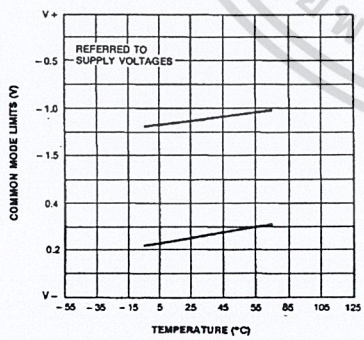


Figure 5. Common Mode Limits vs Temperature

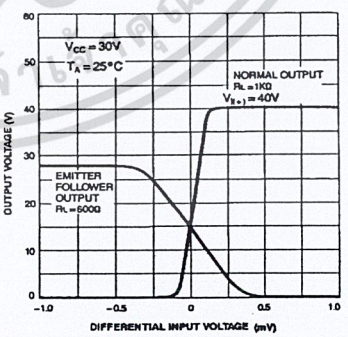


Figure 6. Output Voltage vs Differential input voltage

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics (continued)

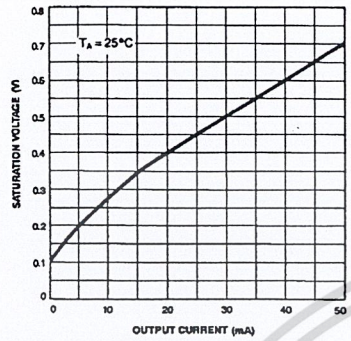


Figure 7. Saturation voltage vs Current

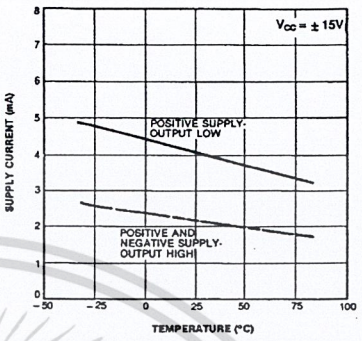


Figure 8. Supply Current vs Temperature

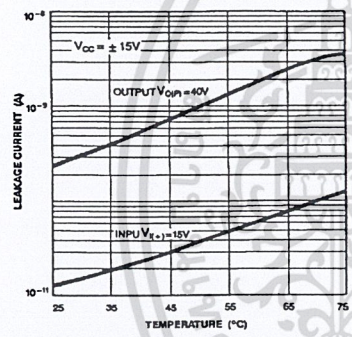


Figure 9. Leakage Current vs Temperature

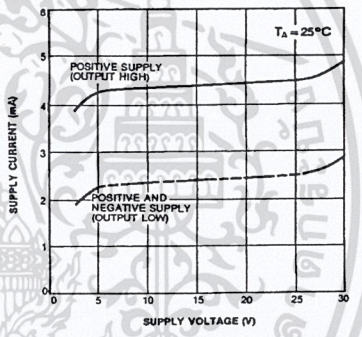


Figure 10. Supply Current vs Supply Voltage

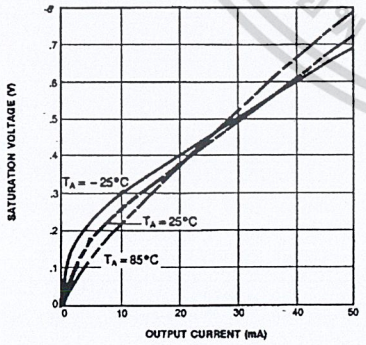


Figure 11. Current Saturation Voltage

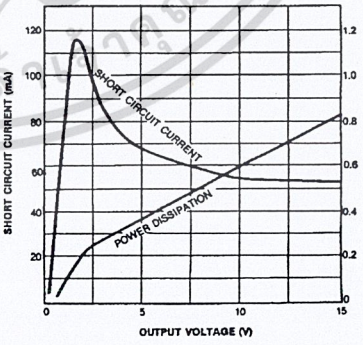


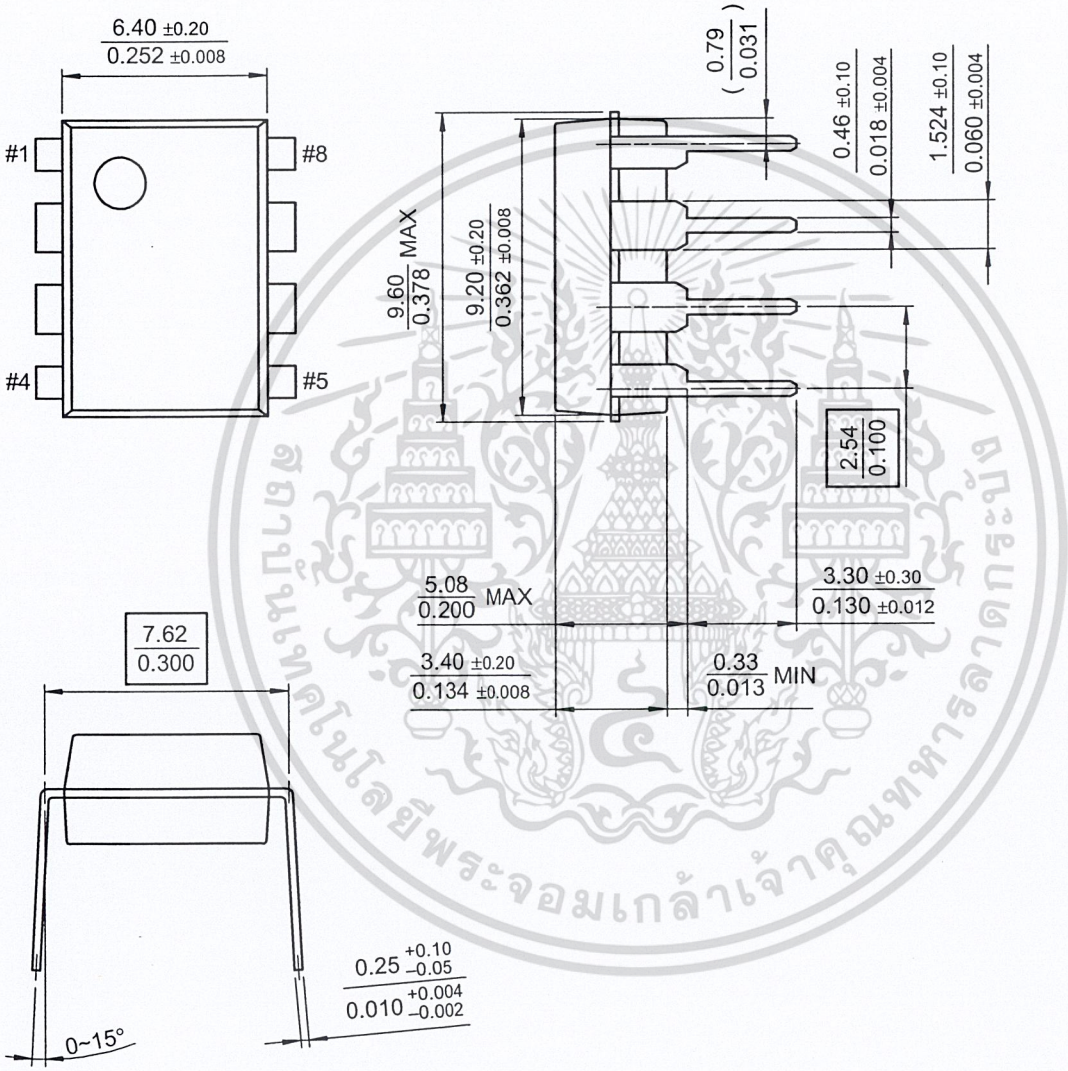
Figure 12. Output Limiting Characterstics

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Mechanical Dimensions

Package

8-DIP

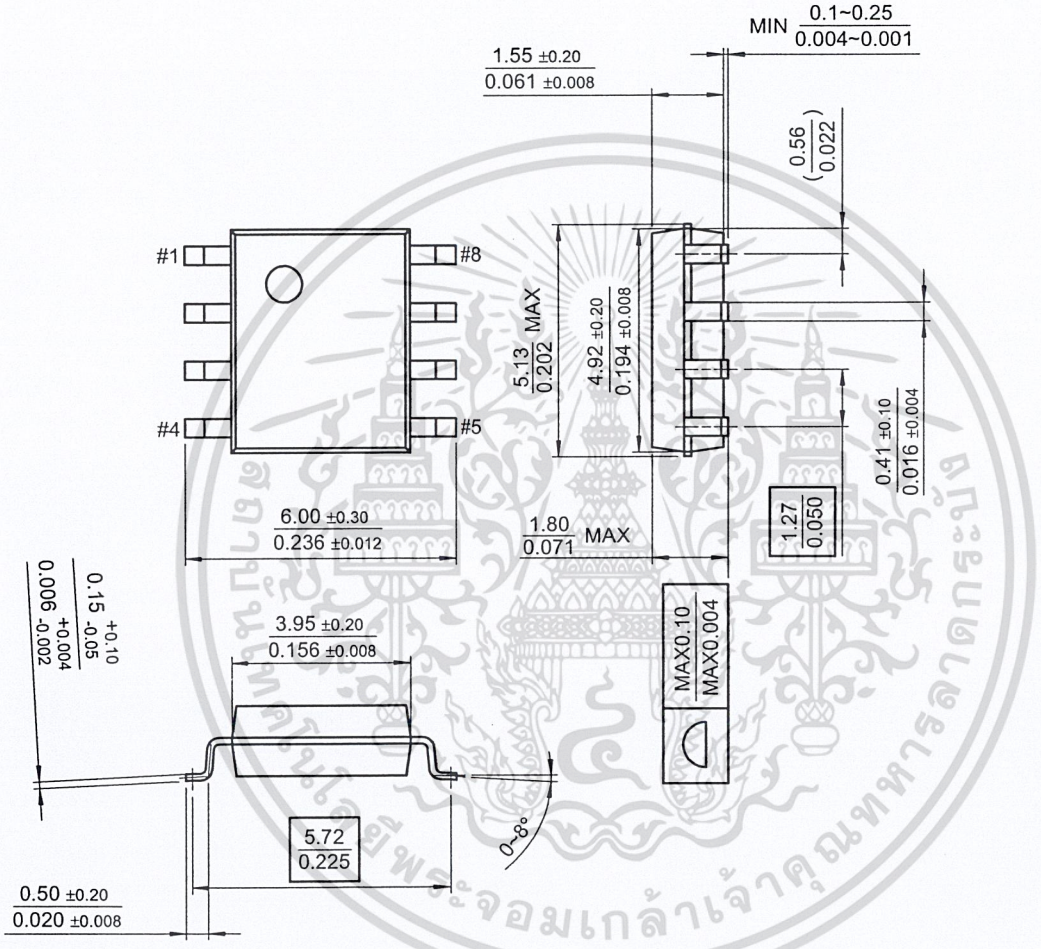


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Mechanical Dimensions (Continued)

Package

8-SOP



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Ordering Information

Product Number	Package	Operating Temperature
LM311N	8-DIP	0 ~ +70°C
LM311M	8-SOP	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ขอขอบพระคุณบิดา มารดา ที่คอยห่วงใย และให้กำลังใจ เอาใจใส่ และสนับสนุนการศึกษาเล่าเรียน โดยมิได้ย่อท้อมาโดยตลอด

ขอขอบพระคุณอาจารย์ที่ปรึกษา รศ.ดร.กนก เจนจิระพงศ์เวช และอาจารย์ทุกคนในภาควิชา สำหรับคำแนะนำ ข้อชี้แนะต่าง ๆ ทางด้านวิชาการ และการดำเนินงาน การให้โอกาสในการดำเนินงาน ซึ่งผู้จัดทำขอนำไปปฏิบัติเพื่อให้เกิดประโยชน์ในชีวิตประจำวันต่อไป

ขอขอบพระคุณ ผู้บังคับบัญชา ที่เล็งเห็นคุณค่าของการศึกษา และอนาคตของผู้จัดทำ โดยให้เวลาและโอกาสในการไปศึกษาเล่าเรียน ทั้งในเวลาและนอกเวลาปฏิบัติงาน ซึ่งผู้จัดทำจะนำความรู้ที่ได้ศึกษามาใช้ประโยชน์กับงานในหน้าที่ต่อไป

ขอขอบคุณ พี่ น้อง และเพื่อน ที่คอยให้กำลังใจ และให้ความช่วยเหลือ ให้คำปรึกษาจนทำให้การปฏิบัติงานสำเร็จลุล่วงไปด้วยดี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้