สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

ระบบโทรศัพท์สาธารณะผ่านเครือข่ายอินเตอร์เน็ต

IP TELEPHONE

T055775

โดย

นาย ทวีศักดิ์ มังคละไชยา

นาย สิวรุฒ บริรักษ์

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตร์บัณฑิต

ภาควิชาวิศวกรรมสารสนเทศ

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2546

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เลขหมู่ b
เลขทะเบียน 55775
วัน,เดือน,ปี 25 พ.ค. 2548
i

IP TELEPHONE

BY

MR. TAWEESAK MUNGKALACHAIYA

MR. SIWARUT BORIRUK

A THESIS SUBMITTED IN PATIAL FULFILLMENT OF

THE REQUIREMENT FOR THE DEGREE OF

BACHELOR IN DEPARTMENT OF INFORMATION ENGINEERING

FACULTY OF ENGINEERING

KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG

2003

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อปริญญานิพนธ์	ระบบโทรศัพท์สาธารณะผ่านเครือข่ายอินเตอร์เน็ต		
ชื่อนักศึกษา	นาย ทวีศักดิ์ มังคละไชยา	รหัสประจำตัว	43010148
	นาย สิวรุฒ บริรักษ์	รหัสประจำตัว	43010471
อาจารย์ที่ปรึกษา	อ. มนต์ชัย แช่มช้อย		
ระดับการศึกษา	ปริญญาตรี วิศวกรรมศาสตร์บัณฑิต		
	สาขาวิศวกรรมสารสนเทศ		
ภาควิชา	วิศวกรรมสารสนเทศ		
ปีการศึกษา	2546		

ปริญญานิพนธ์ฉบับนี้ได้รับการอนุมัติให้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรวิศวกรรมศาสตร์บัณฑิต คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

(อ. มนต์ชัย แช่มช้อย)

อาจารย์ผู้ควบคุมปริญญานิพนธ์

ลิขสิทธิ์ของคณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อปริญญานิพนธ์	ระบบโทรศัพท์สาธารณะผ่านเครือข่ายอินเตอร์เน็ต	
ชื่อนักศึกษา	นาย ทวีศักดิ์ มังคละไชยา	รหัสประจำตัว 43010148
	นาย สิวรุฒ บริรักษ์	รหัสประจำตัว 43010471
อาจารย์ที่ปรึกษา	อ. มนต์ชัย แช่มช้อย	
ระดับการศึกษา	ปริญญาตรี วิศวกรรมศาสตร์บัณฑิต	
	สาขาวิศวกรรมสารสนเทศ	
ภาควิชา	วิศวกรรมสารสนเทศ	
ปีการศึกษา	2546	

บทคัดย่อ

ปริญญานิพนธ์นี้ กล่าวถึงการออกแบบและการสร้างระบบโทรศัพท์สาธารณะที่ส่งข้อมูลผ่านเครือข่ายอินเตอร์เน็ต โดยการประยุกต์ระบบโทรศัพท์พื้นฐานที่มีอยู่เดิมให้สามารถเชื่อมต่อเข้ากับเครือข่ายอินเตอร์เน็ตได้ เพื่อให้ผู้ใช้ สามารถใช้โทรศัพท์ผ่านเครือข่ายอินเตอร์เน็ตรู้สึกเสมือนใช้ระบบโทรศัพท์พื้นฐานตามปกติ โดยแบ่งการทำงานออกเป็น 2 ส่วนหลักๆ คือ ส่วนในการเชื่อมต่อระหว่างระบบเครือข่ายโทรศัพท์เข้ากับเครือข่ายอินเตอร์เน็ต และส่วนในการรับส่งข้อมูลเสียงพูดและฟัง จากผลการทดลองส่วนการติดต่อระหว่างเครือข่ายโทรศัพท์เข้ากับระบบเครือข่ายอินเตอร์เน็ตสามารถทำงานได้ดี และคุณภาพของข้อมูลเสียงที่ทำการรับส่งไม่มีปัญหาของสัญญาณรบกวน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Thesis Title	IP Telephone	
Student	Mr. Taweesak Mungkalachaiya	ID.43010148
	Mr. Siwarut Boriruk	ID.43010471
Advisor	Mr. Monchai Chamchoy	
Graduate Level	Bachelor Degree of Information Engineering	
Department	Information Engineering	
Academic Year	2003	

ABSTRACT

This thesis states the case for the invention and design of the public telephone system, which transfers data via the Internet by implementing the available PSTN to be able to connect effectively with the online network in order to serve the users, needs to feel as if they were using the PSTN. Which consist of 2 parts is Hardware and soft ware Form result testing quality of voice transfer network no problem from noise signal

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ปริญญานิพนธ์นี้ไม่อาจเสร็จสมบูรณ์ได้ ถ้าปราศจาการสนับสนุนจากบุคคลหลายๆฝ่าย บุคคลที่นับได้ว่ามีความสำคัญในการช่วยเหลือในการทำงานนนี้คือ อาจารย์มนต์ชัย แช่มช้อย ซึ่งเป็นอาจารย์ที่ปรึกษาโดยตรง โดยให้คำปรึกษาในเรื่องฮาร์ดแวร์ซึ่งเป็นปัญหาสำคัญในการทำโครงงานชิ้นนี้ รวมถึงอาจารย์ทุกท่านในภาควิชาวิศวกรรมสารสนเทศ คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง ที่ช่วยเป็นที่ปรึกษาในทุกๆเรื่องที่ต้องการคำปรึกษา

ขอขอบคุณเพื่อนนักศึกษาทุกท่านที่คอยช่วยเหลือและเป็นกำลังใจให้เสมอมา และสุดท้ายบุคคลที่สำคัญที่สุด ที่มีส่วนในการทำโครงงานนี้คือ คุณพ่อและคุณแม่ที่คอยให้กำลังใจและทุนทรัพย์เพื่อการศึกษาและทำโครงงาน

นาย ทวีศักดิ์ มังคละ ไชยา

นาย สิวรุฒ บริรักษ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

เรื่อง	หน้า
บทที่ 1 บทนำ	
1.1 ความสำคัญและที่มา	1
1.2 วัตถุประสงค์ของโครงงาน	2
1.3 ขอบเขตของโครงงาน	2
1.4 ผลที่คาดว่าจะได้รับ	4
1.5 ขั้นตอนในการทำโครงงาน	4
บทที่ 2 ทฤษฎีโทรศัพท์และอินเตอร์เน็ต	
2.1 ทฤษฎีโทรศัพท์	5
2.1.1 สัญญาณพื้นฐานที่ใช้ในระบบโทรศัพท์	5
2.1.2 ระบบโทรศัพท์	8
2.1.3 เครื่องโทรศัพท์	8
2.1.4 ชุมสายโทรศัพท์	10
2.1.5 ขั้นตอนการทำงานของระบบโทรศัพท์	11
2.1.6 สัญญาณ DTMF	13
2.2 ไอซีควบคุมเบอร์ 8255	15
2.2.1 ลักษณะทาง Hardware ของ IBM PC/AT	15
2.2.2 ไอซีควบคุมเบอร์ 8255 และบอร์ดควบคุมที่ใช้	16
2.3 อินเตอร์เน็ต	
2.3.1 ระบบเครือข่ายคอมพิวเตอร์ และอินเตอร์เน็ตเวิร์คกิ้ง (Internetworking)	19
2.3.2 องค์ประกอบของอินเตอร์เน็ต	20
2.3.3 ระบบไอพีแอดเดรส (IP Address)	20
2.3.4 ระบบชื่อกลุ่ม (Domain Name System)	21
2.3.5 โปรโตคอล TCP/IP	21
2.3.6 OSI Model	22
บทที่ 3 การออกแบบและทำงานของระบบ	
3.1 วงจรตรวจจับสัญญาณกระดิ่ง	27
3.2 วงจรตรวจสอบสัญญาณหมุนหมายเลข , เรียกกลับ , สายไม่ว่าง	29
3.3 วงจรถอดรหัสหมายเลข DTMF MT8870	30

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ(ต่อ)

เรื่อง	หน้า
3.4 วงจรกำเนิดรหัสหมายเลข DTMF	31
3.5 วงจรเชื่อมต่อคู่สายอัตโนมัติ	32
3.6 วงจรไฮบริด(Hybrid)	33
3.7 วงจรการ์ดอินเตอร์เฟส (Interface)	34
3.8 วงจรรวม	36
3.9 บล๊อกไดอะแกรมแสดงการทำงานของฮาร์ดแวร์ต้นทางการเชื่อมต่อ	37
3.10 บล๊อกไดอะแกรมแสดงการทำงานของฮาร์ดแวร์ด้านปลายทางการเชื่อมต่อ	38
3.11 บล๊อกไดอะแกรมการทำงานส่วนของซอร์ฟแวร์ (Software)	40
บทที่ 4 ผลการทดลอง	
4.1 ผลการทดลองตรวจจับสัญญาณกระดิ่ง	44
4.2 ผลการทดลองวงจรตรวจจับสัญญาณ DAIL, RTB, BUSY	45
4.3 ผลการทดลองวงจรถอดรหัสหมายเลข DTMF MT8870	46
4.4 ผลการทดลองวงจรกำเนิดรหัสหมายเลข DTMF	47
4.5 ผลการทดลองวงจรเชื่อมต่อคู่สายอัตโนมัติ	48
4.6 ผลการทดลองวงจรเสียงพูด	49
4.7 ผลการทดลองวงจรการ์ดอินเตอร์เฟส(Interface)	50
4.8 ขั้นตอนการทำงานของโปรแกรม	51
4.9 หลักการทำงานของซอร์ฟแวร์ส่วนตรวจสอบสัญญาณหมายเลขดีทีเอ็มเอฟ	52
4.10 หลักการทำงานของซอร์ฟแวร์ควบคุมการสร้างสัญญาณหมายเลขดีทีเอ็มเอฟ	53
4.11 หลักการทำงานซอร์ฟแวร์ส่วนควบคุมการตรวจสอบสถานะ	54
บทที่ 5 บทสรุปและวิจารณ์	55
บรรณานุกรม	56

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูปภาพ

เรื่อง	หน้า
รูปที่ 1 ภาพประกอบหลักการทำงานของระบบ	4
รูปที่ 2.1 ไฟกระแสตรงเลี้ยงคู่สาย	12
รูปที่ 2.2 สัญญาณ AC ทับกระแสลูปสัญญาณ DC	13
รูปที่ 2.3 รูปแบบการสร้างสัญญาณความถี่คู่ผสม	14
รูปที่ 2.4 การจัดตำแหน่งขาสัญญาณของบัสของพีซี	15
รูปที่ 2.5 ตัวไอซีควบคุมพอร์ต 8255	16
รูปที่ 2.6 ตัวไอซีควบคุมพอร์ต 8255 และบล็อกไดอะแกรมภายใน	17
รูปที่ 2.7 ความหมายของบิตต่างๆ ของ Control Word	18
รูปที่ 2.8 วงจรใช้งาน 8255	19
รูปที่ 2.9 แสดงลำดับการส่งข้อมูลบนมาตรฐาน OSI	23
รูปที่ 3.1 บล็อกไดอะแกรมของการทำงานทั้งหมด	26
รูปที่ 3.2 วงจรตรวจจับสัญญาณกระดิ่ง	27
รูปที่ 3.3 สัญญาณกระดิ่งที่เป็นอินพุตเปรียบเทียบกับเอาท์พุตของสัญญาณ ไอซีเบอร์ 4N26	28
รูปที่ 3.4 วงจรตรวจสอบสัญญาณ DAIL, RBT, BUSY	29
รูปที่ 3.5 วงจรวงจรถอดรหัสหมายเลข DTMF MT8870	30
รูปที่ 3.6 วงจรกำเนิดรหัสหมายเลข DTMF	31
รูปที่ 3.7 วงจรเชื่อมต่อคู่สายอัตโนมัติ	32
รูปที่ 3.8 วงจรไฮบริด	33
รูปที่ 3.9 วงจรการ์ด Interface	34
รูปที่ 3.10 รูปวงจรรวม	36
รูปที่ 3.11 บล็อกไดอะแกมแสดงการทำงานของฮาร์ดแวร์ด้านต้นทางการเชื่อมต่อ	37
รูปที่ 3.12 บล็อกไดอะแกรมแสดงการทำงานของฮาร์ดแวร์ด้านปลายทางการเชื่อมต่อ	38
รูปที่ 3.13 บล็อกไดอะแกรมการทำงานของโปรแกรมฝั่งต้นทาง	40
รูปที่ 3.14 บล็อกไดอะแกรมการทำงานของโปรแกรมฝั่งปลายทาง	41
รูปที่ 4.1 วงจรตรวจจับสัญญาณกระดิ่ง	44
รูปที่ 4.2 วงจรตรวจสอบสัญญาณ DAIL, RBT, BUSY	45
รูปที่ 4.3 วงจรถอดรหัสหมายเลข DTMF MT8870	46

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูปภาพ(ต่อ)

เรื่อง	หน้า
รูปที่ 4.4 วงจรกำเนิดสัญญาณหมายเลข DTMF	47
รูปที่ 4.5 วงจรเชื่อมต่อคู่สายอัตโนมัติ	48
รูปที่ 4.6 วงจรเสียงพูด	49
รูปที่ 4.7 วงจรการ์ดอินเตอร์เฟส (Interface)	50
รูปที่ 4.8 ขั้นตอนการทำงานของโปรแกรม	51
รูปที่4.9 ไดอะแกรมหลักการทำงานของซอร์ฟแวร์ตรวจสอบสัญญาณหมายเลขดีทีเอ็มเอฟ	52
รูปที่ 4.10 ไดอะแกรมการทำงานของซอร์ฟแวร์ควบคุมการสร้างสัญญาณหมายเลขดีทีเอ็มเอฟ	53
รูปที่ 4.11 หลักการทำงานซอร์ฟแวร์ส่วนควบคุมการตรวจสอบสถานะ	54

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

เรื่อง	หน้า
ตารางที่ 2.1 คุณสมบัติของสัญญาณต่างๆที่ใช้ในการแจ้งภาวะการใช้โทรศัพท์	7
ตารางที่ 2.2 ระดับสัญญาณระหว่างคู่สายโทรศัพท์ในช่วงการใช้งานต่างๆ	7
ตารางที่ 2.3 ลอจิกควบคุม 8255	18

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่1
บทนำ

1.1 ความสำคัญและที่มา

ในปัจจุบันการติดต่อสื่อสารถือว่ามีความสำคัญอย่างยิ่งในชีวิตประจำวันของทุกคนและระบบการสื่อสารที่แพร่หลายและยังคงใช้กันอยู่ในปัจจุบันก็คือ ระบบโทรศัพท์สาธารณะ ซึ่งถูกพัฒนามาจากระบบที่เรียกว่า PSTN (Public Switched Telephone Network) โดยจะมีการคิดอัตราค่าบริการตามระยะทาง ซึ่งหากระยะทางในการติดต่อห่างกันมาก ก็จะทำให้สิ้นเปลืองค่าใช้จ่ายในการติดต่อสื่อสารอย่างมาก ดังนั้นจึงเกิดแนวคิดเรื่อง IP Telephone ขึ้นมา โดยในอนาคตระบบเครือข่ายอินเตอร์เน็ตจะเข้ามามีบทบาทอย่างมากในการติดต่อสื่อสาร และหากสามารถพัฒนาระบบโทรศัพท์สาธารณะให้สื่อสารบนเครือข่ายอินเตอร์เน็ตได้ ก็จะเป็นการลดค่าใช้จ่ายได้อย่างมากเพราะระบบเครือข่ายอินเตอร์เน็ตไม่ได้คิดค่าใช้จ่ายตามระยะทาง อีกทั้งยังเป็นแนวทางในการพัฒนาระบบโทรศัพท์พื้นฐานให้ก้าวหน้าและสามารถเพิ่มเทคโนโลยีใหม่ๆ ให้การสื่อสารในระบบโทรศัพท์ได้อีกด้วย

การสื่อสารเป็นสิ่งจำเป็นสำหรับมนุษย์ตั้งแต่อดีตจนถึงปัจจุบัน อาจถือได้ว่าการสื่อสารเป็นกุญแจสำคัญในการประกอบธุรกิจทุกชนิด และในปัจจุบันได้มีการพัฒนาการสื่อสารทั้งด้านรูปแบบและวิธีการ โดยเฉพาะช่วงสิบปีที่ผ่านมานั้นได้มีการพัฒนาอย่างรวดเร็วมากในลักษณะการก้าวกระโดด เช่นเดียวกับด้านคอมพิวเตอร์ในสมัยปัจจุบันได้มีการพัฒนาอย่างรวดเร็วเช่นกันได้มีการผนวกการสื่อสารเข้ากับระบบคอมพิวเตอร์ที่เรียกว่า "ไอที" (Information Technology) ซึ่งเป็นเทคโนโลยีที่มีบทบาทมากในปัจจุบัน เพราะในขณะนี้คอมพิวเตอร์ถูกนำมาใช้ในหลายสาขาอาชีพ

โทรศัพท์เป็นสิ่งที่ทำให้การติดต่อสื่อสาร สามารถติดต่อกันได้ง่ายเพียงปลายนิ้วสามารถทำให้คนที่อยู่คนละที่สามารถคุยกันได้เหมือนอยู่ใกล้กัน ในช่วงสิบปีที่ผ่านมาพัฒนาการทางด้านโทรศัพท์พื้นฐาน PSTN ยังไม่ค่อยก้าวหน้ามากนัก ผิดกับการพัฒนาทางด้านเครือข่ายข้อมูลได้รับการพัฒนาไปไกลมาก โดยเฉพาะเทคนิค ACEPL ที่ใช้มาตรฐาน G.729 สามารถบีบอัดข้อมูลจนทำให้การส่งข้อมูลไปในสายสัญญาณของเครือข่ายข้อมูลถึง 16 เท่าของการรับส่งแบบเดิมที่ใช้เทคโนโลยี PSTN ด้วยเหตุนี้เองการพัฒนาการบนพื้นฐานของเครือข่ายข้อมูลที่เป็นแพ็คเกจจึงเป็นที่กล่าวถึงและกำลังอยู่ในระหว่างแข่งขันกันพัฒนาให้ก้าวหน้ายิ่งขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดังนั้นจึงมีการสร้างแอปพลิเคชั่น (Application) ด้านการสื่อสารอินเตอร์เน็ตที่เรียกว่า "อินเตอร์เน็ตโฟน"อินเตอร์เน็ตโฟนเป็นรูปแบบหนึ่งที่ได้รับความนิยมอย่างสูง สามารถส่งข้อมูลเสียงผ่านระบบเครือข่ายอินเตอร์เน็ต ข้อดีของอินเตอร์เน็ตโฟนนั้น คือ ค่าใช้จ่ายที่ไม่แพงเมื่อเทียบกับโทรศัพท์ไปต่างจังหวัดหรือต่างประเทศ แต่อินเตอร์เน็ตโฟนมีข้อจำกัดอยู่ที่ผู้ใช้ทั้งสองฝ่ายจะต้องอยู่หน้าจอคอมพิวเตอร์ที่ใช้งาน บังคับจะต้องอยู่บนเครือข่ายอินเตอร์เน็ตทั้งสองเครื่อง

ในโครงงานชิ้นนี้ จึงได้นำเสนอแอปพลิเคชั่นที่ทำหน้าที่ในการเชื่อมต่อกันระหว่างเครื่องโทรศัพท์ธรรมดา โดยนำข้อดีของอินเตอร์เน็ตโฟนมาใช้หรือทำการส่งข้อมูลเสียงผ่านเครือข่ายอินเตอร์เน็ตแทนการส่งข้อมูลเสียงแบบเดิม ซึ่งเป็นการลดข้อจำกัดของอินเตอร์เน็ตโฟนลงโดยผู้ใช้ทั้งสองฝ่ายไม่จำเป็นต้องอยู่ต่อหน้าเครื่องคอมพิวเตอร์ ระบบนี้เป็นเทคโนโลยีที่ผนวกเครือข่ายคอมพิวเตอร์เข้ากับเครือข่ายโทรศัพท์พื้นฐาน (PSTN) โดยนำเอาสัญญาณเสียงที่เป็นสัญญาณอะนาล็อก (Analog Signal) มาแปลงเป็นสัญญาณดิจิตอล (Digital Signal) แล้วจัดข้อมูลให้อยู่ในรูปแพ็คเกจเสียง โดยใช้โปรโตคอล TCP/IP (Transmission Control/Internet Protocol) เป็นตัวส่งแพ็คเกจเสียงเข้าไปในเครือข่ายคอมพิวเตอร์

1.2 วัตถุประสงค์ของโครงงาน

1. เพื่อเชื่อมต่อระบบโทรศัพท์สาธารณะเข้ากับเครือข่ายอินเตอร์เน็ต
2. เพื่อศึกษาและทำความเข้าใจระบบโทรศัพท์ในปัจจุบันและการติดต่อสื่อสารบนเครือข่ายอินเตอร์เน็ต
3. เพื่อศึกษาและพัฒนาโปรแกรมในการส่งผ่านเสียง (Voice) ไปบนเครือข่ายอินเตอร์เน็ตด้วยโปรโตคอลแบบเรียลไทม์ (Real Time)

1.3 ขอบเขตของโครงงาน

ระบบที่สร้างขึ้นสามารถเชื่อมต่อระบบโทรศัพท์สาธารณะเข้ากับเครือข่ายอินเตอร์เน็ทได้ โดยผู้ใช้บริการ (User) ทุกคนสามารถติดต่อสื่อสารกัน ได้ตามปกติเหมือนกับการใช้ระบบโทรศัพท์พื้นฐานทั่วไป

1. สร้างอุปกรณ์ (Hardware) เพื่อควบคุมการทำงานของระบบในการติดต่อสื่อสาร
2. สร้างโปรแกรม (Software) เพื่อควบคุมการทำงานของอุปกรณ์ (Hardware)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ระบบมีคุณสมบัติมีดังนี้

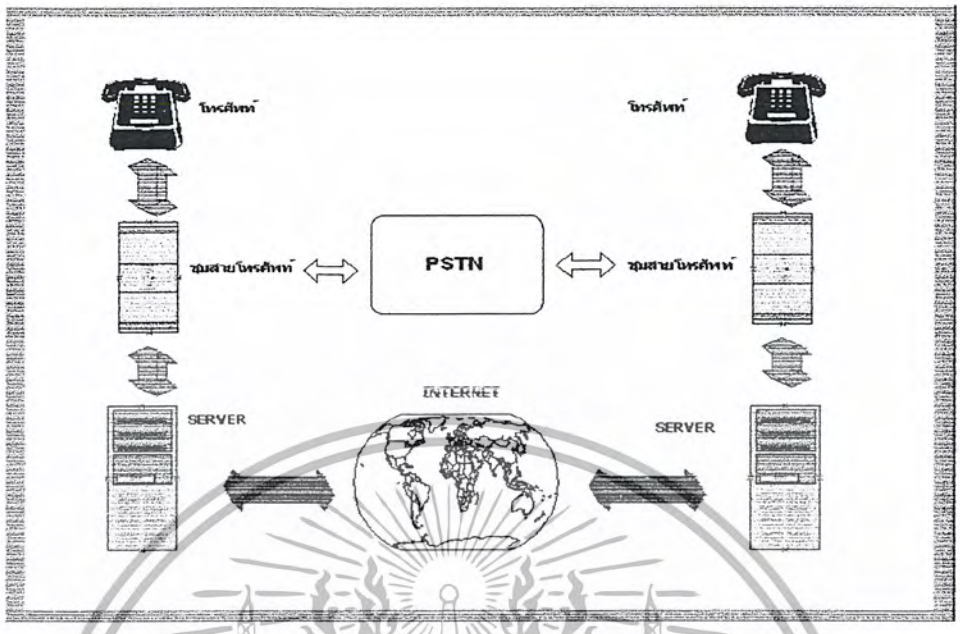
1. สามารถใช้โทรศัพท์พื้นฐานในการติดต่อได้ตามปกติ โดยสามารถเลือกใช้ได้ทั้งผ่านระบบโทรศัพท์พื้นฐาน PSTN (Public Switched Telephone Network) หรือเลือกใช้ระบบ ไอพี-เทเลโฟน (IP Telephone) ได้ตามความต้องการ และความเหมาะสม

2. เซิร์ฟเวอร์ (Server) ของระบบ IP Telephone สามารถตรวจสอบสถานะของหมายเลขปลายทางและแจ้งให้หมายเลขต้นทางทราบได้ เช่น คู่สายไม่ว่าง, สัญญาณเรียกลับ, สัญญาณกระดิ่ง เป็นต้น

หลักการทำงานของระบบ

เมื่อเครื่องโทรศัพท์ที่เป็นหมายเลขต้นทางต้องการติดต่อกับหมายเลขปลายทางด้วยระบบ IP Telephone แล้ว เริ่มด้วยเครื่องหมายเลขต้นทางจะทำการ โทรเข้ามายังเครื่องเซิร์ฟเวอร์ เครื่องเซิร์ฟเวอร์ จะทำการตอบโต้กับเครื่องต้นทางและร้องขอให้เครื่องต้นทางกดหมายเลขเครื่องปลายทาง เมื่อมีการกดหมายเลขปลายทาง สัญญาณที่ได้จากการกดหมายเลขจะเป็น DTMF และ Server จะทำการเปลี่ยนสัญญาณนั้นเป็นแบบดิจิตอล แล้วนำไปตรวจสอบกับฐานข้อมูล และส่งไป ยัง Server ปลายทาง เพื่อบอกให้ทราบว่ามีการติดต่อเกิดขึ้นเมื่อเครื่อง Server ปลายทางได้รับหมายเลขที่ถูกเรียกก็จะติดต่อไปยังหมายเลขนั้น ถ้าหมายเลขปลายทางไม่ว่าง ก็จะบอกไปยัง Server ต้นทาง และ Server ก็จะทำการส่งสัญญาณไม่ว่าง (Busy Tone) ให้แก่เครื่องโทรศัพท์ แต่ถ้า Server ปลายทางติดต่อได้สำเร็จ เครื่อง Server ต้นทางจะทำการเปลี่ยนสัญญาณ Analog ที่ได้จากการสนทนาผ่านเครื่องโทรศัพท์เป็นสัญญาณดิจิตอล ด้วยวงจร ADC และทำการส่งสัญญาณดิจิตอลนี้ ไปยัง Server ปลายทางบนระบบอินเตอร์เน็ต โดยมีรูปแบบของ Packet เหมือนกับ Packet ของระบบ TCP/IP และเครื่อง Server ปลายทางก็จะทำเปลี่ยน Packet ที่ได้รับให้กลับไปอยู่ในรูปของสัญญาณ Analog ดังเดิม และส่งต่อไปยังเครื่องโทรศัพท์ปลายทางต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 1 ภาพประกอบหลักการทำงานของระบบ

1.4 ผลที่คาดว่าจะได้รับ

1. สามารถนำไปประยุกต์ใช้งานจริง เพื่อลดค่าใช้จ่ายในส่วนอัตราค่าบริการในการใช้บริการโทรศัพท์สาธารณะได้

2. เรียนรู้เทคโนโลยีต่างๆ ที่นำมาพัฒนาระบบและนำมาใช้กับงานได้อย่างถูกต้องและเหมาะสม

3. เข้าใจขั้นตอนของการพัฒนาระบบตั้งแต่การวิเคราะห์ความต้องการ ออกแบบ และแก้ไขปัญหาต่างๆ ที่เกิดขึ้น

1.5 ขั้นตอนในการทำโครงงาน

1. ศึกษาระบบโทรศัพท์สาธารณะพื้นฐาน
2. ศึกษาวงจรภายในเครื่องโทรศัพท์
3. ศึกษาความต้องการของระบบและกำหนดขอบเขตของโครงงาน
4. ออกแบบระบบ และสร้างวงจร
5. ออกแบบฐานข้อมูล
6. เขียนโปรแกรม
7. ทดสอบและแก้ไขระบบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
ทฤษฎีโทรศัพท์และอินเตอร์เน็ต

หลักการในด้านการติดต่อสื่อสาร จะใช้ทฤษฎีทางด้านระบบโครงข่ายโทรศัพท์พื้นฐาน (PSTN) ผนวกเข้ากับระบบคอมพิวเตอร์ (Computer Network) ซึ่งจะเชื่อมต่อกันโดยผ่านการ์ดที่ทำขึ้น โดยการ์ดจะถูกออกแบบโดยใช้ ไอซี 8255 เป็นตัวควบคุมการทำงาน และระบบจะต่ออยู่กับระบบโครงข่ายอินเตอร์เน็ต

2.1 ทฤษฎีโทรศัพท์

2.1.1 สัญญาณพื้นฐานที่ใช้ในระบบโทรศัพท์

สัญญาณ (Signaling) คือ ข่าวสารที่ใช้ติดต่อระหว่างเครื่องโทรศัพท์กับเครื่องชุมสาย หรือข่าวสารที่ติดต่อกันระหว่างชุมสายกับชุมสาย

หน้าที่ทั่วๆ ไปของสัญญาณที่ใช้กับโทรศัพท์ในปัจจุบันมีอยู่ 4 หน้าที่คือ

1 . การเตรียมพร้อม (Alerting)

2. การส่งที่อยู่ของข่าวสาร (Transmitting address information)

3. การตรวจตรา (Supervising)

4. การส่งสัญญาณข่าวสาร (Transmitting information signaling)

2.1.1.1 สัญญาณระหว่างผู้เช่ากับชุมสาย (Subscriber Signaling)

1. สัญญาณที่ส่งจากผู้เช่ากับชุมสาย

1.1 ออฟฮุค (Off Hook) คือ สภาพที่ผู้ใช้ยกหูโทรศัพท์ สายจะมีสภาพเป็นลูปปิด (Closed Loop Low Impedance)

1.2 ออนฮุค (On Hook) คือ สภาพที่ผู้ใช้วางหูโทรศัพท์หรือสภาพว่าง สายจะมีสภาพเป็นลูปเปิด (Open Loop Height Impedance)

1.3 Dialing คือ สภาพที่ผู้เช่าหมุนหมายเลข ซึ่งถ้าเป็นเครื่องโทรศัพท์แบบหมุนสัญญาณจะเป็นแบบพัลส์ ค่าอิมพีแดนซ์จะสูงต่ำสลับกันไปตามที่หมุนหมายเลข ถ้าเป็นเครื่องแบบกดปุ่มสัญญาณที่ได้จะเป็นความถี่ DTMF ส่งออกไปยังชุมสาย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2. สัญญาณที่ส่งมาจากชุมสายไปยังเครื่องรับ

2.1 สัญญาณให้หมุน คือ สัญญาณที่บ่งบอกถึงสภาพการว่างของอุปกรณ์ชุมสาย และชุมสายพร้อมจะรับ Code ที่ทำการหมุนเข้ามา สัญญาณให้หมุน นี้เป็นสัญญาณต่อเนื่องความถี่ 425 Hz มอดดูเลตด้วยความถี่ 50 Hz ผู้เช่าจะได้ยินเมื่อทำการยกหูโทรศัพท์

2.2 สัญญาณแจ้งว่าสายไม่ว่าง (Busy Tone) คือ สัญญาณที่บอกให้ทราบว่าอุปกรณ์ชุมสายไม่ว่าง ถ้ายกหูแล้วได้ยินสัญญาณนี้แสดงว่า อุปกรณ์ในชุมสายไม่ว่าง และถ้าได้ยินเสียงนี้หลังจากการหมุนหมายเลขไปแล้วแสดงว่า ผู้เช่าฝ่ายถูกเรียกไม่ว่าง สัญญาณแจ้งว่าสายไม่ว่างนี้ เป็นสัญญาณความถี่ 425 Hz ดัง 0.5 วินาที หยุด 0.5 วินาทีสลับกันไป

2.3 สัญญาณเรียกกลับ (Ring back Tone) คือสัญญาณที่ผู้เรียกได้ยินหลังจากหมุนหมายเลขเสร็จแล้วที่ชุมสายโทรศัพท์แจ้งให้ทราบว่า การต่อได้สำเร็จแล้ว เป็นสัญญาณ 425 Hz โดยดัง 1 วินาที หยุด 4 วินาที

2.4 สัญญาณเสียงกริ่ง (Ringing Tone) เป็นสัญญาณความถี่ 25 Hz ค่าแรงดัน 70-100 Vpp โดยส่ง 1วินาที หยุด 4 วินาที เป็นสัญญาณที่ส่งไปให้ผู้ถูกเรียกทราบ

2.5 สัญญาณอื่นๆ เช่น Nuu Tone (Number Unobtainable Tone) เป็นสัญญาณที่บอกให้ทราบว่าเลขหมายที่หมุนไปยังไม่มีการใช้งาน

2.1.1.2 สัญญาณติดต่อระหว่างชุมสายกับชุมสาย (Inter Exchange Signaling)

สัญญาณพื้นฐานมี 5 ประเภท คือ

1. สัญญาณจับวงจร (Seizure) เป็นสัญญาณให้ชุมสายปลายทางทราบว่าคู่สายขณะนี้ถูกใช้งานอยู่ ชุมสายปลายทางจะทำการเตรียมอุปกรณ์ที่รับหมายเลขของผู้ถูกเรียกที่จะส่งมา

2. สัญญาณบอกหมายเลข (Address Information) เป็นสัญญาณบอกหมายเลข หรือประเภทของผู้เช่า

3. สัญญาณตอบรับ (Answer Signal) สัญญาณนี้จะถูกส่งเมื่อผู้ถูกเรียกยกหูรับโทรศัพท์ หน้าที่หลักของสัญญาณนี้คือ

3.1 เริ่มต้นคิดเงิน

3.2 ส่งสัญญาณคิดเงิน

3.3 ตัดวงจรการจับเวลาการใช้อุปกรณ์

4. สัญญาณยกเลิกการติดต่อ (Clear Forward) จะถูกส่งเมื่อผู้เรียกวางหู ผลของสัญญาณนี้จะทำให้วงจรทางด้านปลายทางทำการยกเลิกการต่อวงจรต่างๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5. สัญญาณยกเลิกการติดต่อกลับ (Clear Back) จะถูกส่งเมื่อผู้ถูกเรียกวางหู ผลของสัญญาณนี้จะทำให้ชุมสายต้นทางเริ่มต้นจับเวลา เมื่อเวลาผ่านไป 90-120วินาทีชุมสายต้นทางจะเลิกการติดต่อพร้อมกับส่งสัญญาณยกเลิกการติดต่อออกไป เพื่อให้ชุมสายปลายทางยกเลิกเช่นกัน

ตารางที่ 2.1 คุณสมบัติของสัญญาณต่างๆที่ใช้ในการแจ้งภาวะการใช้โทรศัพท์

ชนิดของสัญญาณ	การส่งสัญญาณ	ความถี่ (Hz)
สัญญาณพร้อมให้หมุน	ต่อเนื่องไม่ขาดหาย	350 มอดูเลตกับ 480
สัญญาณเรียกกลับ	ดัง 1 วินาที หยุด 4 วินาที	440 มอดูเลตกับ 480
สัญญาณกริ่งเรียก	ดัง 1 วินาที หยุด 4 วินาที	25
สัญญาณแจ้งคู่สายไม่ว่าง	ดัง 0.5 วินาที หยุด 0.5 วินาที	480 มอดูเลตกับ 620
สัญญาณแจ้งว่าชุมสายไม่ว่าง	ดัง 0.2 วินาที หยุด 0.3 วินาที	480 มอดูเลตกับ 620

สัญญาณระหว่างคู่สายโทรศัพท์มีทั้งสัญญาณกระแสไฟตรง (DC) และสัญญาณไฟกระแสสลับ (AC) ซึ่งสัญญาณระหว่างคู่สายโทรศัพท์จะแตกต่างกันไปดังที่แสดงไว้ในตารางที่ 2.1

ตารางที่ 2.2 ระดับสัญญาณระหว่างคู่สายโทรศัพท์ในช่วงการใช้งานต่างๆ

ช่วงเวลาในการใช้	ระดับสัญญาณไฟกระแสตรง	ระดับสัญญาณไฟกระแสสลับ
ไม่ได้ใช้งาน(ไม่ได้ยกหูฟังขึ้น)	48 โวลท์	
ยกหูฟังขึ้น มีสัญญาณให้หมุน	10 โวลท์	600 มิลลิโวลท์
ขณะกดหมายเลข	10 โวลท์	ไม่เกิน 5 โวลท์
มีสัญญาณแจ้งว่าสายไม่ว่าง	10 โวลท์	400 มิลลิโวลท์
มีสัญญาณเรียกกลับ	10 โวลท์	400 มิลลิโวลท์
มีสัญญาณกริ่ง(เครื่องผู้รับ)	48 โวลท์	110 โวลท์
มีการพูดระหว่างคู่สาย	10 โวลท์	ไม่เกิน 1 โวลท์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.1.2 ระบบโทรศัพท์

ระบบโทรศัพท์ คือ ระบบการสื่อสารที่มีโครงข่ายชุมสายบริการระหว่างสมาชิก และผู้รู้หมายเลขหมายสมาชิกโดยนำเสียงพูดระหว่างผู้ใช้ที่อยู่ ณ สถานที่แห่งหนึ่งกับบุคคลที่ต้องการติดต่อด้วย ณ. สถานที่อีกแห่งหนึ่ง ให้สามารถสนทนาติดต่อกันได้เหมือนบุคคลทั้งสองนั่งสนทนาอยู่ด้วยกัน

ระบบโทรศัพท์มีส่วนประกอบที่สำคัญ 3 ส่วน คือ

2.1.2.1 เครื่องรับโทรศัพท์

เครื่องรับโทรศัพท์จัดเป็นอุปกรณ์ปลายทางอย่างหนึ่ง ซึ่งทำหน้าที่รับส่งสัญญาณเสียงพูดระหว่างผู้เช่า โดยทำหน้าที่แปลงสัญญาณเสียงเป็นสัญญาณไฟฟ้าส่งเข้าไปในสาย และในทางกลับกันก็เปลี่ยนพลังงานไฟฟ้ากลับมาเป็นพลังงานเสียง

2.1.2.2 สายโทรศัพท์

เครื่องรับโทรศัพท์แต่ละเครื่อง จะมีคู่สายโทรศัพท์ 1 คู่ เพื่อเชื่อมโยงและเป็นสื่อนำสัญญาณต่างๆจากชุมสายมายังเครื่องรับโทรศัพท์ ในขณะเดียวกันก็ทำหน้าที่เป็นสื่อในการนำส่งสัญญาณไฟฟ้าที่แปลงมาจากสัญญาณเสียงระหว่างเครื่องโทรศัพท์ และสายโทรศัพท์ที่ต่อเชื่อมโยงระหว่างชุมสายเพื่อให้บริการระหว่างชุมสาย เรียกว่า ทรั้งค์ (Trunk)

2.1.2.3ชุมสายโทรศัพท์

ชุมสายโทรศัพท์ เป็นสถานที่ๆรวมคู่สายของเครื่องรับโทรศัพท์แต่ละเครื่อง ในบริเวณที่ใกล้เคียงกัน และทำหน้าที่เชื่อมคู่สายให้กับผู้ใช้โทรศัพท์ พร้อมกับส่งสัญญาณแจ้งภาวะการใช้ต่างๆ ให้ผู้ใช้ทราบ

2.1.3 เครื่องโทรศัพท์

หน้าที่ของเครื่องโทรศัพท์มีดังต่อไปนี้

1. ทำหน้าที่ส่งสัญญาณเรียกไปยังชุมสายท้องถิ่น (Local-Exchange), (Hook off)
2. ทำหน้าที่ส่งรหัสที่ใช้แทนหมายเลขของผู้ถูกเรียก (B Subscriber)
3. ทำหน้าที่รับเสียงที่ตอบรับจากชุมสายตลอดจนสัญญาณเรียก (Ringing Tone)
4. ทำหน้าที่ส่งสัญญาณยกเลิกการติดต่อเรียกไปยังชุมสาย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เครื่องโทรศัพท์ จะประกอบด้วยองค์ประกอบหลักใหญ่ๆ 7 อย่างด้วยกัน คือ

1. วงจรกำเนิดหมายเลข ซึ่งจะทำหน้าที่สร้างสัญญาณของสัญญาณหมายเลขโทรศัพท์อาจจะเป็นสัญญาณพัลส์หรือสัญญาณความถี่คู่ผสม (DTMF Signal) ขึ้นอยู่กับโทรศัพท์ที่ใช้งานแต่ละประเภท

2. วงจรเสียงเรียก ทำหน้าที่แจ้งให้ผู้ใช้โทรศัพท์ทราบว่ามีการเรียกเข้ามา

3. สุคสวิทช์ เป็นตัวบอกให้ชุมสายโทรศัพท์ทราบว่ามีการยกหูใช้งานโทรศัพท์แล้ว

4. วงจรตัดเสียงขณะทำการส่งหมายเลข จะช่วยให้การส่งหมายเลขมีความชัดเจนถูกต้องไม่ถูกรบกวนด้วยสัญญาณเสียงพูด

5. วงจรชดเชยความสูญเสียเนื่องจากความยาวสาย จะทำสัญญาณที่ติดต่อระหว่างต้นทางและปลายทางมีความแรงและชัดเจนมากที่สุด

6. วงจรไฮบริดจ์ ทำหน้าที่เสมือนวงจรขยาย 2 ทิศทาง หรือสามารถให้สัญญาณผ่านเข้าออกได้ตลอดเวลา จึงมีเสียงจากปลายทางมาปรากฏที่หูฟัง ในขณะที่สัญญาณจากปากพูดก็จะผ่านออกไปทางคู่สายได้

7. วงจรปรับความสมดุลของอิมพีแดนซ์ มีไว้ให้เพื่อทำให้อิมพิแดนซ์ของส่วนต่างๆ ในโทรศัพท์เหมาะสมเพื่อให้การถ่ายทอดสัญญาณเป็นไปได้อย่างมีประสิทธิภาพมากที่สุด

ส่วนประกอบหลักของเครื่องโทรศัพท์ แบ่งออกได้ 3 ส่วนดังนี้

1. ส่วนรับส่งสัญญาณเสียงพูด (Speech Transmission)

2. ส่วนกำเนิดสัญญาณหมายเลขของผู้เรียก (Generator Tone Code)

3. ส่วนที่รับสัญญาณเรียกจากชุมสาย (Ringing Tone)

นอกจากนี้เครื่องโทรศัพท์ยังแบ่งออกเป็น 2 ชนิด คือ

2.1.3.1 ระบบโทรศัพท์แบบพัลส์

ระบบโทรศัพท์แบบนี้ สร้างสัญญาณจากกระแสลูป โดยต่อเข้ากับอุปกรณ์สวิตช์ ทำหน้าที่ “เปิด” และ “ปิด” เข้ากับกลไกหมุนเลขหมายในเครื่อง ทำให้กระแสพัลส์ตอบสนองเข้ากับหมายเลขที่หมุน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.1.3.2 ระบบโทรศัพท์แบบส่งสัญญาณความถี่คู่ผสม (DTMF: Dual Tone Multi Frequency Type)

ระบบโทรศัพท์แบบนี้จะสร้างสัญญาณจาก การมอดูเลตสัญญาณความถี่สูงและสัญญาณความถี่ต่ำเข้าด้วยกัน โดยใช้หลักการของวงจรดิจิตอล แปลงรหัสสัญญาณดิจิตอลเป็นสัญญาณอนาลอก ซึ่งมีความแม่นยำในการถอดรหัสสัญญาณความถี่คู่ผสม (DTMF Signal) มากกว่า

2.1.4 ชุมสายโทรศัพท์

ฟังก์ชั่นการทำงานโดยหลักๆ ของชุมสายโทรศัพท์ คือ การส่งสัญญาณควบคุมไปยังอุปกรณ์อินเตอร์เฟส การรับหมายเลขจากผู้เรียกไปยังผู้ถูกเรียก การควบคุมระบบสวิตชิ่ง การกำหนดมาตรฐานของสัญญาณที่ใช้

2.1.4.1 ระบบการเชื่อมต่อโทรศัพท์และชุมสาย

ภายในชุมสายโทรศัพท์จะประกอบด้วยลูกข่ายหรือผู้ใช้ (Subscriber) หลายๆ จุดสาย สัญญาณที่ใช้ในการเชื่อมต่อจากผู้ใช้มายังชุมสายคือ สายทิป (Tip) และ ริง (Ring) ซึ่งจะเรียกการติดต่อ โดยผ่านสายสัญญาณเหล่านี้ว่า ระบบไลน์ไซด์ (Line side) ซึ่งการเชื่อมต่อเครื่องโทรศัพท์ของผู้ใช้เข้ากับชุมสายโดยการผ่านฮุกสวิทช์ภายในเครื่องโทรศัพท์

ในส่วนนี้ใช้วงจรไฮบริดจ์ ทำหน้าที่แยกสัญญาณออกเป็น 2 ส่วนคือ เป็นสายสัญญาณที่ใช้สำหรับรับสัญญาณเพียงอย่างเดียว ดังนั้นสัญญาณตั้งแต่ส่วนนี้ไปเรียกว่า ทรั้งไซด์ (Trunk side) ซึ่งทรั้งไซด์เป็นการติดต่อกันระหว่างชุมสายเท่านั้น สำหรับเหตุผลที่ต้องแยกสัญญาณรับและส่งออกจากกัน ก็เพื่อที่จะสามารถปรับระดับที่เหมาะสมกับระยะทางระหว่างชุมสายได้อย่างเป็นอิสระนั่นเอง ซึ่งทำให้เกิดผลดีต่อประสิทธิภาพการได้ยินของผู้ใช้

2.1.4.2 การเชื่อมต่อระหว่างเครื่องโทรศัพท์กับชุมสาย

นับว่าเป็นส่วนสำคัญมากที่สุดของระบบโทรศัพท์ ฟังก์ชั่นการทำงานในส่วนนี้ก็คือ ฟังก์ชั่น BORSCHT ซึ่งประกอบด้วยส่วนต่างๆคือ

1. แบตเตอรี่ฟีด (Battery feed : B) วงจรในส่วนนี้ทำหน้าที่คือ เป็นแหล่งจ่ายไฟแบตเตอรี่ขนาด 48 โวลท์ ให้แก่เครื่องโทรศัพท์ สามารถทำหน้าที่ส่งผ่านสัญญาณต่างๆ ได้ โดยมีความต้านทานต่ำและมีอิมพีแดนซ์สูง

2. ส่วนป้องกันแรงดันเกิน (Over voltage Protection: O) จะทำหน้าที่ป้องกันความเสียหายที่อาจเกิดจากสัญญาณทรานเซี้ยนสูงๆ เช่น แรงเหนี่ยวนำเข้ามาในวงจรขณะเกิดฟ้าผ่า หรืออันตรายที่เกิดจากการลัดวงจร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3. ส่วนกำเนิดสัญญาณกระดิ่ง (Ringing: R) หลังจากที่ระบบสวิตชิ่งได้ทำการต่อวงจรของผู้เรียกเข้ากับชุมสายแล้ว ชุมสายก็จะส่งสัญญาณกระดิ่งไปยังโทรศัพท์เครื่องนั้น วิธีการจะใช้ รีเลย์เป็นตัวช่วยในการต่อวงจรสร้างสัญญาณเข้ากับสัญญาณทิปและริง

4. ส่วนรับรู้การทำงานของโทรศัพท์ (Supervision: S) หน้าที่ในส่วนนี้คือรับรู้การขอใช้โทรศัพท์เมื่อมีการยกหูขึ้น การรับรู้หมายเลขโทรศัพท์ที่ถูกส่งมา โดยเป็นระบบที่ใช้สัญญาณพัลส์แทนเลขหมาย ตลอดจนการตรวจสอบสถานะ การใช้งาน เช่น กำลังสนทนากันอยู่หรือสิ้นสุดการสนทนา วงจรในส่วนนี้จะต้องสามารถแยกแยะระหว่างผลอันเนื่องมาจากสัญญาณรบกวน กระแสรั่วไหลและผลอันเนื่องจากความยาวสายสัญญาณที่จะลดทอนกระแสไปบางส่วน เนื่องจากวงจรในส่วนรับรู้สภาพการทำงานของโทรศัพท์ใช้ตรวจสอบการทำงานจากปริมาณกระแสที่ไหล

5. การเข้า/ถอดรหัส (Coding : C) หน้าที่ของส่วนนี้คือ การเข้ารหัสข้อมูลดิจิตอลที่ใช้กันก็คือ วิธีการ PCM (Pulse Code Modulation) ซึ่งภาครับจะต้องใช้วงจรถอดรหัสและแปลงรหัสให้อยู่ในรูปของสัญญาณอนาลอกต่อไป

6. วงจรไฮบริดซ์ (Hebrides: H) วงจรนี้ทำหน้าที่แปลงระบบสายส่งจากระบบ 2 สายเป็น 4 สาย เพื่อที่จะแยกสัญญาณส่งและรับออกจากกันทำให้สามารถใช้วงจรขยายสัญญาณที่จะรับหรือส่งให้เหมาะสมได้

7. ส่วนทดสอบ (Test: T) เป็นส่วนที่ออกแบบไว้สำหรับใช้ในการตรวจสอบหาจุดบกพร่อง ของการทำงาน ในวงจรอินเตอร์เฟส ตรวจสอบอุปกรณ์สวิตชิ่งที่ต่ออยู่กับคู่สายนั้นๆ ซึ่งทั้งหมดก็คือ ฟังก์ชั่น BORSCHT ซึ่งรวมเรียกว่า SLIC (Subscriber Line Interface Circuit)

2.1.5 ขั้นตอนการทำงานของระบบโทรศัพท์

2.1.5.1 กรณีผู้ถูกเรียก (Calling Subscriber)

ขณะที่หูโทรศัพท์วางไว้นั้นจะมีไฟกระแสตรงตกคร่อมคู่สายอยู่ 48 โวลท์ และเมื่อยกหูโทรศัพท์ขึ้น ไฟกระแสตรงที่ตกคร่อมคู่สายโทรศัพท์ 48 โวลท์ จะตกลงมาเหลือ 5-10 โวลท์ ทั้งนี้ขึ้นอยู่กับระบบชุมสายย่อย ขณะเดียวกันก็จะมีสัญญาณส่งมาจากชุมสาย เสียงที่เราได้ยิน ก็คือสัญญาณให้หมุน แสดงว่าพร้อมที่จะหมุนหมายเลขได้หรือพร้อมที่จะกดหมายเลขได้ ถ้าเลขหมายที่ถูกเรียกไม่ว่าง ผู้เรียกจะได้ยินเสียงสัญญาณสายไม่ว่าง ในกรณีที่คู่สายเลขหมายที่ถูกเรียกว่างลงชุมสายจะต่อหมายเลขที่เรียก ให้ได้ยินเสียงสัญญาณเรียกกลับ แสดงว่าเลขหมายที่เรียกไปพร้อมจะพูดได้ให้คอยจนกว่าผู้ถูกเรียกจะยกหูรับ

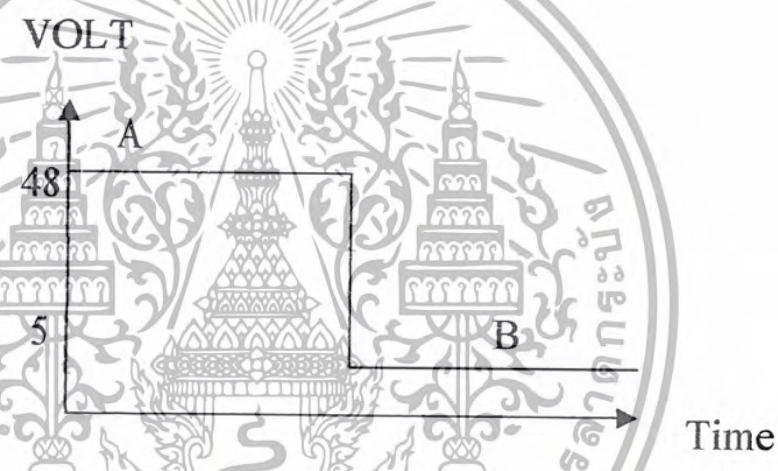
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.1.5.2 กรณีผู้ถูกเรียก (Called Subscriber)

ขณะที่คู่สายว่างจะมีไฟกระแสตรงคร่อมคู่สาย 48 โวลท์ และเมื่อมีการเรียกหมายเลขปลายทาง ทางชุมสายจะต่อให้ส่งสัญญาณเรียก (Ringing Signal) เป็นแรงดันไฟสลับประมาณ 110-150 โวลท์ และเมื่อมีการยกหูโทรศัพท์ทำให้วงจรภายในของเครื่องรับโทรศัพท์มีอิมพีแดนซ์ประมาณ 600 โอห์มต่อเข้ากับชุมสาย ในขณะเดียวกันชุมสายจะหยุดส่งสัญญาณ (Ringing Signal) และทำการต่อคู่สายโทรศัพท์ให้

ช่วง A ขณะที่วางหูโทรศัพท์อยู่ มีไฟ DC ตกคร่อม 48 โวลท์

ช่วง B ขณะยกหูโทรศัพท์ขึ้นจะมีไฟ DC ตกคร่อม 5-10 โวลท์



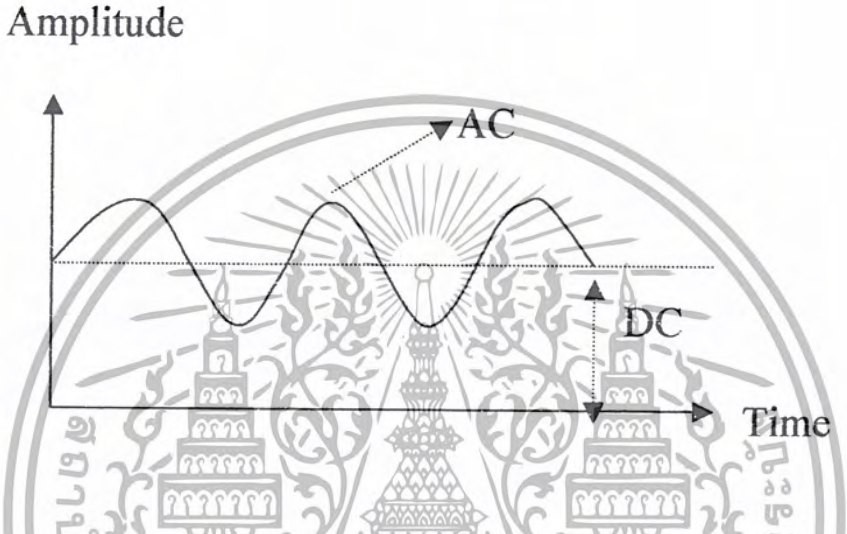
รูปที่ 2.1 ไฟกระแสตรงเลี้ยงคู่สาย

Local loop : ความหมายของ local loop คือ สายส่งสองสายจากเครื่องโทรศัพท์ไปชุมสายปลายทาง และมีค่าอิมพีแดนซ์ของสายเองประมาณ 500-1000 โอห์ม แต่ค่าที่ใช้กันทั่วไป คือ 600 โอห์ม ถ้าในชุมสายปลายทางมีการติดตั้งแหล่งจ่ายไฟร่วม DC ขนาด 48 โวลท์ ให้แต่ละลูปของผู้ใช้โทรศัพท์ลวดตัวนำ 2 เส้นในลูป มีชื่อว่าทิป (Tip) และริง (Ring) โดยริงจะต่อกับสัญญาณไฟ DC 48 โวลท์ ทิปจะต่อกับกราวน์

เมื่อผู้ใช้โทรศัพท์ยกหู โทรศัพท์ มีผลทำให้สุคสวิตช์ปิดลง (Hook off) จากนั้นกระแสไฟตรงขนาด 20 มิลลิแอมป์ไหลวนอยู่ในลูป ซึ่งภาวะยกหูโทรศัพท์นี้ระดับแรงดันไฟฟ้าระหว่างทิปกับริงมีค่าลดลงเหลือประมาณ 4 โวลท์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณเสียงพูดจากเครื่องโทรศัพท์ ถูกส่งไปทิศทางใดทิศทางหนึ่งในลูป โดยทำให้เกิดการเปลี่ยนแปลงเล็กน้อย ภายในกระแสลูป (20 mA) ซึ่งเกิดจากสัญญาณ AC ทับบนกระแสลูป DC ดังรูป 2.2

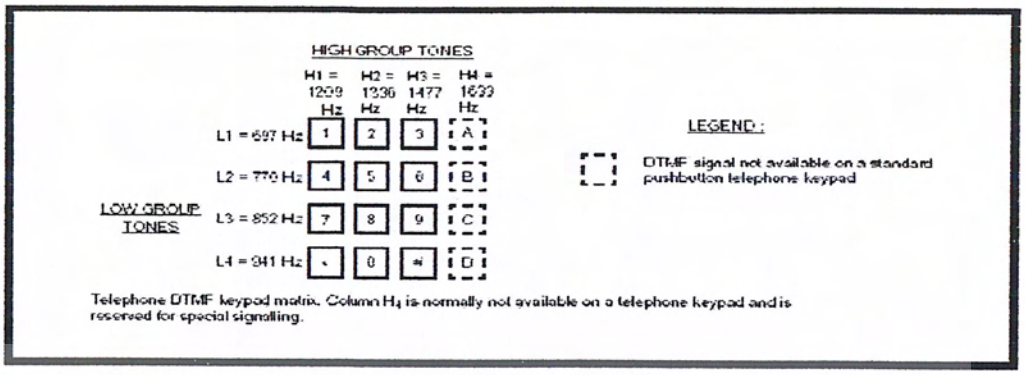


รูปที่ 2.2 สัญญาณ AC ทับกระแสลูปสัญญาณ DC

2.1.6 สัญญาณ DTMF

สัญญาณ DTMF (Dual Tone Multifrequency) คือ สัญญาณที่เกิดจากการนำเอาสัญญาณความถี่สูงมาทำการมอดดูเลตกับสัญญาณความถี่ต่ำ โดยใช้หลักการของวงจรดิจิตอล แปลงรหัสสัญญาณดิจิตอลเป็นสัญญาณ อะนาลอก ซึ่งมีความแม่นยำในการถอดรหัสสัญญาณความถี่คู่ผสม (DTMF Signal) มากกว่า เช่น ต้องการสร้างสัญญาณหมายเลข 1 ก็จะเกิดจากการมอดสัญญาณความถี่ 1209 กับ 697 Hz เข้าด้วยกัน เป็นต้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.3 รูปแบบการสร้างสัญญาณความถี่คู่ผสม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2 ไอซีควบคุมเบอร์ 8255

2.2.1 ลักษณะทาง Hardware ของ IBM PC/AT

ส่วนสำคัญของการนำเอาไมโครคอมพิวเตอร์ไปใช้งานควบคุมคือ ส่วนของสล๊อต ซึ่งแสดงไว้แล้วดังรูป 2.4 โดยสัญญาณที่จำเป็นในการทดลองครั้งนี้จะประกอบไปด้วยรายละเอียดดังนี้

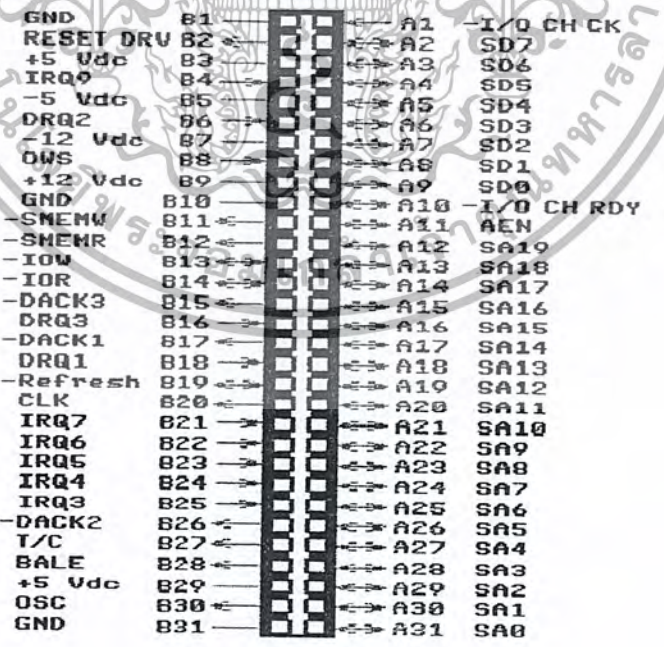
D0-D7 เป็นสัญญาณ Data ขนาด 8 bits เป็นแบบวิ่งได้ทั้งสองทิศทาง

A0-A19 เป็นสัญญาณอ้าง Address bus กำหนดตำแหน่งของหน่วยความจำซึ่งสามารถอ้างได้ถึง 2 ยกกำลัง 20 ตำแหน่ง แต่หากจะใช้อ้างอิงตำแหน่งของพอร์ตก็จะใช้เพียง A0-A15 RESET DRV จะให้สัญญาณเป็นลอจิก "1" ออกมาในช่วงสั้นๆ ของการ เริ่มต้นทำงานของ คอมพิวเตอร์ซึ่งจะมีประโยชน์มาก ในการที่จะให้อุปกรณ์ต่างๆที่ต่อใช้งานกับตัวคอมพิวเตอร์ ได้มีการเริ่มต้นการทำงานพร้อมกัน และหลังจากนั้นก็จะให้แรงดันไฟระดับลอจิก"0"

IOW ขานี้จะให้สัญญาณ เอาท์พุตที่ลอจิก "0" ในช่วงมีการเขียนข้อมูลออกสู่พอร์ต

IOR ขานี้จะให้สัญญาณเอาท์พุตที่ลอจิก "0" ในช่วงมีการอ่านข้อมูลเข้าสู่พอร์ต

AEN ขานี้จะให้เอาท์พุตออกมาเป็นลอจิก "1" เมื่อมีบัสอยู่ในช่วง ไซเคิล ของ DMA (แต่ก็เป็นสัญญาณออกมาในช่วง Input และ Output) เช่นกัน



รูปที่ 2.4 การจัดตำแหน่งขาสัญญาณของบัสของพีซี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

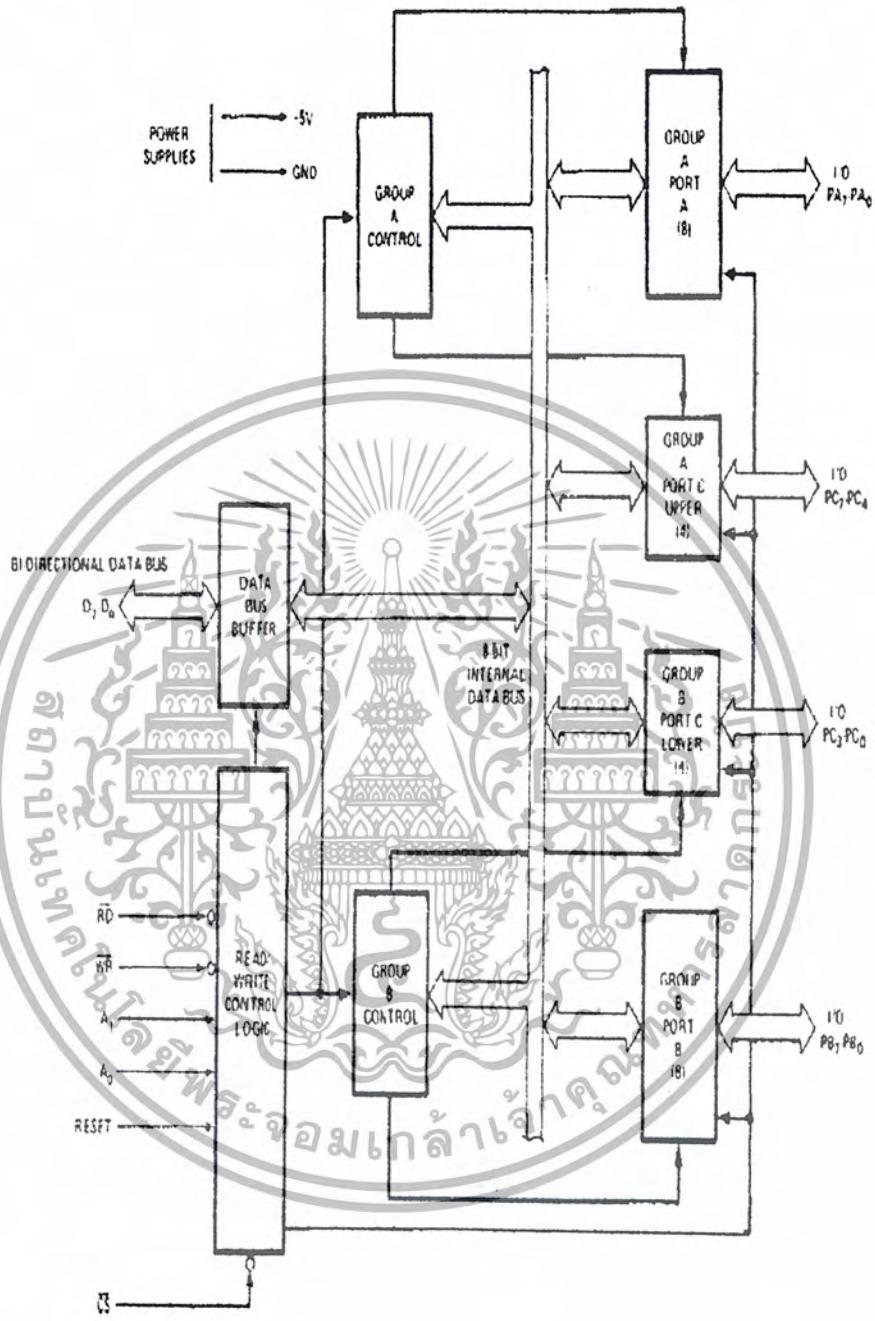
2.2.2 ไอซีควบคุมเบอร์ 8255 และบอร์ดควบคุมที่ใช้

ไอซีควบคุมพอร์ต ที่ถูกนำมาใช้ประโยชน์มากที่สุดเบอร์หนึ่งไม่ว่าจะเป็นระดับของเครื่องไมโครคอมพิวเตอร์ 8 บิต หรือ 16 บิต ก็ตาม ก็คือไอซีควบคุมพอร์ตเบอร์ 8255 ลักษณะตำแหน่งของขาและบล็อกไดอะแกรมภายในแสดงให้เห็นอย่างง่ายในรูปที่ 2.6 ตัวไอซีจะมีพอร์ตให้ใช้ถึง 3 พอร์ต คือพอร์ต A, B และ C สามารถควบคุมได้ว่าจะเป็นแบบอินพุตหรือเอาท์พุต หรือจะให้เป็นแบบสองทิศทางเลยก็ได้ (จะเป็นแบบสองทิศทางได้คือ พอร์ต A เท่านั้น) ในการใช้งานโดยย่อแล้ว ไม่มีขั้นตอนมากมาย คืออันดับแรกจะต้องกำหนดส่ง ข้อมูลขนาดหนึ่งไบต์ (จะเรียกว่า Control Word) ซึ่งแต่ละบิตจะมีความหมายในการกำหนดคุณสมบัติของพอร์ตตามที่เราต้องการใช้ดังแสดงรูปที่ 2.7 ไปที่ตัวไอซีก่อน จากนั้นจึงจะใช้งานพอร์ตเหล่านั้นได้

รูปที่ 2.5 ตัวไอซีควบคุมพอร์ต 8255

จะเห็นได้จากรูปบล็อกไดอะแกรมที่ผ่านมาว่าจะมีขาควบคุมการทำงานของ 8255 อยู่รวม 5 สัญญาณด้วยกัน ซึ่งลอจิกที่เราจะต้องใช้กับขาสัญญาณเหล่านี้ก็จะมาจากสล็อตของไมโครคอมพิวเตอร์ ซึ่งก็คือจากส่วนของวงจรการกำหนดแอดเดรสที่ได้กล่าวมาแล้ว และจะได้กล่าวถึงการต่อรวมกันโดยสมบูรณ์ต่อไป ลอจิกที่มาควบคุมการทำงานนั้นพอจะสรุปได้เป็นตารางดังตารางที่ 2.3 ข้างล่างนี้

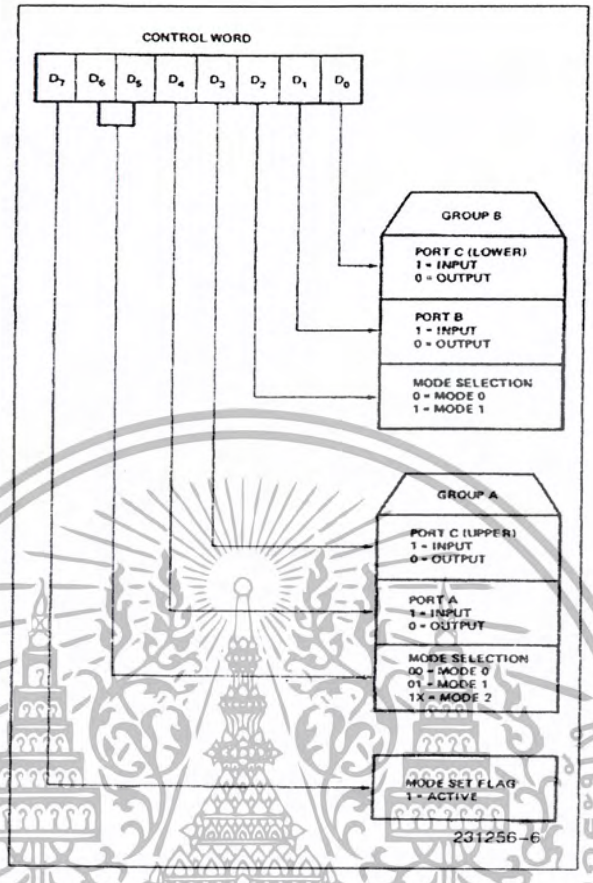
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.6 ตัวไอซีควบคุมพอร์ต 8255 และบล็อกไดอะแกรมภายใน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

55775



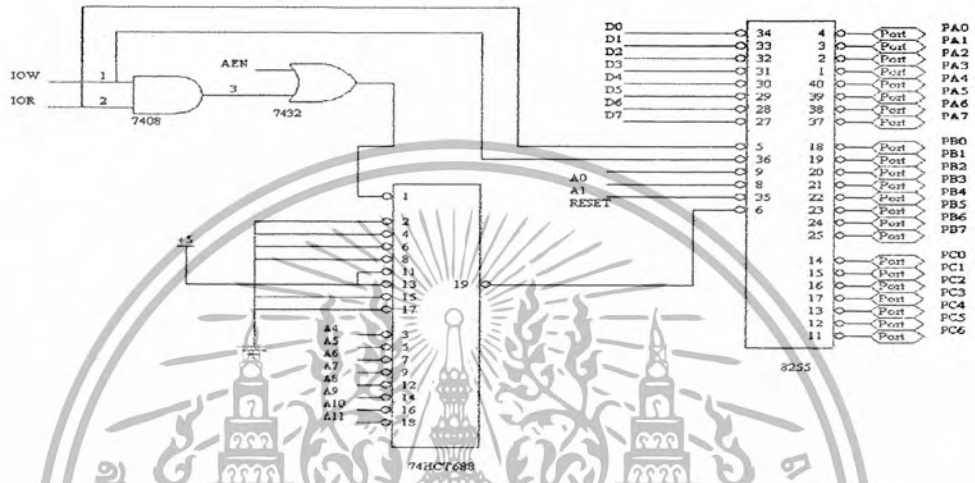
รูปที่ 2.7 ความหมายของบิตต่างๆ ของ Control Word

ตารางที่ 2.3 ลอจิกควบคุม 8255

A1	A0	RD	WR	CS	กระบวนทางการอ่านอินพุตเข้า
0	0	0	1	0	พอร์ต A
0	1	0	1	0	พอร์ต B
1	0	0	1	0	พอร์ต C
					กระบวนการเขียนเอาท์พุตออกสู่
0	0	1	0	0	พอร์ต A
0	1	1	0	0	พอร์ต B
1	0	1	0	0	พอร์ต C
1	1	1	0	0	พอร์ต Control Word

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อนำเอาส่วนของวงจรกำหนดตำแหน่งแอดเดรสและส่วนตัวของ 8255 มาต่อใช้งานร่วมกันเราจะได้ดังรูปที่ 2.8 และหากทำเป็นแผ่นการ์ดเสียบบนสล็อตของเครื่อง PC ก็จะทำให้สะดวกต่อการใช้งานมากขึ้น



รูปที่ 2.8 วงจรใช้งาน 8255

แผ่นการ์ดนี้ได้ออกแบบวงจรให้มีตำแหน่งของพอร์ตอยู่ที่แอดเดรสคือ

พอร์ต A	อยู่ที่ตำแหน่ง 300H
พอร์ต B	อยู่ที่ตำแหน่ง 301H
พอร์ต C	อยู่ที่ตำแหน่ง 302H
พอร์ต D	อยู่ที่ตำแหน่ง 303H

2.3 อินเตอร์เน็ต

2.3.1 ระบบเครือข่ายคอมพิวเตอร์ และอินเตอร์เน็ตเวิร์คกิ้ง (Internetworking)

ระบบเครือข่ายคอมพิวเตอร์ (Computer Network) คือ ระบบการเชื่อมต่อระหว่างระบบปลายทาง (End system) ซึ่งระบบปลายทางเป็นระบบอิสระต่อกัน (Autonomous) ระบบปลายทางสามารถเป็นได้ตั้งแต่ไมโครคอมพิวเตอร์ไปจนกระทั่งถึงซุปเปอร์คอมพิวเตอร์ (Super Computer) ขนาดใหญ่ เพื่อจุดมุ่งหมายในการแลกเปลี่ยนข้อมูลและแบ่งปันทรัพยากรระบบ เช่น ไฟล์ (File), เครื่องพิมพ์ (Printer), โมเด็ม (Modem) ตลอดจนการให้บริการฐานข้อมูลร่วม (Sharing Database)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3.2 องค์ประกอบของอินเตอร์เน็ต

อินเตอร์เน็ตเวิร์คกิ้ง หรือ อินเตอร์เน็ต (Internet) คือการเชื่อมต่อของระบบเครือข่าย 2 เครือข่ายขึ้นไป ดั้งนั้นคอมพิวเตอร์บนระบบเครือข่ายหนึ่งก็สามารถติดต่อกับคอมพิวเตอร์บนระบบเครือข่ายอื่นๆได้

อินเตอร์เน็ตเป็นเครือข่ายคอมพิวเตอร์ชนิดหนึ่งที่ใช้โปรโตคอล TCP/IP (Transmission Control/Internet Protocol) เป็นมาตรฐานการทำงานของระบบ ดังนั้นถ้ามีเครือข่ายคอมพิวเตอร์ที่ใช้โปรโตคอล TCP/IP อยู่แล้วก็จะเป็นการสะดวกและง่ายต่อการเชื่อมต่อเข้ากับระบบอินเตอร์เน็ต ระบบการทำงานของเครือข่ายโปรโตคอล TCP/IP โดยเฉพาะระบบเครือข่ายอินเตอร์เน็ตนั้นจะแบ่งกลุ่มของแฟกเตอร์หรือฟังก์ชั่นการทำงานออกเป็น 6 กลุ่มใหญ่ๆ ซึ่งการติดตั้งอุปกรณ์ต่างๆเองก็ต้องคำนึงถึงแฟกเตอร์ 6 กลุ่มเช่นกัน

ชนิดของสถานีระบบเครือข่าย TCP/IP ส่วนใหญ่จะประกอบด้วยเครื่องคอมพิวเตอร์ที่ทำหน้าที่แตกต่างกันอยู่ 2 ชนิด คือ เครื่องที่ทำหน้าที่ให้บริการเรียกว่าโฮสต์ (Host) หรือ เซิร์ฟเวอร์ (Server) และคอมพิวเตอร์สำหรับผู้ใช้ทั่วไปเรียกว่าเทอร์มินอล (Terminal) หรือ ไคลเอ็นท์ (Client) โดยเครื่องคอมพิวเตอร์ที่ทำหน้าที่เป็นสถานีให้บริการนั้นจะเป็นเครื่องที่คอยให้บริการแก่ผู้ใช้ด้านต่างๆ ไม่ว่าจะเป็นแหล่งเก็บรวบรวมข้อมูล (Data Sharing) การให้บริการโปรแกรมประยุกต์ต่างๆ หรือการให้บริการการใช้งานระบบประมวลผลกลาง เป็นต้น ดังนั้นคุณสมบัติโดยทั่วไปทั้งด้านฮาร์ดแวร์และซอฟต์แวร์ของเครื่องโฮสต์หรือเครื่องเซอร์ฟเวอร์จึงมีคุณสมบัติที่ดีกว่าเครื่องคอมพิวเตอร์สำหรับผู้ใช้มาก

2.3.3 ระบบไอพีแอดเดรส (IP Address)

การสื่อสารข้อมูลในระบบเครือข่ายคอมพิวเตอร์ เป็นการสื่อสารในลักษณะที่เป็นเฟรมข้อมูลของแต่ละการสื่อสารเป็นคนกำหนดเส้นทางที่สื่อสารเอง คือเมื่อมีการขอติดต่อสื่อสารข้อมูลของเครื่อคอมพิวเตอร์คู่ใดเกิดขึ้น เครื่องคอมพิวเตอร์เครื่องนั้นก็จะทำการสร้างเฟรมขึ้นมาแล้วค่อยส่งออกไปในระบบเครือข่ายโดยที่เฟรมของข้อมูลนั้นจะมีส่วนของแอดเดรสที่อยู่ในส่วนอ้างอิงที่กับการสื่อสาร (Header) ที่จะบอกว่า เฟรมข้อมูลนี้เป็นของเครื่อคอมพิวเตอร์เครื่องใดที่กำลังส่งและจะส่งไปยังเครื่องใด

ดังนั้นการที่เครื่องคอมพิวเตอร์ต่างๆ จะติดต่อสื่อสารกันระบบเครือข่ายโปรโตคอล TCP/IP จะต้องมีการกำหนดค่าไอพีแอดเดรสให้แต่ละสถานีที่จะสื่อสารกันด้วย นอกจากค่า MAC Address ที่มีอยู่ในแต่ละเครื่องเพราะค่าไอพีแอดเดรสนั้นจะเป็นค่าอ้างอิงในเฟรมข้อมูลที่สื่อสารใน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เครือข่าย ซึ่งจะมี 2 ชนิด คือ ไอพีแอดเดรสต้นทาง (Source IP Address) และไอพีแอดเดรสปลายทาง (Destination IP Address)

ลักษณะการติดต่อสื่อสารกันระหว่างเครื่องคอมพิวเตอร์ใดๆในระบบเครือข่ายอินเตอร์เน็ตนั้นโดนทั่วไปแล้วมี 2 ลักษณะ คือ

1. การเชื่อมต่อภายในเครือข่ายท้องถิ่น

2. การเชื่อมต่อระหว่างเครือข่ายท้องถิ่นหนึ่งกับเครือข่ายท้องถิ่นอื่น โดยอาจมีการบริการของระบบเครือข่ายระยะไกลเข้ามาเกี่ยวข้องด้วย

ในการเชื่อมต่อจำเป็นต้องใช้อุปกรณ์ที่เรียกว่าเราเตอร์ (Router) โดยเราเตอร์จะเกี่ยวข้องกับระบบทำงานที่เรียกว่า โปร โตคอลหาเส้นทาง (Routing Protocol) ซึ่งจะทำหน้าที่ตรวจสอบและจัดการเกี่ยวกับเส้นทางในการสื่อสารข้อมูลทั้งหมดของระบบ

2.3.4 ระบบชื่อกลุ่ม (Domain Name System)

มีการออกแบบระบบชื่อของสถานีต่างๆ บนเครือข่ายอินเตอร์เน็ตในรูปแบบลักษณะตัวอักษร เพื่ออำนวยความสะดวกต่อการใช้งานของยูสเซอร์ ระบบ DNS เป็นระบบซอร์ฟแวร์ที่ทำหน้าที่ในการจัดสรรและบริการในส่วนการเปรียบเทียบค่าระหว่างชื่อตัวอักษรกับค่าไอพีแอดเดรสของเครื่องสถานีต่างๆ บนอินเตอร์เน็ต โปรแกมประยุกต์บนอินเตอร์เน็ต

ระบบเครือข่ายอินเตอร์เน็ตเป็นระบบเครือข่ายขนาดใหญ่ที่มีการเชื่อมโยงกันทั่วโลก ดังนั้นการใช้โปรแกรมประยุกต์ต่างๆ บนระบบอินเตอร์เน็ตจึงมีลักษณะพิเศษแตกต่างจากการใช้งานบนระบบเครือข่ายท้องถิ่นทั่วไป คือจะมีโปรแกรมมากมายหลายชนิด เช่น ระบบจดหมายอิเลคทรอนิคส์ (E-mail) ระบบข่าวสารรวม (Usenet) ระบบอุโมงค์อินเตอร์เน็ต และระบบเครือข่ายใยแมงมุม (WWW.) เป็นต้น โดยที่แต่ละชนิดมีการใช้งานแตกต่างกันมาก ระบบความปลอดภัย มีหน้าที่ป้องกันไม่ให้มีการลักลอบเข้ามาใช้หรือทำลาย ข้อมูลที่สำคัญ

2.3.5 โปรโตคอล TCP/IP

โปร โตคอลนี้ ทำงานที่ Layer 4 หรือ Transport Layer ของ OSI Model ลักษณะการทำงานจะเป็นการสื่อสารข้อมูลแบบ Connection-Oriented คือมีลักษณะเหมือนการส่งข้อมูลเสียงทางโทรศัพท์ คือผู้ใช้ต้องต่อ Connection แล้วถึงส่งข้อมูล และเมื่อส่งข้อมูลเสร็จก็ยกเลิก Connection เหมือนกับวางสายโทรศัพท์ การส่งข้อมูล เปรียบเสมือนการส่งของผ่านท่อ คือผู้ส่งจะส่งของไปทีละชิ้นผ่านท่อ แล้วผู้รับซึ่งอยู่อีกปลายข้างหนึ่งของท่อก็รับของทีละชิ้นออกจากท่อ ตามลำดับที่ผู้ส่งส่งมา TCP นี้จะเสียเวลาในการเริ่มต้นรับส่งข้อมูลค่อนข้างนาน แต่การรับส่งข้อมูลจะมีความถูก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ต้องสูง และรับรองการได้รับข้อมูลของอีกฝ่ายได้แน่นอน โดยผู้ส่งจะรอรับคำยืนยันว่า "ได้รับแล้ว" ของข้อมูลชุดที่แล้วจากผู้รับเสียก่อน จึงค่อยส่งข้อมูลชุดต่อไป และถ้าผู้รับไม่ได้รับข้อมูลที่ส่งมา ก็จะส่งสัญญาณไปบอกให้ผู้ส่งว่า "ไม่ได้รับ" ผู้ส่งก็จะส่งข้อมูลที่ไม่ได้รับซ้ำอีกครั้งจนกว่าจะได้รับคำยืนยันว่าได้รับแล้ว ตัวอย่างของการใช้งาน TCP คือ E-mail, World Wide Web

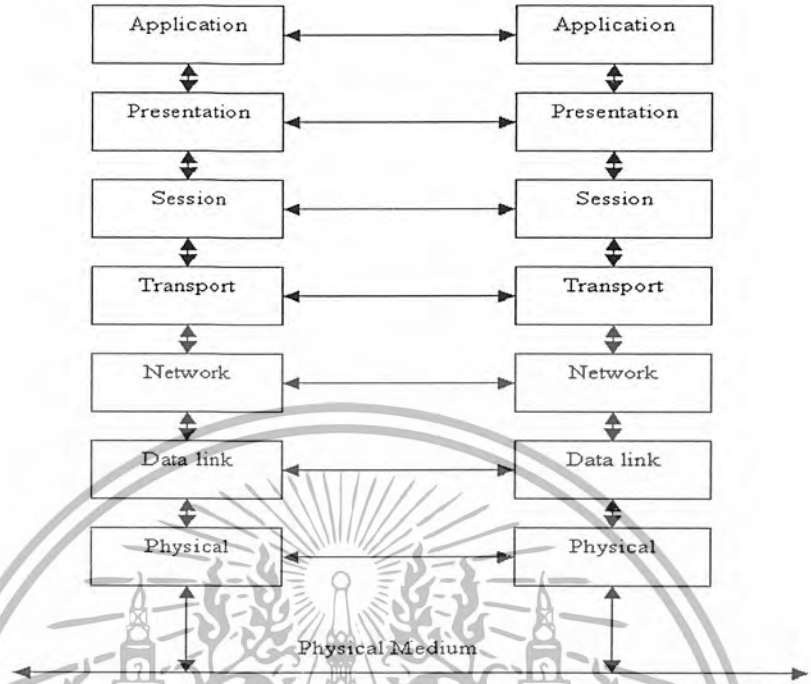
การสื่อสารข้อมูลบนอินเตอร์เน็ตจะใช้กฎข้อบังคับในการรับส่งข้อมูลที่เรียกว่า IP (Internet Protocol) โดย IP Protocol จะทำงานที่ Layer 3 หรือ Network Layer บน OSI Model

เครื่องคอมพิวเตอร์ทุกเครื่องบนอินเตอร์เน็ตจำเป็นต้องมีหมายเลขประจำเครื่องเพื่อบ่งบอกที่อยู่ของเครื่องคอมพิวเตอร์เครื่องนั้น ว่าอยู่ที่ใดในเครือข่าย หมายเลขนี้เรียกว่า หมายเลข IP (IP Address) ซึ่งเครื่องคอมพิวเตอร์แต่ละเครื่องจะต้องมี หมายเลขที่ไม่ซ้ำกับใคร เปรียบเสมือนบ้านเลขที่ในเครือข่ายอินเตอร์เน็ต หมายเลข IP มีขนาด 32 บิต (4 ไบต์, 8 บิต เป็น 1 ไบต์) โดยเขียนเป็นเลขฐานสิบ 4 ตัว คั่นด้วยเครื่องหมายจุด (Dotted - decimal notation) หมายเลข IP จะประกอบด้วย สองส่วนหลัก คือ Net ID (network ID) และ Host ID

2.3.6 OSI Model

OSI 7-Layer Reference Model (OSI Model) โดยโครงสร้างการสื่อสารข้อมูลที่กำหนดขึ้นมีคุณสมบัติดังนี้ คือ ในแต่ละชั้นของแบบการสื่อสารข้อมูลเราจะเรียกว่า Layer หรือ "ชั้น" ของแบบการสื่อสารข้อมูลนั้นเอง ประกอบด้วยชั้นย่อย ๆ 7 ชั้น ในแต่ละชั้นหรือแต่ละ Layer จะเสมือนเชื่อมต่อเพื่อส่งข้อมูลอยู่กับชั้นเดียวกันในคอมพิวเตอร์อีกด้านหนึ่ง แต่ในการเชื่อมกันจริง ๆ นั้นจะเป็นเพียงการเชื่อมในระดับ Layer 1 ซึ่งเป็นชั้นล่างสุดเท่านั้น ที่มีการรับส่งข้อมูลผ่านสายส่งข้อมูลระหว่างคอมพิวเตอร์ทั้งสองโดยที่ Layer อื่น ๆ ไม่ได้เชื่อมต่อกันจริง ๆ เพียงแต่ทำงานเสมือนกับว่ามีการติดต่อรับส่งข้อมูลกับชั้นเดียวกันของคอมพิวเตอร์อีกด้านหนึ่ง คุณสมบัติข้อที่สองของ OSI Model คือ แต่ละชั้นที่รับส่งข้อมูลจะมีการติดต่อรับส่งข้อมูลกับชั้นที่อยู่ติดกับตัวเองเท่านั้น จะติดต่อรับส่งข้อมูลข้ามกระโดดไปชั้นอื่น ๆ ในคอมพิวเตอร์ของตัวเองไม่ได้ เช่น คอมพิวเตอร์ด้านส่งข้อมูลออกไปให้ผู้รับ ใน Layer ที่ 7 ซึ่งอยู่ที่ด้านบนสุดของด้านส่งข้อมูลจะมีการเชื่อมต่อกับ Layer 6 เท่านั้น ในส่วน Layer 6 จะมีการเชื่อมต่อรับส่งข้อมูลกับ Layer 5 และ Layer 7 เท่านั้น Layer 7 จะไม่มีการกระโดดไป Layer 4 หรือ 5 ได้ จะมีการส่งข้อมูลไล่ลำดับลงมาจากบนลงล่าง จนถึง Layer 1 แล้วเชื่อมต่อกับ Layer 1 ในด้านการรับข้อมูล ไล่ขึ้นไปจนถึง Layer 7

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.9 แสดงลำดับการส่งข้อมูลบนมาตรฐาน OSI

ในทางปฏิบัติ OSI Model ได้แบ่งลักษณะการทำงานออกเป็น 2 กลุ่มใหญ่ ๆ คือ กลุ่มแรก ได้แก่ 4 ชั้นสื่อสารด้านบน คือ Layer ที่ 7,6,5 และ 4 ทำหน้าที่เชื่อมต่อรับส่งข้อมูลระหว่างผู้ใช้กับโปรแกรมประยุกต์ เพื่อให้รับส่งข้อมูลกับฮาร์ดแวร์ที่อยู่ชั้นล่างได้อย่างถูกต้อง เรียกว่า Application-oriented layers ซึ่งจะเกี่ยวข้องกับซอฟท์แวร์เป็นหลัก โดยใน 4 ชั้นบนมักจะเป็นซอฟท์แวร์ของบริษัทใดบริษัทหนึ่งในโปรแกรมเดียว กลุ่มที่สอง จะเป็นชั้นล่าง ได้แก่ Layer ที่ 3, 2 และ 1ทำหน้าที่เกี่ยวกับการรับส่งข้อมูลผ่านสายส่ง และควบคุมการรับส่งข้อมูล ตรวจสอบข้อผิดพลาด รวมทั้งเลือกเส้นทางในการรับส่งข้อมูล ซึ่งจะเกี่ยวกับฮาร์ดแวร์เป็นหลักเรียกว่า Network-dependent layers ซึ่งในส่วนของ 3 ชั้นล่างสุด หรือ Layer ที่ 1, 2 และ 3 นั้น มักจะเกี่ยวข้องกับฮาร์ดแวร์และโปรแกรมควบคุมฮาร์ดแวร์เป็นหลัก ทำให้สามารถแยกแต่ละชั้นออกจากกันได้ง่าย และผลิตภัณฑ์ของต่างบริษัทกันในแต่ละชั้นได้อย่างไม่มีปัญหา

OSI Model แบ่งเป็น 7 ชั้น แต่ละชั้นจะมีชื่อเรียกและหน้าที่การทำงาน ดังนี้คือ

Layer ที่ 7 Application Layer เป็นชั้นที่อยู่บนสุดของขบวนการรับส่งข้อมูล ทำหน้าที่ติดต่อกับผู้ใช้ โดยจะรับคำสั่งต่าง ๆ จากผู้ใช้ส่งให้คอมพิวเตอร์แปลความหมาย และทำงานตามคำสั่งที่ได้รับในระดับโปรแกรมประยุกต์ เช่น การแปลความหมายของการกดปุ่มบนเมาส์ให้เป็นคำสั่งในการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ก๊อปปี้ไฟล์ หรือดึงข้อมูลมาแสดงบนจอภาพ เป็นต้น ซึ่งการแปลคำสั่งจากผู้ใช้ส่งให้กับคอมพิวเตอร์รับไปทำงานนี้ จะต้องแปลออกมาถูกต้องตามกฎ (Syntax) ที่ใช้ในระบบปฏิบัติการของคอมพิวเตอร์นั้น ๆ ตัวอย่างเช่น ถ้ามีการก๊อปปี้ไฟล์เกิดขึ้นในระบบ คำสั่งที่ใช้จะต้องสร้างไฟล์ได้ถูกต้อง มีชื่อไฟล์ยาวไม่เกินจำนวนที่ระบบปฏิบัติการนั้นกำหนดไว้ รูปแบบของชื่อไฟล์ตรงตามข้อกำหนด เป็นต้น

Layer ที่ 6 Presentation Layer เป็นชั้นที่ทำหน้าที่ตกลงกับคอมพิวเตอร์อีกด้านหนึ่งในระดับชั้นเดียวกันว่า การรับส่งข้อมูลในระดับ โปรแกรมประยุกต์จะมีขั้นตอนและข้อบังคับอย่างไร ข้อมูลที่รับส่งกันใน Layer ที่ 6 จะอยู่ในรูปแบบของข้อมูลชั้นสูงมีกฎ (Syntax) บังคับแน่นอน เช่น ในการก๊อปปี้ไฟล์จะมีขั้นตอนย่อยประกอบกัน คือสร้างไฟล์ที่กำหนดขึ้นมาเสียก่อน จากนั้นจึงเปิดไฟล์ แล้วทำการรับข้อมูลจากปลายทางลงมาเก็บลงในไฟล์ที่สร้างขึ้นใหม่นี้ โดยเนื้อหาของข้อมูลที่ทำการรับส่งระหว่างกัน ก็คือคำสั่งของขั้นตอนย่อยๆข้างต้นนั่นเอง นอกจากนี้ Layer ที่ 6 ยังทำหน้าที่แปลคำสั่งที่ได้รับจาก Layer ที่ 7 ให้เป็นคำสั่งระดับปฏิบัติการส่งให้ Layer ที่ 5 ต่อไป

Layer ที่ 5 Session Layer ทำหน้าที่ควบคุม "จังหวะ" ในการรับส่งข้อมูลของคอมพิวเตอร์ทั้งสองด้าน ที่รับส่งแลกเปลี่ยนข้อมูลกันให้มีความสอดคล้องกัน (Synchronization) และกำหนดวิธีที่ใช้ในการรับส่งข้อมูล เช่น อาจจะเป็นในการสลับกันส่ง (Half Duplex) หรือการรับส่งข้อมูลพร้อมกันทั้งสองด้าน (Full Duplex) ข้อมูลที่รับส่งใน Layer ที่ 5 จะอยู่ในรูป dialog หรือประโยคสนทนาโต้ตอบกันระหว่างด้านรับและด้านส่งข้อมูล เช่น เมื่อได้รับข้อมูลส่วนแรกจากผู้ส่ง ก็จะตอบโต้กลับให้ผู้ส่งได้รู้ว่าได้รับข้อมูลส่วนแรกแล้ว พร้อมที่จะรับข้อมูลส่วนถัดไป ซึ่งคล้ายกับการสนนาโต้ตอบกันระหว่างผู้รับและผู้ส่งนั่นเอง

Layer ที่ 4 Transport Layer ทำหน้าที่เชื่อมต่อการรับส่งข้อมูลระดับสูงของ Layer ที่ 5 มาเป็นข้อมูลที่รับส่งในระดับฮาร์ดแวร์ เช่น แปลงค่าหรือชื่อของเครื่องคอมพิวเตอร์ในเครือข่ายให้เป็น network address พร้อมทั้งเป็นชั้นที่ควบคุมการรับส่งข้อมูลจากปลายด้านส่งถึงปลายด้านรับข้อมูล ให้ข้อมูลมีการไหลลื่นตลอดเส้นทางตามจังหวะที่ควบคุมจาก Layer ที่ 5 โดยใน Layer ที่ 4 นี้ จะเป็นรอยต่อระหว่างการรับส่งข้อมูลซอฟท์แวร์กับฮาร์ดแวร์การรับส่งข้อมูลของระดับสูงจะถูกแยกจากฮาร์ดแวร์ที่ใช้รับส่งข้อมูลที่ Layer ที่ 4 และจะไม่มีส่วนใดผูกติดกับฮาร์ดแวร์ที่ใช้รับส่งข้อมูลในระดับล่าง ดังนั้นฮาร์ดแวร์และซอฟท์แวร์ที่ใช้ควบคุมการรับส่งข้อมูลในระดับล่างลงไปจาก Layer ที่ 4 จึงสามารถสับเปลี่ยน และใช้ข้ามไปมากับซอฟท์แวร์รับส่งข้อมูลในระดับที่อยู่ข้างบน (ตั้งแต่ Layer ที่ 4 ขึ้นไปถึง Layer ที่ 7) ได้ง่าย หน้าที่อีกประการหนึ่งของ Layer ที่ 4 คือ การควบคุมคุณภาพการรับส่งข้อมูลให้มีมาตรฐานในระดับที่ตกลงกันทั้งสองฝ่าย และการตัดข้อมูลออกเป็นส่วนย่อย ๆ ให้เหมาะกับลักษณะการทำงานของฮาร์ดแวร์ที่ใช้ในเครือข่าย เช่น หาก Layer ที่ 5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ต้องการส่งข้อมูลที่มีความยาวเกินกว่าที่ระบบเครือข่ายที่จะส่งให้ Layer ที่ 4 ก็จะทำหน้าที่ตัดข้อมูลออกเป็นส่วนย่อย ๆ แล้วส่งไปให้ผู้รับ ข้อมูลที่ได้รับปลายทางก็จะถูกนำมาต่อกันที่ Layer ที่ 4 ของด้านผู้รับ และส่งไปให้ Layer ที่ 5 ต่อไป

Layer ที่ 3 Network Layer ทำหน้าที่เชื่อมต่อคอมพิวเตอร์ด้านรับ และด้านส่งเข้าหากันผ่านระบบเครือข่าย พร้อมทั้งเลือกหรือกำหนดเส้นทางที่จะใช้ในการรับส่งข้อมูลระหว่างกัน และส่งผ่านข้อมูลที่ได้รับไปยังอุปกรณ์ในเครือข่ายต่าง ๆ จนกระทั่งถึงปลายทาง ใน Layer ที่ 3 ข้อมูลที่รับส่งกันจะอยู่ในรูปแบบของกลุ่มข้อมูลที่เรียกว่า Packet หรือ Frame ข้อมูล Layer ที่ 4, 5, 6 และ 7 มองเห็นเป็นคำสั่งและ Dialog ต่าง ๆ นั้น จะถูกแปลงและผนึกรวมอยู่ในรูปของ Packet หรือ Frame ที่มีเพียงแอดเดรสของผู้รับ, ผู้ส่ง, ลำดับการรับส่ง และส่วนของข้อมูลเท่านั้น หน้าที่อีกประการหนึ่ง คือ การทำ Call Setup หรือเรียกติดต่อคอมพิวเตอร์ปลายทางก่อนการรับส่งข้อมูล และการทำ Call Cleaning หรือการยกเลิกการติดต่อคอมพิวเตอร์เมื่อการรับส่งข้อมูลจบลงแล้ว ในกรณีที่มีการรับส่งข้อมูลนั้นต้องมีการติดต่อกันก่อน

Layer ที่ 2 Data link Layer เป็นชั้นที่ทำหน้าที่เชื่อมต่อการรับส่งข้อมูลในระดับฮาร์ดแวร์ โดยเมื่อมีการสั่งให้รับข้อมูลจากใน Layer ที่ 3 ลงมา Layer ที่ 2 จะทำหน้าที่แปลคำสั่งนั้นให้เป็นคำสั่งควบคุมฮาร์ดแวร์ที่ใช้รับส่งข้อมูล ทำการตรวจสอบข้อผิดพลาดในการรับส่งข้อมูลของระดับฮาร์ดแวร์ และทำการแก้ข้อผิดพลาดที่ได้ตรวจพบ ข้อมูลที่อยู่ใน Layer ที่ 2 จะอยู่ในรูปของ Frame เช่น ถ้าฮาร์ดแวร์ที่ใช้เป็น Ethernet LAN ข้อมูลจะมีรูปร่างของ Frame ตามที่ระบุไว้ในมาตรฐานของ Ethernet หากว่าฮาร์ดแวร์ที่ใช้รับส่งข้อมูลเป็นชนิดอื่น รูปร่างของ Frame ก็จะเปลี่ยนไปตามมาตรฐานนั้น ๆ

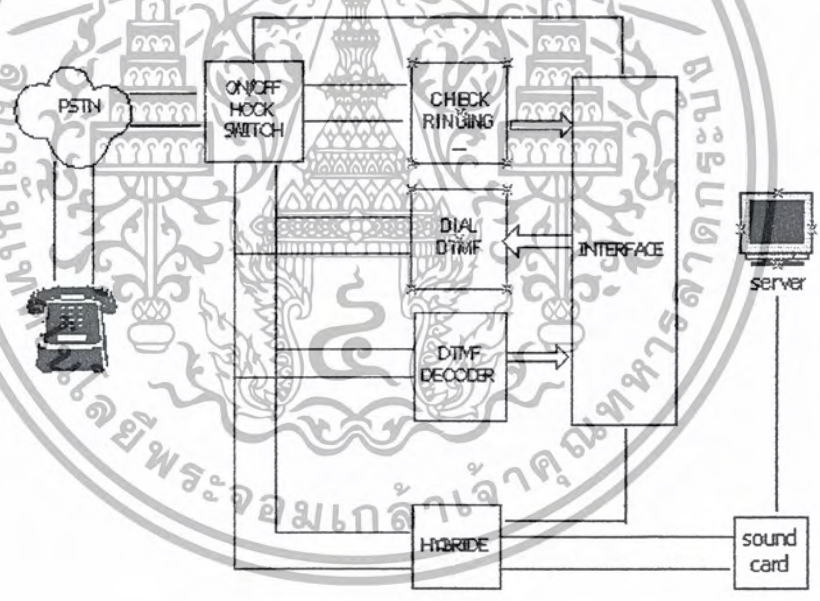
Layer ที่ 1 Physical Layer เป็นชั้นล่างสุด และเป็นชั้นเดียวที่มีการเชื่อมต่อทางกายภาพระหว่างคอมพิวเตอร์สองระบบที่ทำการรับส่งข้อมูล ใน Layer ที่ 1 นี้จะมีการกำหนดคุณสมบัติทางกายภาพของฮาร์ดแวร์ที่ใช้เชื่อมต่อระหว่างคอมพิวเตอร์ทั้งสองระบบ เช่น สายที่ใช้รับส่งข้อมูลจะเป็นแบบไหน ข้อต่อที่ใช้ในการรับส่งข้อมูลมีมาตรฐานอย่างไร ความเร็วในการรับส่งข้อมูลเท่าใด สัญญาณที่ใช้ในการรับส่งข้อมูลมีรูปร่างอย่างไร ข้อมูลใน Layer ที่ 1 นี้จะมองเห็นเป็นการรับส่งข้อมูลทีละบิตเรียงต่อกันไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3

การออกแบบและการทำงานของระบบ

การออกแบบโครงงานนี้จะแยกเป็น 2 ส่วน คือ ส่วนของฮาร์ดแวร์และซอฟต์แวร์ ซึ่งส่วนของฮาร์ดแวร์ได้แก่ วงจรอินเตอร์เฟส วงจรถอดรหัสสัญญาณความถี่คู่ดีทีเอ็มเอฟ วงจรตรวจจับสัญญาณกระดิ่ง วงจรกำเนิดสัญญาณความถี่คู่ดีทีเอ็มเอฟ วงจรเสียงพูด วงจรควบคุมการยกและวางหูโทรศัพท์ ในส่วนของซอฟต์แวร์จะแบ่งเป็นสองส่วนคือ โปรแกรมควบคุมการทำงานของฮาร์ดแวร์ และโปรแกรมในการรับ-ส่งข้อมูลเสียงผ่านระบบเครือข่ายอินเตอร์เน็ต

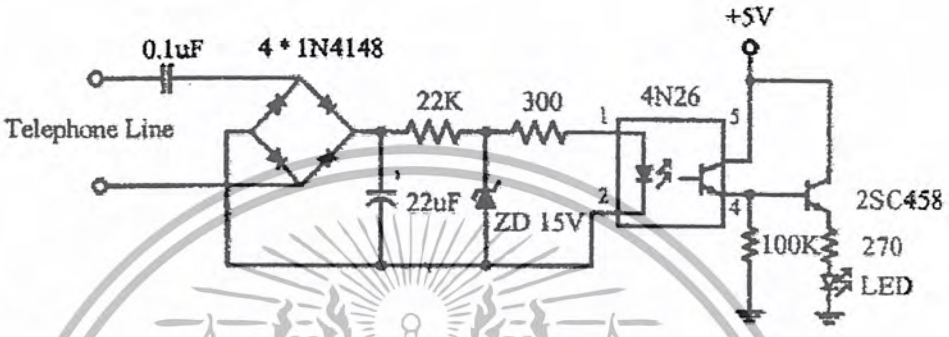


รูปที่ 3.1 บล็อกไดอะแกรมของการทำงานทั้งหมด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.1 วงจรตรวจจับสัญญาณกระดิ่ง

วงจรตรวจจับสัญญาณกระดิ่งนี้จะทำหน้าที่คอยตรวจจับสัญญาณกระดิ่งที่เข้ามา



รูปที่ 3.2 วงจรตรวจจับสัญญาณกระดิ่ง

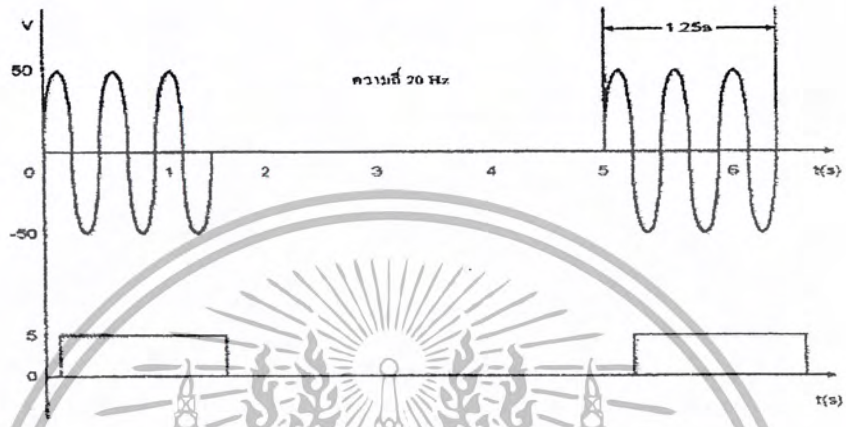
วงจรตรวจจับสัญญาณกระดิ่งนี้จะทำการเปลี่ยนอินพุตสัญญาณกระดิ่งซึ่งเป็นสัญญาณกระแสสลับความถี่ 20 เฮิร์ตขนาด 75-100 Vp-pหรือประมาณ 70-90 Vrms ออกเป็นพัลส์เอาพุตที่มีขนาด 5 โวลท์

ขณะที่ชุมสายทำการส่งสัญญาณเรียกมายังเครื่องรับโทรศัพท์ สัญญาณกระดิ่งดังกล่าวผ่านเข้าวงจร ซึ่งจะเจอตัวคาปาซิเตอร์ซึ่งทำหน้าที่กันแรงดันไฟตรงไม่ให้เข้ามาได้ จากนั้นผ่านวงจรบริดจ์เร็คติไฟเออร์ได้แรงดันไฟตรงโดยมี C 22 uF ทำหน้าที่กรองแรงดันให้เรียบ และซีเนอร์ไดโอด 15 โวลท์จะทำหน้าที่จำกัดแรงดันที่ตกคร่อมไอซีเบอร์ 4N26 ไม่ให้เกิน 15 โวลท์

ไอซีเบอร์ 4N26 นี้เป็นไอซีเชื่อมโยงทางแสง (Opto Coupler) ภายในมีไดโอดเปล่งแสง (LED) และโฟโต้ทรานซิสเตอร์ (Photo Transistor) อยู่ กระแสในไซเคิลบวกเท่านั้นที่ สามารถไหลผ่านไดโอดเปล่งแสงได้จะทำให้กระแสสามารถไหลจากขั้วคอลเลคเตอร์ (Collector) ไปยังขาอิมิตเตอร์ (Emitter) ผ่านความต้านทาน 100 K ลงกราวนด์จึงทำให้ทรานซิสเตอร์2SC458 ทำงานดังนั้น LED จึงสว่าง ได้ลอจิก 1 ออกมา แต่เมื่อไม่มีกระแสไซเคิลบวกเข้ามา โฟโตไดโอดจะไม่เปล่งแสงทำให้กระแสจากขั้วคอลเลคเตอร์ของโฟโต้ทรานซิสเตอร์ไม่สามารถไหลลงกราวด์ที่ขาอิมิตเตอร์ได้ ทรานซิสเตอร์ 2SC458 จึงไม่ทำงานด้วย LED จึงไม่สว่าง ได้ลอจิก "0" ตลอดเวลาที่ไม่มีกระแสไซเคิลบวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดังนั้นถ้าเราเขียนรูปสัญญาณกระดิ่งที่เป็นอินพุตเปรียบเทียบกับเอาท์พุตของสัญญาณไอซี เบอร์ 4N26 จะได้รูปที่ 3.3

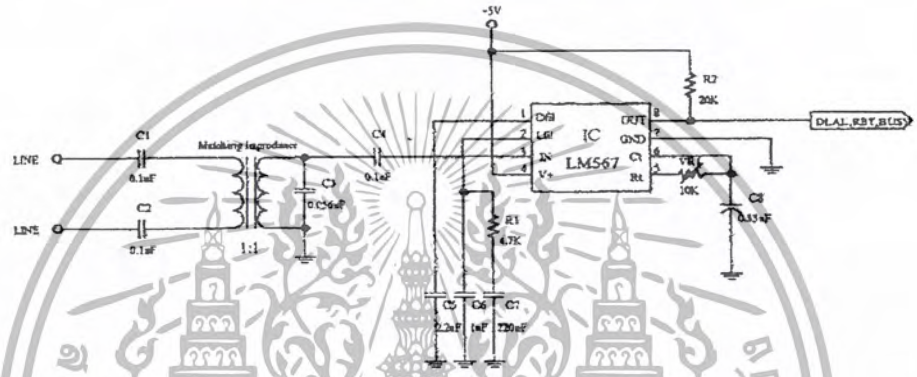


รูปที่ 3.3 สัญญาณกระดิ่งที่เป็นอินพุตเปรียบเทียบกับเอาท์พุตของสัญญาณไอซีเบอร์ 4N26

นอกจากนี้การใช้ไอซีเชื่อมโยงทางแสง (OPTO COUPLER) ยังมีข้อดีในการแยกระบบไฟของอินพุตและเอาท์พุตออกจากกัน โดยใช้แสงในการเชื่อมโยงแทน ทำให้มีความปลอดภัยจากแรงดันไฟค่าสูงและยังสามารถป้องกันสัญญาณรบกวน หรือแรงดันที่มียอดแหลมที่เกิดจากระบบกราวนด์ ของวงจรภายนอก ไม่ให้เข้าไปเกิดในระบบกราวนด์ของวงจรอีกด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2 วงจรตรวจสอบสัญญาณหมุนหมายเลข (DAIL), สัญญาณเรียกกลับ (RBT), สัญญาณไม่ว่าง (BUSY)



รูปที่ 3.4 วงจรตรวจสอบสัญญาณ DAIL, RBT, BUSY

หลักการทำงานจะเห็นได้ว่า สัญญาณหมายเลข , สัญญาณเรียกกลับ , สัญญาณไม่ว่างนั้น จะมีลักษณะเป็นรูปคลื่นไซน์และความถี่ประมาณ 400 Hz เท่ากันจะต่างกันที่ช่วงเวลาการเกิดของสัญญาณแต่ละสัญญาณเท่านั้น จึงใช้ไอซีเบอร์ LM567 ซึ่งเป็นไอซีโทนดีโค้ดเดอร์ (Tone Decoder) เป็นตัวตรวจจับสัญญาณความถี่ 400 Hz และจะให้เอาท์พุตเป็นลอจิก "0" ก็ต่อเมื่อความถี่ที่ป้อนเข้ามามีค่าตรงกับความถี่ ที่เราดีเทกคือ 400 Hz ถ้าความถี่ที่เข้าไม่ตรงกับความถี่ที่กำหนดไว้ เอาท์พุตก็จะมีค่าเป็นลอจิก "1" การกำหนดค่าของความถี่ที่ต้องการดีเทกออกมานั้นสามารถหาได้จากสูตร

$$F = 1/(1.1\ RC)$$

ในวงจรนี้ C8 และ VR1 จะเป็นตัวกำหนดความถี่ที่ต้องการออกมา โดยในการคำนวณเราจะกำหนดค่า C ไว้ที่ 0.33 ไมโครฟารัด ความถี่ที่ต้องการ 400 Hz เราก็จะได้ค่า R ออกมา คือ

$$R = 1/(1.1\ RC)$$

$$= 1/(1.1 * 400*0.33uF)$$

$$= 6.88\ \text{k โอห์ม}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณที่เอาท์พุตจะมีลักษณะเป็นพัลส์สแควร์เวฟ เกิดขึ้นตามการสัญญาณที่เข้ามากล่าวคือ

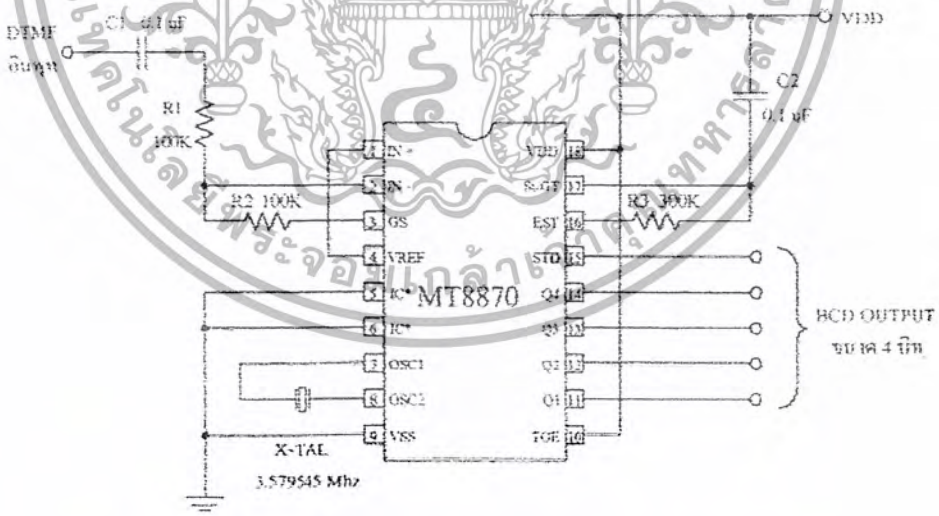
1. ถ้าเป็นสัญญาณหมุนหมายเลข จะมีลักษณะการเกิดของสัญญาณความถี่ 400 Hz ที่ต่อเนื่องและยาว เอาท์พุตที่ออกมาจะมีลักษณะเป็นลอจิก “0” ยาวติดต่อกันไปตลอด

2. ถ้าเป็นสัญญาณไม่ว่าง จะมีลักษณะการเกิดของสัญญาณความถี่ 400 Hz 0.5 วินาที และเวลาหยุด 0.5 วินาที สลับกันไป เอาท์พุตที่ได้จะมีลักษณะเป็นลอจิก “0” และลอจิก “1” สลับกันตลอด

3. ถ้าเป็นสัญญาณเรียกกลับ จะมีลักษณะการเกิดของสัญญาณความถี่ 400 Hz 1 วินาทีและเวลาหยุด 4 วินาที สลับกันไปเรื่อยๆ เอาท์พุตที่ได้จะมีลักษณะเป็นลอจิก “0” 1 วินาที และลอจิก “1” 4 วินาที

3.3 วงจรถอดรหัสหมายเลข DTMF MT8870

วงจรถอดรหัสสัญญาณหมายเลขดีทีเอ็มเอฟนี้จะคอยทำหน้าที่ถอดรหัสความถี่คู่ให้เป็นรหัสไบนารี 4 บิต ก่อนส่งไปยังคอมพิวเตอร์



รูปที่ 3.5 วงจรวงจรถอดรหัสหมายเลข DTMF MT8870

จากคุณสมบัติและโครงสร้างของ MT8870 ที่กล่าวมาได้นำมาประกอบเป็นวงจรดังรูป 3.5 ซึ่งจะมีการทำงานดังนี้

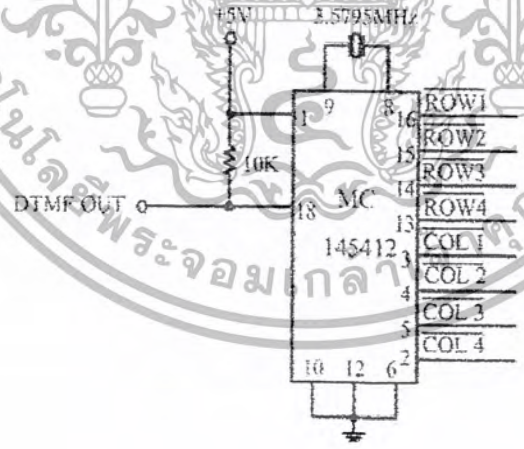
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณความถี่ DTMF จะเข้ามาทางขานอน-อินเวิร์ติ้ง (ขา2) โดยผ่าน C1 เป็นตัว คัปปลิ้งสัญญาณและจะมี R1, R2 เป็นตัวปรับอัตราการขยายให้เหมาะสม ส่วน R3, C2 จะเป็นตัวกำหนดการ์ดไทม์เอาท์พุต ในที่นี้ใช้ R3 = 300 k โอห์ม, C2 = 0.1 uF ซึ่งจะได้ค่าการ์ดไทม์ เท่ากับ 30 mS

จากวงจรและการทำงานที่กล่าวมานี้ เมื่อนำมาประกอบวงจรทดลองเพื่อเลือกค่าอุปกรณ์ RC ที่เหมาะสมปรากฏว่าค่าของ R3 และ C2 นั้นมีความสำคัญมากเพราะจะเป็นการกำหนดช่วงเวลาของสัญญาณ DTMF ที่จะยอมรับ ซึ่งค่า C2 นั้น ทางบริษัทที่ผลิตไอซีเบอร์นี้ได้แนะนำให้ใช้ค่า 0.1 uF แล้วเลือกค่า R3 ตามต้องการ ซึ่งค่า 300 k โอห์ม นั้นเป็นค่าที่เหมาะสมที่สุด สำหรับการใช้งานโทรศัพท์ทั่วไปที่จะกดปุ่มโทรศัพท์และทำให้ไอซี MT8870 รับรหัสตัวเลขได้ทุกตัวและถูกต้อง

3.4 วงจรกำเนิดรหัสหมายเลข DTMF

วงจรกำเนิดสัญญาณความถี่ดีทีเอ็มเอฟทำหน้าที่กำเนิดสัญญาณความถี่คู่ดีทีเอ็มเอฟ โดยจะรับอินพุตที่เป็น ไบนารี 4 บิต จากคอมพิวเตอร์



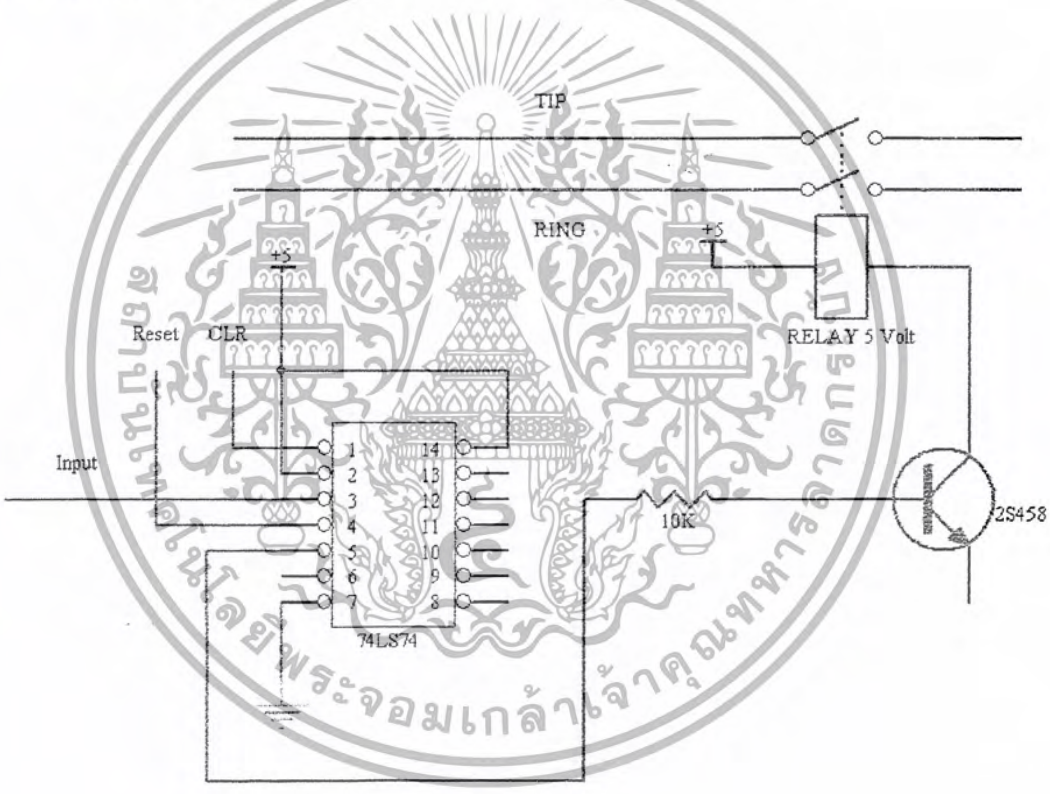
รูปที่ 3.6 วงจรกำเนิดรหัสหมายเลข DTMF

วงจรเข้ารหัสสัญญาณความถี่ DTMF จะมีหน้าที่สร้างสัญญาณความถี่ที่ได้จากการกดคีย์โทรศัพท์ อุปกรณ์ที่สำคัญได้แก่ MC145412 ซึ่งเป็นตัวสร้างความถี่ DTMF และนำสัญญาณนี้ไปถอดรหัสเพื่อให้ CPU ประมวลผลต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การใช้งาน MC145412 เพื่อให้กำเนิดสัญญาณ DTMF มีสิ่งที่กำหนดหรือเลือกได้ดังนี้ คือ MS (Mode select) ขา 10 เป็นการเลือกการทำงานซึ่งมี 3 สภาวะการทำงาน ถ้าต่อกับ Vdd จะทำการกำเนิด 20 pps ถ้าปล่อยเวลาไว้จะทำหน้าที่กำเนิด 10 pps และถ้าต่อกับ Vss (ขา 6) จะทำหน้าที่ผลิตสัญญาณความถี่ DTMF และอีกขาหนึ่งคือ OH (ON-HOOK) ขา 12 ถ้าต่อกับ Vdd จะทำการ on-hook mode ติดต่อกับหน่วยความจำภายใน ถ้าต่อกับ Vss จะทำการ off-hook mode ซึ่งในการออกแบบวงจรต่อขา OH (ขา12) ต่อกับ Vss (ขา6)

3.5 วงจรเชื่อมต่อคู่สายอัตโนมัติ



รูปที่ 3.7 วงจรเชื่อมต่อคู่สายอัตโนมัติ

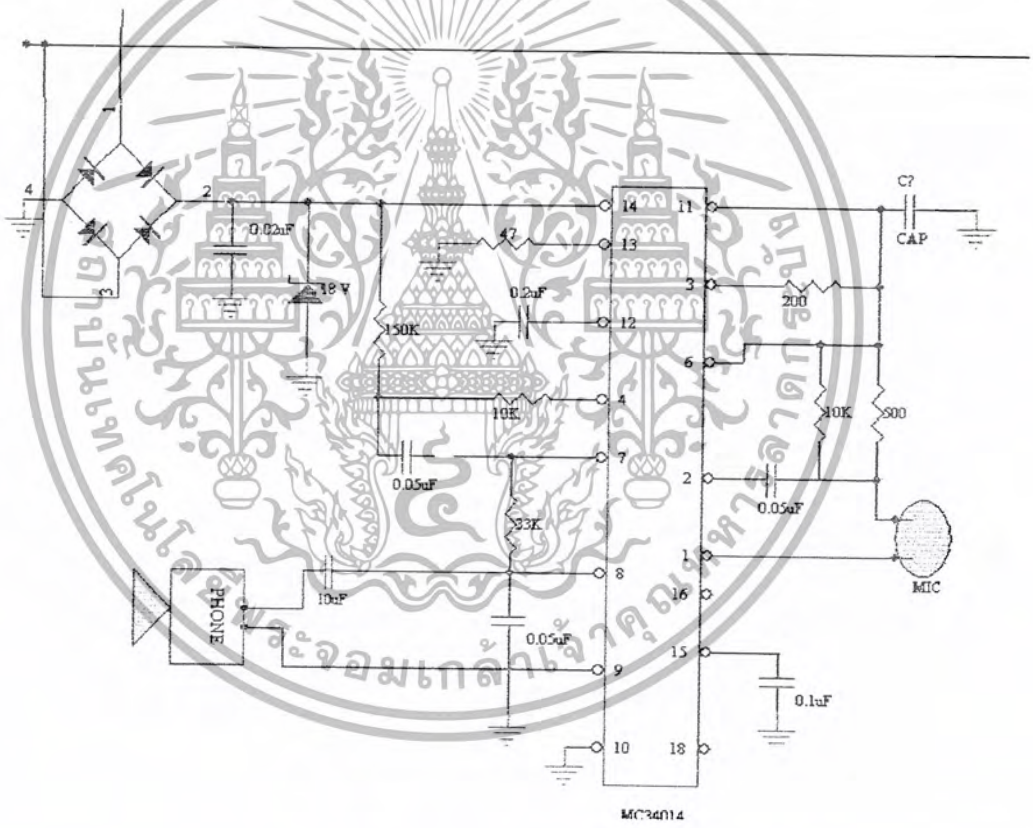
ในส่วนของวงจรเชื่อมต่อคู่สายอัตโนมัตินี้ จะทำหน้าที่เชื่อมต่อคู่สายเมื่อมีสัญญาณกระดิ่งเรียกเข้ามายังวงจร หลักการทำงานของวงจรนี้คือ วงจรจะนำ Output ที่ได้จากวงจรตรวจจับสัญญาณกระดิ่งมาเป็นสัญญาณนาฬิกาให้กับ D – Flip-flop ใน IC เบอร์ 74LS74 เป็นผลทำให้เมื่อรับสัญญาณนาฬิกาเข้ามา จะทำให้ขา 5 ของ IC 74LS74 มีค่าเป็น "1" ค้างอยู่ในสภาวะนั้น จึงทำให้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทรานซิสเตอร์นำกระแส และทำให้ Relay ทำงานต่อคู่สายภายนอกเข้ากับแมตชิ่งฟอร์เมอร์ซึ่งมีค่าอิมพีแดนซ์ 600 โอห์ม เปรียบเสมือนการยกหูโทรศัพท์ขึ้น

3.6 วงจรไฮบริด (Hybrid)

วงจรไฮบริดทำหน้าที่เป็นวงจรต่อสัญญาณจากปากพูดไปยังหูฟัง ทำให้สามารถทำการสนทนาสวนทางกันได้ (สามารถรับส่งข้อมูลพร้อมกันได้)



รูปที่ 3.8 วงจรไฮบริด

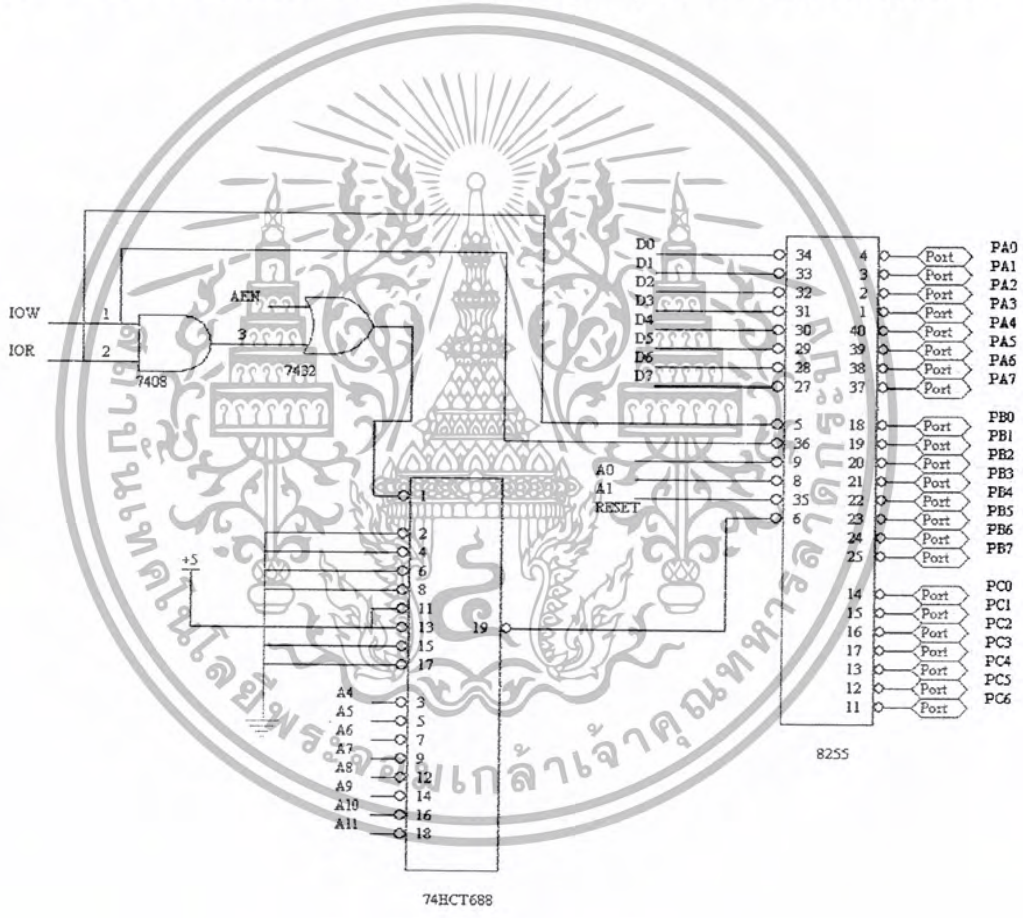
วงจรไฮบริดทำหน้าที่รับและส่งสัญญาณเสียงพูดจากสายโทรศัพท์ จากรูป จะใช้ไอซีเบอร์ MC34014 โดยในการส่งสัญญาณจากไมโครโฟน ไปยังสายโทรศัพท์ จะต่อเข้ากับขา MIC ของไอซี และจะผ่านการขยายสัญญาณด้วยอัตราการขยายประมาณ 26-เดซิเบล ด้วยวงจรขยายภายในไอซี-เพื่อส่งสัญญาณเข้าสู่สายโทรศัพท์-ซึ่งมีความต้านทานในสายเท่ากับ 600 โอห์ม ส่วนการรับสัญญาณซึ่งเป็นสัญญาณไฟสลับจากคู่สายโทรศัพท์ จะผ่านวงจรขยายสัญญาณภายในไอซี และ

เอกสารนี้เป็นสิ่งที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ออกมาทางขา RXI เข้าสู่วงจรขยายด้วยออปแอมป์ ได้สัญญาณเอาต์พุทออกไปทางขา RXO ซึ่งเป็นจุดต่อออกไปเข้าลำโพง เพื่อสามารถรับฟังสัญญาณที่รับมาได้

3.7 วงจรการ์ดอินเตอร์เฟส (Interface)

ในส่วนการเชื่อมต่อระหว่างคอมพิวเตอร์กับส่วนของอุปกรณ์ภายนอกจะผ่านทาง I/O พอร์ตที่เป็นสล๊อตบนคอมพิวเตอร์ โดยอาศัยบัสตำแหน่ง (Address Bus) บัสข้อมูล (Data Bus) สัญญาณควบคุมการอ่านและเขียน สัญญาณอินพุตและเอาท์พุต ไฟเลี้ยงจากเครื่องคอมพิวเตอร์



รูปที่ 3.9 วงจรการ์ด Interface

เนื่องจากการติดต่อต่างๆ มีความจำเป็นต้องใช้การ Interface PC เพื่อรับส่งข้อมูลเข้าออกระหว่าง PC กับ อุปกรณ์ภายนอกต่างๆ ดังนั้นจึงจำเป็นต้องออกแบบการ์ด I/O ขึ้นมา โดยมีการทำงานแบ่งออกเป็น 2 ส่วนดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ส่วน Address Decode

ในส่วนนี้จะเป็นการตรวจสอบสัญญาณ Address ที่เข้ามาในวงจร โดยจะตั้งค่า Base address ที่ใช้ในการติดต่อกับอุปกรณ์ภายนอก อยู่ที่ 300H โดยใช้สัญญาณ Address 8 เส้น คือ A4 – A11 ไปต่อกับ IC 74LS138 และ 7408 ซึ่งเป็น IC comparator ตามรูปวงจร เพื่อ Decode สัญญาณในระดับแรก และนำค่าที่ได้ไปต่อเข้ากับ IC 8255 ซึ่งเป็น I/O interface โดยสัญญาณ Address ที่ 300H จะทำให้ค่าเอาต์พุตที่ขา19 ของ 74HCT688 มีค่าออกมาเป็น Low ซึ่งเราจะไปใช้เพื่อ Enable IC 8255 ให้ทำงานได้

ส่วน I/O Interface

หลังจากที่ 8255 ได้รับสัญญาณ Low จาก 74HCT688 แล้ว ก็จะเริ่มทำงาน โดยที่จะต่อสัญญาณ Address (A30 – A31) เข้าที่ A0 และ A1 ของ 8255 เพื่อกำหนดการใช้งาน Register ภายใน และกำหนดโหมดในการใช้งานต่างๆของ 8255 ผ่านทาง Control Port (D0 – D7) โดยมีขาที่ต่อกับ IOW และ IOR เป็นตัวกำหนดทิศทางการไหลของข้อมูล

การกำหนดโหมดการทำงานผ่านทาง D0 – D7 มีรายละเอียดดังนี้คือ

D7: ถ้าบิตนี้เป็น "1" หมายถึงรหัสควบคุมนี้มีผลต่อการเปลี่ยนแปลงการเซตโหมด

D6-D5: ใช้เลือกโหมด ถ้าเป็น

00 หมายถึง โหมด 0

01 หมายถึง โหมด 1

1x หมายถึง โหมด 2

D4: ใช้กำหนด Port A โดยที่ "0" หมายถึงกำหนด Port A เป็นOutput ถ้าเป็น "1" หมายถึงกำหนด Port A เป็น Input

D3: ใช้กำหนด Port C บน โดยที่ "0" หมายถึงกำหนด Port C บน เป็น Output ถ้าเป็น "1" หมายถึงกำหนด Port C บน เป็น Input

D2: เป็นการเลือกโหมด โดยที่ "0" หมายถึงเป็นโหมด 0 ถ้าเป็น "1" หมายถึงการเลือกโหมด 1

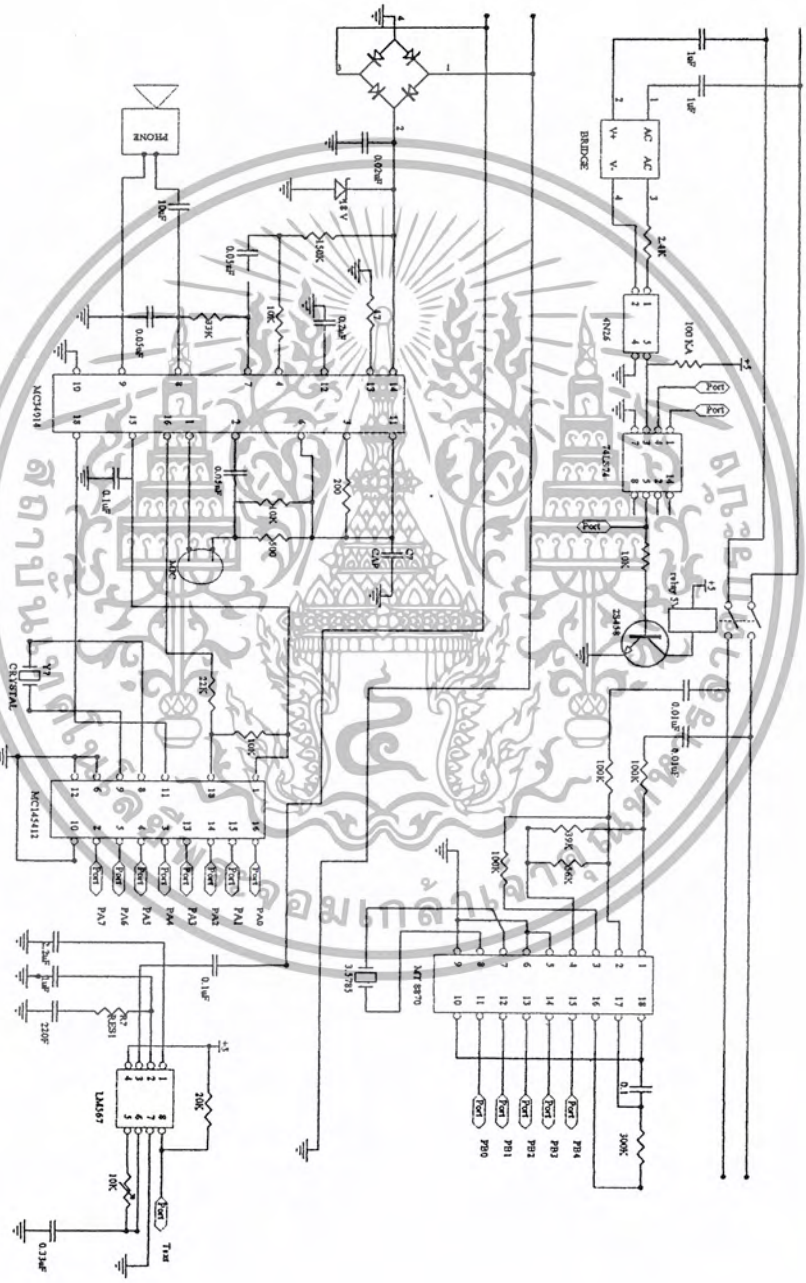
D1: ใช้กำหนด Port B โดยที่ "0" หมายถึงกำหนด Port B เป็น Output ถ้าเป็น "1" หมายถึงกำหนด Port B เป็น Input

D0: ใช้กำหนด Port C ล่าง โดยที่ "0" หมายถึงกำหนด Port C ล่าง เป็น Output ถ้าเป็น "1" หมายถึงกำหนด Port C ล่าง เป็น Input

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.8 วงจรรวม

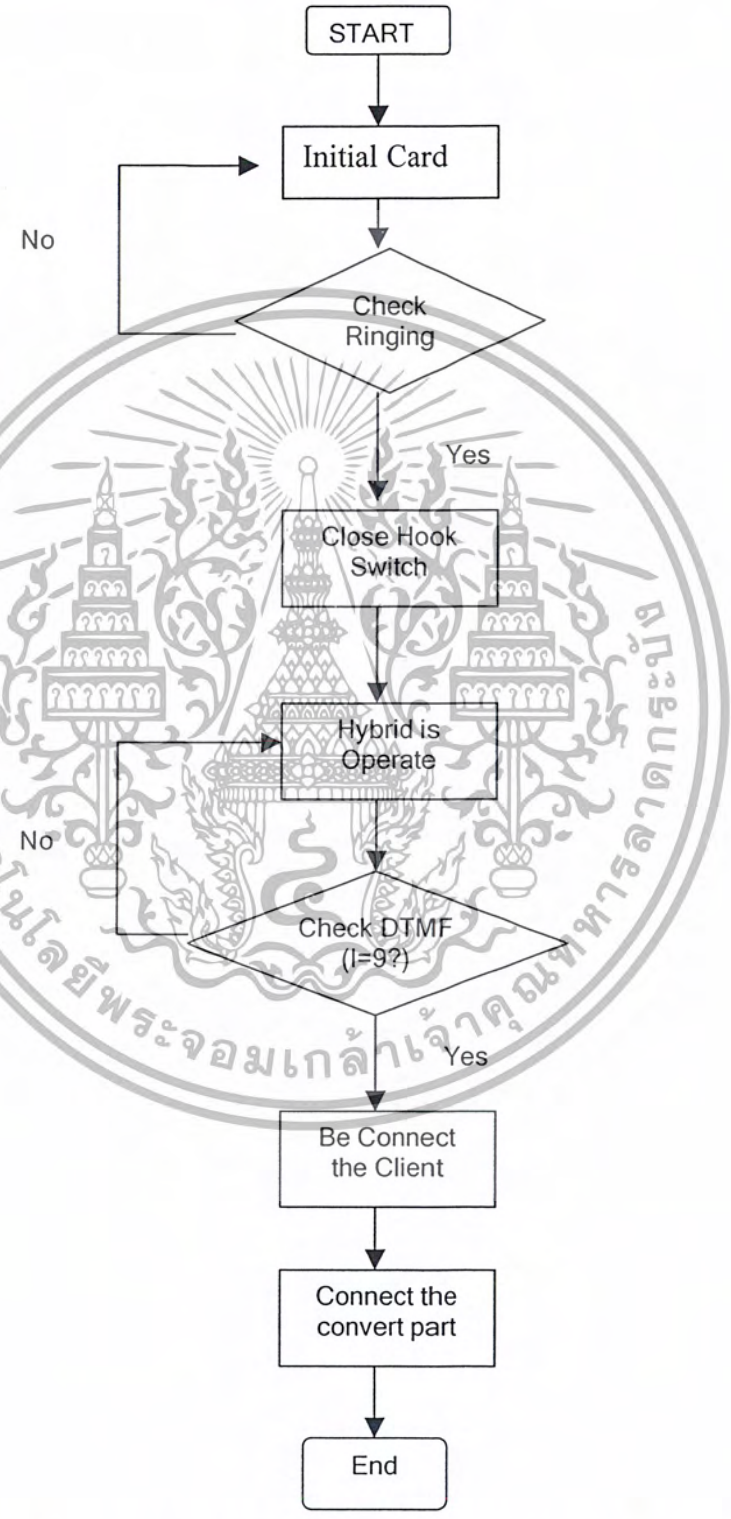
นำวงจรที่ออกแบบมาสร้างเป็นวงจรรวม ดังรูปที่ 3.10



รูปที่ 3.10 รูปวงจรรวม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.9 บล๊อกไดอะแกรมแสดงการทำงานของฮาร์ดแวร์ต้นทางการเชื่อต่อ

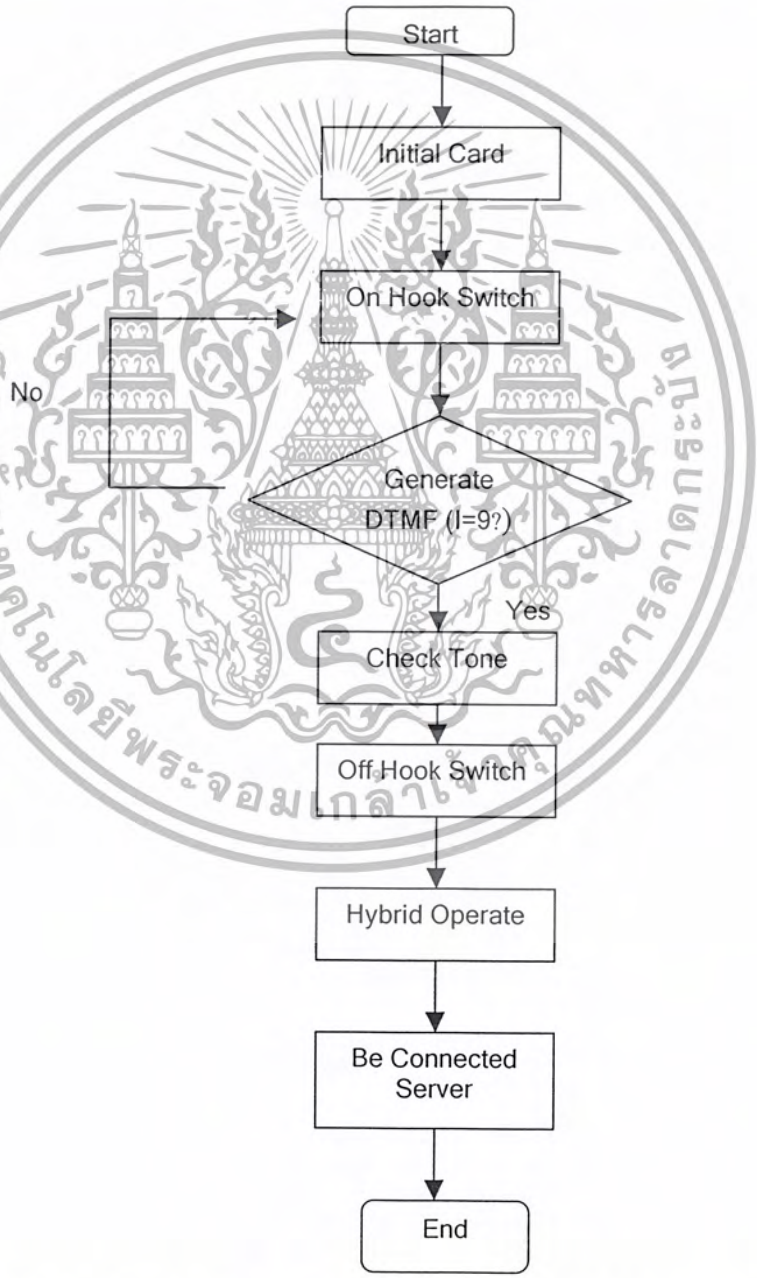


รูปที่ 3.11 บล๊อกไดอะแกมแสดงการทำงานของฮาร์ดแวร์ด้านต้นทางการเชื่อมต่อ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อธิบายหลักการทำงานตามบล๊อกไดอะแกมแสดงการทำงานของฮาร์ดแวร์ด้านต้นทางการเชื่อมต่อคือ เมื่อมีการสัญญาณเรียกเข้ามายัง Server การ์ดก็จะทำการเชื่อมต่อคู่สาย ต่อมาการ์ดจะทำการตรวจสอบสัญญาณ DTMF ว่าครบทั้ง 9 หมายเลขหรือยัง หากตรวจสอบแล้วพบว่าถูกต้องและครบก็จะทำการเชื่อมต่อไปยัง Client ต่อไป

3.10 บล๊อกไดอะแกรมแสดงการทำงานของฮาร์ดแวร์ด้านปลายทางการเชื่อมต่อ



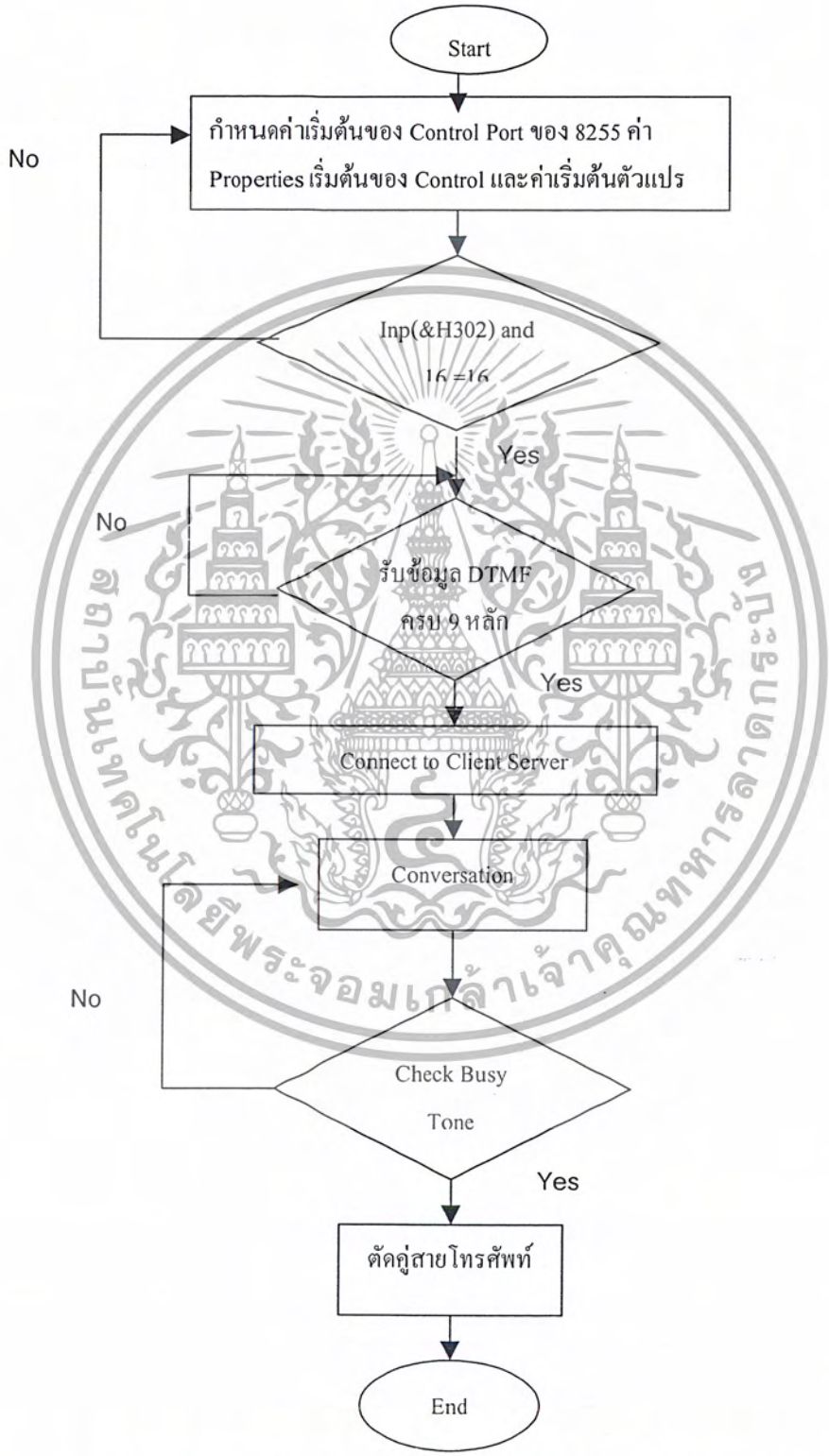
รูปที่ 3.12 บล๊อกไดอะแกรมแสดงการทำงานของฮาร์ดแวร์ด้านปลายทางการเชื่อมต่อ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อธิบายหลักการทำงานตามบล๊อกไดอะแกรมแสดงการทำงานของฮาร์ดแวร์ด้านปลายทางการเชื่อมต่อ คือ เมื่อ server ปลายทางได้รับสัญญาณ DTMF ครบ 9 หลักแล้วก็จะทำการสร้างสัญญาณ DTMF เพื่อเชื่อมวงจรคู่สายและทำการโทรหาปลายทางและวงจรไฮบริดก็จะทำงานทำให้การเชื่อมต่อสมบูรณ์และสามารถติดต่อกันได้

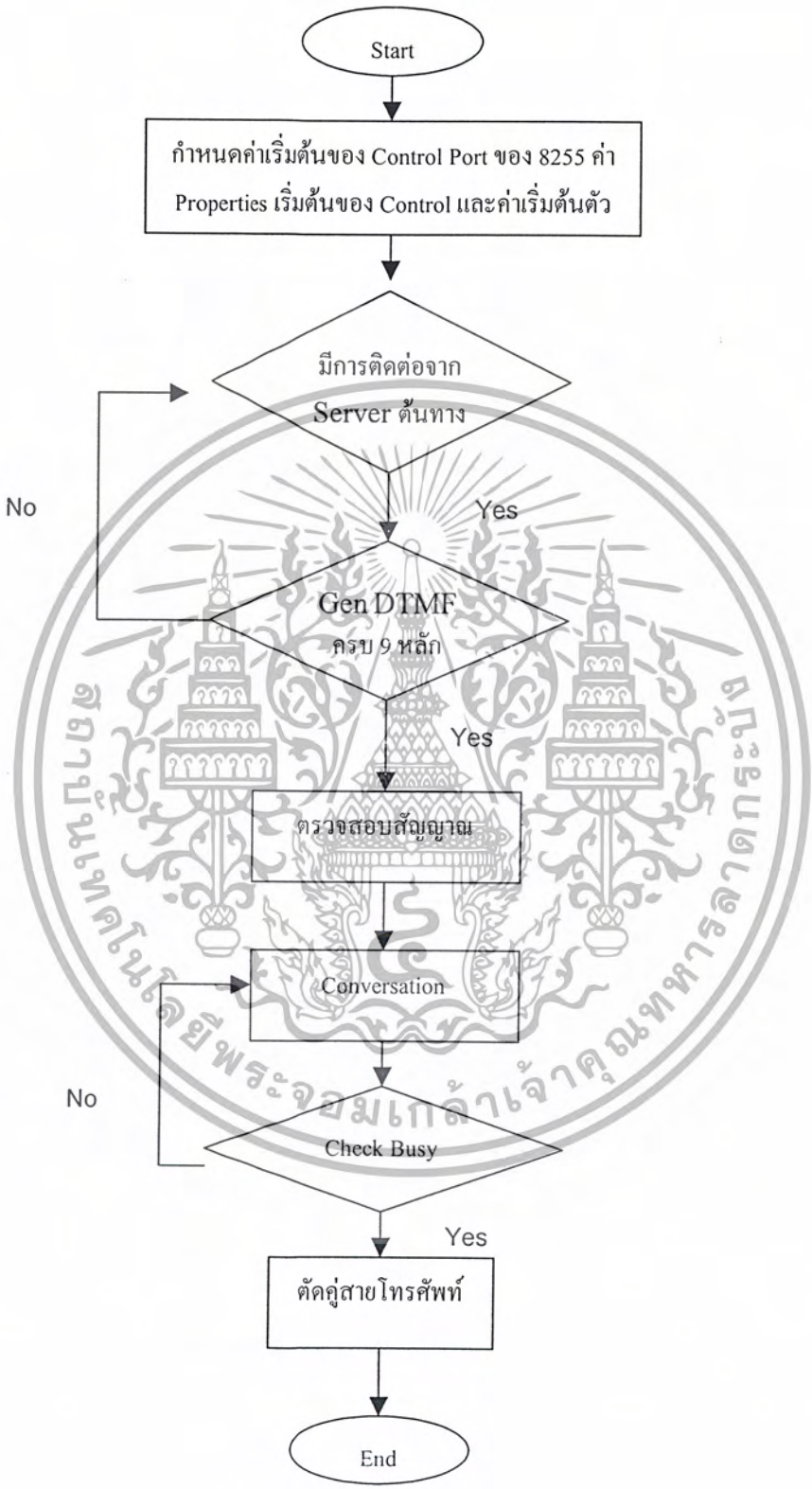
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.11 บล๊อกไดอะแกรมการทำงานส่วนของซอร์ฟแวร์ (Software)



รูปที่ 3.13 บล๊อกไดอะแกรมการทำงานของโปรแกรมฝั่งต้นทาง (Server)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.14 บล๊อกไดอะแกรมการทำงานของโปรแกรมฝั่งปลายทาง(Client)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากโฟว์ชาร์ต (Flowchart) ของโปรแกรม จะสามารถอธิบายการทำงานของโปรแกรมได้ โดยจะแบ่งการทำงานของโปรแกรมออกเป็น 2 ส่วนคือ

กรณีทำหน้าที่เป็นต้นทางการเชื่อมต่อ

1 จะกำหนดค่าเริ่มต้นของ Control Port ของ ไอซี 8255 , ค่าเริ่มต้นคุณสมบัติ (Properties) ของ Control Timer และ Winsock, ค่าเริ่มต้นของตัวแปรต่างๆที่ใช้ในโปรแกรม

2 เมื่อกำหนดค่าต่างๆเรียบร้อย จะทำการเชื่อมต่อ Winsock1 เพื่อเตรียมส่งข้อมูล

3 เมื่อมีสัญญาณกระดิ่ง (Ringing) เข้ามายังเซอฟเวอร์ (Server) จะทำให้ bit ที่ 5 ของ Port C ของ 8255 มีค่าเป็น 1 ซึ่งจะทำให้โปรแกรมเตรียมรับข้อมูลหมายเลขจากสัญญาณดีทีเอ็มเอฟ DTMF

4 เมื่อมีการกดหมายเลขปลายทางที่ผู้ใช้ต้องการติดต่อ วงจรถอดรหัสดีทีเอ็มเอฟ (Decode) จะทำการถอดรหัสสัญญาณ DTMF เป็นดิจิตอล (Digital) และส่งมายัง Port B ของ 8255

5 โปรแกรมจะทำการตรวจสอบว่าข้อมูลหมายเลขปลายทางมีจำนวนครบ 9 หลักด้วย Control Timer โดยเมื่อได้ข้อมูลหมายเลขปลายทางครบ 9 หลักจะส่งข้อมูลหมายเลขปลายทางไปยัง Server ปลายทาง ด้วย Control Winsock1

6 เมื่อส่งหมายเลขไปแล้ว ก็จะเข้าสู่การสนทนา โดยทำการรับส่งข้อมูลเสียง กับ Server ปลายทาง ในรูปแบบของ Bit stream และส่งไปยังผู้ใช้ต้นทาง ด้วยวงจรเสียงพูด

7 ขณะที่สนทนา โปรแกรมจะทำการตรวจสอบสถานะ ว่ามีการวางหูเกิดขึ้นหรือไม่ ด้วย Control Timer3 และถ้าตรวจพบว่ามีการวางหู ก็จะหยุดการส่งข้อมูลเสียง และทำการตัดการเชื่อมต่อสายโทรศัพท์

8 กำหนดค่าเริ่มต้นต่างๆใหม่อีกครั้งเพื่อให้อยู่ในสถานะพร้อมทำงานต่อไป

กรณีทำหน้าที่เป็นปลายทางการเชื่อมต่อ

1 กำหนดค่าเริ่มต้นต่างๆ เหมือนในหัวข้อ 1.1

2 เมื่อกำหนดค่าต่างๆเรียบร้อย จะทำการเชื่อมต่อ Winsock1 เพื่อเตรียมส่งข้อมูล

3 เมื่อ Winsock1 ได้รับข้อมูลจาก Server ต้นทาง แสดงว่า มีผู้ใช้ต้องการติดต่อไปยังโทรศัพท์ปลายทางที่เชื่อมต่อกับ Server ปลายทาง ซึ่งข้อมูลจาก winsock1 ที่ Server ปลายทางได้รับ ก็คือข้อมูลหมายเลขปลายทาง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4 ทำการตรวจสอบข้อมูลหมายเลขปลายทางว่าครบ 9 หลัก จะทำการเชื่อมต่อคู่สายและสร้างสัญญาณ DTMF จากข้อมูลที่ได้ ด้วย Control Timer2 เพื่อติดต่อไปยังเครื่องโทรศัพท์ปลายทาง

5 เข้าสู่การสนทนา โดยจะรับส่งข้อมูลเสียง กับ Server ต้นทางในรูปแบบของ Bit stream และส่งไปยัง ผู้ใช้ปลายทาง ด้วยวงจรเสียงพูด

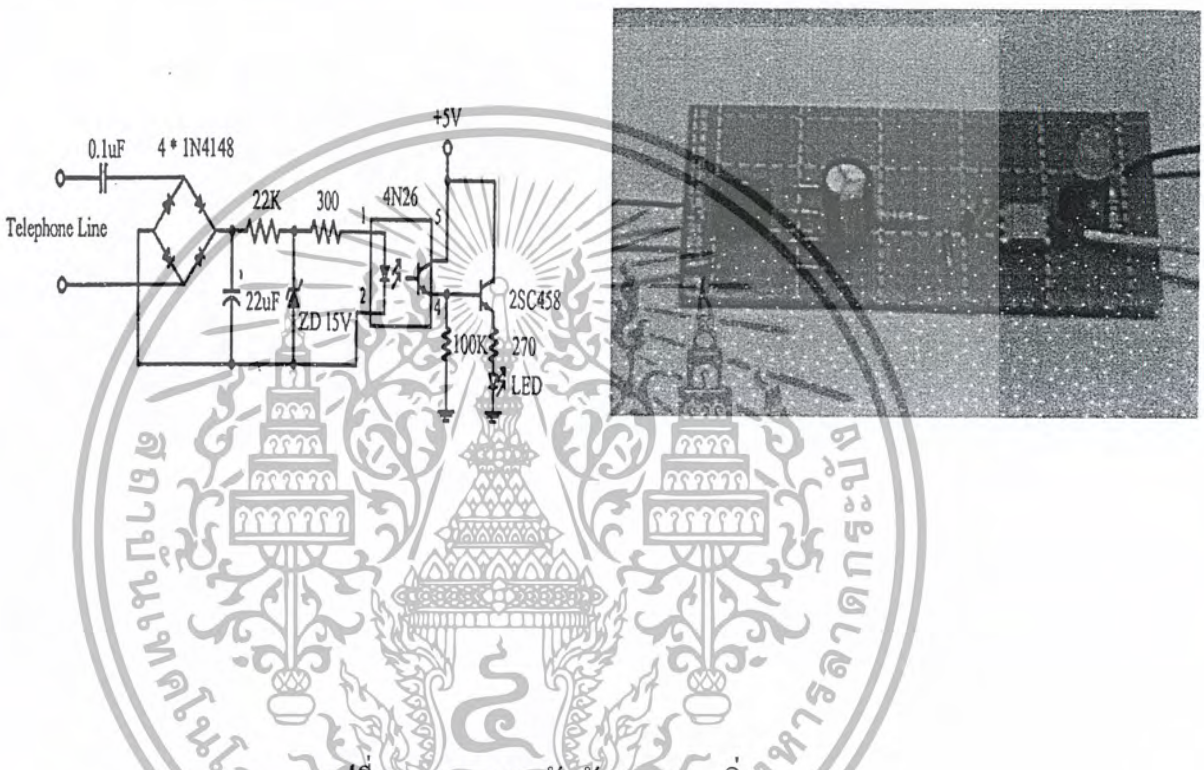
6 ขณะที่สนทนา โปรแกรมจะทำการตรวจสอบสถานะว่ามีการวางหูเกิดขึ้นหรือไม่ ด้วย Control Timer3 และถ้าตรวจพบว่ามีการวางหู ก็จะหยุดส่งข้อมูลเสียง และทำการตัดการเชื่อมต่อสายโทรศัพท์

7 กำหนดค่าเริ่มต้นต่างๆใหม่อีกครั้งเพื่อให้อยู่ในสถานะพร้อมทำงานต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4
การทดลองและผลการทดลอง

4.1 วงจรตรวจจับสัญญาณกระดิ่ง



รูปที่ 4.1 วงจรตรวจจับสัญญาณกระดิ่ง

ขั้นตอนการทดลอง

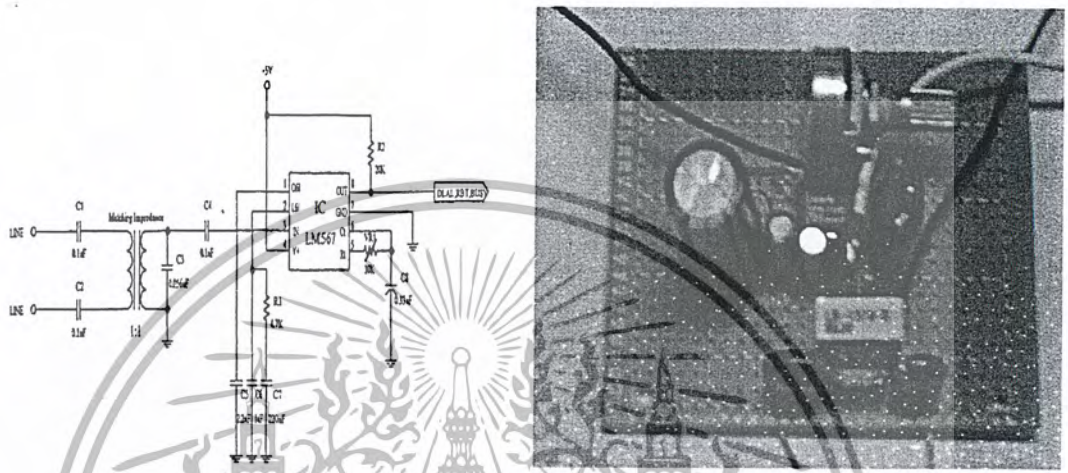
1. ทำการต่อวงจรตามรูปที่ 4.1 ตรวจสอบความเรียบร้อยอุปกรณ์และระบบไฟ
2. นำวงจรมาต่อกับคู่สายโทรศัพท์และทำการโทณศัพท์เข้ามาที่คู่สายที่ต่อกับวงจร
3. สังเกตผลการทดลองที่ LED

ผลการทดลอง

เมื่อทำการป้อนสัญญาณกระดิ่งเข้ามา วงจรจะทำหน้าที่ตรวจสอบสัญญาณกระดิ่งและจะส่งเอาท์พุตออกมาจาก 4N26 ซึ่งต่ออยู่กับ LED ซึ่ง LED จะทำงานในลักษณะที่สัญญาณโทรศัพท์ดังและหยุดทำงานเมื่อสัญญาณกระดิ่งนั้นหยุดสลับกันไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2 วงจรตรวจสอบสัญญาณหมุนหมายเลข (DAIL), สัญญาณเรียกกลับ (RBT), สัญญาณไม่ว่าง (BUSY)



รูปที่ 4.2 วงจรตรวจสอบสัญญาณ DAIL, RBT, BUSY

ขั้นตอนการทดลอง

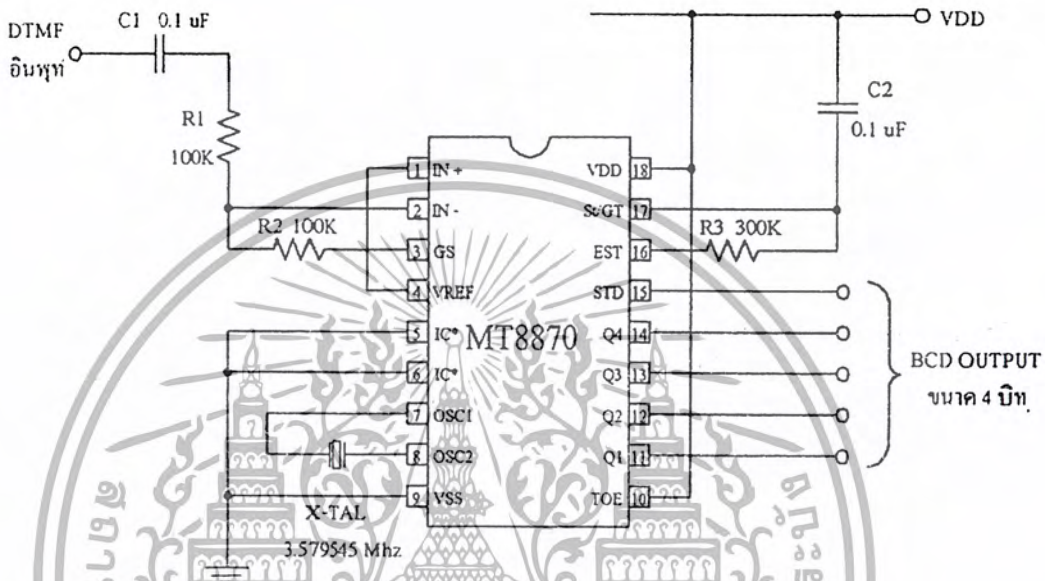
1. ทำการต่อวงจรดังรูปที่ 4.2 ตรวจสอบความเรียบร้อยของอุปกรณ์และระบบไฟ
2. ทำการป้อนสัญญาณสายไม่ว่าง สัญญาณหมุนหมายเลข สัญญาณเรียกกลับ
3. นำโวลต์มิเตอร์วัดระดับสัญญาณที่เอาต์พุตของวงจร (ขา 8 ของ IC LM567)

ผลการทดลอง

INPUT	OUTPUT
สัญญาณสายไม่ว่าง	LED ติดละดับสลับกันครั้งละ ประมาณ 1 วินาที
สัญญาณหมุนหมายเลข	LED ดับเมื่อมีการยกหู โทรศัพท์ ติดเมื่อวางหู โทรศัพท์
สัญญาณเรียกกลับ	LED ติด 1 วินาที ดับประมาณ 3 วินาที

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.3 วงจรถอดรหัสหมายเลข DTMF MT8870



รูปที่ 4.3 วงจรถอดรหัสหมายเลข DTMF MT8870

ขั้นตอนการทดลอง

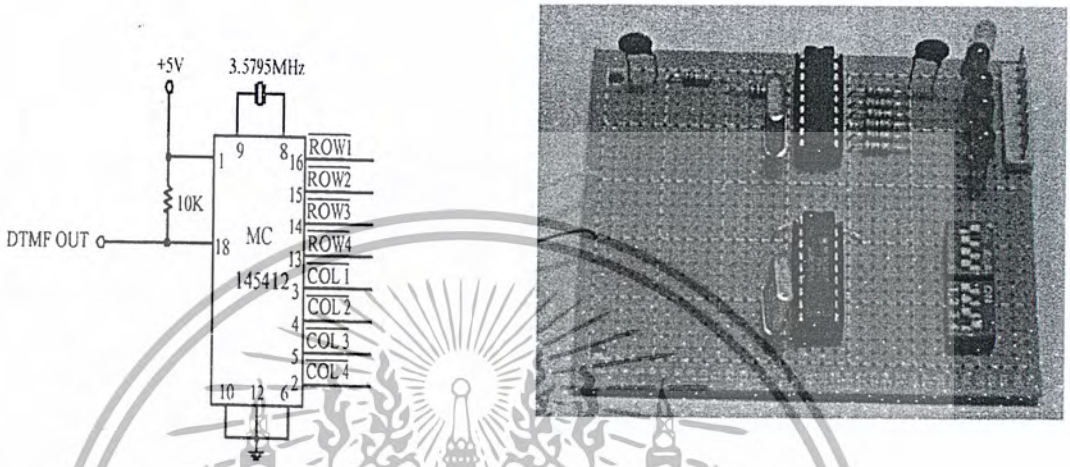
1. ทำการต่อวงจรดังรูปที่ 4.3 ตรวจสอบความเรียบร้อยของอุปกรณ์และระบบไฟ
2. ทำการต่อ LED เข้ากับเอาท์พุตเพื่อสังเกตผลของการถอดรหัสหมายเลขที่ได้จากวงจร
3. ป้อนสัญญาณหมายเลขให้กับวงจร และสังเกตุผลการทดลอง

ผลการทดลอง

หลังจากป้อนสัญญาณหมายเลข DTMF ให้กับวงจรแล้ว ผลของเอาท์พุตที่ได้จากการเปล่งแสงของ LED มีการแสดงผลที่ถูกต้องตามสัญญาณที่ป้อนให้กับวงจร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.4 วงจรกำเนิดรหัสหมายเลข DTMF



รูปที่ 4.4 วงจรกำเนิดสัญญาณหมายเลข DTMF

ขั้นตอนการทดลอง

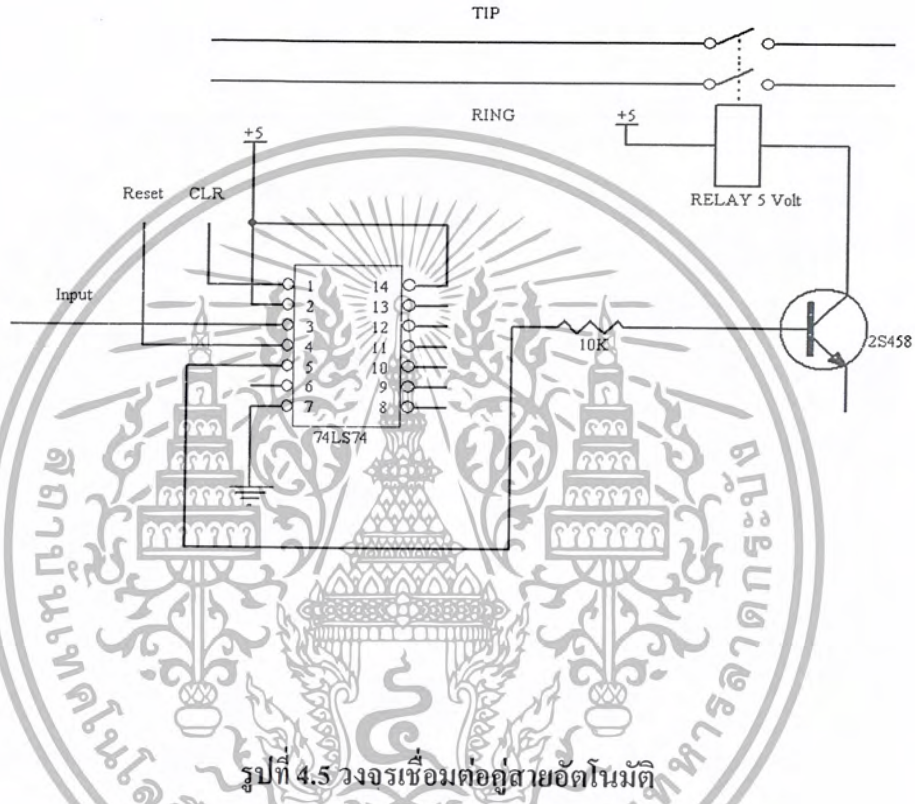
1. ต่อวงจรตามรูปที่ 4.4 ตรวจสอบความเรียบร้อยของอุปกรณ์และระบบไฟ
2. นำเอาท์พุตของวงจรกำเนิดสัญญาณหมายเลขป้อนให้กับวงจรถอดรหัสหมายเลข
3. ดูผลการทดลองที่ได้จากการแสดงผลของ LED ของวงจรถอดรหัสสัญญาณหมายเลข

ผลการทดลอง

หลังจากป้อนสัญญาณหมายเลข DTMF ให้กับวงจรแล้ว ผลของเอาท์พุตที่ได้จากการเปล่งแสงของ LED มีการแสดงผลที่ถูกต้องตามสัญญาณที่ป้อนให้กับวงจร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.5 วงจรเชื่อมต่อคู่สายอัตโนมัติ



รูปที่ 4.5 วงจรเชื่อมต่อคู่สายอัตโนมัติ

ขั้นตอนการทดลอง

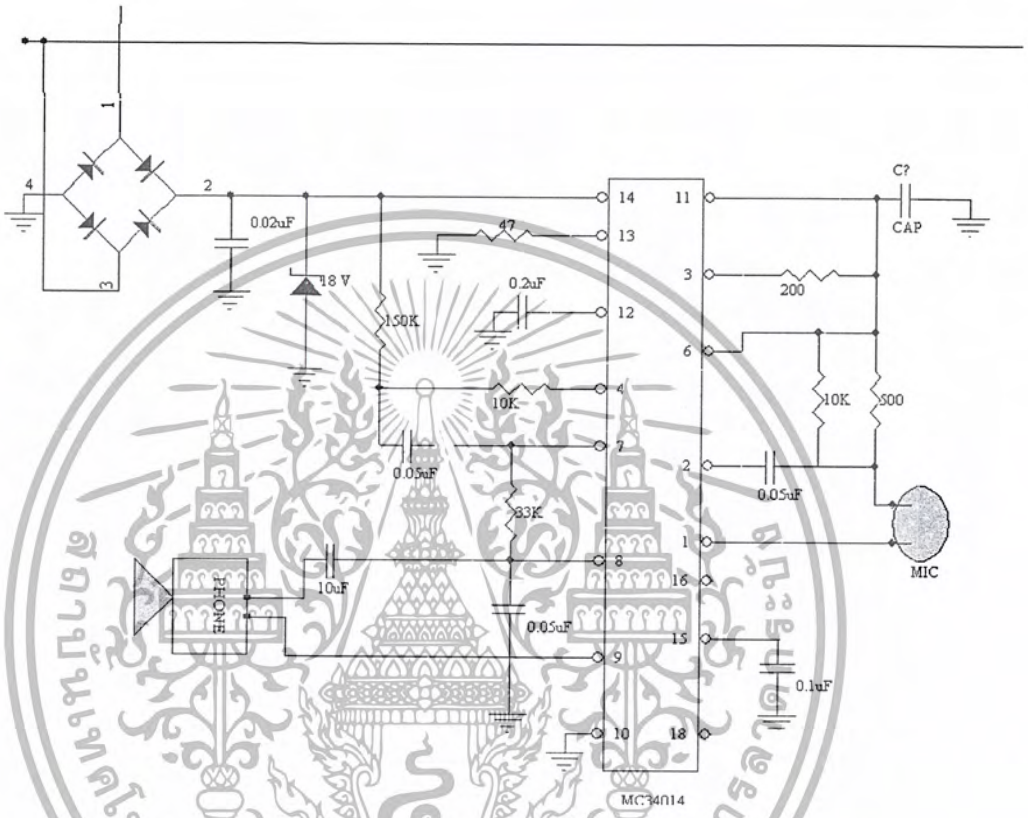
1. ทำการต่อวงจรตามรูปที่ 4.5 ตรวจสอบความเรียบร้อยของอุปกรณ์และระบบไฟ
2. ป้อนสัญญาณคล๊อกให้กับวงจรด้วยไฟ 5 โวลท์ที่ขา 3 ของไอซี 74LS74
3. สังเกตุการทำงานของรีเลย์

ผลการทดลอง

หลังจากป้อนอินพุตให้กับวงจรเชื่อมต่อคู่สายอัตโนมัติแล้ว ปรากฏว่ารีเลย์สามารถทำงานและเชื่อมต่อคู่สายได้อย่างถูกต้อง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.6 วงจรเสียงพูด



รูปที่ 4.6 วงจรเสียงพูด

ขั้นตอนการทดลอง

1. ทำการต่อวงจรตามรูปที่ 4.6 ตรวจสอบความเรียบร้อยของอุปกรณ์และระบบไฟ

2. ทำการต่อพ่วงวงจรเข้ากับโทรศัพท์และทำการโทรศัพท์เข้ามายังหมายเลขที่วงจรต่อพ่วงอยู่ด้วย

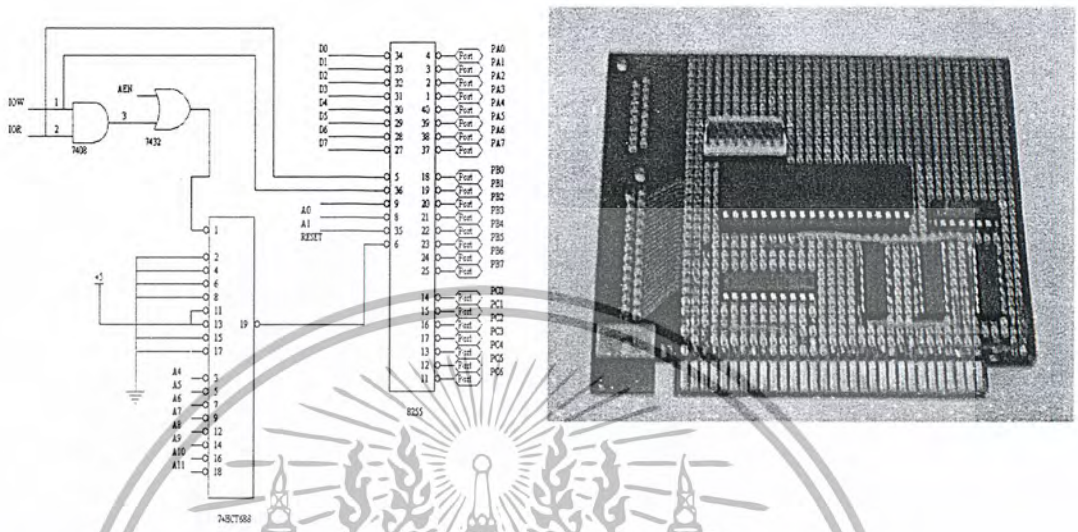
3. ทดลองพูดและฟังเสียงจากวงจรเสียงพูด

ผลการทดลอง

จากการทดลองวงจรเสียงพูดสามารถทำงานได้ดี สามารถพูดและฟังเสียงโดยผ่านวงจรได้อย่างชัดเจน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.7 วงจรการ์ดอินเตอร์เฟส(Interface)



รูปที่ 4.7 วงจรการ์ดอินเตอร์เฟส (Interface)

ขั้นตอนการทดลอง

1. ทำการต่อวงจรตามรูปที่ 4.7 ตรวจสอบความเรียบร้อยของอุปกรณ์และระบบไฟ
2. นำการ์ดที่จัดทำเรียบร้อยแล้ว ไปทำการทดลองกับเครื่องคอมพิวเตอร์ด้วยโปรแกรม Debug ที่มีอยู่ในระบบปฏิบัติการ Window
3. ทำการพิมพ์โปรแกรมดังต่อไปนี้

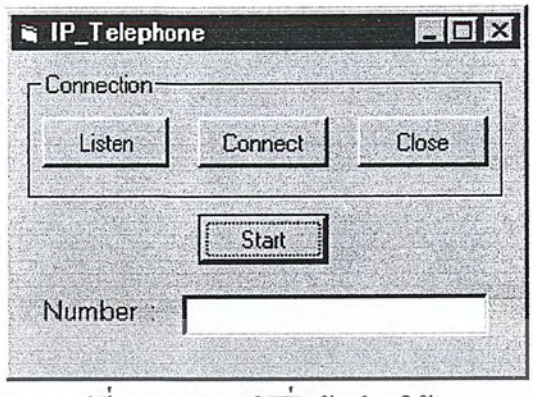
```
I 303 8A        // Control Word //

I 300  FF
O 300           // port A//

I 301  BB
O 301           //port B//

I 302  CC
O 302           //port C//
```

ผลการทดลอง

จากการทดลองนำการ์ด I/O เชื่อมต่อเข้ากับคอมพิวเตอร์และทดสอบด้วยโปรแกรมแล้วให้ผลถูกต้องทุกค่าที่ทำการทดลอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.8 ขั้นตอนการทำงานของโปรแกรม



รูปที่ 4.8 กำหนดค่าเริ่มต้นก่อนใช้งาน

ขั้นตอนการทำงาน

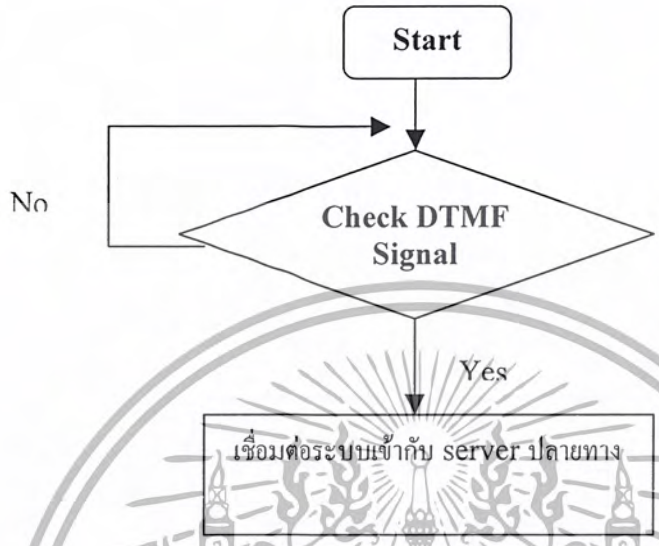
1. เริ่มการทำงานของโปรแกรม ทำการติดต่อระหว่างโปรแกรมโดยที่ ทางฝั่ง Server กดปุ่ม Listen และทางฝั่ง Client กดปุ่ม Connect เพื่อทำการติดต่อ
2. เมื่อ โปรแกรมทำการติดต่อเสร็จสิ้นแล้ว กดปุ่ม Start เพื่อเริ่มการทำงานของโปรแกรม
3. เมื่อต้องการเลิกการทำงานของโปรแกรม กดปุ่ม Close เพื่อปิดโปรแกรม

ผลการทดลอง

โปรแกรมสามารถทำงาน และส่งข้อมูลระหว่าง Server และ Client ได้อย่างถูกต้อง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.9 หลักการทำงานของซอร์ฟแวร์ส่วนตรวจสอบสัญญาณหมายเลขดีทีเอ็มเอฟ



รูปที่ 4.9 ไดอะแกรมหลักการทำงานของซอร์ฟแวร์ส่วนตรวจสอบสัญญาณหมายเลขดีทีเอ็มเอฟ

ขั้นตอนการทดลอง

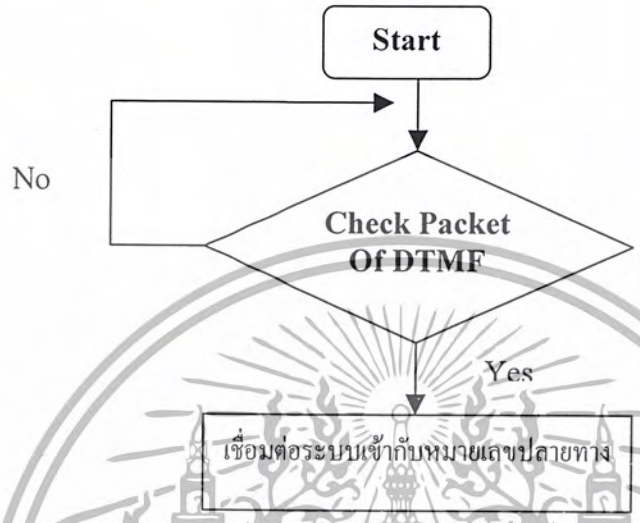
1. เปิดโปรแกรมขึ้นมาและกำหนดค่าเริ่มต้น
2. ทำการโทรศัพท์เข้ามาหมายเลขที่ทำการเชื่อมต่อกับระบบอยู่

ผลการทดลอง

หลังจากโทรศัพท์เข้ามาที่หมายเลขที่ต่ออยู่กับระบบแล้ว ส่วนของโปรแกรมควบคุมการตรวจสอบสัญญาณหมายเลขจะทำการตรวจสอบว่าได้รับสัญญาณหมายเลขครบทั้ง 9 หลักหรือไม่ ถ้าได้รับครบทั้ง 9 หลักแล้ว โปรแกรมก็จะทำการค้นหาเส้นทางการเชื่อมต่อกับ Server ปลายทางที่มีหมายเลขที่ต้องการติดต่อนั้นอยู่ด้วย ผลปรากฏว่าโปรแกรมสามารถทำงานได้อย่างถูกต้อง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.10 หลักการทำงานของซอร์ฟแวร์ส่วนควบคุมการสร้างสัญญาณหมายเลขดีทีเอ็มเอฟ



รูปที่ 4.10 ไดอะแกรมการทำงานของซอร์ฟแวร์ควบคุมการสร้างสัญญาณหมายเลขดีทีเอ็มเอฟ

ขั้นตอนการทดลอง

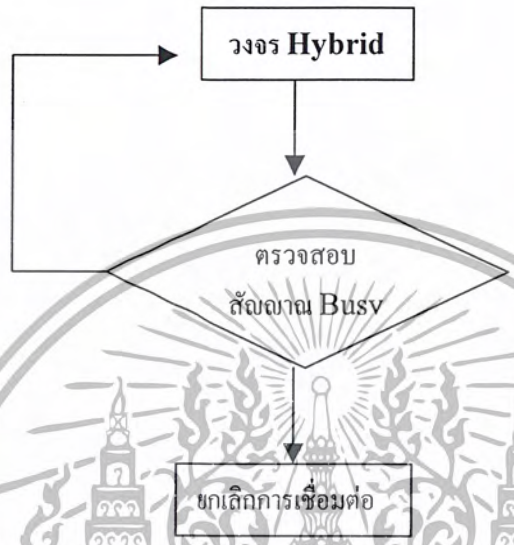
1. ทำการเปิดโปรแกรมเพื่อทำการทดลองและกำหนดค่าเริ่มต้น
2. ส่งแพ็กเกจข้อมูลหมายเลขดีทีเอ็มเอฟให้กับระบบ

ผลการทดลอง

เมื่อทำการทดลองส่วนโปรแกรมควบคุมการสร้างสัญญาณหมายเลขจะทำการตรวจสอบข้อมูลที่ได้รับว่ามีหมายเลขดีทีเอ็มเอฟหมายเลขใด เมื่อตรวจสอบได้ครบแล้ว ก็จะทำการสั่งให้วงจรสร้างสัญญาณหมายเลขทำงานและทำการโทรศัพท์ไปยังหมายเลขนั้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.11 หลักการทำงานซอร์ฟแวร์ส่วนควบคุมการตรวจสอบสถานะ



รูปที่ 4.11 หลักการทำงานซอร์ฟแวร์ส่วนควบคุมการตรวจสอบสถานะ

ขั้นตอนการทดลอง

1. เปิดวงจรและทำการเชื่อมต่อระบบ
2. ทำการวางหูโทรศัพท์ฝั่งใดฝั่งหนึ่งเพื่อยกเลิกการเชื่อมต่อ

ผลการทดลอง

เมื่อมีการยกเลิกการเชื่อมต่อจะเกิดสัญญาณสายไม่ว่างขึ้น โปรแกรมจะทำการตรวจสอบสัญญาณนั้นและจะทำการยกเลิกการเชื่อมต่อระบบนั้น จากผลการทดลองโปรแกรนมสามารถทำการตรวจสอบสถานะได้อย่างถูกต้อง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
สรุปและวิจารณ์

ปริญญานิพนธ์นี้เป็นการออกแบบวงจรและสร้างแอปพลิเคชันในการแก้ปัญหาข้อจำกัดของอินเตอร์เน็ตโฟน โดยได้ทำการสร้างในส่วนที่เชื่อมต่อระหว่างโทรศัพท์พื้นฐาน (PSTN) กับส่วนคอมพิวเตอร์โดยได้พัฒนาเป็นการ์ดเชื่อมต่อทางพอร์ต ISAในเมนบอร์ดของคอมพิวเตอร์ ซึ่งในการ์ดตัวนี้จะประกอบด้วยวงจรย่อยๆดังนี้ วงจรการ์ดไอโอ (I/O) วงจรตรวจจับสัญญาณกระดิ่งวงจร สร้างหมายเลข วงจรถอดรหัสสัญญาณหมายเลข วงจรตรวจสอบสถานะ วงจรเสียงพูด และวงจรเชื่อมต่อคู่สายอัตโนมัติ และในส่วนโปรแกรมควบคุมการทำงานของวงจรต่างๆรวมถึงโปรแกรมในการรับส่งข้อมูลเสียงในการติดต่อสื่อสารระหว่างโทรศัพท์ต้นทางและโทรศัพท์ปลายทาง เมื่อทำการทดสอบระบบโดยรวมทั้งหมดสามารถแก้ไขข้อจำกัดของอินเตอร์เน็ตโฟนได้ตามเป้าหมาย

ปัญหาที่เกิดขึ้นคือ ในการออกแบบและการสร้างวงจรเป็นไปอย่างล่าช้าเพราะวงจรที่ออกแบบในช่วงแรกทำงานยังไม่มีประสิทธิภาพ จึงต้องทำการแก้ไขและปรับปรุงหลายครั้ง โดยได้สร้างวงจรที่สามารถทำงานได้อย่างมีประสิทธิภาพและเพื่อให้การเขียนโปรแกรมในการควบคุมเป็นไปได้ง่ายที่สุด ดังนั้นจึงต้องทำการศึกษาทางด้านฮาร์ดแวร์ให้เข้าใจมากยิ่งขึ้น และปัญหาที่พบต่อมาก็คือ สล๊อตการเชื่อมต่อแบบ ISA จะใช้กับคอมพิวเตอร์รุ่นเก่าๆเท่านั้น ซึ่งได้ทำการแก้ไขโดยการจัดหาเมนบอร์ดที่มีสล๊อตการเชื่อมต่อแบบ ISA มาทำการสร้างระบบจนสำเร็จ

ปัญหาที่กล่าวมาทั้งหมดนี้ทางผู้จัดทำจะนำไปเป็นประสบการณ์และเป็นแนวทางในการพัฒนาความรู้ต่อไปในภายภาคหน้า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บรรณานุกรม

ธาริน สิทธิธรรมชารี. คู่มือการเขียนโปรแกรม Microsoft Visual Basic Version 6.0. บริษัท ซัคเซส มีเดีย จำกัด. 2544

ธาริน สิทธิธรรมชารี , สุรสิทธิ์ คิวประสพศักดิ์. คู่มือการเขียนโปรแกรม Advanced Visual Basic Version 6.0 บริษัท ซัคเซส มีเดีย จำกัด

บัณฑิต จามรภูติ. คู่มือการใช้งาน Protel99 สำนักพิมพ์ บัณฑิต 2544

ชัยวัฒน์ ลิ้มพรจิตวิไล. คู่มือนักอิเล็กทรอนิกส์. บริษัท ซีเอ็ดยูเคชั่น จำกัด(มหาชน) 2538

Website

www.google.com
www.thaiio.com
www.pci8255.com
www.elethai.com
www.jeggius.tarad.com

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

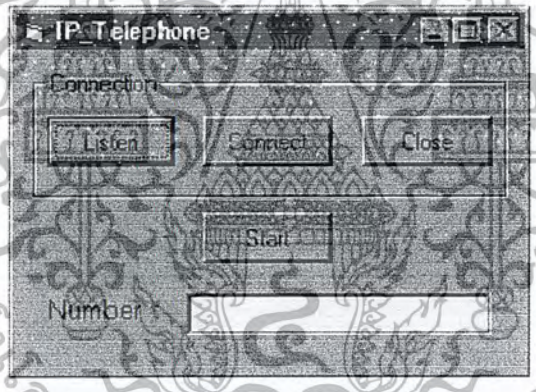
ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

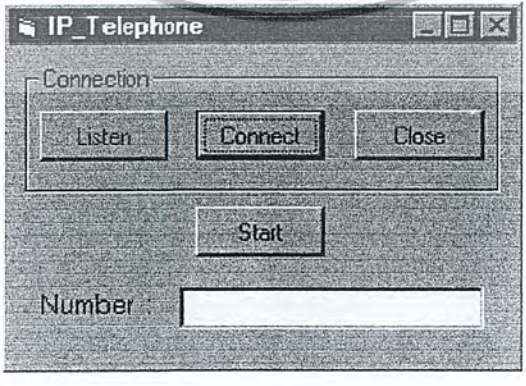
การใช้งานโปรแกรม IP_Telephone

1. การทำงานจะแบ่งเป็น 2 ฝั่งคือ Server และ Client โดยที่เมื่อเปิดโปรแกรม IP_Telephone ขึ้นมาจะมีหน้าจอดังรูป

2. ทางฝั่ง Server ให้กดปุ่ม Listen เพื่อรอการติดต่อจากทางฝั่ง Client

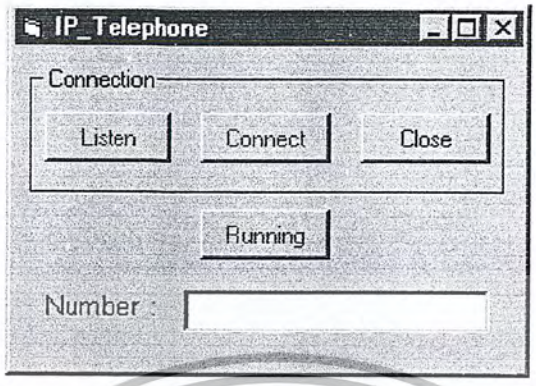


3. ส่วนทางฝั่ง Client ให้กดปุ่ม Connect เพื่อทำการติดต่อกับทาง Server



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4. เมื่อทำการเชื่อมต่อทั้งสองฝั่งเรียบร้อยแล้ว ให้ทั้ง Server และ Client กดปุ่ม Start เพื่อเริ่มการทำงานของโปรแกรม



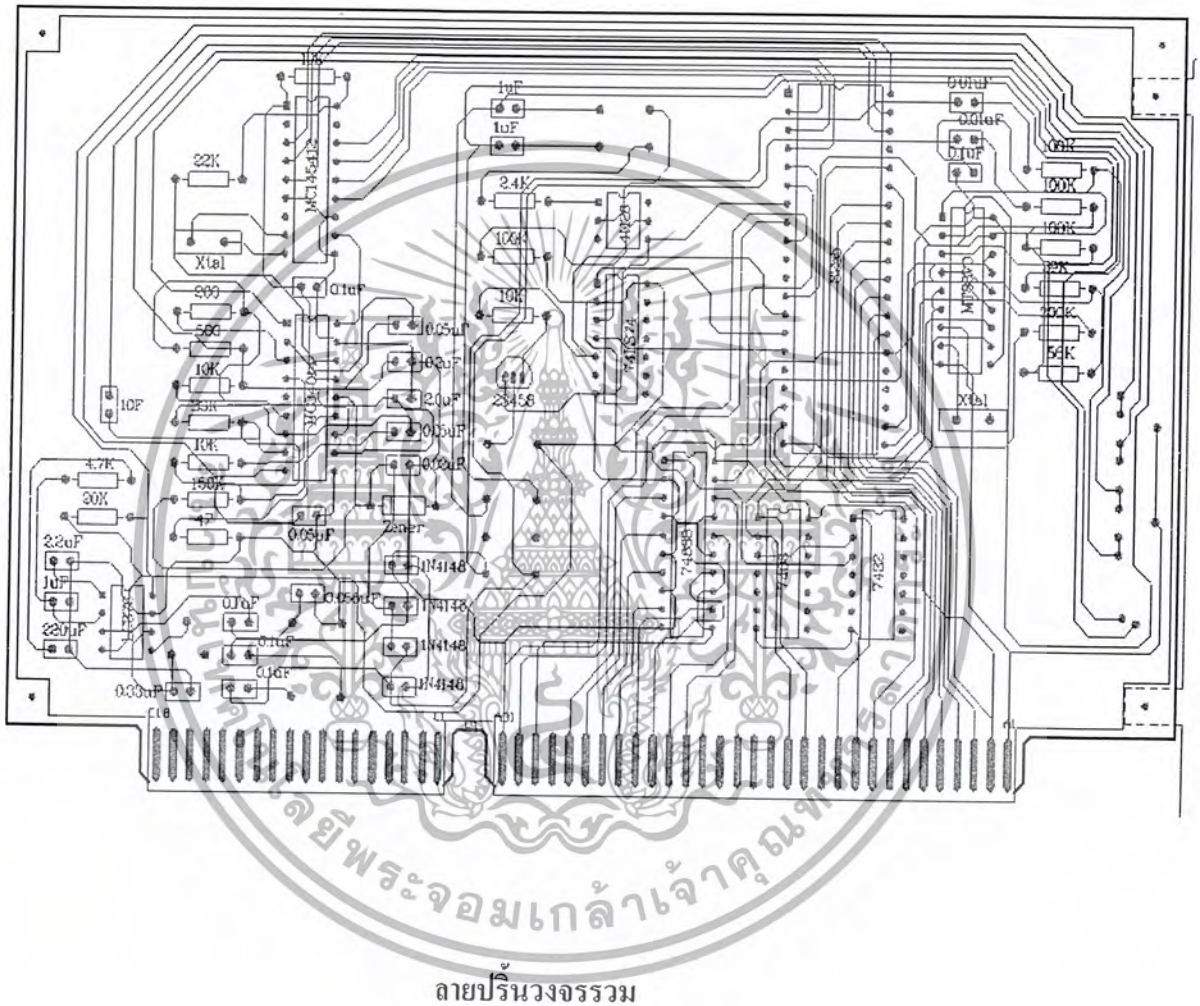
5. เมื่อมีการโทรติดต่อเข้ามายัง Server หมายเลขปลายทางที่ผู้ใช้ต้องการติดต่อ จะแสดงในช่อง Number

6. ในระหว่างการสนทนา โปรแกรมจะทำการตรวจสอบการวางหู เมื่อตรวจพบ จะทำการวางหู ทั้งฝั่ง Server และ Client และกลับไปยังสถานะเริ่มต้น เพื่อรอการติดต่อครั้งต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การออกแบบลายปริ้นวงจรรวม

เมื่อออกแบบวงจรรวมเรียบร้อยแล้ว ก็จะนำวงจรรวมนั้นมาทำการออกแบบลายปริ้นบนการ์ด ISA ดังรูปที่ด้านล่างนี้



ลายปริ้นวงจรรวม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PIN DESCRIPTION (See Figure 1)

Pin # SOIC	Pin # DIP	Name	Description
1	1	MIC	Microphone negative supply. Bias current from the electret microphone is returned to V− through this pin, through an open collector NPN transistor whose base is controlled by an internal mute signal. During dialing, the transistor is off, disabling the microphone.
2	2	TXI	Transmit amplifier input. Input impedance is 10 kΩ. Signals from the microphone are input through capacitor C5 to TXI.
3	3	TXO	Transmit amplifier output. The ac signal current from this output flows through the V_R series pass transistor via R9 to drive the line at V+. Increasing R9 will decrease the signal at V+. The output is biased at ~0.65 V to allow for maximum swing of ac signals. The closed loop gain from TXI to TXO is internally set at 26 dB.
4	4	STA	Sidetone amplifier output. Input to this amplifier is TXO. The signal at STA cancels the sidetone signals in the receive amplifier. The signal level at STA increases with loop length.
5	5	CC	Compensation Capacitor. A capacitor from CC to ground will compensate the loop length equalization circuit when additional stability is required. In most applications, CC remains open.
7	6	EQ	Equalization amplifier output. A portion of the V+ signal is present on this pin to provide negative feedback around the transmit amplifier. The feedback decreases with increasing loop length, causing the ac impedance of the circuit to increase.
8	7	RXI	Receive amplifier input. Input impedance is >100 kΩ. Signals from the line and sidetone amplifier are summed at RXI.
9	8	RXO	Receive Amplifier output. RXO is biased by a 2.5 mA current source. Feedback maintains the dc bias voltage at ~0.65 V. Increasing R4 (between RXO and RXI) will increase the receive gain. C4 stabilizes the amplifier. C3 couples the signals to the receiver. The 2.5 mA current source is reduced to 0.4 mA when dialing.
10	9	RMT	Receiver Mute. The ac receiver current is returned to V− through an open collector NPN transistor and a parallel 10 kΩ resistor. The base of the NPN is controlled by an internal mute signal. During dialing the transistor is off, leaving the 10 kΩ resistor in series with the receiver.
11	10	V−	Negative supply. The most negative input connected to Tip and Ring through the polarity guard diode bridge.
12	11	VR	Regulated voltage output. The VR voltage is regulated at 1.2 V and biases the microphone and the speech circuits. An internal series pass PNP transistor allows for regulation with a line voltage as low as 1.5 V. Capacitor C8 stabilizes the regulator.
13	12	LC	DC load capacitor. An external capacitor C7 and an internal resistor form a low pass filter between V+ and LR to prevent ac signals from being loaded by the dc load resistor R5. Forcing LC to V− will turn off the dc load current and increase the V+ voltage.
14	13	LR	DC load resistor. Resistor R5 from LR to V− determines the dc resistance of the telephone, and removes power dissipation from the chip. The LR pin is biased 2.8 volts below the V+ voltage (4.5 volts in the tone dialing mode).
16	14	V+	Positive supply. V+ is the positive line voltage (from Tip & Ring) through the polarity guard bridge. All sections of the MC34014 are powered by V+.
17	15	V_{DD}	V_{DD} regulator. V_{DD} is the output of a shunt type regulator with a nominal voltage of 3.3 V. The nominal output current is increased from 550 μA to 2 mA when dialing. Capacitor C9 stabilizes the regulator and sustains the V_{DD} voltage during pulse dialing.
18	16	TI	Tone input. The DTMF signal from a dialer circuit is input at TI through an external resistor R7. The current at TI is amplified to drive the line at V+. Increasing R7 will reduce the DTMF output levels. The input impedance at TI is nominally 1.25 kΩ.
19	17	MS	Mode select. This pin is connected through an internal 600 kΩ resistor to the base of an NPN transistor. A Logic "1" (>2.0 V) selects the pulse dialing mode. A Logic "0" (<0.3 V) selects the tone dialing mode.
20	8	$\overline{MT}$	Mute input. $\overline{MT}$ is connected through an internal 100 kΩ resistor to the base of a PNP transistor, with the emitter at V_{DD}. A Logic "0" (<1.0 V) will mute the network for either pulse or tone dialing. A Logic "1" (>V_{DD} − 0.3 V) puts the MC34014 into the speech mode.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC34014

Specifications and Applications Information

TELEPHONE SPEECH NETWORK WITH DIALER INTERFACE

TELEPHONE SPEECH NETWORK WITH DIALER INTERFACE

SILICON MONOLITHIC INTEGRATED CIRCUIT

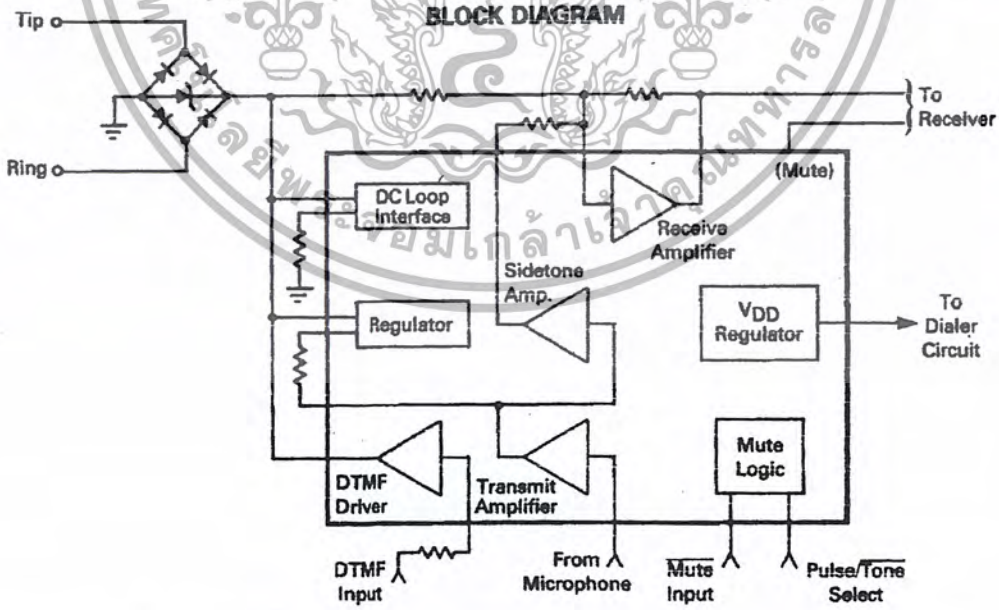
The MC34014 is a Telephone Speech Network integrated circuit which incorporates adjustable transmit, receive, and sidetone functions, a dc loop interface circuit, tone dialer interface, and a regulated output voltage for a pulse/tone dialer. Also included is an equalization circuit which compensates gains for line length variations. The conversion from 2-to-4 wire is accomplished with a supply voltage as low as 1.5 volts. The MC34014 is packaged in a standard 18-pin (0.3" wide) plastic DIP and a 20-pin SOIC package.

- Transmit, Receive, and Sidetone Gains Set by External Resistors
- Loop Length Equalization for Transmit, Receive, and Sidetone Functions
- Operates Down to 1.5 volts (V+) in Speech Mode
- Provides Regulated Voltage for CMOS Dialer
- Speech Amplifiers Muted During Pulse and Tone Dialing
- DTMF Output Level Adjustable with a Single Resistor
- Compatible with 2-Terminal Electret Microphones
- Compatible with Receiver Impedances of 150 Ω and Higher

P SUFFIX
PLASTIC PACKAGE
CASE 707

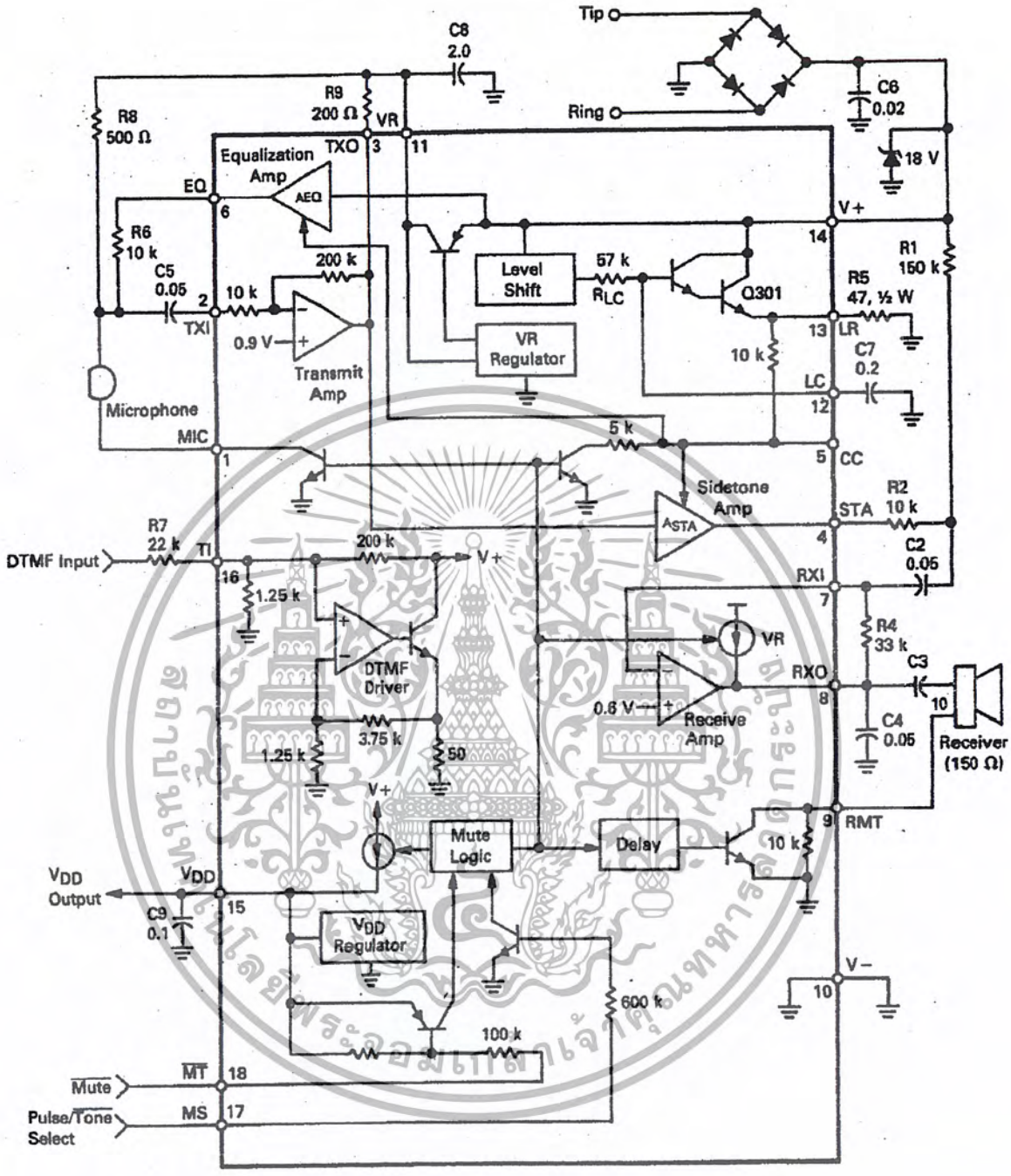
DW SUFFIX
PLASTIC PACKAGE
CASE 751D
SO-20L

BLOCK DIAGRAM



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FIGURE 1 — TEST CIRCUIT



NOTE: Pin numbers are for 18 pin DIP.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ABSOLUTE MAXIMUM RATINGS (Voltages referred to V−, T_A = 25°C) (See Note 1.)

Parameter	Value	Units
V+ Voltage	−1.0, +18	Vdc
V_{DD} (externally applied, V+ = 0)	−1.0, +6	Vdc
V_{LR}	−1.0, V+ − 3.0	Vdc
MT, MS Inputs	−1.0, V_{DD} +1.0	Vdc
Storage Temperature	−65, +150	°C

NOTE 1: Devices should not be operated at these values. The "Recommended Operating Conditions" provide conditions for actual device operation.

RECOMMENDED OPERATING CONDITIONS

Parameter	Value	Units
V+ Voltage (Speech Mode) (Tone Dialing Mode)	+1.5 to +15 +3.3 to +15	Vdc Vdc
I_{TXO} (Instantaneous)	0 to 10	mA
Ambient Temperature	−20 to +60	°C

ELECTRICAL CHARACTERISTICS (Refer to Figure 1) (T_A = 25°C)

Parameter	Symbol	Min	Typ	Max	Units
LINE INTERFACE					
V+ Voltage	V+				Vdc
I_{loop} = 20 mA (Speech/Pulse Mode)		2.6	3.2	3.8	
I_{loop} = 30 mA (Speech/Pulse Mode)		3.0	3.7	4.4	
I_{loop} = 120 mA (Speech/Pulse Mode)		7.0	8.2	9.5	
I_{loop} = 20 mA (Tone Mode)		4.1	4.9	5.7	
I_{loop} = 30 mA (Tone Mode)		4.6	5.4	6.2	
V+ Current (Pin 12 Grounded)	I+				mA
V+ = 1.7 V (Speech Mode)		4.0	6.6	8.5	
V+ = 12 V (Speech/Pulse Mode)		5.5	8.4	12.5	
V+ = 12 V (Tone Mode)		6.0	8.8	14.0	
LR Level Shift (V+ − V_{LR})	ΔV_{LR}				Vdc
(Speech/Pulse Mode)		—	2.7	—	
(Tone Mode)		—	4.3	—	
LC Terminal Resistance	R_{LC}	36	57	94	kΩ
VOLTAGE REGULATORS					
VR Voltage (V+ = 1.7 V)	V_R	1.1	1.2	1.3	Vdc
Load Regulation (0 mA < I_R < 6.0 mA)	ΔV_{RLD}	—	20	—	mV
Line Regulation (2.0 V < V+ < 6.5 V)	ΔV_{RLN}	—	25	—	mV
V_{DD} Voltage (V+ = 4.5 V)	V_{DD}	3.0	3.3	3.8	Vdc
Load Regulation (0 < I_{DD} < 1.6 mA) (Dialing Mode)	ΔV_{DDLD}	—	0.25	—	Vdc
Line Regulation (All Modes) (4.0 V < V+ < 9.0 V)	ΔV_{DDLN}	—	50	—	mV
Max. Output Current (Speech Mode)	I_{DDSP}	375	550	1000	µA
Max. Output Current (Dialing Mode)	I_{DDDL}	1.6	2.0	3.6	mA
V_{DD} Leakage Current (V+ = 0, V_{DD} = 3.0 V)	I_{DDLK}	—	—	1.5	µA
SPEECH AMPLIFIERS					
Transmit Amplifier					
Gain (TXI to TXO)	A_{TXO}	—	20	—	V/V
TXO Bias Voltage (Speech/Pulse Mode)	V_{TXOSP}	0.45	0.52	0.60	x V_R
TXO Bias Voltage (Tone Mode Mode)	V_{TXODL}	VR − 25	VR − 5.0	—	mV
TXO High Voltage (Speech/Pulse Mode)	V_{TXOH}	VR − 25	VR − 5.0	—	mV
TXO Low Voltage (Speech/Pulse Mode)	V_{TXOL}	—	125	250	mV
TXI Input Resistance	R_{TXI}	—	10	—	kΩ
Receive Amplifier					
RXO Bias Voltage (All Modes)	V_{RXO}	0.45	0.52	0.60	x VR
RXO Source Current (Speech Mode)	I_{RXOSP}	1.5	2.0	—	mA
RXO Source Current (Pulse/Tone Mode)	I_{RXODL}	200	400	—	µA
RXO High Voltage (All Modes)	V_{RXOH}	VR − 100	VR − 50	—	mV
RXO Low Voltage (All Modes)	V_{RXOL}	—	50	150	mV

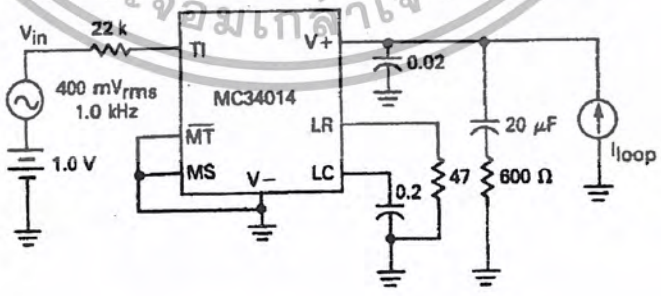
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS — (continued) (T_A = 25°C)

Parameter	Symbol	Min	Typ	Max	Units
MICROPHONE, RECEIVER CONTROLS					
MIC Saturation Voltage (Speech Mode, I = 500 μA)	$V_{OL_{MIC}}$	—	50	125	mV
MIC Leakage Current (Dialing Mode, Pin 1 = 3.0 V)	$I_{MIC_{LK}}$	—	0	5.0	μA
RMT Resistance (Speech Mode) (Dialing Mode)	$R_{RMT_{SP}}$ $R_{RMT_{DL}}$	— 5.0	8.0 10	15 18	Ω kΩ
RMT Delay (Dialing to Speech)	t_{RMT}	2.0	4.0	20	ms
DIALING INTERFACE					
$\overline{MT}$ Input Resistance	R_{MT}	58	100	—	kΩ
$\overline{MT}$ Input High Voltage	V_{IHMT}	$V_{DD}-0.3$	—	—	Vdc
$\overline{MT}$ Input Low Voltage	V_{ILMT}	—	—	1.0	Vdc
MS Input Resistance	R_{MS}	280	600	—	kΩ
MS Input High Voltage	V_{IHMS}	2.0	—	—	Vdc
MS Input Low Voltage	V_{ILMS}	—	—	0.3	Vdc
TI Input Resistance	R_{TI}	—	1.25	—	kΩ
DTMF Gain (See Figure 2) (V+/V_{in})	A_{DTMF}	3.2	4.8	6.2	dB
SIDETONE AMPLIFIER					
Gain (TXO to STA) (Speech Mode) @ V_{LR} = 0.5 V (Speech Mode) @ V_{LR} = 2.5 V (Pulse Mode) @ V_{LR} = 0.2 V (Pulse Mode) @ V_{LR} = 1.0 V	A_{STA}	— — — —	— −15 −21 −15 −21	— — — —	dB
STA Bias Voltage (All Modes)	V_{STA}	0.65	0.8	0.9	x V_R
EQUALIZATION AMPLIFIER					
Gain (V+ to EQ) (Speech Mode) @ V_{LR} = 0.5 V (Speech Mode) @ V_{LR} = 2.5 V (Pulse Mode) @ V_{LR} = 0.2 V (Pulse Mode) @ V_{LR} = 1.0 V	A_{EQ}	— — — —	— −12 −2.5 −12 −2.5	— — — —	dB
EQ Bias Voltage (Speech Mode) @ V_{LR} = 0.5 V (Pulse Mode) @ V_{LR} = 0.5 V (Speech, Pulse) @ V_{LR} = 2.5 V	V_{EQ}	— — —	— 0.66 1.3 3.3	— — —	Vdc

NOTE: Typical values are not tested or guaranteed.

FIGURE 2 — DTMF DRIVER TEST



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SYSTEM SPECIFICATIONS (T_A = 25°C) (See Figures 1–4)

Parameter	Min	Typ	Max	Unit
Tip-Ring Voltage (including polarity guard bridge drop of 1.4 V)				Vdc
(Speech Mode) I_{loop} = 5.0 mA	—	2.4	—	
I_{loop} = 10 mA	—	3.9	—	
I_{loop} = 20 mA	—	4.6	—	
I_{loop} = 40 mA	—	5.6	—	
I_{loop} = 60 mA	—	6.6	—	
Transmit				
Gain from V_S to V+ (Figure 3) (I_{loop} = 20 mA)	28	30	31	dB
Gain change as I_{loop} is increased to 60 mA	−6.0	−4.5	−3.6	dB
Distortion	—	2.0	—	%
Output noise	—	11	—	dBrnc
Receive				
V_{RXO}/V_S (f = 1.0 kHz, I_{loop} = 20 mA) (See Figure 4)	−18	−15	−13	dB
Receive gain change as I_{loop} is increased to 60 mA	−5.0	−3.0	−2.0	dB
Distortion	—	2.0	—	%
Sidetone Level				dB
$V_{RXO}/V+$ (Figure 3)				
I_{loop} = 20 mA	—	−36	—	
I_{loop} = 60 mA	—	−21	—	
Sidetone Cancellation $\left[\frac{V_{RXO}}{V+}\text{ (Figure 4)}\right]_{dB} - \left[\frac{V_{RXO}}{V+}\text{ (Figure 3)}\right]_{dB}$ I_{loop} = 20 mA	20	26	—	dB
DTMF Driver				
$V+/V_{in}$ (Figure 2) I_{loop} = 20 mA	3.2	4.8	6.2	dB
AC Impedance				Ω
Speech mode (incl. C_6, See Figure 4) I_{loop} = 20 mA	—	750	—	
$Z_{ac} = (600)V+/(V_S - V+)$ I_{loop} = 60 mA	—	300	—	
Tone mode (including C_6) 20 mA < I_{loop} < 60 mA	—	1650	—	

NOTE: Typicals are not tested or guaranteed.

FIGURE 3 — TRANSMIT AND SIDETONE LEVEL TEST

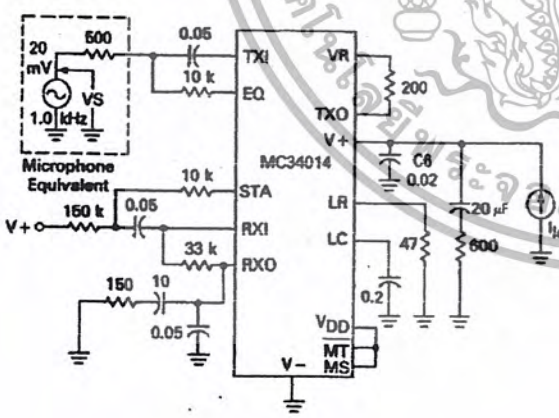
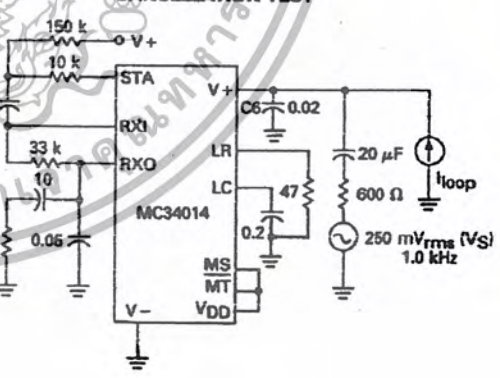


FIGURE 4 — AC IMPEDANCE, RECEIVE AND SIDETONE CANCELLATION TEST



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DESIGN GUIDELINES (Refer to Figure 1)

INTRODUCTION

The MC34014 is a speech network meant for connection to the Tip & Ring lines through a polarity guard bridge. The circuit incorporates four amplifiers: transmit, receive, sidetone, and equalization. Some parameters of each amplifier are set by external components, and in addition, the gains of the sidetone and equalization amplifiers vary with loop current.

The line interface portion determines the dc voltage versus loop current characteristics, and provides the required regulated voltages for internal and external use.

The dialer interface provides three modes of operation: speech (non-dialing), pulse dialing, and tone (DTMF) dialing. When switching to either dialing mode some parameters of the various sections are changed in order to optimize the circuit operation for that mode. The following table summarizes those changes:

TABLE 1 — OPERATING PARAMETERS AS A FUNCTION OF OPERATING MODE

Function	Speech	Pulse	Tone
LR Level Shift ($V+ - V_{LR}$)	2.7 V	2.7 V	4.3 V
V_{DD} Source Current	550 μA	2.0 mA	2.0 mA
Transmit Amplifier	Functional	Functional	Inoperative
MIC Switch (Pin 1)	On	Off	Off
Equalization Amplifier	See Transfer Curves — Figure 8		
Sidetone Amplifier	See Transfer Curves — Figure 6		
Receive Amplifier Output Current	2.5 mA	400 μA	400 μA
RMT (Pin 9) Impedance	8.0 Ω	10 kΩ	10 kΩ
DTMF Amplifier	Inoperative	Inoperative	Functional
CC Voltage	$V_{LR}/3$	V_{LR}	V_{LR}

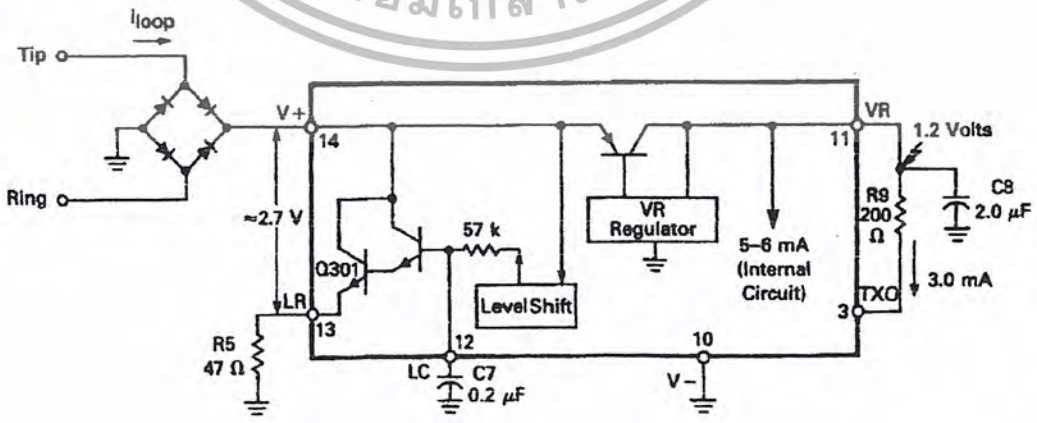
DC LINE INTERFACE (Figure 5)

The dc line interface circuit (Pins 10, 12–14) sets the dc voltage characteristics with respect to the loop current. The loop current enters at Pin 14 where the internal circuitry of the MC34014 draws 5–6 mA. Pin 3 sinks (typically) 3 mA through R_9. The remainder of the loop current is passed through Q_{301} and R_5. The resulting voltage across the entire circuit is therefore equal to the voltage across R_5, plus the level shift voltage from Pin 13 (LR) to Pin 14 (V+), nominally 2.7 volts in the speech and pulse modes. In the tone mode, the level shift increases to 4.3 volts, the internal current changes slightly (Figure 6), and the current required at Pin 3 decreases to near zero. These changes increase the equivalent dc resistance of the circuit, raising the voltage at V+ to ensure adequate voltage at V_{DD} for the external tone dialer. See Figure 7 for typical voltage versus loop current characteristics.

Capacitor C_7 at Pin 12 provides high frequency rolloff (above 10 Hz) so that R_5 does not load down the speech and DTMF signals.

The voltage at V_R is an internally regulated 1.2 volt supply which provides the bias currents for the microphone and the transmit amplifier output (Pin 3), as well as internal bias for the various amplifiers. Capacitor C_8 stabilizes the regulator. The use of an (internal) PNP transistor allows V_R to be regulated with a V+ voltage as low as 1.5 volts.

FIGURE 5 — DC LINE INTERFACE



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FIGURE 6 — INTERNAL CURRENT versus VOLTAGE

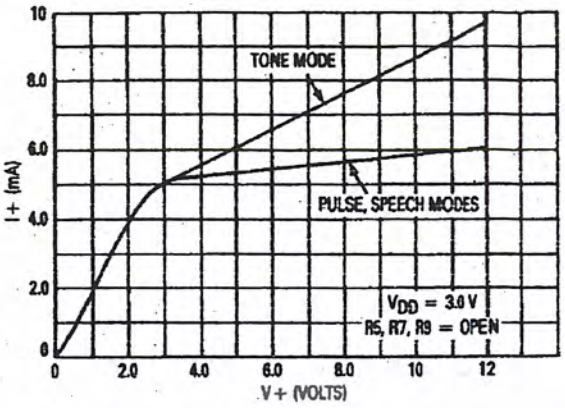
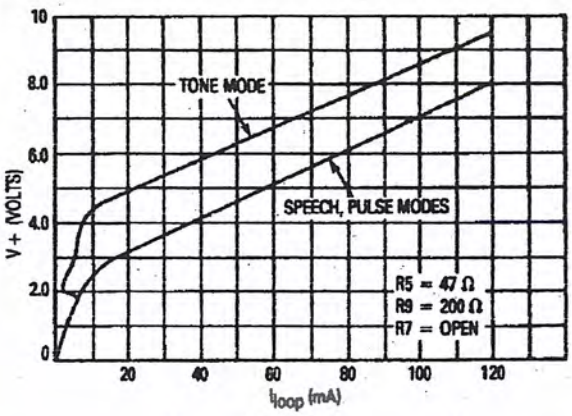


FIGURE 7 — CIRCUIT VOLTAGE versus LOOP CURRENT



TRANSMIT AMPLIFIER

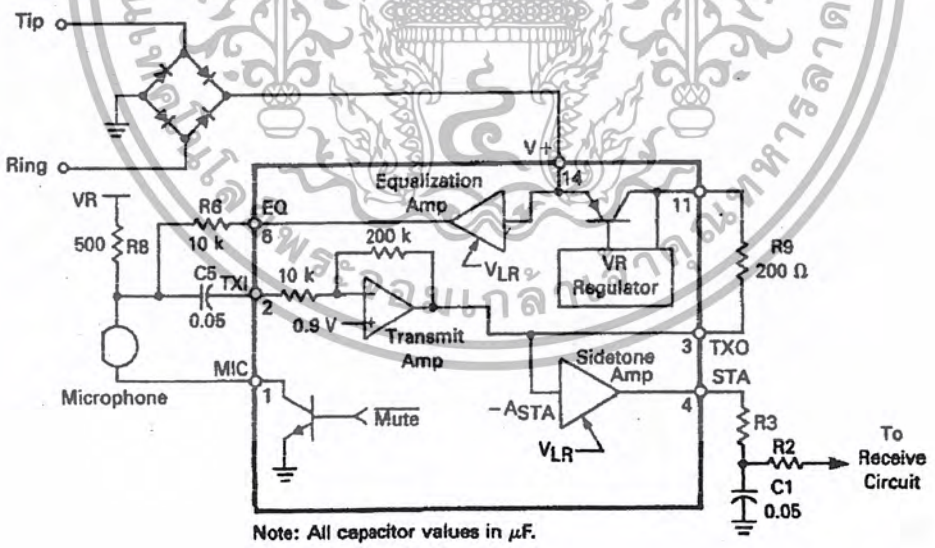
The transmit amplifier (from TXI to TXO) is inverting, with a fixed internal gain of 20 V/V (26 dB), and a typical input impedance of 10 kΩ (Figure 8). The input bias currents are internally supplied, allowing capacitive coupling of the microphone signals to the amplifier.

In the speech and pulse modes, the dc bias level at TXO is typically 0.52 x VR (≈0.63 V), which permits the output to swing 0.55 volts in both positive and negative directions without clipping. The ac voltage signal at TXO (the amplified speech signal) is converted to an ac current by Rg. The ac current passes through the VR series pass transistor to V+, modulating the loop current. The voltage signal at V+ is out of phase with the signal at TXI.

In the tone dialing mode, the TXO dc bias level is clamped at approximately VR-10 mV, rendering the amplifier inoperative. This action also reduces the TXO bias current from 3.0 mA to less than 125 μA.

MIC (Pin 1) is connected to an open-collector NPN transistor, and provides the ground path for the microphone bias current. In either dialing mode, the transistor is off, disabling the microphone.

FIGURE 8 — TRANSMIT SECTION



Note: All capacitor values in μF.

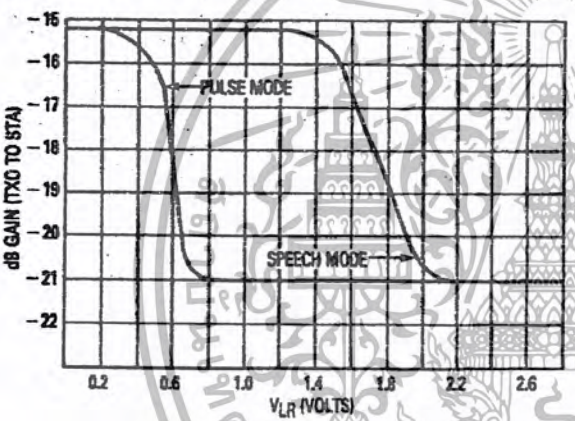
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SIDETONE AMPLIFIER

The sidetone amplifier provides inversion of the TXO signal for the reduction of the sidetone signal at the receive amplifier (Figure 8). Resistors R_2 and R_3 determine the amount of sidetone cancellation. Capacitor C_1 provides phase shift to compensate for the phase shift created by the complex impedance of the Tip & Ring lines.

The gain of the sidetone amplifier varies with the voltage at LR (Pin 13), in effect making it a function of the loop current. The maximum gain is −15 dB (0.17 V/V) at low loop currents, and the minimum gain is −21 dB (0.09 V/V) at high loop current (see Figure 9 for transfer curves). For example, using 47 Ω for R_5, the gain would begin to decrease at ≈30 mA, and would stop decreasing at ≈57 mA (speech mode). The dc bias voltage at STA (Pin 4) changes slightly (≈50 mV) with variations in loop current. The output is inverted from TXO, which is the input to this amplifier. Since the transmit amplifier is inoperative in the tone dialing mode, the sidetone amplifier is also inoperative in that mode.

FIGURE 9 — SIDETONE AMPLIFIER GAIN



RECEIVE AMPLIFIER

The gain of the receive amplifier (from V+ to RXO) is determined according to the following equation (refer to Figure 10):

$$\frac{V_{RXO}}{V+} = \frac{R_4}{R_1} + \frac{(X_C//R_2)\,(A_{EQ})\,(A_{TXO})\,(A_{STA}) \times R_A \times R_4}{((X_C//R_2)+R_3)\,(R_A+R_6) \times R_2}$$

Where $R_A = R_6//10\ k\Omega$ (10 kΩ = R_{in} of T_X Amp)
A_{EQ} = Gain of Equalization Amp
A_{TXO} = Gain of Transmit Amp (20 V/V)
A_{STA} = Gain of sidetone Amp
X_C = Impedance of C_1 at frequency of interest

The waveform at STA (Pin 4) is in phase with that at V+ (for receive signals), hence the plus sign between the terms. Due to the variations of A_{EQ} and A_{STA} with loop current, the receive gain will vary by ≈1.5 dB. If capacitor C_1 is not used, the above equation is simplified by deleting the terms containing X_C.

The output at RXO is inverted from V+ in the receive mode. In the transmit mode, the V+-to-RXO phase relationship depends on the amount of sidetone cancellation (determined by R_2 and R_3 and C_1), and can vary from 0° to 180°.

In the speech mode, the output current capability (at RXO) is typically 2.0 mA. In either dialing mode, the current capability is reduced to 400 μA in order to reduce internal current consumption. This feature is beneficial when this device is used in conjunction with a line-powered speakerphone circuit, such as the MC34018, where the majority of the loop current is needed for the speakerphone.

RMT (Pin 9) is the return path for the receiver's ac current. This pin is internally connected to an open collector NPN transistor, paralleled by a 10 kΩ resistor. In the speech mode, the transistor is on, providing a low impedance from RMT to ground. In either dialing mode, the transistor is off, muting the receive signal. This prevents loud "clicks" or loud DTMF tones from being heard in the receiver during dialing. When switching from either dialing mode to the speech mode ($\overline{MT}$ switches from low to high), the RMT pin switches back to a low impedance after a delay of 2–20 ms. The delay reduces clicks in the receiver associated with switching from the dialing to speech mode.

EQUALIZATION AMPLIFIER

The equalization amplifier gain varies with loop current, and is configured in the circuit so as to cause a variation of the network ac impedance (when looking in from the Tip & Ring lines). The gain varies with the voltage at LR (Pin 13), in effect making it a function of the loop current. The maximum gain is −2.5 dB (0.75 V/V) at high loop current, and the minimum gain is −12 dB (0.25 V/V) and low loop current (see Figure 11 for transfer curve). For example, using 47 Ω for R_5, the gain would begin to increase at ≈30 mA, and would stop increasing at ≈57 mA (speech mode). The output signal is in phase with the signal at V+, which is the input to this amplifier.

The dc bias level at EQ (Pin 6) varies with the voltage at LR (Pin 13) according to the curve of Figure 12. In most applications, this level shift is of little consequence, and may be ignored. If a particular circuit configuration should be sensitive to the shift, however, the output signal at EQ may be ac coupled to the rest of the circuit.

The equalization amplifier remains functional in all three modes, although in the tone mode, its function has no consequence when the circuit is configured as shown in Figure 1.

V_{DD} REGULATOR

The V_{DD} regulator is a shunt type regulator which supplies a nominal 3.3 volts for external dialers, and/or

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

other circuitry. In the speech mode, the output current capability at Pin 15 is typically 550 μA. In either dialing mode, the current capacity is increased to 2.0 mA.

V_{DD} will be regulated whenever V+ is >300 mV above the regulated value. As V+ is lowered, and the internal pass transistor becomes saturated, the circuit steers current away from the external load through an internal current source, in order that the V_{DD} capacitor (C9) does not load down speech and DTMF signals at V+. As V+ is lowered below 1 volt, Pin 15 switches to a high impedance state to prevent discharging of any storage capacitors, or batteries used for memory retention.

The V_{DD} voltage is unaffected by the choice of operating mode.

DIALER INTERFACE

The dialer interface consists of the mode control pins, $\overline{MT}$ and MS (Pins 18 and 17), and the DTMF current amplifier.

The $\overline{MT}$ pin, when at a Logic "1" (> V_{DD} − 0.3 V), sets the circuit into the speech mode, independent of the state of the MS pin. When the $\overline{MT}$ pin is at a Logic "0" (< 1.0 V), the dialing mode is determined by the MS pin. When MS is at a Logic "1" (> 2.0 V), the circuit is in the pulse dialing mode, and when at a Logic "0" (< 0.3 V) the tone (DTMF) mode is in effect.

The input impedance of the $\overline{MT}$ pin is typically 100 kΩ, with the input current flowing out of the pin (from V_{DD}). The input impedance of the MS pin is typically 600 kΩ, and the input current flows into the pin (Figure 1).

The DTMF amplifier (Figure 13) is a current amplifier which transmits DTMF signals to the V+ pin, and consequently onto the Tip & Ring lines. Waveforms from a DTMF dialer are input at TI (Pin 16) through a current limiting resistor (R_7). Negative feedback around the amplifier reduces the overall gain so that return loss specifications may be met. The voltage gain is calculated using the following equation:

$$\frac{V+}{V_i} = \frac{80\ R_E}{(1\ +\ 0.795R_7\ +\ 0.4R_ER_7)}$$

(R_E, R_7 in kΩ)
where $R_E = R_L//2$ kΩ (2 kΩ = internal dynamic impedance)

Using 22 kΩ for R_7, and 600 Ω for R_L, the voltage gain is a nominal 4.3 dB. The minimum loop current at which the circuit of Figure 1 will operate without distortion is 12 mA.

The DTMF amplifier is functional only in the tone dialing mode, and the waveform at V+ is inverted from that at TI. The TI pin requires a dc bias current (into the pin) of 20–50 μA, which may be supplied by the Tone dialer circuit, or by using the biasing scheme of Figure 14.

CC (PIN 5)

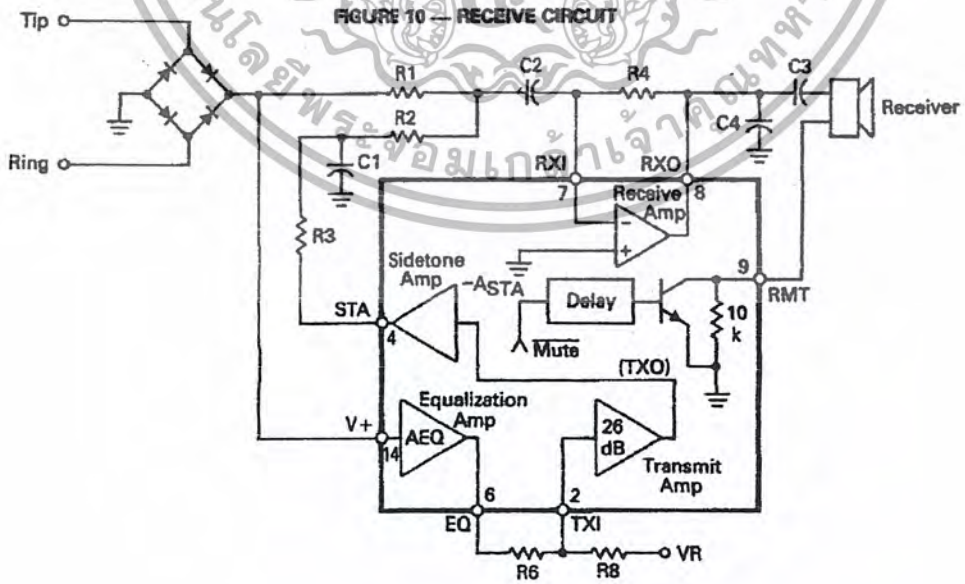
The CC pin (Compensation Capacitor) has two functions: 1) to provide equalization loop stability where the normal stabilizing components are ineffective; and 2) to allow optional control of the equalization functions.

In most applications, the capacitor at LC (Pin 12) provides the required stability, and no further compensation is required. In applications where changes are forced at Pin 12 and/or 13 (e.g., see Figure 23), the LC capacitor's effectiveness may be lost. The addition of a 10 μF capacitor to Pin 5 will provide the required additional compensation.

The CC pin may be used to force the loop length compensation circuits to specific modes. Grounding CC will set the sidetone and equalization amplifiers at the low loop current values. Connecting CC to V_R will set the amplifiers at the high loop current values.

Variations in the curves of Figures 9 and 11 may be obtained by using external resistors from LR to CC, and from CC to V−.

FIGURE 10 — RECEIVE CIRCUIT



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FIGURE 11 — EQUALIZATION AMPLIFIER GAIN

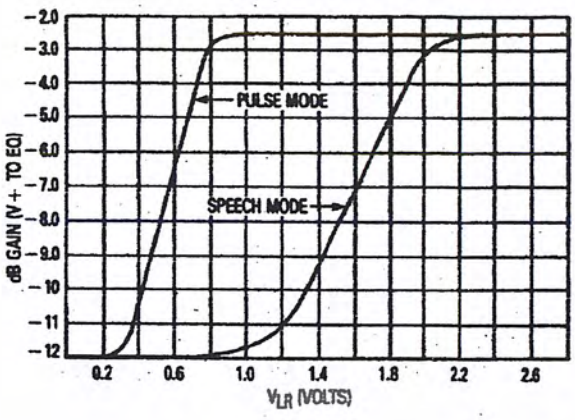


FIGURE 12 — EQ (PIN 6) DC VOLTAGE

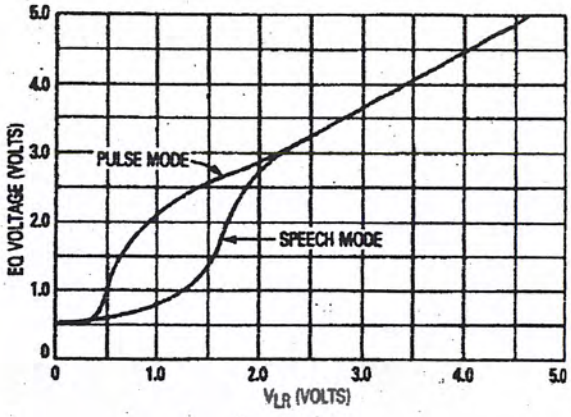


FIGURE 13 — DTMF TONE DIALER

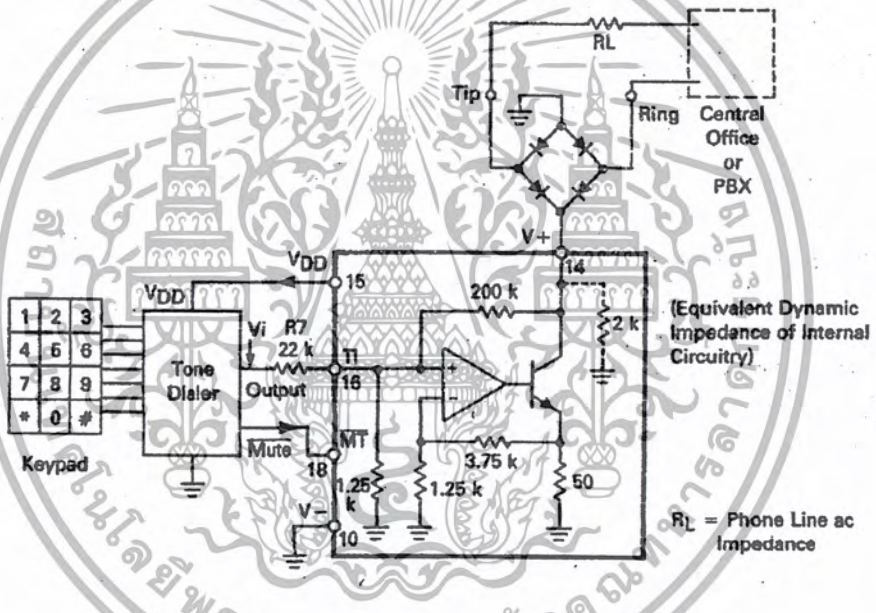
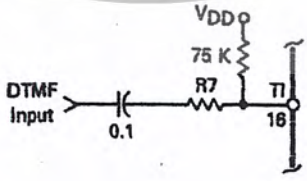


FIGURE 14 — INPUT BIASING



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

APPLICATIONS INFORMATION

AC IMPEDANCE

One of the basic problems with early telephones is that the performance varied with different line lengths (distance from the Central Office to the telephone). If a particular phone were optimized for short loops and then connected to a long loop, both the transmitted and receive signals would be difficult to hear. On the other hand, phones optimized for long loops would then be annoyingly loud on short loops. The process of equalization is one whereby the performance is forced to vary with loop length inversly to the expected variations. Monitoring of loop length is accomplished by monitoring the loop current at the telephone. In the MC34014, loop length equalization is provided by varying the ac impedance of the telephone circuit. In this manner the MC34014 mimics a passive network, with varistors providing the equalization.

Figure 15 depicts the situation in the receive mode. The receive signal coming from the Central Office is V_S and is independent of the loop length. Z_R is the ac impedance of the Central Office, nominally 900 Ω. Z_L is the characteristic impedance of the phone line, and is a nominal 600 Ω. The signal applied to the line (V_1) is therefore a portion of V_S. That signal is attenuated by the distributive impedance of the phone line, with a resulting signal V_2 at the telephone. The amplitude of V_2 depends on the amount of attenuation, the impedance of the phone line at the telephone and the ac impedance of the telephone (Z_{ac}), according to:

$$V_2 = \frac{V_1' \times Z_{ac}}{Z_{ac} + Z_L}$$

where V_1' is the equivalent signal source at the receive end of the phone line, providing the signal V_2 through the impedance equal to the characteristic impedance of the line (Z_L). The value of V_1' depends on how much V_1 has been attenuated by the length of phone line. By increasing Z_{ac} on long loops, V_2 is a greater portion of V_1', resulting in a stronger receive signal at the telephone.

FIGURE 15 — RECEIVE MODE

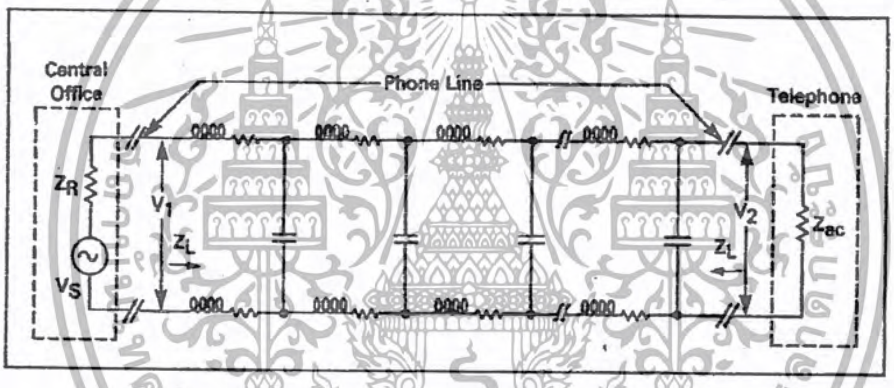
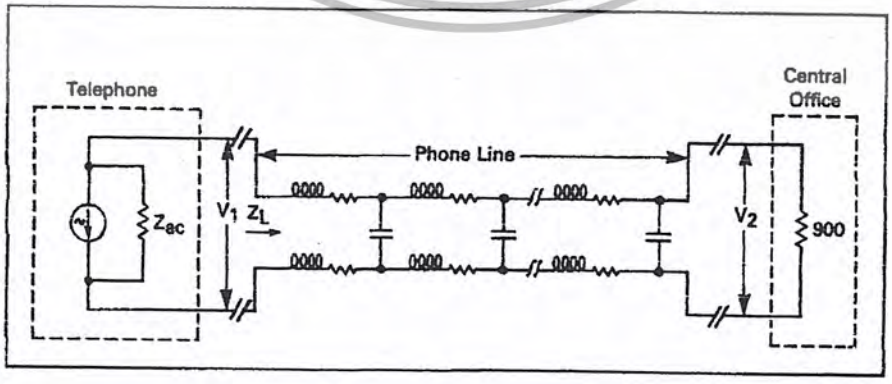


Figure 16 depicts the situation in the transmit mode. In this mode, the MC34014 is an ac current source, with a finite output impedance, modulating the loop current. The voltage signal V_1 is therefore equal to the ac signal current acting on Z_{ac} in parallel with the characteristic impedance of the phone line (Z_L). The signal is attenuated by the distributive impedance of the phone line, and so only a portion of that signal (V_2) appears at the Central Office. By increasing Z_{ac} on long loops, V_1 is increased, resulting in a higher signal level at V_2.

FIGURE 16 — TRANSMIT MODE



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

The ac impedance of the telephone circuit is determined by the transmit amplifier, equalization amplifier, and external resistors R_6, R_8, and R_9. In Figure 17, a portion of the receive signal at V+ appears at EQ. That signal is reduced at TXI by the R_9-R_6 divider (the electret microphone is a high impedance). The signal at TXI is then amplified by 20, and that signal (at TXO) is converted to an ac current by R9. The ac impedance of the circuit is therefore $V+/I_{TXO}$, and is defined by the following equation:

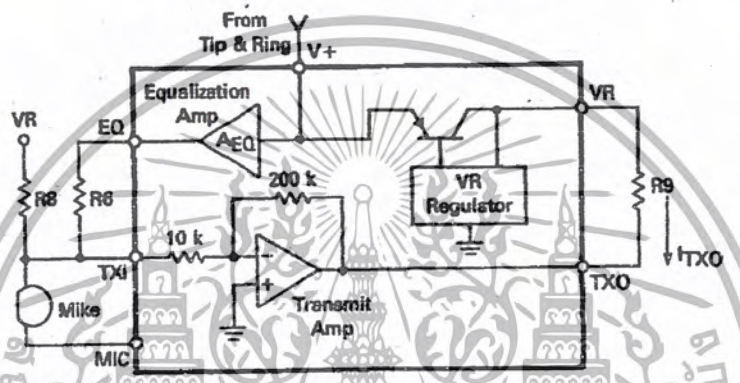
$$Z_{ac} = \frac{(1 + R_9/R_6)(R_9)}{20 \times A \times (R_9/R_6)}$$

where A = the gain of the equalization amplifier (0.25 to 0.75)

Since the gain of the equalization amplifier varies by a factor of 3, the ac impedance will vary the same amount. Using the resistor values indicated in Figure 1, the ac impedance will vary from 280 Ω (short loop) to 840 Ω (long loop).

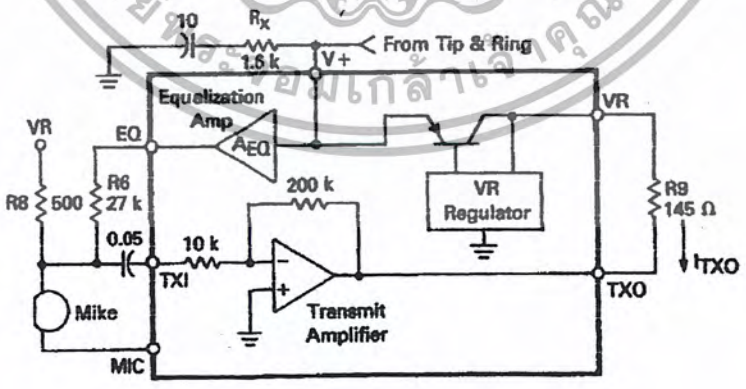
When calculating or measuring the ac impedance, capacitor C_6 (≈8.0 kΩ at 1.0 kHz) and the dynamic impedance of the MC34014 (≈10 kΩ) must be taken into account. If the microphone has an impedance lower than that of a typical electret, then its dynamic impedance must be accounted for in the above equation.

FIGURE 17 — DETERMINING AC IMPEDANCE



If a variation in Z_{ac} of less than 3:1 is desired, the circuit configuration of Figure 18 may be used. The ac impedance is the parallel combination of R_X and the impedance presented by the remainder of the circuit. With the values shown in Figure 18, the ac impedance varies from 400 Ω to 800 Ω.

FIGURE 18 — REDUCED AC IMPEDANCE VARIATION



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TRANSMIT DESIGN PROCEDURE

Referring to Figure 17, first select R_9 for the desired maximum output level at Tip & Ring, assuming a signal level at TXO of 1.0 V p-p. The maximum signal level at Tip & Ring will be approximately:

$$\frac{(V_{TXO})\ (Z_L)}{R_9}$$

where Z_L is the characteristic ac impedance of the phone line. Capacitor C_6 and the ≈10 kΩ dynamic impedance of the MC34014 must also be considered in the above computation, since they are in parallel with Z_L.

The next step is to select the R_6/R_9 ratio, according to the required Z_{ac}, using the equation on the previous page. Then R_9 is selected to set the microphone sensitivity. R_9 is typically in the range of 0.5 k to 1.5 kΩ, and is dependent on the characteristics of the microphone. R_6 is then calculated from the above mentioned ratio.

HANDSET/HANDS-FREE TELEPHONE

Figure 23 indicates a circuit using the MC34014 speech network, MC34018 speakerphone circuit, and the MC34017 tone ringer to provide a complete telephone/speakerphone. Switch HS (containing one normally open and one normally closed contact) is the hook switch actuated by the handset, shown in the on-hook position. When the handset is off-hook (HS1 open, HS2 closed), power is applied to the MC34014, and consequently the handset, and the $\overline{CS}$ pin of the MC34018 is held high so as to disable it. Upon closing the two poles of switch SS, and placing switch HS in the on-hook position, power is then applied to both the MC34014 and the MC34018, and $\overline{CS}$ is held low, enabling the speakerphone function. Anytime the handset is removed from switch HS, the circuit reverts to the handset mode. The diode circuitry sets the MC34014 to the pulse dialing mode to mute the handset microphone and receiver when using the speakerphone. To compensate for the different equalization response of the MC34014 when in the pulse dialing mode (Figures 9 and 11), the 47 Ω resistor normally found at Pin 13 of the MC34014 is instead divided into two resistors (33 Ω and 15 Ω). This arrangement provides similar equalization response in both the handset and in the speakerphone modes. Since the LC capacitor (Pin 12) is ineffective in the speakerphone mode, a capacitor is added at Pin 5 (CC) to provide compensation for the equalization loop when the speakerphone mode is in effect.

FIGURE 19 — ALTERNATE MICROPHONE BIAS

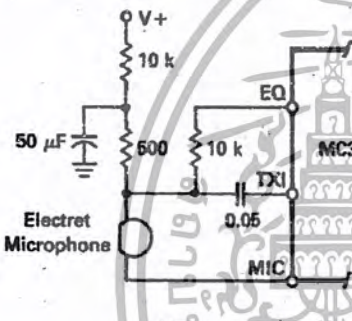
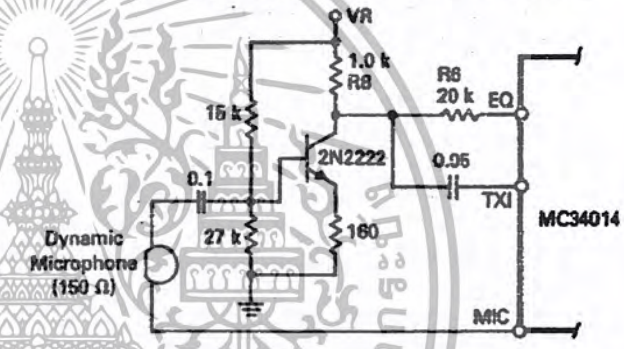


FIGURE 20 — INTERFACING A DYNAMIC MICROPHONE



The overall gain from the microphone to V+ will vary with loop current due to the influence of the equalization amplifier on TXI. The signal at EQ is out of phase with that at TXI, therefore the signal at V+ decreases as loop current (and the EQ signal) increases. Variations are typically 2.0 to 5.0 dB and depend largely on the impedance characteristics of the microphone.

ALTERNATE MICROPHONE BIASING

In the event that the microphone cannot be properly biased from the 1.2 volt VR supply, a higher voltage can be obtained by biasing from the V+ supply. The configuration shown in Figure 19, provides a higher voltage to the microphone, and also filters the speech signals at V+ from reaching it, preventing an oscillatory loop from forming. The maximum voltage limit of the microphone must be considered when biasing this way.

If a dynamic microphone is to be used in place of an electret unit, the circuit in Figure 20 will buffer its low impedance from the MC34014 circuit, maintaining the high impedance required at the junction of R_9 and R_6. The circuit shown provides a gain of ≈2.6 for the microphone signals, and can be adjusted by varying the 160 Ω resistor.

SWITCHABLE TONE/PULSE TELEPHONE

Figure 21 indicates a switchable tone/pulse telephone circuit using the MC145412 tone/pulse dialer, MC34014 speech network, and the MC34017 tone ringer. The dialer is programmable, and can store up to 10 phone numbers. As can be seen, the interface to the MC34014 is straightforward.

PULSE ONLY TELEPHONE

Figure 22 indicates a pulse only telephone circuit using the MC145409 pulse dialer, MC34014 speech network, and the MC34017 tone ringer. The dialer has last number redial, and provides a pacifier tone to the receiver during dialing.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FIGURE 21 — COMPLETE TELEPHONE WITH PULSE/TONE DIALING

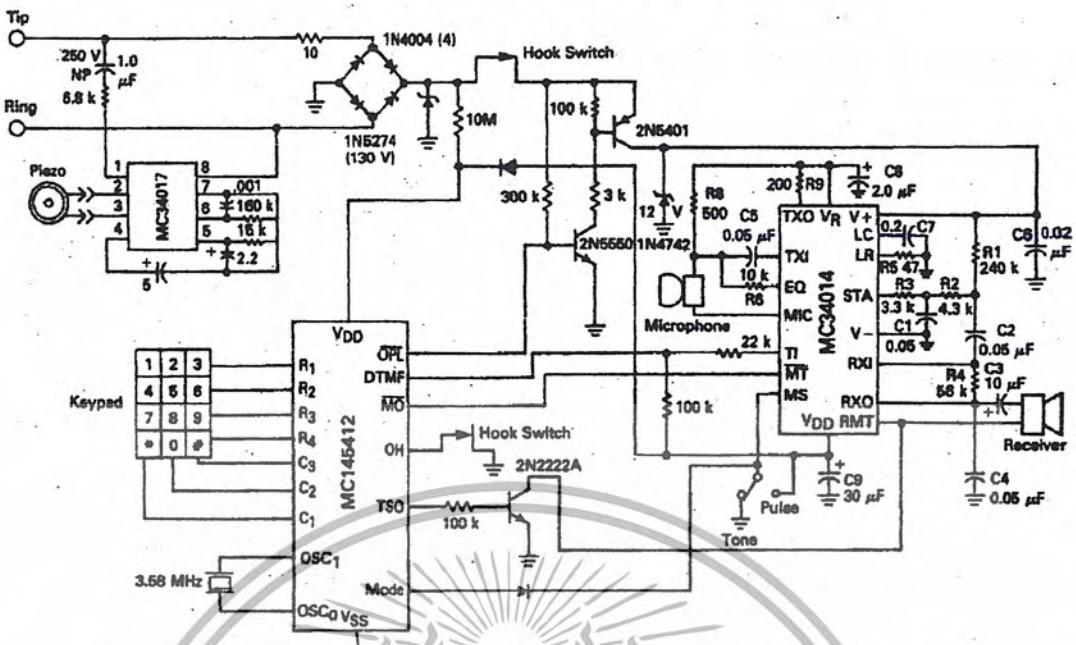
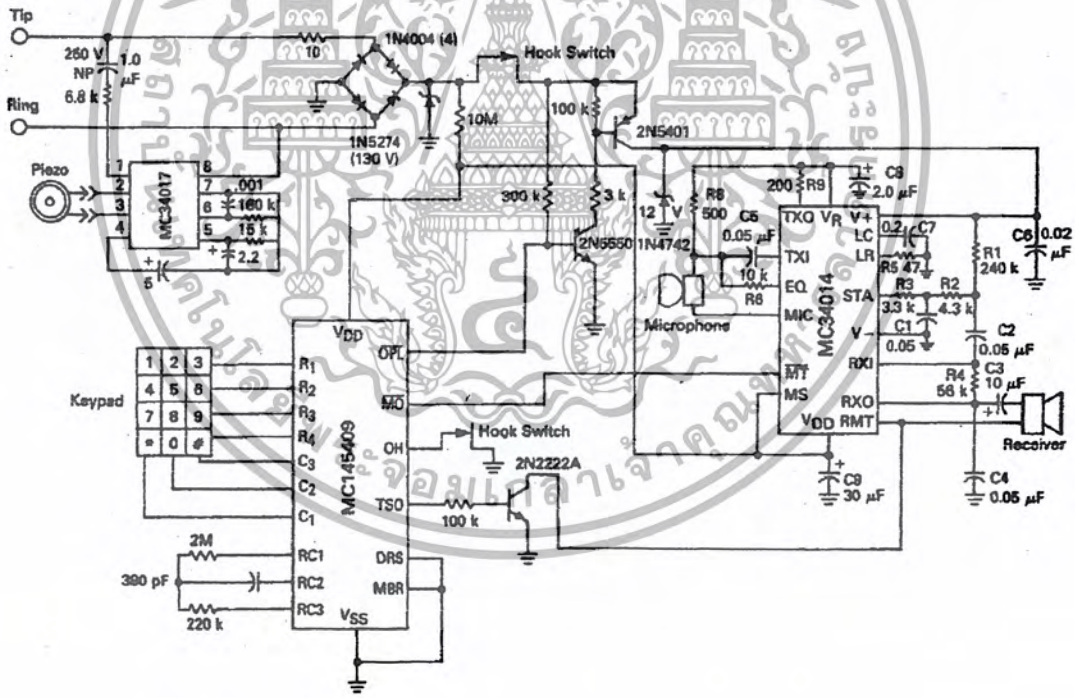
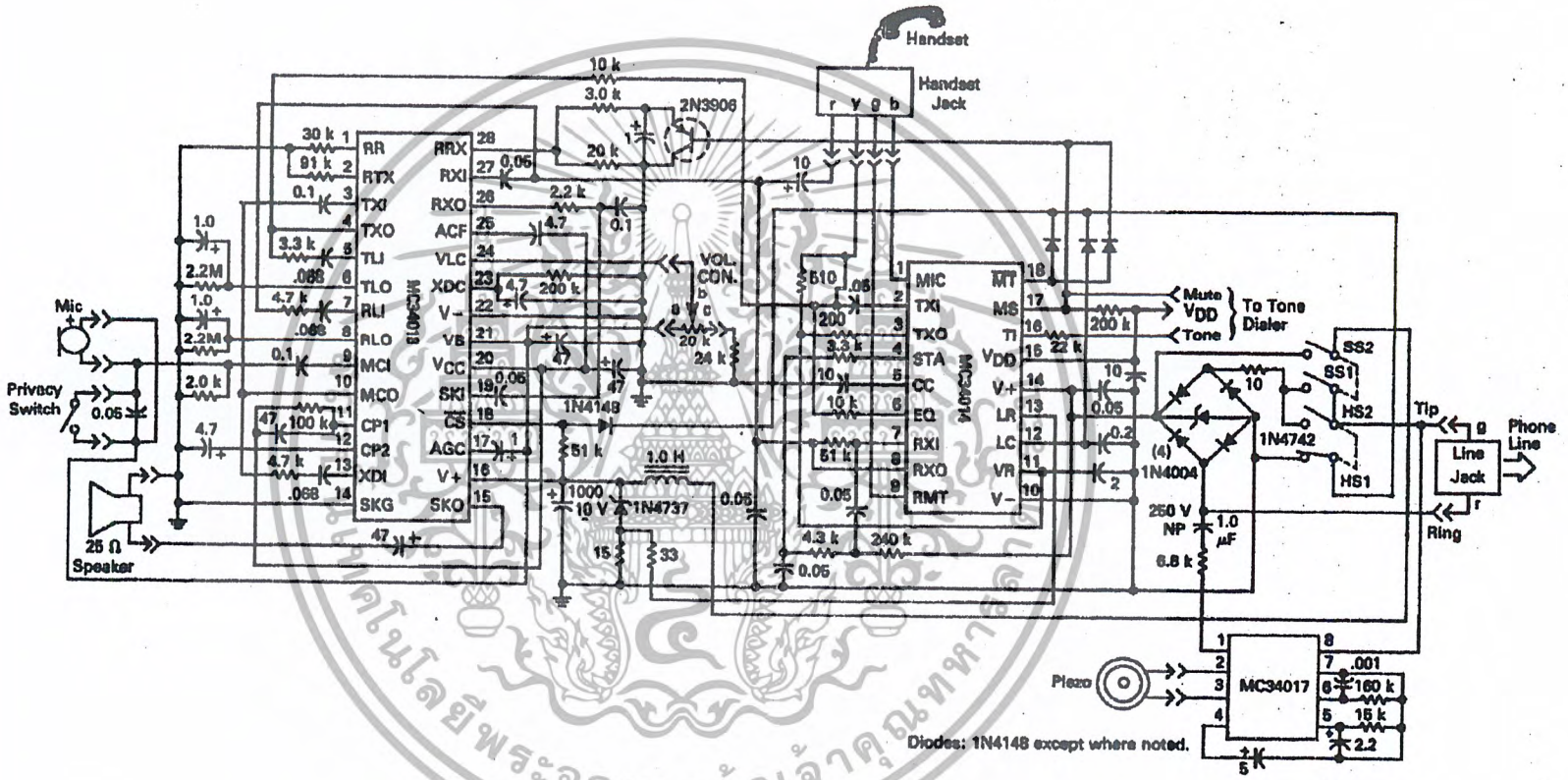


FIGURE 22 — COMPLETE TELEPHONE WITH PULSE DIALING



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FIGURE 23 — SWITCHABLE HANDSET/HANDSFREE SYSTEM



Recommended External Components

Piezo Sounder
Models KSN 1113-1116
Motorola, Inc.
Albuquerque, N.M.
505-822-8801

Microphone/Receiver
Microphone model EM-95
Receiver model DH-34
Primo Microphone, Inc.
Elk Grove Village, Ill.
312-595-1022

Microphone Model KUC2123
Hosiden Electronics
Chicago, Ill.
312-956-7707

TRANSIENT PROTECTION & RFI SUPPRESSION

Protection from voltage transients is necessary in most telephone circuits, and may take the form of zener diodes, RC or LC filters, transient suppressors, or a combination of the above.

Potential radio frequency interference problems should be addressed early in the electrical and mechanical design of the telephone. RFI may enter the circuitry through the Tip & Ring lines, through the microphone and/or receiver leads in the handset cord, or through any of the wiring or PC board traces. Ceramic decoupling capacitors, ferrite beads, and other RFI suppression techniques may be needed. Good PC board design techniques, such as the avoidance of loops, should be used. Long tracks on high impedance nodes should be avoided.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MOTOROLA
SEMICONDUCTOR MOTOROLA SC (TELECOM)
TECHNICAL DATA

MC145412
MC145413
MC145512

Advance Information

Pulse/Tone Repertory Dialer
Low Power Silicon-Gate CMOS

The MC145412/13 and MC145512 are silicon gate, monolithic CMOS intergrated circuits which convert keyboard inputs into either pulse or DTMF outputs. They are packaged in a standard 18-pin (0.3" wide) plastic DIP.

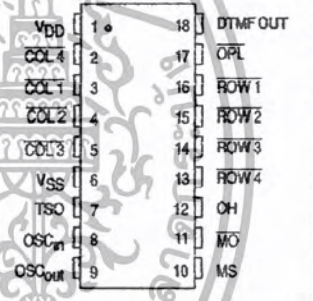
- 3 × 4 or 4 × 4 Keyboard Compatibility Which Allows the Use of 2-of-7, 2-of-8, or Form A Type Keyboards
- MC145413 Adds Keyboard Selectable Pause Switch Function
- Single Pin Switchable Between DTMF, 10 pps and 20 pps
- 500-Hz Tone Signal Output in the Pulse Dialing Mode
- Memory Storage for Ten 18-Digit Numbers, Including Last Number Redial
- Uses 3.579545-MHz Colorburst Crystal
- Telephone Line Powered
- Silicon Gate CMOS Technology for 1.7 to 5.5 V Low Power Operation
- Stand Alone DTMF Dialer/Stand Alone Pulse Dialer
- Mute Output Used to Isolate Receiver from Dialing Output
- Memory Programming Options by Keyboard Configuration

P SUFFIX
PLASTIC
CASE 707

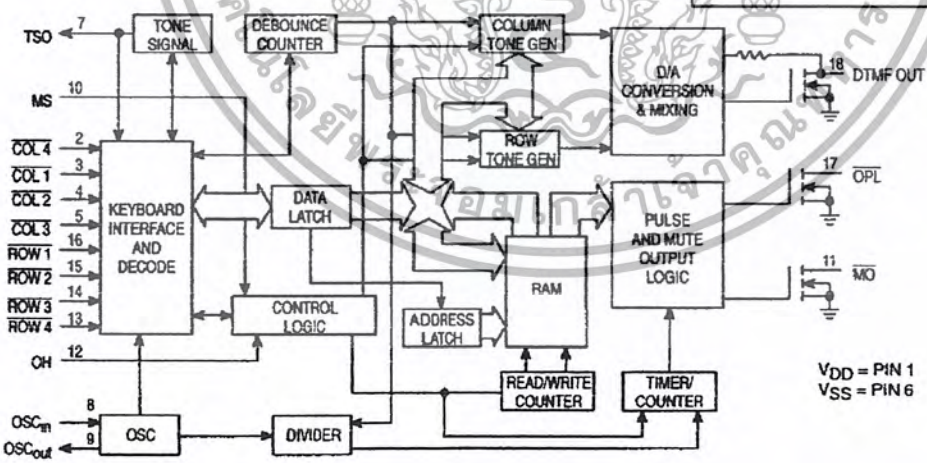
ORDERING INFORMATION

MC145412XX	Suffix	Denotes
	P	Plastic DIP
	4	40/60 M/B Ratio
	5	32/68 M/B Ratio

PIN ASSIGNMENT



BLOCK DIAGRAM



This document contains information on a new product. Specification and information herein are subject to change without notice.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ABSOLUTE MAXIMUM RATINGS (V_{SS} = 0 V)

Rating	Symbol	Value	Unit
DC Supply Voltage	V_{DD}	− 0.5 to + 8.0	V
Operating Temperature	T_A	− 30 to + 60	°C
Storage Temperature	T_{stg}	− 65 to + 150	°C
DC Current Drain Per Pin	I	10	mA
Maximum Voltage On Any Pin Relative to V_{SS} On Any Pin Relative to V_{DD}	 V_{in1} V_{in2}	 − 0.5 + 0.5	V

ELECTRICAL CHARACTERISTICS (T_A = −30 to +60°C, V_{DD} = 2.5 V, V_{SS} = 0 V, Unless Otherwise Noted)

Characteristic		Symbol	Min	Typ	Max	Unit
DC Supply Voltage	Pulse Mode DTMF Mode	V_{DD}	2.0 2.5	— —	5.5 5.5	V
Operating Current	Pulse Mode (MS = V_{DD}) DTMF Mode (MS = V_{SS})	I_{DD}	— —	0.25 1.0	0.7 2.0	mA
Memory Retention Voltage		V_{stby}	1.7	—	—	V
Memory Retention Current	(V_{DD} = 1.7 V) (V_{DD} = 2.5 V)	I_{stby}	— —	1.0 1.2	2.0 2.5	µA
Input Voltage, Row/Column/OH	"0" Level "1" Level	V_{IL} V_{IH}	— 0.8 V_{DD}	— —	0.2 V_{DD} —	V
Row Column Input Impedance	To V_{DD} To V_{SS}	Z_{in}	— —	100 2	— —	kΩ
OH Pull-Up Resistance		R	—	50	—	kΩ
Input Capacitance (All Inputs)		C_{in}	—	10	—	pF
MS Pin Input Impedance		Z_{in}	50	200	—	kΩ
Output Sink Current	(V_{DD} = 2.5 V) TSO Pin $\overline{MO}$ Pin $\overline{OPL}$ Pin (V_{DD} = 4.0) $\overline{MO}$ Pin $\overline{OPL}$ Pin	I_{OL}	0.5 1.0 1.0 3.0 4.5	0.7 2.0 2.0 — —		mA
TSO Output Source Current (V_{out} = 2.0 V)		I_{OH}	0.5	0.7	—	mA
Output Leakage Current	$\overline{MO}$, $\overline{OPL}$ Pins	I_{lkg}	—	—	1.0	µA
DTMF Output Level Referenced to V_{DD}/2 (V_{DD} = 2.5 to 4.0 V, R_L = 600 Ω to V_{DD})	Row Tone Column Tone	V_{out}	260 330	310 390	370 460	mVrms
DTMF Output Tone Leakage (V_{DD} = 3.5, R_L = 600 Ω, 300 to 4000 Hz)			—	—	−80	dBm
DTMF Output Tone Distortion (V_{DD} = 3.5, R_L = 600 Ω, 300 to 4000 Hz)			—	—	5	%
Pre-Emphasis			1	2	2.5	dB
DTMF Output Leakage Current While Not Dialing Tones (V_{DD} = 2.5 V)			—	—	1.0	µA
DTMF Output Sink Current While Dialing Tones			20	—	—	µA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SWITCHING CHARACTERISTICS (T_A = 25°C, V_{DD} = 2.5 V, Osc. Freq.= 3.579545 MHz, Unless Otherwise Noted)

Characteristic		Symbol	Min	Typ	Max	Unit
Row/Column Scan Frequency		f	—	250	—	Hz
Key Debounce Time		t_{DB}	16	—	20	ms
DTMF Tone Duration for Keypad Dialing		t_{w1}	60	78	—	ms
DTMF Tone Duration for Memory Dialing		t_{w2}	90	102	110	ms
Inter-Digit Pause Time	DTMF (Memory Dialing)	t_{ID}	90	98	110	ms
	Pulse 10 pps 20 pps		0.8 0.4	1.0 0.5	1.2 0.6	s
MS Pin Scan Rate		f_{rms}	—	1	—	kHz
Make/Break Ratio (MC = Open or V_{DD})	MC145412/13 MC145512	MBR	— —	40/60 32/68	— —	%
Outpulsing Rate	MS = Open MS = V_{DD}	f_{OPL}	— —	10 20	— —	pps
MUTE Output ($\overline{MO}$) Overlap Time		t_{MO}	—	2	—	ms
TSO Output Frequency		f_{TSO}	—	500	—	Hz
TSO Output Duration		t_{TSO}	35	—	40	ms
DTMF Cycle Time	(Memory Dialing) (Keypad Dialing)		— —	5 10	— —	tones/s
DTMF Frequency Deviation			—	—	±1.0	%
Predigit Mute MC145412/13	Pulse 10 pps 20 pps	t_d	— —	40 20	— —	ms
MC145512	Pulse 10 pps 20 pps DTMF		— —	32 16	— —	

PIN DESCRIPTIONS

V_{DD}, V_{SS}
Power Supply (Pins 1, 5)

DC power is supplied to the part on these two pins, with V_{DD} being the most positive. Permissible ranges are from 1.7 to 5.5 V.

MS
Mode Select (Pin 10)

The MS pin is a three-state input for switching between DTMF, 10 pps, and 20 pps dialing modes. Mode selection is done during the first key entry debounce period after the dialer has completed a dialing sequence or has just come off hook. When this pin is not scanned it is high impedance.

This pin is a combination input and weak output. The input circuitry has the capability to determine each of these three states. When the pin is open, the weak driver will be able to clock the pin at 1 kHz. The relationship between pin input voltage and operating mode is shown in Table 1.

Table 1. Mode Select Options

MS	Dialing Mode
V_{DD}	20 pps Pulse Dialing
Open	10 pps Pulse Dialing
V_{SS}	DTMF Dialing

OH
On-Hook (Pin 12)

Connecting the OH pin to V_{DD} or allowing it to float sets the device in the On-hook mode. Connecting this pin to V_{SS} selects the Off-hook mode. When in the On-hook mode, repertory memory can be programmed without a dialing output.

TSO
Tone Signal Output (Pin 7)

TSO emits 500-Hz tone signals after valid key inputs are accepted providing audio feedback for key depressions (except when DTMF tones are generated). This pin also outputs a tone during on-hook programming.

DTMF OUT
Dual Tone Multifrequency Output (Pin 18)

When the MS pin is set to V_{SS} the DTMF OUT pin outputs tones corresponding to the row and column of the key depressed. Simultaneously depressing two or more keys in a single row (or column) will generate the corresponding row (or column) tone on 4 x 4 keypad mode only.

In pulse dialing mode (MS = V_{DD} or float) and during on-hook programming this pin is high impedance. While outputting tones, this pin has a dc bias at ($V_{DD} - V_{SS}$)/2. DTMF OUT is an open-drain output requiring an external pull-up to V_{DD}. This pull-up resistor must satisfy the instantaneous current requirements of the internal feedback network in addition to the load applied to the pin.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$\overline{OPL}$
Outpulsing (Pin 17)

This pin outputs pulses at 10 pps (MS is open) or 20 pps (MS = V_{DD}). The MC145412/13 have a make/break ratio of 40/60, while the MC145512 has a make/break ratio of 32/68. In the DTMF dialing mode (MS = V_{SS}), this output is high impedance. During on-hook programming this pin will not outpulse. This pin is an open drain N-channel output which pulls low to break the loop current.

$\overline{MO}$
Mute Output (Pin 11)

The Mute Output is an open drain N-channel output that pulls to V_{SS} during $\overline{OPL}$ outpulsing and during off-hook key depressions and memory dialing in DTMF mode.

$\overline{COL\ 1}$–$\overline{COL\ 4}$ and $\overline{ROW\ 1}$–$\overline{ROW\ 4}$
KEYBOARD INPUTS (Pins 2, 3, 4, 5, 13, 14, 15, 16)

The keyboard inputs allow either a single contact (Class A) keyboard, or a standard 2-of-8 or 2-of-7 keyboard with V_{SS} tied to common. A valid key entry occurs when either a single row is tied to a single column, or a single row and column are simultaneously connected to V_{SS}. Connecting pin 2, $\overline{COL\ 4}$, to V_{DD} sets the part to 3 x 4 keyboard mode. Keyboard mode selection is performed during application of power.

Typical keyboard configurations are shown in Figure 1.

OSC_{in}, OSC_{out}
Oscillator Input and Oscillator Output (Pins 8, 9)

A 3.579545-MHz crystal is required as the frequency reference for the on-chip oscillator. Crystal biasing is accomplished by an internal resistor and capacitors.

GENERAL DEVICE DESCRIPTION

The MC145412/MC145512 and the MC145413 provide users with switchable pulse and DTMF dialing functions. The MC145412/MC145512 change dialing modes via the MS pin. The MC145413 allows users to switch dialing modes via the keyboard in addition to the MS pin. All devices have 10 memories, LNR (last number redial) inclusive, each 18 digits long.

On application of power, there is a 64-ms initialization period during which the oscillator is enabled and the keyboard inputs are disabled. During initialization $\overline{COL\ 4}$ is scanned to set the keyboard mode. If the $\overline{COL\ 4}$ input is high (V_{DD}), the dialer is set to the 3 x 4 keypad mode; otherwise, the 4 x 4 keypad mode is selected. Changing modes is not possible after this initialization period.

During normal dialing, the oscillator starts when a key is depressed. The key input is debounced for 32 ms. During this debounce period the RAM and dialing circuits are disabled and the mode select pin is scanned to determine the dialing mode (either 10 pps, 20 pps, or DTMF). After debounce, the keypad entry is checked and the input is latched into LNR memory followed by a stop code. This process continues until 18 digits have been entered. If a 19th digit is entered, it will over-write the first digit and will be followed by a stop code. When dialing, the device fetches data from memory until a stop code is encountered or 18 digits have been dialed.

During manual DTMF dialing, a minimum tone duration of 60-ms DTMF is output and will continuously output in 32-ms increments as long as the key is depressed. The DTMF OUT pin is designed to drive an external PNP transistor which can be used to modulate tip and ring voltage at the DTMF frequencies.

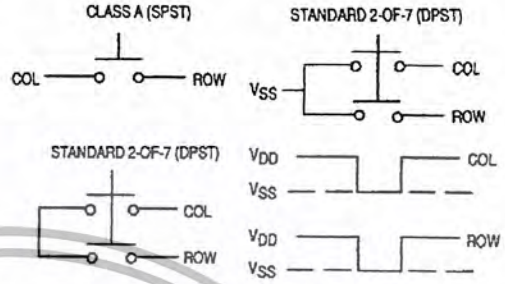


Figure 1. Keyboard Configurations

If the first key is for redial or recall, the device will respond accordingly, either redialing the last number entered, or recalling and dialing the number selected by a subsequent key depression. Responses to dialing sequences for 4 x 4 key-boards are shown in Figure 2, and 3 x 4 keyboard responses are shown in Figure 3.

The MC145412 series can be configured with an external battery to provide memory retention power and allow on-hook programming of the repertory memory. If the part is in the on-hook mode and a key is depressed, the oscillator will start and the key entry will be stored in the last number redial memory. Dialing outputs will not be activated while the device is in the on-hook condition. Dialing inputs will be stored in last number redial memory, as during off-hook operation. After the number has been entered in the on-hook mode, it can be stored in repertory memory. For the 4 x 4 keyboard, pressing the STORE key (* for 3 x 4 keyboard), followed by a digit (1 through 9) will store the number in the repertory memory location specified by the digit.

The RECALL key for the 4 x 4 keypad is used to recall and dial numbers stored in the repertory memory. The digit immediately following the RECALL key designates the memory location of the number to be auto-dialed. For the 4 x 4 keyboard, a last number redial can be accomplished if the RED/P key ($\overline{COL\ 4}$, $\overline{ROW\ 1}$) is the first key depressed after an on-hook to off-hook transition. Otherwise the RED/P key will effect a 4 second pause. If the pulse mode is selected, redial can be accomplished if the first key depressed on a transition to off-hook is #. For the 3 x 4 keyboard, redial occurs if the first key depressed is *,0.

The PAUSE key ($\overline{COL\ 4}$, $\overline{ROW\ 2}$) for the MC145412/MC145512 will cause a 4 second pause. The PAUSE/S key ($\overline{COL\ 4}$, $\overline{ROW\ 2}$) is a feature offered on the MC145413. Depressing this key will cause a 4 second delay, and will switch dialing modes, PAUSE (and PAUSE/S) is stored in memory for pauses (and mode switching) during auto-dialing.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MOTOROLA SC (TELECOM)

1. MANUAL DIALING — OFF-HOOK (PULSE OF DTMF MODE)

D1 D2 D3 ---- DN

ALL DIGITS ENTERED WILL BE STORED IN THE LAST NUMBER REDIAL REGISTER. PRESSING * OR # WILL DIAL OUT THE DTMF SIGNAL IN TONE MODE ONLY.

2. MANUAL DIALING WITH AUTO ACCESS PAUSE — OFF-HOOK (PULSE OR DTMF MODE)

D1 ..... DN RED/P DX ..... DY

D1 ..... DN PAUSE DX ..... DY MC145412/MC145512 ONLY

D1 ..... DN . DX ..... DY PULSE MODE ONLY

THE AUTO ACCESS PAUSE WILL NOT OCCUR DURING MANUAL DIALING IN DTMF MODE. IT IS RETRIEVED DURING RECALL OR REDIAL.

3. STORING NUMBERS INTO MEMORY — ON-HOOK/OFF-HOOK (PULSE OR DTMF MODE)

D1 ..... DN STORE A A = 1–9 MEMORY ADDRESS

THIS OPERATION TRANSFERS THE DIGITS D1 TO DN FROM THE LAST NUMBER REDIAL REGISTER TO AN ADDRESS SPACE SPECIFIED BY "A". DIALING OUTPUTS ARE NOT ACTIVATED DURING ON-HOOK PROGRAMING

4 MEMORY REDIAL — OFF-HOOK (PULSE OR DTMF MODE)

RECALL A A = 1–9 MEMORY ADDRESS

5. LAST NUMBER REDIAL — OFF-HOOK (PULSE OR DTMF MODE)

RED/P

OR

PULSE MODE ONLY

REDIALS THE NUMBER THAT WAS PREVIOUSLY ENTERED INTO THE LAST NUMBER REDIAL REGISTER.

6. PULSE-TO-TONE MODE SWITCH — OFF-HOOK (PULSE OR DTMF MODE)

D1 ..... DN PAUSE/S DX ..... DY MC145413 ONLY

7 CASCADED DIALING — OFF-HOOK (PULSE OR DTMF MODE)

D1 ..... DN //// RECALL A CASCADE MANUAL DIALING WITH RECALL
A = 1–9 MEMORY ADDRESS

RECALL A1 //// RECALL A2 CASCADE MEMORY RECALLS
A1, A2 = 1–9 MEMORY ADDRESSES

RED/P //// RECALL A CASCADE LAST NUMBER REDIAL WITH MEMORY RECALL
A = 1–9 MEMORY ADDRESS

//// WAIT UNTIL PREVIOUS REDIAL OR RECALL SIGNALS HAVE BEEN SENT BEFORE SUBSEQUENT ENTRIES ARE MADE.

8. SIGNALING * AND # TONES — OFF-HOOK (DTMF MODE ONLY)

* OUTPUTS * TONE

OUTPUTS # TONE

4 X 4 KEY MATRIX

	COL 1	COL 2	COL 3	COL 4	
697 Hz	1	2	3	RED/P	ROW 1
770 Hz	4	5	6	PAUSE	ROW 2
852 Hz	7	8	9	STORE	ROW 3
941 Hz	*	0	#	RECALL	ROW 4
	1209 Hz	1336 Hz	1477 Hz		

MC145413 PAUSE/S KEY FOR PAUSE & SWITCHING DIALING MODES

Figure 2. 4 × 4 Keyboard Dialing Sequences

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1. MANUAL DIALING — OFF-HOOK (PULSE OF DTMF MODE)

D1 D2 D3 ---- DN

ALL KEY ENTRIES EXCEPT * AND # WILL BE STORED IN THE LAST NUMBER REDIAL REGISTER. PRESSING * OR # WILL NOT DIAL OUT THE DTMF SIGNAL IN TONE MODE. FOR SIGNALING, * OR # SHOULD BE PRESSED TWICE.

2. MANUAL DIALING WITH AUTO ACCESS PAUSE — OFF-HOOK (PULSE OR DTMF MODE)

D1 ..... DN * # DX ..... DY

D1 ..... DN # DX ..... DY PULSE MODE ONLY

THE AUTO ACCESS PAUSE WILL NOT OCCUR ON MANUAL DIALING IN DTMF MODE. IT IS RETRIEVED DURING RECALL OR REDIAL.

3. STORING NUMBERS INTO MEMORY — ON-HOOK (PULSE OR DTMF MODE)

D1 ..... DN * A A = 1–9 MEMORY ADDRESS

THIS OPERATION TRANSFERS THE DIGITS D1 TO DN FROM THE LAST NUMBER REDIAL REGISTER TO AN ADDRESS SPACE SPECIFIED BY "A".

4. MEMORY REDIAL — OFF-HOOK (PULSE OR DTMF MODE)

* A A = 1–9 MEMORY ADDRESS

5. LAST NUMBER REDIAL — OFF-HOOK (PULSE OR DTMF MODE)

* 0

THIS OPERATION REDIALS THE LAST NUMBER ENTERED OFF-HOOK AND RETRIEVES DATA FROM MEMORY ADDRESS 0.

6. PULSE-TO-TONE MODE SWITCH — OFF-HOOK (PULSE OR DTMF MODE)

D1 ..... DN MANUAL SWITCH DX ..... DY

MODE SELECT (MS) PIN HAS TO BE MANUALLY SWITCHED TO DETERMINE THE DIALING MODE. DIALING MODE SELECTION WITH MANUAL SWITCH IS NOT PROGRAMMED INTO THE LAST NUMBER REDIAL MEMORY.

7. CASCADED DIALING — OFF-HOOK (PULSE OR DTMF MODE)

D1 ..... DN * A — CASCADE MANUAL DIALING WITH RECALL A = 1–9 MEMORY ADDRESS

* A1 //// * A2 — CASCADE MEMORY RECALLS A1, A2 = 1–9 MEMORY ADDRESS

* 0 //// * A — CASCADE LAST NUMBER REDIAL WITH MEMORY RECALL A = 1–9 MEMORY ADDRESS

//// WAIT UNTIL PREVIOUS REDIAL OR RECALL SIGNALS HAVE BEEN SENT BEFORE SUBSEQUENT ENTRIES ARE MADE.

8. SIGNALING * AND # TONES — OFF-HOOK (DTMF MODE ONLY)

* * OUTPUTS * TONE

OUTPUTS # TONE

3 x 4 KEY MATRIX

	COL 1	COL 2	COL 3	
697 Hz	1	2	3	ROW 1
770 Hz	4	5	6	ROW 2
852 Hz	7	8	9	ROW 3
941 Hz	*	0	#	ROW 4
	1209 Hz	1336 Hz	1477 Hz	

Figure 3. 3 × 4 Keyboard Dialing Sequences

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

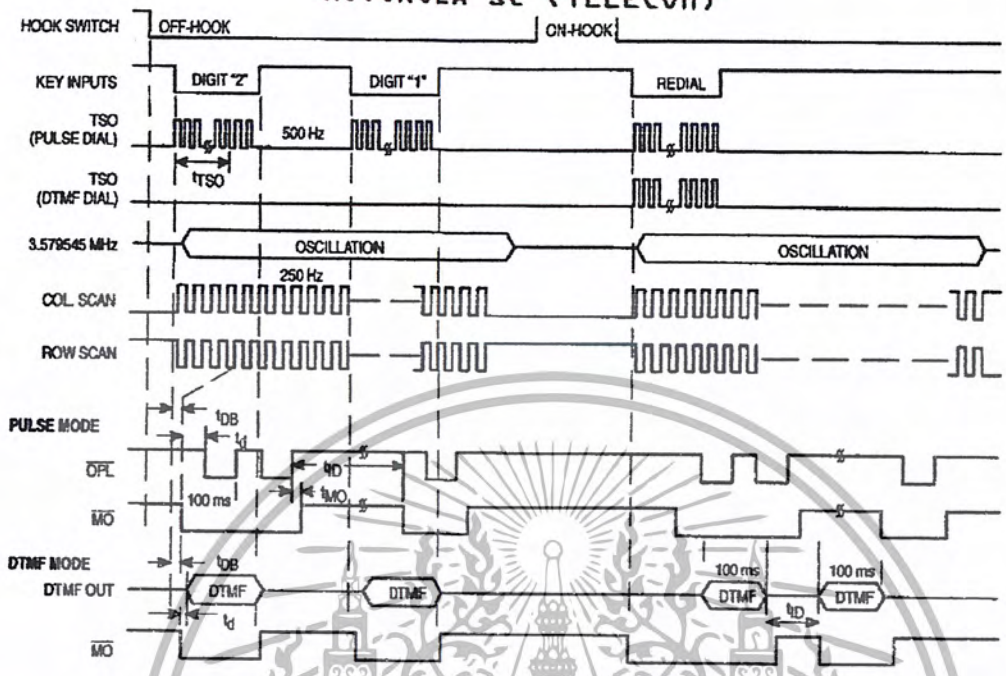


Figure 4. Timing Diagram

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ZARLINK SEMICONDUCTOR

ISO²-CMOS MT8870D/MT8870D-1
Integrated DTMF Receiver

ISSUE 5 March 1997

Features
- Complete DTMF Receiver
- Low power consumption
- Internal gain setting amplifier
- Adjustable guard time
- Central office quality
- Power-down mode
- Inhibit mode
- Backward compatible with MT8870C/MT8870C-1

Applications
- Receiver system for British Telecom (BT) or CEPT Spec (MT8870D-1)
- Paging systems
- Repeater systems/mobile radio
- Credit card systems
- Remote control
- Personal computers
- Telephone answering machine

Ordering Information

MT8870DE/DE-1	18 Pin Plastic DIP
MT8870DS/DS-1	18 Pin SOIC
MT8870DN/DN-1	20 Pin SSOP

-40 °C to +85 °C

Description

The MT8870D/MT8870D-1 is a complete DTMF receiver integrating both the bandsplit filter and digital decoder functions. The filter section uses switched capacitor techniques for high and low group filters; the decoder uses digital counting techniques to detect and decode all 16 DTMF tone-pairs into a 4-bit code. External component count is minimized by on chip provision of a differential input amplifier, clock oscillator and latched three-state bus interface.

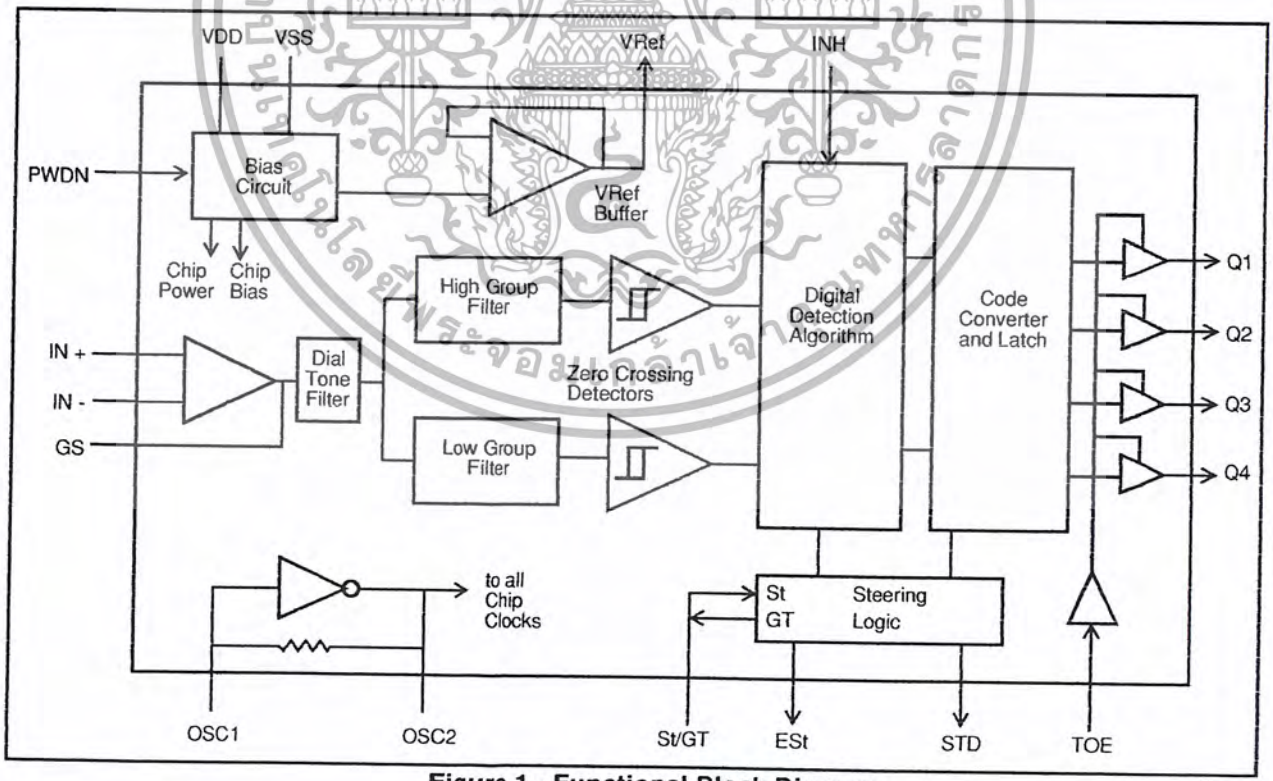


Figure 1 - Functional Block Diagram

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

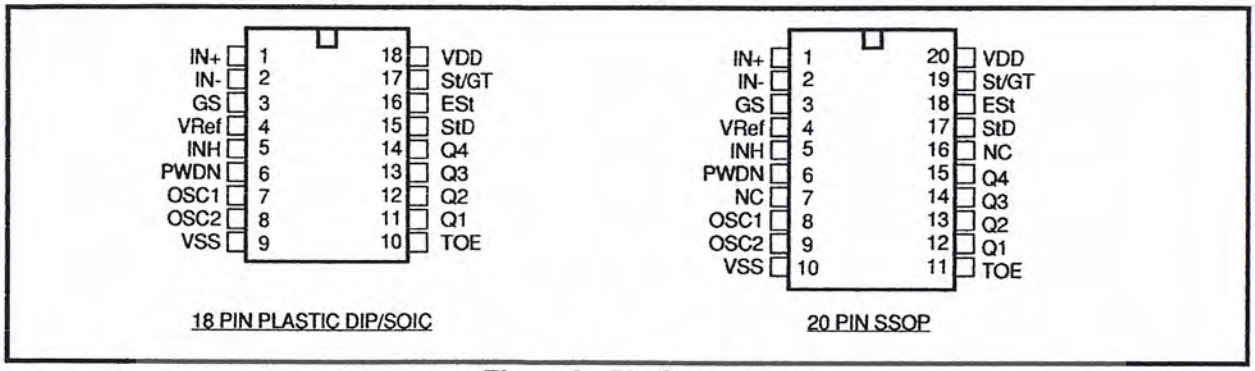


Figure 2 - Pin Connections

Pin Description

Pin #		Name	Description
18	20		
1	1	IN+	**Non-Inverting Op-Amp (Input).**
2	2	IN-	**Inverting Op-Amp (Input).**
3	3	GS	**Gain Select.** Gives access to output of front end differential amplifier for connection of feedback resistor.
4	4	V_{Ref}	**Reference Voltage (Output).** Nominally $V_{DD}/2$ is used to bias inputs at mid-rail (see Fig. 6 and Fig. 10).
5	5	INH	**Inhibit (Input).** Logic high inhibits the detection of tones representing characters A, B, C and D. This pin input is internally pulled down.
6	6	PWDN	**Power Down (Input).** Active high. Powers down the device and inhibits the oscillator. This pin input is internally pulled down.
7	8	OSC1	**Clock (Input).**
8	9	OSC2	**Clock (Output).** A 3.579545 MHz crystal connected between pins OSC1 and OSC2 completes the internal oscillator circuit.
9	10	V_{SS}	**Ground (Input).** 0V typical.
10	11	TOE	**Three State Output Enable (Input).** Logic high enables the outputs Q1-Q4. This pin is pulled up internally.
11-14	12-15	Q1-Q4	**Three State Data (Output).** When enabled by TOE, provide the code corresponding to the last valid tone-pair received (see Table 1). When TOE is logic low, the data outputs are high impedance.
15	17	StD	**Delayed Steering (Output).** Presents a logic high when a received tone-pair has been registered and the output latch updated; returns to logic low when the voltage on St/GT falls below V_{TSt}.
16	18	ESt	**Early Steering (Output).** Presents a logic high once the digital algorithm has detected a valid tone pair (signal condition). Any momentary loss of signal condition will cause ESt to return to a logic low.
17	19	St/GT	**Steering Input/Guard time (Output) Bidirectional.** A voltage greater than V_{TSt} detected at St causes the device to register the detected tone pair and update the output latch. A voltage less than V_{TSt} frees the device to accept a new tone pair. The GT output acts to reset the external steering time-constant; its state is a function of ESt and the voltage on St.
18	20	V_{DD}	**Positive power supply (Input).** +5V typical.
	7, 16	NC	No Connection.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Functional Description

The MT8870D/MT8870D-1 monolithic DTMF receiver offers small size, low power consumption and high performance. Its architecture consists of a bandsplit filter section, which separates the high and low group tones, followed by a digital counting section which verifies the frequency and duration of the received tones before passing the corresponding code to the output bus.

Filter Section

Separation of the low-group and high group tones is achieved by applying the DTMF signal to the inputs of two sixth-order switched capacitor bandpass filters, the bandwidths of which correspond to the low and high group frequencies. The filter section also incorporates notches at 350 and 440 Hz for exceptional dial tone rejection (see Figure 3). Each filter output is followed by a single order switched capacitor filter section which smooths the signals prior to limiting. Limiting is performed by high-gain comparators which are provided with hysteresis to prevent detection of unwanted low-level signals. The outputs of the comparators provide full rail logic swings at the frequencies of the incoming DTMF signals.

Decoder Section

Following the filter section is a decoder employing digital counting techniques to determine the frequencies of the incoming tones and to verify that they correspond to standard DTMF frequencies. A complex averaging algorithm protects against tone simulation by extraneous signals such as voice while providing tolerance to small frequency deviations and variations. This averaging algorithm has been developed to ensure an optimum combination of immunity to talk-off and tolerance to the presence of interfering frequencies (third tones) and noise. When the detector recognizes the presence of two valid tones (this is referred to as the "signal condition" in some industry specifications) the "Early Steering" (ESt) output will go to an active state. Any subsequent loss of signal condition will cause ESt to assume an inactive state (see "Steering Circuit").

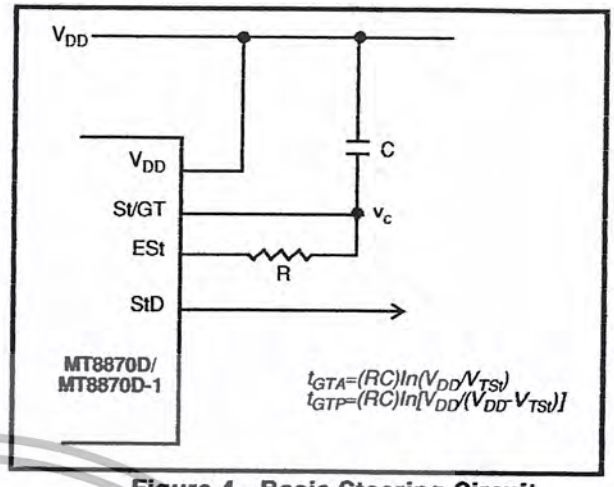


Figure 4 - Basic Steering Circuit

Steering Circuit

Before registration of a decoded tone pair, the receiver checks for a valid signal duration (referred to as character recognition condition). This check is performed by an external RC time constant driven by ESt. A logic high on ESt causes v_c (see Figure 4) to rise as the capacitor discharges. Provided signal

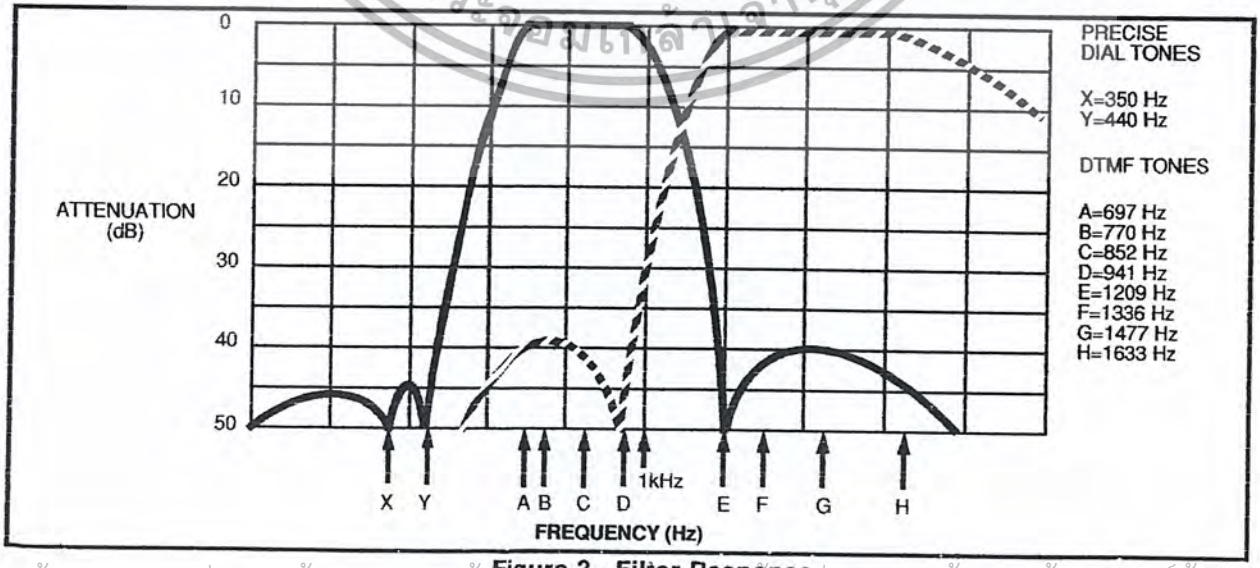


Figure 3 - Filter Response

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

condition is maintained (ESt remains high) for the validation period (t_{GTP}), v_c reaches the threshold (V_{TSt}) of the steering logic to register the tone pair, latching its corresponding 4-bit code (see Table 1) into the output latch. At this point the GT output is activated and drives v_c to V_{DD}. GT continues to drive high as long as ESt remains high. Finally, after a short delay to allow the output latch to settle, the delayed steering output flag (StD) goes high, signalling that a received tone pair has been registered. The contents of the output latch are made available on the 4-bit output bus by raising the three state control input (TOE) to a logic high. The steering circuit works in reverse to validate the interdigit pause between signals. Thus, as well as rejecting signals too short to be considered valid, the receiver will tolerate signal interruptions (dropout) too short to be considered a valid pause. This facility, together with the capability of selecting the steering time constants externally, allows the designer to tailor performance to meet a wide variety of system requirements.

Digit	TOE	INH	ESt	Q_4	Q_3	Q_2	Q_1
ANY	L	X	H	Z	Z	Z	Z
1	H	X	H	0	0	0	1
2	H	X	H	0	0	1	0
3	H	X	H	0	0	1	1
4	H	X	H	0	1	0	0
5	H	X	H	0	1	0	1
6	H	X	H	0	1	1	0
7	H	X	H	0	1	1	1
8	H	X	H	1	0	0	0
9	H	X	H	1	0	0	1
0	H	X	H	1	0	1	0
*	H	X	H	1	0	1	1
#	H	X	H	1	1	0	0
A	H	L	H	1	1	0	1
B	H	L	H	1	1	1	0
C	H	L	H	1	1	1	1
D	H	L	H	0	0	0	0
A	H	H	L	undetected, the output code will remain the same as the previous detected code			
B	H	H	L				
C	H	H	L				
D	H	H	L				

Table 1. Functional Decode Table

L=LOGIC LOW, H=LOGIC HIGH, Z=HIGH IMPEDANCE
X = DON'T CARE

Guard Time Adjustment

In many situations not requiring selection of tone duration and interdigital pause, the simple steering circuit shown in Figure 4 is applicable. Component values are chosen according to the formula:

$$t_{REC}=t_{DP}+t_{GTP}$$
$$t_{ID}=t_{DA}+t_{GTA}$$

The value of t_{DP} is a device parameter (see Figure 11) and t_{REC} is the minimum signal duration to be recognized by the receiver. A value for C of 0.1 µF is recommended for most applications, leaving R to be selected by the designer.

Different steering arrangements may be used to select independently the guard times for tone present (t_{GTP}) and tone absent (t_{GTA}). This may be necessary to meet system specifications which place both accept and reject limits on both tone duration and interdigital pause. Guard time adjustment also allows the designer to tailor system parameters such as talk off and noise immunity. Increasing t_{REC} improves talk-off performance since it reduces the probability that tones simulated by speech will maintain signal condition long enough to be registered. Alternatively, a relatively short t_{REC} with a long t_{DO} would be appropriate for extremely noisy environments where fast acquisition time and immunity to tone drop-outs are required. Design information for guard time adjustment is shown in Figure 5.

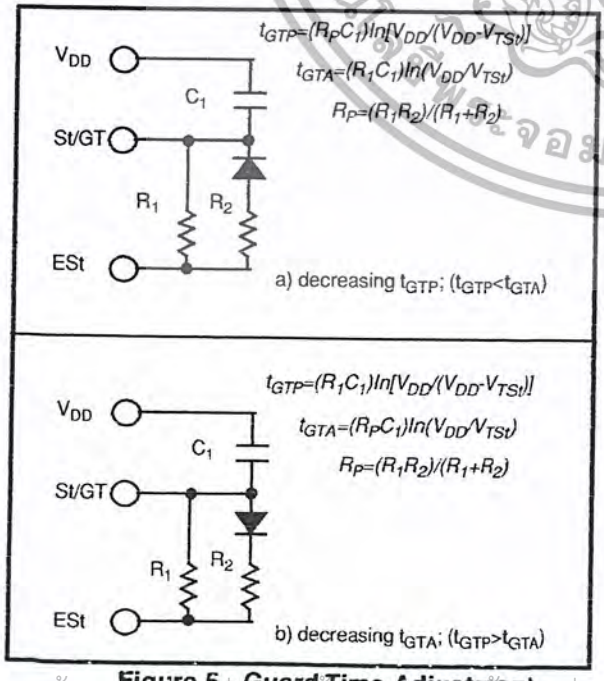


Figure 5 - Guard Time Adjustment

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Power-down and Inhibit Mode

A logic high applied to pin 6 (PWDN) will power down the device to minimize the power consumption in a standby mode. It stops the oscillator and the functions of the filters.

Inhibit mode is enabled by a logic high input to the pin 5 (INH). It inhibits the detection of tones representing characters A, B, C, and D. The output code will remain the same as the previous detected code (see Table 1).

Differential Input Configuration

The input arrangement of the MT8870D/MT8870D-1 provides a differential-input operational amplifier as well as a bias source (V_{Ref}) which is used to bias the inputs at mid-rail. Provision is made for connection of a feedback resistor to the op-amp output (GS) for adjustment of gain. In a single-ended configuration, the input pins are connected as shown in Figure 10 with the op-amp connected for unity gain and V_{Ref} biasing the input at $^1/_2V_{DD}$. Figure 6 shows the differential configuration, which permits the adjustment of gain with the feedback resistor R_5.

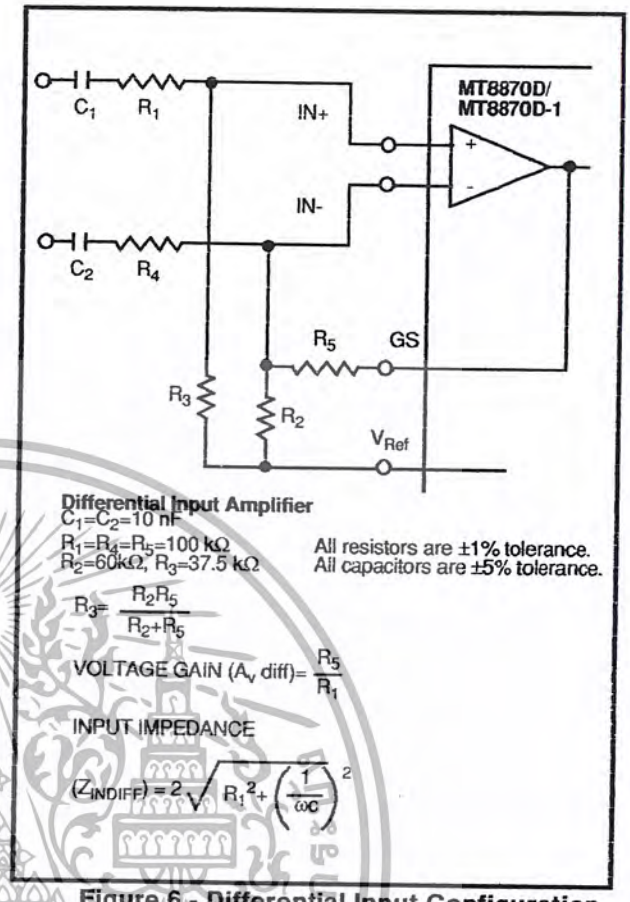


Figure 6 - Differential Input Configuration

Crystal Oscillator

The internal clock circuit is completed with the addition of an external 3.579545 MHz crystal and is normally connected as shown in Figure 10 (Single-Ended Input Configuration). However, it is possible to configure several MT8870D/MT8870D-1 devices employing only a single oscillator crystal. The oscillator output of the first device in the chain is coupled through a 30 pF capacitor to the oscillator input (OSC1) of the next device. Subsequent devices are connected in a similar fashion. Refer to Figure 7 for details. The problems associated with unbalanced loading are not a concern with the arrangement shown, i.e., precision balancing capacitors are not required.

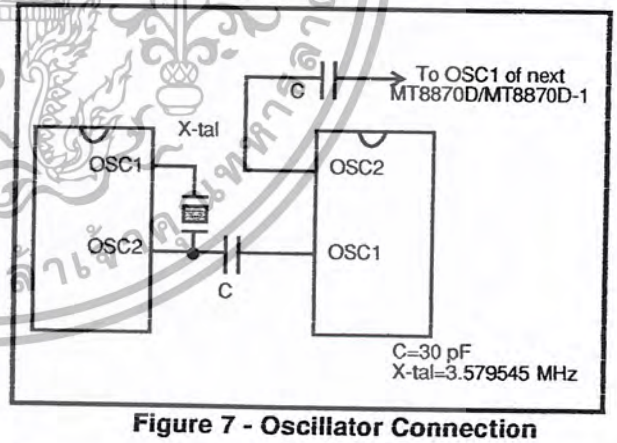


Figure 7 - Oscillator Connection

Parameter	Unit	Resonator
R1	Ohms	10.752
L1	mH	.432
C1	pF	4.984
C0	pF	37.915
Qm	-	896.37
Δf	%	±0.2%

Table 2. Recommended Resonator Specifications

Note: Qm=quality factor of RLC model, i.e., $1/2\Pi fR1C1$.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Applications

RECEIVER SYSTEM FOR BRITISH TELECOM SPEC POR 1151

The circuit shown in Fig. 9 illustrates the use of MT8870D-1 device in a typical receiver system. BT Spec defines the input signals less than -34 dBm as the non-operate level. This condition can be attained by choosing a suitable values of R_1 and R_2 to provide 3 dB attenuation, such that -34 dBm input signal will correspond to -37 dBm at the gain setting pin GS of MT8870D-1. As shown in the diagram, the component values of R_3 and C_2 are the guard time requirements when the total component tolerance is 6%. For better performance, it is recommended to use the non-symmetric guard time circuit in Fig. 8.

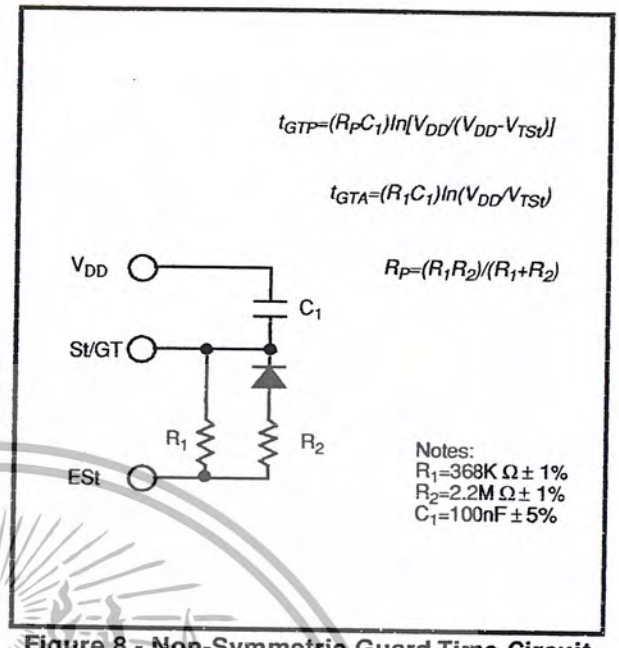


Figure 8 - Non-Symmetric Guard Time Circuit

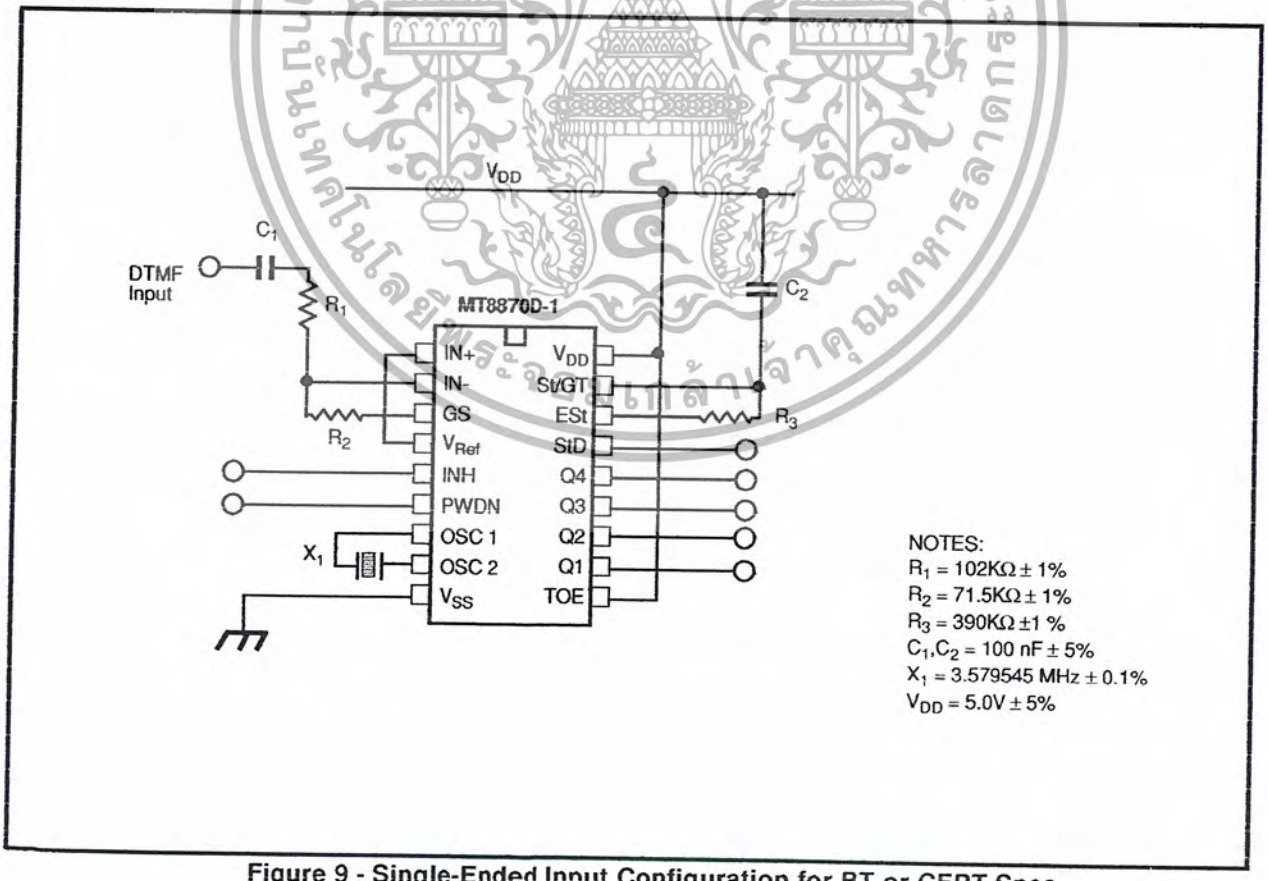


Figure 9 - Single-Ended Input Configuration for BT or CEPT Spec

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings†

	Parameter	Symbol	Min	Max	Units
1	DC Power Supply Voltage	V_{DD}		7	V
2	Voltage on any pin	V_I	V_{SS}-0.3	V_{DD}+0.3	V
3	Current at any pin (other than supply)	I_I		10	mA
4	Storage temperature	T_{STG}	-65	+150	°C
5	Package power dissipation	P_D		500	mW

† Exceeding these values may cause permanent damage. Functional operation under these conditions is not implied.
Derate above 75 °C at 16 mW / °C. All leads soldered to board.

Recommended Operating Conditions - Voltages are with respect to ground (V_{SS}) unless otherwise stated.

	Parameter	Sym	Min	Typ‡	Max	Units	Test Conditions
1	DC Power Supply Voltage	V_{DD}	4.75	5.0	5.25	V	
2	Operating Temperature	T_O	-40		+85	°C	
3	Crystal/Clock Frequency	fc		3.579545		MHz	
4	Crystal/Clock Freq.Tolerance	Δfc		±0.1		%	

‡ Typical figures are at 25°C and are for design aid only: not guaranteed and not subject to production testing.

DC Electrical Characteristics - V_{DD}=5.0V± 5%, V_{SS}=0V, -40°C ≤ T_O ≤ +85°C, unless otherwise stated.

		Characteristics	Sym	Min	Typ‡	Max	Units	Test Conditions
1	SUPPLY	Standby supply current	I_{DDQ}		10	25	µA	PWDN=V_{DD}
2		Operating supply current	I_{DD}		3.0	9.0	mA	
3		Power consumption	P_O		15		mW	fc=3.579545 MHz
4	INPUTS	High level input	V_{IH}	3.5			V	V_{DD}=5.0V
5		Low level input voltage	V_{IL}			1.5	V	V_{DD}=5.0V
6		Input leakage current	I_{IH}/I_{IL}		0.1		µA	V_{IN}=V_{SS} or V_{DD}
7		Pull up (source) current	I_{SO}		7.5	20	µA	TOE (pin 10)=0, V_{DD}=5.0V
8		Pull down (sink) current	I_{SI}		15	45	µA	INH=5.0V, PWDN=5.0V, V_{DD}=5.0V
9		Input impedance (IN+, IN-)	R_{IN}		10		MΩ	@ 1 kHz
10		Steering threshold voltage	V_{TSt}	2.2	2.4	2.5	V	V_{DD} = 5.0V
11	OUTPUTS	Low level output voltage	V_{OL}			V_{SS}+0.03	V	No load
12		High level output voltage	V_{OH}	V_{DD}-0.03			V	No load
13		Output low (sink) current	I_{OL}	1.0	2.5		mA	V_{OUT}=0.4 V
14		Output high (source) current	I_{OH}	0.4	0.8		mA	V_{OUT}=4.6 V
15		V_{Ref} output voltage	V_{Ref}	2.3	2.5	2.7	V	No load, V_{DD} = 5.0V
16		V_{Ref} output resistance	R_{OR}		1		kΩ	

‡ Typical figures are at 25°C and are for design aid only: not guaranteed and not subject to production testing.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Operating Characteristics - V_{DD}=5.0V±5%, V_{SS}=0V, -40°C ≤ T_O ≤ +85°C ,unless otherwise stated.

Gain Setting Amplifier

	Characteristics	Sym	Min	Typ‡	Max	Units	Test Conditions
1	Input leakage current	I_{IN}			100	nA	$V_{SS} \le V_{IN} \le V_{DD}$
2	Input resistance	R_{IN}	10			MΩ	
3	Input offset voltage	V_{OS}			25	mV	
4	Power supply rejection	PSRR	50			dB	1 kHz
5	Common mode rejection	CMRR	40			dB	0.75 V ≤ V_{IN} ≤ 4.25 V biased at V_{Ref} =2.5 V
6	DC open loop voltage gain	A_{VOL}	32			dB	
7	Unity gain bandwidth	f_C	0.30			MHz	
8	Output voltage swing	V_O	4.0			V_{pp}	Load ≥ 100 kΩ to V_{SS} @ GS
9	Maximum capacitive load (GS)	C_L			100	pF	
10	Resistive load (GS)	R_L			50	kΩ	
11	Common mode range	V_{CM}	2.5			V_{pp}	No Load

MT8870D AC Electrical Characteristics - V_{DD}=5.0V ±5%, V_{SS}=0V, -40°C ≤ T_O ≤ +85°C , using Test Circuit shown in Figure 10.

	Characteristics	Sym	Min	Typ‡	Max	Units	Notes*
1	Valid input signal levels (each tone of composite signal)		-29		+1	dBm	1,2,3,5,6,9
			27.5		869	mV_{RMS}	1,2,3,5,6,9
2	Negative twist accept				8	dB	2,3,6,9,12
3	Positive twist accept				8	dB	2,3,6,9,12
4	Frequency deviation accept		±1.5% ± 2 Hz				2,3,5,9
5	Frequency deviation reject		±3.5%				2,3,5,9
6	Third tone tolerance			-16		dB	2,3,4,5,9,10
7	Noise tolerance			-12		dB	2,3,4,5,7,9,10
8	Dial tone tolerance			+22		dB	2,3,4,5,8,9,11

‡ Typical figures are at 25 °C and are for design aid only: not guaranteed and not subject to production testing.

***NOTES**

1. dBm= decibels above or below a reference power of 1 mW into a 600 ohm load.
2. Digit sequence consists of all DTMF tones.
3. Tone duration= 40 ms, tone pause= 40 ms.
4. Signal condition consists of nominal DTMF frequencies.
5. Both tones in composite signal have an equal amplitude.
6. Tone pair is deviated by ±1.5 %± 2 Hz.
7. Bandwidth limited (3 kHz) Gaussian noise.
8. The precise dial tone frequencies are (350 Hz and 440 Hz) ± 2 %.
9. For an error rate of better than 1 in 10,000.
10. Referenced to lowest level frequency component in DTMF signal.
11. Referenced to the minimum valid accept level.
12. Guaranteed by design and characterization.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MT8870D-1 AC Electrical Characteristics

- V_{DD}=5.0V±5%, V_{SS}=0V, -40°C ≤ T_O ≤ +85°C , using Test Circuit shown in Figure 10.

	Characteristics	Sym	Min	Typ‡	Max	Units	Notes*
1	Valid input signal levels (each tone of composite signal)		-31		+1	dBm	Tested at V_{DD}=5.0V 1,2,3,5,6,9
			21.8		869	mV_{RMS}	
2	Input Signal Level Reject		-37			dBm	Tested at V_{DD}=5.0V 1,2,3,5,6,9
			10.9			mV_{RMS}	
3	Negative twist accept				8	dB	2,3,6,9,13
4	Positive twist accept				8	dB	2,3,6,9,13
5	Frequency deviation accept		±1.5%± 2 Hz				2,3,5,9
6	Frequency deviation reject		±3.5%				2,3,5,9
7	Third zone tolerance			-18.5		dB	2,3,4,5,9,12
8	Noise tolerance			-12		dB	2,3,4,5,7,9,10
9	Dial tone tolerance			+22		dB	2,3,4,5,8,9,11

‡ Typical figures are at 25 °C and are for design aid only: not guaranteed and not subject to production testing.

***NOTES**
1. dBm= decibels above or below a reference power of 1 mW into a 600 ohm load.
2. Digit sequence consists of all DTMF tones.
3. Tone duration= 40 ms, tone pause= 40 ms.
4. Signal condition consists of nominal DTMF frequencies.
5. Both tones in composite signal have an equal amplitude.
6. Tone pair is deviated by ±1.5 %± 2 Hz.
7. Bandwidth limited (3 kHz) Gaussian noise.
8. The precise dial tone frequencies are (350 Hz and 440 Hz) ± 2 %.
9. For an error rate of better than 1 in 10,000.
10. Referenced to lowest level frequency component in DTMF signal.
11. Referenced to the minimum valid accept level.
12. Referenced to Fig. 10 input DTMF tone level at -25dBm (-28dBm at GS Pin) interference frequency range between 480-3400Hz.
13. Guaranteed by design and characterization.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC Electrical Characteristics - V_{DD}=5.0V±5%, V_{SS}=0V, -40°C ≤ To ≤ +85°C , using Test Circuit shown in Figure 10.

		Characteristics	Sym	Min	Typ‡	Max	Units	Conditions
1	TIMING	Tone present detect time	t_{DP}	5	11	14	ms	Note 1
2		Tone absent detect time	t_{DA}	0.5	4	8.5	ms	Note 1
3		Tone duration accept	t_{REC}			40	ms	Note 2
4		Tone duration reject	$t_{\overline{REC}}$	20			ms	Note 2
5		Interdigit pause accept	t_{ID}			40	ms	Note 2
6		Interdigit pause reject	t_{DO}	20			ms	Note 2
7	OUTPUTS	Propagation delay (St to Q)	t_{PQ}		8	11	µs	TOE=V_{DD}
8		Propagation delay (St to StD)	t_{PStD}		12	16	µs	TOE=V_{DD}
9		Output data set up (Q to StD)	t_{QStD}		3.4		µs	TOE=V_{DD}
10		Propagation delay (TOE to Q ENABLE)	t_{PTE}		50		ns	load of 10 kΩ, 50 pF
11		Propagation delay (TOE to Q DISABLE)	t_{PTD}		300		ns	load of 10 kΩ, 50 pF
12	PDWN	Power-up time	t_{PU}		30		ms	Note 3
13		Power-down time	t_{PD}		20		ms	
14	CLOCK	Crystal/clock frequency	f_C	3.5759	3.5795	3.5831	MHz	
15		Clock input rise time	t_{LHCL}			110	ns	Ext. clock
16		Clock input fall time	t_{HLCL}			110	ns	Ext. clock
17		Clock input duty cycle	DC_{CL}	40	50	60	%	Ext. clock
18		Capacitive load (OSC2)	C_{LO}			30	pF	

‡ Typical figures are at 25°C and are for design aid only: not guaranteed and not subject to production testing.

***NOTES:**
1. Used for guard-time calculation purposes only.
2. These, user adjustable parameters, are not device specifications. The adjustable settings of these minimums and maximums are recommendations based upon network requirements.
3. With valid tone present at input, t_{PU} equals time from PDWN going low until ESt going high.

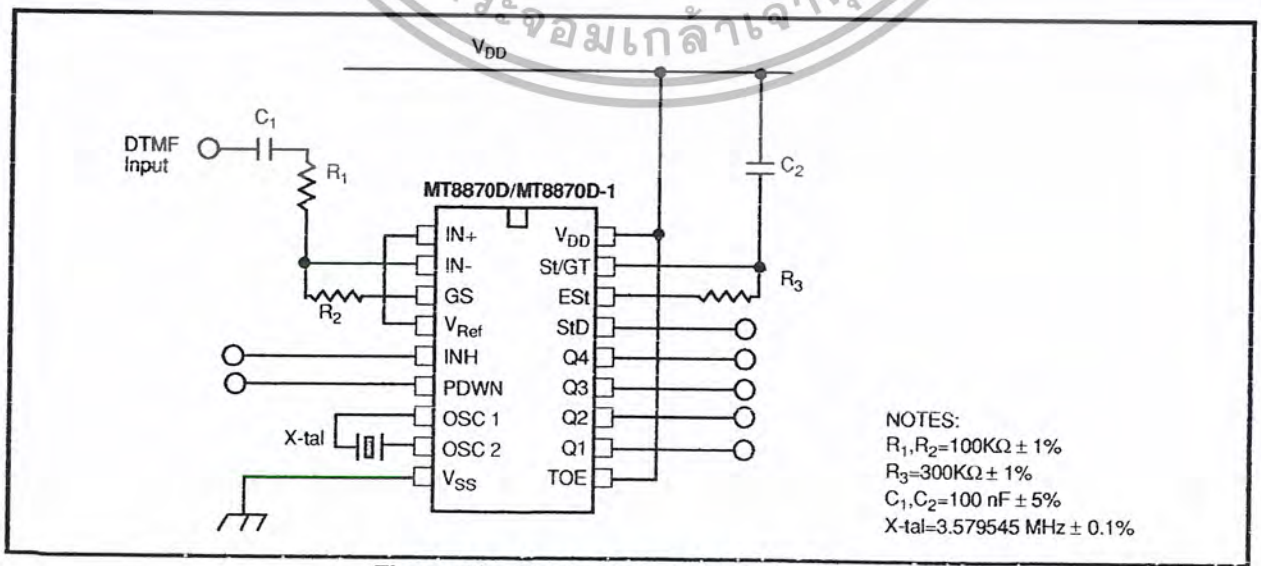
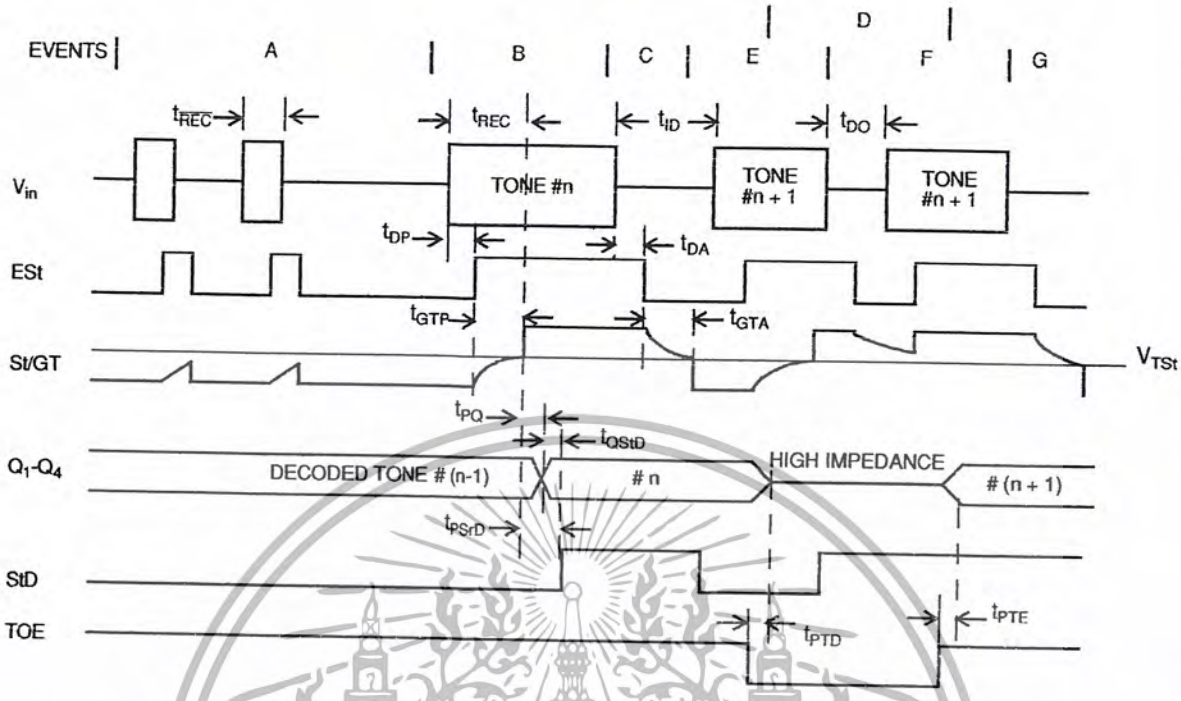


Figure 10 - Single-Ended Input Configuration

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



EXPLANATION OF EVENTS

A) TONE BURSTS DETECTED, TONE DURATION INVALID, OUTPUTS NOT UPDATED.

B) TONE #n DETECTED, TONE DURATION VALID, TONE DECODED AND LATCHED IN OUTPUTS

C) END OF TONE #n DETECTED, TONE ABSENT DURATION VALID, OUTPUTS REMIAN LATCHED UNTIL NEXT VALID TONE.

D) OUTPUTS SWITCHED TO HIGH IMPEDANCE STATE.

E) TONE #n + 1 DETECTED, TONE DURATION VALID, TONE DECODED AND LATCHED IN OUTPUTS (CURRENTLY HIGH IMPEDANCE).

F) ACCEPTABLE DROPOUT OF TONE #n + 1, TONE ABSENT DURATION INVALID, OUTPUTS REMAIN LATCHED.

G) END OF TONE #n + 1 DETECTED, TONE ABSENT DURATION VALID, OUTPUTS REMAIN LATCHED UNTIL NEXT VALID TONE.

EXPLANATION OF SYMBOLS

V_{in} DTMF COMPOSITE INPUT SIGNAL.

ESt EARLY STEERING OUTPUT. INDICATES DETECTION OF VALID TONE FREQUENCIES.

St/GT STEERING INPUT/GUARD TIME OUTPUT. DRIVES EXTERNAL RC TIMING CIRCUIT.

Q_1-Q_4 4-BIT DECODED TONE OUTPUT.

StD DELAYED STEERING OUTPUT. INDICATES THAT VALID FREQUENCIES HAVE BEEN PRESENT/ABSENT FOR THE REQUIRED GUARD TIME THUS CONSTITUTING A VALID SIGNAL.

TOE TONE OUTPUT ENABLE (INPUT). A LOW LEVEL SHIFTS Q_1-Q_4 TO ITS HIGH IMPEDANCE STATE.

$t_{\overline{REC}}$ MAXIMUM DTMF SIGNAL DURATION NOT DETECED AS VALID

t_{REC} MINIMUM DTMF SIGNAL DURATION REQUIRED FOR VALID RECOGNITION

t_{ID} MAXIMUM TIME BETWEEN VALID DTMF SIGNALS.

t_{DO} MAXIMUM ALLOWABLE DROP OUT DURING VALID DTMF SIGNAL.

t_{DP} TIME TO DETECT THE PRESENCE OF VALID DTMF SIGNALS.

t_{DA} TIME TO DETECT THE ABSENCE OF VALID DTMF SIGNALS.

t_{GTP} GUARD TIME, TONE PRESENT.

t_{GTA} GUARD TIME, TONE ABSENT.

Figure 11 - Timing Diagram

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

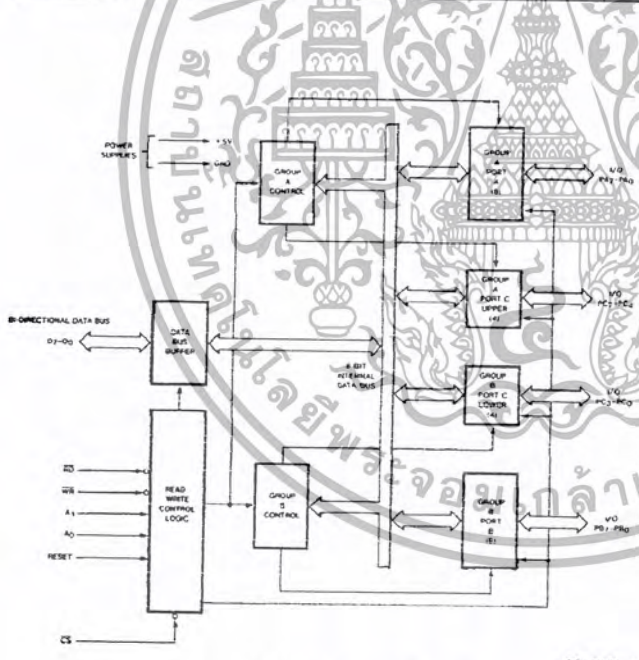
82C55A
CHMOS PROGRAMMABLE PERIPHERAL INTERFACE

- **Compatible with all Intel and Most Other Microprocessors**
- **High Speed, "Zero Wait State" Operation with 8 MHz 8086/88 and 80186/188**
- **24 Programmable I/O Pins**
- **Low Power CHMOS**
- **Completely TTL Compatible**
- **Control Word Read-Back Capability**
- **Direct Bit Set/Reset Capability**
- **2.5 mA DC Drive Capability on all I/O Port Outputs**
- **Available in 40-Pin DIP and 44-Pin PLCC**
- **Available in EXPRESS**
  - **— Standard Temperature Range**
  - **— Extended Temperature Range**

The Intel 82C55A is a high-performance, CHMOS version of the industry standard 8255A general purpose programmable I/O device which is designed for use with all Intel and most other microprocessors. It provides 24 I/O pins which may be individually programmed in 2 groups of 12 and used in 3 major modes of operation. The 82C55A is pin compatible with the NMOS 8255A and 8255A-5.

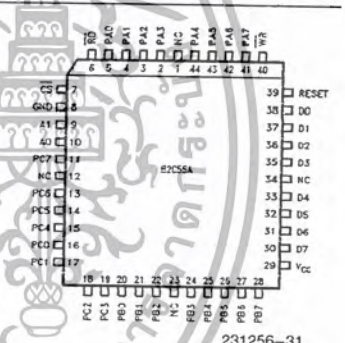
In MODE 0, each group of 12 I/O pins may be programmed in sets of 4 and 8 to be inputs or outputs. In MODE 1, each group may be programmed to have 8 lines of input or output. 3 of the remaining 4 pins are used for handshaking and interrupt control signals. MODE 2 is a strobed bi-directional bus configuration.

The 82C55A is fabricated on Intel's advanced CHMOS III technology which provides low power consumption with performance equal to or greater than the equivalent NMOS product. The 82C55A is available in 40-pin DIP and 44-pin plastic leaded chip carrier (PLCC) packages.



231256-1

Figure 1. 82C55A Block Diagram



231256-31

231256-2

Figure 2. 82C55A Pinout

Diagrams are for pin reference only. Package sizes are not to scale.

October 1995

Order Number: 231256-004

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table 1. Pin Description

Symbol	Pin Number Dip	Pin Number PLCC	Type	Name and Function
PA_{3-0}	1–4	2–5	I/O	**PORT A, PINS 0–3:** Lower nibble of an 8-bit data output latch/ buffer and an 8-bit data input latch.
$\overline{RD}$	5	6	I	**READ CONTROL:** This input is low during CPU read operations.
$\overline{CS}$	6	7	I	**CHIP SELECT:** A low on this input enables the 82C55A to respond to $\overline{RD}$ and $\overline{WR}$ signals. $\overline{RD}$ and WR are ignored otherwise.
GND	7	8		**System Ground**
A_{1-0}	8–9	9–10	I	**ADDRESS:** These input signals, in conjunction $\overline{RD}$ and $\overline{WR}$, control the selection of one of the three ports or the control word registers.
PC_{7-4}	10–13	11,13–15	I/O	**PORT C, PINS 4–7:** Upper nibble of an 8-bit data output latch/ buffer and an 8-bit data input buffer (no latch for input). This port can be divided into two 4-bit ports under the mode control. Each 4-bit port contains a 4-bit latch and it can be used for the control signal outputs and status signal inputs in conjunction with ports A and B.
PC_{0-3}	14–17	16–19	I/O	**PORT C, PINS 0–3:** Lower nibble of Port C.
PB_{0-7}	18–25	20–22, 24–28	I/O	**PORT B, PINS 0–7:** An 8-bit data output latch/buffer and an 8-bit data input buffer.
V_{CC}	26	29		**SYSTEM POWER:** + 5V Power Supply.
D_{7-0}	27–34	30–33, 35–38	I/O	**DATA BUS:** Bi-directional, tri-state data bus lines, connected to system data bus.
RESET	35	39	I	**RESET:** A high on this input clears the control register and all ports are set to the input mode.
$\overline{WR}$	36	40	I	**WRITE CONTROL:** This input is low during CPU write operations.
PA_{7-4}	37–40	41–44	I/O	**PORT A, PINS 4–7:** Upper nibble of an 8-bit data output latch/ buffer and an 8-bit data input latch.
NC		1, 12, 23, 34		No Connect

A_1	A_0	$\overline{RD}$	$\overline{WR}$	$\overline{CS}$	Input Operation (Read)
0	0	0	1	0	Port A - Data Bus
0	1	0	1	0	Port B - Data Bus
1	0	0	1	0	Port C - Data Bus
1	1	0	1	0	Control Word - Data Bus
					Output Operation (Write)
0	0	1	0	0	Data Bus - Port A
0	1	1	0	0	Data Bus - Port B
1	0	1	0	0	Data Bus - Port C
1	1	1	0	0	Data Bus - Control
					Disable Function
X	X	X	X	1	Data Bus - 3 - State
X	X	1	1	0	Data Bus - 3 - State

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

82C55A FUNCTIONAL DESCRIPTION

General

The 82C55A is a programmable peripheral interface device designed for use in Intel microcomputer systems. Its function is that of a general purpose I/O component to interface peripheral equipment to the microcomputer system bus. The functional configuration of the 82C55A is programmed by the system software so that normally no external logic is necessary to interface peripheral devices or structures.

Data Bus Buffer

This 3-state bidirectional 8-bit buffer is used to interface the 82C55A to the system data bus. Data is transmitted or received by the buffer upon execution of input or output instructions by the CPU. Control words and status information are also transferred through the data bus buffer.

Read/Write and Control Logic

The function of this block is to manage all of the internal and external transfers of both Data and Control or Status words. It accepts inputs from the CPU Address and Control busses and in turn, issues commands to both of the Control Groups.

Group A and Group B Controls

The functional configuration of each port is programmed by the systems software. In essence, the CPU "outputs" a control word to the 82C55A. The control word contains information such as "mode", "bit set", "bit reset", etc., that initializes the functional configuration of the 82C55A.

Each of the Control blocks (Group A and Group B) accepts "commands" from the Read/Write Control Logic, receives "control words" from the internal data bus and issues the proper commands to its associated ports.

Control Group A - Port A and Port C upper (C7–C4)
Control Group B - Port B and Port C lower (C3–C0)

The control word register can be both written and read as shown in the address decode table in the pin descriptions. Figure 6 shows the control word format for both Read and Write operations. When the control word is read, bit D7 will always be a logic "1", as this implies control word mode information.

Ports A, B, and C

The 82C55A contains three 8-bit ports (A, B, and C). All can be configured in a wide variety of functional characteristics by the system software but each has its own special features or "personality" to further enhance the power and flexibility of the 82C55A.

Port A. One 8-bit data output latch/buffer and one 8-bit input latch buffer. Both "pull-up" and "pull-down" bus hold devices are present on Port A.

Port B. One 8-bit data input/output latch/buffer. Only "pull-up" bus hold devices are present on Port B.

Port C. One 8-bit data output latch/buffer and one 8-bit data input buffer (no latch for input). This port can be divided into two 4-bit ports under the mode control. Each 4-bit port contains a 4-bit latch and it can be used for the control signal outputs and status signal inputs in conjunction with ports A and B. Only "pull-up" bus hold devices are present on Port C.

See Figure 4 for the bus-hold circuit configuration for Port A, B, and C.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

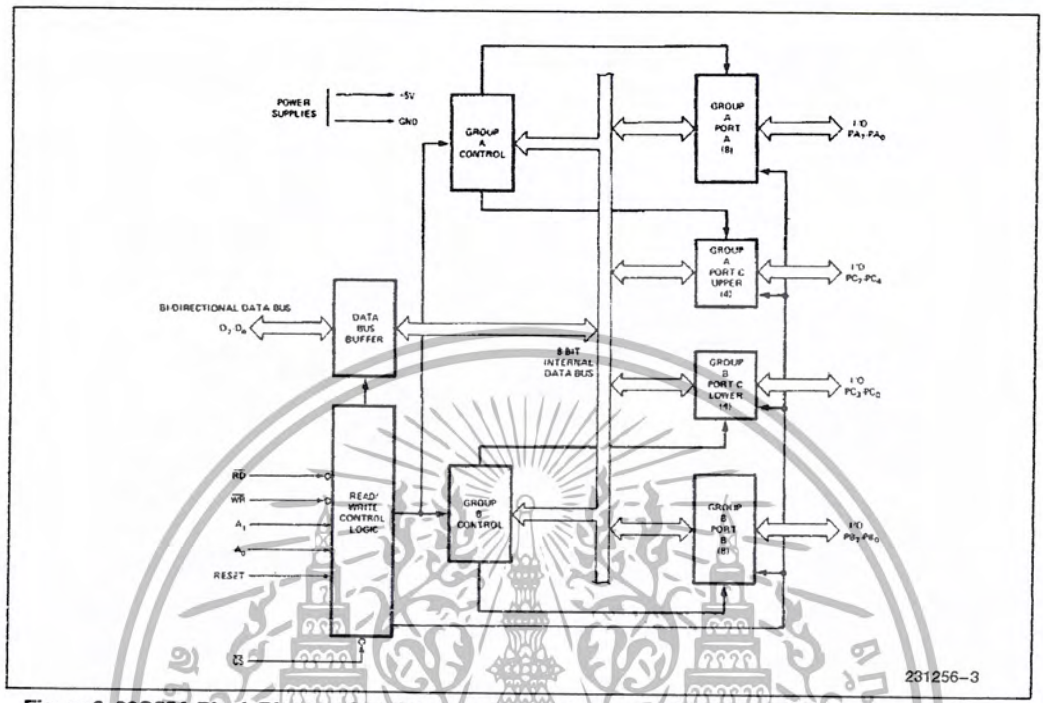
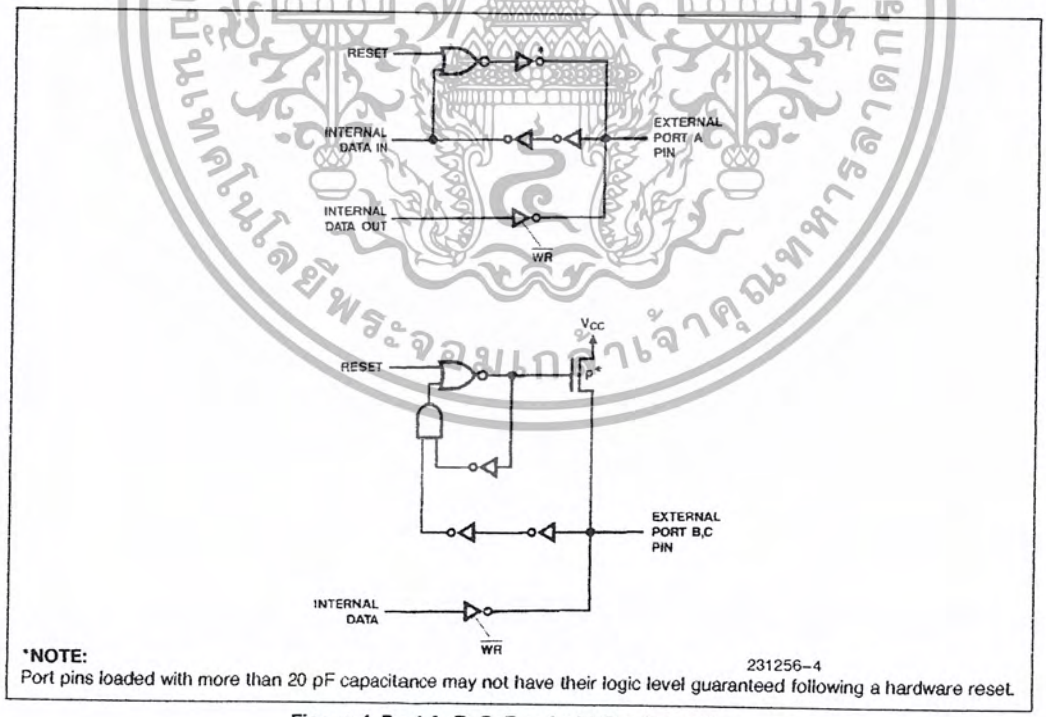


Figure 3. 82C55A Block Diagram Showing Data Bus Buffer and Read/Write Control Logic Functions



*NOTE:
Port pins loaded with more than 20 pF capacitance may not have their logic level guaranteed following a hardware reset.

Figure 4. Port A, B, C, Bus-hold Configuration

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

82C55A OPERATIONAL DESCRIPTION

Mode Selection

There are three basic modes of operation that can be selected by the system software:

Mode 0 — Basic input/output
Mode 1 — Strobed Input/output
Mode 2 — Bi-directional Bus

When the reset input goes "high" all ports will be set to the input mode with all 24 port lines held at a logic "one" level by the internal bus hold devices (see Figure 4 Note). After the reset is removed the 82C55A can remain in the input mode with no additional initialization required. This eliminates the need for pullup or pulldown devices in "all CMOS" designs. During the execution of the system program, any of the other modes may be selected by using a single output instruction. This allows a single 82C55A to service a variety of peripheral devices with a simple software maintenance routine.

The modes for Port A and Port B can be separately defined, while Port C is divided into two portions as required by the Port A and Port B definitions. All of the output registers, including the status flip-flops, will be reset whenever the mode is changed. Modes may be combined so that their functional definition can be "tailored" to almost any I/O structure. For instance; Group B can be programmed in Mode 0 to monitor simple switch closings or display computational results. Group A could be programmed in Mode 1 to monitor a keyboard or tape reader on an interrupt-driven basis.

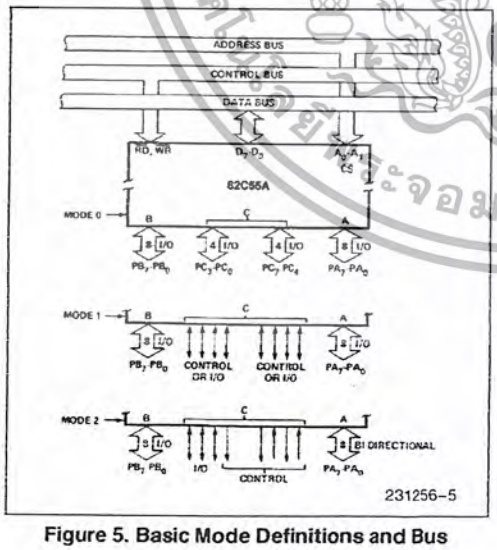


Figure 5. Basic Mode Definitions and Bus Interface

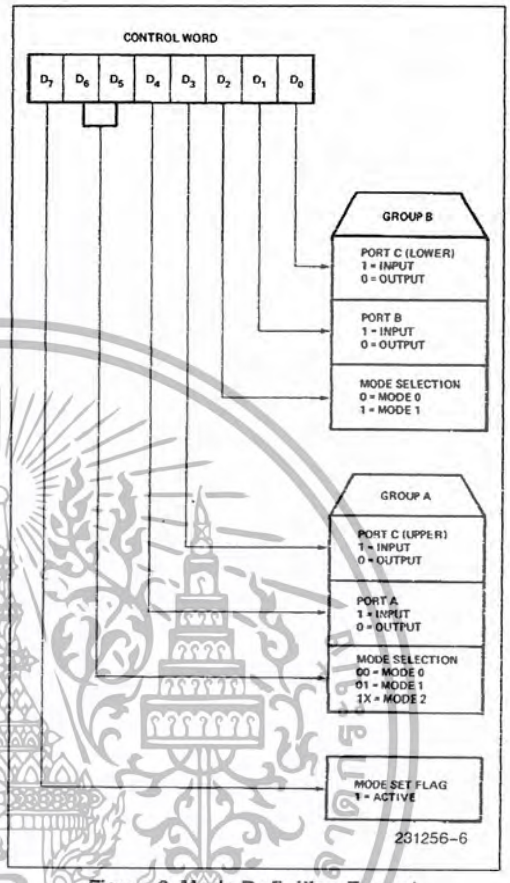


Figure 6. Mode Definition Format

The mode definitions and possible mode combinations may seem confusing at first but after a cursory review of the complete device operation a simple, logical I/O approach will surface. The design of the 82C55A has taken into account things such as efficient PC board layout, control signal definition vs PC layout and complete functional flexibility to support almost any peripheral device with no external logic. Such design represents the maximum use of the available pins.

Single Bit Set/Reset Feature

Any of the eight bits of Port C can be Set or Reset using a single OUTput instruction. This feature reduces software requirements in Control-based applications.

When Port C is being used as status/control for Port A or B, these bits can be set or reset by using the Bit Set/Reset operation just as if they were data output ports.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

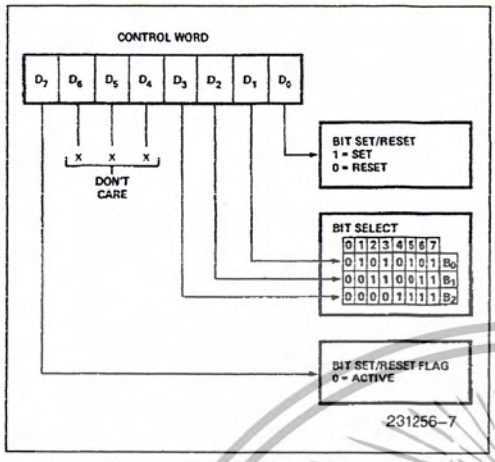


Figure 7. Bit Set/Reset Format

Interrupt Control Functions

When the 82C55A is programmed to operate in mode 1 or mode 2, control signals are provided that can be used as interrupt request inputs to the CPU. The interrupt request signals, generated from port C, can be inhibited or enabled by setting or resetting the associated INTE flip-flop, using the bit set/reset function of port C.

This function allows the Programmer to disallow or allow a specific I/O device to interrupt the CPU without affecting any other device in the interrupt structure.

INTE flip-flop definition:

(BIT-SET)—INTE is SET—Interrupt enable
(BIT-RESET)—INTE is RESET—Interrupt disable

Note:
All Mask flip-flops are automatically reset during mode selection and device Reset.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

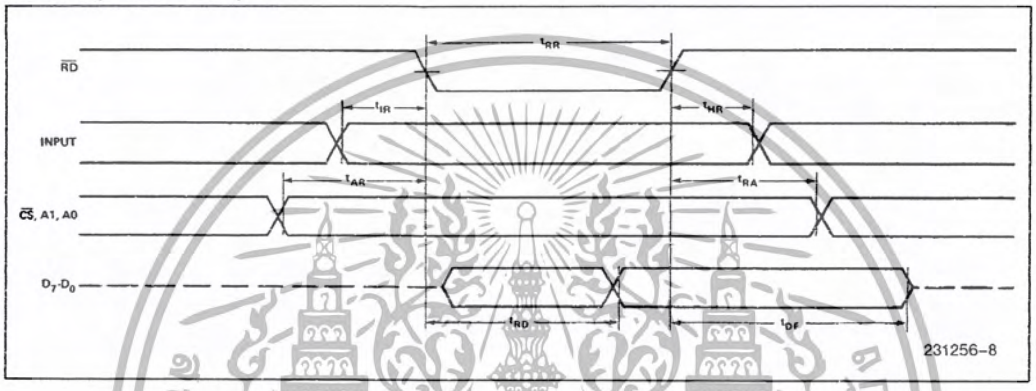
Operating Modes

Mode 0 (Basic Input/Output). This functional configuration provides simple input and output operations for each of the three ports. No "handshaking" is required, data is simply written to or read from a specified port.

Mode 0 Basic Functional Definitions:

- Two 8-bit ports and two 4-bit ports.
- Any port can be input or output.
- Outputs are latched.
- Inputs are not latched.
- 16 different Input/Output configurations are possible in this Mode.

MODE 0 (BASIC INPUT)



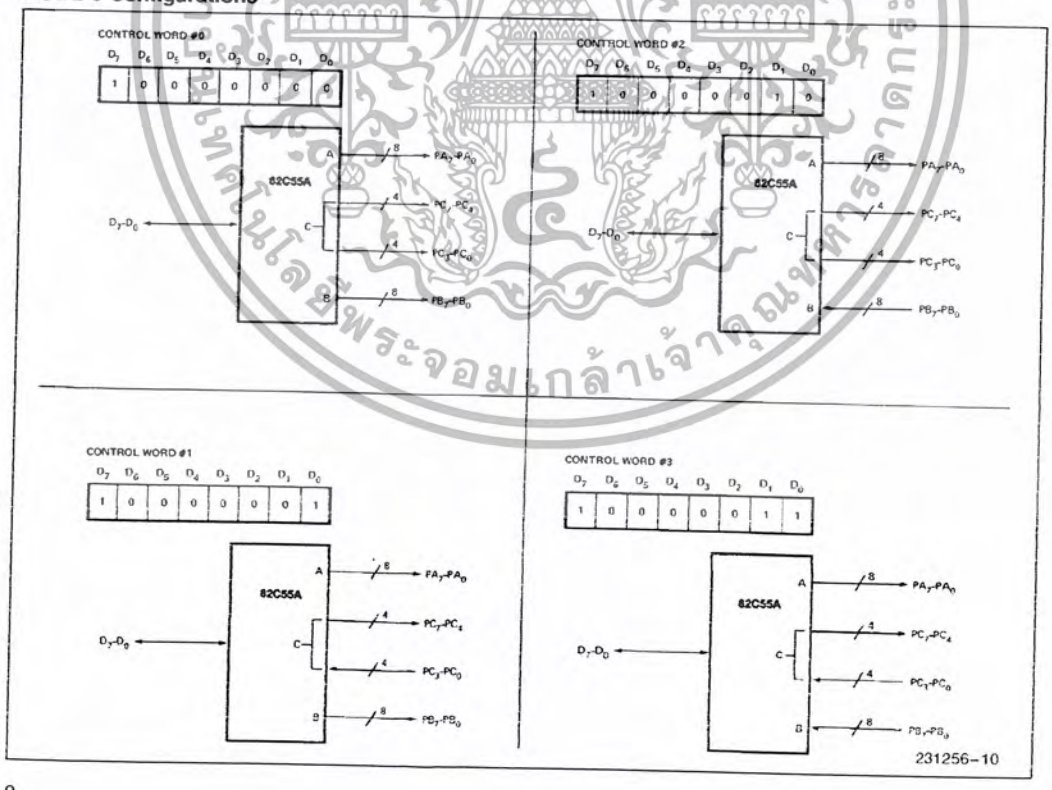
MODE 0 (BASIC OUTPUT)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MODE 0 Port Definition

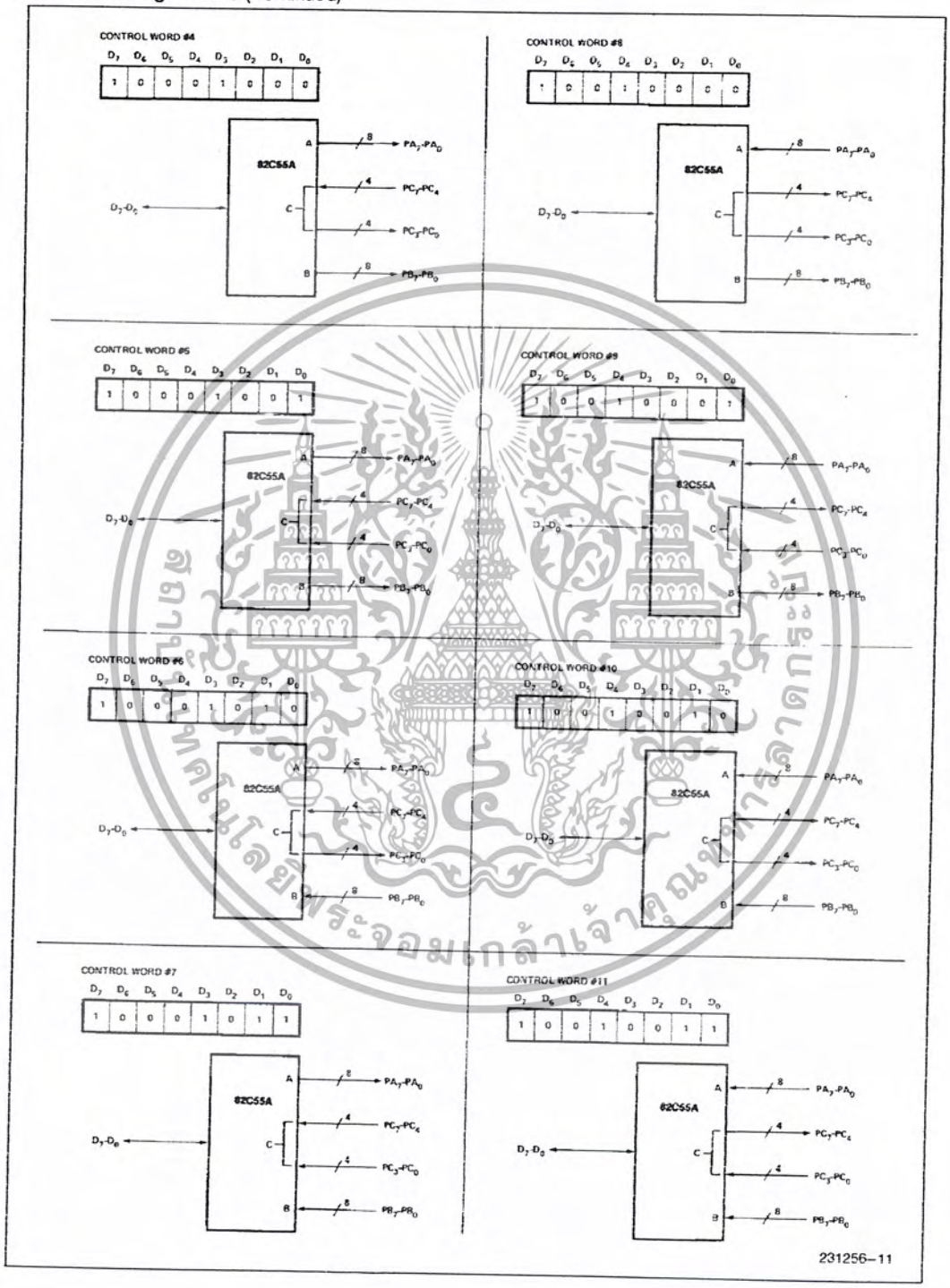
A		B		GROUP A			GROUP B	
D_4	D_3	D_1	D_0	PORT A	PORT C (UPPER)	#	PORT B	PORT C (LOWER)
0	0	0	0	OUTPUT	OUTPUT	0	OUTPUT	OUTPUT
0	0	0	1	OUTPUT	OUTPUT	1	OUTPUT	INPUT
0	0	1	0	OUTPUT	OUTPUT	2	INPUT	OUTPUT
0	0	1	1	OUTPUT	OUTPUT	3	INPUT	INPUT
0	1	0	0	OUTPUT	INPUT	4	OUTPUT	OUTPUT
0	1	0	1	OUTPUT	INPUT	5	OUTPUT	INPUT
0	1	1	0	OUTPUT	INPUT	6	INPUT	OUTPUT
0	1	1	1	OUTPUT	INPUT	7	INPUT	INPUT
1	0	0	0	INPUT	OUTPUT	8	OUTPUT	OUTPUT
1	0	0	1	INPUT	OUTPUT	9	OUTPUT	INPUT
1	0	1	0	INPUT	OUTPUT	10	INPUT	OUTPUT
1	0	1	1	INPUT	OUTPUT	11	INPUT	INPUT
1	1	0	0	INPUT	INPUT	12	OUTPUT	OUTPUT
1	1	0	1	INPUT	INPUT	13	OUTPUT	INPUT
1	1	1	0	INPUT	INPUT	14	INPUT	OUTPUT
1	1	1	1	INPUT	INPUT	15	INPUT	INPUT

MODE 0 Configurations



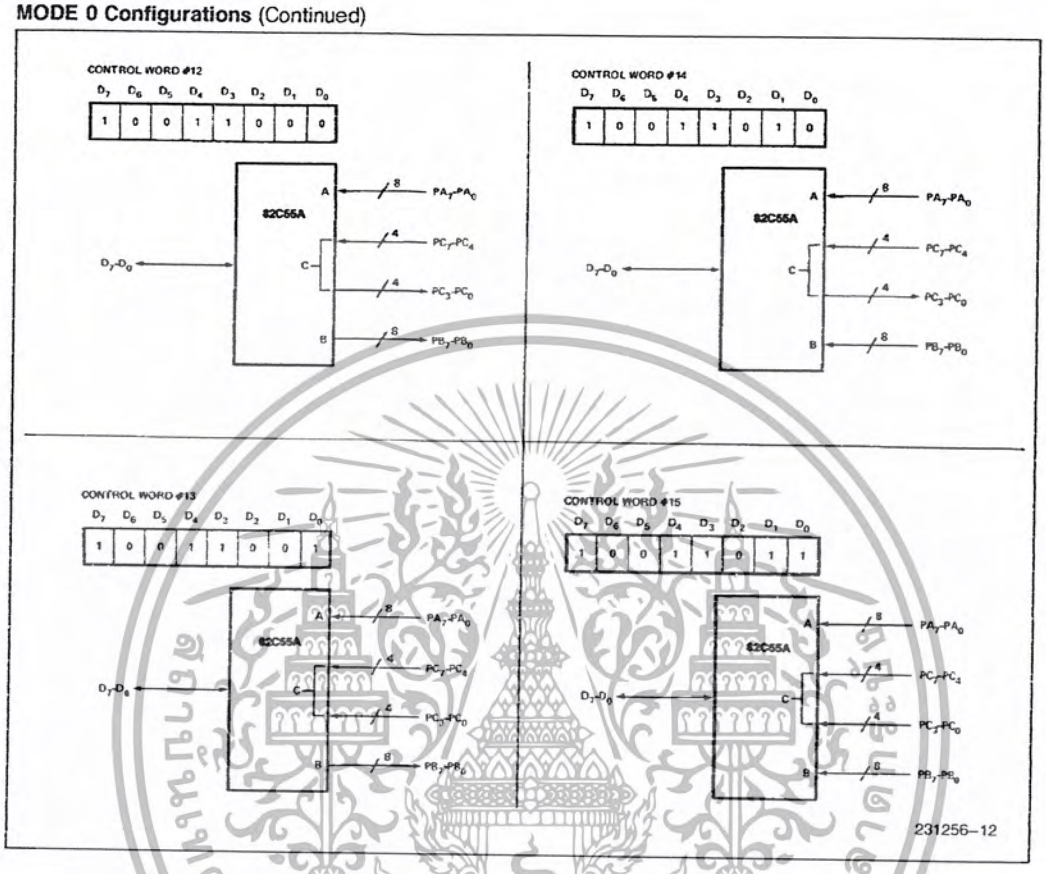
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MODE 0 Configurations (Continued)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MODE 0 Configurations (Continued)



Operating Modes

MODE 1 (Strobed Input/Output). This functional configuration provides a means for transferring I/O data to or from a specified port in conjunction with strobes or "handshaking" signals. In mode 1, Port A and Port B use the lines on Port C to generate or accept these "handshaking" signals.

Mode 1 Basic functional Definitions:

- Two Groups (Group A and Group B).
- Each group contains one 8-bit data port and one 4-bit control/data port.
- The 8-bit data port can be either input or output Both inputs and outputs are latched.
- The 4-bit port is used for control and status of the 8-bit data port.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Input Control Signal Definition

$\overline{STB}$ (Strobe Input). A "low" on this input loads data into the input latch.

IBF (Input Buffer Full F/F)

A "high" on this output indicates that the data has been loaded into the input latch; in essence, an acknowledgement. IBF is set by $\overline{STB}$ input being low and is reset by the rising edge of the $\overline{RD}$ input.

INTR (Interrupt Request)

A "high" on this output can be used to interrupt the CPU when an input device is requesting service. INTR is set by the $\overline{STB}$ is a "one", IBF is a "one" and INTE is a "one". It is reset by the falling edge of $\overline{RD}$. This procedure allows an input device to request service from the CPU by simply strobing its data into the port.

INTE A

Controlled by bit set/reset of PC_4.

INTE B

Controlled by bit set/reset of PC_2.

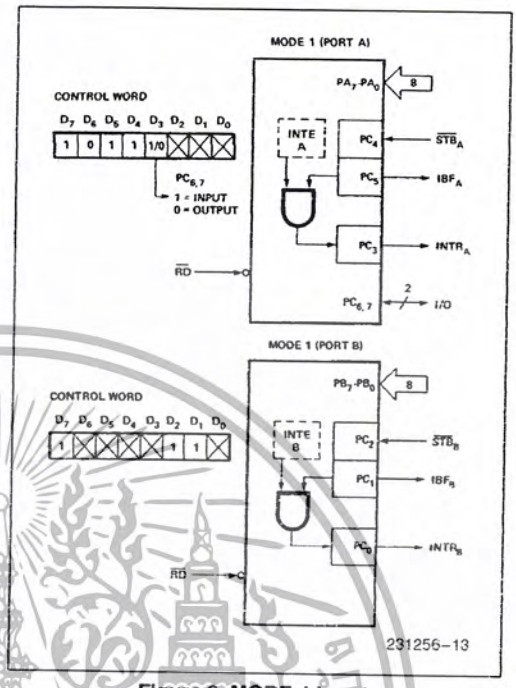


Figure 8. MODE 1 Input

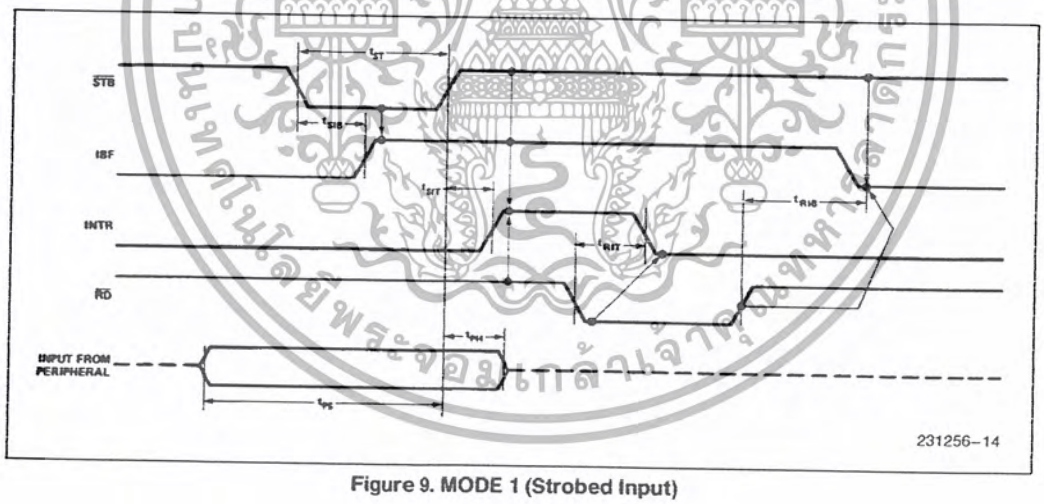


Figure 9. MODE 1 (Strobed Input)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Output Control Signal Definition

$\overline{OBF}$ (Output Buffer Full F/F). The $\overline{OBF}$ output will go "low" to indicate that the CPU has written data out to the specified port. The $\overline{OBF}$ F/F will be set by the rising edge of the $\overline{WR}$ input and reset by $\overline{ACK}$ Input being low.

$\overline{ACK}$ (Acknowledge Input). A "low" on this input informs the 82C55A that the data from Port A or Port B has been accepted. In essence, a response from the peripheral device indicating that it has received the data output by the CPU.

INTR (Interrupt Request). A "high" on this output can be used to interrupt the CPU when an output device has accepted data transmitted by the CPU. INTR is set when $\overline{ACK}$ is a "one", $\overline{OBF}$ is a "one" and INTE is a "one". It is reset by the falling edge of $\overline{WR}$.

INTE A

Controlled by bit set/reset of PC_6.

INTE B

Controlled by bit set/reset of PC_2.

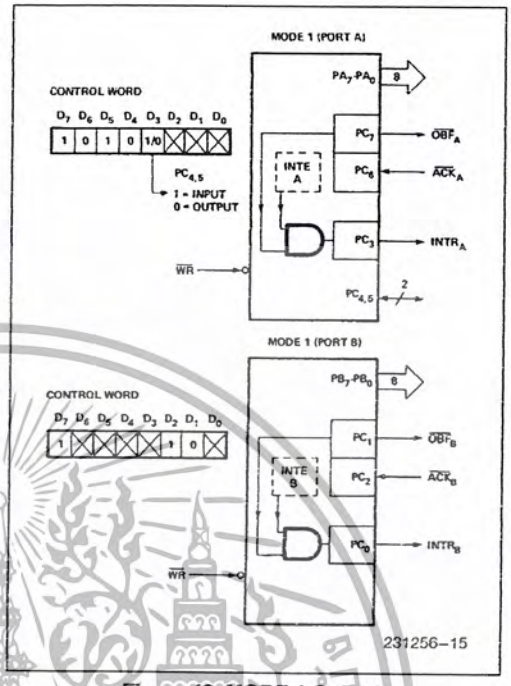


Figure 10. MODE 1 Output

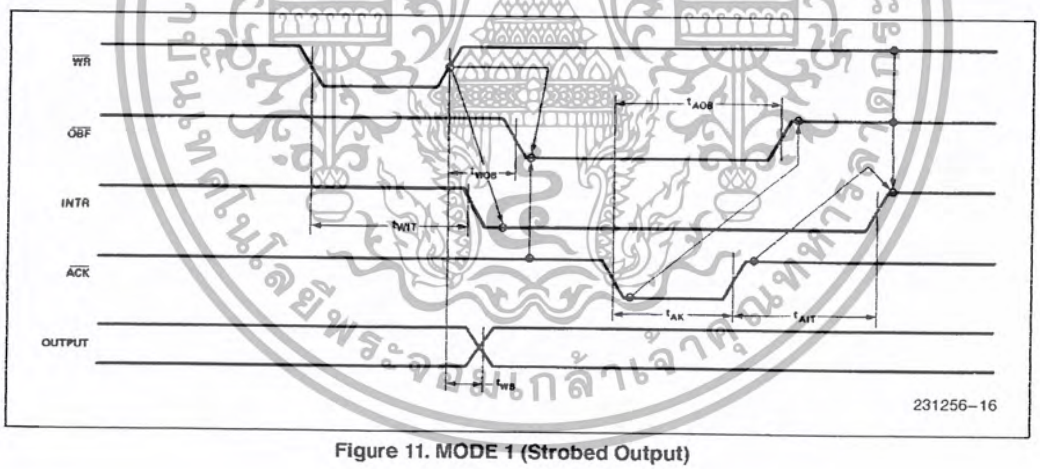


Figure 11. MODE 1 (Strobed Output)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Combinations of MODE 1

Port A and Port B can be individually defined as input or output in Mode 1 to support a wide variety of strobed I/O applications.

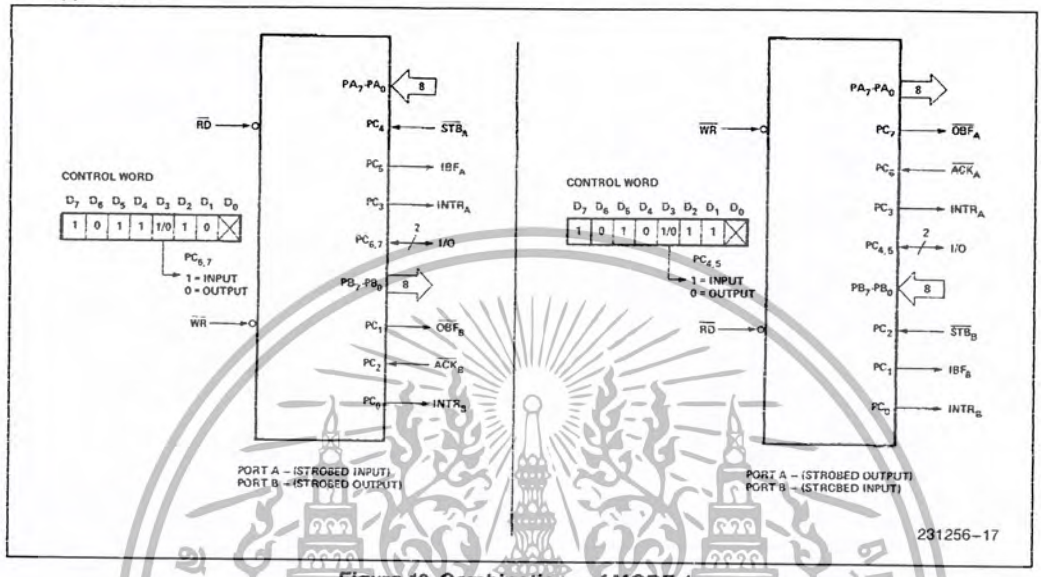


Figure 12. Combinations of MODE 1

Operating Modes

MODE 2 (Strobed Bidirectional Bus I/O). This functional configuration provides a means for communicating with a peripheral device or structure on a single 8-bit bus for both transmitting and receiving data (bidirectional bus I/O). "Handshaking" signals are provided to maintain proper bus flow discipline in a similar manner to MODE 1. Interrupt generation and enable/disable functions are also available.

MODE 2 Basic Functional Definitions:

- Used in Group A **only**.
- One 8-bit, bi-directional bus port (Port A) and a 5-bit control port (Port C).
- Both inputs and outputs are latched.
- The 5-bit control port (Port C) is used for control and status for the 8-bit, bi-directional bus port (Port A).

Bidirectional Bus I/O Control Signal Definition

INTR (Interrupt Request). A high on this output can be used to interrupt the CPU for input or output operations.

Output Operations

$\overline{OBF}$ (Output Buffer Full). The $\overline{OBF}$ output will go "low" to indicate that the CPU has written data out to port A.

$\overline{ACK}$ (Acknowledge). A "low" on this input enables the tri-state output buffer of Port A to send out the data. Otherwise, the output buffer will be in the high impedance state.

INTE 1 (The INTE Flip-Flop Associated with $\overline{OBF}$). Controlled by bit set/reset of PC_6.

Input Operations

$\overline{STB}$ (Strobe Input). A "low" on this input loads data into the input latch.

IBF (Input Buffer Full F/F). A "high" on this output indicates that data has been loaded into the input latch.

INTE 2 (The INTE Flip-Flop Associated with IBF). Controlled by bit set/reset of PC_4.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

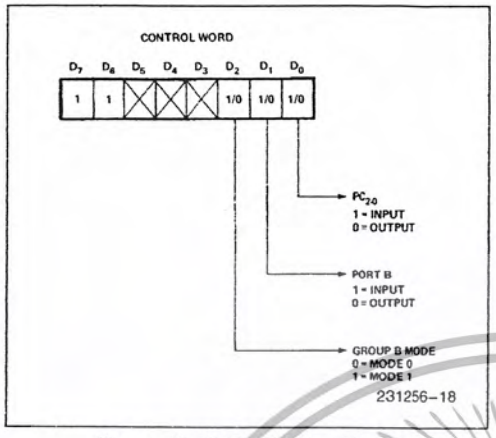


Figure 13. MODE Control Word

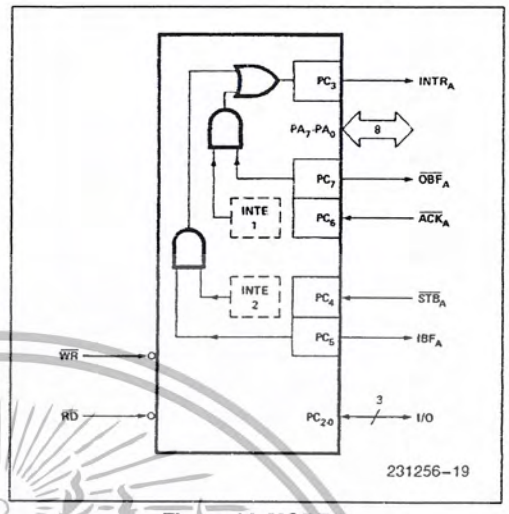


Figure 14. MODE 2

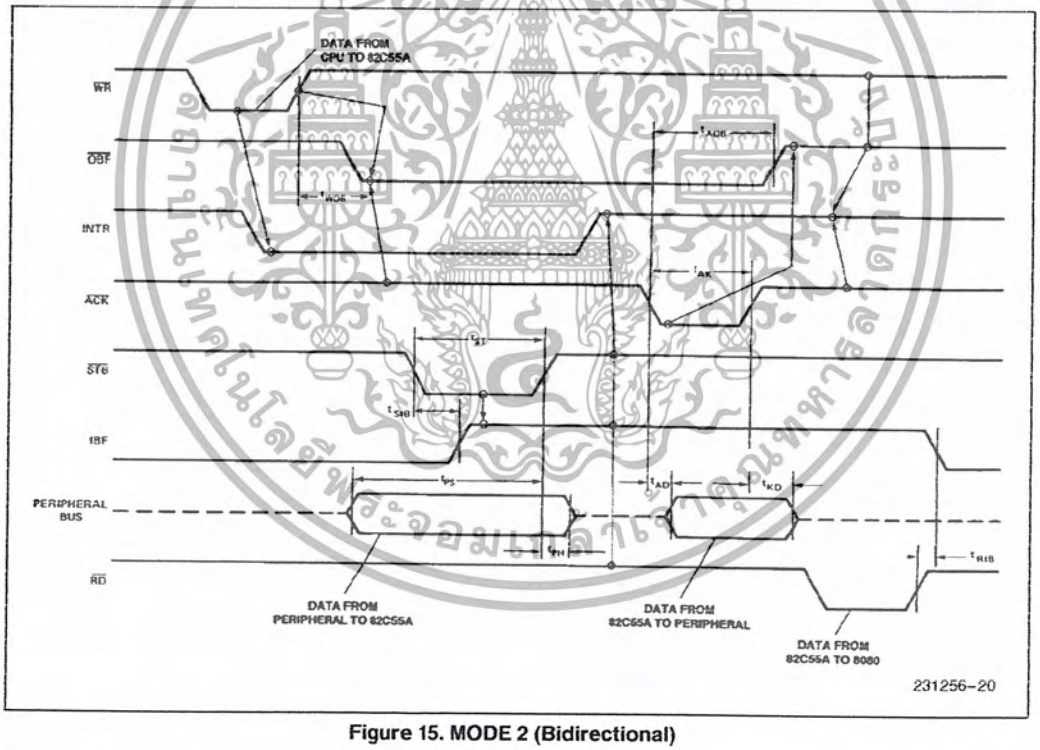


Figure 15. MODE 2 (Bidirectional)

NOTE:
Any sequence where $\overline{WR}$ occurs before $\overline{ACK}$, and $\overline{STB}$ occurs before $\overline{RD}$ is permissible.
($INTR = IBF \bullet \overline{MASK} \bullet \overline{STB} \bullet \overline{RD} + \overline{OBF} \bullet \overline{MASK} \bullet \overline{ACK} \bullet \overline{WR}$)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

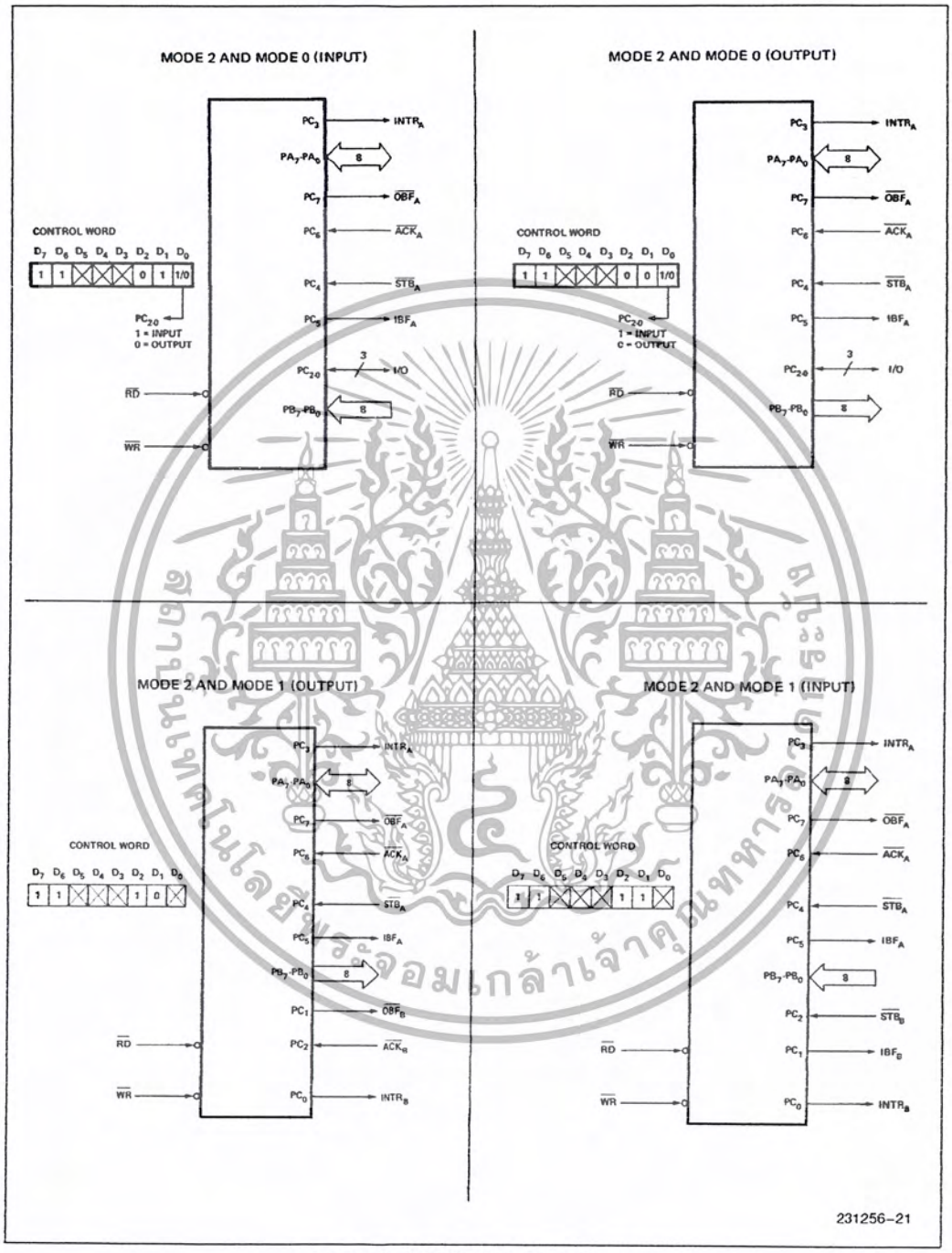


Figure 16. MODE ¼ Combinations

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Mode Definition Summary

	MODE 0		MODE 1		MODE 2	
	IN	OUT	IN	OUT	GROUP A ONLY	
PA_0	IN	OUT	IN	OUT	↔	
PA_1	IN	OUT	IN	OUT	↔	
PA_2	IN	OUT	IN	OUT	↔	
PA_3	IN	OUT	IN	OUT	↔	
PA_4	IN	OUT	IN	OUT	↔	
PA_5	IN	OUT	IN	OUT	↔	
PA_6	IN	OUT	IN	OUT	↔	
PA_7	IN	OUT	IN	OUT	↔	
PB_0	IN	OUT	IN	OUT	—	MODE 0 OR MODE 1 ONLY
PB_1	IN	OUT	IN	OUT	—	
PB_2	IN	OUT	IN	OUT	—	
PB_3	IN	OUT	IN	OUT	—	
PB_4	IN	OUT	IN	OUT	—	
PB_5	IN	OUT	IN	OUT	—	
PB_6	IN	OUT	IN	OUT	—	
PB_7	IN	OUT	IN	OUT	—	
PC_0	IN	OUT	$INTR_B$	$INTR_B$	I/O	
PC_1	IN	OUT	IBF_B	$\overline{OBF}_B$	I/O	
PC_2	IN	OUT	$\overline{STB}_B$	$\overline{ACK}_B$	I/O	
PC_3	IN	OUT	$INTR_A$	$INTR_A$	$INTR_A$	
PC_4	IN	OUT	$\overline{STB}_A$	I/O	$\overline{STB}_A$	
PC_5	IN	OUT	IBF_A	I/O	IBF_A	
PC_6	IN	OUT	I/O	$\overline{ACK}_A$	$\overline{ACK}_A$	
PC_7	IN	OUT	I/O	$\overline{OBF}_A$	$\overline{OBF}_A$	

Special Mode Combination Considerations

There are several combinations of modes possible. For any combination, some or all of the Port C lines are used for control or status. The remaining bits are either inputs or outputs as defined by a "Set Mode" command.

During a read of Port C, the state of all the Port C lines, except the $\overline{ACK}$ and $\overline{STB}$ lines, will be placed on the data bus. In place of the $\overline{ACK}$ and $\overline{STB}$ line states, flag status will appear on the data bus in the PC2, PC4, and PC6 bit positions as illustrated by Figure 18.

Through a "Write Port C" command, only the Port C pins programmed as outputs in a Mode 0 group can be written. No other pins can be affected by a "Write Port C" command, nor can the interrupt enable flags be accessed. To write to any Port C output programmed as an output in a Mode 1 group or to change an interrupt enable flag, the "Set/Reset Port C Bit" command must be used.

With a "Set/Reset Port C Bit" command, any Port C line programmed as an output (including INTR, IBF and $\overline{OBF}$) can be written, or an interrupt enable flag can be either set or reset. Port C lines programmed as inputs, including $\overline{ACK}$ and $\overline{STB}$ lines, associated with Port C are not affected by a "Set/Reset Port C Bit" command. Writing to the corresponding Port C bit positions of the $\overline{ACK}$ and $\overline{STB}$ lines with the "Set/Reset Port C Bit" command will affect the Group A and Group B interrupt enable flags, as illustrated in Figure 18.

Current Drive Capability

Any output on Port A, B or C can sink or source 2.5 mA. This feature allows the 82C55A to directly drive Darlington type drivers and high-voltage displays that require such sink or source current.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Reading Port C Status

In Mode 0, Port C transfers data to or from the peripheral device. When the 82C55A is programmed to function in Modes 1 or 2, Port C generates or accepts "hand-shaking" signals with the peripheral device. Reading the contents of Port C allows the programmer to test or verify the "status" of each peripheral device and change the program flow accordingly.

There is no special instruction to read the status information from Port C. A normal read operation of Port C is executed to perform this function.

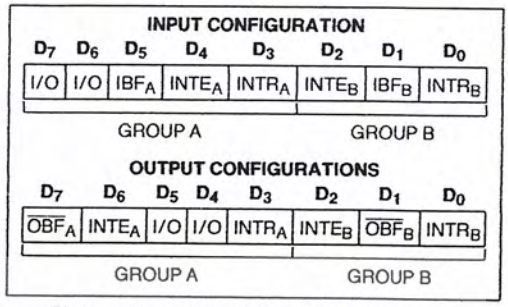


Figure 17a. MODE 1 Status Word Format

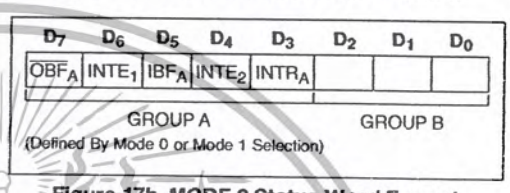


Figure 17b. MODE 2 Status Word Format

Interrupt Enable Flag	Position	Alternate Port C Pin Signal (Mode)
INTE B	PC2	$\overline{ACK}_B$ (Output Mode 1) or $\overline{STB}_B$ (Input Mode 1)
INTE A2	PC4	$\overline{STB}_A$ (Input Mode 1 or Mode 2)
INTE A1	PC6	$\overline{ACK}_A$ (Output Mode 1 or Mode 2)

Figure 18. Interrupt Enable Flags in Modes 1 and 2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ABSOLUTE MAXIMUM RATINGS*

Ambient Temperature Under Bias . . . . 0°C to + 70°C
Storage Temperature . . . . . − 65°C to + 150°C
Supply Voltage . . . . . − 0.5 to + 8.0V
Operating Voltage . . . . . + 4V to + 7V
Voltage on any Input . . . . . GND − 2V to + 6.5V
Voltage on any Output . . GND − 0.5V to V_{CC} + 0.5V
Power Dissipation . . . . . 1 Watt

NOTICE: This is a production data sheet. The specifications are subject to change without notice.

**WARNING: Stressing the device beyond the "Absolute Maximum Ratings" may cause permanent damage. These are stress ratings only. Operation beyond the "Operating Conditions" is not recommended and extended exposure beyond the "Operating Conditions" may affect device reliability.*

D.C. CHARACTERISTICS

T_A = 0°C to 70°C, V_{CC} = +5V ±10%, GND = 0V (T_A = −40°C to +85°C for Extended Temperture)

Symbol	Parameter	Min	Max	Units	Test Conditions
V_{IL}	Input Low Voltage	−0.5	0.8	V	
V_{IH}	Input High Voltage	2.0	V_{CC}	V	
V_{OL}	Output Low Voltage		0.4	V	I_{OL} = 2.5 mA
V_{OH}	Output High Voltage	3.0 V_{CC} − 0.4		V V	I_{OH} = −2.5 mA I_{OH} = −100 µA
I_{IL}	Input Leakage Current		±1	µA	V_{IN} = V_{CC} to 0V (Note 1)
I_{OFL}	Output Float Leakage Current		±10	µA	V_{IN} = V_{CC} to 0V (Note 2)
I_{DAR}	Darlington Drive Current	±2.5	(Note 4)	mA	Ports A, B, C R_{ext} = 500Ω V_{ext} = 1.7V
I_{PHL}	Port Hold Low Leakage Current	+50	+300	µA	V_{OUT} = 1.0V Port A only
I_{PHH}	Port Hold High Leakage Current	−50	−300	µA	V_{OUT} = 3.0V Ports A, B, C
I_{PHLO}	Port Hold Low Overdrive Current	−350		µA	V_{OUT} = 0.8V
I_{PHHO}	Port Hold High Overdrive Current	+350		µA	V_{OUT} = 3.0V
I_{CC}	V_{CC} Supply Current		10	mA	(Note 3)
I_{CCSB}	V_{CC} Supply Current-Standby		10	µA	V_{CC} = 5.5V V_{IN} = V_{CC} or GND Port Conditions If I/P = Open/High O/P = Open Only With Data Bus = High/Low $\overline{CS}$ = High Reset = Low Pure Inputs = Low/High

NOTES:
1. Pins A_1, A_0, $\overline{CS}$, $\overline{WR}$, $\overline{RD}$, Reset.
2. Data Bus; Ports B, C.
3. Outputs open.
4. Limit output current to 4.0 mA.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CAPACITANCE

T_A = 25°C, V_{CC} = GND = 0V

Symbol	Parameter	Min	Max	Units	Test Conditions
C_{IN}	Input Capacitance		10	pF	Unmeasured pins returned to GND f_c = 1 MHz(5)
$C_{I/O}$	I/O Capacitance		20	pF	

NOTE:
5. Sampled not 100% tested.

A.C. CHARACTERISTICS

T_A = 0° to 70°C, V_{CC} = +5V ±10%, GND = 0V

T_A = −40°C to +85°C for Extended Temperature

BUS PARAMETERS

READ CYCLE

Symbol	Parameter	82C55A-2		Units	Test Conditions
		Min	Max		
t_{AR}	Address Stable Before $\overline{RD}\downarrow$	0		ns	
t_{RA}	Address Hold Time After $\overline{RD}\uparrow$	0		ns	
t_{RR}	$\overline{RD}$ Pulse Width	150		ns	
t_{RD}	Data Delay from $\overline{RD}\downarrow$		120	ns	
t_{DF}	$\overline{RD}\uparrow$ to Data Floating	10	75	ns	
t_{RV}	Recovery Time between $\overline{RD}/\overline{WR}$	200		ns	

WRITE CYCLE

Symbol	Parameter	82C55A-2		Units	Test Conditions
		Min	Max		
t_{AW}	Address Stable Before $\overline{WR}\downarrow$	0		ns	
t_{WA}	Address Hold Time After $\overline{WR}\uparrow$	20		ns	Ports A & B
		20		ns	Port C
t_{WW}	$\overline{WR}$ Pulse Width	100		ns	
t_{DW}	Data Setup Time Before $\overline{WR}\uparrow$	100		ns	
t_{WD}	Data Hold Time After $\overline{WR}\uparrow$	30		ns	Ports A & B
		30		ns	Port C

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

OTHER TIMINGS

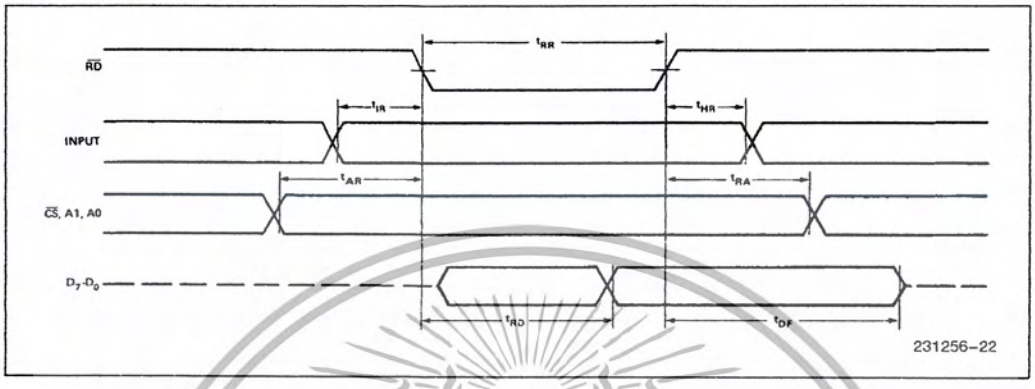
Symbol	Parameter	82C55A-2		Units Conditions	Test
		Min	Max		
t_{WB}	$\overline{WR}$ = 1 to Output		350	ns	
t_{IR}	Peripheral Data Before $\overline{RD}$	0		ns	
t_{HR}	Peripheral Data After $\overline{RD}$	0		ns	
t_{AK}	$\overline{ACK}$ Pulse Width	200		ns	
t_{ST}	$\overline{STB}$ Pulse Width	100		ns	
t_{PS}	Per. Data Before $\overline{STB}$ High	20		ns	
t_{PH}	Per. Data After $\overline{STB}$ High	50		ns	
t_{AD}	$\overline{ACK}$ = 0 to Output		175	ns	
t_{KD}	$\overline{ACK}$ = 1 to Output Float	20	250	ns	
t_{WOB}	$\overline{WR}$ = 1 to $\overline{OBF}$ = 0		150	ns	
t_{AOB}	$\overline{ACK}$ = 0 to $\overline{OBF}$ = 1		150	ns	
t_{SIB}	$\overline{STB}$ = 0 to IBF = 1		150	ns	
t_{RIB}	$\overline{RD}$ = 1 to IBF = 0		150	ns	
t_{RIT}	$\overline{RD}$ = 0 to INTR = 0		200	ns	
t_{SIT}	$\overline{STB}$ = 1 to INTR = 1		150	ns	
t_{AIT}	$\overline{ACK}$ = 1 to INTR = 1		150	ns	
t_{WIT}	$\overline{WR}$ = 0 to INTR = 0		200	ns	see note 1
t_{RES}	Reset Pulse Width	500		ns	see note 2

NOTE:
1. INTR ↑ may occur as early as $\overline{WR}$ ↓.
2. Pulse width of initial Reset pulse after power on must be at least 50 μSec. Subsequent Reset pulses may be 500 ns minimum. The output Ports A, B, or C may glitch low during the reset pulse but all port pins will be held at a logic "one" level after the reset pulse.

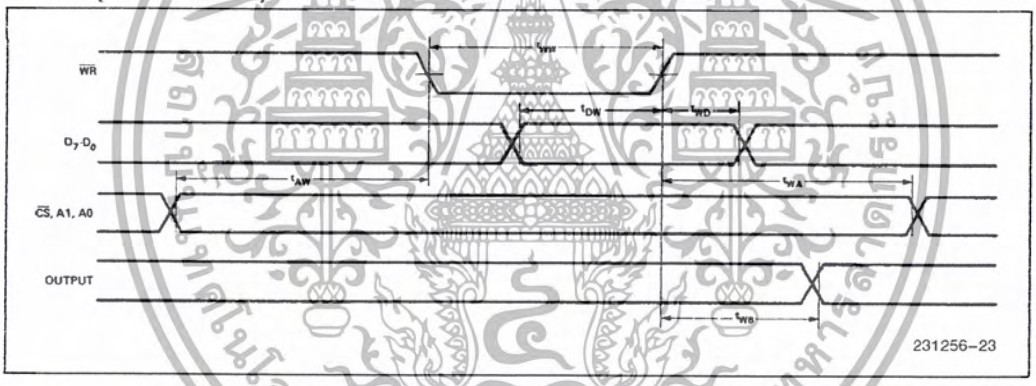
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

WAVEFORMS

MODE 0 (BASIC INPUT)



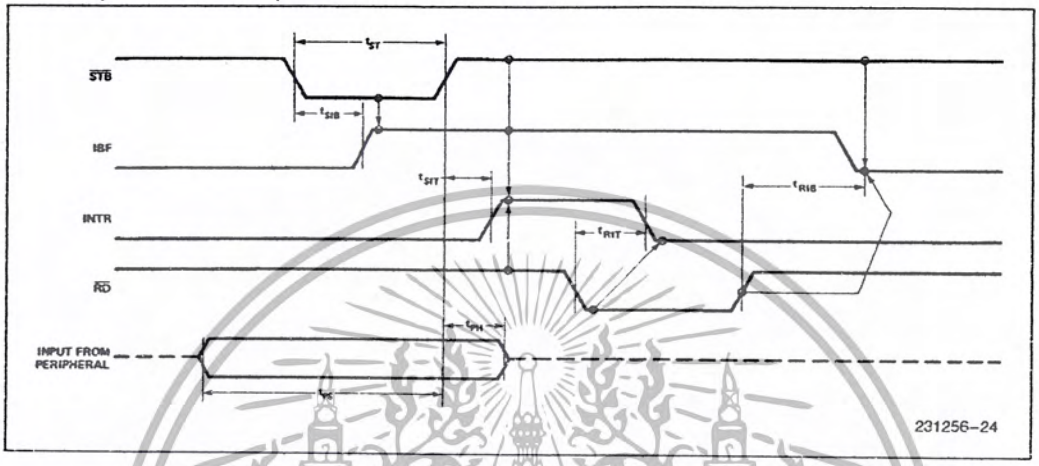
MODE 0 (BASIC OUTPUT)



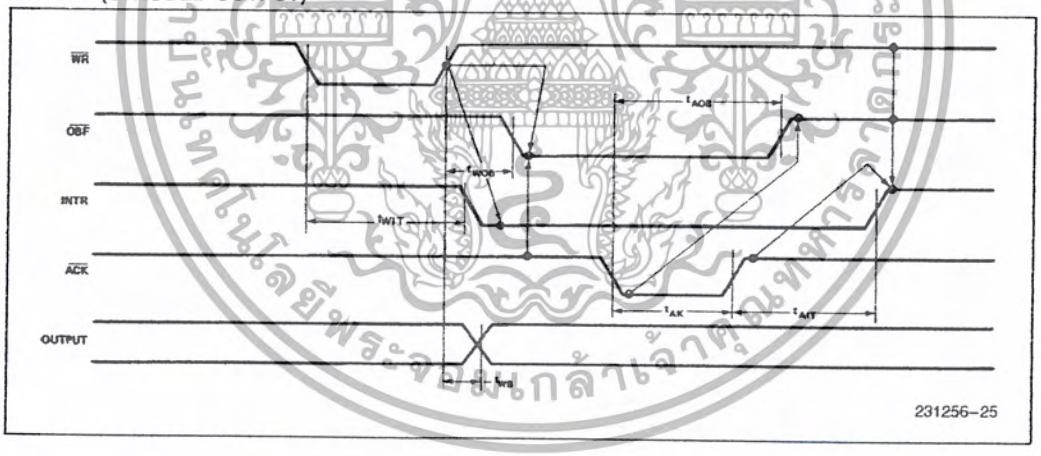
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

WAVEFORMS (Continued)

MODE 1 (STROBED INPUT)



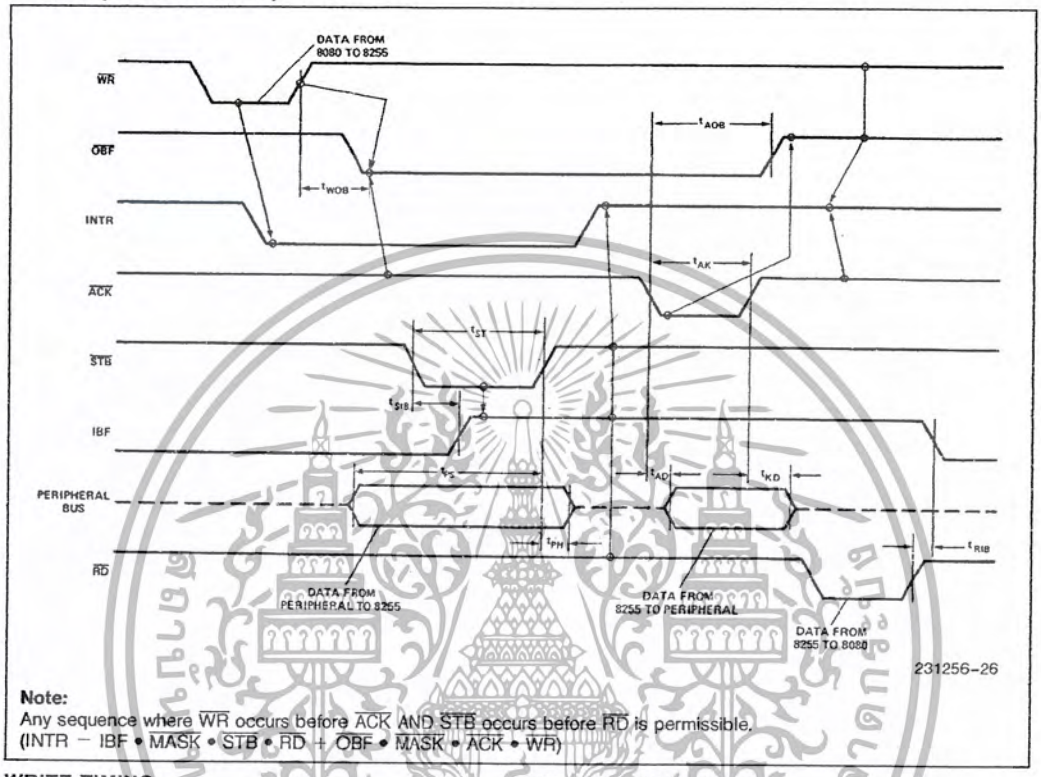
MODE 1 (STROBED OUTPUT)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

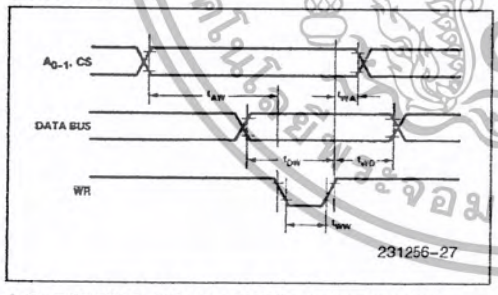
WAVEFORMS (Continued)

MODE 2 (BIDIRECTIONAL)

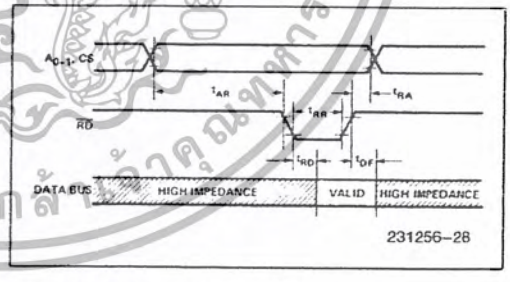


Note:
Any sequence where $\overline{WR}$ occurs before $\overline{ACK}$ AND $\overline{STB}$ occurs before $\overline{RD}$ is permissible.
(INTR = IBF • $\overline{MASK}$ • $\overline{STB}$ • $\overline{RD}$ + $\overline{OBF}$ • $\overline{MASK}$ • $\overline{ACK}$ • $\overline{WR}$)

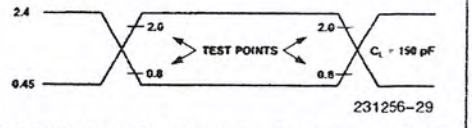
WRITE TIMING



READ TIMING

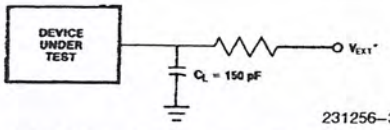


A.C. TESTING INPUT, OUTPUT WAVEFORM



A.C. Testing Inputs Are Driven At 2.4V For A Logic 1 And 0.45V For A Logic 0 Timing Measurements Are Made At 2.0V For A Logic 1 And 0.8 For A Logic 0.

A.C. TESTING LOAD CIRCUIT



*V_{EXT} Is Set At Various Voltages During Testing To Guarantee The Specification. C_L Includes Jig Capacitance.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้