สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

ชุดแผงทดลองดิจิตอลมอดูเลชั่นแบบ PSK

DIGITAL MODULATION PSK

นาย เจตพล อังกิตานนท์

นาย อรรถภูมิ ธรรมวงษ์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เลขหมู่.....
เลขทะเบียน 46547
วัน, เดือน, ปี 4 มิ.ย. 2546

.b.....

.i.....

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาอุตสาหกรรมศาสตรบัณฑิต

สาขา วิชาเทคโนโลยีโทรคมนาคม ภาควิชา วิศวกรรมสารสนเทศ

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2545

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อปริญญานิพนธ์	**ชุดแผงทดลองดิจิตอลมอดูเลชั่นแบบ PSK**
	DIGITAL MODULATION PSK
นักศึกษา	**นาย เจตพล อังกิตานนท์ รหัสประจำตัว 43015861**
	นาย อรรถภูมิ ธรรมวงษ์ รหัสประจำตัว 43015902
อาจารย์ผู้ควบคุมปริญญานิพนธ์	**รศ. ชวลิต เบญจางคประเสริฐ**
ระดับการศึกษา	**ปริญญาอุตสาหกรรมศาสตรบัณฑิต**
	สาขาวิชาเทคโนโลยีโทรคมนาคม
ภาควิชา	วิศวกรรมสารสนเทศ
ปีการศึกษา	2545

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง อนุมัติให้รับปริญญานิพจน์ฉบับนี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรอุตสาหกรรมศาสตรบัณฑิต

.....

(รศ. ชวลิต เบญจางคประเสริฐ)

อาจารย์ผู้ควบคุมปริญญานิพนธ์

ลิขสิทธิ์ของคณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อปริญญานิพนธ์	ชุดแผงทดลองดิจิตอลมอดูเลชั่นแบบ PSK	
นักศึกษา	นาย เจตพล อังกิตานนท์	รหัสประจำตัว 43015861
	นาย อรรตภูมิ ธรรมวงษ์	รหัสประจำตัว 43015902
ระดับการศึกษา	ปริญญาอุตสาหกรรมศาสตรบัณฑิต	
	สาขาวิชาเทคโนโลยีโทรคมนาคม	
ภาควิชา	วิศวกรรมสารสนเทศ	
ปีการศึกษา	2545	
อาจารย์ผู้ควบคุมปริญญานิพนธ์	รศ. ชวลิต เบญจางคประเสริฐ	

บทคัดย่อ

ปริญญานิพนธ์นี้เป็นการศึกษาเทคนิคดิจิตอลมอดูเลทชั่นแบบเฟสชิฟท์คีอิ้ง ซึ่งเป็นการใช้ข้อมูลดิจิตอลแบบ นอนรีเทินทูซีโร เข้าไปทำการมอดูเลทชั่นกับสัญญาณพาหะโดยสัญญาณที่ได้จะเป็นสัญญาณ ไซน์เวฟที่มีการกลับเฟสระหว่าง ข้อมูลดิจิตอลที่เป็น ศูนย์ กลับ ข้อมูลดิจิตอลที่เป็น หนึ่ง การสร้างข้อมูลเดิมกลับคืนมา ทางภาครับก็สามารถทำได้โดยการสร้างสัญญาณพาหะที่ซิงโครนัสกลับภาคส่งขึ้นมาจากนั้นนำสัญญาณพาหะที่ได้ไปคูณกับสัญญาณที่ผ่านการมอดูเลทชั่นซึ่งเรียกว่าการดีมอดูเลทชั่น และเมื่อนำสัญญาณที่ทำการ ดีมอดูเลทชั่นดังกล่าวผ่านวงจรกรองความถี่ต่ำก็จะได้สัญญาณข้อมูลเดิมกลับคืนมา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PROJECT TITLE	DIGITAL MODULATION PSK
STUDENT	Mr. Jatapon Angkitanon ID. 43015861
	Mr. Attaphum Thummawong ID.43015902
COURSE	Bachelor of Industrial Technology in Telecommunication
DEPARTMENT	Information Engineering
YEAR	2002
ADVISOR	Assoc.Prof. Chawalit Benjangkaprasert

ABSTRACT

This project presents a PSK digital modulation technique someone of digital modulation. Which process usage from NRZ digital data pass to modulation with carrier signal. By output signal are sine wave inverting Phase between data 0 and data 1 transfer by coaxial line. Can detect signal data from making to signal carrier synchronous with signal transmission. After recovery signal gets signal pass to modulation with carrier signal. Which are Demodulation and pass to low pass filter results are output data like input data.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ปริญญานิพนธ์ฉบับนี้สามารถสำเร็จลุล่วงเป็นอย่างดี เนื่องด้วยคำแนะนำและคำปรึกษาที่เป็นประโยชน์อย่างสูงในการทำปริญญานิพน์นี้จากท่าน รศ. ชวลิต เบญจางคประเสริฐ ซึ่งเป็นอาจารย์ผู้ควบคุมปริญญานิพนธ์ ทางคณะผู้จัดทำได้รู้สึกซาบซึ้งในความอนุเคราะห์ที่ดีเยี่ยมจากท่านและขอ กราบขอบพระคุณเป็นอย่างสูง

ขอขอบคุณ พระครูปลัดอนันต์ สิริปญโญ วัดทัศนารุสุนทริการาม(วัดตะพานดินแดง) ที่ให้ที่พักอาศัย ตลอดจนปัจจัยในการดำรงชีพในกรุงเทพฯ

ขอขอบคุณ พระอาจารย์ มหาสมบัติ บุญทะถา ที่ให้ความกรุณาเอื้อเฟื้อให้ใช้เครื่องคอมพิวเตอร์ และเครื่องพิมพ์

ขอขอบคุณ พระมหาวิเชียร ที่ให้ความเอื้อเฟื้อให้ใช้เครื่องคอมพิวเตอร์ และเครื่องพิมพ์

ขอขอบคุณ เพื่อนๆนักศึกษาห้อง 3U (อส.บ. เทคโนโลยีโทรคมนาคม รุ่นสุดท้าย) ทุกคนที่ร่วมทุกข์ร่วมสุขและเป็นกำลังใจในการทำปริญญานิพนธ์นี้ตลอดมา

ขอขอบคุณอาจารย์ทุกท่าน และภาควิชาวิศวกรรมสารสนเทศ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง ที่ตั้งใจบรรจงประสิทธิประสาทวิชาความรู้ รวมทั้งให้โอกาสในการทำปริญญานิพนธ์นี้ขึ้นมา

สุดท้ายนี้ขอกราบขอบพระคุณ คุณพ่อ คุณแม่ผู้สรรค์สร้างทุกสิ่งทุกอย่างที่ผ่านมาอย่างมากๆ

คุณค่า และประโยชน์อันพึงมีจากปริญญานิพนธ์ฉบับนี้ ทางคณะผู้จัดทำขอ มอบแด่ผู้มีพระคุณทุกท่าน ไว้ ณ โอกาสนี้

คณะผู้จัดทำปริญญานิพนธ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

	หน้า
บทคัดย่อภาษาไทย	I
บทคัดภาษาอังกฤษ	II
กิตติกรรมประกาศ	III
สารบัญ	IV
สารบัญตาราง	VI
สารบัญรูปภาพ	VII
บทที่ 1 บทนำ	**1**
1.1 ความเป็นมาและความสำคัญของปัญหา	1
1.2 วัตถุประสงค์ของโครงงาน	1
1.3 ขอบเขตของโครงงาน	2
1.4 ผลที่คาดว่าจะได้รับ	2
1.5 ขั้นตอนและการดำเนินงานในโครงงาน	2
บทที่ 2 ทฤษฎีและการออกแบบ	**3**
2.1 ระบบรหัสข้อมูล	4
2.2 การมอดูเลทสัญญาณดิจิตอล	28
2.3 หลักการของไบนารีเฟสชิฟคีย์อิ้ง	33
2.4 เฟสล็อกลูป	40
2.5 วงจรกรองความถี่	42
บทที่ 3 การออกแบบและวงจรการใช้งาน	**47**
3.1 ชุดภาคส่งของแผงทดลองการสื่อสารดิจิตอลแบบ BPSK	47
3.1.1 วงจรกำเนิดสัญญาณนาฬิกา	47
3.1.2 วงจรสร้างสัญญาณข้อมูล NRZ	48
3.1.3 วงจรบาลานซ์มอดูเลเตอร์	49
3.1.4 วงจรกำเนิดสัญญาณคลื่นพาห์ 512 KHz	49
3.1.5 วงจรกำเนิดสัญญาณนำร่อง 256 KHz	50
3.1.6 วงจรกรองช่วงความถี่	51

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หน้า

3.1.7 วงจรรวมสัญญาณ 54

3.2 ชุดภาครับของแผงการทดลองการสื่อสารดิจิตอลแบบ BPSK 54

3.2.1 วงจรกรองช่วงความถี่คลื่นพาห์ 54

3.2.2 วงจรกรองความถี่ช่วงความถี่นำร่อง 55

3.2.3 วงจรกู้สัญญาณนาฬิกา 55

3.2.4 วงจรกู้สัญญาณคลื่นพาห์ 56

3.2.5 วงจรบาลานซ์ดีมอดูเลเตอร์ 57

3.2.6 วงจรกรองความถี่ต่ำผ่าน 58

บทที่ 4 ผลของโครงงาน **60**

4.1 ภาคส่งเมื่อวัดสัญญาณนาฬิกาจากวงจรกำเนิดสัญญาณนาฬิกา 60

4.2 ภาคส่งเมื่อสัญญาณนาฬิกา 32 KHz ผ่านวงจรคูณสัญญาณ 61

4.3 ภาคส่งเมื่อสัญญาณนาฬิกา 64 KHz ผ่านวงจรคูณสัญญาณ 61

4.4 ภาคส่งเมื่อสัญญาณนาฬิกาผ่านวงจรกำเนิดข้อมูล NRZ 62

4.5 ภาคส่งเมื่อสัญญาณนาฬิกา 256 kHz ผ่านวงจรกรองความถี่ 62

4.6 ภาคส่งเมื่อสัญญาณนาฬิกา 512 kHz ผ่านวงจรกรองความถี่ 63

4.7 ภาคส่งเมื่อเปรียบเทียบสัญญาณพาห์ 512 kHz และสัญญาณ pilot 256 kHz 63

4.8 ภาคส่งเปรียบเทียบสัญญาณระหว่างสัญญาณคลื่นพาห์ สัญญาณ pilot และสัญญาณข้อมูล NRZ 64

4.9 ภาคส่งเมื่อสัญญาณผ่านวงจรมอดูเลท 64

4.10 ภาคส่งเมื่อสัญญาณผ่านวงจรรวมสัญญาณ 65

4.11 ภาครับเปรียบเทียบระหว่างสัญญาณ 512 kHz ที่กู้ได้กับสัญญาณ 256 kHZ ที่กู้ได้และสัญญาณ NRZทางภาคส่ง 65

4.12 ภาครับเมื่อสัญญาณคลื่นพาห์ผ่านวงจรกรองความถี่ 512 kHz 66

4.13 ภาครับเมื่อสัญญาณผ่านวงจรดีมอดูเลท 66

4.14 ภาครับเมื่อสัญญาณผ่านการลดระดับแรงดันให้มีค่าเท่ากับข้อมูลที่ส่งมา 67

4.15 ภาครับเมื่อสัญญาณผ่านการลดระดับแรงดันให้มีค่าเท่ากับข้อมูลที่ส่งมา 67

บทที่ 5 สรุปผลการทดลอง และแนวทางในการพัฒนาต่อ **68**

บรรณานุกรม 69

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หน้า

ภาคผนวก 70

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

หน้า

ตารางที่

2.1 แสดง State ของชิพรีจิสเตอร์ แต่ละตัวของรูปที่ 2.4 11

2.2 แสดงตัวอย่างของ Maximum-length 13

2.3 แสดงการชิพของข้อมูล 15

2.4 แสดงการชิพของข้อมูลทางขวา 15

2.5 แสดงค่าเอาท์พุตของวงจรฟลิปฟลอป 16

2.6 แสดงการเปรียบเทียบวิธีการมอดูเลทแบบดิจิตอลและอนาล็อก 29

2.7 แถบความถี่ที่ต้องการใช้ในทางทฤษฎีของ M-ary PSK แบบต่างๆ 32

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญภาพ

รูปที่		หน้า
2.1	คุณลักษณะการเข้ารหัสและการมอดูเลชั่น	5
2.2	รูปคลื่นรหัสไบนารี	9
2.3	คุณลักษณะของรหัส NRZ (I)	10
2.4	แสดงบล็อกไดอะแกรมของวงจร PRBS ขนาด M-Seq = 4 bit	11
2.5	แสดงสัญญาณเอาท์พุต ของ PRBS ขนาด 4 บิต	12
2.6	แสดงลักษณะหลักการทำงานของวงจร Shift Register	13
2.7	แสดงข้อมูลที่อยู่ในรูปรีจิสเตอร์	13
2.8	แสดงการชิพข้อมูล	14
2.9	แสดงวงจรชิพรีจิสเตอร์	16
2.10	แสดงคุณลักษณะของการเข้ารหัส Return – to - Zero	18
2.11	คุณลักษณะของรหัสไดเฟส	19
2.12	คุณลักษณะของรูปคลื่นรหัสไบโพลาร์	20
2.13	คุณลักษณะของรหัสไบ โพลาร์	20
2.14	รหัสสัญญาณแบบ HDB3	21
2.15	การส่งข้อมูลแบบอนุกรม	25
2.16	รูปแบบของการติดต่อสื่อสารแบบอนุกรม	26
2.17	ฟอร์แมตการสื่อสารแบบอะซิงโครนัส	27
2.18	สัญญาณเบสแบนด์ดิจิตอล	29
2.19	สัญญาณ Amplitude Shift Keying	29
2.20	สัญญาณ Frequency Shift Keying	30
2.21	สัญญาณ Phase Shift Keying	30
2.22	สถานะของเฟสของสัญญาณ PSK	32
2.23	เปรียบเทียบอัตราการผิดพลาดของบิตของ PSK แบบต่างๆ	33
2.24	บล็อกไดอะแกรมของระบบภาคส่งและภาครับของสัญญาณดิจิตอล	34
2.25	แสดงการมอดูเลทสัญญาณดิจิตอล	34
2.26	การเปลี่ยนทางเฟสของคลื่นพาหะ	35

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ หน้า

2.27 การสร้างขึ้นมาใหม่ทางด้านรับ 35

2.28 การรับสัญญาณ PSK ทางด้านรับ 36

2.29 แสดงสัญญาณเอาท์พุตหลังจากผ่าน LPF 37

2.30 การพิจารณารหัสเป็น 1 หรือ 0 โดย Sample Holder 37

2.31 แสดงรหัสผิดเพี้ยนเนื่องจากเสียงรบกวน 38

2.32 บล็อกไดอะแกรมของ Coherent Demodulation 38

2.33 แสดงหลักการของ Carrier Recovery Circuit 39

2.34 แสดง Carrier Recovery Circuit และสัญญาณตามจุดต่างๆ 39

2.35 แสดงวงจร Clock Recovery 40

2.36 แสดงบล็อกไดอะแกรมของวงจรเฟสล็อกลูป 40

2.37 แสดงโครงสร้างเฟสล็อกลูปสำหรับสังเคราะห์ความถี่ 42

2.38 แสดงผลตอบสนองเชิงขนาดของวงจรความถี่ต่ำผ่าน 44

2.39 แสดงผลตอบสนองวงจรความถี่สูงผ่านในทางอุดมคติ 44

2.40 แสดงผลตอบสนองเชิงขนาดของสัญญาณของวงจรกรองความถี่สูงผ่าน 45

2.41 แสดงผลตอบสนองเชิงขนาดของวงจรกรองแถบความถี่ผ่าน 45

2.42 แสดงผลตอบสนองเชิงขนาดของวงจรกำจัดแถบความถี่ 46

3.1 แสดงวงจรกำเนิดสัญญาณนาฬิกา 47

3.2 แสดงวงจรกำเนิดสัญญาณ NRZ 48

3.3 แสดงวงจรบาลานซ์มอดูเลท 49

3.4 แสดงวงจรสร้างสัญญาณพาห์ 512 kHz 50

3.5 แสดงวงจรสร้างสัญญาณนำร่อง 256 kHz 51

3.6 แสดงวงจรกรองความถี่ต่ำ 53

3.7 แสดงวงจรกรองความถี่สูง 53

3.8 แสดงวงจรรวมสัญญาณ 54

3.9 แสดงวงจรกู้สัญญาณนาฬิกา 56

3.10 แสดงวงจรกู้สัญญาณพาห์ 57

3.11 แสดงวงจรบาลานซ์ดีมอดูเลท 58

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่		หน้า
3.12	แสดงวงจร Low Pass Filter 4 Order	59
4.1	แสดงสัญญาณนาฬิกาที่เกิดจากวงจรกำเนิดสัญญาณนาฬิกา	60
4.2	แสดงสัญญาณเมื่อสัญญาณนาฬิกา 32 kHz ผ่านวงจรคูณสัญญาณ (คูณ 8)	61
4.3	แสดงสัญญาณเมื่อสัญญาณนาฬิกา 64 kHz ผ่านวงจรคูณสัญญาณ (คูณ 8)	61
4.4	แสดงสัญญาณเมื่อสัญญาณนาฬิกาผ่านวงจรกำเนิดข้อมูล NRZ	62
4.5	แสดงสัญญาณนาฬิกา 256 kHz ผ่านวงจรกรองความถี่	62
4.6	แสดงสัญญาณนาฬิกา 512 KHz ผ่านวงจรกรองความถี่	63
4.7	แสดงการเปรียบเทียบสัญญาณพาห์ 512 kHz และสัญญาณ Pilot 256 kHz	63
4.8	แสดงการเปรียบเทียบสัญญาณของภาคส่ง	64
4.9	แสดงการเปรียบเทียบสัญญาณระหว่างสัญญาณข้อมูล NRZ	64
4.10	แสดงการเทียบสัญญาณเมื่อผ่านวงจรรวมสัญญาณ	65
4.11	แสดงสัญญาณ Pilot ที่ผ่านวงจรกรองความถี่ 256 kHz	65
4.12	แสดงสัญญาณเทียบระหว่างสัญญาณคลื่นพาห์และเมื่อผ่านวงจรกรองความถี่	66
4.13	แสดงสัญญาณเทียบระหว่างสัญญาณ NRZ สัญญาณที่ผ่านวงจรดีมอดูเลท และสัญญาณที่ผ่านวงจรกรองความถี่ต่ำ (LPF)	66
4.14	แสดงการเทียบสัญญาณระหว่างสัญญาณที่ผ่านการลดระดับแรงดัน	67
4.15	แสดงการเทียบสัญญาณอินพุตและเอาท์พุตที่ข้อมูล 10010110	67

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่1
บทนำ

1.1 ความสำคัญและที่มาของโครงงาน

ในปัจจุบันการติดต่อสื่อสารเป็นสื่อกลางที่มีความจำเป็นสำหรับระบบการสื่อสารนี้เป็นตัวนำพาสัญญาณข้อมูลอินพุตจากที่แห่งหนึ่งไปอีกที่หนึ่งหรือที่อื่นๆ ตามต้องการ โดยรูปแบบของสัญญาณยังคงเหมือนเดิม หรือเปลี่ยนไปบ้างขึ้นอยู่กลับประสิทธิภาพของระบบการสื่อสารนั้นๆ การสื่อสารนั้นสามารถแบ่งออกเป็นได้ 2 แบบ คือการสื่อสารแบบ อนาล็อก และการสื่อสารแบบ ดิจิตอล ซึ่งการสื่อสารแบบดิจิตอลนั้นมีประสิทธิภาพ
ดีกว่าระบบการสื่อสารแบบ อนาล็อก และ มีการพัฒนาในด้านทางดิจิตอลมากขึ้น ซึ่งจะมีการออกแบบให้มีคุณภาพรับส่งสัญญาณให้ดีที่สุด โดยจะไม่ขึ้น อยู่กับตัวทวนสัญญาณแต่อย่างใด ระบบการสื่อสารนั้นจะมีการกำจัดสัญญาณรบกวนได้ดีกว่าระบบ อนาล็อก

ในโครงงานนี้ได้เห็นว่าการศึกษาการสื่อสารแบบดิจิตอลมีมากขึ้นเรื่อยจนอาจจะเป็นสิ่งที่ต้องรู้ในปัจจุบัน ดังนั้นจึงมีความคิดที่จะทำอุปกรณ์ที่สามารถศึกษาระบบการสื่อสารแบบดิจิตอลได้ ว่าระบบนี้โดยแผงการทดลองนี้จะประกอบด้วย 2 ภาคคือ ภาคส่ง และ ภาครับ และอาศัยการติดต่อระหว่างสองภาคด้วยสายโคแอกเชียลเป็นสื่อกลาง โดยภาคส่งจะประกอบด้วยวงจรกำเนิดสัญญาณ, วงจรสร้างสัญญาณ NRZ ,วงจรสร้างคลื่นพาห์,วงจรบาลานซ์มอดูเลทชั่น, วงจรกู้สัญญาณพาห์, วงจนกู้สัญญาณนาฬิกา วงจรทั้งหมดนี้จะรวมอยู่ในชุดของแผงทดลองการสื่อสารดิจิตอลแบบ BPSK ซึ่งวงจรทั้งหมดจะต้องมีการทดลองก่อนทุกครั้งเพื่อที่ให้ได้ผลดีที่สุดในการทำงานเรียงการดำเนินงานตามแผนการดำเนินงาน

1.2 วัตถุประสงค์ของโครงงาน

1. เพื่อนำเสนอการสื่อสารระบบดิจิตอลมอดูเลทชั่นแบบPSK
2. เพื่อแสดงรูปแบบสัญญาณที่ผ่านเข้าระบบการมอดูเลทชั่นแบบ PSK
3. เพื่อแสดงประสิทธิภาพของระบบ การส่ง และการรับ ของข้อมูลในระบบดิจิตอลมอดูเลทชั่นแบบ PSK
4. เพื่อเป็นพื้นฐานและแนวทางในการศึกษาระบบการดิจิตอลมอดูเลทชั่นแบบอื่นๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.3 ขอบเขตของโครงงาน

ทำการศึกษารูปแบบและกระบวนการของการสื่อสารแบบดิจิตอลมอดูเลทชั่นแบบ PSK ดำเนินการสร้างชุดแผงทดลองดิจิตอลมอดูเลทชั่นแบบ PSK ให้แสดงการรับส่งข้อมูลดิจิตอลผ่านสายโคแอคเชียลได้ และออกแบบวงจรเพื่อพัฒนาระบบดิจิตอลมอดูเลชั่นให้ดีขึ้น

1.4 ผลที่คาดว่าจะได้รับ

1. เพื่อใช้เป็นชุดแผงทดลองในการศึกษาระบบดิจิตอลมอดูเลทชั่นแบบ PSK
2. เพื่อแสดงการรับส่งสัญญาณข้อมูลดิจิตอลได้
3. เพื่อเป็นพื้นฐานและแนวทางในการศึกษาระบบดิจิตอลมอดูเลทชั่นอื่นๆต่อไป

1.5 ขั้นตอนและการดำเนินงานในโครงงาน

สำหรับขั้นตอนและการดำเนินงานในโครงงานมีขั้นตอนดังต่อไปนี้

1. ค้นคว้าหาข้อมูลที่เกี่ยวข้องซึ่งมีดังต่อไปนี้
   - ความรู้เบื้องต้นเกี่ยวกับระบบมอดูเลทชั่น
   - ค้นคว้าข้อมูลเกี่ยวกับวงจรที่ใช้ในระบบดิจิตอลมอดูเลทชั่น(Digital Modulation)
2. ออกแบบวงจรเพื่อใช้ในระบบดิจิตอลมอดูเลทชั่น
3. ทดลองและสรุปผลการทดลอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
ทฤษฎีและการออกแบบ

ในโครงงานของแผงการทดลองสื่อสารสัญญาณดิจิตอลแบบไบนารีเฟสชิฟคีย์อิ้ง (Binary Phase Shift Keying :BPSK) ทางคณะผู้จัดทำได้ศึกษาข้อมูลจากตำราและเอกสารต่างๆ ประกอบการจัดทำขึ้นซึ่งทฤษฎีต่างๆที่อ้างอิงได้ถึงแบ่งเป็นหลักๆได้ดังนี้

2.1 ระบบรหัสข้อมูล (Data Code)

2.1.1 การเข้ารหัสข้อมูล (Data Encoding)

2.1.2 รูปแบบของข้อมูลที่ใช้ในการสื่อสารแบบดิจิตอล (Digital transmission format)

2.1.3 ชนิดรหัสไบนารี

2.1.4 รหัสการส่งสัญญาณตามสาย (Line Transmission Code)

2.1.5 การส่งข้อมูล

2.1.6 การโอนถ่ายข้อมูลแบบอนุกรม

2.1.7 รูปแบบของการออกแบบการติดต่อสื่อสารแบบอนุกรม

2.1.8 ความเร็วในการส่งข้อมูลแบบอนุกรม

2.1.9 การสื่อสารแบบอะซิงโครนัส

2.2 การมอดูเลทชั่นสัญญาณดิจิตอล (DIGITAL MODULATION)

2.2.1 เทคนิคการมอดูเลชั่นพื้นฐาน

2.2.2 Phase Shift Keying (PSK)

2.3 หลักการของไบนารีเฟสชิฟคีย์อิ้ง (Binary Phase Shift Keying)

2.4 เฟสล็อคลูป (Phase Lock Loop)

2.4.1 การสังเคราะห์ความถี่ด้วยเฟสล็อคลูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.5 วงจรกรองความถี่(Filter)

2.5.1 วงจรกรองความถี่แบบต่ำผ่าน(Low Pass Filter; LPF)

2.5.2 วงจรกรองความถี่แบบสูงผ่าน(High Pass Filter; HPF)

2.5.3 วงจรกรองแถบความถี่ ผ่าน(Band Pass Filter;BPF)

2.5.4 วงจรกรองกำจัดแถบความถี่(Notch or Band-Reject Filter; BPF)

2.5.5 วงจรผ่านทุกแถบความถี่(All Pass Filter)

2.1 ระบบรหัสข้อมูล (Data Code)

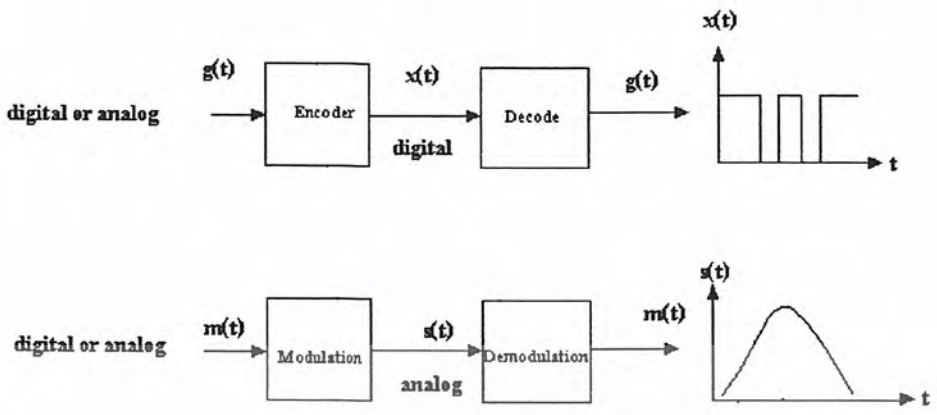
2.1.1 การเข้ารหัสข้อมูล (Data Encoding)

ในการเข้ารหัสของข้อมูลและการมอดูเลชั่น ซึ่งขบวนการเข้ารหัสจะมีข้อมูลต้นกำเนิด เป็นอนาล็อกหรืออนาล็อกก็ได้ และสำหรับเทคนิคในการเข้ารหัสข้อมูลแบบดิจิตอลแล้วรูปแบบของสัญญาณ x(t) จะมีรูปแบบที่หลากหลายซึ่งขึ้นอยู่กับการเลือกเทคนิควิธีในการเข้ารหัสได้เหมาะสมได้ประสิทธิภาพสูงสุดในการส่งผ่านเข้าไปในตัวกลางนั้นๆ ตัวอย่างการเลือกการเข้ารหัสบางครั้งเราก็เลือกเพื่อให้สอดคล้องกับแบนท์วิดท์ หรือเพื่อทำให้เกิดความผิดพลาดน้อยที่สุด

ในกรณีของสัญญาณอนาล็อกคุณสมบัติพื้นฐานที่สำคัญประการหนึ่งของสัญญาณก็คือ การมีค่าความถี่คงที่ต่อเนื่อง จึงเป็นคุณสมบัติพื้นฐานที่สำคัญประการหนึ่งของสัญญาณก็คือ การมีค่าความถี่คงที่ต่อเนื่อง จึงเป็นคุณสมบัติที่เหมาะจะเป็นสัญญาณพาหะข้อมูล และความถี่ของสัญญาณพาหะใดๆ จะถูกเลือกให้เหมาะสมกับตัวกลางที่จะใช้ส่งผ่าน โดยการนำพาข้อมูลอาศัยวิธีการมอดูเลชั่น ซึ่งถือว่าขบวนการของการเข้ารหัสข้อมูลไปบนสัญญาณพาหะที่มีความถี่ (fc) เทคนิคการมอดูเลชั่นทั้งหมดจะอยู่ภายในขอบเขตของการทำการเปลี่ยนแปลงค่าพารามิเตอร์ที่เป็นคุณสมบัติเบื้องต้นของสัญญาณซึ่งได้แก่

1. ขนาด (Amplitude)
2. ความถี่ (Frequency)
3. เฟส (Phase)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.1 คุณลักษณะการเข้ารหัสและการมอดูเลชั่น

ในรูปที่ 2.1 ก เป็นการเข้ารหัสสัญญาณเบสแบนด์ โดยจะมีการเข้ารหัสสัญญาณให้อยู่ในรูปของสัญญาณดิจิตอล x(t) โดยสัญญาณดิจิตอลจะมีค่าความถี่ที่ไม่เปลี่ยนแปลงโดยสเปกตรัมของสัญญาณจะไม่มีการเปลี่ยนแปลงตามสัญญาณเบสแบนด์

ในรูปที่ 2.1 ข สัญญาณอินพุต m(t) จะมีรูปแบบเป็นดิจิตอลหรืออนาล็อกก็ได้โดยเราจะเรียกว่า สัญญาณมอดูเลตติ้ง หรือเบสแบนด์ผลของการมอดูเลชั่นกับสัญญาณพาห์จะได้สัญญาณ s(t) ที่เรียกว่า สัญญาณที่มอดูเลตแล้วซึ่งมีแบนด์วิดท์ที่จำกัด และมีแบนด์วิดท์ที่จำกัด และมีแบนด์วิดท์ที่สัมพันธ์ กับ fc โดยมี fc เป็นตำแหน่งศูนย์กลางของแบนด์ และเนื้อหาต่อจากนี้จะเป็นกล่าวถึงคุณสมบัติของการเข้ารหัสแบบต่างๆ ซึ่งก็มีจุดประสงค์เพื่อให้ได้คุณสมบัติของสัญญาณที่ดีที่สุดในการส่งผ่าน

การจัดส่งสัญญาณนั้นมี 4 วิธีตามลักษณะของข้อมูลและสัญญาณ ซึ่งข้อพิจารณาในการเลือกใช้วิธีการจัดส่งสัญญาณทั้ง 4 วิธี นั้นมีดังต่อไปนี้

1. Digital data digital signal โดยทั่วไป ๆ แล้วอุปกรณ์ที่ใช้ในการเข้ารหัสข้อมูลดิจิตอล เป็นสัญญาณดิจิตอลจะไม่ยุ่งยากซับซ้อน และมีราคาถูกกว่าอุปกรณ์ที่ใช้มอดูเลทข้อมูลจากดิจิตอลไปเป็นอนาล็อก
2. Analog data, digital signal การแปลงข้อมูลอนาล็อกให้เป็นสัญญาณดิจิตอล ได้มีการนำมาใช้กันในการส่งผ่านแบบดิจิตอลแบบใหม่กับอุปกรณ์สวิตชิ่ง
3. Digital data , analog signal สำหรับตัวกลางการส่งผ่านบางตัว เช่นไฟเบอร์ออฟติกและตัวกลางแบบไร้สาย จะยอมให้สัญญาณอนาล็อกเคลื่อนที่ได้เพียงอย่างเดียว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4. Analog data , analog signal ข้อมูลอนาล็อกในรูปแบบทางไฟฟ้า สามารถส่งผ่านในลักษณะเบสแบนด์ได้ง่ายและถูก ตัวอย่างอันหนึ่งได้แก่ การส่งผ่านเสียงไปในสายในโทรศัพท์ประโยชน์โดยทั่วไปอันหนึ่งของการมอดูเลชันก็คือการเลื่อนแบนด์วิดท์ของสัญญาณ เบสแบนด์ไปอีกส่วนหนึ่งของสเปกตรัม ด้วยวิธีการดังกล่าวนี้ สัญญาณหลายๆตัว โดยที่แต่ละตัวอยู่ในตำแหน่งของสเปกตรัมที่แตกต่างกัน สามารถใช้ตัวกลางในการส่งผ่านร่วมกันได้วิธีการนี้เรียกว่า การมัลติเพล็กซ์ทางความถี่

ข้อมูลดิจิตอลสัญญาณดิจิตอล สัญญาณเบสแบนด์เป็นสัญญาณที่ได้จากการเข้ารหัสโดยตรง โดยที่ยังไม่มีการมอดูเลทชั่นใดๆ ซึ่งในบางโอกาสสำหรับสัญญาณดิจิตอล ตามปกติแล้วโดยทั่วไปเราก็สามารถส่งสัญญาณเบสแบนด์ไปเป็นได้โดยไม่ต้องมีการมอดูเลชั่นเช่น สัญญาณโทรศัพท์ เป็นต้น ช่องทางเดินของสัญญาณการส่งผ่านจะเป็นตัวกำหนดรูปแบบของสัญญาณที่ใช้ในการส่งผ่าน การส่งผ่านเบสแบนด์บ่อยครั้งที่จะต้องมีการเปลี่ยนแปลงรูปแบบของสัญญาณที่ตัวส่งเพื่อให้สัญญาณที่ส่งไปถึงตัวรับได้ และตัวรับสามารถกู้สัญญาณเดิมกลับคืนมาได้ถูกต้อง รูปแบบของสัญญาณดังกล่าวนี้อาจจะกำหนดด้วยรูปร่างหรือรหัสที่ยังคงรักษาคุณลักษณะเบสแบนด์ของสัญญาณดิจิตอลเอาไว้ในได้เทคนิคที่จะได้หล่าวถึงแบบนี้ จะนำไปใช้กับระบบสายเคเบิลทั้งแบบโลหะและเส้นใยนำแสงที่ใช้ในการส่งผ่านแบบเบสแบนด์

คุณสมบัติต่างๆ ที่สำคัญในหาส่งผ่านแบบเบสแบนด์ที่ใช้รูปร่างหรือรหัสสัญญาณมีดังต่อไปนี้

เทคนิครหัสเบสแบนด์ที่ดีจะต้องทำให้จำนวนการเปลี่ยนแปลงสถานะของข้อมูลมีจำนวนเพิ่มมากขึ้นซึ่งจะเป็นการเพิ่มประสิทธิภาพการทำงานของวงจรกู้สัญญาณให้ดีขึ้น ทั้งค่าของบิต ข้อมูลและสัญลักษณ์ในการซิงค์ (Synchronization)

1. การตรวจสอบความผิดพลาด และการแก้ไขให้ถูกต้อง (Error detection / correction) รหัสที่พิจารณาต่อไปนี้จะมีความสามารถในการตรวจสอบความผิดพลาดอยู่ภายในได้เรากำหนดให้มีการเปลี่ยนแปลงระหว่างกลางระดับสัญญาณ ถ้าคุณสมบัติที่กำหนดให้มีการเปลี่ยนแปลงไปก็จะเป็นการเตือนให้รู้ว่ามีข้อผิด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

พลาดเกิดขึ้นว่ามีข้อผิดพลาดเกิดขึ้นว่า การแก้ไขความผิดพลาดจะไม่สามารถทำได้จากคุณสมบัติของรหัสเบสแบนด์นี้ก็ตาม

2. การลดแบนด์วิดท์ (Reduced bandwidth) ของสัญญาณดิจิตอลอาจจะถูกลดลงได้โดยการใช้โครงสร้างตัวกรองสัญญาณที่ละเอียดแน่นอน กับการส่งผ่านแบบก็มีหลายระดับหรือเทคนิคการเข้ารหัสบางแบบจะไม่ได้รับความนิยมเพราะเมื่อเข้ารหัสไปแล้วอาจทำให้อัตราส่วนสัญญาณต่อสัญญาณรบกวน (S/N) ลดลง หรือจำนวนหารเกิด การสอดแทรกระหว่างสัญญาณ (Intersymbol interferrence) มีจำนวนมากขึ้น
3. รูปร่างของสเปกตรัม (spectrum shaping) รูปร่างของข้อมูลสามารถเปลี่ยนแปลงได้ด้วยโครงสร้างของการสแกรมบิ้ง (Scrambling) หรือการกรองซึ่งโครงสร้างเหล่านี้จะถูกเลือกให้เหมาะสมระหว่างสัญญาณกับคุณสมบัติของสัญญาณการส่งผ่าน หรือกับการควบคุมการแทรกสอดระหว่างช่องทางเดินสัญญาณที่แตกต่างกัน

2.1.2 รูปแบบของข้อมูลที่ใช้ในการสื่อสารแบบดิจิตอล (Digital transmission format)

เนื่องจากขีดจำกัดของค่าแบนด์วิดท์อาจทำให้ความจุไม่มีเพียงพอต่อปริมาณข้อมูล ดังนั้นจึงต้องมีการเข้ารหัสเพื่อทำการลดข้อจำนวนข้อมูลแต่ละรายละเอียดของข้อมูลยังครบหรือหรือมีการสูญเสียที่น้อย ในความเป็นจริง สัญญาณดิจิตอลที่เป็นพัสส์อาจจะมีระดับขนาดอะไรก็ได้ 2,4,8หรือ 16 ระดับ ก็ได้ ไม่จำเป็นต้องเป็น "1" และ "0" การเพิ่มระดับเป็นการช่วยในการใช้ประโยชน์จากช่องสัญญาณและทำให้ได้สมรรถนะที่มีความผิดพลาดต่ำ

สำหรับวิธีเข้ารหัสมีหลายวิธี ซึ่งจะแบ่งตามชนิดของสัญญาณได้เป็น สัญญาณแบบขั้วเดียว (Unipolar signal) และสัญญาณแบบสองขั้ว (Bipolar signal)

1. สัญญาณแบบขั้วเดียว
   วิธีแบบนี้ใช้หลักการสร้างขั้วศักย์ไฟฟ้าเพียงขั้วเดียว เพื่อสร้างแรงดันให้เกิด 2 สถานะ กำหนดให้เป็น "0" โวลต์ และ "V" โวลต์ สัญญาณนี้มีองค์ประกอบกระแสตรงที่มีค่าไม่เป็นศูนย์ คือ มีค่าเป็นครึ่งหนึ่งของศักย์ไฟฟ้าบวก มีทั้งแบบไม่กลับศูนย์ (Nonretirn – to – Zero : NRZ) และแบบกลับศูนย์ (Return – to – Zero: RZ)
2. สัญญาณแบบสองขั้ว เรียกอีกอย่างว่า สัญญาณแบบ AMI (Alternate Mark Inversion) เป็นวิธีการเข้ารหัสที่แบ่งระดับสัญญาณข้อมูลออกเป็น 3 ระดับ คือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เป็นระดับบวกและลบสลับกันกรณีที่สัญญาณข้อมูลมีสถานะเป็น "1" และมีระดับศูนย์เมื่อมีสัญญาณข้อมูลมีสถานะเป็น "0" ผลของการเข้ารหัสแบบนี้จะทำให้องค์ประกอบกระแสตรงมีค่าเป็นศูนย์ ทำให้ไม่ถูกบล็อกโดยตัวนำวงจรสื่อสารรหัสแบบนี้อาจเป็น NRZ (duty cycle 100%) หรือ RZ (duty cycle 50%) ก็ได้

สำหรับแบบสองขั้วนี้ได้รับการรบกวนจากค่าเหนี่ยวนำไฟฟ้าในสายส่งได้น้อยกว่าด้วยมีผลให้สามารถส่งข้อมูลได้ระยะไกลกว่าแบบขั้วเดียว

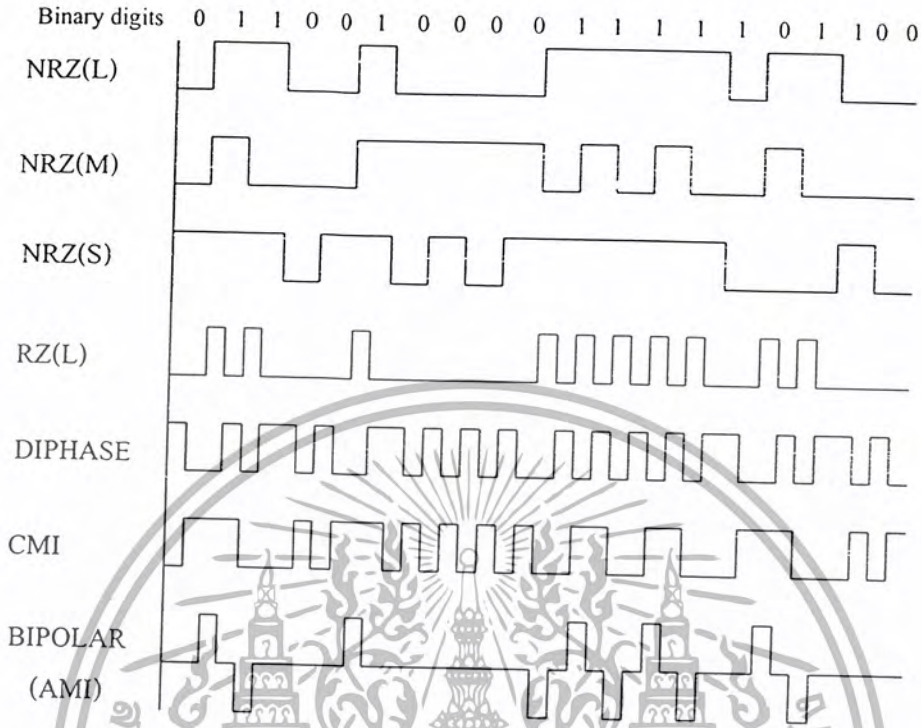
2.1.3 ชนิดรหัสไบนารี

การเข้ารหัสไบนารีสอดคล้องโดยตรงกับสัญญาณไบนารีที่ใช้ในการสายส่งผ่าน เงื่อนไขสัญญาณดังกล่าวนี้ทำขึ้นเพื่อให้คุณสมบัติของคลื่นสี่เหลี่ยมเหมาะสมโดยตรงกับการส่งผ่านบนสายเคเบิล สำหรับในที่นี้จะกล่าวถึงแระโยชน์โดยทั่วไปของการส่งผ่านแบบไบนารี รวมทั้งแสดงรูปคลื่นคุณสมบัติและโครงร่างของแผนภาพของตัวเข้ารหัสและถอดรหัสซึ่งมีรูปแบบของสัญญาณชนิดต่างๆ ดังรายละเอียดในรูปที่ 2.2

2.1.3.1 Nonreturn – to – Zero (NRZ)

สำหรับ NRZ ระดับของสัญญาณจะถูกรักษาให้คงที่ 1 ใน 2 ของระดับแรงดันระหว่างช่วงเวลาบิต "T" ถ้าแรงดันทั้งสองกำหนดให้เป็น "0" โวลต์ และ "V" โวลต์ แล้วรูปคลื่น NRZ จะเรียกว่าเป็นขั้วเดียว (Unipolar) เพราะว่ามันมีขั้วศักย์ไฟฟ้าขั้วเดียว และสัญญาณนี้มีองค์ประกอบกระแสตรง ที่มีค่าไม่เป็นศูนย์คือเป็นครึ่งหนึ่งของศักย์ไฟฟ้าบวกสัญญาณ NRZ แบบนี้ขั้วทั้งสองขั้วคือ ศักย์ (- , +) ซึ่งทำให้องค์ประกอบกระแสตรงมีค่าเป็นศูนย์ รูปแบบต่างๆ ของ NRZ อธิบายดังในรูปที่ 2.2 ตัวอย่างเช่น NRZ (L) ระดับศักย์ไฟฟ้าของสัญญาณจะเป็นตัวแสดงค่าของบิต การกำหนดของบิต "0" กับ "1" ขึ้นอยู่กับระดับศักย์ไฟฟ้า สามารถกำหนดได้อย่างอิสระสำหรับ NRZ (L)

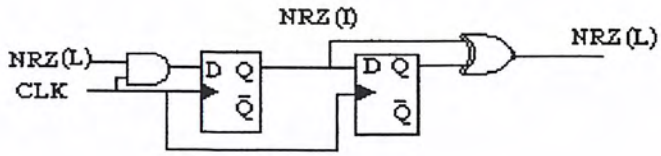
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



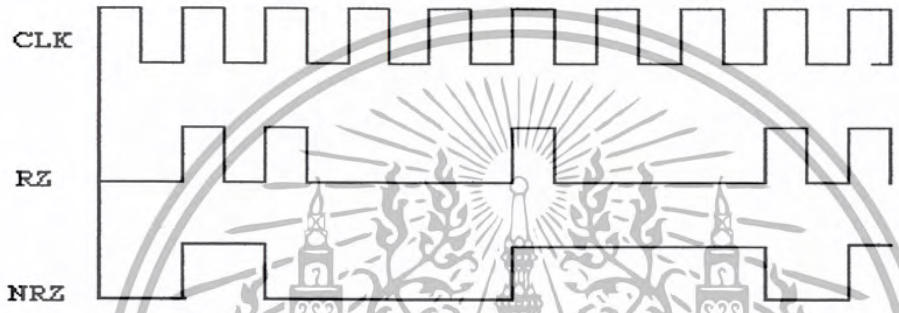
รูปที่2.2 รูปคลื่นรหัสไบนารี

แต่ตามแบบแผนโดยทั่วไปแล้วการกำหนดให้ค่า "1" มีค่าระดับศักย์ไฟฟ้าสูงๆและค่า"0"มีค่าระดับไฟฟ้าต่ำๆ รหัส NRZ (L) เป็นรูปแบบของ NRZ ในการส่งผ่านที่รู้จักมากที่สุด เพราะระบบรับและส่งทำได้ง่าย ตัวรับรหัส/ถอดรหัส ประกอบด้วยตัวขับและตัวรับอย่างง่ายๆซึ่งคุณสมบัติมาตรฐานได้ถูกกำหนดไว้ในมาตรฐานการเชื่อมต่อระดับ 1 (1layer 1 physical Layer) รูปแบบของ NRZ (M) จะใช้สัญญาณแทนค่ามาร์ก (mark) ซึ่งมีค่าเท่ากับลอจิก "1" ส่วนค่าลอจิก "0"จะแทนได้ด้วยการไม่เปลี่ยนแปลงระดับสัญญาณสำหรับ NRZ (S) ก็จะมีลักษณะทำนองเดียวกันกับ NRZ (M) เพียงแต่จะกลับกันคือ ลอจิก "0" จะแทนด้วยการเปลี่ยนระดับสัญญาณรูปแบบของ NRZ (M,S) ที่กล่าวมาแล้วคือ สับเซตของ NRZ (I) ซึ่งเรียกว่า "conditioned NRZ" :ของอาศัยการเปลี่ยนแปลงระดับมาเป็นตัวกำหนดลอจิก และตัวเข้ารหัสและถอดรหัสของลอจิก (I) ข้อได้เปรียบของ NRZ (I) ที่มีเหนือ NRZ (I) ก็คือ มันจะมีภูมิคุ้มกันเนื่องจากการสลับขั้ว เพราะว่าข้อมูลถูกเข้ารหัสด้วยการมีหรือไม่มีเปลี่ยนแปลงแทนที่จะมีการมีหรือไม่มี พัสส์ ดังในรูปที่ 2.3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ก) coder (ข) decoder



(ค) Waveform of Coder

รูปที่ 2.3 คุณลักษณะของรหัส NRZ(I)

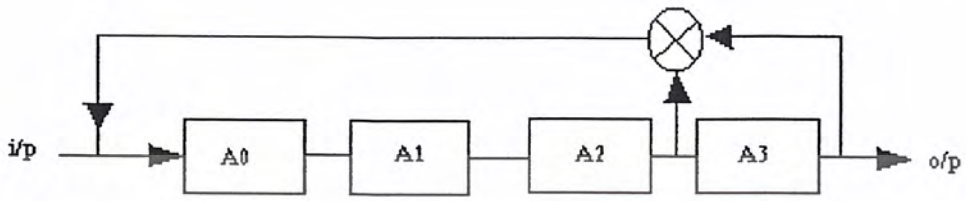
ข้อเสียของการเข้ารหัสสัญญาณดิจิตอลแบบ NRZ คือถ้ามีสถานะใดสถานะหนึ่งติดต่อกันเป็นเวลานานจะเกิดการถอดรหัสที่ผิดพลาดขึ้นที่ภาครับเช่นมีค่าบิต "0" ถึง 4 บิต ติดกันอาจทำให้ด้านภาครับถอดรหัสผิดพลาดขึ้น

2.1.3.2 หลักการของ PSEUDORANDOM

Psudorandom sequence เป็นเวลาที่สร้างขึ้นซึ่งเป็นสัญญาณรบกวนชนิดหนึ่งซึ่งมีชื่อเรียกว่า White Noise ที่ไม่เปลี่ยนแปลงตามความถี่ จะเปลี่ยนแปลงตามแบนด์วิดท์ไม่ว่าย่านความถี่ให้ก็ตาม Pseudorandom จะอาศัย ชิพรีจิสเตอร์ ในการสร้างสัญญาณ Pseudorandom ขึ้นมาโดยจะชิพไปเรื่อย จนได้เอาท์พุตที่ต้องการซึ่งข้อมูลที่ออกมาจาก ชิพรีจิสเติร์ จะถูกป้อนกลับมายังอินพุตเพื่อเป็นการควบคุมการชิฟของฟลิปฟลอปซึ่งแสดงหลักการทำงานของการผลิตสัญญาณ Pseudorandom ดังรูปที่ 2.4 Pseudorandomขนาด 4 บิต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ป้อนกลับมายังอินพุตเพื่อเป็นการควบคุมการชิฟของฟลิปฟลอปซึ่งแสดงหลักการทำงานของการผลิตสัญญาณ Pseudorandom ดังรูปที่ 2.4 Pseudorandomขนาด 4 บิต



รูปที่ 2.4 แสดงบล็อกไดอะแกรมของวงจร PRBS ขนาด M-Seq = 4 bit

จากรูปที่ 2.4 มีสมการโพลิโนเนียล เราจะเอาจุดใดไปนั้นขึ้นอยู่กับสมการโพลิโนเนียลหรือขนาดของบิต ของวงจรนี้ถ้าเปลี่ยนไปใช้บิตอื่น ก็จะต้องเพิ่มหรือลดจำนวนฟลิปฟลอป แล้วถึงเปลี่ยนจุดต่อที่นำไปคูณกันแล้วเรา สามารถหาค่า Maximum-length sequence ได้โดยสูตร $2n - 1 = 15$ ดังนั้น เอาท์พุตจะเปลี่ยนแปลงไปโดยมีความยาวของ Maximum-length = 15 จากรูปที่ 2.4 เราจะสามารถเขียนเอาท์พุต ดังตารางที่2.1 ถ้าให้ อินพุตเริ่มต้น “1000”

ตารางที่2.1 แสดง State ของชิฟรีจิสเตอร์ แต่ละตัวของรูปที่ 2.4

1	A0	A1	A2	A3
0	1	0	0	0
1	0	1	0	0
2	0	0	1	0
3	0	0	0	1
4	1	1	0	0
5	0	1	1	0
6	1	0	1	1
7	0	1	0	1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่2.1 ต่อ

8	**1**	**0**	**1**	**0**
9	**1**	**1**	**0**	**1**
10	**1**	**1**	**1**	**0**
11	**1**	**1**	**1**	**1**
12	**0**	**1**	**1**	**1**
13	**0**	**0**	**1**	**0**
14	**0**	**0**	**1**	**0**

จากรูปที่ 2.4 ลักษณะรูปสัญญาณจะได้รูป

รูปที่2.5 แสดงสัญญาณเอาท์พุต ของ PRBS ขนาด 4 บิต

ความยาวของ Psudorandomsequence สามารถหาได้โดยความยาว ชิพรีจิสเตอร์ จุดป้องกัน (feedback taps) และสถานะเริ่มต้น (initial ststes) ของฟิลิปฟลอป สามารถเขียนในรูปที่ 2.5 ไม่ควรให้วงจรของ Psudorandom เริ่มที่ "0000" เพราะจะทำให้ ชิพรีจิสเตอร์ ไม่มีเอาท์พุตออกหรือออกเป็น "0" หมดและไม่เกิดสัญญาณ Psudorandom ไม่สามารถสร้างสัญญาณ sequence และสามารถถึง Maximum-length ของแต่ละบิตดังตารางที่ 2.2

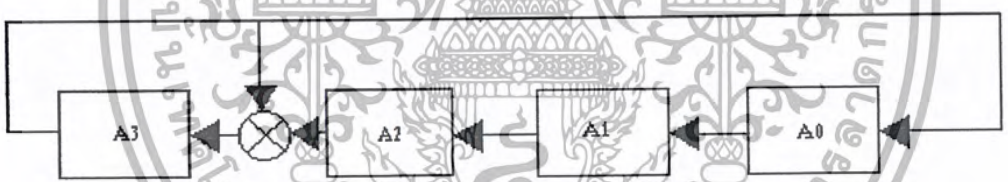
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 2.2 ตัวอย่างของ Maximum-length

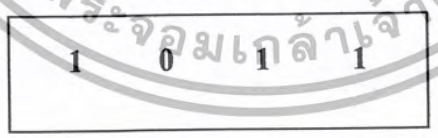
Length of shift register	FeedBack taps	Period of Sequnence
3	1.3	7
4	1.4	15
5	2.5	31
6	1.6	63
7	1.7	177

2.1.3.2.1 หลักการทำงานของรีจิสเตอร์

วงจรรีจิสเตอร์ ประกอบด้วยขึ้นจากกลุ่มของฟลิปฟลอปหลายตัวสามารถเก็บข้อมูลที่ได้ในรูปเลขฐานสอง โดยใช้ฟลิปฟลอป 1 ตัว แทนเลขฐานสอง 1 บิต โดยทั่วๆ ไปเราสามารถแทนรีจิสเตอร์ ดังรูปที่ 2.6 และรูปที่2.7



รูปที่ 2.6 แสดงลักษณะหลักการทำงานของวงจร Shift register



รูปที่ 2.7 แสดงข้อมูลที่อยู่ในรูปรีจิสเตอร์

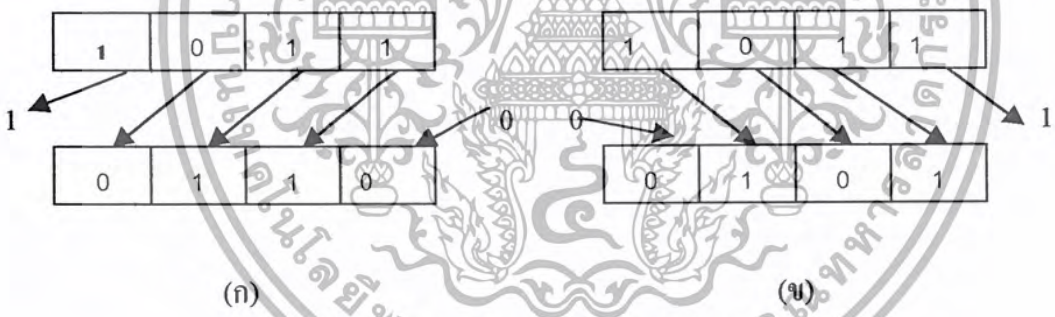
ในรูปแสดงถึงดิจิตอลขนาด 4 บิต ทีมีข้อมูล"1011" ในเลขฐานสองเก็บโดยเขียนค่าต่างๆเข้าไปในช่องที่ 1 ไว้ 4 ช่องในรีจิสเตอร์นั้นเราสามารถนำข้อมูล จากภายนอกเข้าไปเก็บในรีจิสเตอร์ หรือนำข้อมูลภายใน รีจิสเตอร์ออกมาภายนอกได้ การนำข้อมูลเข้าหรือออกจากรีจิสเตอร์ นั้นทำได้ 2 วิธี คือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1. การนำข้อมูลเข้าไปหรือออกมาครั้งละหนึ่งบิต จนกว่าจะหมดเป็นอนุกรม ในทางปฏิบัติแล้วการนำข้อมูลเข้าหรือออกแต่ละบิต จะถูกควบคุมด้วยสัญญาณนาฬิกา หรือบางทีเรียกว่า สัญญาณชิพ เราเรียกวงจรนี้ว่า ชิพรีจิสเตอร์ แบบอนุกรม ซึ่งมีทั้งเลื่อนเข้าเลื่อนออกทางซ้ายหรือขวาก็ได้อีก
2. การเลือกข้อมูลที่จะนำเข้าหรือออกจาก รีจิสเตอร์ ทุกๆ บิต พร้อมกันครั้งเดียว เราจึงเรียกวงจรนี้ว่า ชิพรีจิสเตอร์แบบขนาน

2.1.3.2.2 วงจรรีจิสเตอร์

ดังกล่าวว่าวงจรรีจิสเตอร์แบบอนุกรมเป็นวงจรรีจิสเตอร์ ที่เราเลือกข้อมูลเข้าหรือออกจาก รีจิสเตอร์ ครั้งละ 1 บิต จากซ้ายหรือขวาก็ได้ วงจรที่มีการเลื่อนข้อมูลเข้า /ออกจากทางขวาเราเรียกว่า วงจรรีจิสเตอร์ทางขวาและวงจรที่เลื่อน ข้อมูลเข้า / ออกทางซ้ายเรียกวงจรชิพรีจิสเตอร์ทางซ้าย เราเขียนอธิบายได้ทั้งสองชนิดได้ดังนี้



รูปที่ 2.8 แสดงการชิพข้อมูล

จากรูปที่ 2.8 แสดงถึงชิพรีจิสเตอร์ที่มีขนาด 4 บิต ภายในมีข้อมูล “1011” อยู่ก่อน ในการเลื่อนทุกครั้งจะมีสัญญาณ ชิพ เข้ามา การเลื่อนจะเลื่อนไปที่ 1 บิต ต่อสัญญาณ ชิพ 1 ตัว รูปที่ 2.8ก เป็นการเลื่อนไปทางซ้ายกล่าวคือ เมื่อมีสัญญาณ ชิพ เข้ามา ข้อมูลที่อยู่ภายในบิต จะถูกเลื่อนไปทางซ้าย 1 บิต โดยตัวที่อยู่ทางซ้ายสุด จะถูกเลื่อนออกไปและข้อมูลตัวที่ 2 นับจากทางซ้ายจะถูกเลื่อนมาทางซ้ายสุด เป็นเช่นนี้ไปเรื่อย ๆ สำหรับตัวที่อยู่ถัดไปจนกว่าจะถึงตำแหน่งขวาสุด สำหรับตำแหน่งขวาสุดนั้นเมื่อข้อมูลเดิมถูกเลื่อนไปและจะมี “0” เลื่อนเข้ามาแทน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ที่ฉะนั้นหลังจากสัญญาณ ชิพ เข้ามาอีกข้อมูลจะถูกเลื่อนไปซ้ายอีก 1 บิต โดยได้ข้อมูลในรีจิสเตอร์ เป็น "1100" เป็นเช่นนี้เรื่อย ๆ ดังตารางที่ 2.3

ตารางที่2.3 แสดงการชิพของข้อมูล

สัญญาณชิพ	ข้อมูลหลังจากสัญญาณชิพ			
0	1	0	1	1
1	0	1	1	0
2	1	1	0	0
3	1	0	0	0
4	0	0	0	0

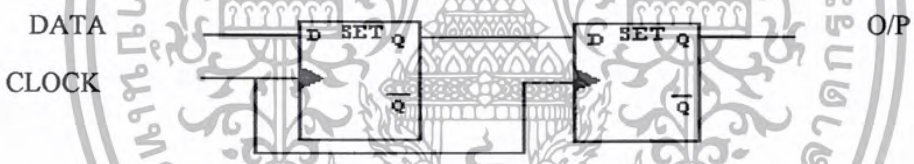
ตารางที่ 2.4 แสดงการชิพของข้อมูลทางขวา

สัญญาณชิพ	ข้อมูลหลังจากสัญญาณชิพ			
0	1	0	1	1
1	0	1	0	0
2	0	0	1	0
3	0	0	0	1
4	0	0	0	0

จะเห็นว่าหลังจากสัญญาณชิพเข้ามา 4 ตัว ข้อมูลในรีจิสเตอร์ จะถูกเลื่อนออกไปหมดเหลือ "0000" อยู่ภายใน สำหรับรูป 2.8ข เป็นการชิพทางขวา ซึ่งมีหลักการทำงานเช่นเดียวเพียงแต่ข้อมูลจะเลื่อนไปทางขวาดังแสดงในตารางที่2.4 ที่จะกล่าวมานั้นเป็นการเลื่อนข้อมูลที่มีอยู่ในรีจิสเตอร์ ออกมาข้างนอกแต่สำหรับ รีจิสเตอร์นั้นเราจะต้องสามารถเลื่อนข้อมูลจากภายนอก เข้าไปได้ด้วยหากสังเกตการทำงานในรูปที่ 2.8 ก จะพบว่าทุกครั้งของการเลือกนั้น บิตขวาสุดจะมี "0" เลื่อนเข้าไปหากเราเปลี่ยนเป็นข้อมูลอย่างอื่นแทนที่จะเป็น "0" เราก็ได้การทำงานเลื่อนเข้าไป เช่นต้องการเลื่อนข้อมูล "1101" เข้าไป เราก็นำเอา "1101" มาป้อนที่ บิตขวาสุด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณชิพตัวแรกจะเลื่อนเอา “1” ทางซ้ายสุดเข้าไปเราก็นำเอา “1101” มาป้อนเข้าที่ บิตขวาสุด สัญญาณชิพตัวแรกจะเลื่อนเอา “1” ทางซ้ายสุดเข้าไปยังบิตขวาสุดของรีจิสเตอร์ ข้อมูลเดิมที่มีอยู่ก็จะถูกเลื่อนไปทางซ้ายด้วยเมื่อ ชิพรีจิสเตอร์ตัวที่ 2 เข้ามา 1 ตัว ตัวที่2 จะถูกเลื่อนเข้าไปยังบิตขวาสุดและ “1” ตัวแรกที่อยู่บิตขวาสุดของรีจิสเตอร์จะถูกเลื่อนไปยังบิตถัดไปทางซ้ายเป็นเช่นนี้เรื่อยๆ จนสัญญาณชิพตัวที่ 4 เข้ามา ข้อมูล “1101” ก็จะถูกนำเข้าไปใน รีจิสเตอร์และข้อมูลเดิมที่มีอยู่ในรีจิสเตอร์จะหายไป ฉนั้นเมื่อต้องการเลื่อนข้อมูลกี่บิตเข้าไปจะต้องใช้สัญญาณ ชิพจำนวนเท่ากับของข้อมูลที่ชิพเข้าสำหรับการชิพเข้าทางขวาก็เช่นเดียวกัน หลักการทำงานเบื้องต้นของวงจรรีจิสเตอร์ แสดงดังในรูปที่ 2.9 ในรูปเป็นรีจิสเตอร์ขนาด 2 บิตที่ประกอบด้วยขึ้นจากฟลิปฟลอปมาต่อเรียงกันในรูปแสดงดัง ใช้ D ฟลิปฟลอปในข้อมูลในฟลิปฟลอปตัวที่ 2 จะมีค่าเหมือนค่าของ Q1 และฟลิปฟลอป ตัวแรกจะมีค่าตามค่าของอินพุต เขียนเป็นตารางได้ดังตารางที่ 2.5 ฉนั้นเมื่อต้องการค่าข้อมูลที่เอาท์พุตของ ฟลิปฟลอป อย่างไรก็ป้อนค่าอินพุตตามตารางที่2.5



รูปที่ 2.9 วงจรชิพรีจิสเตอร์

ตารางที่ 2.5 แสดงค่าเอาท์พุตของวงจรฟลิปฟลอป

Clk	Data	Q1	Q2
0	X	Q1	Q2
1	0	0	Q1
1	1	1	0
1	0	0	1
1	1	1	0

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

สิ่งที่สำคัญก็คือ การควบคุมค่าระดับสัญญาณอินพุตที่เข้ามายังฟลิปฟลอปตัวแรกคือฟลิปฟลอปเพื่อให้ค่าที่เลื่อนเข้าไปเป็นค่าที่ถูกต้องและในการเลื่อนนั้นต้องคำนึงถึงลำดับก่อนหังว่า จะเลื่อนบิตไหนเข้าบิตไหนก่อน ในกรณีวงจรชิพซ้ายก็ต้องเลื่อนบิต ที่มีค่าสูงสุดเข้าไปก่อนและบิตที่ค่าต่ำสุดเลื่อนเข้าไปสุดท้ายหลังจากเลื่อนครบทุกตัว จากวงจรรีจิสเตอร์ ที่กล่าวมาพอสรุปได้ดังนี้

1. ขนาดชิพรีจิสเตอร์จะถูกกำหนดโดยจำนวนบิต ของข้อมูลที่จะต้องเลื่อนโดยใช้ฟลิปฟลอป 1 ตัว ต่อข้อมูล 1บิต
2. จำนวนสัญญาณนาฬิกา มีจำนวนเท่ากับ จำนวนข้อมูลที่จะเลื่อน
3. สำหรับการเลื่อนออกเมื่อสัญญาณนาฬิกาเข้ามาครบจำนวนแล้ว ข้อมูลเดิมในรีจิสเตอร์จะหายไป

2.1.3.3 Return – to – Zero (RZ)

โดยการเข้ารหัส Return-to-Zero (RZ) การแสดงระดับสัญญาณค่าบิต จะกระทำเพียงครึ่งช่วงแรกของช่วงเวลาบิตหลังจากครึ่งหนึ่งของบิตผ่านไป สัญญาณจะกับไปยังระดับสัญญาณอ้างอิง (zero) เป็นเวลาครึ่งหนึ่งของช่วงความยาวบิตตามรูปที่ 2.10 ค่าศูนย์จะถูกแสดงด้วยการไม่มีการเปลี่ยนแปลง โดยที่สัญญาณจะยังคงอยู่ระดับอ้างอิง ซึ่งมันจะมีประโยชน์ในการเปลี่ยนแปลง (Transition) และการทำสัญญาณจะยังคงอยู่ที่ระดับอ้างอิง ซึ่งมันจะมีประโยชน์ในการเปลี่ยนแปลง และการทำให้สัญญาณนาฬิการในการกู้สัญญาณคืนดีขึ้นรูปคลื่นของ RZ สำหรับค่าบิต “1” และ “0” แสดงดังในรูปที่2.2 เปรียบเทียบกับรูปแบบของรหัสตัวอื่นจะสังเกตเห็นว่า ค่าบิต “0” ก็คือค่าสัญญาณที่ไม่มีการเปลี่ยนแปลงซึ่งทำให้เกิดปัญหาเรื่องศักยภาพของวงจร เวลาในการกู้สัญญาณซึ่ง เขาอาจจะกำจัดปัญหาดังกล่าวได้โดยการทำ Precoding ตัวเข้ารหัสรูปคลื่นและตัวถอดรหัสแสดงไว้ในรูปที่2.10 รหัส RZ จะถูกสร้างโดยการแอนด์ (AND) NRZ(L) กับสัญญาณนาฬิกาที่ทำหน้าที่เป็นอัตราบิตของระบบ ตัวถอดรหัสจะถอดรหัสได้โดยการหน่วงเวลา RZ ไป ½ บิตและนำเอาสัญญาณ RZ ที่หน่วงเวลามาเอกซ์คลูซีฟออร์กับสัญญาณ RZ เดิมก็จะได้สัญญาณ NRZ (L) กลับคืนมาเหมือนเดิม

ข้อดีของ RZ นี้ด้านรับสามารถตรวจจับค่าสถานะบิต “1” ได้ง่ายแบบ NRZ แต่ยังไม่สามารถแก้ปัญหาในการส่งสถานะบิต “0” ติดต่อกันนานๆได้

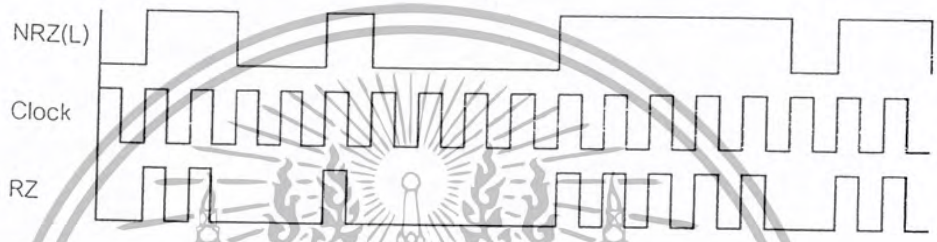
ข้อเสียไม่เหมาะสมในการส่งสัญญาณที่มีบิตศูนย์ติดต่อกันนานๆ

สรุป ทั้งแบบ NRZ และ RZ จะมีลักษณะเหมือนกันคือ ค่าแรงดัน (voltage) เฉลี่ยไม่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

46547

เท่ากับศูนย์หรือใกล้เคียงกับศูนย์ แต่มีค่าแรงดันค่อนข้างคงที่ขึ้นอยู่กับสัดส่วนของสถานะบิต "1" หรือบิต "0" ซึ่งการส่งข้อมูลในลักษณะนี้ผ่านเข้าไปในเครือข่าย นับว่าเสี่ยงต่อความผิดพลาดของข้อมูลได้ พิจารณาอย่างเช่น สัญญาณข้อมูลแบบ NRZ เท่ากับ "1 1 1 1 0 1" และเมื่อผ่านอุปกรณ์ประจุไฟฟ้า โอกาสที่สถานะบิต "0" ไม่สามารถถูกตรวจจับที่ด้านรับได้สูงมาก เพราะ เกิดจากการคายประจุไม่ทัน (บิตตามมาเป็นบิต "1") ซึ่งค่าเราสามารถแก้ปัญหานี้ได้โดยการใช้สัญญาณแบบสองขั้ว



รูปที่2.10 คุณลักษณะของการเข้ารหัส Return – to – Zero

2.1.3.4 Diphase หรือ Manchester

ในบางครั้งอาจเรียกว่า ไดเฟส (Diphase) สปลิทเฟส (Split Phase) และแมนเชสเตอร์ (Manchester) นั้นเป็นวิธีการเข้ารหัสสองระดับดังนี้

$$f1 = V \;; 0 < t \leq T/2$$
$$-V : T/2 < t < T$$
$$f2 = -f1\,(t)$$

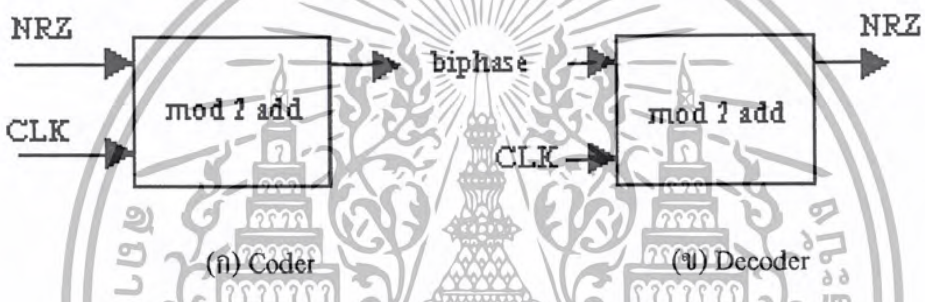
รหัสไดแฟรมสามารถสร้างได้จากการนำเอา NRZ (L) เอกซ์คูลซีฟออรี (xor) หรือ Mod 2 ADD กับสัญญาณนาฬิกา ดังในรูปที่ 2.11 ก ถ้าเราสมมติว่า "1" ถูกส่งผ่านไปโดยใช้ (+V) และ "0" ถูกส่งไปโดยใช้ (-v) จากรูปคลื่นของไดเฟสที่กล่าวในรูปที่ 2.11 แสดงให้เห็นชัดว่าจำนวนของการเปลี่ยนระดับสัญญาณ จะเพิ่มขึ้นซึ่งทำให้การสร้างสัญญาณควบคุมจังหวะเวลาแบบ Selt timingเพื่อนำมาทำหารกู้สัญญาณที่ดีขึ้น ซึ่งเป็นข้อได้เปรียบที่สำคัญของไดเฟส การกู้สัญญาณจะทำได้โดยวิธีการเช่นเดียวกับการเข้ารหัส conditioned diphase

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จะมีทั้งคุณสมบัติของ NRZ (I) และไดเฟส กล่าวคือ จะมีการคุ้มกันต่อการกลับขั้ว และการเพิ่มจำนวนของการเปลี่ยนแปลงสถานะโดยข้อมูลมีค่าเป็น "1" รูปแบบของสัญญาณ ดังแสดงในรูปที่ 2.11

ข้อดีของการเข้ารหัสสัญญาณแบบไดเฟส ก็คือ

- สามารถตรวจสอบจับสัญญาณนาฬิกาจากข้อมูลที่ส่งมาได้ง่าย
- ไม่มีการรบกวนของไฟฟ้ากระแสตรง
- ค่าอัตราบิต (Bit Rate) เป็น 2 เท่าของแบบ NRZ
- สามารถคำนวนค่าประสิทธิภาพของแบนด์วิดท์ได้เลยเท่ากับ 1/2= 50

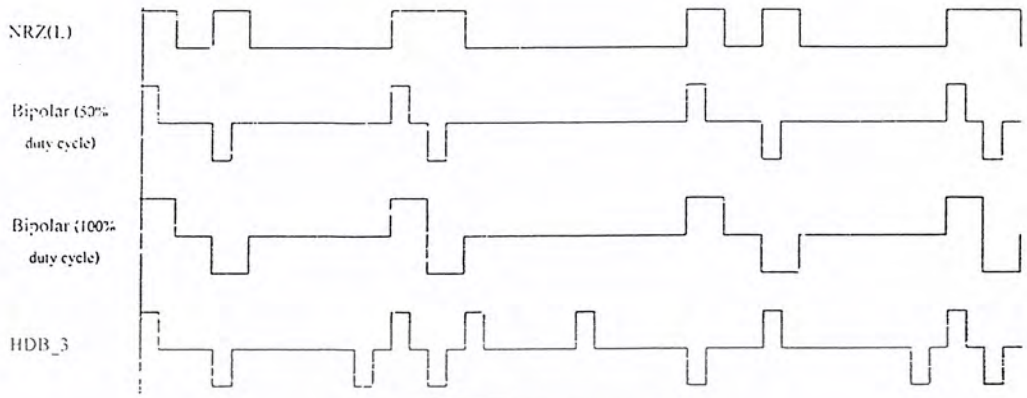


รูปที่ 2.11 คุณลักษณะของรหัสไดเฟส

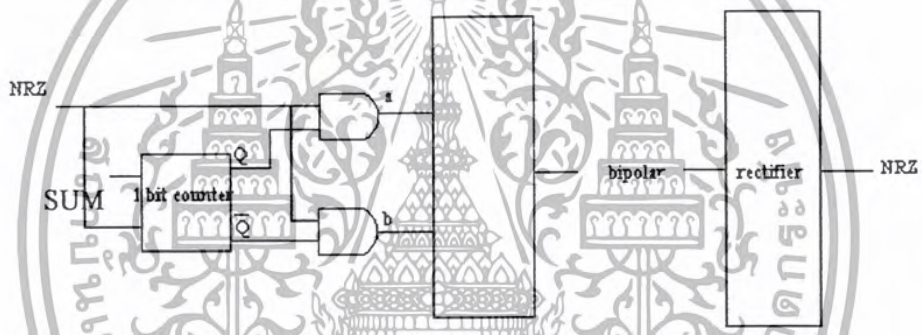
2.1.3.5 Bipolar หรือ Aiternate Mark Inversion

ในไบโพลาร์หรือ altemate mark inversion (AMI) ข้อมูลเลขฐานสองจะถูกเข้ารหัสโดยแอมพลิจูด 3 ระดับ คือ "+v" และ "-v" และ "O" โดยที่เลขไบนารี "O" จะถูกเข้ารหัสกับระดับ "O" เสมอ สำหรับไบนารี "1" จะถูกเข้ารหัสเป็น "+v" หรือ "-v" สลับกันทุกครั้งที่มีค่า "1" เกิดขึ้นผลของการเข้ารหัสไปโพลาร์จะทำให้องค์ประกอบไฟฟ้ากระแสตรงกลายเป็นศูนย์ซึ่งเหมาะกับเงื่อนไขการส่งสัญญาณแบบเบสแบนด์ ดังในรูปที่ 2.11 รหัสไบโพลาร์เหล่านี้จะเป็น NRZ (duty cycle 100%) หรือ RZ (duty cycle 50%) รูปที่ 2.12 แสดงแผนภูมิการทำงานของตัวเข้ารหัส/ถอดรหัสและรูปคลื่นของสัญญาณไบโพลาร์ที่ถูกสร้างขึ้นจาก NRZ โดยใช้ตัวนับ "1" บิต ทำการควบคุมแนนเกต (NAND GATE) เพื่อบังคับการทำงานเป็นไปตามกฎการสลับขั้ว การกู้สัญญาณของ NRZ (L) จากไบโพลาร์ทำได้โดยใช้การเร็กติไฟเออร์ เต็มคลื่นง่ายๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.12 คุณลักษณะของรูปคลื่นรหัสไบโพลาร์



รูปที่ 2.13 คุณลักษณะของรหัสไบโพลาร์

ประโยชน์ต่างๆที่ได้จากการส่งสัญญาณแบบไบโพลาร์ ทำให้มันถูกเลือกใช้งานอย่างกว้างขวางตัวอย่าง เช่น ระบบคลื่นพาหะ T1 ของ AT&T ซึ่งไบโพลาร์ Duty cycle 50% เนื่องจากในทางปฏิบัติของไบโพลาร์ถูกปรับปรุงให้ดีขึ้นกว่า NRZ ความสามารถในการตรวจสอบความผิดพลาดก็เป็นผลมาจากคุณสมบัติของการกลับไปกลับมาของค่าบิต "1" ค่าแอมพลิจูดลบสลับก็คือไบโพลาร์ที่เสียหายและแสดงว่ามีความผิดพลาดในการส่งผ่านเกิดขึ้น คุณสมบัตินี้จะใช้ในการเตือนไปยังตัวเตือนสัญญาณหรือตัวรับโดยไม่เกิดการรบกวนข้อมูล แม้ว่าจังหวะเวลาในการกู้สัญญาณคืนของไบโพลาร์จะได้รับการปรับปรุง ให้เหนือกว่าของ NRZ แล้วก็ตาม ผลของสัญญาณ "0" ที่ยาวนานโดยไม่มีการเปลี่ยนสถานะในสัญญาณไบโพลาร์จะทำให้เกิดความลำบากในเรื่องการจัดจังหวะเวลาในการกู้สัญญาณได้ สำหรับตัวทวนสัญญาณระบบคลื่นพาหะ T1 ย่อมให้ค่า "0" ที่เกิดเรียงติดต่อกันได้สูงสุด 14 ตัว การ

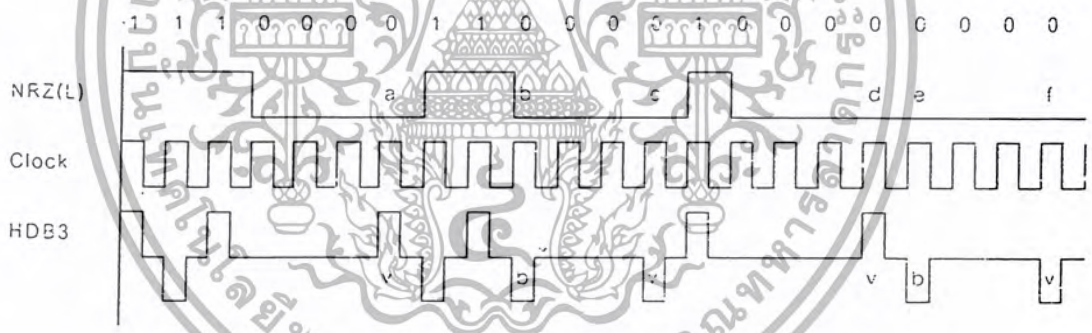
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปฏิบัติโดยทั่วๆ ไปในการมัลติเพลกซ์ PCM การออกแบบตัวเข้ารหัสก็จะมีข้อกำจัดดังกล่าว อย่างไรก็ตามในการแก้ปัญหาก็คือการแทนของลำดับค่าของเลข "0" พิเศษ ลงไปตามสัญญาณไบโพลาร์ที่เสียหาย

2.1.3.6 สัญญาณแบบ HDBn (High Density Bipolar n)

เป็นการพัฒนารูปแบบสัญญาณชนิดใหม่เพื่อแก้ไขข้อเสียแบบ AMI เราเรียกแบบใหม่ว่า สัญญาณแบบ High –Density Bipolar (HDBn) ซึ่งในระบบชนิด 30 ช่องสัญญาณค่า n เลือกให้เท่ากับ 3 เพื่อแสดงถึงจำนวนบิตที่มากที่สุด ในการส่งสถานะบิต "0" ติดต่อกันได้ เราเรียกสัญญาณนี้ว่า HDB3 ดังนี้

- ถ้ามีข้อมูลบิต "0" ติดต่อกันมากกว่า 3 บิต ที่ 4กำหนดให้แทนด้วยสถานะของพัลซ์ตามขั้วของสัญญาณที่อยู่ก่อนรหัสนี้ (เพื่อสถานะ Mark ลงไป)
- เนื่องจากบิตสถานะ Mark ที่เพิ่มขึ้นมาไม่ได้แทนค่าบิต mark (1) อย่างแท้จริงแต่เป็นแทนค่าบิต "0" จึงต้องมีการเพิ่มบิตที่สถานะตรงข้ามลงไปแทนที่บิตแรกที่สุดของสี่บิต "0" ให้พิจารณารูปสัญญาณ และอ่านคำอธิบายเกี่ยวกับการกำหนดบิตของ HDB3 ดังในรูปที่ 2.14



รูปที่ 2.14 รหัสสัญญาณแบบ HDB3

จากรูป อธิบายขั้นตอนเข้ารหัสสัญญาณของ HDB3 ได้เรียงตามลำดับดังนี้

- ที่ลำดับ (a) บิตสถานะ "0" สี่บิต ถูกตรวจพบและเพิ่มบิตลงไป (v) ซึ่งมีลักษณะเหมือนก่อนหน้านี้
- ที่ลำดับ (b) ขอให้ดูเหตุผลของการเพิ่มบิต (b) จากลำดับ (c)
- ที่ลำดับ (c) บิตสถานะ "0" จำนวนสี่บิต อีกชุดถูกตรวจพบและเพิ่มบิต (v) ลงไปจากนั้นพิจารณาว่าจำนวนบิตระหว่างบิต (v) มีจำนวนบิตคู่หรือศูนย์ ถ้าเป็นไปตามนี้ให้ตามบิต (b) ที่ตำแหน่งแรกของบิต "0" ชุดนั้น และมีสถานะกลับกันกับบิตก่อนหน้านี้
- ที่ลำดับ (d) ถึงลำดับ (h) ก็ใช้กฎเดียวกันก่อนหน้านี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.1.4 รหัสการส่งสัญญาณตามสาย (Line Transmission Code)

การส่งสัญญาณ PCM ในรูปของไบนารีพัลส์จะมีข้อเสียบางประการเช่นถ้าพัลส์นั้นมีแต่ "0" และ "+" จะมีองค์ประกอบความถี่ต่ำ อาจเป็นสาเหตุของการรบกวนสายผู้อื่นๆ ในเคเบิลเดียวกันได้ นอกจากนั้นสัญญาณไบนารีเหล่านั้นยังมีค่าไฟฟ้ากระแสตรงปนอยู่ด้วยจึงไม่เป็นสิ่งที่ปรารถนา ด้วยเหตุผลดังกล่าวก่อนที่จะส่งสัญญาณพัลส์ออกไปยังสายส่ง จะสร้างรหัสของพัลส์ขึ้นใหม่จากสัญญาณ PCM เดิม ซึ่งสัญญาณนี้ก็จะเปลี่ยนเป็นสัญญาณ PCM เดิมที่อินพุตของอุปกรณ์ด้านรับ อย่างไรก็ตามเหตุผลที่ต้องทำรหัสใหม่เพื่อส่งออกไปในสายส่งนั้นมีดังต่อไปนี้

1. แยกไทม์มิ่งพัลส์ (Timing Pluses) ออกมาได้ง่าย

   อุปกรณ์ทวนสัญญาณ และอุปกรณ์ทางด้านรับจะต้องสร้างสัญญาณนาฬิกา เพื่อใช้เป็นบิตซิงโครไนซ์จากขบวนพัลส์ที่ส่งมา การที่จะแยกไทม์มิ่งพัลส์ออกมาได้อย่างถูกต้องและมีเสถียรภาพนั้นขบวนพัลส์ที่ส่งมาต้องไม่มี "0" ต่อเนื่องกันนานเกินไป

2. ไม่มีองค์ประกอบไฟฟ้ากระแสตรง

   ในระบบ PCM จะมีอุปกรณ์ทวนสัญญาณติดตั้งไว้ในระหว่างสายส่งเป็นระยะๆ และโดยทั่วไปทางด้นทางหรือปลายทางจะจ่ายกระแสตรงให้กับอุปกรณ์ทวนสัญญาณเหล่านั้นโดยไปในสายส่งเดียวกัน หรือกล่าวอีกนัยหนึ่งก็คือในย่านความถี่ต่ำจะ ถูกใช้สำหรับการป้อนกระแสไฟ (Power Feeding) ดังนั้นจึงต้องส่งข่าวสารแบบดิจิตอลในแถบความถี่ซึ่งอยู่นอกจากนี้

3. แบนด์วิทธ์ในการส่งแคบ

   ถ้าสัญญาณครอบคลุมไปถึงย่านความถี่สูงมาก อัตราส่วนทำรหัสสัญญาณใหม่เพื่อไม่ให้มีองค์ประกอบความถี่สูงเกินไปที่จะใช้สำหรับส่งสัญญาณ PCM

4. สามารถตรวจสอบความถูกต้องในขณะบริการได้

   ถ้ารหัสที่ทำขึ้นใหม่มีกฎเกณฑ์ที่แน่นอนแล้ว การตรวจสอบความถูกต้องจะกระทำได้ที่ด้านรับโดยการตรวจสอบหาสิ่งที่ผิดแปลกไปจากกฎเกณฑ์ที่กำหนดไว้ อย่างเช่นกรณีของรหัส AMI (Alternate Mark Inversion) จะต้องมีพัลส์ทางบวกและทางลบหรือในทางตรงกันข้ามสลับกันไป ถ้าตรวจพบว่าไม่เป็นเช่นนี้ ก็แสดงว่าผิดพลาด (error) เกิดขึ้นในสายส่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.1.5 การส่งข้อมูล

วิธีการในการส่งข้อมูลนั้น สามารถแบ่งตามคุณสมบัติต่างๆได้หลายวิธี ซึ่งสามารถจำแนกได้ดังนี้

2.1.5.1 การจำแนกวิธีการส่งตามทิศทางการส่งภายในสาย

2.1.5.2 การจำแนกวิธีการส่งตามลักษณะการจัดข้อมูล

2.1.5.2.1 การจำแนกวิธีการส่งตามทิศทางการส่งภายในสาย

ในการใช้สายสำหรับการส่งข่าวสาร หากพิจารณาตามทิศทางการส่งข้อมูลภายในสายแล้วสามารถแบ่งการส่งข้อมูลออกเป็น 3 ชนิดคือ

- การส่งแบบทิศทางเดียว (One way transmission or simplex)
- การส่งแบบทิศทางใดทิศทางหนึ่ง (Eithe way transmission or full-duplex transmission)
- การส่งแบบสองทิศทาง (Both way transmission or full-duplex transmission)

2.1.5.2.2 การจำแนกวิธีการส่งตามลักษณะของการจัดข้อมูล

นอกจากการจำแนกวิธีการส่งตามลักษณะทิศทางการส่งแล้ว ยังสามารถจำแนกออกตามลักษณะการจัดข้อมูลได้อีกซึ่งการส่งตามลักษณะการจัดข้อมูลนั้นเราแบ่งออกได้เป็น 2 วิธีคือ

- การส่งแบบขนาน (Parallel Transmission) วิธีการส่งในลักษณะนี้ ทุกๆ บิตของรหัสของอักษรหนึ่งตัวจะต้องส่งไปพร้อมๆ กันในลักษณะขนานกัน นั้นหมายความว่า หากเรามีรหัสขนาด 8 บิตก็ต้องมีแชนเนลสำหรับการส่งจำนวนเท่านั้น การส่งแบบขนานนี้มักใช้ในระบบการสื่อสารที่มีระยะไม่ไกลนัก และโดยเฉพาะอย่างยิ่งในการส่งข้อมูลระหว่างคอมพิวเตอร์กับอุปกรณ์ประกอบคอมพิวเตอร์ต่างๆ เช่น เครื่องอ่านบัตร เครื่องเทปแม่เหล็กต่างๆ เป็นต้น โดยวิธีการนี้ทำให้ เราได้ระบบการสื่อสารที่มีอัตราการส่งข้อมูลสูงมาก แต่ในกรณีที่ระยะทางไกลมากๆ นั้น ระบบการส่งแบบขนานจะไม่ได้รับความนิยม เพราะราคาของการวางแชนเนลค่อนข้างแพง

- การส่งแบบอนุกรม (Serial Transmission)วิธีการที่ได้รับความนิยมแพร่หลายที่สุดสำหรับการส่งข่าวสารก็คือ การส่งแบบอนุกรม ในการส่งแบบอนุกรมนั้นบิตทั้งหมดของตัวอักษรหนึ่งตัวจะถูกนำมาส่งไปทีละบิตติดต่อกันไปเรื่อยๆ ตาม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แชนเนลซึ่งมีอยู่เพียงแชนเนลเดียว ทางด้านรับเมื่อรับข้อมูลมาแล้วก็จะนำมาจัดเป็นตัวอักษรขึ้นใหม่ให้ตรงกับชุดของตัวอักษรที่ทางด้านส่งส่งมา ซึ่งวิธีการดังกล่าวนี้จะต้องประกอบด้วยความสัมพันธ์ในการทำงานระหว่างด้านรับและด้านส่งสองชนิดคือ

1. ความสัมพันธ์ของบิต (Bit Synchronization)
2. ความสัมพันธ์ของตัวอักษร (Character Synchronzation)

2.1.5.2.2.1ความสัมพันธ์ของบิต

ความสัมพันธ์ของบิตนั้นหมายถึงว่า ทางด้านรับจะต้องได้รับบิตต่างๆที่ทางด้านส่งทำการส่งมาได้อย่างถูกต้อง นั่นหมายถึงว่า ทางด้านรับจะต้องทราบว่าจะรับจากสายส่งนั้นเมื่อใด หลังจากรับตัวแรกมาแล้วจะรับตัวที่ 2,3 และตัวต่อๆไปเมื่อไรซึ่งสามารถกระทำได้โดยการเพิ่มสัญญาณนาฬิกาเข้าไปที่จุดปลายของระบบทั้งสองด้านหรืออาจใช้วิธีการส่งสัญญาณนาฬิกาของทางด้านรับจะเป็นตัวกำหนดการเวลาว่าจะรับข้อมูลจากสายด้วยอัตราความถี่เท่าใด ตราบเท่าที่สัญญาณนาฬิกาทางด้านส่งและรับยังมีความเร็วเดียวกัน ทางด้านรับก็จะสามารถรับบิตที่ทางด้านส่งส่งออกมาได้

2.1.5.2.2 ความสัมพันธ์ของตัวอักษร

ในการรับข่าวสารตามสายนั้น แม้ว่าเราจะมีการจัดเกี่ยวกับความสัมพันธ์ของบิตแล้วก็ตาม ยังมีปัญหาที่ตามมาอีกก็คือ บิตต่างๆ ที่รับมาอย่างถูกต้องแล้วนั้น กลุ่มของบิตที่แสดงถึงตัวอักษรต่างๆ นั้น เริ่มต้นที่บิตใดวิถีแก้ปัญหานี้กระทำได้หากว่าเราทราบว่าบิตใดเป็นบิตเริ่มากันของตัวอักษรและถ้าหาก ทราบว่า ในตัวอักษรหนึ่งตัวนั้นมีกี่บิต และ ความเร็วของการส่งบิตต่างๆ มาตามสาย เคยการนับจำนวนบิตที่ได้รับมาตา สายหลัง การทราบบิตแรกก็จะสามารถแยกตัวอักษร ออกจากกันได้วิธีการในการหาว่าบิตใดเป็นบิตเริ่มต้นของตัวอักษรนั้นมีด้วยกัน 2 วิธีคือ

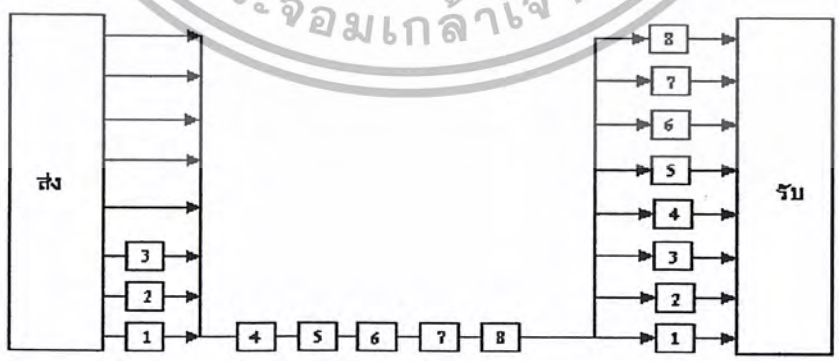
1. ใช้เทคนิคการส่งแบบสัมพันธ์
2. ใช้เทคนิคการส่งแบบไม่สัมพันธ์ในที่นี้จะกล่าวเฉพาะการใช้เทคนิคและการส่งแบบสัมพันธ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เทคนิคการส่งแบบสัมพันธ์ ใช้สำหรับการส่งข้อมูลทั้งชุดไปครั้งเดียวในการส่งแบบนี้นั้น ช่วงความกว้างระหว่างบิตแต่ละบิตจะมีค่าเท่ากันและตัวอักษรแต่ละตัวมีช่วงเวลาห่างกันเท่ากับศูนย์ ทางด้างรับนั้นเพียงหาว่าบิตแรกของตัวอักษรตัวแรกคือบิตใด และทราบขนาดหรือจำนวนบิตในหนึ่งตัวอักษร พร้อมทั้งความเร็วในการส่ง ก็จะสามารถแยกข่าวสารของแต่ละตัวอักษรออกมาได้ เพื่อให้การหาบิตแรกของตัวอักษรตัวแรกเป็นไปอย่างถูกต้องจึงมักส่งชุดของข้อมูลชุดหนึ่งก่อนหน้าการส่งข้อมูลตัวอักษรโดยการส่งตัวอักษรควบคุมความสัมพันธ์ (SYN Transmission control character : TC) สำหรับทางด้านรับนั้นจะถูกออกแบบมาให้นำบิตที่รรรับมาเปรียบเทียบกับชุดของบิตของตัวอักษรควบคุมความสัมพันธ์ โดยกระทำทุกครั้งที่รับบิตใหม่เข้ามาจนกว่าจะได้ชุดของบิตที่ต้องการดังกล่าว

2.1.6 การโอนถ่ายข้อมูลแบบอนุกรม

ในการถ่ายโอนข้อมูลแบบอนุกรม ข้อมูลถูกส่งออกมาทีละบิต ระหว่างจุดส่งและรับจะเห็นว่าการส่งข้อมูลนี้จะช้ากว่ามาแล้วแน่นอน แล้วทำไมต้องส่งแบบนี้ คำตอบก็คือ ตัวกลางการสื่อสารต้องการเพียงช่องเดียวกรือสายเดียวค่าใช้จ่ายในการสื่อสารจะต้องถูกกว่าแบบขนานอย่างแน่นอน สำหรับการส่งระยะทางไกลๆ โดยเฉพาะเมื่อเรามีการสื่อสารทางโทรศัพท์ไว้ใช้งานอยู่แล้วย่อมจะเป็นการประหยัดว่าที่เราจะทำการติดต่อสื่อสารทีละ 8 ช่อง เพื่อการถ่ายโอนข้อมูลแบบขนานอย่างแน่นอน



รูปที่ 2.15 การส่งข้อมูลแบบอนุกรม

รูปที่ 2.15 แสดงให้เห็นว่าการส่งข้อมูลแบบอนุกรม ข้อมูลจากจุดส่งจะเปลี่ยนให้เป็นอนุกรมเสียก่อนแล้วค่อยทยอยส่งทีละบิตไปยังจะจุดรับ ณ ที่จุดรับจะต้องมีกลไก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในการเปลี่ยนข้อมูลที่ส่งออกมาทีละบิต ให้เป็นสัญญาณแบบขนานซึ่งลงตัวพอดี นั่นคือ 1 บิตลงที่บัสข้อมูลเส้นที่1 พอดี การที่จะทำให้การแปลงสัญญาณจากอนุกรมทีละบิตให้ลงตัวพดีนั้นจำเป็นจะต้องมีกลไกที่เหมาะสม เพื่อป้องกันการผิดพลาดในการรับกลไกที่ว่านี้ 2 แบบคือ

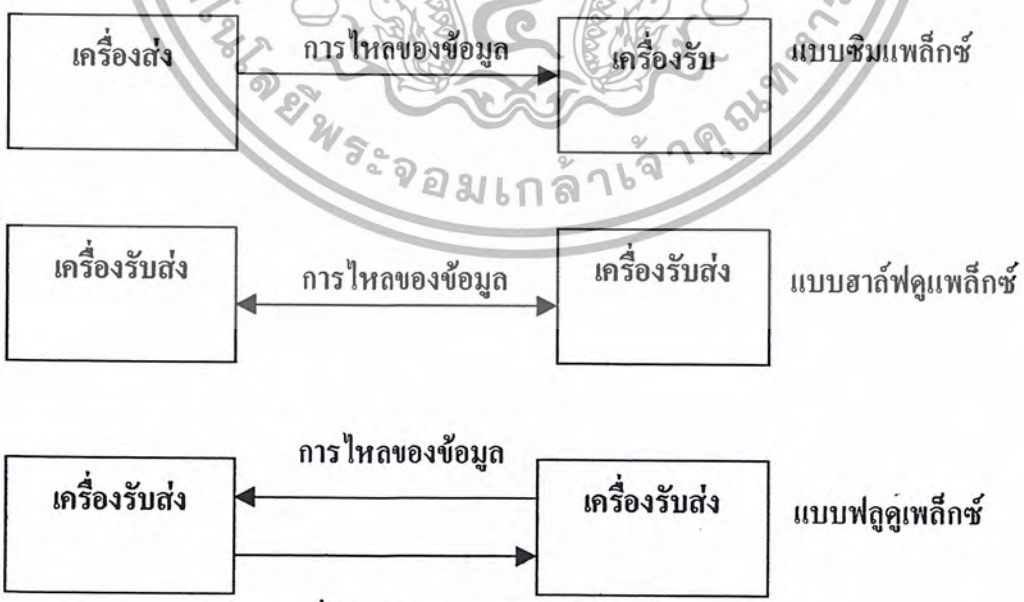
1. การสื่อสารแบบซิงโครนัส
2. การสื่อสารแบบอะซิงโครนัส

2.1.7 รูปแบบของการออกแบบการติดต่อสื่อสารแบบอนุกรม

1. แบบซิมเพลกซ์ (Simplex) ข้อมูลส่งได้ในทางเดียวเท่านั้น บางครั้งเรียกว่าการส่งทิศทางเดียว (Unidirectional Data Bus)

2. แบบฮาล์ฟดูเพลกซ์ (Full Duplex) ข้อมูลสามารถส่งได้ทั้งสองสถานี แต่ต้องผลักดันกันส่งและผลักกันรับ จะส่งและรับพร้อมกันไม่ได้

3. แบบฟลูดูเพกลซ์ (Full Duplex) ทั้งสองสถานีรับและส่งได้ในเวลเดียวกันการส่งแบบฟลูดูเพกลซ์และฮาล์ฟดูเพกลซ์ ไม่ขึ้นอยู่กับจำนวนของสายในการติดต่อ บางครั้งคำว่า ทูไวร์ (Two Wire) หรือสองเส้นและโฟร์ไวร์ (Four Wire) หรือ 4 เส้นใช้ในการบรรยายถึงลักษณะการสื่อสารข้อมูลซึ่งอาจจะทำให้เข้าใจแบบฮาล์ฟฟดูเพลกซ์ สายโทรสัพท์ทั่วไปเป็นแบบ 2 เส้น ส่วนที่เป็นแบบเช่า (Lease Line) นั้นส่วนมากจะเป็นแบบ 4 เส้น



รูปที่ 2.16 รูปแบบของการติดต่อสื่อสารแบบอนุกรม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

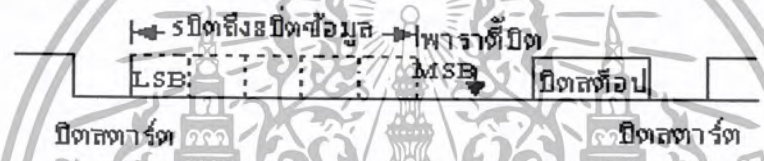
2.1.8 ความเร็วในการส่งข้อมูลแบบอนุกรม

ความเร็วของการถ่ายโอนข้อมูลแบบอนุกรม หน่วยเป็นบิตต่อวินาที (bps) หน่วยที่บรรยายถึงการเปลี่ยนแปลงของสัญญาณใน 1 วินาที เรียกว่า บอดเรท (Bond Rate) หรืออัตราบอดเรทโดยจะได้สมการคือ

อัตราบิต(Bit Rate) = อัตราบอด (Bond Rate) * บิตใน 1 บอด

2.1.9 การสื่อสารแบบอะซิงโครนัส

การส่งแบบอะซิงโครนัสนี้ พัฒนาจากการส่งโทรพิมพ์ในสมัยก่อน ลักษณะของสัญญาณเริ่มต้นหรือบิตเริ่มต้น (Start Bit) และบิตสิ้นสุด (Stop Bit)



รูปที่2.17 ฟอร์แมตการสื่อสารแบบอะซิงโครนัส

ขณะที่สถานะของการส่งแบบว่าง (Idle) คือ ยังไม่มีสัญญาณส่งออกมาจะมีสัญญาณหรือแรงดัน(หรือกระแส) ตลอดเวลา เพื่อความไม่แน่ใจว่าฝ่ายรับยังติดต่ออยู่กับฝ่ายส่ง เมื่อเริ่มจะส่งข้อมูล สัญญาณของอะซิงโครนนัสจะเป็น 0 หนึ่งช่วงสัญญาณนาฬิกา บิตนี้เรียกว่าสตาร์ทบิตตามหลังของสตาร์ทบิตก็จะเป็นข้อมูลสำหรับ 1 ตัวอักษร ซึ่งอาจจะมีขนาดตั้งแต่ 5 บิต หรือ 8บิตโดยบิตที่มีค่าน้อยที่สุด (LSB) จะถูกส่งออกมาก่อนไล่ไปจนถึงบิตที่มีค่ามากที่สุด (MSB) การเข้ารหัสอักขระนี้ส่วนมากจะใช้รหัส ASCII แรกทีเดียวในงานโทรพิมพ์ เขาใช้รหัส Saudo ซึ่งใช้ 5 บิตในการแทนอักขระ 1 ตัวอักษรตามหลังข้อมูลก็จะเป็นพาริตี้บิต ซึ่งอาจจะเป็นแบบคู่ (Even) หรือ คี่ (Odd) หมายความว่า ถ้าหากเป็นพาริตี้คู่ จำนวนบิตที่เป็น 1 ในช่วงบิตข้อมูลกับบิตพาริตี้รวมแล้วจะต้องเป็นจำนวนคู่ ผู้ส่งจะต้องทำหน้าที่ตรวจสอบข้อมูลแล้วใส่พาราตี้เอง ฝ่ายรับเมื่อรับแล้วก็จะตรวจดูว่าเป็นจริงดังสถานการณ์ที่ตั้งเอาไว้หรือไม่ หากผิดพลาดก็หมายความว่าสัญญาณที่รับนั้นผิดพลาดไปจากสถานีส่งออกมาทั้งนี้ทั้งนั้นจะต้องผิดเป็นจำนวนคี่ เท่านั้น คือผิดไป 1 บิต 3 บิต หรือ 5 บิต พร้อมกันจึงจะตรวจสอบได้ว่าผิด มองเห็นง่ายๆ ว่าถ้าผิดเป็นจำนวนคู่ ผลรวมของจำนวนหนึ่งก็ยังเป็นคู่อยู่ดีทั้งนี้ทั้งนั้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ไม่ได้หมายความว่า พาริตี้คี่(Odd Parity) จะตรวจสอบการผิดพลาดเป็นจำนวนคี่ความจริงแล้วตรวจสอบความผิดพลาดได้เหมือนกับพาราริตี้คู่ (Even Parity) แต่แทนที่จะตรวจสอบดูว่าสัญญาณที่รับเข้ามามีจำนวนคู่ ก็ตรวจสอบดูว่ามีจำนวนคี่หรือเปล่าอย่างไรก็ตามโอกาสที่จะผิดพลาด 2 บิตพร้อมกันมีน้อยมากย้อนกลับมาดู สัญญาณอะซิงโครนัสใหม่ หลังจากบิตพาริตี้แล้วก็จะต้องมีสต็อปบิตซึ่งเป็น ความกว้างของสต็อปบิตอาจจะเป็น1 , 1.5 หรือ 2 พัลส์ของสัญญาณนาฬิกา แล้วแต่ผู้รับและผู้ส่งจะตกลงใช้กันเองการเริ่มต้นใช้พอร์ตอนุกรม (ทางออกอนุกรม) จึงจำเป็นจะต้องตั้งค่าต่างๆสำหรับเป็นการส่งแบบอนุกรมอันได้แก่

1. ความเร็วในการส่ง
2. ความยาวรหัส 1 อักขระ
3. บิตตรวจสอบ
4. จำนวนสต็อปบิต

จะเห็นว่ากลไกในการซิงโครนัสของการสื่อสารอะซิงโครนัส มีลักษณะเป็นไปทีละอักษร จำนวนพลัสซ์สัญญาณส่งออกยังมีส่วนใช้ในการควบคุมการส่งอยู่กันได้แก่ บิตสตาร์ทบิตสต็อปและบิตพาริตี้ ทำให้ความเร็วการส่งอักขระต่อวินาทีน้อยลงไป การส่งสัญญาณด้วยความเร็ว 300 บอด สำหรับการเข้ารหัส 7 บิต ไม่ได้ความหมายว่า ส่งได้ 300 หารด้วย 7 อักขระต่อวินาที

2.2 การมอดูเลทชั่นสัญญาณดิจิตอล (DIGITAL MODULATION)

การส่งสัญญาณดิจิตอล เช่น สัญญาณ PCM โดยคลื่นวิทยุไมโครเวฟ จำเป็นที่จะต้องเปลี่ยนสัญญาณดิจิตอลไปเป็นสัญญาณในย่านความถี่วิทยุ เทคนิคในการมอดูเลทสัญญาณดิจิตอลมี 3 แบบ คือ

1. Amplitude Shift Keying (ASK)
2. Frequency Shift Keying (FSK)
3. Phase Shift Keying (PSK)

คลื่นพาหะในย่านความถี่วิทยุหรือไมโครเวฟ สามารถกำหนดได้โดย

$$\text{คลื่นพาหะ} = A\cos(2\pi f_c t + \sigma)$$

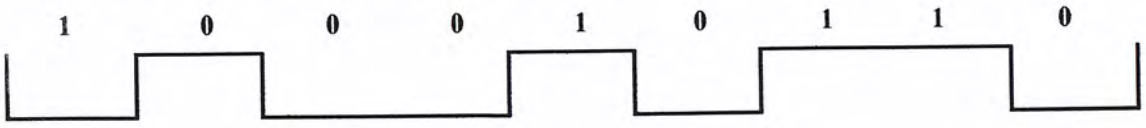
ในที่นี้ A : แอมปลิจูดของคลื่นพาหะ

f_c : ความถี่คลื่นพาหะ

σ : initial phase

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณดิจิตอลเบสแบนด์เป็นรูปคลื่นสี่เหลี่ยมแสดงรหัสไบนารี 1 และ 0 ในการมอดูเลทสัญญาณดิจิตอลนี้หนึ่งในสามพารามิเตอร์คือ แอมปลิจูด ความถี่ หรือเฟสของคลื่นพาหะจะเปลี่ยนแปลงไปตามสถานะ 1 หรือ 0 ของสัญญาณเบสแบนด์



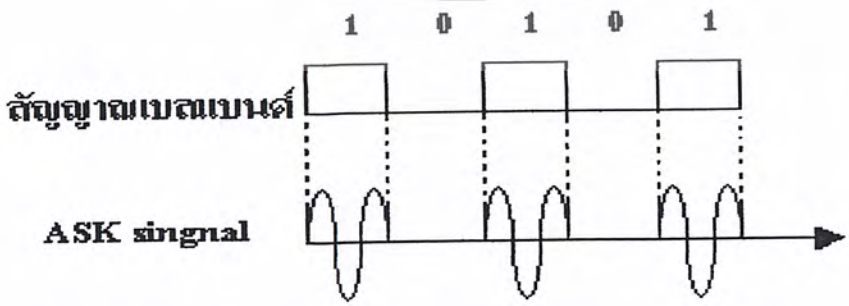
รูปที่2.18 สัญญาณเบสแบนด์ดิจิตอล

ตารางที่2.4 แสดงการเปรียบเทียบวิธีการมอดูเลทแบบดิจิตอลและอนาล็อก

การมอดูเลทแบบอนาล็อก	การมอดูเลทดิจิตอล
AM (Amplitude Modulation)	ASK (Amplitude Shift Keying)
FM (Frequency Modulation)	FSK (Frequency Shift Keying)
PM (Phase Modulation)	PSK (Phase Shift Keying)

กรณีของASK บางครั้งเรียกว่า OOK (on-off keying) เพราะว่า คลื่นพาห์ถูกสวิทซ์ on/off ตามสัญญาณที่เป็น 1 หรือ 0 ถ้าคลื่นพาห์กำหนดโดย $A\cos 2\pi f_c t$ ดังนั้นสัญญาณ ASK จะกำหนดได้เป็น

$$S(t) = \begin{cases} A\cos 2\pi f_c t & \text{เมื่อสัญญาณเป็น 1} \\ 0 & \text{เมื่อสัญญาณเป็น 0} \end{cases}$$



รูปที่2.19 Amplitude Shift Keying

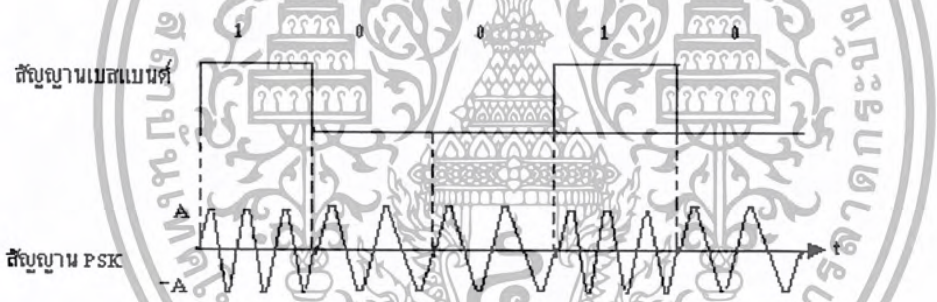
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำหรับกรณีของ FSK ความถี่ของคลื่นพาหะจะมี 2 ความถี่ เช่น ความถี่ f_1 สำหรับความที่เป็น 1 และความถี่ f_2 สำหรับสัญญาณที่เป็น 0

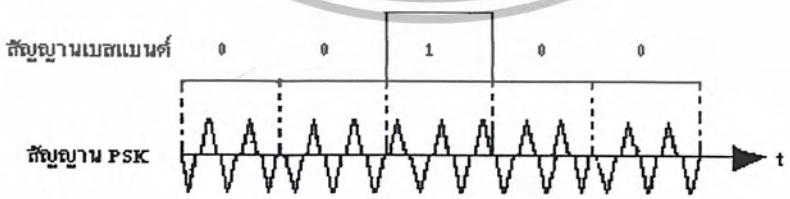
$$S(t) = \begin{cases} A\cos 2\pi f_1 t & \text{สำหรับสัญญาณเป็น 1} \\ A\cos 2\pi f_2 t & \text{สำหรับสัญญาณเป็น 0} \end{cases}$$

ส่วนในกรณีของ PSK แอมปลิจูดและความถี่จะคงที่แต่ initial phase จะต่างกันสำหรับสัญญาณที่เป็น 0หรือ 1 คือเฟสของคลื่นพาหะ $A\cos(2\pi f_c t + \sigma)$ จะเปลี่ยนไปตามสถานะของสัญญาณ เช่น เฟส σ เป็น 0 กรณีสัญญาณมีสถานะเป็น 1 และเฟส σ เป็น π กรณีสัญญาณมีสถานะเป็น 0

$$S(t) = \begin{cases} A\cos 2\pi f_c t & \text{กรณีสัญญาณเป็น 1} \\ A\cos(2\pi f_c t + \pi) & \text{กรณีสัญญาณเป็น 0} \end{cases}$$



รูปที่2.20 Frequency Shift Keying



รูปที่2.21 Phase Shift Keying

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2.1 เทคนิคการมอดูเลชั่นพื้นฐาน

การมอดูเลชั่น คือกระบวนการที่ทำให้พารามิเตอร์ของสัญญาณคลื่นพาห์ ตั้งแต่หนึ่งอย่างหรือมากกว่านั้น แปรตามลักษณะของข่าวสารที่เข้ามา คลื่นพาห์ที่เราใช้มักจะอยู่ในรูปของสัญญาณไซนูซอยด์(Sinusoidal) ที่มีพารามิเตอร์ที่สามารถเปลี่ยนแปลงได้ 3 ตัว คือ ขนาด ความถี่ และเฟส โดยความสัมพันธ์ของทั้งสามตัวสามารแสดงได้สมการ

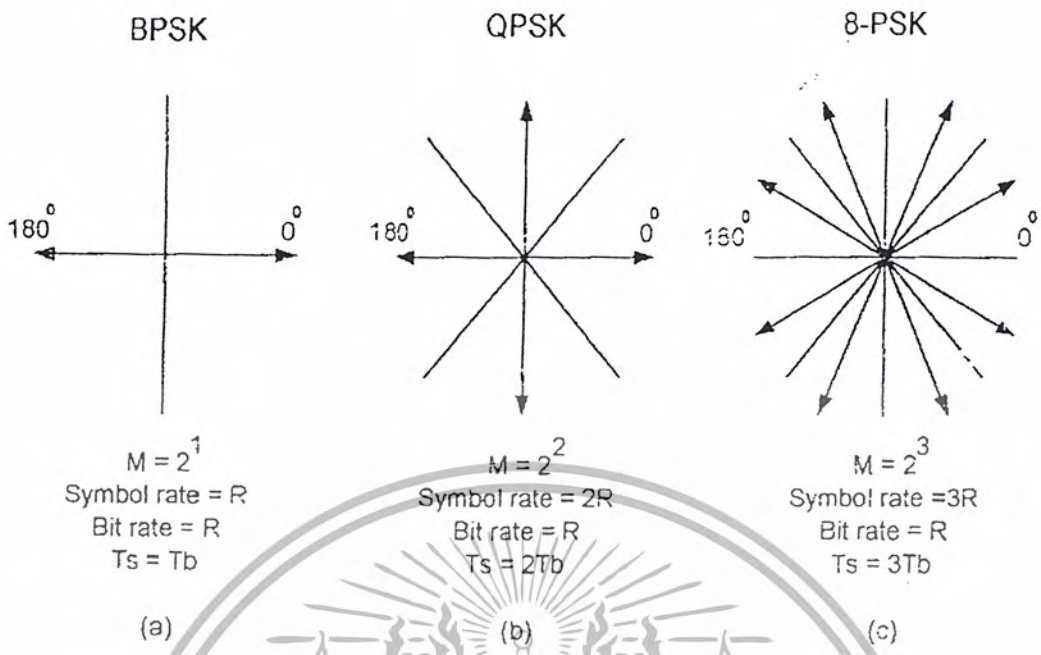
$$Ec(t) = A \times \sin(\omega_c t + \theta)$$

ถ้าเราเปลี่ยนแปลงของคลื่นพาห์ ตามลักษณะของข่าวสาร จะทำให้เกิดการมอดูเลชั่นที่เรียกว่า การมอดูเลททางขนาด (Amplitude Modulation) ในขณะที่การเปลี่ยนแปลงความถี่และเฟสของคลื่นพาห์ตามลักษณะของสัญญาณข่าวสาร จะทำให้เกิดการมอดูเลทชั่นทางความถี่ (Frequency Modulation) และการมอดูเลทชั่นทางเฟส (Phase Modulation)

2.2.2 Phase Shift Keying (PSK)

ลักษณะการมอดูเฟสแบบเฟสชิงคีอิ้ง (Phase Shift Keying (PSK)) เป็นการมอดูเลทที่มีสัญญาณคลื่นพาห์ที่เอาท์พุตมีความถี่เดียว และมีขนาดแอมปลิจูดคงที่ แต่มีการเปลี่ยนแปลงของเฟสแทนข้อมูลที่เป็นดิจิตอล จำนวนของเฟสที่มีการเปลี่ยนแปลงไปนั้นจะขึ้นอยู่กับชนิดของการมอดูเลท เช่นในระบบ PSK หรือ BPSK จะมีการเปลี่ยนแปลงเฟสไปมาอยู่ 2 เฟส คือข้อมูลบิต “0” สัญญาณคลื่นพาห์จะมีเฟสเปลี่ยนไป 180 องศา และข้อมูลบิต “1” เฟสของสัญญาณคลื่นพาห์ที่ได้จะไม่มีการเปลี่ยนแปลง นั่นคือมีเฟสเป็น 0 องศา สถานะเฟสของสัญญาณ BPSK ,QPSK และ 8-PSK เมื่อแสดงอยู่ในรูปของเวคเตอร์ดังรูปที่ 2.5 แถบความถี่ในการส่งข้อมูลที่ใช้ในการส่งสัญญาณต่างๆในระบบ PSK ที่แตกต่างกันจะไม่เท่ากัน ในแบบ BPSK นั้นจะมีบิตเรทที่ต่ำสุดที่สุดเมื่อเทียบกับแบบ QPSK และแบบ M-ray PSK เพราะมีความเร็ว 1 บิตต่อ 1Hz แต่แบบ BPSK นี้จะมีความผิดพลาดน้อยกว่าแบบอื่นๆทั้งหมด ค่าประสิทธิภาพทางแถบความถี่ (Band Width Efficiency)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่2.22 สถานะของเฟสของสัญญาณ PSK

ในทฤษฎีของการมอดูเลทแบบ PSK แบบต่างๆ จะเป็นดังตาราง

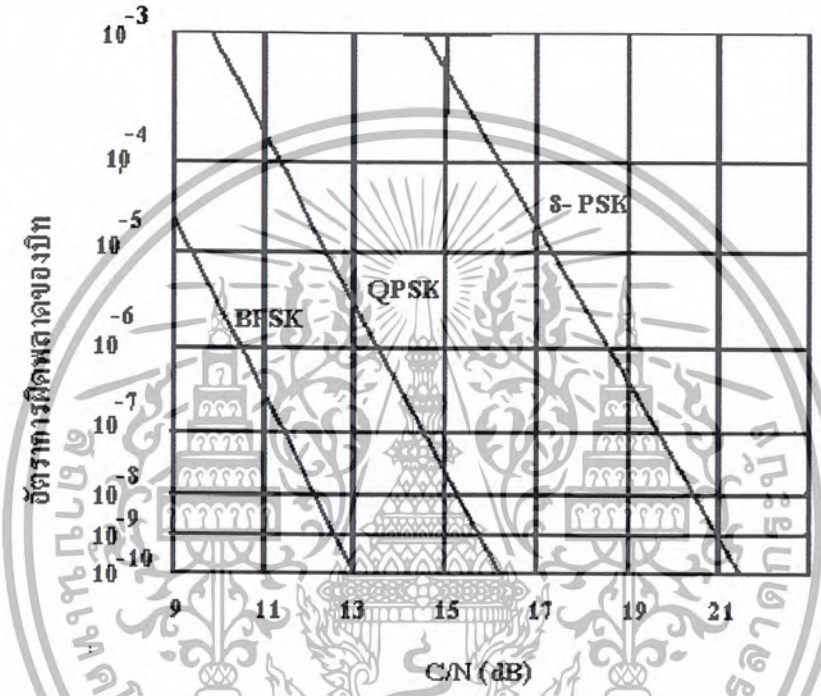
ตารางที่ 2.5 แถบความถี่ที่ต้องการใช้ในทางทฤษฎีของ M-ary PSK แบบต่างๆ

มอดูเลทชั่น	แถบความถี่ที่ใช้ในทางทฤษฎี
BPSK	**1 b/s/Hz**
QPSK	**2 b/s/Hz**
8-PSK	**3 b/s/Hz**
16-PSK	**4 b/s/Hz**
32-PSK	**5 b/s/Hz**

จากตารางที่ 2.5 จะเห็นว่าประสิทธิภาพทางแถบความถี่ของสัญญาณ BPSK มีค่าเท่ากับแบนวิดธ์ของสัญญาณดิจิตอลเบสแบนด์ คือที่แถบความถี่ 1 Hz สามารถส่งข้อมูลได้เพียงความเร็ว 1บิตต่อวินาที ซึ่งถือว่าประสิทธิภาพต่ำจึงไม่ค่อยนิยมนำมาใช้งาน แต่ในระบบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

M-ary PSK ที่มันดับสูงกว่าจะมีประสิทธิภาพทางแถบความถี่ที่สูงกว่ามาก แต่ความซับซ้อนของวงจรก็จะมากตามไปด้วย และต้องการค่า C/N (Carrier to Noise Ratio) ที่สูงกว่า เพื่อลดค่าความผิดพลาดของการส่งข้อมูล (Bit Error Rate) ซึ่งค่าเปรียบเทียบกันระหว่าง 8-PSK ,QPSKและ BPSK แสดงดังในรูปที่ 2.23



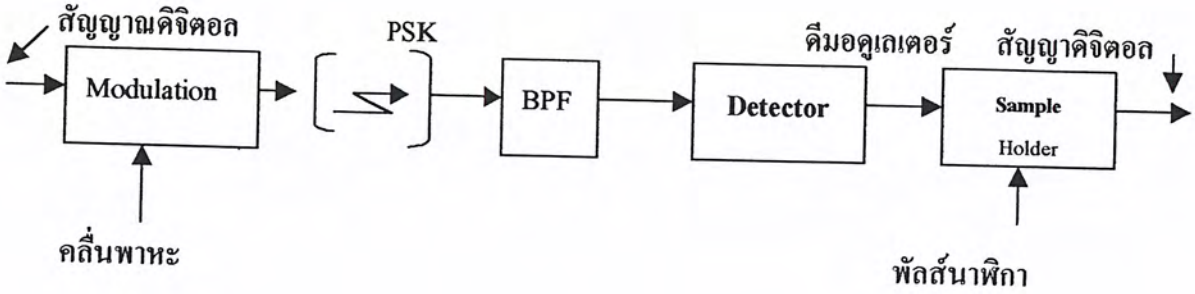
รูปที่ 2.23 เปรียบเทียบอัตราการผิดพลาดของบิตของPSK แบบต่างๆ

รูปที่ 2.23 เป็นกราฟที่เปรียบเทียบกันระหว่างอัตราการผิดพลาดของข้อมูลของการมอดูเลทระหว่าง 8-PSK ,QPSK และ BPSK ซึ่งจะเห็นว่าระบบที่มีการเปลี่ยนแปลงเฟสจะมีความผิดพลาดของข้อมูลมากกว่าระบบทีมีการแยกเฟสน้อย ซึ่งอาจจะต้องแก้ไขโดยการเพิ่มกำลังให้มากขึ้น

2.3 หลักการของไบนารี เฟสชิฟ คีย์อิ้ง (Binary Phase Shift Keying)

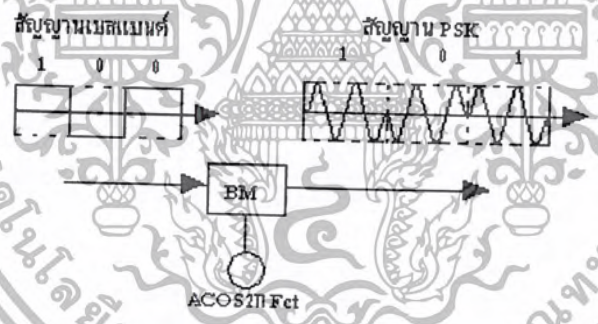
ทางด้านส่งของระบบสื่อสารมีมอดูเลทเตอร์ ซึ่งเปลี่ยนสัญญาณดิจิตอลเป็นสัญญาณ PSK ทางด้านรับมี Band -Pass Filter และดีมอดูเลทเตอร์ ซึ่งเปลี่ยนสัญญาณ PSK เป็นสัญญาณดิจิตอลอันเดิม ดีมอดูเลทเตอร์ ประกอบด้วย ดีเทคเตอร์ และ Sample Holder

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่2.24 บล็อกไดอะแกรมของระบบภาคส่งและภาครับของสัญญาณดิจิตอล

โดยทั่วไปแล้วการมอดูเลท PSK จะใช้ Balanced Modulator สมมติว่าสัญญาณดิจิตอลเบสแบนด์อยู่ในรูปคลื่นสี่เหลี่ยมมีแอมปลิจูดเท่ากับ 1 สำหรับรหัส 1 และมีแอมปลิจูดเท่ากับ –1 สำหรับรหัส เมื่อคลื่นรูปสี่เหลี่ยมนี้ถูกผสมโดยคลื่นพาห์ $A\cos 2\pi f_c t$ ผ่านวงจร Balanced Modulator จะได้สัญญาณ PSK ที่แสดงดังรูป



รูปที่2.25 แสดงการมอดูเลทสัญญาณดิจิตอล

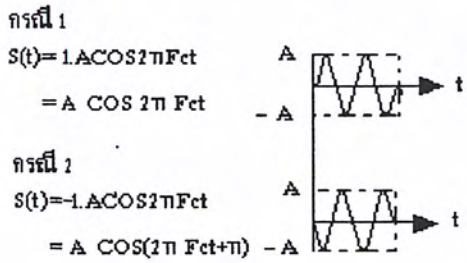
จากรูปจะได้สมการที่สามารถทราบถึงลักษณะของสัญญาณ PSK ได้คือ

สำหรับPSK รหัส 1 จะเป็น $S(t) = 1 \times A\cos 2\pi f_c t = A\cos 2\pi f_c t$

สำหรับPSK รหัส 0 จะเป็น $S(t) = -1 \times A\cos 2\pi f_c t = -A\cos 2\pi f_c t$

สำหรับรหัส 0 จะเป็นการเลื่อนเฟสของคลื่นพาห์จะเปลี่ยนไปเท่ากับ π รูปการเปลี่ยนแปลงทางเฟสของคลื่นพาหะ

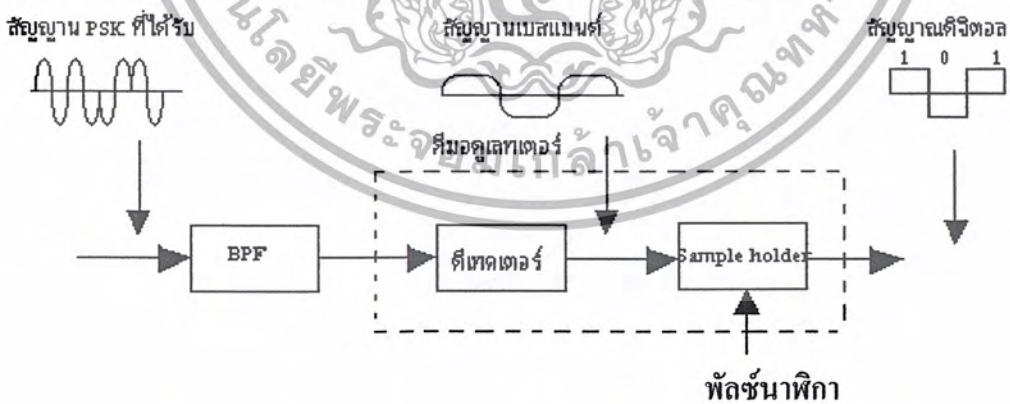
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่2.26 การเปลี่ยนแปลงทางเฟสของคลื่นพาหะ

โดยจะเขียนสมการได้คือ $-A\cos 2\pi f_c t = A\cos(2\pi f_c t + \pi)$

Band-Pass Filter ทางด้านรับสัญญาณ ซึ่งมีเสียงรบกวนปนอยู่ด้วยจะถูกดีเทคเตอร์ออกมาที่ดีมอดูเตอร์,ดีเทคเตอร์จะเอาสัญญาณเบสแบนด์ออกมาโดยจะตัดแคเรียร์คอมโปแนนท์ ซึ่งรวมอยู่ในสัญญาณ PSK ออกไปสัญญาณเบสแบนด์จะไม่เป็นรูปสี่เหลี่ยมที่สมบูรณ์นัก เนื่องจากการกำหนดแถบความกว้าง โดยตัวกรองความถี่ และเนื่องจากอิทธิพลของเสียงบกวน Sample Holder จะสร้างสัญญาณดิจิตอลเดิมขึ้นมาใหม่ผ่านการพิจารณา Polarity บวก หรือ ลบ ของสัญญาณเบสแบนด์

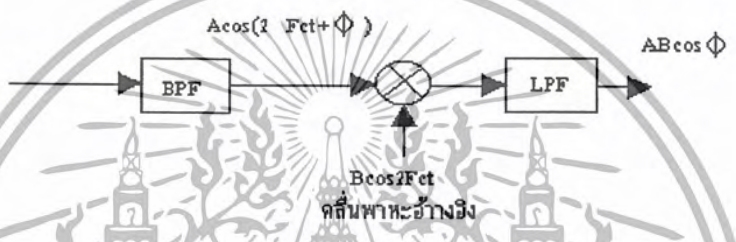


รูปที่2.27 การสร้างขึ้นมาใหม่ทางด้านรับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทางภาครับจะมีการดีมอดูเลทเตอร์ของระบบการสื่อสารของBPSK จะเป็นแบบ Coherent Detection ซึ่งมีหลักการดังนี้สัญญาณ PSK ที่รับได้ขั้นแรกจะผานวงจร multiplier ซึ่งสัญญาณ PSK ที่รับได้ด้วย Reference Carrier สำหรับฮาร์โมนิค ซึ่งรวมอยู่ในสัญยาณ Output จะตัดออกไปโดยผ่าน Low Pass Filter และได้สัญญาณเบสแบนด์ ออกมาทางด้านทางออก

ถ้าสัญญาณ PSK ที่รับเข้ามาคือ $A\cos(2\pi f_c t + \varphi)$ คลื่นพาหะอ้างอิงมีไว้เพื่อการซิงโครไนซ์กับคลื่นพาห์ทางด้านส่ง คือ $B\cos 2\pi f_c t$ สัญญาณทางออกหลังจากผ่าน LPF แล้วสามารถกำหนดได้เป็น $\frac{AB}{2}\cos\varphi$



รูปที่2.28 การรับสัญญาณ PSK ทางด้านรับ

ทั้งเนื่องจาก

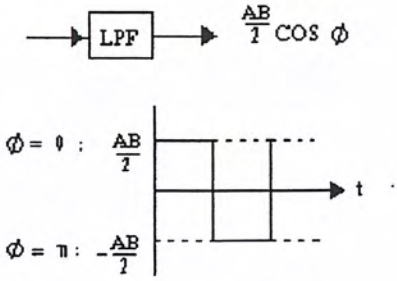
$$A\cos(2\pi f_c t + \varphi).\ B\cos 2\pi f_c t$$

$$= \left\{ \frac{AB}{2}\cos(2\pi f_c t + \varphi + 2\pi f_c t) + \cos(2\pi f_c t + \varphi - 2\pi f_c t) \right\}$$

$$= \frac{AB}{2}\left\{ \cos(4\pi f_c t + \varphi) + \cos\varphi \right\}$$

ซึ่ง $\frac{AB}{2}\cos(4\pi f_c t + \varphi)$ นี้คือฮาร์โมนิก โดยมีความถี่เป็น 2 เท่าของความถี่คลื่นพาหะเดิม ซึ่งจะ ถูกตัดออกไปเมื่อผ่าน Low Pass Filter ดังนั้น ทางด้านทางออก จึงมีแต่เพียง $\frac{AB}{2}\cos\varphi$ เท่านั้น โดย $\frac{AB}{2}\cos\varphi$ 0tgxHo $\frac{AB}{2}$ เมื่อ $\varphi = 0$ และจะได้เป็น $-\frac{AB}{2}$ เมื่อ $\varphi = \pi$ ดังในรูป

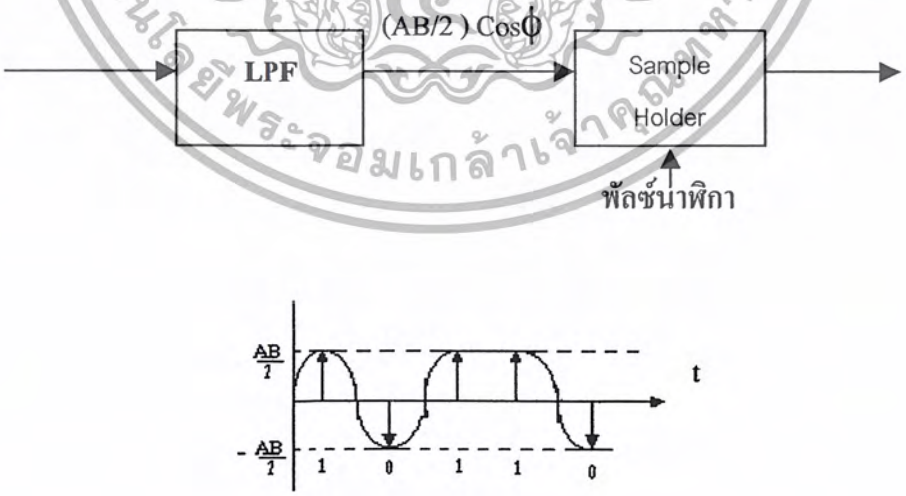
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่2.29 แสดงสัญญาณเอาท์พุตหลังจากผ่านLPF

สัญญาณเอาท์พุตในรูปข้างบน ในทางปฏิบัติแล้วจะไม่เป็นรูปสี่เหลี่ยมโดยสมบรูณ์ ทั้งนี้เนื่องจากอิทธิพล Band Limitation และเสียงรบกวน

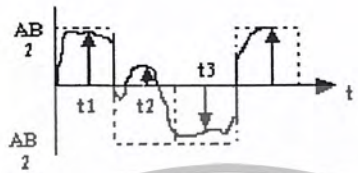
ต่อจากนี้สัญญาณเบสแบนด์นี้จะถูกส่งไปยังวงจร Sample Holder ซึ่งวงจรจะทำการสุ่มตัวอย่างสัญญาณเบสแบนด์ด้วย Clock Pluse ที่จุดกึ่งกลางของแต่ละรหัสสัญญาณ และกำหนดว่ารหัสนั้นเป็น 1 หรือเป็น 0 โดยการตัดสิน หรือ พิจารณาจาก Polarity ของสัญญาณแซมเปิลนั้นแล้วทำหารสร้างสัญญาณดิจิตอลดั้งเดิมขึ้นมาใหม่ ในรูปนี้รหัสเป็น 1 สำหรับสัญญาณที่มีแอมปลิจูดเป็นบวก และรหัสเป็น 0 สำหรับสัญญาณที่มีแอมปลิจูดเป็นลบ



รูปที่ 2.30 การพิจารณารหัสเป็น 1 หรือ 0 โดย Sample Holder

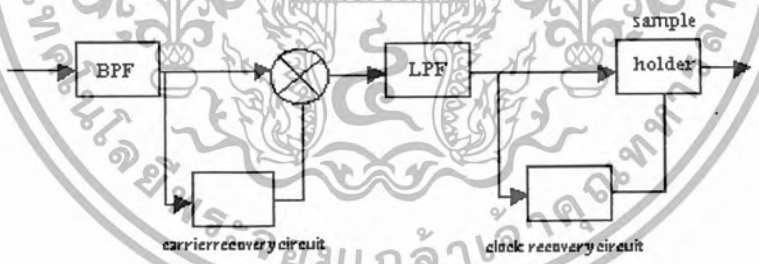
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อสัญญาณมีการเพี้ยนเนื่องจากอิทธิพลของเสียงรบกวน ถ้ามีการผิดเพี้ยนน้อย Polarity ของสัญญาณก็ไม่เปลี่ยนแปลง เช่นที่ t_1 และ t_2 รหัสที่ได้ออกมาก็ถูกต้อง แต่ถ้าพิจารณาที่ t_2 Polarity ของสัญญาณถูกเปลี่ยนแปลงไปในทางตรงข้ามเนื่องจากการผิดเพี้ยนมาก รหัสที่ได้ออกมาก็ของผิดไปจากรหัสเดิม bit error ก็จะเกิดขึ้น



รูปที่2.31 แสดงรหัสผิดเพี้ยนเนื่องจากเสียงรบกวน

รูปต่อไปเป็นบล็อกไดอาแกรมของ Coherent Demodulator มี BPF มีดีเทคเตอร์ Sample Holder , Carrier Recovery Circuit และ Clock Recovery Circuit วงจร Carrier Recovery Circuit จะสร้างคลื่นพาห์อ้างอิงขึ้นมาใหม่ โดยการทวีคูณสัญญาณ PSK ที่ได้รับมาได้ ส่วน Clock Recovery Circuit จะมีการสร้างสัญญาณ Clock ขึ้นมาใหม่ เพื่อใช้สำหรับ Sample Holder ในวิธีการ Coherent Detection นี้ทั้งคลื่นพาห์อ้างอิงและสัญญาณ Clock จะถูกสร้างขึ้นมาใหม่จากสัญญาณ PSK ที่รับเข้ามา



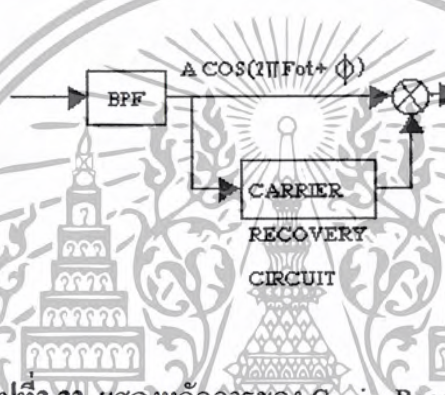
รูปที่2.32 บล็อกไดอะแกรมของ Coherent Demodulator

คลื่นพาห์อ้างอิงที่ใช้ใน Coherent Detection นี้ เพื่อการซิงโครไนซ์กับคลื่นพาห์ทางด้านส่ง เพื่อวัตถุประสงค์นี้คลื่นพาห์อ้างอิงถูกสร้างขึ้นมาใหม่จากสัญญาณ PSK ที่รับเข้ามา สัญญาณ Input ที่เข้าวงจร Carrier Recovery Circuit สามารถกำหนดได้โดย $A\cos(2\pi f_c t + \varphi)$สัญญาณเอาท์พุต คือ คลื่นพาห์อ้างอิงกำหนดโดย $B.\cos 2\pi f_c t$

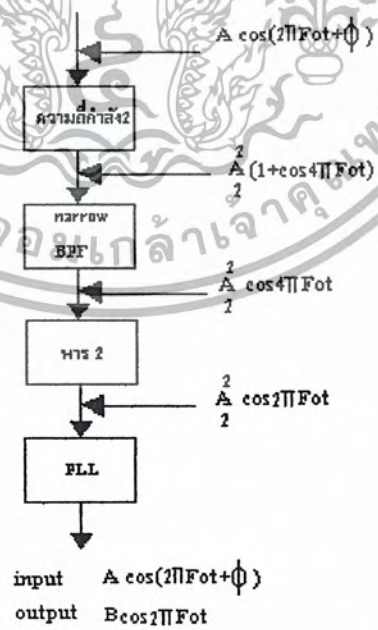
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจร Carrier Recovery ประกอบด้วย Square, Narrow Band Filter โดยมีความถี่กึ่งกลางที่ $2f_c$, วงจร $1/2$ Frequency divider และวงจร Phase Locked Loop

สัญญาณ $(\frac{A^2}{2}\cos 2\pi f_c t)$ ที่ออกจากวงจร divider ปกติจะมีเสียงรบกวนรวมอยู่ด้วย เพื่อที่จะตัดเสียงรบกวนออก และได้คลื่นพาหะอ้างอิงปราศจากการผิดเพี้ยน จำเป็นต้องใช้วงจร Phase Locked Loop (PLL) ช่วย วิธีการนี้คลื่นพาหะอ้างอิง $B.\cos 2\pi f_c t$ ซึ่งไม่มีเสียงรบกวนรวมอยู่ด้วย สามารถที่จะสร้างขึ้นมาใหม่



รูปที่2.33 แสดงหลักการของ Carrier Recovery Circuit

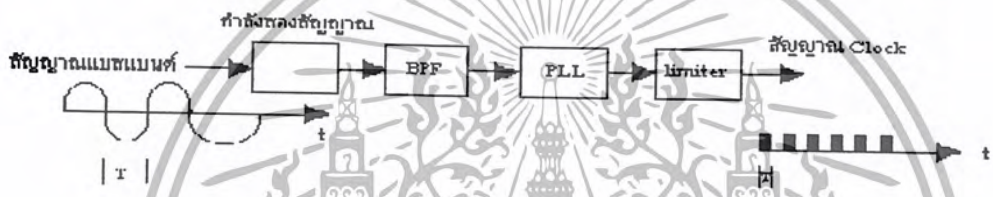


รูปที่2.34 แสดง Carrier Recovery Circuit และสัญญาณตามจุดต่างๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Clock Pluse ที่จำเป็นสำหรับ Sample Holding ก็ถูกสร้างขึ้นใหม่จากสัญญาณ PSK ที่รับได้เช่นกัน เพื่อจุดประสงค์นี้ต้องใช้วงจร Clock Recovery สัญญาณเบสแบนด์ที่ได้ที่เอาท์พุตของดิเทคเตอร์ โดยทั่วไปจะใช้เป้าฯสัญญาณอินพุตให้กับวงจร Clock Recovery

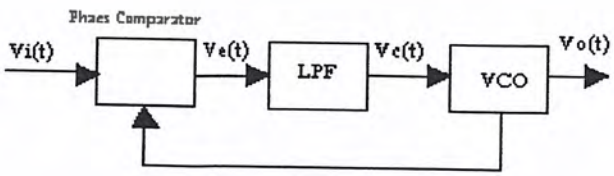
มีอยู่หลายวิธีในการสร้างสัญญาณ Clock ขึ้นใหม่วงจรข้างล่างนี้ก็เป็นตัวอย่างวงจรหนึ่ง ซึ่งประกอบด้วย Square ,Narrow BPF, PLL และลิมิเตอร์ สำหรับ Narrow BPF ที่ใช้ในวงจรนี้มีความถี่กึ่งกลางของ $\frac{1}{T}$ ซึ่ง T คือความกว้างของรหัสตัวหนึ่งๆ ดังนั้น $\frac{1}{T}$ คือความถี่ของสัญญาณ Clock ที่ได้ โดยการผ่านสัญญาณเบสแบนด์ที่ได้รับที่เอาท์พุตของดีเทคเตอร์ผ่านวงจรนี้ เราจะได้รับสัญญาณ Clock ที่มีความถี่ $\frac{1}{T}$



รูป2.35 แสดงวงจร Clock Recovery

2.4 เฟสล็อคลูป (Phase Lock Loop)

วงจรเฟสล็อคลูปประกอบด้วยฟังก์ชันบล็อกต่างๆ คือ ส่วนที่เป็นเฟสดีเทคเตอร์ , ส่วนวงจรกรองสัญญาณความถี่ต่ำผ่านและวงจรโวลเตจคอนโทรลออสซิสเตอร์ (VCO) เราจะอธิบายหลักการพื้นฐานของเฟสล็อคลูปโดยเริ่มพิจารณาจากวงจรลิเนียร์เฟสล็อคลูป แสดงบล็อกไดอะแกรมดังรูป



รูปที่ 2.36 แสดงบล็อกไดอะแกรมของวงจรเฟสล็อคลูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Lock Range

จากคำกำจัดความของ Lock Range คือความแตกต่างระหว่างความถี่อ้างอิงและความมถี่ของ VCO ซึ่งเป็นสาเหตุให้ดิจิตอลเฟสล้อคลูปอยู่ในสภาวะล็อค คือมีความถี่ตรงกันระหว่างความถี่เริ่มต้นและ VCO จะออสซิสเตอร์ที่ความถี่กลางของมัน $N\omega_0$ ความถี่อ้างอิงมีความแตกต่างกันจาก ω_0 เป็นค่า $\Delta\omega$ คือ $\omega_t = \omega_0 + \Delta\omega$

Pull-in Range

สมมติว่า ลิเนียร์เฟสล็อคลูปยังไม่อยู่ในสภาวะล็อค ความถี่ของสัญญาณอ้างอิงเป็น $\omega_t = \omega_0 + \Delta\omega$ วงจร VCO ออสซิสเลตอร์ที่ความถี่ตรงกลาง ω_0 ดังนั้นสัญญาณเอาท์ U_d ของวงจรเฟสดีเทคเตอร์ที่มี $\Delta\omega$ ซึ่งเป็นสัญญาณสลับ สมมติว่า $\Delta\omega$ มีค่ามากจนกระบวนการล็อคอินไม่เกิดขึ้น และสมมติว่าใช้วงจรกรองสัญญาณ แบบ Passive Lag สัญญาณ U_d จะถูกลดทอนโดยลูปฟิลเตอร์ สัญญาณเอาท์พุต U_f จะเป็นสัญญาณไฟสลับและไปมอดูเลทแบบ FM ที่ VCO ในช่วงครึ่งไซเคิลบวกของ U_f ความถี่ของสัญญาณเอาท์พุต ω_2 จะเพิ่มขึ้น และลดลงในครึ่งไซเคิลลบ เนื่องจากค่าพีคของความถี่เอาท์พุต ω_2 จะไม่เท่ากับความถี่ ω_1 เลย เราจะได้คิดว่าลิเนียร์เฟสล็อคลูปจะไม่เข้าสู่สภาวะล็อค

เราจะเห็นว่าค่า $\Delta\omega$ ระหว่างความถี่อ้างอิง ω_1 และความถี่เอาท์พุต ω_2 ไม่เป็นค่าคงที่ ซึ่งจะแปรผันโดยความถี่ที่ทำการมอดจากสัญญาณเอาท์พุตของ VCO ถ้าความถี่ ω_2 (t) ถูกมอดในทิศทางบวกค่า $\Delta\omega$ จะน้อยลงและเข้าสู่ค่าที่น้อยที่สุด $\Delta\omega$ ถ้า ω_2 (t) ถูกมอดในทิศทางลบ $\Delta\omega$ จะมีค่าเพิ่มขึ้นจนเข้าถึงค่าสูงสุด $\Delta\omega_{Max}$ เพราะว่าค่า $\Delta\omega$(t) จะมีค่าไม่คงที่ ค่าที่ได้จากการมอดกับ VCO จะเป็นดังนี้คือ ระยะเวลาของครึ่งไซเคิลที่ ω_2 (t) ถูกมอดในทิศทางบวกจะยาวนานกว่าครึ่งไซเคิลซึ่ง ω_2(t) ถูกมอดในทางลบ ดังนั้นค่าความเฉลี่ย ω_2 ของ VCO ก็จะถูกดึงเข้าสู่ทิศทางที่ใกล้กับสัญญาณอ้างอิง

ความไม่สามาตรของสัญญาณ ω_2 (t) จะขึ้นอยู่กับคาเฉลี่ยของ $\Delta\omega$ การไม่สมมาตรจะมีมากขึ้นถ้า $\Delta\omega$ มีค่าลดลง ถ้าค่าเฉลี่ยของ ω_2 (t) ดึงไปในทางที่เข้าใกล้ ω_1 (ซึ่งสมมติว่ามากกว่า ω_2) การไม่สมมาตรของสัญญาณ ω_2 (t) จะมีมากขึ้น ซึ่งทำให้ ω_2 ถูกดึงไปในทิศทางบวกมากขึ้น กระบวนการนี้จะเกิดขึ้นใหม่เรื่อยๆ ภายใต้เงื่อนไขที่แน่นอน ดังนั้นความถี่เอาท์พุต ω_2 ก็จะดึงเข้าถึงความถี่อ้างอิง ω_1 ได้ในที่สุด ปรากฏการณ์นี้เราจะเรียกว่า Pull-In Process

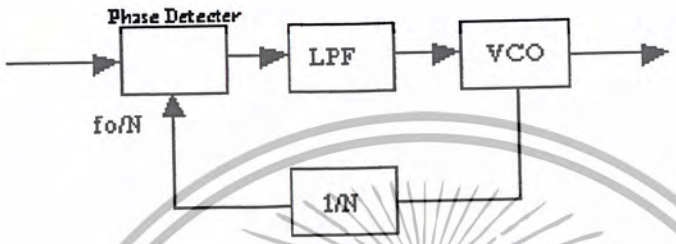
Pull – Out Range

ค่า Pull – Out Range จะเป็นขนาดของช่วงความถี่ที่เราใช้สัญญาณอินพุตอ้างอิง ซึ่งจะทำให้เฟสล็อคลูปเสียการแทร็คกิ้งไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.4.1 การสังเคราะห์ความถี่ด้วยเฟสล็อคลูป

การสังเคราะห์ความถี่ด้วยเฟสล็อกลูปเป็นการสร้างความถี่ขึ้นใหม่ด้วยสัญญาณความมถี่ที่มาตรฐาน โดยโครงสร้างสำหรับการสังเคราะห์ความถี่แสดงตัวในรูป



รูปที่2.37 แสดงโครงสร้างเฟสล็อคลูปสำหรับสังเคราะห์ความถี่

จากรูป ส่วนที่เพิ่มมาจากโครงสร้างเฟสล็อคลูปที่ได้แล้วคือ วงจรหาร N (1/N) โดยถ้า f_r เป็นสัญญาณอ้างอิงที่มีความถี่ที่มีความถี่คงที่แล้ว ความถี่เอาท์พุตของ VCO จะเท่ากับขนาดของความถี่อ้างอิง (Frequency Reference : f_r) คูณกับจำนวนหาร N ซึ่งเขียนได้คือ

$$f_0 = f_r \times N$$

หรือกล่าวได้ว่าความถี่เอาท์พุต (f_0) จะเป็นจำนวนเท่าของความถี่อ้างอิง ความถี่ที่ป้อนกลับจากวงจร VCO ที่นำมาเปรียบเทียบกับความถี่อ้างอิงที่เฟสดีเทคเตอร์ (PD) หารด้วยจำนวน N ให้เท่ากับความถี่อ้างอิง

2.5 วงจรกรองความถี่(Filter)

วงจรกรองความถี่เป็นวงจรที่ทำหน้าที่จัดการคัดเลือกความถี่สัญญาณไฟฟ้าที่ต้องให้ผ่านไปได้ในขณะเดียวกันก็จำกัดหรือลดทอนความถี่ที่นอกเหนือจากความถี่ที่ต้องการออก จะเรียกย่านที่วงจรกรองความถี่ให้ผ่านว่า ย่านความถี่ผ่าน(Passband)และย่านที่ความถี่กันไว้เรียกว่า ย่านความถี่หยุด (Stopband)

วงจรกรองความถี่โดยทั่วไปแบ่งได้ 2 รูปแบบ คือวงจรกรองความถี่แบบพาสซีฟ(Passive Filter) และวงจรกรองความถี่แบบแอคทีฟ(Active Filter)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.วงจรกรองความถี่แบบพาสซีฟ(Passive Filter)เป็นวงจรกรองความถี่แบบต่อเนื่องที่ใช้อุปกรณ์จำพวกตัวต้านทาน (Resistor;R) ขดลวดเหนี่ยวนำ(Inductor;L)และตัวเก็บประจุ(Capacitor;C) โดยอาศัยคุณสมบัติของอุปกรณ์ LและCที่มีค่าอิมพิแดนซ์(Impedance)เปลี่ยนแปลงตามความถี่มาทำให้เกิดการกรองสัญญาณตามความถี่ วงจรกรองความถี่ชนิดนี้นิยมใช้กันมากใน ใช้ในการกรองความถี่ที่สูงถึงสูงมาก เช่นในวงจรกรองความถี่แบบพกพา(Mobile Phone) แต่วงจรกรองความถี่แบบนี้ไม่สามารถใช้ในการกรองความถี่ที่ต่ำได้เพราะว่าจะต้องใช้ตัวต้านทานขนาดใหญ่ ซึ่งทำให้เกิดการสูญเสีย (Loss) มาก

2.วงจรกรองความถี่แบบแอคทีฟ(Active Filter) เป็นวงจรกรองความถี่แบบต่อเนื่องที่ใช้อุปกรจำพวกแอคทีฟร่วมกับตัวต้านทานและตัวเก็บประจุ วงจรกรองความถี่แบบแอคทีฟที่นิยมใช้ใน ได้แก่ วงจรกรอง Active RC ประกอบด้วยออปแอมป์ ตัวต้านและตัวเก็บประจุ และวงจรกรองแบบGm-C ซึ่งประกอบด้วยอุปกรณ์ทรานส์คอนดักเตอร์ และตัวเก็บประจุวงจรกรองความถี่แบบนี้นิยมใช้ในย่านความถี่ปานกลางไปจนถึงความถี่สูง

ในการจำแนกชนิดวงจรกรองความถี่ ตามลักษณะการทำงานนั้นสามารถแบ่งได้เป็น 5 ชนิด คือ

1.วงจรกรองความถี่แบบต่ำผ่าน(Low Pass Filter; LPF)

2.วงจรกรองความถี่แบบสูงผ่าน(High Pass Filter; HPF)

3.วงจรกรองแถบความถี่ ผ่าน(Band Pass Filter;BPF)

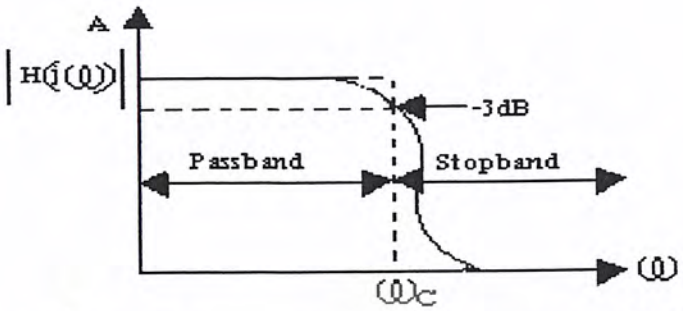
4.วงจรกรองกำจัดแถบความถี่(Notch or Band-Reject Filter; BPF)

5.วงจรผ่านทุกแถบความถี่(All Pass Filter)

2.5.1 วงจรกรองความถี่แบบต่ำผ่าน

วงจรกรองความถี่แบบต่ำผ่านนี้เป็นวงจรที่ยอมให้ความถี่ต่ำผ่านได้โดยพยายามให้มีการลดทอนน้อยที่สุด แต่ในกรณีถี่ความถี่สูงกว่าความถี่คัทออฟ(Cutoff-Frequency)จะทำให้เกิดการลดทอนสูงในทางอุดมคติวงจรกรองความถี่ต่ำผ่านสามารถแยกความถี่สูงได้จากความถี่ต่ำได้อย่างเด็ดขาด แต่ในทางปฏิบัติไม่สามารถทำได้เพราะว่าเนื่องจากมีอินดักแตนซ์และคาปาซิแตนซ์มีผลทำให้เกิดริปเปิล (Ripple) ติดออกมา คุณสมบัติเช่นนี้วงจรกรองความถี่ต่ำผ่านแสดงให้เห็นในกราฟตอบสนองเชิงขนาดของสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

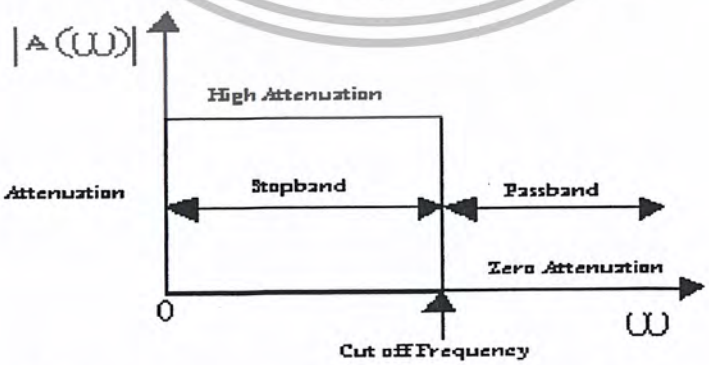


รูปที่2.38 แสดงผลตอบสนองเชิงขนาดของวงจรความถี่ต่ำผ่าน

จากกราฟที่แสดงดังรูปที่2.38 นั้นเส้นประแสดงถึงการตอบสนองความถี่ของสัญญาณในทางอุดมคติ ส่วนเส้นทึบแสดงคือผลตอบสนองเชิงขนาดของสัญญาณในทางปฏิบัติ ซึ่งสามารถแสดงคุณสมบัติเฉพาะได้ใกล้เคียงผลตอบสนองทางอุดมคติมากที่สุด ค่า ωc (แปลงเป็น f_c ในหน่วย Hz ได้โดยใช้ $f_c = \omega_c / 2\pi$)เป็นความถี่คัตออฟ กำหนดที่จุด H (jw) มีค่า0.707 เท่าของแอมปลิจูดสูงสุด ในที่นี้แสดงด้วยค่า A ความถี่ในช่วงย่านที่สามารถผ่านไปได้อยู่ในช่วง ω มากกว่า 0 แต่น้อยกว่า ω_c และ ความถี่เกินจาก ω_c (ω มากกว่า ω_c) จะสามารถผ่านไปได้

2.5.2 วงจรกรองความถี่สูงผ่าน

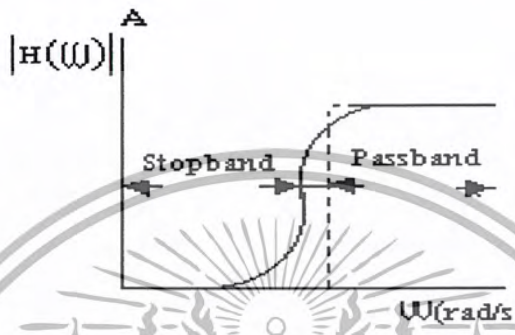
วงจรกรองความถี่สูงผ่าน เป็นวงจรที่ยอมให้ความถี่ที่สูงกว่าความถี่ที่เลือกไว้ผ่านไปได้ทั้งหมดในขณะที่จะลดทอนหรือจำกัดความถี่ที่ต่ำกว่าค่าที่เลือกไว้ แต่ในกรณีที่ความถี่ของสัญญาณต่ำกว่าความถี่คัตออฟจะเกิดการลดทอนสูง กล่าวได้ว่าเป็นลักษณะการทำงานที่ตรงกันข้ามกับวงจรกรองความถี่ต่ำผ่าน ดังรูป



รูปที่2.39 แสดงผลตอบสนองวงจรกรองความถี่สูงผ่านในทางอุดมคติ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

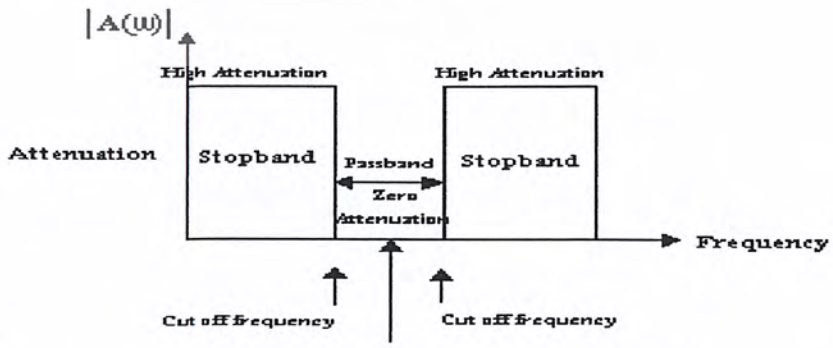
คุณสมบัติเช่นนี้ของวงจรกรองความถี่สูงผ่านแสดงให้เห็นดังรูป โดยเส้นประแสดงถึงผลตอบสนองเชิงขนาดของสัญญาณในทางอุดมคติ ส่วนเส้นทึบแสดงถึงผลตอบสนองเชิงขนาดของสัญญาณในทางปฏิบัติ



รูปที่ 2.40 แสดงผลตอบสนองเชิงขนาดของสัญญาณของวงจรกรองความถี่สูงผ่าน

2.5.3 วงจรแถบความถี่ผ่าน

วงจรกรองแถบความถี่ผ่านเป็นวงจรที่ยอมให้สัญญาณช่วงหนึ่งที่เลือกไว้ผ่านวงจรชนิดนี้ผ่านไปได้เท่านั้น โดยสัญญาณที่ผ่านนั้นไปได้นั้นจะเกิดการลดทอนเพียงเล็กน้อย โดยจะลดทอนความถี่อื่นใดที่นอกเหนือจากช่วงความกว้างแถบความถี่ที่ได้เลือกไว้แล้ว ตามรูป จะเห็นว่าการลดทอนในย่านพาสแบนท์(PassBand) เป็น 0 ในย่านสต็อบแบนด์(Stopband) ค่าการลดทอนจะมีค่าสูงมาก โดยที่ความถี่ f_1 และ f_2 เป็นความถี่คัตออฟ และในทางปฏิบัติความถี่ในย่านพาสแบนด์จะมีริบเปิ้ลปะปนอยู่ด้วย

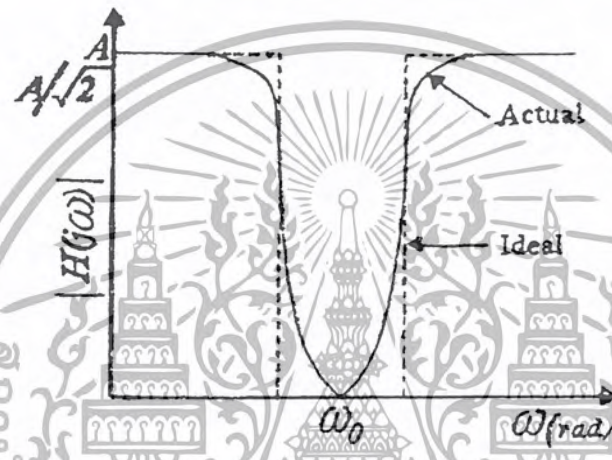


รูปที่ 2.41 แสดงผลตอบสนองเชิงขนาดของวงจรกรองแถบความถี่ผ่าน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.5.4 วงจรกรองกำจัดแถบความถี่

วงจรกรองกำจัดแถบความถี่เป็นวงจรกรองความถี่อีกแบบหนึ่ง ซึ่งยอมให้สัญญาณความถี่ตลอดย่านผ่านไปได้หมด ยกเว้นแถบความถี่ช่วงหนึ่งที่ไม่ยอมให้ผ่าน ไปได้ตามรูปกราฟตอบสนองเชิงขนาดในเส้นปะแสดงถึงการตอบสนองเชิงขนาดในทางอุดมคติ ส่วนเส้นทึบแสดงถึงการตอบสนองความถี่เชิงขนาดในการใช้งานจริง แถบความถี่ซึ่งถูกลดทอนหรือถูกกำจัดทิ้งนี่จุดกึ่งกลางอยู่ที่ โดยประมาณความกว้างของแถบความถี่ที่เป็นแบนด์วิทธ์ (BW) ซึ่งอยู่ในเทอมหรือหน่วยของ Hz ความถี่กลาง (Center) นี่มาจาก ($f_0 = \omega_0 / 2\pi$)



รูปที่ 2.42 แสดงผลตอบสนองเชิงขนาดของวงจรกำจัดแถบความถี่

2.5.5 วงจรกรองผ่านทุกแถบความถี่

วงจรกรองผ่านทุกแถบความถี่เป็นวงจรกรองความถี่เป็นวงจรกรองความถี่ที่มีคุณสมบัติในการที่จะยอมให้ความถี่ทุกย่านผ่านไปได้โดยเท่าเทียมกันตลอด ในขณะเดียวกันก็จะทำการเปลี่ยนหรือเลื่อนเฟสของความถี่ไปด้วยค่าที่กำหนดไว้ค่าหนึ่ง ถ้าจำนวนที่กำหนดไว้เป็นค่าที่ลดทอนเหมือนกับมีการหน่วงสัญญาณด้วยช่วงเวลาหนึ่ง ขณะที่สัญญาณเหล่านี้ผ่านวงจรกรองความถี่ชนิดนี้ ฉะนั้นวงจรกรองผ่าน ทุกแถบความถี่นี้อาจเรียกอีกชื่อหนึ่งว่า วงจรไทม์ดีเลย์ หรือวงจรหน่วงเวลาเฟสที่เลื่อนออกไปหรือหน่วงออกไป การส่งผ่านความถี่หรือเวลา ในสมการทรานเฟอร์ฟังก์ชั่น นิยามด้วยค่า S ซึ่งมีค่าเท่ากับ (jw) จะเปลี่ยนไปตามความถี่ในขณะที่แอมปลิจูดหรือขนาดของสัญญาณยังคงมีค่าคงที่เท่าเทียมกันตลอดย่านความถี่ที่ใช้งาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3
การออกแบบและวงจรการใช้งาน

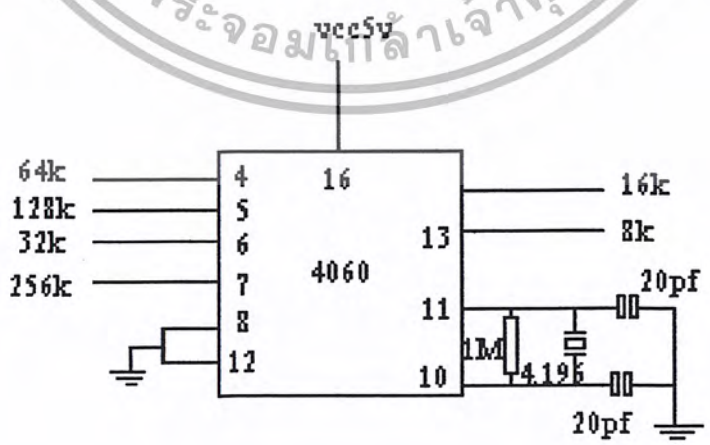
ในโครงงานแผงทดลองการสื่อสารดิจิตอลแบบ BPSK ได้มีการวางขั้นตอนการดำเนินงานไว้เป็นขั้นตอนการทำงาน ทำให้ในการดำเนินการนั้นสามารถทำตามวัตถุประสงค์ที่ได้กำหนดงานตามแผนงาน โดยการแบ่งการดำเนินการการออกแบบวงจรพร้อมกับทดลองวงจรย่อยแต่ละชุดตามลำดับคือ

3.1 ชุดภาคส่งของแผงทดลองการสื่อสารดิจิตอลแบบ BPSK

ชุดภาคส่งของแผงทดลองการสื่อสารดิจิตอลแบบ BPSK นั้นจะประกอบด้วยวงจรย่อยดังนี้

3.1.1 วงจรกำเนิดสัญญาณนาฬิกา

วงจรการกำเนิดสัญญาณออกแบบโดยใช้วงจรกำเนิดความถี่แบบ X-TAL โดยใช้ ไอซี 7404 ทำหน้าที่รับสัญญาณ X-TAL ที่ใช้ความถี่ 4.096 MHzความถี่ที่กำเนิดได้เมื่อผ่าน ไอซี 7404แล้วจะได้สัญญาณ SQUARE WAVE เมื่อนำไปผ่านวงจรหารความถี่ โดยในวงจรนี้ไอซี 4520 ซึ่งเอาท์พุตของ ไอซี 4520 จะได้ความถี่ 64 KHz แล้วผ่าน 7407 ทำหน้าที่เป็นบัฟเฟอร์ ดังรูปที่ 3.1

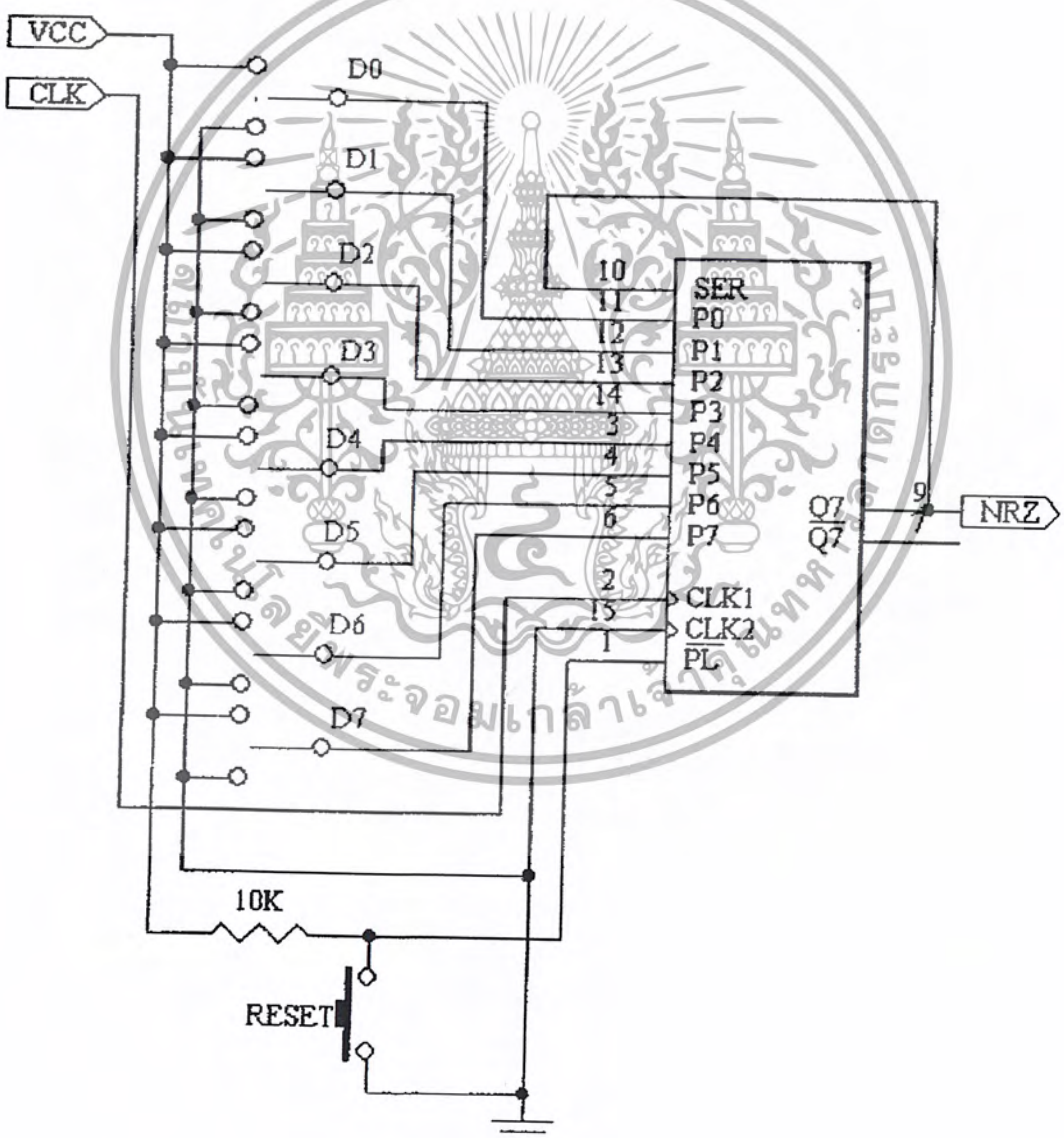


รูปที่ 3.1 แสดงวงจรกำเนิดสัญญาณนาฬิกา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.1.2 วงจรของวงจร NRZ

วงจรNRZใช้ IC74165 เป็นตัวกำเนิดสัญญาณ NRZ โดยที่ใช้ไอซี 74165 เป็นไอซี Parallel-Load 8 bit Shift REGISTER ซึ่งไอซี 74165 จะเปลี่ยนข้อมูลแบบขนาน 8บิต เป็นข้อมูลแบบอนุกรม โดยใช้ส่งบิตสำคัญสูงสุด (MSB) เป็นบิตแรกแล้วเรียงบิตตามลำดับจนถึงต่ำสุด (LSB) ตามจังหวะสัญญาณนาฬิกา 64 KHz ดังรูปวงจรที่3.2

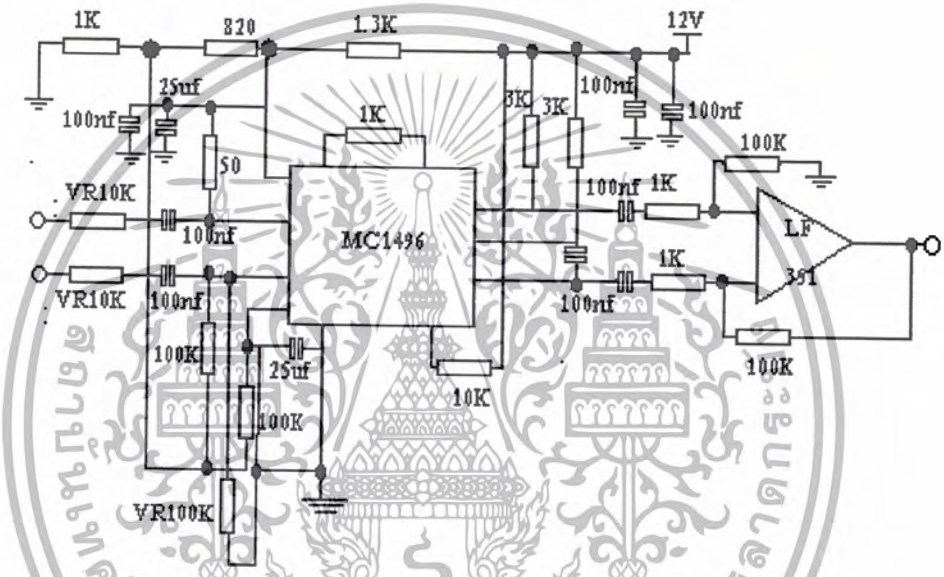


รูปที่ 3.2 แสดงวงจรสร้างสัญญาณ NRZ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.1.3 วงจรบาลานซ์มอดูเลเตอร์ (Banlance Modulation)

ในการออกแบบนั้นไอซีเบอร์ MC1496 นี้มีข้อจำกัดอยู่ว่า สัญญาณที่จะนำมามอดูเลทชั่นนั้นจะ ต้องมีค่าประมาณ 300 มิลลิโวลท์ และขนาดของสัญญาณพาห์ควรมีค่าประมาณ 500 มิลลิโวลท์ ดังนั้นในการออกแบบนั้นสัญญาณที่จะนำมาคูณกันนั้นต้องผ่านตัวต้านทานปรับค่า ได้ก่อนเพื่อควบคุมระดับสัญญาณตามข้อกำหนด



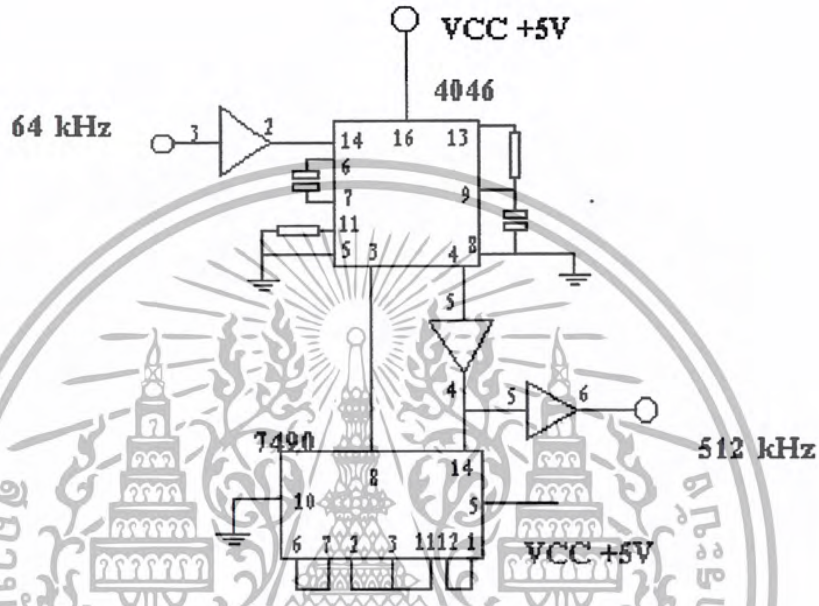
รูปที่ 3.3 แสดงวงจรบาลานซ์มอดูเลทชั่น

3.1.4 วงจรกำเนิดสัญญาณคลื่นพาห์ 512 KHz

วงจรในส่วนนี้จะทำหน้าที่กำเนิดสัญญาณไซน์ความถี่ 512 kHz เพื่อคูณกับสัญญาณสองระดับที่วงจรบาลานซ์มอดูเลทชั่นโดยการนำสัญญาณนาฬิกา 64 kHz ไปคูณกับ 8 ก็จะได้64 คูณ 8 เท่ากับ 512 kHz พอดี โดยการใช้ไอซีเบอร์ 4046 และใช้ ไอซีเบอร์ 7490 เป็นวงจรหาร 8

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณที่ได้จะเป็นสัญญาณสี่เหลี่ยม ดังนั้นจึงต้องผ่านวงจรกรองความถี่ที่ 512 kHz เพื่อกรองเอาสัญญาณรูปไซน์ออกมา โดยใช้วงจรดังรูป 3.4



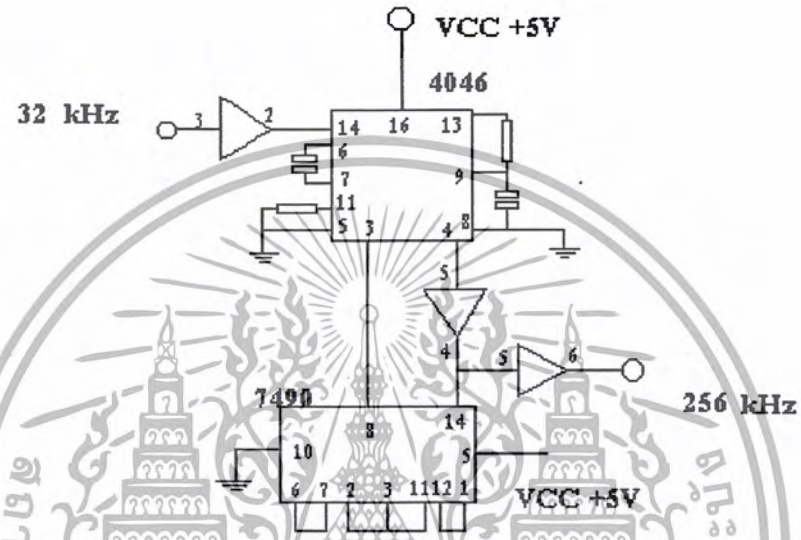
รูปที่ 3.4 แสดงวงจรสร้างสัญญาณพาห์ 512 kHz

3.1.5 วงจรกำเนิดสัญญาณนำร่อง 256 kHz

สัญญาณนำร่องในที่นี้คือ สัญญาณคลื่นรูปไซน์ที่มีความสัมพันธ์กับสัญญาณพาห์ และยังมีความสัมพันธ์กันกับสัญญาณนาฬิกาด้วย เพราะอาศัยสัญญาณนาฬิกาคูณความถี่ขึ้นมา ใช้หลักการและวิธีการเหมือนกันกับวงจรกำเนิดสัญญาณพาห์นั่นเองโดยในโครงงานนี้จะเลือกกำเนิดสัญญาณนำร่องที่ความถี่ 256 kHz ซึ่งอยู่ทางด้านที่มีความถี่ต่ำ (Lower Side Band) ของสเปกตรัมการมอดูเลทชั่น ในโครงงานนี้ สาเหตุที่เลือกความถี่ 256 kHz ก็เพราะว่าอยู่ห่างจากความถี่ 512 kHz เท่ากับ 256 kHz และสะดวกในการออกแบบ วงจรคูณความถี่ คือจะใช้สัญญาณนาฬิกาผ่านวงจรหาร 2 ซึ่งจะได้เท่ากับสัญญาณที่ความถี่ที่ 32 kHz แล้วนำสัญญาณที่ผ่านวงจรคูณความถี่ 8 เท่าซึ่งใช้วงจรเฟสล็อกลูปซึ่งทำงานร่วมกับวงจรการความถี่ 8 เท่าโดย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ใช้ไอซีเบอร์ 4046 กับไอซีเบอร์ 74LS90 ตามลำดับ คล้ายกับวงจรกำเนิดสัญญาณพาห์แต่จะแตกต่างกันที่วงจรกรองความถี่ ซึ่งเปลี่ยนจากความถี่ศูนย์กลางในการกรองช่วงความถี่จาก 512 kHz เป็น 256 kHz



รูปที่ 3.5 แสดงวงจรสร้างสัญญาณนำร่อง

3.1.6 วงจรกรองช่วงความถี่

วงจรกรองช่วงความถี่ จะทำหน้าที่คัดเลือกสัญญาณในช่วงความถี่ที่ต้องการให้สามารถผ่านวงจรออกมาไปได้ โดยที่ไม่ถูกลดทอน หน้าที่ของวงจรกรองช่วงความถี่ผ่านจะทำหน้าที่กรองสัญญาณคลื่นรูปไซน์ออกจากสัญญาณสี่เหลี่ยม ภายในส่วนวงจรกำเนิดสัญญาณพาห์และ วงจรกำเนิดสัญญาณนำร่องและยังช่วยกำจัดสัญญาณรบกวน ที่เกิดจากวงจรข้างเคียงก่อนจะส่งออกไปยังภาครับอีกด้วยวงจรกรองช่วงความถี่ผ่านแบ่งเป็น สองแบบ กล่าวคือ Narrow band filter และ Wided band filter ซึ่งวงจร Narrow band filter จะมีค่าแบนด์วิธ มากกว่า 0.1 เท่าของความถี่รีโซแนนซ์และวงจร Wide band filter จะมีแบนด์วิดธ์น้อยกว่า 0.1 เท่าของความถี่รีโซแนนซ์ อัตราส่วนระหว่างความถี่รีโซแนนซ์ กับแบนด์วิดธ์เรียกว่า Quality factor .Q

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในการออกแบบใช้วงจรกรองความถี่ต่ำและวงจรกรองความถี่สูงต่อคาดเคสกัน โดยแต่ละชุดวงจรกรองมี 4 Order ดังแสดงดังรูปที่ 3.6 และดังรูปที่ 3.7

ขั้นตอนในการออกแบบการกรองความถี่ต่ำมีดังนี้

หลักการออกแบบ

1.กำหนด Fourth – Order 0.1 dB Chebyshev - active 3 dB Cutoff 256 kHz

2.ใช้ค่า C = 100pF แล้วเลือกค่า α และค่า β จากตารางในภาคผนวก

3. หาค่า α' และ β' คำนวณหาค่าความต้านทาน R1 และ R2

ในส่วนที่ 1 $\alpha = 0.2177$ $f_c = 256$ kHz

$\beta = 0.9254$

$\alpha' = \alpha \times 2\pi f_c = 0.2177 \times 2\pi \times 256\text{ k} = 34.999\text{ k}$

$\beta' = \beta \times 2\pi f_c = 0.9254 \times 2\pi \times 256\text{ k} = 1487.747\text{ k}$

$R1 = 1/(2 \times \alpha' \times C) = 14.286$ เลือกค่า 15 kΩ

$R2 = 2\alpha' / (C[\alpha'^2 + \beta'^2]$

R2 = 2996 Ω เลือกค่า 3 kΩ

ในส่วนที่ 2 $\alpha = 0.5257$ $f_c = 256$ k

$\beta = 0.3833$

$\alpha' = 845.561$ k

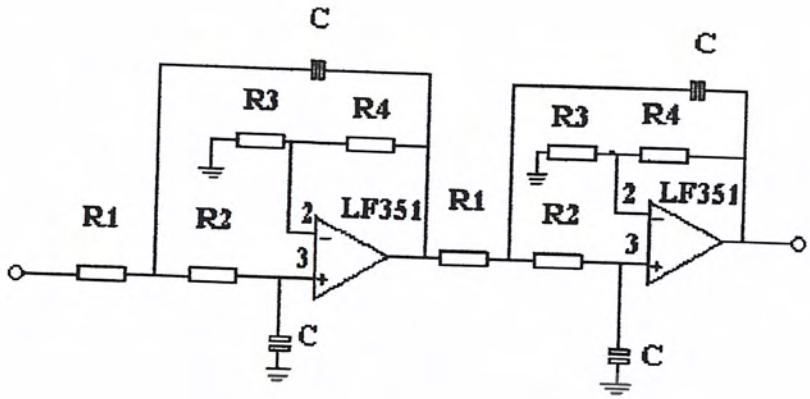
$\beta' = 616.518$ k

$R1 = 1/(2 \times \alpha' \times C) = 5.913$ เลือกค่า 6 kΩ

$R2 = 2\alpha' / (C[\alpha'^2 + \beta'^2]$

R2 = 15.443 k Ω เลือกค่า 15 kΩ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



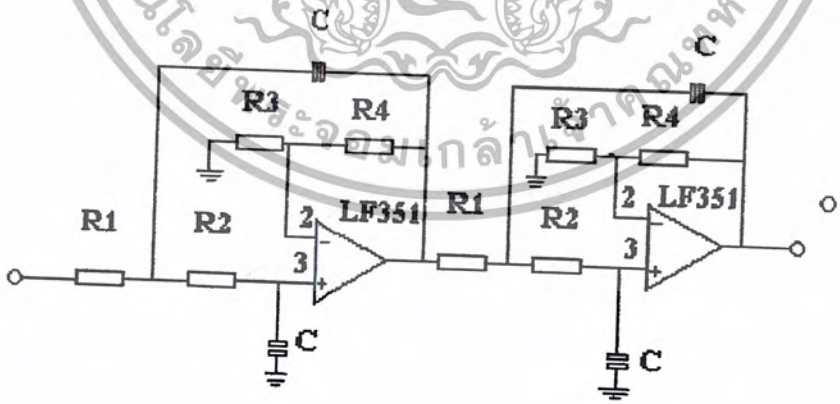
รูปที่ 3.6 แสดงวงจรกรองความถี่ต่ำ

จากการออกแบบที่ค่าได้ผลดังนี้

ค่าความถี่ Cutoff ที่ 256 kHz เลือกใช้ค่า เลือกค่า C= 100 pF ดังนั้นจะได้ค่า จะได้ค่า R1 = 14 kΩ ,R2 = 3 kΩ ในส่วนที่ 2 R1 = 6 kΩ ,R2 = 15 kΩ R3 = 100 kΩ,R4 = 100 kΩ

ค่าความถี่ Cutoff ที่ 512 kHz เลือกใช้ค่า เลือกค่า C = 100 pF ดังนั้นจะได้ค่า R1=7kΩ ,R2= 1.497 kΩ ในส่วนที่ 2 R1 = 2.956 kΩ R2 = 7.721 kΩ R3 = 100 kΩ,R4 = 100 kΩ

ในส่วนของวงจรกรองความถี่สูงนั้นมีการคำนวณที่เหมือนกันซึ่งผลที่ได้คือ



รูปที่ 3.7 แสดงวงจรกรองความถี่สูง

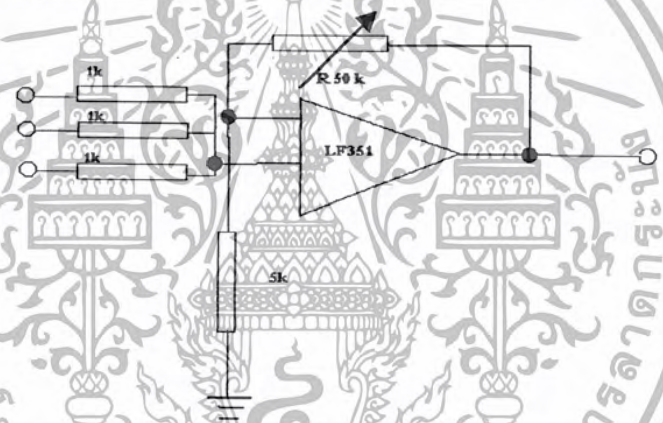
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ค่าความถี่ Cutoff ที่ 256 kHz เลือกใช้ค่า เลือกค่า C= 100 pF ดังนั้นจะได้ค่า จะได้ค่า R1 = 18 kΩ ,R2 = 3.6 kΩ ในส่วนที่ 2 R1 = 7.208 kΩ R2 = 18.825 kΩ R3 = 100 kΩ ,R4 = 100 kΩ

ค่าความถี่ Cutoff ที่ 512 kHz เลือกใช้ค่า เลือกค่า C = 100 pF ดังนั้นจะได้ค่า R1= 1.503 kΩ,R2= 7.168 kΩ ในส่วนที่ 2 R1 = 2.956 kΩ R2 = 7.721 kΩ R3 = 100 kΩ,R4 = 100 kΩ

3.1.7 วงจรรวมสัญญาณ

วงจรในส่วนนี้จะใช้ออปแอมป์ (Op-Amp) ทำการรวมสัญญาณทั้งสัญญาณที่ผ่านวงจรมอดูเลทชั่น ทั้งสองช่อง และสัญญาณนำร่องในการออกแบบใช้วงจรดังรูปที่ 3.8



รูปที่3.8 แสดงวงจรรวมสัญญาณ

3.2 ชุดภาครับของแผงการทดลองการสื่อสารแบบ BPSK

3.2.1 วงจรกรองช่วงความถี่พาห์

สัญญาณ จะถูกส่งมาทาง สายโคแอกเซียลเข้ามายังภาครับ ดังนั้นจำเป็นต้องมีวงจรกรองช่วงความถี่ (Band Pass Filter) ในการตรวจรับสัญญาณมอดูเลทชั่น ในขั้นต้น เพื่อทำหน้าที่คัดเลือกสัญญาณที่สามารถเข้าสู่ภาครับได้ให้อยู่ในช่วงความถี่ที่ต้องการเท่านั้น อีกครั้งยังเป็นวงจรกำจัดสัญญาณรบกวนได้อีกทางหนึ่งด้วย ในที่นี้จะใช้วงจรกรองความถี่ของสัญญาณมอดูเลทชั่นช่วง 512 kHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2.2 วงจรกรองความถี่ช่วงความถี่สัญญาณนำร่อง (Pilot Signal)

ในการออกแบบวงจรกรองช่วงความถี่สัญญาณนำร่องนี้ จะใช้วงจรกรองความถี่ ต่ำและวงจรกรองความถี่สูง 256 kHz ในการออกแบบวงจรทั้งนั้นควรที่จะออกแบบให้ดีเป็นอย่างมาก เนื่องจากถ้าออกแบบไม่ดีจริงแล้วนั้นจะทำให้สัญญาณที่ได้ผิดเพี้ยนไปจากเดิม ทำให้ทางภาครับและทางภาคส่ง ไม่สัมพันธ์กัน ซึ่งการสัมพันธ์กันเป็นหลักในการส่งข้อมูลแบบ BPSK และที่สำคัญสัญญาณนำร่องที่ได้ต้องนำไปเป็นสัญญาณอ้สงอิงในการสร้างสัญญาณนาฬิกาและสัญญาณพาห์ ยังกล่าวว่าเมื่อสัญญาณนำร่องไม่สัมพันธ์กันแล้วสัญญาณนาฬิกาและสัญญาณพาห์ก็จะไม่สัมพันธ์กันด้วย ซึ่งถ้าไม่เกิดการสัมพันธ์กันระหว่างภาคส่ง และภาครับแล้วนั้น การรับข้อมูลที่ได้จะผิดพลาดทันที หรือภาครับไม่ทำงาน

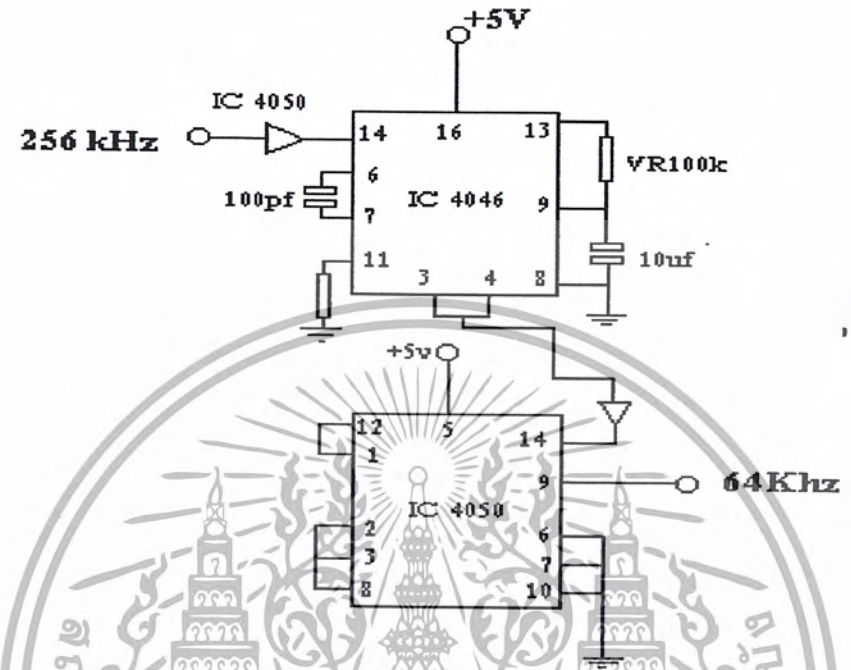
3.2.3 วงจรกู้สัญญาณนาฬิกา

เมื่อสัญญาณนำร่อง 256 kHz ผ่านวงจรกรองความถี่แล้วจะถูกส่งไปยังวงจรกู้สัญญาณนาฬิกาเพื่อทำการแลงสัญญาณรูปไซน์ ให้เป็นสัญญาณสี่เหลี่ยม แล้วใช้วงจรหารความถี่ 4 เท่า ซึ่งจะเท่ากับ 64 kHz ของจะเท่ากับสัญญาณนาฬิกาทางภาคส่งพอดี

เนื่องจากที่ภาคส่งนั้น สัญญาณนำร่อง ได้มาจากการอ้างอิงสัญญาณนาฬิกาโดยใช้วงจรเฟสล็อกลูป ทำการล็อกสัญญาณนาฬิกาเอาไว้ แล้วคูณความถี่ให้สูงขึ้นจากนั้นใช้วงจรกรองความถี่ช่วยทำสัญญาณสี่เหลี่ยม กลายเป็นสัญญาณไซน์ และที่ภาครับเมื่อรับสัญญาณนำร่องได้แล้วจะใช้เฟสล็อกลูปสัญญาณสี่เหลี่ยม กลายเป็นสัญญาณไซน์ให้กับเป็นสัญญาณสี่เหลี่ยม จากนั้นก็ใช้วงจรหารความถี่เพื่อให้ความถี่ลดลงเหลือเท่ากับความถี่ของ สัญญาณนาฬิกาพอดี

ดังนั้นจะเห็นว่าการสร้างสัญญาณนำร่องของทางภาคส่งและสัญญาณนาฬิกาของภาครับนั้นจะอาศัยการอ้างอิง และเปรียบเทียบกับสัญญาณที่มีอยู่แล้วในวงจร อีกทั้งเป็นสัญญาณตัวเดียวกันอีกด้วยรวมทั้งการใช้วงจรเฟสล็อกลูป ซึ่งมีวงจรผลิตความถี่และวงจรเปรียบเทียบเฟสสัญญาณอยู่ภายใน จึงเป็นทำการให้เกิด การสัมพันธ์กันระหว่างภาคส่งและภาครับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

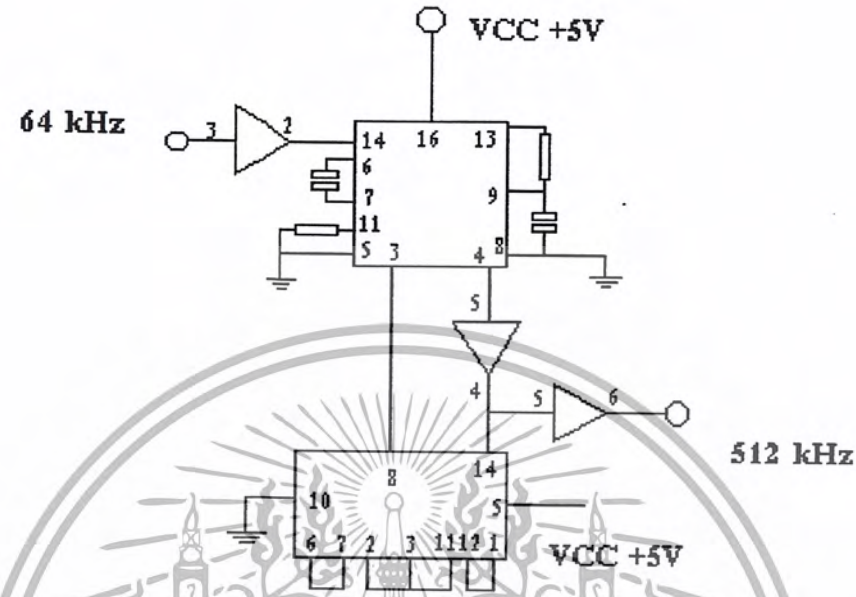


รูปที่3.9 แสดงวงจรกู้สัญญาณนาฬิกา

3.2.4 วงจรกู้สัญญาณพาห์

วงจรกู้สัญญาณพาห์นั้นก็ใช้หลักการและวิธีการเหมือนกันกับวงจรกำเนิดสัญญาณพาห์ของทางภาคส่ง คือจะอาศัยสัญญาณนาฬิกาที่จะได้จากวงจรกู้สัญญาณนาฬิกามาใช้เป็นสัญญาณอ้างอิง แล้วคูรความถี่เป็น 8 เท่า โดยใช้วงจรเฟสล็อกลูป จากนั้นก็จะผ่านวงจรกรองความถี่ ทำการคัดเลือกเฉพาะสัญญาณรูปไซน์เพื่อนำไปเป็นสัญญาณพาห์ สำหรับใช้ในวงจรบาลานซ์ดีมอดูเลทชั่น ดังแสดงในรูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



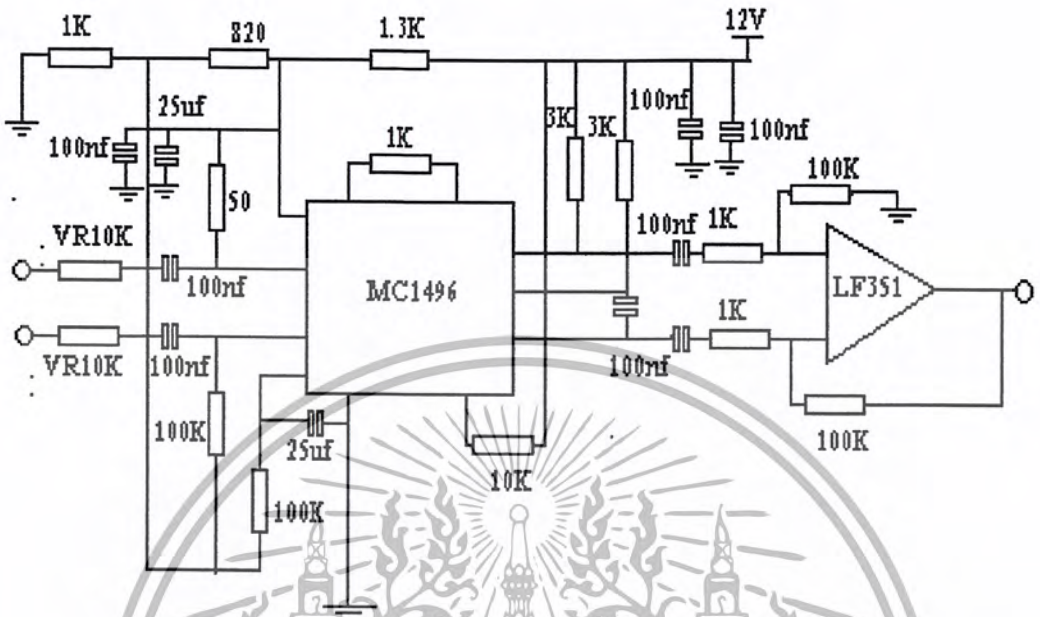
รูปที่3.10 แสดงวงจรกู้สัญญาณพาห์

3.2.5 วงจรบาลานซ์ดีมอดูเลทชั่น

วงจรบาลานซ์ดีมอดูเลทชั่นที่ใช้ในภาคนี้ จะเป็นวงจรที่คล้ายกับวงจรบาลานซ์มอดูเลทชั่นที่ใช้ในทางภาคส่ง คือใช้ ไอซีเบอร์ 1496 ซึ่งเป็นไอซีที่ใช้ในการคูณสัญญาณโดยตรง แต่ในการออกแบบนั้นมีข้อจำกัดอยู่ว่า สัญญาณพาห์ที่นำมา คูณนั้นต้องไม่เกิน 300 มิลลิโวลท์ และสัญญาณที่นำมามอดูเลทชั่นต้องมีค่าประมาณ 500 มิลลิโวลท์ แต่ในทางการออกแบบนั้นจะต้องใช้ตัวต้านทานแบบปรับค่าได้ ก่อนที่จะนำไปคูณหรือ ดีมอดูเลทชั่น

สัญญาณที่ออกจากวงจรดีมอดูเลทชั่นแล้วนั้น จะได้สัญญาณที่ต่ำมาก ดังนั้นจึงต้องนำสัญญาณที่ได้ไปผ่านวงจรขยายก่อนถึงนำไปผ่านวงจรกรองความถี่ต่ำผ่านต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



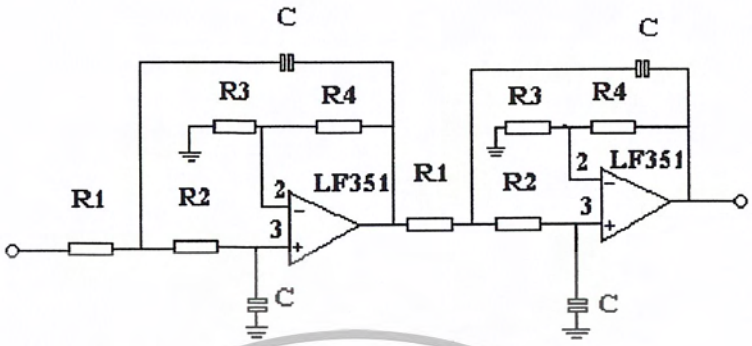
รูปที่3.11 แสดงวงจรบาลานซ์ดีมอดูเลทชั่น

3.2.6 วงจรกรองความถี่ต่ำผ่าน

เมื่อการดีมอดูเลทชั่นทั้งสองช่องแล้ว สัญญาณเอาท์พุต ทั้งสองวงจรนั้นจะประกอบด้วยสัญญาณที่เกิด จากการกันระหว่างสัญญาณพาห์และสัญญาณมอดูเลทชั่นทางภาคส่งและผลที่ได้จะมีสัญญาณความถี่สูง และสัญญาณความถี่ต่ำผ่าน สัญญาณ 2 ระดับที่ต้องการนั้นอยู่ในรูปของสัญญาณความถี่ต่ำ ดังนั้น วงจรกรองความถี่ต่ำผ่านจะทำหน้าที่กรองความถี่ต่ำที่ต้องการเท่านั้น ส่วนสัญญาณความถี่สูงจะถูกต้องตัดทิ้งไปเหลือเพียงสัญญาณ 2 ระดับ ในส่วนของความถี่ต่ำเท่านั้น

ในการออกแบบนั้นจะใช้ไอซีเบอร์ LF351 ซึ่งเป็นวงจรกรองความถี่แบบแอคทีฟ ฟิลเตอร์ โดยวงจรภายในประกอบด้วย วงจรกรองความถี่แบบแอคทีฟ ฟิลเตอร์แบบกำลังสอง (Second-Order Active Filter) จำนวน 4 ส่วนซึ่งแต่ 1ส่วน มีวงจรดังรูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่3.12 แสดงวงจร Low Pass Filter 4 Order

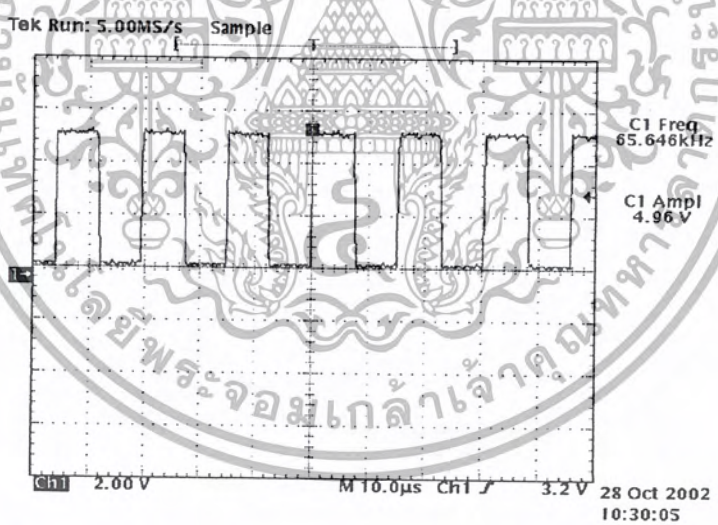
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่4
ผลของโครงงาน

ผลการทดลอง

เมื่อจัดทำการทุกส่วนของโครงงานนี้ ซึ่งเป็นการสื่อสารชนิดแบบBPSK (Binary Phase Shift Keying) โดยจะสื่อสารผ่านสายโคแอกซ์เซียล โดยสามารถแบ่งเป็นส่วนของภาคส่ง และภาครับ แล้วได้ทำการทดลองส่วนต่างๆ ได้ดังนี้

1. ผลการทดลองภาคส่งเมื่อวัดสัญญาณนาฬิกาจากวงจรกำเนิดสัญญาณนาฬิกา

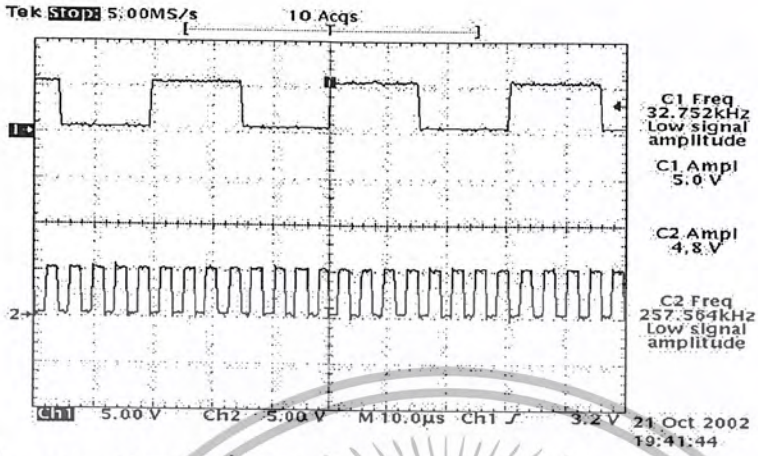


รูปที่ 4.1 แสดงสัญญาณนาฬิกาที่เกิดจากวงจรกำเนิดสัญญาณนาฬิกา

CH 1 - สัญญาณนาฬิกา 64 kHZ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2. ผลการทดลองภาคส่งเมื่อสัญญาณนาฬิกา32 kHz ผ่านวงจรคูณสัญญาณ(คูณ 8)

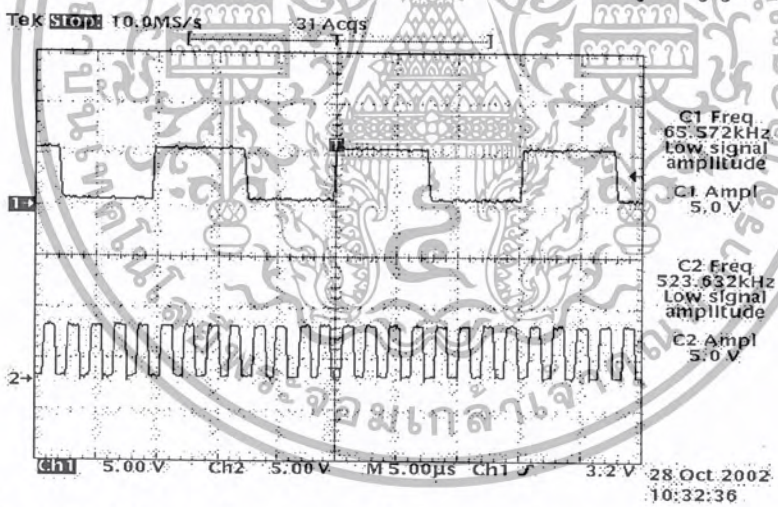


รูปที่ 4.2 แสดงสัญญาณเมื่อสัญญาณนาฬิกา 32 kHz ผ่านวงจรคูณ

CH 1 - สัญญาณนาฬิกา 32 kHz

CH 2 - สัญญาณนาฬิกา 256 kHz เมื่อผ่านวงจรคูณสัญญาณ

3. ผลการทดลองภาคส่งเมื่อสัญญาณนาฬิกา 64 kHz ผ่านวงจรคูณสัญญาณ(คูณ 8)



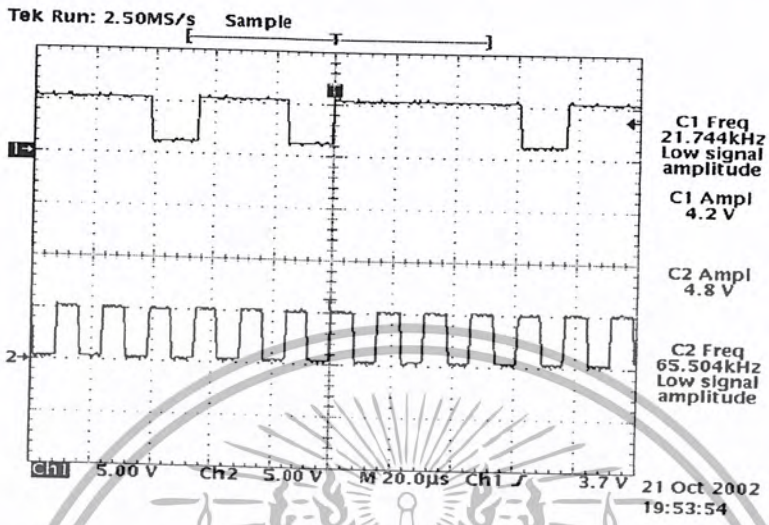
รูปที่ 4.3 แสดงสัญญาณเมื่อสัญญาณนาฬิกา 64 kHz ผ่านวงจรคูณสัญญาณ(คูณ 8)

CH 1 - สัญญาณนาฬิกา 64 kHz

CH 2 - สัญญาณนาฬิกา 512 kHz เมื่อผ่านวงจรคูณสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4. ผลการทดลองภาคส่งเมื่อสัญญาณนาฬิกาผ่านวงจรกำเนิดข้อมูล NRZ

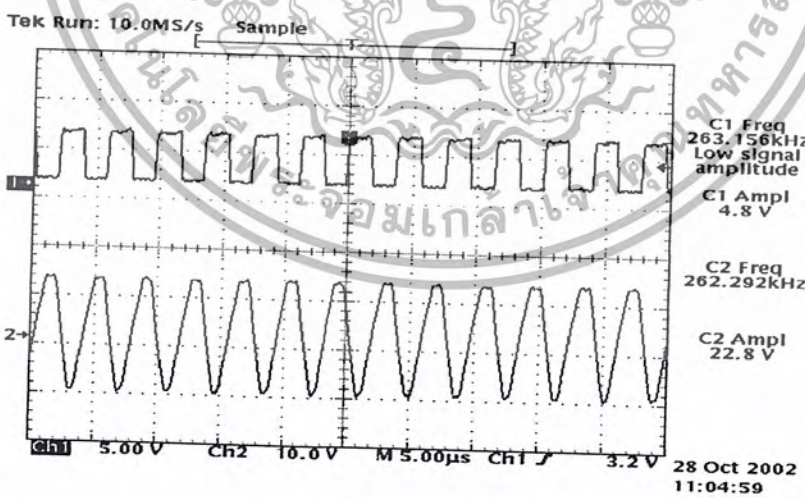


รูปที่ 4.4 แสดงภาคส่งเมื่อสัญญาณนาฬิกาผ่านวงจรกำเนิดข้อมูล NRZ

CH 1 - สัญญาณข้อมูล NRZ

CH 2 - สัญญาณนาฬิกา 64 kHz

5. ผลการทดลองภาคส่งเมื่อสัญญาณนาฬิกา 256 kHz ผ่านวงจรกรองความถี่



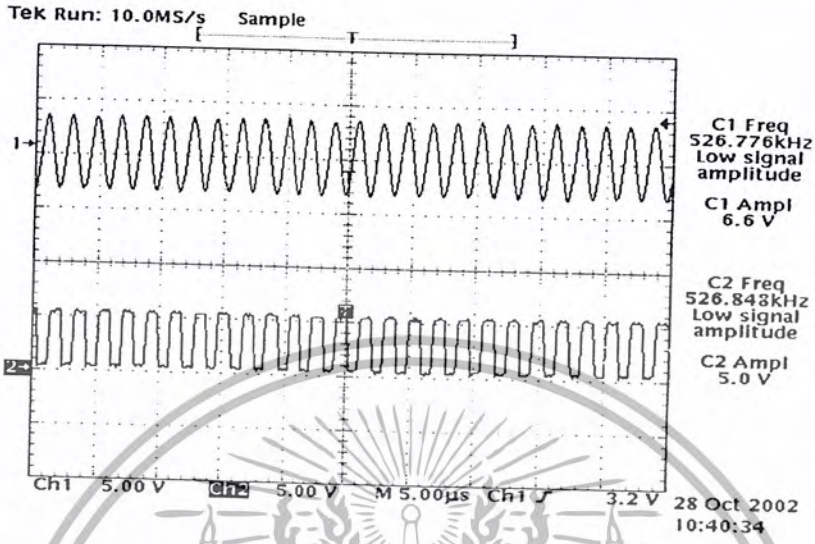
รูปที่ 4.5 แสดงสัญญาณนาฬิกา 256 kHz ผ่านวงจรกรองความถี่

CH 1 - สัญญาณนาฬิกา 256 kHz

CH 2 - สัญญาณนาฬิกาเมื่อผ่านวงจรกรองความถี่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6. . ผลการทดลองภาคส่งเมื่อสัญญาณนาฬิกา 512 kHz ผ่านวงจรกรองความถี่

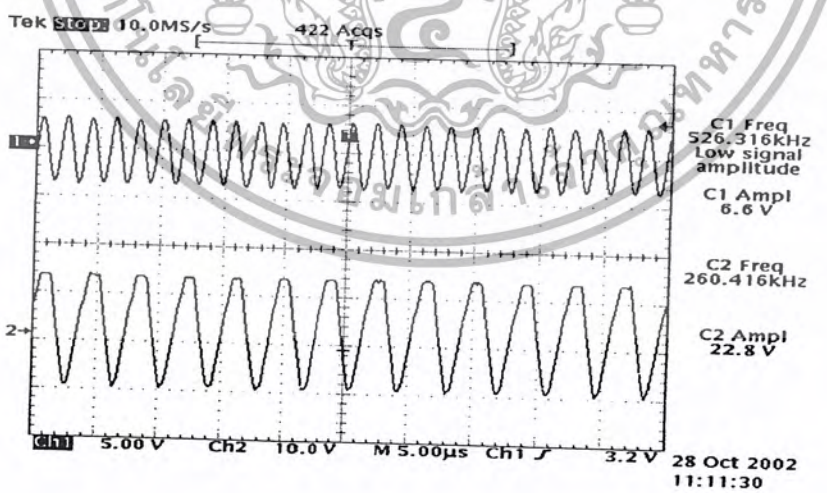


รูปที่ 4.6 แสดงสัญญาณนาฬิกา 512 kHz ผ่านวงจรกรองความถี่

CH 1 - สัญญาณนาฬิกา 512 kHz

CH 2 - สัญญาณนาฬิกาเมื่อผ่านวงจรกรองความถี่

7.ผลการทดลองภาคส่งเมื่อเปรียบเทียบสัญญาณพาห์ 512 kHz และสัญญาณ pilot 256kHz



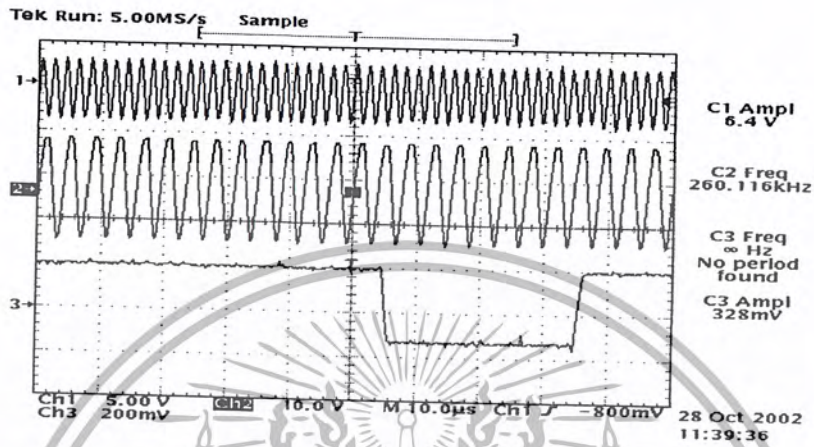
รูปที่ 4.7 แสดงการเปรียบเทียบสัญญาณสัญญาณพาห์ 512 kHz และสัญญาณ pilot 256kHz

CH 1 – สัญญาณคลื่นพาห์ 512 kHz

CH 2 – สัญญาณ pilot 256 kHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

8. ผลการทดลองภาคส่งเปรียบเทียบสัญญาณระหว่างสัญญาณคลื่นพาห์ สัญญาณ pilot และสัญญาณข้อมูล NRZ



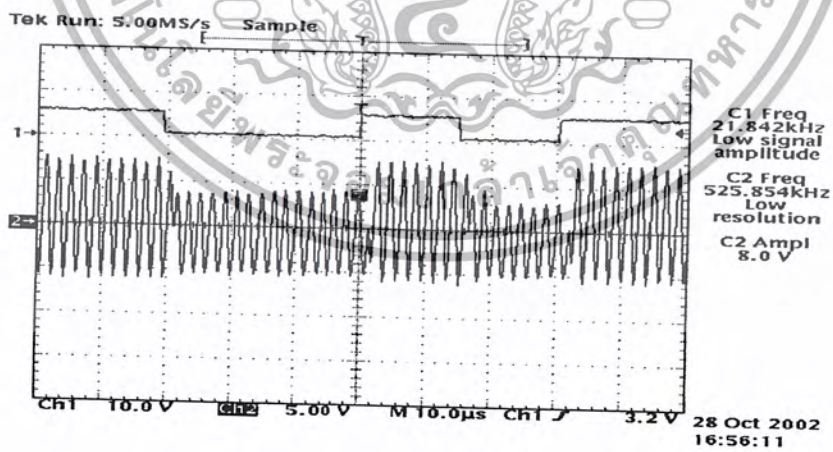
รูปที่ 4.8 แสดงการเปรียบเทียบสัญญาณของภาคส่ง

CH –1 สัญญาณคลื่นพาห์ 512 kHz

CH –2 สัญญาณ pilot 256 kH

CH –3 สัญญาณข้อมูล NRZ

9. ผลการทดลองภาคส่งเมื่อสัญญาณผ่านวงจรมอดูเลทชั่น



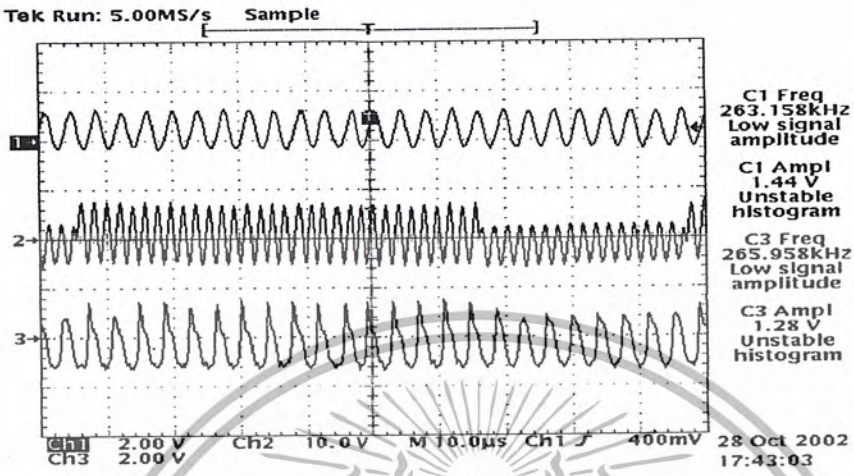
รูปที่ 4.9 แสดงการเปรียบเทียบสัญญาณระหว่างสัญญาณข้อมูล NRZ และสัญญาณที่ผ่านวงจรมอดูเลทชั่น

CH – 1 สัญญาณข้อมูล NRZ

CH – 2 สัญญาณที่ผ่านการวงจรมอดูเลทชั่น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

10.ผลการทดลองภาคส่งเมื่อสัญญาณผ่านวงจรรวมสัญญาณ



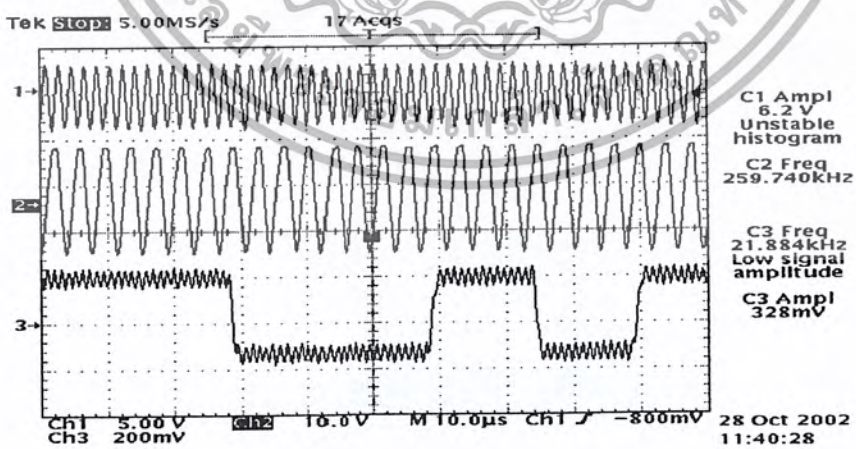
รูปที่ 4.10 แสดงการเทียบสัญญาณเมื่อผ่านวงจรรวมสัญญาณ

CH – 1 สัญญาณ pilot 256 kHz

CH – 2 สัญญาณเมื่อผ่านวงจรมอดูเลทชั่น

CH – 3 สัญญาณเมื่อผ่านวงจรรวมสัญญาณ

11.ผลการทดลองภาครับเปรียบเทียบระหว่างสัญญาณ 512kHzที่กู้ได้กับสัญญาณ256kHZที่กู้ได้และสัญญาณ NRZทางภาคส่ง



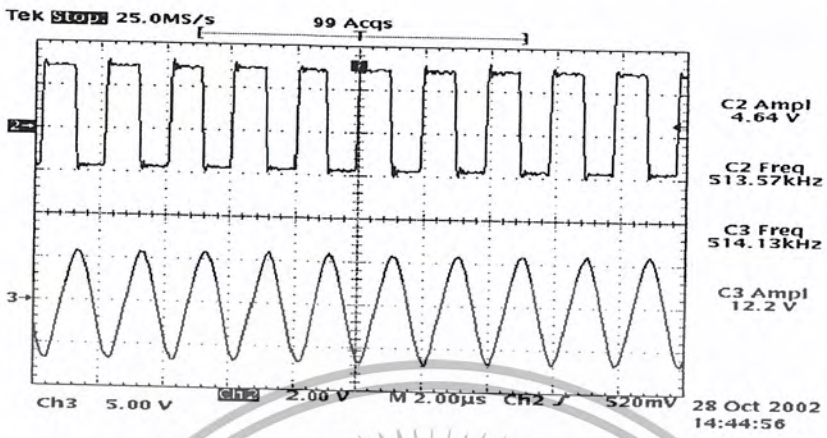
รูปที่ 4.11 แสดงสัญญาณ pirot ที่ผ่าวงจรกรองความถี่ 256 kHz

CH – 1 สัญญาณ pirot ที่กู้กลับมาได้

CH – 2 สัญญาณที่ผ่าวงจรกรองความถี่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

12. ผลการทดลองภาครับเมื่อสัญญาณคลื่นพาห์ผ่านวงจรกรองความถี่ 512 kHz

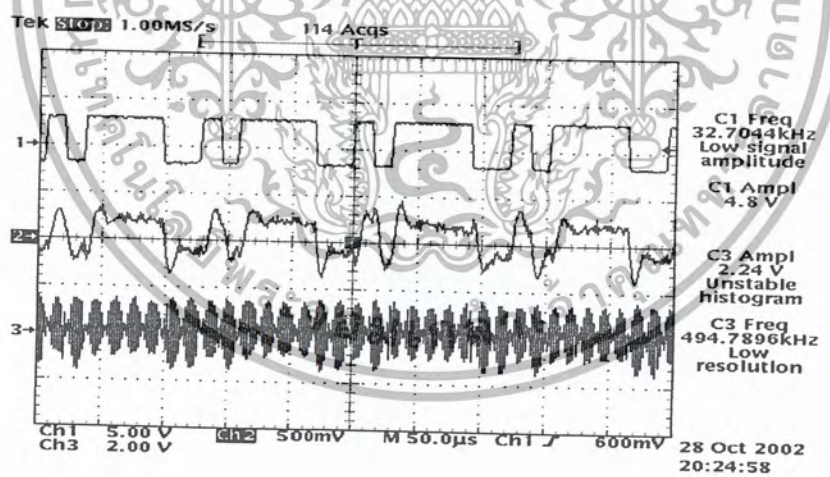


รูปที่ 4.12 แสดงสัญญาณเทียบระหว่างสัญญาณคลื่นพาห์และเมื่อผ่านวงจรกรองความถี่

CH – 1 สัญญาณคลื่นพาห์ 512 kHz ที่กู้สัญญาณ

CH – 2 สัญญาณคลื่นพาห์ 512 kHz ที่ผ่านวงจรกรองความถี่

13. ผลการทดลองภาครับเมื่อสัญญาณผ่านวงจรดีมอดูเลทชั่น



รูปที่ 4.13 แสดงสัญญาณเทียบระหว่างสัญญาณ NRZ สัญญาณที่ผ่านวงจรดีมอดูเลท และ สัญญาณที่ผ่านวงจรกรองความถี่ต่ำ (LPF)

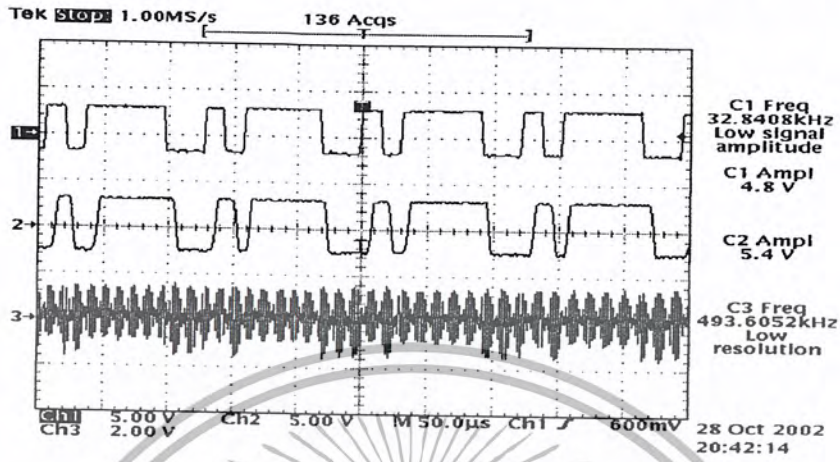
CH – 1 สัญญาณ NRZ ที่ภาคส่ง

CH – 2 สัญญาณ NRZ ที่ภาครับเมื่อผ่านการกรองความถี่ (LPF)

CH – 3 สัญญาณที่ผ่านการวงจรดีมอดูเลทชั่น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

14. ผลการทดลองภาครับเมื่อสัญญาณผ่านการลดระดับแรงดันให้มีค่าเท่ากับข้อมูลที่ส่งมา



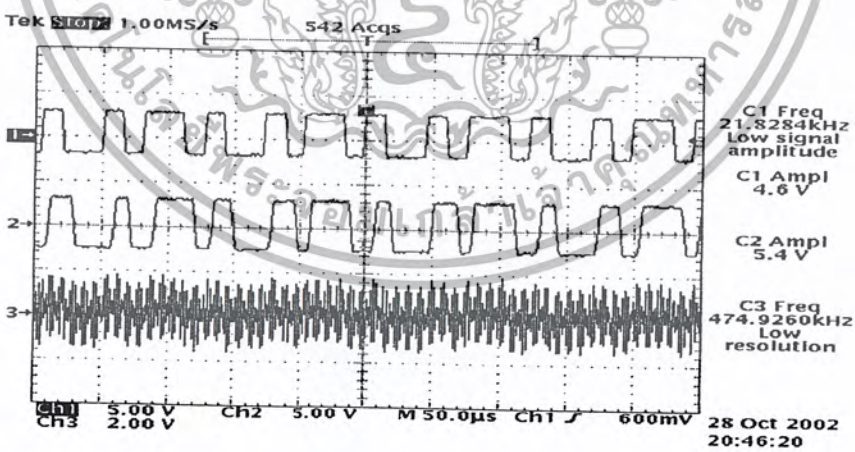
รูปที่ 4.14 แสดงการเทียบสัญญาณระหว่างสัญญาณที่ผ่านการลดระดับแรงดัน

CH – 1 สัญญาณข้อมูล NRZ ทางด้านอินพุต

CH – 2 สัญญาณข้อมูล NRZ ที่ผ่านการลดระดับแรงดัน

CH – 3 สัญญาณที่ผ่านวงจรดีมอดูเลทชั่น

15. ผลการทดลองภาครับเมื่อสัญญาณผ่านการลดระดับแรงดันให้มีค่าเท่ากับข้อมูลที่ส่งมา



รูปที่ 4.15 แสดงการเทียบสัญญาณอินพุตและเอาท์พุต ที่ข้อมูล 10010110

CH – 1 สัญญาณข้อมูล NRZ ทางด้านอินพุต

CH – 2 สัญญาณข้อมูล NRZ ที่ผ่านการลดระดับแรงดัน

CH – 3 สัญญาณที่ผ่านวงจรดีมอดูเลทชั่น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
สรุปอภิปรายผลและข้อเสนอแนะ

สรุป

การมอดูเลชั่นแบบPSK เป็นการมอดูเลทสัญญาณข้อมูลที่เป็นดิจิตอลเข้ากลับสัญญาณพาหะเป็นระบบที่มีประสิทธิภาพ และเป็นพื้นฐานของการมอดูเลชั่นอีกหลายแบบ เช่น ๆ QPSK , QAM มีสิ่งสำคัญที่ต้องคำนึงถึงหลายอย่าง เช่น ระดับแรงดันอ้างอิงของสัญญาณข้อมูล NRZ ,วงจร BPF , วงจร LPF, เพราะว่าวงจรเหล่านี้มีส่วนอย่างมากในการสร้างสัญญาณข้อมูลกลับคืนมา

อภิปรายผล

จากการทดลองจะเห็นว่าสัญญาณที่จะเข้าไปทำการมอดูเลทชั่นจะมีขนาดของกำลังที่น้อยมากซึ่งเป็นข้อกำหนดของไอซี ทำให้เกิดปัญหาในเรื่องที่จะต้องทำให้ระดับแรงดันที่จะเข้าไปมอดูเลชั่นต้องมีขนาดที่เหมาะสมที่สุดเมื่อผ่านการมอดูเลชั่นสัญญาณที่ออกมาจะมีสัญญาณที่มีขนาดกำลังน้อยทำให้เกิดสัญญาณรบกวนได้ง่ายและเกิดปัญหาในการการสร้างสัญญาณข้อมูลกลับคืนมา สัญญาณที่ผ่านการดีมอดูเลชั่น จะต้องเข้าที่วงจร LPF เพื่อกรองความถี่สูงที่ไม่ต้องการออกไปแต่วงจร LPFไม่สามารถกรองความถี่สูงออกได้หมดทำให้เกิดเป็นสัญญาณรบรวนเกิดขึ้น จึงจำเป็นต้องเพิ่มวงจรเปรียบเทียบระดับแรงดันของสัญญาณเข้าไปเพื่อทำให้ได้รูปสัญญาณข้อมูลเดิมกลับคืนมา

ข้อเสนอแนะในการจัดทำ

1.ควรทำความเข้าใจกับระบบการมอดูเลชั่นแบบPSK.ให้เข้าใจดีเสียก่อนว่าระบบจะต้องประกอบด้วยอะไรบ้าง

2.ต้องมีความเข้าใจถึงค่าพารามิเตอร์และข้อกำหนดต่างๆของอุปกรณ์ให้เข้าใจดี เพราะจะได้ไม่เกิดปัญหาติดตามมาภายหลัง

3. เนื่องจาก ไอซี ที่ใช้ทำการมอดูเลชั่นจะทำงานที่ระดับกำลังของสัญญาณที่เหมาะสมซึ่งมีขนาดของกำลังที่ไม่มาก ซึ่งต้องคำนึงถึงในส่วนนี้เป็นสำคัญ เพราะฉะนั้นวงจรนี้จะไม่สามารถทำงานได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บรรณานุกรม

[1] ชวลิต เบญจางคประเสริฐ: เอกสารประกอบการเรียนการสอนวิชา Microwave Communication Systems, คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง กรุงเทพฯ

[2] กฤดากร กล่อมการ: การสื่อสารข้อมูล, พิมพ์ครั้งที่1. คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง กรุงเทพฯ, ISBN 974-15-000-76,มิถุนายน 2545

[3] วิวัฒน์ ภิรานนท์: วิศวกรรมสื่อสาร Communication Engineering ,อักษรสยามการพิมพ์, 2 มกราคม 2540 , พิมพ์ครั้งที่ 1

[4] พงษ์ศักดิ์ เจนเจริญรัตน์, ไพริน เนียมศิริ: การพัฒนาโมเด็ม 16 QAM ปริญญานิพนธ์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง, 2540

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Order this document by MC1496/D

MOTOROLA

MC1496, B

Balanced Modulators/ Demodulators

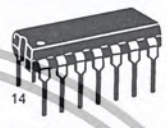
These devices were designed for use where the output voltage is a product of an input voltage (signal) and a switching function (carrier). Typical applications include suppressed carrier and amplitude modulation, synchronous detection, FM detection, phase detection, and chopper applications. See Motorola Application Note AN531 for additional design information.

- Excellent Carrier Suppression –65 dB typ @ 0.5 MHz
  –50 dB typ @ 10 MHz
- Adjustable Gain and Signal Handling
- Balanced Inputs and Outputs
- High Common Mode Rejection –85 dB typical

This device contains 8 active transistors.

BALANCED MODULATORS/DEMODULATORS

SEMICONDUCTOR TECHNICAL DATA



D SUFFIX
PLASTIC PACKAGE
CASE 751A
(SO–14)

P SUFFIX
PLASTIC PACKAGE
CASE 646

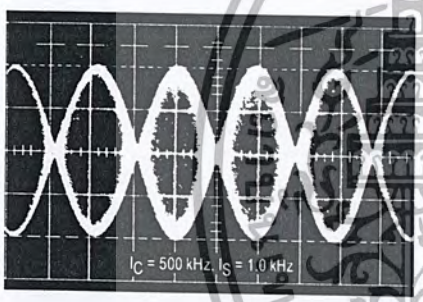


Figure 1. Suppressed Carrier Output Waveform

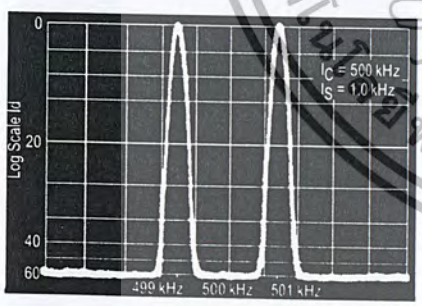


Figure 2. Suppressed Carrier Spectrum

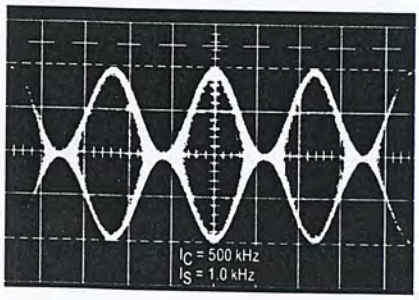
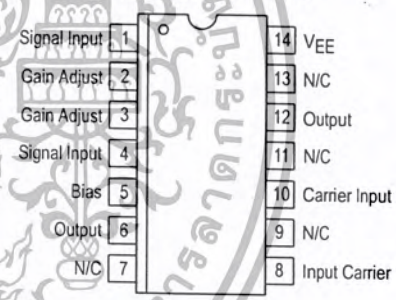


Figure 3. Amplitude Modulation Output Waveform

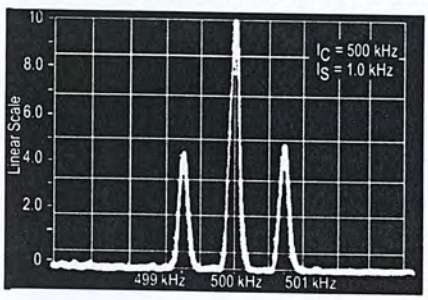
PIN CONNECTIONS



ORDERING INFORMATION

Device	Operating Temperature Range	Package
MC1496D	T_A = 0°C to +70°C	SO–14
MC1496P		Plastic DIP
MC1496BP	T_A = –40°C to +125°C	Plastic DIP

Figure 4. Amplitude–Modulation Spectrum



© Motorola, Inc. 1996

Rev 4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MAXIMUM RATINGS (T_A = 25°C, unless otherwise noted.)

Rating	Symbol	Value	Unit
Applied Voltage (V6 – V8, V10 – V1, V12 – V8, V12 – V10, V8 – V4, V8 – V1, V10 – V4, V6 – V10, V2 – V5, V3 – V5)	ΔV	30	Vdc
Differential Input Signal	V8 – V10 V4 – V1	+5.0 ±(5+I5R_e)	Vdc
Maximum Bias Current	I_5	10	mA
Thermal Resistance, Junction–to–Air Plastic Dual In–Line Package	$R_{\theta JA}$	100	°C/W
Operating Temperature Range	T_A	0 to +70	°C
Storage Temperature Range	T_{stg}	–65 to +150	°C

NOTE: ESD data available upon request.

ELECTRICAL CHARACTERISTICS (V_{CC} = 12 Vdc, V_{EE} = –8.0 Vdc, I5 = 1.0 mAdc, R_L = 3.9 kΩ, R_e = 1.0 kΩ, T_A = T_{low} to T_{high}, all input and output characteristics are single–ended, unless otherwise noted.)

Characteristic	Fig.	Note	Symbol	Min	Typ	Max	Unit
Carrier Feedthrough	5	1	V_{CFT}				μVrms
V_C = 60 mVrms sine wave and offset adjusted to zero — f_C = 1.0 kHz				–	40	–	
f_C = 10 MHz				–	140	–	
V_C = 300 mVpp square wave:							mVrms
offset adjusted to zero — f_C = 1.0 kHz				–	0.04	0.4	
offset not adjusted — f_C = 1.0 kHz				–	20	200	
Carrier Suppression	5	2	V_{CS}				dB
f_S = 10 kHz, 300 mVrms							
f_C = 500 kHz, 60 mVrms sine wave				40	65	–	
f_C = 10 MHz, 60 mVrms sine wave				–	50	–	k
Transadmittance Bandwidth (Magnitude) (R_L = 50 Ω)	8	8	BW_{3dB}				MHz
Carrier Input Port, V_C = 60 mVrms sine wave				–	300	–	
f_S = 1.0 kHz, 300 mVrms sine wave							
Signal Input Port, V_S = 300 mVrms sine wave				–	80	–	
$\|V_C\|$ = 0.5 Vdc							
Signal Gain (V_S = 100 mVrms, f = 1.0 kHz; $\|V_C\|$ = 0.5 Vdc)	10	3	A_{VS}	2.5	3.5	–	V/V
Single–Ended Input Impedance, Signal Port, f = 5.0 MHz	6	–					
Parallel Input Resistance			r_{ip}	–	200	–	kΩ
Parallel Input Capacitance			c_{ip}	–	2.0	–	pF
Single–Ended Output Impedance, f = 10 MHz	6	–					
Parallel Output Resistance			r_{op}	–	40	–	kΩ
Parallel Output Capacitance			c_{oo}	–	5.0	–	pF
Input Bias Current	7	–					μA
$I_{bS} = \frac{I1 + I4}{2}$; $I_{bC} = \frac{I8 + I10}{2}$			I_{bS} I_{bC}	– –	12 12	30 30	
Input Offset Current	7	–					μA
I_{ioS} = I1–I4; I_{ioC} = I8–I10			$\|I_{ioS}\|$ $\|I_{ioC}\|$	– –	0.7 0.7	7.0 7.0	
Average Temperature Coefficient of Input Offset Current (T_A = –55°C to +125°C)	7	–	$\|TC_{Iio}\|$	–	2.0	–	nA/°C
Output Offset Current (I6–I9)	7	–	$\|I_{oo}\|$	–	14	80	μA
Average Temperature Coefficient of Output Offset Current (T_A = –55°C to +125°C)	7	–	$\|TC_{Ioo}\|$	–	90	–	nA/°C
Common–Mode Input Swing, Signal Port, f_S = 1.0 kHz	9	4	CMV	–	5.0	–	Vpp
Common–Mode Gain, Signal Port, f_S = 1.0 kHz, $\|V_C\|$ = 0.5 Vdc	9	–	ACM	–	–85	–	dB
Common–Mode Quiescent Output Voltage (Pin 6 or Pin 9)	10	–	V_{out}	–	8.0	–	Vpp
Differential Output Voltage Swing Capability	10	–	V_{out}	–	8.0	–	Vpp
Power Supply Current I6 +I12	7	6	I_{CC}	–	2.0	4.0	mAdc
I14			I_{EE}	–	3.0	5.0	
DC Power Dissipation	7	5	P_D	–	33	–	mW

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

GENERAL OPERATING INFORMATION

Carrier Feedthrough

Carrier feedthrough is defined as the output voltage at carrier frequency with only the carrier applied (signal voltage = 0).

Carrier null is achieved by balancing the currents in the differential amplifier by means of a bias trim potentiometer (R1 of Figure 5).

Carrier Suppression

Carrier suppression is defined as the ratio of each sideband output to carrier output for the carrier and signal voltage levels specified.

Carrier suppression is very dependent on carrier input level, as shown in Figure 22. A low value of the carrier does not fully switch the upper switching devices, and results in lower signal gain, hence lower carrier suppression. A higher than optimum carrier level results in unnecessary device and circuit carrier feedthrough, which again degenerates the suppression figure. The MC1496 has been characterized with a 60 mVrms sinewave carrier input signal. This level provides optimum carrier suppression at carrier frequencies in the vicinity of 500 kHz, and is generally recommended for balanced modulator applications.

Carrier feedthrough is independent of signal level, V_S. Thus carrier suppression can be maximized by operating with large signal levels. However, a linear operating mode must be maintained in the signal–input transistor pair – or harmonics of the modulating signal will be generated and appear in the device output as spurious sidebands of the suppressed carrier. This requirement places an upper limit on input–signal amplitude (see Figure 20). Note also that an optimum carrier level is recommended in Figure 22 for good carrier suppression and minimum spurious sideband generation.

At higher frequencies circuit layout is very important in order to minimize carrier feedthrough. Shielding may be necessary in order to prevent capacitive coupling between the carrier input leads and the output leads.

Signal Gain and Maximum Input Level

Signal gain (single–ended) at low frequencies is defined as the voltage gain,

$$A_{VS} = \frac{V_o}{V_S} = \frac{R_L}{R_e + 2r_e} \quad \text{where } r_e = \frac{26\ mV}{I5(mA)}$$

A constant dc potential is applied to the carrier input terminals to fully switch two of the upper transistors "on" and two transistors "off" (V_C = 0.5 Vdc). This in effect forms a cascode differential amplifier.

Linear operation requires that the signal input be below a critical value determined by R_E and the bias current I5.

$$V_S \leq I5\ R_E \text{ (Volts peak)}$$

Note that in the test circuit of Figure 10, V_S corresponds to a maximum value of 1.0 V peak.

Common Mode Swing

The common–mode swing is the voltage which may be applied to both bases of the signal differential amplifier, without saturating the current sources or without saturating the differential amplifier itself by swinging it into the upper switching devices. This swing is variable depending on the particular circuit and biasing conditions chosen.

Power Dissipation

Power dissipation, P_D, within the integrated circuit package should be calculated as the summation of the voltage–current products at each port, i.e. assuming V12 = V6, I5 = I6 = I12 and ignoring base current, $P_D = 2\ I5\ (V6 - V14) + I5)\ V5 - V14$ where subscripts refer to pin numbers.

Design Equations

The following is a partial list of design equations needed to operate the circuit with other supply voltages and input conditions.

A. Operating Current

The internal bias currents are set by the conditions at Pin 5.

Assume:

$$I5 = I6 = I12,$$
$$I_B << I_C \text{ for all transistors}$$

then:

$$R5 = \frac{V - -\Phi}{I5} - 500\ \Omega$$

where: R5 is the resistor between Pin 5 and ground

Φ = 0.75 at T_A = +25°C

The MC1496 has been characterized for the condition I_5 = 1.0 mA and is the generally recommended value.

B. Common–Mode Quiescent Output Voltage

$$V6 = V12 = V+ - I5\ R_L$$

Biasing

The MC1496 requires three dc bias voltage levels which must be set externally. Guidelines for setting up these three levels include maintaining at least 2.0 V collector–base bias on all transistors while not exceeding the voltages given in the absolute maximum rating table;

$$30\ Vdc \geq [(V6, V12) - (V8, V10)] \geq 2\ Vdc$$
$$30\ Vdc \geq [(V8, V10) - (V1, V4)] \geq 2.7\ Vdc$$
$$30\ Vdc \geq [(V1, V4) - (V5)] \geq 2.7\ Vdc$$

The foregoing conditions are based on the following approximations:

$$V6 = V12,\ V8 = V10,\ V1 = V4$$

Bias currents flowing into Pins 1, 4, 8 and 10 are transistor base currents and can normally be neglected if external bias dividers are designed to carry 1.0 mA or more.

Transadmittance Bandwidth

Carrier transadmittance bandwidth is the 3.0 dB bandwidth of the device forward transadmittance as defined by:

$$\gamma 21C = \frac{i_o\ \text{(each sideband)}}{v_s\ \text{(signal)}} \Bigg|\ V_o = 0$$

Signal transadmittance bandwidth is the 3.0 dB bandwidth of the device forward transadmittance as defined by:

$$\gamma 21S = \frac{i_o\ \text{(signal)}}{v_s\ \text{(signal)}} \Bigg|\ V_c = 0.5\ Vdc,\ V_o = 0$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Coupling and Bypass Capacitors

Capacitors C1 and C2 (Figure 5) should be selected for a reactance of less than 5.0 Ω at the carrier frequency.

Output Signal

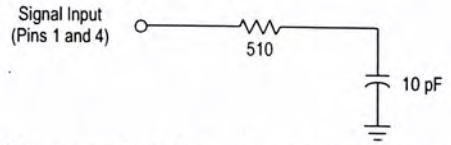
The output signal is taken from Pins 6 and 12 either balanced or single–ended. Figure 11 shows the output levels of each of the two output sidebands resulting from variations in both the carrier and modulating signal inputs with a single–ended output connection.

Negative Supply

V_{EE} should be dc only. The insertion of an RF choke in series with V_{EE} can enhance the stability of the internal current sources.

Signal Port Stability

Under certain values of driving source impedance, oscillation may occur. In this event, an RC suppression network should be connected directly to each input using short leads. This will reduce the Q of the source–tuned circuits that cause the oscillation.



An alternate method for low–frequency applications is to insert a 1.0 kΩ resistor in series with the input (Pins 1, 4). In this case input current drift may cause serious degradation of carrier suppression.

TEST CIRCUITS

Figure 5. Carrier Rejection and Suppression

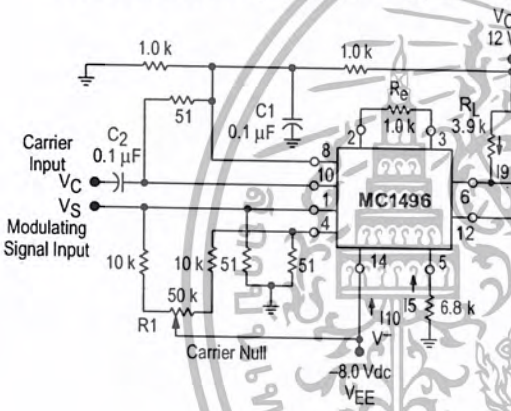


Figure 6. Input–Output Impedance

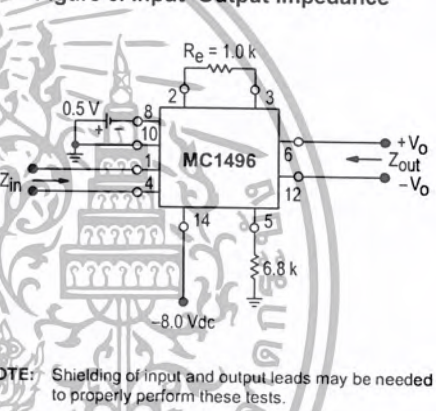


Figure 7. Bias and Offset Currents

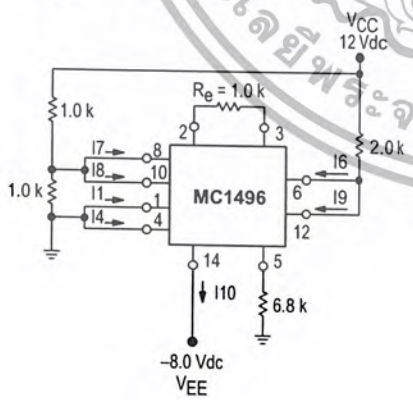
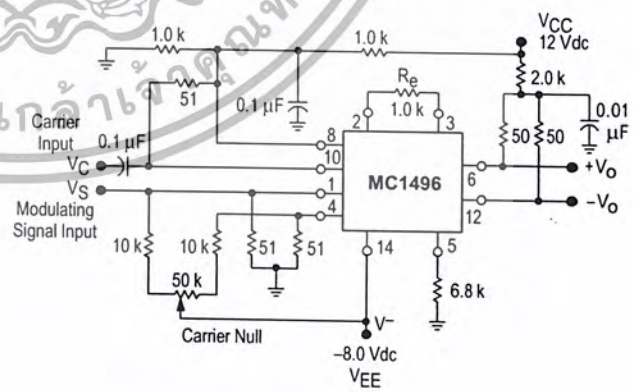


Figure 8. Transconductance Bandwidth



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 9. Common Mode Gain

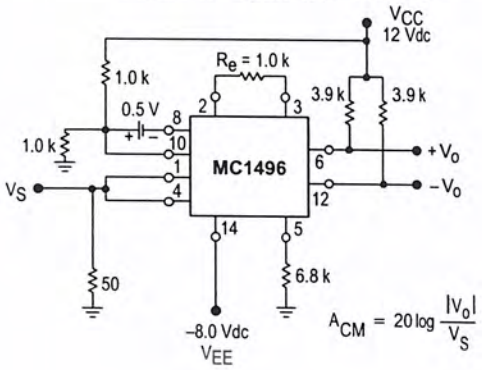
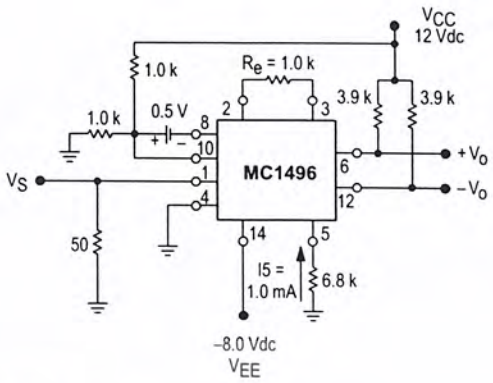


Figure 10. Signal Gain and Output Swing



TYPICAL CHARACTERISTICS

Typical characteristics were obtained with circuit shown in Figure 5, f_C = 500 kHz (sine wave), V_C = 60 mVrms, f_S = 1.0 kHz, V_S = 300 mVrms, T_A = 25°C, unless otherwise noted.

Figure 11. Sideband Output versus Carrier Levels

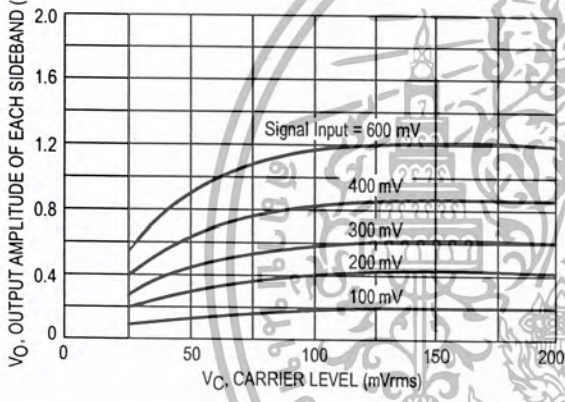


Figure 12. Signal–Port Parallel–Equivalent Input Resistance versus Frequency

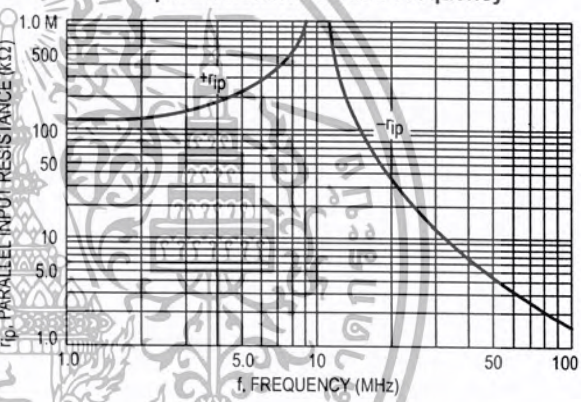


Figure 13. Signal–Port Parallel–Equivalent Input Capacitance versus Frequency

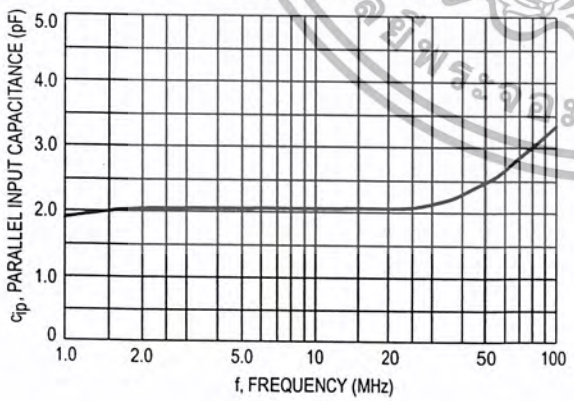
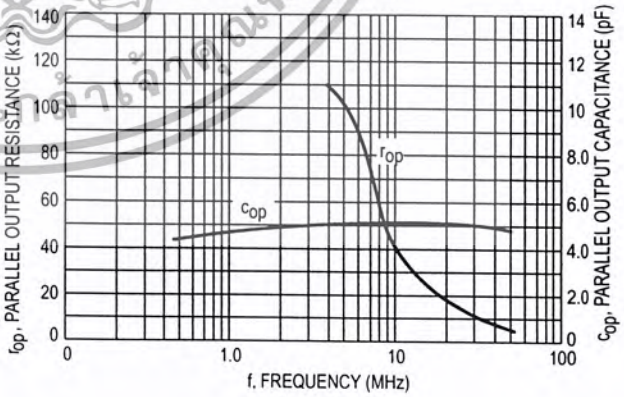


Figure 14. Single–Ended Output Impedance versus Frequency



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPICAL CHARACTERISTICS (continued)

Typical characteristics were obtained with circuit shown in Figure 5, f_C = 500 kHz (sine wave), V_C = 60 mVrms, f_S = 1.0 kHz, V_S = 300 mVrms, T_A = 25°C, unless otherwise noted.

Figure 15. Sideband and Signal Port Transadmittances versus Frequency

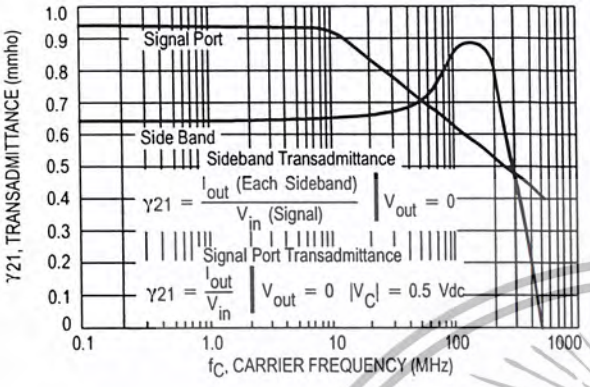


Figure 16. Carrier Suppression versus Temperature

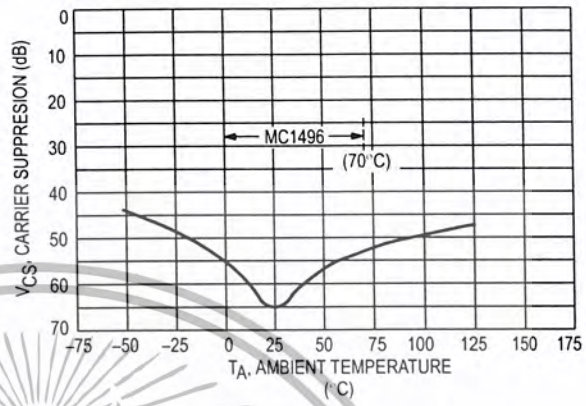


Figure 17. Signal–Port Frequency Response

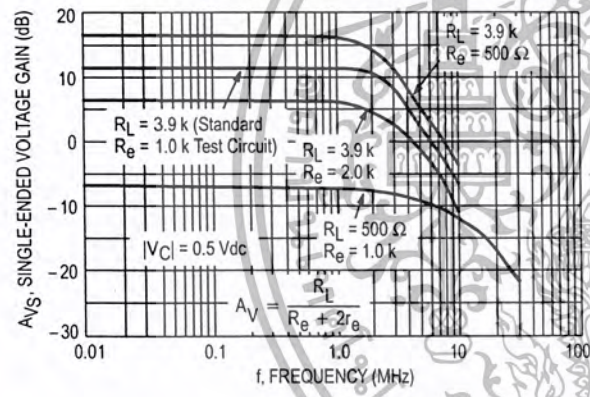


Figure 18. Carrier Suppression versus Frequency

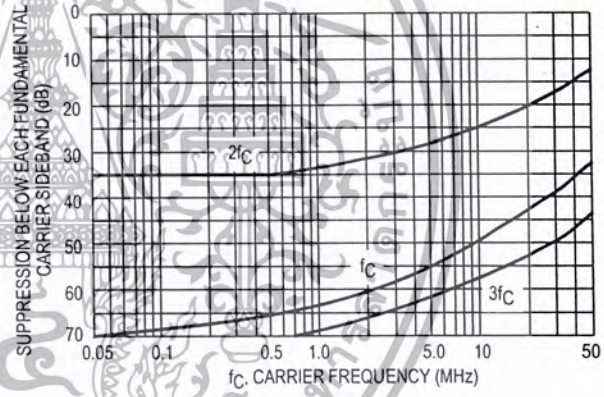


Figure 19. Carrier Feedthrough versus Frequency

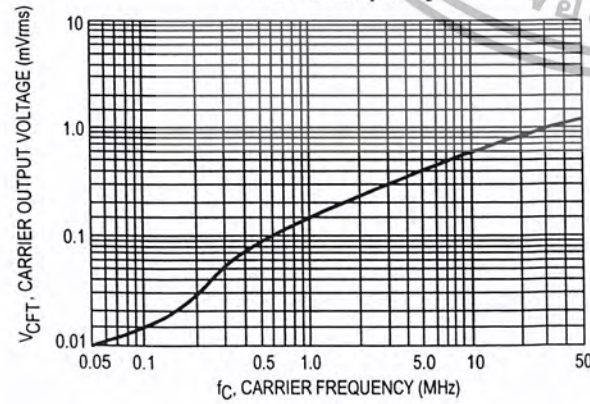
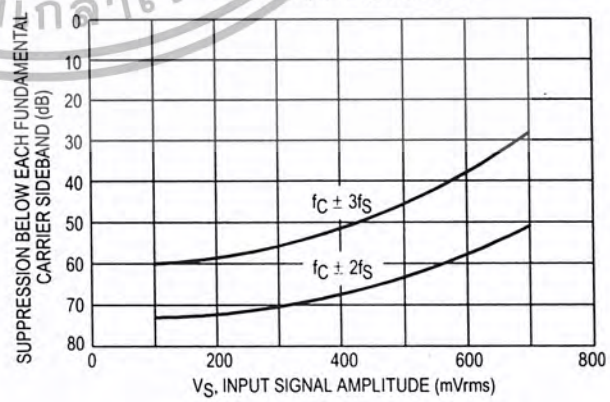


Figure 20. Sideband Harmonic Suppression versus Input Signal Level



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 21. Suppression of Carrier Harmonic Sidebands versus Carrier Frequency

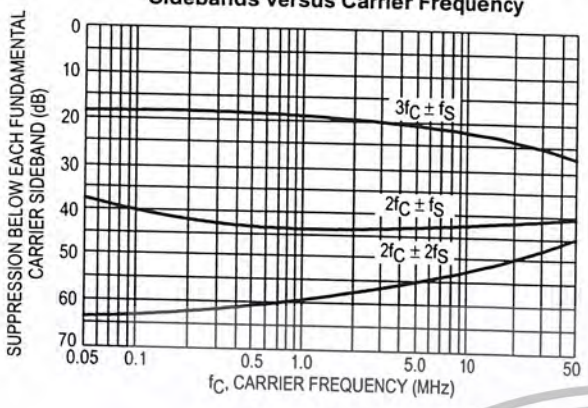
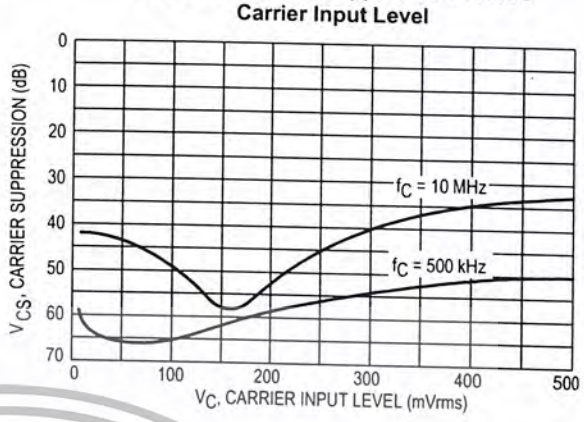


Figure 22. Carrier Suppression versus Carrier Input Level



OPERATIONS INFORMATION

The MC1496, a monolithic balanced modulator circuit, is shown in Figure 23.

This circuit consists of an upper quad differential amplifier driven by a standard differential amplifier with dual current sources. The output collectors are cross–coupled so that full–wave balanced multiplication of the two input voltages occurs. That is, the output signal is a constant times the product of the two input signals.

Mathematical analysis of linear ac signal multiplication indicates that the output spectrum will consist of only the sum and difference of the two input frequencies. Thus, the device may be used as a balanced modulator, doubly balanced mixer, product detector, frequency doubler, and other applications requiring these particular output signal characteristics.

The lower differential amplifier has its emitters connected to the package pins so that an external emitter resistance may be used. Also, external load resistors are employed at the device output.

Signal Levels

The upper quad differential amplifier may be operated either in a linear or a saturated mode. The lower differential amplifier is operated in a linear mode for most applications.

For low–level operation at both input ports, the output signal will contain sum and difference frequency components and have an amplitude which is a function of the product of the input signal amplitudes.

For high–level operation at the carrier input port and linear operation at the modulating signal port, the output signal will contain sum and difference frequency components of the modulating signal frequency and the fundamental and odd harmonics of the carrier frequency. The output amplitude will be a constant times the modulating signal amplitude. Any amplitude variations in the carrier signal will not appear in the output.

The linear signal handling capabilities of a differential amplifier are well defined. With no emitter degeneration, the maximum input voltage for linear operation is approximately 25 mV peak. Since the upper differential amplifier has its emitters internally connected, this voltage applies to the carrier input port for all conditions.

Since the lower differential amplifier has provisions for an external emitter resistance, its linear signal handling range may be adjusted by the user. The maximum input voltage for linear operation may be approximated from the following expression:

$$V = (I5)\,(R_E) \text{ volts peak.}$$

This expression may be used to compute the minimum value of R_E for a given input voltage amplitude.

Figure 23. Circuit Schematic

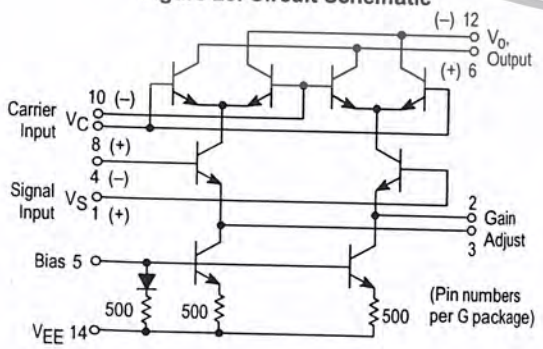
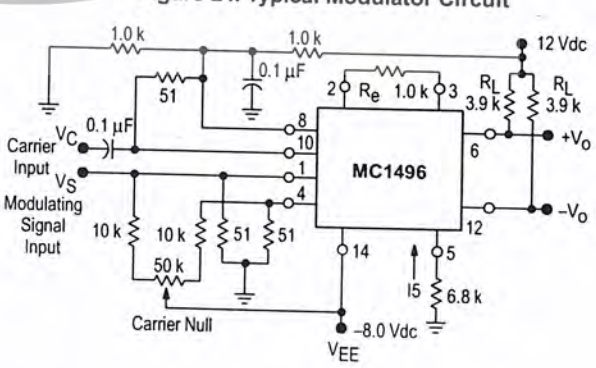


Figure 24. Typical Modulator Circuit



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 25. Voltage Gain and Output Frequencies

Carrier Input Signal (V_C)	Approximate Voltage Gain	Output Signal Frequency(s)
Low–level dc	$\frac{R_L V_C}{2(R_E + 2r_e)\left(\frac{KT}{q}\right)}$	f_M
High–level dc	$\frac{R_L}{R_E + 2r_e}$	f_M
Low–level ac	$\frac{R_L V_C(rms)}{2\sqrt{2}\left(\frac{KT}{q}\right)(R_E + 2r_e)}$	$f_C \pm f_M$
High–level ac	$\frac{0.637\ R_L}{R_E + 2r_e}$	$f_C \pm f_M, 3f_C \pm f_M, 5f_C \pm f_M, \ldots$

NOTES: 1. Low–level Modulating Signal, V_M, assumed in all cases. V_C is Carrier Input Voltage.
2. When the output signal contains multiple frequencies, the gain expression given is for the output amplitude of each of the two desired outputs, $f_C + f_M$ and $f_C - f_M$.
3. All gain expressions are for a single–ended output. For a differential output connection, multiply each expression by two.
4. R_L = Load resistance.
5. R_E = Emitter resistance between Pins 2 and 3.
6. r_e = Transistor dynamic emitter resistance, at 25°C;
$$re = \frac{26\ mV}{I_5\ (mA)}$$
7. K = Boltzmann's Constant, T = temperature in degrees Kelvin, q = the charge on an electron.
$$\frac{KT}{q} = 26\ mV \text{ at room temperature}$$

The gain from the modulating signal input port to the output is the MC1496 gain parameter which is most often of interest to the designer. This gain has significance only when the lower differential amplifier is operated in a linear mode, but this includes most applications of the device.

As previously mentioned, the upper quad differential amplifier may be operated either in a linear or a saturated mode. Approximate gain expressions have been developed for the MC1496 for a low–level modulating signal input and the following carrier input conditions:

1) Low–level dc
2) High–level dc
3) Low–level ac
4) High–level ac

These gains are summarized in Figure 25, along with the frequency components contained in the output signal.

APPLICATIONS INFORMATION

Double sideband suppressed carrier modulation is the basic application of the MC1496. The suggested circuit for this application is shown on the front page of this data sheet.

In some applications, it may be necessary to operate the MC1496 with a single dc supply voltage instead of dual supplies. Figure 26 shows a balanced modulator designed for operation with a single 12 Vdc supply. Performance of this circuit is similar to that of the dual supply modulator.

AM Modulator

The circuit shown in Figure 27 may be used as an amplitude modulator with a minor modification.

All that is required to shift from suppressed carrier to AM operation is to adjust the carrier null potentiometer for the proper amount of carrier insertion in the output signal.

However, the suppressed carrier null circuitry as shown in Figure 27 does not have sufficient adjustment range. Therefore, the modulator may be modified for AM operation by changing two resistor values in the null circuit as shown in Figure 28.

Product Detector

The MC1496 makes an excellent SSB product detector (see Figure 29).

This product detector has a sensitivity of 3.0 microvolts and a dynamic range of 90 dB when operating at an intermediate frequency of 9.0 MHz.

The detector is broadband for the entire high frequency range. For operation at very low intermediate frequencies down to 50 kHz the 0.1 µF capacitors on Pins 8 and 10 should be increased to 1.0 µF. Also, the output filter at Pin 12 can be tailored to a specific intermediate frequency and audio amplifier input impedance.

As in all applications of the MC1496, the emitter resistance between Pins 2 and 3 may be increased or decreased to adjust circuit gain, sensitivity, and dynamic range.

This circuit may also be used as an AM detector by introducing carrier signal at the carrier input and an AM signal at the SSB input.

The carrier signal may be derived from the intermediate frequency signal or generated locally. The carrier signal may be introduced with or without modulation, provided its level is sufficiently high to saturate the upper quad differential

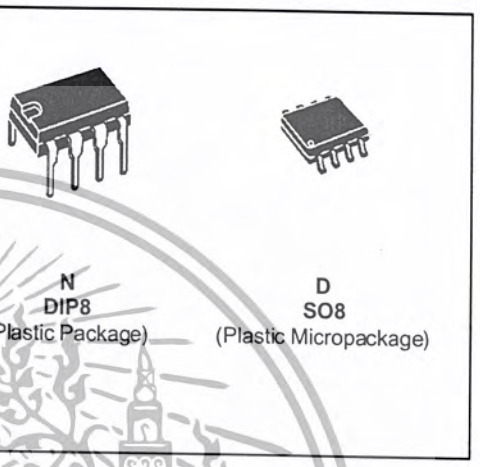
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SGS-THOMSON MICROELECTRONICS

LF151
LF251 - LF351

WIDE BANDWIDTH SINGLE J-FET OPERATIONAL AMPLIFIERS

- LOW POWER CONSUMPTION
- WIDE COMMON-MODE (UP TO V_{CC}^+) AND DIFFERENTIAL VOLTAGE RANGE
- LOW INPUT BIAS AND OFFSET CURRENT
- OUTPUT SHORT-CIRCUIT PROTECTION
- HIGH INPUT IMPEDANCE J–FET INPUT STAGE
- INTERNAL FREQUENCY COMPENSATION
- LATCH UP FREE OPERATION
- HIGH SLEW RATE : 16V/µs (typ)



N
DIP8
(Plastic Package)

D
SO8
(Plastic Micropackage)

DESCRIPTION

These circuits are high speed J–FET input single operational amplifiers incorporating well matched, high voltage J–FET and bipolar transistors in a monolithic integrated circuit.

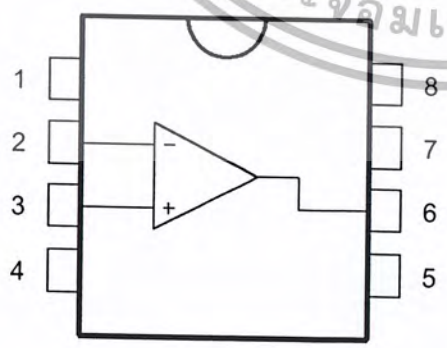
The devices feature high slew rates, low input bias and offset currents, and low offset voltage temperature coefficient.

ORDER CODES

Part Number	Temperature	Package N	Package D
LF351	0°C, +70°C	•	•
LF251	–40°C, +105°C	•	•
LF151	–55°C, +125°C	•	•

151-01.TBL

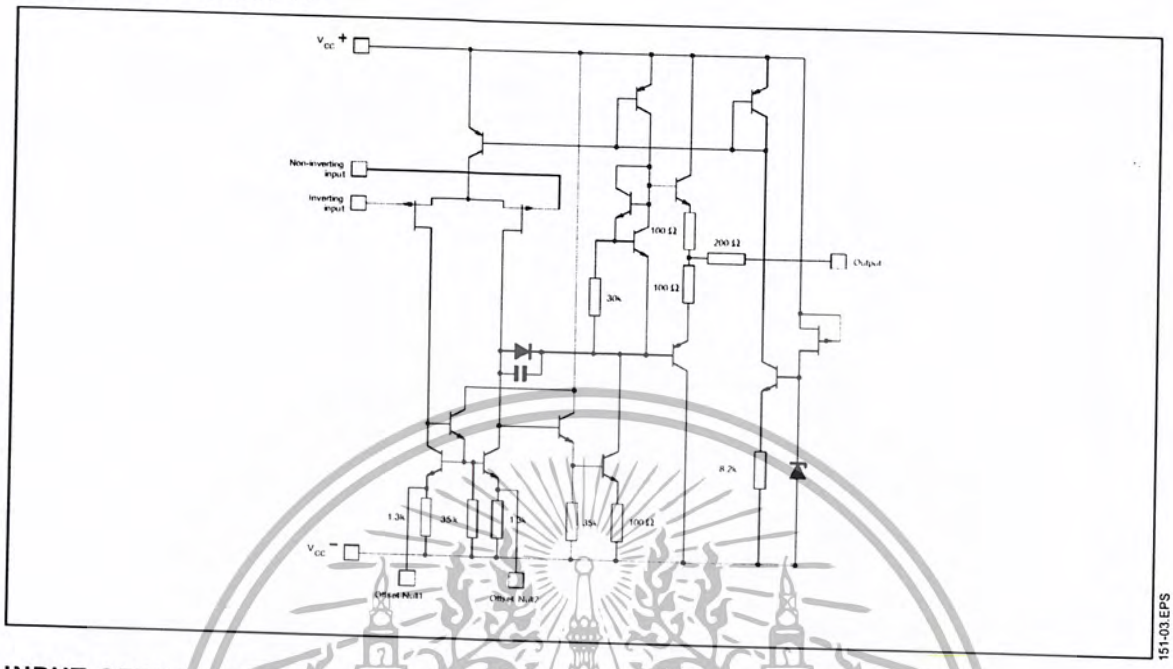
PIN CONNECTIONS (top view)



1 - Offset Null 1
2 - Inverting input
3 - Non-inverting input
4 - V_{CC}^-
5 - Offset Null 2
6 - Output
7 - V_{CC}^+
8 - N.C.

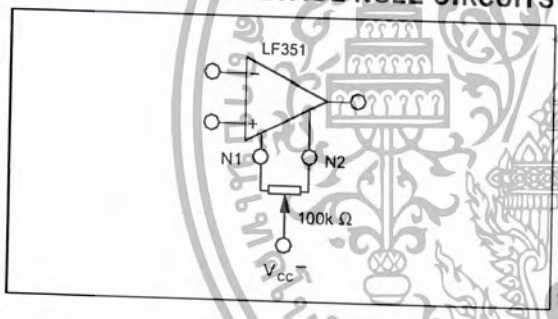
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SCHEMATIC DIAGRAM



151-03.EPS

INPUT OFFSET VOLTAGE NULL CIRCUITS



151-04.EPS

ABSOLUTE MAXIMUM RATINGS

Symbol	Parameter		Value	Unit
V_{CC}	Supply Voltage - (note 1)		±18	V
V_i	Input Voltage - (note 3)		±15	V
V_{id}	Differential Input Voltage - (note 2)		±30	V
P_{tot}	Power Dissipation		680	mW
	Output Short-circuit Duration - (note 4)		Infinite	
T_{oper}	Operating Free Air Temperature Range	LF351 LF251 LF151	0 to 70 –40 to 105 –55 to 125	°C
T_{stg}	Storage Temperature Range		–65 to 150	°C

151-02.TBL

Notes :
1. All voltage values, except differential voltage, are with respect to the zero reference level (ground) of the supply voltages where the zero reference level is the midpoint between V_{CC}^+ and V_{CC}^-.
2. Differential voltages are at the non-inverting input terminal with respect to the inverting input terminal.
3. The magnitude of the input voltage must never exceed the magnitude of the supply voltage or 15 volts, whichever is less.
4. The output may be shorted to ground or to either supply. Temperature and /or supply voltages must be limited to ensure that the dissipation rating is not exceeded.

SGS-THOMSON MICROELECTRONICS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS

V_{CC} = ±15V, T_{amb} = 25°C (unless otherwise specified)

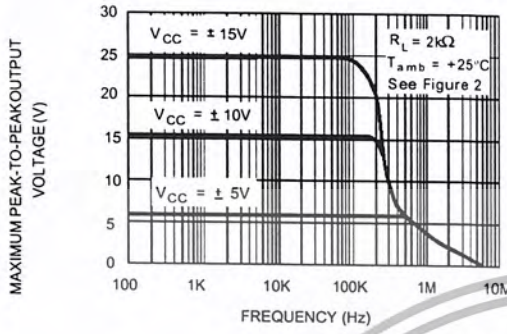
Symbol	Parameter	LF151 - LF251 - LF351			Unit
		Min.	Typ.	Max.	
V_{io}	Input Offset Voltage (R_S = 10kΩ) T_{amb} = 25°C $T_{min.} \le T_{amb} \le T_{max.}$		3	10 13	mV
DV_{io}	Input Offset Voltage Drift		10		µV/°C
I_{io}	Input Offset Current * T_{amb} = 25°C $T_{min.} \le T_{amb} \le T_{max.}$		5	100 4	pA nA
I_{ib}	Input Bias Current * T_{amb} = 25°C $T_{min.} \le T_{amb} \le T_{max.}$		20	200 20	pA nA
A_{vd}	Large Signal Voltage Gain (R_L = 2kΩ, V_O = ±10V) T_{amb} = 25°C $T_{min.} \le T_{amb} \le T_{max.}$	50 25	200		V/mV
SVR	Supply Voltage Rejection Ratio (R_S = 10kΩ) T_{amb} = 25°C $T_{min.} \le T_{amb} \le T_{max.}$	80 80	86		dB
I_{CC}	Supply Current (no load) T_{amb} = 25°C $T_{min.} \le T_{amb} \le T_{max.}$		1.4	3.4 3.4	mA
V_{icm}	Input Common Mode Voltage Range	±11	+15 -12		V
CMR	Common Mode Rejection Ratio (R_S = 10kΩ) T_{amb} = 25°C $T_{min.} \le T_{amb} \le T_{max.}$	70 70	86		dB
Ios	Output Short-circuit Current T_{amb} = 25°C $T_{min.} \le T_{amb} \le T_{max.}$	10 10	40	60 60	mA
$\pm V_{OPP}$	Output Voltage Swing T_{amb} = 25°C R_L = 2kΩ R_L = 10kΩ $T_{min.} \le T_{amb} \le T_{max.}$ R_L = 2kΩ R_L = 10kΩ	10 12 10 12	12 13.5		V
SR	Slew Rate (V_i = 10V, R_L = 2kΩ, C_L = 100pF, T_{amb} = 25°C, unity gain)	12	16		V/µs
t_r	Rise Time (V_i = 20mV, R_L = 2kΩ, C_L = 100pF, T_{amb} = 25°C, unity gain)		0.1		µs
Kov	Overshoot (V_i = 20mV, R_L = 2kΩ, C_L = 100pF, T_{amb} = 25°C, unity gain)		10		%
GBP	Gain Bandwidth Product (f = 100kHz, T_{amb} = 25°C, V_{in} = 10mV, R_L = 2kΩ, C_L = 100pF)	2.5	4		MHz
R_i	Input Resistance		10^{12}		Ω
THD	Total Harmonic Distortion (f = 1kHz, A_V = 20dB, R_L = 2kΩ, C_L = 100pF, T_{amb} = 25°C, V_O = $2V_{PP}$)		0.01		%
e_n	Equivalent Input Noise Voltage (f = 1kHz, R_s = 100Ω)		15		$\frac{nV}{\sqrt{Hz}}$
Øm	Phase Margin		45		Degrees

151-03.TBL

* The input bias currents are junction leakage currents which approximately double for every 10°C increase in the junction temperature.

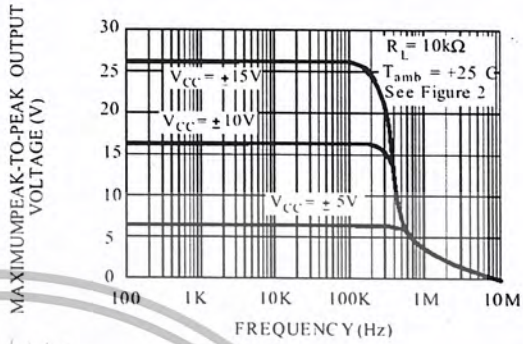
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MAXIMUM PEAK-TO-PEAK OUTPUT VOLTAGE VERSUS FREQUENCY



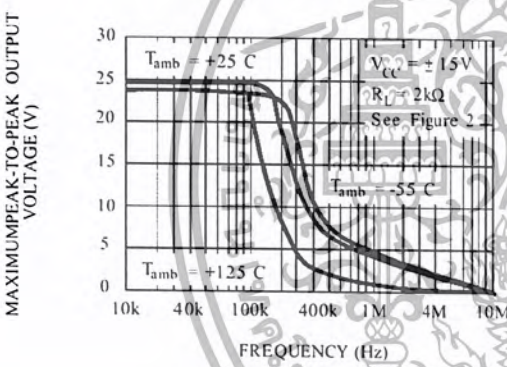
151-05.EPS

MAXIMUM PEAK-TO-PEAK OUTPUT VOLTAGE VERSUS FREQUENCY



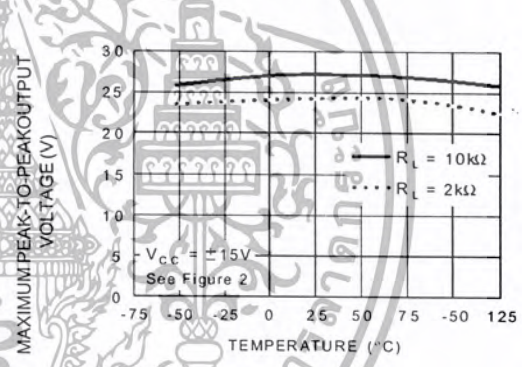
151-06.EPS

MAXIMUM PEAK-TO-PEAK OUTPUT VOLTAGE VERSUS FREQUENCY



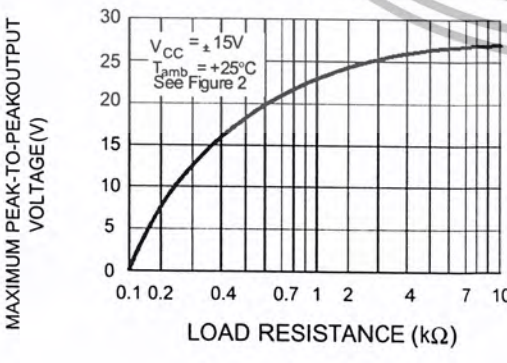
151-07.EPS

MAXIMUM PEAK-TO-PEAK OUTPUT VOLTAGE VERSUS FREE AIR TEMP.



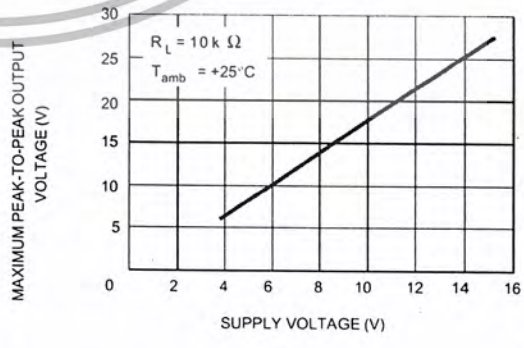
151-08.EPS

MAXIMUM PEAK-TO-PEAK OUTPUT VOLTAGE VERSUS LOAD RESISTANCE



151-09.EPS

MAXIMUM PEAK-TO-PEAK OUTPUT VOLTAGE VERSUS SUPPLY VOLTAGE

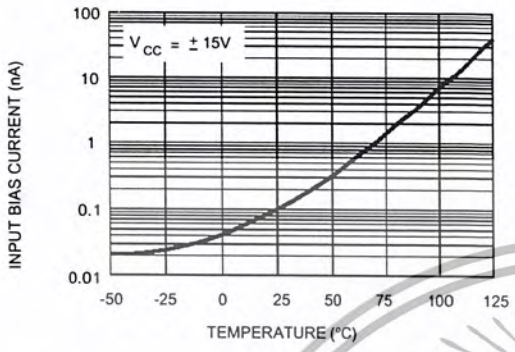


151-10.EPS

SGS-THOMSON MICROELECTRONICS

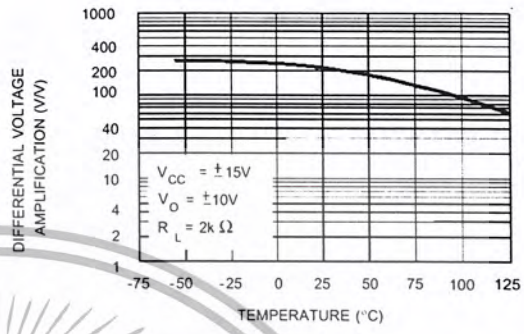
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

INPUT BIAS CURRENT VERSUS FREE AIR TEMPERATURE



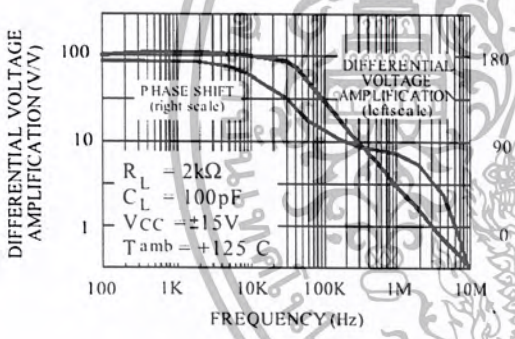
151-11.EPS

LARGE SIGNAL DIFFERENTIAL VOLTAGE AMPLIFICATION VERSUS FREE AIR TEMPERATURE



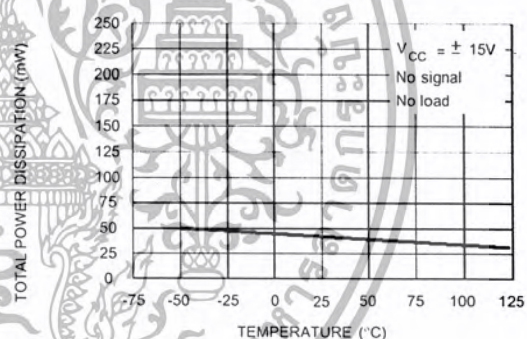
151-12.EPS

LARGE SIGNAL DIFFERENTIAL VOLTAGE AMPLIFICATION AND PHASE SHIFT VERSUS FREQUENCY



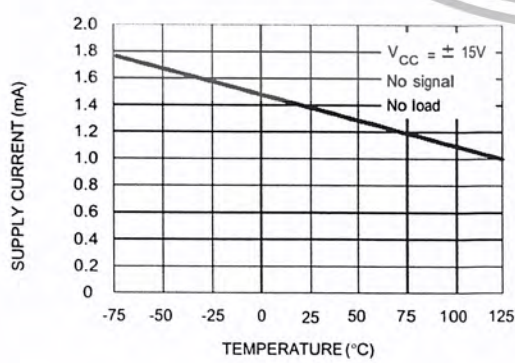
151-13.EPS

TOTAL POWER DISSIPATION VERSUS FREE AIR TEMPERATURE



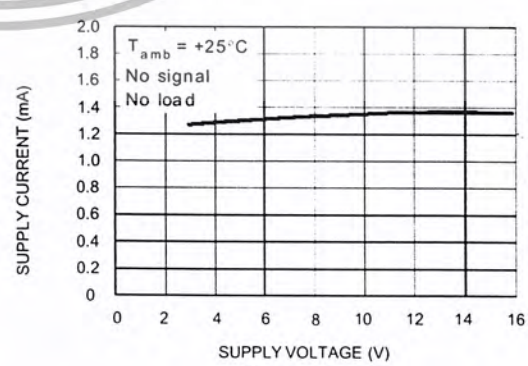
151-14.EPS

SUPPLY CURRENT PER AMPLIFIER VERSUS FREE AIR TEMPERATURE



151-15.EPS

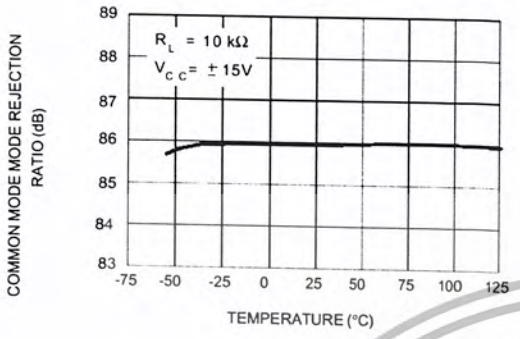
SUPPLY CURRENT PER AMPLIFIER VERSUS SUPPLY VOLTAGE



151-16.EPS

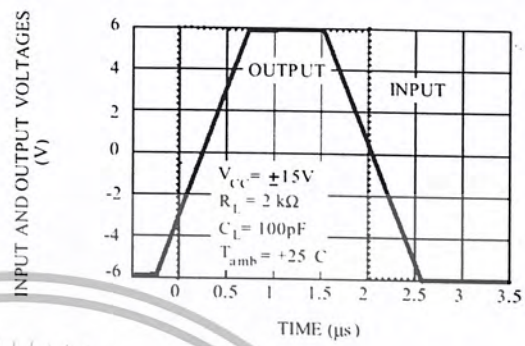
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

COMMON MODE REJECTION RATIO VERSUS FREE AIR TEMPERATURE



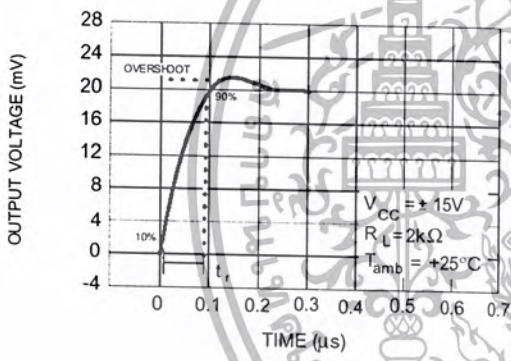
151-17.EPS

VOLTAGE FOLLOWER LARGE SIGNAL PULSE RESPONSE



151-18.EPS

OUTPUT VOLTAGE VERSUS ELAPSED TIME

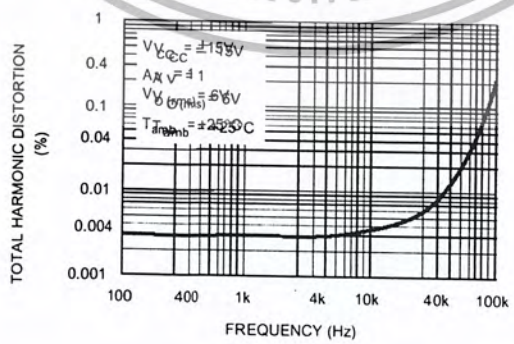


151-19.EPS

EQUIVALENT INPUT NOISE VOLTAGE VERSUS FREQUENCY

151-20.EPS

TOTAL HARMONIC DISTORTION VERSUS FREQUENCY



151-21.EPS

SGS-THOMSON MICROELECTRONICS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PARAMETER MEASUREMENT INFORMATION

Figure 1 : Voltage Follower

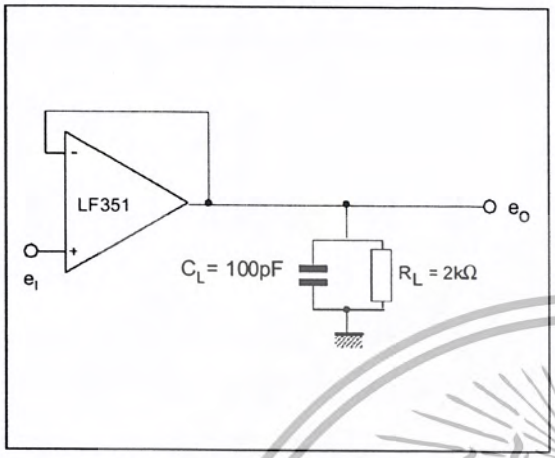
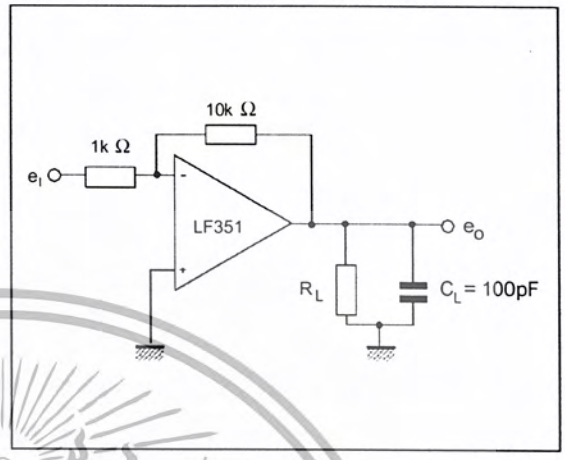
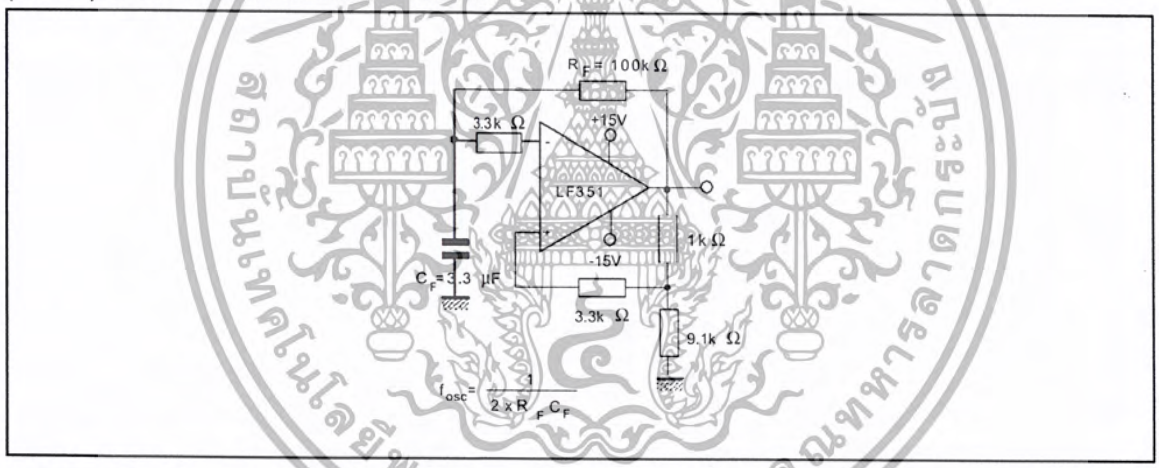


Figure 2 : Gain-of-10 Inverting Amplifier

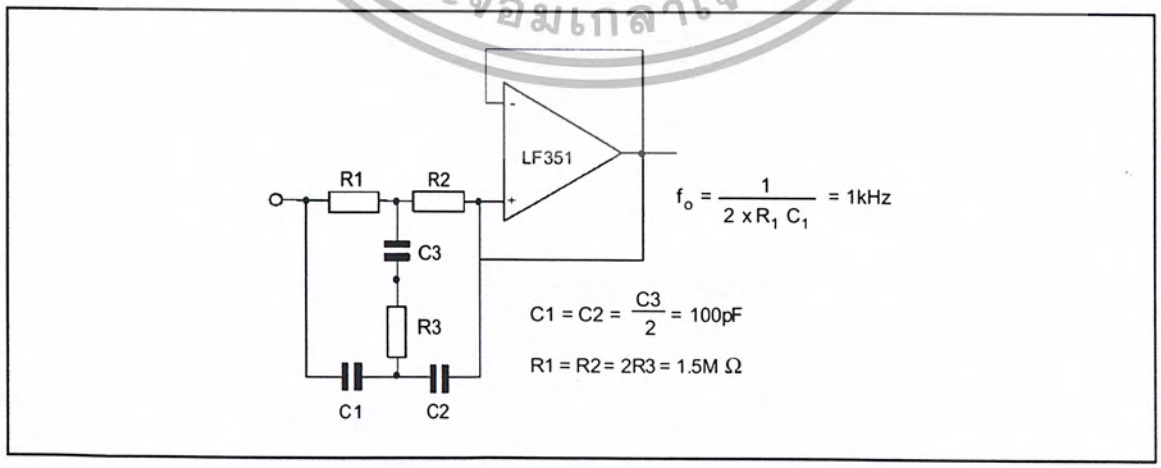


TYPICAL APPLICATIONS

(0.5Hz) SQUARE WAVE OSCILLATOR

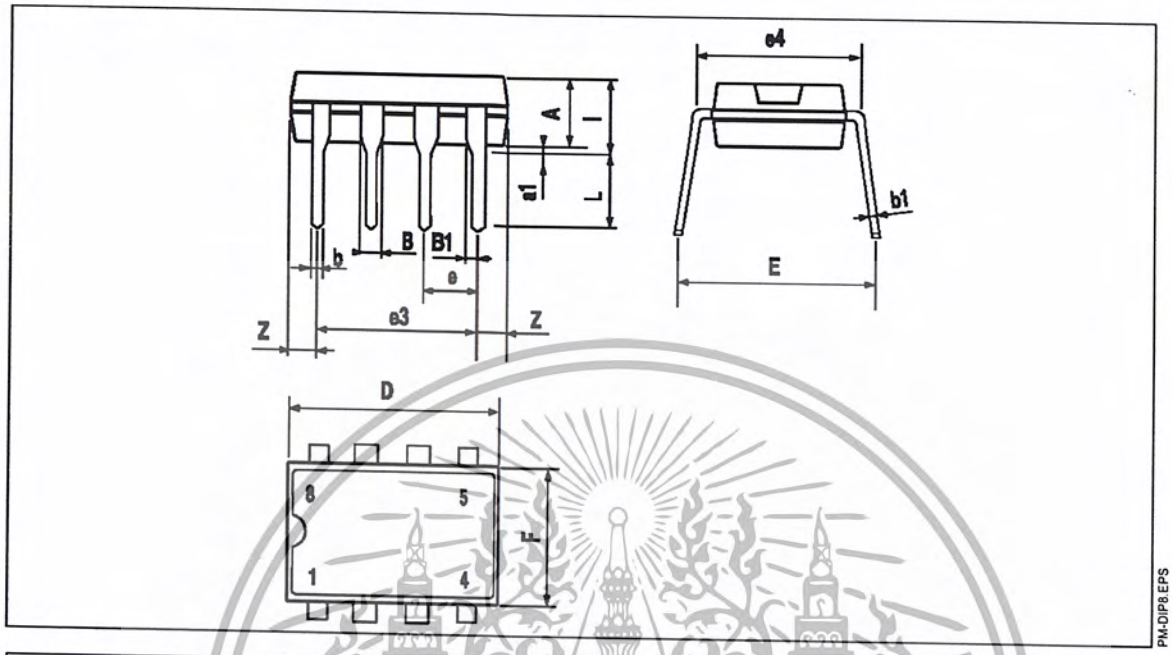


HIGH Q NOTCH FILTER



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PACKAGE MECHANICAL DATA
8 PINS - PLASTIC DIP



PM-DIP8.EPS

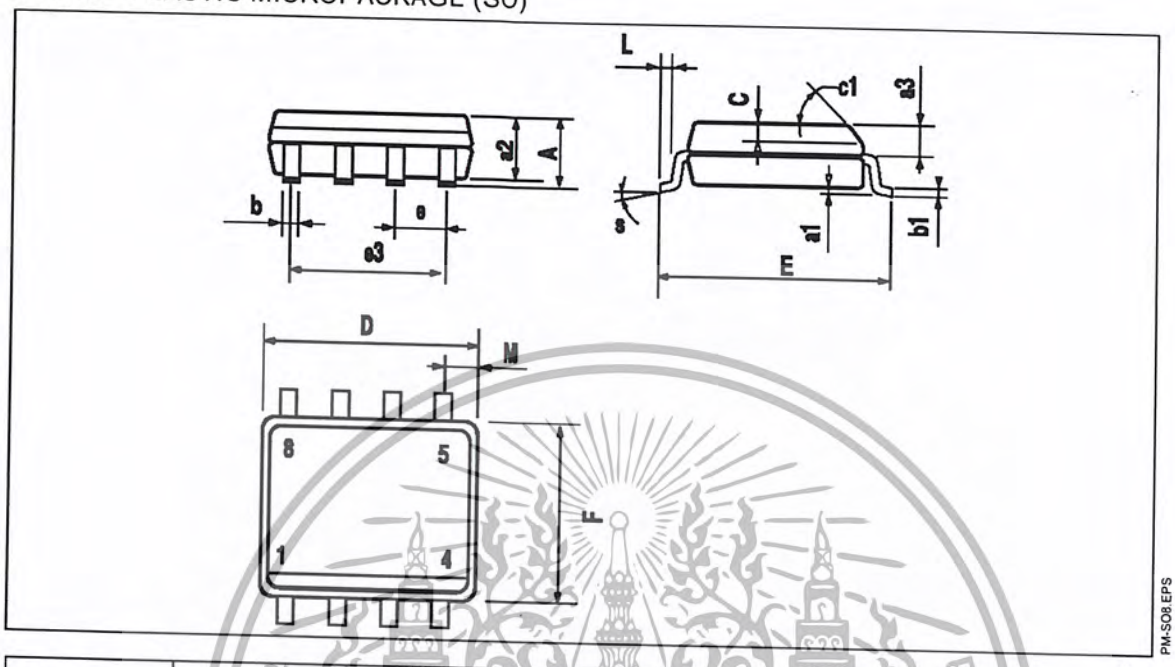
Dimensions	Millimeters			Inches		
	Min.	Typ.	Max.	Min.	Typ.	Max.
A		3.32			0.131	
a1	0.51			0.020		
B	1.15		1.65	0.045		0.065
b	0.356		0.55	0.014		0.022
b1	0.204		0.304	0.008		0.012
D			10.92			0.430
E	7.95		9.75	0.313		0.384
e		2.54			0.100	
e3		7.62			0.300	
e4		7.62			0.300	
F			6.6			0260
i			5.08			0.200
L	3.18		3.81	0.125		0.150
Z			1.52			0.060

DIP8.TBL

SGS-THOMSON MICROELECTRONICS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PACKAGE MECHANICAL DATA
8 PINS - PLASTIC MICROPACKAGE (SO)



PM-SO8.EPS

Dimensions	Millimeters			Inches		
	Min.	Typ.	Max.	Min.	Typ.	Max.
A			1.75			0.069
a1	0.1		0.25	0.004		0.010
a2			1.65			0.065
a3	0.65		0.85	0.026		0.033
b	0.35		0.48	0.014		0.019
b1	0.19		0.25	0.007		0.010
C	0.25		0.5	0.010		0.020
c1			45° (typ.)			
D	4.8		5.0	0.189		0.197
E	5.8		6.2	0.228		0.244
e		1.27			0.050	
e3		3.81			0.150	
F	3.8		4.0	0.150		0.157
L	0.4		1.27	0.016		0.050
M			0.6			0.024
S			8° (max.)			

SO8.TBL

Information furnished is believed to be accurate and reliable. However, SGS-THOMSON Microelectronics assumes no responsibility for the consequences of use of such information nor for any infringement of patents or other rights of third parties which may result from its use. No licence is granted by implication or otherwise under any patent or patent rights of SGS-THOMSON Microelectronics. Specifications mentioned in this publication are subject to change without notice. This publication supersedes and replaces all information previously supplied. SGS-THOMSON Microelectronics products are not authorized for use as critical components in life support devices or systems without express written approval of SGS-THOMSON Microelectronics.

© 1994 SGS-THOMSON Microelectronics - All Rights Reserved

SGS-THOMSON Microelectronics GROUP OF COMPANIES

Australia - Brazil - France - Germany - Hong Kong - Italy - Japan - Korea - Malaysia - Malta - Morocco - The Netherlands
Singapore - Spain - Sweden - Switzerland - Taiwan - Thailand - United Kingdom - U.S.A.

ORDER CODE

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MOTOROLA

SN54/74LS90
SN54/74LS92
SN54/74LS93

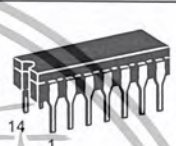
DECADE COUNTER; DIVIDE-BY-TWELVE COUNTER; 4-BIT BINARY COUNTER

DECADE COUNTER; DIVIDE-BY-TWELVE COUNTER; 4-BIT BINARY COUNTER

LOW POWER SCHOTTKY

The SN54/74LS90, SN54/74LS92 and SN54/74LS93 are high-speed 4-bit ripple type counters partitioned into two sections. Each counter has a divide-by-two section and either a divide-by-five (LS90), divide-by-six (LS92) or divide-by-eight (LS93) section which are triggered by a HIGH-to-LOW transition on the clock inputs. Each section can be used separately or tied together (Q to CP) to form BCD, bi-quinary, modulo-12, or modulo-16 counters. All of the counters have a 2-input gated Master Reset (Clear), and the LS90 also has a 2-input gated Master Set (Preset 9).

- Low Power Consumption . . . Typically 45 mW
- High Count Rates . . . Typically 42 MHz
- Choice of Counting Modes . . . BCD, Bi-Quinary, Divide-by-Twelve, Binary
- Input Clamp Diodes Limit High Speed Termination Effects



J SUFFIX
CERAMIC
CASE 632-08

N SUFFIX
PLASTIC
CASE 646-06

D SUFFIX
SOIC
CASE 751A-02

ORDERING INFORMATION

SN54LSXXJ	Ceramic
SN74LSXXN	Plastic
SN74LSXXD	SOIC

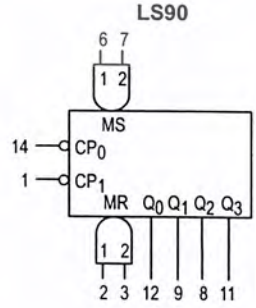
PIN NAMES

		LOADING (Note a) HIGH	LOW
$\overline{CP_0}$	Clock (Active LOW going edge) Input to ÷2 Section	0.5 U.L.	1.5 U.L.
$\overline{CP_1}$	Clock (Active LOW going edge) Input to ÷5 Section (LS90), ÷6 Section (LS92)	0.5 U.L.	2.0 U.L.
$\overline{CP_1}$	Clock (Active LOW going edge) Input to ÷8 Section (LS93)	0.5 U.L.	1.0 U.L.
MR_1, MR_2	Master Reset (Clear) Inputs	0.5 U.L.	0.25 U.L.
MS_1, MS_2	Master Set (Preset-9, LS90) Inputs	0.5 U.L.	0.25 U.L.
Q_0	Output from ÷2 Section (Notes b & c)	10 U.L.	5 (2.5) U.L.
Q_1, Q_2, Q_3	Outputs from ÷5 (LS90), ÷6 (LS92), ÷8 (LS93) Sections (Note b)	10 U.L.	5 (2.5) U.L.

NOTES:
a. 1 TTL Unit Load (U.L.) = 40 µA HIGH/1.6 mA LOW.
b. The Output LOW drive factor is 2.5 U.L. for Military, (54) and 5 U.L. for commercial (74) Temperature Ranges.
c. The Q_0 Outputs are guaranteed to drive the full fan-out plus the CP_1 input of the device.
d. To insure proper operation the rise (t_r) and fall time (t_f) of the clock must be less than 100 ns.

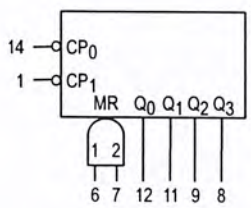
LOGIC SYMBOL

LS90



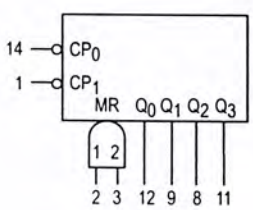
V_{CC} = PIN 5
GND = PIN 10
NC = PINS 4, 13

LS92



V_{CC} = PIN 5
GND = PIN 10
NC = PINS 2, 3, 4, 13

LS93

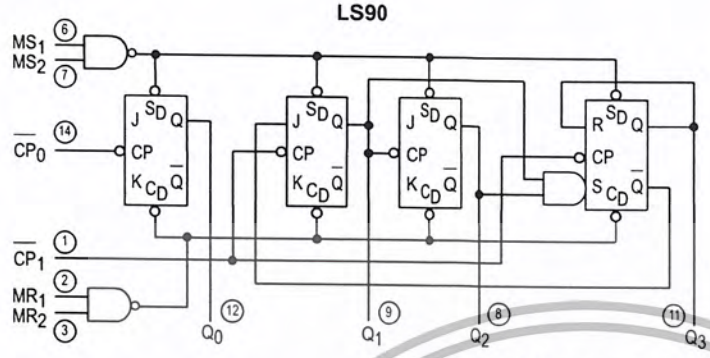


V_{CC} = PIN 5
GND = PIN 10
NC = PIN 4, 6, 7, 13

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

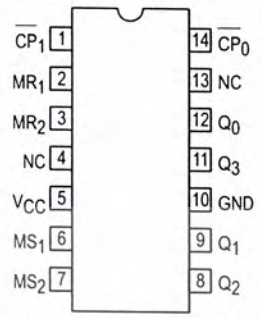
LOGIC DIAGRAM

LS90



○ = PIN NUMBERS
V_{CC} = PIN 5
GND = PIN 10

CONNECTION DIAGRAM
DIP (TOP VIEW)

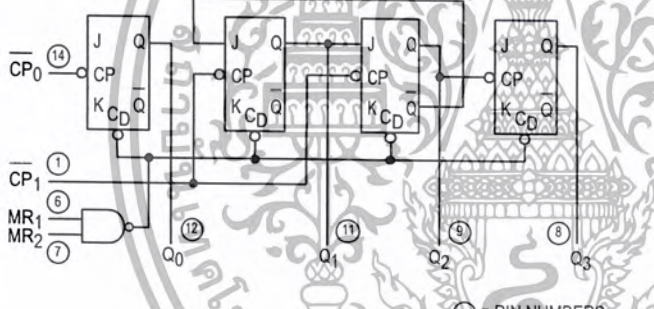


NC = NO INTERNAL CONNECTION

NOTE:
The Flatpak version has the same pinouts (Connection Diagram) as the Dual In-Line Package.

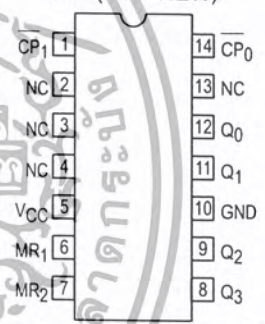
LOGIC DIAGRAM

LS92



○ = PIN NUMBERS
V_{CC} = PIN 5
GND = PIN 10

CONNECTION DIAGRAM
DIP (TOP VIEW)

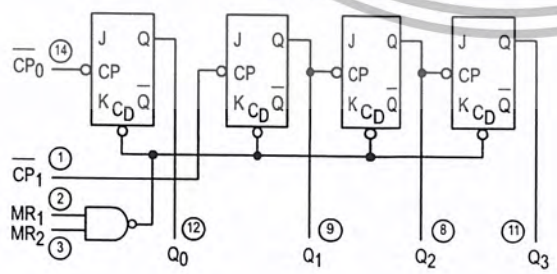


NC = NO INTERNAL CONNECTION

NOTE:
The Flatpak version has the same pinouts (Connection Diagram) as the Dual In-Line Package.

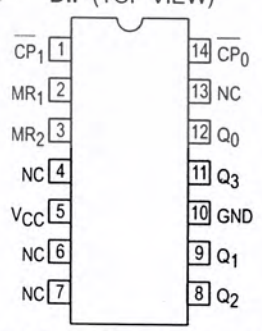
LOGIC DIAGRAM

LS93



○ = PIN NUMBERS
V_{CC} = PIN 5
GND = PIN 10

CONNECTION DIAGRAM
DIP (TOP VIEW)



NC = NO INTERNAL CONNECTION

NOTE:
The Flatpak version has the same pinouts (Connection Diagram) as the Dual In-Line Package.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FUNCTIONAL DESCRIPTION

The LS90, LS92, and LS93 are 4-bit ripple type Decade, Divide-By-Twelve, and Binary Counters respectively. Each device consists of four master/slave flip-flops which are internally connected to provide a divide-by-two section and a divide-by-five (LS90), divide-by-six (LS92), or divide-by-eight (LS93) section. Each section has a separate clock input which initiates state changes of the counter on the HIGH-to-LOW clock transition. State changes of the Q outputs do not occur simultaneously because of internal ripple delays. Therefore, decoded output signals are subject to decoding spikes and should not be used for clocks or strobes. The Q_0 output of each device is designed and specified to drive the rated fan-out plus the CP_1 input of the device.

A gated AND asynchronous Master Reset ($MR_1 \bullet MR_2$) is provided on all counters which overrides and clocks and resets (clears) all the flip-flops. A gated AND asynchronous Master Set ($MS_1 \bullet MS_2$) is provided on the LS90 which overrides the clocks and the MR inputs and sets the outputs to nine (HLLH).

Since the output from the divide-by-two section is not internally connected to the succeeding stages, the devices may be operated in various counting modes.

LS90

A. BCD Decade (8421) Counter — The $\overline{CP_1}$ input must be externally connected to the Q_0 output. The CP_0 input receives the incoming count and a BCD count sequence is produced.

B. Symmetrical Bi-quinary Divide-By-Ten Counter — The Q_3 output must be externally connected to the CP_0 input. The input count is then applied to the CP_1 input and a divide-by-ten square wave is obtained at output Q_0.

C. Divide-By-Two and Divide-By-Five Counter — No external interconnections are required. The first flip-flop is used as a binary element for the divide-by-two function (CP_0 as the input and Q_0 as the output). The CP_1 input is used to obtain binary divide-by-five operation at the Q_3 output.

LS92

A. Modulo 12, Divide-By-Twelve Counter — The $\overline{CP_1}$ input must be externally connected to the Q_0 output. The CP_0 input receives the incoming count and Q_3 produces a symmetrical divide-by-twelve square wave output.

B. Divide-By-Two and Divide-By-Six Counter —No external interconnections are required. The first flip-flop is used as a binary element for the divide-by-two function. The CP_1 input is used to obtain divide-by-three operation at the Q_1 and Q_2 outputs and divide-by-six operation at the Q_3 output.

LS93

A. 4-Bit Ripple Counter — The output Q_0 must be externally connected to input CP_1. The input count pulses are applied to input CP_0. Simultaneous divisions of 2, 4, 8, and 16 are performed at the Q_0, Q_1, Q_2, and Q_3 outputs as shown in the truth table.

B. 3-Bit Ripple Counter — The input count pulses are applied to input CP_1. Simultaneous frequency divisions of 2, 4, and 8 are available at the Q_1, Q_2, and Q_3 outputs. Independent use of the first flip-flop is available if the reset function coincides with reset of the 3-bit ripple-through counter.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

LS90 MODE SELECTION

RESET/SET INPUTS				OUTPUTS			
MR_1	MR_2	MS_1	MS_2	Q_0	Q_1	Q_2	Q_3
H	H	L	X	L	L	L	L
H	H	X	L	L	L	L	L
X	X	H	H	H	L	L	H
L	X	L	X	Count			
X	L	X	L	Count			
L	X	X	L	Count			
X	L	L	X	Count			

H = HIGH Voltage Level
L = LOW Voltage Level
X = Don't Care

LS92 AND LS93 MODE SELECTION

RESET INPUTS		OUTPUTS			
MR_1	MR_2	Q_0	Q_1	Q_2	Q_3
H	H	L	L	L	L
L	H	Count			
H	L	Count			
L	L	Count			

H = HIGH Voltage Level
L = LOW Voltage Level
X = Don't Care

LS90 BCD COUNT SEQUENCE

COUNT	OUTPUT			
	Q_0	Q_1	Q_2	Q_3
0	L	L	L	L
1	H	L	L	L
2	L	H	L	L
3	H	H	L	L
4	L	L	H	L
5	H	L	H	L
6	L	H	H	L
7	H	H	H	L
8	L	L	L	H
9	H	L	L	H

NOTE: Output Q_0 is connected to Input CP_1 for BCD count.

LS92 TRUTH TABLE

COUNT	OUTPUT			
	Q_0	Q_1	Q_2	Q_3
0	L	L	L	L
1	H	L	L	L
2	L	H	L	L
3	H	H	L	L
4	L	L	H	L
5	H	L	H	L
6	L	H	H	L
7	H	H	H	L
8	L	L	L	H
9	H	L	L	H
10	L	L	H	H
11	H	L	H	H

NOTE: Output Q_0 is connected to Input CP_1.

LS93 TRUTH TABLE

COUNT	OUTPUT			
	Q_0	Q_1	Q_2	Q_3
0	L	L	L	L
1	H	L	L	L
2	L	H	L	L
3	H	H	L	L
4	L	L	H	L
5	H	L	H	L
6	L	H	H	L
7	H	H	H	L
8	L	L	L	H
9	H	L	L	H
10	L	H	L	H
11	H	H	L	H
12	L	L	H	H
13	H	L	H	H
14	L	H	H	H
15	H	H	H	H

NOTE: Output Q_0 is connected to Input CP_1.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

GUARANTEED OPERATING RANGES

Symbol	Parameter		Min	Typ	Max	Unit
V_{CC}	Supply Voltage	54 74	4.5 4.75	5.0 5.0	5.5 5.25	V
T_A	Operating Ambient Temperature Range	54 74	−55 0	25 25	125 70	°C
I_{OH}	Output Current — High	54, 74			−0.4	mA
I_{OL}	Output Current — Low	54 74			4.0 8.0	mA

DC CHARACTERISTICS OVER OPERATING TEMPERATURE RANGE (unless otherwise specified)

Symbol	Parameter		Limits Min	Typ	Max	Unit	Test Conditions	
V_{IH}	Input HIGH Voltage		2.0			V	Guaranteed Input HIGH Voltage for All Inputs	
V_{IL}	Input LOW Voltage	54			0.7	V	Guaranteed Input LOW Voltage for All Inputs	
		74			0.8			
V_{IK}	Input Clamp Diode Voltage			−0.65	−1.5	V	V_{CC} = MIN, I_{IN} = −18 mA	
V_{OH}	Output HIGH Voltage	54	2.5	3.5		V	V_{CC} = MIN, I_{OH} = MAX, V_{IN} = V_{IH} or V_{IL} per Truth Table	
		74	2.7	3.5		V		
V_{OL}	Output LOW Voltage	54, 74		0.25	0.4	V	I_{OL} = 4.0 mA	V_{CC} = V_{CC} MIN, V_{IN} = V_{IL} or V_{IH} per Truth Table
		74		0.35	0.5	V	I_{OL} = 8.0 mA	
I_{IH}	Input HIGH Current				20	μA	V_{CC} = MAX, V_{IN} = 2.7 V	
					0.1	mA	V_{CC} = MAX, V_{IN} = 7.0 V	
I_{IL}	Input LOW Current MS, MR $\overline{CP_0}$ $\overline{CP_1}$ (LS90, LS92) CP_1 (LS93)				−0.4 −2.4 −3.2 −1.6	mA	V_{CC} = MAX, V_{IN} = 0.4 V	
I_{OS}	Short Circuit Current (Note 1)		−20		−100	mA	V_{CC} = MAX	
I_{CC}	Power Supply Current				15	mA	V_{CC} = MAX	

Note 1: Not more than one output should be shorted at a time, nor for more than 1 second.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC CHARACTERISTICS (T_A = 25°C, V_{CC} = 5.0 V, C_L = 15 pF)

Symbol	Parameter	Limits									Unit
		LS90			LS92			LS93			
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
f_{MAX}	$\overline{CP_0}$ Input Clock Frequency	32			32			32			MHz
f_{MAX}	$\overline{CP_1}$ Input Clock Frequency	16			16			16			MHz
t_{PLH} t_{PHL}	Propagation Delay, $\overline{CP_0}$ Input to Q_0 Output		10 12	16 18		10 12	16 18		10 12	16 18	ns
t_{PLH} t_{PHL}	$\overline{CP_0}$ Input to Q_3 Output		32 34	48 50		32 34	48 50		46 46	70 70	ns
t_{PLH} t_{PHL}	$\overline{CP_1}$ Input to Q_1 Output		10 14	16 21		10 14	16 21		10 14	16 21	ns
t_{PLH} t_{PHL}	$\overline{CP_1}$ Input to Q_2 Output		21 23	32 35		10 14	16 21		21 23	32 35	ns
t_{PLH} t_{PHL}	$\overline{CP_1}$ Input to Q_3 Output		21 23	32 35		21 23	32 35		34 34	51 51	ns
t_{PLH}	MS Input to Q_0 and Q_3 Outputs		20	30							ns
t_{PHL}	MS Input to Q_1 and Q_2 Outputs		26	40							ns
t_{PHL}	MR Input to Any Output		26	40		26	40		26	40	ns

AC SETUP REQUIREMENTS (T_A = 25°C, V_{CC} = 5.0 V)

Symbol	Parameter	Limits						Unit
		LS90		LS92		LS93		
		Min	Max	Min	Max	Min	Max	
t_W	$\overline{CP_0}$ Pulse Width	15		15		15		ns
t_W	$\overline{CP_1}$ Pulse Width	30		30		30		ns
t_W	MS Pulse Width	15						ns
t_W	MR Pulse Width	15		15		15		ns
t_{rec}	Recovery Time MR to $\overline{CP}$	25		25		25		ns

RECOVERY TIME (t_{rec}) is defined as the minimum time required between the end of the reset pulse and the clock transition from HIGH-to-LOW in order to recognize and transfer HIGH data to the Q outputs

AC WAVEFORMS

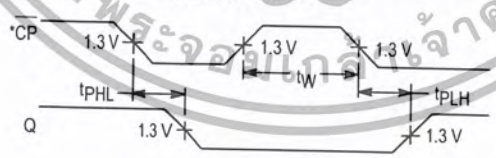


Figure 1

*The number of Clock Pulses required between the t_{PHL} and t_{PLH} measurements can be determined from the appropriate Truth Tables.

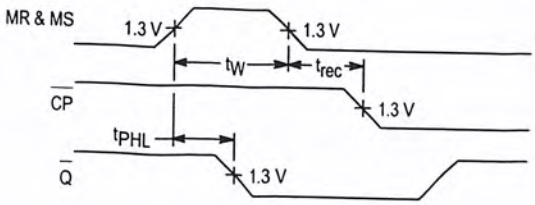


Figure 2

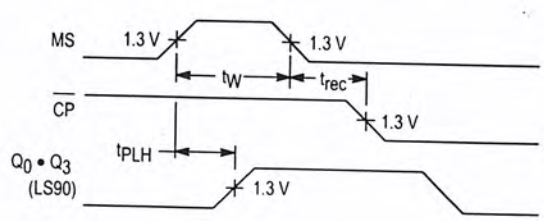


Figure 3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DATA SHEET

For a complete data sheet, please also download:

- The IC06 74HC/HCT/HCU/HCMOS Logic Family Specifications
- The IC06 74HC/HCT/HCU/HCMOS Logic Package Information
- The IC06 74HC/HCT/HCU/HCMOS Logic Package Outlines

74HC/HCT165
8-bit parallel-in/serial-out shift register

Product specification
File under Integrated Circuits, IC06

December 1990

Philips Semiconductors

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

8-bit parallel-in/serial-out shift register | 74HC/HCT165

FEATURES

- Asynchronous 8-bit parallel load
- Synchronous serial input
- Output capability: standard
- I_{CC} category: MSI

GENERAL DESCRIPTION

The 74HC/HCT165 are high-speed Si-gate CMOS devices and are pin compatible with low power Schottky TTL (LSTTL). They are specified in compliance with JEDEC standard no. 7A.

The 74HC/HCT165 are 8-bit parallel-load or serial-in shift registers with complementary serial outputs (Q_7 and $\overline{Q_7}$) available from the last stage. When the parallel load ($\overline{PL}$) input is LOW, parallel data from the D_0 to D_7 inputs are loaded into the register asynchronously.

When $\overline{PL}$ is HIGH, data enters the register serially at the D_S input and shifts one place to the right ($Q_0 \rightarrow Q_1 \rightarrow Q_2$, etc.) with each positive-going clock transition. This feature allows parallel-to-serial converter expansion by tying the Q_7 output to the D_S input of the succeeding stage.

The clock input is a gated-OR structure which allows one input to be used as an active LOW clock enable ($\overline{CE}$) input. The pin assignment for the CP and $\overline{CE}$ inputs is arbitrary and can be reversed for layout convenience. The LOW-to-HIGH transition of input $\overline{CE}$ should only take place while CP HIGH for predictable operation. Either the CP or the $\overline{CE}$ should be HIGH before the LOW-to-HIGH transition of $\overline{PL}$ to prevent shifting the data when $\overline{PL}$ is activated.

APPLICATIONS

- Parallel-to-serial data conversion

QUICK REFERENCE DATA

GND = 0 V; T_{amb} = 25 °C; $t_r = t_f$ = 6 ns

SYMBOL	PARAMETER	CONDITIONS	TYPICAL		UNIT
			HC	HCT	
t_{PHL}/ t_{PLH}	propagation delay CP to Q_7, $\overline{Q_7}$ $\overline{PL}$ to Q_7, $\overline{Q_7}$ D_7 to Q_7, $\overline{Q_7}$	C_L = 15 pF; V_{CC} = 5 V	 16 15 11	 14 17 11	 ns ns ns
f_{max}	maximum clock frequency		56	48	MHz
C_I	input capacitance		3.5	3.5	pF
C_{PD}	power dissipation capacitance per package	notes 1 and 2	35	35	pF

Notes

1. C_{PD} is used to determine the dynamic power dissipation (P_D in μW):

   $P_D = C_{PD} \times V_{CC}^2 \times f_i + \Sigma (C_L \times V_{CC}^2 \times f_o)$ where:

   f_i = input frequency in MHz

   f_o = output frequency in MHz

   $\Sigma (C_L \times V_{CC}^2 \times f_o)$ = sum of outputs

   C_L = output load capacitance in pF

   V_{CC} = supply voltage in V

2. For HC the condition is V_I = GND to V_{CC}
   For HCT the condition is V_I = GND to V_{CC} – 1.5 V

ORDERING INFORMATION

See *"74HC/HCT/HCU/HCMOS Logic Package Information"*.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PIN DESCRIPTION

PIN NO.	SYMBOL	NAME AND FUNCTION
1	$\overline{PL}$	asynchronous parallel load input (active LOW)
7	$\overline{Q}_7$	complementary output from the last stage
9	Q_7	serial output from the last stage
2	CP	clock input (LOW-to-HIGH edge-triggered)
8	GND	ground (0 V)
10	D_s	serial data input
11, 12, 13, 14, 3, 4, 5, 6	D_0 to D_7	parallel data inputs
15	$\overline{CE}$	clock enable input (active LOW)
16	V_{CC}	positive supply voltage

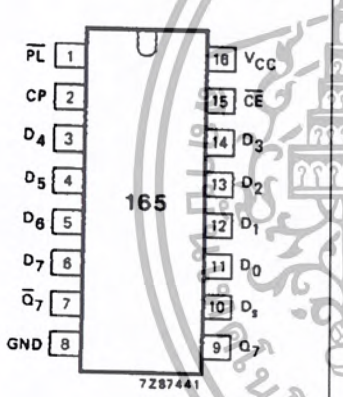


Fig.1 Pin configuration.

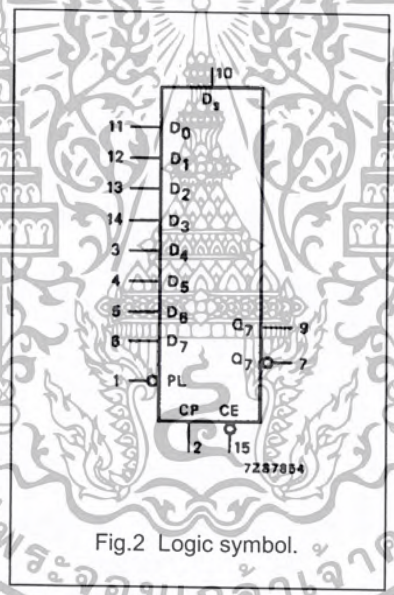


Fig.2 Logic symbol.

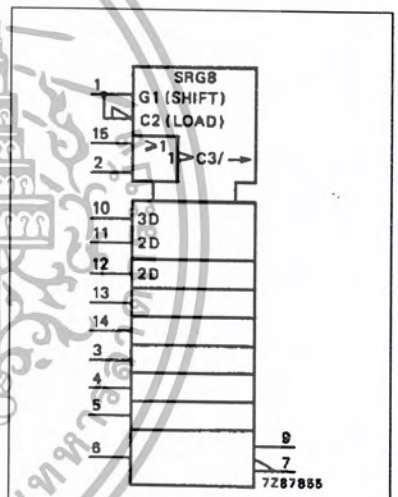


Fig.3 IEC logic symbol.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

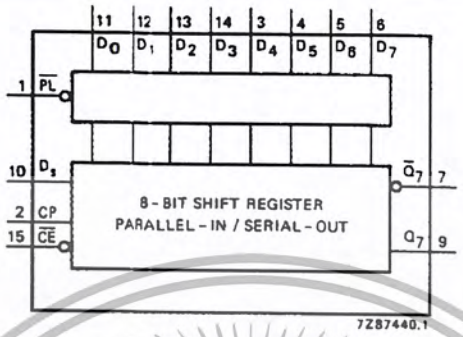


Fig.4 Functional diagram.

FUNCTION TABLE

OPERATING MODES	INPUTS					Q_n REGISTERS		OUTPUTS	
	$\overline{PL}$	$\overline{CE}$	CP	D_S	D_0-D_7	Q_0	Q_1-Q_6	Q_7	$\overline{Q}_7$
parallel load	L	X	X	X	L	L	L - L	L	H
	L	X	X	X	H	H	H - H	H	L
serial shift	H	L	↑	l	X	L	q_0-q_5	q_6	$\overline{q}_6$
	H	L	↑	h	X	H	q_0-q_5	q_6	q_6
hold "do nothing"	H	H	X	X	X	q_0	q_1-q_6	q_7	q_7

Note

1. H = HIGH voltage level
   h = HIGH voltage level one set-up time prior to the LOW-to-HIGH clock transition
   L = LOW voltage level
   l = LOW voltage level one set-up time prior to the LOW-to-HIGH clock transition
   q = lower case letters indicate the state of the referenced output one set-up time prior to the LOW-to-HIGH clock transition
   X = don't care
   ↑ = LOW-to-HIGH clock transition

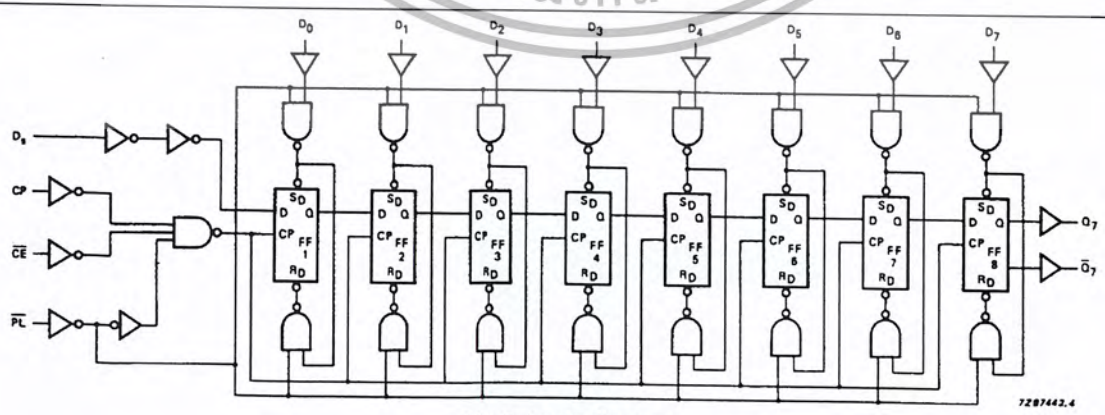


Fig.5 Logic diagram.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DC CHARACTERISTICS FOR 74HC

For the DC characteristics see *"74HC/HCT/HCU/HCMOS Logic Family Specifications"*.

Output capability: standard
I_{CC} category: MSI

AC CHARACTERISTICS FOR HC

GND = 0 V; $t_r = t_f$ = 6 ns; C_L = 50 pF

SYMBOL	PARAMETER	T_{amb} (°C)							UNIT	TEST CONDITIONS	
		74HC								V_{CC} (V)	WAVEFORMS
		+25			−40 to +85		−40 to +125				
		min.	typ.	max.	min.	max.	min.	max.			
t_{PHL}/t_{PLH}	propagation delay $\overline{CE}$, CP to Q_7, $\overline{Q}_7$		52 19 15	165 33 28		205 41 35		250 50 43	ns	2.0 4.5 6.0	Fig.6
t_{PHL}/t_{PLH}	propagation delay $\overline{PL}$ to Q_7, $\overline{Q}_7$		50 18 14	165 33 28		205 41 35		250 50 43	ns	2.0 4.5 6.0	Fig.6
t_{PHL}/t_{PLH}	propagation delay D_7 to Q_7, $\overline{Q}_7$		36 13 10	120 24 20		150 30 26		180 36 31	ns	2.0 4.5 6.0	Fig.6
t_{THL}/t_{TLH}	output transition time		19 7 6	75 15 13		95 19 16		110 22 19	ns	2.0 4.5 6.0	Fig.6
t_W	clock pulse width HIGH or LOW	80 16 14	17 6 5		100 20 17		120 24 20		ns	2.0 4.5 6.0	Fig.6
t_W	parallel load pulse width; LOW	80 16 14	14 5 4		100 20 17		120 24 20		ns	2.0 4.5 6.0	Fig.6
t_{rem}	removal time $\overline{PL}$ to CP, $\overline{CE}$	100 20 17	22 8 6		125 25 21		150 30 26		ns	2.0 4.5 6.0	Fig.6
t_{su}	set-up time D_s to CP, $\overline{CE}$	80 16 14	11 4 3		100 20 17		120 24 20		ns	2.0 4.5 6.0	Fig.6
t_{su}	set-up time $\overline{CE}$ to CP; CP to $\overline{CE}$	80 16 14	17 6 5		100 20 17		120 24 20		ns	2.0 4.5 6.0	Fig.6
t_{su}	set-up time D_n to $\overline{PL}$	80 16 14	22 8 6		100 20 17		120 24 20		ns	2.0 4.5 6.0	Fig.6

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SYMBOL	PARAMETER	T_{amb} (°C)							UNIT	TEST CONDITIONS	
		74HC								V_{CC} (V)	WAVEFORMS
		+25			−40 to +85		−40 to +125				
		min.	typ.	max.	min.	max.	min.	max.			
t_h	hold time D_s to CP, $\overline{CE}$ D_n to $\overline{PL}$	5 5 5	6 2 2		5 5 5		5 5 5		ns	2.0 4.5 6.0	Fig.6
t_h	hold time $\overline{CE}$ to CP CP to $\overline{CE}$	5 5 5	−17 −6 −5		5 5 5		5 5 5		ns	2.0 4.5 6.0	Fig.6
f_{max}	maximum clock pulse frequency	6 30 35	17 51 61		5 24 28		4 20 24		MHz	2.0 4.5 6.0	Fig.6

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DC CHARACTERISTICS FOR 74HCT

For the DC characteristics see *"74HC/HCT/HCU/HCMOS Logic Family Specifications"*.

Output capability: standard
I_{CC} category: MSI

Note to HCT types

The value of additional quiescent supply current (ΔI_{CC}) for a unit load of 1 is given in the family specifications. To determine ΔI_{CC} per input, multiply this value by the unit load coefficient shown in the table below.

INPUT	UNIT LOAD COEFFICIENT
D_n	0.35
D_s	0.35
CP	0.65
$\overline{CE}$	0.65
$\overline{PL}$	0.65

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

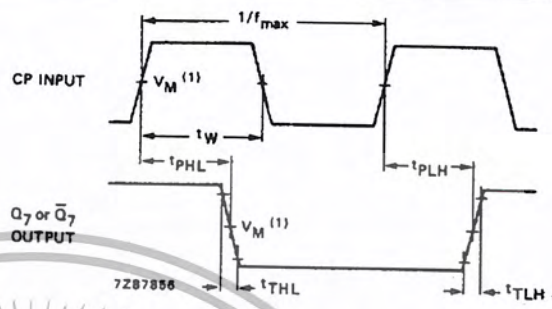
AC CHARACTERISTICS FOR 74HCT

GND = 0 V; $t_r = t_f$ = 6 ns; C_L = 50 pF

SYMBOL	PARAMETER	T_{amb} (°C)							UNIT	TEST CONDITIONS	
		74HCT								V_{CC} (V)	WAVEFORMS
		+25			−40 to +85		−40 to +125				
		min.	typ.	max.	min.	max.	min.	max.			
t_{PHL}/ t_{PLH}	propagation delay $\overline{CE}$, CP to Q_7, $\overline{Q_7}$		17	34		43		51	ns	4.5	Fig.6
t_{PHL}/ t_{PLH}	propagation delay $\overline{PL}$ to Q_7, $\overline{Q_7}$		20	40		50		60	ns	4.5	Fig.6
t_{PHL}/ t_{PLH}	propagation delay D_7 to Q_7, $\overline{Q_7}$		14	28		35		42	ns	4.5	Fig.6
t_{THL}/ t_{TLH}	output transition time		7	15		19		22	ns	4.5	Fig.6
t_W	clock pulse width HIGH or LOW	16	6		20		24		ns	4.5	Fig.6
t_W	parallel load pulse width; LOW	20	9		25		30		ns	4.5	Fig.6
t_{rem}	removal time $\overline{PL}$ to CP, $\overline{CE}$	20	8		25		30		ns	4.5	Fig.6
t_{su}	set-up time D_s to CP, $\overline{CE}$	20	2		25		30		ns	4.5	Fig.6
t_{su}	set-up time $\overline{CE}$ to CP; CP to $\overline{CE}$	20	7		25		30		ns	4.5	Fig.6
t_{su}	set-up time D_n to $\overline{PL}$	20	10		25		30		ns	4.5	Fig.6
t_h	hold time D_s to CP, $\overline{CE}$; D_n to $\overline{PL}$	7	−1		9		11		ns	4.5	Fig.6
t_h	hold time $\overline{CE}$ to CP, CP to $\overline{CE}$	0	−7		0		0		ns	4.5	Fig.6
f_{max}	maximum clock pulse frequency	26	44		21		17		MHz	4.5	Fig.6

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

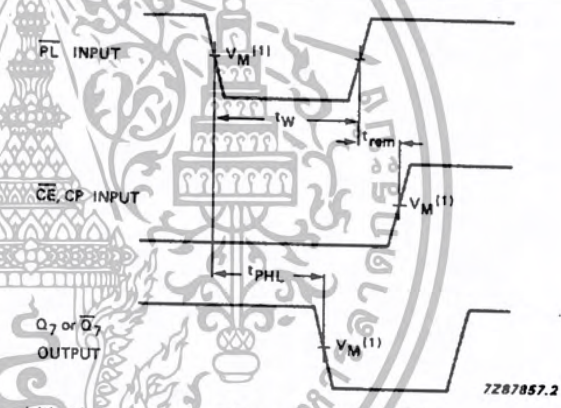
AC WAVEFORMS



The changing to output assumes internal Q_6 opposite state from Q_7.

(1) HC : V_M = 50%; V_I = GND to V_{CC}.
HCT: V_M = 1.3 V; V_I = GND to 3 V.

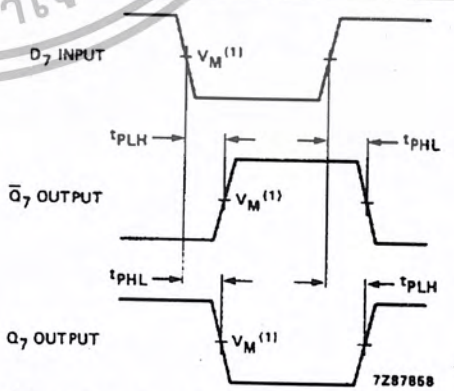
Fig.6 Waveforms showing the clock (CP) to output (Q_7 or $\overline{Q}_7$) propagation delays, the clock pulse width, the output transition times and the maximum clock frequency.



The changing to output assumes internal Q_6 opposite state from Q_7.

(1) HC : V_M = 50%; V_I = GND to V_{CC}.
HCT: V_M = 1.3 V; V_I = GND to 3 V.

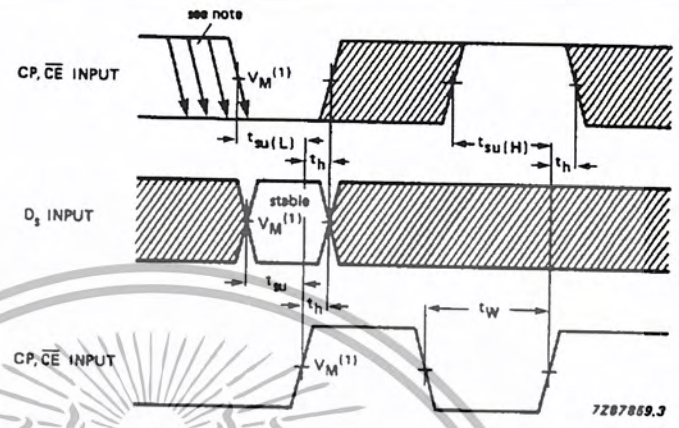
Fig.7 Waveforms showing the parallel load ($\overline{PL}$) pulse width, the parallel load to output (Q_7 or $\overline{Q}_7$) propagation delays, the parallel load to clock (CP) and clock enable ($\overline{CE}$) removal time.



(1) HC : V_M = 50%; V_I = GND to V_{CC}.
HCT: V_M = 1.3 V; V_I = GND to 3 V.

Fig.8 Waveforms showing the data input (D_n) to output (Q_7 or $\overline{Q}_7$) propagation delays when $\overline{PL}$ is LOW.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

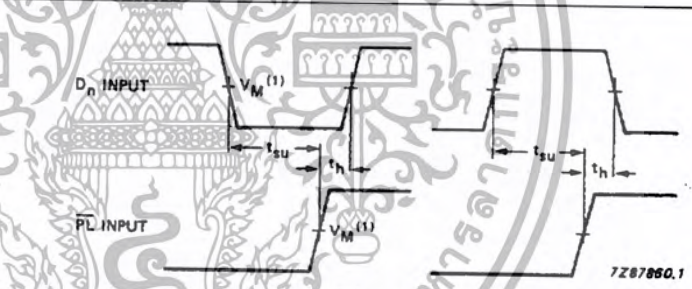


$\overline{CE}$ may change only from HIGH-to-LOW while CP is LOW.

The shaded areas indicate when the input is permitted to change for predictable output performance.

(1) HC : V_M = 50%; V_I = GND to V_{CC}.
HCT: V_M = 1.3 V; V_I = GND to 3 V.

Fig.9 Waveforms showing the set-up and hold times from the serial data input (D_s) to the clock (CP) and clock enable ($\overline{CE}$) inputs, from the clock enable input ($\overline{CE}$) to the clock input (CP) and from the clock input (CP) to the clock enable input ($\overline{CE}$).



(1) HC : V_M = 50%; V_I = GND to V_{CC}.
HCT: V_M = 1.3 V; V_I = GND to 3 V.

Fig.10 Waveforms showing the set-up and hold times from the data inputs (D_n) to the parallel load input ($\overline{PL}$).

PACKAGE OUTLINES

See *"74HC/HCT/HCU/HCMOS Logic Package Outlines"*.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้