สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

ระบบปรับปรุงเพาเวอร์แฟคเตอร์ชนิดเฟสเดียว

SINGLE PHASE ACTIVE POWER FILTER

T055678

โดย

นาย จิรวัฒน์ ศรีอิสระ

นาย บุญทวิช จันทร์อินทร์

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของหลักสูตรปริญญาวิศวกรรมศาสตร์บัณฑิต

สาขาวิศวกรรมระบบควบคุม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2546

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เลขที่หมู่.....
เลขทะเบียน 55678
วัน,เดือน,ปี 24 พ.ค. 2548

b.....
i.....

ระบบปรับปรุงเพาเวอร์แฟคเตอร์ชนิดเฟสเดียว

SINGLE PHASE ACTIVE POWER FILTER

โดย

นาย จิรวัฒน์ ศรีอิสระ 43010065

นาย บุญทวิช จันทร์อินทร์ 43010230

อาจารย์ที่ปรึกษา

ดร. นนทวัฒน์ จุลเดชะ

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของหลักสูตรปริญญาวิศวกรรมศาสตร์บัณฑิต

สาขาวิศวกรรมระบบควบคุม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2546

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ปีการศึกษา 2546

ภาควิศวกรรมระบบควบคุม

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง ระบบปรับปรุงเพาเวอร์แฟคเตอร์ชนิดเฟสเดียว

SINGLE PHASE ACTIVE POWER FILTER

จัดทำโดย

นาย จิรวัฒน์ ศรีอิสระ 43010065

นาย บุญทวิช จันทร์อินทร์ 43010230

..... อาจารย์ที่ปรึกษา

(ดร. นนทวัฒน์ จุลเดชะ)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ระบบปรับปรุงเพาเวอร์แฟคเตอร์ชนิดเฟสเดียว

นาย จิรวัฒน์ ศรีอิสระ
นาย บุญทวิช จันทร์อินทร์
ดร. นนทวัฒน์ จุลเดชะ อาจารย์ที่ปรึกษา
ปีการศึกษา 2546

บทคัดย่อ

ในวิทยานิพนธ์ฉบับนี้ เรียบเรียงขึ้นโดยมีวัตถุประสงค์เพื่อที่จะทำให้ระบบไฟฟ้าที่การไฟฟ้าจ่ายให้กับโหลดมีคุณภาพที่ดีขึ้น กล่าวคือทำให้ค่าเพาเวอร์แฟคเตอร์ใกล้เคียงกับ 1 โดยเราจะทำการสร้างสัญญาณฮาร์โมนิกส์ที่แหล่งจ่ายจ่ายให้กับโหลดจริงมาเป็นสัญญาณต้นแบบเพื่อใช้ในการอ้างอิง จากนั้นจะทำการสร้างอุปกรณ์ที่สามารถจ่ายสัญญาณฮาร์โมนิกส์ให้กับโหลดให้เหมือนกับสัญญาณต้นแบบที่เราสร้างขึ้นไว้ให้มากที่สุด เพื่อทำให้เสมือนว่าแหล่งจ่ายที่การไฟฟ้าจ่ายมาให้จะทำหน้าที่จ่ายสัญญาณกระแสที่เป็นฟันคาแมนทอลอย่างเดียว และอุปกรณ์ที่เราสร้างขึ้นจะทำหน้าที่จ่ายสัญญาณกระแสฮาโมนิกส์แทน โดยที่เครื่องมือนี้สร้างขึ้นเพื่อสอดคล้องกับปัญหาที่เกิดขึ้นในปัจจุบันและมีความต้องการที่จะนำมาใช้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SINGLE PHASE ACTIVE POWER FILTER

Jirawat Sriisara

Boontawit Chanin

Dr. Nontawat Chuladaycha Advisor

2003

Abstract

This thesis wrote for make the power system at the power board to send the better quality current to the load. Namely , by make the power factor is nearly to one by use the harmonic signal at the power supply send to the load which come to the model signal to use in the reference . After that , to build the equipment which can send the harmonic signal to the load like the most of the model signal tomake like the power supply at the power board was send which function to send only the current signal(Fundamental). And the equipment that we want to build will function to send instead the harmonic current . This instrument was build to associate with the problem in the nowadays and the requirement.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

หัวข้อเรื่อง	หน้า
บทที่ 1 บทนำ	1
บทที่ 2 หลักการแอคทีฟฟิลเตอร์ (Active Filter)	2
2.1. ภาควงจรสร้างกระแสชดเชยอ้างอิง (Reference Compensation Circuit)	6
2.1.1. วงจรคูณ (Multiplier Circuit)	7
2.1.2. วงจรสร้างสัญญาณอ้างอิง (Reference Signal Generator Circuit)	7
2.1.3. วงจรอินทิเกรเตอร์ (Intergrator Circuit)	7
2.1.4.วงจรผลต่าง (Difference Circuit)	8
2.2. ภาควงจรเซนเซอร์ (Sensor Circuit)	8
2.2.1.หลักการทำงานของวงจรเซนเซอร์	8
2.2.2. ปัญหาของ ฮอลล์เอฟเฟคท์	9
2.2.3.วงจรปรับออฟเซตและเกน (Offset and Gain Adjust Circuit)	10
2.2.3.1. วงจรปรับออฟเซต (Offset Adjust Circuit)	10
2.2.3.2. วงจรปรับเกน (Gain Adjust Circuit)	10
2.3. ภาควงจรคอน โทรลเคอเรนท์ (Control Current Circuit)	11
2.4. ภาควงจรเพาเวอร์ (Power Circuit)	11
2.4.1. วงจรหน่วงเวลา (Delay Time)	13
2.4.2. วงจรขับ โวลท์เตจและแยกกราวน์	14
บทที่ 3 การคำนวณและการสร้าง	17
3.1. โหลดที่ไม่เป็นเชิงเส้น (Nonlinear Load)	17
3.1.1. ขั้นตอนการออกแบบ	18
3.1.2. อุปกรณ์ที่ต้องใช้คือ	20
3.2. ภาควงจรเซนเซอร์ (Sensor Circuit)	20
3.2.1. หลักการใช้งานของฮอลล์เอฟเฟคท์	21
3.2.2. ขั้นตอนการออกแบบ	21
3.3. ภาควงจรเพาเวอร์ (Power Circuit)	23
3.3.1. วงจรหน่วงเวลา (Delay time circuit)	23
3.3.1.1. วงจรสร้างสัญญาณนาฬิกา	23

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ (ต่อ)

3.3.1.2. ตัวหน่วงเวลา 25

3.3.2. วงจรขับโวลท์เตจและแยกกราวน์ 26

3.3.2.1. ขั้นตอนการออกแบบ 27

3.3.2.2. อุปกรณ์ที่ต้องใช้ 27

3.3.3. วงจรบริจด์คอนเวอร์ทเตอร์ (Bridge Convertor) 28

3.3.3.1. ขั้นตอนการออกแบบ 28

3.3.3.2. อุปกรณ์ที่ต้องใช้คือ 29

3.4. วงจรสร้างกระแสชดเชยอ้างอิง (Reference Compensation Current Circuit) 29

3.4.1. วงจรคูณ (Mulliplier Circuit) 29

3.4.1.1. ขั้นตอนการออกแบบ 30

3.4.1.2. อุปกรณ์ที่ต้องใช้คือ 31

3.4.2. วงจรอินทิเกรเตอร์ (Integrator Circuit) 31

3.4.2.1. ขั้นตอนการออกแบบ 32

3.4.2.2. อุปกรณ์ที่ต้องใช้ 36

3.4.3. วงจรผลต่าง (Difference Circuit) 36

3.4.3.1. ขั้นตอนการออกแบบ 36

3.4.3.2. อุปกรณ์ที่ต้องใช้ 36

3.4.4. วงจรสร้างสัญญาณอ้างอิง (Reference Signal Generator Circuit) 37

3.4.4.1. ขั้นตอนการออกแบบ 37

3.4.4.2. อุปกรณ์ที่ต้องใช้ 38

บทที่ 4 การทดลองและผลการทดลอง 39

4.1. โหลดที่ไม่เป็นเชิงเส้น (Nonlinear Load) 39

4.2. วงจรเซนเซอร์ (Sensor Circuit) 41

4.3. ภาควงจรเพาเวอร์ (Power Circuit) 42

4.3.1. วงจรหน่วงเวลา (Delay Time Circuit) 42

4.3.2. วงจรขับโวลท์เตจและแยกกราวน์ 44

4.4. ภาควงจรสร้างกระแสชดเชยอ้างอิง (Reference Compensation Current Circuit) 46

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ (ต่อ)

4.4.1. วงจรอินทิเกรเตอร์ (Intergrator Circuit) 46

4.4.2. วงจรคูณ (Multiplier Circuit) 49

4.4.3. วงจรผลต่าง (Difference Circuit) 52

บทที่ 5 บทวิจารณ์และสรุป 53

ภาคผนวก

กิตติกรรมประกาศ

หนังสืออ้างอิง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูปภาพ

รูปภาพ	หน้า
รูปที่ 1 แสดงการจ่ายกระแสให้โหลดก่อนติดตั้งแอคทีฟฟิลเตอร์	4
รูปที่ 2 แสดงการจ่ายกระแสให้โหลดหลังติดตั้งแอคทีฟฟิลเตอร์	4
รูปที่ 3 บล็อกไดอะแกรมแสดงหลักการทำงานของแอคทีฟฟิลเตอร์	5
รูปที่ 4 วงจรสร้างกระแสชดเชยอ้างอิง	7
รูปที่ 5 แสดงโครงสร้างพื้นฐานของฮอลล์เอฟเฟคท์	8
รูปที่ 6 แสดงการออฟเซตของฮอลล์เอฟเฟคท์	9
รูปที่ 7 แสดงการใช้วงจรปรับออฟเซตและเกน	10
รูปที่ 8 วงจรปรับออฟเซต	10
รูปที่ 9 วงจรปรับเกน	11
รูปที่ 10 วงจรบริจด์คอนเวอร์ทเตอร์	12
รูปที่ 11 แสดงหลักการของภาควงจรเพาเวอร์	12
รูปที่ 12 วงจรหน่วงเวลา	13
รูปที่ 13 แผนภูมิเวลาของวงจรหน่วงเวลา	13
รูปที่ 14 วงจรขับโวลท์เตจและแยกกราวน์	14
รูปที่ 15 แผนภูมิเวลาของวงจรขับโวลท์เตจและแยกกราวน์	15
รูปที่ 16 วงจรฟูลบริดจ์เรคทิไฟเออร์	17
รูปที่ 17 แสดงรีเวอร์สโวลท์เตจ (Reverse Voltage) ของไดโอด	18
รูปที่ 18 แสดงสัญญาณแรงดันตกคร่อมตัวเก็บประจุ	19
รูปที่ 19 แสดงโครงสร้างพื้นฐานของฮอลล์เอฟเฟคท์	20
รูปที่ 20 แสดงวงจรลดออฟเซตและปรับค่าเกน	21
รูปที่ 21 แสดงหลักการของภาควงจรเพาเวอร์	23
รูปที่ 22 วงจรหน่วงเวลา	23
รูปที่ 23 วงจรสร้างสัญญาณนาฬิกา	24
รูปที่ 24 แสดงวงจรตัวหน่วงเวลา	25
รูปที่ 25 วงจรขับโวลท์เตจและแยกกราวน์	27
รูปที่ 26 วงจรบริจด์คอนเวอร์ทเตอร์	28
รูปที่ 27 วงจรสร้างกระแสชดเชยอ้างอิง	29

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูปภาพ (ต่อ)

รูปที่ 28 วงจรคูณ 29
รูปที่ 29 แสดงวงจรปรับเกนโดยใช้นอน-อินเวอร์ทติ้งแอมป์ 30
รูปที่ 30 การต่อวงจรปรับเกนเข้ากับวงจรคูณ 31
รูปที่ 31 สัญญาณอินพุทที่ค่าความถี่ต่างๆ 32
รูปที่ 32 อันดับหนึ่ง (First Order) 34
รูปที่ 33 อันดับสอง (Second Order) 34
รูปที่ 34 แสดงวงจรผลต่าง 36
รูปที่ 35 วงจรนอน-อินเวอร์ทติ้งแอมป์ 37
รูปที่ 36 แสดงวงจรสร้างสัญญาณอ้างอิง 38
รูปที่ 37 รูปสัญญาณ Vo ของวงจรบริจด์เร็คติฟลาย 39
รูปที่ 38 รูปสัญญาณ ii ของวงจรบริจด์เร็คติฟลาย 40
รูปที่ 39 รูปสัญญาณ ii ของวงจรบริจด์เร็คติฟลายที่วัดโดยวงจรเซนเซอร์ 41
รูปที่ 40 รูปสัญญาณนาฬิกา 0.5 เมกะเฮิร์ท 42
รูปที่ 41 แสดงผลการหน่วงเวลาของวงจรหน่วงเวลาที่ 8 บิท 43
รูปที่ 42 แสดงผลการหน่วงเวลาของวงจรหน่วงเวลาที่ 4 บิท 43
รูปที่ 43 แสดงสัญญาณอินพุท $Q, \overline{Q}$ จากวงจรหน่วงเวลา 8 บิท 44
รูปที่ 44 แสดงสัญญาณอินพุท $Q, \overline{Q}$ จากวงจรหน่วงเวลา 4 บิท 44
รูปที่ 45 แสดงผลของ Voโดยอินพุท เป็น $Q, \overline{Q}$ ที่ 8 บิท 45
รูปที่ 46 แสดงผลของ Voโดยอินพุท เป็น $Q, \overline{Q}$ ที่ 8 บิท 45
รูปที่ 47 แสดงผลฟูเรียร์ของสัญญาณ Vo เมื่ออินพุทเป็นสัญญาณ 30 เฮิร์ท 46
รูปที่ 48 แสดงผลฟูเรียร์ของสัญญาณ Vo เมื่อเอินพุทป็นสัญญาณ 20 เฮิร์ท 46
รูปที่ 49 แสดงผลฟูเรียร์ของสัญญาณ Vo เมื่ออินพุทเป็นสัญญาณ 15 เฮิร์ท 47
รูปที่ 50 แสดงผลฟูเรียร์ของสัญญาณ Vo เมื่ออินพุทเป็นสัญญาณ 10 เฮิร์ท 47
รูปที่ 51 แสดงผลฟูเรียร์ของสัญญาณ Vo เมื่ออินพุทเป็นสัญญาณ 5 เฮิร์ท 48
รูปที่ 52 ผลของสัญญาณ Vo เมื่ออินพุท V1 = 5 ,V2 = sin (2π (1000)t) 49
รูปที่ 53 ผลการซิมูเลทสัญญาณ Vo เมื่ออินพุทV1 = 3sin(2π(1000)t) ,V2 = 3sin(2π(1000)t) 50
รูปที่ 54 ผลของสัญญาณ Vo เมื่ออินพุท V1 = 3sin(2π(1000)t) ,V2 = 3 sin(2π(1000)t) 50

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูปภาพ (ต่อ)

รูปที่ 55 ผลการซิมูเลทสัญญาณVoเมื่ออินพุทV1=1+sin(2π(1000)t) ,V2=1+sin(2π(1000)t) 51
รูปที่ 56 ผลของสัญญาณ Vo เมื่ออินพุท V1= 1+sin(2π(1000)t) ,V2 = 1+sin(2π (1000)t) 51
รูปที่ 57 ผลของสัญญาณ Vo เมื่ออินพุท V1=6 ,V2= 2sin(2π(1000)t) 52

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

สัญญาณฮาร์โมนิคเป็นปัญหาที่สำคัญในระบบไฟฟ้าในปัจจุบัน เนื่องมาจากอุปกรณ์ที่เป็นโหลดที่ไม่เป็นเชิงเส้น (Nonlinear Load) ที่ใช้งานกันอยู่ เช่น วงจรบริจด์เร็คติฟลายที่มีตัวเก็บประจุต่ออยู่ซึ่งมีประโยชน์มากมาย แต่ก็ก่อให้เกิดปัญหากับระบบไฟฟ้า เนื่องจากโหลดดึงกระแสไม่เป็นไซน์จากแหล่งจ่าย สาเหตุที่กระแสไม่เป็นไซน์ เนื่องจากมีกระแสฮาร์โมนิคเข้ามาด้วยสัญญาณฮาร์โมนิคนี้ก่อเกิดปัญหาในระบบไฟฟ้าหลายอย่าง เช่น ค่าพิกัดกระแสเกิน ค่าเพาเวอร์สูญเสียจากสายส่ง รวมทั้งสัญญาณฮาร์โมนิคยังส่งผลต่อระบบไฟฟ้าใกล้เคียงอีกด้วย ด้วยสาเหตุนี้แอคทีฟฟิลเตอร์ (Active Filter) จึงเป็นแนวทางวิธีหนึ่งที่ใช้แก้ปัญหาฮาร์โมนิคนี้ต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
หลักการแอคทีฟฟิลเตอร์ (Active Filter)

แอคทีฟฟิลเตอร์เป็นอุปกรณ์สำหรับแก้ปัญหาที่เกิดจากระบบไฟฟ้าที่มีสัญญาณฮาร์โมนิคเกิดขึ้น ดังนั้นจะขอกล่าวถึงฮาร์โมนิคกันก่อน

ฮาร์โมนิค (Harmonics) คือ สัญญาณรูปไซน์ที่มีค่าความถี่เป็นจำนวนเต็มเท่าของความถี่หลักมูล เช่น ถ้าความถี่หลักมูลคือ 50 แล้วฮาร์โมนิคที่ 2 และ 3 คือ 100 เฮิร์ท และ150 เฮิร์ท เป็นต้น ซึ่งความถี่หลักมูลเรียกอีกชื่อหนึ่งว่า ฮาร์โมนิคที่ 1 ความผิดเพี้ยนของรูปคลื่นที่ไม่เป็นรูปสัญญาณรูปไซน์โดยปกติมักจะแสดงด้วย ค่าความผิดเพี้ยนของฮาร์โมนิครวม (Total Harmonics Distortion , THD)

เมื่อโหลดชนิดไม่เป็นเชิงเส้นถูกป้อนด้วยแหล่งจ่ายแรงดันไฟฟ้าเป็นรูปสัญญาณรูปไซน์ที่ค่าความถี่หลักมูล ซึ่งไม่มีค่าอิมพีแดนซ์ของแหล่งจ่าย มีผลทำให้รูปคลื่นของกระแสไฟฟ้ามีลักษณะแตกต่างไปจากรูปคลื่นแรงดันไฟฟ้าที่ป้อนให้ กระแสไฟฟ้าที่ไม่เป็นรูปสัญญาณรูปไซน์นี้สร้างแรงดันไฟฟ้าไม่เป็นรูปสัญญาณรูปไซน์ เนื่องจากอิมพีแดนซ์ของระบบที่มีผลกระทบต่ออุปกรณ์ไฟฟ้าในระบบไฟฟ้ากำลัง

กระแสไฟฟ้าฮาร์โมนิค (Harmonics Current) คือ ฮาร์โมนิคที่อยู่ในรูปกระแสไฟฟ้าไลน์ในระบบไฟฟ้าเกิดขึ้นจากอุปกรณ์ที่คุณลักษณะไม่เป็นเชิงเส้น ซึ่งอาจเป็นโหลดหรือแหล่งกำเนิดก็ได้

แรงดันไฟฟ้าฮาร์โมนิค (Harmonics Voltage) เกิดจากมีกระแสไฟฟ้าฮาร์โมนิคไหลผ่านค่ารีแอกแตนซ์ ของสายส่งหรือรีแอกแตนซ์ของตัวเก็บประจุไฟฟ้าที่ต่อขนานเข้าไปในระบบ เพื่อปรับปรุงเพาเวอร์แฟคเตอร์

ค่าความผิดเพี้ยนของฮาร์โมนิครวม (Total Harmonics Distortion , THD)

$$\text{THD} = \frac{I_{rms,harmonics}}{I_{rms,1}} = \sqrt{\frac{\sum_{n=2} I_{rms,n}^2}{I_{rms,1}^2}} = \sqrt{\frac{I_{rms}^2 - I_{rms,1}^2}{I_{rms,1}^2}}$$

$$\text{THD} = \sqrt{\frac{\sum_{n=2} I_{rms,n}^2}{I_{rms,1}^2}} \quad ; \text{ AC signal } (I_o = 0)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ค่าฮาร์โมนิคแฟคเตอร์ (Harmonic Factor, HF)

$$HF = \frac{V_{rms,harmonics}}{V_{rms,1}} = \sqrt{\frac{V_{rms}^2 - V_{rms,1}^2}{V_{rms,1}}}$$

ถ้าสัญญาณมีความเป็นสัญญาณไซน์ ดีที่สุด $V_{rms,harmonics} = 0$

$$HF = \frac{V_{rms,harmonics}}{V_{rms,1}} = 0$$

ปัญหาที่เกิดจากฮาร์โมนิค

1. เกิดค่าสูญเสียที่สายส่ง
2. เกิดค่าสูญเสียที่หม้อแปลง
3. เกิดค่ากระแสเกินพิกัดทำให้ระบบเสียหาย
4. ค่าเพาเวอร์แฟคเตอร์ของระบบต่ำ
5. เสียค่าใช้จ่ายเพิ่มเนื่องจากการใช้สายส่งที่มีพิกัดกระแสสูง

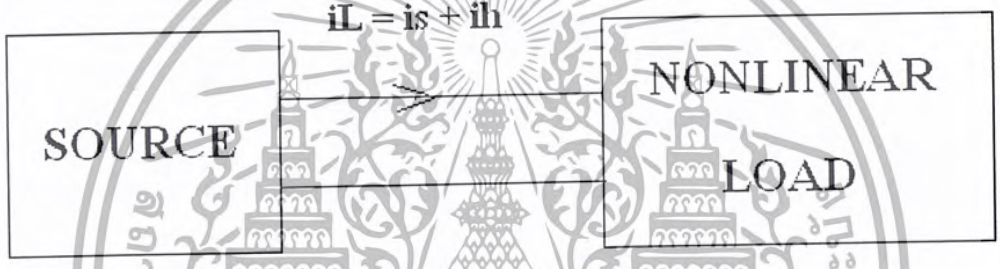
ประโยชน์ของแอคทีฟฟิลเตอร์

1. ลดสัญญาณฮาร์โมนิคจากระบบไฟฟ้าได้ดี
2. ปรับปรุงค่าเพาเวอร์แฟคเตอร์ให้ดีขึ้นได้
3. ลดค่าสูญเสียจากสายส่งและหม้อแปลง
4. ลดค่ากระแสในระบบให้ลดลงได้

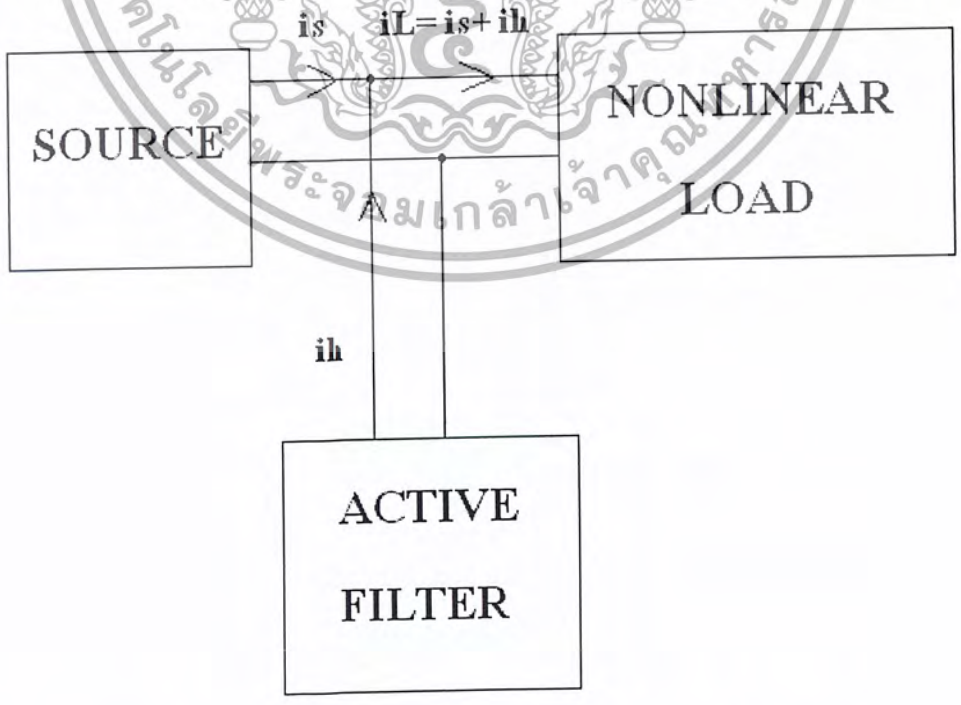
จะเห็นได้ว่าผลเสียที่เกิดจากสัญญาณฮาร์โมนิคมีมากมาย ดังนั้นแอคทีฟฟิลเตอร์จึงถูกนำมาแก้ปัญหาดังกล่าว ต่อไปเราจะมาทำความเข้าใจเกี่ยวกับหลักการของแอคทีฟฟิลเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แอคทีฟฟิลเตอร์ คือ อุปกรณ์ที่ใช้กำจัดสัญญาณฮาร์โมนิคออกจากแหล่งจ่ายไฟฟ้า โดยอาศัยหลักการสร้างกระแสชดเชยให้กับโหลดแทนแหล่งจ่าย เมื่อแหล่งจ่ายจ่ายกระแสให้กับโหลดที่เป็นโหลดที่ไม่เป็นเชิงเส้นโดยตรง กระแสที่จ่ายให้โหลดจะไม่เป็นไซน์ ดังนั้นเมื่อทำการติดตั้งแอคทีฟฟิลเตอร์เข้าไป แอคทีฟฟิลเตอร์ก็จะทำหน้าที่สร้างกระแสฮาร์โมนิคที่ใกล้เคียงกับกระแสฮาร์โมนิคที่เกิดขึ้นจริงในระบบมาจ่ายให้กับโหลดแทนแหล่งจ่าย ดังนั้นกระแสจากแหล่งจ่ายก็จะเสมือนเป็นกระแสฟันดาเมนทอลและกระแสที่โหลดก็คือกระแสจากแหล่งจ่ายที่เป็นฟันดาเมนทอลรวมกับกระแสฮาร์โมนิคจากแอคทีฟฟิลเตอร์ ดังนั้นกระแสฮาร์โมนิคจากเดิมที่ปรากฏอยู่ทางด้านแหล่งจ่ายก็จะหายไปแล้วไปปรากฏที่ด้านโหลดที่ไม่เป็นเชิงเส้นแทน

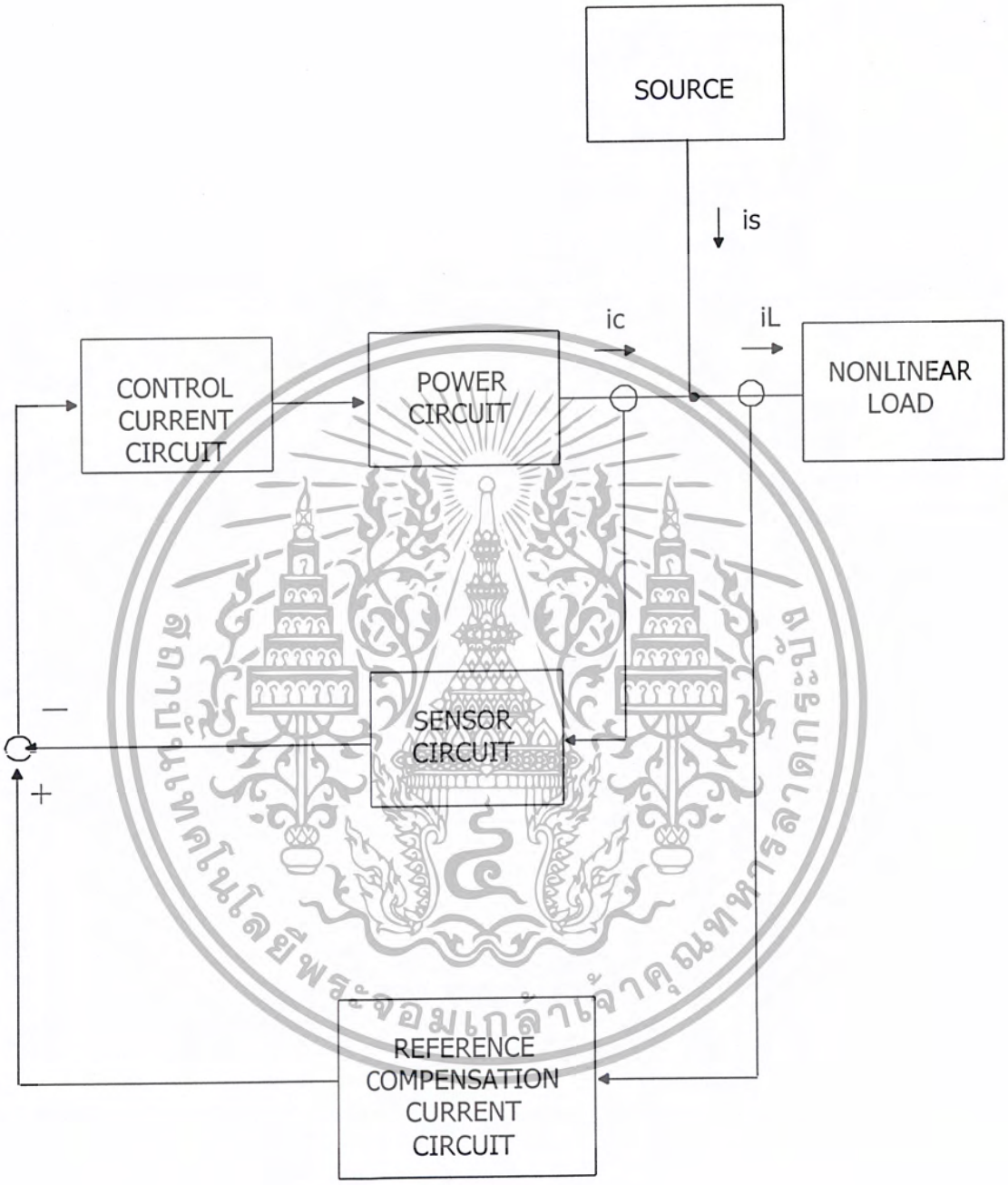


รูปที่ 1 แสดงการจ่ายกระแสให้โหลดก่อนติดตั้งแอคทีฟฟิลเตอร์



รูปที่ 2 แสดงการจ่ายกระแสให้โหลดหลังติดตั้งแอคทีฟฟิลเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3 บล็อกไดอะแกรมแสดงหลักการทำงานของแอคทีฟฟิลเตอร์

จากบล็อกไดอะแกรมเราสามารถแบ่งภาคการทำงานออกเป็น 4 ภาค ดังต่อไปนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.1. ภาควงจรสร้างกระแสชดเชยอ้างอิง (Reference Compensation Circuit)

เป็นส่วนที่ทำหน้าที่สร้างกระแสอ้างอิง ซึ่งกระแสอ้างอิงนี้ ก็คือกระแสฮาร์โมนิคที่เกิดขึ้นจริงในระบบเพื่อจะนำสัญญาณอ้างอิงนี้มาเป็นสัญญาณต้นแบบให้กับแอคทีฟฟิลเตอร์สร้างกระแสฮาร์โมนิคชดเชยให้กับโหลดที่ไม่เป็นเชิงเส้น ตามกระแสอ้างอิงที่เป็นสัญญาณต้นแบบได้

เราสามารถแสดงการออกแบบวงจรสร้างกระแสชดเชยโดยคำนวณหากระแสฮาร์โมนิคที่เกิดขึ้นในระบบ

$$V_S(t) = V_p \ \mathrm{SIN}(\omega t)$$

$$I_L(t) = \sum_{n=1}^{\infty} I_n \ \mathrm{SIN}(n\omega t + \theta_n)$$

$$I_L(t) = I_1 \ \mathrm{SIN}(\omega t + \theta_1) + \sum_{n=2}^{\infty} I_n \ \mathrm{SIN}(n\omega t + \theta_n)$$

$$I_r(t) = \mathrm{SIN}(\omega t)$$

$$I_X = \frac{1}{T}\int_0^T I_L(t) \times I_r(t)\ dt = I_1 \cos\theta_1$$

$$I_{SC} = I_X \times I_r(t)$$

$$= I_1 \cos\theta_1 \times \mathrm{SIN}(\omega t)$$

$$I_{CR}(t) = I_L(t) - I_{SC}(t)$$

$$= \sum_{n=1}^{\infty} [\, I_n \ \mathrm{SIN}(n\omega t + \theta_n) - I_1 \cos\theta_1 \times \mathrm{SIN}(\omega t) \,]$$

เมื่อ V_S คือ Main Current

I_L คือ Load Current

I_r คือ Reference Sinusoidal Signal

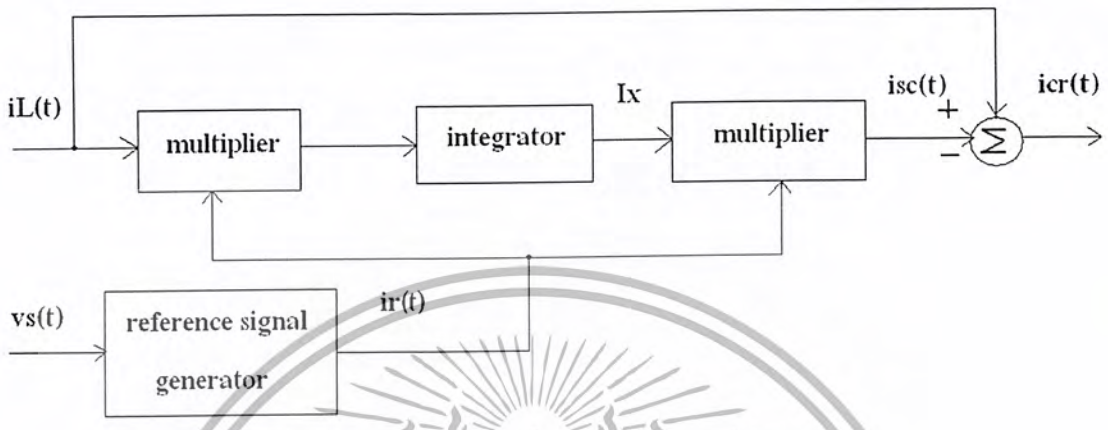
I_X คือ Amplitucle of Fundamental Load Current

I_{SC} คือ Fundamental Load Current

I_{CR} คือ Reference Compensation Current

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากการคำนวณนำมาออกแบบเป็นวงจร



รูปที่ 4 วงจรสร้างกระแสชดเชยอ้างอิง

2.1.1. วงจรคูณ (Multiplier Circuit)

เป็นวงจรที่ใช้คูณสัญญาณอินพุทสองสัญญาณได้เอาท์พุทเป็นผลลัพธ์ของค่าการคูณสัญญาณอินพุทซึ่งวงจรคูณนี้จะใช้ IC เบอร์ MC1495 เป็นตัวหลักในการคูณสัญญาณอินพุท

2.1.2. วงจรสร้างสัญญาณอ้างอิง (Refference Signal Generator Circuit)

เป็นวงจรสร้างสัญญาณไซน์ ที่เป็นฟันดาเมนทอลที่มีขนาด 1หน่วย เพื่อใช้เป็นสัญญาณอ้างอิงที่ความถี่ฟันดาเมนทอลโดยหลักการก็คือ เราจะทำการแปลงสัญญาณโวลท์เตจรูปไซน์ ที่การไฟฟ้าจ่ายให้ให้เป็นสัญญาณโวลท์เตจรูปไซน์ ที่มีขนาด 1 หน่วย ซึ่งหม้อแปลงจะเป็นตัวหลักในการแปลงสัญญาณโวลท์เตจ

2.1.3. วงจรอินทิเกรเตอร์ (Intergrator Circuit)

เป็นวงจรที่ใช้ในการหาค่าเฉลี่ยของสัญญาณอินพุทที่เข้ามาในช่วงหนึ่งคาบเวลา หลักการทำงานของวงจรก็คือเราจะใช้วงจรกรองความถี่ต่ำในการกรองสัญญาณที่เป็นดีซี (DC) ของสัญญาณอินพุทออกมา ซึ่งการคำนวณวงจรกรองความถี่ต่ำ จะกล่าวถึงในบทต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.1.4. วงจรผลต่าง (Difference Circuit)

เป็นวงจรที่ใช้ในการหาผลต่างของสัญญาณอินพุท โดยหลักการของวงจรนี้ก็คือ เราจะใช้ออพ-แอมพ์ (Op-Amp) ในการสร้างวงจรหาผลต่างของสัญญาณ

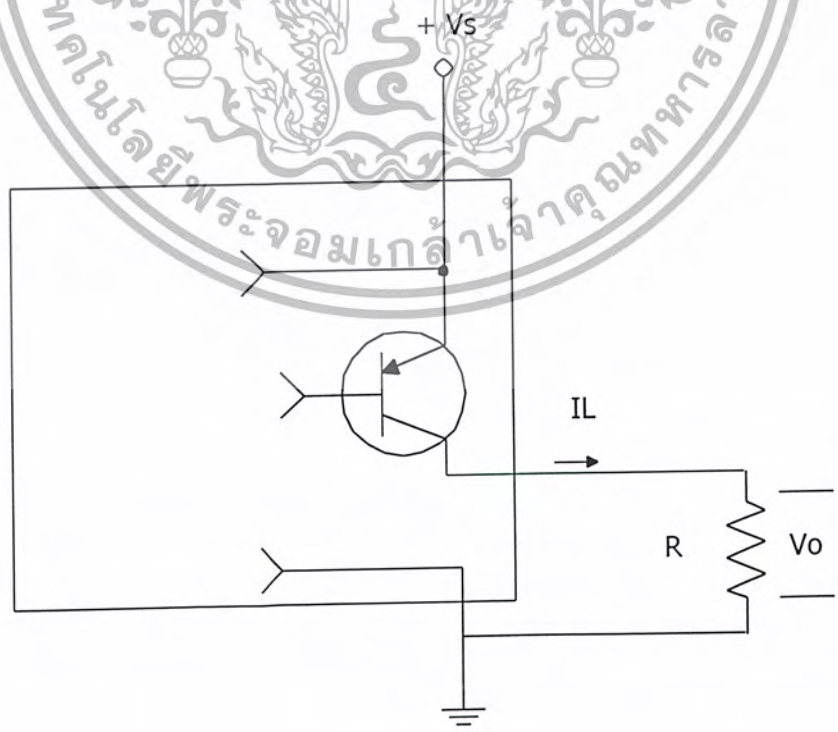
2.2. ภาควงจรเซนเซอร์ (Sensor Circuit)

เป็นส่วนที่ทำหน้าที่วัดรูปสัญญาณกระแสชดเชยที่ภาคเพาเวอร์ (Power Circuit) จ่ายให้กับโหลดจริง เพื่อมาเปรียบเทียบกับสัญญาณกระแสชดเชยอ้างอิง แล้วนำสัญญาณทั้งสองที่ผ่านการเปรียบเทียบมาเข้าวงจรคอนโทรลเคอเรนท์ (Control Current Circuit) ต่อไป

2.2.1. หลักการทำงานของวงจรเซนเซอร์

เราจะใช้ ฮอลล์เอฟเฟคท์ทรานสดิวเซอร์ (Hall Effect Transducer) ชนิด เคอร์เรนท์ ซอร์ซซิ่ง เอาท์พุท (Current Sourcing Output) เป็นตัวตรวจวัดสัญญาณกระแสชดเชย

หลักการทำงานของฮอลล์เอฟเฟคท์ (Hall Effect)



รูปที่ 5 แสดงโครงสร้างพื้นฐานของฮอลล์เอฟเฟคท์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 5 เมื่อมีกระแสไหลผ่านฮอลล์เอฟเฟคท์ ทรานซิสเตอร์จะถูกกระตุ้นให้นำกระแสตามขนาดของสัญญาณกระแสที่ไหลผ่านฮอลล์เอฟเฟคท์ กระแสที่ไหลมาจากทรานซิสเตอร์จะไหลผ่านตัวต้านทานลงกราวน์เกิดเป็น Vo ซึ่งก็สามารถกล่าวได้ว่า ฮอลล์เอฟเฟคท์ เป็นอุปกรณ์ที่วัดค่าสัญญาณของกระแสให้มาอยู่ในรูปของแรงดัน Vo จะมีค่ามากสุดได้ เท่ากับ Vs และ Vo จะมีค่าน้อยที่สุดที่ 0 โวลท์ กล่าวคือ ทรานซิสเตอร์จะไม่นำกระแสนั้นเอง

2.2.2. ปัญหาของ ฮอลล์เอฟเฟคท์

1. จากหลักการของฮอลล์เอฟเฟคท์ เราจะเห็นได้ว่า Vo จะมีค่ามากที่สุดได้เท่ากับ Vs และ Vo จะมีค่าน้อยสุดได้ที่ 0 โวลท์ ซึ่งปัญหานี้ เราจะเห็นได้ว่าเมื่อมีสัญญาณอินพุท ที่ช่วงสวิงที่บวกและลบเข้ามา สัญญาณ Vo ที่ได้ออกมาจะเป็นสัญญาณที่มีแต่ค่าในช่วงบวกอย่างเดียว ดังรูปที่ 6

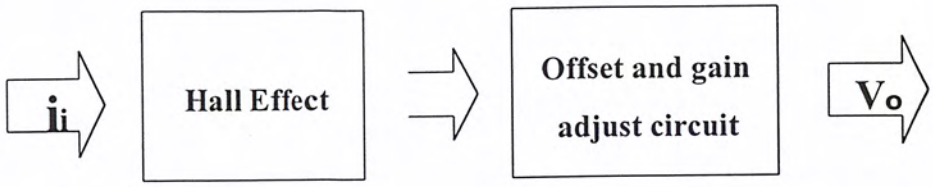
รูปที่ 6 แสดงการออฟเซตของฮอลล์เอฟเฟคท์

ซึ่งค่า Vo ที่ออกมาจะมีค่า ออฟเซต (Offset) ปนอยู่ ฉะนั้นเราจึงต้องแก้ปัญหานี้โดยมีวงจรที่ใช้ในการลดออฟเซต ที่เกิดขึ้นลงให้เป็น 0 โวลท์

2. ค่า Vo ที่ออกมาจะขึ้นอยู่กับค่าตัวต้านทานที่เราออกแบบ แต่เนื่องจากฮอลล์เอฟเฟคท์มีค่ากระแสที่ไหลผ่านตัวมันในการสร้าง Vo จำกัด เพราะฉะนั้นค่า Vo ที่เราได้อาจไม่ใช่ค่าที่ถูกต้องตามสัญญาณ iinput ที่เข้ามา จากปัญหานี้ เราจึงต้องแก้ไขโดยมีวงจรที่ใช้ในการปรับขนาดของ Vo ให้ได้เท่ากับขนาดของ iinput

จากปัญหาทั้งสองข้อนี้เราจึงต้องแก้ไขโดยมีวงจรที่ปรับได้ทั้งค่าออฟเซตและค่าเกน (Gain) ของสัญญาณ Vo ให้ได้ตามค่าของสัญญาณ iinput เพิ่มเข้ามานอกเหนือจากฮอลล์เอฟเฟคท์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



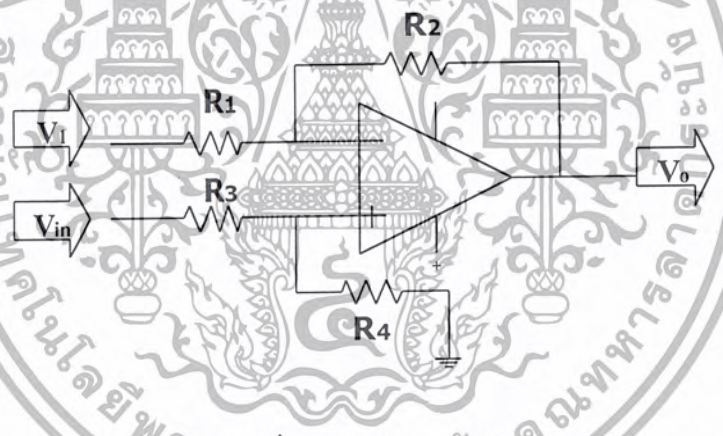
รูปที่ 7 แสดงการใช้วงจรปรับออฟเซตและเกน

2.2.3. วงจรปรับออฟเซตและเกน (Offset and Gain Adjust Circuit)

เราจะใช้ ออพ-แอมพ์ (Op – Amp) เป็นหลักในการสร้างวงจร โดยคิดเป็น 2 ส่วน

2.2.3.1. วงจรปรับออฟเซต (Offset Adjust Circuit)

เราจะใช้ ออพ-แอมพ์ ทำเป็นวงจรผลต่าง ดังรูปที่ 8



รูปที่ 8 วงจรปรับออฟเซต

ให้ $R1 = R3$; $R2 = R4$

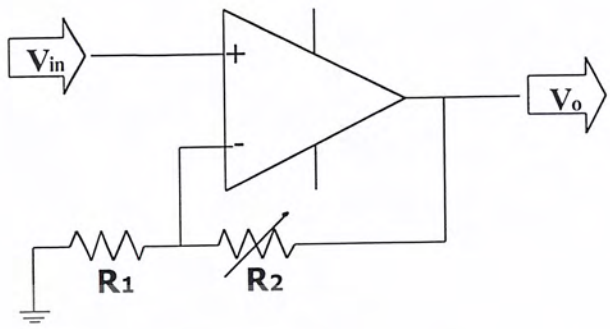
จะได้ $Vo = (Vin - V1)\,R2 / R1$

จะเห็นว่าเมื่อเราให้ V1 เป็น Vdc และทำการปรับค่า เราก็จะสามารถลดค่าออฟเซต ของ Vin ที่เกิดขึ้นได้ ซึ่งเราสามารถใช้แก้ปัญหาในเรื่องของ ออฟเซต ได้

2.2.3.2. วงจรปรับเกน (Gain Adjust Circuit)

หลักการของวงจรปรับเกน เราจะใช้ ออพ-แอมพ์ มาทำเป็นวงจรนอน-อินเวอร์ทติ้ง (Non-Inverting) ดังรูปที่ 9

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 9 วงจรปรับเกน

ได้ $V_o = V_1 (1 + R_2 / R_1)$

จะเห็นว่าเมื่อเราทำการปรับค่า R2 เราก็จะสามารถปรับขนาดของ Vi ให้ได้ตามที่ต้องการได้ ซึ่งสามารถใช้แก้ปัญหาในเรื่องของเกนได้

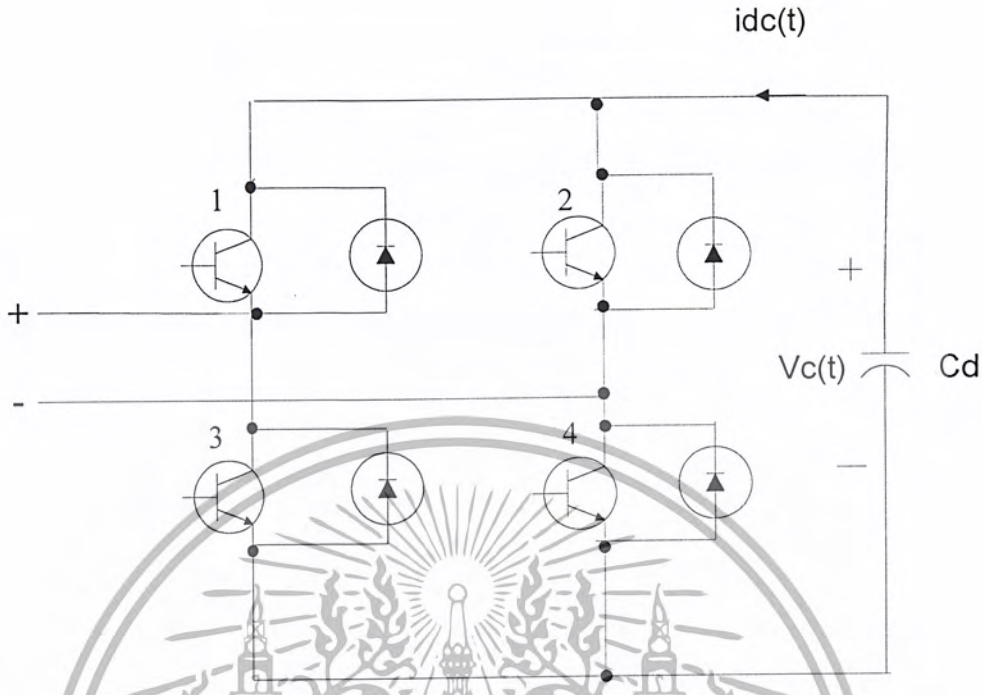
2.3. ภาควงจรคอนโทรลเคอเรนท์ (Control Current Circuit)

เป็นส่วนที่รับค่าสัญญาณจากสองภาคแรกที่ผ่านการเปรียบเทียบมาปรับแต่งให้สัญญาณมีค่าใกล้เคียงกับสัญญาณกระแสชดเชยอ้างอิง (Reference Compensation Current) แล้วนำสัญญาณที่ได้มาสร้างเป็นสัญญาณในการควบคุมการสวิตซ์ของส่วนของภาควงจรเพาเวอร์ (Power Circuit) ต่อไป

2.4. ภาควงจรเพาเวอร์ (Power Circuit)

ภาควงจรเพาเวอร์ เป็นภาคที่ใช้ในการจ่ายกระแสฮาร์โมนิคชดเชยให้กับโหลด โดย ภาควงจรเพาเวอร์ มีวงจรหลักเป็นวงจรบริจด์คอนเวอร์ทเตอร์ (Bridge Convertor) ดังรูปที่ 10

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

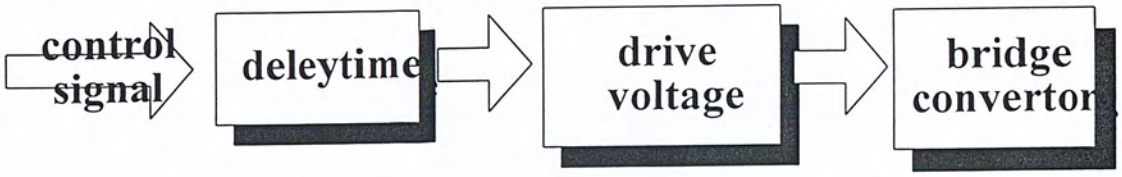


รูปที่ 10 วงจรบริจด์คอนเวอร์ทเตอร์

โดยวงจรบริจด์คอนเวอร์ทเตอร์ นี้เราจะใช้ มอสเฟท (Mosfet) เบอร์ IRF630 เป็นตัวสวิทซ์ สิ่งที่เราต้องคำนึงปัญหาที่จะเกิดตามมาก็คือ

1. มอสเฟท ตัวที่ 1,3 และตัวที่2,4 จะทำงาน (on) พร้อมกันไม่ได้เพื่อป้องกันการลัดวงจร
2. ต้องมีระดับโวลท์เตจที่จ่ายให้ขาเกทของมอสเฟทเพียงพอที่จะทำให้มอสเฟทสามารถที่จะทำงาน (on) ได้
3. กราวน์ของมอสเฟท ตัวที่ 1,3 และ ตัวที่ 2,4 ต้องไม่เป็นจุดเดียวกันเพื่อป้องกันการลัดวงจร

เพื่อแก้ปัญหาทั้ง 3 ข้อนี้ เราจึงต้องมีวงจรเพิ่มเติมนอกเหนือจากวงจรบริจด์คอนเวอร์ทเตอร์ ดังที่แสดงดังต่อไปนี้



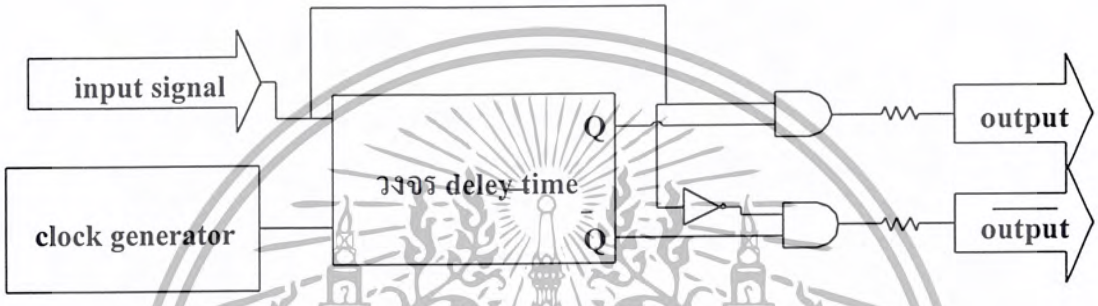
รูปที่ 11 แสดงหลักการของภาควงจรเพาเวอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.4.1. วงจรหน่วงเวลา (Delay Time)

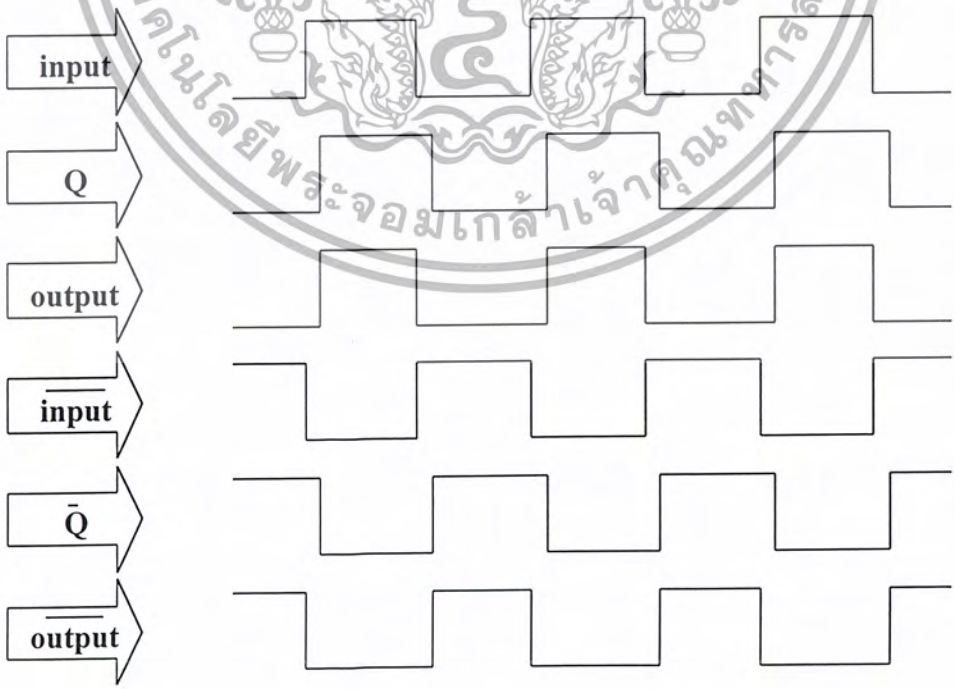
วงจรหน่วงเวลาเป็นวงจรที่ใช้ในการหน่วงเวลาของสัญญาณอินพุท ให้ช้าไปได้ในช่วงเวลาที่เรากำหนด ซึ่งประโยชน์ของวงจรหน่วงเวลาที่เรานำไปใช้ก็คือ หน่วงเวลาของสัญญาณโวลท์ เตจที่ขาเกทของมอสเฟทตัวที่ 1 , 3 และตัวที่ 2 , 4 เพื่อป้องกันไม่ให้มอสเฟทในแต่ละคู่เกิดการ ทำงาน (on) พร้อมกัน

วงจรหน่วงเวลาแสดงดังรูปต่อไปนี้



รูปที่ 12 วงจรหน่วงเวลา

สามารถเขียนเป็น แผนภูมิเวลา (Timing Diagram) เพื่ออธิบายหลักการทำงานได้ดังนี้



รูปที่ 13 แผนภูมิเวลาของวงจรหน่วงเวลา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

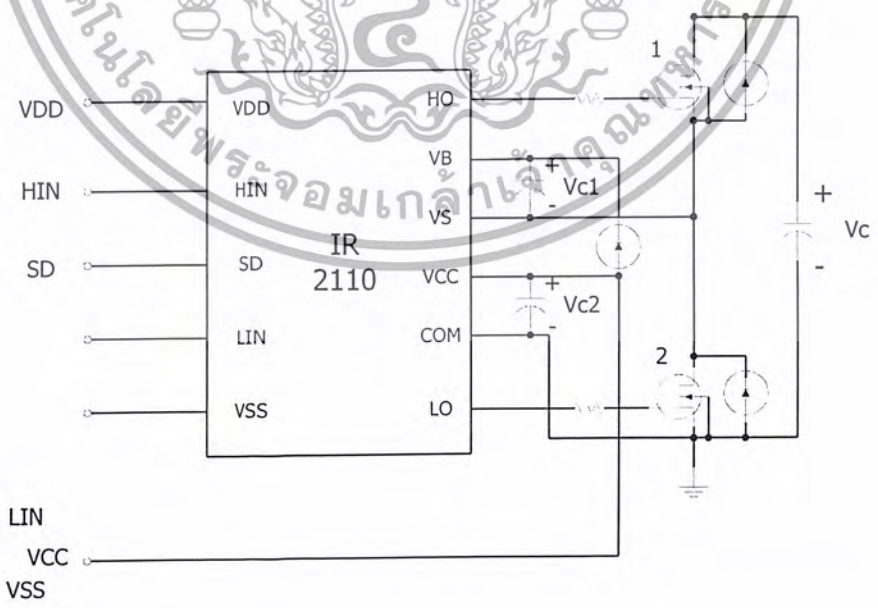
เราจะต้องทำการป้อนสัญญาณนาฬิกาที่มีความถี่สูงกว่าสัญญาณอินพุทมากๆ เพื่อให้วงจรหน่วงเวลา มีการหน่วงเวลาตามค่าที่เรากำหนดได้ใกล้เคียงที่สุด จากรูปเมื่อเราให้สัญญาณ *input* ที่เวลาค่าหนึ่งได้เป็นสัญญาณ Q ,$\overline{Q}$ จากนั้นเราก็ได้นำสัญญาณ *input* และ สัญญาณ Q มาทำการแอนด์(AND) กัน จะได้สัญญาณ *output* ต่อจากนั้นก็นำสัญญาณ *input* มาอินเวอร์ส และมาแอนด์กับสัญญาณ $\overline{Q}$ ก็จะได้สัญญาณ $\overline{output}$ ตามแผนภูมิเวลาข้างต้น

จากสัญญาณ *output* และ $\overline{output}$ เราจะเห็นว่า ช่วงของการ เทอร์น-ออน (turn-on) ของสัญญาณ *output* และช่วงของการ เทอร์น-ออฟ (turn-off) ของสัญญาณ $\overline{output}$ ถูกหน่วงเวลาแยกออกจากกัน เพราะฉะนั้นสัญญาณ *output* และ $\overline{output}$ ไม่มีทางที่จะทำงาน (on) พร้อมกันได้ เราจึงสามารถใช้วงจรนี้ในการแก้ปัญหาเรื่องการ ทำงาน (on) พร้อมกันของมอสเฟทได้

2.4.2. วงจรขับโวลท์เตจและแยกกราวน์

วงจรขับโวลท์เตจและแยกกราวน์นี้ เป็นวงจรที่รับสัญญาณจากวงจรหน่วงเวลา ซึ่งมีระดับโวลท์เตจที่ต่ำ ซึ่งยังไม่เพียงพอที่จะสามารถทำให้มอสเฟททำงาน (on)ได้ วงจรนี้ช่วยเพิ่มค่าระดับโวลท์เตจให้มีค่าเพียงพอที่จะขับมอสเฟทให้สามารถทำงาน (on) ได้และสามารถทำให้มีกราวน์ของมอสเฟทแต่ละคู่ถูกแยกออกจากกันเพื่อป้องกันการลัดวงจรอีกด้วย

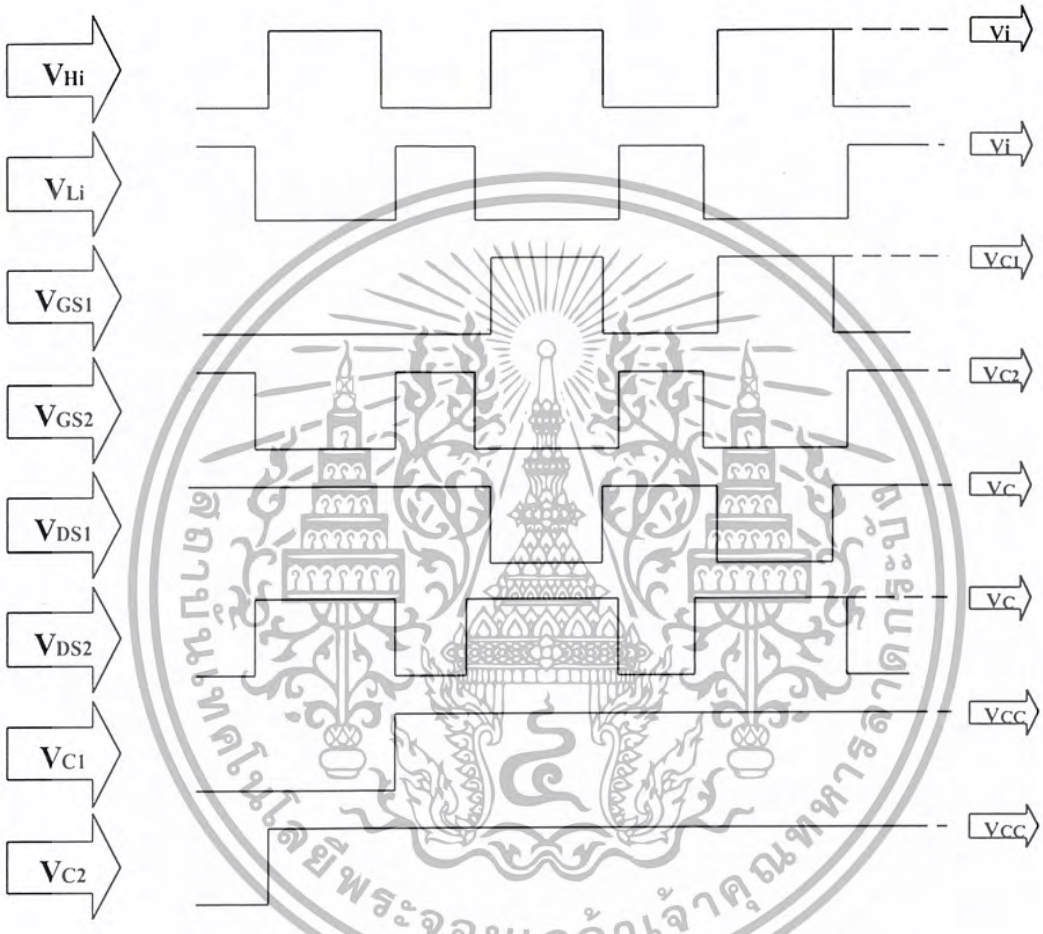
วงจรขับโวลท์เตจและแยกกราวน์ นี้เราจะใช้ IC เบอร์ IR2110 เป็นหลักดังรูปที่ 14



รูปที่ 14 วงจรขับโวลท์เตจและแยกกราวน์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูป เมื่อเราทำการจ่ายค่า Vcc ซึ่งเป็นค่าโวลท์เตจที่ใช้ขับขาเกทของมอสเฟทให้กับวงจร เข้าที่ขา Vcc และ VB โดยผ่าน C1 และ C2 ด้วยโวลท์เตจที่เกิดขึ้นที่ขาเกทของมอสเฟทตัวที่ 1 และ 2 เป็นดังนี้



รูปที่ 15 แผนภูมิเวลาของวงจรขับโวลท์เตจและแยกกราวน์

จากรูปจะเห็นว่าสัญญาณ Lo เป็นสัญญาณที่ได้รับไฟเลี้ยงจากสัญญาณ Vcc ผ่าน C2 และลงกราวน์ เพราะฉะนั้น Vc2 จะได้รับโวลท์เตจมีค่าเป็น Vc2 อยู่ตลอดเวลา เมื่อมอสเฟท ตัวที่2 เกิดการทำงาน(on) จากสัญญาณอินพุทที่เข้ามา ในขณะเดียวกันมอสเฟท ตัวที่ 1 เกิดการไม่ทำงาน (off) ด้วย C1 จะชาร์จ Vcc ผ่านมอสเฟท ตัวที่ 2 ลงกราวน์ ซึ่งในขณะนั้น Vc จะไปตกคร่อมที่มอสเฟท ตัวที่ 1 หมด จากนั้นเมื่อ มอสเฟท ตัวที่1 ทำงาน (on) ในขณะเดียวกันตัวที่ 2 ไม่ทำงาน (off) C1 จะทำการรีชาร์จเพื่อจ่ายโวลท์เตจ ให้กับขาเกทของ มอสเฟท ตัวที่1 ซึ่งในขณะนั้น มอสเฟท ตัวที่ 2 ไม่ทำงาน (off) อยู่ เพราะฉะนั้นกราวน์ที่ C1 และ C2 จะถูกแยกออกจากกันทันที

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จะเห็นได้ว่า Vc1 และ Vc2 จะเสมือนเป็นแหล่งจ่ายโวลท์เตจ ที่มีการแยกกราวน์ออกจากกันแล้ว เพื่อใช้เป็นแหล่งจ่ายโวลท์เตจให้กับขาเกทของ มอสเฟท แต่ละตัว ซึ่งเราก็สามารถนำวงจรนี้ไปแก้ปัญหาเรื่องกราวน์จุดเดียวกันของ มอสเฟท ได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

บทที่ 3
การคำนวณและการสร้าง

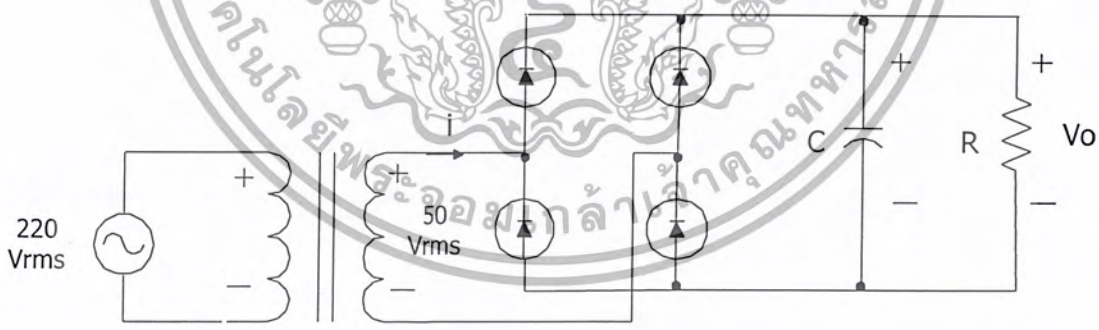
จากทฤษฎีและหลักการในบทที่ 2 นี้ ข้าพเจ้าได้ทำการศึกษาเพียง 4 ส่วนเท่านั้น ซึ่งได้แก่

1. โหลดที่ไม่เป็นเชิงเส้น (Nonlinear Load)
2. วงจรเซนเซอร์สัญญาณกระแส (Sensor Current Circuit)
3. วงจรเพาเวอร์ (Power Circuit)
4. วงจรสร้างกระแสชดเชยอ้างอิง (Reference Compensation Current Circuit)

ซึ่งมีหลักการคำนวณและการสร้างดังนี้

3.1. โหลดที่ไม่เป็นเชิงเส้น (Nonlinear Load)

ทำการประดิษฐ์โหลดที่ไม่เป็นเชิงเส้นขึ้นมาเพื่อเป็นโหลดให้เราได้ศึกษาการแก้ปัญหาฮาร์โมนิคกับระบบไฟฟ้า โดยโหลดที่ไม่เป็นเชิงเส้นนี้เราใช้วงจรฟูลบริดจ์เรคทิไฟเออร์ (Full Bridge Rectifier) เป็นโหลดที่ไม่เป็นเชิงเส้นของปริญญานิพนธ์นี้โดย เรคทิไฟเออร์ (Rectifier) นี้จะรับค่าจากหม้อแปลงที่ 50 Vrms



รูปที่ 16 วงจรฟูลบริดจ์เรคทิไฟเออร์

อุปกรณ์ที่ใช้ในการทดลอง

1. หม้อแปลงลง 220/50 Vrms , 3 แอมแปร์
2. ไดโอด 4 ตัว
3. ตัวเก็บประจุ 1 ตัว
4. ตัวต้านทาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

55678

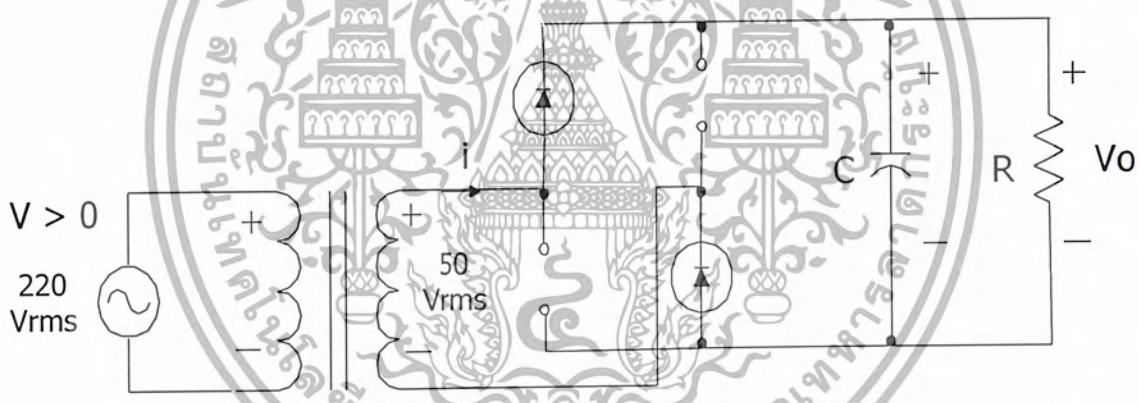
3.1.1. ขั้นตอนการออกแบบ

การจะเลือกใช้ไดโอดและตัวต้านทานขนาดเท่าใด เราต้องคำนวณค่าแรงดันไฟฟ้า (V) และกระแส (I) ที่ผ่านอุปกรณ์นั้นๆก่อนโดยเราเลือกใช้หม้อแปลง (220/50โวลท์ , 3แอมแปร์) ดังนั้น

คำนวณที่ ไดโอด

เมื่อไดโอดแต่ละตัวทำงาน (On) กระแสที่ไหลผ่านไดโอดจะเท่ากับกระแสที่ไหลผ่านหม้อแปลง ดังนั้นเลือกใช้ ไดโอดที่ทนได้มากกว่า 3 แอมแปร์ เราใช้ 6 แอมแปร์

เมื่อไดโอดแต่ละตัวไม่มีการทำงาน (Off) แรงดันสูงสุด (Vpeak) ที่ตกคร่อมไดโอดมีค่าเท่ากับ $50\sqrt{2}$ โวลท์ $\approx$ 70 โวลท์ เลือก ไดโอด 200 โวลท์ , 6 แอมแปร์



รูปที่ 17 แสดงรีเวอร์สโวลท์เตจ (Reverse Voltage) ของไดโอด

คำนวณตัวต้านทาน

ถ้ากำหนดว่าเลือกค่าตัวต้านทานที่ 160 โอห์ม

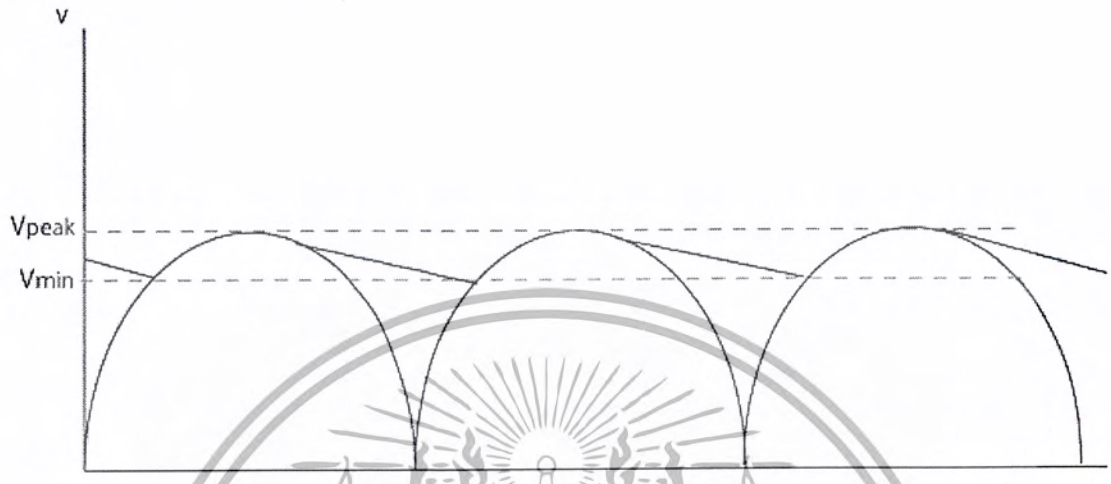
$$I = \frac{V}{R} = \frac{70}{160} = 0.44 \text{ แอมแปร์}$$

$$P_{peak} = \frac{70^2}{160} = 30.6 \text{ วัตต์}$$

ดั้งนั้นเลือกค่า ตัวต้านทานที่ 160 โอห์ม , 60 วัตต์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คำนวณตัวเก็บประจุ



รูปที่ 18 แสดงสัญญาณแรงดันตกคร่อมตัวเก็บประจุ

ให้ $V_{min} = 56$ โวลท์

หา กำลังไฟฟ้าของตัวต้านทาน

$$V_{dc} = V_{min} + \frac{V - V_{min}}{2} = 56 + \frac{70 - 56}{2} = 63 \text{ โวลท์}$$

$$V_{rms} = \sqrt{\left\{\left(\frac{\frac{\Delta V}{2}}{\sqrt{3}}\right)^2 + (63)^2\right\}} = 63.13\ V_{rms}$$

ดังนั้น

$$P = \frac{V_{rms}^2}{R} = \frac{(63.13)^2}{160} = 25 \text{ วัตต์}$$

$$W = \frac{P}{t} = \frac{25}{50} = 0.5 \text{ จูล}$$

$$C = \frac{W}{V_p^2 - V_{min}^2} = \frac{0.5}{70^2 - 56^2} = 268.24 \text{ ไมโครฟารัด}$$

ดังนั้น เลือกตัวเก็บประจุ 270 ไมโครฟารัด 200 โวลท์

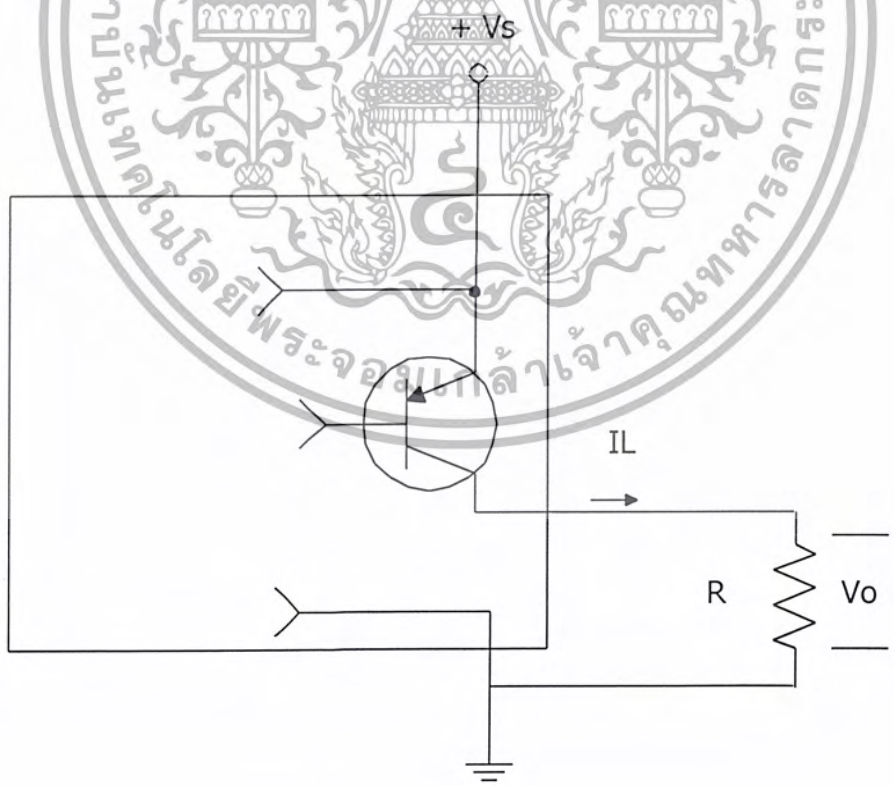
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.1.2. อุปกรณ์ที่ต้องใช้คือ

ไดโอด	200	โวลท์	, 6	แอมแปร์	4 ตัว
ตัวเก็บประจุ	270	ไมโครฟารัด	, 200	โวลท์	1 ตัว
ตัวต้านทาน	160	โอห์ม	, 60	วัตต์	1 ตัว
หม้อแปลง	220/50	V_{rms}	, 3	แอมแปร์	1 ตัว

3.2. ภาควงจรเซนเซอร์ (Sensor Circuit)

ภาคเซนเซอร์เป็นส่วนที่ทำหน้าที่วัดสัญญาณกระแสชดเชยที่จ่ายให้กับโหลดจริงดังที่กล่าวไว้ข้างต้นแล้ว สิ่งที่เราใช้วัดรูปสัญญาณกระแสชดเชย เราใช้ ฮอลล์เอฟเฟคท์ทรานสดิวเซอร์ (Hall Effect Transducer) เบอร์ CSLAICD ซึ่ง ฮอลล์เอฟเฟคท์ชนิดนี้เป็นแบบ เคอร์เรนท์ ซอร์ซซิ่ง เอาท์พุท (Current Sourcing Output)



รูปที่ 19 แสดงโครงสร้างพื้นฐานของฮอลล์เอฟเฟคท์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2.1. หลักการใช้งานของฮอลล์เอฟเฟคท์

เมื่อมีกระแสไหลผ่านฮอลล์เอฟเฟคท์ ทรานซิสเตอร์จะถูกกระตุ้นให้นำกระแสตามขนาดของสัญญาณกระแสที่ไหลผ่านฮอลล์เอฟเฟคท์กระแสที่ไหลจากทรานซิสเตอร์จะไหลผ่านตัวต้านทานลงกราวด์ เกิดเป็น Vo ซึ่งก็สามารถกล่าวได้ว่าฮอลล์เอฟเฟคท์เป็นอุปกรณ์เซนเซอร์ ที่วัดค่าสัญญาณของกระแสในรูปของแรงดัน Vo จะมีค่ามากที่สุดได้ เท่ากับ Vs และ Vo จะมีค่าน้อยที่สุดที่ 0 โวลท์ กล่าวคือ ทรานซิสเตอร์ไม่นำกระแสนั้นเอง

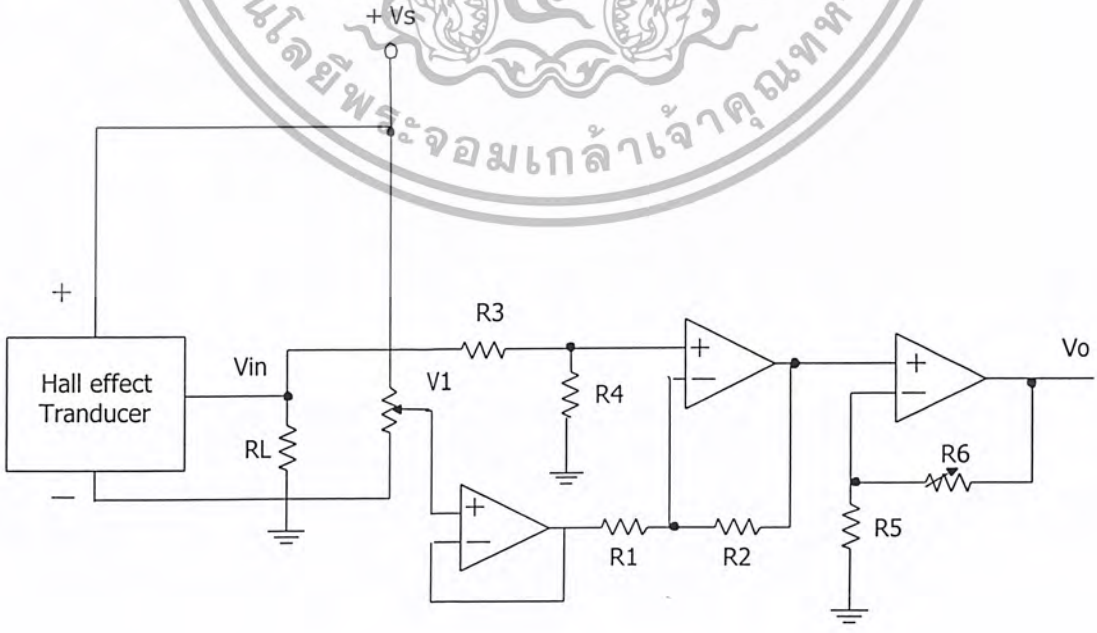
3.2.2. ขั้นตอนการออกแบบ

จากดาต้าชีท (Data Sheet) เราจะรู้ว่าแหล่งจ่ายโวลท์เตจที่ใช้กับฮอลล์เอฟเฟคท์เบอร์นี้ใช้ได้ตั้งแต่ 8 ถึง16โวลท์ดีซี (Vdc) และแหล่งจ่ายกระแสสูงสุด (Supply Current Max) ที่14 มิลลิแอมแปร์

ดั้งนั้นเราใช้แหล่งจ่ายโวลท์เตจที่ 15 โวลท์ดีซี (Vdc) และแหล่งจ่ายกระแสสูงสุดที่ 10 มิลลิแอมแปร์ เราสามารถคำนวณค่าตัวต้านทานที่ใช้ได้โดย

$$R_L = \frac{V}{I} = \frac{15}{10\times10^{-3}} = 1.5 \text{ กิโลโอห์ม}$$

แต่เนื่องจากฮอลล์เอฟเฟคท์ก็มีปัญหาในตัวมันเอง กล่าวคือ เมื่อทำการวัดสัญญาณกระแสด้วยฮอลล์เอฟเฟคท์ ค่า Vo ของฮอลล์เอฟเฟคท์ที่ได้จะมีค่าโวลท์เตจออฟเซต (Offset Voltage) ปนอยู่ด้วย ดั้งนั้น เราจึงต้องแก้ปัญหานี้ โดยใช้วงจรที่สามารถลดค่าออฟเซตนี้ได้ โดยเราใช้วงจรดังรูปข้างล่างนี้



รูปที่ 20 แสดงวงจรลดออฟเซตและปรับค่าเกน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อ $R_1 = R_2 = R_3 = R_4$

$$Vo = \left(V_{in} - V_1\right)\left(1+\frac{R_6}{R_5}\right)$$

คำนวณตัวต้านทานที่ใช้กับฮอลล์เอฟเฟคท์ และวงจรลดออฟเซต เดิมเรากำหนดให้แหล่งจ่ายกระแสสูงสุดที่ 10 มิลลิแอมแปร์

$$I_{in} = \frac{V_{in}}{R_L} + \frac{V_{in}}{R_3 + R_4}$$

เดิมค่า Vi,max เรากำหนดที่ แหล่งจ่ายโวลท์เตจ ที่ 15 โวลท์ดีซี (Vdc)

ดั้งนั้น $15 \times \left(\frac{R_3 + R_4 + R_L}{R_L \times (R_3 + R_4)}\right) < 10$ มิลลิแอมแปร์

ให้ $R_3 = R_4 = R_L = R$

$$15 \times \left(\frac{3}{2}\frac{R}{R^2}\right) < 10 \text{ มิลลิแอมแปร์}$$

$$R > 2.25 \text{ กิโลโอห์ม}$$

ดั้งนั้นเราใช้ ตัวต้านทาน ที่ 3 กิโลโอห์ม

$$R_1 = R_2 = R_3 = R_4 = R_5 = R_L = 3 \text{ กิโลโอห์ม}$$

เลือก ตัวต้านทานปรับค่าได้ที่ 20 กิโลโอห์ม

เมื่อเราเลือกค่าตัวต้านทานให้กับวงจรได้แล้วจะสังเกตจากสมการว่าเมื่อเราปรับค่า V1 โดยการปรับค่าตัวต้านทานปรับค่าได้ให้เพิ่มขึ้น ค่า Vo ของวงจรจะมีออฟเซตที่ลดลง ดั้งนั้นค่า Vin ที่ออกมาจากฮอลล์เอฟเฟคท์เมื่อผ่านวงจรลดออฟเซตเราก็สามารถลดออฟเซตของ Vin เพื่อให้เป็น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

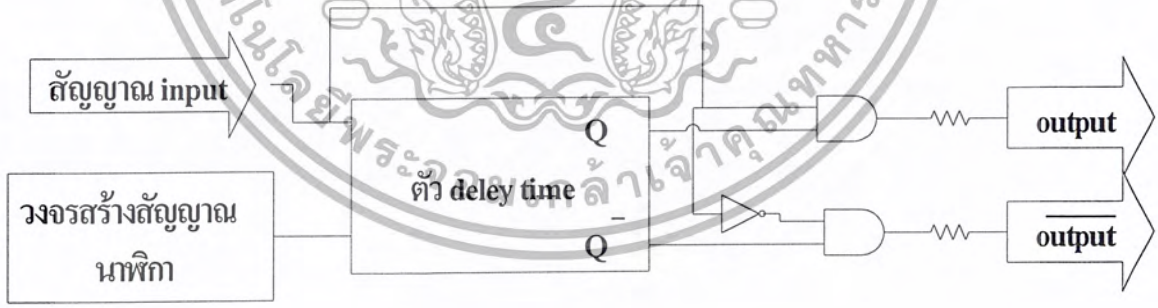
ศูนย์ได้โดยการปรับค่าตัวต้านทาน อีกทั้งเมื่อเราปรับค่า R6 เราก็ยังสามารถปรับเกนของสัญญาณ Vin ให้มีขนาดเท่ากับขนาดของกระแสจริงได้อีกด้วย

3.3. ภาควงจรเพาเวอร์ (Power Circuit)

จากบทที่ 2 เราได้ศึกษาทฤษฎีและแนวทางแก้ไขปัญหาไว้แล้ว ต่อจากนี้เราจะทำการคำนวณและสร้างวงจร

รูปที่ 21 แสดงหลักการของภาควงจรเพาเวอร์

3.3.1. วงจรหน่วงเวลา (Delay time circuit)

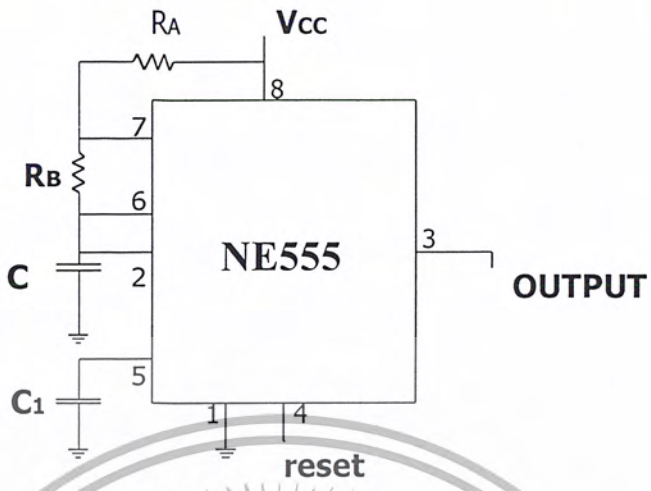


รูปที่ 22 วงจรหน่วงเวลา

3.3.1.1. วงจรสร้างสัญญาณนาฬิกา

เป็นวงจรที่จะสร้างสัญญาณนาฬิกา โดยเราจะทำการออกแบบให้วงจรสร้างสัญญาณนาฬิกา ที่มีความถี่ 0.5 เมกะเฮิร์ท ที่ 10 โวลท์ โดยเราจะใช้ IC เบอร์ NE555

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 23 วงจรสร้างสัญญาณนาฬิกา

จากวงจรความสัมพันธ์ของความถี่คือ f = 1.49 / (RA + 2RB) C

ขั้นตอนการออกแบบ

1. เลือก Vcc ที่ 10 โวลท์ เพื่อให้ได้ เอาท์พุท ที่ 10 โวลท์
2. เลือกค่า ตัวเก็บประจุ ที่ 100 พิโคฟารัด
3. ทำการปรับค่า RA และ RB จนได้ความถี่ประมาณ 0.5 เมกะเฮิร์ท
   ผลจากการปรับค่า RA และ RB จนได้ค่าความใกล้เคียง 0.5 เมกะเฮิร์ท เราจะได้ค่า
   RA = 128 โอห์ม และค่า RB = 1,233 โอห์ม

อุปกรณ์ที่ต้องใช้

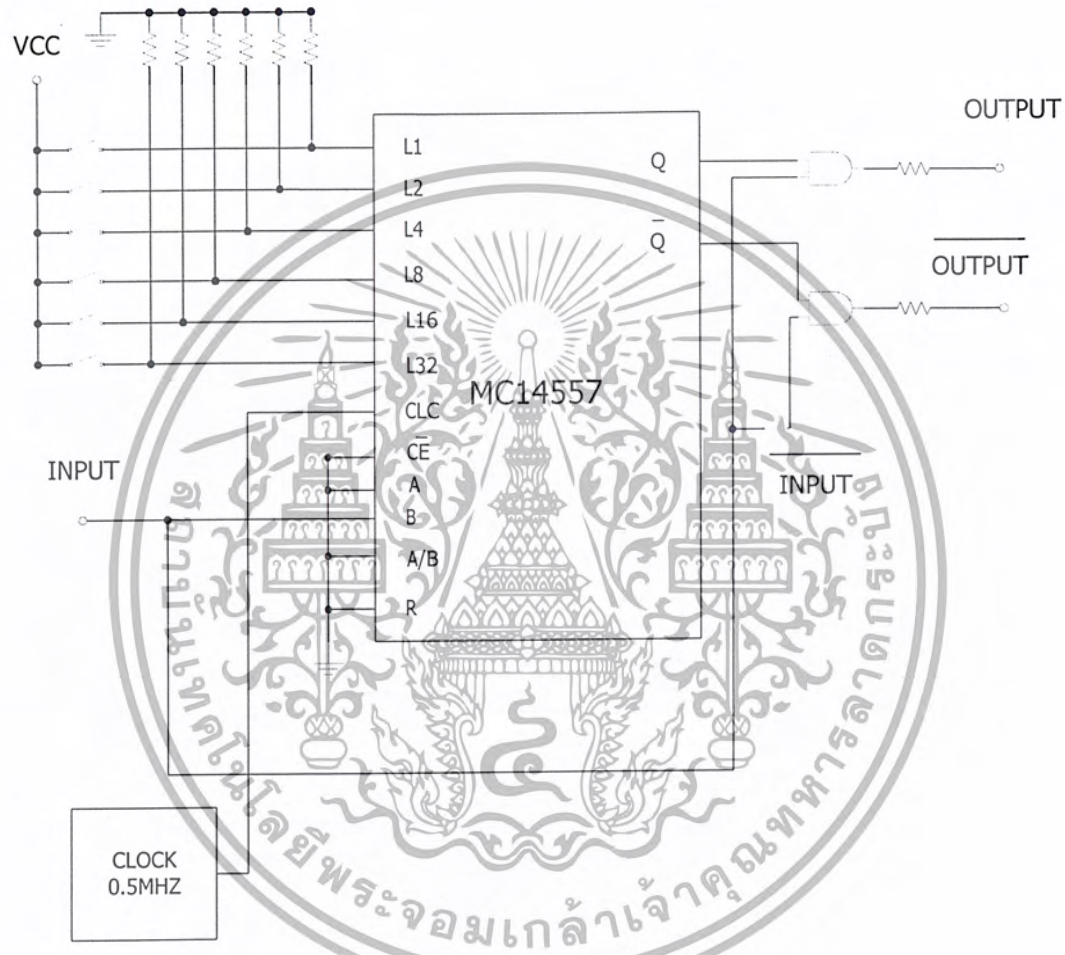
เราจะทำการต่อวงจรดังรูป โดยใช้วัสดุดังนี้

1. IC เบอร์ NE555 1 ตัว
2. RA = 128 โอห์ม 1 วัตต์ 1 ตัว
3. RB = 1,233 โอห์ม 1 ตัว
4. C = 100 พิโคฟารัด 1 ตัว
5. C1 = 0.01 ไมโครฟารัด 1 ตัว
6. VCC ที่ 10 โวลท์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3.1.2. ตัวหน่วงเวลา

เป็นวงจรหน่วงเวลาดังรูป โดยเราจะใช้ ไอซี MC14557 เป็นหลัก



รูปที่ 24 แสดงวงจรตัวหน่วงเวลา

สิ่งที่ต้องคำนึงถึงในการเลือกสัญญาณเอาท์พุท

1. ขนาดโวลท์ของสัญญาณ เอาท์พุทที่จะนำไปเข้าวงจร ขับโวลท์เตจและแยกกราวน์
2. ช่วงเวลาในการหน่วงเวลา

<u>ขั้นตอนการออกแบบ</u>

1. เลือกขนาด Vcc ที่ 10 โวลท์ เพื่อให้ขนาดของสัญญาณเอาท์พุทออกมาที่ 10 โวลท์ เพราะโลจิค (Logic) เป็น 1 : อินพุทของวงจรกับโวลท์เตจและแยกกราวน์ มีค่าต่ำสุดที่ 9.5 โวลท์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2. เลือกช่วงเวลาในการหน่วงเวลา โดยคำนึงถึงมอสเฟทที่ใช้ คือ IRF630 ว่ามีช่วงเวลาในการเทอร์น-ออน (turn-on) และเทอร์น-ออฟ (turn-off) เท่าไร

IRF630 ; ton = 180×10^{-9} วินาที; toff = 130×10^{-9} วินาที

จากข้อมูลของ IRF630 จะเห็นว่าช่วง ton = 180×10^{-9} วินาที และ toff = 130×10^{-9} วินาที เพราะฉะนั้นเพื่อความปลอดภัยป้องกันไม่ให้เกิดการทำงาน (on) พร้อมกัน เราจึงเลือกค่าหน่วงเวลาที่ 8×10^{-6} วินาที

3. เลือกแอนด์เกท (And Gate) ที่สามารถทนค่าแรงดันได้ 15 โวลท์ เนื่องจาก อินพุทที่เข้าแอนด์เกท จะอยู่ที่ 10 โวลท์

4. เลือกอินเวอร์ทเตอร์ (Inverter) ที่สามารถทนค่าแรงดันได้ 15 โวลท์ เนื่องจาก อินพุทที่เข้าอินเวอร์ทเตอร์ จะอยู่ที่ 10 โวลท์

เราจะทำการต่อวงจรตามรูปที่ 24 โดยเราจะทำการเซตที่ขา L8 ให้เป็น 1 เพิ่มโดยต่อ L8 เข้ากับ Vcc ส่วนขาอื่นๆ จะเหมือนเดิมหมด เพราะเมื่อเรา เซตที่ขา L8 ให้เป็น 1 และวงจรได้รับนาฬิกา ที่ 0.5 เมกะเฮิร์ท วงจรจะหน่วงเวลาให้ที่ 8×10^{-6} วินาที แต่ถ้าเราต้องการเปลี่ยนค่าการหน่วงเวลาใหม่ เช่นต้องการให้เป็น 10×10^{-6} วินาที เราทำการเซตที่ขา L8 และ L2 ให้เป็น 1 เป็นต้น

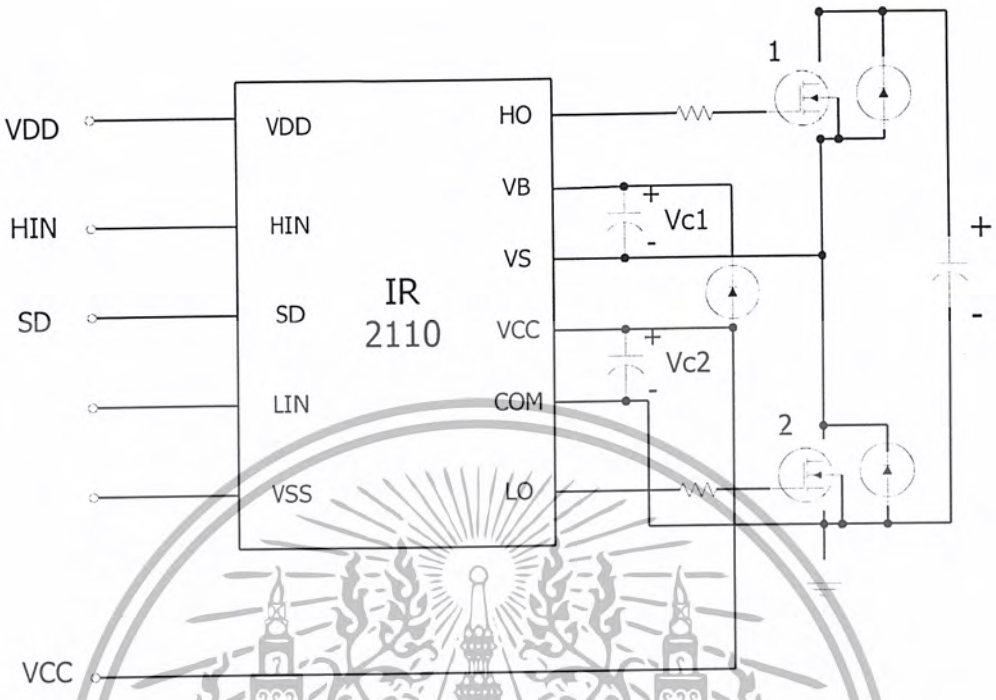
<u>อุปกรณ์ที่ต้องใช้คือ</u>

1. ไอซี MC14557 2 ตัว
2. ไอซี CD4081 2 ตัว
3. ไอซี SN74H04 2 ตัว
4. ตัวต้านทาน 10 กิโลโอห์ม 12 ตัว
5. ใช้ Vcc ที่ 10 โวลท์

3.3.2. วงจรขับโวลท์เตจและแยกกราวน์

วงจรขับโวลท์เตจและแยกกราวน์ เราจะใช้ ไอซี เบอร์ IR2110 เป็นหลัก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 25 วงจรขับโวลท์เตจและแยกกราวน์

สิ่งที่ต้องคำนึงถึงในการเลือกสัญญาณ เอาท์พุท

1. ขนาดโวลท์เตจ ของสัญญาณ เอาท์พุท ต้องสามารถทำให้มอสเฟท ทำงาน (on) ได้
2. ตัวเก็บประจุที่ใช้ต้องสามารถทนค่า Vcc ได้
3. ไดโอดที่ใช้ต้องทนค่ารีเวอร์สโวลท์เตจ (Reverse Voltage) ที่ค่า Vc ได้

3.3.2.1. ขั้นตอนการออกแบบ

1. มอสเฟท IRF630 จะทำงาน (on) ได้ที่โวลท์เตจของขาเกทที่ 15โวลท์ เพราะฉะนั้นเลือกค่า Vcc ที่ 15โวลท์ เพื่อให้สัญญาณ เอาท์พุทส่งไปที่ขาเกทของมอสเฟทได้ 15โวลท์
2. เลือกค่า ตัวเก็บประจุ ที่ 10 ไมโครฟารัด ที่ 100โวลท์ เพื่อให้ ตัวเก็บประจุ สามารถทน Vcc ที่ 15 โวลท์ ได้
3. เลือกค่าไดโอดที่ 200 โวลท์ 1 แอมแปร์ เพื่อให้สามารถทน Vc ที่ 70 โวลท์ ได้

3.3.2.2. อุปกรณ์ที่ต้องใช้

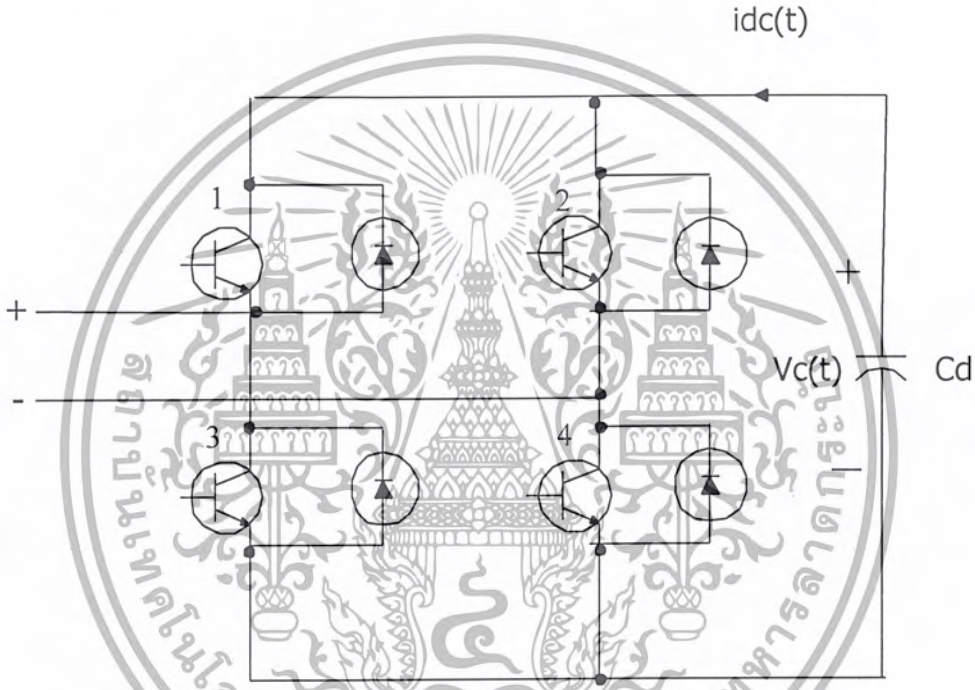
เราจะทำการต่อวงจรตามรูป โดยใช้วัสดุดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1. IR2110 2 ตัว
2. ตัวเก็บประจุ 10 ไมโครฟารัด 100โวลท์ 4 ตัว
3. ไดโอด 200โวลท์ 1 แอมแปร์ 2 ตัว

3.3.3. วงจรบริจด์คอนเวอร์ทเตอร์ (Bridge Convertor)

เราจะใช้ มอสเฟท เบอร์ IRF630



รูปที่ 26 วงจรบริจด์คอนเวอร์ทเตอร์

สิ่งที่ต้องคำนึงถึง

1. มอสเฟท สามารถทนค่า Vc และกระแสผ่านตัวมันได้
2. ไดโอดสามารถทนค่า Vc และกระแสที่ผ่านตัวมันได้

3.3.3.1. ขั้นตอนการออกแบบ

1. เลือกมอสเฟท IRF630 เพื่อให้สามารถทน Vc ได้ เนื่องจาก IRF630 สามารถทน
2. ได้ 200 โวลท์ 10 แอมแปร์2. เลือกไดโอด 200 โวลท์ 10 แอมแปร์ เพื่อให้สามารถทน Vc ได้ แต่เนื่องจากในเบอร์ IRF630 ได้มี ไดโอดในตัวมันอยู่แล้ว และมีค่าที่สามารถทน Vc ได้คือ 200โวลท์ 10แอมแปร์ เราจึงไม่ต้องใช้เพิ่มขึ้นมา

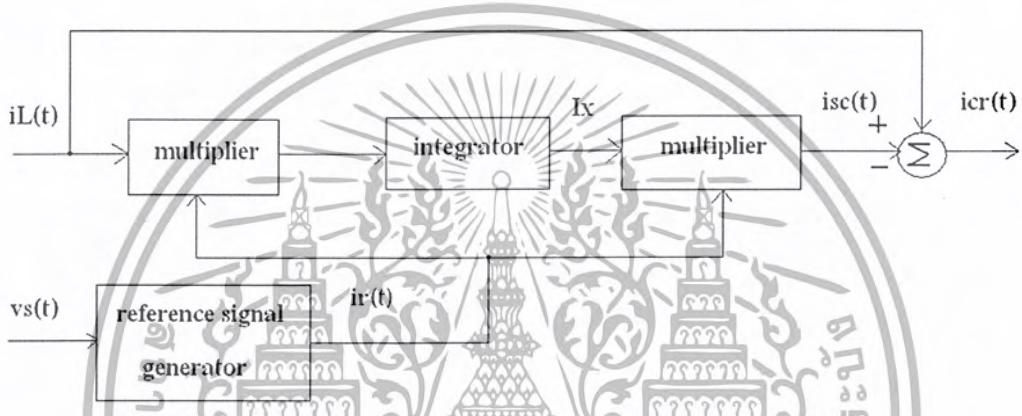
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3.3.2. อุปกรณ์ที่ต้องใช้คือ

เราจะทำการต่อวงจรตามรูป โดยใช้อุปกรณ์ดังนี้

มอสเฟท IRF630 4 ตัว

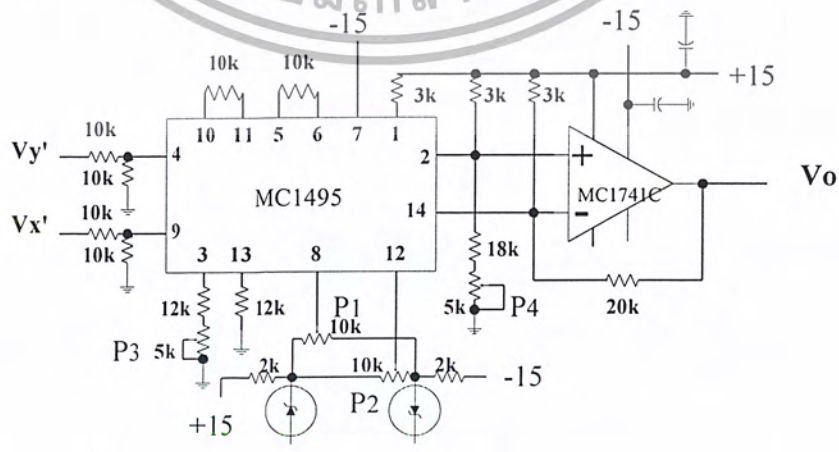
3.4. วงจรสร้างกระแสชดเชยอ้างอิง (Reference Compensation Current Circuit)



รูปที่ 27 วงจรสร้างกระแสชดเชยอ้างอิง

3.4.1. วงจรคูณ (Multiplier circuit)

เป็นวงจรคูณสัญญาณอินพุทสองสัญญาณ โดยจะใช้ ไอซี MC1495 เป็นต้นหลักในการสร้างสัญญาณคูณ



รูปที่ 28 วงจรคูณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สิ่งที่ต้องคำนึงถึง

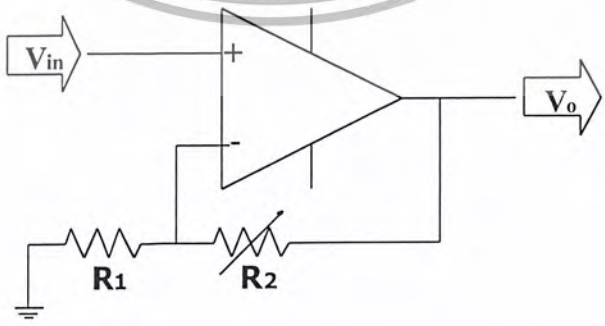
1. ค่าเอาท์พุทที่ได้จะต้องเป็นค่าของผลคูณของสัญญาณอินพุทที่ถูกต้อง

2. ค่าเอาท์พุทของ MC1741 ยังไม่ใช่ค่าการคูณที่ถูกต้องเนื่องจากยังมีค่าสเกลแฟคเตอร์ (Scale Factor) อยู่ที่ 0.1 ดังนั้นเราจึงต้องแก้ปัญหานี้โดยเพิ่มวงจรเพื่อทำให้ สเกลแฟคเตอร์ เป็น 1

3. ค่า Vx' และ Vy' สูงสุดจะมีค่าได้ไม่เกิน 10โวลท์ เนื่องจาก $Vx / Ry < I13$, $Vy / Ry < I3$ โดยเรากำหนดให้ $I_{13} = I_3 = 1$ มิลลิแอมแปร์

3.4.1.1. ขั้นตอนการออกแบบ

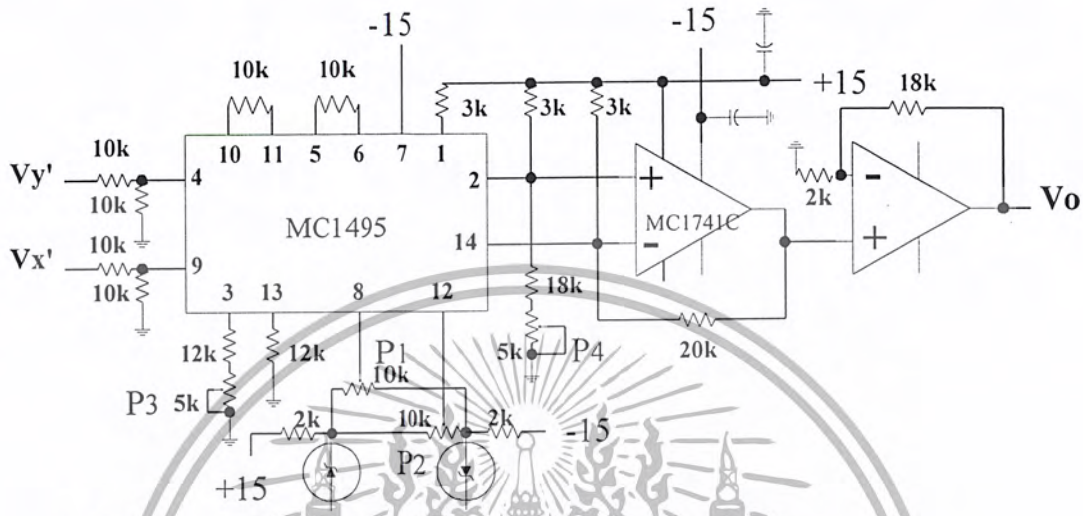
1. ทำการต่อวงจรโดยเลือกค่าตัวต้านทานตามรูป จากนั้นเราจะทำการปรับค่าตัวต้านทานที่ P1 , P2 , P3 และ P4 เพื่อให้ผลการคูณเป็น $Vo = VxVy / 10$ ซึ่งค่า 1 / 10 นี้คือค่าสเกลแฟคเตอร์
2. เซต $Vx = Vy = 0$ และปรับค่าตัวต้านทานที่ P4 ให้ $Vo = 0$ เพื่อให้แน่ใจว่าไม่มีเอาท์พุทออฟเซต
3. เซต $Vx = Vy = 1$ โวลท์ และปรับค่าตัวต้านทานที่ P1 ให้ได้ค่า $Vo = 0.1$ เพื่อเลือก ออฟเซตที่ Vy ให้ได้ผลการคูณเป็น $Vo = VxVy / 10$
4. เซต $Vx = Vy = 10$ โวลท์ และปรับค่าตัวต้านทานที่ P3 ให้ได้ค่า $Vo = 10$ เพื่อที่จะทำให้ค่าสเกลแฟคเตอร์ เป็น 1/10
5. เซต $Vx = Vy$ ให้มีค่าเป็นลบและทำตามขั้นตอนที่ 2-4
6. เมื่อได้ค่า $Vo = VxVy / 10$ ถูกต้องแล้ว จากนั้นก็ทำการออกแบบ นอน-อินเวอร์ทติ้งแอมป์ (Non-Inverting Amp) ให้มี เกน (Gain) เท่ากับ 10 ดังรูป โดยเราจะใช้ค่า R2 ที่ 18 กิโลโอห์ม และ R2 ที่ 2 กิโลโอห์ม ต่อเข้ากับเอาท์พุทของ MC 1741 ก็จะได้ผลคูณเป็น $Vo = VxVy$



รูปที่ 29 แสดงวงจรปรับเกนโดยใช้นอน-อินเวอร์ทติ้งแอมป์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เราจะทำการต่อวงจรดังรูป และ เปลี่ยนค่าตัวต้านทานที่ P1 , P2 , P3 และ P4 เป็นค่าที่เรา ทำการปรับแล้วได้ผลคูณที่ถูกต้อง จากนั้นเราก็เพิ่มวงจรในส่วนของการปรับเกนต่อไปอีกดังรูป



รูปที่ 30 การต่อวงจรปรับเกนเข้ากับวงจรคูณ

3.4.1.2. อุปกรณ์ที่ต้องใช้คือ

1.	ตัวต้านทาน 10 กิโลโอห์ม	12 ตัว
2.	ตัวต้านทาน 3 กิโลโอห์ม	6 ตัว
3.	ตัวต้านทาน 12 กิโลโอห์ม	4 ตัว
4.	ตัวต้านทาน 2 กิโลโอห์ม	4 ตัว
5.	ตัวต้านทาน ปรับค่าได้ 10 กิโลโอห์ม	2 ตัว
6.	ตัวต้านทาน ปรับค่าได้ 5 กิโลโอห์ม	2 ตัว
7.	ไอซี MC1495	2 ตัว
8.	ไอซี MC1741	2 ตัว
9.	ไอซี LF351	2 ตัว

3.4.2. วงจรอินทิเกรเตอร์ (Integrator Circuit)

เป็นวงจรที่ใช้ในการหาค่าเฉลี่ยของสัญญาณอินพุทในช่วง 1 คาบเวลา เพราะฉะนั้นวงจรที่เราใช้จะเป็นวงจรกรองความถี่ต่ำ (Lowpass Filter) เพื่อดึงสัญญาณดีซี (DC) ออกมาจากสัญญาณอินพุทนั่นเอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

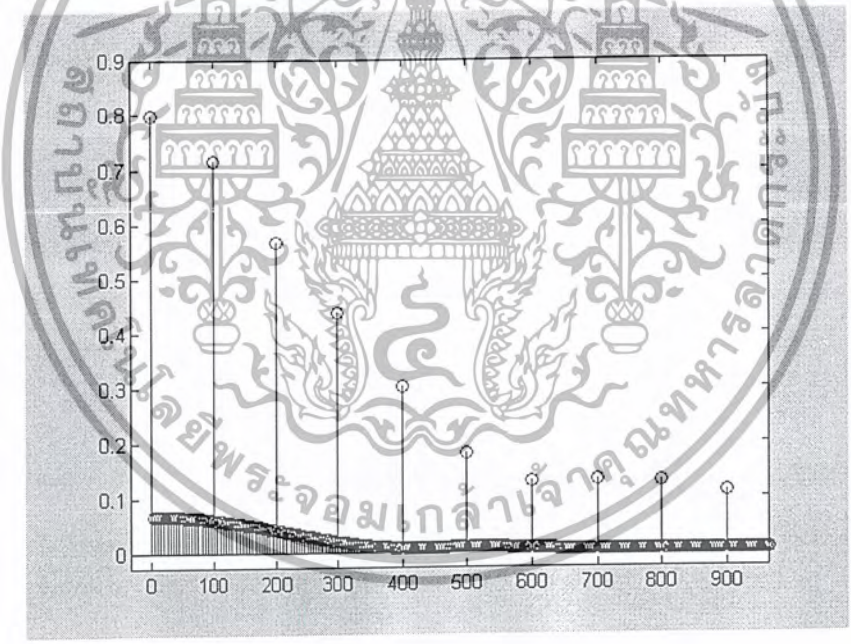
สิ่งที่ต้องคำนึงถึง

1. เอาท์พุทที่ได้ต้องเป็นโวลท์เตจดีซี (V_{DC}) ที่มีค่าเท่ากับค่าเฉลี่ยของสัญญาณอินพุท

2. จะต้องเลือกความถี่ต่ำผ่านเท่าไร ค่าเอาท์พุทถึงจะมีค่าที่ใกล้เคียงกับค่าเฉลี่ยของสัญญาณอินพุทและสามารถออกแบบได้ไม่ยาก

3.4.2.1. ขั้นตอนการออกแบบ

1. ทำการแยกสัญญาณความถี่ที่ค่าต่างๆ เพื่อจะดูว่าสัญญาณอินพุทมีองค์ประกอบที่ความถี่เท่าไรบ้าง เพื่อจะใช้ในการเลือกค่าความถี่ต่ำผ่าน โดยทำการเขียนโปรแกรมแมทแลบ (Matlab) เพื่อจะใช้ในการดูค่าขนาดโวลท์เตจเทียบกับค่าที่ความถี่ต่างๆ ซึ่งผลการแยกเป็นดังรูปที่ 31 โดยเราจะใช้สัญญาณ เอาท์พุทของวงจรคูณตัวที่ 1 เป็นสัญญาณอินพุทของวงจรอินทิเกรเตอร์ (Integrator Circuit)



รูปที่ 31 สัญญาณอินพุทที่ค่าความถี่ต่างๆ

จากรูปเราจะพบว่าสัญญาณที่ได้มีค่าที่ความถี่ที่ 100 เฮิร์ทซึ่งสัญญาณโวลท์เตจดีซี (V_{DC}) จะอยู่ที่ความถี่ 0 เฮิร์ท เพราะฉะนั้นเพื่อความสะดวกในการออกแบบและได้ผลที่ดีเราจึงเลือกออกแบบที่ความถี่ต่ำผ่านได้ 10 เฮิร์ท

2. ทำการออกแบบวงจรกรองความถี่ต่ำเป็น แบบอนาลอคฟิลเตอร์ (Analog Filter) แบบบัทเตอร์เวอร์ท(Butterworth)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Ω_p = 20π เรเดียน/วินาที

Ω_s = 30π เรเดียน/วินาที

Rr = 7 เดซิเบล

As = 16 เดซิเบล

คำนวณหา H (s)

$$N = \log_{10} \frac{Log_{10}\left[\left(10^{R_P/10}-1\right)/\left(10^{A_S/10}-1\right)\right]}{2Log_{10}\left(\Omega_p/\Omega_s\right)}$$

$$= 2.79 \approx 3$$

หา ΩC จาก ΩP $\Omega_C = \frac{\Omega_p}{2N\sqrt{10^{R_P/10}-1}}$ = 49.85 เรเดียน/วินาที

หา ΩC จาก Ωs $\Omega_C = \frac{\Omega_S}{2N\sqrt{10^{A_S/10}-1}}$ = 51.22 เรเดียน/วินาที

เราสามารถใช้ $49.85 \le \Omega C \le 51.22$ เรเดียน/วินาที

เพื่อความสะดวกเลือก ΩC = 50 เรเดียน/วินาที

จะได้ค่า N = 3 และ ΩC = 50 เรเดียน/วินาที ไปออกแบบ

แบบบัทเตอร์เวอร์ท จะมีโพล 2N = 6 ตัว

โพลบนแกนจริงรัศมี 50 ตัวถัดไปห่าง π / N = π /3

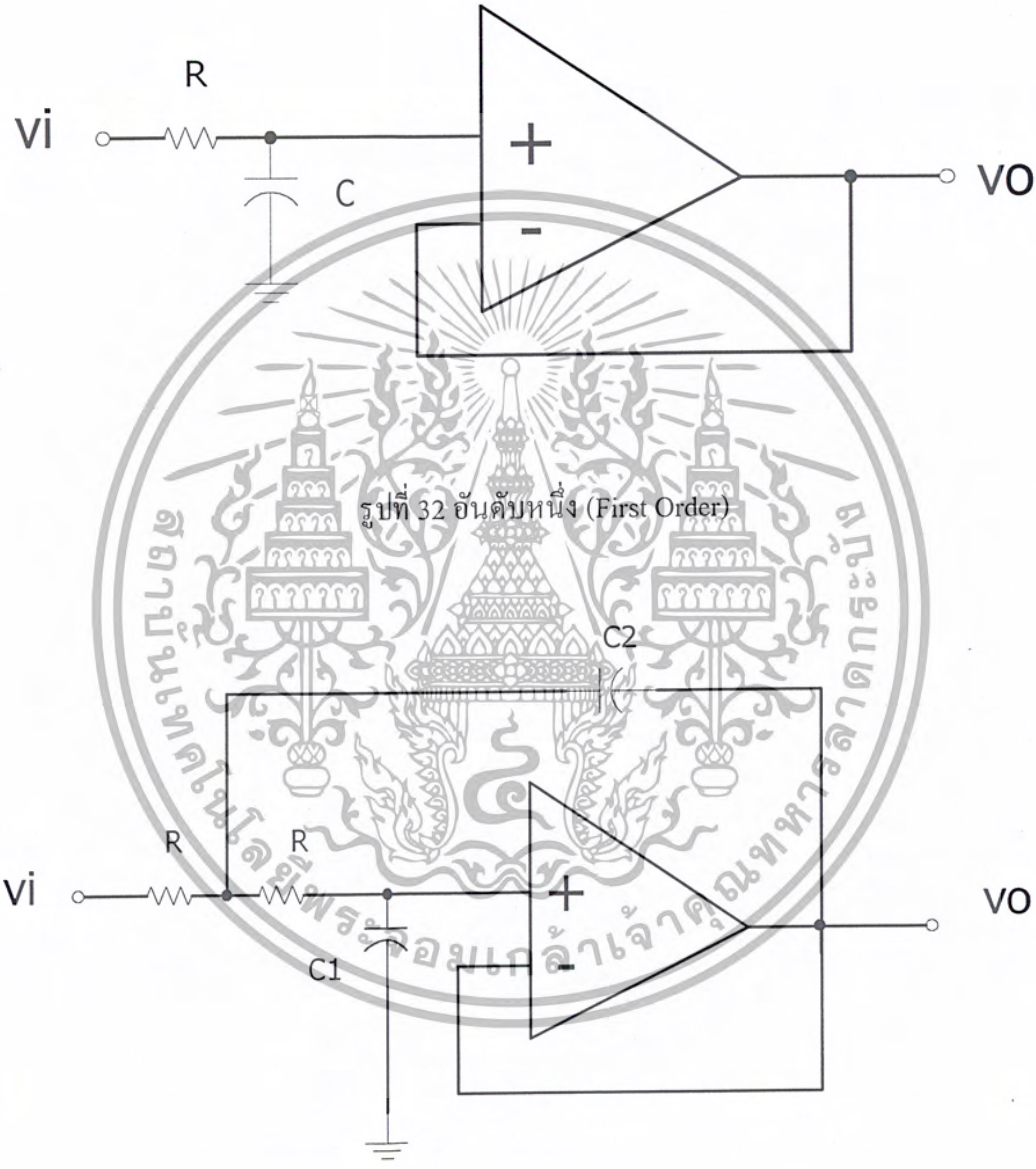
โดยเลือกเฉพาะโพลทางด้านซ้ายเพื่อให้ระบบมีเสถียรภาพ

$$H(S) = \frac{\Omega_C^3}{(S+50)\left(S-50e^{\frac{2}{3}\pi j}\right)\left(S-50e^{\frac{-2}{3}\pi j}\right)}$$

$$H(S) = \left[\frac{50}{S+50}\right]\left[\frac{2500}{S^2+50S+2500}\right]$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3. จาก H (s) ที่ได้มีโพลเป็น อันดับหนึ่ง (First Order) และ อันดับสอง (Second Order) ดังนั้น เราจะใช้วงจรตามรูป



รูปที่ 32 อันดับหนึ่ง (First Order)

รูปที่ 33 อันดับสอง (Second Order)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากวงจรเราจะทำการออกแบบค่า ตัวต้านทาน และ ตัวเก็บประจุ ให้ได้ตาม H(s) ที่เราออกแบบได้

อันดับหนึ่ง (First Order)

จากวงจรอันดับหนึ่ง (First Order) เราจะได้ ทรานส์เฟอร์ฟังค์ชัน (T.F.) ของวงจรคือ

$$\text{T.F.} = \frac{1/R_C}{S+1/R_C} = \frac{50}{S+50}$$

จาก ทรานส์เฟอร์ฟังค์ชันเทียบกับ H(s) เรากำหนดให้ใช้ ตัวเก็บประจุ 20 นาโนฟารัด

$$\frac{1}{RC} = 50$$

$$R = \frac{1}{50*20nF} = 1 \text{ เมกะโอห์ม}$$

อันดับสอง (Second Order)

จากวงจรอันดับสอง เราจะได้ทรานส์เฟอร์ฟังค์ชันของวงจรคือ

$$\text{T.F.} = \frac{1/R^2C_1C_2}{S^2+\frac{2}{RC_1}S+\frac{1}{R^2C_1C_2}} = \frac{2500}{S^2+50S+2500}$$

เรากำหนดให้ใช้ C1 = 20 นาโนฟารัด

$$\frac{2}{RC_1} = 50$$

$$R = \frac{2}{50*20nF} = 2 \text{ เมกะโอห์ม}$$

$$\frac{1}{R^2C_1C_2} = 2500$$

$$C2 = \frac{1}{2500*(2M)^2*20nF} = 5 \text{ นาโนฟารัด}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

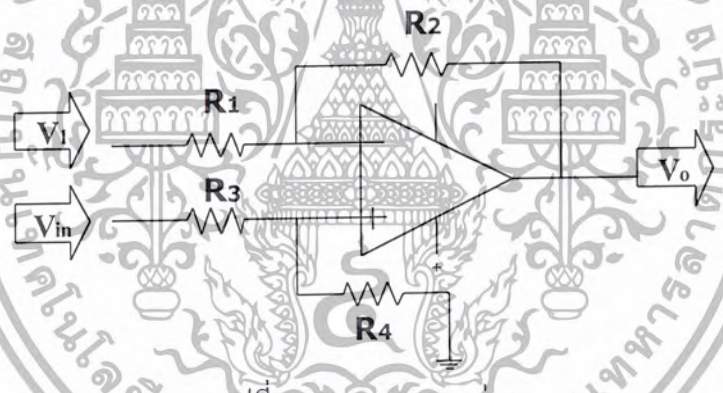
เราจะทำการต่อวงจรดังรูป โดยการนำเอาวงจรอันดับหนึ่ง และ วงจรอันดับสอง มาคาสเคด (Cascade) กันโดยสิ่งที่ใช้มีดังนี้

3.4.2.2. อุปกรณ์ที่ต้องใช้

1. LF351 2 ตัว
2. ตัวต้านทาน 1 เมกะโอห์ม 1 ตัว
3. ตัวต้านทาน 2 เมกะโอห์ม 2 ตัว
4. ตัวเก็บประจุ 20 นาโนฟารัด 2 ตัว

3.4.3. วงจรผลต่าง (Difference circuit)

เป็นวงจรที่ใช้ในการหาผลต่างของสัญญาณอินพุทมีวงจรเป็นดังรูป



รูปที่ 34 แสดงวงจรผลต่าง

3.4.3.1. ขั้นตอนการออกแบบ

จากสมการเราจะเห็นว่าค่าอินพุทที่ได้จะเกิดจาก R1 และ R2 เพราะฉะนั้นเลือกค่าเกนให้เป็นหนึ่ง โดยใช้ค่า R1 = R2 = 10 กิโลโอห์ม ดังนั้นจะได้ Vo = V2 - V1

3.4.3.2. อุปกรณ์ที่ต้องใช้

ต่อวงจรตามรูปโดยสิ่งที่ใช้มีดังนี้

1. LF351 1 ตัว
2. ตัวต้านทาน 10 กิโลโอห์ม 4 ตัว

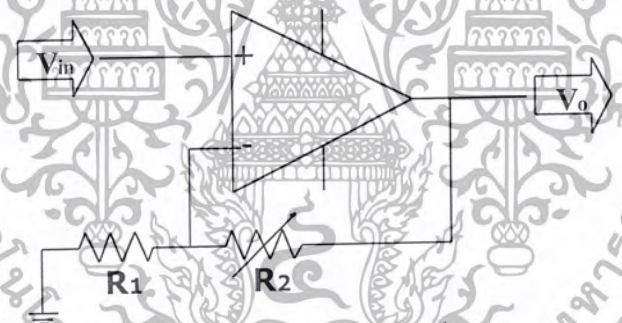
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.4.4. วงจรสร้างสัญญาณอ้างอิง (Reference Signal Generator Circuit)

เป็นวงจรที่ใช้ในการสร้างสัญญาณไซน์ที่มีความถี่ ฟันดาเมนทอล (Fundamental) คือ 50 เฮิร์ท ที่มีขนาด 1 โวลท์

3.4.4.1. ขั้นตอนการออกแบบ

1. เราจะทำการแปลงสัญญาณไซน์ที่การไฟฟ้าจ่ายให้มีขนาด 310 VP มาเป็น 1 VP โดยเราจะใช้หม้อแปลง แปลงจาก 220 Vrms (310Vp) มาเป็น 6 Vrms (8.48Vp)
2. จากนั้นเราก็นำเอาค่าโวลท์เตจ ที่แปลงได้มาเข้าวงจรลดขนาดสัญญาณ โดยวงจรจะใช้วงจรนอน-อินเวอร์ทติ้งแอมป์ (Non-Inverting Amp) ดังรูป โดยออกแบบค่า R1 และ R2 ดังนี้



รูปที่ 35 วงจรนอน-อินเวอร์ทติ้งแอมป์

$$VO = \left(1+\frac{R_2}{R_1}\right) V_1$$

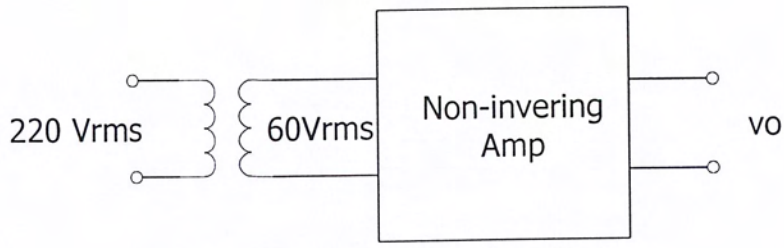
$Vi = 8.48$ VP , $Vo = 1$ VP

จากสมการ ถ้าให้ R1 = 2 กิโลโอห์ม จะได้ $1+\frac{R_2}{2K}=8.48$

$\therefore$ R2 $\approx$ 15 กิโลโอห์ม

เราจะทำการต่อวงจรตามรูปที่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 36 แสดงวงจรสร้างสัญญาณอ้างอิง

3.4.4.2. อุปกรณ์ที่ต้องใช้

1. หม้อแปลง จาก 220 Vrms เป็น 6 Vrms 1 ตัว
2. LF351 1 ตัว
3. ตัวต้านทาน 2 กิโลโอห์ม 1 ตัว
4. ตัวต้านทาน 15 กิโลโอห์ม 1 ตัว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

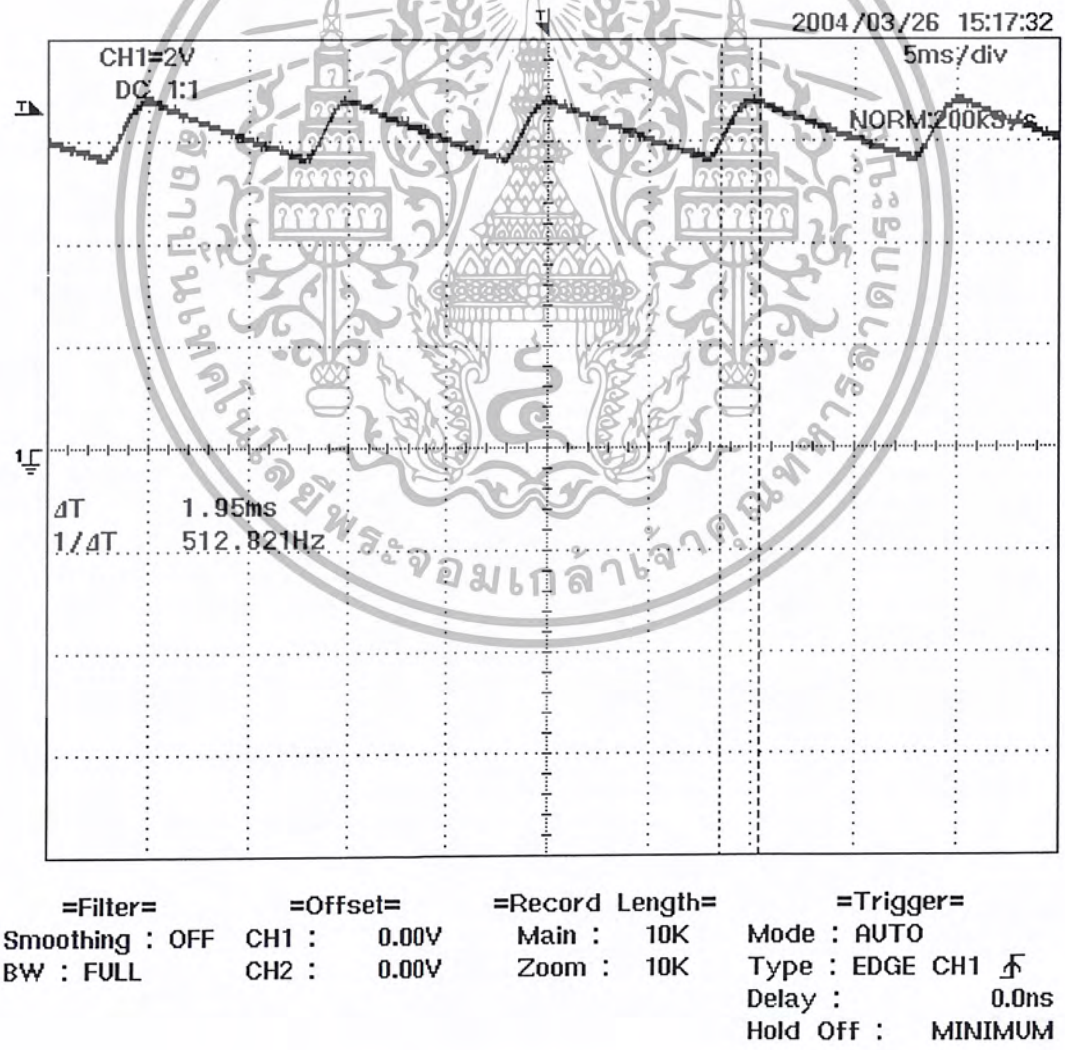
บทที่ 4

การทดลองและผลการทดลอง

จากที่กล่าวไว้ในบทก่อนหน้านี้มีทั้งทฤษฎีและการคำนวณจากบทนี้เราจะทำการทดลองจริงเทียบกับผลการคำนวณว่าตรงกันหรือไม่

4.1. โหลดที่ไม่เป็นเชิงเส้น (Nonlinear Load)

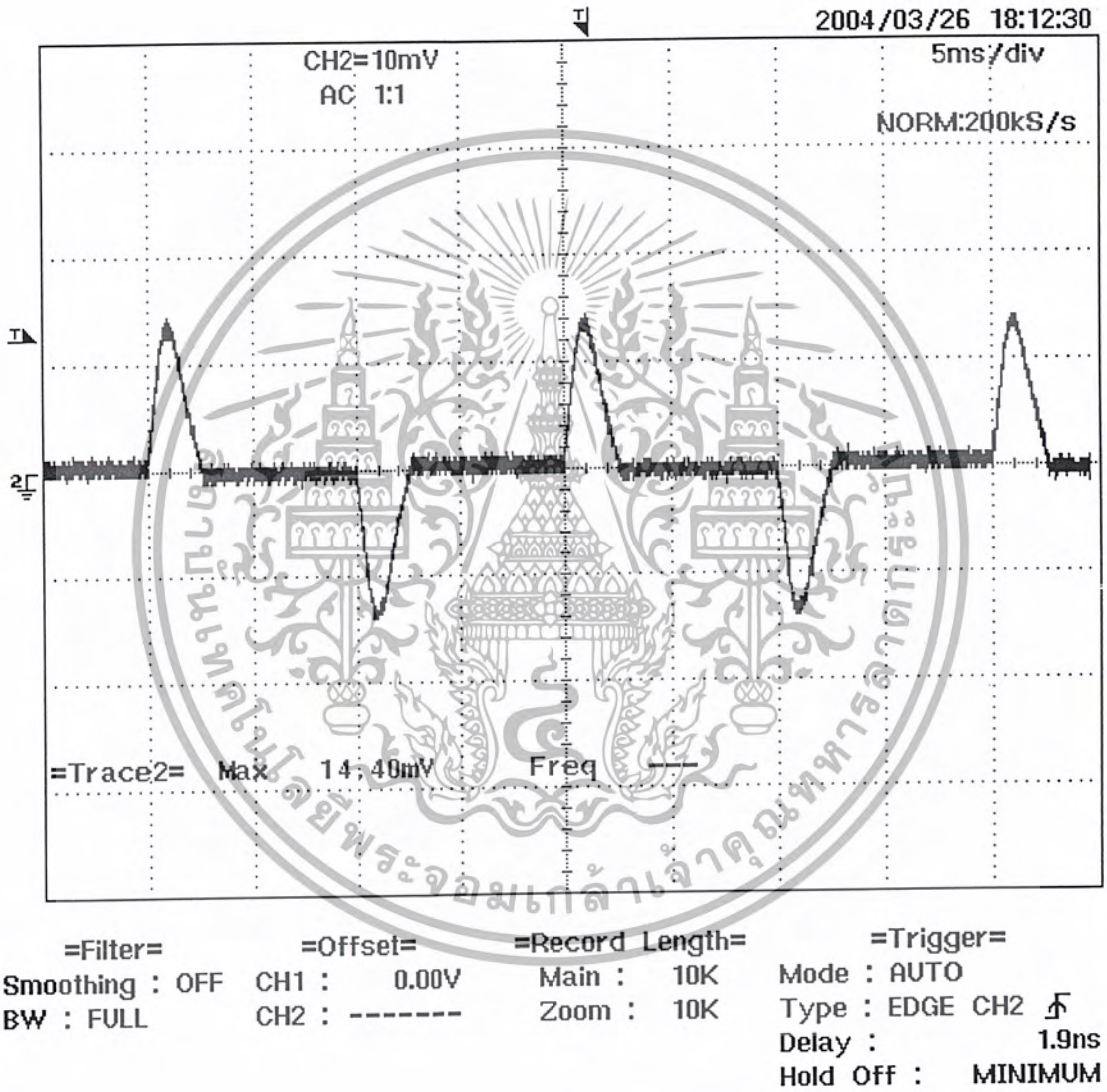
ผลของสัญญาณ Vo ของวงจรบริจด์เร็คติฟลาย



รูปที่ 37 รูปสัญญาณ Vo ของวงจรบริจด์เร็คติฟลาย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ผลของสัญญาณ ii ของวงจรบริจด์เร็คติฟลาย

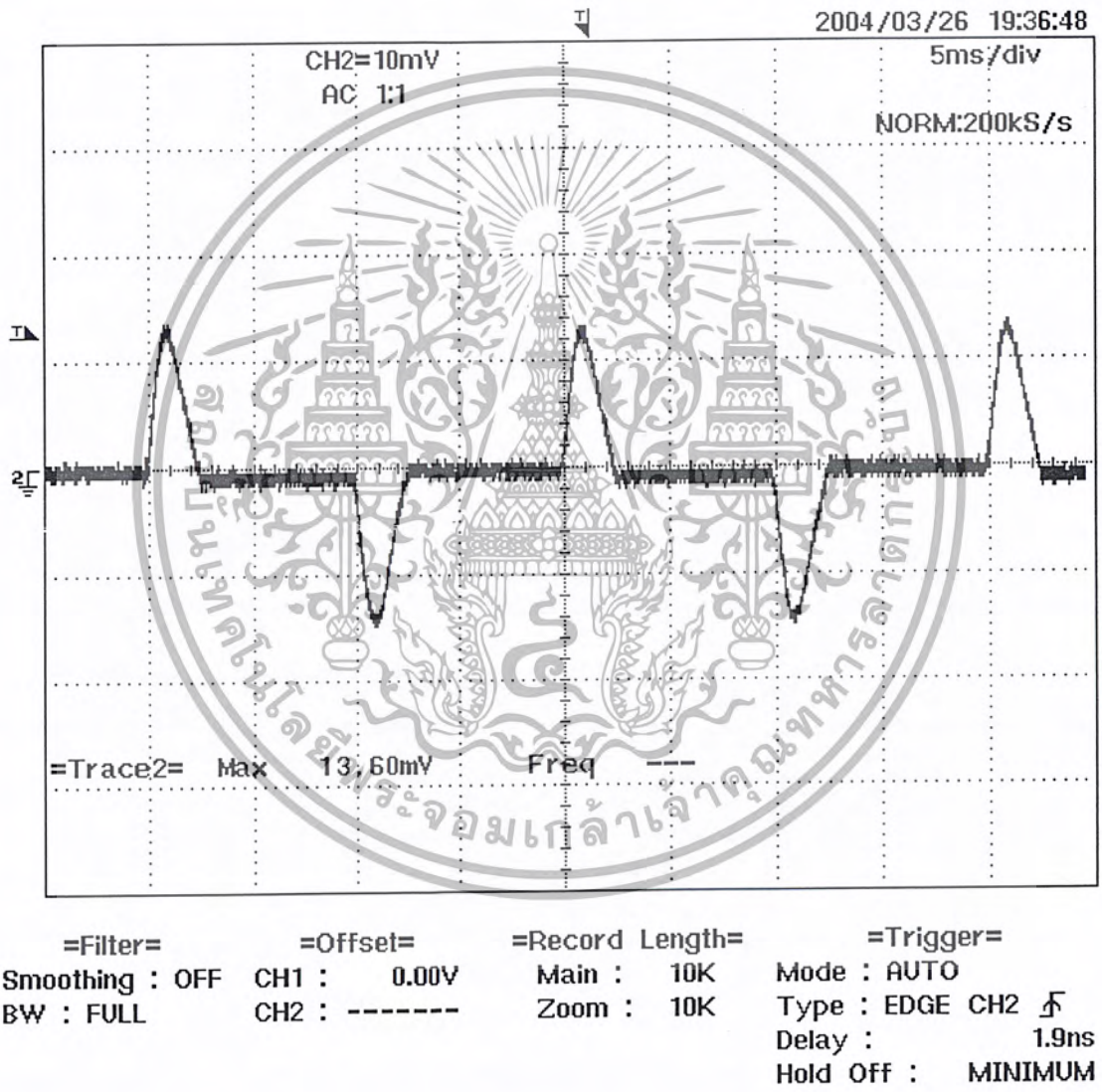


รูปที่ 38 รูปสัญญาณ ii ของวงจรบริจด์เร็คติฟลาย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2. วงจรเซนเซอร์ (Sensor Circuit)

ผลการวัดสัญญาณ ii ของวงจรบริจด์เร็คติฟลายโดยวงจรเซนเซอร์



รูปที่ 39 รูปสัญญาณ ii ของวงจรบริจด์เร็คติฟลายที่วัดโดยวงจรเซนเซอร์

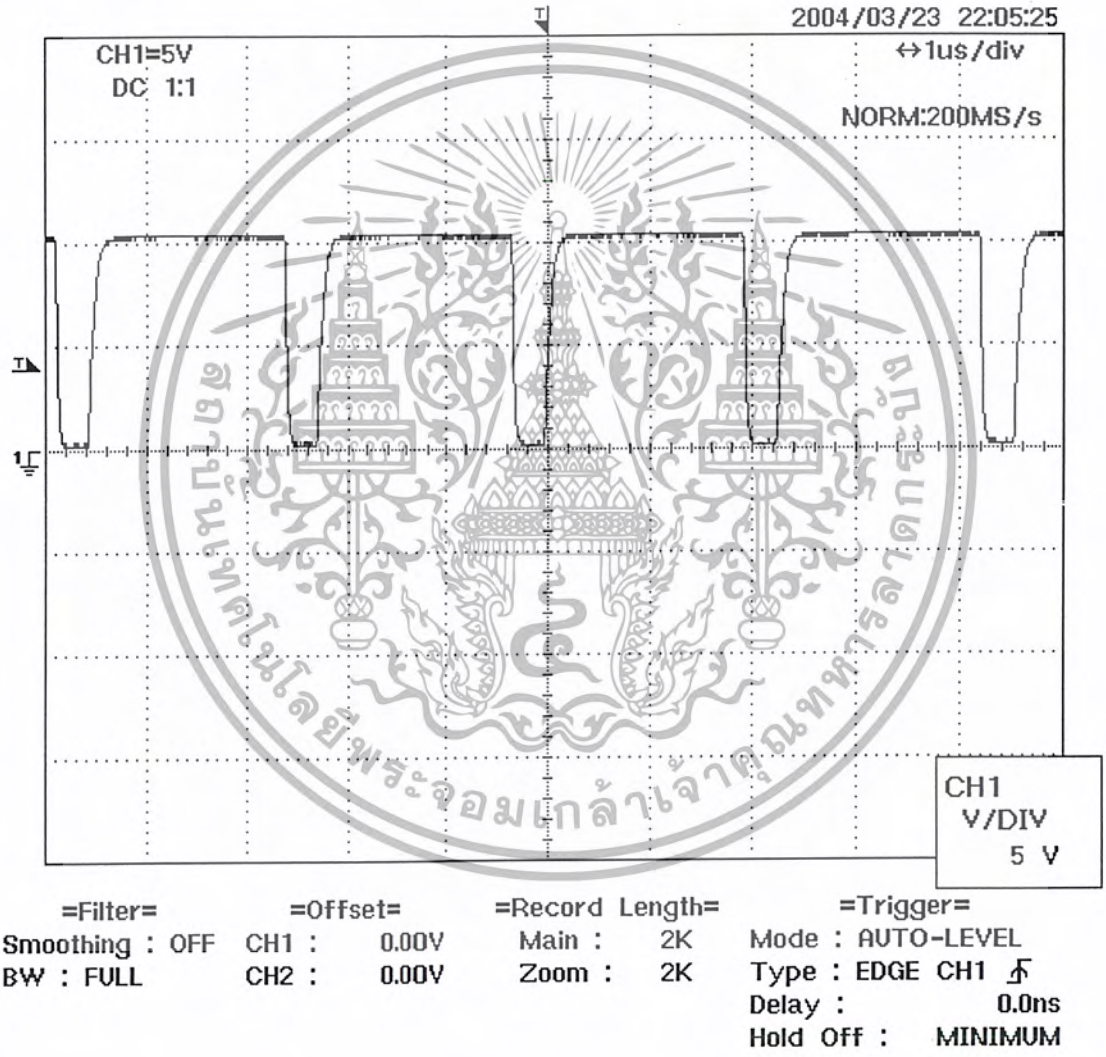
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.3. ภาควงจรเพาเวอร์ (Power Circuit)

4.3.1. วงจรหน่วงเวลา (Delay Time Circuit)

วงจรสร้างสัญญาณนาฬิกา

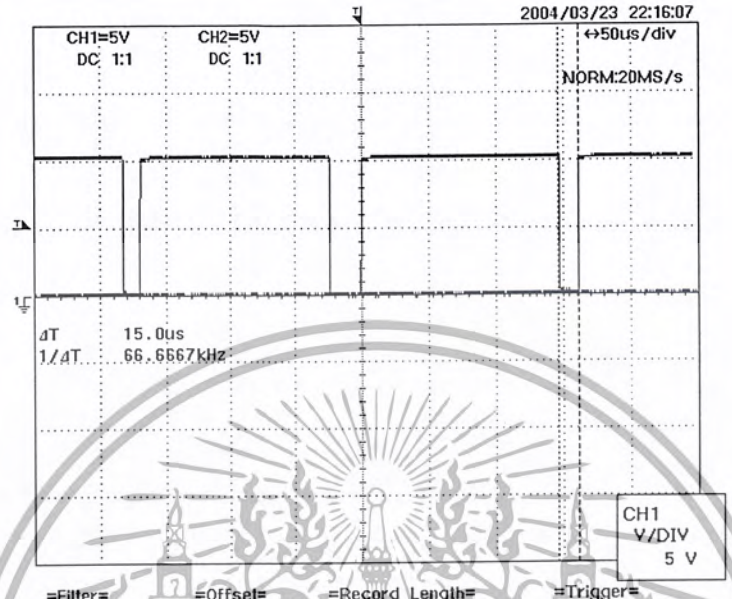
ผลของสัญญาณนาฬิกา



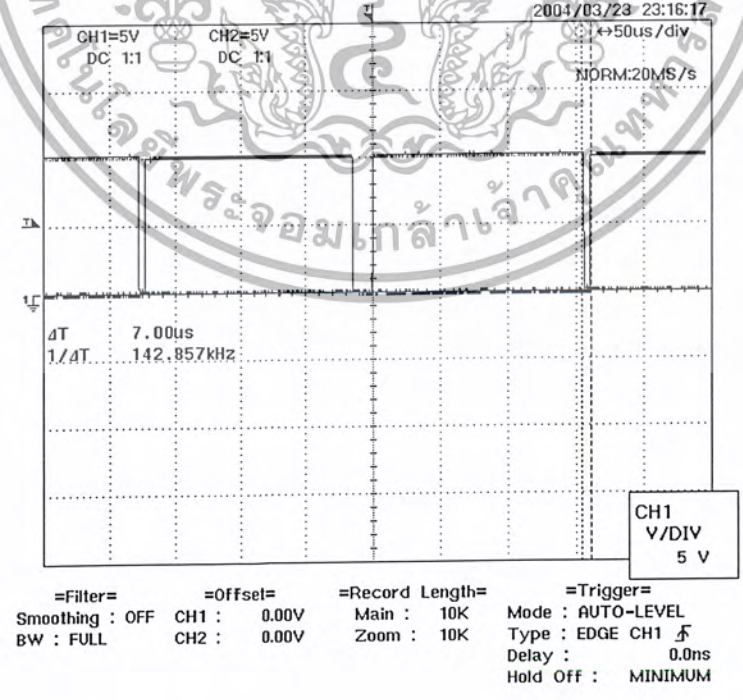
รูปที่ 40 รูปสัญญาณนาฬิกา 0.5 เมกะเฮิร์ท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ผลของการหน่วงเวลาของสัญญาณ



รูปที่ 41 แสดงผลการหน่วงเวลาของวงจรหน่วงเวลาที่ 8 บิท



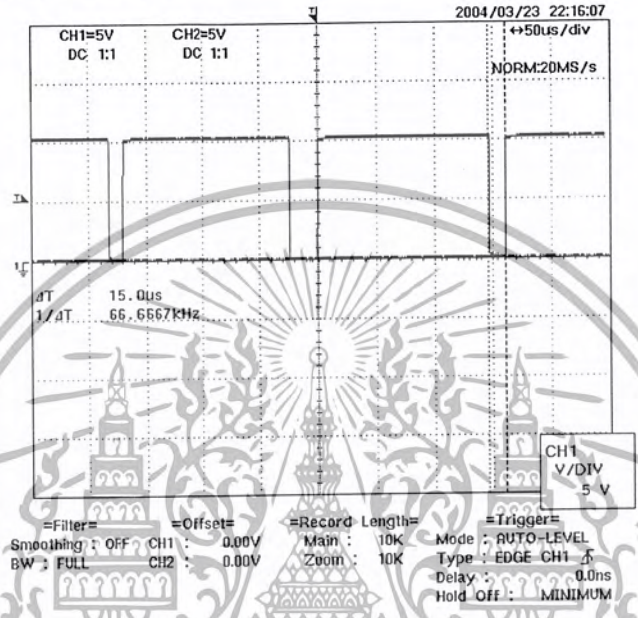
รูปที่ 42 แสดงผลการหน่วงเวลาของวงจรหน่วงเวลาที่ 4 บิท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

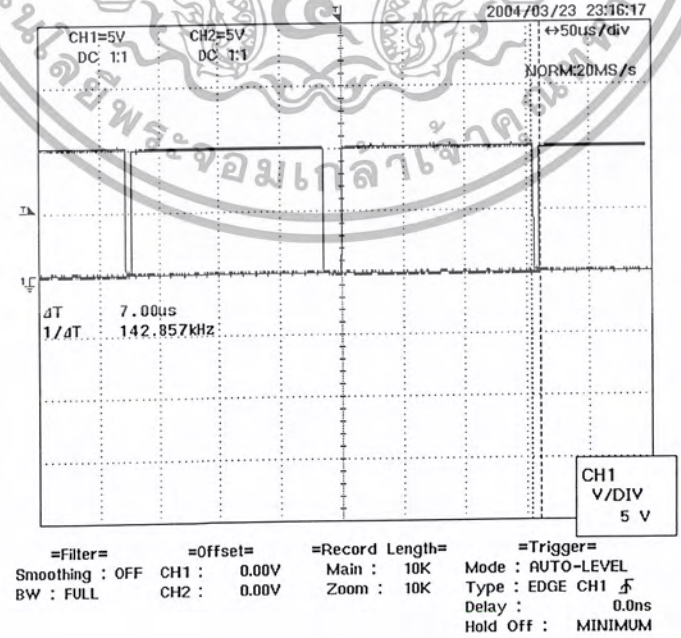
4.3.2. วงจรขับโวลท์เตจและแยกกราวน์

เราจะทำการทดสอบโดยต่อวงจรแล้ววัดผลที่ Vo โดยวัดผลที่ Vo โดยสัญญาณอินพุท คือ Q และ $\overline{Q}$

สัญญาณอินพุท (Q, $\overline{Q}$)

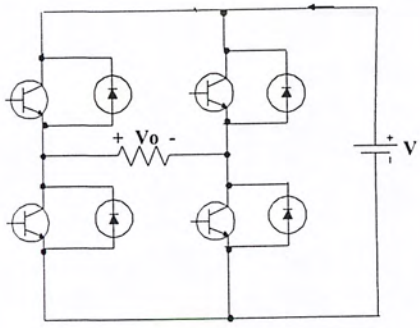


รูปที่ 43 แสดงสัญญาณอินพุท Q, $\overline{Q}$ จากวงจรหน่วงเวลา 8 บิท

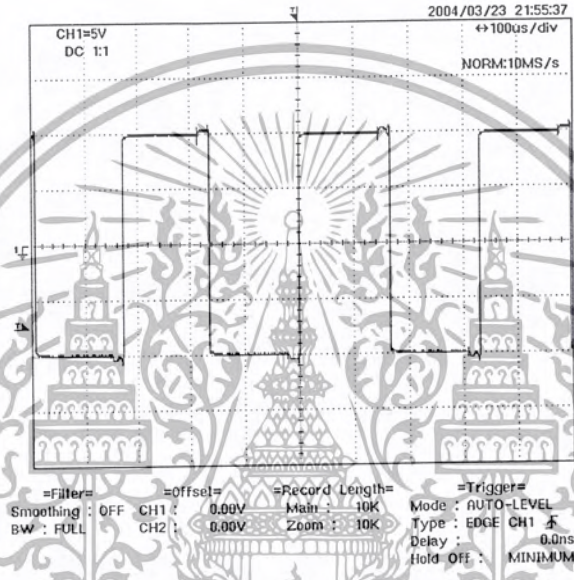


รูปที่ 44 แสดงสัญญาณอินพุท Q, $\overline{Q}$ จากวงจรหน่วงเวลา 4 บิท

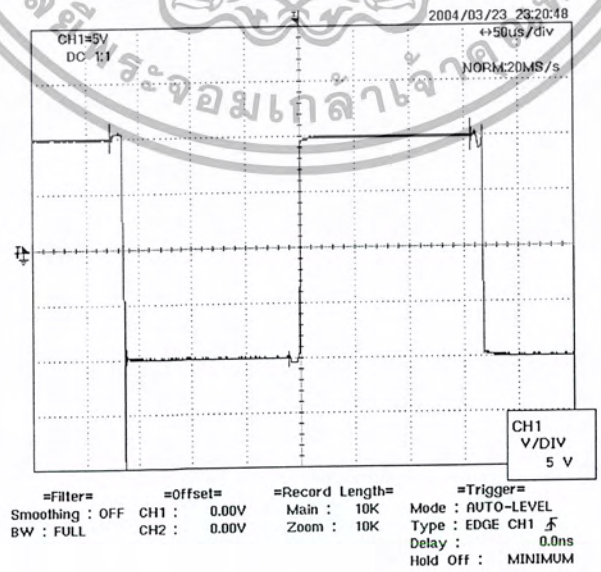
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ผลของสัญญาณที่ Vo



รูปที่ 45 แสดงผลของ Voโดยอินพุท เป็น Q ,$\overline{Q}$ ที่ 8 บิท



รูปที่ 46 แสดงผลของ Voโดยอินพุท เป็น Q ,$\overline{Q}$ ที่ 8 บิท

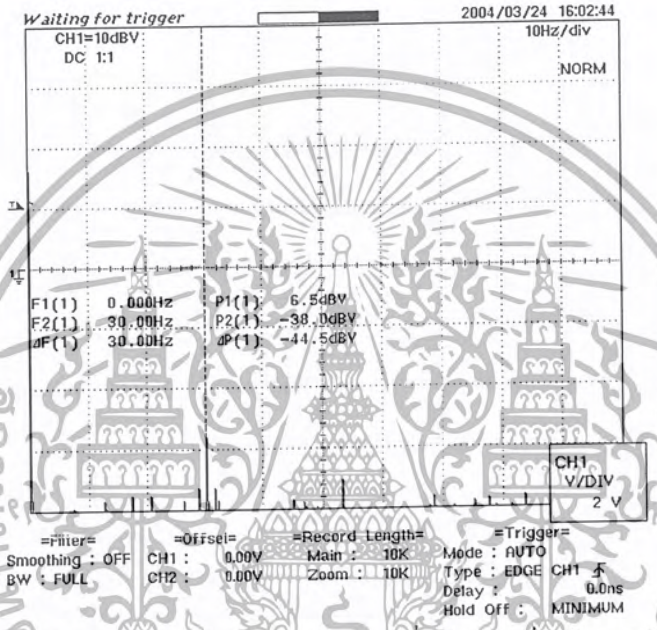
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.4. ภาควงจรสร้างกระแสชดเชยอ้างอิง (Reference Compensation Current Circuit)

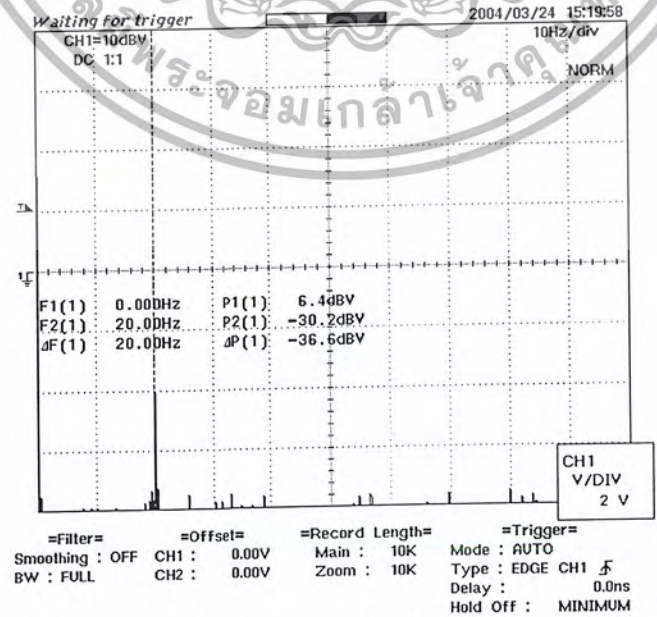
4.4.1. วงจรอินทิเกรเตอร์ (Integrator Circuit)

ผลจริงของสัญญาณVoของวงจรอินทิเกรเตอร์

เมื่ออินพุทเป็นสัญญาณไซน์ 2โวลท์ มีออฟเซต2 โวลท์ ที่ความถี่ต่างๆ

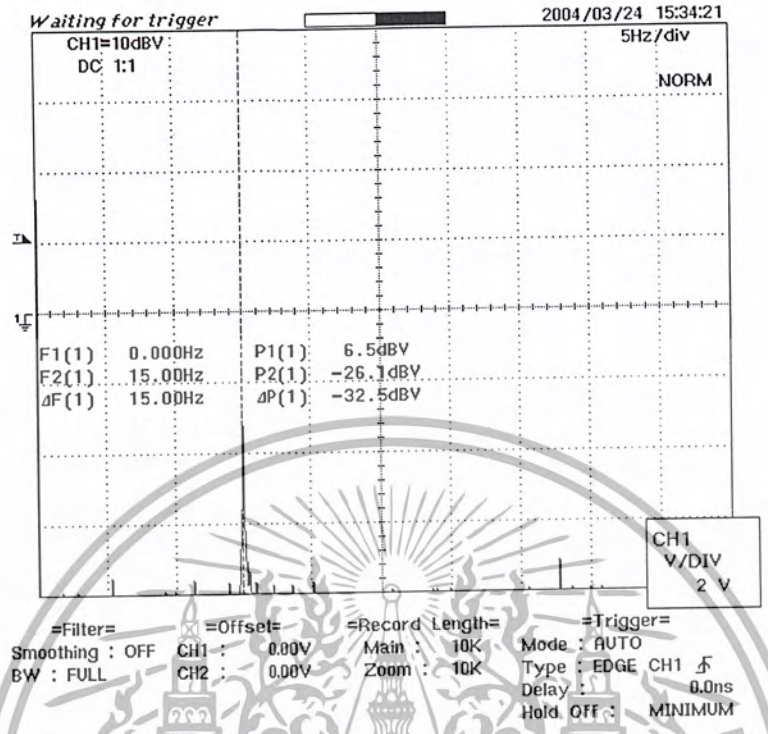


รูปที่ 47 แสดงผลฟูเรียร์ของสัญญาณ Vo เมื่ออินพุทเป็นสัญญาณ 30 เฮิร์ท

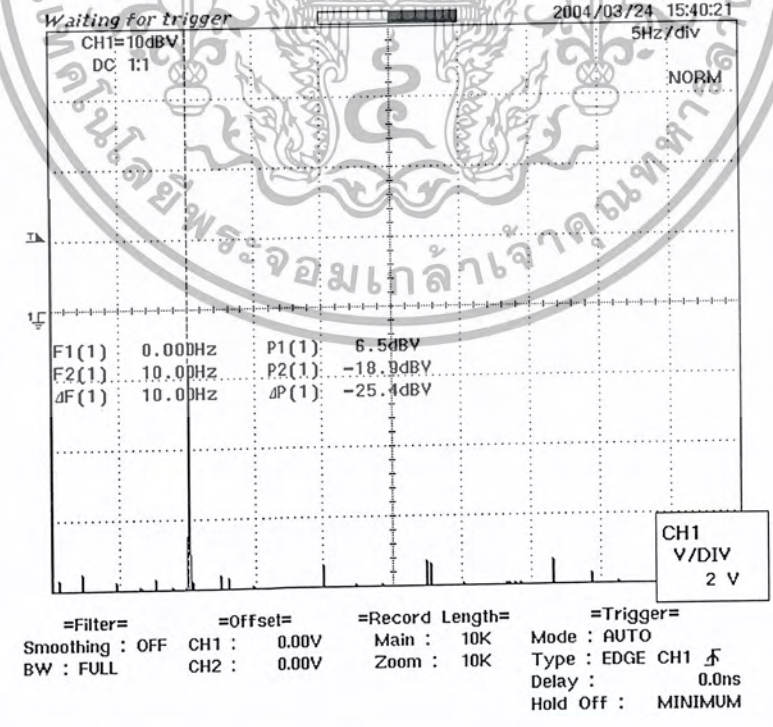


รูปที่ 48 แสดงผลฟูเรียร์ของสัญญาณ Vo เมื่อเอินพุทป็นสัญญาณ 20 เฮิร์ท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

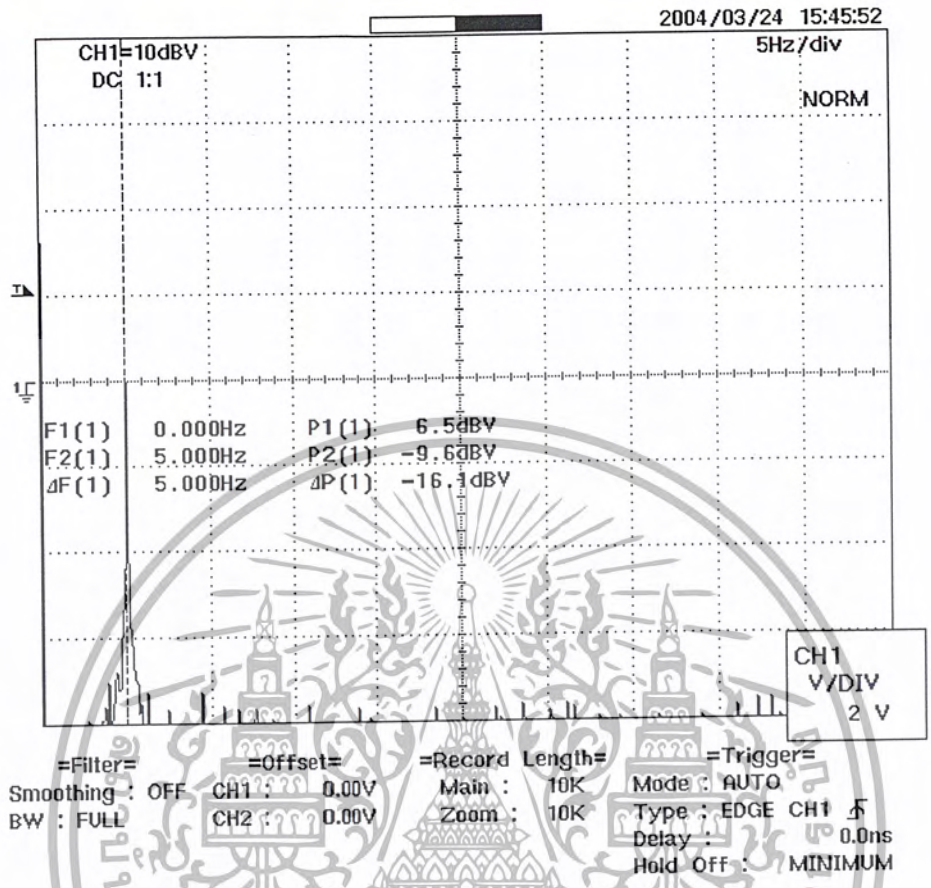


รูปที่ 49 แสดงผลฟูเรียร์ของสัญญาณ Vo เมื่ออินพุทเป็นสัญญาณ 15 เฮิร์ท



รูปที่ 50 แสดงผลฟูเรียร์ของสัญญาณ Vo เมื่ออินพุทเป็นสัญญาณ 10 เฮิร์ท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



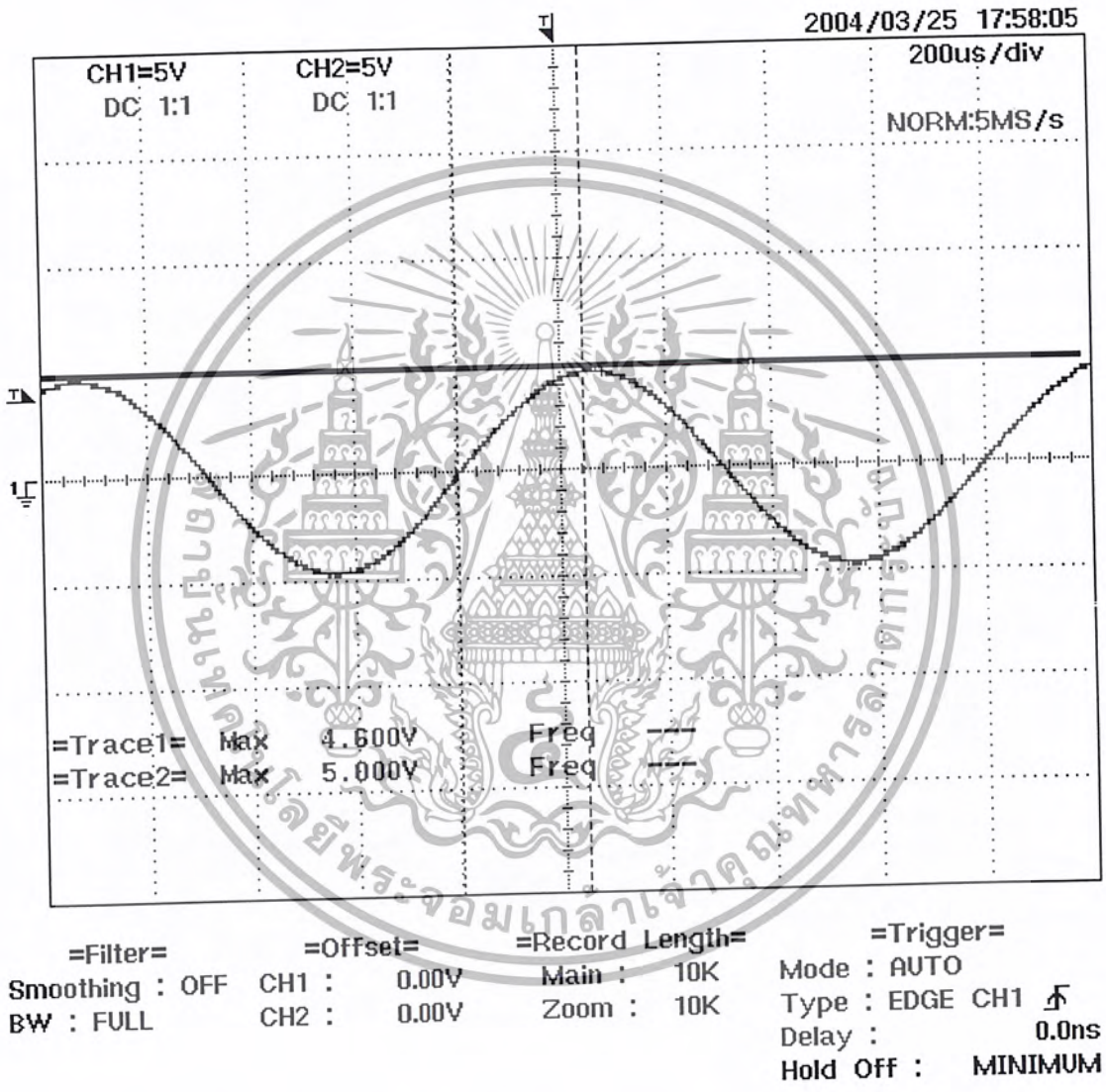
รูปที่ 51 แสดงผลฟูเรียร์ของสัญญาณ Vo เมื่ออินพุทเป็นสัญญาณ 5 เฮิร์ท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.4.2. วงจรคูณ (Multiplier Circuit)

ผลการทดลองจรริงของสัญญาณ Vo โดย Vo = V1 * V1

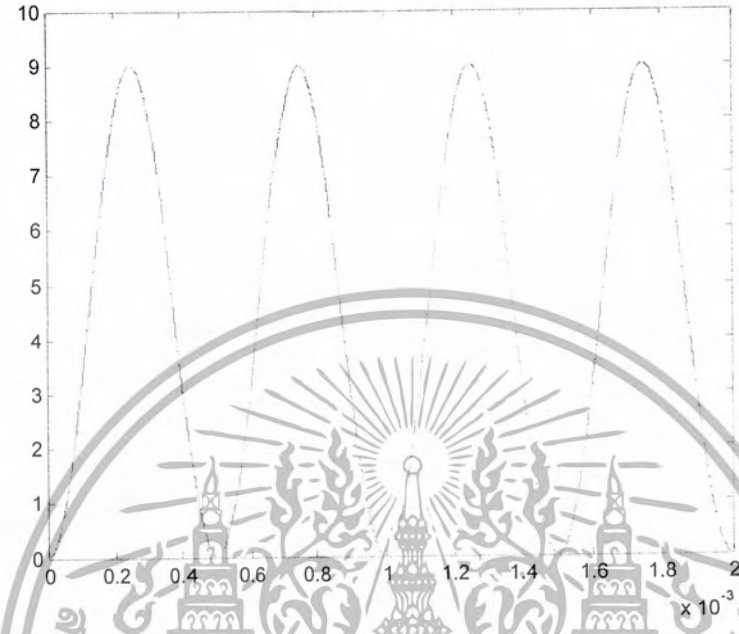
สัญญาณอินพุท V1 = 5 , V2 = sin (2π (1000)t)



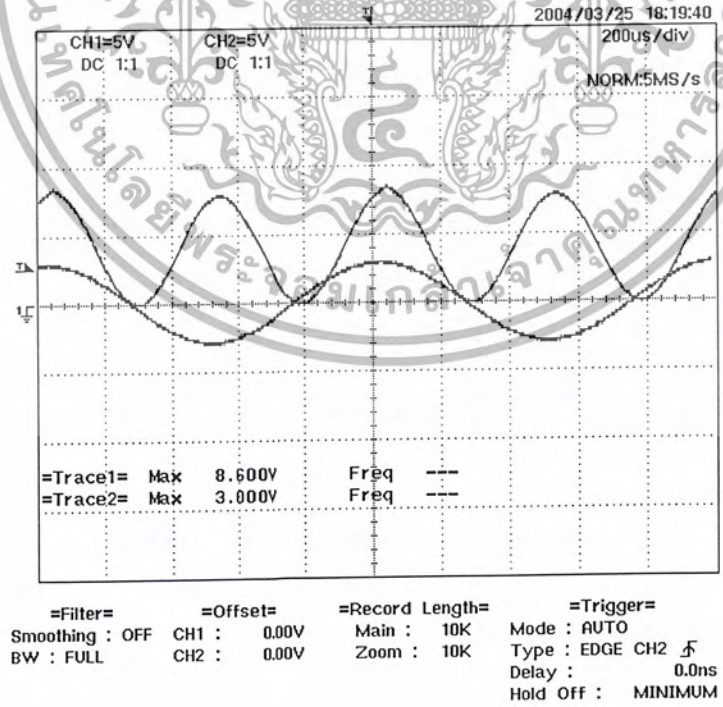
รูปที่ 52 ผลของสัญญาณ Vo เมื่ออินพุท V1 = 5 ,V2 = sin (2π (1000)t)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณอินพุท V1 = 3 sin (2π(1000)t) , V2 = 3 sin (2π(1000)t)



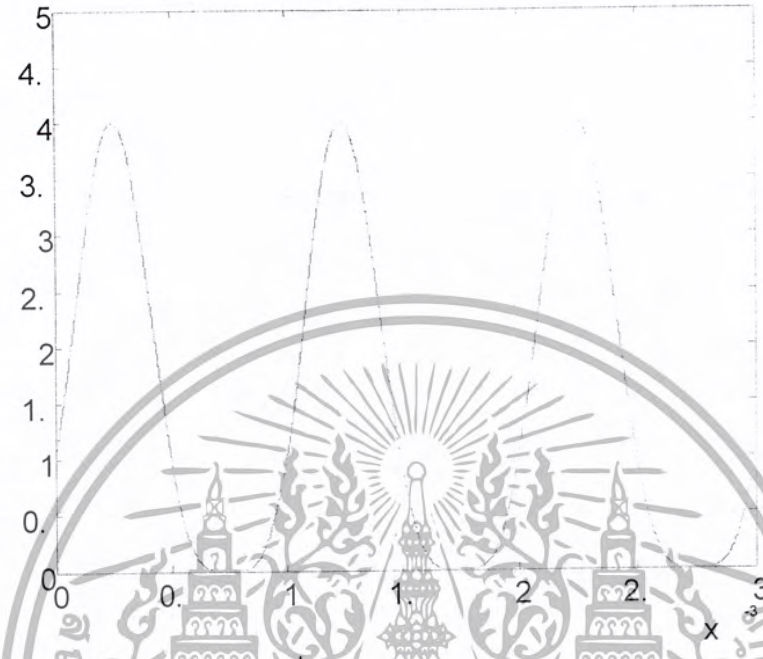
รูปที่ 53 ผลการซิมูเลทสัญญาณ Vo เมื่ออินพุทV1 = 3sin(2π(1000)t) ,V2 = 3sin(2π(1000)t)



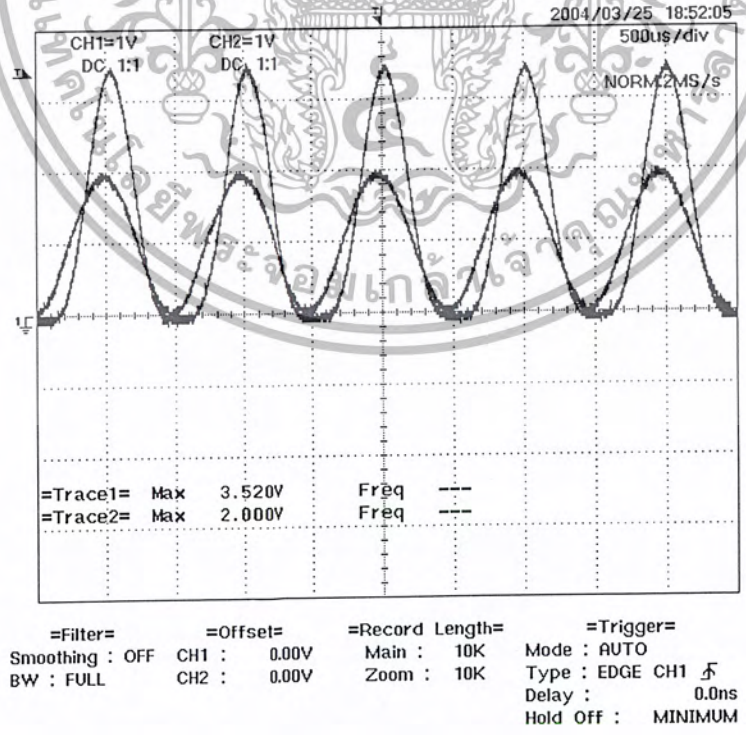
รูปที่ 54 ผลของสัญญาณ Vo เมื่ออินพุท V1 = 3sin(2π(1000)t) ,V2 = 3 sin(2π(1000)t)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณอินพุท V1 = 1 + sin (2π (1000)t) , V2 = 1 + sin (2π (1000)t)



รูปที่ 55 ผลการซิมูเลทสัญญาณ Vo เมื่ออินพุท V1= 1+sin(2π(1000)t) ,V2 = 1+sin(2π (1000)t)



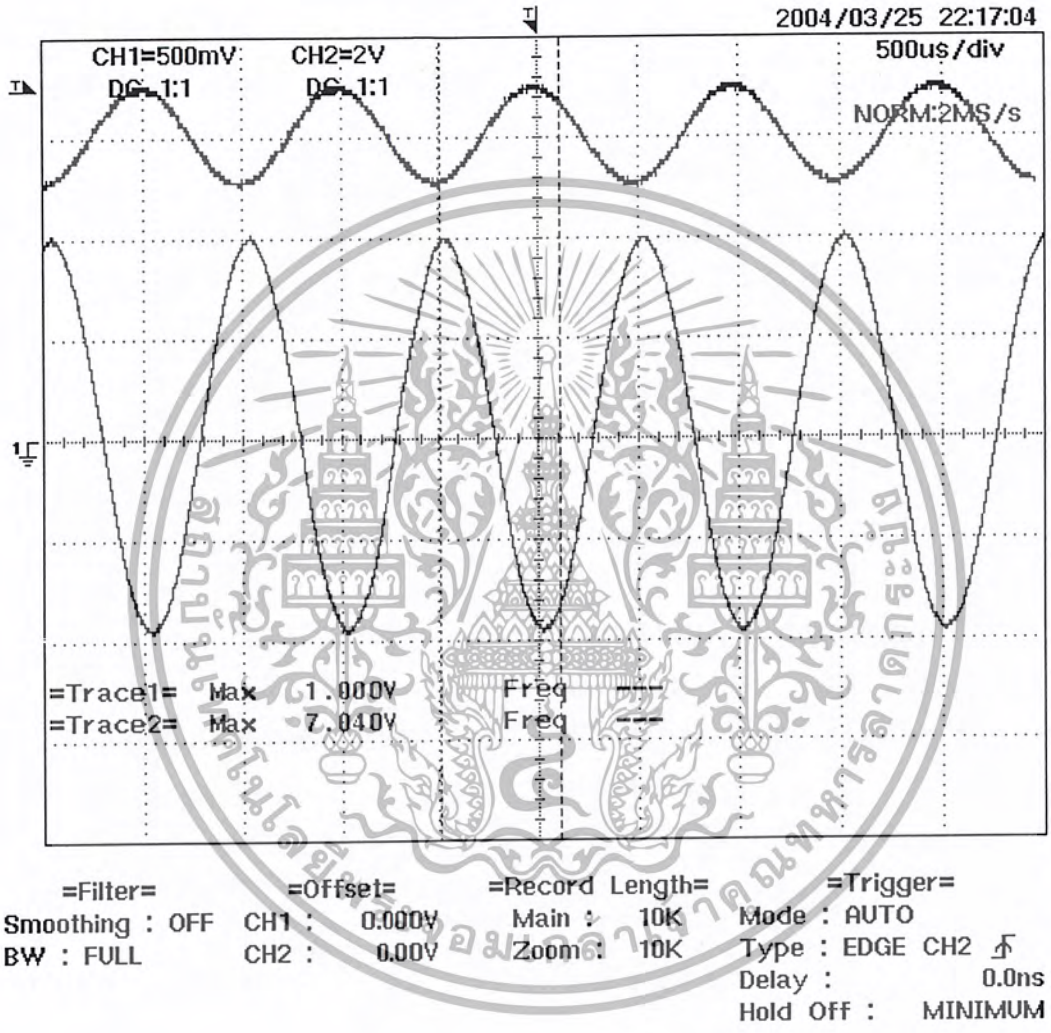
รูปที่ 56 ผลของสัญญาณ Vo เมื่ออินพุท V1= 1+sin(2π(1000)t) ,V2 = 1+sin(2π (1000)t)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.4.3. วงจรผลต่าง (Difference Circuit)

ผลการทดลองจริงของสัญญาณ Vo โดย Vo = V1 - V2

สัญญาณอินพุท V1 = 6 , V2 = 2 sin (2π (1000)t)



รูปที่ 57 ผลของสัญญาณ Vo เมื่ออินพุท V1=6 ,V2= 2sin(2π(1000)t)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
บทวิจารณ์และสรุป

จากการศึกษาและทดลองจริงของปริญญานิพนธ์นี้ ผลที่ออกมาได้เป็นที่ยอมรับได้ในส่วนหนึ่งและยังยอมรับไม่ได้อีกส่วนหนึ่ง ซึ่งปัญหาที่เกิดขึ้นนี้เกิดจากวัสดุที่ใช้ต้องมีการปรับแต่งค่าที่ละเอียดอ่อน เช่น ตัวต้านทานที่ปรับค่าได้ ผลที่เกิดขึ้นทำให้ค่าที่ออกมาเกิดความผิดพลาด ซึ่งนั้นหมายถึงระบบโดยรวมเกิดความผิดพลาดด้วย

สรุปชิ้นงานที่ได้ทำในโครงงานนี้

1. โหลดที่ไม่เป็นเชิงเส้น (Nonlinear Load) ซึ่งเป็น วงจรฟูลบริดจ์เรคทิไฟเออร์ (Full Bridge Rectifier)
2. วงจรเซนเซอร์สัญญาณกระแส (Sensor Current Circuit)
3. วงจรสร้างสัญญาณนาฬิกา
4. วงจรหน่วงเวลา (Delay Time Circuit)
5. วงจรขับมอสเฟท (Drive Mosfet)
6. วงจรบริจด์คอนเวอร์ทเตอร์ (Bridge Convertor)
7. วงจรคูณ (Multiplier Circuit)
8. วงจรกรองความถี่ต่ำ (Lowpass Filter)
9. วงจรผลต่าง (Difference Circuit)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

New single-phase active power filter

H.-L. Jou
J.-C. Wu
H.-Y. Chu

Indexing term: Filters and filtering

Abstract: A new algorithm for a single-phase active power filter, based on calculation of the real part of the fundamental load current, is proposed in the paper. The algorithm proposed can maintain the input power factor of the mains close to unity and force the mains current to be a sinewave under distorted or nondistorted mains voltage. A prototype is developed and tested to verify its performance. The experimental results show that the algorithm proposed can compensate for the reactive power and suppress the harmonics of the nonlinear load effectively.

List of symbols

$v_s(t)$ = mains voltage
V_p = peak value of mains voltage
$i_L(t)$ = load current
I_n = nth-order harmonic of load current
ω = angular frequency of the mains
θ_n = phase of the nth-order harmonic of load current
$i_r(t)$ = reference sinusiodal signal
I_1 = peak value of the fundamental component of the load current
i_x = amplitude of the real part of the fundamental load current
T = period of the mains
$i_{cr}(t)$ = reference compensation signal
$i_s(t)$ = mains current
$i_{sc}(t)$ = calculated mains current
I_{sm} = peak value of the mains current
$p_s(t)$ = power supplied from the mains
P_s = DC component of $p_s(t)$
$\tilde{p}_s(t)$ = AC component of $p_s(t)$
$p_L(t)$ = power consumed by the load
P_L = DC component of $p_L(t)$
$\tilde{p}_L(t)$ = AC component of $p_L(t)$
$p_c(t)$ = power injected into the convertor
P_c = DC component of $p_c(t)$
P_{loss} = power loss of the convertor
$\tilde{p}_c(t)$ = AC component of $p_c(t)$
K_p = proportion constant of the PI controller
K_I = integration constant of the PI controller
I_{cor} = output of the PI controller
C_d = DC busbar capacitor
L_f = filter inductor
$v_c(t)$ = DC capacitor voltage
V_c = average voltage of the DC capacitor
$\tilde{v}_c(t)$ = voltage fluctuation of the DC capacitor
$i_{dc}(t)$ = DC busbar current
I_{dc} = DC component of the DC busbar current
$\tilde{i}_{dc}(t)$ = low-order harmonic components of the DC busbar current
$\hat{i}_{dc}(t)$ = high-order harmonic components of the DC busbar current

1 Introduction

Harmonics is a problem in power systems that has become serious recently owing to the wide use of power electronics-related equipment. Furthermore, the input power factor of most of this equipment is poor. Conventionally, a passive power filter and capacitor were used to attenuate the harmonics and improve the input power factor. However, they have many disadvantages, such as large size, resonance, fixed compensation characteristic etc. [1]. To solve the problems of power-factor correction, many different configurations of static VAR compensators (SVCs) have been proposed [2, 3]. Unfortunately, some SVC configurations generate lower-order harmonics themselves [3], and the response time of some SVC configurations may be too long to be acceptable for fast-fluctuating loads.

Many harmonics-suppression methods based on the technique of power electronics have been developed [3–17] to solve harmonics problems. One of them is the active power filter. The configurations of active power filter developed include three-phase and single-phase systems. The three-phase system implemented by a three-phase bridge inverter is suitable for large capacity. However, three single-phase bridge inverters, rather than a single three-phase bridge inverter, are more suitable for serious unbalanced loads [3]. That is, each phase must be compensated for independently.

The investigation in this paper concentrates on the single-phase active power filter. Many single-phase algorithms have been developed, but the performance of some still needed to be improved. The half-cycle integration algorithm has the inherent problem that it produces a large error when the load current contains even-order harmonics [3]. The current-sampling detection algorithm

© IEE, 1994

Paper 9938B (P4, P6), received 25th June 1993

H.-L. Jou is with the Department of Electrical Engineering, National Kaohsiung Institute of Technology, Kaohsiung, 80782 Taiwan
J.-C. Wu is with the Department of Electrical Engineering, Kao Yuan Junior College of Technology & Commerce, Kaohsiung, Taiwan
H.-Y. Chu is with the Department of Electrical Engineering, National Cheng Kung University, Tainan, 70101 Taiwan

The authors would like to acknowledge the support of the National Science Council, Taiwan, under contract NSC-81-0115-E151-07.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

cannot compensate effectively as the load current is seriously distorted [3]. The performances of the full-cycle integration algorithm and synchronous detection algorithms are better than the above two algorithms [3, 13]. However, the performance of all these algorithms will be degraded under distorted mains voltage.

A new algorithm for an active power filter is proposed in this paper to improve compensation accuracy under distorted mains voltage. A prototype is developed and tested to verify its performance. The simulation and test results show that the prototype has the performance desired.

2 Basic theory

Fig. 1 shows the power circuit of the active power filter. The load in this diagram may be a rectifier or other non-

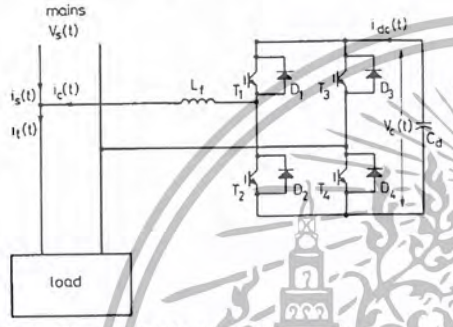


Fig. 1 *Power circuit of the proposed active power filter*

linear load. Assuming the mains voltage is a pure sinewave, it is represented as

$$v_s(t) = V_p \sin(\omega t) \tag{1}$$

The nonlinear load current can be represented as

$$i_L(t) = \sum_{n=1}^{\infty} I_n \sin(n\omega t + \theta_n) \tag{2}$$

It can be subdivided into the fundamental and harmonic components as

$$i_L(t) = I_1 \sin(\omega t + \theta_1) + \sum_{n=2}^{\infty} I_n \sin(n\omega t + \theta_n) \tag{3}$$

Assuming a reference sinusoidal signal is represented as

$$i_r(t) = \sin(\omega t) \tag{4}$$

the amplitude of the real part of the fundamental load current can be extracted using the Fourier algorithm and represented as

$$I_x = \frac{1}{T}\int_0^T i_L(t) i_r(t)\, dt = I_1 \cos\theta_1 \tag{5}$$

Then, the real part of the fundamental load current can be obtained by multiplying I_x by $i_r(t)$, and it is represented as

$$i_{sc}(t) = I_x i_r(t) = I_1 \cos\theta_1 \sin(\omega t) \tag{6}$$

Hence, the calculated compensation current can be obtained by subtracting eqn. 2 from eqn. 6. It is shown as

$$i_{cr}(t) = i_L(t) - i_{sc}(t) = \sum_{n=1}^{\infty} I_n \sin(n\omega t + \theta_n) - I_1 \cos\theta_1 \sin(\omega t) \tag{7}$$

3 Calculated circuit of the compensation current

The block diagram for implementing the proposed active power filter is shown in Fig. 2. The mains voltage is fed

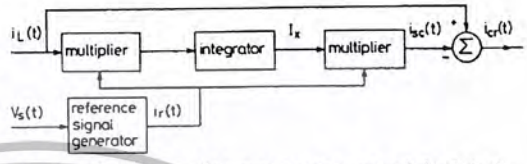


Fig. 2 *Block diagram of the compensation current calculated circuit for the proposed active power filter*

to the reference sinusoidal signal generator to generate a reference signal $i_r(t)$. The load current and the reference signal are fed to the input terminals of a multiplier. Then, the output of the multiplier is fed to a linear integrator. The output of the integrator is the amplitude of the real part of the fundamental load current if the parameters of the integrator are designed suitably. The output of the integrator and the output of the reference signal are fed to the input terminals of a multiplier. As the reference signal is in phase with the mains voltage, the output of the multiplier is the real part of the fundamental load current. Finally, the compensation current $i_{cr}(t)$ can be obtained by a subtract circuit that subtracts $i_{sc}(t)$ from the load current $i_L(t)$.

Fig. 3 shows the test results of the compensation current calculated circuit. The mains voltage and the load

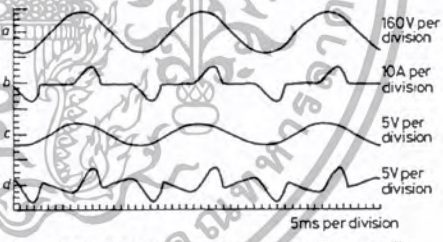


Fig. 3 *Test results of the proposed active power filter controller*
a Mains voltage $v_s(t)$
b Load current $i_L(t)$
c Fundamental load current $i_{sc}(t)$
d Reference compensation current $i_{cr}(t)$

current are shown in Figs. 3*a* and *b*, respectively. The calculated $i_{sc}(t)$ and $i_{cr}(t)$ are shown in Figs. 3*c* and *d*. It shows that the calculated $i_{sc}(t)$ is a pure sinewave and in phase with $v_s(t)$. From this Figure, it can be concluded that the proposed algorithm can be implemented by an analogue circuit, and that it has the performance of reactive-power compensation and harmonics suppression of the nonlinear loads. For practical application, $i_{cr}(t)$ must be fed to a power convertor to generate the practical compensation current.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4 Control circuit of the DC busbar voltage

The DC busbar voltage $v_c(t)$ of the convertor cannot be kept constant, owing to the power loss of the convertor circuit as no suitable DC voltage control circuit is used. This problem can be solved by controlling the amplitude of the mains current.

The mains current after compensation can be represented as

$$i_s(t) = I_{sm} \sin(\omega t) \tag{8}$$

The real power supplied from the mains can be represented as

$$\begin{aligned} p_s(t) &= v_s(t) i_s(t) \\ &= \tfrac{1}{2} V_p I_{sm} - \tfrac{1}{2} V_p I_{sm} \cos(2\omega t) \\ &= P_s + \tilde{p}_s(t) \end{aligned} \tag{9}$$

where P_s is the DC component, and $\tilde{p}_s(t)$ is the AC component. The instantaneous power consumed by the load is

$$\begin{aligned} p_L(t) &= v_s(t) i_L(t) \\ &= P_L + \tilde{p}_L(t) \end{aligned} \tag{10}$$

where P_L is the DC component and is represented as

$$P_L = \frac{V_p I_1 \cos\theta_1}{2} \tag{11}$$

$\tilde{p}_L(t)$ is the AC component and is represented as

$$\begin{aligned} \tilde{p}_L(t) = {} & \frac{-V_p I_1}{2} \cos(2\omega t + \theta_1) \\ & + \sum_{n=2}^{\infty} \frac{V_p I_n}{2} (\cos((n-1)\omega t + \theta_n) \\ & - \cos((n+1)\omega t + \theta_n)) \end{aligned} \tag{12}$$

The power that is injected into the convertor is represented as

$$\begin{aligned} p_c(t) &= p_s(t) - p_L(t) \\ &= P_s + \tilde{p}_s(t) - P_L - \tilde{p}_L(t) \\ &= P_c + \tilde{p}_c(t) \end{aligned} \tag{13}$$

where P_c and $\tilde{p}_c(t)$ are the DC and AC components of $p_c(t)$, respectively. If the power loss of the convertor is assumed to be a constant and is represented as P_{loss}, the magnitude of P_c can be represented as

$$P_c = \tfrac{1}{2}(V_p I_{sm} - V_p I_1 \cos\theta_1) \tag{14}$$

and

$$\tfrac{1}{2} C \Delta V_c^2 = (P_c - P_{loss}) \Delta t \tag{15}$$

thus

$$\Delta V_c = \sqrt{\left(\frac{V_p I_{sm} - V_p I_1 \cos\theta_1 - 2P_{loss}}{C}\right) \Delta t} \tag{16}$$

The average voltage of the DC capacitor can be controlled by adjusting the amplitude of the mains current $i_s(t)$.

A PI controller used to control the DC capacitor voltage is shown in Fig. 4. Its transfer function can be represented as

$$H(s) = K_p + \frac{K_I}{s} \tag{17}$$

where K_p is the proportion constant that determines the dynamic response of the DC capacitor voltage, and K_I is the integration constant that determines its settling time.

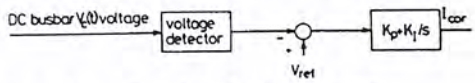


Fig. 4 *PI controller used in DC busbar voltage control*

Therefore $i_s(t)$ in eqn. 8 must be modified to compensate for the loss of the power convertor, and it is rewritten as

$$i_s(t) = (I_1 + I_{cor}) \sin(\omega t) \tag{18}$$

where I_{cor} is the output of the PI controller.

5 Power circuit

The power circuit of the developd active power filter is shown in Fig. 1. It consists of three main parts: a single-phase full-bridge convertor, a DC busbar capacitor and a filter inductor. The convertor is used to supply the desired compensation and charging power. The DC busbar capacitor is used to store the energy to mantain the constant DC voltage and to reduce the voltage fluctuation under load variation. The filter inductor is used to smooth the compensation current supplied from the convertor.

5.1 Single-phase full-bridge convertor

The convertor used in the active power filter is a full-bridge convertor. The control strategy used is the unipolar PWM, and the switching device used is the insulated gate bipolar transistor (IGBT). The convertor is a multifunctional convertor in practice. It supplies the real power to the DC busbar of the convertor to maintain a constant DC voltage and generates a compensation current to compensate for the load current.

5.2 Energy storage element

Conventionally, the reactive power is compensated for by the passive reactive components, and the harmonics is suppressed by a passive filter. This essentially requires large reactive elements. Nevertheless, this can be achieved by using small passive reactive elements for storing energy in the active power filter. The passive reactive element of the voltage-source active power filter is a capacitor located in the DC busbar.

The average values of $\tilde{p}_s(t)$ and $\tilde{p}_L(t)$ during a mains cycle are zero, and they do not affect the average voltage of the DC capacitor. However, the AC components of $\tilde{p}_s(t)$ and $\tilde{p}_L(t)$ may result in voltage fluctuation of the DC capacitor. Hence, the DC busbar voltage can be represented as

$$v_c(t) = V_c + \tilde{v}_c(t) \tag{19}$$

where V_c is the average voltage of the DC capacitor, and $\tilde{v}_c(t)$ is the fluctuating voltage. The DC busbar current can be subdivided into three parts and represented as

$$i_{dc}(t) = I_{dc} + \tilde{i}_{dc}(t) + \check{i}_{dc}(t) \tag{20}$$

where I_{dc} is the DC component, $\tilde{i}_{dc}(t)$ is the lower-order harmonic components due to the load current, and $\check{i}_{dc}(t)$ is the higher-order harmonics due to the switching operation.

To simplify the analysis of the DC busbar voltage fluctuation, some assumptions are made and stated as follows:

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

(*a*) Because the switching frequency is very high, the voltage fluctuation of the DC capacitor due to $\tilde{i}_{dc}(t)$ is very small and can be neglected.

(*b*) The energy stored in the filter inductor is negligible.

(*c*) In the steady state, the fluctuating voltage of the DC capacitor is very small compared with the average voltage of the DC capacitor.

(*d*) The power convertor is lossless.

In the steady state,

$$P_s - P_L = 0 \tag{21}$$

It implies $P_c = 0$ and $I_{dc} = 0$, that is, the average voltage can be maintained constant. Then, eqn. 13 can be rewritten as

$$\begin{aligned} p_c(t) &= \tilde{p}_s(t) - \tilde{p}_L(t) \\ &= \tilde{p}_c(t) \end{aligned} \tag{22}$$

$\tilde{p}_c(t)$ also can be represented as

$$\tilde{p}_c(t) = \sum_{n=1}^{\infty} P_n \cos(n\omega t + \phi_n) \tag{23}$$

However, the input instantaneous power must be equal to that of the output, that is,

$$v_c(t) i_{dc}(t) = \tilde{p}_c(t) \tag{24}$$

As I_{dc} is zero, $\tilde{i}_{dc}(t)$ can be neglected, and the amplitude of $\tilde{v}_c(t)$ is very small compared with V_c. The lower-order harmonics current supplied from the DC capacitor can be represented as

$$\tilde{i}_{dc}(t) \approx \frac{\tilde{p}_c(t)}{V_c} \tag{25}$$

However, the voltage fluctuation of the DC capacitor can be obtained and represented as

$$\begin{aligned} \tilde{v}_{dc}(t) &= \frac{1}{C_d} \int_0^t \tilde{i}_{dc}(t)\, dt \\ &\approx \frac{1}{C_d V_c} \sum_{n=1}^{\infty} \frac{P_n}{n\omega} \sin(n\omega t + \phi_n) \end{aligned} \tag{26}$$

The voltage fluctuation of the DC busbar must be regulated to an acceptable level to obtain a good compensating accuracy and high operation efficiency. From eqn. 26, the voltage fluctuation of the DC capacitor depends on the order and the magnitude of the AC power component $\tilde{p}_c(t)$, the voltage of the DC capacitor and the capacity of the DC capacitor. However, the lower the frequency, or the larger the magnitude of the AC power component $\tilde{p}_c(t)$, the larger the capacity of the DC capacitor required. When a large power rating of the active power filter is developed, or the load current to be compensated for contains the subharmonic current, a large capacity capacitor is expected to suppress the voltage fluctuation to a limited level. In other words, the capacity of the DC capacitor depends on the power rating of the active power filter and the load type.

6 Filter inductor

To ensure that the compensation current generated by the convertor is a smooth current, an inductor is required to filter out the switching ripple current. For a good dynamic response, the size of this inductor must be as small as possible. Nevertheless, if the inductor is too small, it cannot suppress the switching ripple current. Besides, it may cause the problem of multicrossing phenomenon because the change rate of the convertor output current is larger than the slope of the triangle carrier signal. This has the result that the switching frequency is higher than the carrier signal frequency. In addition, the gain of the error amplifier can affect this phenomenon also. Fortunately, this problem can be solved by suitable design of the size of the inductor and the gain of the error amplifier.

7 Simulation and test results

To verify the performance of the proposed active power filter, a prototype was developed and tested in a single-phase power system with 110 V. The major parameters of the prototype are as follows: DC busbar voltage = 200 V; DC busbar capacitor = 2200 μF; smoothing inductor = 10 mH; switching frequency = 10.24 kHZ.

Rectifier loads were used in the test. The performance of the proposed active power filter under distorted mains voltage is also discussed.

7.1 Half-wave rectifier load

For a power source with a high source impedance, the mains voltage will contain a DC offset voltage as well as the even-order harmonics when the load current is unsymmetrical. It may cause the problem of core saturation and result in the transformer connected in the same feeder burning out. This is a serious problem in practical applications. The half-wave rectifier load is a typical unsymmetrical nonlinear load. Fig. 5 shows the mains voltage and current under the half-wave rectifier load before compensation. In the Figure, the positive half-cycle is not symmetrical with the negative half-cycle for both mains voltage and current. Figs. 6 and 7 show the

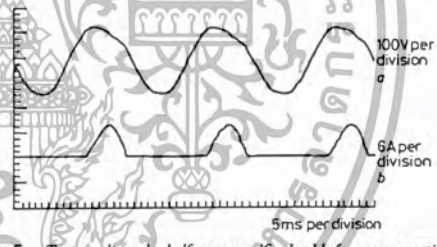


Fig. 5 *Test results under half-wave rectifier load before compensation*
a Mains voltage
b Mains current

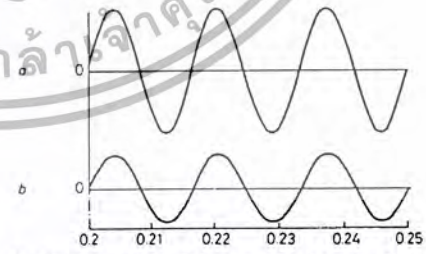


Fig. 6 *Simulation results of the proposed active power filter under half-wave rectifier load*
a Mains voltage
b Mains current

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

simulated and experimental compensation results of the proposed active power filter under the half-wave rectifier load. From these Figures, it can be seen that not only the mains current but also the mains voltage are pure sinewave, and the mains current is nearly in phase with the mains voltage. That is, the input power factor is close to unity after compensation. Fig. 8 shows the spectrum of the mains current before and after compensation. As

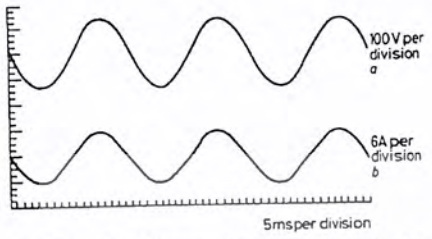


Fig. 7 *Test results of the proposed active power filter under half-wave rectifier load*
a Mains voltage
b Mains current

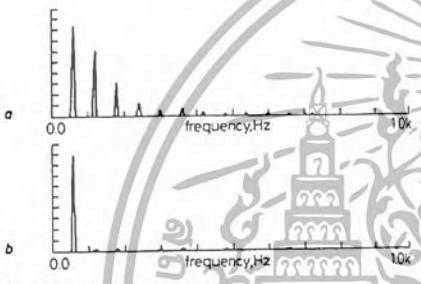


Fig. 8 *Spectrum of the mains current*
a Before compensation
b After compensation

above, it can be found that the proposed active power filter can compensate for the unsymmetrical load current and improve the voltage distortion due to the nonlinear current flowing through the system impedance.

7.2 Performance under distorted mains voltage

Because nonlinear loads are widely used, they generate the problem of harmonics feedback. The feedback harmonics may cause distortion of the mains voltage. Figs. 9–12 show the test results under distorted mains voltage.

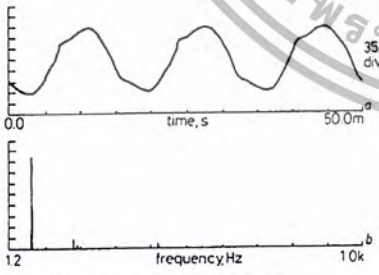


Fig. 9 *Mains voltage before any load applied*
a Waveform of the mains voltage
b Spectrum of the mains voltage

Figs. 9*a* and *b* show the waveform and spectrum of the mains voltage before any load is applied. The total harmonics distortion of the mains voltage is 12%. Fig. 10 shows the mains voltage and the mains current under a full-wave rectifier load. Fig. 11 and 12 show the simulation and test results after compensation. It can be seen

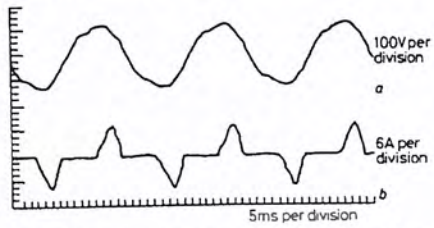


Fig. 10 *Test results under distorted mains voltage before compensation*
a Mains voltage
b Mains current

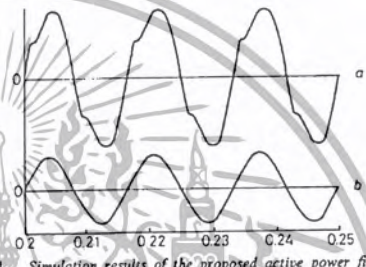


Fig. 11 *Simulation results of the proposed active power filter under distorted mains voltage*
a Mains voltage
b Mains current

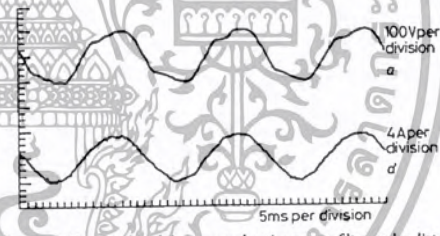


Fig. 12 *Test results of the proposed active power filter under distorted mains voltage*
a Mains voltage
b Mains current

that the mains current is nearly a sinewave and still in phase with the mains voltage. Therefore the proposed active power filter can force the mains current to be a sinewave and obtain unity displacement power factor under distorted mains voltage.

8 Conclusions

Recently, power systems have been seriously polluted by harmonics. Many countries have restricted the voltage harmonics generated by power equipment. However, the problem is not effectively countered. To solve this problem, electrical standards, such as IEC 555-2, have limited not only voltage harmonics but also current harmonics.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

The active power filter is a better solution to harmonics problems.

The mains voltage is used in the calculation process of most conventional active power filter algorithms. Unfortunately, the mains voltage is often distorted in practical power systems. This results in the problem that the calculated mains current is not a sinewave, as the mains voltage is distorted. Hence, the performance of conventional active power filters is degraded. The active power filter proposed has two important features as follows:

(*a*) It can force the mains current to be a sinewave even when the mains voltage is distorted.

(*b*) It can compensate for the power factor and suppress the harmonics of symmetrical and unsymmetrical nonlinear loads.

Above all, the single-phase active power filter proposed is superior to conventional active power filters.

9 References

1 TAKEDA, M., IKEDA, K., TERAMOTO, A., and ARITSUKA, T.: 'Harmonic current and reactive power compensation with an active filter'. IEEE PESC'88 Record, April 1988, pp. 1174–1179

2 GYUGYI, L.G.: 'Power electronics in electric utilities: static VAR compensators', *Proc. IEE*, 1988, **76**, (4), pp. 483–494

3 COX, M.D., and MIRBOD, A.: 'A new static VAR compensator for an arc furnace', *IEEE Trans.*, 1986, **PWR-1**, (3),

4 CHOE, G.H., and PARK, M.H.: 'A new injection method for AC harmonic elimination by active power filter', *IEEE Trans.*, 1988, **IE-35**, (1), pp. 141–147

5 CHOE, G.H., and PARK, M.H.: 'Analysis and control of active power filter with optimized injection', *IEEE Trans.*, 1989, **PE-4**, (4), pp. 427–433

6 AMETANI, A.: 'Generalized method of harmonic reduction in AC–DC converters by harmonic current injection', *Proc. IEE*, 1972, **119**, (7), pp. 857–864

7 BIRD, B.M., MARSH, J.F., and McLELLAN, P.R.: 'Harmonic reduction in multiplex converters by triple-frequency current injection', *Proc. IEE*, 1969, **116**, (10), pp. 1730–1734

8 HERFURTH, M.: 'TDA 4814-integrated circuit for sinusoidal line current consumption'. Siemens Components Publication, 1987

9 HERFURTH, M.: 'Active harmonic filtering for line rectifiers of higher power output'. Siemens Components Publication, 1986

10 DIXON, J.L.: 'High power factor preregulators for off-line power supplies'. Unitrode power supply Seminar Handbook, SEM-600A, 1988

11 MANIAS, S., and ZIOGAS, P.D.: 'An SMR topology with suppressed DC link components and predictive line current waveshaping', *IEEE Trans.*, 1987, **IA-23**, (4), pp. 644–653

12 STIHI, O., and OOI, B.F.: 'A single-phase controlled-current PWM rectifier', *IEEE Trans.*, 1988, **PE-3**, (4), pp. 453–459

13 HARASHIMA, F., INABA, H., and TSUBOI, K.: 'A closed-loop control for the reduction of reactive power required by electronic converters', *IEEE Trans.*, 1976, **IECI-23**, (2), pp. 162–166

14 FURUHASHI, T., OKUMA, S., and UCHIKAMA, Y.: 'A study on the theory of instantaneous reactive power', *IEEE Trans.*, 1990, **IE-37**, (1), pp. 86–89

15 AKAGI, H., KANAZAWA, Y., and NABAE, A.: 'Instantaneous reactive power compensators comprising switching devices without energy storage components', *IEEE Trans.*, 1984, **IA-20**, (3), pp. 625–630

16 PENG, F.Z., AKAGI, H., and NABAE, A.: 'A study of active power filters using quard-series voltage-source PWM converters for harmonic compensation', *IEEE Trans.*, 1990, **PE-5**, (1), pp. 9–15

17 AKAGI, H., NABAE, A., and ATOH, S.: 'Control strategy of active power filters using multiple voltage-source PWM converters', *IEEE Trans.*, 1986, **IA-22**, (3), pp. 460–465

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC14557B

1-to-64 Bit Variable Length Shift Register

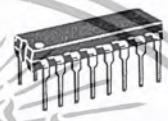
The MC14557B is a static clocked serial shift register whose length may be programmed to be any number of bits between 1 and 64. The number of bits selected is equal to the sum of the subscripts of the enabled Length Control inputs (L1, L2, L4, L8, L16, and L32) plus one. Serial data may be selected from the A or B data inputs with the A/B select input. This feature is useful for recirculation purposes. A Clock Enable (CE) input is provided to allow gating of the clock or negative edge clocking capability.

The device can be effectively used for variable digital delay lines or simply to implement odd length shift registers.

- 1–64 Bit Programmable Length
- Q and $\overline{Q}$ Serial Buffered Outputs
- Asynchronous Master Reset
- All Inputs Buffered
- No Limit On Clock Rise and Fall Times
- Supply Voltage Range = 3.0 Vdc to 18 Vdc
- Capable of Driving Two Low-power TTL Loads or one Low-power Schottky TTL Load Over the Rated Temperature Range

ON Semiconductor

http://onsemi.com

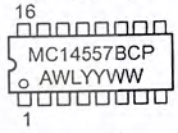


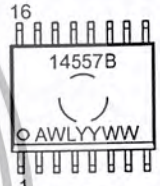
PDIP–16
P SUFFIX
CASE 648

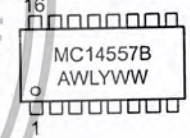
SOIC–16
DW SUFFIX
CASE 751G

SOEIAJ–16
F SUFFIX
CASE 966

MARKING DIAGRAMS







A = Assembly Location
WL or L = Wafer Lot
YY or Y = Year
WW or W = Work Week

MAXIMUM RATINGS (Voltages Referenced to V_{SS}) (Note 2.)

Symbol	Parameter	Value	Unit
V_{DD}	DC Supply Voltage Range	−0.5 to +18.0	V
V_{in}, V_{out}	Input or Output Voltage Range (DC or Transient)	−0.5 to V_{DD} + 0.5	V
I_{in}, I_{out}	Input or Output Current (DC or Transient) per Pin	±10	mA
P_D	Power Dissipation, per Package (Note 3.)	500	mW
T_A	Ambient Temperature Range	−55 to +125	°C
T_{stg}	Storage Temperature Range	−65 to +150	°C
T_L	Lead Temperature (8–Second Soldering)	260	°C

2. Maximum Ratings are those values beyond which damage to the device may occur.
3. Temperature Derating:
Plastic "P and D/DW" Packages: – 7.0 mW/°C From 65°C To 125°C

This device contains protection circuitry to guard against damage due to high static voltages or electric fields. However, precautions must be taken to avoid applications of any voltage higher than maximum rated voltages to this high–impedance circuit. For proper operation, V_{in} and V_{out} should be constrained to the range $V_{SS} \le (V_{in}$ or $V_{out}) \le V_{DD}$.

Unused inputs must always be tied to an appropriate logic voltage level (e.g., either V_{SS} or V_{DD}). Unused outputs must be left open.

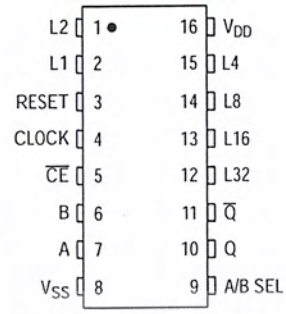
ORDERING INFORMATION

Device	Package	Shipping
MC14557BCP	PDIP–16	2000/Box
MC14557BDW	SOIC–16	47/Rail
MC14557BDWR2	SOIC–16	1000/Tape & Reel
MC14557BF	SOEIAJ–16	See Note 1.
MC14557BFEL	SOEIAJ–16	See Note 1.

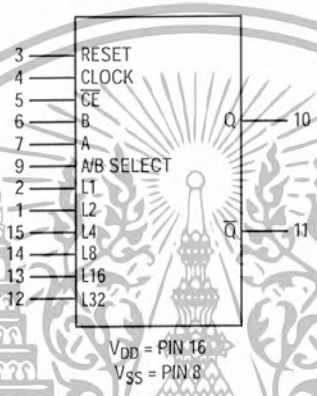
1. For ordering information on the EIAJ version of the SOIC packages, please contact your local ON Semiconductor representative.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PIN ASSIGNMENT



BLOCK DIAGRAM



TRUTH TABLE

Inputs				Output
Rst	A/B	Clock	CE	Q
0	0	↑	0	B
0	1	↑	0	A
0	0	1	↓	B
0	1	1	↓	A
1	X	X	X	0

Q is the output of the first selected shift register stage.

X = Don't Care

LENGTH SELECT TRUTH TABLE

L32	L16	L8	L4	L2	L1	Register Length
0	0	0	0	0	0	1 Bit
0	0	0	0	0	1	2 Bits
0	0	0	0	1	0	3 Bits
0	0	0	0	1	1	4 Bits
0	0	0	1	0	0	5 Bits
0	0	0	1	0	1	6 Bits
•	•	•	•	•	•	•
•	•	•	•	•	•	•
•	•	•	•	•	•	•
1	0	0	0	0	0	33 Bits
1	0	0	0	0	1	34 Bits
•	•	•	•	•	•	•
•	•	•	•	•	•	•
•	•	•	•	•	•	•
1	1	1	1	0	0	61 Bits
1	1	1	1	1	1	62 Bits
1	1	1	1	1	0	63 Bits
1	1	1	1	0	1	64 Bits

NOTE: Length equals the sum of the binary length control subscripts plus one.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS (Voltages Referenced to V_{SS})

Characteristic		Symbol	V_{DD} Vdc	– 55°C Min	– 55°C Max	25°C Min	25°C Typ (4.)	25°C Max	125°C Min	125°C Max	Unit
Output Voltage V_{in} = V_{DD} or 0	"0" Level	V_{OL}	5.0 10 15	— — —	0.05 0.05 0.05	— — —	0 0 0	0.05 0.05 0.05	— — —	0.05 0.05 0.05	Vdc
V_{in} = 0 or V_{DD}	"1" Level	V_{OH}	5.0 10 15	4.95 9.95 14.95	— — —	4.95 9.95 14.95	5.0 10 15	— — —	4.95 9.95 14.95	— — —	Vdc
Input Voltage (V_O = 4.5 or 0.5 Vdc) (V_O = 9.0 or 1.0 Vdc) (V_O = 13.5 or 1.5 Vdc)	"0" Level	V_{IL}	5.0 10 15	— — —	1.5 3.0 4.0	— — —	2.25 4.50 6.75	1.5 3.0 4.0	— — —	1.5 3.0 4.0	Vdc
(V_O = 0.5 or 4.5 Vdc) (V_O = 1.0 or 9.0 Vdc) (V_O = 1.5 or 13.5 Vdc)	"1" Level	V_{IH}	5.0 10 15	3.5 7.0 11	— — —	3.5 7.0 11	2.75 5.50 8.25	— — —	3.5 7.0 11	— — —	Vdc
Output Drive Current (V_{OH} = 2.5 Vdc) (V_{OH} = 4.6 Vdc) (V_{OH} = 9.5 Vdc) (V_{OH} = 13.5 Vdc)	Source	I_{OH}	5.0 5.0 10 15	– 3.0 – 0.64 – 1.6 – 4.2	— — — —	– 2.4 – 0.51 – 1.3 – 3.4	– 4.2 – 0.88 – 2.25 – 8.8	— — — —	– 1.7 – 0.36 – 0.9 – 2.4	— — — —	mAdc
(V_{OL} = 0.4 Vdc) (V_{OL} = 0.5 Vdc) (V_{OL} = 1.5 Vdc)	Sink	I_{OL}	5.0 10 15	0.64 1.6 4.2	— — —	0.51 1.3 3.4	0.88 2.25 8.8	— — —	0.36 0.9 2.4	— — —	
Input Current		I_{in}	15	—	±0.1	—	±0.00001	±0.1	—	±1.0	µAdc
Input Capacitance (V_{in} = 0)		C_{in}	—	—	—	—	5.0	7.5	—	—	pF
Quiescent Current (Per Package)		I_{DD}	5.0 10 15	— — —	5.0 10 20	— — —	0.010 0.020 0.030	5.0 10 20	— — —	150 300 600	µAdc
Total Supply Current (5.) (6.) (Dynamic plus Quiescent, Per Package) (C_L = 50 pF on all outputs, all buffers switching)		I_T	5.0 10 15	I_T = (1.75 µA/kHz) f + I_{DD} I_T = (3.50 µA/kHz) f + I_{DD} I_T = (5.25 µA/kHz) f + I_{DD}							µAdc

4. Data labelled "Typ" is not to be used for design purposes but is intended as an indication of the IC's potential performance.
5. The formulas given are for the typical characteristics only at 25°C.
6. To calculate total supply current at loads other than 50 pF:

$$I_T(C_L) = I_T(50\ pF) + (C_L - 50)\ Vfk$$

where: I_T is in µA (per package), C_L in pF, V = (V_{DD} – V_{SS}) in volts, f in kHz is input frequency, and k = 0.001.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

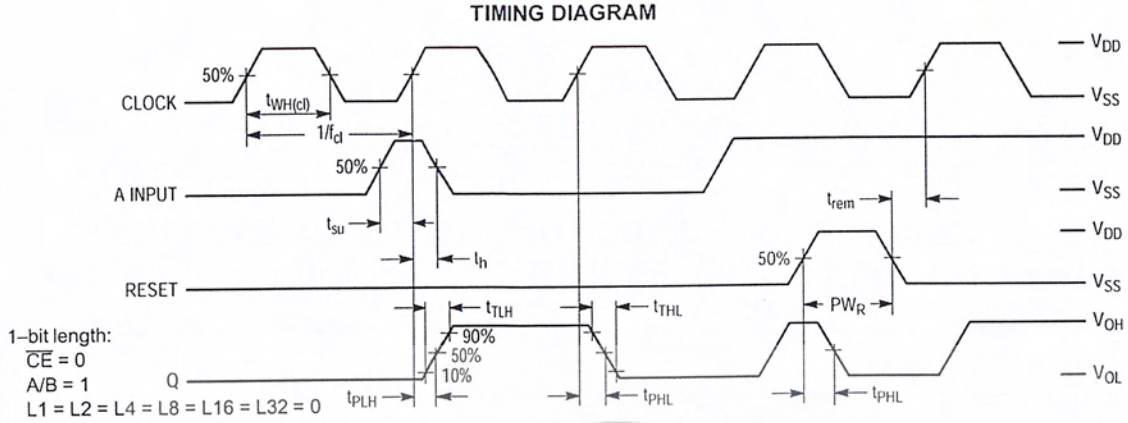
SWITCHING CHARACTERISTICS [7.] (C_L = 50 pF, T_A = 25°C)

Characteristic	Symbol	V_{DD}	Min	Typ [8.]	Max	Unit
Rise and Fall Time, Q or $\overline{Q}$ Output	t_{TLH}, t_{THL}					ns
t_{TLH}, t_{THL} = (1.5 ns/pF) C_L + 25 ns		5	—	100	200	
t_{TLH}, t_{THL} = (0.75 ns/pF) C_L + 12.5 ns		10	—	50	100	
t_{TLH}, t_{THL} = (0.55 ns/pF) C_L + 9.5 ns		15	—	40	80	
Propagation Delay, Clock or $\overline{CE}$ to Q or $\overline{Q}$	t_{PLH}, t_{PHL}					ns
t_{PLH}, t_{PHL} = (1.7 ns/pF) C_L + 215 ns		5	—	300	600	
t_{PLH}, t_{PHL} = (0.66 ns/pF) C_L + 97 ns		10	—	130	260	
t_{PLH}, t_{PHL} = (0.5 ns/pF) C_L + 65 ns		15	—	90	180	
Propagation Delay, Reset to Q or $\overline{Q}$	t_{PLH}, t_{PHL}					ns
t_{PLH}, t_{PHL} = (1.7 ns/pF) C_L + 215 ns		5	—	300	600	
t_{PLH}, t_{PHL} = (0.66 ns/pF) C_L + 97 ns		10	—	130	260	
t_{PLH}, t_{PHL} = (0.5 ns/pF) C_L + 70 ns		15	—	95	190	
Pulse Width, Clock	$t_{WH(cl)}$	5	200	95	—	ns
		10	100	45	—	
		15	75	35	—	
Pulse Width, Reset	$t_{WH(rst)}$	5	300	150	—	ns
		10	140	70	—	
		15	100	50	—	
Clock Frequency (50% Duty Cycle)	f_{cl}	5	—	3.0	1.7	MHz
		10	—	7.5	5.0	
		15	—	13.0	6.7	
Setup Time, A or B to Clock or $\overline{CE}$	t_{su}					ns
Worst case condition: L1 = L2 = L4 = L8 = L16 = L32 = V_{SS} (Register Length = 1)		5	700	350	—	
		10	290	130	—	
		15	145	85	—	
Best case condition: L32 = V_{DD}, L1 through L16 = Don't Care (Any register length from 33 to 64)		5	400	45	—	
		10	165	5	—	
		15	60	0	—	
Hold Time, Clock or $\overline{CE}$ to A or B	t_h					ns
Best case condition: L1 = L2 = L4 = L8 = L16 = L32 = V_{SS} (Register Length = 1)		5	200	− 150	—	
		10	100	− 60	—	
		15	10	− 50	—	
Worst case condition: L32 = V_{DD}, L1 through L16 = Don't Care (Any register length from 33 to 64)		5	400	50	—	
		10	185	25	—	
		15	85	22	—	
Rise and Fall Time, Clock	t_r, t_f	5	No Limit			—
		10				
		15				
Rise and Fall Time, Reset or $\overline{CE}$	t_r, t_f	5	—	—	15	μs
		10	—	—	5	
		15	—	—	4	
Removal Time, Reset to Clock or $\overline{CE}$	t_{rem}	5	160	80	—	ns
		10	80	40	—	
		15	70	35	—	

7. The formulas given are for the typical characteristics only at 25°C.
8. Data labelled "Typ" is not to be used for design purposes but is intended as an indication of the IC's potential performance.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

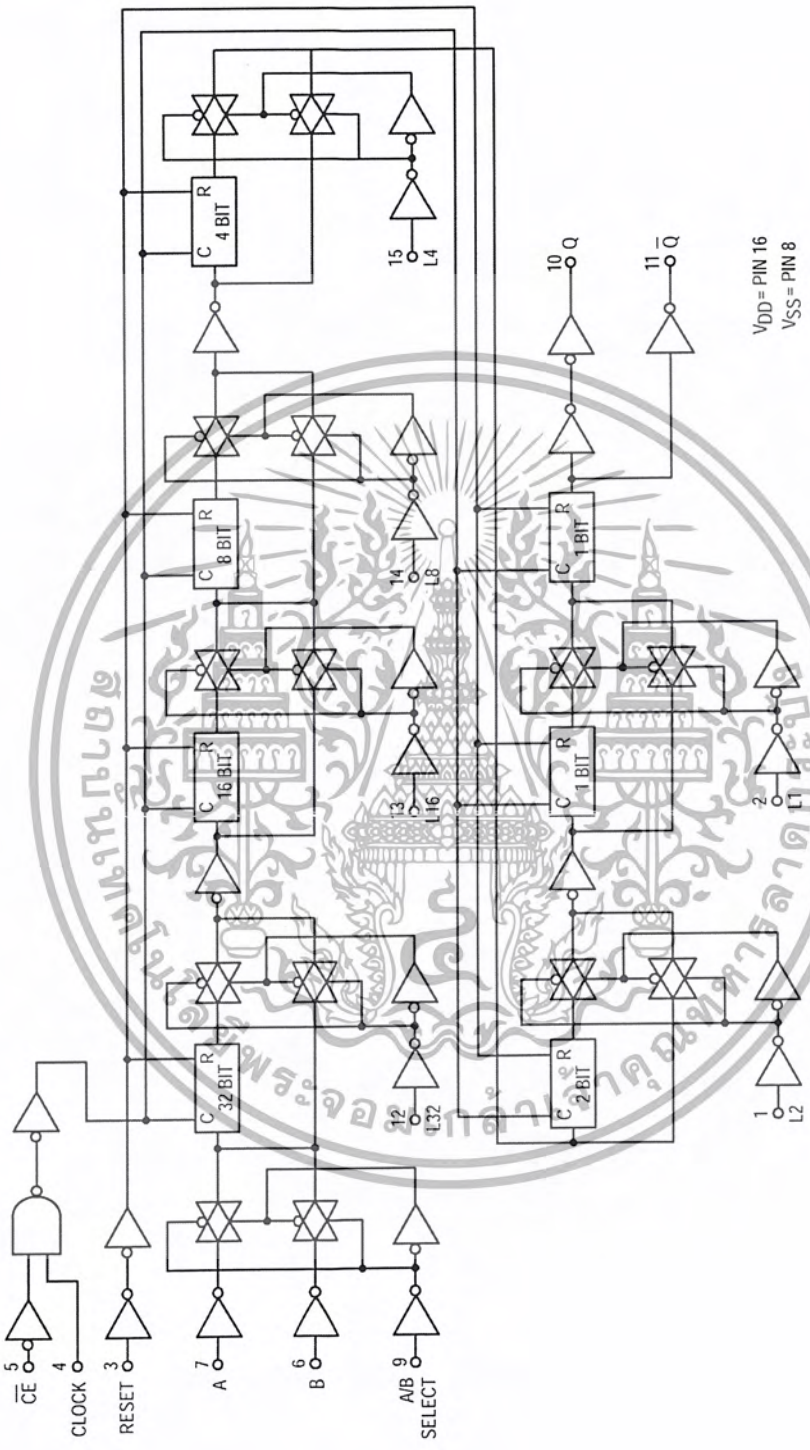
TIMING DIAGRAM



ตราสถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

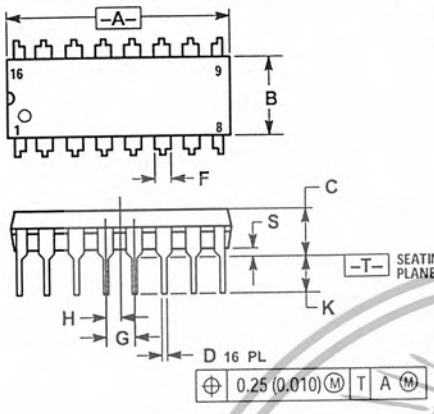
LOGIC DIAGRAM



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PACKAGE DIMENSIONS

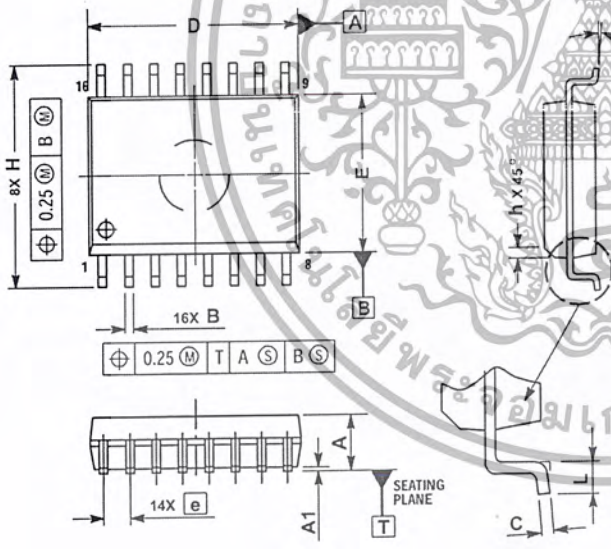
PDIP–16
P SUFFIX
PLASTIC DIP PACKAGE
CASE 648–08
ISSUE R



NOTES:
1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982.
2. CONTROLLING DIMENSION: INCH.
3. DIMENSION L TO CENTER OF LEADS WHEN FORMED PARALLEL.
4. DIMENSION B DOES NOT INCLUDE MOLD FLASH.
5. ROUNDED CORNERS OPTIONAL.

	INCHES		MILLIMETERS	
DIM	MIN	MAX	MIN	MAX
A	0.740	0.770	18.80	19.55
B	0.250	0.270	6.35	6.85
C	0.145	0.175	3.69	4.44
D	0.015	0.021	0.39	0.53
F	0.040	0.70	1.02	1.77
G	0.100 BSC		2.54 BSC	
H	0.050 BSC		1.27 BSC	
J	0.008	0.015	0.21	0.38
K	0.110	0.130	2.80	3.30
L	0.295	0.305	7.50	7.74
M	0°	10°	0°	10°
S	0.020	0.040	0.51	1.01

SOIC–16
DW SUFFIX
PLASTIC SOIC PACKAGE
CASE 751G–03
ISSUE B



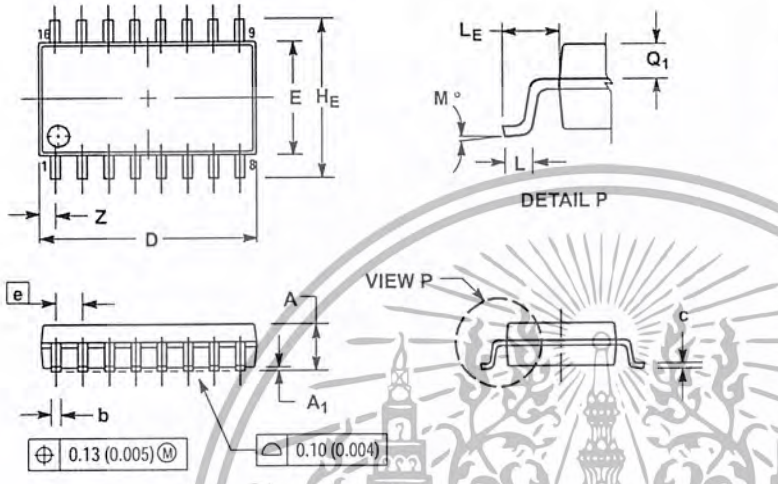
NOTES:
1. DIMENSIONS ARE IN MILLIMETERS.
2. INTERPRET DIMENSIONS AND TOLERANCES PER ASME Y14.5M, 1994.
3. DIMENSIONS D AND E DO NOT INLCUDE MOLD PROTRUSION.
4. MAXIMUM MOLD PROTRUSION 0.15 PER SIDE.
5. DIMENSION B DOES NOT INCLUDE DAMBAR PROTRUSION. ALLOWABLE DAMBAR PROTRUSION SHALL BE 0.13 TOTAL IN EXCESS OF THE B DIMENSION AT MAXIMUM MATERIAL CONDITION.

	MILLIMETERS	
DIM	MIN	MAX
A	2.35	2.65
A1	0.10	0.25
B	0.35	0.49
C	0.23	0.32
D	10.15	10.45
E	7.40	7.60
e	1.27 BSC	
H	10.05	10.55
h	0.25	0.75
L	0.50	0.90
θ	0°	7°

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PACKAGE DIMENSIONS

SOEIAJ–16
F SUFFIX
PLASTIC EIAJ SOIC PACKAGE
CASE 966–01
ISSUE O



NOTES:
1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982.
2. CONTROLLING DIMENSION: MILLIMETER.
3. DIMENSIONS D AND E DO NOT INCLUDE MOLD FLASH OR PROTRUSIONS AND ARE MEASURED AT THE PARTING LINE. MOLD FLASH OR PROTRUSIONS SHALL NOT EXCEED 0.15 (0.006) PER SIDE.
4. TERMINAL NUMBERS ARE SHOWN FOR REFERENCE ONLY.
5. THE LEAD WIDTH DIMENSION (b) DOES NOT INCLUDE DAMBAR PROTRUSION. ALLOWABLE DAMBAR PROTRUSION SHALL BE 0.08 (0.003) TOTAL IN EXCESS OF THE LEAD WIDTH DIMENSION AT MAXIMUM MATERIAL CONDITION. DAMBAR CANNOT BE LOCATED ON THE LOWER RADIUS OR THE FOOT. MINIMUM SPACE BETWEEN PROTRUSIONS AND ADJACENT LEAD TO BE 0.46 (0.018).

	MILLIMETERS		INCHES	
DIM	MIN	MAX	MIN	MAX
A	----	2.05	----	0.081
A_1	0.05	0.20	0.002	0.008
b	0.35	0.50	0.014	0.020
c	0.18	0.27	0.007	0.011
D	9.90	10.50	0.390	0.413
E	5.10	5.45	0.201	0.215
e	1.27 BSC		0.050 BSC	
H_E	7.40	8.20	0.291	0.323
L	0.50	0.85	0.020	0.033
L_E	1.10	1.50	0.043	0.059
M	0°	10°	0°	10°
Q_1	0.70	0.90	0.028	0.035
Z	----	0.78	----	0.031

ON Semiconductor and ON are trademarks of Semiconductor Components Industries, LLC (SCILLC). SCILLC reserves the right to make changes without further notice to any products herein. SCILLC makes no warranty, representation or guarantee regarding the suitability of its products for any particular purpose, nor does SCILLC assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation special, consequential or incidental damages. "Typical" parameters which may be provided in SCILLC data sheets and/or specifications can and do vary in different applications and actual performance may vary over time. All operating parameters, including "Typicals" must be validated for each customer application by customer's technical experts. SCILLC does not convey any license under its patent rights nor the rights of others. SCILLC products are not designed, intended, or authorized for use as components in systems intended for surgical implant into the body, or other applications intended to support or sustain life, or for any other application in which the failure of the SCILLC product could create a situation where personal injury or death may occur. Should Buyer purchase or use SCILLC products for any such unintended or unauthorized application, Buyer shall indemnify and hold SCILLC and its officers, employees, subsidiaries, affiliates, and distributors harmless against all claims, costs, damages, and expenses, and reasonable attorney fees arising out of, directly or indirectly, any claim of personal injury or death associated with such unintended or unauthorized use, even if such claim alleges that SCILLC was negligent regarding the design or manufacture of the part. SCILLC is an Equal Opportunity/Affirmative Action Employer.

PUBLICATION ORDERING INFORMATION

NORTH AMERICA Literature Fulfillment:
Literature Distribution Center for ON Semiconductor
P.O. Box 5163, Denver, Colorado 80217 USA
Phone: 303–675–2175 or 800–344–3860 Toll Free USA/Canada
Fax: 303–675–2176 or 800–344–3867 Toll Free USA/Canada
Email: ONlit@hibbertco.com
Fax Response Line: 303–675–2167 or 800–344–3810 Toll Free USA/Canada

N. American Technical Support: 800–282–9855 Toll Free USA/Canada

EUROPE: LDC for ON Semiconductor – European Support
German Phone: (+1) 303–308–7140 (M–F 1:00pm to 5:00pm Munich Time)
Email: ONlit–german@hibbertco.com
French Phone: (+1) 303–308–7141 (M–F 1:00pm to 5:00pm Toulouse Time)
Email: ONlit–french@hibbertco.com
English Phone: (+1) 303–308–7142 (M–F 12:00pm to 5:00pm UK Time)
Email: ONlit@hibbertco.com

EUROPEAN TOLL–FREE ACCESS*: 00–800–4422–3781
*Available from Germany, France, Italy, England, Ireland

CENTRAL/SOUTH AMERICA:
Spanish Phone: 303–308–7143 (Mon–Fri 8:00am to 5:00pm MST)
Email: ONlit–spanish@hibbertco.com

ASIA/PACIFIC: LDC for ON Semiconductor – Asia Support
Phone: 303–675–2121 (Tue–Fri 9:00am to 1:00pm, Hong Kong Time)
Toll Free from Hong Kong & Singapore:
001–800–4422–3781
Email: ONlit–asia@hibbertco.com

JAPAN: ON Semiconductor, Japan Customer Focus Center
4–32–1 Nishi–Gotanda, Shinagawa–ku, Tokyo, Japan 141–8549
Phone: 81–3–5740–2745
Email: r14525@onsemi.com

ON Semiconductor Website: http://onsemi.com

For additional information, please contact your local Sales Representative.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

International
IOR Rectifier

Data Sheet No. PD60147J

IR2110/IR2113

HIGH AND LOW SIDE DRIVER

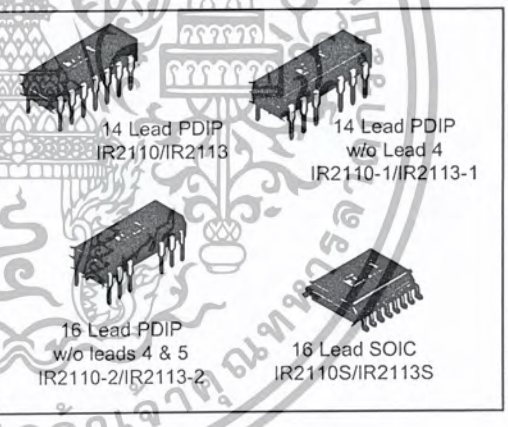
Features

- Floating channel designed for bootstrap operation
  Fully operational to +500V or +600V
  Tolerant to negative transient voltage
  dV/dt immune
- Gate drive supply range from 10 to 20V
- Undervoltage lockout for both channels
- Separate logic supply range from 5 to 20V
  Logic and power ground ±5V offset
- CMOS Schmitt-triggered inputs with pull-down
- Cycle by cycle edge-triggered shutdown logic
- Matched propagation delay for both channels
- Outputs in phase with inputs

Product Summary

V_{OFFSET} (IR2110)	500V max.
(IR2113)	600V max.
I_{O}+/-	2A / 2A
V_{OUT}	10 - 20V
$t_{on/off}$ (typ.)	120 & 94 ns
Delay Matching	10 ns

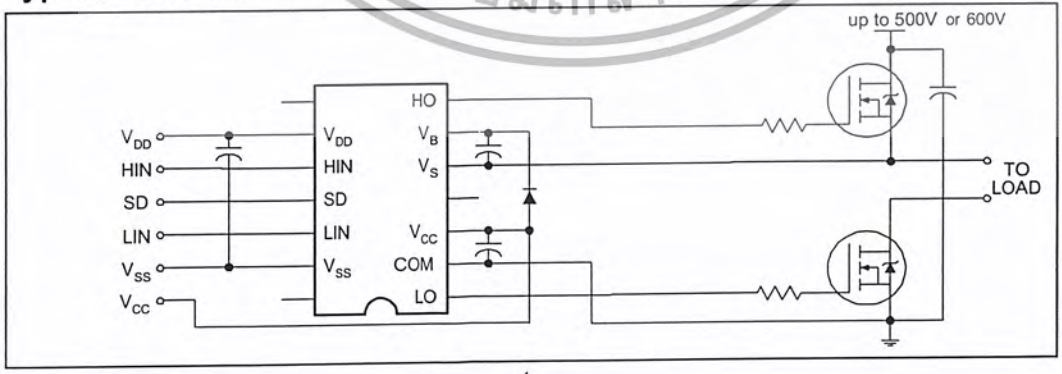
Packages



Description

The IR2110/IR2113 are high voltage, high speed power MOSFET and IGBT drivers with independent high and low side referenced output channels. Proprietary HVIC and latch immune CMOS technologies enable ruggedized monolithic construction. Logic inputs are compatible with standard CMOS or LSTTL output. The output drivers feature a high pulse current buffer stage designed for minimum driver cross-conduction. Propagation delays are matched to simplify use in high frequency applications. The floating channel can be used to drive an N-channel power MOSFET or IGBT in the high side configuration which operates up to 500 or 600 volts.

Typical Connection



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings

Absolute maximum ratings indicate sustained limits beyond which damage to the device may occur. All voltage parameters are absolute voltages referenced to COM. The thermal resistance and power dissipation ratings are measured under board mounted and still air conditions. Additional information is shown in Figures 28 through 35.

Symbol	Definition	Min.	Max.	Units
V_B	High side floating supply voltage (IR2110)	-0.3	525	V
	(IR2113)	-0.3	625	
V_S	High side floating supply offset voltage	V_B - 25	V_B + 0.3	
V_{HO}	High side floating output voltage	V_S - 0.3	V_B + 0.3	
V_{CC}	Low side fixed supply voltage	-0.3	25	
V_{LO}	Low side output voltage	-0.3	V_{CC} + 0.3	
V_{DD}	Logic supply voltage	-0.3	V_{SS} + 25	
V_{SS}	Logic supply offset voltage	V_{CC} - 25	V_{CC} + 0.3	
V_{IN}	Logic input voltage (HIN, LIN & SD)	V_{SS} - 0.3	V_{DD} + 0.3	
dV_S/dt	Allowable offset supply voltage transient (figure 2)	—	50	V/ns
P_D	Package power dissipation @ $T_A \leq +25°C$ (14 lead DIP)	—	1.6	W
	(14 lead DIP w/o lead 4)	—	1.5	
	(16 lead DIP w/o leads 5 & 6)	—	1.6	
	(16 lead SOIC)	—	1.25	
R_{THJA}	Thermal resistance, junction to ambient (14 lead DIP)	—	75	°C/W
	(14 lead DIP w/o lead 4)	—	85	
	(16 lead DIP w/o leads 5 & 6)	—	75	
	(16 Lead SOIC)	—	100	
T_J	Junction temperature	—	150	°C
T_S	Storage temperature	-55	150	
T_L	Lead temperature (soldering, 10 seconds)	—	300	

Recommended Operating Conditions

The input/output logic timing diagram is shown in figure 1. For proper operation the device should be used within the recommended conditions. The V_S and V_{SS} offset ratings are tested with all supplies biased at 15V differential. Typical ratings at other bias conditions are shown in figures 36 and 37.

Symbol	Definition	Min.	Max.	Units
V_B	High side floating supply absolute voltage	V_S + 10	V_S + 20	V
V_S	High side floating supply offset voltage (IR2110)	Note 1	500	
	(IR2113)	Note 1	600	
V_{HO}	High side floating output voltage	V_S	V_B	
V_{CC}	Low side fixed supply voltage	10	20	
V_{LO}	Low side output voltage	0	Vcc	
V_{DD}	Logic supply voltage	V_{SS} + 4.5	V_{SS} + 20	
V_{SS}	Logic supply offset voltage	-5	5	
V_{IN}	Logic input voltage (HIN, LIN & SD)	V_{SS}	V_{DD}	
T_A	Ambient temperature	-40	125	°C

Note 1: Logic operational for V_S of -4 to +500V. Logic state held for V_S of -4V to $-V_{BS}$.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Dynamic Electrical Characteristics

V_{BIAS} (V_{CC}, V_{BS}, V_{DD}) = 15V, C_L = 1000 pF, T_A = 25°C and V_{SS} = COM unless otherwise specified. The dynamic electrical characteristics are measured using the test circuit shown in Figure 3.

Symbol	Definition	Figure	Min.	Typ.	Max.	Units	Test Conditions
t_{on}	Turn-on propagation delay	7	—	120	150	ns	V_S = 0V
t_{off}	Turn-off propagation delay	8	—	94	125		V_S = 500V/600V
t_{sd}	Shutdown propagation delay	9	—	110	140		V_S = 500V/600V
t_r	Turn-on rise time	10	—	25	35		
t_f	Turn-off fall time	11	—	17	25		
MT	Delay matching, HS & LS turn-on/off	—	—	—	10		Figure 5

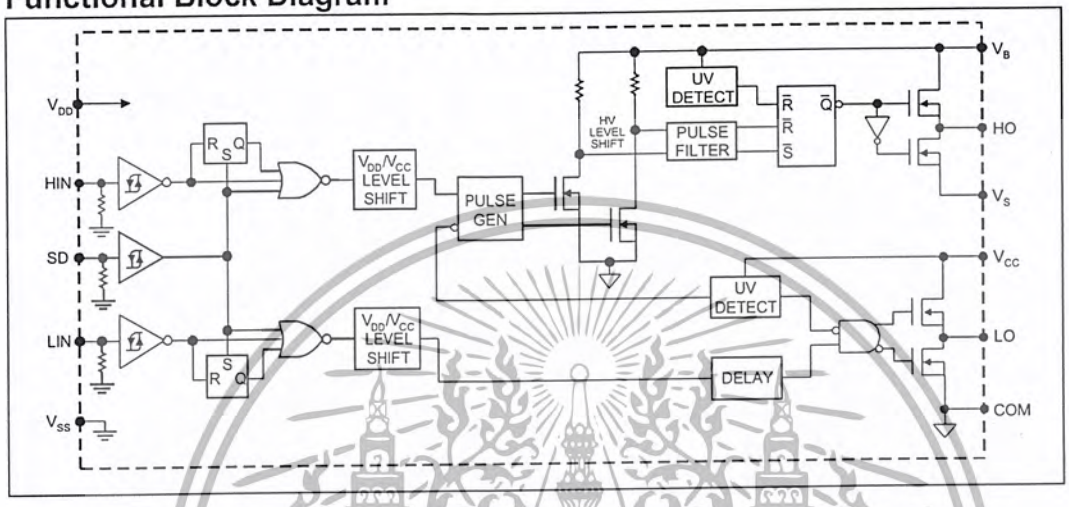
Static Electrical Characteristics

V_{BIAS} (V_{CC}, V_{BS}, V_{DD}) = 15V, T_A = 25°C and V_{SS} = COM unless otherwise specified. The V_{IN}, V_{TH} and I_{IN} parameters are referenced to V_{SS} and are applicable to all three logic input leads: HIN, LIN and SD. The V_O and I_O parameters are referenced to COM and are applicable to the respective output leads: HO or LO.

Symbol	Definition	Figure	Min.	Typ.	Max.	Units	Test Conditions
V_{IH}	Logic "1" input voltage	12	9.5	—	—	V	
V_{IL}	Logic "0" input voltage	13	—	—	6.0		
V_{OH}	High level output voltage, V_{BIAS} - V_O	14	—	—	1.2		I_O = 0A
V_{OL}	Low level output voltage, V_O	15	—	—	0.1		I_O = 0A
I_{LK}	Offset supply leakage current	16	—	—	50	μA	V_B=V_S = 500V/600V
I_{QBS}	Quiescent V_{BS} supply current	17	—	125	230		V_{IN} = 0V or V_{DD}
I_{QCC}	Quiescent V_{CC} supply current	18	—	180	340		V_{IN} = 0V or V_{DD}
I_{QDD}	Quiescent V_{DD} supply current	19	—	15	30		V_{IN} = 0V or V_{DD}
I_{IN+}	Logic "1" input bias current	20	—	20	40		V_{IN} = V_{DD}
I_{IN-}	Logic "0" input bias current	21	—	—	1.0		V_{IN} = 0V
V_{BSUV+}	V_{BS} supply undervoltage positive going threshold	22	7.5	8.6	9.7	V	
V_{BSUV-}	V_{BS} supply undervoltage negative going threshold	23	7.0	8.2	9.4		
V_{CCUV+}	V_{CC} supply undervoltage positive going threshold	24	7.4	8.5	9.6		
V_{CCUV-}	V_{CC} supply undervoltage negative going threshold	25	7.0	8.2	9.4		
I_{O+}	Output high short circuit pulsed current	26	2.0	2.5	—	A	V_O = 0V, V_{IN} = V_{DD} PW ≤ 10 μs
I_{O-}	Output low short circuit pulsed current	27	2.0	2.5	—		V_O = 15V, V_{IN} = 0V PW ≤ 10 μs

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Functional Block Diagram



Lead Definitions

Symbol	Description
V_{DD}	Logic supply
HIN	Logic input for high side gate driver output (HO), in phase
SD	Logic input for shutdown
LIN	Logic input for low side gate driver output (LO), in phase
V_{SS}	Logic ground
V_B	High side floating supply
HO	High side gate drive output
V_S	High side floating supply return
V_{CC}	Low side supply
LO	Low side gate drive output
COM	Low side return

Lead Assignments

14 Lead PDIP	14 Lead PDIP w/o Lead 4	16 Lead PDIP w/o Leads 4 & 5	16 Lead SOIC (Wide Body)
IR2110/IR2113	IR2110-1/IR2113-1	IR2110-2/IR2113-2	IR2110S/IR2113S
Part Number			

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

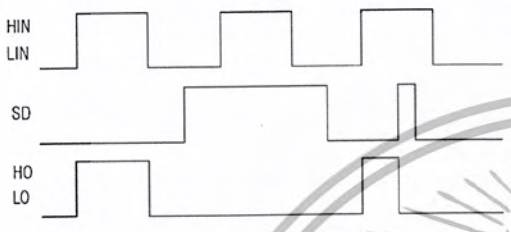


Figure 1. Input/Output Timing Diagram

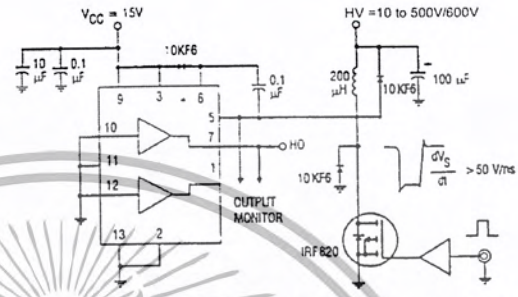


Figure 2. Floating Supply Voltage Transient Test Circuit

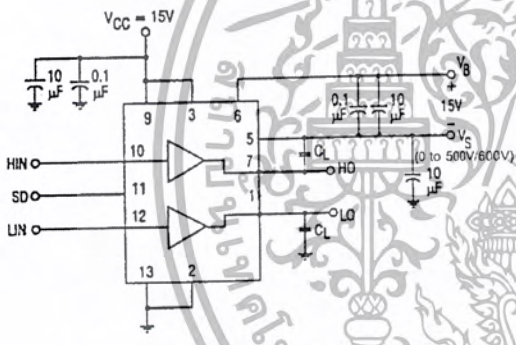


Figure 3. Switching Time Test Circuit

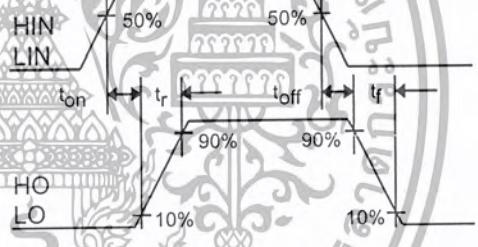


Figure 4. Switching Time Waveform Definition

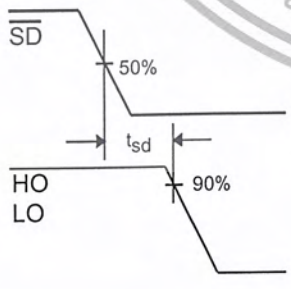


Figure 3. Shutdown Waveform Definitions

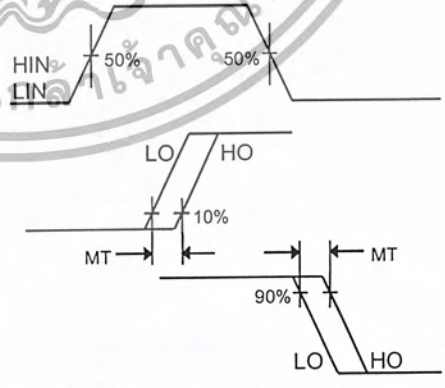
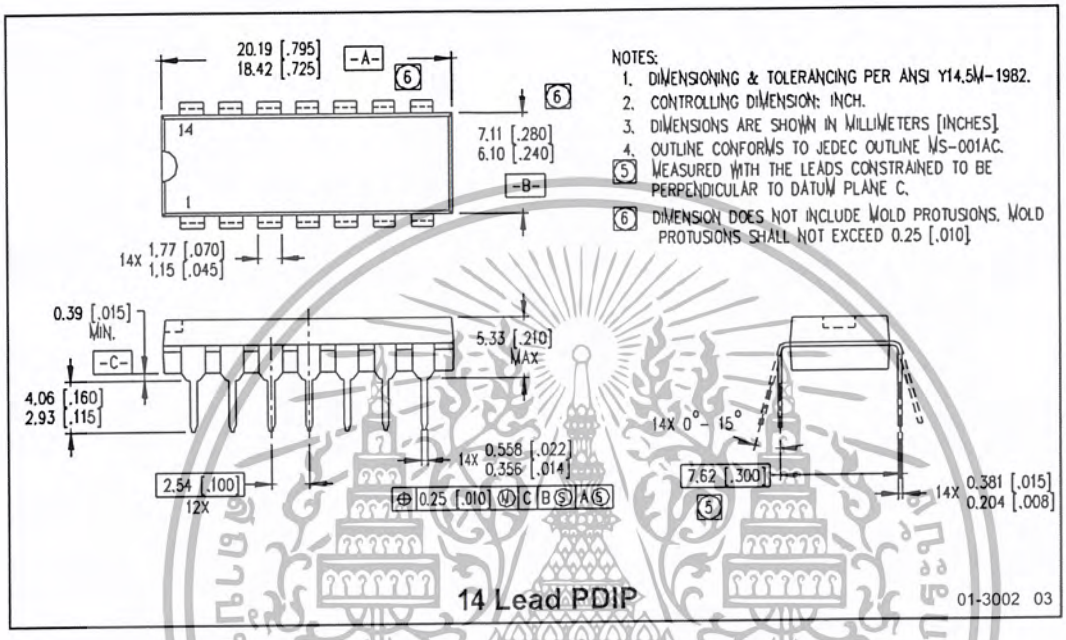


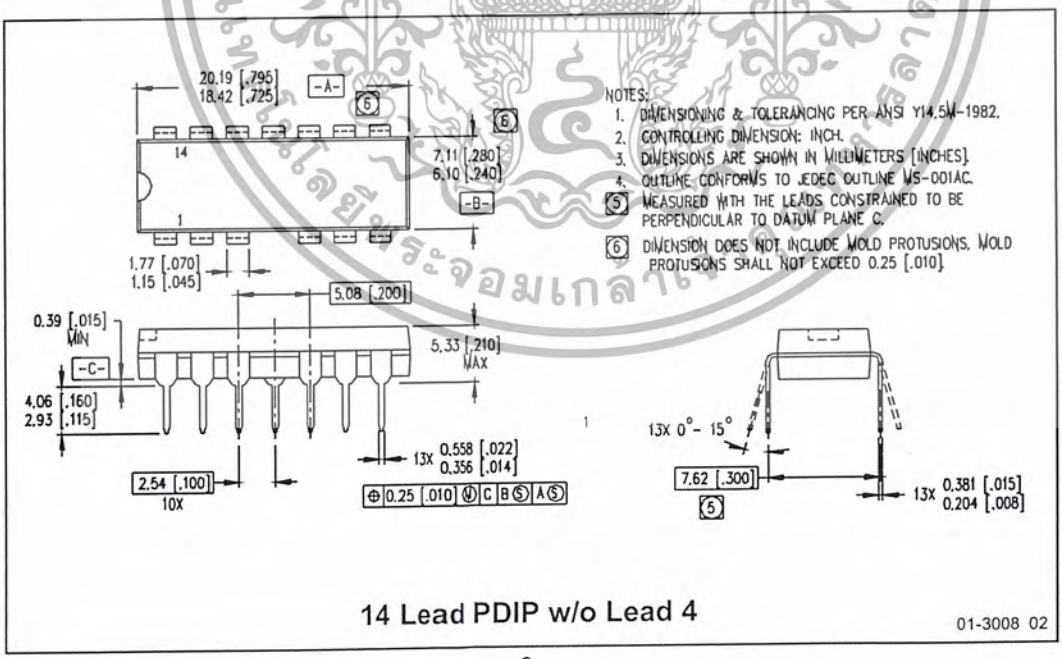
Figure 6. Delay Matching Waveform Definitions

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



14 Lead PDIP

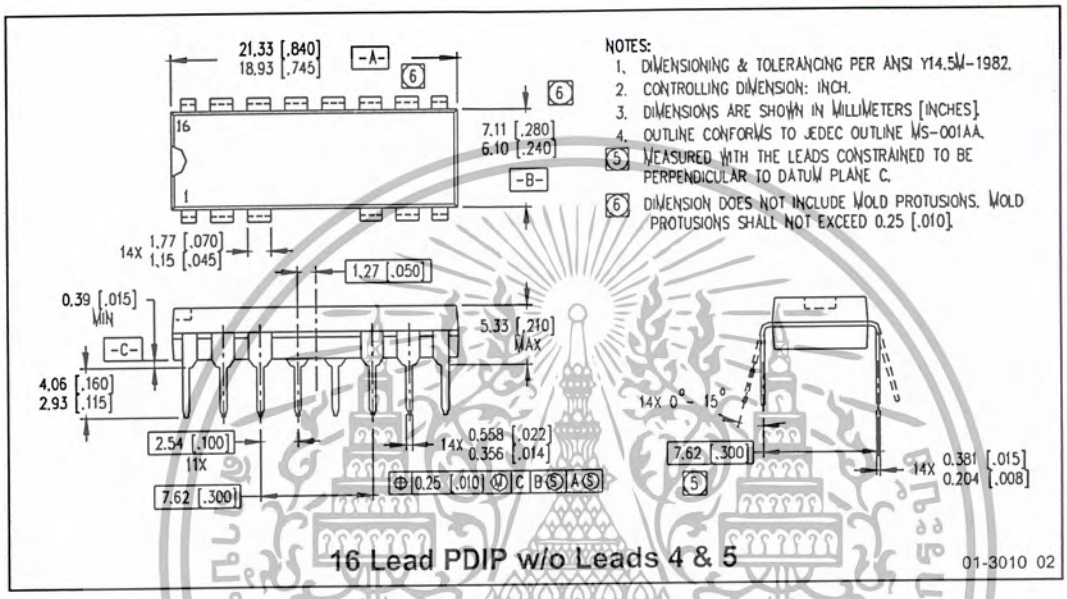
01-3002 03

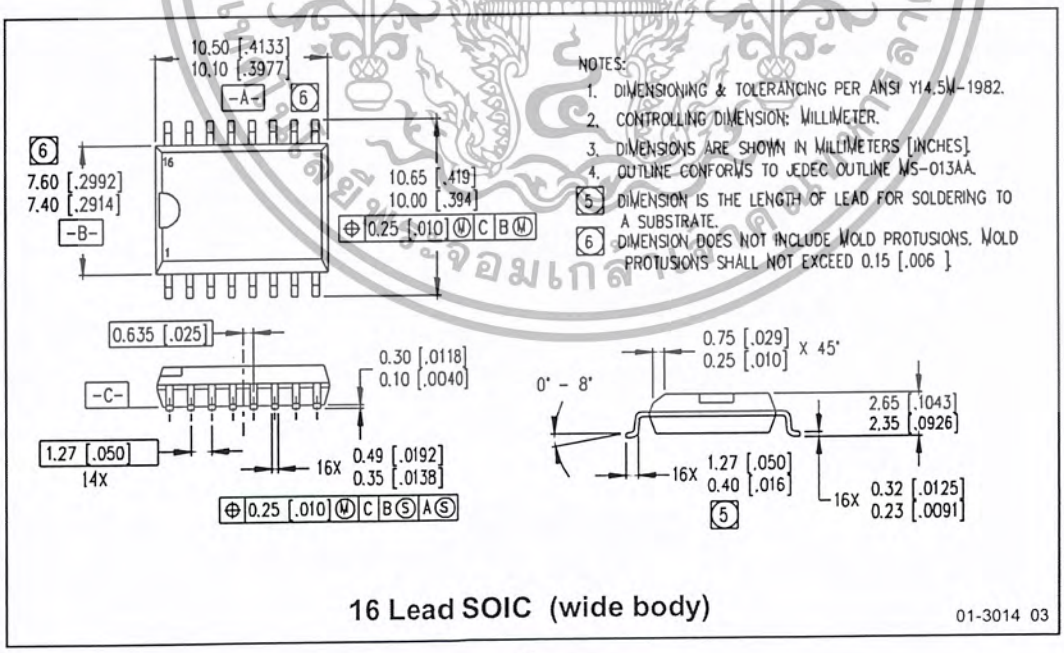


14 Lead PDIP w/o Lead 4

01-3008 02

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้





เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Order this document by MC1495/D

MOTOROLA

MC1495

Wideband Linear Four-Quadrant Multiplier

The MC1495 is designed for use where the output is a linear product of two input voltages. Maximum versatility is assured by allowing the user to select the level shift method. Typical applications include: multiply, divide*, square root*, mean square*, phase detector, frequency doubler, balanced modulator/demodulator, and electronic gain control.

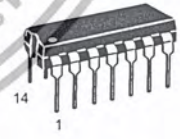
- Wide Bandwidth
- Excellent Linearity:
  - 2% max Error on X Input, 4% max Error on Y Input Over Temperature
  - 1% max Error on X Input, 2% max Error on Y Input at + 25°C
- Adjustable Scale Factor, K
- Excellent Temperature Stability
- Wide Input Voltage Range: ± 10 V
- ±15 V Operation

*When used with an operational amplifier.

LINEAR
FOUR-QUADRANT
MULTIPLIER

SEMICONDUCTOR
TECHNICAL DATA

D SUFFIX
PLASTIC PACKAGE
CASE 751A
(SO-14)



P SUFFIX
PLASTIC PACKAGE
CASE 646

MAXIMUM RATINGS (T_A = + 25°C, unless otherwise noted.)

Rating	Symbol	Value	Unit
Applied Voltage (V_2–V_1, V_{14}–V_1, V_1–V_9, V_1–V_{12}, V_1–V_4, V_1–V_8, V_{12}–V_7, V_9–V_7, V_8–V_7, V_4–V_7)	ΔV	30	Vdc
Differential Input Signal	V_{12}–V_9 V_4–V_8	±(6+I_{13} R_X) ±(6+I_3 R_Y)	Vdc
Maximum Bias Current	I_3 I_{13}	10 10	mA
Operating Temperature Range MC1495 MC1495B	T_A	 0 to +70 – 40 to +125	°C
Storage Temperature Range	T_{stg}	– 65 to +150	°C

ORDERING INFORMATION

Device	Tested Operating Temperature Range	Package
MC1495D	T_A = 0° to + 70°C	SO–14
MC1495P		Plastic DIP
MC1495BP	T_A = – 40° to +125°C	Plastic DIP

© Motorola, Inc. 1996

Rev 0

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS (+V = + 32 V, –V = –15 V, T_A = + 25°C, $I_3 = I_{13}$ = 1.0 mA, $R_X = R_Y$ = 15 kΩ, R_L = 11 kΩ, unless otherwise noted.)

Characteristics	Figure	Symbol	Min	Typ	Max	Unit
Linearity (Output Error in percent of full scale)	5					%
T_A = + 25°C						
–10 < V_X < +10 (V_Y = ±10 V)		E_{RX}	–	±1.0	±1.0	
–10 < V_Y < +10 (V_X = ±10 V)		E_{RY}	–	± 2.0	± 2.0	
$T_A = T_{Low}$ to T_{High}						
–10 < V_X < +10 (V_Y = ±10 V)		E_{RX}	–	±1.5	± 2.0	
–10 < V_Y < +10 (V_X = ±10 V)		E_{RY}	–	± 3.0	± 4.0	
Square Mode Error (Accuracy in percent of full scale after Offset and Scale Factor adjustment)	5	E_{SQ}				%
T_A = + 25°C			–	± 0.75	–	
$T_A = T_{Low}$ to T_{High}			–	±1.0	–	
Scale Factor (Adjustable) $\left(K = \frac{2R_L}{1_3 R_X R_Y}\right)$	–	K	–	0.1	–	
Input Resistance (f = 20 Hz)	7	R_{inX}	–	30	–	MΩ
		R_{inY}	–	20	–	
Differential Output Resistance (f = 20 Hz)	8	R_O	–	300	–	kΩ
Input Bias Current	6					µA
$I_{bx} = \frac{(I_9 + I_{12})}{2}$, $I_{by} = \frac{(I_4 + I_8)}{2}$ T_A = + 25°C		I_{bx}, I_{by}	–	2.0	8.0	
$T_A = T_{Low}$ to T_{High}			–	2.0	12	
Input Offset Current	6					µA
$\lvert I_9 - I_{12}\rvert$ T_A = + 25°C		$\lvert I_{iox}\rvert$, $\lvert I_{ioy}\rvert$	–	0.4	1.0	
$\lvert I_4 - I_8\rvert$ $T_A = T_{Low}$ to T_{High}			–	0.4	2.0	
Average Temperature Coefficient of Input Offset Current	6	$\lvert TC_{Iio}\rvert$				nA/°C
$T_A = T_{Low}$ to T_{High}			–	2.5	–	
Output Offset Current T_A = + 25°C	6	$\lvert I_{OO}\rvert$		10	50	µA
$\lvert I_{14} - I_2\rvert$ $T_A = T_{Low}$ to T_{High}			–	20	100	
Average Temperature Coefficient of Output Offset Current	6	$\lvert TC_{IOO}\rvert$				nA/°C
$T_A = T_{Low}$ to T_{High}			–	20	–	
Frequency Response	9,10					
3.0 dB Bandwidth, R_L = 11 kΩ		$BW_{(3dB)}$	–	3.0	–	MHz
3.0 dB Bandwidth, R_L = 50 Ω (Transconductance Bandwidth)		$T_{BW(3dB)}$	–	80	–	MHz
3° Relative Phase Shift Between V_X and V_Y		f_ϕ	–	750	–	kHz
1% Absolute Error Due to Input-Output Phase Shift		f_θ	–	30	–	kHz
Common Mode Input Swing (Either Input)	11	CMV	±10.5	±12	–	Vdc
Common Mode Gain T_A = + 25°C	11	A_{CM}	– 50	– 60	–	dB
(Either Input) $T_A = T_{Low}$ to T_{High}			– 40	– 50	–	
Common Mode Quiescent Output Voltage	12	V_{O1}	–	21	–	Vdc
		V_{O2}	–	21	–	
Differential Output Voltage Swing Capability	9	V_O	–	±14	–	V_{pk}
Power Supply Sensitivity	12	S^+	–	5.0	–	mV/V
		S^-	–	10	–	
Power Supply Current	12	I_7	–	6.0	7.0	mA
DC Power Dissipation	12	P_D	–	135	170	mW

NOTES: 1. T_{High} = +70°C for MC1495 = +125°C for MC1495B T_{Low} = 0°C for MC1495 = – 40°C for MC1495B

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 1. Multiplier Transfer Characteristic

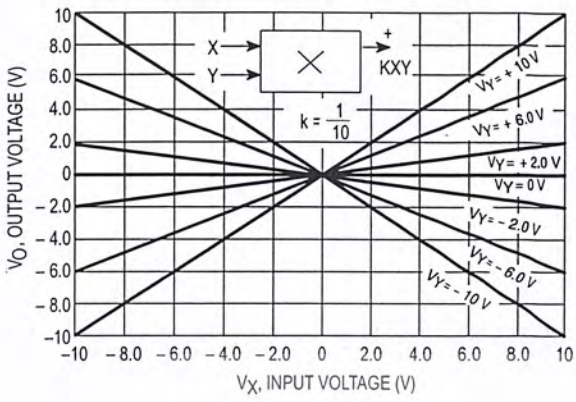


Figure 2. Transconductance Bandwidth

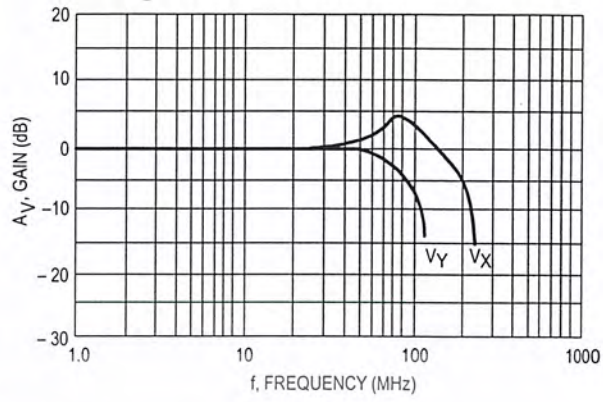
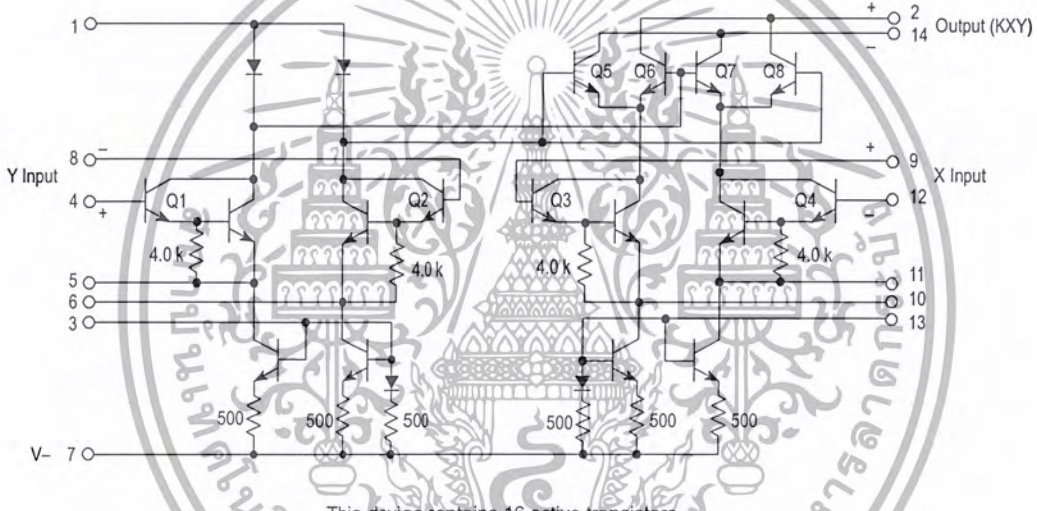
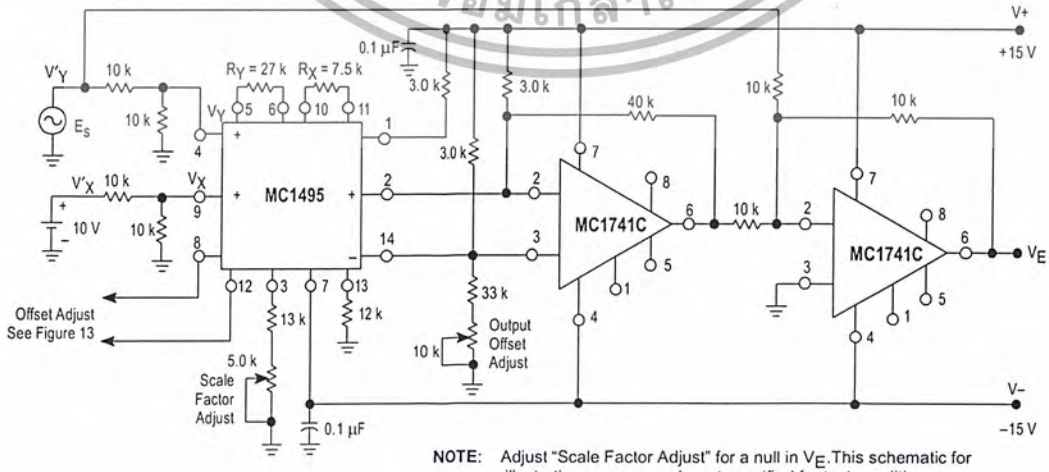


Figure 3. Circuit Schematic



This device contains 16 active transistors.

Figure 4. Linearity (Using Null Technique)



NOTE: Adjust "Scale Factor Adjust" for a null in V_E. This schematic for illustrative purposes only, not specified for test conditions.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 5. Linearity (Using X-Y Plotter Technique)

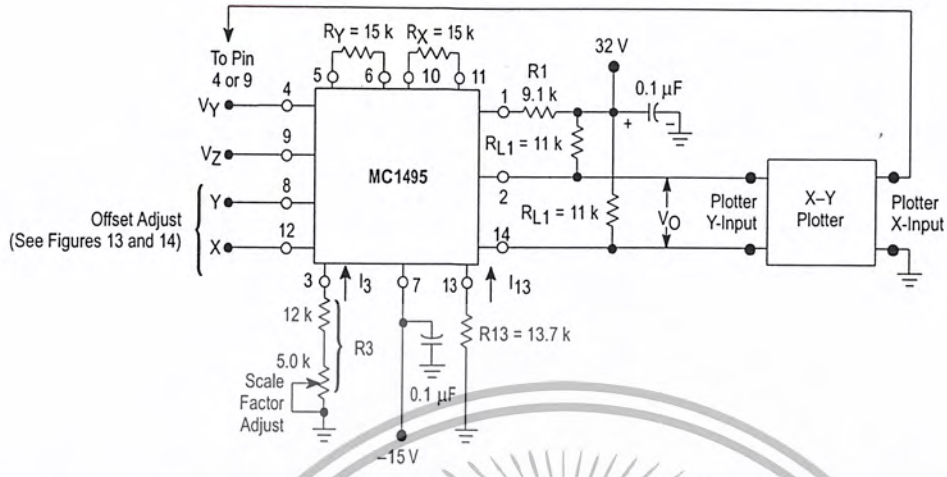


Figure 6. Input and Output Current

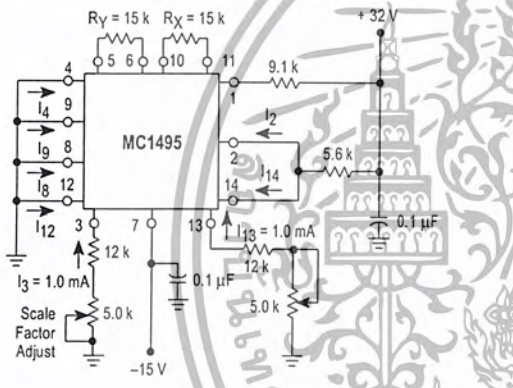


Figure 7. Input Resistance

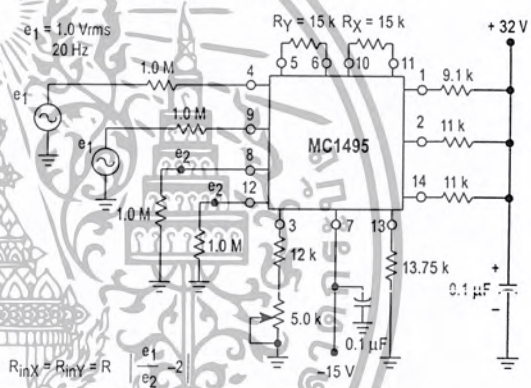


Figure 8. Output Resistance

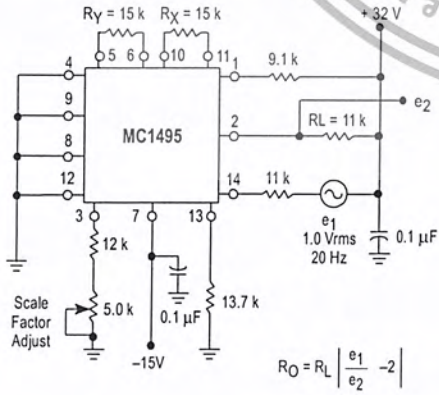
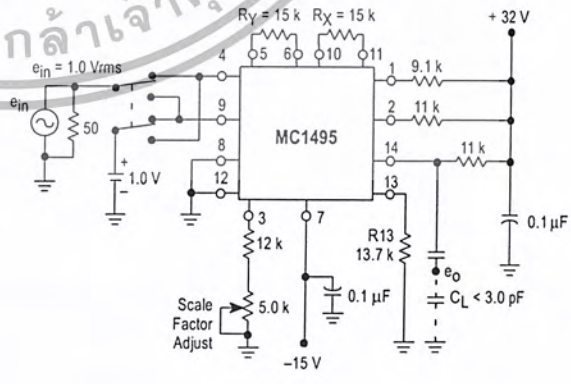


Figure 9. Bandwidth (R_L = 11 kΩ)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 10. Bandwidth (R_L = 50 Ω)

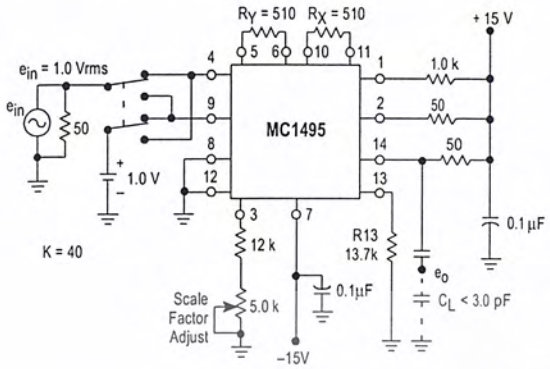


Figure 11. Common Mode Gain and Common Mode Input Swing

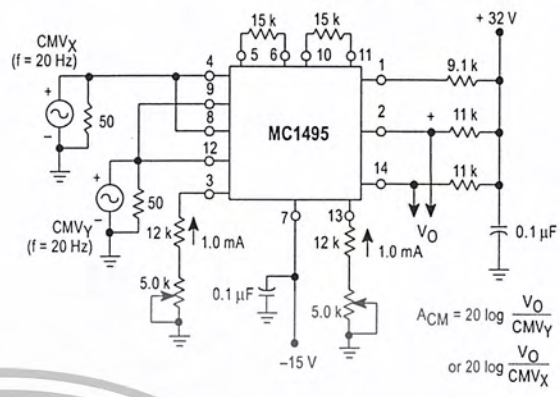


Figure 12. Power Supply Sensitivity

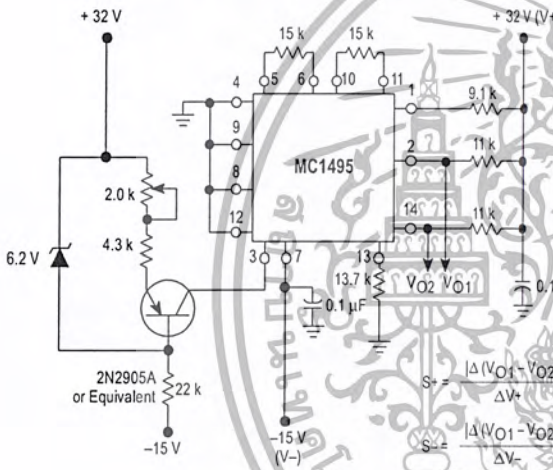


Figure 13. Offset Adjust Circuit

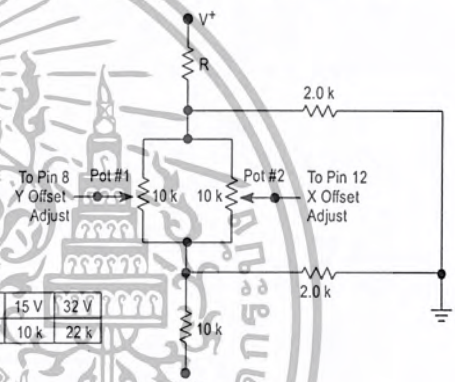
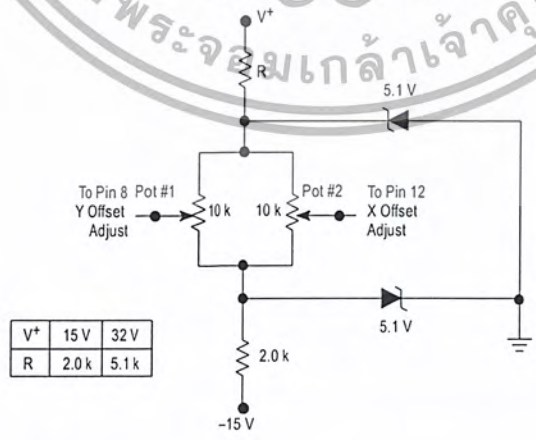


Figure 14. Offset Adjust Circuit (Alternate)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 15. Linearity versus Temperature

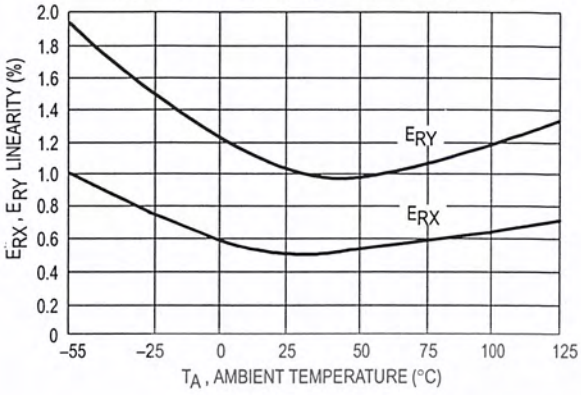


Figure 16. Scale Factor versus Temperature

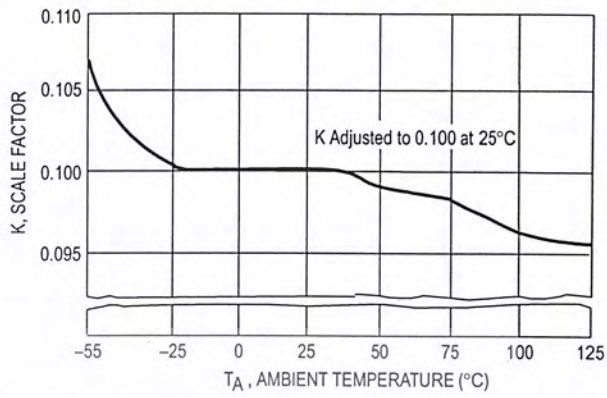


Figure 17. Error Contributed by Input Differential Amplifier

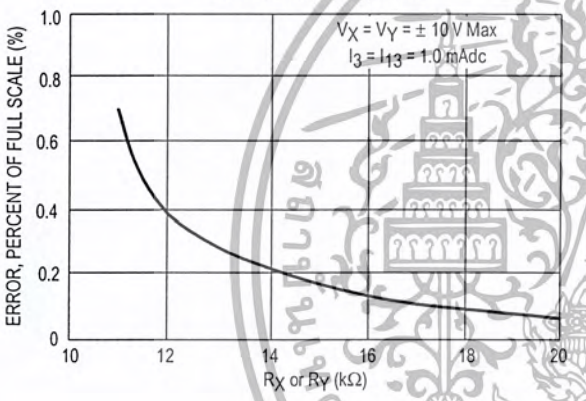


Figure 18. Error Contributed by Input Differential Amplifier

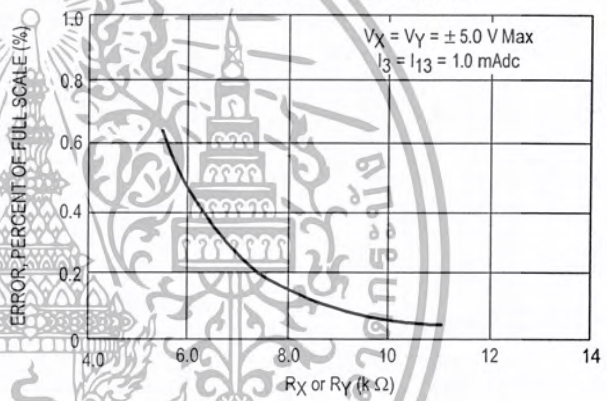
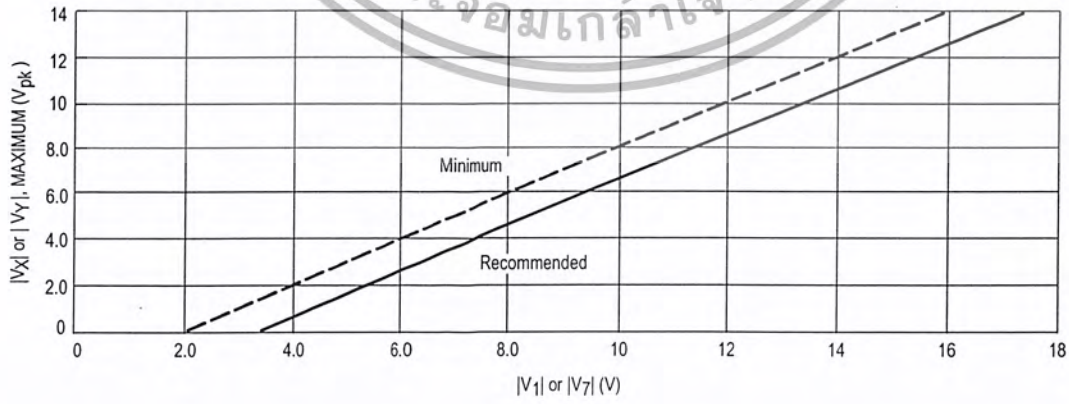


Figure 19. Maximum Allowable Input Voltage versus Voltage at Pin 1 or Pin 7



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

OPERATION AND APPLICATIONS INFORMATION

Theory of Operation

The MC1495 is a monolithic, four-quadrant multiplier which operates on the principle of variable transconductance. A detailed theory of operation is covered in Application Note AN489, *Analysis and Basic Operation of the MC1595*. The result of this analysis is that the differential output current of the multiplier is given by:

$$I_A - I_B = \Delta I = \frac{2V_X V_Y}{R_X R_Y I_3}$$

where, I_A and I_B are the currents into Pins 14 and 2, respectively, and V_X and V_Y are the X and Y input voltages at the multiplier input terminals.

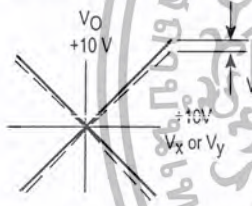
DESIGN CONSIDERATIONS

General

The MC1495 permits the designer to tailor the multiplier to a specific application by proper selection of external components. External components may be selected to optimize a given parameter (e.g. bandwidth) which may in turn restrict another parameter (e.g. maximum output voltage swing). Each important parameter is discussed in detail in the following paragraphs.

Linearity, Output Error, E_{RX} or E_{RY}

Linearity error is defined as the maximum deviation of output voltage from a straight line transfer function. It is expressed as error in percent of full scale (see figure below).



For example, if the maximum deviation, $V_{E(max)}$, is ±100 mV and the full scale output is 10 V, then the percentage error is:

$$E_R = \frac{V_{E(max)}}{V_{O(max)}} \times 100 = \frac{100 \times 10^{-3}}{10} \times 100 = \pm 1.0\%.$$

Linearity error may be measured by either of the following methods:

1. Using an X-Y plotter with the circuit shown in Figure 5, obtain plots for X and Y similar to the one shown above.
2. Use the circuit of Figure 4. This method nulls the level shifted output of the multiplier with the original input. The peak output of the null operational amplifier will be equal to the error voltage, $V_{E\,(max)}$.

One source of linearity error can arise from large signal nonlinearity in the X and Y input differential amplifiers. To avoid introducing error from this source, the emitter degeneration resistors R_X and R_Y must be chosen large enough so that nonlinear base-emitter voltage variation can be ignored. Figures 17 and 18 show the error expected from this source as a function of the values of R_X and R_Y with an operating current of 1.0 mA in each side of the differential amplifiers (i.e., $I_3 = I_{13} = 1.0$ mA).

3 dB Bandwidth and Phase Shift

Bandwidth is primarily determined by the load resistors and the stray multiplier output capacitance and/or the operational amplifier used to level shift the output. If wideband operation is desired, low value load resistors and/or a wideband operational amplifier should be used. Stray output capacitance will depend to a large extent on circuit layout.

Phase shift in the multiplier circuit results from two sources: phase shift common to both X and Y channels (due to the load resistor-output capacitance pole mentioned above) and relative phase shift between X and Y channels (due to differences in transadmittance in the X and Y channels). If the input to output phase shift is only 0.6°, the output product of two sine waves will exhibit a vector error of 1%. A 3° relative phase shift between V_X and V_Y results in a vector error of 5%.

Maximum Input Voltage

$V_{X(max)}$, $V_{Y(max)}$ input voltages must be such that:

$$V_{X(max)} < I_{13} R_Y$$
$$V_{Y(max)} < I_3 R_Y$$

Exceeding this value will drive one side of the input amplifier to "cutoff" and cause nonlinear operation.

Current I_3 and I_{13} are chosen at a convenient value (observing power dissipation limitation) between 0.5 mA and 2.0 mA, approximately 1.0 mA. Then R_X and R_Y can be determined by considering the input signal handling requirements.

For $V_{X(max)} = V_{Y(max)} = 10$ V;

$$R_X = R_Y > \frac{10\text{ V}}{1.0\text{ mA}} = 10\text{ k}\Omega.$$

The equation $I_A - I_B = \dfrac{2V_X V_Y}{R_X R_Y I_3}$

is derived from $I_A - I_B = \dfrac{2V_X V_Y}{(R_X + \frac{2kT}{qI_{13}})(R_Y + \frac{2kT}{qI_3})I_3}$

with the assumption $R_X >> \dfrac{2kT}{qI_{13}}$ and $R_Y >> \dfrac{2kT}{qI_3}$.

At $T_A = +25°C$ and $I_{13} = I_3 = 1.0$ mA,

$$\frac{2kT}{qI_{13}} = \frac{2kT}{qI_3} = 52\ \Omega.$$

Therefore, with $R_X = R_Y = 10$ kΩ the above assumption is valid. Reference to Figure 19 will indicate limitations of $V_{X(max)}$ or $V_{Y(max)}$ due to V_1 and V_7. Exceeding these limits will cause saturation or "cutoff" of the input transistors. See Step 4 of General Design Procedure for further details.

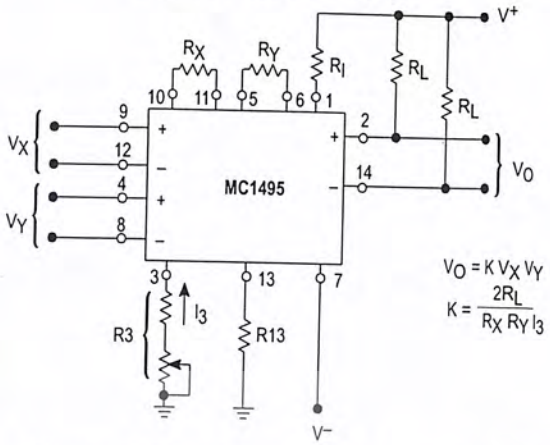
Maximum Output Voltage Swing

The maximum output voltage swing is dependent upon the factors mentioned below and upon the particular circuit being considered.

For Figure 20 the maximum output swing is dependent upon V^+ for positive swing and upon the voltage at Pin 1 for negative swing. The potential at Pin 1 determines the quiescent level for transistors Q_5, Q_6, Q_7 and Q_8. This potential should be related so that negative swing at Pins 2 or 14 does not saturate those transistors. See General Design Procedure for further information regarding selection of these potentials.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 20. Basic Multiplier



If an operational amplifier is used for level shift, as shown in Figure 21, the output swing (of the multiplier) is greatly reduced. See Section 3 for further details.

GENERAL DESIGN PROCEDURE

Selection of component values is best demonstrated by the following example. Assume resistive dividers are used at the X and Y-inputs to limit the maximum multiplier input to ± 5.0 V [$V_X = V_{Y(max)}$] for a ± 10 V input [$V_{X'} = V_{Y'(max)}$] (see Figure 21). If an overall scale factor of 1/10 is desired,

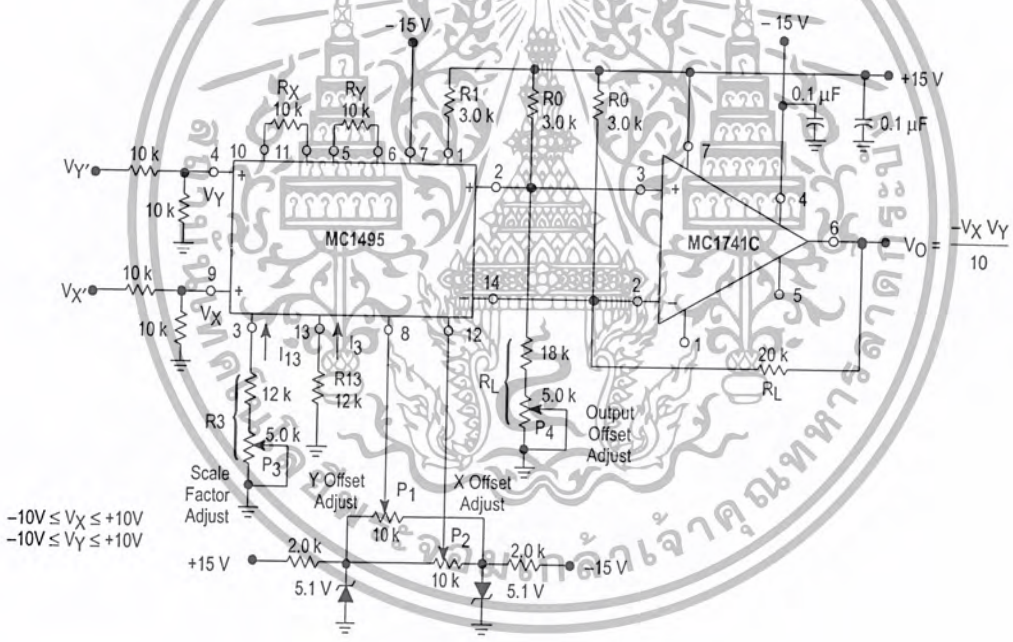
$$\text{then, } V_O = \frac{V_{X'}\, V_{Y'}}{10} = \frac{(2V_X)\,(2V_Y)}{10} = 4/10\, V_X\, V_Y$$

Therefore, K = 4/10 for the multiplier (excluding the divider network).

Step 1. The fist step is to select current I_3 and current I_{13}. There are no restrictions on the selection of either of these currents except the power dissipation of the device. I_3 and I_{13} will normally be 1.0 mA or 2.0 mA. Further, I_3 does not have to be equal to I_{13}, and there is normally no need to make them different. For this example, let

$$I_3 = I_{13} = 1.0 \text{ mA}.$$

Figure 21. Multiplier with Operational Amplifier Level Shift



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

To set currents I_3 and I_{13} to the desired value, it is only necessary to connect a resistor between Pin 13 and ground, and between Pin 3 and ground. From the schematic shown in Figure 3, it can be seen that the resistor values necessary are given by:

$$R13 + 500\ \Omega = \frac{|V-| - 0.7\ V}{I_{13}}$$

$$R3 + 500\ \Omega = \frac{|V-| - 0.7\ V}{I_3}$$

Let V– = –15 V, then $R13 + 500 = \frac{14.3\ V}{1.0\ mA}$ or R13 = 13.8 kΩ

Let R_{13} = 12 kΩ. Similarly, R_3 = 13.8 kΩ, let R_3 = 15 kΩ

However, for applications which require an accurate scale factor, the adjustment of R_3 and consequently, I_3, offers a convenient method of making a final trim of the scale factor. For this reason, as shown in Figure 21, resistor R_3 is shown as a fixed resistor in series with a potentiometer.

For applications not requiring an exact scale factor (balanced modulator, frequency doubler, AGC amplifier, etc.) Pins 3 and 13 can be connected together and a single resistor from Pin 3 to ground can be used. In this case, the single resistor would have a value of 1/2 the above calculated value for R_{13}.

Step 2. The next step is to select R_X and R_Y. To insure that the input transistors will always be active, the following conditions should be met:

$$\frac{V_X}{R_X} < I_{13}, \quad \frac{V_Y}{R_Y} < I_3$$

A good rule of thumb is to make $I_3R_Y \geq 1.5\ V_{Y(max)}$ and $I_{13}R_X \geq 1.5 V_{X(max)}$. The larger the I_3R_Y and $I_{13}R_X$ product in relation to V_Y and V_X respectively, the more accurate the multiplier will be (see Figures 17 and 18).

Let $R_X = R_Y$ = 10 kΩ,
then I_3R_Y = 10 V
$I_{13}R_X$ = 10 V

since $V_{X(max)} = V_{Y(max)} = 5.0$ V, the value of $R_X = R_Y$ = 10 kΩ is sufficient.

Step 3. Now that R_X, R_Y and I_3 have been chosen, R_L can be determined:

$$K = \frac{2R_L}{R_X R_Y I_3} = \frac{4}{10}, \text{ or } \frac{(2)(R_L)}{(10\ k)(10\ k)(1.0\ mA)} = \frac{4}{10}$$

Thus R_L = 20 kΩ.

Step 4. To determine what power supply voltage is necessary for this application, attention must be given to the circuit schematic shown in Figure 3. From the circuit schematic it can be seen that in order to maintain transistors Q_1, Q_2, Q_3 and Q_4 in an active region when the maximum input voltages are applied ($V_{X'} = V_{Y'}$ = 10 V or V_X = 5.0 V, V_Y = 5.0 V), their respective collector voltage should be at least a few tenths of a volt higher than the maximum input voltage. It should also be noticed that the collector voltage of transistors Q_3 and Q_4 is at a potential which is two diode-drops below the voltage at Pin 1. Thus, the voltage at Pin 1 should be about 2.0 V higher than the maximum input voltage. Therefore, to handle +5.0 V at the inputs, the voltage at Pin 1 must be at least +7.0 V. Let V_1 = 9.0 Vdc.

Since the current flowing into Pin 1 is always equal to $2I_3$, the voltage at Pin 1 can be set by placing a resistor (R_1) from Pin 1 to the positive supply:

$$R_1 = \frac{V^+ - V_1}{2I_3}$$

Let V+ = 15 V, then $R_1 = \frac{15\ V - 9.0\ V}{(2)(1.0\ mA)}$

R_1 = 3.0 kΩ.

Note that the voltage at the base of transistors Q_5, Q_6, Q_7 and Q_8 is one diode-drop below the voltage at Pin 1. Thus, in order that these transistors stay active, the voltage at Pins 2 and 14 should be approximately halfway between the voltage at Pin 1 and the positive supply voltage. For this example, the voltage at Pins 2 and 14 should be approximately 11 V.

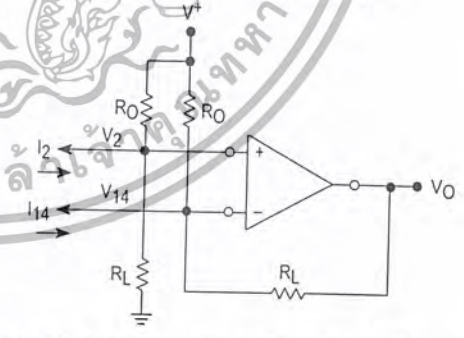
Step 5. For dc applications, such as the multiply, divide and square-root functions, it is usually desirable to convert the differential output to a single-ended output voltage referenced to ground. The circuit shown in Figure 22 performs this function. It can be shown that the output voltage of this circuit is given by:

$$V_O = (I_2 - I_{14})\ R_L$$

And since $I_A - I_B = I_2 - I_{14} = \frac{2I_X I_Y}{I_3} = \frac{2V_X V_Y}{I_3 R_X R_Y}$

then $V_O = \frac{2R_L V_{X'} V_{Y'}}{4R_X R_X I_3}$ where, $V_{X'}$ $V_{Y'}$ is the voltage at the input to the voltage dividers.

Figure 22. Level Shift Circuit



The choice of an operational amplifier for this application should have low bias currents, low offset current, and a high common mode input voltage range as well as a high common mode rejection ratio. The MC1456, and MC1741C operational amplifiers meet these requirements.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Referring to Figure 21, the level shift components will be determined. When $V_X = V_Y = 0$, the currents I_2 and I_{14} will be equal to I_{13}. In Step 3, R_L was found to be 20 kΩ and in Step 4, V_2 and V_{14} were found to be approximately 11 V. From this information R_O can be found easily from the following equation (neglecting the operational amplifiers bias current):

$$\frac{V2}{R_L} + I_{13} = \frac{V^+ - V_2}{R_O}$$

And for this example, $\frac{11\ V}{20\ k\Omega} + 1.0\ mA = \frac{15\ V - 11\ V}{R_O}$

Solving for R_O: $R_O = 2.6\ k\Omega$, thus, select $R_O = 3.0\ k\Omega$

For $R_O = 3.0\ k\Omega$, the voltage at Pins 2 and 14 is calculated to be:

$$V_2 = V_{14} = 10.4\ V.$$

The linearity of this circuit (Figure 21) is likely to be as good or better than the circuit of Figure 5. Further improvements are possible as shown in Figure 23 where R_Y has been increased substantially to improve the Y linearity, and R_X decreased somewhat so as not to materially affect the X linearity. This avoids increasing R_L significantly in order to maintain a K of 0.1.

The versatility of the MC1495 allows the user to to optimize its performance for various input and output signal levels.

OFFSET AND SCALE FACTOR ADJUSTMENT

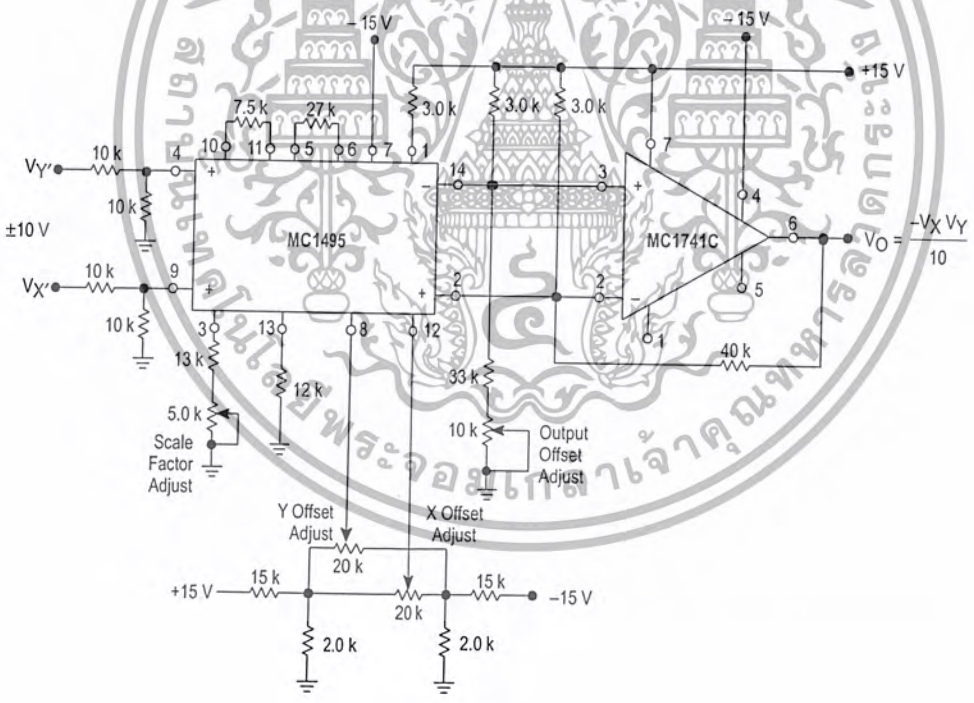
Offset Voltages

Within the monolithic multiplier (Figure 3) transistor base-emitter junctions are typically matched within 1.0 mV and resistors are typically matched within 2%. Even with this careful matching, an output error can occur. This output error is comprised of X-input offset voltage, Y-input offset voltage, and output offset voltage. These errors can be adjusted to zero with the techniques shown in Figure 21. Offset terms can be shown analytically by the transfer function:

$$V_O = K[V_X \pm V_{iox} \pm V_{x(off)}]\,[V_y \pm V_{ioy} \pm V_{y(off)}] \pm V_{OO} \quad (1)$$

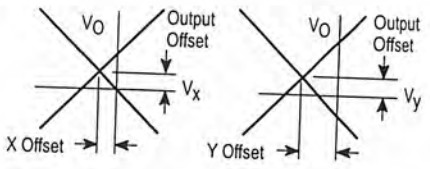
Where:
- K = scale factor
- V_X = "x" input voltage
- V_y = "y" input voltage
- V_{iox} = "x" input offset voltage
- V_{ioy} = "y" input offset voltage
- $V_{x(off)}$ = "x" input offset adjust voltage
- $V_{y(off)}$ = "y" input offset adjust voltage
- V_{OO} = output offset voltage.

Figure 23. Multiplier with Improved Linearity



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

X, Y and Output Offset Voltages



For most dc applications, all three offset adjust potentiometers (P_1, P_2, P_4) will be necessary. One or more offset adjust potentiometers can be eliminated for ac applications (see Figures 28, 29, 30, 31).

If well regulated supply voltages are available, the offset adjust circuit of Figure 13 is recommended. Otherwise, the circuit of Figure 14 will greatly reduce the sensitivity to power supply changes.

Scale Factor

The scale factor K is set by P_3 (Figure 21). P_3 varies I_3 which inversely controls the scale factor K. It should be noted that current I_3 is one-half the current through R_1. R_1 sets the bias level for Q_5, Q_6, Q_7, and Q_8 (see Figure 3). Therefore, to be sure that these devices remain active under all conditions of input and output swing, care should be exercised in adjusting P_3 over wide voltage ranges (see General Design Procedure).

Adjustment Procedures

The following adjustment procedure should be used to null the offsets and set the scale factor for the multiply mode of operation, (see Figure 21).

1. X-Input Offset
   (a) Connect oscillator (1.0 kHz, 5.0 V_{pp} sinewave) to the Y-input (Pin 4).
   (b) Connect X-input (Pin 9) to ground.
   (c) Adjust X offset potentiometer (P_2) for an ac null at the output.
2. Y-Input Offset
   (a) Connect oscillator (1.0 kHz, 5.0 V_{pp} sinewave) to the X-input (Pin 9).
   (b) Connect Y-input (Pin 4) to ground.
   (c) Adjust Y offset potentiometer (P_1) for an ac null at the output.
3. Output Offset
   (a) Connect both X and Y-inputs to ground.
   (b) Adjust output offset potentiometer (P_4) until the output voltage (V_O) is 0 Vdc.
4. Scale Factor
   (a) Apply +10 Vdc to both the X and Y-inputs.
   (b) Adjust P_3 to achieve + 10 V at the output.
5. Repeat steps 1 through 4 as necessary.

The ability to accurately adjust the MC1495 depends upon the characteristics of potentiometers P_1 through P_4. Multi-turn, infinite resolution potentiometers with low temperature coefficients are recommended.

DC APPLICATIONS

Multiply

The circuit shown in Figure 21 may be used to multiply signals from dc to 100 kHz. Input levels to the actual multiplier are 5.0 V (max). With resistive voltage dividers the maximum could be very large however, for this application two-to-one dividers have been used so that the maximum input level is 10 V. The maximum output level has also been designed for 10 V (max).

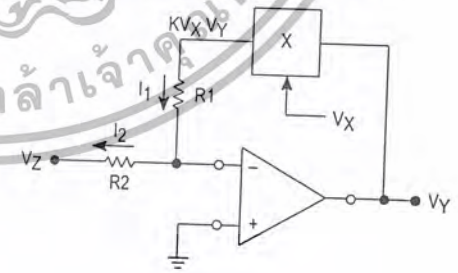
Squaring Circuit

If the two inputs are tied together, the resultant function is squaring; that is $V_O = KV^2$ where K is the scale factor. Note that all error terms can be eliminated with only three adjustment potentiometers, thus eliminating one of the input offset adjustments. Procedures for nulling with adjustments are given as follows:

A. AC Procedure:
   1. Connect oscillator (1.0 kHz, 15 V_{pp}) to input.
   2. Monitor output at 2.0 kHz with tuned voltmeter and adjust P_3 for desired gain. (Be sure to peak response of the voltmeter.)
   3. Tune voltmeter to 1.0 kHz and adjust P_1 for a minimum output voltage.
   4. Ground input and adjust P_4 (output offset) for 0 Vdc output.
   5. Repeat steps 1 through 4 as necessary.

B. DC Procedure:
   1. Set $V_X = V_Y = 0$ V and adjust P_4 (output offset potentiometer) such that $V_O = 0$ Vdc
   2. Set $V_X = V_Y = 1.0$ V and adjust P_1 (Y-input offset potentiometer) such that the output voltage is + 0.100 V.
   3. Set $V_X = V_Y = 10$ Vdc and adjust P_3 such that the output voltage is + 10 V.
   4. Set $V_X = V_Y = -10$ Vdc. Repeat steps 1 through 3 as necessary.

Figure 24. Basic Divide Circuit



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Divide Circuit

Consider the circuit shown in Figure 24 in which the multiplier is placed in the feedback path of an operational amplifier. For this configuration, the operational amplifier will maintain a "virtual ground" at the inverting (–) input. Assuming that the bias current of the operational amplifier is negligible, then $I_1 = I_2$ and,

$$\frac{KV_XV_Y}{R1} = \frac{-V_Z}{R2} \quad (1)$$

Solving for V_Y, $$V_Y = \frac{-R1}{R2\ K}\frac{V_Z}{V_X} \quad (2)$$

If R1=R2, $$V_Y = \frac{-V_Z}{KV_X} \quad (3)$$

If R1= KR2, $$V_Y = \frac{-V_Z}{V_X} \quad (4)$$

Hence, the output voltage is the ratio of V_Z to V_X and provides a divide function. This analysis is, of course, the ideal condition. If the multiplier error is taken into account, the output voltage is found to be:

$$V_Y = -\left[\frac{R1}{R2\ K}\right]\frac{V_Z}{V_X} + \frac{\Delta E}{KV_X} \quad (5)$$

where ΔE is the error voltage at the output of the multiplier. From this equation, it is seen that divide accuracy is strongly dependent upon the accuracy at which the multiplier can be set, particularly at small values of V_Y. For example, assume that R1 = R2, and K = 1/10. For these conditions the output of the divide circuit is given by:

$$V_Y = \frac{-10\ V_Z}{V_X} + \frac{10\ \Delta E}{V_X} \quad (6)$$

From Equation 6, it is seen that only when V_X = 10 V is the error voltage of the divide circuit as low as the error of the multiply circuit. For example, when V_X is small, (0.1 V) the error voltage of the divide circuit can be expected to be a hundred times the error of the basic multiplier circuit.

In terms of percentage error,

$$\text{percentage error} = \frac{\text{error}}{\text{actual}} \times 100\%$$

or from Equation (5),

$$PE_D = \frac{\frac{\Delta E}{KV_X}}{\left[\frac{R1}{R2\ K}\right]\frac{V_Z}{V_X}} = \left[\frac{R2}{R1}\right]\frac{\Delta E}{V_Z} \quad (7)$$

From Equation 7, the percentage error is inversely related to voltage V_Z (i.e., for increasing values of V_Z, the percentage error decreases).

A circuit that performs the divide function is shown in Figure 25.

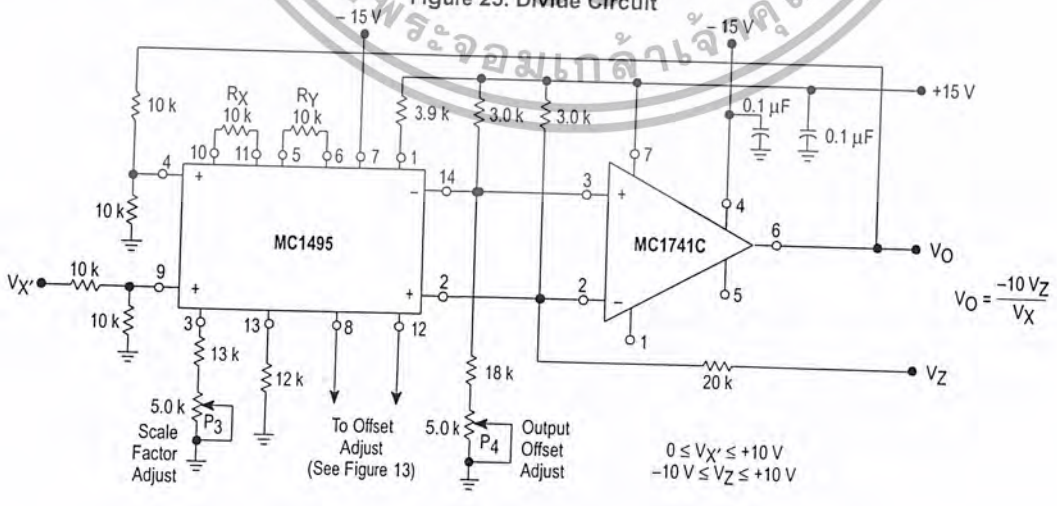
Two things should be emphasized concerning Figure 25.

1. The input voltage ($V_{X'}$) must be greater than zero and must be positive. This insures that the current out of Pin 2 of the multiplier will always be in a direction compatible with the polarity of V_Z.
2. Pin 2 and 14 of the multiplier have been interchanged in respect to the operational amplifiers input terminals. In this instance, Figure 25 differs from the circuit connection shown in Figure 21; necessitated to insure negative feedback around the loop.

A suggested adjustment procedure for the divide circuit.

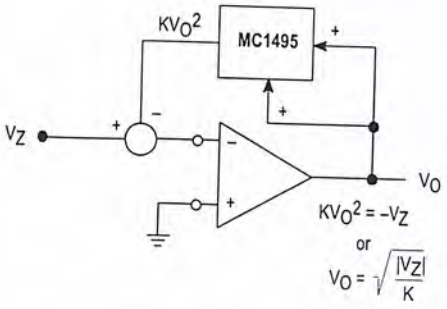
1. Set V_Z = 0 V and adjust the output offset potentiometer (P_4) until the output voltage (V_O) remains at some (not necessarily zero) constant value as $V_{X'}$ is varied between +1.0 V and +10 V.
2. Keep V_Z at 0 V, set $V_{X'}$ at +10 V and adjust the Y input offset potentiometer (P_1) until V_O = 0 V.
3. Let $V_{X'} = V_Z$ and adjust the X-input offset potentiometer (P_2) until the output voltage remains at some (not necessarily – 10 V) constant value as $V_Z = V_{X'}$ is varied between +1.0 and +10 V.
4. Keep $V_{X'} = V_Z$ and adjust the scale factor potentiometer (P_3) until the average value of V_O is –10 V as $V_Z = V_{X'}$ is varied between +1.0 V and +10 V.
5. Repeat steps 1 through 4 as necessary to achieve optimum performance.

Figure 25. Divide Circuit



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 26. Basic Square Root Circuit



Square Root

A special case of the divide circuit in which the two inputs to the multiplier are connected together is the square root function as indicated in Figure 26. This circuit may suffer from latch-up problems similar to those of the divide circuit. Note that only one polarity of input is allowed and diode clamping (see Figure 27) protects against accidental latch-up.

This circuit also may be adjusted in the closed-loop mode as follows:

1. Set V_Z to –0.01 V and adjust P_4 (output offset) for V_O = +0.316 V, being careful to approach the output from the positive side to preclude the effect of the output diode clamping.
2. Set V_Z to –0.9 V and adjust P_2 (X adjust) for V_O = +3.0 V.
3. Set V_Z to –10 V and adjust P_3 (scale factor adjust) for V_O = +10 V.
4. Steps 1 through 3 may be repeated as necessary to achieve desired accuracy.

AC APPLICATIONS

The applications that follow demonstrate the versatility of the monolithic multiplier. If a potted multiplier is used for these cases, the results generally would not be as good because the potted units have circuits that, although they optimize dc multiplication operation, can hinder ac applications.

Frequency doubling often is done with a diode where the fundamental plus a series of harmonics are generated. However, extensive filtering is required to obtain the desired harmonic, and the second harmonic obtained under this technique usually is small in magnitude and requires amplification.

When a multiplier is used to double frequency the second harmonic is obtained directly, except for a dc term, which can be removed with ac coupling.

$$e_o = KE^2 \cos^2 \omega t$$

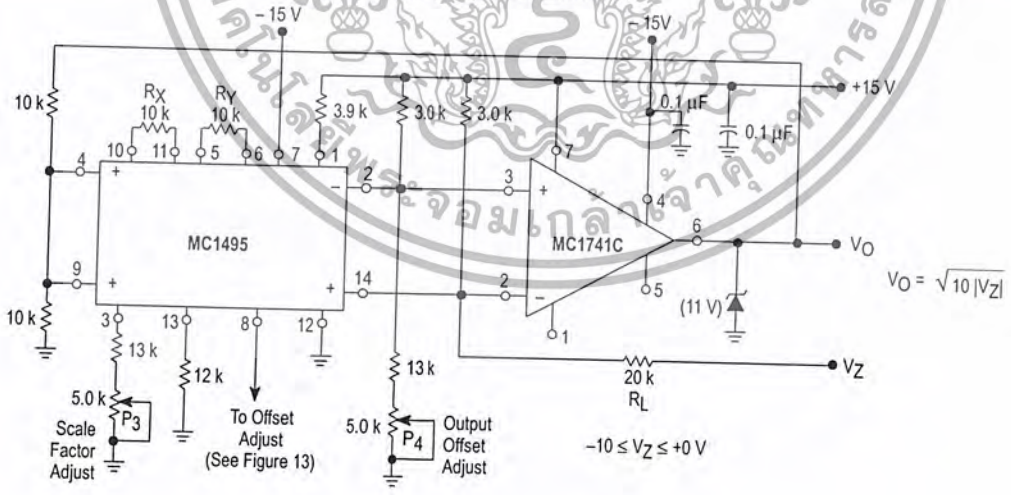
$$e_o = \frac{KE^2}{2} (1 + \cos 2\omega t).$$

A potted multiplier can be used to obtain the double frequency component, but frequency would be limited by its internal level-shift amplififer. In the monolithic units, the amplifier is omitted.

In a typical doubler circuit, conventional ± 15 V supplies are used. An input dynamic range of 5.0 V peak-to-peak is allowed. The circuit generates wave-forms that are double frequency; less than 1% distortion is encountered without filtering. The configuration has been successfully used in excess of 200 kHz; reducing the scale factor by decreasing the load resistors can further expand the bandwidth.

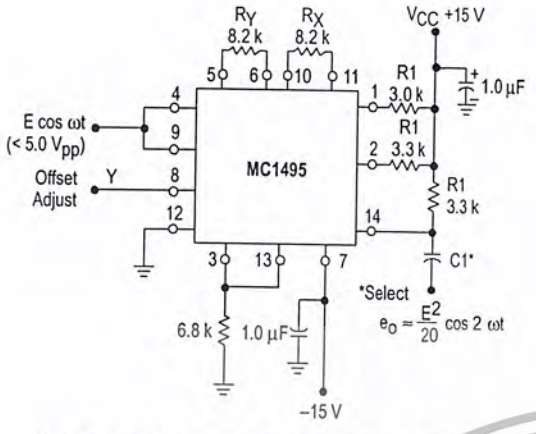
Figure 29 represents an application for the monolithic multiplier as a balanced modulator. Here, the audio input signal is 1.6 kHz and the carrier is 40 kHz.

Figure 27. Square Root Circuit



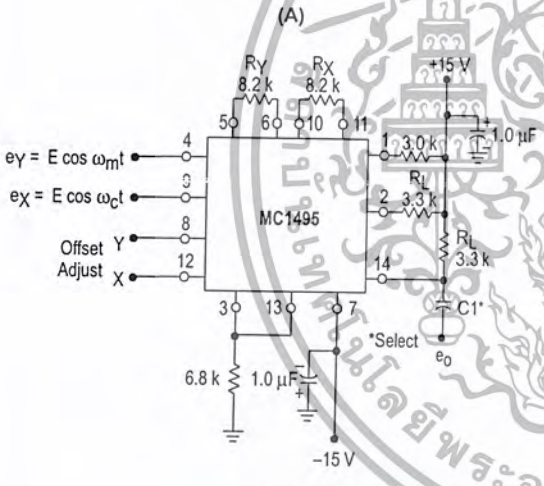
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 28. Frequency Doubler

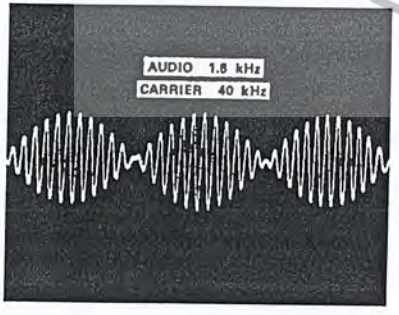


When two equal cosine waves are applied to X and Y, the result is a wave shape of twice the input frequency. For this example the input was a 10 kHz signal, output was 20 kHz.

Figure 29. Balanced Modulator



(B)



The defining equation for balanced modulation is

$$K(E_m \cos \omega_m t)\,(E_c \cos \omega_c t) =$$

$$\frac{KE_c E_m}{2}\,[\cos(\omega_c + \omega_m)t + \cos(\omega_c - \omega_m)\,t]$$

where ω_c is the carrier frequency, ω_m is the modulator frequency and K is the multiplier gain constant.

AC coupling at the output eliminates the need for level translation or an operational amplifier; a higher operating frequency results.

A problem common to communications is to extract the intelligence from single-sideband received signal. The ssb signal is of the form:

$$e_{ssb} = A \cos(\omega_c + \omega_m)\,t$$

and if multiplied by the appropriate carrier waveform, $\cos \omega_c t$,

$$e_{ssb} e_{carrier} = \frac{AK}{2}\,[\cos(2\omega_c + \omega_m)t + \cos(\omega_c)\,t\,].$$

If the frequency of the band-limited carrier signal (ω_c) is ascertained in advance, the designer can insert a low pass filter and obtain the (AK/2) ($\cos\omega_c t$) term with ease. He/she also can use an operational amplifier for a combination level shift-active filter, as an external component. But in potted multipliers, even if the frequency range can be covered, the operational amplifier is inside and not accessible, so the user must accept the level shifting provided, and still add a low pass filter.

Amplitude Modulation

The multiplier performs amplitude modulation, similar to balanced modulation, when a dc term is added to the modulating signal with the Y-offset adjust potentiometer (see Figure 30).

Here, the identity is:

$$E_m(1 + m \cos \omega_m t)\,E_c \cos \omega_c t = KE_m E_c \cos \omega_c t +$$

$$\frac{KE_m E_c m}{2}\,[\cos(\omega_c + \omega_m)t + \cos(\omega_c - \omega_m)\,t]$$

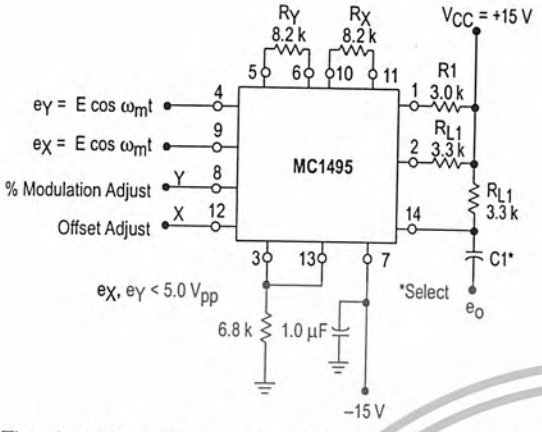
where m indicates the degrees of modulation. Since m is adjustable, via potentiometer P_1, 100% modulation is possible. Without extensive tweaking, 96% modulation may be obtained where ω_c and ω_m are the same as in the balanced modulator example.

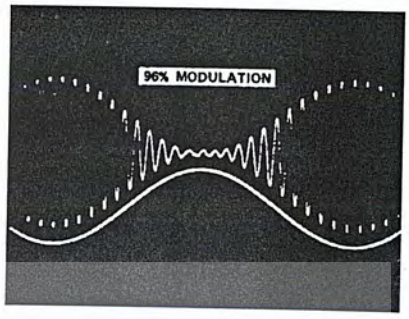
Linear Gain Control

To obtain linear gain control, the designer can feed to one of the two MC1495 inputs a signal that will vary the unit's gain. The following example demonstrates the feasibility of this application. Suppose a 200 kHz sinewave, 1.0 V peak-to-peak, is the signal to which a gain control will be added. The dynamic range of the control voltage V_C is 0 V to +1.0 V. These must be ascertained and the proper values of R_X and R_Y can be selected for optimum performance. For the 200 kHz operating frequency, load resistors of 100 Ω were chosen to broaden the operating bandwidth of the multiplier, but gain was sacrificed. It may be made up with an amplifier operating at the appropriate frequency (see Figure 31).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 30. Amplitude Modulation





The signal is applied to the unit's Y-input. Since the total input range is limited to 1.0 V_{pp}, a 2.0 V swing, a current source of 2.0 mA and an R_Y value of 1.0 kΩ is chosen. This takes best advantage of the dynamic range and insures linear operation in the Y-channel.

Since the X-input varies between 0 and +1.0 V, the current source selected was 1.0 mA, and the R_X value chosen was 2.0 kΩ. This also insures linear operation over the X-input dynamic range. Choosing R_L = 100 assures wide bandwidth operation.

Hence, the scale factor for this configuration is:

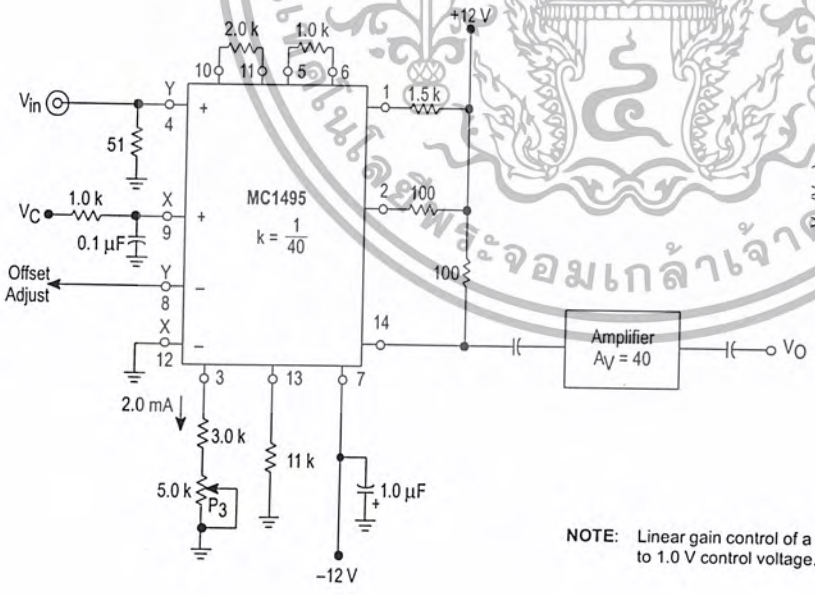
$$K = \frac{R_L}{R_X R_Y I_3}$$

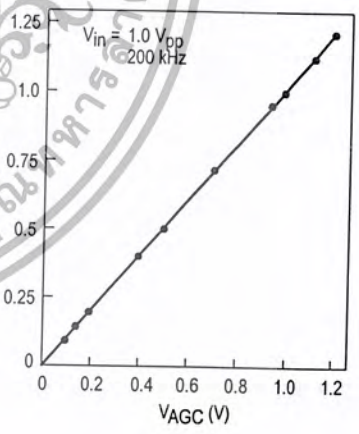
$$= \frac{100}{(2\text{ k})(1\text{ k})(2 \times 10^3)}\ V^{-1}$$

$$= \frac{1}{40}\ V^{-1}$$

The 2 in the numerator of the equation is missing in this scale factor expression because the output is single-ended and ac coupled.

Figure 31. Linear Gain Control



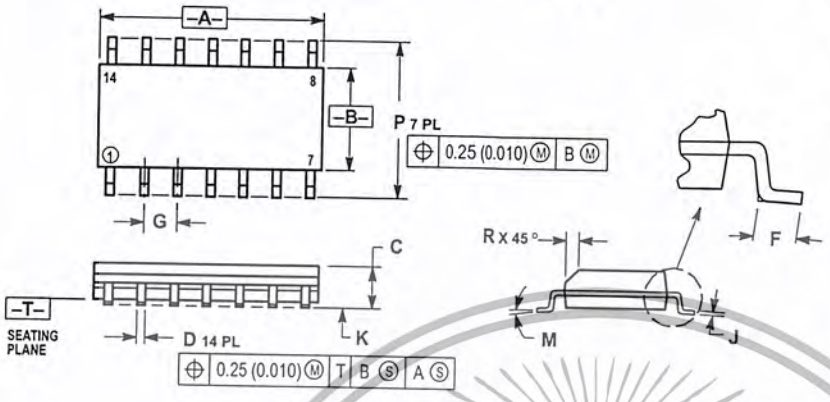


NOTE: Linear gain control of a 1.0 V_{pp} signal is performed with a 0 V to 1.0 V control voltage. If V_C is 0.5 V the output will be 0.5 V_{pp}.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

OUTLINE DIMENSIONS

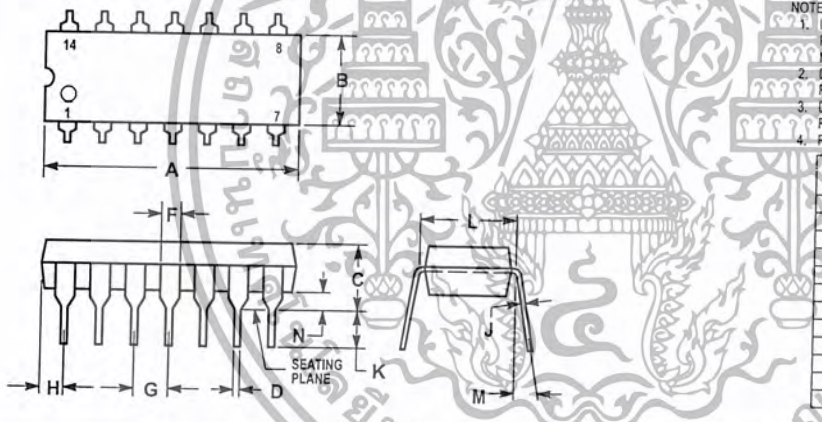
D SUFFIX
PLASTIC PACKAGE
CASE 751A–03
ISSUE F



NOTES:
1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982.
2. CONTROLLING DIMENSION: MILLIMETER.
3. DIMENSIONS A AND B DO NOT INCLUDE MOLD PROTRUSION.
4. MAXIMUM MOLD PROTRUSION 0.15 (0.006) PER SIDE.
5. DIMENSION D DOES NOT INCLUDE DAMBAR PROTRUSION. ALLOWABLE DAMBAR PROTRUSION SHALL BE 0.127 (0.005) TOTAL IN EXCESS OF THE D DIMENSION AT MAXIMUM MATERIAL CONDITION.

DIM	MILLIMETERS		INCHES	
	MIN	MAX	MIN	MAX
A	8.55	8.75	0.337	0.344
B	3.80	4.00	0.150	0.157
C	1.35	1.75	0.054	0.068
D	0.35	0.49	0.014	0.019
F	0.40	1.25	0.016	0.049
G	1.27 BSC		0.050 BSC	
J	0.19	0.25	0.008	0.009
K	0.10	0.25	0.004	0.009
M	0°	7°	0°	7°
P	5.80	6.20	0.228	0.244
R	0.25	0.50	0.010	0.019

P SUFFIX
PLASTIC PACKAGE
CASE 646–06
ISSUE L



NOTES:
1. LEADS WITHIN 0.13 (0.005) RADIUS OF TRUE POSITION AT SEATING PLANE AT MAXIMUM MATERIAL CONDITION.
2. DIMENSION L TO CENTER OF LEADS WHEN FORMED PARALLEL.
3. DIMENSION B DOES NOT INCLUDE MOLD FLASH.
4. ROUNDED CORNERS OPTIONAL.

DIM	INCHES		MILLIMETERS	
	MIN	MAX	MIN	MAX
A	0.715	0.770	18.16	19.56
B	0.240	0.260	6.10	6.60
C	0.145	0.185	3.69	4.69
D	0.015	0.021	0.38	0.53
F	0.040	0.070	1.02	1.78
G	0.100 BSC		2.54 BSC	
H	0.052	0.095	1.32	2.41
J	0.008	0.015	0.20	0.38
K	0.115	0.135	2.92	3.43
L	0.300 BSC		7.62 BSC	
M	0°	10°	0°	10°
N	0.015	0.039	0.39	1.01

Motorola reserves the right to make changes without further notice to any products herein. Motorola makes no warranty, representation or guarantee regarding the suitability of its products for any particular purpose, nor does Motorola assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation consequential or incidental damages. "Typical" parameters which may be provided in Motorola data sheets and/or specifications can and do vary in different applications and actual performance may vary over time. All operating parameters, including "Typicals" must be validated for each customer application by customer's technical experts. Motorola does not convey any license under its patent rights nor the rights of others. Motorola products are not designed, intended, or authorized for use as components in systems intended for surgical implant into the body, or other applications intended to support or sustain life, or for any other application in which the failure of the Motorola product could create a situation where personal injury or death may occur. Should Buyer purchase or use Motorola products for any such unintended or unauthorized application, Buyer shall indemnify and hold Motorola and its officers, employees, subsidiaries, affiliates, and distributors harmless against all claims, costs, damages, and expenses, and reasonable attorney fees arising out of, directly or indirectly, any claim of personal injury or death associated with such unintended or unauthorized use, even if such claim alleges that Motorola was negligent regarding the design or manufacture of the part. Motorola and Ⓜ are registered trademarks of Motorola, Inc. Motorola, Inc. is an Equal Opportunity/Affirmative Action Employer.

How to reach us:
USA/EUROPE/Locations Not Listed: Motorola Literature Distribution; P.O. Box 20912; Phoenix, Arizona 85036. 1–800–441–2447 or 602–303–5454

MFAX: RMFAX0@email.sps.mot.com – TOUCHTONE 602–244–6609
INTERNET: http://Design–NET.com

JAPAN: Nippon Motorola Ltd.; Tatsumi–SPD–JLDC, 6F Seibu–Butsuryu–Center, 3–14–2 Tatsumi Koto–Ku, Tokyo 135, Japan. 03–81–3521–8315

ASIA/PACIFIC: Motorola Semiconductors H.K. Ltd.; 8B Tai Ping Industrial Park, 51 Ting Kok Road, Tai Po, N.T., Hong Kong. 852–26629298

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ปริญญานิพนธ์ฉบับนี้เสร็จสิ้นลงด้วยดี ก็เพราะด้วยความอนุเคราะห์ของบุคคลหลายท่าน ผู้จัดทำขอขอบพระคุณบิดา มารดาของผู้จัดทำที่ให้การอุปการะและเป็นกำลังใจให้ผู้จัดทำ

ขอขอบคุณ ดร.นนทวัฒน์ จุลเดชะ อาจารย์ที่ปรึกษาที่ด้วยกรุณาให้ความรู้ คำแนะนำ และเป็นกำลังใจแก่ผู้จัดทำมาโดยตลอด และขอขอบคุณคณาจารย์ทุกท่าน ที่ได้ประสิทธิประสาทวิชาความรู้ และให้คำแนะนำแก่ผู้จัดทำตลอด

และขอขอบคุณเพื่อนๆ และพี่ๆ น้องๆ ทุกคนที่ให้ความช่วยเหลือในการทำปริญญานิพนธ์ฉบับนี้ให้สำเร็จลุล่วงไปได้ด้วยดี

คณะผู้จัดทำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บรรณานุกรม

1. บริษัท HONEYWELL MICRO SWITCH SENSING AND CONTROL
2. บริษัท FAIRCHILD SEMICONDUCTOR
3. บริษัท ON SEMICONDUCTOR
4. บริษัท INTERNATIONAL RECTIFIER
5. บริษัท MOTOROLA SEMICONDUCTOR
6. TAKEDA ,M., IKEDA ,K.,TERAMOTO , A., and ARITSUKA, T.:' Harmonics current and rectifier power compensation with an active filter' IEEE PESC '88 Record,April 1988, pp.1174 - 1179
7. GYUGYI, L.G.: 'Power electronics in electric utilities: static VAR compensator',Proc. IEE,1988, 76,(4), pp. 483 - 494
8. CHOE, G.H., and PARK, M.H.: 'A new injection method for AC harmonic elimination by active power filter', IEEE Trans., 1988, IE-35, (1), pp. 141-147

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้