สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

เครื่องมือวัดอุณหภูมิและบันทึกค่าข้อมูล

THERMOMETER AND DATA LOGGER

T050219

นายทินพงศ์ พุ่มกาญจน์

นายนริศ นะสะโต

เลขหมู่.....
เลขทะเบียน 50219
วัน,เดือน,ปี 2 8 เม.ย. 2547

b.....
i.....

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาวิศวกรรมการวัดคุม

ภาควิชาวิศวกรรมการวัดคุม คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2545

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

THERMOMETER AND DATA LOGGER

TYNNAPONG PHUMKARN

NARID NASATO

A THESIS SUBMITTED PARTAIL FULFILLMENT

OF THE REQUIREMENT FOR THE DEGREE OF

BACHELOR OF ENGINEERING INSTRUMENTATION ENGINEERING

DEPARTMENT OF INSTRUMENTATION ENGINEERING

FACULTY OF ENGINEERING

KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG

2002

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาควิชาวิศวกรรมการวัดคุม

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ใบรับรองปริญญานิพนธ์

หัวข้อปริญญานิพนธ์	เครื่องมือวัดอุณหภูมิและบันทึกค่าข้อมูล THERMOMETER AND DATA LOGGER			
นักศึกษาผู้จัดทำ	นายทินพงศ์	พุ่มกาญจน์	รหัสประจำตัว	43015464
	นายนริศ	นะสะโต	รหัสประจำตัว	43015468
ปริญญา	วิศวกรรมศาสตรบัณฑิต			
สาขาวิชา	วิศวกรรมการวัดคุม			
ปีการศึกษา	2545			

อาจารย์ผู้ควบคุมปริญญานิพนธ์	ลายมือชื่อ
รศ. สุพรรณ กุลพาณิชย์	

วัน/เดือน/ปี ที่สอบ วันอังคารที่ 25 มีนาคม 2546

สถานที่สอบ ณ ห้องสอบปริญญานิพนธ์ ภาควิชาวิศวกรรมการวัดคุม

ภาควิชารับรองแล้ว

(ผศ.ประสิทธิ์ จุลเสรีวงศ์)

หัวหน้าภาควิชาวิศวกรรมการวัดคุม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อปริญญานิพนธ์	เครื่องมือวัดอุณหภูมิและบันทึกค่าข้อมูล	
	THERMOMETER AND DATA LOGGER	
นักศึกษาผู้จัดทำ	นายทินพงศ์	พุ่มกาญจน์
	นายนริศ	นะสะโต
อาจารย์ที่ปรึกษา	รศ. สุพรรณ	กุลพาณิชย์
ปีการศึกษา	2545	

บทคัดย่อ

ปริญญานิพนธ์เครื่องวัดอุณหภูมิและบันทึกค่าข้อมูลสามารถทำการตรวจวัดอุณหภูมิและเก็บบันทึกข้อมูลของอุณหภูมิในเวลาเดียวกัน พร้อมทั้งบันทึกวันและเวลาที่เริ่มทำงานเพื่อสามารถนำข้อมูลเหล่านี้ไปทำการวิเคราะห์หาความสัมพันธ์กันได้สะดวกยิ่งขึ้น โดยข้อมูลที่เก็บไว้จะไม่สูญหายแม้ในขณะปิดเครื่องหรือเกิดไฟฟ้าขัดข้อง และยังสามารถกำหนดคาบเวลาในการบันทึกข้อมูลได้ละเอียดถึง 1 วินาที

การใช้งานสามารถทำได้ใน 2 รูปแบบคือ

1.สามารถสั่งงาน ควบคุม และแสดงผลผ่านทางเครื่องคอมพิวเตอร์ เช่น การปรับเปลี่ยนค่าตัวประกอบการวัดค่าต่างๆ การดูผลการวัดแบบเรียลไทม์และการเรียกดูค่าที่บันทึกไว้โดยผ่านทางหน้าจอ ซึ่งมีการใช้งานที่สะดวก

2.ใช้ในกรณีที่ต้องการวัดและบันทึกค่าอุณหภูมิและสัญญาณในบริเวณที่ไม่สามารถติดต่อกับเครื่องคอมพิวเตอร์ได้โดยข้อมูลที่บันทึกจะถูกเก็บไว้ในหน่วยความจำภายในของเครื่องซึ่งจะทำการนำข้อมูลเหล่านี้ไปเรียกดูได้ในภายหลัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Thesis Title	Thermometer And Data Logger
Authors	Mr. Tynnapong Phumkarn
	Mr. Narid Nasato
Thesis Advisor	Assoc. Prof. Supun Kulapanit
Year	2002

ABSTRACT

This project has an objective to present for detect , measurement and logging data of temperature signal in the same time . Furthermore although shutdown or electrical dropping , the data will not disappear . The smallest range of period for record about 1 second.

The directions for use consist of 2 option are :

The first option is Remote control mode can be ordering , control and display data on Personal Computer (PC.) by User Interface Monitors.

The second option is Stand-alone mode for outside working or the environment without PC. The data can be download in the future.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ขอขอบคุณ อาจารย์ รศ. สุพรรณ กุลพาณิชย์ อาจารย์ที่ปรึกษาการทำปริญญานิพนธ์ที่ได้ให้คำปรึกษาในการออกแบบและการจัดทำ อีกทั้งยังให้ยืมอุปกรณ์ที่ใช้ในการทดลอง และขอขอบพระคุณ คุณพ่อคุณแม่และขอขอบคุณ เพื่อนๆ ที่ให้คำแนะนำช่วยเหลือและให้กำลังใจในการทำปริญญานิพนธ์

คณะผู้จัดทำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

หน้า

บทคัดย่อภาษาไทย I

บทคัดย่อภาษาอังกฤษ II

กิตติกรรมประกาศ III

สารบัญ IV

สารบัญตาราง VII

สารบัญภาพ VIII

บทที่ 1 บทนำ 1

1.1 .ความเป็นมาและเหตุจูงใจของการวิจัย 1

1.2 วัตถุประสงค์ของปริญญานิพนธ์ 1

1.3 ขอบเขตของปริญญานิพนธ์ 1

1.4 ขั้นตอนการศึกษา 2

บทที่ 2 ทฤษฎีของ I^2C 3

2.1 .ความรู้เบื้องต้นเกี่ยวกับ I^2C 3

2.2 คุณสมบัติโดยทั่วไปของบัส I^2C 4

2.3 หลักการของบัส I^2C 5

2.4 สภาวะที่เกิดขึ้นบนบัส I^2C 6

บทที่3 ไมโครคอนโทรลเลอร์ MCS-51 8

3.1 คุณสมบัติของไมโครคอนโทรลเลอร์ 8

3.2 โครงสร้างภายในของ MCS-51 9

3.3 พอร์ทของ 8051 11

3.4 วงจรสร้างสัญญาณนาฬิกาของ 8051 15

3.5 ผังสัญญาณเวลาซีพียู (CPU Timming) 16

3.6 การแบ่งประเภทของหน่วยความจำ 18

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ (ต่อ)

หน้า

บทที่4 การสื่อสารข้อมูลแบบอนุกรม 20

4.1 มาตรฐาน EIA RS-232 20

4.2 RS-232C 22

4.2.1 คุณสมบัติของ RS-232C 22

4.2.2 การจัดขาสัญญาณของ RS-232C 23

4.2.3 การเชื่อมต่อสัญญาณของ RS-232C 23

4.3 รูปแบบของข้อมูลอนุกรมและอัตราบอดในการสื่อสารข้อมูลอนุกรม 23

4.4 การเชื่อมต่อแบบอนุกรมและ UART 26

4.5 MCS-51 กับการรับส่งข้อมูลอนุกรม 29

4.6 Scrial Port Control Rcgistcr 30

4.7 Mode of Operation 32

4.7.1 8-Bit Shift Register (Mode 0) 32

4.7.2 8-Bit UART with Variable Baud Rate (Made 1) 34

4.7.3 9-Bit UART with Fixed Baud Rate (Mode 2) 35

4.7.4 9-Bit UART with Variable Baud Rate (Mode 3) 35

4.8 การกำหนดค่าเริ่มต้นให้รีจีสเตอร์ในการรับส่งข้อมูล 35

4.9 อัตราการส่งข้อมูลทางพอร์ตอนุกรม 37

บทที่5 การออกแบบฮาร์ดแวร์ 39

5.1 หน่วยการทำงานต่างของอุปกรณ์ 40

5.1.1 หน่วยประมวลผลกลาง 40

5.1.2 ส่วนตรวจรับแรงดันอนาลอกอินพุท (0-5V) 40

5.1.3 SENSOR วัดอุณหภูมิ 40

5.1.4 ระบบฐานเวลาจริง 40

5.1.5 หน่วยความจำข้อมูล 41

5.1.6 ส่วนติดต่อกับผู้ใช้ 41

5.1.7 แหล่งจ่ายไฟ 41

5.2 คุณสมบัติของโครงงาน 42

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ (ต่อ)

หน้า

บทที่ 6 การออกแบบซอฟท์แวร์ **44**

6.1 คำนึงถึงจุดมุ่งหมายและความต้องการใช้งาน 44

6.2 ทำความความเข้าใจในการจัดสรรหน่วยความจำของข้อมูล 45

6.3 จากโครงสร้างโปรแกรมเราสามารถนำมาเขียนผังงานโดยรวม 46

บทที่ 7 ผลการทดลอง **53**

7.1 ผลการทดลอง 53

7.2 สรุปผลการทดลอง 54

บทที่ 8 สรุปผลการวิจัยและข้อเสนอแนะ **55**

8.1 บทสรุป 55

8.2 ข้อเสนอแนะ 55

บรรณานุกรม **56**

ภาคผนวก **57**

ภาคผนวก ก 58

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

ตารางที่ หน้า

4.1 ตัวเชื่อมต่อที่นิยมใช้สายส่งสัญญาณอนุกรมแบบมาตรฐาน RS-232 20

4.2 ขาสัญญาณ RS-232 ทั้งแบบ 9 ขาและ 25 ขา 23

4.3 อัตราบอดและช่วงเวลาของแต่ละบิตข้อมูลในการสื่อสารข้อมูลอนุกรม 25

4.4 อัตราบอดทั่วไปที่ใช้ในการโอนย้ายข้อมูลแบบอนุกรม 27

4.5 บิตต่างๆ ของรีจีสเตอร์ SCON 31

4.6 โหมดต่างๆ ของการรับส่งแบบอนุกรม 32

4.7 ความถี่สัญญาณนาฬิกาที่ใช้กำหนด Baud Rate ค่าต่างๆ 38

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญภาพ

ภาพที่ หน้า

2.1 ผังแสดงการเชื่อมต่อของอุปกรณ์ต่างๆบนระบบบัส I^2C 3

2.2 การต่อตัวต้านทานพูลอัพบนสายสัญญาณในระบบบัส I^2C 4

2.3 การต่อตัวต้านทาน Rs เพื่อลดสัญญาณรบกวนขนาดใหญ่ที่อาจเข้ามาในบัส I^2C 5

2.4 ไดอะแกรมเวลาแสดงสถานะต่างๆในบัส I^2C 7

3.1 (ก) 8051 บล็อกไดอะแกรมของ MCS-51 9

3.1 (ข) ตำแหน่งของรีจิสเตอร์ต่าง ๆ 10

3.2 การจัดวางขาของ MCS-51 10

3.3 โครงสร้าง พอร์ท 0 (บิต) 11

3.4 โครงสร้างของพอร์ท 1 (บิต) 12

3.5 โครงสร้างของพอร์ท 2 (บิต) 12

3.6 โครงสร้างของพอร์ท 3 (บิต) 13

3.7 การต่อขารีเซ็ทให้กับ AT89S8252 14

3.8 วงจรสร้างสัญญาณนาฬิกาของ AT89S8252 15

3.9 ผังเวลาการทำงานของคำสั่ง 16

3.10 แสดงผังเวลาการติดต่อกับหน่วยความจำภายนอก 17

3.11 ผังเก็บความจำสำหรับเก็บโปรแกรมสำหรับเบอร์ 8051 18

3.12 ผังแสดงหน่วยความจำสำหรับเก็บโปรแกรมสำหรับเบอร์ 8052 18

3.13 ผังหน่วยความจำสำหรับ Data Memory เบอร์ 8051 19

4.1 การเชื่อมต่อสัญญาณของมาตรฐาน RS-232 24

4.2 รูปแบบของสัญญาณข้อมูลอนุกรมที่ใช้ในการสื่อสารข้อมูลอนุกรม 25

4.3 การนำ optisolator มาใช้กับสายส่งสัญญาณ RS – 232 25

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญภาพ(ต่อ)

ภาพที่ หน้า

4.4 การแปลงข้อมูลแบบขนานเป็นอนุกรม 26

4.5 เวิร์ดข้อมูลขนาด 8 บิตกับ Start Bit และ Stop Bit ที่ใช้ในการโอนย้ายข้อมูลแบบอนุกรม 27

4.6 การใช้บิตพาริตี้เพื่อตรวจสอบความผิดพลาดในการโอนย้ายข้อมูลแบบอนุกรม 28

4.7 บล็อกไดอะแกรมของ UART 29

4.8 สัญญาณดาต้าอินพุตสโตรบ 30

4.9 การรับส่งข้อมูลระหว่างรีจิสเตอร์กับบัสภายใน 30

4.10 ผังสัญญาณเวลาการส่งข้อมูล 33

4.11 ผังสัญญาณเวลารับข้อมูล 33

4.12 การส่งข้อมูลออกโดยใช้ชิพต์รีจิสเตอร์ช่วย 34

4.13 การรับส่งข้อมูลในโหมด 1 34

4.14 การกำหนด Baud Rate ในโหมดต่างๆ 37

5.1 โครงสร้างของบอร์ด 39

5.2 วงจรสมบูรณ์ของโครงงาน 42

6.1 รูปแบบการเก็บค่าเริ่มต้นในหน่วยความจำ RAM RTC 45

6.2 รูปแบบการเก็บค่าเริ่มต้นในหน่วยความจำ EEPROM 45

6.3 ผังงานแสดงโปรแกรมควบคุมการทำงานหลัก 46

6.4 ผังงานแสดงโปรแกรมย่อย SETTING 47

6.5 ผังงานแสดงโปรแกรมย่อย VIEW_SETTING 48

6.6 ผังงานแสดงโปรแกรมย่อย MEASURE_TEST 49

6.7 ผังงานแสดงโปรแกรมย่อย LOGGER_DATA 50

6.8 ผังงานแสดงโปรแกรมย่อย DOWNLOAD 51

6.9 ผังงานแสดงการกำหนดรูปแบบการติดต่อผ่าน RS-232 ในโครงงาน 52

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

1.1 ความเป็นมาและเหตุจูงใจของการวิจัย

ในปัจจุบันโครงงานทางด้านเครื่องมือวัดอุณหภูมิและเครื่องบันทึกข้อมูล (ดาต้าล็อกเกอร์) มักมีรูปแบบของการแยกใช้งานอย่างใดอย่างหนึ่ง คือวัดอุณหภูมิหรือไม่ก็วัดสัญญาณได้อย่างเดียว ซึ่งพบว่ามีความจำกัดอยู่มากสำหรับการนำไปใช้งานบางอย่าง เช่น ในกระบวนการผลิต หรือการทดลองทางด้านวิทยาศาสตร์ ที่บางครั้งต้องมีการการเก็บข้อมูลของอุณหภูมิและข้อมูลจาก ตัวตรวจวัดสัญญาณต่างๆในเวลาเดียวกัน เพื่อนำข้อมูลเหล่านี้ไปวิเคราะห์หาความสัมพันธ์กันได้อย่างสะดวก

ในโครงงานปริญญานิพนธ์นี้ ได้นำเสนอ เครื่องมือวัดอุณหภูมิและเครื่องบันทึกข้อมูล (ดาต้าล็อกเกอร์) ที่สามารถวัดและบันทึกได้ทั้งอุณหภูมิ และค่าสัญญาณ หรือ เป็นดาต้าล็อกเกอร์ได้พร้อมในเวลาและเครื่องเดียวกันเพื่อแก้ข้อจำกัดดังกล่าวข้างต้น พร้อมทั้งบันทึกวันเวลาที่เริ่มทำงาน โดยที่ข้อมูลจะถูกเก็บไว้ได้แม้ในขณะเครื่องดับหรือเกิดปัญหาไฟฟ้าขัดข้อง และสามารถกำหนดคาบเวลาในการบันทึกข้อมูลได้ละเอียดถึง 1 วินาที รวมถึงยังสามารถใช้คอมพิวเตอร์ควบคุมการทำงาน และ เรียกดูข้อมูลได้

การศึกษาและพัฒนาโครงงานนี้ คงจะก่อให้เกิดประโยชน์แก่ผู้สนใจทั่วไปในการเป็นข้อมูลหนึ่ง ในการศึกษาและนำไปประยุกต์ใช้งานจริงต่อไป

1.2 วัตถุประสงค์ของปริญญานิพนธ์

1.2.1 เพื่อศึกษาการทำงานของไมโครคอนโทรลเลอร์ทั้งทางด้านโครงสร้างสถาปัตยกรรมและการเขียนโปรแกรมประยุกต์ใช้งาน

1.2.2 เพื่อศึกษาการทำงานและรูปแบบการติดต่อกับพอร์ตอนุกรม

1.2.3 ศึกษาการออกแบบนำส่วนฮาร์ดแวร์และซอฟท์แวร์มาประยุกต์ใช้งานจริงร่วมกัน

1.2.4 เพื่อพัฒนาโครงงานให้สามารถนำไปใช้งานจริงในระบบอุตสาหกรรม

1.3 ขอบเขตของปริญญานิพนธ์

1.3.1 สามารถใช้วัดอุณหภูมิและค่าสัญญาณ จาก ตัวตรวจวัดสัญญาณ ต่างๆ (Measure mode) ซึ่งทำงานแบบเรียลไทม์ (Real-time) โดยระบุวันที่และเวลา ขณะที่ทำการวัดด้วย และสามารถใช้บันทึกข้อมูลของอุณหภูมิและค่าสัญญาณ (Logging mode)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.3.2 สามารถใช้งานได้ 2 รูปแบบ คือ

1.3.2.1 แบบ Remote Control ซึ่งสามารถควบคุมและแสดงผลข้อมูลผ่านทางคอมพิวเตอร์และสามารถเรียกดูข้อมูลที่บันทึกไว้โดยใช้โปรแกรมเทอร์มินอลทั่วไปได้

1.3.2.2 แบบ Stand-alone ซึ่งสามารถวัดและบันทึกอุณหภูมิและค่าสัญญาณในบริเวณที่ไม่สามารถติดต่อกับเครื่องคอมพิวเตอร์ได้

1.3.3 การควบคุมโดยเครื่องคอมพิวเตอร์จะผ่านพอร์ตอนุกรม RS-232

1.3.4 สามารถเก็บข้อมูลและนำไปดาวน์โหลดดูได้ภายหลัง

1.4 ขั้นตอนการศึกษา

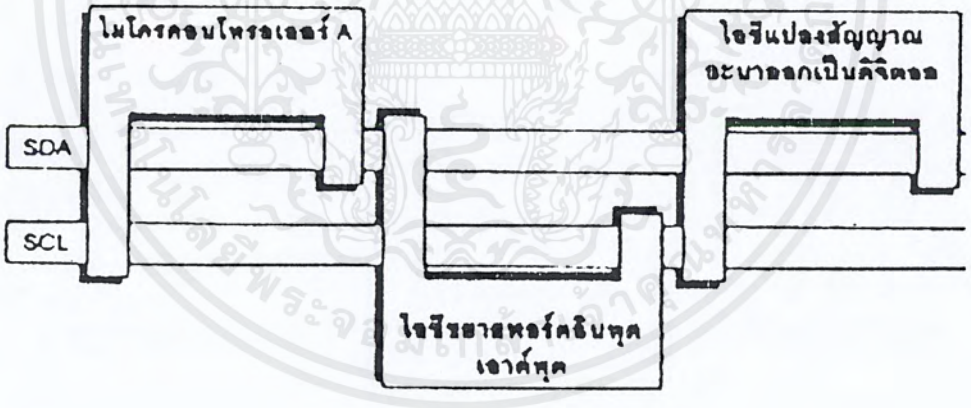
ขั้นแรกทำการศึกษาการทำงานของ MCS-51 ในส่วนต่างๆ เช่น ส่วนของการเชื่อมต่อข้อมูล ส่วนของการแปลงข้อมูลสัญญาณจากสัญญาณอนาล็อกเป็นสัญญาณดิจิตอล ส่วนของการเชื่อมต่อไอซีวัดและส่วนของการแสดงผลต่างๆ เป็นต้น จากนั้นทำการสร้างแผงวงจรในการติดต่อบัส I^2C ของภาคการควบคุมต่างๆ ต่อจากนั้นก็ทำการทดลองและบันทึกผลการทดลองจากการวัดค่าอุณหภูมิที่ได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
ทฤษฎีของ I^2C

2.1 ความรู้เบื้องต้นเกี่ยวกับ I^2C

I^2C ย่อมาจาก Inter-IC Communication หมายถึง การติดต่อสื่อสารระหว่างไอซี โดยบัส I^2C ได้รับการพัฒนาขึ้นโดยฟิลิปส์ด้วยจุดมุ่งหมายหลักคือ ต้องการให้ไอซีหรือโมดูล สามารถติดต่อสั่งงาน และควบคุมภายใต้สายสัญญาณ 2 เส้น เส้นหนึ่งสายข้อมูล อีกเส้นหนึ่ง สายสัญญาณนาฬิกาที่ใช้ใน การกำหนดจังหวะการทำงาน การต่อร่วมกันของอุปกรณ์บนบัส I^2C ทำได้ง่ายมากเพียง ต่อสายข้อมูล และสายสัญญาณ นาฬิกา ของอุปกรณ์แต่ละตัว ขนาน หรือ พ่วงกันไปส่วนการกำหนดแอดเดรสหรือตำแหน่งสำหรับติดต่ออุปกรณ์แต่ละตัว จะใช้รหัสข้อมูลและการกำหนดสภาวะลอจิกที่ขาแอดเดรสของอุปกรณแต่ละตัว สายข้อมูลบนบัส I^2C มีชื่อเรียกอย่างเป็นทางการว่าสายข้อมูลอนุกรมหรือ SDA (Serial Data Line) ส่วนสายสัญญาณนาฬิกามีชื่อเรียกว่าสายสัญญาณนาฬิกาอนุกรมหรือ SCL (Serial Clock Line) ในการอธิบายต่อไปนี้จะเรียกสายสัญญาณ



ทั้งสองว่า สาย SDL และ สาย SCL

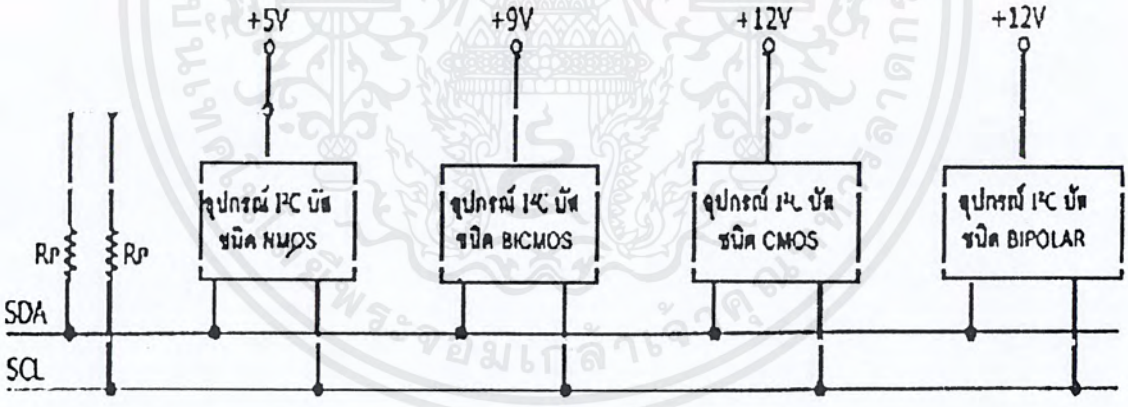
ภาพที่ 2.1 ผังแสดงการเชื่อมต่อของอุปกรณ์ต่างๆบนระบบบัส I^2C

ในรูปที่ 2.1 แสดงผังการเชื่อมต่ออุปกรณ์ต่างๆบนบัส I^2C จะเห็นได้ว่าอุปกรณที่ทำการเชื่อมต่อบนบัส I^2C มีหลากหลาย ไม่ว่าจะเป็นไอซีขยายพอร์ตอินพุตเอาท์พุต (I \ O Expander), ไอซีแปลง สัญญาณอนาลอก เป็นดิจิตอล (ADC) และ แปลง สัญญาณดิจิตอล เป็นอนาล็อก(DAC), ไอซีรีลไทม์คล็อก (RTC) , ไอซีขับ โมดูล(LCD), หน่วยความจำ อีอีพรอม, ไมโครคอนโทรลเลอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2 คุณสมบัติโดยทั่วไปของบัส I^2C

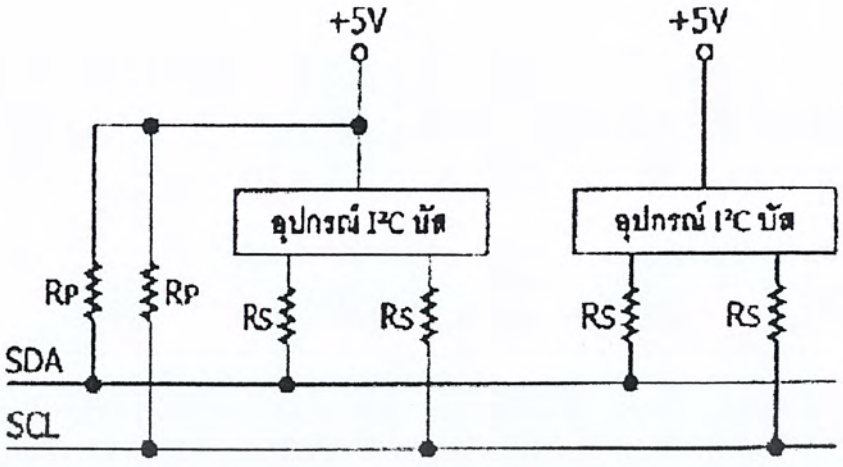
สาย SDA และ SCL เป็นสายสัญญาณ 2 ทิศทาง (bi-directional line) ต้องมีการต่อตัวต้านทานพูลอัพ กับแรงดัน +5 V ไว้ตลอดเวลาเพื่อให้สาย มีสถานะลอจิกสูง ในขณะที่ ไม่มีการติดต่อใช้งานทั้งยังช่วยในการป้องกันสัญญาณรบกวนที่อาจมีเข้ามาในสายสัญญาณ ทั้งสองวงจรเอาท์พุตของอุปกรณ์ที่ต่ออยู่บนบัส I^2C ต้องมีลักษณะเป็นวงจรเดรนเปิด(open-drain)หรือคอลเล็กเตอร์เปิด (open-collector) อัตราการถ่ายทอดข้อมูลบนบัส I^2C สูงถึง 100 กิโลบิตต่อวินาทีในโหมดปกติ (standard mode) และสูงถึง 400 กิโลบิตต่อวินาทีในโหมดความเร็วสูง (fast mode) อุปกรณ์ที่ต่อร่วมอยู่บนบัส I^2Cจะต้องมีค่าความจุไฟฟ้ารวมที่เกิดขึ้นระหว่างสาย SDA และ SCL ไม่เกิน 400pF การเข้าถึงอุปกรณ์บนบัส I^2C ใช้ข้อมูลสำหรับการเข้าถึง 2 ค่าคือ 7 บิต (7-bit addressing) หรือ 10 บิต (10-bit addressing) ข้อดีอีกประการหนึ่งของบัส I^2C คือสามารถเชื่อมต่ออุปกรณ์ที่ใช้ไฟเลี้ยงไม่เท่ากันให้สามารถติดต่อสื่อสารกันได้โดยอุปกรณ์บนบัส I^2C ตัวหนึ่งอาจใช้ไฟเลี้ยง +5V ในขณะที่อีกตัวหนึ่งใช้ไฟเลี้ยง +12V การต่อร่วมกันบน I^2C สามารถกระทำได้ในลักษณะเดียวกับกรณีที่อุปกรณ์ทั้งสองใช้ไฟเลี้ยงต่างกัน กล่าวคือให้ต่อสาย SDA และ SCL ของอุปกรณ์แต่ละตัวเข้าด้วยกัน และต้องต่อตัวต้านทานพูลอัพ (Rp) เข้ากับแรงดัน +5V ไว้เสมอ ดังแสดงในภาพที่ 2.2



ภาพที่ 2.2 การต่อตัวต้านทานพูลอัพบนสายสัญญาณในระบบบัส I^2C

ในกรณีที่อาจจะมีแรงดันไฟกระชากขนาดใหญ่ ปะปนเข้ามาในบัส I^2C ที่ขา SDA และ SCL ของอุปกรณ์แต่ละตัวต้องต่อตัวต้านทานอนุกรมกับขา SDA และ SCL เรียกว่า Rs ก่อนต่อเข้าสู่บัส I^2C ดังแสดงในภาพที่ 2.3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ภาพที่ 2.3 การต่อตัวต้านทาน Rs เพื่อลดสัญญาณรบกวนขนาดใหญ่ที่อาจเข้ามาในบัส I^2C

2.3 หลักการของบัส I^2C

บัส I^2C ประกอบด้วยสายสัญญาณ 2 เส้น ดังที่ได้กล่าวมาแล้วคือ SDA และ SCL อุปกรณ์ที่ต่อพ่วงบนบัสสมารถมีได้มากมาย ดังนั้นจึงมีการกำหนดรูปแบบ ของการติดต่อบนบัสหรือเรียกว่า โปรโตคอล (protocol) เพื่อให้ผู้ใช้งานทราบว่า ขณะนี้มี อุปกรณ์ใดติดต่อกันอยู่ และอุปกรณ์ตัวใดเป็นตัวรับหรือตัวส่ง ต่อไปนี้จะขออธิบายลักษณะ หน้าที่และนิยามของอุปกรณ์ที่ต่ออยู่บนบัส

อุปกรณ์ที่เป็นผู้สร้างข้อมูลหรือส่งข้อมูล เรียกว่าตัวส่ง (tranmitter)อุปกรณ์ที่เป็นผู้รับข้อมูลเรียกว่าตัวรับ (receiver) ในอุปกรณ์บนบัส I^2Cสามารถเป็นได้ทั้งตังรับและตัวส่งบางอุปกรณ์ทำหน้าที่เป็นตังรับอย่างเดียว จะไม่มีอุปกรณ์ใดบนบัส I^2C ที่ทำหน้าที่เป็นตัวส่งเพียงอย่างเดียว อุปกรณ์ที่ทำหน้าควบคุมจังหวะการติดต่อบนบัส I^2C เรียกว่า มาสเตอร์ (master) อุปกรณ์ที่ถูกควบคุมหรืออุปกรณ์ที่ต่อพ่วงเข้าไปบนบัส I^2C เรียกว่า สเลฟ (slave)

ข้อกำหนด 2 ปะการสำคัญของการติดต่อบนบัส I^2C คือ

(1) การถ่ายทอดข้อมูลจะเกิดขึ้นได้เมื่อบัสว่างเท่านั้น

(2) ในระหว่างการถ่ายทอดข้อมูล เมื่อใดก็ตามที่สาย SCL มีสถานะเป็นลอจิกสูง สายข้อมูลจะรักษาข้อมูลไว้ อย่าให้เกิดการเปลี่ยนแปลงขึ้นเด็ดขาด มิฉะนั้น สัญญาณที่เกิดขึ้นจะได้รับการแปลความหมายเป็นสัญญาณควบคุมแทน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.4 สภาวะที่เกิดขึ้นบนบัส I^2C

สภาวะที่เกิดขึ้นบนบัส I^2Cมีด้วยกัน 5 สภาวะ ดังนี้

(1) บัสว่าง (bus not busy) สภาวะนี้เกิดขึ้นเมื่อสถานะลอจิกบนสาย SDA และ SCL เป็นลอจิกสูงทั้งคู่ นั่นหมายความว่า การถ่ายทอดข้อมูลสามารถเริ่มต้นขึ้นได้

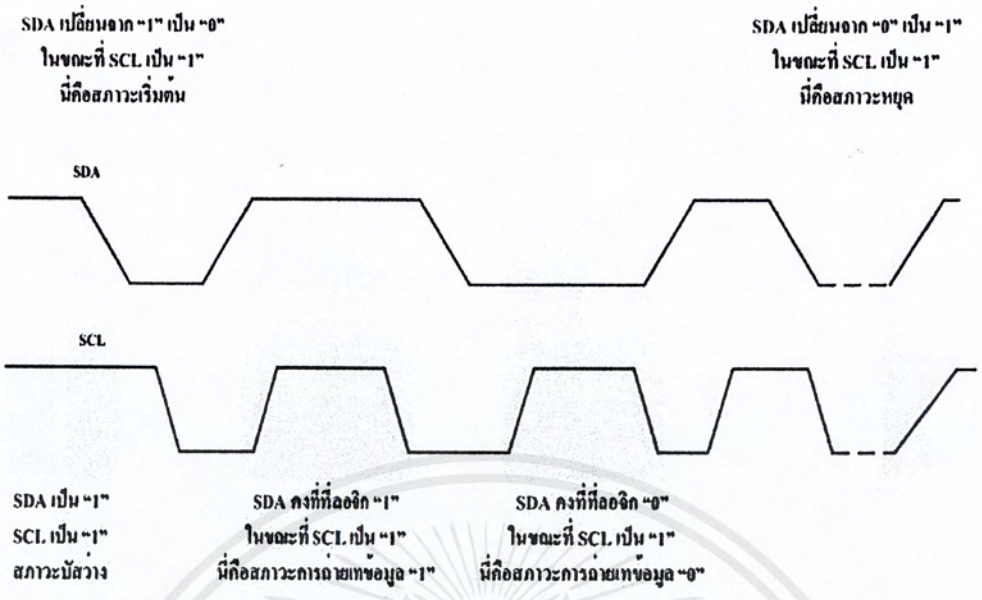
(2) เริ่มต้นการถ่ายทอดข้อมูล (start data transfer) เกิดขึ้นเมื่อสาย SDA มีการเปลี่ยนแปลงระดับลอจิกจากสูงไปต่ำ ในขณะที่สาย SCL มีสถานะลอจิกสูง เรียกสภาวะที่เกิดขึ้นนี้ว่า สภาวะเริ่มต้น (START)

(3) หยุดการถ่ายทอดข้อมูล (stop data transfer) เกิดขึ้นเมื่อสาย SDA มีการแปลงเปลี่ยนระดับลอจิกจากต่ำไปสูง ในขณะที่สาย SCL มีสถานะลอจิกสูง เรียกสภาวะที่เกิดขึ้นว่า สภาวะหยุด (STOP)

(4) ข้อมูลดำรงอยู่บนบัส (data valid) สภาวะนี้เกิดขึ้นถัดจากสภาพวะเริ่มต้น โดยสถานะลอจิก ที่เกิดขึ้นบนสาย SDA ก็คือข้อมูลที่ทำการถ่ายทอด เมื่อสาย SCL เป็นลอจิกสูง สถานะที่สาย SDA ต้องคงที่ เพื่อให้อุปกรณ์รับรู้ข้อมูลในจังหวะนั้นว่า เป็น “0” หรือ “1” ข้อมูล อาจเกิดการเปลี่ยนแปลง ได้ใน ขณะที่สาย SCL เป็นลอจิกต่ำ แต่ เมื่อใดก็ตามที่ต้องการให้เกิดการถ่ายทอดข้อมูลอย่างสมบูรณ์ สถานะลอจิกที่ขา SDA ต้องคงที่ตลอดช่วงเวลาที่สาย SCL มีสถานะลอจิกสูง หากเกิดการเปลี่ยนแปลงสถานะลอจิกในขณะที่สาย SCL มีลอจิกสูงอยู่นั้น อุปกรณ์มาสเตอร์ที่ทำการควบคุมการถ่ายทอดข้อมูลจะแปลความหมายเป็นสภาวะหยุดหรือสภาวะเริ่มต้นก็ได้ทำให้ ข้อมูลที่ทำการถ่ายทอด อาจผิดพลาดไป

(5) รับรู้ข้อมูล (acknowledge) เกิดขึ้นหลังจากที่การถ่ายทอดข้อมูลจากตัวส่ง มายังตัวรับเกิดขึ้นอย่างสมบูรณ์ โดยตัวส่งจะทำการส่งข้อมูลมา 1 บิต เรียกว่า บิตรับรู้ (acknowledge bit) มีสถานะเป็นลอจิกสูง หลังจากส่งข้อมูลมาครบถ้วน ส่วนอุปกรณ์มาสเตอร์ จะทำการ ส่งสัญญาณรับรู้พิเศษซึ่งสัมพันธ์กับสัญญาณนาฬิกา เพื่อตอบสนองบิตรับรู้ที่ส่งมาจากตัวส่ง ทางด้านตัวรับจะส่งบิตรับรู้ที่มีสถานะลอจิกต่ำลงบนบัส อุปกรณ์สเลฟที่ถูกอ้างถึงในการติดต่อหรือกำลังติดต่ออยู่ใน ขณะนั้นก็จะกำเนิดบิตรับรู้เพื่อตอบสนองให้ทราบว่าได้รับข้อมูลในแต่ละบิตเรียบร้อยแล้ว ในรูปที่ 2.4 เป็น ไดอะแกรมเวลาที่แสดงถึงการเกิดสภาวะต่างๆบนบัส I^2C ไม่ว่าจะเป็นสภาวะบัสว่าง เริ่มต้น ถ่ายทอดข้อมูล รับรู้ และ หยุดการถ่ายทอดข้อมูล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ภาพที่ 2.4 ไดอะแกรมเวลาแสดงสถานะต่างๆในบัส I^2C

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3
ไมโครคอนโทรลเลอร์ MCS-51

3.1 คุณสมบัติของไมโครคอนโทรลเลอร์

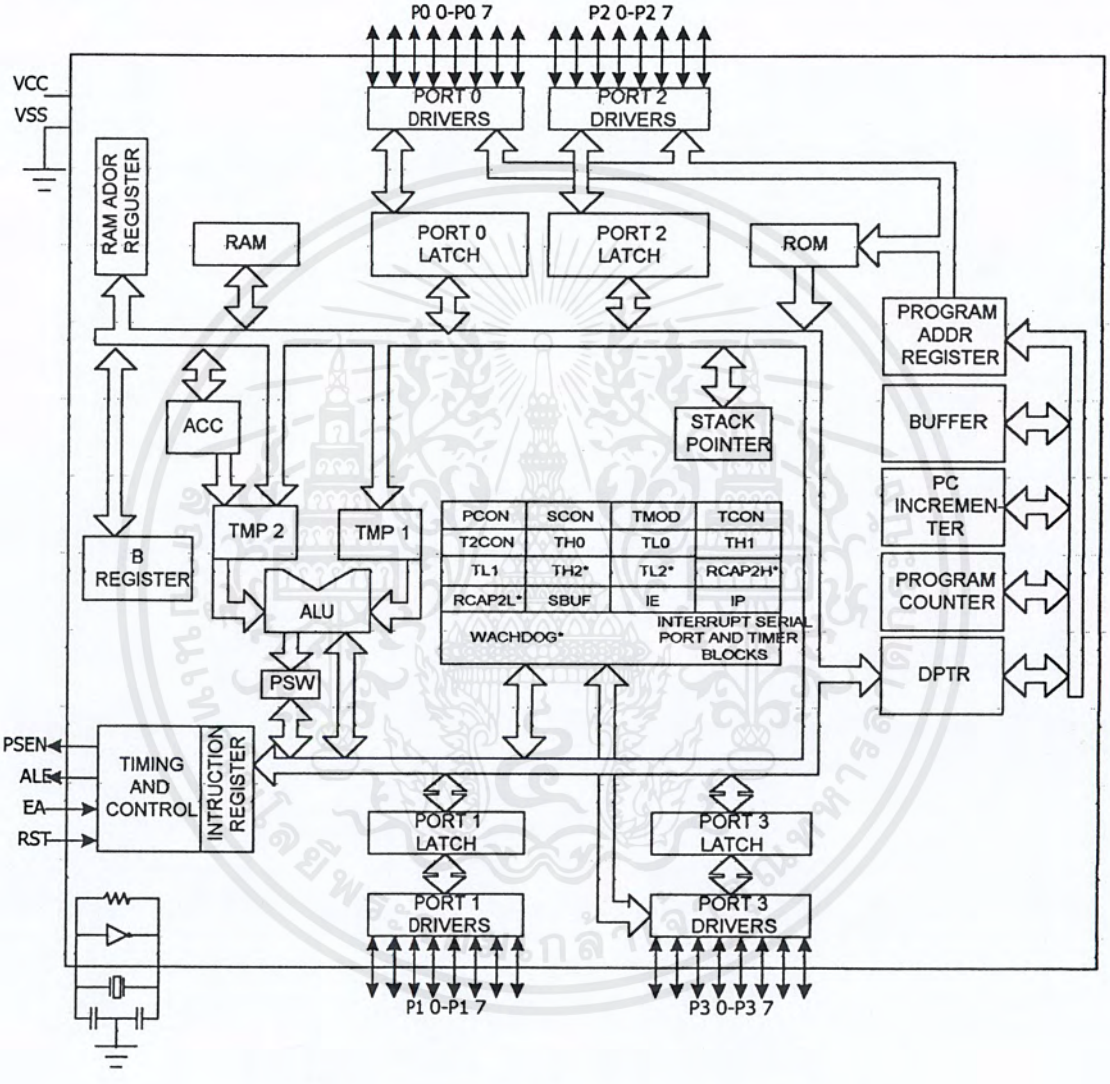
คุณสมบัติทั่วไปของไมโครคอนโทรลเลอร์ มีรายละเอียดสำคัญดังต่อไปนี้

- แหล่งจ่ายไฟ + 5 V (รองรับการทำงานได้ 4-6 โวลต์)
- มีหน่วยความจำโปรแกรม (Code Memory) แบบแฟลชขนาด 8 กิโลไบต์ที่สามารถเขียนและลบโปรแกรมได้โดยตรงโดยไม่ต้องนำตัวชิพไปทำการโปรแกรมด้วยเครื่องโปรแกรมได้ถึง 1000 ครั้ง
- หน่วยความจำข้อมูล (Data Memory) แบบ EEPROM ขนาด 2 กิโลไบต์ ที่สามารถเขียนและลบโปรแกรมได้กว่า 100,000 ครั้ง
- ใช้สัญญาณนาฬิกาได้สูงสุด 24 MHz
- สามารถกำหนดรูปแบบการป้องกันข้อมูลโปรแกรมในตัวชิพได้ 3 ระดับ
- มีระบบ Watchdog Timer
- มีระบบประหยัดพลังงาน
- มีการติดต่อกับอุปกรณ์รอบข้างแบบอนุกรมหรือ SPI (Serial Peripheral Interface)
- แหล่งกำเนิดอินเตอร์รัพท์ 9 แหล่ง
- วงจรไทม์เมอร์และตัวนับขนาด 16 บิต จำนวน 3 ตัว
- มีหน่วยความจำแรม (RAM) ภายใน 256 ไบต์ (256x 8 bit Internal RAM)
- มีพอร์ตอินพุท/เอาท์พุท (I/O Port) จำนวน 32 บิต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

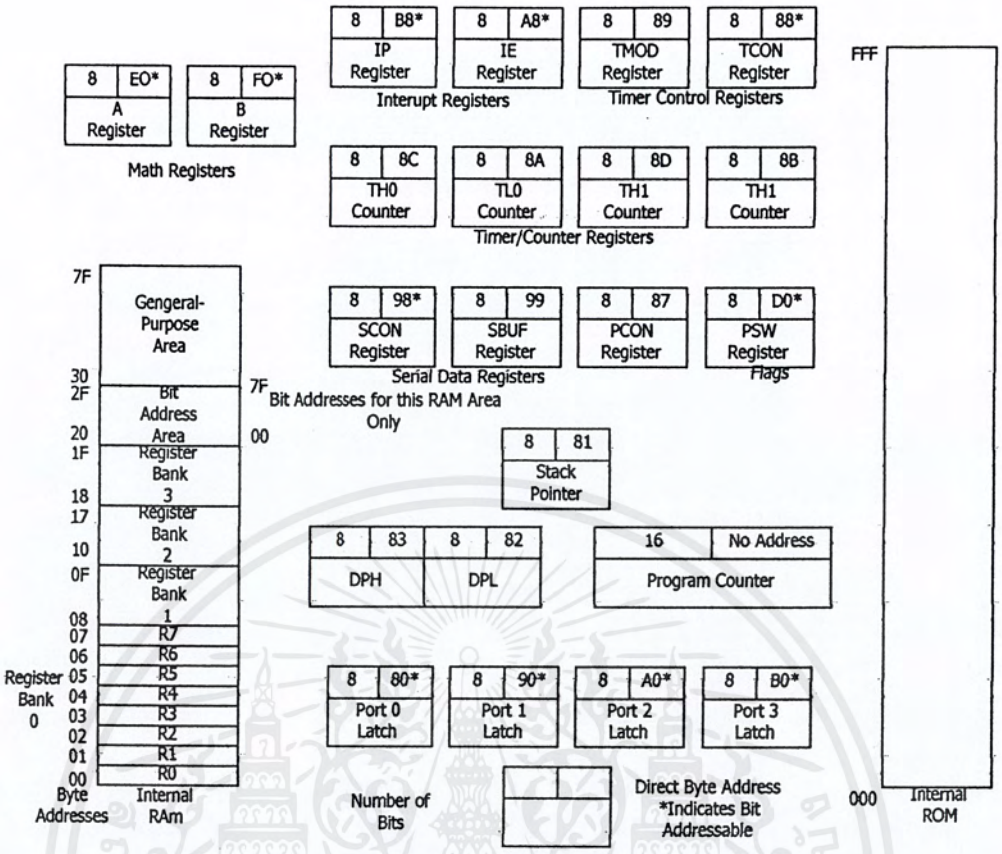
3.2 โครงสร้างภายในของ MCS-51

MCS-51 ใช้เทคโนโลยีในการผลิตแบบ NMOS และ CMOS เบอร์ 8032 และ 8052 จะมี ROM BASIC อยู่ภายในจึงสดวก สำหรับโปรแกรมเมอร์ที่จะเขียนโปรแกรมด้วยภาษาเบสิก โครงสร้างสำหรับ เบอร์ 8051 ดังแสดงในภาพที่ 3.1 (ก) และ (ข) และหน่วยความจำเพื่อใช้ประกอบการเขียนโปรแกรม

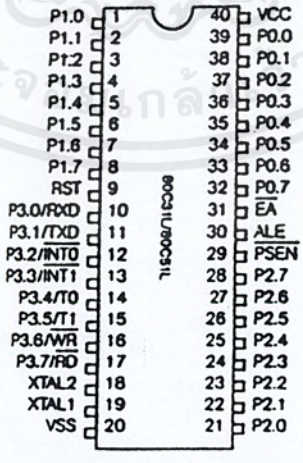


ภาพที่ 3.1 (ก) 8051 บล็อกไดอะแกรมของ MCS-51

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ภาพที่3.1 (ข) ตำแหน่งของรีจิสเตอร์ต่าง ๆ



ภาพที่ 3.2 การจัดวางขาของ MCS-51

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

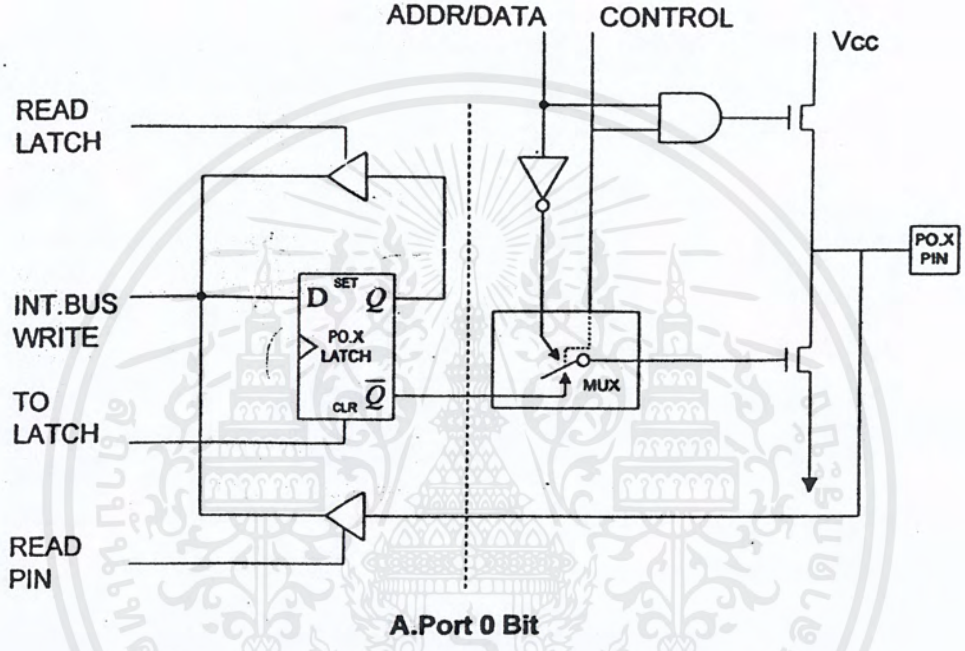
3.3 พอร์ทของ 8051

8051 เป็นไมโครคอนโทรลเลอร์ขนาด 40 ขา ซึ่งมีขาต่าง ๆ ดังนี้

- **Vcc** (ขา 40) ต่อกับ + 5 V

- **Vss** (ขา 20) เป็นขา GND

- **PORT 0** (ขา 32-39) มีทั้งหมด 8 บิตคือ (P0.0-P0.7) มีโครงสร้างแบบ Open Drain Bi-directional ดังแสดงในภาพที่ 3.3

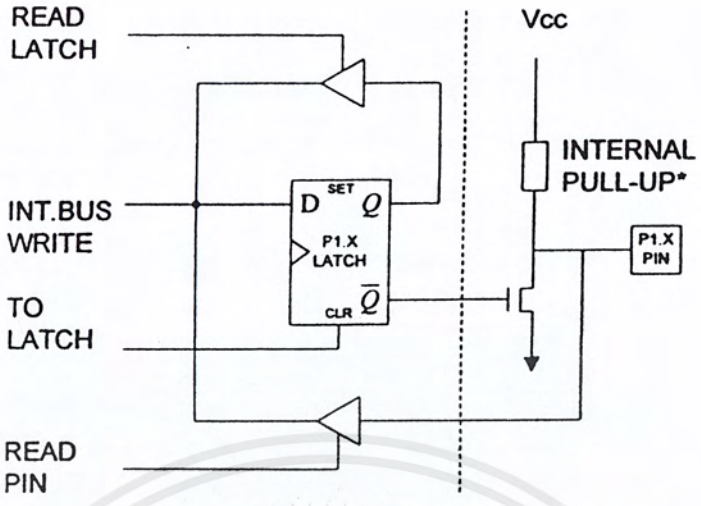


ภาพที่3.3 โครงสร้าง พอร์ท 0 (บิต)

- **พอร์ท 0** (ขา 32-39) มีทั้งหมด 8 บิต คือ (P0.0-P0.7) ใช้งานได้ 2 หน้าที่คือ ส่งแอดเดรสและดาต้าออกไหให้หน่วยความจำภายนอกเมื่อทำการเขียนข้อมูลลงในหน่วยความจำภายนอกควบคุมด้วยขา Control ดูรูป 3.3 ประกอบและอีกหน้าที่หนึ่งหน้าที่ก็คือ เป็นพอร์ท I/O ถ้าต้องการให้ทำงานเป็นอินพุตพอร์ทต้องส่งลอจิก " 1 " ไปยังพอร์ทนี้ จะมีผลให้ $\overline{Q}$ ของ D-FF เป็น " 0 " ทำให้ FET ตัวล่างมีสถานะ OFF สัญญาณที่ใช้อ่านอินพุทพอร์ท PIN (พอร์ท P0.X PIN) จะใช้สัญญาณ READ LATCH เมื่อถูกกระตุ้นที่ Tri-State Buffer ตัวบน

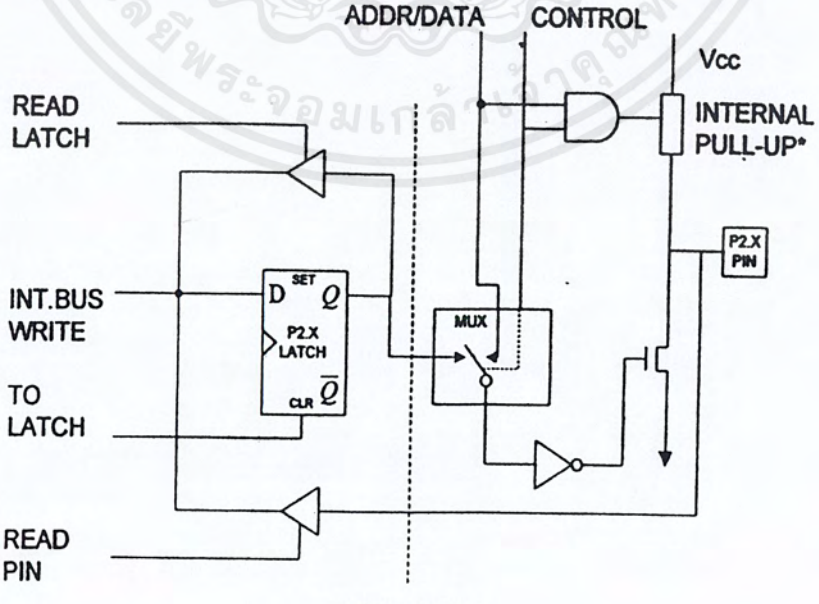
- **พอร์ท 1** (ขา 1-8) มีทั้งหมด 8 บิต คือ (P1.0-P1.7) มีโครงสร้างคล้าย พอร์ท 0 แต่จะ ใช้ความต้านทานภายในพูลอัพแทน (Internal Pull Up Reggister) มีโครงสร้างดังภาพที่3.4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ภาพที่ 3.4 โครงสร้างของพอร์ท 1 (บิต)

- พอร์ท 2 (ขา 21-28) มีทั้งหมด 8 บิต คือขา (P2.0-P2.7) มีโครงสร้างคล้าย PORT 0 โดยมี FET ตัวล่างตัวเดียวส่วนตัวด้านบนใช้ความต้านทานพูลอัพแทน (Internal PullUP) พอร์ทนี้ทำงาน 2 หน้าที่คือ สามารถใช้เป็นพอร์ทสำหรับส่งแอดเดรส 8 บิตบน (A8-A15) และเป็น I/O พอร์ทใช้งานทั่วไป เมื่อจะใช้งานเป็นอินพุตพอร์ท ต้องส่งลอจิก " 1 " มาที่พอร์ทนี้ก่อนเพื่อบังคับให้ FET อยู่ในสภาวะ OFF ดังแสดงในภาพที่ 3.5



ภาพที่ 3.5 โครงสร้างของพอร์ท 2 (บิต)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- พอร์ท 3 (ขา 10-17) มีทั้งหมด 8 บิต คือขา (P3.0-P3.7) มีโครงสร้างคล้าย พอร์ท 1 พอร์ทนี้ทำหน้าที่เป็น I/O พอร์ท ถ้าจะให้พอร์ทนี้เป็น I/O PORT ก็ส่งลอจิก " 1 " มาที่พอร์ทนี้และอีกหน้าที่หนึ่งคือ ส่งสัญญาณควบคุมออกมา และรับสัญญาณเข้าไป สัญญาณต่าง ๆ มีดังนี้

P3.0 /RXD (Serial Input Port) เป็นขาที่ใช้รับข้อมูลแบบอนุกรม

P3.1 /RXD (Serial Output Port) เป็นขาที่ใช้ส่งข้อมูลแบบอนุกรม

P3.2 / $\overline{INT0}$ (External Interrupt) ใช้รับสัญญาณขัดจังหวะจากภายนอก

P3.3 / $\overline{INT1}$ (External Interrupt) ใช้รับสัญญาณขัดจังหวะจากภายนอก

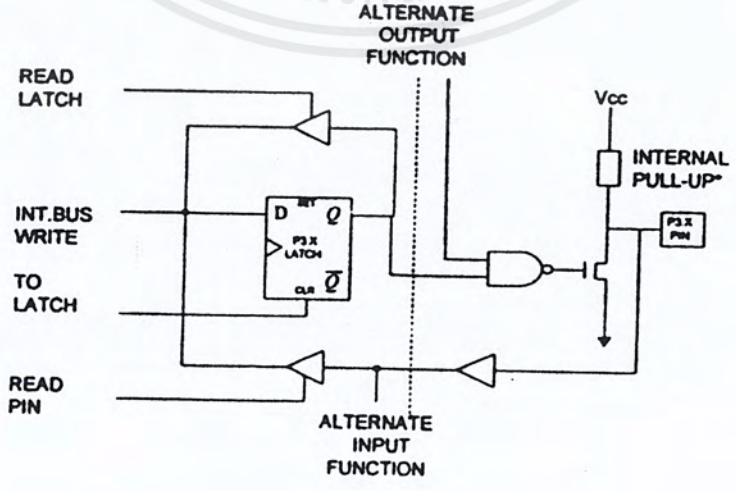
P3.4 /T0 (Timer/Counter 0 External Input) ขารับสัญญาณเข้าไปยังวงจร Timer/Counter 0 ที่ทำหน้าที่นับสัญญาณไซเคิลของสัญญาณ T1 นี้หรือ สัญญาณนาฬิกาก็ได้

P3.5 /T1 (Timer/Counter 1 External Input) ขารับสัญญาณเข้าไปยัง Timer/Counter 1 ซึ่งมีการทำงานเหมือน T0

P3.6 / $\overline{WR}$ (External Data Memory Write Strobe) ขาสัญญาณควบคุมการเขียนข้อมูลไปยังหน่วยความจำสำหรับข้อมูลภายนอก 8051

P3.7 / $\overline{RD}$ (External Data Memory Read Strobe) ขาสัญญาณควบคุมการอ่านข้อมูลจากหน่วยความจำสำหรับข้อมูลภายนอก

โครงสร้างของ พอร์ท 3 แสดงดังภาพที่ 3.6



ภาพที่3.6 โครงสร้างของพอร์ท 3 (บิต)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- **ALE** (ขา 30) เป็นขาส่งสโตรบสำหรับใช้ในการแลตซ์แอดเดรสไบร์ต่ำ (A0-A7) ที่ส่งออกมาจาก (พอร์ท 0) สัญญาณนี้จะแอคทีฟทุก ๆ 2 ครั้ง ใน 1 แมชชีนไซเคิล (1/6 ของสัญญาณนาฬิกา)

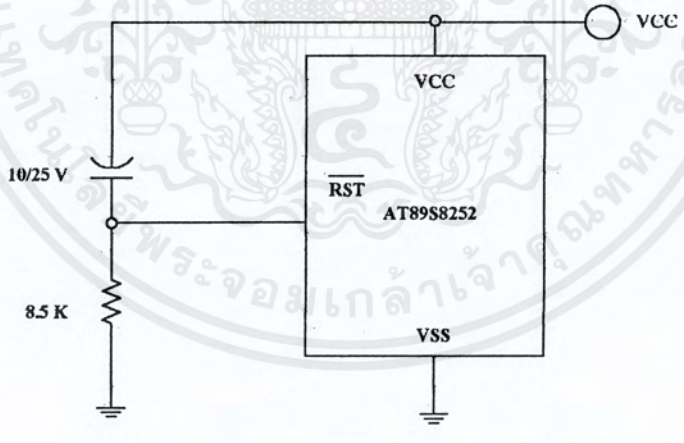
- $\overline{\textbf{PSEN}}$ (ขา 29) เป็นขาที่ใช้ส่งสโตรบสำหรับอ่านข้อมูลจาก Program Memory ภายนอก (หน่วยความจำประเภท ROM EPROM) สัญญาณนี้จะส่งออกมา 2 ครั้งในแต่ละแมชชีนไซเคิลแต่ถ้าเป็นการอ่าน Internal Program Memory จะไม่มีสัญญาณออกที่ขานี้

- $\overline{\textbf{EA}}$ (ขา 30) ถ้าป้อนลอจิก " 0 " เข้ามาที่ขานี้ซีพียูจะอ่านค่าจาก Program Memory ภายนอกชิพเท่านั้น แต่ถ้าถูกป้อนด้วยลอจิก " 1 " ก็จะอ่านโปรแกรมภายในชิพ

- **RST** (ขา 9) เป็นขารีเซ็ตซีพียูจะรีเซ็ตได้ก็ต่อเมื่อ ป้อนลอจิก " 1 " เข้ามาที่ขานี้อย่างน้อย 2 แมชชีนไซเคิล เมื่อซีพียูถูกรีเซ็ตค่าต่าง ๆ ในรีจิสเตอร์ใด ๆ จะมีคำสั่งดังหัวข้อที่ 3.1

- **XTAL1** (ขา 19) ใช้ต่อคริสตอลภายนอกโดยเป็นอินพุตเข้าสู่วงจรออสซิเลเตอร์

- **XTAL2** (ขา 18) ใช้ต่อคริสตอลภายนอกโดยเป็นอินพุตเข้าสู่วงจรออสซิเลเตอร์

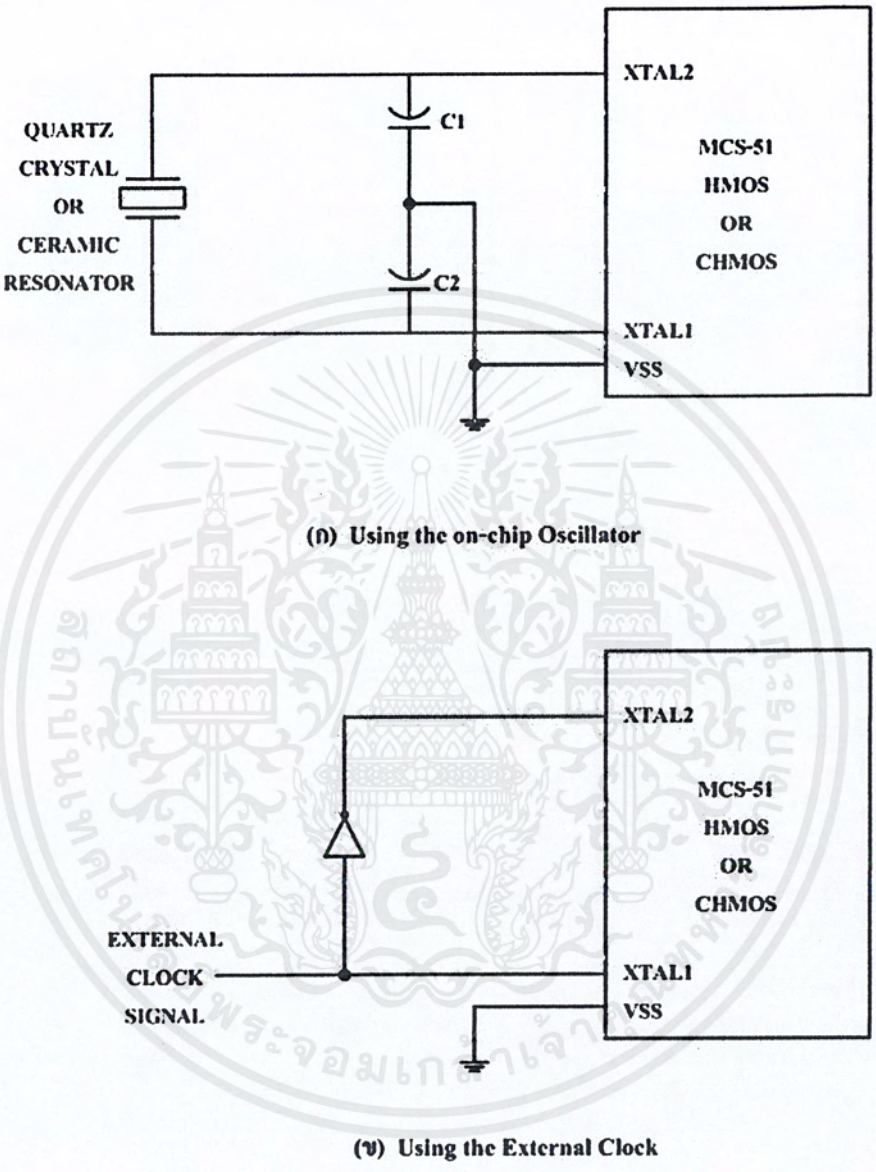


ภาพที่3.7 การต่อขารีเซ็ทให้กับ AT89S8252

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.4 วงจรสร้างสัญญาณนาฬิกาของ 8051

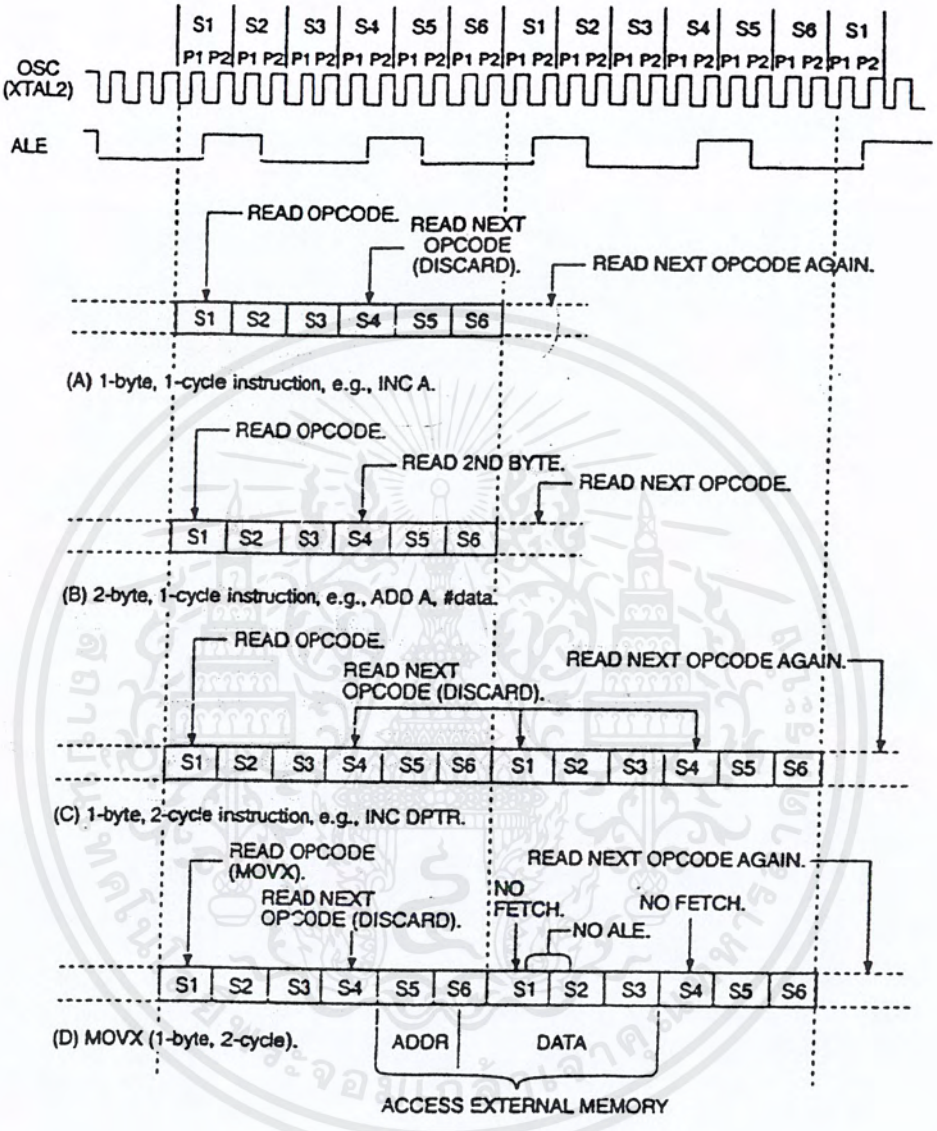
การต่อวงจรสร้างสัญญาณนาฬิกามีอยู่ด้วยกัน 2 รูปแบบ คือแบบภายในและภายนอกแสดงดังในภาพที่ 3.8



ภาพที่ 3.8 วงจรสร้างสัญญาณนาฬิกาของ AT89S8252

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.5 ผังสัญญาณเวลาซีพียู (CPU Timming)



ภาพที่ 3.9 ผังเวลาการทำงานของคำสั่ง

ซีพียูจะ RUN ด้วยความเร็วเท่ากับ 12 MHz ดังนั้น คล็อค 12 ลูกจะกินเวลาเท่ากับ (1/12)*12 = 1 µS) ว่า 1 แมชีนไซเคิล คือช่วงการทำงานตั้งแต่ S1 จนถึง S6

ภาพที่ 3.9 (a) แสดงการทำงานของคำสั่ง INT A ซึ่งเป็นคำสั่ง 1 ไบต์ทำงาน เสร็จ ภายใน 1 แมชีนไซเคิล

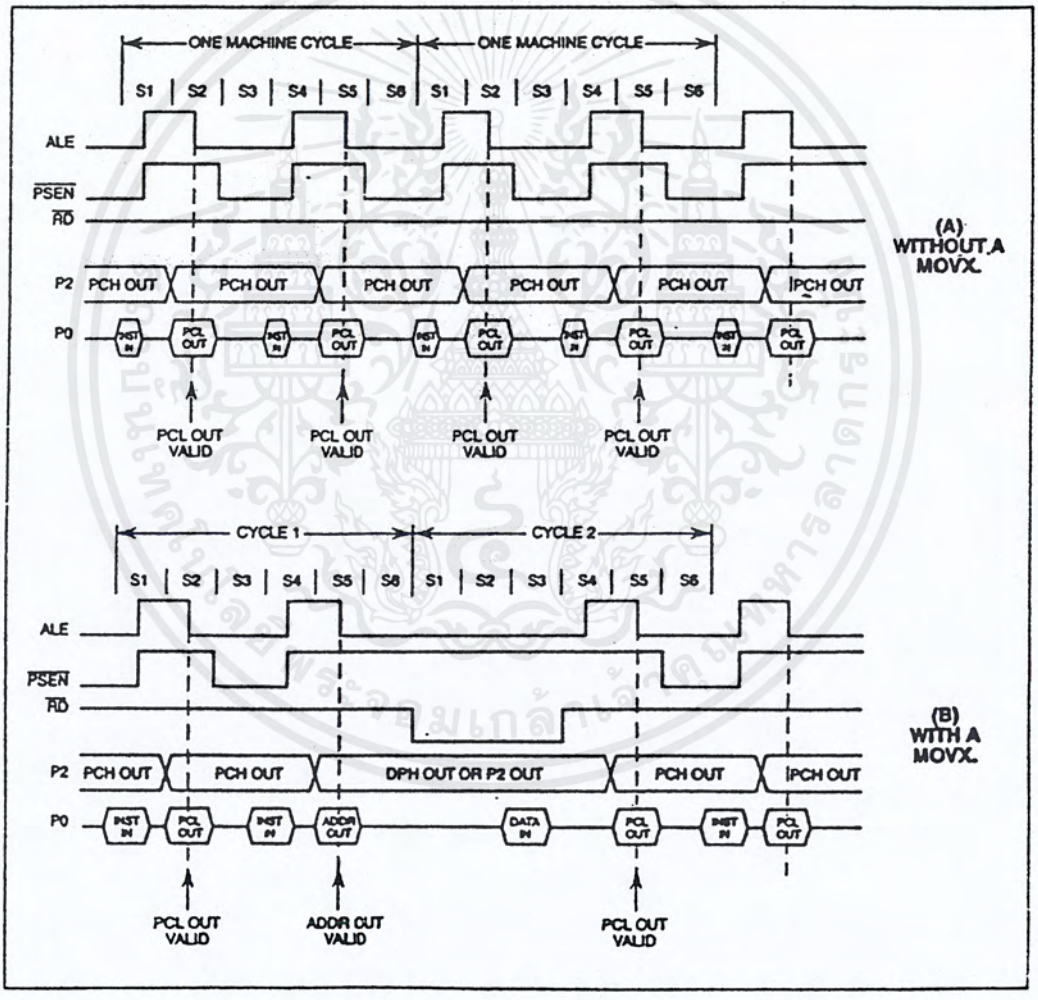
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

ภาพที่3.9 (b) แสดงการทำงานของคำสั่ง ADD A.#Data ซึ่งเป็นคำสั่ง 2 ไบต์ทำงานเสร็จใน 1 แมชีนไซเคิล

ภาพที่ 3.9 (c) แสดงการทำงานของคำสั่ง INC DPTR ซึ่งเป็นคำสั่ง 1 ไบต์ แต่ทำงานเสร็จใน 2 แมชีนไซเคิล

ภาพที่ 3.9 (d) แสดงการทำงานของคำสั่ง MOVX ซึ่งเป็นคำสั่ง 1 ไบต์ แต่ทำงานเสร็จใน 2 แมชีนไซเคิล



ภาพที่ 3.10 แสดงผังเวลาการติดต่อกับหน่วยความจำภายนอก

ภาพที่ 3.10 (a) เป็นผังเวลาของสัญญาณซึ่งเกี่ยวข้องกับเฟิทซ์เมื่อส่วนของ Program Memory อยู่ภายนอก ดังนั้น สัญญาณที่จะนำมาใช้อ่าน OP-Code จาก Program Memory ก็คือ

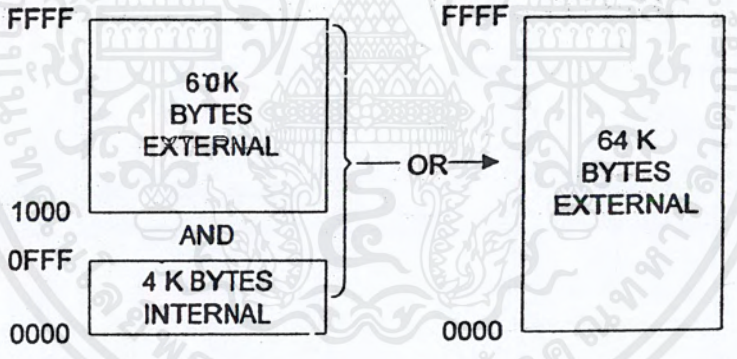
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
50219

$\overline{PSEN}$ ซึ่งจะแอคทีฟ 2 ครั้งใน 1 แมชีนไซเคิล ดังนั้นสัญญาณที่ใช้อ่านข้อมูลจาก Program Memory จะใช้สัญญาณ $\overline{PSEN}$

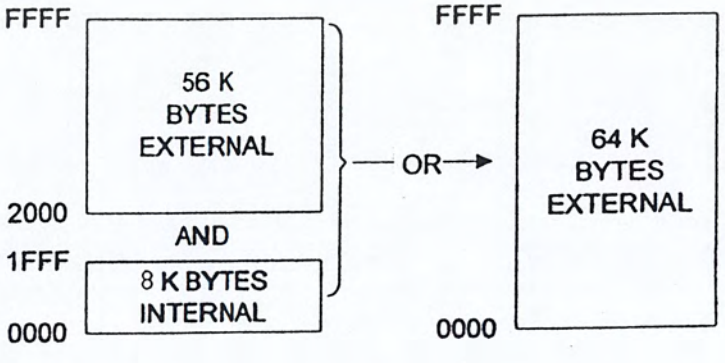
ภาพที่ 3.10 (b) เป็นผังเวลาของสัญญาณที่เกี่ยวข้องกับการอ่านข้อมูลจาก Data Memory โดยใช้สัญญาณ $\overline{RD}$ (อาจสรุปได้ง่าย ๆ ว่าการอ่านข้อมูลจาก Program Memory จะใช้สัญญาณ $\overline{PSEN}$ และการอ่านข้อมูลจาก Data Memory จะใช้สัญญาณ $\overline{RD}$ ส่วนสัญญาณ ALE คือสัญญาณที่ใช้ในการ Latch Address A0-A7 นั่นเอง)

3.6 การแบ่งประเภทของหน่วยความจำ

หน่วยความจำที่ใช้กับ MCS-51 มีอยู่ด้วยกัน 2 ชนิด คือ Program Memory และ Data Memory ซึ่งเป็นหน่วยความจำที่ใช้เก็บโปรแกรมสั่งงานบรรจุอยู่ในชิพ 8051 ส่วนที่เป็น Program Memory ก็คือ ROM ขนาด 4 กิโลไบต์นั่นเอง แต่ถ้าเป็นเบอร์ 8052 ก็คือ ROM ขนาด 8 กิโลไบต์ ดังแสดงในภาพที่ 3.11 และ ที่ 3.12



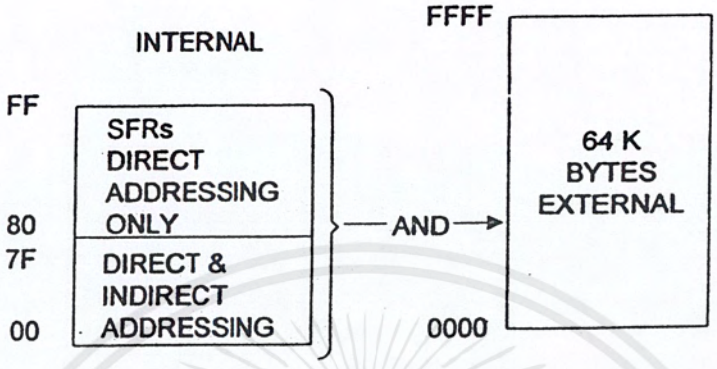
ภาพที่3.11 ผังเก็บความจำสำหรับเก็บโปรแกรมสำหรับเบอร์ 8051



ภาพที่3.12 ผังแสดงหน่วยความจำสำหรับเก็บโปรแกรมสำหรับเบอร์ 8052

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Data Memory เป็นหน่วยความจำที่ใช้เก็บข้อมูลหน่วยความจำนี้ สามารถเขียนข้อมูลลงไปและอ้านข้อมูลออกมาได้ ซึ่งเป็นหน่วยความจำภายในชิปมีเพียง 128 ไบต์ สำหรับเบอร์ 8051 และ 256 ไบต์ สำหรับเบอร์ 8052 ส่วนหน่วยความจำภายนอกชิพมี 64 กิโลไบต์ ดังแสดงในภาพที่ 3.13



ภาพที่ 3.13 ผังหน่วยความจำสำหรับ Data Memory เบอร์ 8051

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4
การสื่อสารข้อมูลแบบอนุกรม

การเชื่อมต่อระหว่างพอร์ตอนุกรมแต่ละพอร์ตจะใช้เส้นสัญญาณแบบอนุกรมมาตรฐานอยู่ 3 แบบ คือ มาตรฐาน EIA RS-422 ,ระบบวงรอบกระแส และมาตรฐาน EIA RS-232 โดยทั่วไปเราจะใช้เส้นส่งสัญญาณอนุกรมแบบมาตรฐาน EIA RS-232 มากที่สุด ซึ่งเราจะเรียกว่า RS-232 สายส่งสัญญาณ RS-232 นี้ ได้ถูกนำไปใช้ในหน่อยแสดงผล เครื่องพิมพ์โมเดม และอุปกรณ์อื่นๆ ซึ่งจะมีความยาวของสายไม่เกิน 50 ฟุต

4.1 มาตรฐาน EIA RS-232

มาตรฐาน EIA RS-232 ซึ่งเราจะเรียก RS-232 ได้กำหนดให้ค่าสัญญาณไฟฟ้าที่ระดับของศักดาไฟฟ้าเท่ากับ 3 โวลท์หรือสูงกว่า มีค่าทางตรรกะเป็น 1 และกำหนดให้ค่าสัญญาณไฟฟ้าที่มีระดับศักดาไฟฟ้าเท่ากับ -3 โวลท์หรือต่ำกว่า มีค่าทางตรรกะเป็น 0 วงจรไอซีที่ใช้สร้างสัญญาณเหล่านี้ต้องการแหล่งจ่ายไฟขนาด +12 V RS-232 จะใช้สาย 1 เส้น สำหรับส่งข้อมูล และใช้สาย อีก 1 เส้นสำหรับรับข้อมูล โดยสัญญาณในแต่ละสายนี้จะถูกอ้างอิงเทียบกับกราวนด์ (ขาเบอร์7) มาตรฐาน RS-232 นี้ยังได้กำหนด สัญญาณตอบรับเพื่อ ใช้ในการควบคุมการรับส่งข้อมูลด้วย

มาตรฐาน RS-232 จะสามารถใช้ส่งข้อมูลได้ไกลที่สุด 50 เมตรด้วยอัตราการรับส่งข้อมูล 9600 บอด แต่ถ้าเราต้องการให้ส่งได้ไกลกว่านี้เราต้องส่งข้อมูลด้วยอัตราส่งข้อมูลที่ช้ากว่านี้และถ้าต้องการส่งข้อมูลในระยะทางที่ใกล้กว่านี้ เราสามารถส่งข้อมูลด้วยอัตราที่มากกว่าอัตราการรับส่งข้อมูล 9600 บอดในที่นี้จะกล่าวถึงพอร์ตสื่อสารอนุกรม RS-232C

ตารางที่ 4.1 ตัวเชื่อมต่อที่นิยมใช้สายส่งสัญญาณอนุกรมแบบมาตรฐาน RS-232

9 Pin	EIA RS-232 Circuit	CCIT V.24 Circuit	RS-232 Description	Signal type & Direction
5	AB	102	Signal group/common return	Ground/common
2	BB	104	Received data	Data from DCE
3	BA	103	Transmitted data	Data to DCE
1	CF	109	Received line signal detector	Control from DCE
4	CD	108.2	Data terminal ready	Control to DCE

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6	CC	107	Data set ready	Control from DCE
7	CA	105	Request to send	Control to DCE
8	CB	106	Clear to send	Control from DCE
9	CE	125	Ring indicator	Control from DCE

(ก) ตัวเชื่อมต่อ DB-9

25 Pin	EIA RS-232 Circuit	CCIT V.24 Circuit	RS-232 Description	Signal type & Direction
1*	AA	101	Protective ground	Ground
7*	AB	102	Signal ground/common return	Ground/common
2*	BA	103	Transmitted data	Data to DCE
3*	BB	104	Received data	Data from DCE
4*	CA	105	Request to send	Control to DCE
5*	CB	106	Clear to send	Control from DCE
6*	CC	107	Data set ready	Control from DCE
20*	CD	108,2	Data terminal ready	Control to DCE
22	CE	125	Ring indicator	Control from DCE
8	CF	109	Received line signal detector	Control from DCE
21	CG	110	Signal quality detector	Control from DCE
23	CH	111	Data signal rate selector (DTE)	Control to DCE
23	CI	112	Data signal rate selector (DCE)	Control from DCE
24	DA	113	Transmitter signal element timing (DTE)	Timing to DCE
17	DD	115	(DCE) Receiver signal element timing (DCE)	Timing from DCE
14	SBA	118	Secondary transmitted data	
16	SBB	119	Secondary received data	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

19 13 12	SCA SCB SCF	120 121 122	Secondary request to send Secondary clear to send Secondary received line signal detector	Control to DCE Control from DCE Control from DCE
11 18 25			Undefined	

(ข) ตัวเชื่อมต่อ DB-25

4.2 RS-232C

4.2.1 คุณสมบัติของ RS-232C

อัตรารับส่งข้อมูล : 0 - 20000 บิต/วินาที

ระดับแรงดันเอาต์พุตสูงสุดในสภาวะไม่มีโหลด : -25 โวลท์ (ลอจิก 1)

: +25 โวลท์ (ลอจิก 0)

ระดับแรงดันเอาต์พุตสำหรับโหลด 3 - 7กิโลโอห์ม : ลอจิก"1" -15โวลท์(7กิโลโอห์ม)

-5 โวลท์(3กิโลโอห์ม)

ลอจิก"0"+15โวลท์(7กิโลโอห์ม)

+5 โวลท์(3กิโลโอห์ม)

กระแสเอาต์พุตเมื่อลัดวงจร : สูงสุด 500 มิลลิแอมป์

เอาต์พุตอิมพีแดนซ์เมื่อไม่จ่ายไฟเลี้ยง : ต่ำสุด 300 โอห์ม

สลูว์เรตทางเอาต์พุตสูงสุด : 30 โวลท์/ไมโครวินาที

ความต้านทานอินพุตของภาครับ : สูงสุด 7 กิโลโอห์ม

ต่ำสุด 3 กิโลโอห์ม

ค่าความจุอินพุตของภาครับ : สูงสุด 2500 กิโลฟารัด

ย่านแรงดันอินพุตของภาครับ : -25 โวลท์ถึง +25 โวลท์

ค่าความจุอินพุตภาครับ : สูงสุด 2500 กิโลฟารัด

ย่านแรงดันอินพุตของภาครับ : -25 โวลท์ถึง +25 โวลท์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2.2 การจัดขาสัญญาณของ RS-232C

มีด้วยกัน 2 แบบคือ แบบ 9 ขา และ แบบ 25 ขา ดังแสดงในตารางที่ 4.2

ตารางที่ 4.2 ขาสัญญาณ RS-232 ทั้งแบบ 9 ขาและ 25 ขา

ชื่อสัญญาณ	หมายเลขขาในแบบ 9 ขา	หมายเลขขาในแบบ 25 ขา
TD Transmitted Data	3	2
RD Received Data	2	3
RTS Request to Send	7	4
CTS Clear to Send	8	5
DSR Data Set Ready	6	6
SG Signal Ground	5	7
CD Carrier Detect	1	8
DTR Data terminal Ready	4	20
RI Ring Indicator	9	22

4.2.3 การเชื่อมต่อสัญญาณของ RS-232C

มีลักษณะเชื่อมต่อ 2 แบบด้วยกัน

4.2.3.1 การเชื่อมต่อกันระหว่างอุปกรณ์ DTE (Data Terminal Equipment) กับอุปกรณ์ DCE (Data Circuit Terminal)

เช่น โมเดม แสดงดังภาพที่ 4.1 (ก)

4.2.3.2 การเชื่อมต่อกันระหว่างอุปกรณ์ DTE (Data Terminal Equipment) เข้าด้วยกัน

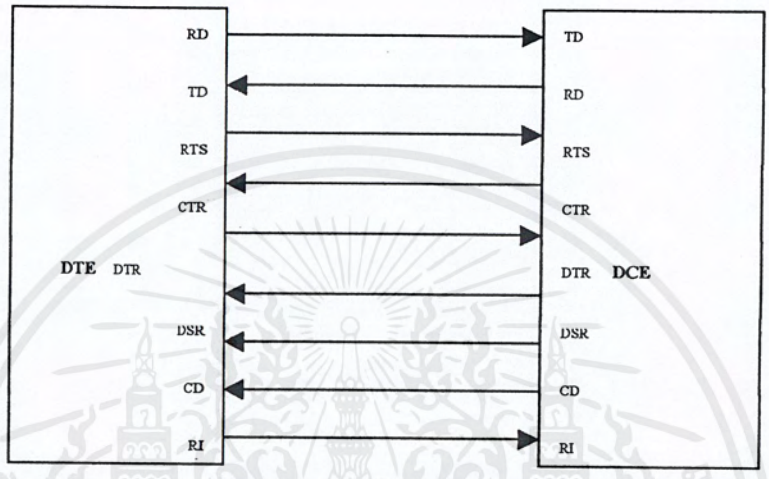
แสดงดังภาพที่ 4.1 (ข)

4.3 รูปแบบของข้อมูลอนุกรมและอัตราบอดในการสื่อสารข้อมูลอนุกรม

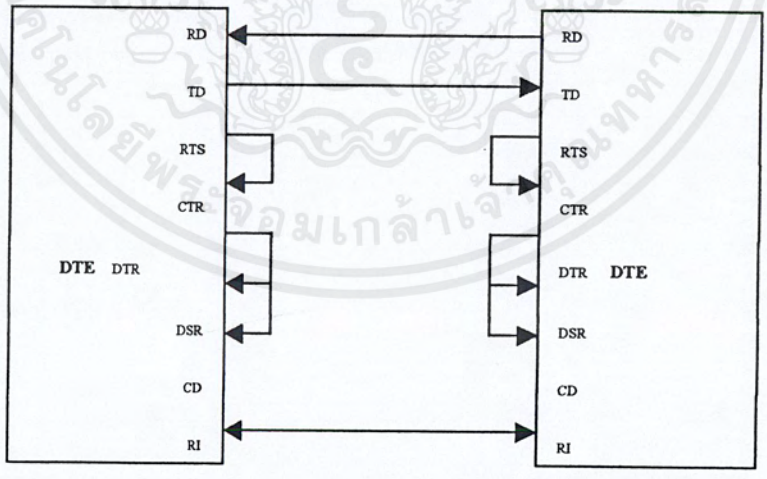
อัตราบอด (baud rate) คือ ความเร็วในการรับส่งข้อมูลอนุกรม มีหน่วยเป็นบิตต่อวินาที เมื่อเราไม่ต้องการให้อุปกรณ์ภายนอกเชื่อมต่อโดยตรงให้กับระบบที่มีไมโครโปรเซสเซอร์เป็นพื้นฐาน เราจะต้องนำ opt isolator มาใช้เป็นตัวแยก opt isolator จะช่วยป้องกันไมโครโปรเซสเซอร์ UART และวงจรอื่นๆในระบบจากศักดาไฟฟ้าสูงๆ หรือป้องกันไฟฟ้าไม่ให้เข้าที่สายกราวนด์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ซึ่งอาจเกิดจากอุบัติเหตุ จึงทำให้มีการเชื่อมต่อระหว่างสายส่งสัญญาณกับสายกราวด์โดยเราอาจพบ เหตุการณ์เช่นนี้ได้ในงานด้านอุตสาหกรรมดังในภาพที่ 4.1 ซึ่งแสดงโครงสร้างของตัวรับสัญญาณและตัวส่งสัญญาณในระบบ EIA- RS-232 ซึ่งมีการนำ optoisolator มาใช้นอกจากนี้ยังได้มีการนำ optisolator มาใช้ในการส่งสัญญาณแบบขนาน และในการสื่อสารรูปแบบอื่นๆในไมโครโปรเซสเซอร์ด้วย



(ก)



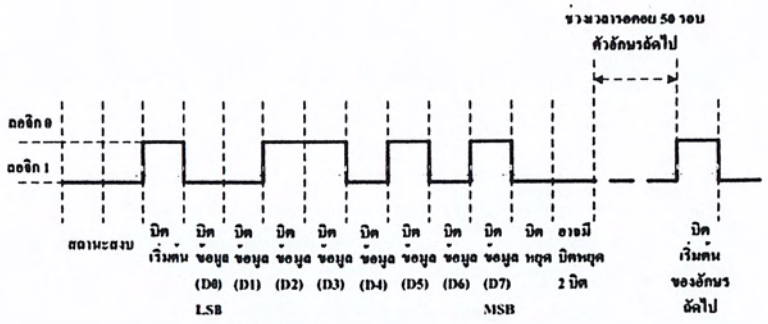
(ข)

ภาพที่4.1 การเชื่อมต่อสัญญาณของมาตรฐาน RS-232

(ก) การต่ออุปกรณ์ DTE เข้ากับ DCE

(ข) การต่ออุปกรณ์ DTE เข้ากับ DTE

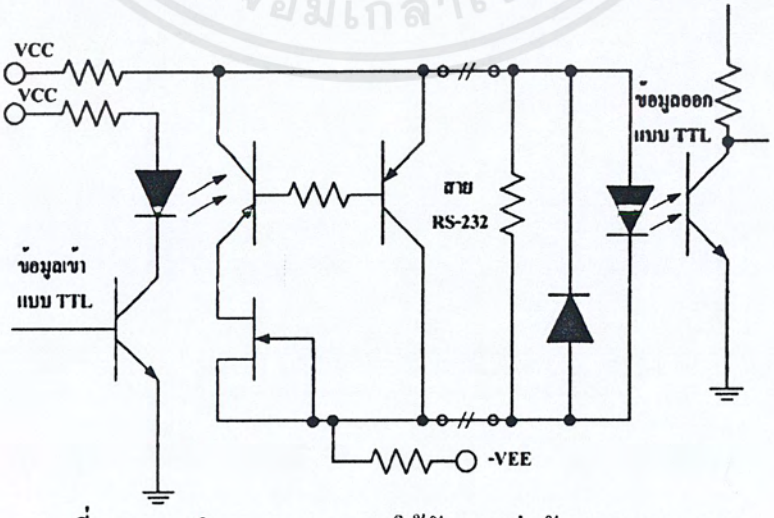
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ภาพที่ 4.2 รูปแบบของสัญญาณข้อมูลอนุกรมที่ใช้ในการสื่อสารข้อมูลอนุกรม

ตารางที่ 4.3 อัตราบอดและช่วงเวลาของแต่ละบิตข้อมูลในการสื่อสารข้อมูลอนุกรม

อัตราบอด	ช่วงเวลาของแต่ละบิต
110	9.910 ms
150	6.670 ms
300	3.330 ms
600	1.670 ms
1200	0.833 ms
2400	0.417 ms
4800	0.208 ms
9600	0.104 ms
19200	0.052 ms

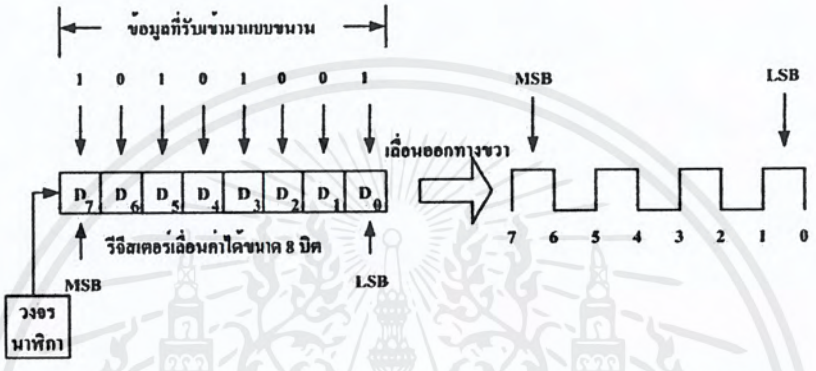


ภาพที่ 4.3 การนำ optisolator มาใช้กับสายส่งสัญญาณ RS – 232

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.4 การเชื่อมต่อแบบอนุกรมและ UART

ในภาพที่ 4.4 แสดงถึงการแปลงข้อมูลแบบขนานไปเป็นข้อมูลแบบอนุกรม โดยที่เริ่มแรกข้อมูลแบบขนานจะถูกเก็บไว้ในรีจิสเตอร์ Shift Register จากนั้นจะใช้สัญญาณนาฬิกาในการเลื่อนค่าในรีจีสเตอร์ออกมาทีละบิต (โดยเลื่อนค่าไปทางขวามือ) บิตแรกที่ถูกเลือกออกมาคือบิต LSB ของข้อมูลและบิตที่สองที่ถูกเลื่อนออกมาก็คือบิตที่อยู่ถัดจากบิต LSB และบิตต่อไป สำหรับบิตสุดท้ายที่ถูกเลื่อนออกมา ก็คือบิต MSB ของข้อมูล



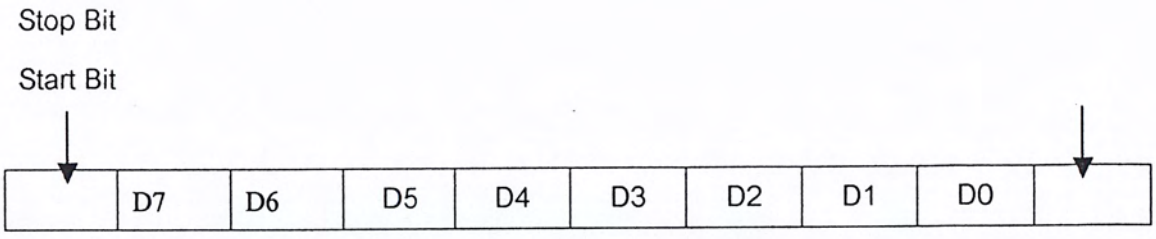
ภาพที่ 4.4 การแปลงข้อมูลแบบขนานเป็นอนุกรม

การแปลงข้อมูลแบบอนุกรมไปเป็นข้อมูลขนานนั้นจะมีขั้นตอนตรงกันกับที่กล่าวมา นั่นคือข้อมูลแบบอนุกรมจะถูกเลื่อนเข้าไปเก็บใน Shift Register โดยใช้สัญญาณนาฬิกาเป็นตัวควบคุม และหลังจากที่ได้มีการเลื่อนข้อมูลทุกบิตเข้าไน Shift Register ได้หมดแล้ว ข้อมูลในรีจิสเตอร์นี้จะถูกนำออกมาแบบขนานเพื่อนำไปใช้งานต่อไป

อุปกรณ์ที่ทำหน้าที่ในการแปลงข้อมูลแบบอนุกรมเป็นข้อมูลแบบขนาน และแปลงข้อมูลจากแบบขนานไปเป็นข้อมูลแบบอนุกรม เราเรียกว่า UART (Universal Asynchronous Receiver - Transmitter) ซึ่งเป็นวงจร LSI ซึ่งนอกจากจะมีหน้าที่ในการแปลงข้อมูลแล้ว UART ยังมีหน่วยควบคุมและหน่วยตรวจสอบการทำงานอีกด้วย

ในการส่งข้อมูลขนาด 8 บิต แบบอนุกรมนี้จะต้องมีบิตสตาร์ท (Start Bit) และบิตสต๊อป (Stop Bit) เพิ่มเข้ามา ซึ่งจะทำให้ข้อมูลที่ถูกส่งไปจริงๆนั้นมีขนาด 10 บิต ในภาพที่ 4.8 แสดงเวิร์ดข้อมูลที่มีบิตข้อมูล 8 บิต ประกอบด้วย บิตสตาร์ท 1 บิต และบิตสต๊อป 1 บิต โดยที่บิตสตาร์ทมีค่า 0 บอก UART ที่รับข้อมูลให้รู้ว่ามีข้อมูลกำลังเข้ามา และบิตสต๊อปที่มีค่า 1 จะบอก UART ที่รับข้อมูลให้รู้ว่าการส่งข้อมูลได้เสร็จสิ้นลง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ภาพที่ 4.5 เวิร์ดข้อมูลขนาด 8 บิตกับ Start Bit และ Stop Bit ที่ใช้ในการโอนย้ายข้อมูลแบบอนุกรม

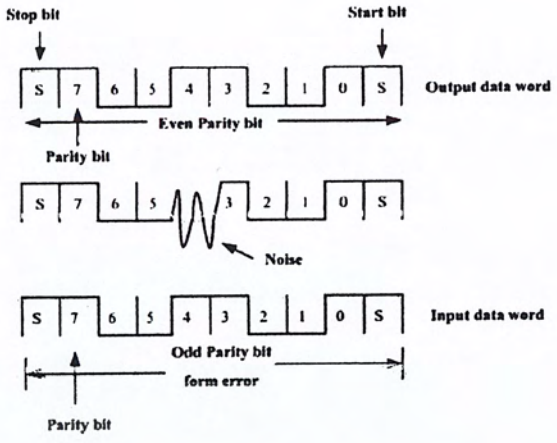
ตารางที่ 4.4 อัตราบอดทั่วไปที่ใช้ในการโอนย้ายข้อมูลแบบอนุกรม

อัตราบอด	ไบต์/วินาที
110	10
150	15
300	30
600	60
1200	120
2400	240
4800	480
9600	960
19200	1920
38400	3840

การส่งข้อมูลด้วยอัตราบอด 110 นั้นจะแตกต่างไปจากอัตราบอดอื่น ซึ่งอัตราบอดนี้ต้องใช้บิตสตาร์ท 1 บิตและบิตสต๊อป 2 บิต ดังนั้นจึงทำให้ต้องส่งข้อมูลขนาด 11 บิต

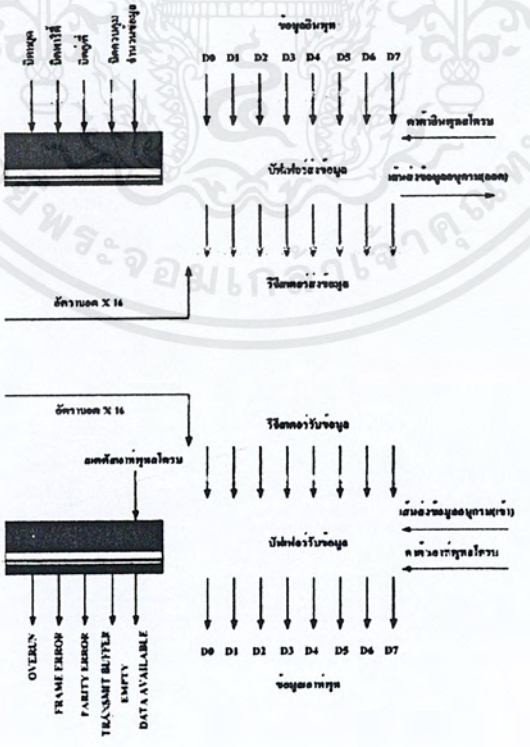
ในภาพที่ 4.6 แสดงถึงการส่งข้อมูลแบบอนุกรมที่มีค่าพารีตี้เปลี่ยนไปอันเนื่องจากสัญญาณรบกวน (noise) โดยบิตที่ 4 ในรูปจะ ถูกสัญญาณรบกวนทำให้มีค่าจาก 1 ไปเป็น 0 ซึ่งทำให้ข้อมูลที่ได้รับนั้นไม่ถูกต้อง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



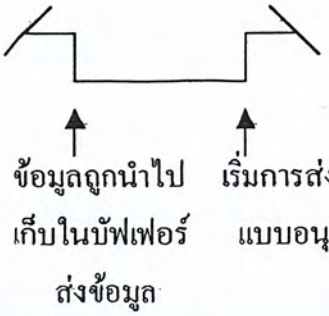
ภาพที่ 4.6 การใช้บิตพาริตี้เพื่อตรวจสอบความผิดพลาดในการโอนย้ายข้อมูลแบบอนุกรม

ในการส่งข้อมูลของ UART แยกออกเป็น 2 ส่วนซึ่งได้แก่ บัฟเฟอร์ส่งข้อมูล (Transmitter data output buffer) กับรีจิสเตอร์ส่งข้อมูล (Transmitter register) โดยบิตข้อมูล 8 บิต จะถูกนำไปเก็บในบัฟเฟอร์ส่งข้อมูล เมื่อสัญญาณที่ควบคุมดาต้าอินพุตสโตรบ (Data input strobe) เปลี่ยนค่าจาก 1 เป็น 0 และการส่งข้อมูลแบบอนุกรมจะเริ่มขึ้นเมื่อสัญญาณควบคุมนี้เปลี่ยนค่าจาก 0 เป็น 1 ดังภาพที่ 4.7



ภาพที่ 4.7 บล็อกไดอะแกรมของ UART

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ภาพที่ 4.8 สัญญาณดาต้าอินพุตสโตรบ

เราจะสามารถนำข้อมูลในรีจีสเตอร์สถานะของ UART ไปใช้ได้ โดยการส่งสัญญาณควบคุมสเตตัสเอาท์พุตสโตรบ (Status output strobe) ซึ่งในรีจีสเตอร์สถานะของ UART จะมีบิตบอกสถานะต่างๆ ดังนี้

1.บิต OR (Overrun) บิตนี้จะมีค่าเป็น 1 เมื่อข้อมูลชิ้นใหม่เข้ามาทับข้อมูลชั้นเดิมที่เก็บอยู่ ซึ่งข้อมูลชิ้นเดิมยังไม่ได้ถูกนำไปเก็บในบัฟเฟอร์รับข้อมูล

2.บิต FE (Framing error) บิตนี้จะมีค่าเป็น 1 ถ้า UART ไม่พบบิตสต๊อป ซึ่งอาจเป็นเพราะว่า UART ไม่ได้อ่านบิตสตาร์ทจากตำแหน่งที่ถูกต้อง ซึ่งหมายความว่า UART เริ่มทำงานกับบิตที่ไม่ใช่บิตสตาร์ท

3.บิต PE (Parity error) บิตนี้จะมีค่าเป็น 1 เมื่อ UART ได้ทำการตรวจสอบพบว่าข้อมูลที่ได้รับมีพาริตี้ไม่ตรงกับค่าในพาริตี้ของข้อมูล เราจะกำหนดให้ UART ทำการทดสอบค่าแบบพาริตี้คู่หรือพาริตี้คี่ได้ โดยระบุไว้ที่วงจรควบคุมก่อนที่จะนำ UART มาทำการรับข้อมูล

4.บิต TBE (Transmit buffer empty) บิตนี้จะมีค่าเป็น 1 เมื่อ UART ได้ส่งข้อมูลออกไปแล้ว ซึ่งทำให้เราสามารถนำข้อมูลชิ้นต่อไปที่จะส่งเก็บลงในบัฟเฟอร์ส่งข้อมูลได้

5.บิต DA (Data available) บิตนี้จะมีค่าเป็น 1 เมื่อ UART ได้รับข้อมูลชิ้นใหม่เข้ามาและสามารถทำการอ่านข้อมูลนี้ได้ โดยส่งสัญญาณดาต้าเอาท์พุตสโตรบ

4.5 MCS-51 กับการรับส่งข้อมูลอนุกรม

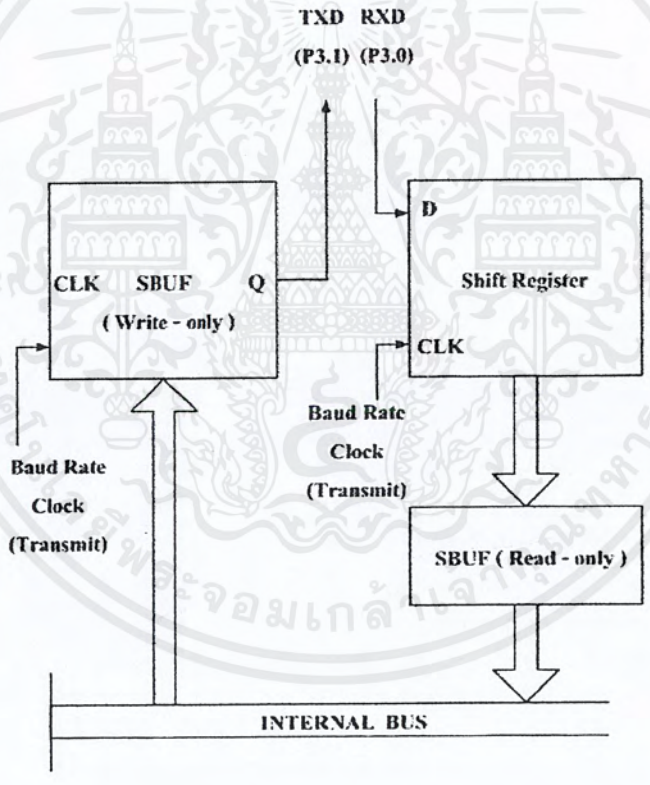
การรับส่งข้อมูลแบบอนุกรมกับไมโครคอนโทรลเลอร์ MCS-51 นั้น ภายในชิพ MCS-51 จะมี UART อยู่ในตัว ซึ่งเป็นข้อดีของไมโครคอนโทรลเลอร์ โดยพอร์ตอนุกรมของ MCS-51 จะใช้ขา TxD และ RxD ในการรับส่งข้อมูล โดยขาทั้งสองจะอยู่ในพอร์ต 3 คือ P3.1 หรือขา 11 เป็น TxD และ P3.0 หรือขา 10 เป็น RxD พอร์ตอนุกรมของ MCS-51 สามารถทำงานแบบ Full Duplex

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ได้คือ สามารถส่งข้อมูลและรับข้อมูลในเวลาเดียวกันได้ โดยในการรับและส่งข้อมูล จะมีบัฟเฟอร์สำหรับเก็บข้อมูลให้ใช้

รีจิสเตอร์ที่สำคัญในการรับส่งข้อมูลคือ รีจีสเตอร์ SBUF และรีจีสเตอร์ SCON ซึ่งเป็นรีจีสเตอร์ที่อยู่ใน Special Function Registers โดยที่รีจีสเตอร์ Serial Port Buffer (SBUF) จะอยู่ในตำแหน่ง 99H ถ้าเขียนข้อมูลไปที่ตำแหน่งนี้จะเป็นการส่งข้อมูลออกทางพอร์ตอนุกรม และถ้าอ่านข้อมูลจากตำแหน่งนี้ จะเป็นการรับข้อมูลจากพอร์ตอนุกรม

สำหรับที่รีจีสเตอร์ Serial Port Control Register (SCON) ซึ่งอยู่ที่ตำแหน่ง 98H จะเป็นรีจีสเตอร์ที่สามารถเข้าถึงข้อมูลระดับบิตได้ รีจีสเตอร์นี้จะทำหน้าที่ในการควบคุมและบอกสถานะต่างๆของภาครับส่งข้อมูลแบบอนุกรม สำหรับความเร็วของการส่งข้อมูล (Baud Rate) สามารถหาได้จากการหารสัญญาณนาฬิกาที่ใช้กับ MCS-51



ภาพที่ 4.9 การรับส่งข้อมูลระหว่างรีจีสเตอร์กับบัสภายใน

4.6 Serial Port Control Register

MCS-51 มีโหมดการทำงานของพอร์ตอนุกรมหลายโหมด ซึ่งสามารถโปรแกรมโหมดการทำงานได้โดยการเขียนข้อมูลควบคุมไปยังรีจีสเตอร์ SCON โดยที่ความหมายของแต่ละบิตจะแสดงได้ดังตารางที่ 4.14 และ 4.15

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 4.5 บิตต่างๆ ของรีจีสเตอร์ SCON

บิต	ชื่อ	ตำแหน่ง	ความหมาย
SCON.7	SM0	9FH	บิตเลือกโหมด 0
SCON.6	SM1	9EH	บิตเลือกโหมด1
SCON.5	SM2	9DH	บิตเลือกโหมด2
SCON.4	REN	9CH	บิตแฟลกกำหนดยอมให้มีการรับข้อมูล
SCON.3	TB8	9BH	ค่าของบิต 9 สำหรับการส่งข้อมูล ในโหมด 2 และ 3 สามารถ set และ clear ได้โดย software
SCON.2	RB8	9AH	ค่าของบิต 9 เมื่อรับข้อมูลเข้ามา
SCON.1	TI	99H	บิตแฟลกแสดงการอินเตอร์รัพท์ ภายหลังจากส่งข้อมูลออกไป โดยจะ set เมื่อส่งข้อมูลออกไปหมดแล้ว และสามารถ clear ได้ด้วย software
SCON.0	RI	98H	แฟลกแสดงการอินเตอร์รัพท์ภายหลังรับข้อมูลเข้ามาสามารถ set ได้ด้วย software

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 4.6 โหมดต่างๆ ของการรับส่งแบบอนุกรม

SM0	SM1	MODE	ความหมาย	BAUD RATE
0	0	0	Shift Register	เปลี่ยนแปลงไม่ได้(Oscillator Frequency/12)
0	1	1	8 – bit UART	สามารถเปลี่ยนแปลงได้โดยกำหนดจาก Timer
1	0	2	9 – bit UATR	เปลี่ยนแปลงไม่ได้(Oscillator Frequency/12หรือ /64)
1	1	3	9 – bit UART	สามารถเปลี่ยนแปลงได้โดยกำหนดจาก Timer

ก่อนจะใช้พอร์ตอนุกรมจะต้องโปรแกรมให้กับ SCON เสียก่อนเพื่อเป็นการกำหนดโหมดการทำงานและลักษณะต่างๆ เช่น

```
MOV   SCON,#01010010B
```

เป็นการกำหนดให้พอร์ตอนุกรมทำงานในโหมด 1 และอีนาเบิ้ลให้มีการรับรู้ข้อมูลพร้อมกับกำหนดให้ TI เป็น 1

ในการส่งข้อมูลทุกโหมดสามารถทำได้โดยเขียนไปยัง SBUF เมื่อข้อมูลถูกส่งไปแล้ว บิต TI จะถูก Set ให้เป็น "1" ในการส่งข้อมูล จะต้องคอยตรวจสอบบิต TI เพราะว่าถ้า TI ยังไม่เป็น "1" แสดงว่าข้อมูลยังส่งไปไม่หมด ถ้าหากมีการเขียนข้อมูลไบต์ต่อไปไปยัง SBUF จะทำให้เกิดข้อผิดพลาดขึ้น สำหรับในการรับข้อมูลบิต REN จะต้อง Set ให้เป็น "1" ยกเว้นโหมด 0 เพื่ออนุญาติให้รับข้อมูลได้ เมื่อข้อมูลรับเข้ามาเรียบร้อยแล้วบิต RI จะถูก Set เป็น "1"

4.7 Mode of Operation

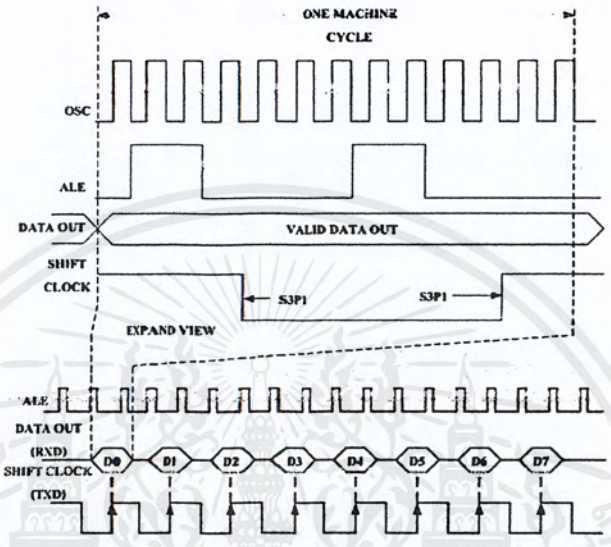
ใน MCS-51 การสื่อสารทางพอร์ตอนุกรมจะมีอยู่ 4 ประเภท หรือ 4 โหมดซึ่งจะกำหนดได้ที่บิต SM0 และ SM1 ใน SCON โดยจะมีทั้งสิ้น 3 โหมด เป็นการสื่อสารแบบ Asynchronous โดยลักษณะของข้อมูลที่ส่ง จะมีบิตเริ่มต้น (Start Bit) และบิตจบ (Stop Bit) ซึ่งคล้ายกับการสื่อสารแบบ RS-232 ในระบบคอมพิวเตอร์ อีกโหมดหนึ่งจะเป็นการใช้พอร์ตอนุกรมในลักษณะชิพรีจีสเตอร์

4.7.1 8 - Bit Shift Register (Mode 0)

การทำงานในโหมดนี้จะใช้ขา RxD ในการรับส่งข้อมูลโดยต่อกับ Shift Register ภายนอก ส่วนขา TxD จะเป็น Output Shift Clock เพื่อกระตุ้นรีจีสเตอร์ภายนอกให้เลื่อนบิต ถ้ามีการส่งข้อมูลหรือรับข้อมูล 8 บิต จะเริ่มต้นที่บิตต่ำสุดก่อน โดยมีค่า Baud Rate เท่ากับ 1/12 ของความถี่ที่ใช้บนชิพ

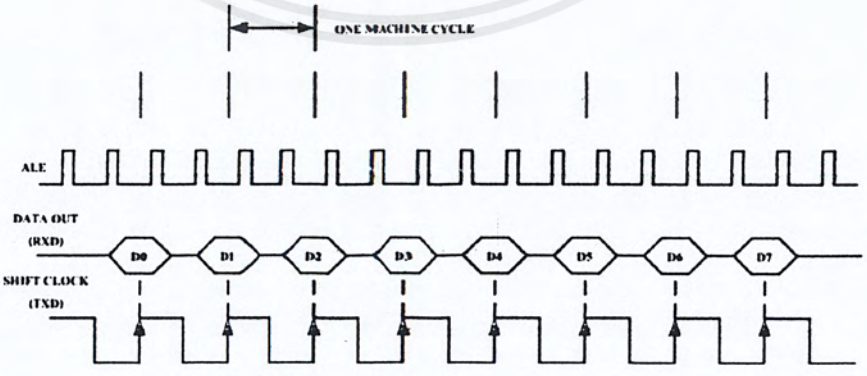
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในการส่งข้อมูลจะทำโดยการเขียนข้อมูลไปที่รีจีสเตอร์ SBUF ข้อมูลจะถูกส่งออกมาทางขา RxD (P3.0) โดยจะสอดคล้องกับสัญญาณที่ออกมาทางขา TxD ซึ่งสัญญาณของขา TxD จะถูกส่งออกมาทุกๆ Machine Cycle โดยจะเป็นลอจิก "0" ใน S3P1 และกลับเป็นลอจิก "1" ใน S6P1 ซึ่งแสดงได้ดังภาพที่ 4.10



ภาพที่ 4.10 ผังสัญญาณเวลาการส่งข้อมูล

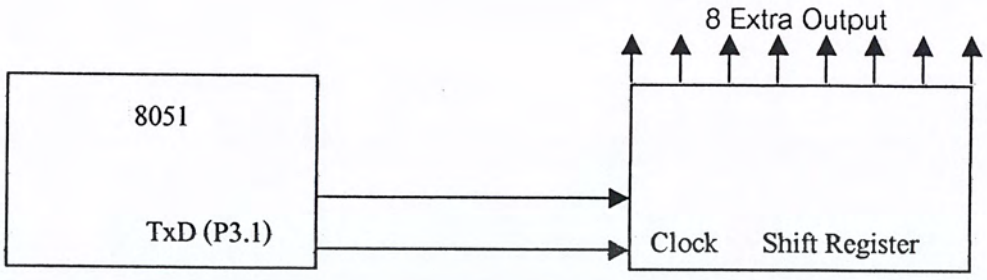
สำหรับการรับข้อมูลจะรับเมื่อ Set Receiver Enable Bit (REN) เป็น "1" และ Clear ที่ขา Receiver Interrup Bit (BI) เป็น "0" ข้อมูลจะเข้าสู่ MCS – 51 เมื่อ Clock Shift ถูกส่งออกไปทาง TxD ที่ขอบขาขึ้น ของ Clock Shift บิตต่ำจะถูกส่งเข้ามาก่อนดังภาพที่ 4.11



ภาพที่ 4.11 ผังสัญญาณเวลารับข้อมูล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในการประยุกต์ใช้งานในโหมดนี้ ต้องมีไอซีชิพรีจีสเตอร์มาต่อร่วมกันที่ภายนอก เช่น ถ้าหากต้องการส่งข้อมูลออกมาทางพอร์ตอนุกรม อาจจะต่อวงจรได้ดังภาพที่ 4.12 โดยใช้ไอซี Serial - to - Parallel Shift Register โดยข้อมูลส่งออกมาทาง RxD และใช้ TxD เป็น Clock

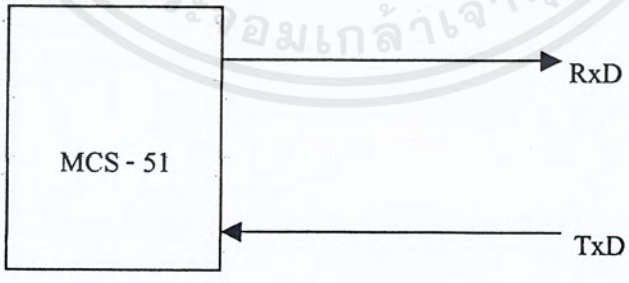


ภาพที่ 4.12 การส่งข้อมูลออกโดยใช้ชิพต์รีจิสเตอร์ช่วย

4.7.2 8 - Bit UART with Variable Baud Rate (Made 1)

ในโหมดนี้จะเป็นการส่งข้อมูลแบบ 10 บิต ซึ่งประกอบด้วยบิตเริ่มต้น (เป็น "0") ข้อมูล 8 บิต และบิตจบ (เป็น "1") นอกจากนี้ยังสามารถกำหนดค่า Baud Rate ได้โดยค่า Baud Rate นี้จะแปรตามตัวจับเวลาตัวที่ 1 ในโหมดนี้จะส่งข้อมูลออกทาง TxD และรับข้อมูลทาง RxD ถ้าเป็นการรับข้อมูลเข้าตัว Stop Bit จะเข้ามายังบิต RB8 ใน SCON

ถ้าหาก Baud Rate ในการรับส่งข้อมูลกำหนดโดย Timer 1 หลังจากโปรแกรมไปใน Timer 1 แล้วสามารถเลือกค่า Baud Rate ได้อีกสองค่า คือค่าจาก Timer 1 Overflow หาร32 กับค่าจาก Timer 1 Overflow หาร 16



ภาพที่ 4.13 การรับส่งข้อมูลในโหมด 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การส่งข้อมูลทำได้โดยการเขียนข้อมูล 8 บิต ไปที่ SBUF โดยบิตที่9 (Stop Bit) ให้เขียนลงใน TB8 ใน SCON จากนั้นข้อมูลจะถูกส่งออกมาทางขา TxD โดยส่ง Start Bit ออกมาก่อนตามด้วยข้อมูล 8 บิตและจบด้วย Stop Bit เมื่อข้อมูลถูกส่งออกไปหมดแล้ว บิต Interrupt Flag (TI) จะเป็น "1" ดังนั้นในการเขียนข้อมูลใหม่ลงไป จะต้องทำการตรวจสอบบิตนี้

ในการรับข้อมูลจะเริ่มจากมีการเปลี่ยนแปลงลอจิกจาก 1 เป็น 0 ทางขา RxD หมายความว่าเริ่มรับบิตเริ่มต้น จากนั้นข้อมูลอีก 8 บิตจะถูกเก็บลงใน SBUF และ Stop Bit จะถูกเก็บในบิต RB8 ของรีจีสเตอร์ SCON เมื่อรับข้อมูลเข้ามาครบแล้วบิต Interrupt Flag (TI) จะถูก Set ดังนั้นในการอ่านข้อมูลจะอ่านเมื่อบิต RI ถูก Set แล้ว เมื่ออ่านข้อมูลไปแล้ว จะต้อง Clear บิตนี้

4.7.3 9 - Bit UART with Fixed Baud Rate (Mode 2)

การทำงานในโหมดนี้ไม่สามารถกำหนดค่า Baud Rate ได้ ซึ่งค่า Baud Rate จะมี 2 ค่าคือ 1/64 และ 1/32 ของสัญญาณนาฬิกาบนชิพ การรับส่งข้อมูลจะเป็นชุดข้อมูล 9 บิตประกอบด้วยบิตเริ่มต้น บิตหยุดรวมเป็น 11 บิต โดยข้อมูล 9 บิตจะเป็นจำนวนข้อมูล 8 บิต และบิตที่โปรแกรมได้อีก 1 บิต โดยบิตนี้จะเป็นบิตที่ 9 ซึ่งจะใช้ Parity Bit ในการรับส่งข้อมูลต้องเขียนไปที่บิต TB8 ในรีจีสเตอร์ SCON สำหรับการรับข้อมูลบิตที่ 9 จะถูกเก็บในบิต RB8

4.7.4 9 - Bit UART with Variable Baud Rate (Mode 3)

การทำงานในโหมดนี้จะคล้ายกับโหมด 2 แต่สามารถกำหนดค่า Baud Rate ได้ โดยการทำการโปรแกรมไปที่ Timer 1 หลังจากโปรแกรมแล้ว ยังสามารถเลือกค่าได้อีก 2 ค่าคือ ค่าความถี่การ Overflow ของ Timer 1 หารด้วย 16 และ หารด้วย 32

4.8 การกำหนดค่าเริ่มต้นให้รีจีสเตอร์ในการรับส่งข้อมูล

การรับข้อมูล ถ้าให้ MCS-51 รับข้อมูลทางพอร์ตอนุกรม จะต้องทำการโปรแกรมไปที่บิต Receiver Enable (REN) ในรีจีสเตอร์ SCON ให้เป็นลอจิก "1" ซึ่งอาจทำได้สองวิธีดังนี้

```
SET     REN
```

เป็นการ Set บิต REN ให้เป็น "1" หรืออาจทำโดยใช้คำสั่ง

```
MOV     SCON,#xxx1xxxxB
```

ซึ่งเป็นการย้ายข้อมูลที่ทำให้บิต REN เป็น 1 สำหรับค่า x หมายความว่าเป็นอะไรก็ได้ขึ้นกับการใช้งานในโหมดต่างๆ

ข้อมูลแบบ 9 บิตในการรับส่งข้อมูลที่มีบิตข้อมูลแบบ 9 บิต ได้แก่ การใช้งานในโหมด 2 และโหมด 3 การส่งข้อมูลบิตที่ 9 จะถูกเขียนในบิต TB8 โดยการเขียนโปรแกรมสำหรับรับข้อมูลเมื่อข้อมูลเข้ามาถึงบิตที่ 9 จะถูกเขียนลงในบิต RB8

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การเพิ่มบิต Parity การส่งข้อมูลแบบ 9 บิตสามารถใช้บิตที่ 9 เป็นบิต Parity ได้ ซึ่งที่บิต Parity จะอยู่ใน Program Status Word (PSW) โดยจะถูก Set หรือ Clear ในทุกๆ Machine Cycle ที่เกี่ยวข้องกับ Accumulator เช่น ถ้าจะทำการส่งข้อมูลแบบ 8 บิต ตามด้วย บิต Even Parity เป็นบิตที่ 9 สามารถเขียนโปรแกรมได้ดังนี้

```
MOV   C,P          ; อ่านค่าจากบิต P มาเก็บในบิต C
MOV   TB8,C        ; นำค่าบิต Parity เขียนลงใน TB8
MOV   SBUF,A       ; ส่งข้อมูลไปทางพอร์ตอนุกรม
```

ถ้าเป็นแบบ Odd Parity ให้ทำการแก้ไขข้อมูลที่อ่านได้จากบิต Parity เสียก่อนที่จะส่งออกไป ซึ่งเขียนโปรแกรมได้ดังนี้

```
MOV   C,P          ; อ่านค่าบิต P มาเก็บใน C
CPL   C            ; กลับค่าให้เป็น Odd Parity
MOV   TB8,C        ; เขียนค่าลงใน TB8
MOV   SBUF,A       ; ส่งข้อมูลไปพอร์ตอนุกรม
```

การส่งข้อมูลแบบมี Parity Bit ด้วยไม่ใช่จะส่งได้แบบบิตหรือโหมด 2 และโหมด 3 เท่านั้น ในโหมด 1 ก็สามารถทำได้อย่างเช่น การส่ง รหัส ASCII จะใช้บิตข้อมูล 7 บิต สำหรับบิตที่เหลืออีกหนึ่งบิตจะเป็นบิต Parity รวมเป็น 8 บิต ซึ่ง สามารถเขียนโปรแกรมได้ดังนี้

```
CLR   ACC.7        ; เคลียร์ค่าบิต 7 เพื่อใช้เป็น Parity Bit
MOV   C,P          ; อ่านค่าบิต P มาเก็บใน C
MOV   ACC.7,C      ; เขียนค่าบิต Parity ลงในรีจิสเตอร์ A
MOV   SBUF,A       ; ส่งข้อมูลไปพอร์ตอนุกรม
```

แฟลกอินเตอร์รัพท์ เมื่อมีการรับส่งข้อมูลเสร็จ จะมีผลต่อแฟลกอินเตอร์รัพท์ (RIและTI) ในรีจีสเตอร์ SCON ซึ่งบิตเหล่านี้ จะถูก Set โดย Hardware แต่ต้อง Clear ด้วย Software

บิต RI ถ้าถูก Set หมายความว่าบัฟเฟอร์ใช้รับข้อมูลเต็มให้อ่านไปได้แล้วและบิตนี้สามารถใช้อินเตอร์รัพท์ MCS-51 ได้ แต่ถ้าเขียนโปรแกรม จะใช้วิธีตรวจเช็คบิตนี้ ถ้าเป็น "1" หมายความว่าให้อ่านข้อมูลมาเก็บในรีจีสเตอร์ A ได้แต่ก่อนอ่านจะต้อง Clear RI เสียก่อน เพื่อจะได้รับข้อมูลถัดไป ซึ่งเขียนโปรแกรมได้ดังนี้

```
WAIT:   JNB   RI,WAIT      ; ถ้าบิตนี้ไม่เป็น "1" จะทำงานอยู่ที่เดิม
        CLR   RI           ; เคลียร์ RI
        MOV   A,SBUF       ; อ่านค่ามาเก็บใน A
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บิต TI เมื่อส่งข้อมูลออกไปแล้ว บิตนี้จะถูก Set เป็นการบอกว่าบัฟเฟอร์ส่งข้อมูลว่างแล้ว ให้ส่งข้อมูลเข้าไปได้ ซึ่งสามารถใช้บิตนี้อินเตอร์รัพท์ MCS - 51 ได้เช่นกัน แต่ถ้าเขียนโปรแกรมคอยตรวจเช็คอาจเขียนได้ดังนี้

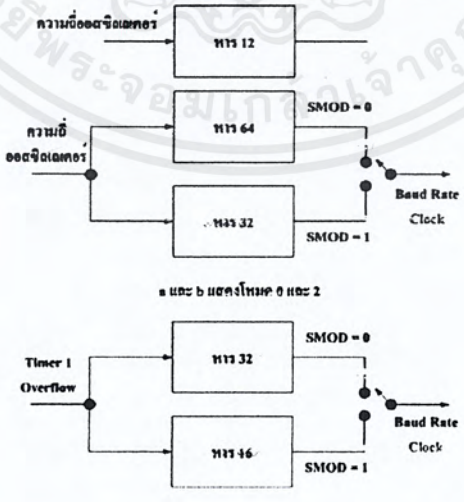
```
WAIT:   JNB   TI,WAIT      ; ตรวจบิต TI ว่าเป็น "1" หรือยัง
        CLR   TI           ; เคลียร์ TI
        MOV   SBUF,A       ; เขียนข้อมูลลงไป
```

4.9 อัตราการส่งข้อมูลทางพอร์ตอนุกรม

จากการศึกษาการรับส่งข้อมูลในโหมดต่างๆพบว่าในโหมด 0 และ โหมด 2 ไม่สามารถกำหนด Baud Rate เองได้ โดยในโหมด 0 ค่า Baud Rate จะมีค่าเท่ากับความถี่ของ Oscillator หารด้วย 12 ในโหมด 1 จะมีสองค่าคือ ความถี่ Oscillator หารด้วย 32 และหารด้วย 64 สองค่านี้เรียกว่า SMOD0 และ SMOD1 ซึ่งสามารถกำหนดได้ในรีจีสเตอร์ PCON บิตที่ 7 ในรีจีสเตอร์ PCON นี้ไม่สามารถเข้าถึงข้อมูลในระดับบิตได้ การเขียนข้อมูลลงไปทีละบิต จะต้องใช้วิธีที่เรียกว่า "Read - Modify - Write" คืออ่านค่าขึ้นมาแก้ไขแล้วเขียนลงไปใหม่ตัวอย่างเช่น

```
        MOV   A,PCON       ; อ่านค่าจาก PCON มาเก็บในรีจีสเตอร์ A
        SETB  ACC.7        ; เซตบิต 7 (SMOD)
        MOV   PCON,A       ; เขียนค่าลงไปใหม่ใน PCON
```

สำหรับโหมด 1และ โหมด 3 สามารถกำหนดค่า Baud Rate ได้ โดยทำการโปรแกรมลงใน Timer 1 ในการโปรแกรมแต่ละครั้งจะมี SMOD สองค่าเช่นกัน ค่าของ Baud Rate ของโหมดต่างๆ แสดงได้ดังภาพที่ 4.14



ภาพที่ 4.14 การกำหนด Baud Rate ในโหมดต่างๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การใช้ Timer 1 กำหนด Baud Rate Clock

การกำหนดค่าลงใน Timer 1 ทำได้โดยการโปรแกรมไปที่ TMOD ให้ทำงานแบบ 8 Bit Auto Reload Mode (Mode 2) โดยเขียนค่าไปที่ TH1 ซึ่งโปรแกรมที่รีจีสเตอร์ TMOD ได้ดังนี้

MOD TMOD,#0010xxxxB

ค่า x หมายความว่าเป็นอะไรก็ได้ เพราะบิตเหล่านี้ใช้ใน Timer 0

ถ้าต้องการ Baud Rate ต่ำๆสามารถใช้ 16 - Bit Mode ได้โดยทำการโปรแกรมเป็น TMOD = 0001xxxxB ค่า Baud Rate ที่ส่งออกมาจะมีค่าเท่ากับความถี่ของ Timer 1 ที่เกิด Overflow หารด้วย 32 (หรือหารด้วย16 ถ้าเป็น SMOD = 1)

รูปแบบทั่วไปของการหาค่า Baud Rate ในโหมด 1 และ โหมด 3 สามารถหาได้ดังนี้

BAUD RATE = TIMER 1 OVERFLOW RATE/32

ถ้าต้องการ Baud Rate เท่ากับ 1200 สามารถที่จะคำนวณค่าความถี่ Overflow ของ Timer 1 ได้ดังนี้

1200 = Timer 1 Overflow Rate/32

จะได้ Timer 1 Overflow Rate เท่ากับ 38.4 KHz

ถ้าระบบ MCS-51 ใช้ความถี่สัญญาณนาฬิกาจาก Crystal เท่ากับ 12 MHz Timer 1 จะได้รับ Clock เท่ากับ 1 MHz หรือ 1000 KHz ถ้าเราต้องการ Timer 1 Overflow เท่ากับ 38.4 KHz ดังนั้นค่าอัตรา Overflow มีค่าเท่ากับ 1000/38.4 = 26.04 Clock โดยค่า Overflow จะเกิดขึ้นเมื่อเกิดการเปลี่ยนจาก FFH เป็น 00H ดังนั้นจะต้องทำให้ Timer 1 นับไป 26 Count ดังนั้นค่าที่จะให้รีจีสเตอร์ TH1 มีค่าเท่ากับ -26 ซึ่งใช้เป็นค่า Reload ดังนั้นเขียนคำสั่งได้ดังนี้

MOV TH1,# -26

ตัวโปรแกรมแอสแซมเบอร์ทั่วไปจะแปลงค่า –26 เป็น OE6H เอง โดยจากที่ผ่านมาจะเห็นว่าความถี่ Baud Rate จะมีความสัมพันธ์กับค่าสัญญาณนาฬิกาที่ใช้จาก Crystal ในตารางที่ 4.7 จะเป็นค่าที่ต้องกำหนดในTimer 1 เมื่อต้องการค่า Baud Rate ต่างๆ

ตารางที่ 4.7 ความถี่สัญญาณนาฬิกาที่ใช้กำหนด Baud Rate ค่าต่างๆ

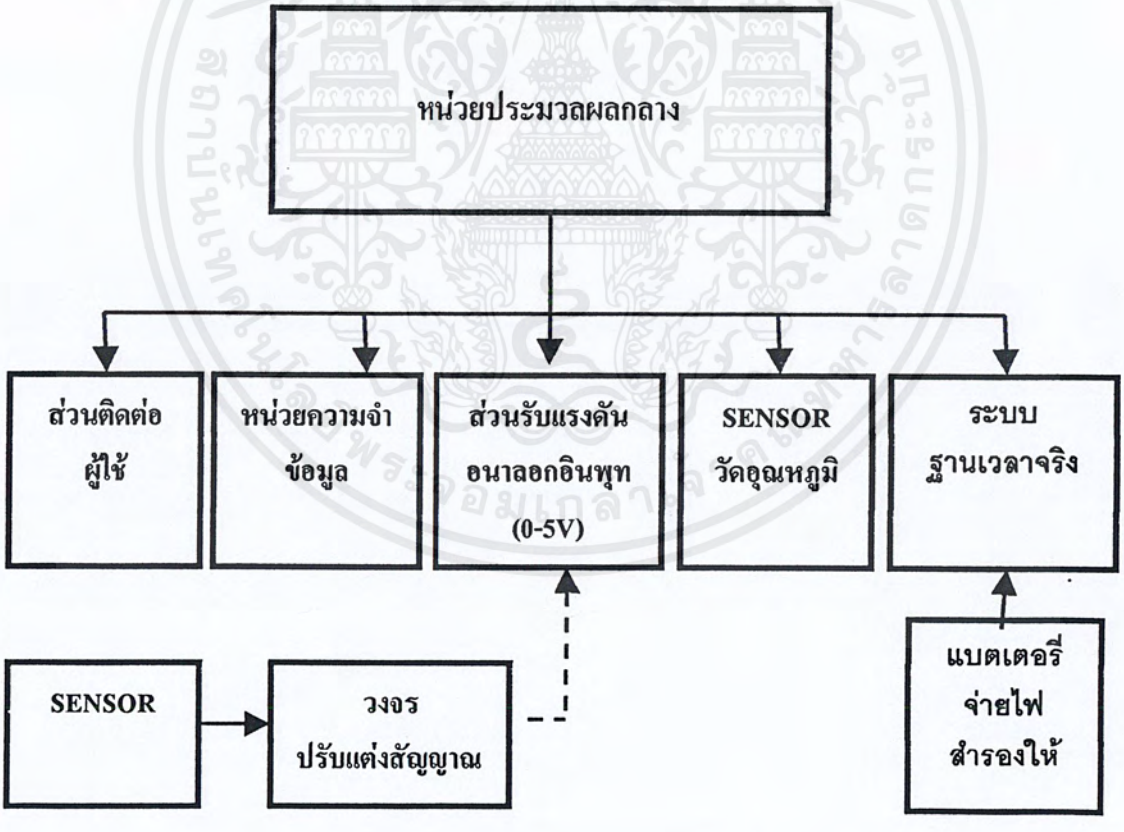
ค่า Baud Rate	Crystal	SMOD โหมด	ค่าใน TH1	ค่าBaud Rate ที่ได้	ผิดพลาด
9600	12.000	1	-7(F9H)	8923	7%
2400	12.000	0	-13(F3H)	2402	0.16%
1200	12.000	0	-16(E6H)	1202	0.16%
19200	11.059	1	-3(FDH)	19200	0
9600	11.059	0	-3(FDH)	9600	0

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
การออกแบบฮาร์ดแวร์

ในการออกแบบวงจรของโครงงานโดยรวมนั้น จะเป็นไปตามโครงสร้างของการทำงานแสดงดังรูปที่ 5.1 ซึ่งมีหลักการทำงานดังนี้

- ตัวควบคุมและประมวลผลส่วนกลางจะทำหน้าที่ในการควบคุมการทำงานของอุปกรณ์ในส่วนต่างๆอันได้แก่ หน่วยความจำข้อมูล , ส่วนรับแรงดันอนาลอกอินพุท (0-5 โวลต์) ,เซนเซอร์วัดอุณหภูมิและระบบฐานเวลาจริง
- เมื่อเริ่มทำงานตัวควบคุมและประมวลผลกลาง จะอ่านค่าอุณหภูมิจากเซนเซอร์วัดอุณหภูมิและค่าสัญญาณอนาลอกอินพุทจากส่วนรับแรงดันอนาลอกอินพุท (0-5 โวลต์) จากนั้นจะแปลงข้อมูลให้อยู่ในรูปแบบที่เหมาะสมแล้วเก็บข้อมูลนั้นไว้ในหน่วยความจำข้อมูลอัตราการเก็บข้อมูลจะอิงเวลาจากระบบฐานเวลาจริง เพื่อให้ได้เวลาที่แน่นอนและตรงกับความเป็นจริง



ภาพที่ 5.1 โครงสร้างของบอร์ด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.1 หน่วยการทำงานต่างๆของอุปกรณ์

สามารถแสดงการทำงานในส่วนต่างๆดังรายละเอียดดังนี้

5.1.1 หน่วยประมวลผลกลาง

ใช้ไมโครคอนโทรลเลอร์เบอร์ AT89S8252 เป็นหน่วยประมวลผลกลาง ซึ่งทำงานด้วยความถี่ 18.345 เมกกะเฮิรตซ์ คอยควบคุมอุปกรณ์ในหน่วยต่างๆผ่านทางบัสข้อมูลอนุกรม

5.1.2 ส่วนตรวจรับแรงดันอนาลอกอินพุท (0-5V)

ตัวแปลงสัญญาณอนาลอกไปเป็นสัญญาณดิจิตอล(Analog to Digital Converter : ADC) ใช้เบอร์ LTC1298 มีค่าความละเอียดในการวัด 12 บิต สื่อสารข้อมูลโดยใช้สายสัญญาณ 3 เส้น โดยใช้สาย DI ร่วมกับ DO สามารถวัดสัญญาณแบบขั้วเดียว (Single End) ได้ 2 ช่องสัญญาณ การสื่อสารข้อมูลจะใช้แบบ I^2C บัส

5.1.3 SENSOR วัดอุณหภูมิ

ใช้เซนเซอร์วัดอุณหภูมิเบอร์ DS1620 ซึ่งจะสามารถทำการวัดอุณหภูมิได้ตั้งแต่ –55 องศาเซลเซียสจนถึง +125 องศาเซลเซียส มีความละเอียด 0.5 องศาเซลเซียส โดยจะแปลค่าอุณหภูมิที่วัดได้ เป็นข้อมูลดิจิตอลขนาด 9 บิต ทำการสื่อสารข้อมูลผ่านการติดต่อแบบอนุกรม โดยใช้สายสัญญาณ 3 เส้น ซึ่งจากวงจรสมบูรณ์ใช้งานจริงของโครงงาน จะพบว่า จะใช้การติดต่อในรูปแบบ I^2C บัส

5.1.4 ระบบฐานเวลาจริง

ใช้ตัวสร้างสัญญาณนาฬิกาแบบเรียลไทม์ (Real Time Clock : RTC) เบอร์ DS1307 ที่มีหน้าที่สร้างฐานเวลา (โดยใช้คริสตอล 32.768 กิโลเฮิรตซ์ในการสร้าง) ภายในยังมีหน่วยความจำ RAM ไว้ใช้งานได้อีก 56 ไบต์ ซึ่งในการทำงานเป็นที่เก็บค่าคอนฟิกต่างๆของบอร์ด การสื่อสารจะใช้เป็นแบบ I^2C บัส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.1.5 หน่วยความจำข้อมูล

ได้ออกแบบให้ใช้หน่วยความจำเก็บข้อมูลถาวร (Eeprom Memory Unit) เบอร์ 24C256 ขนาด 32 กิโลไบต์ มีการกำหนดให้มีการติดต่อสื่อสารกันระหว่าง Eeprom กับ CPU ผ่านบัส I^2C จากวงจรสมบูรณ์ของโครงงานเราจะกำหนดตำแหน่งของ EEPROM นี้ให้อยู่ที่ตำแหน่ง 0A0h โดยกำหนดให้ที่ขา A2,A1,A0 ลงกราวนด์ทั้งหมด

5.1.6 ส่วนติดต่อกับผู้ใช้

ส่วนที่1 กระทำผ่านพอร์ตอนุกรม RS-232 ที่ใช้สำหรับติดต่อกับคอมพิวเตอร์ โดยที่ผู้ใช้สามารถสั่งงานผ่านคีย์บอร์ดคอมพิวเตอร์และเรียกดูข้อมูลต่างๆได้ทางหน้าจอโดยใช้โปรแกรมเทอร์มินอลทั่วไปหรือผ่านทางหน้าจอ User interface

ส่วนที่ 2 ใช้เมื่ออยู่ในบริเวณที่ไม่สามารถทำการสั่งงานติดต่อกับคอมพิวเตอร์ได้ ซึ่งในที่นี้ SW – START จะทำหน้าที่ในการทำงานในสภาวะ Stand-alone โดย LED Display จะกระพริบทุกครั้งที่มีการเก็บข้อมูล

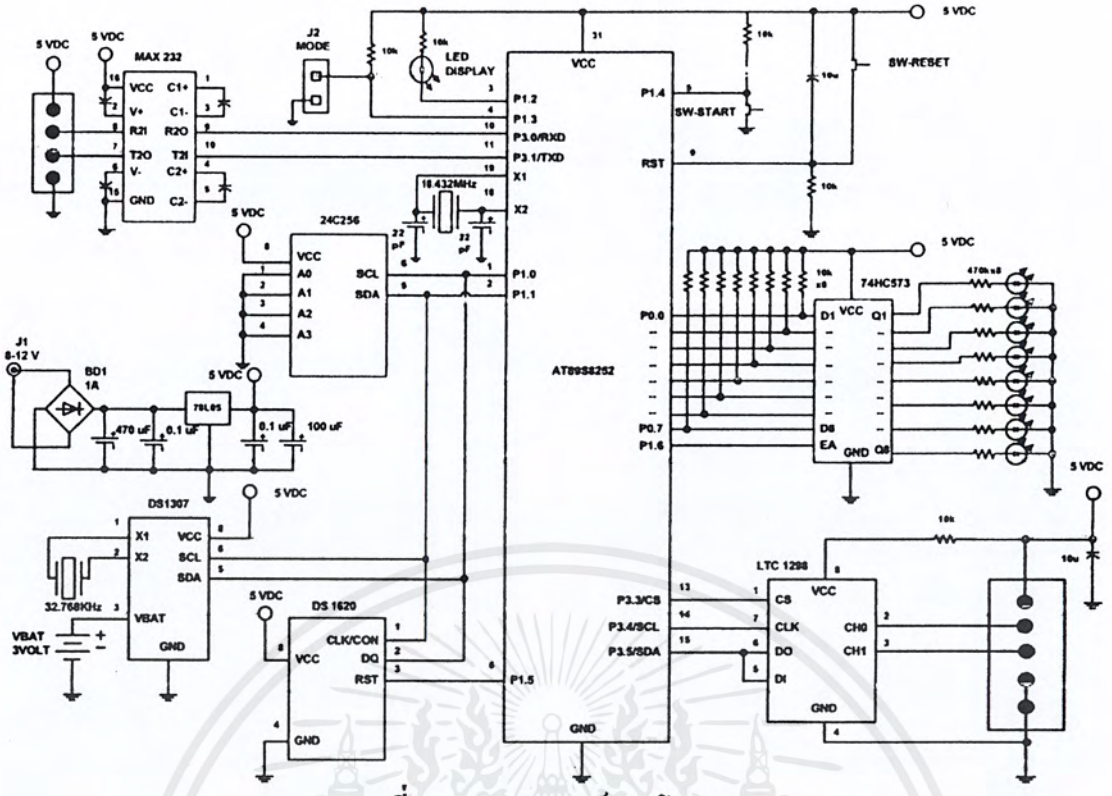
นอกจากนี้ยังพบว่าในส่วนของวงจรขับ LED 8 ตัวนั้น ในส่วนนี้จะมีการแสดงผลไฟวิ่งไปกลับทุกครั้งๆละ 2 รอบในทุกครั้งที่จะเริ่มมีการบันทึกค่าข้อมูล

5.1.7 แหล่งจ่ายไฟ

มีอยู่ 2 ส่วนคือ

- **ไฟเลี้ยงสำหรับวงจรใช้แหล่งจ่ายไฟฟ้ากระแสตรง** DC 8-12 โวลต์ ต่อเข้าที่แจ็ค J1 ภายในบอร์ดจะมีไดโอดเรกติไฟร์ช่วยป้องกันการต่อไฟเลี้ยงผิดขั้ว นอกจากนี้ยังมีไอซีเรกูเลเตอร์เบอร์ 78L05 รักษาระดับแรงดันไฟเลี้ยง 5 โวลต์ไว้จ่ายให้กับวงจรทั้งหมด
- **ไฟสำรองจ่ายให้กับวงจร RTC** เนื่องจากวงจร RTC จำเป็นต้องทำงานอยู่ตลอดเวลาเพื่อจะรักษาค่าเวลาให้ถูกต้องจึงจำเป็นต้องมีไฟเลี้ยงสำรองจ่ายให้กับวงจร RTC ในขณะที่ไม่มีไฟเลี้ยงตามปกติ (ภาวะไม่ได้ใช้งานหรือไฟฟ้าขัดข้อง) โดยใช้แบตเตอรี่ลิเธียม-ไอออนขนาดแรงดัน 3 โวลต์ต่อไว้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ภาพที่5.2 วงจรสมบูรณ์ของโครงงาน

5.2 คุณสมบัติของโครงงาน THERMOMETER & DATA LOGGER

แหล่งจ่ายพลังงาน Input 220 VAC. Output 5 VDC 850 mA

ไมโครคอนโทรลเลอร์ AT89S8252 ทำงานที่ความถี่ 18.432 MHz

ช่วงการวัดอุณหภูมิ -16.0 ถึง +111.5 องศาเซลเซียส ความละเอียด 0.5 องศาเซลเซียส

ช่วงการวัดสัญญาณ 0 ถึง –5 โวลต์ ความละเอียด 12 บิต

จำนวนช่องวัดสัญญาณ 2 ช่อง

โหมดการทำงาน

- **Remote Control Mode**
- **Stand-alone Mode**

หน่วยความจำข้อมูล เก็บข้อมูลได้ต่อเนื่องสูงสุด 8,192 ชุดข้อมูล (ชุดข้อมูลละ 4 ไบต์) เก็บได้เป็น 4 Record ขนาดRecordละ 2,048 ชุดข้อมูล

การสื่อสารข้อมูล สื่อสารข้อมูลทางพอร์ต RS-232 ด้วยอัตราเร็ว 9,600 บิตต่อวินาที ใช้เวลาดาวน์โหลดข้อมูลประมาณ 16 วินาทีต่อ 1 Record

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กระบวนการทำงาน

- **SETTING** สามารถตั้งค่าเริ่มต้นในการทำงานได้ดังนี้
  - RECORD เป็นการเลือกตำแหน่งชุดข้อมูลเริ่มต้น ที่ต้องทำการวัดหรือบันทึกข้อมูล (1-4)
  - NUM OF RECORD การระบุจำนวนชุดข้อมูล ที่ต้องการทำการวัดหรือบันทึกข้อมูล (1-4)
  - PERIOD เลือกอัตราการวัดหรือบันทึกข้อมูล (1-255 วินาทีต่อครั้ง) มีอัตราการวัดสูงสุดประมาณ 28 ครั้งต่อวินาที (เลือกที่ 000)
  - CLOCK ปรับเวลาให้ตรงกับเวลาปัจจุบันที่วัดหรือบันทึกข้อมูลอยู่ (hour/minute/second)
  - DATE ปรับวันที่ให้ตรงกับเวลาปัจจุบันที่วัดหรือบันทึกข้อมูลอยู่ (Date/Month/Years)
- **VIEW_SETTING** เรียกดูค่าต่างๆที่การตั้งไว้
- **MEASURE_TEST** วัดและแสดงผลข้อมูลผ่านหน้าจอคอมพิวเตอร์ โดยยังไม่มีการบันทึกลงหน่วยความจำข้อมูล
- **LOGGER_DATA** วัดและบันทึกข้อมูลลงในหน่วยความจำข้อมูล ตามตำแหน่งชุดข้อมูลเริ่มต้น, จำนวนของชุดข้อมูลที่ต้องการ, และคาบเวลาที่กำหนดในรูปแบบการทำงานในสภาวะ Stand-alone จะเป็นการเข้าสู่กระบวนการนี้ในทันทีเมื่อมีการกด SW-START
- **DOWNLOAD** เรียกดูข้อมูลที่บันทึกไว้มาทำการวิเคราะห์ต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 6
การออกแบบซอฟท์แวร์

หลังจากที่ได้สร้างฮาร์ดแวร์ของโครงงานเสร็จเรียบร้อยแล้ว ยังไม่สามารถนำโครงงานไปใช้งานได้ทันที จำเป็นที่ต้องมีการเขียนโปรแกรมควบคุมให้กับตัวไมโครคอนโทรลเลอร์ในหน่วยประมวลผลกลาง เพื่อกำหนดหน้าที่และลำดับการทำงานของโครงงานโดยพิจารณาตามลำดับดังนี้

6.1 คำนึงถึงจุดมุ่งหมายและความต้องการใช้งาน

ต้องทราบถึงจุดมุ่งหมายและความต้องการใช้งานในกระบวนการต่างๆคือ

6.1.1 ต้องสามารถใช้งานในการวัดค่าอุณหภูมิและสัญญาณได้ในเวลาเดียวกัน

6.1.2 ต้องสามารถบันทึกค่าที่ทำการวัดได้

6.1.3 สามารถใช้งานได้ 2 โหมดการทำงานคือ

- **REMOTE CONTROL MODE**
- **STAND-ALONE MODE**

6.1.4 ต้องมีกระบวนการต่างๆดังนี้

- **SETTING** สามารถตั้งค่าเริ่มต้นในการทำงานได้ดังนี้
  - RECORD เป็นการเลือกตำแหน่งชุดข้อมูลเริ่มต้นที่ต้องการวัดหรือบันทึกข้อมูล (1-4)
  - NUM OF RECORD การระบุจำนวนชุดข้อมูลที่ต้องการวัดหรือบันทึกข้อมูล (1-4)
  - SAMPLING-RATE PERIOD เลือกอัตราการวัดหรือบันทึกข้อมูล (1-255 วินาทีต่อครั้ง) โดยมีอัตราการวัดสูงสุดประมาณ 28 ครั้งต่อวินาที (เลือกที่ 000)
  - CLOCK ปรับเวลาให้ตรงกับเวลาปัจจุบันที่วัดหรือบันทึกข้อมูล (hour/minute/second)
  - DATE ปรับวันที่ให้ตรงกับเวลาปัจจุบันที่วัดหรือบันทึกข้อมูลอยู่(Date/Month/Years)
- **VIEW_SETTING** เรียกดูค่าต่างๆที่การตั้งไว้
- **MEASURE_TEST** วัดและแสดงผลข้อมูลผ่านหน้าจอคอมพิวเตอร์ โดยยังไม่มีการบันทึกลงในหน่วยความจำข้อมูล
- **LOGGER_DATA** วัดและบันทึกข้อมูลลงในหน่วยความจำข้อมูล ตามตำแหน่งชุดข้อมูลเริ่มต้น, จำนวนของชุดข้อมูลที่ต้องการ และคาบเวลาที่ได้กำหนดในรูปแบบการทำงานในสภาวะ Stand-alone จะเข้าสู่กระบวน การนี้ในทันทีเมื่อมีการกด SW-START
- **DOWNLOAD** เรียกดูข้อมูลที่บันทึกไว้มาทำการวิเคราะห์ต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6.2 ทำความความเข้าใจในการจัดสรรหน่วยความจำของข้อมูล

เมื่อพิจารณาความต้องการดังกล่าวข้างต้นแล้ว ต่อมาต้องมาทำความความเข้าใจในการจัดสรรหน่วยความจำของข้อมูล ที่จะทำการบันทึกค่าดังภาพที่ 6.1 และภาพที่ 6.2

	0	1	2	3	4	5	6	7	
38H							NUMREC	RECORD	3FH
30H									37H
28H									2FH
20H	DATE4	MONTH 4	YEAR4	HOUR4	MIN4	SEC4	PER4		27H
18H	DATE3	MONTH 3	YEAR3	HOUR3	MIN3	SEC3	PER3		1FH
10H	DATE2	MONTH 2	YEAR2	HOUR2	MIN2	SEC2	PER2		17H
08H	DATE1	MONTH 1	YEAR1	HOUR1	MIN1	SEC1	PER1		0FH

ภาพที่ 6.1 รูปแบบการเก็บค่าเริ่มต้นในหน่วยความจำ RAM RTC

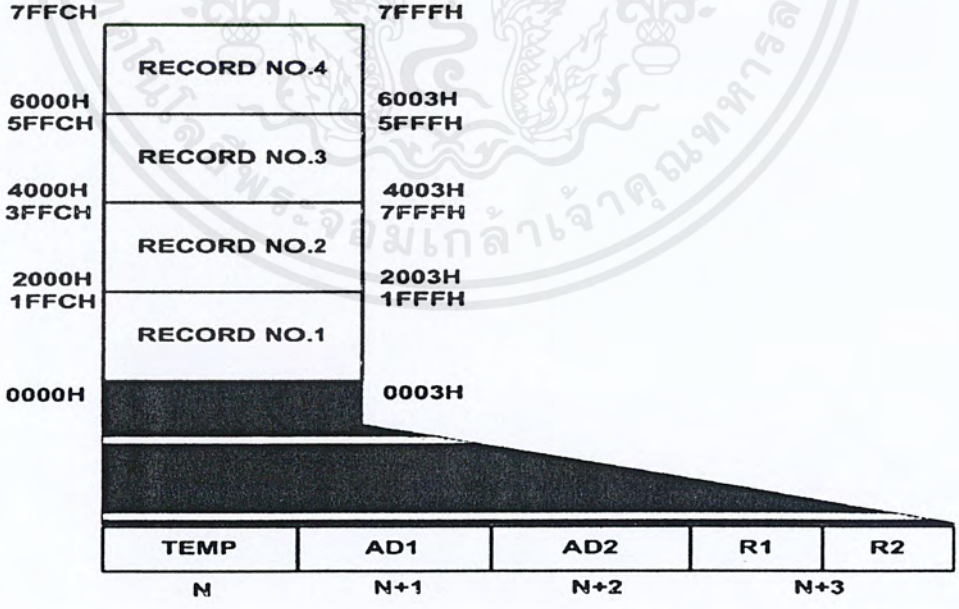
RECORD = ชุดข้อมูลเริ่มต้นที่ต้องการบันทึก

NUMREC = จำนวนชุดข้อมูลที่ต้องการให้มีการบันทึกอย่างต่อเนื่อง

DATEx/MONTHx/YEARx = วันที่เริ่มทำการบันทึกข้อมูลของชุดข้อมูลที่ x

HOURx/MINx/SECx = เวลาที่เริ่มทำการบันทึกข้อมูลของชุดข้อมูลที่ x

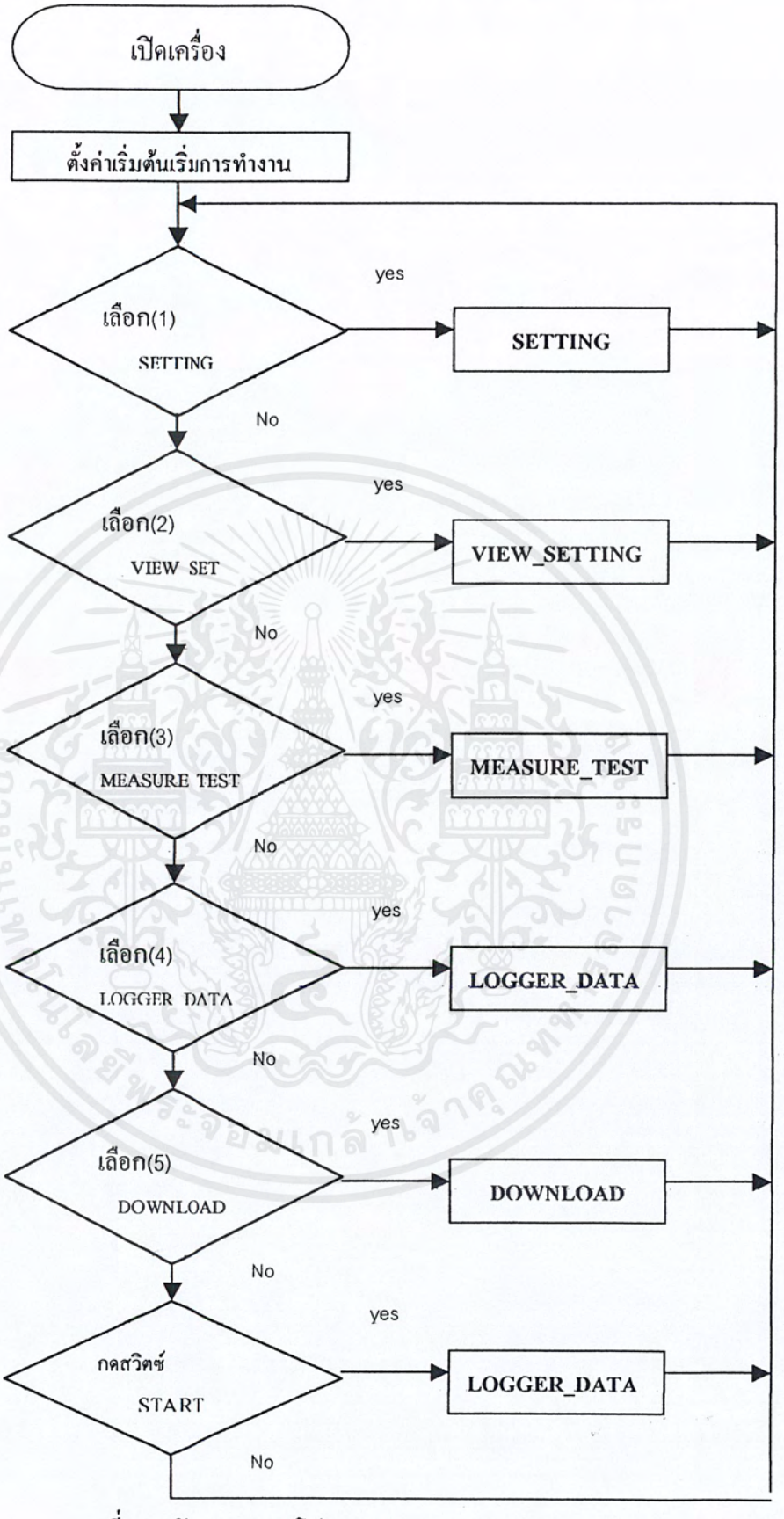
PERx = คาบเวลาในการบันทึกข้อมูลในชุดข้อมูล x



ภาพที่ 6.2 รูปแบบการเก็บค่าเริ่มต้นในหน่วยความจำ EEPROM

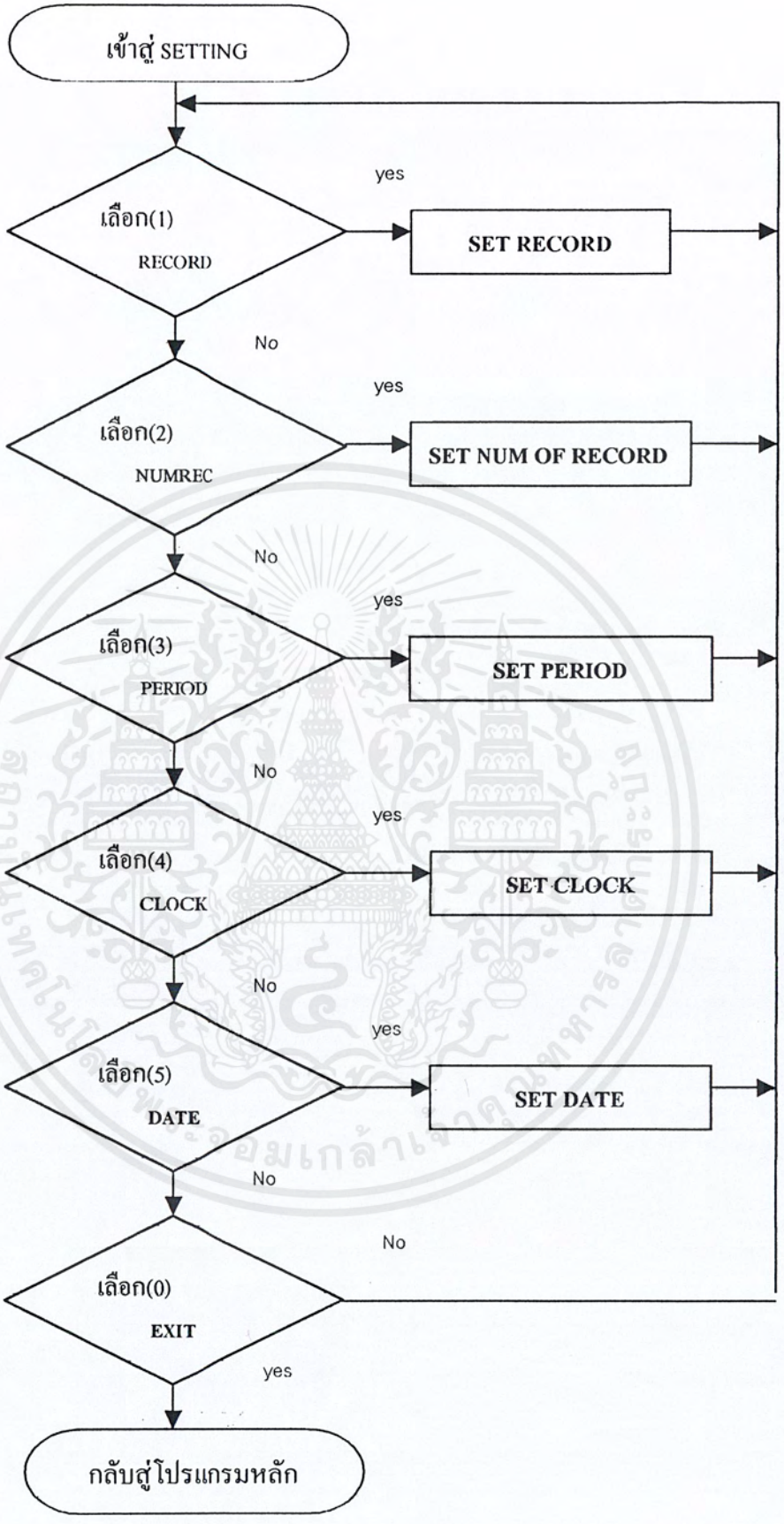
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6.3 จากโครงสร้างโปรแกรมเราสามารถนำมาเขียนผังงานโดยรวม



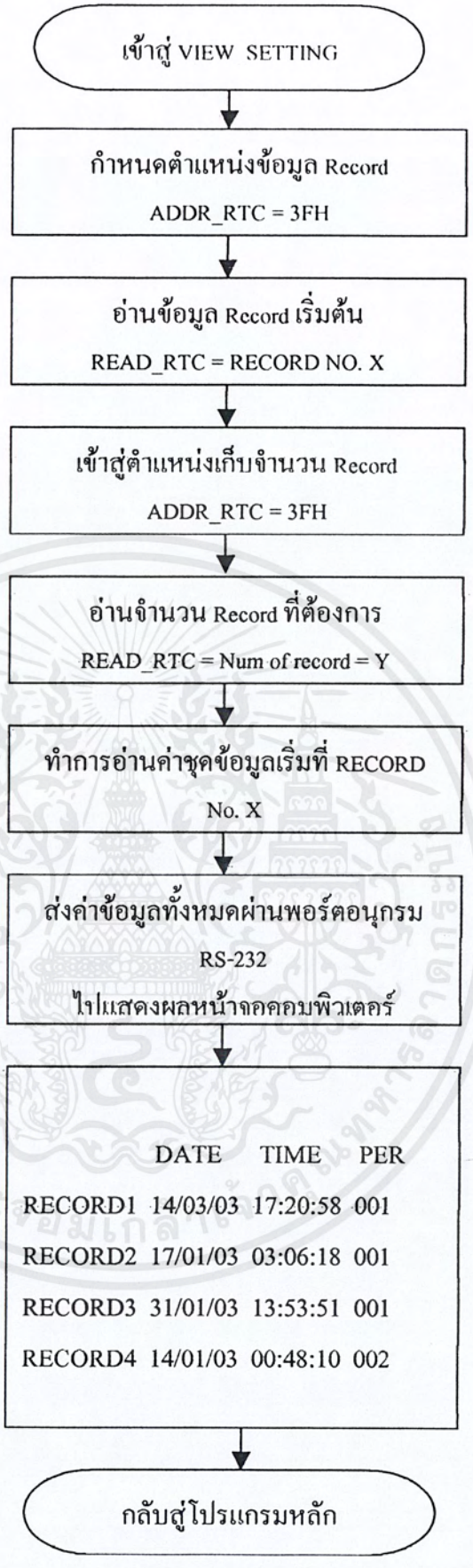
ภาพที่ 6.3 ผังงานแสดงโปรแกรมควบคุมการทำงานหลัก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



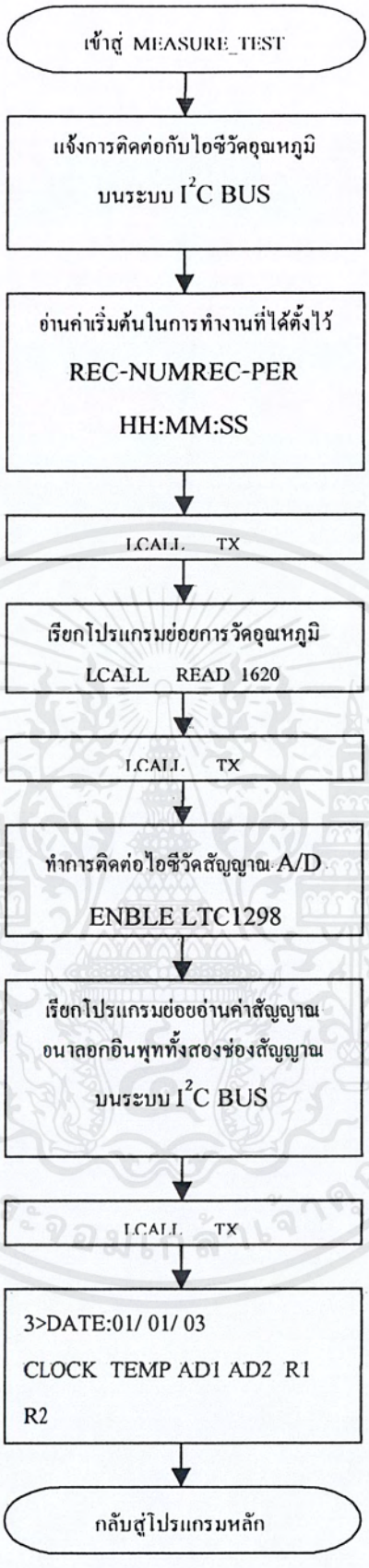
ภาพที่ 6.4 ผังงานแสดงโปรแกรมย่อย SETTING

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



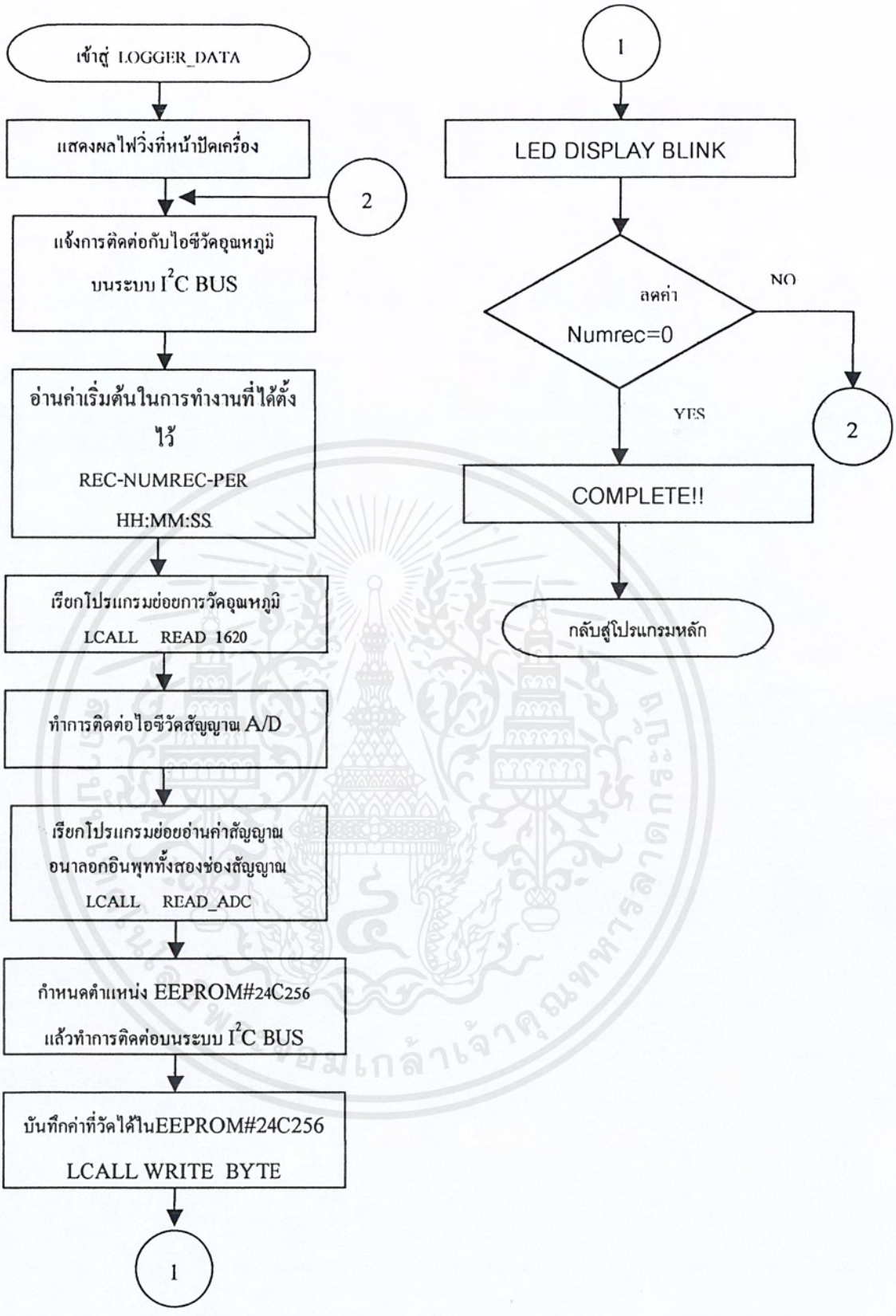
ภาพที่ 6.5 ผังงานแสดงโปรแกรมย่อย VIEW_SETTING

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



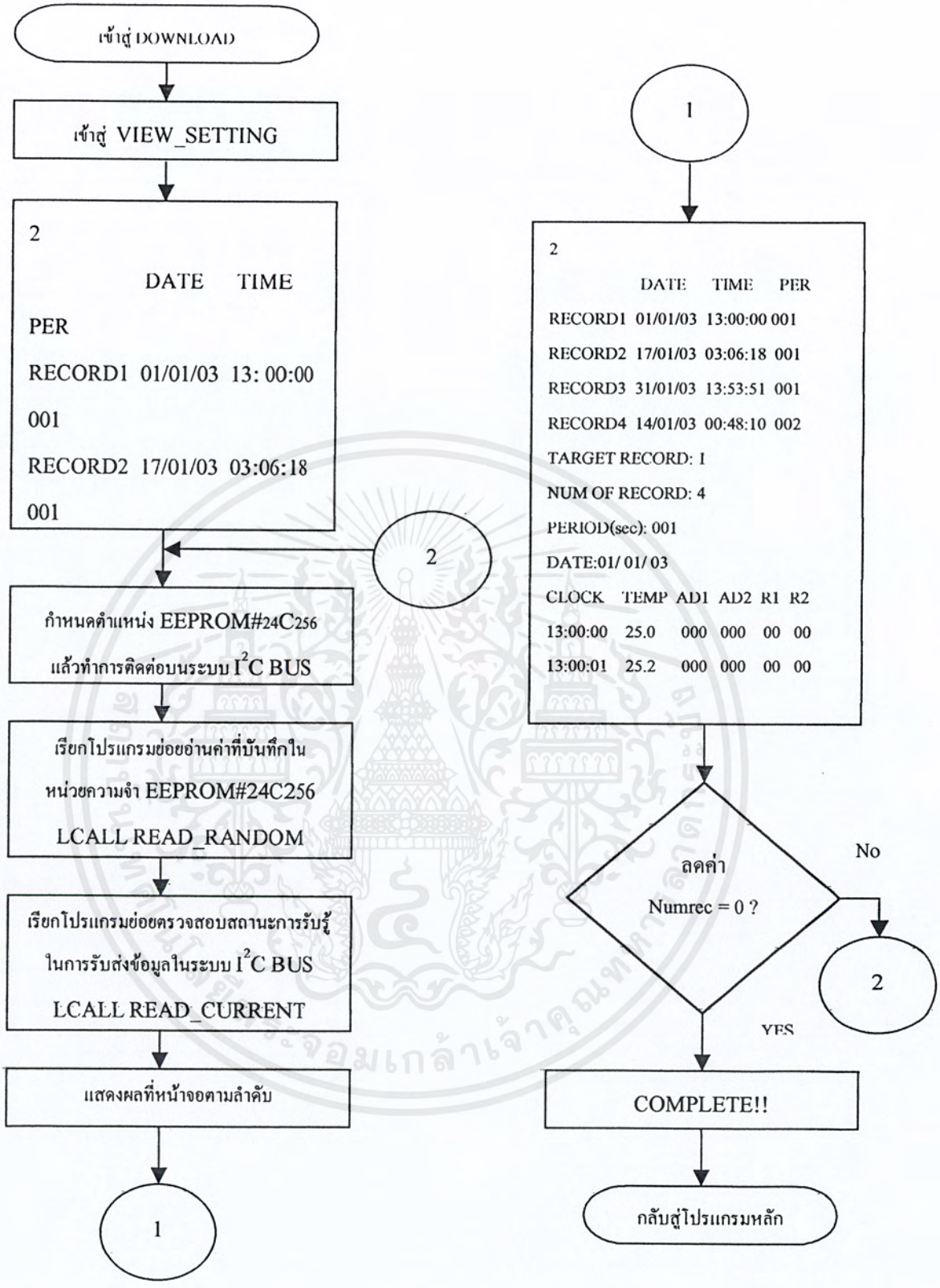
ภาพที่ 6.6 ผังงานแสดงโปรแกรมย่อย MEASURE_TEST

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



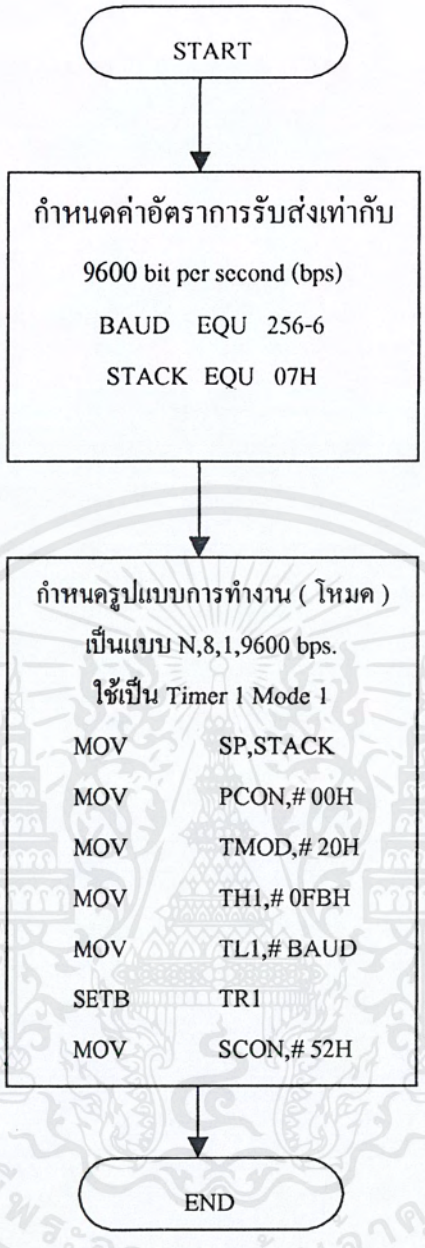
ภาพที่ 6.7 ผังงานแสดงโปรแกรมย่อย LOGGER_DATA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ภาพที่ 6.8 ผังงานแสดงโปรแกรมย่อย DOWNLOAD

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ภาพที่ 6.9 ผังงานแสดงการกำหนดรูปแบบการติดต่อผ่าน RS-232 ในโครงงาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 7

ผลการทดลอง

7.1 ผลการทดลอง

7.1.1 การเก็บข้อมูลที่ได้จากการวัดจะแบ่งการจัดเก็บได้เป็น 4 ชุดข้อมูล (Record) โดยมีขนาดของการเก็บข้อมูลในแต่ละ Record ได้ 2,048 ชุดข้อมูล ดังนั้นหากเราต้องการทำการบันทึกข้อมูลทั้งหมด 4 Record จึงสามารถบันทึกข้อมูลได้ถึง 8,192 ชุดข้อมูล

7.1.2 ระยะเวลาในการบันทึกข้อมูลสามารถเลือกได้จากค่าเริ่มต้นในการทำงาน เช่น

พิจารณาการเลือก Sampling-rate period = 001 (1 วินาทีต่อครั้ง)

Record	Num of Record	Sampling-rate period	Time
1	1	001	34.13 นาที
1	2	001	1 ชั่วโมง 8 นาที 26วินาที
1	3	001	1 ชั่วโมง 42 นาที 4วินาที
1	4	001	2 ชั่วโมง 16 นาที 53วินาที

พิจารณาการเลือก Sampling-rate period = 005 (5 วินาทีต่อครั้ง)

Record	Num of Record	Sampling-rate period	Time
1	1	005	2 ชั่วโมง 50 นาที 24วินาที
1	2	005	5 ชั่วโมง 40 นาที 48วินาที
1	3	005	8 ชั่วโมง 53 นาที 45วินาที
1	4	005	11 ชั่วโมง 22 นาที 40วินาที

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

7.2 สรุปผลการทดลอง

จากการทดลองนำชุดวัดค่าอุณหภูมิและเก็บค่าข้อมูลมาทำการเก็บค่าข้อมูล ถ้าต้องการเก็บข้อมูลตลอด 24 ชั่วโมง เราต้องจะทำการตั้งค่าเริ่มต้นในการทำงานไว้ที่ Record = 1, Num of Record = 4, Sampling-rate period = 012

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 8
สรุปผลการวิจัยและข้อเสนอแนะ

8.1 บทสรุป

ปริญญานิพนธ์นี้มีวัตถุประสงค์ในการศึกษาเพื่อสร้างชุดวัดค่าอุณหภูมิและบันทึกข้อมูล เพื่อนำไปใช้ในการวัดค่าอุณหภูมิและบันทึกข้อมูล เป็นดาต้าล็อกเกอร์ได้พร้อมในเวลาเดียวกัน และเครื่องเดียวกันเพื่อแก้ข้อจำกัดดังกล่าวข้างต้น พร้อมทั้งบันทึกวันเวลาที่เริ่มทำงาน โดยที่ข้อมูลจะถูกเก็บไว้ได้แม้ในขณะเครื่องดับหรือเกิดปัญหาไฟฟ้าขัดข้อง และสามารถกำหนดคาบเวลาในการบันทึกข้อมูลได้ละเอียดถึง 1 วินาที รวมถึงยังสามารถใช้คอมพิวเตอร์ ควบคุมการทำงาน และเรียกดูข้อมูลได้

8.2 ข้อเสนอแนะ

สำหรับแนวทางการพัฒนาต่อไปนั้น ถ้าต้องการวัดอุณหภูมิที่สูงๆ ซึ่งจะจำเป็นมากในงานทางด้านอุตสาหกรรม สามารถทำได้โดยเปลี่ยนอุปกรณ์ที่จะใช้ในการตรวจจับวัดอุณหภูมิหรืออุปกรณ์เซ็นเซอร์นั่นเอง ซึ่งสามารถเปลี่ยนไปใช้เทอร์โมคัปเปิ้ลใน การวัดอุณหภูมิ ซึ่งเทอร์โมคัปเปิ้ลจะสามารถวัดอุณหภูมิในช่วงย่าน –210 องศาเซลเซียส ถึง 1372 องศาเซลเซียส ในเทอร์โมคัปเปิ้ลชนิด K เป็นต้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บรรณานุกรม

1. สุนทร วิทูสุรพจน์, " การใช้งานไมโครคอนโทรลเลอร์ตระกูล 8051 " ,บริษัท ซีเอ็ดยูเคชั่น จำกัด , 2533
2. ธีรวัฒน์ ประกอบผล, " การประยุกต์ใช้งานไมโครคอนโทรลเลอร์ " , สมาคมส่งเสริมเทคโนโลยี (ไทย-ญี่ปุ่น) ,2540
3. กิตติ องค์คุณารักษ์ , " แนะนำแอสแซมบลี ", บริษัท ซีเอ็ดยูเคชั่น จำกัด ,2537
4. ยืน ภู่วรวรรณ, " เทคโนยีฮาร์ดแวร์ไอบีเอ็มพีซี " , บริษัท ซีเอ็ดยูเคชั่น จำกัด ,2533

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Features

- Compatible with MCS-51™ Products
- 8K Bytes of In-System Reprogrammable Downloadable Flash Memory
  - SPI Serial Interface for Program Downloading
  - Endurance: 1,000 Write/Erase Cycles
- 2K Bytes EEPROM
  - Endurance: 100,000 Write/Erase Cycles
- 4V to 6V Operating Range
- Fully Static Operation: 0 Hz to 24 MHz
- Three-level Program Memory Lock
- 256 x 8-bit Internal RAM
- 32 Programmable I/O Lines
- Three 16-bit Timer/Counters
- Nine Interrupt Sources
- Programmable UART Serial Channel
- SPI Serial Interface
- Low-power Idle and Power-down Modes
- Interrupt Recovery From Power-down
- Programmable Watchdog Timer
- Dual Data Pointer
- Power-off Flag

Description

The AT89S8252 is a low-power, high-performance CMOS 8-bit microcomputer with 8K bytes of downloadable Flash programmable and erasable read only memory and 2K bytes of EEPROM. The device is manufactured using Atmel's high-density nonvolatile memory technology and is compatible with the industry-standard 80C51 instruction set and pinout. The on-chip downloadable Flash allows the program memory to be reprogrammed in-system through an SPI serial interface or by a conventional nonvolatile memory programmer. By combining a versatile 8-bit CPU with downloadable Flash on a monolithic chip, the Atmel AT89S8252 is a powerful microcomputer which provides a highly-flexible and cost-effective solution to many embedded control applications.

The AT89S8252 provides the following standard features: 8K bytes of downloadable Flash, 2K bytes of EEPROM, 256 bytes of RAM, 32 I/O lines, programmable watchdog timer, two data pointers, three 16-bit timer/counters, a six-vector two-level interrupt architecture, a full duplex serial port, on-chip oscillator, and clock circuitry. In addition, the AT89S8252 is designed with static logic for operation down to zero frequency and supports two software selectable power saving modes. The Idle Mode stops the CPU while allowing the RAM, timer/counters, serial port, and interrupt system to continue functioning. The Power-down mode saves the RAM contents but freezes the oscillator, disabling all other chip functions until the next interrupt or hardware reset.

The downloadable Flash can be changed a single byte at a time and is accessible through the SPI serial interface. Holding RESET active forces the SPI bus into a serial programming interface and allows the program memory to be written to or read from unless Lock Bit 2 has been activated.

8-bit Microcontroller with 8K Bytes Flash

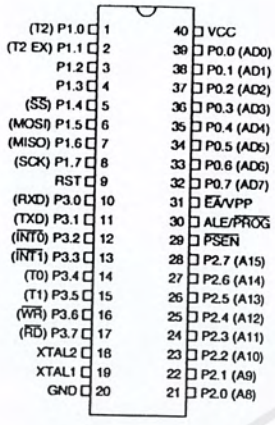
AT89S8252

Rev. 0401E–02/00

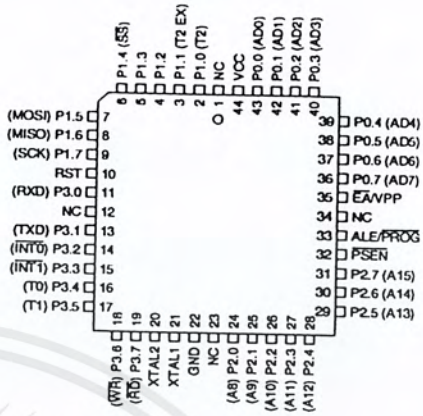
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Pin Configurations

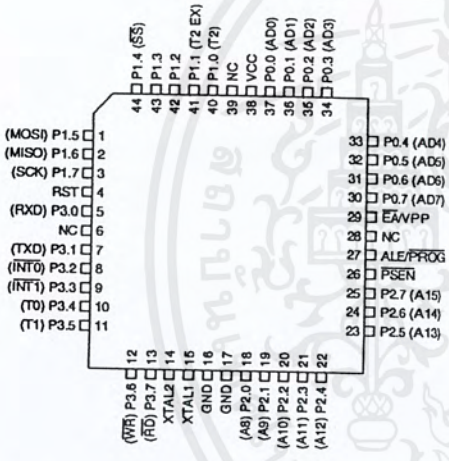
PDIP



PLCC



PQFP/TQFP



Pin Description

VCC

Supply voltage.

GND

Ground.

Port 0

Port 0 is an 8-bit open drain bbi-didirectional I/O port. As an output port, each pin can sink eight TTL inputs. When 1s are written to port 0 pins, the pins can be used as high-impedance inputs.

Port 0 can also be configured to be the multiplexed low-order address/data bus during accesses to external program and data memory. In this mode, P0 has internal pullups.

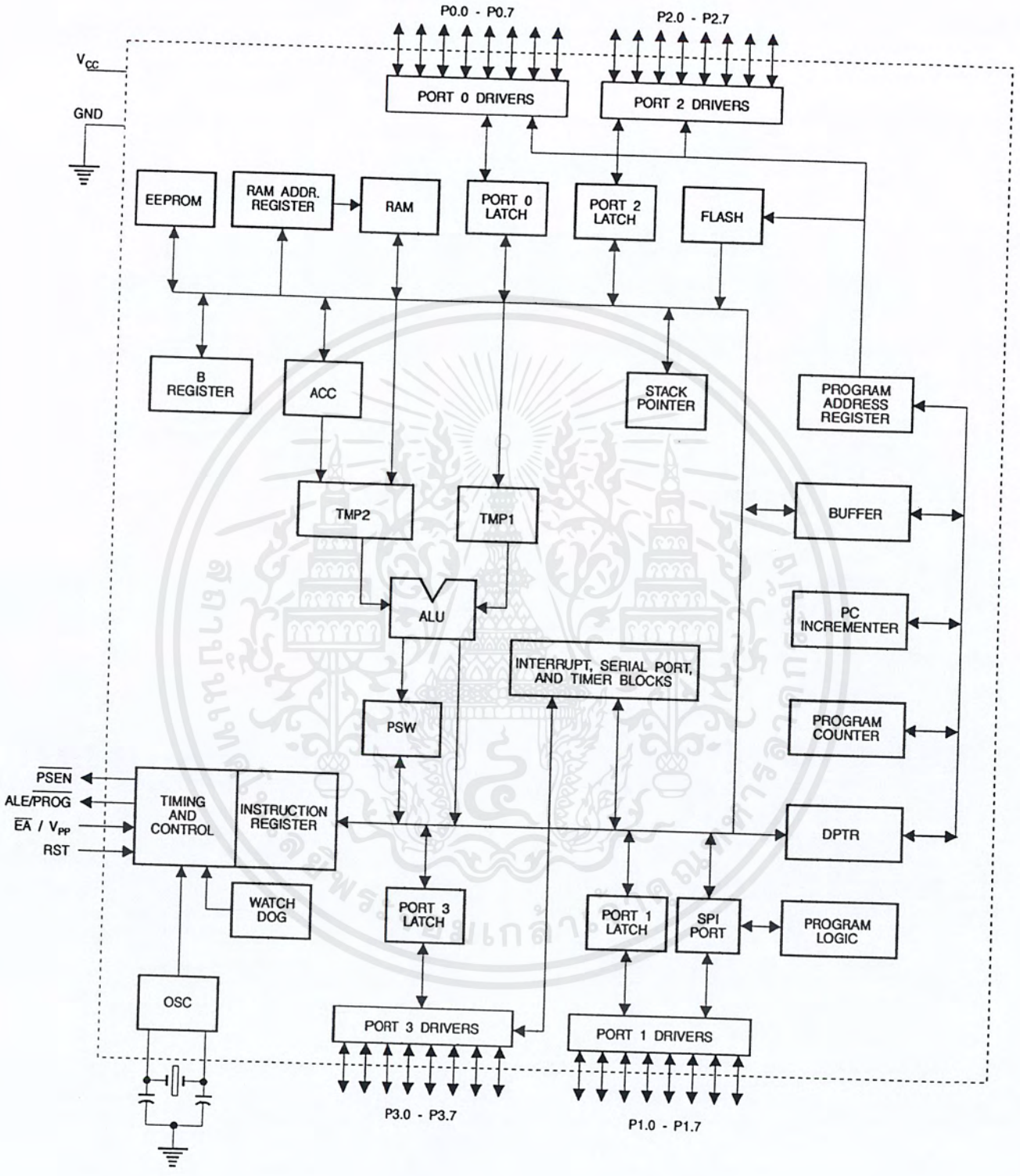
Port 0 also receives the code bytes during Flash programming and outputs the code bytes during program verification. External pullups are required during program verification.

Port 1

Port 1 is an 8-bit bi-directional I/O port with internal pullups. The Port 1 output buffers can sink/source four TTL inputs. When 1s are written to Port 1 pins, they are pulled high by the internal pullups and can be used as inputs. As inputs, Port 1 pins that are externally being pulled low will source current (I_{IL}) because of the internal pullups.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Block Diagram



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Some Port 1 pins provide additional functions. P1.0 and P1.1 can be configured to be the timer/counter 2 external count input (P1.0/T2) and the timer/counter 2 trigger input (P1.1/T2EX), respectively.

Pin Description

Furthermore, P1.4, P1.5, P1.6, and P1.7 can be configured as the SPI slave port select, data input/output and shift clock input/output pins as shown in the following table.

Port Pin	Alternate Functions
P1.0	T2 (external count input to Timer/Counter 2), clock-out
P1.1	T2EX (Timer/Counter 2 capture/reload trigger and direction control)
P1.4	$\overline{SS}$ (Slave port select input)
P1.5	MOSI (Master data output, slave data input pin for SPI channel)
P1.6	MISO (Master data input, slave data output pin for SPI channel)
P1.7	SCK (Master clock output, slave clock input pin for SPI channel)

Port 1 also receives the low-order address bytes during Flash programming and verification.

Port 2

Port 2 is an 8-bit bi-directional I/O port with internal pullups. The Port 2 output buffers can sink/source four TTL inputs. When 1s are written to Port 2 pins, they are pulled high by the internal pullups and can be used as inputs. As inputs, Port 2 pins that are externally being pulled low will source current (I_{IL}) because of the internal pullups.

Port 2 emits the high-order address byte during fetches from external program memory and during accesses to external data memory that use 16-bit addresses (MOVX @ DPTR). In this application, Port 2 uses strong internal pullups when emitting 1s. During accesses to external data memory that use 8-bit addresses (MOVX @ RI), Port 2 emits the contents of the P2 Special Function Register.

Port 2 also receives the high-order address bits and some control signals during Flash programming and verification.

Port 3

Port 3 is an 8 bit bi-directional I/O port with internal pullups. The Port 3 output buffers can sink/source four TTL inputs. When 1s are written to Port 3 pins, they are pulled high by the internal pullups and can be used as inputs. As inputs, Port 3 pins that are externally being pulled low will source current (I_{IL}) because of the pullups.

Port 3 also serves the functions of various special features of the AT89S8252, as shown in the following table.

Port 3 also receives some control signals for Flash programming and verification.

Port Pin	Alternate Functions
P3.0	RXD (serial input port)
P3.1	TXD (serial output port)
P3.2	$\overline{INT0}$ (external interrupt 0)
P3.3	$\overline{INT1}$ (external interrupt 1)
P3.4	T0 (timer 0 external input)
P3.5	T1 (timer 1 external input)
P3.6	$\overline{WR}$ (external data memory write strobe)
P3.7	$\overline{RD}$ (external data memory read strobe)

RST

Reset input. A high on this pin for two machine cycles while the oscillator is running resets the device.

ALE/$\overline{PROG}$

Address Latch Enable is an output pulse for latching the low byte of the address during accesses to external memory. This pin is also the program pulse input ($\overline{PROG}$) during Flash programming.

In normal operation, ALE is emitted at a constant rate of 1/6 the oscillator frequency and may be used for external timing or clocking purposes. Note, however, that one ALE pulse is skipped during each access to external data memory.

If desired, ALE operation can be disabled by setting bit 0 of SFR location 8EH. With the bit set, ALE is active only during a MOVX or MOVC instruction. Otherwise, the pin is weakly pulled high. Setting the ALE-disable bit has no effect if the microcontroller is in external execution mode.

$\overline{PSEN}$

Program Store Enable is the read strobe to external program memory.

When the AT89S8252 is executing code from external program memory, $\overline{PSEN}$ is activated twice each machine cycle, except that two $\overline{PSEN}$ activations are skipped during each access to external data memory.

$\overline{EA}$/VPP

External Access Enable. $\overline{EA}$ must be strapped to GND in order to enable the device to fetch code from external pro-

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

gram memory locations starting at 0000H up to FFFFH. Note, however, that if lock bit 1 is programmed, $\overline{EA}$ will be internally latched on reset.

$\overline{EA}$ should be strapped to V_{CC} for internal program executions. This pin also receives the 12-volt programming enable voltage (V_{PP}) during Flash programming when 12-volt programming is selected.

XTAL1

Input to the inverting oscillator amplifier and input to the internal clock operating circuit.

XTAL2

Output from the inverting oscillator amplifier.

Table 1. AT89S8252 SFR Map and Reset Values

0F8H									0FFH
0F0H	B 00000000								0F7H
0E8H									0EFH
0E0H	ACC 00000000								0E7H
0D8H									0DFH
0D0H	PSW 00000000					SPCR 000001XX			0D7H
0C8H	T2CON 00000000	T2MOD XXXXXX00	RCAP2L 00000000	RCAP2H 00000000	TL2 00000000	TH2 00000000			0CFH
0C0H									0C7H
0B8H	IP XX000000								0BFH
0B0H	P3 11111111								0B7H
0A8H	IE 0X000000		SPSR 00XXXXXX						0AFH
0A0H	P2 11111111								0A7H
98H	SCON 00000000	SBUF XXXXXXXX							9FH
90H	P1 11111111						WMCON 00000010		97H
88H	TCON 00000000	TMOD 00000000	TL0 00000000	TL1 00000000	TH0 00000000	TH1 00000000			8FH
80H	P0 11111111	SP 00000111	DP0L 00000000	DP0H 00000000	DP1L 00000000	DP1H 00000000	SPDR XXXXXXXX	PCON 0XXX0000	87H

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Special Function Registers

A map of the on-chip memory area called the Special Function Register (SFR) space is shown in Table 1.

Note that not all of the addresses are occupied, and unoccupied addresses may not be implemented on the chip. Read accesses to these addresses will in general return random data, and write accesses will have an indeterminate effect.

User software should not write 1s to these unlisted locations, since they may be used in future products to invoke new features. In that case, the reset or inactive values of the new bits will always be 0.

Timer 2 Registers Control and status bits are contained in registers T2CON (shown in Table 2) and T2MOD (shown in Table 9) for Timer 2. The register pair (RCAP2H, RCAP2L) are the Capture/Reload registers for Timer 2 in 16 bit capture mode or 16-bit auto-reload mode.

Table 2. T2CON—Timer/Counter 2 Control Register

T2CON Address = 0C8H

Bit Addressable

Reset Value = 0000 0000B

Bit	7	6	5	4	3	2	1	0
	TF2	EXF2	RCLK	TCLK	EXEN2	TR2	C/$\overline{T2}$	CP/$\overline{RL2}$

Symbol	Function
TF2	Timer 2 overflow flag set by a Timer 2 overflow and must be cleared by software. TF2 will not be set when either RCLK = 1 or TCLK = 1.
EXF2	Timer 2 external flag set when either a capture or reload is caused by a negative transition on T2EX and EXEN2 = 1. When Timer 2 interrupt is enabled, EXF2 = 1 will cause the CPU to vector to the Timer 2 interrupt routine. EXF2 must be cleared by software. EXF2 does not cause an interrupt in up/down counter mode (DCEN = 1).
RCLK	Receive clock enable. When set, causes the serial port to use Timer 2 overflow pulses for its receive clock in serial port Modes 1 and 3. RCLK = 0 causes Timer 1 overflows to be used for the receive clock.
TCLK	Transmit clock enable. When set, causes the serial port to use Timer 2 overflow pulses for its transmit clock in serial port Modes 1 and 3. TCLK = 0 causes Timer 1 overflows to be used for the transmit clock.
EXEN2	Timer 2 external enable. When set, allows a capture or reload to occur as a result of a negative transition on T2EX if Timer 2 is not being used to clock the serial port. EXEN2 = 0 causes Timer 2 to ignore events at T2EX.
TR2	Start/Stop control for Timer 2. TR2 = 1 starts the timer.
C/$\overline{T2}$	Timer or counter select for Timer 2. C/$\overline{T2}$ = 0 for timer function. C/$\overline{T2}$ = 1 for external event counter (falling edge triggered).
CP/$\overline{RL2}$	Capture/Reload select. CP/$\overline{RL2}$ = 1 causes captures to occur on negative transitions at T2EX if EXEN2 = 1. CP/$\overline{RL2}$ = 0 causes automatic reloads to occur when Timer 2 overflows or negative transitions occur at T2EX when EXEN2 = 1. When either RCLK or TCLK = 1, this bit is ignored and the timer is forced to auto-reload on Timer 2 overflow.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Watchdog and Memory Control Register The WMCON register contains control bits for the Watchdog Timer (shown in Table 3). The EEMEN and EEMWE bits are used to select the 2K bytes on-chip EEPROM, and to enable byte-write. The DPS bit selects one of two DPTR registers available.

Table 3. WMCON—Watchdog and Memory Control Register

WMCON Address = 96H

Reset Value = 0000 0010B

Bit	PS2	PS1	PS0	EEMWE	EEMEN	DPS	WDTRST	WDTEN
	7	6	5	4	3	2	1	0

Symbol	Function
PS2 PS1 PS0	Prescaler Bits for the Watchdog Timer. When all three bits are set to "0", the watchdog timer has a nominal period of 16 ms. When all three bits are set to "1", the nominal period is 2048 ms.
EEMWE	EEPROM Data Memory Write Enable Bit. Set this bit to "1" before initiating byte write to on-chip EEPROM with the MOVX instruction. User software should set this bit to "0" after EEPROM write is completed.
EEMEN	Internal EEPROM Access Enable. When EEMEN = 1, the MOVX instruction with DPTR will access on-chip EEPROM instead of external data memory. When EEMEN = 0, MOVX with DPTR accesses external data memory.
DPS	Data Pointer Register Select. DPS = 0 selects the first bank of Data Pointer Register, DP0, and DPS = 1 selects the second bank, DP1
WDTRST RDY/$\overline{BSY}$	Watchdog Timer Reset and EEPROM Ready/$\overline{Busy}$ Flag. Each time this bit is set to "1" by user software, a pulse is generated to reset the watchdog timer. The WDTRST bit is then automatically reset to "0" in the next instruction cycle. The WDTRST bit is Write-Only. This bit also serves as the RDY/$\overline{BSY}$ flag in a Read-Only mode during EEPROM write. RDY/$\overline{BSY}$ = 1 means that the EEPROM is ready to be programmed. While programming operations are being executed, the RDY/$\overline{BSY}$ bit equals "0" and is automatically reset to "1" when programming is completed.
WDTEN	Watchdog Timer Enable Bit. WDTEN = 1 enables the watchdog timer and WDTEN = 0 disables the watchdog timer.

SPI Registers Control and status bits for the Serial Peripheral Interface are contained in registers SPCR (shown in Table 4) and SPSR (shown in Table 5). The SPI data bits are contained in the SPDR register. Writing the SPI data register during serial data transfer sets the Write Collision bit, WCOL, in the SPSR register. The SPDR is double buffered for writing and the values in SPDR are not changed by Reset.

Interrupt Registers The global interrupt enable bit and the individual interrupt enable bits are in the IE register. In addition, the individual interrupt enable bit for the SPI is in the SPCR register. Two priorities can be set for each of the six interrupt sources in the IP register.

Dual Data Pointer Registers To facilitate accessing both internal EEPROM and external data memory, two banks of 16 bit Data Pointer Registers are provided: DP0 at SFR address locations 82H-83H and DP1 at 84H-85H. Bit DPS = 0 in SFR WMCON selects DP0 and DPS = 1 selects DP1. The user should always initialize the DPS bit to the appropriate value before accessing the respective Data Pointer Register.

Power Off Flag The Power Off Flag (POF) is located at bit_4 (PCON.4) in the PCON SFR. POF is set to "1" during power up. It can be set and reset under software control and is not affected by RESET.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table 4. SPCR—SPI Control Register

SPCR Address = D5H — Reset Value = 0000 01XXB

Bit	SPIE	SPE	DORD	MSTR	CPOL	CPHA	SPR1	SPR0
	7	6	5	4	3	2	1	0

Symbol	Function
SPIE	SPI Interrupt Enable. This bit, in conjunction with the ES bit in the IE register, enables SPI interrupts: SPIE = 1 and ES = 1 enable SPI interrupts. SPIE = 0 disables SPI interrupts.
SPE	SPI Enable. SPI = 1 enables the SPI channel and connects $\overline{SS}$, MOSI, MISO and SCK to pins P1.4, P1.5, P1.6, and P1.7. SPI = 0 disables the SPI channel.
DORD	Data Order. DORD = 1 selects LSB first data transmission. DORD = 0 selects MSB first data transmission.
MSTR	Master/Slave Select. MSTR = 1 selects Master SPI mode. MSTR = 0 selects Slave SPI mode.
CPOL	Clock Polarity. When CPOL = 1, SCK is high when idle. When CPOL = 0, SCK of the master device is low when not transmitting. Please refer to figure on SPI Clock Phase and Polarity Control.
CPHA	Clock Phase. The CPHA bit together with the CPOL bit controls the clock and data relationship between master and slave. Please refer to figure on SPI Clock Phase and Polarity Control.
SPR0 SPR1	SPI Clock Rate Select. These two bits control the SCK rate of the device configured as master. SPR1 and SPR0 have no effect on the slave. The relationship between SCK and the oscillator frequency, F_{osc}, is as follows: SPR1 SPR0 SCK = F_{osc} divided by 0 0 4 0 1 16 1 0 64 1 1 128

Table 5. SPSR – SPI Status Register

SPSR Address = AAH — Reset Value = 00XX XXXXB

Bit	SPIF	WCOL	–	–	–	–	–	–
	7	6	5	4	3	2	1	0

Symbol	Function
SPIF	SPI Interrupt Flag. When a serial transfer is complete, the SPIF bit is set and an interrupt is generated if SPIE = 1 and ES = 1. The SPIF bit is cleared by reading the SPI status register with SPIF and WCOL bits set, and then accessing the SPI data register.
WCOL	Write Collision Flag. The WCOL bit is set if the SPI data register is written during a data transfer. During data transfer, the result of reading the SPDR register may be incorrect, and writing to it has no effect. The WCOL bit (and the SPIF bit) are cleared by reading the SPI status register with SPIF and WCOL set, and then accessing the SPI data register.

Table 6. SPDR – SPI Data Register

SPDR Address = 86H — Reset Value = unchanged

Bit	SPD7	SPD6	SPD5	SPD4	SPD3	SPD2	SPD1	SPD0
	7	6	5	4	3	2	1	0

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Data Memory – EEPROM and RAM

The AT89S8252 implements 2K bytes of on-chip EEPROM for data storage and 256 bytes of RAM. The upper 128 bytes of RAM occupy a parallel space to the Special Function Registers. That means the upper 128 bytes have the same addresses as the SFR space but are physically separate from SFR space.

When an instruction accesses an internal location above address 7FH, the address mode used in the instruction specifies whether the CPU accesses the upper 128 bytes of RAM or the SFR space. Instructions that use direct addressing access SFR space.

For example, the following direct addressing instruction accesses the SFR at location 0A0H (which is P2).

```
MOV 0A0H, #data
```

Instructions that use indirect addressing access the upper 128 bytes of RAM. For example, the following indirect addressing instruction, where R0 contains 0A0H, accesses the data byte at address 0A0H, rather than P2 (whose address is 0A0H).

```
MOV @R0, #data
```

Note that stack operations are examples of indirect addressing, so the upper 128 bytes of data RAM are available as stack space.

The on-chip EEPROM data memory is selected by setting the EEMEN bit in the WMCON register at SFR address location 96H. The EEPROM address range is from 000H to 7FFH. The MOVX instructions are used to access the EEPROM. To access off-chip data memory with the MOVX instructions, the EEMEN bit needs to be set to "0".

The EEMWE bit in the WMCON register needs to be set to "1" before any byte location in the EEPROM can be written. User software should reset EEMWE bit to "0" if no further EEPROM write is required. EEPROM write cycles in the serial programming mode are self-timed and typically take 2.5 ms. The progress of EEPROM write can be monitored by reading the RDY/$\overline{BSY}$ bit (read-only) in SFR WMCON. RDY/$\overline{BSY}$ = 0 means programming is still in progress and RDY/$\overline{BSY}$ = 1 means EEPROM write cycle is completed and another write cycle can be initiated.

In addition, during EEPROM programming, an attempted read from the EEPROM will fetch the byte being written with the MSB complemented. Once the write cycle is completed, true data are valid at all bit locations.

Programmable Watchdog Timer

The programmable Watchdog Timer (WDT) operates from an independent oscillator. The prescaler bits, PS0, PS1 and PS2 in SFR WMCON are used to set the period of the Watchdog Timer from 16 ms to 2048 ms. The available timer periods are shown in the following table and the actual timer periods (at V_{CC} = 5V) are within ±30% of the nominal.

The WDT is disabled by Power-on Reset and during Power-down. It is enabled by setting the WDTEN bit in SFR WMCON (address = 96H). The WDT is reset by setting the WDTRST bit in WMCON. When the WDT times out without being reset or disabled, an internal RST pulse is generated to reset the CPU.

Table 7. Watchdog Timer Period Selection

WDT Prescaler Bits			Period (nominal)
PS2	PS1	PS0	
0	0	0	16 ms
0	0	1	32 ms
0	1	0	64 ms
0	1	1	128 ms
1	0	0	256 ms
1	0	1	512 ms
1	1	0	1024 ms
1	1	1	2048 ms

Timer 0 and 1

Timer 0 and Timer 1 in the AT89S8252 operate the same way as Timer 0 and Timer 1 in the AT89C51, AT89C52 and AT89C55. For further information, see the October 1995 Microcontroller Data Book, page 2-45, section titled, "Timer/Counters."

Timer 2

Timer 2 is a 16 bit Timer/Counter that can operate as either a timer or an event counter. The type of operation is selected by bit C/$\overline{T2}$ in the SFR T2CON (shown in Table 2). Timer 2 has three operating modes: capture, auto-reload (up or down counting), and baud rate generator. The modes are selected by bits in T2CON, as shown in Table 8.

Timer 2 consists of two 8-bit registers, TH2 and TL2. In the Timer function, the TL2 register is incremented every machine cycle. Since a machine cycle consists of 12 oscillator periods, the count rate is 1/12 of the oscillator frequency.

In the Counter function, the register is incremented in response to a 1-to-0 transition at its corresponding external input pin, T2. In this function, the external input is sampled during S5P2 of every machine cycle. When the samples show a high in one cycle and a low in the next cycle, the count is incremented. The new count value appears in the register during S3P1 of the cycle following the one in which

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

the transition was detected. Since two machine cycles (24 oscillator periods) are required to recognize a 1-to-0 transition, the maximum count rate is 1/24 of the oscillator frequency. To ensure that a given level is sampled at least once before it changes, the level should be held for at least one full machine cycle.

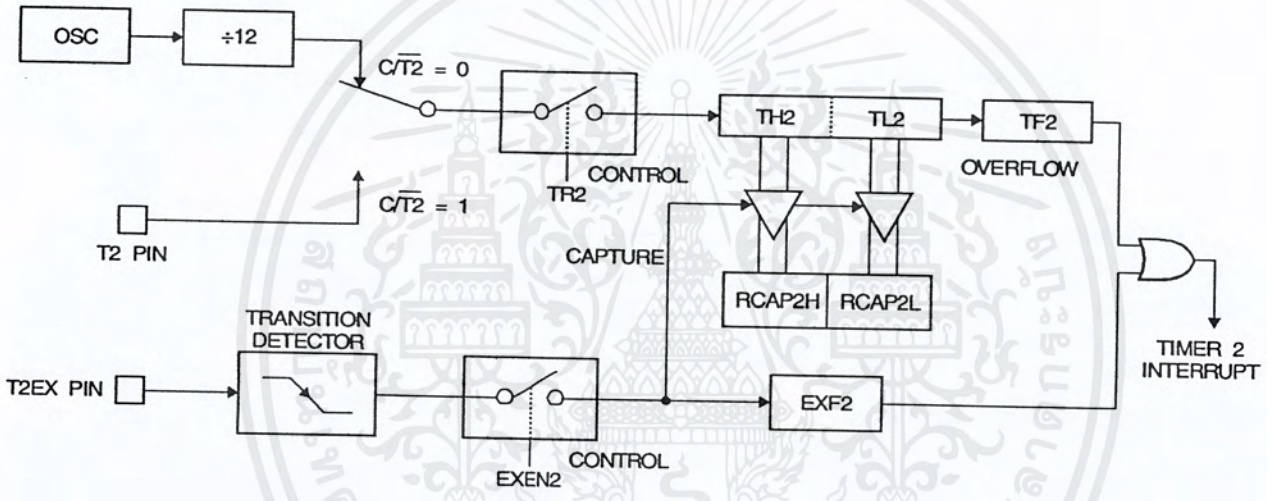
Table 8. Timer 2 Operating Modes

RCLK + TCLK	CP/$\overline{RL2}$	TR2	MODE
0	0	1	16-bit Auto-reload
0	1	1	16-bit Capture
1	X	1	Baud Rate Generator
X	X	0	(Off)

Capture Mode

In the capture mode, two options are selected by bit EXEN2 in T2CON. If EXEN2 = 0, Timer 2 is a 16 bit timer or counter which upon overflow sets bit TF2 in T2CON. This bit can then be used to generate an interrupt. If EXEN2 = 1, Timer 2 performs the same operation, but a 1-to-0 transition at external input T2EX also causes the current value in TH2 and TL2 to be captured into RCAP2H and RCAP2L, respectively. In addition, the transition at T2EX causes bit EXF2 in T2CON to be set. The EXF2 bit, like TF2, can generate an interrupt. The capture mode is illustrated in Figure 1.

Figure 1. Timer 2 in Capture Mode



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Auto-reload (Up or Down Counter)

Timer 2 can be programmed to count up or down when configured in its 16 bit auto-reload mode. This feature is invoked by the DCEN (Down Counter Enable) bit located in the SFR T2MOD (see Table 9). Upon reset, the DCEN bit is set to 0 so that timer 2 will default to count up. When DCEN is set, Timer 2 can count up or down, depending on the value of the T2EX pin.

Figure 2 shows Timer 2 automatically counting up when DCEN = 0. In this mode, two options are selected by bit EXEN2 in T2CON. If EXEN2 = 0, Timer 2 counts up to 0FFFFH and then sets the TF2 bit upon overflow. The overflow also causes the timer registers to be reloaded with the 16 bit value in RCAP2H and RCAP2L. The values in RCAP2H and RCAP2L are preset by software. If EXEN2 = 1, a 16 bit reload can be triggered either by an overflow or by a 1-to-0 transition at external input T2EX. This transition also sets the EXF2 bit. Both the TF2 and EXF2 bits can generate an interrupt if enabled.

Setting the DCEN bit enables Timer 2 to count up or down, as shown in Figure 3. In this mode, the T2EX pin controls the direction of the count. A logic 1 at T2EX makes Timer 2 count up. The timer will overflow at 0FFFFH and set the TF2 bit. This overflow also causes the 16 bit value in RCAP2H and RCAP2L to be reloaded into the timer registers, TH2 and TL2, respectively.

A logic 0 at T2EX makes Timer 2 count down. The timer underflows when TH2 and TL2 equal the values stored in RCAP2H and RCAP2L. The underflow sets the TF2 bit and causes 0FFFFH to be reloaded into the timer registers.

The EXF2 bit toggles whenever Timer 2 overflows or underflows and can be used as a 17th bit of resolution. In this operating mode, EXF2 does not flag an interrupt.

Figure 2. Timer 2 in Auto Reload Mode (DCEN = 0)

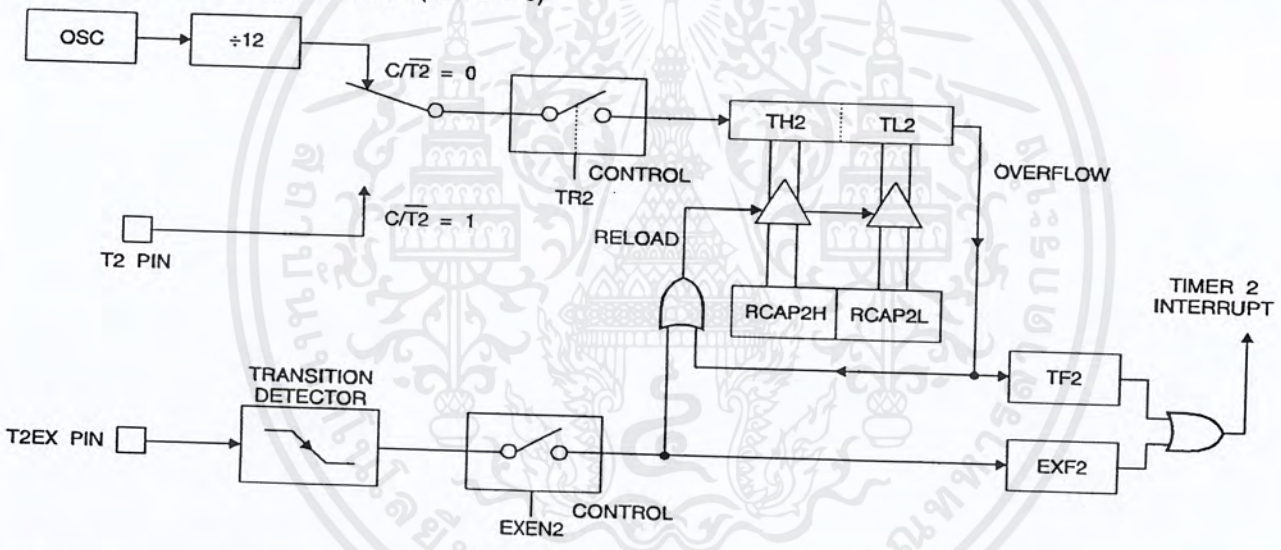


Table 9. T2MOD – Timer 2 Mode Control Register

T2MOD Address = 0C9H

Reset Value = XXXX XX00B

Not Bit Addressable

Bit	7	6	5	4	3	2	1	0
	–	–	–	–	–	–	T2OE	DCEN

Symbol	Function
–	Not implemented, reserved for future use.
T2OE	Timer 2 Output Enable bit.
DCEN	When set, this bit allows Timer 2 to be configured as an up/down counter.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 3. Timer 2 Auto Reload Mode (DCEN = 1)

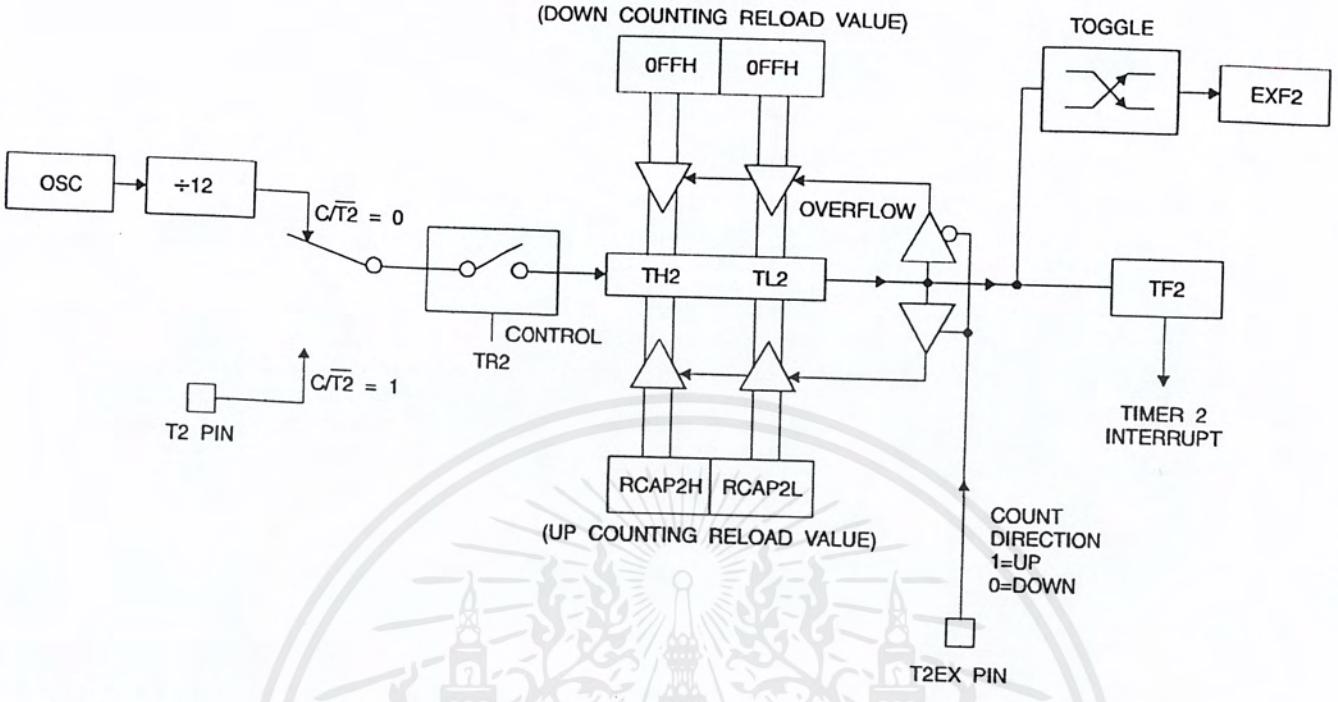
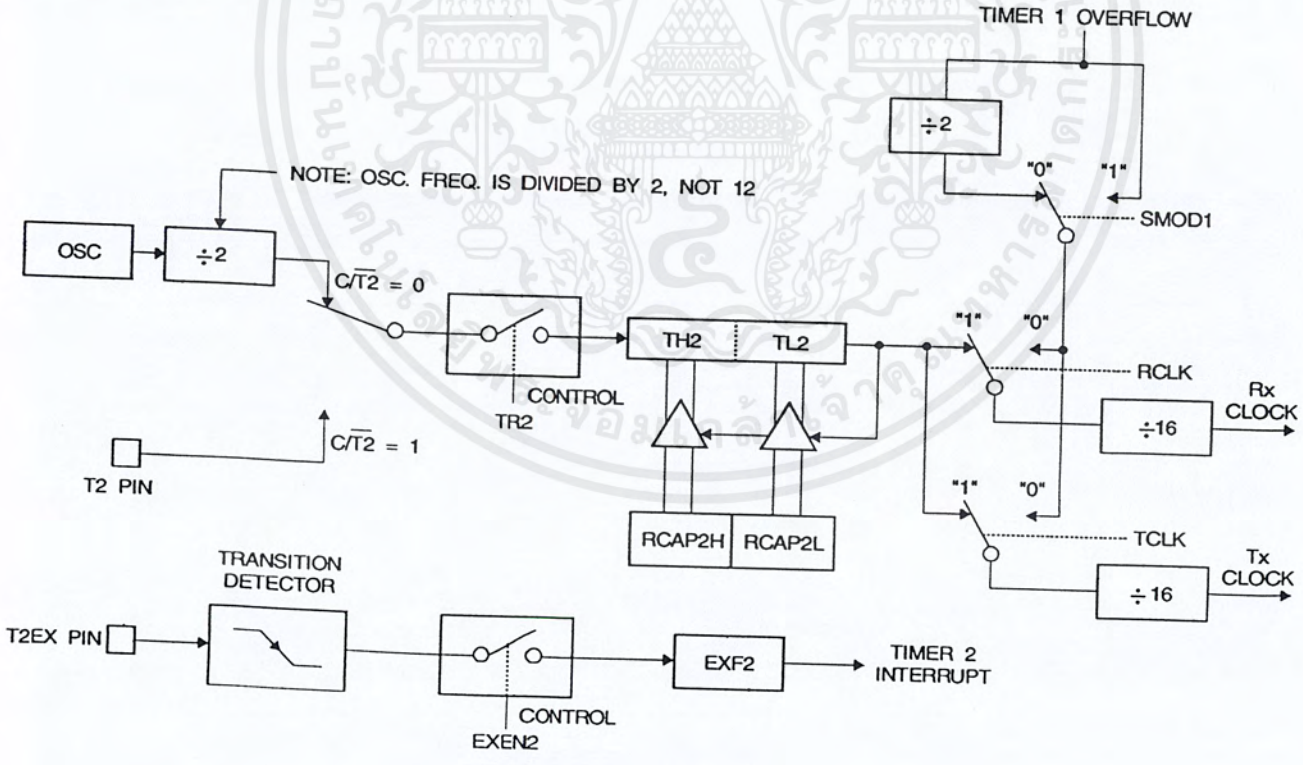


Figure 4. Timer 2 in Baud Rate Generator Mode



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Baud Rate Generator

Timer 2 is selected as the baud rate generator by setting TCLK and/or RCLK in T2CON (Table 2). Note that the baud rates for transmit and receive can be different if Timer 2 is used for the receiver or transmitter and Timer 1 is used for the other function. Setting RCLK and/or TCLK puts Timer 2 into its baud rate generator mode, as shown in Figure 4.

The baud rate generator mode is similar to the auto-reload mode, in that a rollover in TH2 causes the Timer 2 registers to be reloaded with the 16 bit value in registers RCAP2H and RCAP2L, which are preset by software.

The baud rates in Modes 1 and 3 are determined by Timer 2's overflow rate according to the following equation.

$$\text{Modes 1 and 3 Baud Rates} = \frac{\text{Timer 2 Overflow Rate}}{16}$$

The Timer can be configured for either timer or counter operation. In most applications, it is configured for timer operation ($C/\overline{T2} = 0$). The timer operation is different for Timer 2 when it is used as a baud rate generator. Normally, as a timer, it increments every machine cycle (at 1/12 the oscillator frequency). As a baud rate generator, however, it increments every state time (at 1/2 the oscillator frequency). The baud rate formula is given below.

$$\frac{\text{Modes 1 and 3}}{\text{Baud Rate}} = \frac{\text{Oscillator Frequency}}{32 \times [65536 - (\text{RCAP2H,RCAP2L})]}$$

where (RCAP2H, RCAP2L) is the content of RCAP2H and RCAP2L taken as a 16 bit unsigned integer.

Timer 2 as a baud rate generator is shown in Figure 4. This figure is valid only if RCLK or TCLK = 1 in T2CON. Note that a rollover in TH2 does not set TF2 and will not generate an interrupt. Note too, that if EXEN2 is set, a 1-to-0 transition in T2EX will set EXF2 but will not cause a reload from (RCAP2H, RCAP2L) to (TH2, TL2). Thus when Timer 2 is in use as a baud rate generator, T2EX can be used as an extra external interrupt.

Note that when Timer 2 is running (TR2 = 1) as a timer in the baud rate generator mode, TH2 or TL2 should not be read from or written to. Under these conditions, the Timer is incremented every state time, and the results of a read or write may not be accurate. The RCAP2 registers may be read but should not be written to, because a write might overlap a reload and cause write and/or reload errors. The timer should be turned off (clear TR2) before accessing the Timer 2 or RCAP2 registers.

Programmable Clock Out

A 50% duty cycle clock can be programmed to come out on P1.0, as shown in Figure 5. This pin, besides being a regular I/O pin, has two alternate functions. It can be programmed to input the external clock for Timer/Counter 2 or to output a 50% duty cycle clock ranging from 61 Hz to 4 MHz at a 16 MHz operating frequency.

To configure the Timer/Counter 2 as a clock generator, bit $C/\overline{T2}$ (T2CON.1) must be cleared and bit T2OE (T2MOD.1) must be set. Bit TR2 (T2CON.2) starts and stops the timer.

The clock-out frequency depends on the oscillator frequency and the reload value of Timer 2 capture registers (RCAP2H, RCAP2L), as shown in the following equation.

$$\text{Clock Out Frequency} = \frac{\text{Oscillator Frequency}}{4 \times [65536 - (\text{RCAP2H,RCAP2L})]}$$

In the clock-out mode, Timer 2 rollovers will not generate an interrupt. This behavior is similar to when Timer 2 is used as a baud-rate generator. It is possible to use Timer 2 as a baud-rate generator and a clock generator simultaneously. Note, however, that the baud-rate and clock-out frequencies cannot be determined independently from one another since they both use RCAP2H and RCAP2L.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 5. Timer 2 in Clock-out Mode

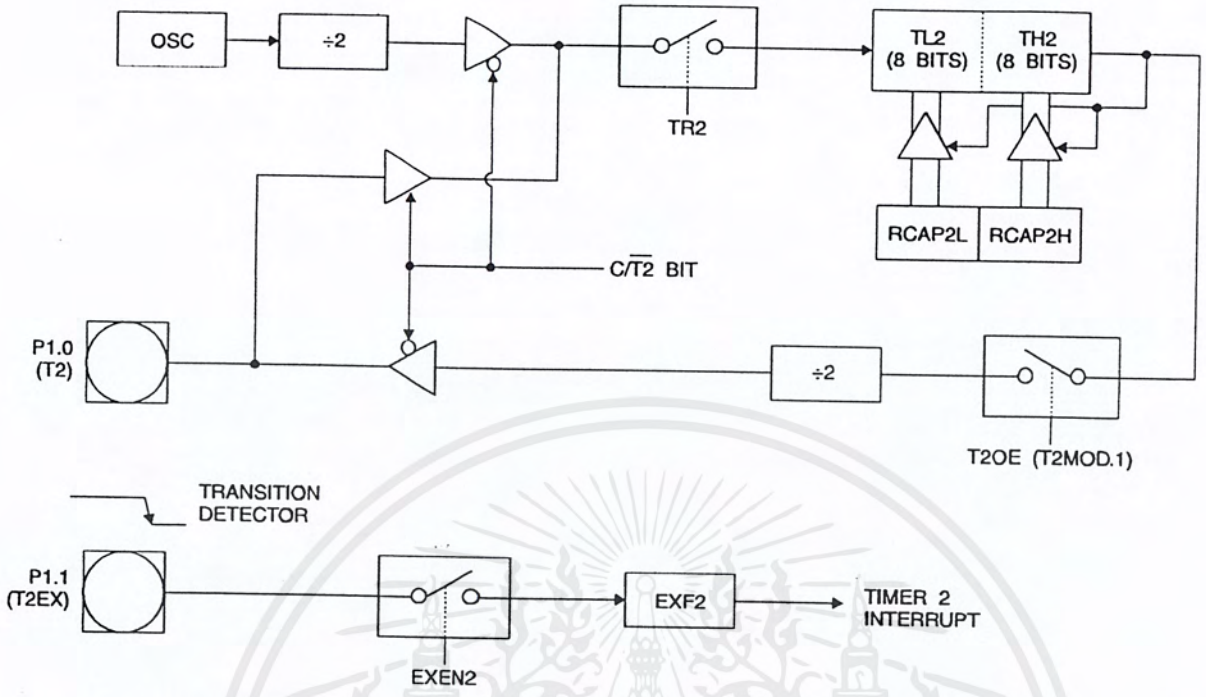
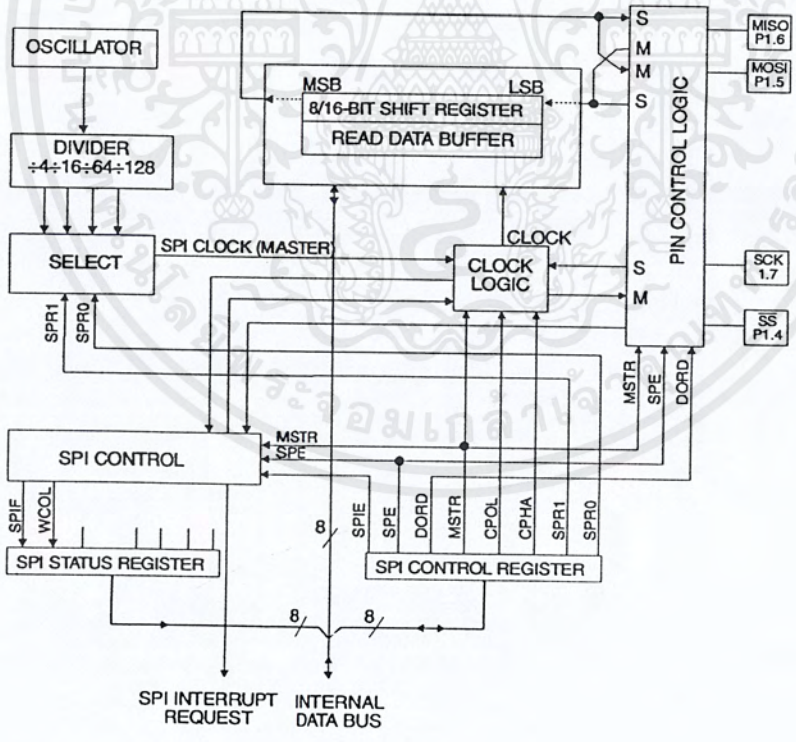


Figure 6. SPI Block Diagram



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

UART

The UART in the AT89S8252 operates the same way as the UART in the AT89C51, AT89C52 and AT89C55. For further information, see the October 1995 Microcontroller Data Book, page 2-49, section titled, "Serial Interface."

Serial Peripheral Interface

The serial peripheral interface (SPI) allows high-speed synchronous data transfer between the AT89S8252 and peripheral devices or between several AT89S8252 devices. The AT89S8252 SPI features include the following:

- Full-Duplex, 3-Wire Synchronous Data Transfer
- Master or Slave Operation
- 1.5 MHz Bit Frequency (max.)
- LSB First or MSB First Data Transfer
- Four Programmable Bit Rates
- End of Transmission Interrupt Flag
- Write Collision Flag Protection
- Wakeup from Idle Mode (Slave Mode Only)

The interconnection between master and slave CPUs with SPI is shown in the following figure. The SCK pin is the clock output in the master mode but is the clock input in the slave mode. Writing to the SPI data register of the master CPU starts the SPI clock generator, and the data written shifts out of the MOSI pin and into the MOSI pin of the slave CPU. After shifting one byte, the SPI clock generator stops, setting the end of transmission flag (SPIF). If both the SPI interrupt enable bit (SPIE) and the serial port interrupt enable bit (ES) are set, an interrupt is requested.

The Slave Select input, $\overline{SS}$/P1.4, is set low to select an individual SPI device as a slave. When $\overline{SS}$/P1.4 is set high, the SPI port is deactivated and the MOSI/P1.5 pin can be used as an input.

There are four combinations of SCK phase and polarity with respect to serial data, which are determined by control bits CPHA and CPOL. The SPI data transfer formats are shown in Figure 8 and Figure 9.

Figure 7. SPI Master-slave Interconnection

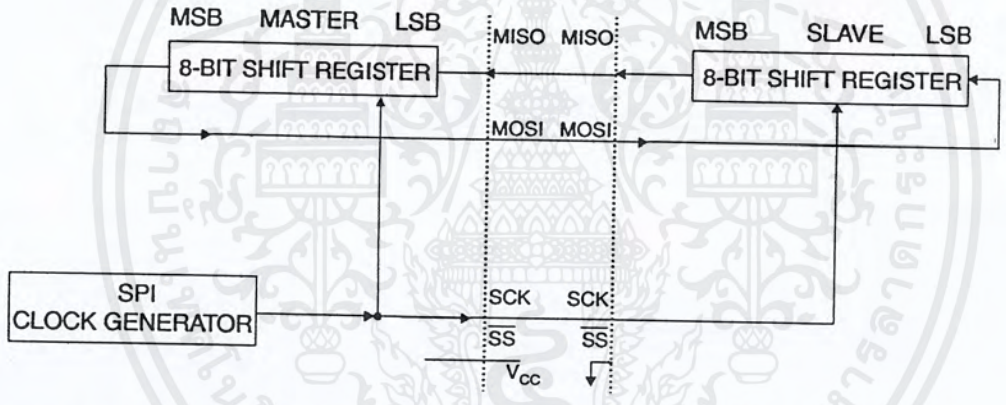
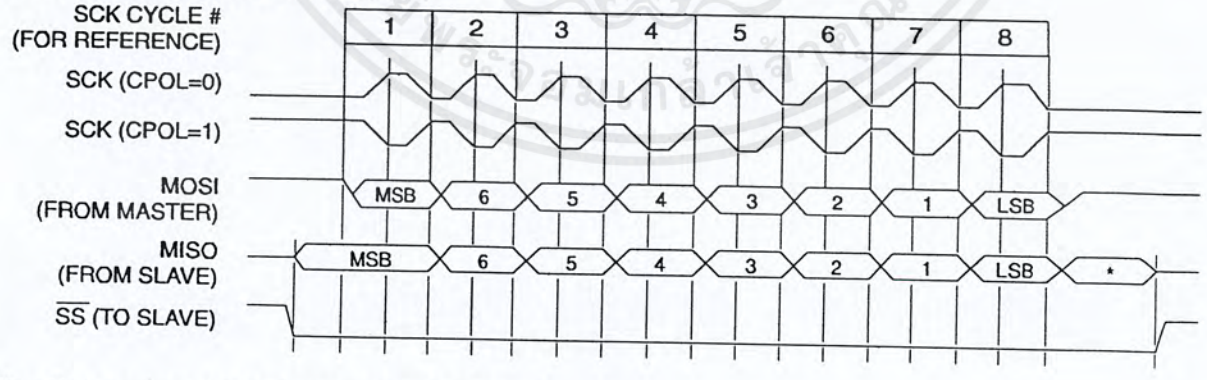


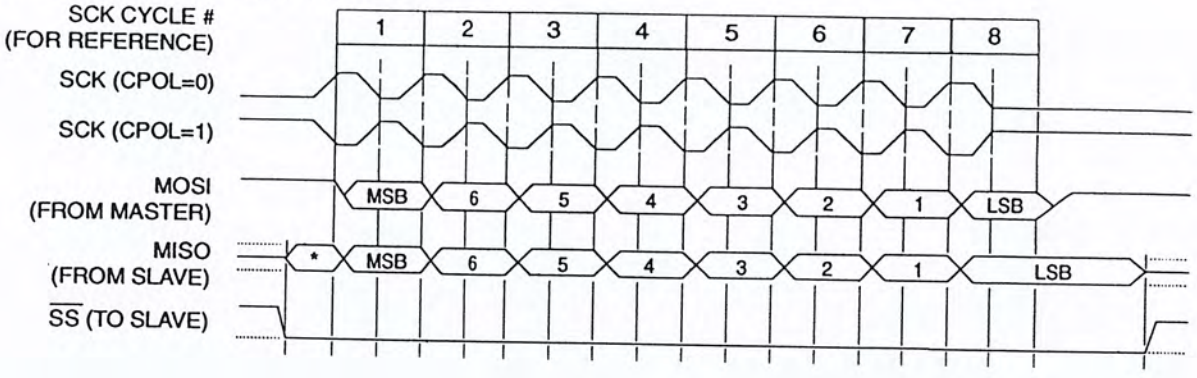
Figure 8. SPI transfer Format with CPHA = 0



*Not defined but normally MSB of character just received

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 9. SPI Transfer Format with CPHA = 1



*Not defined but normally LSB of previously transmitted character

Interrupts

The AT89S8252 has a total of six interrupt vectors: two external interrupts ($\overline{INT0}$ and $\overline{INT1}$), three timer interrupts (Timers 0, 1, and 2), and the serial port interrupt. These interrupts are all shown in Figure 10.

Each of these interrupt sources can be individually enabled or disabled by setting or clearing a bit in Special Function Register IE. IE also contains a global disable bit, EA, which disables all interrupts at once.

Note that Table 10 shows that bit position IE.6 is unimplemented. In the AT89C51, bit position IE.5 is also unimplemented. User software should not write 1s to these bit positions, since they may be used in future AT89 products.

Timer 2 interrupt is generated by the logical OR of bits TF2 and EXF2 in register T2CON. Neither of these flags is cleared by hardware when the service routine is vectored to. In fact, the service routine may have to determine whether it was TF2 or EXF2 that generated the interrupt, and that bit will have to be cleared in software.

The Timer 0 and Timer 1 flags, TF0 and TF1, are set at S5P2 of the cycle in which the timers overflow. The values are then polled by the circuitry in the next cycle. However, the Timer 2 flag, TF2, is set at S2P2 and is polled in the same cycle in which the timer overflows.

Table 10. Interrupt Enable (IE) Register

(MSB)(LSB)

EA	–	ET2	ES	ET1	EX1	ET0	EX0

Enable Bit = 1 enables the interrupt.

Enable Bit = 0 disables the interrupt.

Symbol	Position	Function
EA	IE.7	Disables all interrupts. If EA = 0, no interrupt is acknowledged. If EA = 1, each interrupt source is individually enabled or disabled by setting or clearing its enable bit.
–	IE.6	Reserved.
ET2	IE.5	Timer 2 interrupt enable bit.
ES	IE.4	SPI and UART interrupt enable bit.
ET1	IE.3	Timer 1 interrupt enable bit.
EX1	IE.2	External interrupt 1 enable bit.
ET0	IE.1	Timer 0 interrupt enable bit.
EX0	IE.0	External interrupt 0 enable bit.

User software should never write 1s to unimplemented bits, because they may be used in future AT89 products.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 10. Interrupt Sources

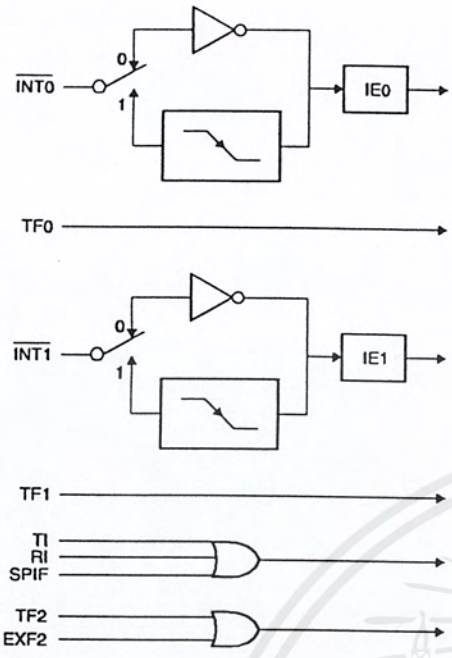
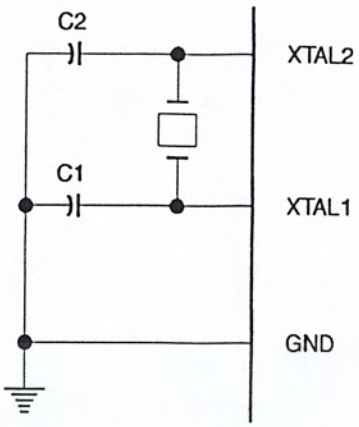
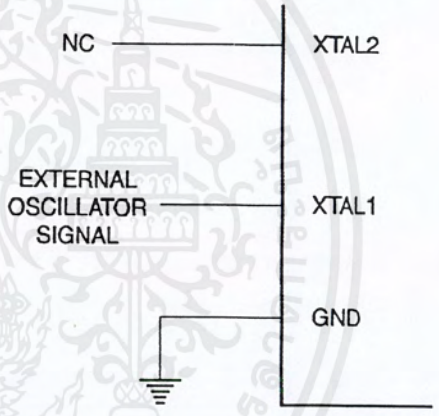


Figure 11. Oscillator Connections



Note: Note: C1, C2 = 30 pF ± 10 pF for Crystals
= 40 pF ± 10 pF for Ceramic Resonators

Figure 12. External Clock Drive Configuration



Oscillator Characteristics

XTAL1 and XTAL2 are the input and output, respectively, of an inverting amplifier that can be configured for use as an on-chip oscillator, as shown in Figure 11. Either a quartz crystal or ceramic resonator may be used. To drive the device from an external clock source, XTAL2 should be left unconnected while XTAL1 is driven, as shown in Figure 12. There are no requirements on the duty cycle of the external clock signal, since the input to the internal clocking circuitry is through a divide-by-two flip-flop, but minimum and maximum voltage high and low time specifications must be observed.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Idle Mode

In idle mode, the CPU puts itself to sleep while all the on-chip peripherals remain active. The mode is invoked by software. The content of the on-chip RAM and all the special functions registers remain unchanged during this mode. The idle mode can be terminated by any enabled interrupt or by a hardware reset.

Note that when idle mode is terminated by a hardware reset, the device normally resumes program execution from where it left off, up to two machine cycles before the internal reset algorithm takes control. On-chip hardware inhibits access to internal RAM in this event, but access to the port pins is not inhibited. To eliminate the possibility of an unexpected write to a port pin when idle mode is terminated by a reset, the instruction following the one that invokes idle mode should not write to a port pin or to external memory.

Status of External Pins During Idle and Power-down Modes

Mode	Program Memory	ALE	$\overline{PSEN}$	PORT0	PORT1	PORT2	PORT3
Idle	Internal	1	1	Data	Data	Data	Data
Idle	External	1	1	Float	Data	Address	Data
Power-down	Internal	0	0	Data	Data	Data	Data
Power-down	External	0	0	Float	Data	Data	Data

Power-down Mode

In the power-down mode, the oscillator is stopped and the instruction that invokes power-down is the last instruction executed. The on-chip RAM and Special Function Registers retain their values until the power-down mode is terminated. Exit from power-down can be initiated either by a hardware reset or by an enabled external interrupt. Reset redefines the SFRs but does not change the on-chip RAM. The reset should not be activated before V_{CC} is restored to its normal operating level and must be held active long enough to allow the oscillator to restart and stabilize.

To exit power-down via an interrupt, the external interrupt must be enabled as level sensitive before entering power-down. The interrupt service routine starts at 16 ms (nominal) after the enabled interrupt pin is activated.

Program Memory Lock Bits

The AT89S8252 has three lock bits that can be left unprogrammed (U) or can be programmed (P) to obtain the additional features listed in the following table.

When lock bit 1 is programmed, the logic level at the $\overline{EA}$ pin is sampled and latched during reset. If the device is powered up without a reset, the latch initializes to a random value and holds that value until reset is activated. The latched value of $\overline{EA}$ must agree with the current logic level at that pin in order for the device to function properly.

Once programmed, the lock bits can only be unprogrammed with the Chip Erase operations in either the parallel or serial modes.

Lock Bit Protection Modes(1)(2)

Program Lock Bits				
	LB1	LB2	LB3	Protection Type
1	U	U	U	No internal memory lock feature.
2	P	U	U	MOVC instructions executed from external program memory are disabled from fetching code bytes from internal memory. $\overline{EA}$ is sampled and latched on reset and further programming of the Flash memory (parallel or serial mode) is disabled.
3	P	P	U	Same as Mode 2, but parallel or serial verify are also disabled.
4	P	P	P	Same as Mode 3, but external execution is also disabled.

Notes: 1. U = Unprogrammed
2. P = Programmed

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Programming the Flash and EEPROM

Atmel's AT89S8252 Flash Microcontroller offers 8K bytes of in-system reprogrammable Flash Code memory and 2K bytes of EEPROM Data memory.

The AT89S8252 is normally shipped with the on-chip Flash Code and EEPROM Data memory arrays in the erased state (i.e. contents = FFH) and ready to be programmed. This device supports a High-voltage (12V) Parallel programming mode and a Low-voltage (5V) Serial programming mode. The serial programming mode provides a convenient way to download the AT89S8252 inside the user's system. The parallel programming mode is compatible with conventional third party Flash or EPROM programmers.

The Code and Data memory arrays are mapped via separate address spaces in the serial programming mode. In the parallel programming mode, the two arrays occupy one contiguous address space: 0000H to 1FFFH for the Code array and 2000H to 27FFH for the Data array.

The Code and Data memory arrays on the AT89S8252 are programmed byte-by-byte in either programming mode. An auto-erase cycle is provided with the self-timed programming operation in the serial programming mode. There is no need to perform the Chip Erase operation to reprogram any memory location in the serial programming mode unless any of the lock bits have been programmed.

In the parallel programming mode, there is no auto-erase cycle. To reprogram any non-blank byte, the user needs to use the Chip Erase operation first to erase both arrays.

Parallel Programming Algorithm: To program and verify the AT89S8252 in the parallel programming mode, the following sequence is recommended:

1. Power-up sequence:

   Apply power between V_{CC} and GND pins.

   Set RST pin to "H".

   Apply a 3 MHz to 24 MHz clock to XTAL1 pin and wait for at least 10 milliseconds.
2. Set $\overline{PSEN}$ pin to "L"

   ALE pin to "H"

   $\overline{EA}$ pin to "H" and all other pins to "H".
3. Apply the appropriate combination of "H" or "L" logic levels to pins P2.6, P2.7, P3.6, P3.7 to select one of the programming operations shown in the Flash Programming Modes table.
4. Apply the desired byte address to pins P1.0 to P1.7 and P2.0 to P2.5.

   Apply data to pins P0.0 to P0.7 for Write Code operation.
5. Raise $\overline{EA}/V_{PP}$ to 12V to enable Flash programming, erase or verification.
6. Pulse ALE/$\overline{PROG}$ once to program a byte in the Code memory array, the Data memory array or the lock bits. The byte-write cycle is self-timed and typically takes 1.5 ms.
7. To verify the byte just programmed, bring pin P2.7 to "L" and read the programmed data at pins P0.0 to P0.7.
8. Repeat steps 3 through 7 changing the address and data for the entire 2K or 8K bytes array or until the end of the object file is reached.
9. Power-off sequence:

   Set XTAL1 to "L".

   Set RST and $\overline{EA}$ pins to "L".

   Turn V_{CC} power off.

In the parallel programming mode, there is no auto-erase cycle and to reprogram any non-blank byte, the user needs to use the Chip Erase operation first to erase both arrays.

Data Polling: The AT89S8252 features $\overline{DATA}$ Polling to indicate the end of a write cycle. During a write cycle in the parallel or serial programming mode, an attempted read of the last byte written will result in the complement of the written datum on P0.7 (parallel mode), and on the MSB of the serial output byte on MISO (serial mode). Once the write cycle has been completed, true data are valid on all outputs, and the next cycle may begin. $\overline{DATA}$ Polling may begin any time after a write cycle has been initiated.

Ready/$\overline{Busy}$: The progress of byte programming in the parallel programming mode can also be monitored by the RDY/$\overline{BSY}$ output signal. Pin P3.4 is pulled Low after ALE goes High during programming to indicate $\overline{BUSY}$. P3.4 is pulled High again when programming is done to indicate READY.

Program Verify: If lock bits LB1 and LB2 have not been programmed, the programmed Code or Data byte can be read back via the address and data lines for verification. The state of the lock bits can also be verified directly in the parallel programming mode. In the serial programming mode, the state of the lock bits can only be verified indirectly by observing that the lock bit features are enabled.

Chip Erase: Both Flash and EEPROM arrays are erased electrically at the same time. In the parallel programming mode, chip erase is initiated by using the proper combination of control signals and by holding ALE/$\overline{PROG}$ low for 10 ms. The Code and Data arrays are written with all "1"s in the Chip Erase operation.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

In the serial programming mode, a chip erase operation is initiated by issuing the Chip Erase instruction. In this mode, chip erase is self-timed and takes about 16 ms.

During chip erase, a serial read from any address location will return 00H at the data outputs.

Serial Programming Fuse: A programmable fuse is available to disable Serial Programming if the user needs maximum system security. The Serial Programming Fuse can only be programmed or erased in the Parallel Programming Mode.

The AT89S8252 is shipped with the Serial Programming Mode enabled.

Reading the Signature Bytes: The signature bytes are read by the same procedure as a normal verification of locations 030H and 031H, except that P3.6 and P3.7 must be pulled to a logic low. The values returned are as follows:

(030H) = 1EH indicates manufactured by Atmel
(031H) = 72H indicates 89S8252

Programming Interface

Every code byte in the Flash and EEPROM arrays can be written, and the entire array can be erased, by using the appropriate combination of control signals. The write operation cycle is self-timed and once initiated, will automatically time itself to completion.

All major programming vendors offer worldwide support for the Atmel microcontroller series. Please contact your local programming vendor for the appropriate software revision.

Serial Downloading

Both the Code and Data memory arrays can be programmed using the serial SPI bus while RST is pulled to V_{CC}. The serial interface consists of pins SCK, MOSI (input) and MISO (output). After RST is set high, the Programming Enable instruction needs to be executed first before program/erase operations can be executed.

An auto-erase cycle is built into the self-timed programming operation (in the serial mode ONLY) and there is no need to first execute the Chip Erase instruction unless any of the lock bits have been programmed. The Chip Erase operation turns the content of every memory location in both the Code and Data arrays into FFH.

The Code and Data memory arrays have separate address spaces:

0000H to 1FFFH for Code memory and 000H to 7FFH for Data memory.

Either an external system clock is supplied at pin XTAL1 or a crystal needs to be connected across pins XTAL1 and XTAL2. The maximum serial clock (SCK) frequency should be less than 1/40 of the crystal frequency. With a 24 MHz oscillator clock, the maximum SCK frequency is 600 kHz.

Serial Programming Algorithm

To program and verify the AT89S8252 in the serial programming mode, the following sequence is recommended:

1. Power-up sequence:
   Apply power between VCC and GND pins.
   Set RST pin to "H".
   If a crystal is not connected across pins XTAL1 and XTAL2, apply a 3 MHz to 24 MHz clock to XTAL1 pin and wait for at least 10 milliseconds.
2. Enable serial programming by sending the Programming Enable serial instruction to pin MOSI/P1.5. The frequency of the shift clock supplied at pin SCK/P1.7 needs to be less than the CPU clock at XTAL1 divided by 40.
3. The Code or Data array is programmed one byte at a time by supplying the address and data together with the appropriate Write instruction. The selected memory location is first automatically erased before new data is written. The write cycle is self-timed and typically takes less than 2.5 ms at 5V.
4. Any memory location can be verified by using the Read instruction which returns the content at the selected address at serial output MISO/P1.6.
5. At the end of a programming session, RST can be set low to commence normal operation.

Power-off sequence (if needed):
Set XTAL1 to "L" (if a crystal is not used).
Set RST to "L".
Turn V_{CC} power off.

Serial Programming Instruction

The Instruction Set for Serial Programming follows a 3-byte protocol and is shown in the following table:

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

HARRIS SEMICONDUCTOR

ICL232

+5V Powered Dual RS-232 Transmitter/Receiver

December 1993

Features

- Meets All RS-232C Specifications
- Requires Only Single +5V Power Supply
- Onboard Voltage Doubler/Inverter
- Low Power Consumption
- 2 Drivers
  - ±9V Output Swing for +5V Input
  - 300Ω Power-off Source Impedance
  - Output Current Limiting
  - TTL/CMOS Compatible
  - 30V/μs Maximum Slew Rate
- 2 Receivers
  - ±30V Input Voltage Range
  - 3kΩ to 7kΩ Input Impedance
  - 0.5V Hysteresis to Improve Noise Rejection
- All Critical Parameters are Guaranteed Over the Entire Commercial, Industrial and Military Temperature Ranges

Applications

- Any System Requiring RS-232 Communications Port
  - Computer - Portable and Mainframe
  - Peripheral - Printers and Terminals
  - Portable Instrumentation
  - Modems
  - Dataloggers

Description

The ICL232 is a dual RS-232 transmitter/receiver interface circuit that meets all EIA RS-232C specifications. It requires a single +5V power supply, and features two onboard charge pump voltage converters which generate +10V and -10V supplies from the 5V supply.

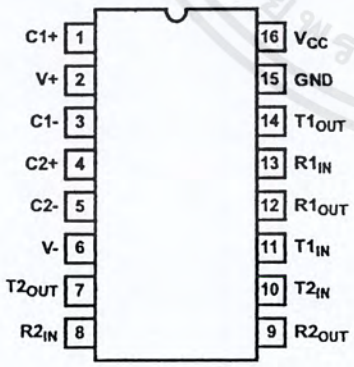
The drivers feature true TTL/CMOS input compatibility, slew-rate-limited output, and 300Ω power-off source impedance. The receivers can handle up to +30V, and have a 3kΩ to 7kΩ input impedance. The receivers also have hysteresis to improve noise rejection.

Ordering Information

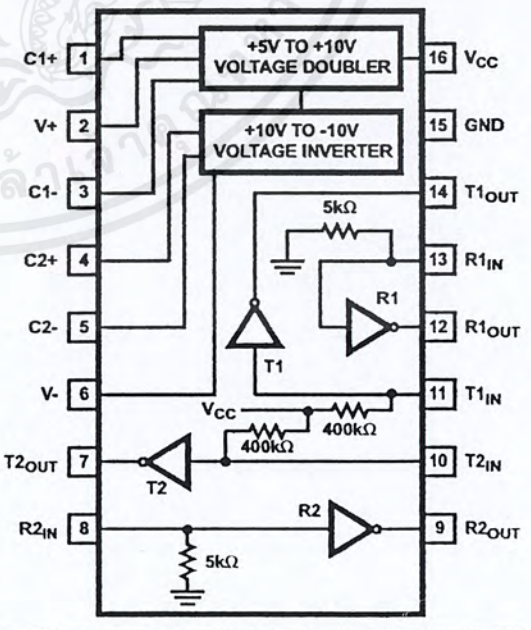
PART NUMBER	TEMPERATURE RANGE	PACKAGE
ICL232CPE	0°C to +70°C	16 Lead Plastic DIP
ICL232CJE	0°C to +70°C	16 Lead Ceramic DIP
ICL232CBE	0°C to +70°C	16 Lead SOIC (W)
ICL232IPE	-40°C to +85°C	16 Lead Plastic DIP
ICL232IJE	-40°C to +85°C	16 Lead Ceramic DIP
ICL232IBE	-40°C to +85°C	16 Lead SOIC (W)
ICL232MJE	-55°C to + 125°C	16 Lead Ceramic DIP

Pinouts

ICL232
(PDIP, CDIP, SOIC)
TOP VIEW



Functional Diagram



CAUTION: These devices are sensitive to electrostatic discharge. Users should follow proper I.C. Handling Procedures.

Copyright © Harris Corporation 1993

File Number 3020.2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings

V_{CC} to Ground ..... (GND -0.3V) < V_{CC} < 6V
V+ to Ground ..... (V_{CC} -0.3V) < V+ < 12V
V- to Ground ..... -12V < V- < (GND +0.3V)
Input Voltages
$T1_{IN}$, $T2_{IN}$ ..... (V- -0.3V) < V_{IN} < (V+ +0.3V)
$R1_{IN}$, $R2_{IN}$ ..... ±30V
Output Voltages
$T1_{OUT}$, $T2_{OUT}$ ..... (V- -0.3V) < V_{TXOUT} < (V+ +0.3V)
$R1_{OUT}$, $R2_{OUT}$ ..... (GND -0.3V) < V_{RXOUT} < (V_{CC} +0.3V)
Short Circuit Duration
$T1_{OUT}$, $T2_{OUT}$ ..... Continuous
$R1_{OUT}$, $R2_{OUT}$ ..... Continuous
Storage Temperature Range ..... -65°C to +150°C
Lead Temperature (Soldering 10s) ..... +300°C

Thermal Information

Thermal Resistance	θ_{JA}	θ_{JC}
Ceramic DIP Package	80°C/W	24°C/W
Plastic DIP Package	100°C/W	-
SOIC Package	100°C/W	-

Maximum Power Dissipation 250mW
Operating Temperature Range
ICL232C ..... 0°C to +70°C
ICL232I ..... -40°C to +85°C
ICL232M ..... -55°C to +125°C

CAUTION: Stresses above those listed in "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress only rating and operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied.

Electrical Specifications

Test Conditions: V_{CC} = +5V ±10%, T_A = Operating Temperature Range. Test Circuit as in Figure 8 Unless Otherwise Specified

PARAMETER	TEST CONDITIONS	LIMITS			UNITS
		MIN	TYP	MAX	
Transmitter Output Voltage Swing, T_{OUT}	$T1_{OUT}$ and $T2_{OUT}$ loaded with 3kΩ to Ground	±5	±9	±10	V
Power Supply Current, I_{CC}	Outputs Unloaded, T_A = +25°C	-	5	10	mA
T_{IN}, Input Logic Low, V_{IL}		-	-	0.8	V
T_{IN}, Input Logic High, V_{IH}		2.0	-	-	V
Logic Pullup Current, I_P	$T1_{IN}$, $T2_{IN}$ = 0V	-	15	200	µA
RS-232 Input Voltage Range, V_{IN}		-30	-	+30	V
Receiver Input Impedance, R_{IN}	V_{IN} = ±3V	3.0	5.0	7.0	kΩ
Receiver Input Low Threshold, V_{IN} (H-L)	V_{CC} = 5.0V, T_A = +25°C	0.8	1.2	-	V
Receiver Input High Threshold, V_{IN} (L-H)	V_{CC} = 5.0V, T_A = +25°C	-	1.7	2.4	V
Receiver Input Hysteresis, V_{HYST}		0.2	0.5	1.0	V
TTL/CMOS Receiver Output Voltage Low, V_{OL}	I_{OUT} = 3.2mA	-	0.1	0.4	V
TTL/CMOS Receiver Output Voltage High, V_{OH}	I_{OUT} = -1.0mA	3.5	4.6	-	V
Propagation Delay, t_{PD}	RS-232 to TTL	-	0.5	-	µs
Instantaneous Slew Rate, SR	C_L = 10pF, R_L = 3kΩ, T_A = +25°C (Notes 1, 2)	-	-	30	V/µs
Transition Region Slew Rate, SR_T	R_L = 3kΩ, C_L = 2500pF Measured from +3V to -3V or -3V to +3V	-	3	-	V/µs
Output Resistance, R_{OUT}	V_{CC} = V+ = V- = 0V, V_{OUT} = ±2V	300	-	-	Ω
RS-232 Output Short Circuit Current, I_{SC}	$T1_{OUT}$ or $T2_{OUT}$ shorted to GND	-	±10	-	mA

NOTES:

1. Guaranteed by design.
2. See Figure 4 for definition.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Curves

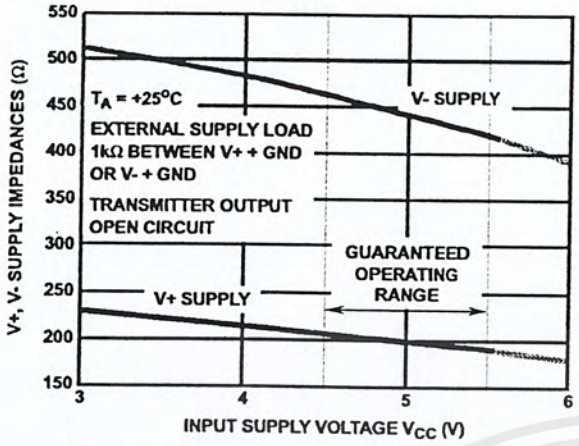


FIGURE 1. V+, V- OUTPUT IMPEDANCES vs V_{CC}

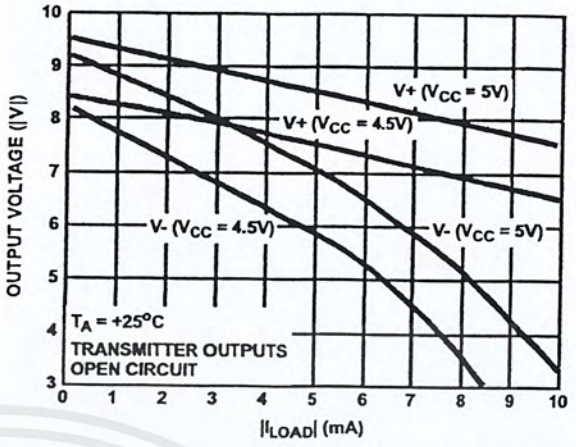


FIGURE 2. V+, V- OUTPUT VOLTAGES vs LOAD CURRENT

Pin Descriptions

PLASTIC DIP, CERAMIC DIP	SOIC	PIN NAME	DESCRIPTION
1	1	C1+	External capacitor "+" for internal voltage doubler.
2	2	V+	Internally generated +10V (typical) supply.
3	3	C1-	External capacitor "-" for internal voltage doubler.
4	4	C2+	External capacitor "+" internal voltage inverter.
5	5	C2-	External capacitor "-" internal voltage inverter.
6	6	V-	Internally generated -10V (typical) supply.
7	7	$T2_{OUT}$	RS-232 Transmitter 2 output ±10V (typical).
8	8	$R2_{IN}$	RS-232 Receiver 2 input, with internal 5K pulldown resistor to GND.
9	9	R2out	Receiver 2 TTL/CMOS output.
10	10	$T2_{IN}$	Transmitter 2 TTL/CMOS input, with internal 400K pullup resistor to V_{CC}.
11	11	$T1_{IN}$	Transmitter 1 TTL/CMOS input, with internal 400K pullup resistor to V_{CC}.
12	12	$R1_{OUT}$	Receiver 1 TTL/CMOS output.
13	13	$R1_{IN}$	RS-232 Receiver 1 input, with internal 5K pulldown resistor to GND.
14	14	$T1_{OUT}$	RS-232 Transmitter 1 output ±10V (typical).
15	15	GND	Supply Ground.
16	16	VCC	Positive Power Supply +5V ±10%

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Detailed Description

The ICL232 is a dual RS-232 transmitter/receiver powered by a single +5V power supply which meets all EIA RS232C specifications and features low power consumption. The functional diagram illustrates the major elements of the ICL232. The circuit is divided into three sections: a voltage doubler/inverter, dual transmitters, and dual receivers.

Voltage Converter

An equivalent circuit of the dual charge pump is illustrated in Figure 3.

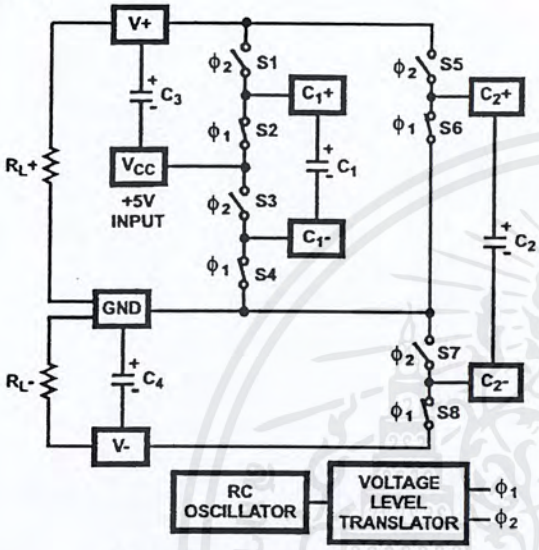
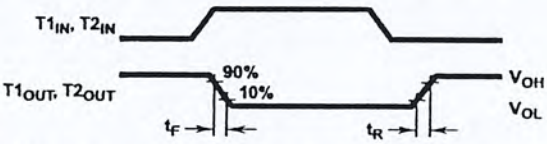


FIGURE 3. DUAL CHARGE PUMP

The voltage quadrupler contains two charge pumps which use two phases of an internally generated clock to generate +10V and -10V. The nominal clock frequency is 16kHz. During phase one of the clock, capacitor C1 is charged to V_{CC}. During phase two, the voltage on C1 is added to V_{CC}, producing a signal across C2 equal to twice V_{CC}. At the same time, C3 is also charged to $2V_{CC}$, and then during phase one, it is inverted with respect to ground to produce a signal across C4 equal to $-2V_{CC}$. The voltage converter accepts input voltages up to 5.5V. The output impedance of the doubler (V+) is approximately 200Ω, and the output impedance of the inverter (V-) is approximately 450Ω. Typical graphs are presented which show the voltage converters output vs input voltage and output voltages vs load characteristics. The test circuit (Figure 8) uses 1µF capacitors for C1-C4, however, the value is not critical. Increasing the values of C1 and C2 will lower the output impedance of the voltage doubler and inverter, and increasing the values of the reservoir capacitors, C3 and C4, lowers the ripple on the V+ and V- supplies.



$$\text{Instantaneous Slew Rate (SR)} = \frac{(0.8)(V_{OH} - V_{OL})}{t_R} \text{ or } \frac{(0.8)(V_{OL} - V_{OH})}{t_F}$$

FIGURE 4. SLEW RATE DEFINITION

Transmitters

The transmitters are TTL/CMOS compatible inverters which translate the inputs to RS-232 outputs. The input logic threshold is about 26% of V_{CC}, or 1.3V for V_{CC} = 5V. A logic 1 at the input results in a voltage of between -5V and V- at the output, and a logic 0 results in a voltage between +5V and (V+ -0.6V). Each transmitter input has an internal 400kΩ pullup resistor so any unused input can be left unconnected and its output remains in its low state. The output voltage swing meets the RS-232C specification of ±5V minimum with the worst case conditions of: both transmitters driving 3kΩ minimum load impedance, V_{CC} = 4.5V, and maximum allowable operating temperature. The transmitters have an internally limited output slew rate which is less than 30V/µs. The outputs are short circuit protected and can be shorted to ground indefinitely. The powered down output impedance is a minimum of 300Ω with ±2V applied to the outputs and V_{CC} = 0V.

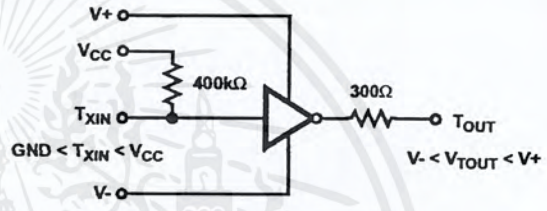


FIGURE 5. TRANSMITTER

Receivers

The receiver inputs accept up to ±30V while presenting the required 3kΩ to 7kΩ input impedance even it the power is off (V_{CC} = 0V). The receivers have a typical input threshold of 1.3V which is within the ±3V limits, known as the transition region, of the RS-232 specification. The receiver output is 0V to V_{CC}. The output will be low whenever the input is greater than 2.4V and high whenever the input is floating or driven between +0.8V and -30V. The receivers feature 0.5V hysteresis to improve noise rejection.

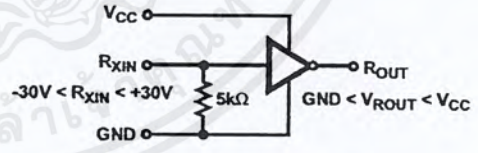
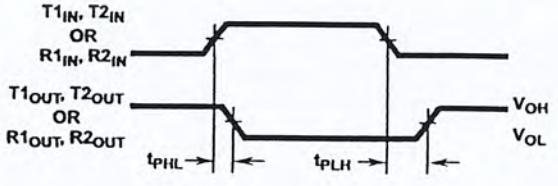


FIGURE 6. RECEIVER



$$\text{Average Propagation Delay} = \frac{t_{PHL} + t_{PLH}}{2}$$

FIGURE 7. PROPAGATION DELAY DEFINITION

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Test Circuits

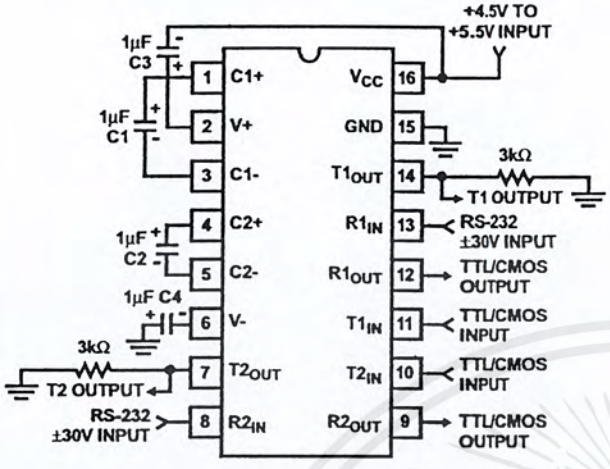


FIGURE 8. GENERAL TEST CIRCUIT

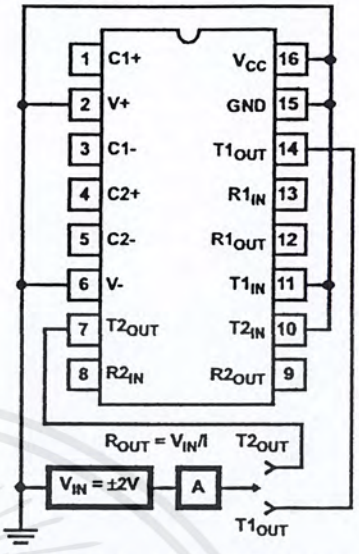


FIGURE 9. POWER-OFF SOURCE RESISTANCE CONFIGURATION

Applications

The ICL232 may be used for all RS-232 data terminal and communication links. It is particularly useful in applications where ±12V power supplies are not available for conventional RS-232 interface circuits. The applications presented represent typical interface configurations.

A simple duplex RS-232 port with CTS/RTS handshaking is illustrated in Figure 10. Fixed output signals such as DTR (data terminal ready) and DSRS (data signaling rate select) is generated by driving them through a 5kΩ resistor connected to V+.

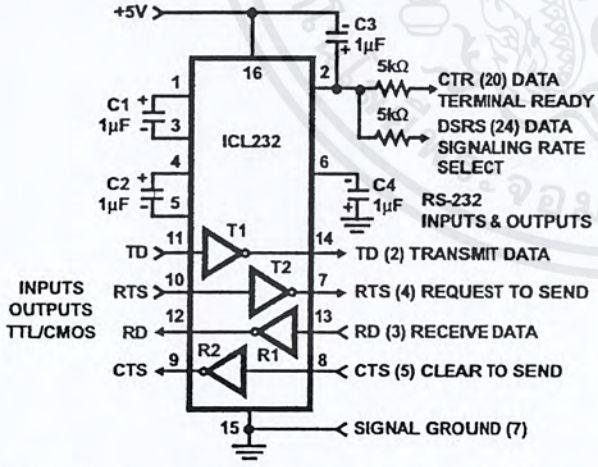


FIGURE 10. SIMPLE DUPLEX RS-232 PORT WITH CTS/RTS HANDSHAKING

In applications requiring four RS-232 inputs and outputs (Figure 11), note that each circuit requires two charge pump capacitors (C1 and C2) but can share common reservoir capacitors (C3 and C4). The benefit of sharing common reservoir capacitors is the elimination of two capacitors and the reduction of the charge pump source impedance which effectively increases the output swing of the transmitters.

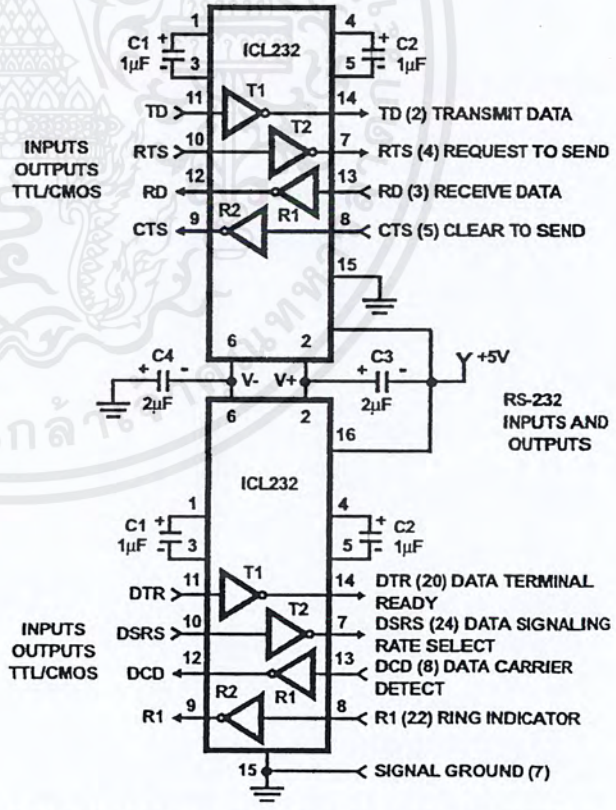


FIGURE 11. COMBINING TWO ICL232s FOR 4 PAIRS OF RS-232 INPUTS AND OUTPUTS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Features

- Low Voltage and Standard Voltage Operation
  - 5.0 (V_{CC} = 4.5V to 5.5V)
  - 2.7 (V_{CC} = 2.7V to 5.5V)
  - 1.8 (V_{CC} = 1.8V to 3.6V)
- Internally Organized 16,384 x 8 and 32,768 x 8
- 2-Wire Serial Interface
- Schmitt Trigger, Filtered Inputs for Noise Suppression
- Bidirectional Data Transfer Protocol
- 1 MHz (5V), 400 kHz (2.7V) and 100 kHz (1.8V) Compatibility
- Write Protect Pin for Hardware and Software Data Protection
- 64-Byte Page Write Mode (Partial Page Writes Allowed)
- Self-Timed Write Cycle (5 ms typical)
- High Reliability
  - Endurance: 100,000 Write Cycles
  - Data Retention: 40 Years
  - ESD Protection: > 4000V
- Automotive Grade and Extended Temperature Devices Available
- 8-Pin JEDEC PDIP, 8-Pin JEDEC and EIAJ SOIC, 14-Pin TSSOP, and 8-Pin Leadless Array Packages

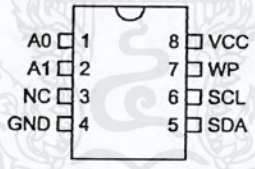
Description

The AT24C128/256 provides 131,072/262,144 bits of serial electrically erasable and programmable read only memory (EEPROM) organized as 16,384/32,768 words of 8 bits each. The device's cascadable feature allows up to 4 devices to share a common 2-wire bus. The device is optimized for use in many industrial and commercial applications where low power and low voltage operation are essential. The devices are available in space-saving 8-pin JEDEC PDIP, 8-pin EIAJ, 8-pin JEDEC SOIC, 14-pin TSSOP, and 8-pin LAP packages. In addition, the entire family is available in 5.0V (4.5V to 5.5V), 2.7V (2.7V to 5.5V) and 1.8V (1.8V to 3.6V) versions.

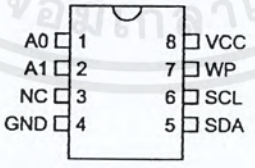
Pin Configurations

Pin Name	Function
A0 - A1	Address Inputs
SDA	Serial Data
SCL	Serial Clock Input
WP	Write Protect
NC	No Connect

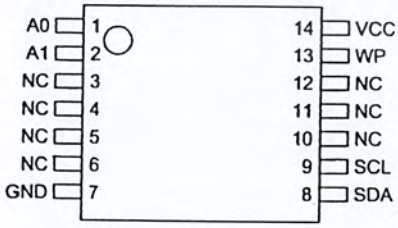
8-Pin PDIP



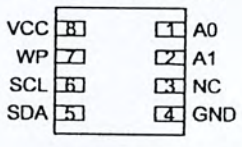
8-Pin SOIC



14-Pin TSSOP



8-Pin Leadless Array



Bottom View

2-Wire Serial EEPROMs

128K (16,384 x 8)

256K (32,768 x 8)

AT24C128
AT24C256

Rev. 0670C–08/98

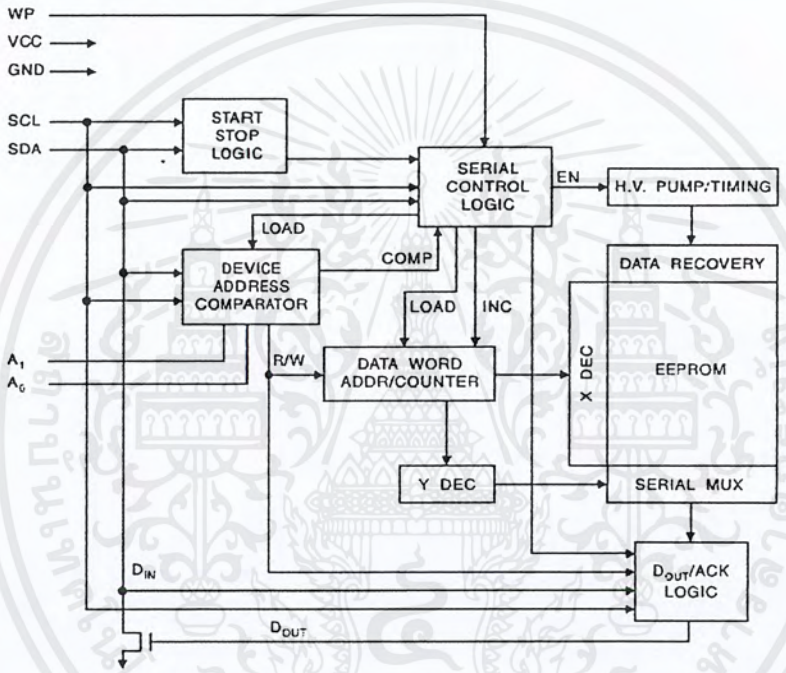
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings*

Operating Temperature	-55°C to +125°C
Storage Temperature	-65°C to +150°C
Voltage on Any Pin with Respect to Ground	-1.0V to +7.0V
Maximum Operating Voltage	6.25V
DC Output Current	5.0 mA

*NOTICE: Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

Block Diagram



Pin Description

SERIAL CLOCK (SCL): The SCL input is used to positive edge clock data into each EEPROM device and negative edge clock data out of each device.

SERIAL DATA (SDA): The SDA pin is bidirectional for serial data transfer. This pin is open-drain driven and may be wire-ORed with any number of other open-drain or open collector devices.

DEVICE/PAGE ADDRESSES (A1, A0): The A1 and A0 pins are device address inputs that are hardwired or left not connected for hardware compatibility with AT24C32/64. When the pins are hardwired, as many as four 128K/256K devices may be addressed on a single bus system (device addressing is discussed in detail under the Device Addressing section). When the pins are not hardwired, the default A_1 and A_0 are zero.

WRITE PROTECT (WP): The write protect input, when tied to GND, allows normal write operations. When WP is tied high to V_{CC}, all write operations to the memory are inhibited. If left unconnected, WP is internally pulled down to GND. Switching WP to V_{CC} prior to a write operation creates a software write protect function.

Memory Organization

AT24C128/256, 128K/256K SERIAL EEPROM: The 128K/256K is internally organized as 256/512 pages of 64-bytes each. Random word addressing requires a 14/15-bit data word address.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Pin Capacitance[1]

Applicable over recommended operating range from T_A = 25°C, f = 1.0 MHz, V_{CC} = +1.8V.

Symbol	Test Condition	Max	Units	Conditions
$C_{I/O}$	Input/Output Capacitance (SDA)	8	pF	$V_{I/O}$ = 0V
C_{IN}	Input Capacitance (A_0, A_1, SCL)	6	pF	V_{IN} = 0V

Note: This parameter is characterized and is not 100% tested.

DC Characteristics

Applicable over recommended operating range from: T_{AI} = -40°C to +85°C, V_{CC} = +1.8V to +5.5V, T_{AC} = 0°C to +70°C, V_{CC} = +1.8V to +5.5V (unless otherwise noted).

Symbol	Parameter	Test Condition		Min	Typ	Max	Units
V_{CC1}	Supply Voltage			1.8		3.6	V
V_{CC2}	Supply Voltage			2.7		5.5	V
V_{CC3}	Supply Voltage			4.5		5.5	V
I_{CC1}	Supply Current	V_{CC} = 5.0V	READ at 400 kHz		1.0	2.0	mA
I_{CC2}	Supply Current	V_{CC} = 5.0V	WRITE at 400 kHz		2.0	3.0	mA
I_{SB1}	Standby Current (1.8V option)	V_{CC} = 1.8V	V_{IN} = V_{CC} or V_{SS}			0.2	µA
		V_{CC} = 3.6V				2.0	
I_{SB2}	Standby Current (2.7V option)	V_{CC} = 2.7V	V_{IN} = V_{CC} or V_{SS}			0.5	µA
		V_{CC} = 5.5V				6.0	
I_{SB3}	Standby Current (5.0V option)	V_{CC} = 4.5 - 5.5V	V_{IN} = V_{CC} or V_{SS}			6.0	µA
I_{LI}	Input Leakage Current	V_{IN} = V_{CC} or V_{SS}			0.10	3.0	µA
I_{LO}	Output Leakage Current	V_{OUT} = V_{CC} or V_{SS}			0.05	3.0	µA
V_{IL}	Input Low Level[1]			-0.6		V_{CC} x 0.3	V
V_{IH}	Input High Level[1]			V_{CC} x 0.7		V_{CC} + 0.5	V
V_{OL2}	Output Low Level	V_{CC} = 3.0V	I_{OL} = 2.1 mA			0.4	V
V_{OL1}	Output Low Level	V_{CC} = 1.8V	I_{OL} = 0.15 mA			0.2	V

Note: 1. V_{IL} min and V_{IH} max are reference only and are not tested

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC Characteristics

Applicable over recommended operating range from T_A = -40°C to +85°C, V_{CC} = +1.8V to +5.5V, CL = 100 pF (unless otherwise noted). Test conditions are listed in Note 2.

Symbol	Parameter	1.8-volt		2.7-volt		5.0-volt		Units
		Min	Max	Min	Max	Min	Max	
f_{SCL}	Clock Frequency, SCL		100		400		1000	kHz
t_{LOW}	Clock Pulse Width Low	4.7		1.3		0.6		µs
t_{HIGH}	Clock Pulse Width High	4.0		1.0		0.4		µs
t_{AA}	Clock Low to Data Out Valid	0.1	4.5	0.05	0.9	0.05	0.55	µs
t_{BUF}	Time the bus must be free before a new transmission can start(1)	4.7		1.3		0.5		µs
$t_{HD.STA}$	Start Hold Time	4.0		0.6		0.25		µs
$t_{SU.STA}$	Start Set-up Time	4.7		0.6		0.25		µs
$t_{HD.DAT}$	Data In Hold Time	0		0		0		µs
$t_{SU.DAT}$	Data In Set-up Time	200		100		100		ns
t_R	Inputs Rise Time(1)		1.0		0.3		0.3	µs
t_F	Inputs Fall Time(1)		300		300		100	ns
$t_{SU.STO}$	Stop Set-up Time	4.7		0.6		0.25		µs
t_{DH}	Data Out Hold Time	100		50		50		ns
t_{WR}	Write Cycle Time		20		10		10	ms
Endurance(1)	5.0V, 25°C, Page Mode	100K		100K		100K		Write Cycles

Notes: 1. This parameter is characterized and is not 100% tested.

2. AC measurement conditions:
   R_L (connects to V_{CC}): 1.3KΩ (2.7V, 5V), 10KΩ (1.8V)
   Input pulse voltages: $0.3V_{CC}$ to $0.7V_{CC}$
   Input rise and fall times: ≤50ns
   Input and output timing reference voltages: $0.5V_{CC}$

Device Operation

CLOCK and DATA TRANSITIONS: The SDA pin is normally pulled high with an external device. Data on the SDA pin may change only during SCL low time periods (refer to Data Validity timing diagram). Data changes during SCL high periods will indicate a start or stop condition as defined below.

START CONDITION: A high-to-low transition of SDA with SCL high is a start condition which must precede any other command (refer to Start and Stop Definition timing diagram).

STOP CONDITION: A low-to-high transition of SDA with SCL high is a stop condition. After a read sequence, the stop command will place the EEPROM in a standby power mode (refer to Start and Stop Definition timing diagram).

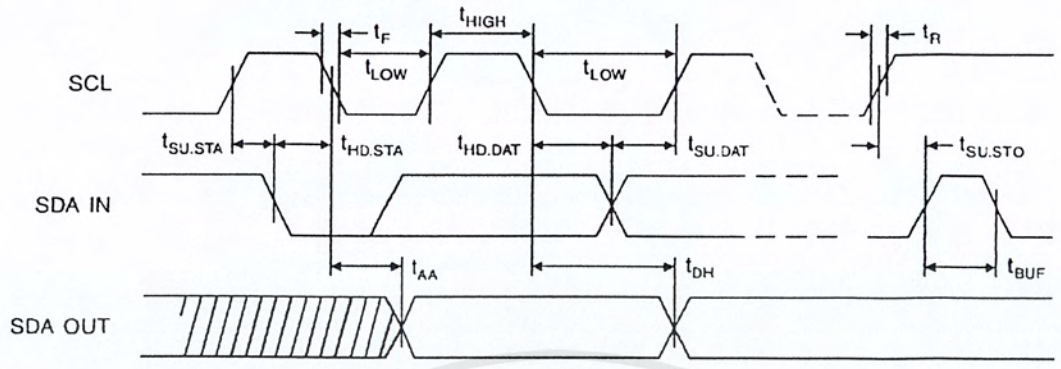
ACKNOWLEDGE: All addresses and data words are serially transmitted to and from the EEPROM in 8-bit words. The EEPROM sends a zero during the ninth clock cycle to acknowledge that it has received each word.

STANDBY MODE: The AT24C128/256 features a low power standby mode which is enabled: a) upon power-up and b) after the receipt of the STOP bit and the completion of any internal operations.

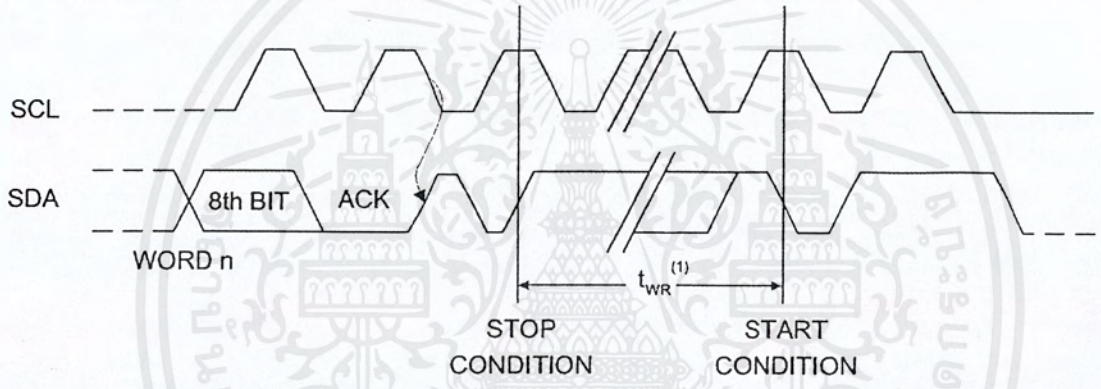
MEMORY RESET: After an interruption in protocol, power loss or system reset, any 2-wire part can be reset by following these steps: (a) Clock up to 9 cycles, (b) look for SDA high in each cycle while SCL is high and then (c) create a start condition as SDA is high.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Bus Timing (SCL: Serial Clock, SDA: Serial Data I/O)



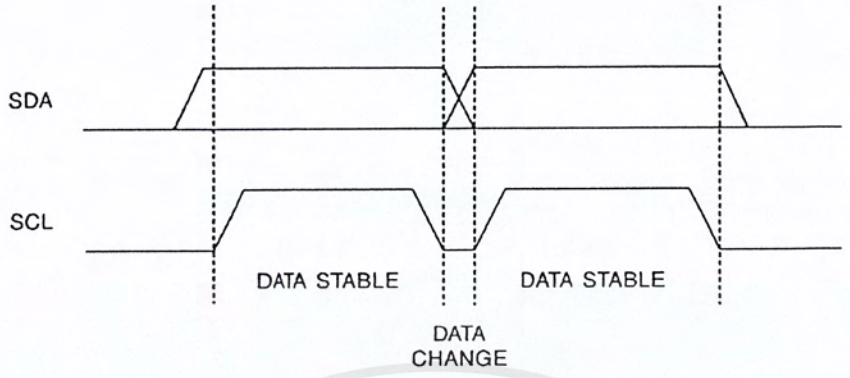
Write Cycle Timing (SCL: Serial Clock, SDA: Serial Data I/O)



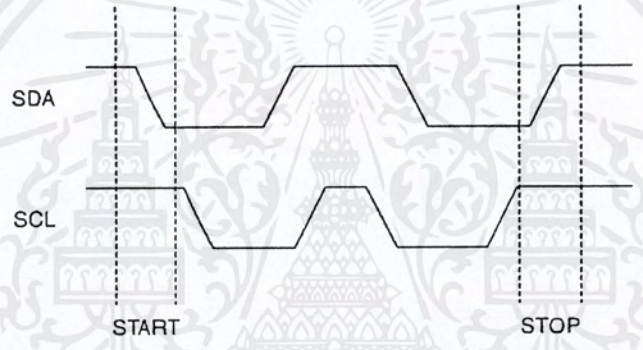
Note: 1. The write cycle time t_{WR} is the time from a valid stop condition of a write sequence to the end of the internal clear/write cycle.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

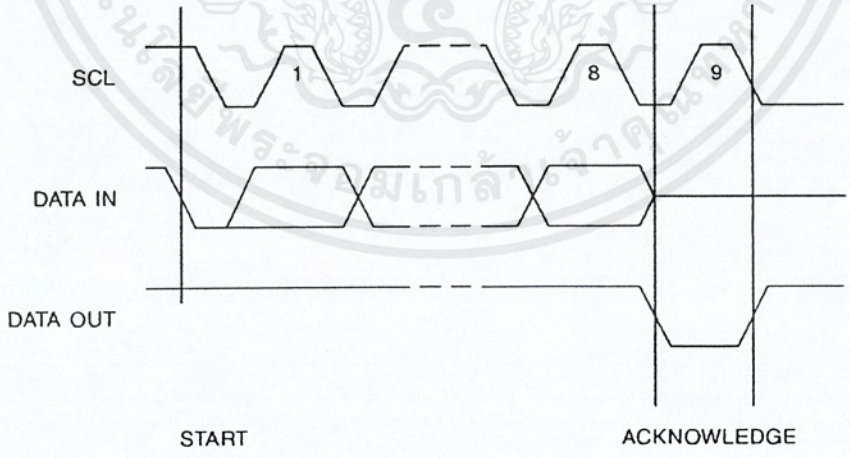
Data Validity



Start and Stop Definition



Output Acknowledge



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Device Addressing

The 128K/256K EEPROM requires an 8-bit device address word following a start condition to enable the chip for a read or write operation (refer to Figure 1). The device address word consists of a mandatory one, zero sequence for the first five most significant bits as shown. This is common to all 2-wire EEPROM devices.

The 128K/256K uses the two device address bits A1, A0 to allow as many as four devices on the same bus. These bits must compare to their corresponding hardwired input pins. The A1 and A0 pins use an internal proprietary circuit that biases them to a logic low condition if the pins are allowed to float.

The eighth bit of the device address is the read/write operation select bit. A read operation is initiated if this bit is high and a write operation is initiated if this bit is low.

Upon a compare of the device address, the EEPROM will output a zero. If a compare is not made, the device will return to a standby state.

DATA SECURITY: The AT24C128/256 has a hardware data protection scheme that allows the user to write protect the whole memory when the WP pin is at V_{CC}.

Write Operations

BYTE WRITE: A write operation requires two 8-bit data word addresses following the device address word and acknowledgment. Upon receipt of this address, the EEPROM will again respond with a zero and then clock in the first 8-bit data word. Following receipt of the 8-bit data word, the EEPROM will output a zero. The addressing device, such as a microcontroller, then must terminate the write sequence with a stop condition. At this time the EEPROM enters an internally-timed write cycle, t_{WR}, to the nonvolatile memory. All inputs are disabled during this write cycle and the EEPROM will not respond until the write is complete (refer to Figure 2).

PAGE WRITE: The 128K/256K EEPROM is capable of 64-byte page writes.

A page write is initiated the same way as a byte write, but the microcontroller does not send a stop condition after the first data word is clocked in. Instead, after the EEPROM acknowledges receipt of the first data word, the microcontroller can transmit up to 63 more data words. The EEPROM will respond with a zero after each data word received. The microcontroller must terminate the page write sequence with a stop condition (refer to Figure 3).

The data word address lower 6 bits are internally incremented following the receipt of each data word. The higher data word address bits are not incremented, retaining the memory page row location. When the word address, internally generated, reaches the page boundary, the following byte is placed at the beginning of the same page. If more than 64 data words are transmitted to the EEPROM, the data word address will "roll over" and previous data will be overwritten. The address "roll over" during write is from the last byte of the current page to the first byte of the same page.

ACKNOWLEDGE POLLING: Once the internally-timed write cycle has started and the EEPROM inputs are disabled, acknowledge polling can be initiated. This involves sending a start condition followed by the device address word. The read/write bit is representative of the operation desired. Only if the internal write cycle has completed will the EEPROM respond with a zero, allowing the read or write sequence to continue.

Read Operations

Read operations are initiated the same way as write operations with the exception that the read/write select bit in the device address word is set to one. There are three read operations: current address read, random address read and sequential read.

CURRENT ADDRESS READ: The internal data word address counter maintains the last address accessed during the last read or write operation, incremented by one. This address stays valid between operations as long as the chip power is maintained. The address "roll over" during read is from the last byte of the last memory page, to the first byte of the first page.

Once the device address with the read/write select bit set to one is clocked in and acknowledged by the EEPROM, the current address data word is serially clocked out. The microcontroller does not respond with an input zero but does generate a following stop condition (refer to Figure 4).

RANDOM READ: A random read requires a "dummy" byte write sequence to load in the data word address. Once the device address word and data word address are clocked in and acknowledged by the EEPROM, the microcontroller must generate another start condition. The microcontroller now initiates a current address read by sending a device address with the read/write select bit high. The EEPROM acknowledges the device address and serially clocks out the data word. The microcontroller does not respond with a zero but does generate a following stop condition (refer to Figure 5).

SEQUENTIAL READ: Sequential reads are initiated by either a current address read or a random address read. After the microcontroller receives a data word, it responds with an acknowledge. As long as the EEPROM receives an acknowledge, it will continue to increment the data word address and serially clock out sequential data words. When the memory address limit is reached, the data word address will "roll over" and the sequential read will continue. The sequential read operation is terminated when the microcontroller does not respond with a zero but does generate a following stop condition (refer to Figure 6).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 1. Device Address

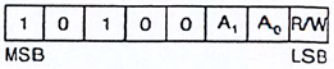


Figure 2. Byte Write

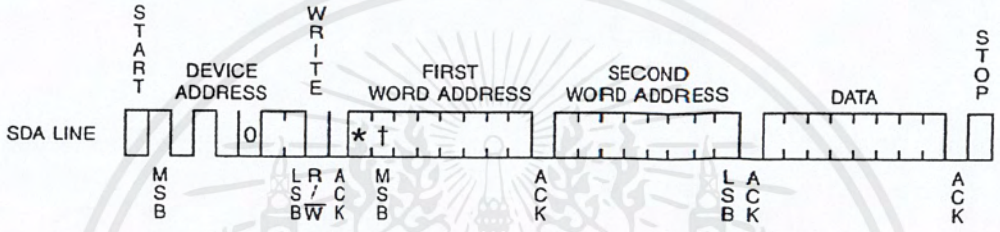
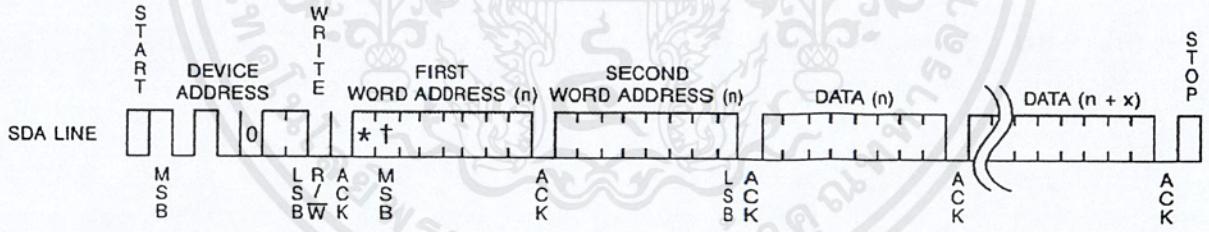


Figure 3. Page Write



(* = DON'T CARE bit)

(† = DON'T CARE bit for the 128K)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 4. Current Address Read

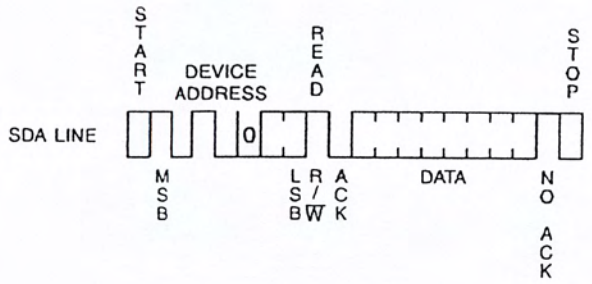
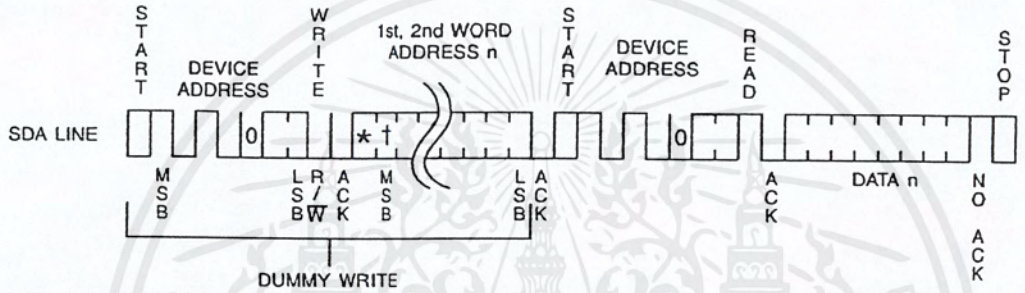
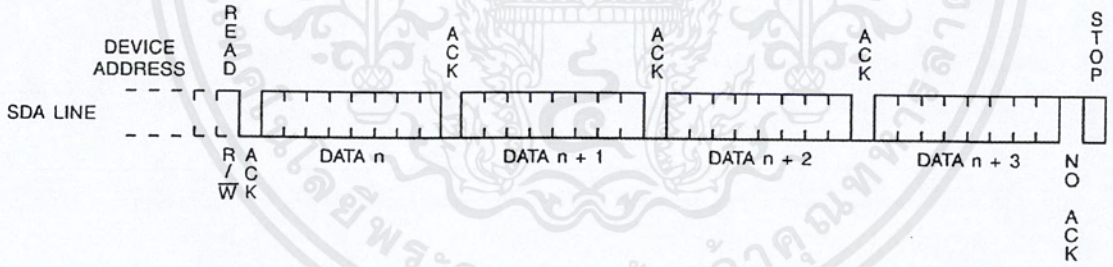


Figure 5. Random Read



(* = DON'T CARE bit)
(† = DON'T CARE bit for the 128K)

Figure 6. Sequential Read



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AT24C128 Ordering Information

t_{WR} (max) (ms)	I_{CC} (max) (µA)	I_{SB} (max) (µA)	f_{MAX} (kHz)	Ordering Code	Package	Operation Range
10	3000	6.0	1000	AT24C128-10PC AT24C128N-10SC AT24C128W-10SC AT24C128-10CC AT24C128C1-10CC AT24C128T1-10TC	8P3 8S1 8S2 8C 8C1 14T	Commercial (0°C to 70°C)
	3000	6.0	1000	AT24C128-10PI AT24C128N-10SI AT24C128W-10SI AT24C128-10CI AT24C128C1-10CI AT24C128T1-10TI	8P3 8S1 8S2 8C 8C1 14T	Industrial (-40°C to 85°C)
10	1500	0.5	400	AT24C128-10PC-2.7 AT24C128N-10SC-2.7 AT24C128W-10SC-2.7 AT24C128-10CC-2.7 AT24C128C1-10CC-2.7 AT24C128T1-10TC-2.7	8P3 8S1 8S2 8C 8C1 14T	Commercial (0°C to 70°C)
	1500	0.5	400	AT24C128-10PI-2.7 AT24C128N-10SI-2.7 AT24C128W-10SI-2.7 AT24C128-10CI-2.7 AT24C128C1-10CI-2.7 AT24C128T1-10TI-2.7	8P3 8S1 8S2 8C 8C1 14T	Industrial (-40°C to 85°C)

Package Type	
8C	8-Lead, 0.230" Wide, Leadless Array Package (LAP)
8C1	8-Lead, 0.300" Wide, Leadless Array Package (LAP)
8P3	8-Lead, 0.300" Wide, Plastic Dual Inline Package (PDIP)
8S1	8-Lead, 0.150" Wide, Plastic Gull Wing Small Outline Package (JEDEC SOIC)
8S2	8-Lead, 0.200" Wide, Plastic Gull Wing Small Outline Package (EIAJ SOIC)
14T	14-Lead, 0.170" Wide, Thin Shrink Small Outline Package (TSSOP)
Options	
Blank	Standard Operation (4.5V to 5.5V)
-2.7	Low-Voltage (2.7V to 5.5V)
-1.8	Low-Voltage (1.8V to 3.6V)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AT24C128 Ordering Information (Continued)

t_{WR} (max) (ms)	I_{CC} (max) (µA)	I_{SB} (max) (µA)	f_{MAX} (kHz)	Ordering Code	Package	Operation Range
20	800	0.2	100	AT24C128-10PC-1.8	8P3	Commercial (0°C to 70°C)
				AT24C128N-10SC-1.8	8S1	
				AT24C128W-10SC-1.8	8S2	
				AT24C128-10CC-1.8	8C	
				AT24C128C1-10CC-1.8	8C1	
				AT24C128T1-10TC-1.8	14T	
	800	0.2	100	AT24C128-10PI-1.8	8P3	Industrial (-40°C to 85°C)
				AT24C128N-10SI-1.8	8S1	
				AT24C128W-10SI-1.8	8S2	
				AT24C128-10CI-1.8	8C	
				AT24C128C1-10CI-1.8	8C1	
				AT24C128T1-10TI-1.8	14T	

Package Type	
8C	8-Lead, 0.230" Wide, Leadless Array Package (LAP)
8C1	8-Lead, 0.300" Wide, Leadless Array Package (LAP)
8P3	8-Lead, 0.300" Wide, Plastic Dual Inline Package (PDIP)
8S1	8-Lead, 0.150" Wide, Plastic Gull Wing Small Outline Package (JEDEC SOIC)
8S2	8-Lead, 0.200" Wide, Plastic Gull Wing Small Outline Package (EIAJ SOIC)
14T	14-Lead, 0.170" Wide, Thin Shrink Small Outline Package (TSSOP)
Options	
Blank	Standard Operation (4.5V to 5.5V)
-2.7	Low-Voltage (2.7V to 5.5V)
-1.8	Low-Voltage (1.8V to 3.6V)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AT24C256 Ordering Information

t_{WR} (max) (ms)	I_{CC} (max) (µA)	I_{SB} (max) (µA)	f_{MAX} (kHz)	Ordering Code	Package	Operation Range
10	3000	6.0	1000	AT24C256-10PC AT24C256N-10SC AT24C256W-10SC AT24C256-10CC AT24C256C1-10CC AT24C256T1-10TC	8P3 8S1 8S2 8C 8C1 14T	Commercial (0°C to 70°C)
	3000	6.0	1000	AT24C256-10PI AT24C256N-10SI AT24C256W-10SI AT24C256-10CI AT24C256C1-10CI AT24C256T1-10TI	8P3 8S1 8S2 8C 8C1 14T	Industrial (-40°C to 85°C)
10	1500	0.5	400	AT24C256-10PC-2.7 AT24C256N-10SC-2.7 AT24C256W-10SC-2.7 AT24C256-10CC-2.7 AT24C256C1-10CC-2.7 AT24C256T1-10TC-2.7	8P3 8S1 8S2 8C 8C1 14T	Commercial (0°C to 70°C)
	1500	0.5	400	AT24C256-10PI-2.7 AT24C256N-10SI-2.7 AT24C256W-10SI-2.7 AT24C256-10CI-2.7 AT24C256C1-10CI-2.7 AT24C256T1-10TI-2.7	8P3 8S1 8S2 8C 8C1 14T	Industrial (-40°C to 85°C)

Package Type	
8C	8-Lead, 0.230" Wide, Leadless Array Package (LAP)
8C1	8-Lead, 0.300" Wide, Leadless Array Package (LAP)
8P3	8-Lead, 0.300" Wide, Plastic Dual Inline Package (PDIP)
8S1	8-Lead, 0.150" Wide, Plastic Gull Wing Small Outline Package (JEDEC SOIC)
8S2	8-Lead, 0.200" Wide, Plastic Gull Wing Small Outline Package (EIAJ SOIC)
14T	14-Lead, 0.170" Wide, Thin Shrink Small Outline Package (TSSOP)
Options	
Blank	Standard Operation (4.5V to 5.5V)
-2.7	Low-Voltage (2.7V to 5.5V)
-1.8	Low-Voltage (1.8V to 3.6V)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AT24C256 Ordering Information (Continued)

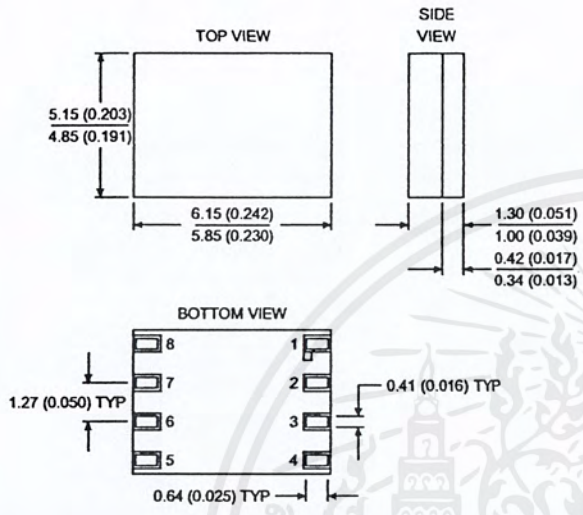
t_{WR} (max) (ms)	I_{CC} (max) (µA)	I_{SB} (max) (µA)	f_{MAX} (kHz)	Ordering Code	Package	Operation Range
20	800	0.2	100	AT24C256-10PC-1.8	8P3	Commercial (0°C to 70°C)
				AT24C256N-10SC-1.8	8S1	
				AT24C256W-10SC-1.8	8S2	
				AT24C256-10CC-1.8	8C	
				AT24C256C1-10CC-1.8	8C1	
				AT24C256T1-10TC-1.8	14T	
	800	0.2	100	AT24C256-10PI-1.8	8P3	Industrial (-40°C to 85°C)
				AT24C256N-10SI-1.8	8S1	
				AT24C256W-10SI-1.8	8S2	
				AT24C256-10CI-1.8	8C	
				AT24C256C1-10CI-1.8	8C1	
				AT24C256T1-10TI-1.8	14T	

Package Type	
8C	8-Lead, 0.230" Wide, Leadless Array Package (LAP)
8C1	8-Lead, 0.300" Wide, Leadless Array Package (LAP)
8P3	8-Lead, 0.300" Wide, Plastic Dual Inline Package (PDIP)
8S1	8-Lead, 0.150" Wide, Plastic Gull Wing Small Outline Package (JEDEC SOIC)
8S2	8-Lead, 0.200" Wide, Plastic Gull Wing Small Outline Package (EIAJ SOIC)
14T	14-Lead, 0.170" Wide, Thin Shrink Small Outline Package (TSSOP)
Options	
Blank	Standard Operation (4.5V to 5.5V)
-2.7	Low-Voltage (2.7V to 5.5V)
-1.8	Low-Voltage (1.8V to 3.6V)

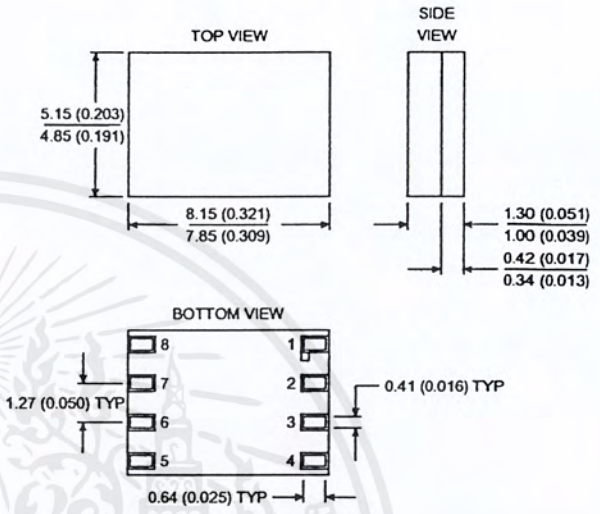
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Packaging Information

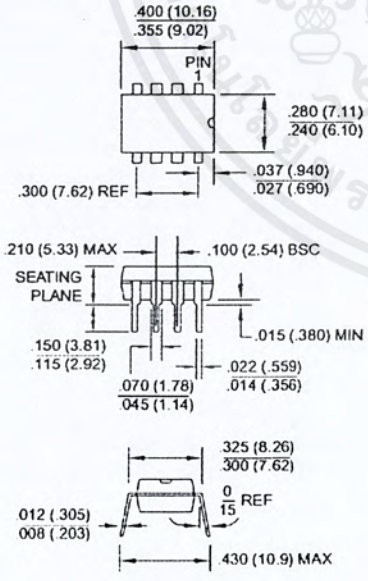
8C, 8-Lead, 0.230" Wide, Leadless Array Package (LAP)
Dimensions in Inches and (Millimeters)



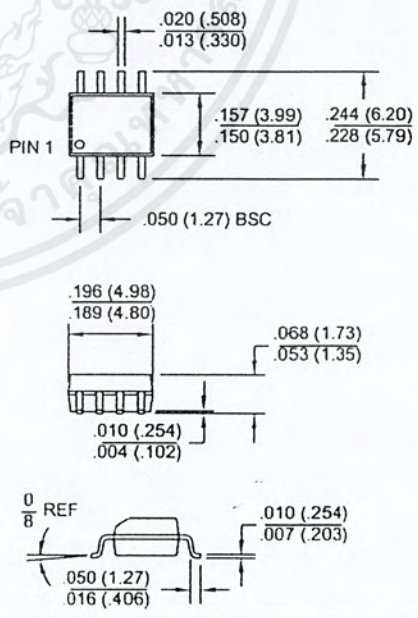
8C1, 8-Lead, 0.300" Wide, Leadless Array Package (LAP)
Dimensions in Inches and (Millimeters)



8P3, 8-Lead, 0.300" Wide,
Plastic Dual Inline Package (PDIP)
Dimensions in Inches and (Millimeters)
JEDEC STANDARD MS-001 BA



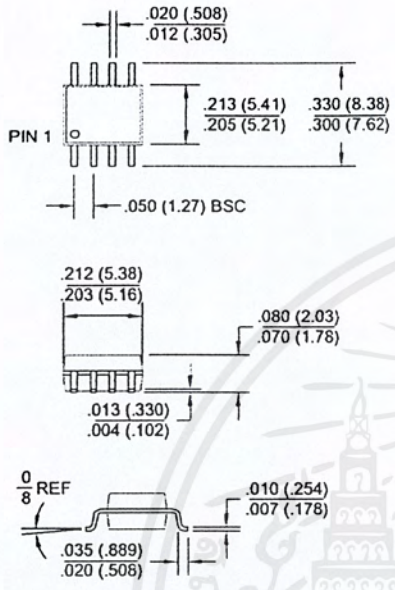
8S1, 8-Lead, 0.150" Wide,
Plastic Gull Wing Small Outline (JEDEC SOIC)
Dimensions in Inches and (Millimeters)



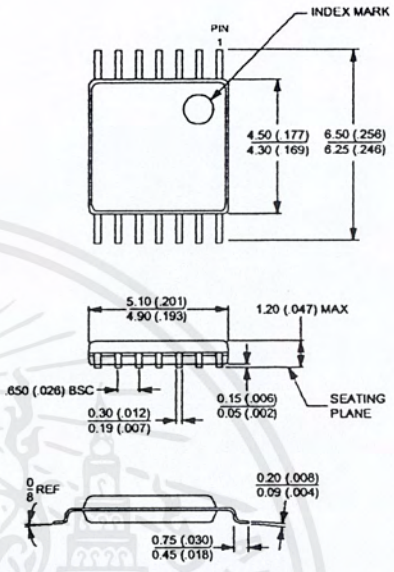
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Packaging Information

8S2, 8-Lead, 0.200" Wide,
Plastic Gull Wing Small Outline (EIAJ SOIC)
Dimensions in Inches and (Millimeters)



14T, 14-Lead, 0.170" Wide, Thin Shrink Small
Outline Package (TSSOP)
Dimensions in Inches and (Millimeters)



*Controlling dimension: millimeters

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DALLAS SEMICONDUCTOR

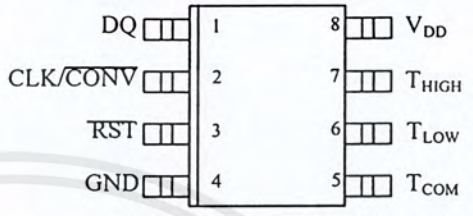
DS1620
Digital Thermometer and Thermostat

www.dalsemi.com

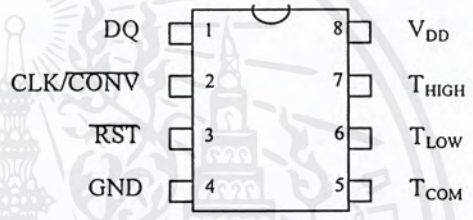
FEATURES

- Requires no external components
- Supply voltage range covers from 2.7V to 5.5V
- Measures temperatures from -55°C to +125°C in 0.5°C increments; Fahrenheit equivalent is -67°F to +257°F in 0.9°F increments
- Temperature is read as a 9-bit value
- Converts temperature to digital word in 1 second (max)
- Thermostatic settings are user-definable and nonvolatile
- Data is read from/written via a 3-wire serial interface (CLK, DQ, $\overline{RST}$)
- Applications include thermostatic controls, industrial systems, consumer products, thermometers, or any thermally sensitive system
- 8-pin DIP or SOIC (208-mil) packages

PIN ASSIGNMENT



DS1620S 8-Pin SOIC (208-miil)
See Mech Drawings Section



DS1620 8-Pin DIP (300-mil)
See Mech Drawings Section

PIN DESCRIPTION

DQ	- 3-Wire Input/Output
CLK/$\overline{CONV}$	- 3-Wire Clock Input and Stand-alone Convert Input
$\overline{RST}$	- 3-Wire Reset Input
GND	- Ground
T_{HIGH}	- High Temperature Trigger
T_{LOW}	- Low Temperature Trigger
T_{COM}	- High/Low Combination Trigger
V_{DD}	- Power Supply Voltage (3V - 5V)

DESCRIPTION

The DS1620 Digital Thermometer and Thermostat provides 9–bit temperature readings which indicate the temperature of the device. With three thermal alarm outputs, the DS1620 can also act as a thermostat. T_{HIGH} is driven high if the DS1620's temperature is greater than or equal to a user–defined temperature TH. T_{LOW} is driven high if the DS1620's temperature is less than or equal to a user–defined temperature TL. T_{COM} is driven high when the temperature exceeds TH and stays high until the temperature falls below that of TL.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

User–defined temperature settings are stored in nonvolatile memory, so parts can be programmed prior to insertion in a system, as well as used in standalone applications without a CPU. Temperature settings and temperature readings are all communicated to/from the DS1620 over a simple 3–wire interface.

OPERATION-MEASURING TEMPERATURE

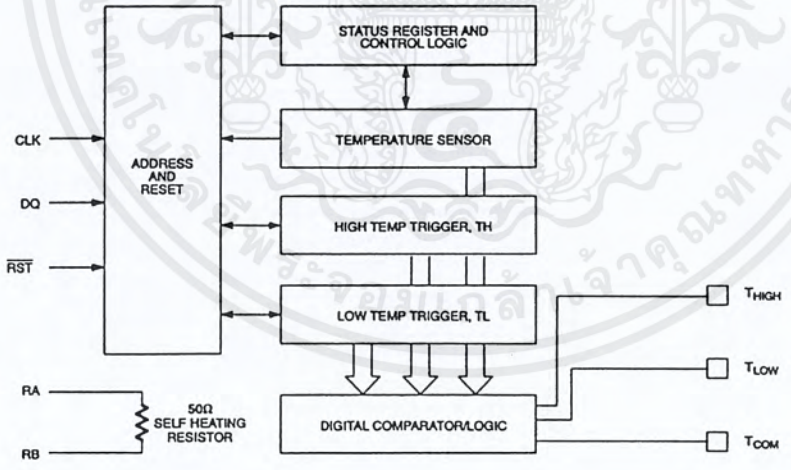
A block diagram of the DS1620 is shown in Figure 1. The DS1620 measures temperatures through the use of an onboard proprietary temperature measurement technique. A block diagram of the temperature measurement circuitry is shown in Figure 2.

The DS1620 measures temperature by counting the number of clock cycles that an oscillator with a low temperature coefficient goes through during a gate period determined by a high temperature coefficient oscillator. The counter is preset with a base count that corresponds to –55°C. If the counter reaches 0 before the gate period is over, the temperature register, which is also preset to the –55°C value, is incremented, indicating that the temperature is higher than –55°C.

At the same time, the counter is then preset with a value determined by the slope accumulator circuitry. This circuitry is needed to compensate for the parabolic behavior of the oscillators over temperature. The counter is then clocked again until it reaches 0. If the gate period is still not finished, then this process repeats.

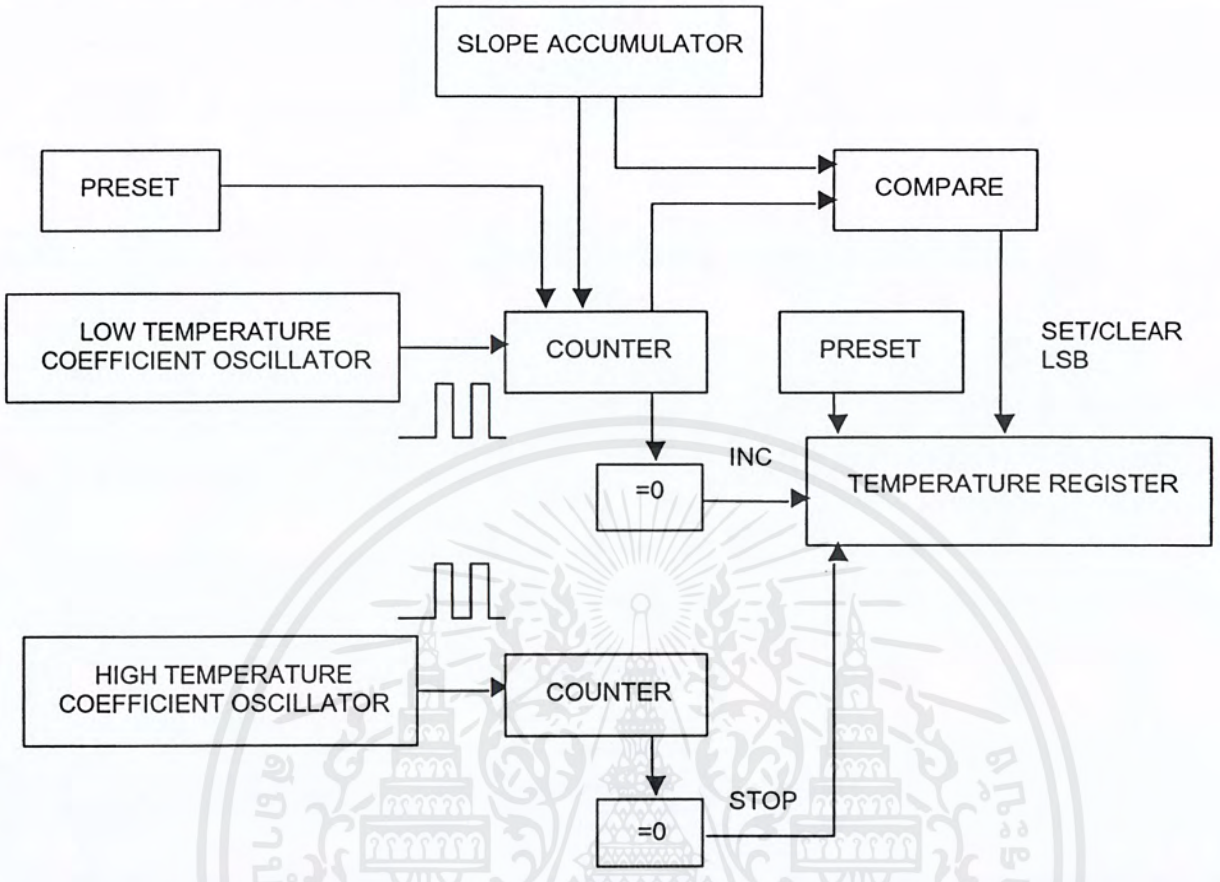
The slope accumulator is used to compensate for the nonlinear behavior of the oscillators over temperature, yielding a high-resolution temperature measurement. This is done by changing the number of counts necessary for the counter to go through for each incremental degree in temperature. To obtain the desired resolution, therefore, both the value of the counter and the number of counts per degree C (the value of the slope accumulator) at a given temperature must be known.

DS1620 FUNCTIONAL BLOCK DIAGRAM Figure 1



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TEMPERATURE MEASURING CIRCUITRY Figure 2



This calculation is done inside the DS1620 to provide 0.5°C resolution. The temperature reading is provided in a 9–bit, two's complement reading by issuing a READ TEMPERATURE command. Table 1 describes the exact relationship of output data to measured temperature. The data is transmitted serially through the 3–wire serial interface, LSB first. The DS1620 can measure temperature over the range of -55°C to +125°C in 0.5°C increments. For Fahrenheit usage, a lookup table or conversion factor must be used.

TEMPERATURE/DATA RELATIONSHIPS Table 1

TEMP	DIGITAL OUTPUT (Binary)	DIGITAL OUTPUT (Hex)
+125°C	0 11111010	00FA
+25°C	0 00110010	0032h
+½°C	0 00000001	0001h
+0°C	0 00000000	0000h
-½°C	1 11111111	01FFh
-25°C	1 11001110	01CEh
-55°C	1 10010010	0192h

Since data is transmitted over the 3–wire bus LSB first, temperature data can be written to/read from the DS1620 as either a 9–bit word (taking $\overline{RST}$ low after the 9th (MSB) bit), or as two transfers of 8–bit

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

words, with the most significant 7 bits being ignored or set to 0, as illustrated in Table 1. After the MSB, the DS1620 will output 0s.

Note that temperature is represented in the DS1620 in terms of a ½°C LSB, yielding the following 9–bit format:

MSB								LSB							
X	X	X	X	X	X	X	1	1	1	0	0	1	1	1	0

T = -25°C

Higher resolutions may be obtained by reading the temperature, and truncating the 0.5°C bit (the LSB) from the read value. This value is TEMP_READ. The value left in the counter may then be read by issuing a READ COUNTER command. This value is the count remaining (COUNT_REMAIN) after the gate period has ceased. By loading the value of the slope accumulator into the count register (using the READ SLOPE command), this value may then be read, yielding the number of counts per degree C (COUNT_PER_C) at that temperature. The actual temperature may be then be calculated by the user using the following:

$$\text{TEMPERATURE}=\text{TEMP_READ}-0.25+\frac{(\text{COUNT_PER_C}-\text{COUNT_REMAIN})}{\text{COUNT_PER_C}}$$

DETAILED PIN DESCRIPTION Table 2

PIN	SYMBOL	DESCRIPTION
1	DQ	**Data Input/Output pin** for 3-wire communication port.
2	CLK/$\overline{\text{CONV}}$	**Clock input pin** for 3-wire communication port. When the DS1620 is used in a stand-alone application with no 3–wire port, this pin can be used as a convert pin. Temperature conversion will begin on the falling edge of $\overline{\text{CONV}}$.
3	$\overline{\text{RST}}$	**Reset input pin** for 3-wire communication port.
4	GND	**Ground pin.**
5	T_{COM}	**High/Low Combination Trigger**. Goes high when temperature exceeds TH; will reset to low when temperature falls below TL.
6	T_{LOW}	**Low Temperature Trigger.** Goes high when temperature falls below TL.
7	T_{HIGH}	**High Temperature Trigger.** Goes high when temperature exceeds TH.
8	V_{DD}	**Supply Voltage.** 2.7V – 5.5V input power pin.

OPERATION–THERMOSTAT CONTROLS

Three thermally triggered outputs, T_{HIGH}, T_{LOW}, and T_{COM}, are provided to allow the DS1620 to be used as a thermostat, as shown in Figure 3. When the DS1620's temperature meets or exceeds the value stored in the high temperature trip register, the output T_{HIGH} becomes active (high) and remains active until the DS1620's measured temperature becomes less than the stored value in the high temperature register, TH. The T_{HIGH} output can be used to indicate that a high temperature tolerance boundary has been met or exceeded, or it can be used as part of a closed loop system to activate a cooling system and deactivate it when the system temperature returns to tolerance.

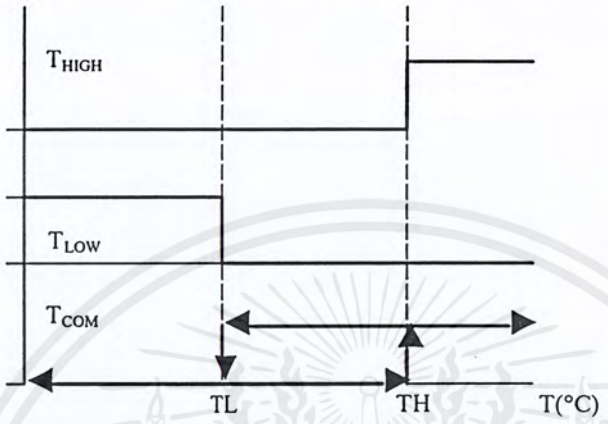
The T_{LOW} output functions similarly to the T_{HIGH} output. When the DS1620's measured temperature equals or falls below the value stored in the low temperature register, the T_{LOW} output becomes active. T_{LOW} remains active until the DS1620's temperature becomes greater than the value stored in the low temperature register, TL. The T_{LOW} output can be used to indicate that a low temperature tolerance

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

boundary has been met or exceeded, or as part of a closed loop system it can be used to activate a heating system and deactivate it when the system temperature returns to tolerance.

The T_{COM} output goes high when the measured temperature meets or exceeds TH, and will stay high until the temperature equals or falls below TL. In this way, any amount of hysteresis can be obtained.

THERMOSTAT OUTPUT OPERATION Figure 3



OPERATION AND CONTROL

The DS1620 must have temperature settings resident in the TH and TL registers for thermostatic operation. A configuration/status register also determines the method of operation that the DS1620 will use in a particular application and indicates the status of the temperature conversion operation. The configuration register is defined as follows:

CONFIGURATION/STATUS REGISTER

DONE	THF	TLF	NVB	1	0	CPU	1SHOT

where

DONE = Conversion Done Bit. 1=conversion complete, 0=conversion in progress.

THF = Temperature High Flag. This bit will be set to 1 when the temperature is greater than or equal to the value of TH. It will remain 1 until reset by writing 0 into this location or by removing power from the device. This feature provides a method of determining if the DS1620 has ever been subjected to temperatures above TH while power has been applied.

TLF = Temperature Low Flag. This bit will be set to 1 when the temperature is less than or equal to the value of TL. It will remain 1 until reset by writing 0 into this location or by removing power from the device. This feature provides a method of determining if the DS1620 has ever been subjected to temperatures below TL while power has been applied.

NVB = Nonvolatile Memory Busy Flag. 1=write to an E^2 memory cell in progress. 0=nonvolatile memory is not busy. A copy to E^2 may take up to 10 ms.

CPU = CPU Use Bit. If CPU=0, the CLK/$\overline{\text{CONV}}$ pin acts as a conversion start control, when $\overline{\text{RST}}$ is low. If CPU is 1, the DS1620 will be used with a CPU communicating to it over the 3-wire port, and the

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

operation of the CLK/$\overline{\text{CONV}}$ pin is as a normal clock in concert with DQ and $\overline{\text{RST}}$. This bit is stored in nonvolatile E^2 memory, capable of at least 50,000 writes. The DS1620 is shipped with CPU=0.

1SHOT = One–Shot Mode. If 1SHOT is 1, the DS1620 will perform one temperature conversion upon reception of the Start Convert T protocol. If 1SHOT is 0, the DS1620 will continuously perform temperature conversion. This bit is stored in nonvolatile E^2 memory, capable of at least 50,000 writes. The DS1620 is shipped with 1SHOT=0.

For typical thermostat operation, the DS1620 will operate in continuous mode. However, for applications where only one reading is needed at certain times or to conserve power, the one–shot mode may be used. Note that the thermostat outputs (T_{HIGH}, T_{LOW}, T_{COM}) will remain in the state they were in after the last valid temperature conversion cycle when operating in one–shot mode.

OPERATION IN STAND–ALONE MODE

In applications where the DS1620 is used as a simple thermostat, no CPU is required. Since the temperature limits are nonvolatile, the DS1620 can be programmed prior to insertion in the system. In order to facilitate operation without a CPU, the CLK/$\overline{\text{CONV}}$ pin (pin 2) can be used to initiate conversions. Note that the CPU bit must be set to 0 in the configuration register to use this mode of operation. Whether CPU=0 or 1, the 3–wire port is active. Setting CPU=1 disables the stand–alone mode.

To use the CLK/$\overline{\text{CONV}}$ pin to initiate conversions, $\overline{\text{RST}}$ must be low and CLK/$\overline{\text{CONV}}$ must be high. If CLK/$\overline{\text{CONV}}$ is driven low and then brought high in less than 10 ms, one temperature conversion will be performed and then the DS1620 will return to an idle state. If CLK/$\overline{\text{CONV}}$ is driven low and remains low, continuous conversions will take place until CLK/$\overline{\text{CONV}}$ is brought high again. With the CPU bit set to 0, the CLK/$\overline{\text{CONV}}$ will override the 1SHOT bit if it is equal to 1. This means that even if the part is set for one–shot mode, driving CLK/$\overline{\text{CONV}}$ low will initiate conversions.

3–WIRE COMMUNICATIONS

The 3–wire bus is comprised of three signals. These are the $\overline{\text{RST}}$ (reset) signal, the CLK (clock) signal, and the DQ (data) signal. All data transfers are initiated by driving the $\overline{\text{RST}}$ input high. Driving the $\overline{\text{RST}}$ input low terminates communication. (See Figures 4 and 5.) A clock cycle is a sequence of a falling edge followed by a rising edge. For data inputs, the data must be valid during the rising edge of a clock cycle. Data bits are output on the falling edge of the clock and remain valid through the rising edge.

When reading data from the DS1620, the DQ pin goes to a high-impedance state while the clock is high. Taking $\overline{\text{RST}}$ low will terminate any communication and cause the DQ pin to go to a high-impedance state.

Data over the 3–wire interface is communicated LSB first. The command set for the 3–wire interface as shown in Table 3 is as follows.

Read Temperature [AAh]

This command reads the contents of the register which contains the last temperature conversion result. The next nine clock cycles will output the contents of this register.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Write TH [01h]

This command writes to the TH (HIGH TEMPERATURE) register. After issuing this command the next nine clock cycles clock in the 9–bit temperature limit which will set the threshold for operation of the T_{HIGH} output.

Write TL [02h]

This command writes to the TL (LOW TEMPERATURE) register. After issuing this command the next nine clock cycles clock in the 9–bit temperature limit which will set the threshold for operation of the T_{LOW} output.

Read TH [A1h]

This command reads the value of the TH (HIGH TEMPERATURE) register. After issuing this command the next nine clock cycles clock out the 9–bit temperature limit which sets the threshold for operation of the T_{HIGH} output.

Read TL [A2h]

This command reads the value of the TL (LOW TEMPERATURE) register. After issuing this command the next nine clock cycles clock out the 9–bit temperature limit which sets the threshold for operation of the T_{LOW} output.

Read Counter [A0h]

This command reads the value of the counter byte. The next nine clock cycles will output the contents of this register.

Read Slope [A9h]

This command reads the value of the slope counter byte from the DS1620. The next nine clock cycles will output the contents of this register.

Start Convert T [EEh]

This command begins a temperature conversion. No further data is required. In one–shot mode the temperature conversion will be performed and then the DS1620 will remain idle. In continuous mode this command will initiate continuous conversions.

Stop Convert T [22h]

This command stops temperature conversion. No further data is required. This command may be used to halt a DS1620 in continuous conversion mode. After issuing this command the current temperature measurement will be completed and then the DS1620 will remain idle until a Start Convert T is issued to resume continuous operation.

Write Config [0Ch]

This command writes to the configuration register. After issuing this command the next eight clock cycles clock in the value of the configuration register.

Read Config [ACh]

This command reads the value in the configuration register. After issuing this command the next eight clock cycles output the value of the configuration register.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DS1620 COMMAND SET Table 3

INSTRUCTION	DESCRIPTION	PROTOCOL	3-WIRE BUS DATA AFTER ISSUING PROTOCOL	NOTES
TEMPERATURE CONVERSION COMMANDS				
Read Temperature	Reads last converted temperature value from temperature register.	AAh	<read data>	
Read Counter	Reads value of count remaining from counter.	A0h	<read data>	
Read Slope	Reads value of the slope accumulator.	A9h	<read data>	
Start Convert T	Initiates temperature conversion.	EEh	Idle	1
Stop Convert T	Halts temperature conversion.	22h	Idle	1
THERMOSTAT COMMANDS				
Write TH	Writes high temperature limit value into TH register.	01h	<write data>	2
Write TL	Writes low temperature limit value into TL register.	02h	<write data>	2
Read TH	Reads stored value of high temperature limit from TH register.	A1h	<read data>	2
Read TL	Reads stored value of low temperature limit from TL register.	A2h	<read data>	2
Write Config	Writes configuration data to configuration register.	0Ch	<write data>	2
Read Config	Reads configuration data from configuration register.	ACh	<read data>	2

NOTES:

1. In continuous conversion mode, a Stop Convert T command will halt continuous conversion. To restart, the Start Convert T command must be issued. In one–shot mode, a Start Convert T command must be issued for every temperature reading desired.
2. Writing to the E^2 typically requires 10 ms at room temperature. After issuing a write command no further writes should be requested for at least 10 ms.

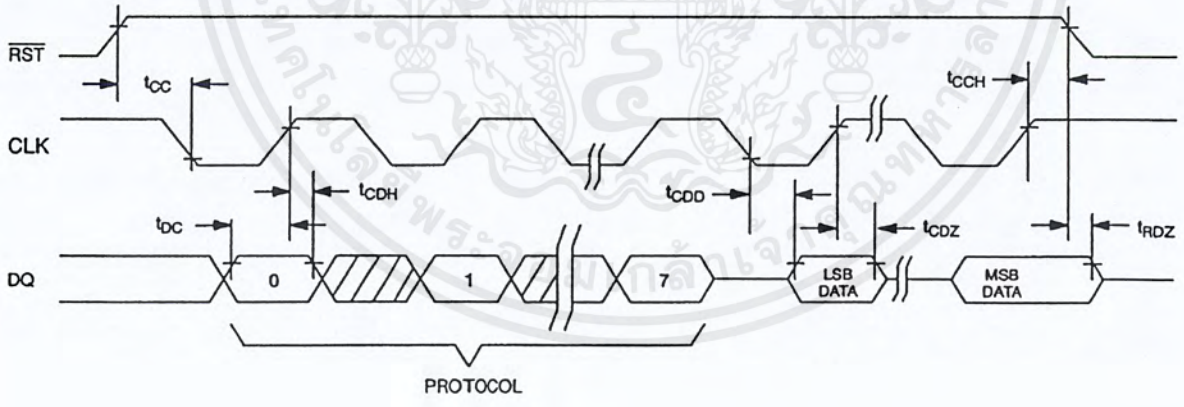
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FUNCTION EXAMPLE

Example: CPU sets up DS1620 for continuous conversion and thermostatic function.

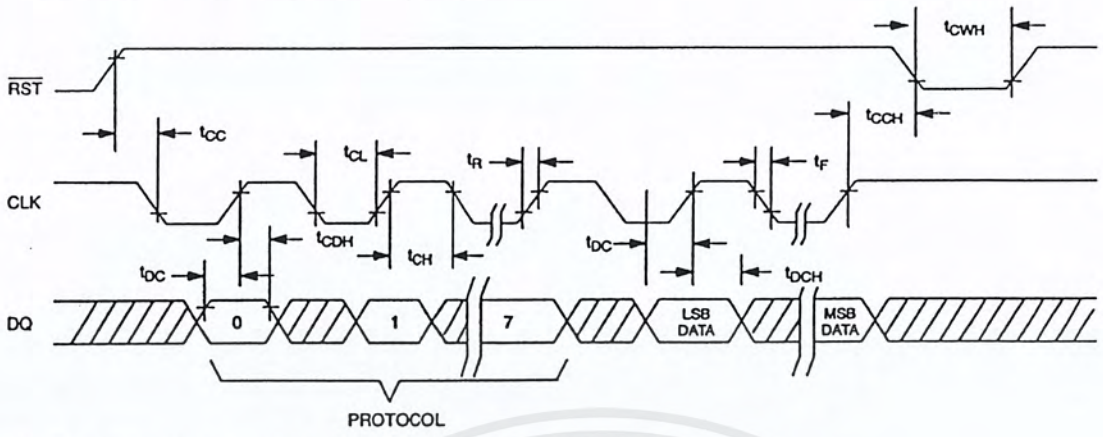
CPU MODE	DS1620 MODE (3-WIRE)	DATA (LSB FIRST)	COMMENTS
TX	RX	0Ch	CPU issues Write Config command
TX	RX	00h	CPU sets DS1620 up for continuous conversion
TX	RX	Toggle $\overline{RST}$	CPU issues Reset to DS1620
TX	RX	01h	CPU issues Write TH command
TX	RX	0050h	CPU sends data for TH limit of +40°C
TX	RX	Toggle $\overline{RST}$	CPU issues Reset to DS1620
TX	RX	02h	CPU issues Write TL command
TX	RX	0014h	CPU sends data for TL limit of +10°C
TX	RX	Toggle $\overline{RST}$	CPU issues Reset to DS1620
TX	RX	A1h	CPU issues Read TH command
RX	TX	0050h	DS1620 sends back stored value of TH for CPU to verify
TX	RX	Toggle $\overline{RST}$	CPU issues Reset to DS1620
TX	RX	A2h	CPU issues Read TL command
RX	TX	0014h	DS1620 sends back stored value of TL for CPU to verify
TX	RX	Toggle $\overline{RST}$	CPU issues Reset to DS1620
TX	RX	EEh	CPU issues Start Convert T command
TX	RX	Drop $\overline{RST}$	CPU issues Reset to DS1620

READ DATA TRANSFER Figure 4



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

WRITE DATA TRANSFER Figure 5



NOTE: t_{CL}, t_{CH}, t_R, and t_F apply to both read and write data transfer.

RELATED APPLICATION NOTES

The following Application Notes can be applied to the DS1620. These notes can be obtained from the Dallas Semiconductor "Application Note Book", via our Web site at http:\\www.dalsemi.com/, or through our faxback service at (972) 371–4441.

Application Note 67: "Applying and Using the DS1620 in Temperature Control Applications"

Application Note 85: "Interfacing the DS1620 to the Motorola SPI Bus"

Application Note 105: "High Resolution Temperature Measurement with Dallas Direct–to–Digital Temperature Sensors"

Sample DS1620 subroutines that can be used in conjunction with AN105 can be downloaded from the web-site or our Anonymous FTP Site.

ABSOLUTE MAXIMUM RATINGS*

Voltage on Any Pin Relative to Ground	–0.5V to +7.0V
Operating Temperature	–55°C to +125°C
Storage Temperature	–55°C to +125°C
Soldering Temperature	260°C for 10 seconds

* This is a stress rating only and functional operation of the device at these or any other conditions above those indicated in the operation sections of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods of time may affect reliability.

RECOMMENDED DC OPERATING CONDITIONS

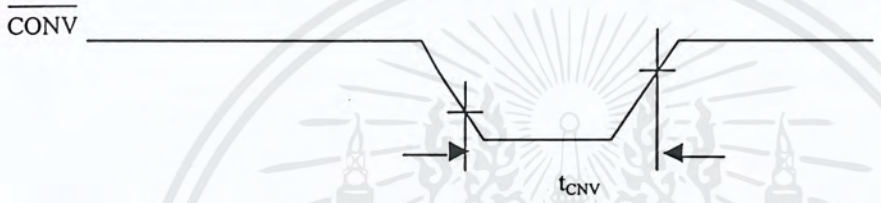
PARAMETER	SYMBOL	MIN	TYP	MAX	UNITS	NOTES
Supply	V_{DD}	2.7		5.5	V	1
Logic 1	V_{IH}	2.0		V_{CC}+0.3	V	1
Logic 0	V_{IL}	-0.3		+0.6	V	1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DC ELECTRICAL CHARACTERISTICS (-55°C to +125°C; V_{DD}=2.7V to 5.5V)

PARAMETER	SYMBOL	CONDITION	MIN	MAX	UNITS	NOTES
Thermometer Error	T_{ERR}	0°C to +70°C -55°C to +0°C and 70°C to 125°C	See Typical Curve	±½	°C	10, 11
Logic 0 Output	V_{OL}			0.4	V	3
Logic 1 Output	V_{OH}		2.4		V	2
Input Resistance	R_I	$\overline{RST}$ to GND DQ, CLK to V_{DD}	1 1		MΩ MΩ	
Active Supply Current	I_{CC}	0°C to +70°C		1	mA	4, 5
Standby Supply Current	I_{STBY}	0°C to +70°C		1	µA	4, 5

SINGLE CONVERT TIMING DIAGRAM (STAND-ALONE MODE)



AC ELECTRICAL CHARACTERISTICS (-55°C to +125°C; V_{DD}=2.7V to 5.5V)

PARAMETERS	SYMBOL	MIN	TYP	MAX	UNITS	NOTES
Temperature Conversion Time	T_{TC}		400	1000	ms	
Data to CLK Setup	t_{DC}	35			ns	6
CLK to Data Hold	t_{CDH}	40			ns	6
CLK to Data Delay	t_{CDD}			100	ns	6, 7, 8
CLK Low Time	t_{CL}	285			ns	6
CLK High Time	t_{CH}	285			ns	6
CLK Frequency	f_{CLK}	DC		1.75	MHz	6
CLK Rise and Fall	t_R, t_F			500	ns	
$\overline{RST}$ to CLK Setup	t_{CC}	100			ns	6
CLK to $\overline{RST}$ Hold	t_{CCH}	40			ns	6
$\overline{RST}$ Inactive Time	t_{CWH}	125			ns	6, 9
CLK High to I/O High-Z	t_{CDZ}			50	ns	6
$\overline{RST}$ Low to I/O High-Z	t_{RDZ}			50	ns	6
Convert Pulse Width	t_{CNV}	250 ns		500 ms		
NV Write Cycle Time	t_{WR}		10	50	ms	12

AC ELECTRICAL CHARACTERISTICS (-55°C to +125°C; V_{DD}=2.7V to 5.5V)

PARAMETER	SYMBOL	MIN	TYP	MAX	UNITS	NOTES
Input Capacitance	C_I		5		pF	
I/O Capacitance	$C_{I/O}$		10		pF	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

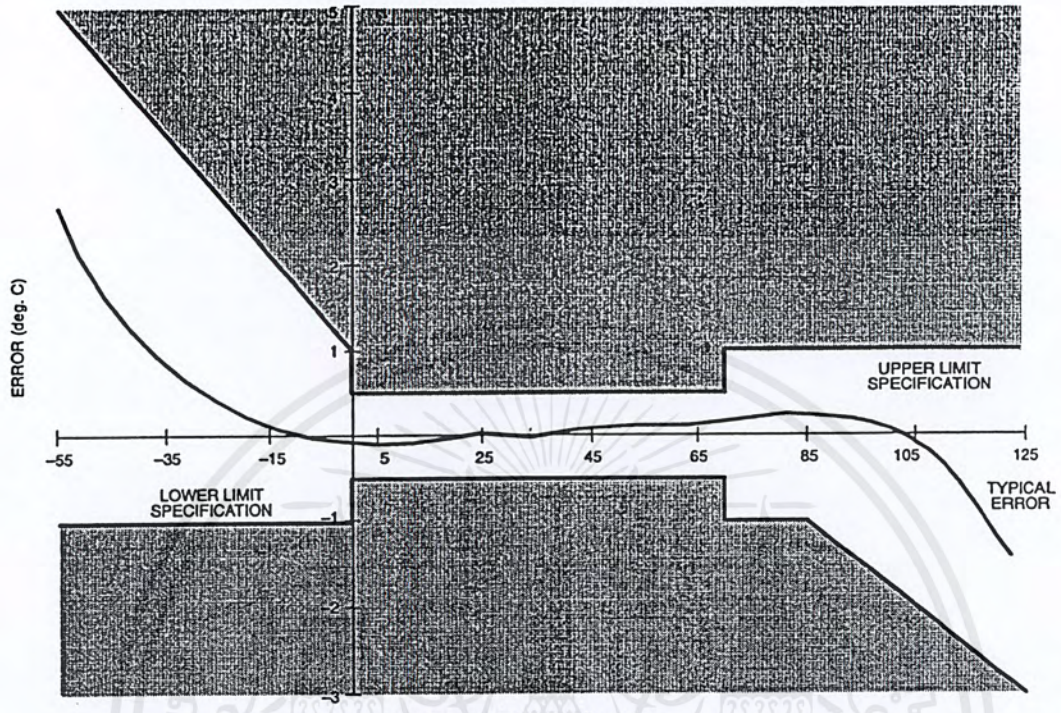
NOTES:

1. All voltages are referenced to ground.
2. Logic 1 voltages are specified at a source current of 1 mA.
3. Logic 0 voltages are specified at a sink current of 4 mA.
4. I_{CC} specified with DQ pin open and CLK pin at V_{DD}.
5. I_{CC} specified with V_{CC} at 5.0V and $\overline{RST}$ =GND.
6. Measured at V_{IH} = 2.0V or V_{IL} = 0.8V.
7. Measured at V_{OH} = 2.4V or V_{OL} = 0.4V.
8. Load capacitance = 50 pF.
9. t_{CWH} must be 10 ms minimum following any write command that involves the E^2 memory.
10. See typical curve for specification limits outside 0°C to 70°C range.
11. Thermometer error reflects temperature accuracy as tested during calibration.
12. Writing to the nonvolatile memory should only take place in the 0°C to 70°C temperature range.
13. Valid for design revisions D1 and above. The supply range for Rev. C2 and below is 4.5V $\leq$ 5.5V.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPICAL PERFORMANCE CURVE

DS1620 DIGITAL THERMOMETER AND THERMOSTAT
TEMPERATURE READING ERROR



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Micropower Sampling 12-Bit A/D Converters In SO-8 Packages

FEATURES

- **12-Bit Resolution**
- **8-Pin SOIC Plastic Package**
- **Low Cost**
- **Low Supply Current: 250μA Typ.**
- Auto Shutdown to 1nA Typ.
- Guaranteed ±3/4LSB Max DNL
- Single Supply 5V to 9V Operation
- On-Chip Sample-and-Hold
- 60μs Conversion Time
- Sampling Rates:
  - 12.5 ksps (LTC1286)
  - 11.1 ksps (LTC1298)
- I/O Compatible with SPI, Microwire, etc.
- Differential Inputs (LTC1286)
- 2-Channel MUX (LTC1298)
- 3V Versions Available: LTC1285/LTC1288

APPLICATIONS

- Battery-Operated Systems
- Remote Data Acquisition
- Battery Monitoring
- Handheld Terminal Interface
- Temperature Measurement
- Isolated Data Acquisition

DESCRIPTION

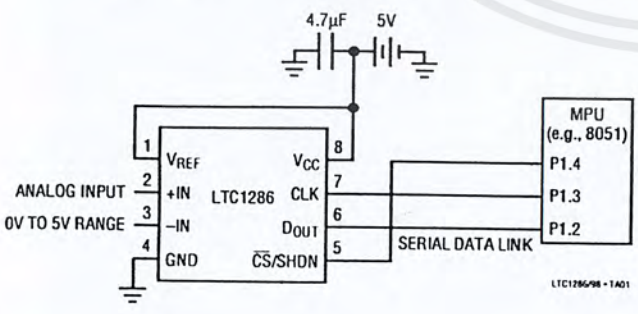
The LTC1286/LTC1298 are micropower, 12-bit, successive approximation sampling A/D converters. They typically draw only 250μA of supply current when converting and automatically power down to a typical supply current of 1nA whenever they are not performing conversions. They are packaged in 8-pin SO packages and operate on 5V to 9V supplies. These 12-bit, switched-capacitor, successive approximation ADCs include sample-and-holds. The LTC1286 has a single differential analog input. The LTC1298 offers a software selectable 2-channel MUX.

On-chip serial ports allow efficient data transfer to a wide range of microprocessors and microcontrollers over three wires. This, coupled with micropower consumption, makes remote location possible and facilitates transmitting data through isolation barriers.

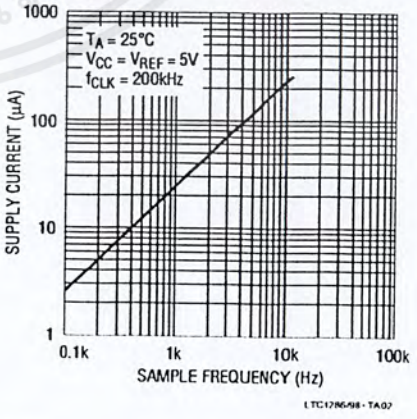
These circuits can be used in ratiometric applications or with an external reference. The high impedance analog inputs and the ability to operate with reduced spans (to 1.5V full scale) allow direct connection to sensors and transducers in many applications, eliminating the need for gain stages.

TYPICAL APPLICATIONS

25μW, SO-8 Package, 12-Bit ADC
Samples at 200Hz and Runs Off a 5V Supply



Supply Current vs Sample Rate



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ABSOLUTE MAXIMUM RATINGS (Notes 1 and 2)

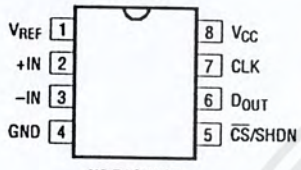
Supply Voltage (V_{CC}) to GND 12V
Voltage
- Analog and Reference ..... −0.3V to V_{CC} + 0.3V
- Digital Inputs ..... −0.3V to 12V
- Digital Output ..... −0.3V to V_{CC} + 0.3V

Power Dissipation 500mW
Operating Temperature Range
- LTC1286C/LTC1298C ..... 0°C to 70°C
- LTC1286I/LTC1298I ..... −40°C to 85°C

Storage Temperature Range ..... −65°C to 150°C
Lead Temperature (Soldering, 10 sec.) ..... 300°C

PACKAGE/ORDER INFORMATION

TOP VIEW

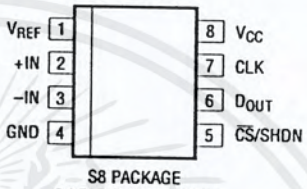


N8 PACKAGE
8-LEAD PLASTIC DIP

T_{JMAX} = 150°C, θ_{JA} = 130°C/W

ORDER PART NUMBER
LTC1286CN8
LTC1286IN8

TOP VIEW



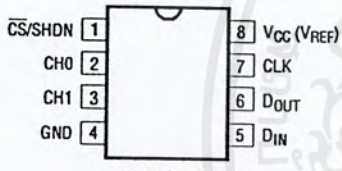
S8 PACKAGE
8-LEAD PLASTIC SOIC

T_{JMAX} = 150°C, θ_{JA} = 175°C/W

ORDER PART NUMBER
LTC1286CS8
LTC1286IS8

PART MARKING
1286C
1286I

TOP VIEW

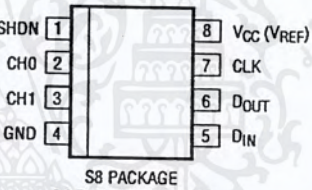


N8 PACKAGE
8-LEAD PLASTIC DIP

T_{JMAX} = 150°C, θ_{JA} = 130°C/W

ORDER PART NUMBER
LTC1298CN8
LTC1298IN8

TOP VIEW



S8 PACKAGE
8-LEAD PLASTIC SOIC

T_{JMAX} = 150°C, θ_{JA} = 175°C/W

ORDER PART NUMBER
LTC1298CS8
LTC1298IS8

PART MARKING
1298C
1298I

Consult factory for military grade parts.

RECOMMENDED OPERATING CONDITIONS

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
V_{CC}	Supply Voltage (Note 3)	LTC1286 LTC1298	4.5 4.5		9.0 5.5	V V
f_{CLK}	Clock Frequency	V_{CC} = 5V	(Note 4)		200	kHz
t_{CYC}	Total Cycle Time	LTC1286, f_{CLK} = 200kHz LTC1298, f_{CLK} = 200kHz	80 90			µs µs
t_{hDI}	Hold Time, D_{IN} After CLK↑	V_{CC} = 5V	150			ns
$t_{su\overline{CS}}$	Setup Time $\overline{CS}$↓ Before First CLK↑ (See Operating Sequence)	LTC1286, V_{CC} = 5V LTC1298, V_{CC} = 5V	2 2			µs µs
t_{suDI}	Setup Time, D_{IN} Stable Before CLK↑	V_{CC} = 5V	400			ns
t_{WHCLK}	CLK High Time	V_{CC} = 5V	2			µs
t_{WLCLK}	CLK Low Time	V_{CC} = 5V	2			µs
$t_{WH\overline{CS}}$	$\overline{CS}$ High Time Between Data Transfer Cycles	V_{CC} = 5V	2			µs
$t_{WL\overline{CS}}$	$\overline{CS}$ Low Time During Data Transfer	LTC1286, f_{CLK} = 200kHz LTC1298, f_{CLK} = 200kHz	75 85			µs µs

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CONVERTER AND MULTIPLEXER CHARACTERISTICS (Note 5)

PARAMETER	CONDITIONS		LTC1286 MIN	LTC1286 TYP	LTC1286 MAX	LTC1298 MIN	LTC1298 TYP	LTC1298 MAX	UNITS
Resolution (No Missing Codes)		●	12			12			Bits
Integral Linearity Error	(Note 6)	●		±3/4	±2		±3/4	±2	LSB
Differential Linearity Error		●		±1/4	±3/4		±1/4	±3/4	LSB
Offset Error		●		3/4	±3		3/4	±3	LSB
Gain Error		●		±2	±8		±2	±8	LSB
Analog Input Range	(Note 7 and 8)	●		−0.05V to V_{CC} + 0.05V					V
REF Input Range (LTC1286) (Notes 7, 8, and 9)	$4.5 \le V_{CC} \le 5.5V$ $5.5V < V_{CC} \le 9V$			1.5V to V_{CC} + 0.05V 1.5V to 5.55V					V V
Analog Input Leakage Current (Note 10)		●		±1			±1		µA

DIGITAL AND DC ELECTRICAL CHARACTERISTICS (Note 5)

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
V_{IH}	High Level Input Voltage	V_{CC} = 5.25V	●	2			V
V_{IL}	Low Level Input Voltage	V_{CC} = 4.75V	●			0.8	V
I_{IH}	High Level Input Current	$V_{IN} = V_{CC}$	●			2.5	µA
I_{IL}	Low Level Input Current	V_{IN} = 0V	●			−2.5	µA
V_{OH}	High Level Output Voltage	V_{CC} = 4.75V, I_O = 10µA V_{CC} = 4.75V, I_O = 360µA	● ●	4.0 2.4	4.64 4.62		V V
V_{OL}	Low Level Output Voltage	V_{CC} = 4.75V, I_O = 1.6mA	●			0.4	V
I_{OZ}	Hi-Z Output Leakage	$\overline{CS}$ = High	●			±3	µA
I_{SOURCE}	Output Source Current	V_{OUT} = 0V			−25		mA
I_{SINK}	Output Sink Current	$V_{OUT} = V_{CC}$			45		mA
R_{REF}	Reference Input Resistance (LTC1286)	$\overline{CS} = V_{CC}$ $\overline{CS}$ = GND			5000 55		MΩ kΩ
I_{REF}	Reference Current (LTC1286)	$\overline{CS} = V_{CC}$ $t_{CYC} \ge 640\mu s$, $f_{CLK} \le 25kHz$ $t_{CYC} = 80\mu s$, $f_{CLK} = 200kHz$	● ● ●		0.001 90 90	2.5 140 140	µA µA µA
I_{CC}	Supply Current	$\overline{CS} = V_{CC}$	●		0.001	±3.0	µA
		LTC1286, $t_{CYC} \ge 640\mu s$, $f_{CLK} \le 25kHz$ LTC1286, $t_{CYC} = 80\mu s$, $f_{CLK} = 200kHz$	● ●		200 250	400 500	µA µA
		LTC1298, $t_{CYC} \ge 720\mu s$, $f_{CLK} \le 25kHz$ LTC1298, $t_{CYC} = 90\mu s$, $f_{CLK} = 200kHz$	● ●		290 340	490 640	µA µA

DYNAMIC ACCURACY f_{SMPL} = 12.5kHz (LTC1286), f_{SMPL} = 11.1kHz (LTC1298) (Note 5)

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
S/(N +D)	Signal-to-Noise Plus Distortion Ratio	1kHz/7kHz Input Signal		71/68		dB
THD	Total Harmonic Distortion (Up to 5th Harmonic)	1kHz/7kHz Input Signal		−84/−80		dB
SFDR	Spurious-Free Dynamic Range	1kHz/7kHz Input Signal		90/86		dB
	Peak Harmonic or Spurious Noise	1kHz/7kHz Input Signal		−90/−86		dB

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC CHARACTERISTICS (Note 5)

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
t_{SMPL}	Analog Input Sample Time	See Operating Sequence			1.5		CLK Cycles
$f_{SMPL(MAX)}$	Maximum Sampling Frequency	LTC1286	●	12.5			kHz
		LTC1298	●	11.1			kHz
t_{CONV}	Conversion Time	See Operating Sequence			12		CLK Cycles
t_{dDO}	Delay Time, CLK↓ to D_{OUT} Data Valid	See Test Circuits	●		250	600	ns
t_{dis}	Delay Time, $\overline{CS}$↑ to D_{OUT} Hi-Z	See Test Circuits	●		135	300	ns
t_{en}	Delay Time, CLK↓ to D_{OUT} Enable	See Test Circuits	●		75	200	ns
t_{hDO}	Time Output Data Remains Valid After CLK↓	C_{LOAD} = 100pF			230		ns
t_f	D_{OUT} Fall Time	See Test Circuits	●		20	75	ns
t_r	D_{OUT} Rise Time	See Test Circuits	●		20	75	ns
C_{IN}	Input Capacitance	Analog Inputs, On Channel			20		pF
		Analog Inputs, Off Channel			5		pF
		Digital Input			5		pF

The ● denotes specifications which apply over the full operating temperature range.

Note 1: Absolute maximum ratings are those values beyond which the life of a device may be impaired.

Note 2: All voltage values are with respect to GND.

Note 3: These devices are specified at 5V. For 3V specified devices, see LTC1285 and LTC1288.

Note 4: Increased leakage currents at elevated temperatures cause the S/H to droop, therefore it is recommended that $f_{CLK} \geq 120kHz$ at 85°C, $f_{CLK} \geq 75kHz$ at 70° and $f_{CLK} \geq 1kHz$ at 25°C.

Note 5: V_{CC} = 5V, V_{REF} = 5V and CLK = 200kHz unless otherwise specified.

Note 6: Linearity error is specified between the actual end points of the A/D transfer curve.

Note 7: Two on-chip diodes are tied to each reference and analog input which will conduct for reference or analog input voltages one diode drop below GND or one diode drop above V_{CC}. This spec allows 50mV forward bias of either diode for $4.5V \leq V_{CC} \leq 5.5V$. This means that as long as the reference or analog input does not exceed the supply voltage by more than 50mV the output code will be correct. To achieve an absolute 0V to 5V input voltage range will therefore require a minimum supply voltage of 4.950V over initial tolerance, temperature variations and loading. For $5.5V < V_{CC} \leq 9V$, reference and analog input range cannot exceed 5.55V. If reference and analog input range are greater than 5.55V, the output code will not be guaranteed to be correct.

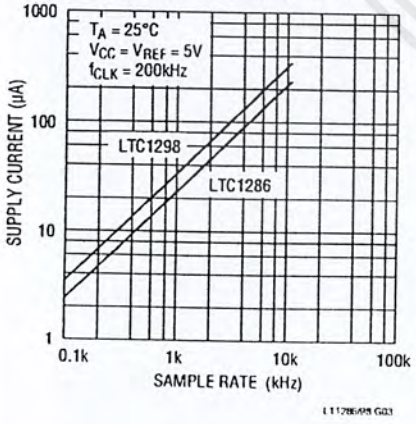
Note 8: The supply voltage range for the LTC1286 is from 4.5V to 9V, but the supply voltage range for the LTC1298 is only from 4.5V to 5.5V.

Note 9: Recommended operating conditions

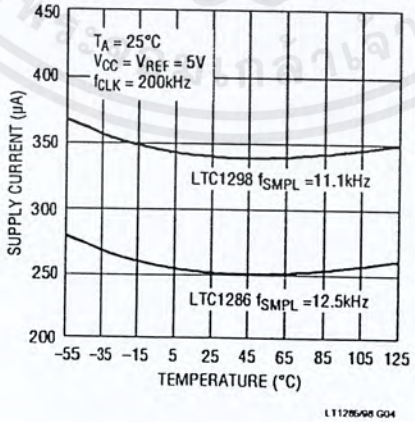
Note 10: Channel leakage current is measured after the channel selection.

TYPICAL PERFORMANCE CHARACTERISTICS

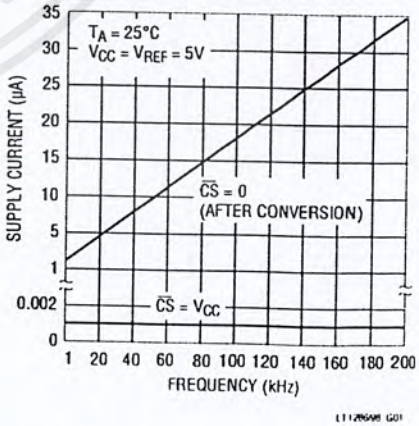
Supply Current vs Sample Rate



Supply Current vs Temperature



Shutdown Supply Current vs Clock Rate with $\overline{CS}$ High and $\overline{CS}$ Low

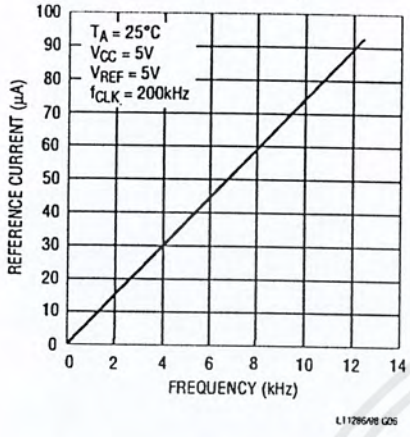


LINEAR TECHNOLOGY

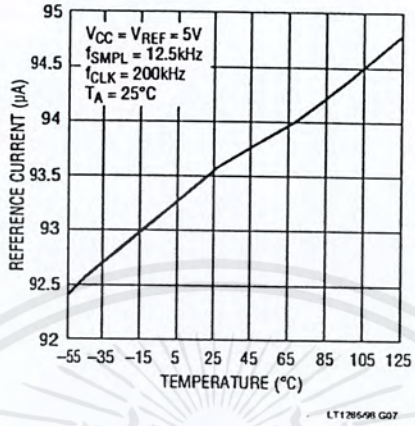
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPICAL PERFORMANCE CHARACTERISTICS

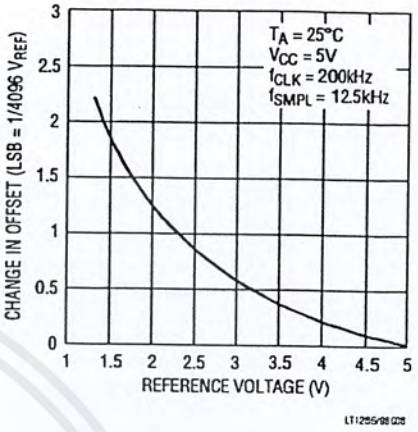
Reference Current vs Sample Rate (LTC1286)



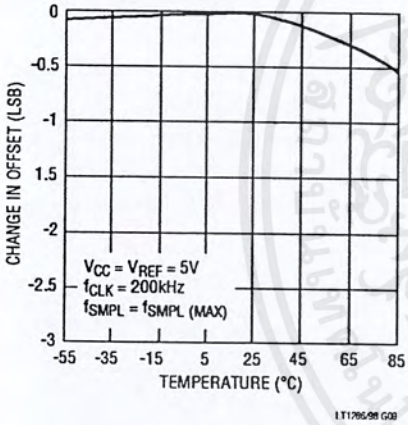
Reference Current vs Temperature



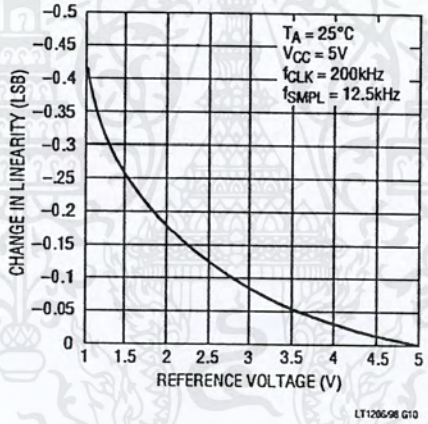
Change in Offset vs Reference Voltage



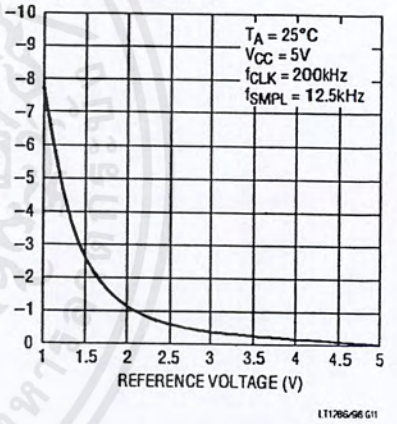
Change in Offset vs Temperature



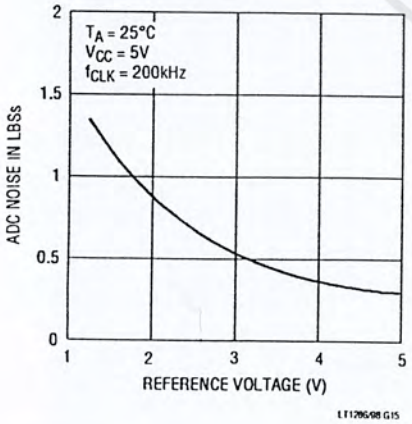
Change In Linearity vs Reference Voltage



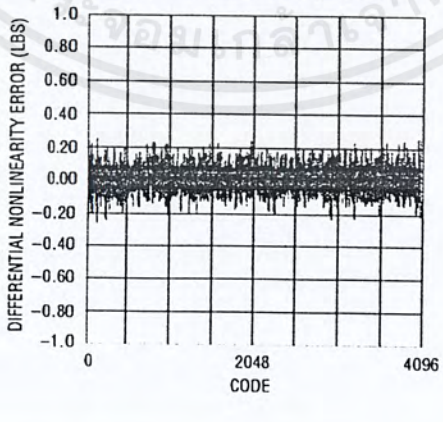
Change In Gain vs Reference Voltage



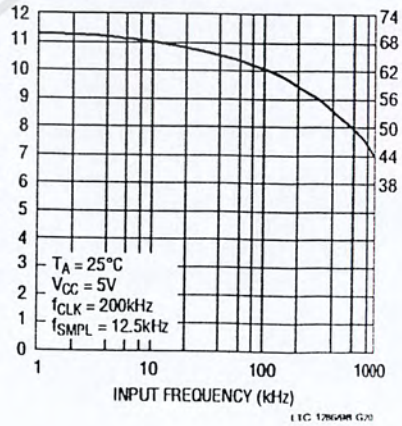
Peak-to-Peak ADC Noise vs Reference Voltage



Differential Nonlinearity vs Code



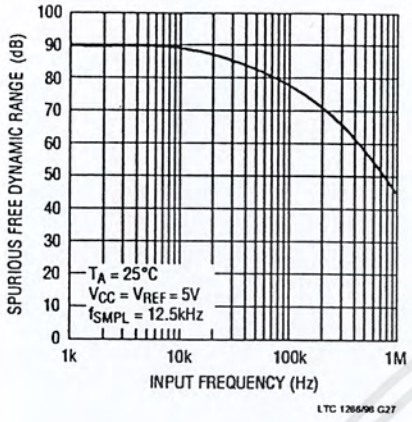
Effective Bits and S/(N + D) vs Input Frequency



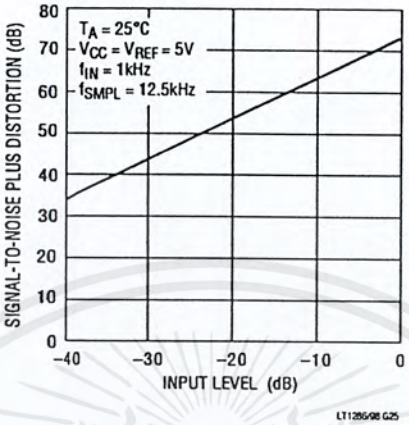
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPICAL PERFORMANCE CHARACTERISTICS

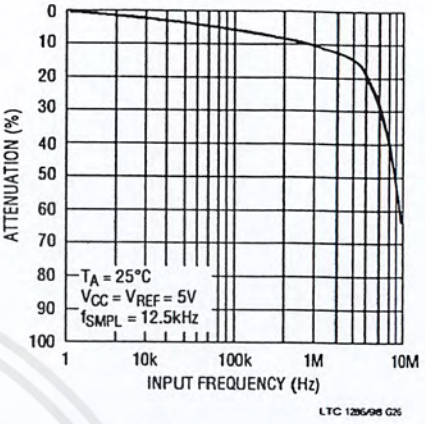
Spurious Free Dynamic Range vs Frequency



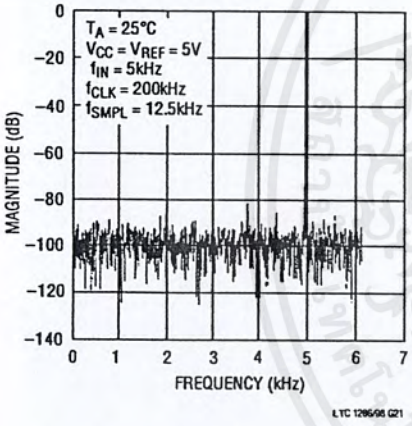
S/(N+D) vs Input Level



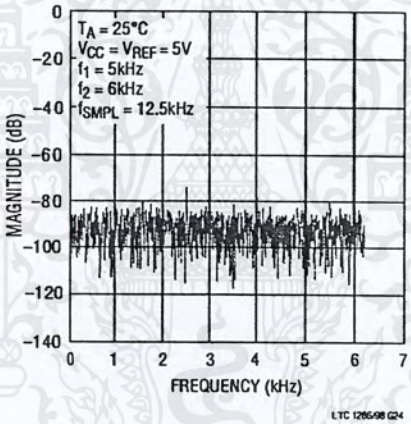
Attenuation vs Input Frequency



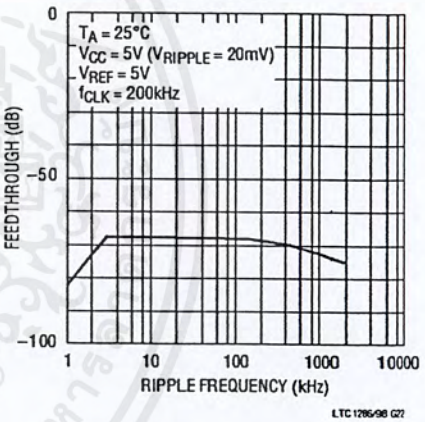
4096 Point FFT Plot



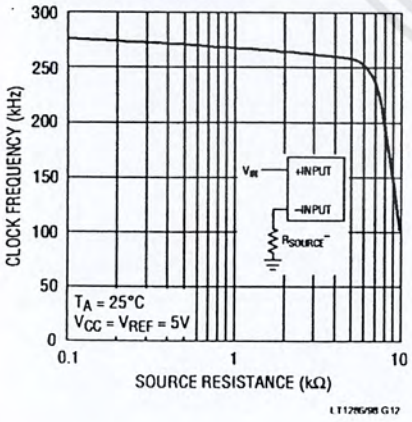
Intermodulation Distortion



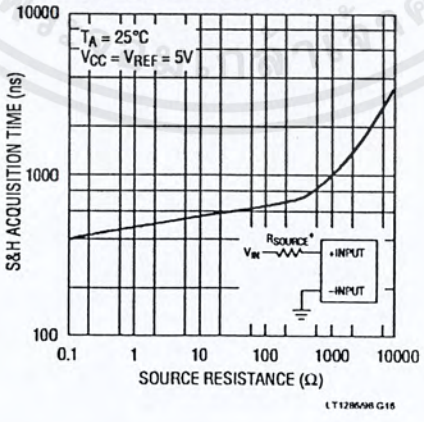
Power Supply Feedthrough vs Ripple Frequency



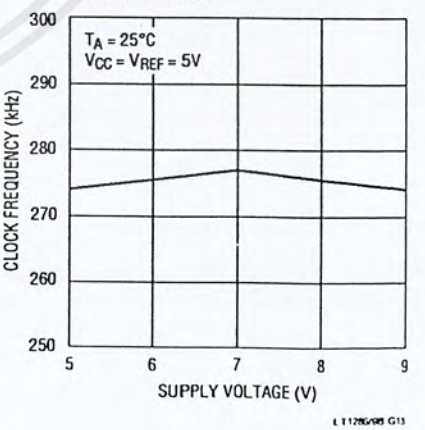
Maximum Clock Frequency vs Source Resistance



Sample and Hold Aquisition Time vs Source Resistance



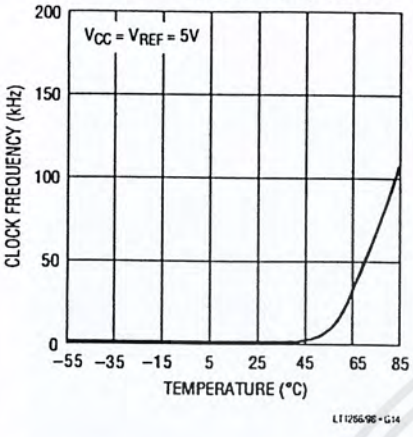
Maximum Clock Frequency vs Supply Voltage



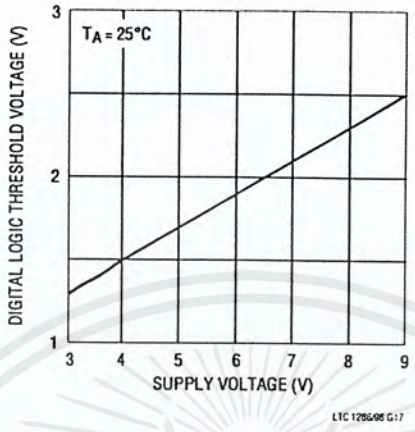
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPICAL PERFORMANCE CHARACTERISTICS

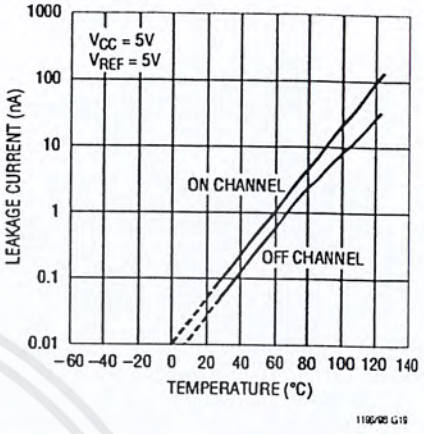
Minimum Clock Frequency for 0.1 LSB Error vs Temperature



Digital Input Logic Threshold vs Supply Voltage



Input Channel Leakage Current vs Temperature



PIN FUNCTIONS

LTC1286

V_{REF} (Pin 1): Reference Input. The reference input defines the span of the A/D converter.

IN^+ (Pin 2): Positive Analog Input.

IN^- (Pin 3): Negative Analog Input.

GND (Pin 4): Analog Ground. GND should be tied directly to an analog ground plane.

$\overline{CS}$/SHDN (Pin 5): Chip Select Input. A logic low on this input enables the LTC1286. A logic high on this input disables and powers down the LTC1286.

D_{OUT} (Pin 6): Digital Data Output. The A/D conversion result is shifted out of this output.

CLK (Pin 7): Shift Clock. This clock synchronizes the serial data transfer and determines conversion speed.

V_{CC} (Pin 8): Power Supply Voltage. This pin provides power to the A/D converter. It must be kept free of noise and ripple by bypassing directly to the analog ground plane.

LTC1298

$\overline{CS}$/SHDN (Pin 1): Chip Select Input. A logic low on this input enables the LTC1298. A logic high on this input disables and powers down the LTC1298.

CH0 (Pin 2): Analog Input.

CH1 (Pin 3): Analog Input.

GND (Pin 4): Analog Ground. GND should be tied directly to an analog ground plane.

D_{IN} (Pin 5): Digital Data Input. The multiplexer address is shifted into this input.

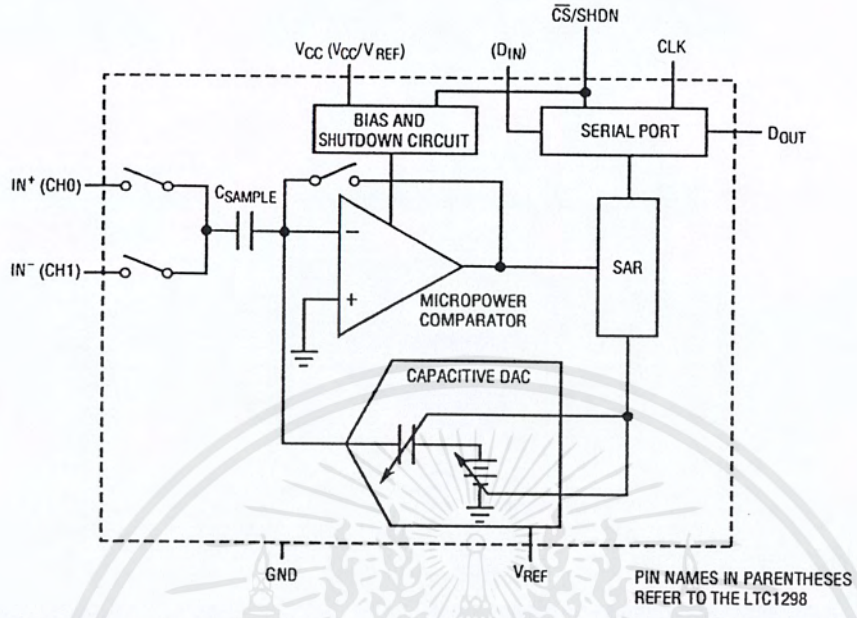
D_{OUT} (Pin 6): Digital Data Output. The A/D conversion result is shifted out of this output.

CLK (Pin 7): Shift Clock. This clock synchronizes the serial data transfer and determines conversion speed.

V_{CC}/V_{REF} (Pin 8): Power Supply and Reference Voltage. This pin provides power and defines the span of the A/D converter. It must be kept free of noise and ripple by bypassing directly to the analog ground plane.

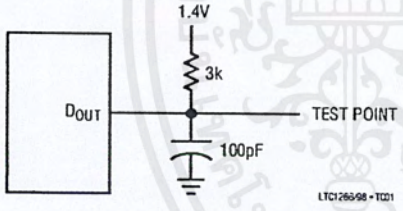
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

BLOCK DIAGRAM

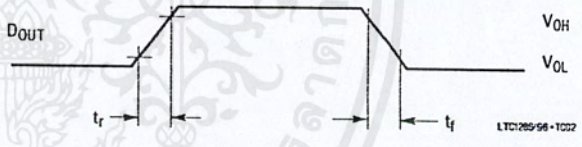


TEST CIRCUITS

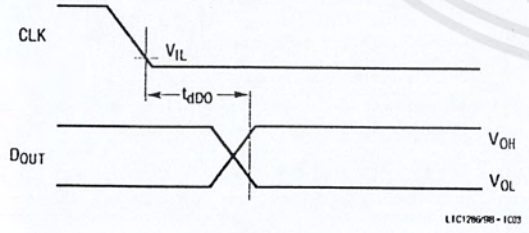
Load Circuit for t_{dDO}, t_r and t_f



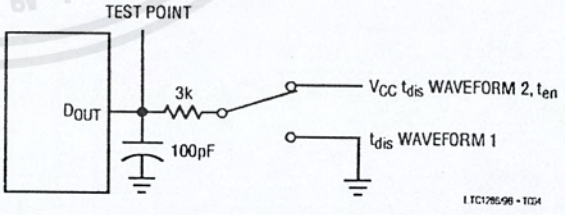
Voltage Waveforms for D_{OUT} Rise and Fall Times, t_r, t_f



Voltage Waveforms for D_{OUT} Delay Times, t_{dDO}



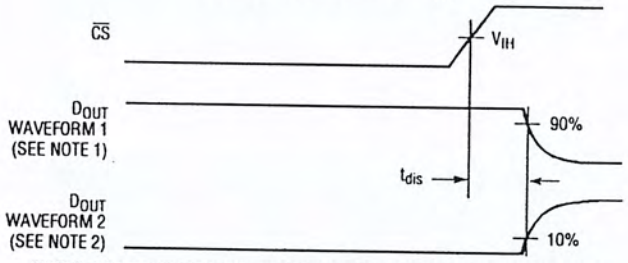
Load Circuit for t_{dis} and t_{en}



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TEST CIRCUITS

Voltage Waveforms for t_{dis}

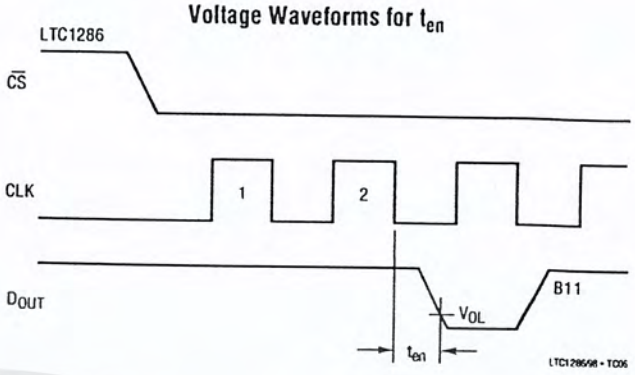


NOTE 1: WAVEFORM 1 IS FOR AN OUTPUT WITH INTERNAL CONDITIONS SUCH THAT THE OUTPUT IS HIGH UNLESS DISABLED BY THE OUTPUT CONTROL.

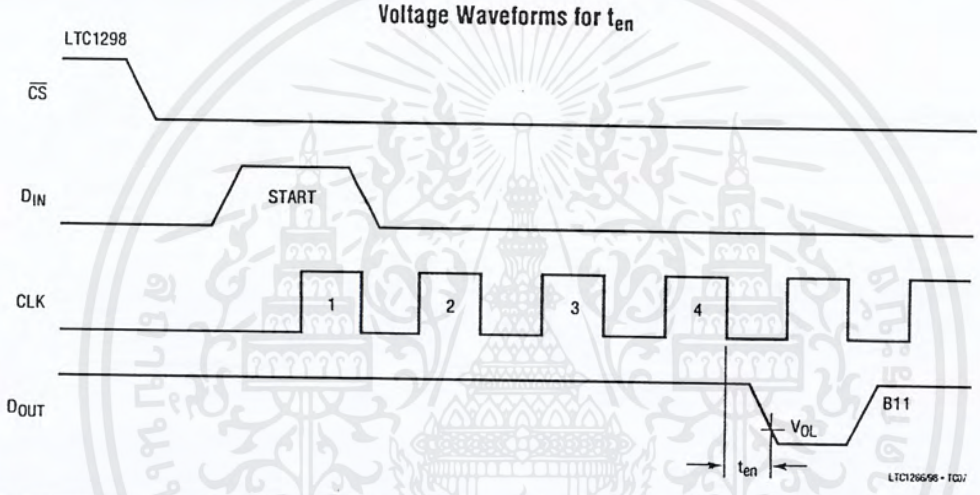
NOTE 2: WAVEFORM 2 IS FOR AN OUTPUT WITH INTERNAL CONDITIONS SUCH THAT THE OUTPUT IS LOW UNLESS DISABLED BY THE OUTPUT CONTROL.

LTC1286/98 • TC05

Voltage Waveforms for t_{en}



Voltage Waveforms for t_{en}



APPLICATION INFORMATION

OVERVIEW

The LTC1286 and LTC1298 are micropower, 12-bit, successive approximation sampling A/D converters. The LTC1286 typically draws 250μA of supply current when sampling at 12.5kHz while the LTC1298 nominally consumes 350μA of supply current when sampling at 11.1 kHz. The extra 100μA of supply current on the LTC1298 comes from the reference input which is intentionally tied to the supply. Supply current drops linearly as the sample rate is reduced (see Supply Current vs Sample Rate). The ADCs automatically power down when not performing conversions, drawing only leakage current. They are packaged in 8-pin SO and DIP packages. The LTC1286 operates on a single supply from 4.5V to 9V, while the LTC1298 operates from a 4.5V to 5.5V supply.

Both the LTC1286 and the LTC1298 contain a 12-bit, switched-capacitor ADC, a sample-and-hold, and a serial port (see Block Diagram). Although they share the same basic design, the LTC1286 and LTC1298 differ in some respects. The LTC1286 has a differential input and has an external reference input pin. It can measure signals floating on a DC common-mode voltage and can operate with reduced spans to 1V. Reducing the spans allows it to achieve 244μV resolution. The LTC1298 has a two-channel input multiplexer and can convert either channel with respect to ground or the difference between the two. The reference input is tied to the supply pin.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

APPLICATION INFORMATION

SERIAL INTERFACE

The 2-channel LTC1298 communicates with microprocessors and other external circuitry via a synchronous, half duplex, 4-wire serial interface. The single channel LTC1286 uses a 3-wire interface (see Operating Sequence in Figures 1 and 2).

Data Transfer

The CLK synchronizes the data transfer with each bit being transmitted on the falling CLK edge and captured on the rising CLK edge in both transmitting and receiving systems.

The LTC1286 does not require a configuration input word and has no D_{IN} pin. A falling $\overline{CS}$ initiates data transfer as shown in the LTC1286 operating sequence. After $\overline{CS}$ falls the second CLK pulse enables D_{OUT}. After one null bit the A/D conversion result is output on the D_{OUT} line. Bringing $\overline{CS}$ high resets the LTC1286 for the next data exchange.

The LTC1298 first receives input data and then transmits back the A/D conversion result (half duplex). Because of the half duplex operation, D_{IN} and D_{OUT} may be tied together allowing transmission over just 3 wires: $\overline{CS}$, CLK and DATA (D_{IN}/D_{OUT}).

Data transfer is initiated by a falling chip select ($\overline{CS}$) signal. After $\overline{CS}$ falls the LTC1298 looks for a start bit. After the start bit is received, the 3-bit input word is shifted into the D_{IN} input which configures the LTC1298 and starts the conversion. After one null bit, the result of the conversion is output on the D_{OUT} line. At the end of the data exchange $\overline{CS}$ should be brought high. This resets the LTC1298 in preparation for the next data exchange.

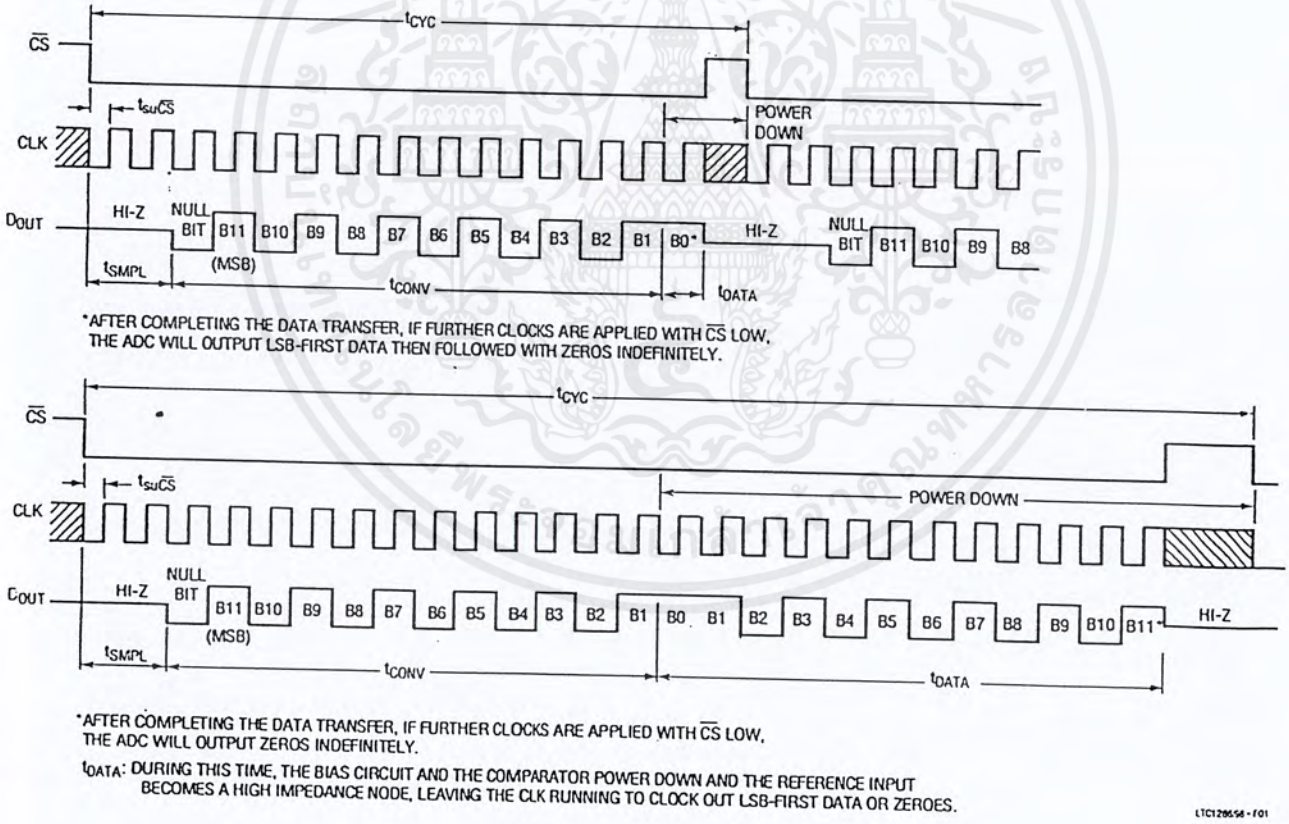
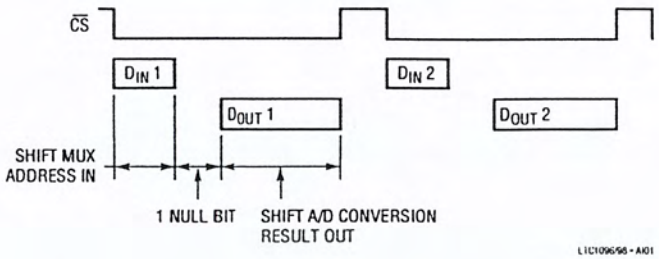


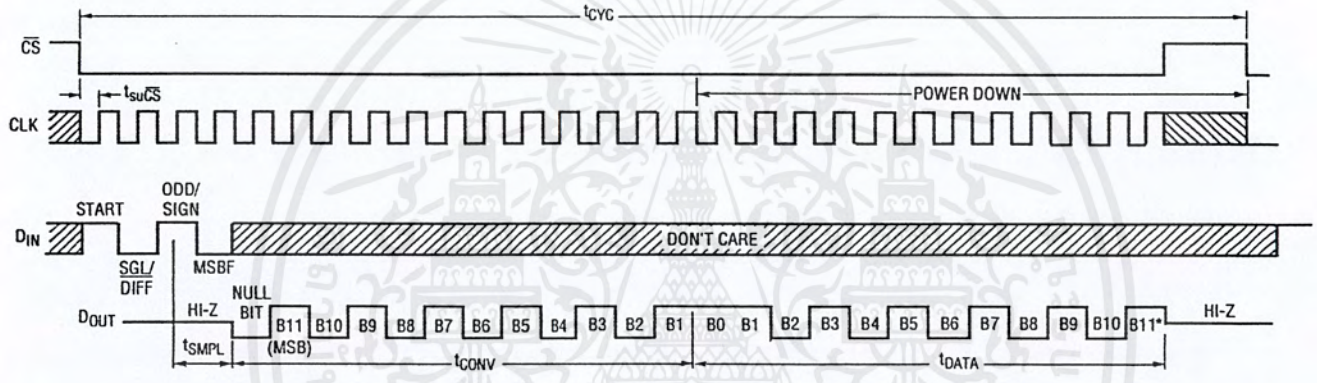
Figure 1. LTC1286 Operating Sequence

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

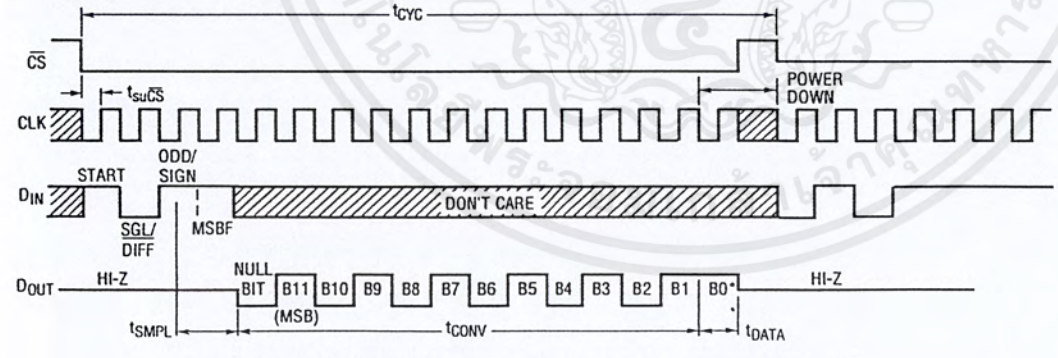
APPLICATION INFORMATION



MSB-First Data (MSBF = 0)



MSB-First Data (MSBF = 1)



*AFTER COMPLETING THE DATA TRANSFER, IF FURTHER CLOCKS ARE APPLIED WITH $\overline{CS}$ LOW, THE ADC WILL OUTPUT ZEROS INDEFINITELY.

t_{DATA}: DURING THIS TIME, THE BIAS CIRCUIT AND THE COMPARATOR POWER DOWN AND THE REFERENCE INPUT BECOMES A HIGH IMPEDANCE NODE, LEAVING THE CLK RUNNING TO CLOCK OUT LSB-FIRST DATA OR ZEROES.

LTC1286/98 • F02

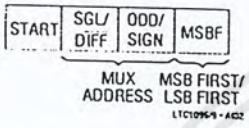
Figure 2. LTC1298 Operating Sequence Example: Differential Inputs (CH^+, CH^-)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

APPLICATION INFORMATION

Input Data Word

The LTC1286 requires no D_{IN} word. It is permanently configured to have a single differential input. The conversion result appears on the D_{OUT} line. The data format is MSB first followed by the LSB sequence. This provides easy interface to MSB or LSB first serial ports. For MSB first data the $\overline{CS}$ signal can be taken high after B0 (see Figure 1). The LTC1298 clocks data into the D_{IN} input on the rising edge of the clock. The input data words are defined as follows:



Start Bit

The first "logical one" clocked into the D_{IN} input after $\overline{CS}$ goes low is the start bit. The start bit initiates the data transfer. The LTC1298 will ignore all leading zeros which precede this logical one. After the start bit is received, the remaining bits of the input word will be clocked in. Further inputs on the D_{IN} pin are then ignored until the next $\overline{CS}$ cycle.

Multiplexer (MUX) Address

The bits of the input word following the START bit assign the MUX configuration for the requested conversion. For a given channel selection, the converter will measure the voltage between the two channels indicated by the + and – signs in the selected row of the following tables. In single-ended mode, all input channels are measured with respect to GND.

LTC1298 Channel Selection

	MUX ADDRESS		CHANNEL #		
	SGL/DIFF	ODD/SIGN	0	1	GND
SINGLE-ENDED MUX MODE	1	0	+		–
	1	1		+	–
DIFFERENTIAL MUX MODE	0	0	+	–	
	0	1	–	+	

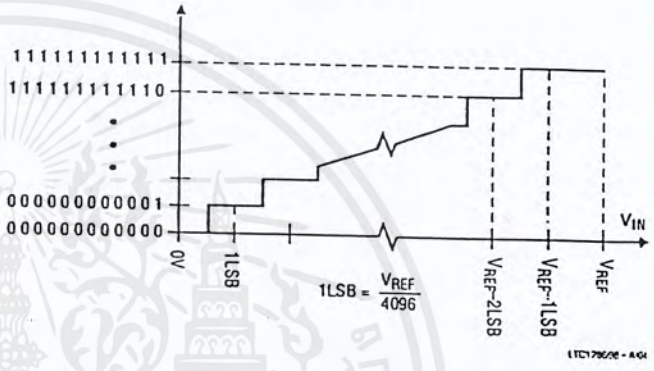
MSB First/LSB First (MSBF)

The output data of the LTC1298 is programmed for MSB first or LSB first sequence using the MSBF bit. When the MSBF bit is a logical one, data will appear on the D_{OUT} line in MSB first format. Logical zeros will be filled in indefinitely following the last data bit. When the MSBF bit is a logical zero, LSB first data will follow the normal MSB first data on the D_{OUT} line. (see Operating Sequence)

Transfer Curve

The LTC1286/LTC1298 are permanently configured for unipolar only. The input span and code assignment for this conversion type are shown in the following figures.

Transfer Curve



Output Code

OUTPUT CODE	INPUT VOLTAGE	INPUT VOLTAGE (V_{REF} = 5.000V)
111111111111	V_{REF} – 1LSB	4.99878V
111111111110	V_{REF} – 2LSB	4.99756V
•	•	•
•	•	•
•	•	•
000000000001	1LSB	0.00122V
000000000000	0V	0V

Operation with D_{IN} and D_{OUT} Tied Together

The LTC1298 can be operated with D_{IN} and D_{OUT} tied together. This eliminates one of the lines required to communicate to the microprocessor (MPU). Data is transmitted in both directions on a single wire. The processor pin connected to this data line should be configurable as either an input or an output. The LTC1298 will take control of the data line and drive it low on the 4th falling CLK edge after the start bit is received (see Figure 3). Therefore the processor port line must be switched to an input before this happens to avoid a conflict.

In the Typical Applications section, there is an example of interfacing the LTC1298 with D_{IN} and D_{OUT} tied together to the Intel 8051 MPU.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

APPLICATION INFORMATION

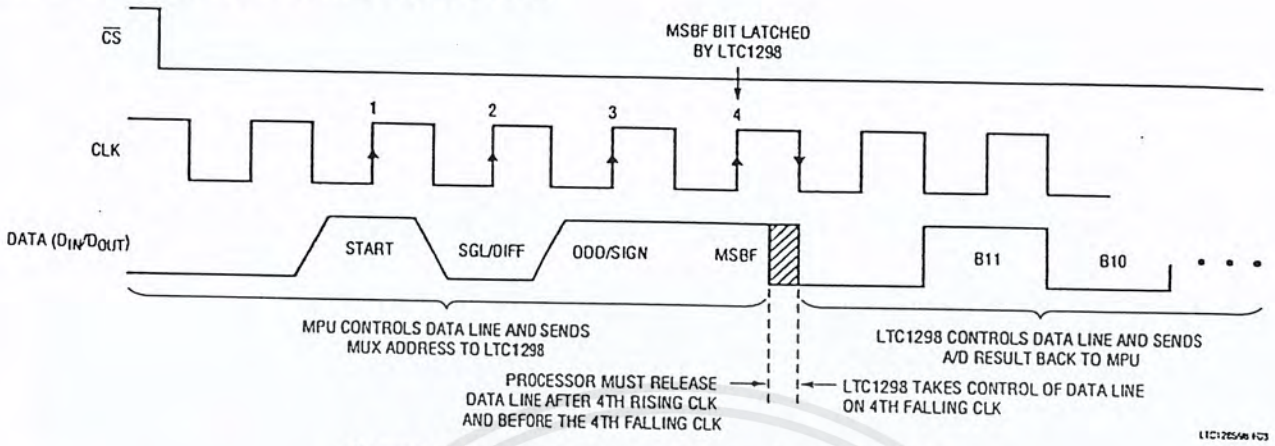


Figure 3. LTC1298 Operation with D_{IN} and D_{OUT} Tied Together

ACHIEVING MICROPOWER PERFORMANCE

With typical operating currents of 250μA and automatic shutdown between conversions, the LTC1286/LTC1298 achieves extremely low power consumption over a wide range of sample rates (see Figure 4). The auto-shutdown allows the supply curve to drop with reduced sample rate. Several things must be taken into account to achieve such a low power consumption.

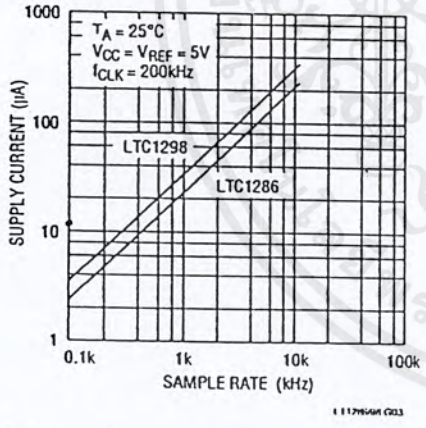


Figure 4. Automatic Power Shutdown Between Conversions Allows Power Consumption to Drop with Sample Rate.

Shutdown

The LTC1286/LTC1298 are equipped with automatic shutdown features. They draw power when the $\overline{CS}$ pin is low and shut down completely when that pin is high. The bias circuit and comparator powers down and the reference input becomes high impedance at the end of each conversion leaving the CLK running to clock out the LSB first data or zeroes (see Figures 1 and 2). If the $\overline{CS}$ is not running rail-to-rail, the input logic buffer will draw current. This current may be large compared to the typical supply current. To obtain the lowest supply current, bring the $\overline{CS}$ pin to ground when it is low and to supply voltage when it is high.

When the $\overline{CS}$ pin is high (= supply voltage), the converter is in shutdown mode and draws only leakage current. The status of the D_{IN} and CLK input have no effect on supply current during this time. There is no need to stop D_{IN} and CLK with $\overline{CS}$ = high; they can continue to run without drawing current.

Minimize $\overline{CS}$ Low Time

In systems that have significant time between conversions, lowest power drain will occur with the minimum $\overline{CS}$ low time. Bringing $\overline{CS}$ low, transferring data as quickly as possible, and then bringing it back high will result in the lowest current drain. This minimizes the amount of time the device draws power. After a conversion the ADC automatically shuts down even if $\overline{CS}$ is held low (see Figures 1 and 2). If the clock is left running to clock out LSB-data or zero, the logic will draw a small current. Figure 5 shows that the typical supply current with $\overline{CS}$ = ground varies from 1μA at 1kHz to 35μA at 200kHz. When $\overline{CS}$ = V_{CC}, the logic is gated off and no supply current is drawn regardless of the clock frequency.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

APPLICATION INFORMATION

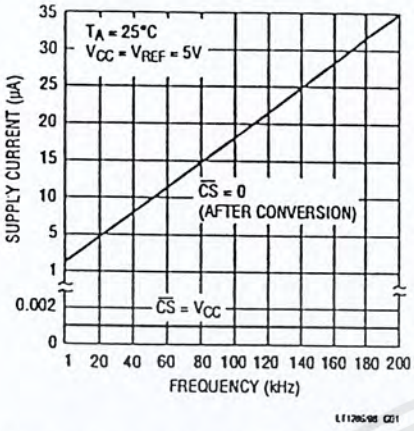


Figure 5. Shutdown current with $\overline{CS}$ high is 1nA typically, regardless of the clock. Shutdown current with $\overline{CS}$ = ground varies from 1µA at 1kHz to 35µA at 200kHz.

D_{OUT} Loading

Capacitive loading on the digital output can increase power consumption. A 100pF capacitor on the D_{OUT} pin can add more than 50µA to the supply current at a 200kHz clock frequency. An extra 50µA or so of current goes into charging and discharging the load capacitor. The same goes for digital lines driven at a high frequency by any logic. The C × V × f currents must be evaluated and the troublesome ones minimized.

OPERATING ON OTHER THAN 5V SUPPLIES (LTC1286)

The LTC1286 operates from 4.5V to 9V supplies and the LTC1298 operates from a 5V supply. To operate the LTC1286 on other than 5V supplies a few things must be kept in mind.

Input Logic Levels

The input logic levels of $\overline{CS}$, CLK and D_{IN} are made to meet TTL on a 5V supply. When the supply voltage varies, the input logic levels also change. For the LTC1286 to sample and convert correctly, the digital inputs have to be in the proper logical low and high levels relative to the operating supply voltage (see typical curve of Digital Input Logic Threshold vs Supply Voltage). If achieving micropower consumption is desirable, the digital inputs must go rail-to-rail between supply voltage and ground (see ACHIEVING MICROPOWER PERFORMANCE section).

Clock Frequency

The maximum recommended clock frequency is 200kHz for the LTC1286/LTC1298 running off a 5V supply. With the supply voltage changing, the maximum clock frequency for the devices also changes (see the typical curve of Maximum Clock Rate vs Supply Voltage). If the maximum clock frequency is used, care must be taken to ensure that the device converts correctly.

Mixed Supplies

It is possible to have a microprocessor running off a 5V supply and communicate with the LTC1286 operating on a 9V supply. The requirement to achieve this is that the outputs of $\overline{CS}$ and CLK from the MPU have to be able to trip the equivalent inputs of the LTC1286 and the output of D_{OUT} from the LTC1286 must be able to toggle the equivalent input of the MPU (see typical curve of Digital Input Logic Threshold vs Supply Voltage). With the LTC1286 operating on a 9V supply, the output of D_{OUT} may go between 0V and 9V. The 9V output may damage the MPU running off a 5V supply. The way to get around this possibility is to have a resistor divider on D_{OUT} (Figure 6) and connect the center point to the MPU input. It should be noted that to get full shutdown, the $\overline{CS}$ input of the LTC1286 must be driven to the V_{CC} voltage to keep the $\overline{CS}$ input buffer from drawing current. An alternative is to leave $\overline{CS}$ low after a conversion, clock data until D_{OUT} outputs zeros, and then stop the clock low.

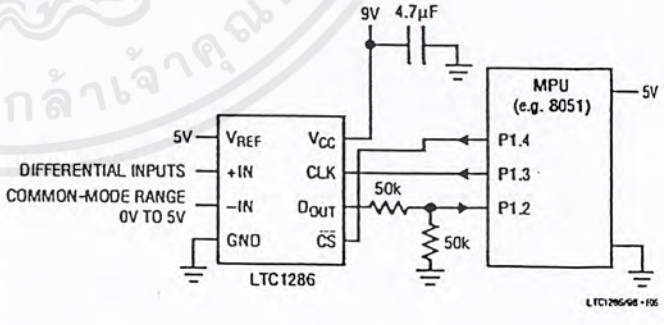


Figure 6. Interfacing a 9V Powered LTC1286 to a 5V System

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

APPLICATION INFORMATION

BOARD LAYOUT CONSIDERATIONS

Grounding and Bypassing

The LTC1286/LTC1298 are easy to use if some care is taken. They should be used with an analog ground plane and single point grounding techniques. The GND pin should be tied directly to the ground plane.

The V_{CC} pin should be bypassed to the ground plane with a 10µF tantalum capacitor with leads as short as possible. If the power supply is clean, the LTC1286/LTC1298 can also operate with smaller 1µF or less surface mount or ceramic bypass capacitors. All analog inputs should be referenced directly to the single point ground. Digital inputs and outputs should be shielded from and/or routed away from the reference and analog circuitry.

SAMPLE-AND-HOLD

Both the LTC1286 and the LTC1298 provide a built-in sample-and-hold (S&H) function to acquire signals. The S&H of the LTC1286 acquires input signals from "+" input relative to "–" input during the t_{SMPL} time (see Figure 1). However, the S&H of the LTC1298 can sample input signals in the single-ended mode or in the differential inputs during the t_{SMPL} time (see Figure 7).

Single-Ended Inputs

The sample-and-hold of the LTC1298 allows conversion of rapidly varying signals. The input voltage is sampled during the t_{SMPL} time as shown in Figure 7. The sampling interval begins as the bit preceding the MSBF bit is shifted in and continues until the falling CLK edge after the MSBF bit is received. On this falling edge, the S&H goes into hold mode and the conversion begins.

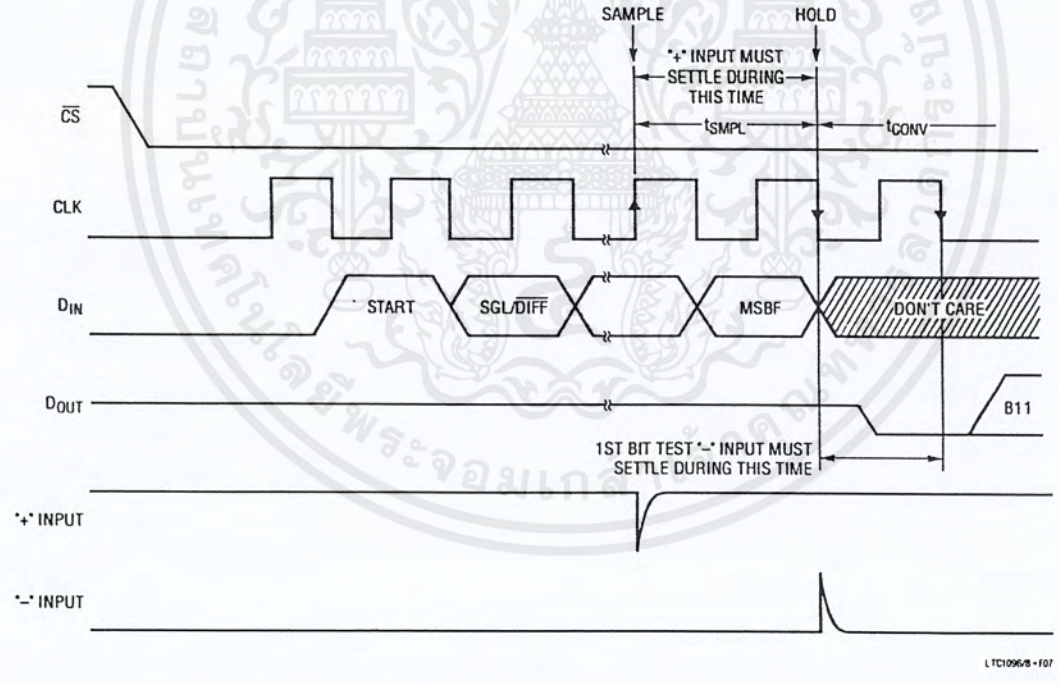


Figure 7. LTC1298 "+" and "–" Input Settling Windows

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

APPLICATION INFORMATION

Differential Inputs

With differential inputs, the ADC no longer converts just a single voltage but rather the difference between two voltages. In this case, the voltage on the selected "+" input is still sampled and held and therefore may be rapidly time varying just as in single-ended mode. However, the voltage on the selected "–" input must remain constant and be free of noise and ripple throughout the conversion time. Otherwise, the differencing operation may not be performed accurately. The conversion time is 12 CLK cycles. Therefore, a change in the "–" input voltage during this interval can cause conversion errors. For a sinusoidal voltage on the "–" input this error would be:

$$V_{ERROR\ (MAX)} = V_{PEAK} \times 2 \times \pi \times f("-") \times 12/f_{CLK}$$

Where f("–") is the frequency of the "–" input voltage, V_{PEAK} is its peak amplitude and f_{CLK} is the frequency of the CLK. In most cases V_{ERROR} will not be significant. For a 60Hz signal on the "–" input to generate a 1/4LSB error (305µV) with the converter running at CLK = 200kHz, its peak value would have to be 13.48mV.

ANALOG INPUTS

Because of the capacitive redistribution A/D conversion techniques used, the analog inputs of the LTC1286/LTC1298 have capacitive switching input current spikes. These current spikes settle quickly and do not cause a problem. However, if large source resistances are used or if slow settling op amps drive the inputs, care must be taken to insure that the transients caused by the current spikes settle completely before the conversion begins.

"+" Input Settling

The input capacitor of the LTC1286 is switched onto "+" input during the t_{SMPL} time (see Figure 1) and samples the input signal within that time. However, the input capacitor of the LTC1298 is switched onto "+" input during the sample phase (t_{SMPL}, see Figure 7). The sample phase is 1 1/2 CLK cycles before conversion starts. The voltage on the "+" input must settle completely within t_{SMPLE} for the LTC1286 and the LTC1298 respectively. Minimizing R_{SOURCE}^+ and C1 will improve the input settling time. If a large "+" input source resistance must be used, the sample time can be increased by using a slower CLK frequency.

"–" Input Settling

At the end of the t_{SMPL}, the input capacitor switches to the "–" input and conversion starts (see Figures 1 and 7). During the conversion, the "+" input voltage is effectively "held" by the sample-and-hold and will not affect the conversion result. However, it is critical that the "–" input voltage settles completely during the first CLK cycle of the conversion time and be free of noise. Minimizing R_{SOURCE}^- and C2 will improve settling time. If a large "–" input source resistance must be used, the time allowed for settling can be extended by using a slower CLK frequency.

Input Op Amps

When driving the analog inputs with an op amp it is important that the op amp settle within the allowed time (see Figure 7). Again, the "+" and "–" input sampling times can be extended as described above to accommodate slower op amps. Most op amps, including the LT1006 and LT1413 single supply op amps, can be made to settle well even with the minimum settling windows of 6µs ("+" input) which occur at the maximum clock rate of 200kHz.

Source Resistance

The analog inputs of the LTC1286/LTC1298 look like a 20pF capacitor (C_{IN}) in series with a 500Ω resistor (R_{ON}) as shown in Figure 8. C_{IN} gets switched between the selected "+" and "–" inputs once during each conversion cycle. Large external source resistors and capacitances

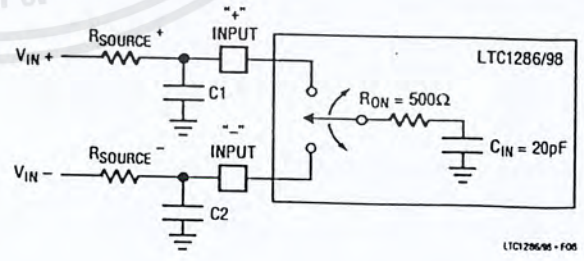


Figure 8. Analog Input Equivalent Circuit

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

APPLICATION INFORMATION

will slow the settling of the inputs. It is important that the overall RC time constants be short enough to allow the analog inputs to completely settle within the allowed time.

RC Input Filtering

It is possible to filter the inputs with an RC network as shown in Figure 9. For large values of C_F (e.g., 1µF), the capacitive input switching currents are averaged into a net DC current. Therefore, a filter should be chosen with a small resistor and large capacitor to prevent DC drops across the resistor. The magnitude of the DC current is approximately $I_{DC} = 20pF \times V_{IN}/t_{CYC}$ and is roughly proportional to V_{IN}. When running at the minimum cycle time of 64µs, the input current equals 1.56µA at $V_{IN} = 5V$. In this case, a filter resistor of 75Ω will cause 0.1LSB of full-scale error. If a larger filter resistor must be used, errors can be eliminated by increasing the cycle time.

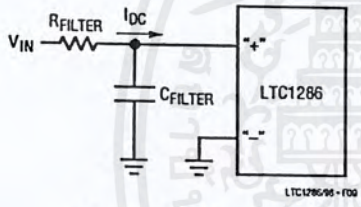


Figure 9. RC Input Filtering

Input Leakage Current

Input leakage currents can also create errors if the source resistance gets too large. For instance, the maximum input leakage specification of 1µA (at 125°C) flowing through a source resistance of 240Ω will cause a voltage drop of 240µV or 0.2LSB. This error will be much reduced at lower temperatures because leakage drops rapidly (see typical curve of Input Channel Leakage Current vs Temperature).

REFERENCE INPUTS

The reference input of the LTC1286 is effectively a 50kΩ resistor from the time $\overline{CS}$ goes low to the end of the conversion. The reference input becomes a high impedence node at any other time (see Figure 10). Since the voltage on the reference input defines the voltage span of the A/D converter, the reference input should be driven by a reference with low R_{OUT} (ex. LT1004, LT1019 and LT1021) or a voltage source with low R_{OUT}.

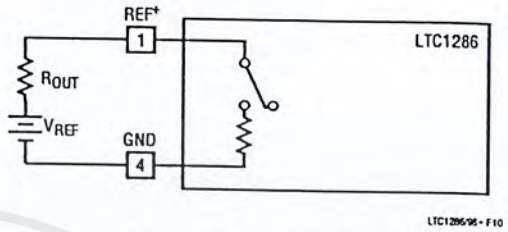


Figure 10. Reference Input Equivalent Circuit

Reduced Reference Operation

The minimum reference voltage of the LTC1298 is limited to 4.5V because the V_{CC} supply and reference are internally tied together. However, the LTC1286 can operate with reference voltages below 1V.

The effective resolution of the LTC1286 can be increased by reducing the input span of the converter. The LTC1286 exhibits good linearity and gain over a wide range of reference voltages (see typical curves of Change in Linearity vs Reference Voltage and Change in Gain vs Reference Voltage). However, care must be taken when operating at low values of V_{REF} because of the reduced LSB step size and the resulting higher accuracy requirement placed on the converter. The following factors must be considered when operating at low V_{REF} values:

1. Offset
2. Noise
3. Conversion speed (CLK frequency)

Offset with Reduced V_{REF}

The offset of the LTC1286 has a larger effect on the output code. When the ADC is operated with reduced reference voltage. The offset (which is typically a fixed voltage) becomes a larger fraction of an LSB as the size of the LSB is reduced. The typical curve of Change in Offset vs Reference Voltage shows how offset in LSBs is related to reference voltage for a typical value of V_{OS}. For example, a V_{OS} of 122µV which is 0.1LSB with a 5V reference becomes 0.5LSB with a 1V reference and 2.5LSBs with a

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

APPLICATION INFORMATION

0.2V reference. If this offset is unacceptable, it can be corrected digitally by the receiving system or by offsetting the "–" input of the LTC1286.

Noise with Reduced V_{REF}

The total input referred noise of the LTC1286 can be reduced to approximately 400μV peak-to-peak using a ground plane, good bypassing, good layout techniques and minimizing noise on the reference inputs. This noise is insignificant with a 5V reference but will become a larger fraction of an LSB as the size of the LSB is reduced.

For operation with a 5V reference, the 400μV noise is only 0.33LSB peak-to-peak. In this case, the LTC1286 noise will contribute virtually no uncertainty to the output code. However, for reduced references the noise may become a significant fraction of an LSB and cause undesirable jitter in the output code. For example, with a 2.5V reference this same 400μV noise is 0.66LSB peak-to-peak. This will reduce the range of input voltages over which a stable output code can be achieved by 1LSB. If the reference is further reduced to 1V, the 400μV noise becomes equal to 1.65LSBs and a stable code may be difficult to achieve. In this case averaging multiple readings may be necessary.

This noise data was taken in a very clean setup. Any setup induced noise (noise or ripple on V_{CC}, V_{REF} or V_{IN}) will add to the internal noise. The lower the reference voltage to be used the more critical it becomes to have a clean, noise free setup.

Conversion Speed with Reduced V_{REF}

With reduced reference voltages, the LSB step size is reduced and the LTC1286 internal comparator overdrive is reduced. Therefore, it may be necessary to reduce the maximum CLK frequency when low values of V_{REF} are used.

DYNAMIC PERFORMANCE

The LTC1286/LTC1298 have exceptional sampling capability. Fast Fourier Transform (FFT) test techniques are used to characterize the ADC's frequency response, distortion and noise at the rated throughput. By applying a low distortion sine wave and analyzing the digital output using an FFT algorithm, the ADC's spectral content can be examined for frequencies outside the fundamental. Figure 11 shows a typical LTC1286 plot.

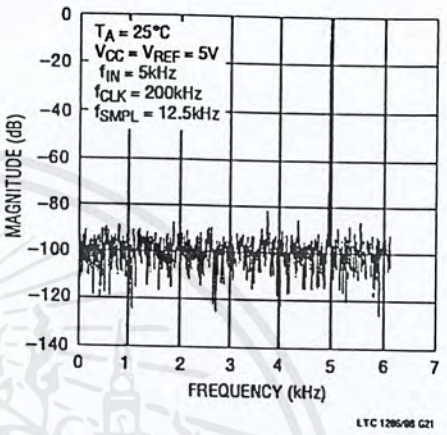


Figure 11. LTC1286 Non-Averaged, 4096 Point FFT Plot

Signal-to-Noise Ratio

The Signal-to-Noise plus Distortion Ratio (S/N + D) is the ratio between the RMS amplitude of the fundamental input frequency to the RMS amplitude of all other frequency components at the ADC's output. The output is band limited to frequencies above DC and below one half the sampling frequency. Figure 12 shows a typical spectral content with a 12.5kHz sampling rate.

Effective Number of Bits

The Effective Number of Bits (ENOBs) is a measurement of the resolution of an ADC and is directly related to S/(N+D) by the equation:

$$ENOB = [S/(N + D) - 1.76]/6.02$$

where S/(N + D) is expressed in dB. At the maximum sampling rate of 12.5kHz with a 5V supply, the LTC1286 maintains above 11 ENOBs at 10kHz input frequency. Above 10kHz the ENOBs gradually decline, as shown in Figure 12, due to increasing second harmonic distortion. The noise floor remains low.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

APPLICATION INFORMATION

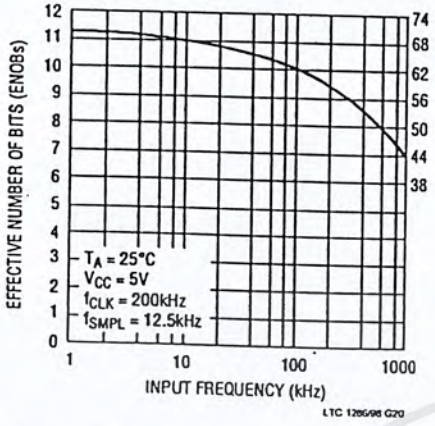


Figure 12. Effective Bits and S/(N + D) vs Input Frequency

Total Harmonic Distortion

Total Harmonic Distortion (THD) is the ratio of the RMS sum of all harmonics of the input signal to the fundamental itself. The out-of-band harmonics alias into the frequency band between DC and half of the sampling frequency. THD is defined as:

$$THD = 20\log\frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + ... + V_N^2}}{V_1}$$

where V_1 is the RMS amplitude of the fundamental frequency and V_2 through V_N are the amplitudes of the second through the N^{th} harmonics. The typical THD specification in the Dynamic Accuracy table includes the 2nd through 5th harmonics. With a 7kHz input signal, the LTC1286/LTC1298 have typical THD of 80dB with V_{CC} = 5V.

Intermodulation Distortion

If the ADC input signal consists of more than one spectral component, the ADC transfer function nonlinearity can produce intermodulation distortion (IMD) in addition to THD. IMD is the change in one sinusoidal input caused by the presence of another sinusoidal input at a different frequency.

If two pure sine waves of frequencies f_a and f_b are applied to the ADC input, nonlinearities in the ADC transfer function can create distortion products at sum and difference frequencies of $mf_a \pm nf_b$, where m and n = 0, 1, 2, 3, etc. For example, the 2nd order IMD terms include $(f_a + f_b)$ and $(f_a - f_b)$ while 3rd order IMD terms include $(2f_a + f_b)$, $(2f_a - f_b)$, $(f_a + 2f_b)$, and $(f_a - 2f_b)$. If the two input sine waves are equal in magnitudes, the value (in dB) of the 2nd order IMD products can be expressed by the following formula:

$$IMD(f_a \pm f_b) = 20\log\left[\frac{\text{amplitude}(f_a \pm f_b)}{\text{amplitude at } f_a}\right]$$

For input frequencies of 5kHz and 6kHz, the IMD of the LTC1286/LTC1298 is 73dB with a 5V supply.

Peak Harmonic or Spurious Noise

The peak harmonic or spurious noise is the largest spectral component excluding the input signal and DC. This value is expressed in dBs relative to the RMS value of a full-scale input signal.

Full-Power and Full-Linear Bandwidth

The full-power bandwidth is that input frequency at which the amplitude of the reconstructed fundamental is reduced by 3dB for a full-scale input.

The full-linear bandwidth is the input frequency at which the effective bits rating of the ADC falls to 11 bits. Beyond this frequency, distortion of the sampled input signal increases. The LTC1286/LTC1298 have been designed to optimize input bandwidth, allowing the ADCs to undersample input signals with frequencies above the converters' Nyquist Frequency.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPICAL APPLICATIONS

MICROPROCESSOR INTERFACES

The LTC1286/LTC1298 can interface directly without external hardware to most popular microprocessor (MPU) synchronous serial formats (see Table 1). If an MPU without a dedicated serial port is used, then 3 or 4 of the MPU's parallel port lines can be programmed to form the serial link to the LTC1286/LTC1298. Included here is one serial interface example and one example showing a parallel port programmed to form the serial interface.

Motorola SPI (MC68HC11)

The MC68HC11 has been chosen as an example of an MPU with a dedicated serial port. This MPU transfers data MSB-first and in 8-bit increments. The D_{IN} word sent to the data register starts with the SPI process. With three 8-bit transfers, the A/D result is read into the MPU. The second 8-bit transfer clocks B11 through B8 of the A/D conversion result into the processor. The third 8-bit transfer clocks the remaining bits, B7 through B0, into the MPU. The data is right justified into two memory locations. ANDing the second byte with OF_{HEX} clears the four most significant bits. This operation was not included in the code. It can be inserted in the data gathering loop or outside the loop when the data is processed.

MC68HC11 Code

In this example the D_{IN} word configures the input MUX for a single-ended input to be applied to CH0. The conversion result is output MSB-first.

Table 1. Microprocessor with Hardware Serial Interfaces Compatible with the LTC1286/LTC1298

PART NUMBER	TYPE OF INTERFACE
Motorola	
MC6805S2,S3	SPI
MC68HC11	SPI
MC68HC05	SPI
RCA	
CDP68HC05	SPI
Hitachi	
HD6305	SCI Synchronous
HD63705	SCI Synchronous
HD6301	SCI Synchronous
HD63701	SCI Synchronous
HD6303	SCI Synchronous
HD64180	CSI/O
National Semiconductor	
COP400 Family	MICROWIRE†
COP800 Family	MICROWIRE/PLUS†
NS8050U	MICROWIRE/PLUS†
HPC16000 Family	MICROWIRE/PLUS†
Texas Instruments	
TMS7002	Serial Port
TMS7042	Serial Port
TMS70C02	Serial Port
TMS70C42	Serial Port
TMS32011*	Serial Port
TMS32020	Serial Port
Intel	
8051	Bit Manipulation on Parallel Port

* Requires external hardware

† MICROWIRE and MICROWIRE/PLUS are trademarks of National Semiconductor Corp.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้