สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

การประยุกต์ใช้งานการเข้ารหัสแบบเดลต้าซิกม่า

Application of Delta-Sigma Modulation

โดย

นายศุภเดช หรรษคุณาฒัย

นายเศรษฐพงษ์ แก้วสุพรรณ

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาวิศวกรรมโทรคมนาคม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2545

ฝพ.
ศ๔๑๑ก
๒๕๔๕

เลขหมู่.....
เลขทะเบียน 50117
วัน,เดือน,ปี 21 เม.ย. 2547

.b.....
.i.....

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การประยุกต์ใช้งานการเข้ารหัสแบบเดลต้าซิกม่า

Applications of Delta-Sigma Modulation

โดย

นายศุภเดช หรรษคุณาตัย 42010351

นายเศรษฐพงษ์ แก้วสุพรรณ 42010355

อาจารย์ที่ปรึกษา

รศ.ดร.กอบชัย เดชหาญ

รศ.ดร.จเร สุรวัฒน์ปัญญา

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาวิศวกรรมโทรคมนาคม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2545

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ ปีการศึกษา 2545

ภาควิชาวิศวกรรมโทรคมนาคม

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง การประยุกต์การใช้งานการเข้ารหัสแบบเดลต้าซิกม่า

Application of Delta-Sigma modulation

ผู้จัดทำ

1. นาย ศุภเดช หรรษคุณาฒัย 42010351
2. นาย เศรษฐพงษ์ แก้วสุพรรณ 42010355

..... อาจารย์ที่ปรึกษา

(รศ.ดร. กอบชัย เดชหาญ)

..... อาจารย์ที่ปรึกษา

(รศ.ดร.จเร สุรวัฒน์ปัญญา)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ปริญญานิพนธ์ฉบับนี้ สำเร็จลุล่วงลงได้ด้วยดี เพราะได้รับความร่วมมือจากบุคคลต่าง ๆ มากมาย ภายในห้องแล็ป T-211 โดยที่มีรายชื่อดังต่อไปนี้

- รศ.ดร. กอบชัย เดชหาญ อาจารย์ผู้ควบคุมการทำงานปริญญานิพนธ์ฉบับนี้ ได้ให้ทั้งแนวทางในการทำงาน ลักษณะโครงงาน รวมถึงอนุญาตให้ใช้อุปกรณ์ให้ห้องทำการทดลอง ตลอดเวลา พร้อมยังให้คำปรึกษาตลอดเวลาด้วยดี

- อ. ศรวัฒน์ ชิวปรีชา อาจารย์ผู้ให้คำแนะนำทางด้านโปรแกรม MATLAB และยังช่วยให้คำแนะนำในการทำงานตลอดมาด้วยดี

- อ. เชื้อ นกอยู่ อาจารย์ที่ให้คำปรึกษาด้านวงจรด้วยดีเสมอมา แล้วยังแนะนำพร้อมทั้งช่วยในการปรับปรุงการทำงานของวงจร

- นาย สมิทธิ หาเรือนพืชน์ เพื่อนร่วมห้องโปรเจค ที่ให้ความร่วมมือในการทำงานเสมอมา พร้อมทั้งช่วยในการทำงานส่วนต่าง ๆ อีกด้วย

และสุดท้าย ต้องขอขอบพระคุณกำลังใจ จากท่านผู้มีพระคุณทุกคน ที่ให้กำลังใจในการทำงานเสมอมา ขอบคุณพี่ ๆ ทุกคนที่ห้องแล็ป T-211 ที่ช่วยชี้แนะแนวทางในการทำงานตลอด

คณะผู้จัดทำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การประยุกต์ใช้งานการเข้ารหัสแบบเดลต้าซิกม่า

Application of Delta-Sigma Modulation

โดย นาย ศุภเดช หรรษคุณาฒัย 42010351
นาย เศรษฐพงษ์ แก้วสุพรรณ 42010355

อาจารย์ที่ปรึกษา รศ.ดร. กอบชัย เดชหาญ
รศ.ดร. จเร สุรวัฒน์ปัญญา

บทคัดย่อ

ในเทคโนโลยีการสื่อสารในยุคปัจจุบัน การสื่อสารระบบดิจิตอลเป็นสิ่งสำคัญมาก เพราะว่าทำให้การส่งข้อมูลข่าวสาร สามารถทำได้เร็วยิ่งขึ้น แต่ว่าสัญญาณที่เราใช้อยู่ทั่วไป ยังเป็นสัญญาณในรูปแบบสัญญาณอนาลอก ดังนั้นต้องมีอุปกรณ์ในการแปลงสัญญาณจากอนาลอกเป็นดิจิตอลมาช่วยในการทำงาน ซึ่งอุปกรณ์ที่ทำหน้าที่ในการแปลงสัญญาณจากอนาลอกมาเป็นดิจิตอลนั้น มีมากมายหลายชนิด ในโครงงานนี้ได้นำเอาการแปลงสัญญาณจากอนาลอกมาเป็นดิจิตอล แบบ เดลต้าซิกม่ามอดดูเลเตอร์ โดยในโครงงานนี้จะมีการนำเอาอุปกรณ์ชนิดนี้ มาประยุกต์ใช้ โดยทำการเพิ่มอันดับ เพื่อให้คุณภาพในการแปลงสัญญาณดีขึ้น และสามารถนำ เดลต้าซิกม่ามอดดูเลเตอร์ ไปใช้ในการแปลงสัญญาณไฟดีซี เป็น เอซีได้อีกด้วย

ABSTRACT

In the technology for communication system. The Digital technology is widely used and it is very important. Because the digital made the transfer data faster than analog system. But the signal still analog.So it must have the equipment can convert the analog signal to digital signal.This project is used the Analog to Digital Converter type Delta-Sigma Modulation.This project is used application of Delta-Sigma Modulator by increase the order of this block for improve the quantity of signal and used it to make DC-AC power inversion.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

เรื่อง	หน้า
บทที่ 1 บทนำ	1.
บทที่ 2 ทฤษฎีและหลักการ	2.
2.1 วงจรแปลงสัญญาณอนาลอกเป็นดิจิตอลแบบเดลต้าซิกม่า	2.
2.2 วงจรการเข้ารหัสแบบเดลต้าซิกม่าที่มีสัญญาณรบกวน	4.
2.3 การแปลงสัญญาณอนาลอกเป็นดิจิตอลแบบเดลต้าซิกม่า โดยใช้เทคนิคหลายบิต	5.
2.4 ระบบเดลต้าซิกม่า แบบอันดับที่ 3	6.
2.5 ระบบที่มอดูเลตแบบมัลติบิท	7.
2.6 ข้อเสียของการใช้มัลติควอนไตเซชั่น	8.
2.7 แรงจูงใจสำหรับการใช้งานการเข้ารหัสแบบเดลต้าซิกม่า แบบอันดับสูง	8.
2.8 ตัวเลือกการออกแบบ ระหว่างสวิตซ์คาปาซิเตอร์หรืออาร์	11.
2.9 การประยุกต์การใช้งานวงจรเดลต้าซิกม่ามอดดูเลชั่น	14.
2.9.1 วงจรแปลงสัญญาณจากกระแสตรงเป็นกระแสสลับ	14.
2.9.2 วงจรสวิตซ์ความแตกต่างของกระแสแบบเต็มช่วงด้วยความเร็วสูง	18.
2.10 วงจรสวิตซ์กระแสความไวสูงด้วยเดลต้าซิกม่ามอดูเลเตอร์	22.
2.11 ลักษณะการออกแบบของวงจรสวิตซ์กระแสแบบเวลาต่อเนื่อง โดยใช้เดลต้าซิกม่ามอดูเลเตอร์จากวงจรสวิตซ์กระแส	22.
2.12 เตรียมทดสอบทางดิจิตอล (Digital test set-up)	23.
2.13 วงจรเข้ารหัสแบบเดลต้าซิกม่าแถบความถี่ผ่านอันดับ 4 (Fourth order bandpass DSM)	26.
2.13.1 การประยุกต์ใช้งาน	26.
2.13.2 การออกแบบวงจรกรองความถี่ในช่วงดีสครีต	27.
2.14 วงจรกรองสัญญาณช่วงความถี่ผ่าน (Bandpass Modulators)	29.
2.15 โอเวอร์แซมปลิ้ง (OverSampling)	34.
2.16 วงจรเดลต้าซิกม่าแบบขนาน (Parallel Delta Sigma Modulators)	37.
2.17 ลดอัตราการส่งบิตและเวคเตอร์ควอนไตซ์เซชั่น (Reduced Bit Rate and Vector Quantization)	39.
2.18 วงจรกรองแถบความถี่ผ่านแบบเดลต้าซิกม่าที่ซับซ้อน (Complex Bandpass Delta Sigma Modulation)	40.
2.19 การตัดสินใจในการออกแบบ	40.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ (ต่อ)

หน้า

2.19.1 เสถียรภาพ 40.

2.19.2 ลักษณะของลูปฟิลเตอร์ 41.

2.20 การกรองสัญญาณขาเข้าโดยนัย (Implicit Input Filtering) 42.

2.21 ค่าลูปฟิลเตอร์เมื่อพิจารณาระหว่างช่วงเวลาต่อเนื่องกับไม่ต่อเนื่อง 43.

บทที่ 3 การคำนวณและการสร้าง 45.

3.1 วงจรกำเนิดความถี่อ้างอิง 45.

3.2 การออกแบบวงจรเข้ารหัสแบบเดลต้าซิกม่าแบบ1บิท 46.

3.2.1 วงจรขยายผลต่างสัญญาณ 47.

3.2.2 วงจรปฏิกริยานุพันธ์หรือวงจรอินทริเกตแบบกลับเฟส 49.

3.2.3 วงจรเปรียบเทียบสัญญาณ 50.

3.2.4 วงจรแซมปลิ้งแอนด์โฮลด์ 51.

3.2.5 วงจรแปลงสัญญาณดิจิตอลเป็นอนาลอก 52.

3.2.6 วงจรพื้นฐานของการแปลงดิจิตอลเป็นอนาลอก 53.

3.3 วงจรบัคส์คอนเวอร์เตอร์ 56.

3.4 วงจรขยายแบบป้อนกลับ 57.

3.5 การออกแบบวงจรสวิตซ์กระแส 61.

3.5.1 วงจรสวิตซ์กระแสแบบที่ไม่มีการกลับสู่ศูนย์ 62.

3.5.2 วงจรสวิตซ์กระแสแบบที่มีการกลับสู่ศูนย์ 64.

3.6 การออกแบบวงจรกรองความถี่ช่วงผ่านเดลต้าซิกม่ามอดูเลชั่น 68.

3.6.1 จุดประสงค์การออกแบบ 68.

3.6.2 การพิจารณการออกแบบ 69.

3.6.2.1 ลักษณะทางสถาปัตยกรรม 69.

3.6.2.2 ค่ารีโซลูชั่นควอนไตซ์เซอร์ 69.

3.6.2.3 อันดับของลูปฟิลเตอร์ 69.

3.6.2.4 อัตราการโอเวอร์แซมปลิ้ง 69.

3.6.2.5 ลูปฟิลเตอร์ของวงจรต่อเนื่องและไม่ต่อเนื่องในช่วงเวลา 70.

3.6.3 วิธีการออกแบบ 71.

3.7 การออกแบบวงจรกรองความถี่แถบผ่านอันดับ 4 แบบเดลต้าซิกม่า
มอดูเลชั่น(Design fourth order Bandpass Dela-Sigma modulator) 72.

บทที่ 4 การทดลองและผลการทดลอง 74.

4.1 ผลการทดลองเดลต้าซิกม่าอันดับ 1 74.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ (ต่อ)

หน้า

4.1.1 ผลการทดลองของวงจรกำลังขยายสูง 74.

4.1.2 ผลการทดลองวงจรอินทริเกรต 74.

4.1.3 ผลการทดลองหลังจากผ่านวงจรเปรียบเทียบสัญญาณ 76.

4.1.4 ผลการทดลองวงจรแปลงสัญญาณดิจิตอลเป็นอนาลอกขนาด 1 บิต 78.

4.1.5 ผลการทดลองภาครับ 78.

4.2 วงจรแปลงสัญญาณกระแสตรงเป็นกระแสสลับ 79.

4.2.1 ผลการทดลองของวงจรกำลังขยายสูง 79.

4.2.2 วงจรกำลังขยายสูงเมื่อสัญญาณเข้าเป็นสัญญาณสี่เหลี่ยม 79.

4.3 วงจรเข้ารหัสเดลต้าซิกม่ามอดูเลชั่นเมื่อสัญญาณเป็นรูปสี่เหลี่ยม 80.

4.4 วงจรเข้ารหัสแบบเดลต้าซิกม่าเมื่อสัญญาณเป็นรูปไซน์ 81.

4.5 วงจรป้อนกลับแบบลบที่อัตราการขยายเป็น 3 dB เมื่อสัญญาณอินพุตเป็นสี่เหลี่ยม 82.

4.6 วงจรป้อนกลับแบบลบที่อัตราการขยายเป็น 3 dB เมื่อสัญญาณอินพุตเป็นไซน์ 82.

4.7 สัญญาณที่ผ่านวงจรแปลงกระแสตรงเป็นกระแสสลับ 83.

4.7.1 สัญญาณอินพุต 83.

4.7.2 สัญญาณผ่านวงจรเดลต้าซิกม่ามอดูเลชั่น 83.

4.7.3 สัญญาณเอาท์พุตผ่านวงจรบัคส์คอนเวอร์เตอร์ 84.

4.8 ผลการทดลองวงจรการแปลงสัญญาณจากอนาลอกเป็นดิจิตอลเดลต้าซิกม่าอันดับ 2 84.

4.8.1 ผลการทดลองผ่านวงจรอินทริเกรตตัวแรก 84.

4.8.2 ผลการทดลองผ่านวงจรอินทริเกรตตัวสอง 85.

4.8.3 ผลการทดลองผ่านวงจรอนาลอกสวิตซ์ 85.

4.8.4 ผลการทดลองวงจรเดลต้าซิกม่าอันดับ 2 86.

4.8.5 ผลการทดลองก่อนเข้าสู่วงจรป้อนกลับ 88.

4.8.6 ผลการทดลองภาครับ 88.

4.9 ผลการทดลองวงจรกรองสัญญาณความถี่ช่วงผ่านเดลต้าซิกม่ามอดูเลเตอร์ 91.

บทที่ 5 สรุปผลการทดลอง 93.

หนังสืออ้างอิง 97.

ภาคผนวก

กิตติกรรมประกาศ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูปภาพ

หน้า

รูปที่ 2.1 รูปแสดงบล็อคไดอะแกรมของการเข้ารหัสแบบเดลต้าซิกม่า 2.

รูปที่ 2.2 Delta-Sigma model with noise injection 4.

รูปที่ 2.3 ลักษณะรูปร่างของ noise with modulation 5.

รูปที่ 2.4 การแปลงสัญญาณอนาลอกเป็นดิจิตอลโดยใช้ Second-order delta-sigma modulation 5.

รูปที่ 2.5 ผลของการใช้ High-order modulator 6.

รูปที่ 2.6 รูปแสดงวงจรการเข้ารหัสเดลต้าซิกม่าอันดับ 3 6.

รูปที่ 2.7 วงจร Multibit Modulator 7.

รูปที่ 2.8 วงจรเดลต้าซิกม่ามอดูเลชั่นแบบอันดับหนึ่งโดยเอสซี 13.

รูปที่ 2.9 วงจรเดลต้าซิกม่ามอดูเลชั่นแบบอันดับหนึ่งโดยแอคทีฟอาร์ซี 13.

รูปที่2.10 รูปแสดงบล็อคไดอะแกรมดีซีเอซีพาวเวอร์อินเวอร์ชั่น 15.

รูปที่ 2.11 รูปแสดงบล็อคไดอะแกรมของเดลต้าซิกม่ามอดูเลชั่น 16.

รูปที่ 2. 12 รูปแสงวงจร Half-Bridge PWM Inversion 17.

รูปที่ 2.13 การกำจัดประจุในวงจร SI โดยใช้มอสเฟตสวิตซ์ 20.

รูปที่ 2.14 การกำจัดประจุในรูปแบบจำลอง 21.

รูปที่ 2.15 การออกแบบของวงจรเดลต้าซิกม่ามอดูเลเตอร์อันดับ 2 22.

รูปที่ 2.16 วงจรทดสอบสำหรับดิจิตอลเดลต้าซิกม่ามอดูเลชั่น 24.

รูปที่ 2.17 วงจรลูปฟีลเตอร์ของเดลต้าซิกม่ามอดูเลชั่น 25.

รูปที่ 2.18 ภาครับสัญญาณวิทยุเอเอ็มที่ใช้อย่างแพร่หลาย 27.

รูปที่ 2.19 วงจรที่นำการเข้ารหัสแบบเดลต้าซิกม่าแถบความถี่ผ่านมาประยุกต์ใช้ 27.

รูปที่ 2.20 ค่าทางทฤษฎีและทางปฏิบัติของBPFเมื่อพิจารณาค่า b = 1 28.

รูปที่ 2.21 ค่า NTF ของวงจรกรองสัญญาณแถบความถี่ผ่านอันดับ 4 29.

รูปที่ 2.22 ค่าสเปคตรัมเอาท์พุท(ซิมูเลท)ของ BPF อันดับ 4 29.

รูปที่ 2.23 การประมาณค่าความไม่คงที่ของเฟสมากที่สุด ด้วยหลายค่า k 30.

รูปที่ 2.24 ค่าความไม่คงที่ของเฟสจากการควอนไตซ์ด้วยหนึ่งบิต 31.

รูปที่ 2.25 รูทโลคัสของวงจรกรองความถี่ต่ำผ่านอันดับสาม (a=0) 32.

รูปที่ 2.26 ค่าสาขาที่ไกลที่สุดของรูทโลคัสของวงจรกรองความถี่ต่ำผ่านอันดับสาม α =-1 32.

รูปที่ 2.27 รูทโลคัสของวงจรกรองสัญญาณช่วงผ่านอันดับ 6 สำหรับสัญญาณขนาดเล็ก 33.

รูปที่ 2.28 รายละเอียดจากรูป 2.27 ทางขวามือ 33.

รูปที่ 2.19 ค่าความหนาแน่นของพลังงานของสัญญาณรบกวนการควอนไตซ์ของการแปลงสัญญาณจาก อนาลอกมาเป็นดิจิตอลที่อัตราไนควิสต์ (OSR=1) และที่ OSR = 4 การจัดการสัญญาณรบกวนแบบหลายช่วง(Multi Stage Noise Shaping) 35.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูปภาพ (ต่อ)

หน้า

รูปที่ 2.20 Multi stage noise shaper (MASH). 36.

รูปที่ 2.21 วงจรแบบหลายช่วงของเดลต้าซิกม่ามอดูเลเตอร์แบบขนาน 38.

รูปที่ 2.22 Hadamard parallel Delta-Sigma Modulation 39.

รูปที่ 2.23 การลดอัตราการแซมเปิ้ลของเดลต้าซิกม่ามอดูเลชั่น 39.

รูปที่ 2.24 วงจรกรองแถบความถี่ผ่านแบบเดลต้าซิกม่าที่ซับซ้อน 40.

รูปที่ 2.25 ลักษณะของวงจรสอดแทรกลูปฟิลเตอร์ 41.

รูปที่ 2.26 รูปแปลงวงจรจากลักษณะของการสอดแทรกลูปฟิลเตอร์ 42.

รูปที่ 2.27 รูปแบบโดยตรงจากวงจรกรองสัญญาณด้วยสัญญาณขาเข้าสองค่า 43.

รูปที่ 2.28 วงจรเดลต้าซิกม่ามอดูเลชั่นประกอบด้วยสัญญาณขาเข้าที่ถูกกรองแล้ว 43.

รูปที่ 2.29 เดลต้าซิกม่าด้วยลูปฟิลเตอร์แบบเวลาต่อเนื่อง 44.

รูปที่ 2.30 รูปวงจรสมมูลของช่วงเวลาไม่ต่อเนื่องเดลต้าซิกม่าจากรูป 2.29 44.

รูปที่ 3.1 วงจรกำเนิดความถี่คลื่นพาห์ที่สามารถเลือกความถี่ได้ 46.

รูปที่ 3.2 บล็อคไดอะแกรมของเดลต้าซิกม่ามอดดูเลชั่น 47.

รูปที่ 3.3 รูปวงจรขยายผลต่างที่ใช้ในวงจร 47.

รูปที่ 3.4 รูปแสดงวงจรอินทริเกรตแบบกลับเฟสที่ใช้ในโครงงาน 49.

.รูปที่ 3.5 วงจรเปรียบเทียบสัญญาณ 50.

รูปที่ 3.6 วงจรที่ใช้ในการทดลอง 51.

รูปที่ 3.7 วงจรแซมปลิ้งแอนด์โฮลด์ 51.

รูปที่ 3.8 วงจรพื้นฐานของการเข้ารหัสจากดิจิตอลสู่อนาลอก 52.

รูปที่ 3.9 วงจรไมโครโปรเซสเซอร์ D/A แบบมีวงจรอินเตอร์เฟส 53.

รูปที่ 3.10 วงจร Voltage Scaling 54.

รูปที่ 3.11 วงจร Current Scaling 55.

รูปที่ 3.12 วงจร D/A แบบ Current Scaling ที่ใช้ในโครงงาน 55.

รูปที่ 3.13 วงจรจูนเซอร์กิต 56.

รูปที่ 3.14 รูปแสดงวงจรป้อนกลับแรงดันแบบอนุกรม 58.

รูปที่ 3.15 รูปแสดงวงจรป้อนกลับแรงดันแบบขนาน 59.

รูปที่ 3.16 รูปแสดงวงจรป้อนกลับแรงดันแบบขนานในโครงงาน 60.

รูปที่ 3. 17 รูปวงจรป้อนกลับที่ใช้ในโครงงาน 61.

รูปที่ 3. 18 รูปแสดงวงจรสวิตซ์กระแสความเร็วสูง 62.

รูปที่ 3. 19 รูปวงจร SRD 63.

รูปที่ 3. 20 วงจรสวิตซ์ความเร็วสูงโดยวงจรกลับสู่ศูนย์ 64.

รูปที่ 3. 21 (a) ครึ่งวงจรของสวิตซ์กระแส 65.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูปภาพ (ต่อ)

หน้า

รูปที่ 3. 21 (b) วงจรสมมูลของสวิตซ์กระแส 65.
รูปที่ 3. 21 (c) ลักษณะสมอลซิกแนล 66.
รูปที่ 3.22 (a)วงจรสมมูลย์ของวงจรที่มีวงจรกลับสู่ศูนย์ 67.
รูปที่ 3.22 (b) วงจรสมมูลย์อย่างง่าย 67.
รูปที่ 3.22 (c) ลักษณะสัญญาณแบบสมอลซิกแนล 68.
รูปที่ 4.1(a) รูปแสดงอินพุทก่อนเข้าวงจรขยายผลต่าง 74.
รูปที่ 4.1 (b) แสดงผลจากวงจรขยายผลต่าง 74.
รูปที่ 4.2 สัญญาณที่ได้จากวงจรปฏิกิริยานุพันธ์ 75.
รูปที่ 4.3 สัญญาณที่ได้จากวงจรปฏิกิริยานุพันธ์ในโหมด XY 75.
รูปที่ 4.4 รูปแสดงสัญญาณจากวงจรเดลต้าซิกม่า 1 บิต ที่ความถี่ 8 kHz 76.
รูปที่ 4.5 รูปแสดงสัญญาณจากวงจรเดลต้าซิกม่า 1 บิต ที่ความถี่ 16 kHz 76.
รูปที่ 4.6 รูปแสดงสัญญาณจากวงจรเดลต้าซิกม่า 1 บิต ที่ความถี่ 32 kHz 77.
รูปที่ 4.7 รูปแสดงสัญญาณจากวงจรเดลต้าซิกม่า 1 บิต ที่ความถี่ 64 kHz 77.
รูปที่ 4.8 ผลการทดลองวงจรเดลต้าซิกม่าก่อนผ่านวงจรกรองความถี่ต่ำผ่าน 78.
รูปที่ 4.9 แสดงสัญญาณผลลัพธ์ที่ภาครับ 78.
รูปที่ 4.10 แสดงสัญญาณผ่านวงจรกำลังขยายสูงเมื่อสัญญาณเข้ารูปไซน์ 79.
รูปที่ 4.11 แสดงสัญญาณผ่านวงจรกำลังขยายสูงเมื่อสัญญาณเข้ารูปสี่เหลี่ยม 80.
รูปที่ 4.12 แสดงสัญญาณผ่านวงจรเดลต้าซิกม่าสัญญาณเข้ารูปสี่เหลี่ยม 80.
รูปที่ 4.13 แสดงสัญญาณผ่านวงจรเดลต้าซิกม่าสัญญาณเข้ารูปไซน์ความถี่ 32 kHz 81.
รูปที่ 4.14 แสดงสัญญาณผ่านวงจรเดลต้าซิกม่าสัญญาณเข้ารูปไซน์ความถี่ 64 kHz 81.
รูปที่ 4.15 แสดงสัญญาณผ่านวงจรป้อนกลับแบบลบเมื่อสัญญาณอินพุตเป็นรูปสี่เหลี่ยม 82.
รูปที่ 4.16 แสดงสัญญาณผ่านวงจรป้อนกลับแบบลบเมื่อสัญญาณอินพุตเป็นรูปไซน์ 82.
รูปที่ 4.17 แสดงสัญญาณอินพุตก่อนเข้าทำการแปลง 83.
รูปที่ 4.18 แสดงสัญญาณผ่านวงจรเดลต้าซิกม่าเมื่อสัญญาณเป็นรูปสี่เหลี่ยม 83.
รูปที่ 4.19 แสดงสัญญาณผ่านวงจรบัคส์คอนเวอร์เตอร์ 84.
รูปที่ 4.20 แสดงสัญญาณผ่านวงจรอินทริเกรตตัวแรก 84.
รูปที่ 4.21 แสดงสัญญาณผ่านวงจรอินทริเกรตตัวที่สอง 85.
รูปที่ 4.22 แสดงสัญญาณผ่านวงจรอนาลอกสวิตซ์ 85.
รูปที่ 4.23 แสดงสัญญาณผ่านวงจรเดลต้าซิกม่าอันดับ 2 ความถี่ 8 kHz 86.
รูปที่ 4.24 แสดงสัญญาณผ่านวงจรเดลต้าซิกม่าอันดับ 2 ความถี่ 16 kHz 86.
รูปที่ 4.25 แสดงสัญญาณผ่านวงจรเดลต้าซิกม่าอันดับ 2 ความถี่ 32 kHz 87.
รูปที่ 4.26 แสดงสัญญาณผ่านวงจรเดลต้าซิกม่าอันดับ 2 ความถี่ 64 kHz 87.

เอกสารนี้เผยแพร่เพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูปภาพ (ต่อ)

หน้า

รูปที่ 4.27 แสดงสัญญาณวงจรป้อนกลับ 88.

รูปที่ 4.28 แสดงสัญญาณที่ได้ทางภาครับที่ความถี่แซมปลิ้ง 8 kHz 88.

รูปที่ 4.29 แสดงสัญญาณที่ได้ทางภาครับที่ความถี่แซมปลิ้ง 16 kHz 89.

รูปที่ 4.30 แสดงสัญญาณที่ได้ทางภาครับที่ความถี่แซมปลิ้ง 32 kHz 89.

รูปที่ 4.31 แสดงสัญญาณที่ได้ทางภาครับที่ความถี่แซมปลิ้ง 64 kHz 90.

รูปที่ 4.32 แสดงสัญญาณผ่านวงจรเดลต้าซิกม่าอันดับ 2 ความถี่สูงมาก 90.

รูปที่ 4.33 แสดงตำแหน่งโพลและซีโร่ ของวงจรกรองแถบความถี่ผ่านอันดับ 4 แบบเดลต้าซิกม่า 91.

รูปที่ 4.34 แสดงผลตอบสนองทางความถี่ของวงจรกรองแถบความถี่ผ่านอันดับ 4 แบบเดลต้าซิกม่า 91.

รูปที่ 4.35 แสดงผลตอบสนองความถี่ในช่วง 0.3 – 0.4 92.

รูปที่ 4.36 รูปแสดงผลตอบสนองความถี่ในช่วง 0.32 – 0.35 92.

รูปที่ 4.37 แสดง Phase Response ของวงจรกรองความถี่ช่วงผ่านแบบเดลต้าซิกม่า มอดูเลเตอร์ 92.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

หน้า

ตารางที่ 2.1 เลขฐานสิบที่สามารถแทนที่ได้ด้วยเลขฐานสอง และ รหัส ซีเอสดี 25.

ตารางที่ 3.1 คุณสมบัติของเดลต้าซิกม่ามอดูเลชั่น 68.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

ในระบบการสื่อสารโทรคมนาคมในยุคปัจจุบันนั้นมีความต้องการเพิ่มสูงขึ้นอย่างมากเลยทีเดียว ความต้องการทั้งทางคุณภาพ ปริมาณและความยืดหยุ่นในการใช้งาน ด้วยเหตุนี้ ระบบสื่อสารแบบดิจิตอล (Digital Communication system) ที่สามารถให้ความถูกต้องและความแม่นยำได้มากกว่าการสื่อสารแบบอนาลอก (Analog Communication system) ซึ่งเป็นระบบเก่าที่ได้ถูกใช้มานานมากแล้ว โดยที่คุณภาพในการสื่อสารระบบอนาลอกนั้น ค่อนข้างที่จะน้อยกว่าในการสื่อสารระบบดิจิตอลมากเลยทีเดียว และอีกทั้งความเร็วในการส่งข้อมูลนั้น ยังช้ากว่าการสื่อสารระบบดิจิตอล ดังนั้นการสื่อสารระบบดิจิตอล จึงถูกสร้างและพัฒนาขึ้นมา เพื่อจะได้นำมาทำการทดแทนส่วนของการสื่อสารในระบบอนาลอกนั่นเอง อีกทั้งในการส่งสัญญาณ หรือข้อมูลในระบบต่าง ๆ เช่น ระบบโทรศัพท์ ระบบสื่อสารดาวเทียมภาคพื้นดิน หรือระบบสื่อสารดาวเทียมอวกาศ (Aeronautical or Land Mobile Satellite System) เป็นต้น จึงจำเป็นต้องใช้ความสามารถของการสื่อสารในระบบดิจิตอลมาใช้ประโยชน์

เนื่องจากที่เราสามารถทราบมาแล้วว่า การพัฒนาในระบบดิจิตอล สามารถถูกพัฒนามาจากระบบการสื่อสารในเชิงอนาลอก มากระทำการ ดังนั้นอุปกรณ์การแปลงสัญญาณจากอนาลอกสู่สัญญาณดิจิตอลจึงเป็นอุปกรณ์สำคัญมาก ในการใช้งาน เนื่องจากเทคนิคการเข้ารหัสสัญญาณ จากระบบสัญญาณอนาลอกไปสู่สัญญาณดิจิตอลนั้น มีมากมายหลากหลายวิธี แต่ในโครงงานชิ้นนี้นั้น ได้ทำการศึกษาลักษณะของการเข้ารหัสสัญญาณจากอนาลอก ไปสู่สัญญาณดิจิตอล โดยใช้ระบบที่มีชื่อว่าเดลต้าซิกม่ามอดูเลชั่น (Delta Sigma modulation Analog to Digital Converter) ซึ่งเป็นระบบที่พัฒนามาจากระบบเดลต้ามอดูเลชั่น โดยที่มีระบบป้อนกลับ (Feedback system) เป็นตัวที่ทำหน้าที่ทำให้สัญญาณสมบูรณ์ยิ่งขึ้น

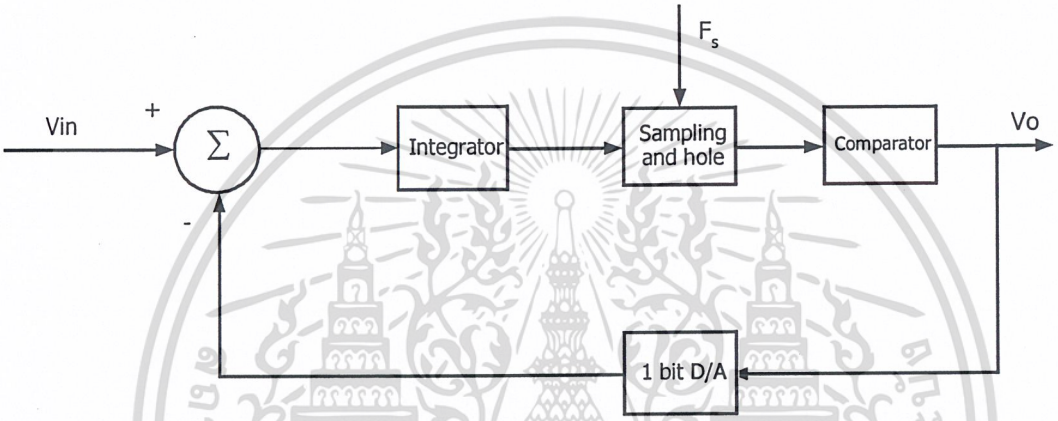
สำหรับการนำเอาการทำงานของการเข้ารหัสเดลต้าซิกม่ามอดูเลชั่น มาประยุกต์ใช้งานนั้น สามารถนำมาใช้งานได้หลากหลายประเภท ไม่จำเป็นที่จะต้องมาใช้งานในการแปลงสัญญาณจากอนาลอกเป็นดิจิตอลอย่างเดียวก็ได้ โดยในโครงงานชิ้นนี้นั้น ได้นำเสนอถึงการนำเอาวงจรการเข้ารหัสเดลต้าซิกม่ามอดูเลชั่นมาประยุกต์ใช้งานในระบบอื่นๆก็ได้ เช่น วงจรการแปลงพลังงานดีซีเป็นเอซี (Dc-Ac Power Inversion Using Delta-Sigma modulation) และวงจรการเข้ารหัสแบบเดลต้าซิกม่ามากกว่าหนึ่งอันดับ (High order Delta-Sigma modulation) โดยในโครงงานนี้ ได้ทำการนำวงจรเดลต้าซิกม่าอันดับสองมาเป็นวงจรชนิดที่สูงกว่าเดิม เพื่อที่จะพิจารณาถึงผลการทดลองว่า เหมือนหรือแตกต่างกับวงจรการเข้ารหัสเดลต้าซิกม่าอันดับหนึ่งอย่างไร และได้นำเอาหลักการของการเข้ารหัสเดลต้าซิกม่ามาทำเป็นวงจรกรองแถบความถี่ผ่าน โดยที่ได้ทำการคำนวณหาตำแหน่งโพลและซีโร่ของระบบ และทำการพิจารณาผลตอบสนองทางความถี่ของระบบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
ทฤษฎีและหลักการ

สำหรับการที่จะมาทำความเข้าใจในลักษณะการนำมาประยุกต์ใช้งานของวงจรการเข้ารหัสแบบเดลต้าซิกม่า นั้นเราต้องทำความเข้าใจกับระบบพื้นฐานของการทำงานของการเข้ารหัสแบบเดลต้าซิกม่าเสียก่อน ซึ่งการนำมาใช้งานนั้น เราต้องทำความเข้าใจถึงระบบการเข้ารหัสแบบเดลต้ามอดูเลชั่นซะก่อน แต่ในโครงงานฉบับนี้ จะขอข้ามถึงเนื้อหาทางส่วนนี้ไปก่อน เพื่อที่จะมาทำความเข้าใจกับระบบการเข้ารหัสแบบเดลต้าซิกม่ามอดูเลชั่นทันที

2.1วงจรแปลงสัญญาณอนาลอกเป็นดิจิตอลแบบเดลต้าซิกม่า (Delta-Sigma A/D Converter)



รูปที่ 2.1 รูปแสดงบล็อคไดอะแกรมของการเข้ารหัสแบบเดลต้าซิกม่า

สำหรับวงจรพื้นฐานของการเข้ารหัส แบบเดลต้าซิกม่ามอดูเลชั่นนั้น เป็นไปดังรูปที่ 2.1 นั่นเอง ซึ่งเป็นการเข้ารหัสสำหรับการแปลงสัญญาณแบบเดลต้าซิกม่ามอดูเลชั่นนั้น กำลังเป็นที่นิยมใช้สำหรับการเข้ารหัสที่ต้องการความเที่ยงตรงสูง ซึ่งกำลังนำมาใช้ในไม่กี่ปีมานี้ สำหรับ 12 บิตถึง 20 บิต การแปลงรหัส A/D ของระบบไฟสายตรงซึ่งเหมาะกับความถี่ปานกลาง (1GHz) สำหรับไฟกระแสสลับ ซึ่งการแปลงสัญญาณแบบนี้มีประโยชน์ค่อนข้างมากซึ่งได้มาจากการลดขนาดของความต้องการที่แม่นยำของวงจรอนาลอก เพื่อเพิ่มความสลับซับซ้อนสำหรับวงจรระบบดิจิตอล ซึ่งสิ่งเหล่านี้เป็นประโยชน์ที่เห็นได้อย่างชัดเจนที่สุดสำหรับการใช้งานของเทคโนโลยีด้านวงจรดิจิตอลซึ่งใช้ความได้เปรียบของเทคโนโลยี 1-2 ไมครอนและซับไมครอน VLSI (very-large-scale-integration) ซึ่งเทคโนโลยี VLSI สามารถบรรจุทรานซิสเตอร์จำนวนมากในชิพวงจรดิจิตอลเพียงตัวเดียว จึงเป็นเหตุผลให้มีราคาต่ำ

สำหรับวงจรพื้นฐานของการเข้ารหัสแบบเดลต้าซิกม่ามอดูเลชั่นนั้น เป็นไปดังรูปที่ 2.1 ซึ่งเป็นการเข้ารหัสจากอนาลอกเป็นดิจิตอลชนิดหนึ่ง สำหรับสัญญาณ 1 บิต ที่ได้รับการป้อนกลับจาก ตัวแปลงสัญญาณแบบดิจิตอลเป็นอนาลอก (D/A) นั้นจะถูกนำมาลบกับสัญญาณอนาลอกที่เป็นอินพุต V_{1A} ที่วงจรขยายผลต่างของสัญญาณ ผลของสัญญาณที่ผิดพลาดนั้นจากวงจรขยายผลต่างจะผ่านเข้าวงจรกรองความถี่ต่ำผ่าน (Lowpass Filter) ที่ในที่นี้ใช้วงจรอินทิเกรต (Integrate) เป็นวงจรกรองความถี่ต่ำผ่านเบื้องต้น และ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรอินทิเกรตจะทำการอินทิเกรตสัญญาณที่ผิดพลาดและจะถูกทำการตรวจจับโดยวงจรเปรียบเทียบสัญญาณ (Comparator) โดยก่อนที่จะเข้าสู่วงจรเปรียบเทียบสัญญาณนั้น เราจะต้องนำไปผ่านวงจรแซมเปิ้ลแอนด์โฮล เพื่อที่จะทำหน้าที่นำเอาสัญญาณที่ได้รับมา มาเข้ากระทำกับสัญญาณนาฬิกา (Clock) ก่อนที่จะนำมาสู่วงจรเปรียบเทียบสัญญาณ โดยที่วงจรเปรียบเทียบสัญญาณจะทำหน้าที่คล้ายกับวงจรแปลงจากอนาลอกเป็นดิจิตอลแบบ 1 บิต และผลลัพธ์จากวงจรเปรียบเทียบสัญญาณได้เข้าสู่วงจรแปลงสัญญาณจากดิจิตอลเป็นอนาลอก โดยมีรหัสเป็น 1 กับ 0 ซึ่งในที่นี้ 1 จะเป็นสัญญาณที่ผ่านเข้าวงจรเปรียบเทียบสัญญาณจากวงจรอินทิเกรตที่เป็นระดับสัญญาณต่ำ (Low) ต่ำกว่า 0 โวลต์ และ 0 จะเป็นระดับสัญญาณที่ผ่านเข้าสู่วงจรเปรียบเทียบสัญญาณในระดับสูง (High) ซึ่งมากกว่า 0 โวลต์นั่นเอง วงจร 1 บิตแบบ D/A จะเกิดขึ้นเมื่อขับวงจรอินทิเกรตที่ 0 โวลต์ สำหรับสัญญาณทีมีเข้าทางเพียงหนึ่งทางเข้าของการแปลง D/A ควรจะมีระดับสัญญาณอ้างอิง (reference) โดยที่ระดับสัญญาณอ้างอิงนี้ต้องมีค่าเท่ากับหรือมากกว่าสัญญาณที่ได้รับเข้ามาในระดับของสัญญาณไฟ ถ้าอย่างนั้นในกรณีของระดับสัญญาณที่น้อยของอินพุตวงจรอินทิเกรเตอร์ต้องใช้สัญญาณนาฬิกาจำนวนมากในการทำการแปลง 0 โวลต์ หลังจากที่สัญญาณ 1 ได้ถูกสร้างขึ้นมา ถ้าระดับสัญญาณอินพุตเข้ามาแบบเต็มที่ วงจรอินทิเกรตจะทำการข้ามศูนย์ในทุกๆสัญญาณนาฬิกา และผลลัพธ์จากวงจรเปรียบเทียบนั้นจะเป็นผลลัพธ์ที่สลับกันของรหัส 0 กับ 1 อย่างมากมาย โดยการทำงานของวงจรกรองสัญญาณเชิงตัวเลขนั้น จะทำการตัดสินรหัสเลขดิจิตอลที่ผลลัพธ์โดยที่เป็นสัดส่วนอย่างเหมาะสมกับรหัส 1 ในบิตย้อนหลังจากวงจรเปรียบเทียบ ซึ่งจะเห็นได้ว่าเป็นวงจรที่ค่อนข้างจะยุ่งยาก แต่อย่างไรก็ตามวงจรที่ซับซ้อนสามารถนำมาสร้างในวงจร VLSI

ค่าการสุ่มตัวอย่างของการแปลงรหัสแบบเดลต้าซิกม่ามอดูเลชั่นจะให้ค่าสูงกว่าแบบของไนควิสต์ค่อนข้างมากอัตราส่วนของการโอเวอร์แซมปลิ้ง (Over sampling) จะเท่ากับอัตราส่วนจริงที่สุ่มตัวอย่าง หารด้วย อัตราของไนควิสต์ ค่าอัตราของการสุ่มตัวอย่างที่มาก (Over sampling) นั้นจะมีค่าเท่ากับ 100 หรือ 1000 เท่าของแบนด์วิดธ์ของสัญญาณอินพุตที่เข้า

ในกรณีของวงจรกรองสัญญาณทางด้านสัญญาณขาเข้านั้น วงจรกรองความถี่ต่ำผ่านไม่ต้องการแบบที่มีการ คัทออฟ ที่ดีมากนัก แต่กลับต้องการที่จะกำจัดสัญญาณ Broad-band เพื่อที่จะทำให้การแปลงสัญญาณจากอนาลอกเป็นดิจิตอลทำได้อย่างต่อเนื่อง หรืออาจจะมีค่าใกล้กับอัตราของไนควิสต์หลายเท่าก็ได้ เหตุผลนี้ทำให้อัตราการสุ่มตัวอย่างจึงมากกว่าอัตราของไนควิสต์นั่นเอง ดังนั้น วงจรกรองความถี่แบบต่ำผ่านจึงเพียงพอที่จะป้องกันการเกิด aliasing วงจรกรองความถี่ด้านขาเข้านั้นสามารถผ่านได้หลายความถี่แม้แต่ความถี่ที่สนใจก่อนการคัทออฟที่ต้องการ ค่าแบนด์วิดธ์ของสัญญาณนั้นสามารถเพิ่มได้โดยให้วงจรเดลต้าซิกม่าใช้สัญญาณนาฬิกาที่เยอะขึ้น และใช้การเข้ารหัสตัวเปรียบเทียบเป็นหลายบิตรวมทั้งวงจรแปลงจากดิจิตอลเป็นอนาลอกก็จะใช้แบบหลายบิต (multibit D/A) จะทำให้มีแบนด์วิดธ์ที่มากขึ้นได้ และต้องออกแบบกรองสัญญาณเชิงตัวเลขเพื่อให้ได้ในช่วงความถี่ที่เหมาะสมและต้องการได้

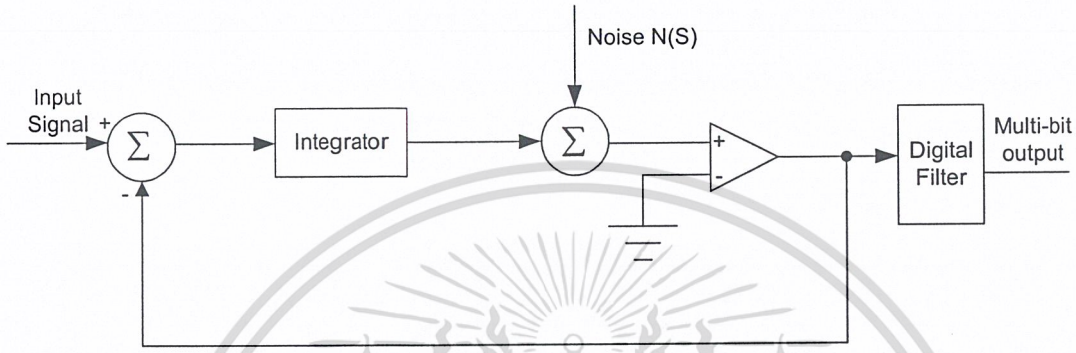
อย่างไรก็ตาม ประสิทธิภาพที่สูงสุดของวงจรการเข้ารหัสแบบเดลต้าซิกม่ามอดูเลชั่นนั้น ต้องการแค่ 1 บิต แบบ D/A และ A/D เพราะเหตุผลจากความไม่แม่นยำของผลต่างของวงจรขยายสัญญาณและวงจรอินทิเกรเตอร์ วงจรทางอนาลอกของแบบนี้นั้น ง่ายต่อการแปลงให้เป็นวงจร VLSI ความเที่ยงตรงในระบบของอนาลอกนั้น ต้องการความแม่นยำของตัวต้านทาน หรือ ตัวเก็บประจุมาก โดยที่คาดได้ว่าจะมีค่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เที่ยงตรงเมื่อใช้ขนาด 12 บิต โดยที่ขนาดของวงจรอาจจะไม่ใหญ่มากนัก ความเร็วในวงจรดิจิตอลจะสามารถเพิ่มได้ มากกว่าอัตราการสุ่มตัวอย่างที่มากเกินไป เพื่อที่จะเพิ่มความแม่นยำ และลดอัตราส่วนของสัญญาณต่อสัญญาณรบกวน (Signal to noise ratio) ในระบบเดลต้าซิกม่ามอดูเลชั่นด้วย หรือจะสามารถทำให้ประโยชน์เกิดขึ้นได้อย่างเต็มที่ ในสัญญาณแบบอนาลอกที่ความถี่สูง

2.2 วงจรการเข้ารหัสแบบเดลต้าซิกม่าที่มีสัญญาณรบกวน

(Delta-Sigma model with noise injection)



รูปที่ 2.2 Delta-Sigma model with noise injection

รูปที่ 2.2 แสดงถึงการเพิ่มสัญญาณรบกวนเข้าไปในระบบ เพื่อใช้อธิบายผลการกระทบจากควอนไตซ์นอยส์ และจะควบคุมได้อย่างไร ถ้ากำหนดเอาท์พุตของระบบเป็น $Y_{(S)}$ และ อินพุตที่เข้ามาเป็น $X_{(S)}$ ทรานสเฟอร์ฟังก์ชันของระบบเขียนได้ดังนี้

$$Y_{(S)} = \frac{\left(X_{(S)} - Y_{(S)}\right)1}{S} \tag{2.1}$$

ให้ Noise N(S)=0 จะได้;

$$\frac{Y_{(S)}}{X_{(S)}} = \frac{1}{(1+S)} \tag{2.2}$$

ให้ X(S) = 0 จะได้;

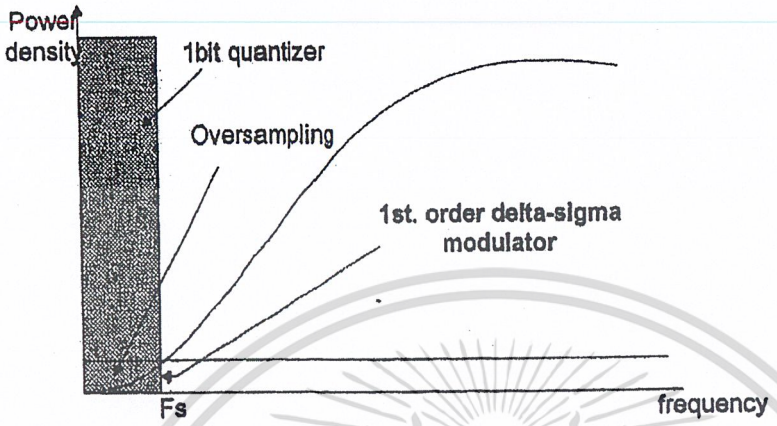
$$\frac{Y_{(S)}}{X_{(S)}} = \frac{S}{(1+S)} \tag{2.3}$$

สัญญาณอินพุทจะผ่านเข้ามาทางวงจรกรองความถี่ต่ำผ่าน ส่วนสัญญาณรบกวน (Noise) จะผ่านเข้ามาทางวงจรกรองความถี่สูง ส่วนควอนไตเซชั่นน็อยส์ จะถูกดันออกมาในรูปความถี่ และถูกลดทอนลงในช่วงของย่านสัญญาณที่ใช้งาน (signal band) โดยการโอเวอร์แซมปลิ้ง วิธีการนี้เราเรียกว่า Noise Sampling ดังรูปที่ 2.3 ทำให้สัญญาณรบกวนในช่วงครึ่งบน ของสเปกตรัมครึ่งบนถูกกรองทิ้งไป (โดยมากใช้วงจรกรองความถี่แบบต่ำผ่าน) เพื่อเพิ่มความละเอียดของสัญญาณดิจิตอลที่ได้

จากที่ได้กล่าวมาเพื่อให้เห็นว่าโอเวอร์แซมปลิ้งใช้วงจรง่ายๆ สร้างได้ วงจรกรองสัญญาณสามารถใช้วงจรกรองความถี่ต่ำผ่าน ซึ่งสร้างจากวงจร R-C ธรรมดา หรืออาจมีองค์ประกอบอื่นมาช่วยบ้างเพื่อความสมบูรณ์ส่วนการสร้างวงจรควอนไตซ์ สามารถสร้างจากวงจรเปรียบเทียบที่มีความละเอียดต่ำได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อีกทั้งมีวงจร DAC (Digital to Analog Converter) ทำให้ระบบมีความเป็นเชิงเส้นดีขึ้น เนื่องจากระดับของสัญญาณ อนาลอกเอาท์พุท ของวงจร DAC ซึ่งใช้อินพุทสัญญาณดิจิตอลที่แปลงออกมานั่นเอง



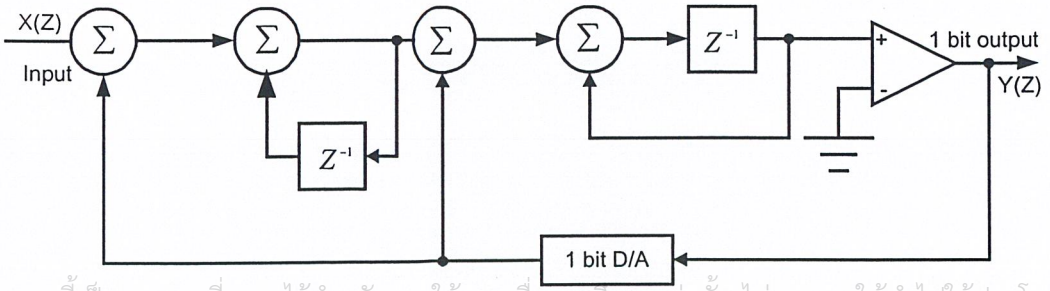
รูปที่ 2.3 ลักษณะรูปร่างของ noise with modulation

2.3 การแปลงสัญญาณอนาลอกเป็นดิจิตอลแบบเดลต้าซิกม่า โดยใช้เทคนิคหลายบิต (Delta-Sigma modulation by multiple order)

เทคนิคการทำ Multiple – Order Modulation จะช่วยลดสัญญาณรบกวนลงแต่ก็ต้องการอุปกรณ์ที่มีคุณภาพค่อนข้างสูง และการออกแบบที่ต้องรอบคอบรัดกุม เพื่อหลีกเลี่ยงความไม่เสถียรภาพของระบบ รูปที่ 2.4 แสดง ระบบการเข้ารหัสแบบเดลต้าซิกม่ามอดูเลชั่นชนิดอันดับสอง (Second-Order Delta-Sigma data converter) โดยที่ระบบนี้นั้น สามารถสร้างได้โดยการนำเอาการเข้ารหัสแบบเดลต้าซิก-ม่ามอดูเลชั่น อันดับหนึ่งสองตัวมาต่อเชื่อมกัน โดยเป็นการต่อแบบอนุกรมกัน เพื่อให้ได้ผลลัพธ์ที่มีเสถียรภาพที่สมบูรณ์ขึ้น

ฟังก์ชันความสัมพันธ์ระหว่างอินพุท กับเอาท์พุทในรูปแบบของ Z-Transform คือ

$$Y_{(S)} = X_{(S)}\left[Z^{-1} + e(1-Z)^2\right] \tag{2.4}$$

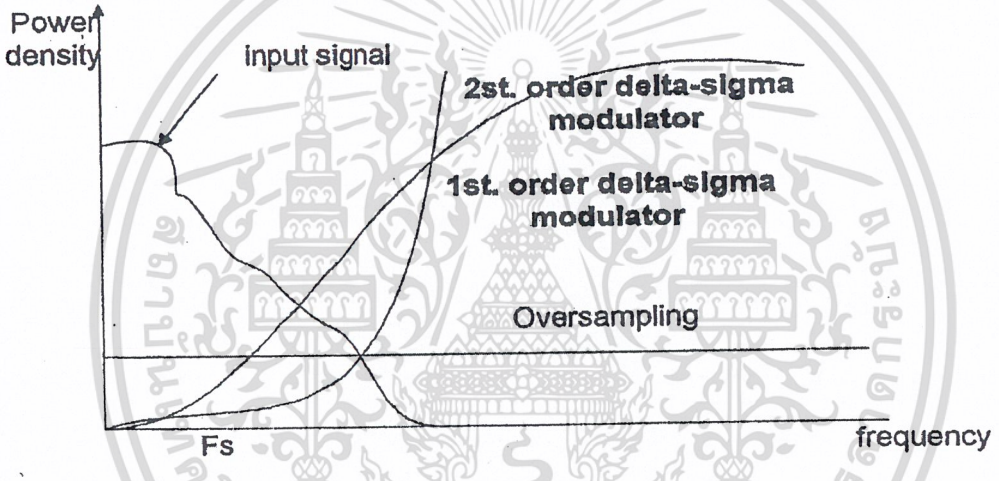


รูปที่ 2.4 การแปลงสัญญาณอนาลอกเป็นดิจิตอลโดยใช้ Second-order delta-sigma modulation

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

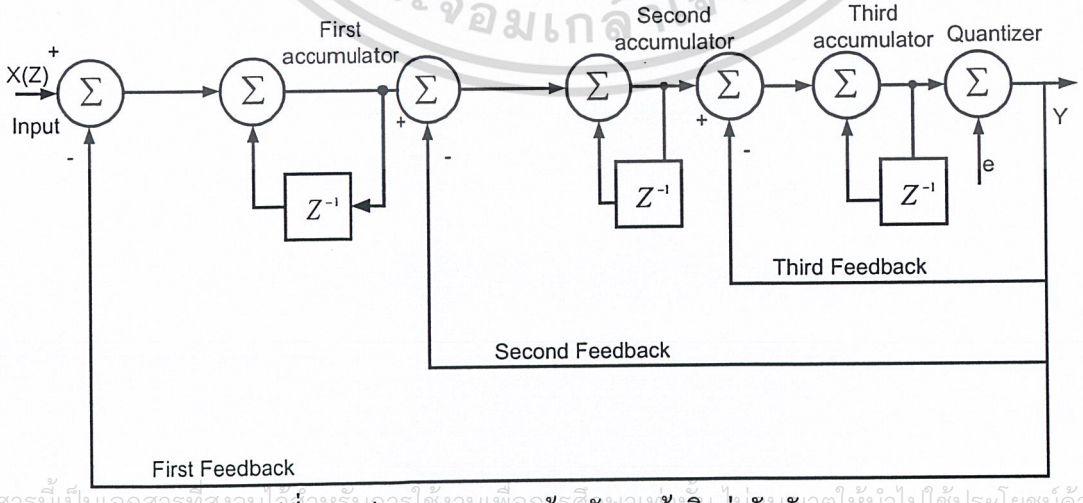
ข้อควรสังเกต สัญญาณอินพุตจะผ่านเข้ามา และถูกแปลงส่งไปยังเอาท์พุทจะมีการหน่วงเวลา เนื่องจากการแปลงสัญญาณต้องใช้เวลา ส่วนสัญญาณรบกวน (Noise) จะถูกตัดโดยวงจรกรองความถี่สูงอันดับสอง ดังนั้นการเพิ่มสเตจของวงจรจะเป็นการเพิ่มอันดับ (Order) ของการลดทอนสัญญาณรบกวน

สำหรับความแตกต่างระหว่างวงจรเข้ารหัสแบบเดลต้าซิกม่ามอดูเลชั่น ที่เป็นอันดับ 2 กับอันดับ 1 นั้น กล่าวคือระบบที่เป็นอันดับ 2 นั้น มีความทนทานต่อข้อบกพร่องมากกว่าโดยเฉพาะเมื่อใช้สัญญาณการควอนไตซ์เป็น 2 ระดับ เมื่อเทียบกับระบบอันดับ 1 ระบบอันดับ 2 นั้นมีการที่ต้องการการออกแบบพารามิเตอร์ที่ตายตัว โดยที่อัตราส่วนระหว่างเกน (Gain) ของทั้งสองวงจรป้อนกลับของระบบ ส่วนภายนอกของระบบมีอำนาจในการตัดสินใจที่จะทำให้ผลลัพธ์ของวงจร เป็นลักษณะของวงจรความถี่ต่ำ โดยที่ความสัมพันธ์ที่สอดคล้องกัน ควรจะมีค่าประมาณ $\pm 5\%$ จึงจะทำให้ระบบเสถียร บางทีอัตรการขยายของวงจรลูปภายในนั้นจะค่อยๆเพิ่มขึ้น อย่างระมัดระวัง เพื่อที่จะชดเชยการเกิดการหน่วงเวลา ของวงจรขยายภายนอกลูป



รูปที่ 2.5 ผลของการใช้ High-order modulator

2.4 ระบบเดลต้าซิกม่า แบบอันดับที่ 3 (Third order of Delta-Sigma Data Converter)



รูปที่ 2.6 รูปแสดงวงจรการเข้ารหัสเดลต้าซิกม่าอันดับ 3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

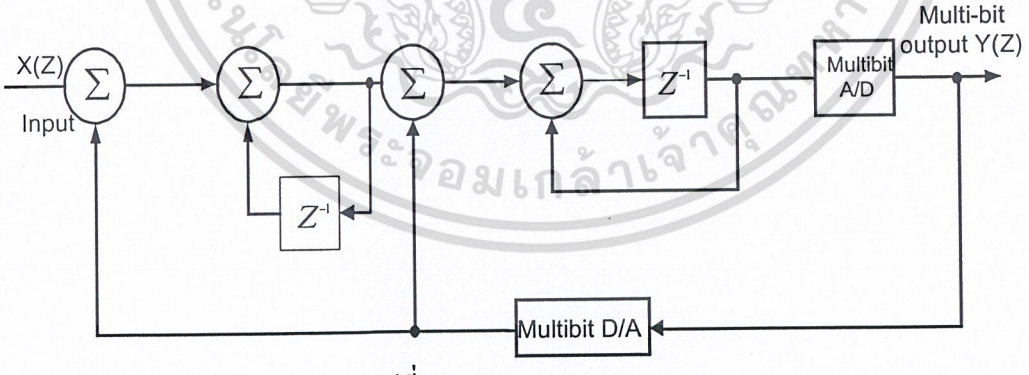
การคาดการณ์ตามทฤษฎีอย่างง่ายๆนั้น รูปที่ 2.6 ได้แสดงรูปของวงจรการเข้ารหัสเดลต้าซิกม่ามอดูเลชั่นอันดับ 3 (Third Order) ค่าของสัญญาณรบกวนนั้น สามารถกำหนดได้จากสมการความสัมพันธ์ดังนี้

$$n_O = e_{rms}\frac{\pi^L}{\sqrt{2L+1}}\left(2f_O T\right)^{L+\frac{1}{2}} \tag{2.5}$$

โดยที่กำหนดค่าของ L = 3 นั่นจะทำให้สามารถทราบได้ว่า เมื่อมีอันดับมากขึ้น จะไม่ทำให้เกิดภาระหนักเกินไปสำหรับวงจร (Overload) แต่ส่วนของวงจรค่อนข้างจะอ่อนไหวง่ายกว่าวงจรของอันดับ 1 กับ ส่วนของวงจรอันดับ 2 อย่างเช่น ค่าอัตราการขยายควอนไตซ์ของวงจรอันดับ 3 จะมีค่าประมาณ 1.15 แต่ในอันดับ 1 จะมีค่า 2.0 และในวงจรอันดับ 2 จะมีค่าเป็น 1.33 เป็นต้น

ดังจะเห็นได้ว่า วงจรอันดับ 3 นั้นจะไม่เสถียรก็ต่อเมื่อ ค่าอัตราการขยายของควอนไตซ์นั้น มีค่าต่ำกว่า 0.3 และเมื่อควอนไตซ์เซอร์เกิดการอิ่มตัว ค่าอัตราการขยายจะลดต่ำลง นั่นจะทำให้ไม่เกิดการเสถียรขึ้น เมื่อลักษณะของสัญญาณที่เข้ามา เป็นสัญญาณที่มีค่าแอมปลิจูดสูงและความถี่ต่ำ ค่าวงรอบที่จำกัดนั้น ในวงจรนี้สัญญาณจะถูกคลิบ สัญญาณป้อนกลับทั้งสองตัว จะถูกทำการเปรียบเทียบกับสัญญาณที่ออกมาจากวงจรอินทริเกรเตอร์ สำหรับความสำคัญของลูปใหญ่ภายนอกนั้น ซึ่งบรรจุวงจรอินทริเกรตสามตัวกับวงจรหน่วงสัญญาณไว้ ในภาพนี้วงจรหน่วงสัญญาณ (Delay circuit) คือสัญลักษณ์ ตัว Z^{-1} โดยวงจรเหล่านี้เป็นพื้นฐานสำคัญ ที่ต้องไม่ทำให้เสถียร ดังนั้นวงจรอันดับ 3 ก็ไม่ได้รับการยกเว้นในเงื่อนไขนี้ ลักษณะของวงจรนี้จะสามารถทำให้เสถียร ได้โดยการคลิบสัญญาณที่ออกมาจากวงจรอินทริเกรต หรือจะรวมถึงอุปกรณ์ที่ไม่เป็นเชิงเส้น ซึ่งเป็นสิ่งที่ทำให้วงจรขยายป้อนกลับภายในเกิดการอิ่มตัวได้

2.5 ระบบที่มอดูเลตแบบมัลติบิท (Multibit Modulator)



รูปที่ 2.7 วงจร Multibit Modulator

โดยหลักการทั่วไป Delta-Sigma Modulation ใช้วงจรเปรียบเทียบสัญญาณ (Comparator) อย่างง่ายๆ เพื่อช่วยความเป็นเชิงเส้นในการทำงาน อย่างไรก็ตาม ยังมีประโยชน์ในการเพิ่มความละเอียดของการแปลงสัญญาณดิจิตอลมาเป็นสัญญาณอนาลอกด้วยการควอนไตซ์แบบหลายบิต (Multibit quantization) ลดสัญญาณรบกวนลงแบบเอ็กโปเนลเชี่ยล ในทุก ๆ ที่บิตที่เพิ่มขึ้นในการ ADC มอดูเลเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับ ... ในการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เป็นการลดระดับของสัญญาณรบกวนลง เมื่อเพิ่มจำนวนบิตขึ้น 1 บิตใน ADC เนื่องจากระดับ ของการควอนไตซ์ (n) จะถูกลดลงโดย 2^{-n} และยังทำให้เสถียรภาพการป้อนกลับมีมากขึ้น เนื่องจากสัญญาณป้อนกลับใกล้เคียงกับสัญญาณผิดพลาด (Actual error) มากที่สุด ทำให้ลดความต้องการวงจรกรองความถี่แบบตัวเลข เนื่องจากสัญญาณรบกวนที่อยู่ในย่านความถี่ที่ใช้งานที่ลดลง (the out-of-band-noise) รูปที่ 2.7 เป็นลักษณะของวงจรมัลติบิต

2.6 ข้อเสียของการใช้มัลติควอนไตเซชั่น

ข้อแรก วงจร ADC จะต้องมีความเร็วสูงมาก เพื่อให้ทันกับการแซมปลิ้ง ซึ่งต้องนำ flash converter มาใช้

ข้อสอง วงจร ADC จะต้องมีความเร็วสูงมากด้วย ทั้งยังต้องเที่ยงตรงต่อความเป็นเชิงเส้นในช่วง $\frac{1}{2}$ LSB ไม่ว่าจะเกิด error ขึ้นอย่างใดก็ตามที่ DAC จะเห็นผลของ error นั้นที่เอาท์พุท ดังนั้นจึงต้องมีการชดเชยบางอย่างด้วย

ข้อสาม เมื่อ Multibit ADC มีความใกล้เคียงจนเกือบจะเท่ากับสัญญาณอินพุทแล้ว จะทำให้สัญญาณอินพุทและ DAC เกิดข้อผิดพลาด เกี่ยวพันกันหรือแปรเปลี่ยนตามกันมากขึ้น ทำให้พลังงานของสัญญาณเบสแบนด์เพิ่มขึ้น และเกิดความผิดเพี้ยนของฮาโมนิกส์ด้วย

มีหลายวิธีที่จะแก้ไขปัญหาดังกล่าว ซึ่งวิธีแรกก็คือใช้วงจรสุ่ม (Random) เพื่อสลับการทำงานขององค์ประกอบของ DAC ที่ต่างกัน เพื่อระงับความสัมพันธ์ระหว่างอินพุทและเอาท์พุททำให้เกิด ปรากฏการณ์ไวส์น็อยส์ (White noise effect) และยังสามารถกรองสัญญาณรบกวนได้อีกด้วย

วิธีที่สอง การออกแบบโดยใช้วิธีอื่นเพื่อแก้ความผิดพลาด เช่น RAM จะชดเชย ความผิดพลาดจากวงจรเข้ารหัสจากดิจิตอลมาสู่อนาลอก เช่น การไม่เป็นเชิงเส้น (Non linearity) โดยการเก็บ DAC correction code ไว้ใน RAM ขณะช่วงคาบของการแต่งระบบ

2.7 แรงจูงใจสำหรับการใช้งานการเข้ารหัสแบบเดลต้าซิกม่าแบบอันดับสูง (Motivation for using high-order single-bit delta-sigma modulation)

ในโลกของการจำกัดการแปลงสัญญาณรบกวนนั้น สามารถที่จะให้เข้าสู่ช่วงของการหารสัญญาณเข้าไปสู่ในกลุ่ม เช่น การออกแบบบิตเดี่ยวลูปเดี่ยวอันดับต่ำ(Single-bit single-loop low-order) บิตเดี่ยวลูปเดี่ยวอันดับสูง (Single-bit single-loop high-order) หรือจะเป็นการออกแบบระบบที่เป็นแบบมัลติลูปโดยที่นำมาต่ออนุกรมกัน โดยมีการกำจัดผลเสียสัญญาณที่ออกมาทางด้านหน้า และตัวจัดการสัญญาณรบกวนแบบมัลติบิต(ทั้งสองทางด้านอันดับต่ำและอันดับสูง) โดยที่ข้อดีและข้อเสียเป็นไปตามดังนี้

1. วงจรอันดับต่ำ ลูปเดี่ยว บิตเดี่ยว(Low-order single-loop single-bit)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ข้อดี

1. สามารถรับรองถึงเสถียรภาพได้
2. วงจรลูปฟิลเตอร์ออกแบบได้ง่าย
3. ลักษณะวงจรง่าย
4. อินพุทที่ส่งเข้าไปสามารถส่งเข้าไปได้อย่างเต็มที่

ข้อเสีย

1. ให้ค่าสัญญาณต่อสัญญาณรบกวนต่ำ(ยกเว้นให้อัตราโอเวอร์แซมปลิ้งมีค่าสูง)
2. เกิดความลาดของสัญญาณมากเพื่อทำให้ไม่เกิดการทำงาน (การสั่นสามารถช่วยได้)

2. วงจรอันดับสูง ลูปเดี่ยว บิตเดี่ยว (Single-bit single-loop high-order)

ข้อดี

1. ให้ค่าอัตราส่วนสัญญาณต่อสัญญาณรบกวนสูงเมื่ออัตราโอเวอร์แซมปลิ้งเป็นแบบมาตรฐาน
2. ค่าความลาดของสัญญาณน้อยมาก
3. วงจรออกแบบง่าย

ข้อเสีย

1. การออกแบบลูปฟิลเตอร์ค่อนข้างยาก
2. ความเสถียรภาพขึ้นอยู่กับสัญญาณ
3. ค่าอินพุทที่จ่ายเข้าไปมีค่ามากสุดได้มากจำกับเพื่อเสถียรภาพของระบบ

3. วงจรมัลติลูปต่ออนุกรม (Multi-loop cascade)

ข้อดี

1. ให้ค่าอัตราส่วนสัญญาณต่อสัญญาณรบกวนสูงเมื่ออัตราโอเวอร์แซมปลิ้งเป็นแบบมาตรฐาน
2. ค่าเสถียรภาพสามารถรับประกันได้
3. ค่าอินพุตที่จ่ายเข้ามามากสุดนั้น จะมีค่าอยู่ในช่วงเกือบที่จะเท่าของช่วงเต็มสัญญาณ

ข้อเสีย

1. ต้องการการแมทช์ที่ใกล้เคียงสมบูรณ์แบบระหว่างวงจรอินทิเกรเตอร์ทางอนาลอก และวงจรความต่างของสัญญาณดิจิตอล ความซับซ้อนทางด้านของวงจรสวิตซ์คาปาซิเตอร์นั้นต้องการมากเพื่อที่จะทำให้ระบบสมบูรณ์
2. ถ้าตัวแมทช์ไม่สมบูรณ์จะทำให้เกิดค่าสัญญาณผิดพลาด ในช่วงการส่งแบบเบสแบนด์
3. วงจรกรองความถี่แบบเดซิมิเนชั่นต้องใช้สำหรับอินพุตที่เป็นแบบมัลติบิต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4. วงจรมัลติบิต (Multibit)

ข้อดี

1. ให้ค่าอัตราส่วนสัญญาณต่อสัญญาณรบกวนสูงเมื่ออัตราโอเวอร์แซมปลิ้งเป็นแบบมาตรฐาน
2. ค่าความเสถียรภาพนั้นง่ายกว่าของระบบอันดับสอง
3. ค่าระดับควอนไตซ์เซชั่นระดับสูง เหมาะที่จะใช้กับสัญญาณเข้ามาที่มีลักษณะเป็นสัญญาณที่สั่นขนาดใหญ่ กำจัดสัญญาณที่ทำงานไม่ได้

ข้อเสีย

1. ค่าการแมทช์ที่ไม่ค่อยสมบูรณ์นัก (ในส่วนครึ่งควอนไตซ์ของวงจร D/A) ผลจะเกิดในการไม่สมบูรณ์ทางฟังก์ชันถ่ายโอน(Transfer Function)กระแสตรง (ค่าความผิดพลาดของความไม่เป็นเส้นตรงทางอินทริกัล)
2. วงจรกรองความถี่แบบเดซิมิเนชั่นต้องใช้สำหรับอินพุตที่เป็นแบบมัลติบิต
3. วงจรออกแบบยุ่งยากและซับซ้อนมาก

ระบบบิตเดี่ยวอันดับสูงนั้น จากข้อมูลแล้วจะให้ค่าอัตราส่วนสัญญาณต่อสัญญาณรบกวน (Signal to Noise ratio) วงจรง่ายต่อการออกแบบ และคุณลักษณะจำกัดสัญญาณที่ไม่มีประโยชน์เป็นลักษณะสำคัญของวงจรนี้ แต่อุปสรรคหลักของวงจรลักษณะนี้นั้นอยู่ที่เสถียรภาพ การออกแบบของลูปฟิลเตอร์ตัวใหม่นั้นค่อนข้างจะเรียบง่าย และการรันโปรแกรมและการตรวจเช็คสัญญาณ ของผลลัพธ์สามารถดูได้ในช่วงของการไม่ต่อเนื่อง

จากอัตราการโอเวอร์แซมปลิ้งที่ให้มา ค่ามอดูเลเตอร์อันดับสูงสามารถให้ค่าอัตราส่วนสัญญาณต่อสัญญาณรบกวนจะมีค่าสูงกว่าระบบลูปอันดับสองแบบง่าย ๆ การปรับปรุงนี้นั้นขึ้นอยู่กับอัตราส่วนของการโอเวอร์แซมปลิ้งด้วย ค่าอัตราส่วนโอเวอร์แซมปลิ้งมีค่าสูง จะมีประโยชน์มากจากวงจรลูปอันดับสูง ถ้าค่าอัตราโอเวอร์แซมปลิ้งมีค่าต่ำ (น้อยกว่า 16 เท่า) จะไม่โชว์การปรับปรุงมากนักถึงแม้เราจะใช้วงจรลูปฟิลเตอร์อันดับสูงก็ตาม

ถ้าค่าแบนด์วิดธ์ของสัญญาณที่ต้องการของวงจรแปลงสัญญาณจากอนาลอกเป็นดิจิตอล (ADC) ควรจะมีไม่ต่ำกว่า 5 kHz และค่าสัญญาณนาฬิกา สามารถอยู่ในช่วงความถี่ 3 – 10 MHz สามารถใช้การเปลี่ยนแปลงในการออกแบบลูปอันดับสองได้ ค่าวงจรเข้ารหัสแบบเดลต้าซิกม่ามอดูเลชั่นแบบอันดับสองนั้น ใช้ค่าอัตราของโอเวอร์แซมปลิ้งมาก (สูงกว่า 256 เท่า) สามารถให้ค่าอัตราส่วนของสัญญาณต่อสัญญาณรบกวนนั้น มีค่าในทางทฤษฎีประมาณ 100 dB ถึงแม้ว่า ค่าสัญญาณที่ไม่ได้ใช้งาน (idle tones) ที่สร้างโดยสัญญาณที่ไม่สั่นของวงจรมอดูเลเตอร์อันดับสอง บางทีค่าอาจไม่สามารถยอมรับได้ในบางการนำไปประยุกต์ใช้ วงจรแปลงสัญญาณจากอนาลอกสู่ดิจิตอลที่นิยมใช้ในการออกแบบของสัญญาณเสียงนั้นอยู่ในช่วงนี้ โดยใช้อัตราการแซมปลิ้งที่ 48 kHz และค่าอัตราโอเวอร์แซมปลิ้งที่ 64 เท่า ของการเรียกของสัญญาณนาฬิกาตัวหลัก 3.072 MHz ตัวแปลงสัญญาณในลักษณะเดียวกันโดยใช้เป็นวงจรลูปอันดับสองนั้น ต้องการความถี่สัญญาณนาฬิกาสูงสุดที่ 12.288 MHz (ค่าอัตราการโอเวอร์แซมปลิ้ง 256 เท่า) เพื่อ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ที่จะได้ค่าสัญญาณต่อสัญญาณรบกวนเท่าเดิม ค่าความสามารถของออปแอมป์นั้นความเที่ยงตรง จะมีค่าต่ำลงอย่างมากเมื่อใช้ที่ความถี่ 12 MHz มากกว่าที่ใช้ที่ความถี่ 3 MHz

ในรายงานการนำเสนอของเรื่องการเข้ารหัสพวกนี้ สามารถหากราฟของสัญญาณต่อสัญญาณรบกวนต่ออัตราสัญญาณของโอเวอร์แซมปลิ้ง เพื่อในอันดับของวงจรลูปที่หลากหลาย แต่กราฟพวกนี้ต้องระวังอยู่บ้างในบางกรณี ผลลัพธ์ของระบบนั้นส่งผลจากผลของรูปแบบเชิงเส้นด้วยค่าฟังก์ชันถ่ายโอนของกำจัดสัญญาณรบกวน

$$H_{(z)} = (1 - z^{-1})^n \tag{2.6}$$

โดยที่ค่า n เป็นอันดับของระบบ

ซึ่งเป็นส่วนสำคัญที่ต้องตระหนักถึงว่า ค่าของฟังก์ชันถ่ายโอนของการกำจัดสัญญาณรบกวน (Transfer function noise shaping) นั้นจะไม่เกิดขึ้นในระบบที่เสถียรภาพสำหรับวงจรลูปฟิลเตอร์ที่มีอันดับมากกว่า 2 และผลลัพธ์แทบจะไม่มีผลเลยถ้าค่าการควอนไตซ์ของระบบมัลติบิตแล้วได้ใช้งาน ถ้าเรามาทำการพิจารณาของอันดับ n ของค่าฟังก์ชันถ่ายโอนของการกำจัดสัญญาณรบกวนนั้น ตัวเลขของอันดับที่ต่าง ๆ กันสามารถออกแบบได้โดยไม่จำกัด แต่ว่าคงเป็นการไม่ฉลาดสักเท่าใดนัก ถ้าเชื่อถึงผลลัพธ์ของผู้ออกแบบที่แตกต่างกัน ถ้าค่าสัมประสิทธ์ ของลูปฟิลเตอร์นั้นต้องถูกต้องแน่นอน ผลลัพธ์ที่ออกมาจากการซิมูเลทในช่วงเวลาที่เป็นดีสครีต และในช่วงรูปแบบที่เป็นเชิงเส้น เฉพาะส่วนของมอดูเลเตอร์นั้นไม่มีอันดับที่แน่นอน ให้อิสระมากสำหรับในวง-จรอันดับต่ำๆ เช่นวงจรมอดูเลเตอร์อันดับหนึ่ง

2.8 ตัวเลือกการออกแบบ ระหว่างสวิตซ์คาปาซิเตอร์หรืออาร์ซี (Design choices:SC or RC)

บางที ตัวเลือกแรกของการสร้างและการออกแบบ วงจรการเข้ารหัสแบบเดลต้าซิกม่ามอดูเตอร์นั่น จะเป็นการเลือกระหว่าง สวิตซ์คาปาซิเตอร์(Switch Capacitor: SC) และตัวแอคทีฟอาร์ซีทั่วไป (active RC) โดยทั่วไป ในอุปกรณ์ไอซีที่เกี่ยวกับ เดลต้าซิกม่ามอดูเลชั่นนั้น ส่วนใหญ่จะใช้ SC ซะเป็นส่วนใหญ่ แต่เกือบจะทั้งหมดของระบบ หรืออุปกรณ์ที่เป็นลูกผสม จะใช้แอคทีฟอาร์ซี โดยที่เหตุผลนั้นจะอยู่ตามข้อดีข้อเสียของเอสซีและแอคทีฟอาร์ซี

เอสซี

ข้อดี

1. ง่ายต่อการซิมูเลต
2. การเข้ากันได้กับ วีแอลเอสไอ ซีมอส (VLSI CMOS) ทำให้อุปกรณ์มีขนาดเล็ก
3. ไม่มีผลต่อการเกิดปรากฏการณ์คล็อคจิตเตอร์ (clock jitter) ในช่วงเต็ม
4. ไม่มีผลกระทบเกี่ยวกับออปแอมป์ รูปแบบที่แน่นอนของสัญญาณ
5. ค่า โพลกับซีโร่นั้น สามารถตั้งได้โดยอัตราส่วนของตัวเก็บประจุ ให้ค่าเที่ยงตรงสูงมาก

ข้อเสีย

1. ตัวเก็บประจุที่มีค่ามากต้องการสำหรับ SNR สูง (ข้อจำกัดของ kT/C)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2. วงจรของเอสซีนั้นเป็นตัวอย่างสำคัญของการเกิดความดันไฟฟ้าที่เกิดจากการเกิดอเลียสซิ่งของสัญญาณรบกวนนอกแบนด์ โดยที่จะเกิดความลาดชันเป็นอย่างมากในลักษณะสัญญาณดิจิตอล
3. ค่ากระแสสไปค์เกิดสูงมากจากตัวเก็บประจุ และยากมากต่อการควบคุมจากแหล่งภายนอก (ใช้อาร์ซีเข้าช่วย)
4. ยากต่อการทำโปรโตไทป์(prototype) ปกติค่าตังเก็บประจุจะน้อยกว่า 1 pF และมันจะง่ายต่อการเกิดท่วมกัน โดยเกิดการเกาะกันบนเบรดบอร์ด

แอคทีฟอาร์ซี

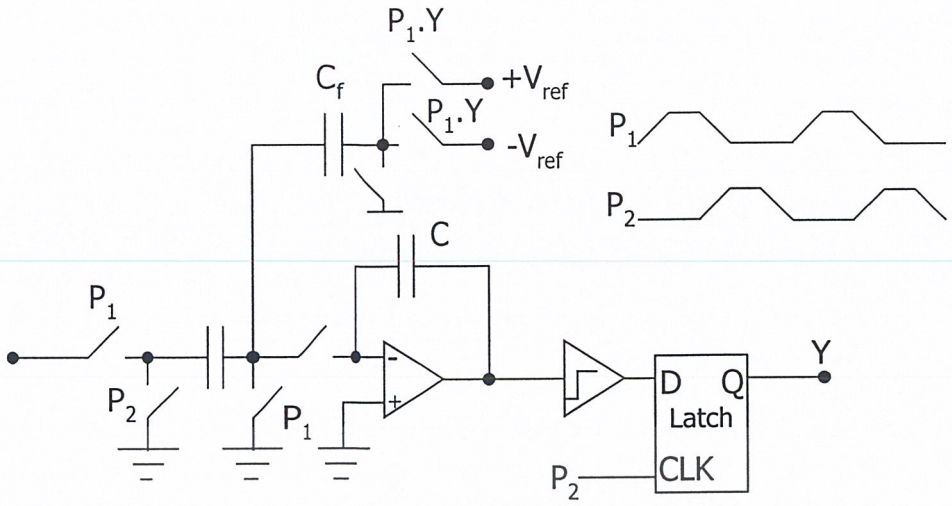
ข้อดี

1. ง่ายต่อการทำเบรดบอร์ด (breadboard)
2. ในสัญญาณรบกวนดิจิตอลจะเกิดความลาดชันน้อย
3. ง่ายต่อการควบคุมจากภายนอก ไม่ต้องกังวลผลจากพัลส์กระแสของสวิตซ์คาปาซิเตอร์ว่าจะมีผลกับระบบ
4. ค่า SNR ไม่ได้ถูกจำกัดโดยขนาด

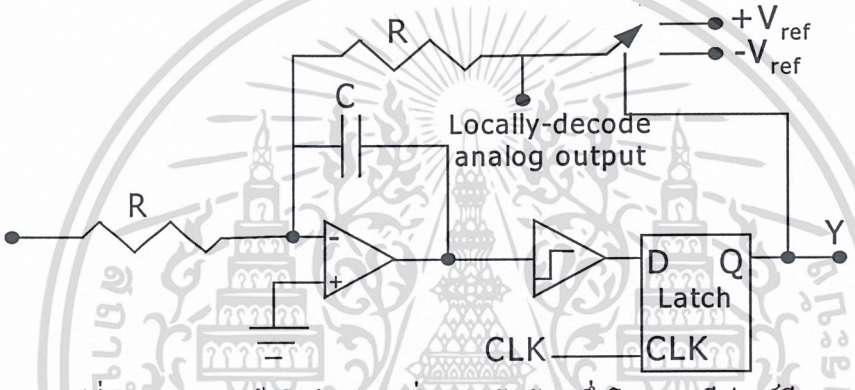
ข้อเสีย

1. ไม่มีการเข้ากันได้ของ CMOS ต้องการตัวเก็บประจุมีค่ามากๆ ตัวต้านทานที่มีค่าความแม่นยำสูงมากๆ ตัวออปแอมป์เกิดสัญญาณรบกวนที่ความถี่ต่ำๆ
2. ค่าความเที่ยงตรงของค่าคงตัวของเวลา (time constant) นั้นเป็นไปไม่ได้ตามการปฏิบัติ ถ้าไม่มีการตั้งค่าด้วยอุปกรณ์ที่เที่ยงตรงมากๆ
3. ค่า SNR นั้นจะถูกลดระดับลงมาตามสัญญาณป้อนกลับของวงจรเปรียบเทียบสัญญาณเกิดความไวของจิตเตอร์ สัญญาณรบกวน และค่าเฉพาะตัวของสวิตซ์ ของ รูปสัญญาณ 1 บิต
4. ค่าลูปฟิลเตอร์ไม่ได้เป็นสเกลกับความถี่สัญญาณนาฬิกา
5. ตัวออปแอมป์ต้องเป็นเชิงเส้นตลอดเวลา
6. การวิเคราะห์ในเชิงเวลาที่ไม่ต่อเนื่องทำได้ยากมาก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.8 วงจรเดลต้าซิกม่ามอดูเลชั่นแบบอันดับหนึ่งโดยเอสซี



รูปที่ 2.9 วงจรเดลต้าซิกม่ามอดูเลชั่นแบบอันดับหนึ่งโดยแอคทีฟอาร์ซี

รูปที่ 2.8 และ 2.9 นั้นแสดงถึงการเปรียบเทียบระหว่างการออกแบบสองสไตล์ของเอสซีและแอคทีฟอาร์ซี โดยที่รูปที่ 2.8 เป็นรูปที่แสดงถึงวงจรเอสซีอย่างง่าย ๆ โดยมีสองสัญญาณนาฬิกาเข้ามา ในเฟส 1 ค่าสัญญาณขาเข้าเกิดการแซมเปิ้ล และวงจรเปรียบเทียบสัญญาณจะทำงานในเฟส 2 ตัวสัญญาณด้านเข้าจะถูกส่งไปยังจุดรวมของวงจรอินทริเกรเตอร์ โดยให้ตัววงจรเปรียบเทียบสัญญาณทำหน้าที่ในการเปรียบเทียบ เมื่อสัญญาณ "1" วงจรเปรียบเทียบสัญญาณจะให้ผลลัพธ์ในประจุรูปของ $C_f V_{ref}$ ถูกส่งไปที่วงจรอินทริเกรต เมื่อเกิด "0" ขึ้นมา ตัววงจรเปรียบเทียบสัญญาณจะให้ $-C_f V_{ref}$ ส่งมาแทน ในหลายกรณีนั้นความต้องการของสัญญาณอ้างอิงจะต้องทำสำเร็จโดยความเหมาะสมของเฟส ของสวิตซ์ ที่ต้องใช้การอ้างอิงสัญญาณเดี่ยวเท่านั้น

รูปที่ 2.9 แสดงถึงการออกแบบในช่วงเวลาต่อเนื่อง ค่าผลลัพธ์ออกมาของวงจรเปรียบเทียบสัญญาณจะถูกส่งออกมาทุกๆสัญญาณนาฬิกา และปล่อยให้การตัดสินใจของวงจรเปรียบเทียบ ในรูปแบบของ $+V_{ref}$ หรือ $-V_{ref}$ โวลต์เตจจากตัวต้านทาน จะเชื่อมต่อกับจุดเชื่อมของตัวรวมอินทริเกรเตอร์ ค่าโวลต์เตจนี้จะเป็นค่าที่ต่อเนื่องและรวมเข้ากันกับช่วงเวลาของสัญญาณนาฬิกา โดยที่เราควรจะรู้ว่า จำนวนประจุทั้งหมดที่ส่งไปยังตัวอินทริเกรตนั้น จะเป็นฟังก์ชันกับความกว้างของสัญญาณนาฬิกานั่นเอง ค่าการขึ้นและตกของค่ารูปสัญญาณที่ป้อนกลับเข้ามา ถ้าเกิดในกรณีที่ช่วงเวลาการขึ้น และการตกนั้น เกิดไม่เท่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กันขึ้นมา การตัดสินใจก่อนหน้านี้ ใช้การกลับสู่ศูนย์ (Return to zero) โดยทางทฤษฎี ผลของการเกิดการขึ้นและตกไม่เท่ากัน และ การตัดสินใจบิตก่อนหน้า จะทำให้เกิดการเพิ่มขึ้นของเสถียรภาพของจิตเตอร์

2.9 การประยุกต์การใช้งานวงจรเดลต้าซิกม่ามอดดูเลชั่น(Application of Delta Sigma modulation)

สำหรับประโยชน์ใช้สอยของวงจรการเข้ารหัสสัญญาณจากอนาลอกสู่สัญญาณดิจิตอลแบบเดลต้าซิกม่านั้น ค่อนข้างจะมีมากมายหลายอย่าง โดยที่ถ้าต้องการความสมบูรณ์ของสัญญาณนั้นเราสามารถทำได้โดยการนำเอาวงจรการเข้ารหัสแบบเดลต้าซิกม่าให้ไปทำเป็นอันดับที่สูงขึ้นไป (high order) เพื่อที่จะได้ผลลัพธ์ ออกมาเป็นสัญญาณที่สวยงามยิ่งขึ้นมากกว่านี้ หรืออีกนัยน์หนึ่งสามารถเพิ่มความเร็วของการแปลงรหัสสัญญาณ โดยการนำเอาสัญญาณนาฬิกาที่มีความถี่สูงมากเข้าไปทำการเปรียบเทียบ เพื่อให้ได้สัญญาณดิจิตอลที่มีผลลัพธ์ออกมาได้เร็วกว่าระบบเก่าที่วางไว้ ในงานวิจัยฉบับนี้ นั้น เป็นการนำเอาความสามารถของการเข้ารหัสแบบเดลต้าซิกม่ามอดูเลชั่นมาทำการประยุกต์ให้สามารถใช้งานได้ นอกเหนือจากที่เราจะนำมาใช้งานในระบบการแปลงสัญญาณเพียงอย่างเดียวเท่านั้น โดยได้นำเสนอโครงงานคร่าว ๆ ดังนี้

2.9.1 วงจรแปลงสัญญาณจากกระแสตรงเป็นกระแสสลับ (DC – AC Power Inversion Using Delta Sigma modulation)

วงจรแปลงสัญญาณสัญญาณจากกระแสตรงเป็นกระแสสลับในระดับความถี่ต่ำนั้น ได้รับการศึกษามาเป็นเวลากว่าทศวรรษแล้ว ตัวแปลงสัญญาณนั่นสามารถนำมาทำประโยชน์ในการใช้งานได้หลายรูปแบบ อย่างเช่น การขยายในรูปแบบออดิโอพาวเวอร์แอมป์ (audio power amplifier) อันอินเตอร์รัปเอเปิลพาวเวอร์ซัพพลาย (uninterruptible power supply) ตัวขับมอเตอร์ (motor drives) และไลน์คอนดิชันเนอร์ (line conditioner) โดยเฉพาะอย่างยิ่ง ระบบพัลส์วิดธ์มอดูเลชั่น(Pulse width modulation) ก็เป็นอีกระบบหนึ่งที่ใช้เทคนิคนี้อย่างกว้างขวางเลยทีเดียว โดยที่วิธีการบางอย่างนั้นค่อนข้างที่จะซับซ้อนและ ยากต่อการแก้ไข โดยการยึดช่วงของเวคเตอร์ของ PWM และนิวรอลเน็ตเวิร์ค เพื่อมาสุ่มหาค่าตัวแปรที่จะใช้ในสัญญาณ PWM และวิธีอื่นๆรวมถึงสไลด์ดิ่งโหมด (sliding mode) และระบบควบคุมมัลติเพิลฟีดแบ็ค (multiple feedback control)

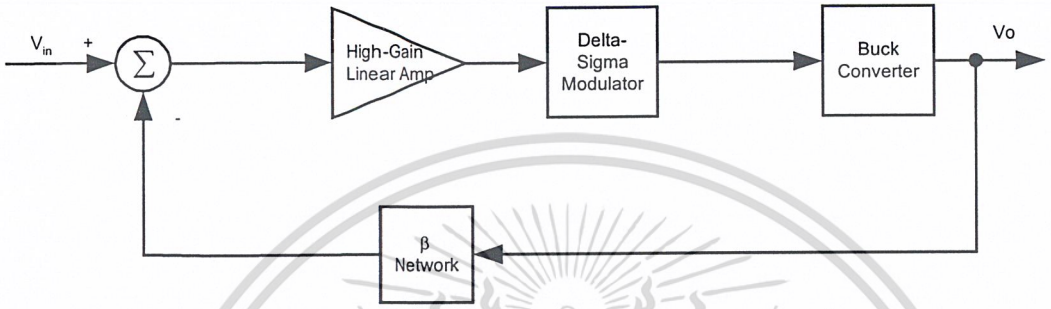
โดยที่จุดประสงค์หลักของหัวข้อในโครงงานนี้นั้น มุ่งที่จะสามารถนำมาใช้งานวงจรการเข้ารหัสสัญญาณแบบเดลต้าซิกม่า ที่สามารถใช้งานได้จริง โดยที่จะทำการควบคุมระบบการทำงานของการแปลงสัญญาณจากดีซีเป็นเอซีที่ความถี่ต่ำโดยที่ได้ผลลัพธ์ออกมาเป็นสัญญาณไซน์เวฟที่สมบูรณ์ โดยประโยชน์ของเทคนิคนี้นั้น รวมไปถึงการที่จะทำให้สามารถใช้งานเครื่องมือได้อย่างง่ายอีกด้วย ราคาถูก มีสัญญาณรบกวนค่อนข้างต่ำ และให้ผลลัพธ์ออกมาเป็นรูปสัญญาณไซน์ที่สมบูรณ์แบบมาก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ลักษณะวงจร

วงจรบัคส์ (Buck circuit) โดยถ้าเราทำการมองจากทางด้านเดียวนั้น เป็นวงจรที่ให้กำลังงานค่อนข้างที่จะสูงมาก ๆ เลยทีเดียว วงจรการแปลงสัญญาณจากอนาลอกเป็นดิจิตอลแบบบิตเดียว (one-bit digital to analog converter)โดยการเชื่อมต่อระหว่างเอาท์พุตดิจิตอลขนาดหนึ่งบิตของเดลต้าซิกม่ามอดูเลชั่นเข้าสู่อินพุตขนาดหนึ่งบิตของวงจรบัคส์ โดยใช้วงจรอินเวอร์เตอร์เป็นตัวสร้างวงจรบัคส์นั่นเอง

รูปแบบโครงสร้างของวงจรการแปลงสัญญาณจากดีซีเป็นสัญญาณเอซีนั้น มีรูปแบบลักษณะดังนี้



รูป2.10 รูปแสดงบล็อคไดอะแกรมดีซีเอซีพาวเวอร์อินเวอร์ชั่น

โดยที่ลักษณะการทำงานของวงจรนั้น จะทำงานโดยเมื่อมีสัญญาณอินพุตเข้ามา ในลักษณะเป็นสัญญาณรูปพัลส์ หรือสัญญาณแลมป์ เข้ามาโดยทำการผ่านวงจรขยายสัญญาณผลต่างเข้ามาแล้วนำผลจากการลบสัญญาณนั้น เข้ามาสู่วงจรขยายสัญญาณแบบสูง (High-Gain Linear Amplifier) แล้วนำเอาผลจากสัญญาณที่ได้จากการขยายนั้น แล้วนำมาเข้าสู่สัญญาณการเข้ารหัส จากอนาลอกสู่ดิจิตอลแบบเดลต้าซิกม่า แล้วนำผลลัพธ์ที่ได้ ซึ่งในตอนนั้น ภายในผลลัพธ์ที่ได้ออกมานั้น จะเป็นลักษณะสัญญาณรูปแบบดิจิตอล ซึ่งหลังจากที่ได้ออกมานั้น เราจะได้กลายเป็นสัญญาณคอนโทรล แล้วให้เข้ามาสู่วงจรบัคส์ แล้วในวงจรบัคส์นั้น จะทำหน้าที่เป็นตัวแปลงสัญญาณให้ได้สัญญาณที่ออกมาเป็นสัญญาณที่สมบูรณ์ที่สุด แล้วจะนำเอาผลที่ได้ออกมา จะกลายเป็นผลที่เข้าสู่วงจรขยายป้อนกลับ (β Network) โดยที่ผลภายในวงจรนี้นั้นจะได้ออกมาเป็นลักษณะวงจรขยายสัญญาณครึ่งเท่า เท่านั้น แล้วจะนำเอาผลลัพธ์ที่ได้มานั้น มาทำการหักลบ กับสัญญาณอินพุต ที่ได้นำมาลบกันนั่นเอง

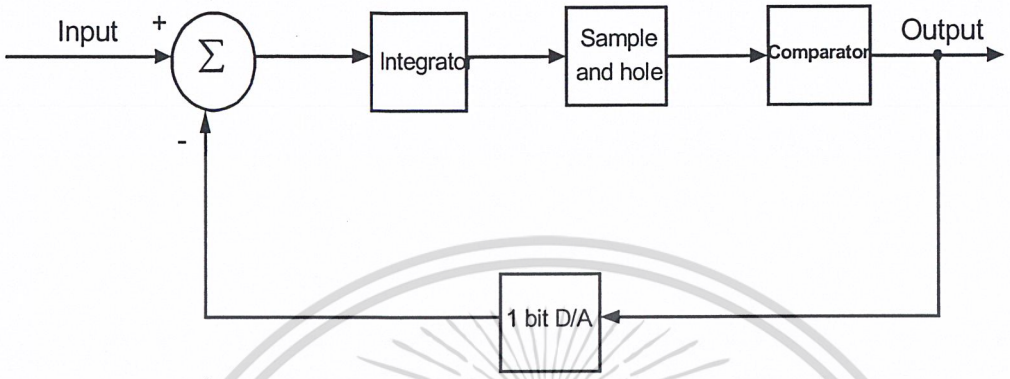
จากรูปแบบการทำงานที่กล่าวมานั้น กล่าวคือ เราจะนำวงจรการเข้ารหัสแบบเดลต้าซิกม่า มาเพื่อทำการแปลงสัญญาณของอินพุต ที่เข้ามาให้กลายเป็นระดับสัญญาณดิจิตอล โดยจะทำการเอาสัญญาณดิจิตอลตัวนั้น มาทำเป็นสัญญาณควบคุม เพื่อเข้าสู่วงจรบัคส์ โดยภายในวงจรบัคส์นั้นทำโดยใช้วงจรอินเวอร์เตอร์ มาใช้ในการทำเท่านั้น และหลังจากที่ผ่านตัวอินเวอร์เตอร์ ก็จะมาทำการจูนสัญญาณ โดยใช้การจูนสัญญาณโดยใช้ตัวเหนี่ยวนำ และตัวต้านทานมาทำการจูนสัญญาณภายในเท่านั้น โดยหลังจากทำตามกระบวนการเสร็จเรียบร้อยแล้ว จะได้ผลลัพธ์ออกมาเป็นสัญญาณรูปไซน์ ที่มีลักษณะค่อนข้างสวยงาม

ส่วนประกอบหลักภายในวงจรแปลงสัญญาณ

1. วงจรเดลต้าซิกม่ามอดูเลเตอร์ (Delta Sigma modulator)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำหรับวงจรการเข้ารหัสแบบเดลต้าซิกม่ามอดูเลชั่นนั้น ในโครงงานนี้ได้ใช้วงจรที่มีส่วนประกอบด้วยวงจรลบสัญญาณ วงจรปฏิกิริยานุพันธ์ วงจรแซมเปิ้ลแอนด์โฮล วงจรเปรียบเทียบสัญญาณ และวงจรแปลงสัญญาณจากอนาลอกเป็นดิจิตอลขนาด 1 บิต โดยวิธีการเคอร์เร้นสวิตชิ่ง (Current Switching) โดยภายในวงจรจะมีลักษณะดังนี้



รูปที่ 2.11 รูปแสดงบล็อคไดอะแกรมของเดลต้าซิกม่ามอดูเลชั่น

สำหรับพื้นฐานของวงจรการเข้ารหัสแบบเดลต้าซิกม่านั้น ได้อธิบายไปแล้วในส่วนของหัวข้อเบื้องต้นของงานวิจัยฉบับนี้ โดยที่ภายในงานวิจัยเรื่องนี้นั้นต้องการให้ผลลัพธ์ที่ออกมาจากส่วนสุดท้ายของวงจรการเข้ารหัสแบบเดลต้าซิกม่ามาเป็นสัญญาณควบคุม เพื่อที่จะนำมาใช้งานในส่วนของการขับเคลื่อนเพื่อเข้าสู่วงจรบัคส์ โดยลักษณะการทำงานนั้น เมื่อมีสัญญาณอินพุตเข้ามาสู่วงจร วงจรจะนำมาทำการผ่านวงจรขยายผลลบสัญญาณ โดยที่จะนำเอาสัญญาณอินพุตนั้นมาลบกับสัญญาณที่มาจาก วงจรแปลงสัญญาณขนาด 1 บิตจากดิจิตอลไปสู่อนาลอก แล้วนำมาผ่านวงจรกรองความถี่ต่ำผ่าน โดยใช้วงจรปฏิกิริยานุพันธ์ หรือวงจรอินทิเกรต โดยเมื่อผลลัพธ์ออกมาแล้วนั้น ก็จะนำไปผ่านวงจรแซมเปิ้ลแอนด์โฮลด์ โดยที่เราจะทำการใส่สัญญาณนาฬิกา เข้าไปในส่วนของวงจรแซมเปิ้ลแอนด์โฮลด์ เพื่อที่จะทำให้ลักษณะสัญญาณออกมาเป็นไปตามรูปแบบที่ต้องการ แล้วหลังจากที่ผ่านวงจรแซมเปิ้ลแอนด์โฮลด์ โดยใช้อนาลอกสวิตซ์แล้ว จะนำไปผ่านวงจรเปรียบเทียบสัญญาณ โดยหลังจากที่ผ่านวงจรเปรียบเทียบสัญญาณแล้ว จะได้สัญญาณเอาท์พุตออกมาเป็นสัญญาณดิจิตอล และจะมีการป้อนกลับสัญญาณเข้ามาโดยผ่านวงจรแปลงสัญญาณจากดิจิตอลเป็นอนาลอกขนาด 1 บิต โดยที่จะใช้ลักษณะวงจรเป็นวงจรเปลี่ยนสัญญาณกระแส (Current Switching) เพื่อจะนำสัญญาณที่ได้ออกมา ไปทำการหักลบกับสัญญาณที่เข้าไปในอินพุตอีกทีหนึ่ง

เมื่อหลังจากสัญญาณที่ผ่านเข้าไปในวงจรแล้วนั้น จะได้สัญญาณเป็นสัญญาณดิจิตอลออกมา เพื่อเข้าสู่สเตจต่อไป

หลังจากที่มีการตีพิมพ์ออกมาอย่างแพร่หลาย สำหรับเทคนิคการเข้ารหัสสัญญาณแบบเดลต้าซิก-ม่ามอดูเลชั่น รวมไปถึงตัวเลือกสำหรับอัตราส่วนของค่าความถี่แซมปลิ้งต่อความถี่ของสัญญาณอินพุตที่เข้ามาสัญญาณรบกวน ประสิทธิภาพของสัญญาณ และตัวเลือกของส่วนประกอบที่เหมาะสม ตั้งแต่ระบบการเข้ารหัสแบบเดลต้าซิกม่ามีบทบาทขึ้นมาโดยใช้เทคนิคโอเวอร์แซมปลิ้งนั้น ความถี่ของการแซมปลิ้ง

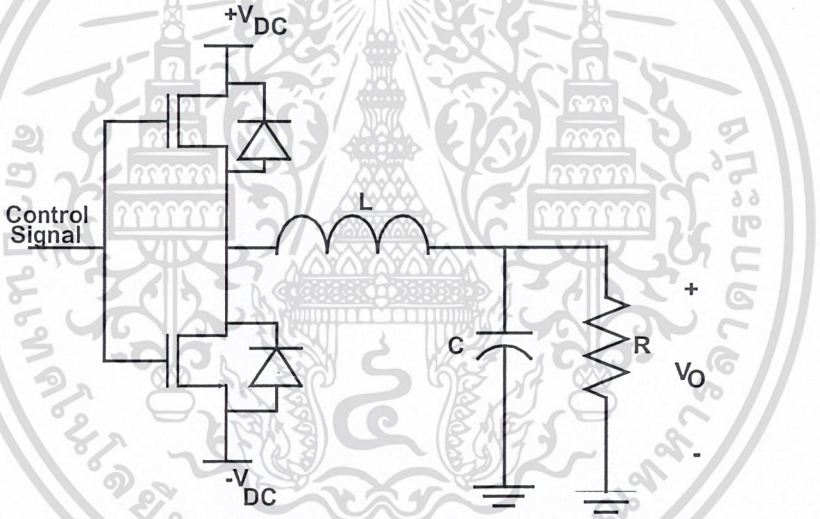
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

นั้นควรจะมีค่ามากกว่าสัญญาณความถี่ที่เข้ามามาก แต่ว่าเราไม่สามารถทราบอัตราส่วนที่แน่นอนได้ โดยที่นี่เป็นส่วนของความจริงที่อยู่ระหว่างการที่ความถี่ของการสวิตช์ชิ่งจะเปลี่ยนแปลงโดยที่ความถี่แซมปลิ้งนั้นเป็นแบบที่ไม่ได้มีการตัดสินใจ นี่คือส่วนที่เสียประโยชน์ เพราะว่ามันเป็นการยากที่จะมาหาตัวกรองความถี่ของสัญญาณสวิตช์ชิ่งน็อยส์นั่นเอง และอย่างไรก็ตามมันก็เป็นการสำคัญที่สุดที่ต้องทำการประเมินค่าของอัตราส่วนระหว่างความถี่การแซมปลิ้งกับความถี่อินพุต จากทฤษฎีการแซมปลิ้งคุณลักษณะสัญญาณจะเพิ่มและค่าสัญญาณรบกวนจะน้อยลง ถ้าอัตราส่วนนั้นเพิ่มขึ้นโดยที่ค่าน็อยส์จากการควอนไทเซชั่นนั้นจะทำการกระจายไปในทุกช่วงความถี่นั่นเอง และสามารถทำการลดได้โดยการผลักค่าความถี่มุมของตัวกรองความถี่แบบต่ำผ่านชนิดแปรผันกลับ โดยที่เหตุผลหลักในการเลือกความถี่แซมปลิ้งควรจะมีจำนวนมากกว่าความถี่อินพุตที่เข้ามาเป็นจำนวน 2 – 3 เท่า ต่อสัญญาณอินพุตที่เข้ามา

2. วงจรบัคส์คอนเวอร์เตอร์ (Buck Converter)

สำหรับวงจรบัคส์คอนเวอร์เตอร์นั้น มีหน้าที่หลักในการแปลงสัญญาณเลยทีเดียว โดยในงานวิจัยชิ้นนี้ ได้ใช้วงจรบัคส์คอนเวอร์เตอร์แบบ ฮาล์ฟบริดจ์พีดับบลิวเอ็มอินเวอร์เตอร์ (Half-Bridge PWM Inverter) โดยที่มีลักษณะดังนี้



รูปที่ 2. 12 รูปแสงวงจร Half-Bridge PWM Inversion

ลักษณะของวงจรบัคส์คอนเวอร์เตอร์นั้น ทำงานโดยเมื่อมีสัญญาณคอนโทรลที่ได้มาจากวงจรเดลต้าซิกม่ามอดูเลเตอร์ โดยเป็นลักษณะสัญญาณดิจิตอล แล้วก็จะนำมาทำการแปลงสัญญาณโดยผ่านตัวอินเวอร์เตอร์ และตัวอินเวอร์เตอร์ก็จะทำหน้าที่แปลงนั่นเอง โดยจากรูปที่เห็นนั้นใช้อุปกรณ์เพียงแค่ตัวเดียวที่มาทำหน้าที่แปลงสัญญาณ โดยส่วนของงานวิจัยชิ้นนี้นั้น ได้ใช้ตัวอินเวอร์เตอร์ CD4001 มาทำหน้าที่เป็นตัวแบ่งสัญญาณแล้วทำการเข้าสู่วงจรจูนสัญญาณ โดยวงจรทรั้งค์เซอร์กิตแล้วทำการคำนวณความถี่ที่เราต้องการ โดยในโครงงานนี้ใช้ความถี่ที่ต้องการคือ 64 kHz แล้วทำการคำนวณออกมา เพื่อให้ได้ความถีที่ต้องการ แล้วจะได้เป็นผลลัพธ์ออกมา เพื่อที่จะนำสัญญาณที่ได้มาไปใช้

3. ส่วนวงจรป้อนกลับ (Feedback network or β -network)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

50117

สำหรับในส่วนของวงจรป้อนกลับนั้น ในส่วนของทางเดินหน้าของวงจร ซึ่งประกอบด้วยวงจรการเข้ารหัสแบบเดลต้าซิกม่า และวงจรบัคส์คอนเวอร์เตอร์ เป็นสัดส่วนกับโวลเตจที่จ่ายเข้าไปหรือที่เรียกกันว่า V_{DC} ของวงจรบัคส์คอนเวอร์เตอร์มาเทียบกับสัญญาณอ้างอิง V_{ref} ที่มาป้อนเข้าสู่วงจรป้อนกลับ และเราสามารถหาอัตราการขยายได้จากความสัมพันธ์

$$A_V = \frac{V_{out}}{V_{in}} = \frac{V_{DC}}{V_{ref}} \tag{2.7}$$

และในผลลัพธ์ที่ออกมา ผลของหนึ่งในสองของพลังงานกระแสตรงนั้น ยังคงจำเป็นต่อการเพิ่มขึ้นของเกนของระบบ สำหรับค่าความเสถียร และสำหรับเหตุผลของคุณลักษณะของตัววงจรเอง อย่างไรก็ตามเราควรที่จะสามารถควบคุมสัดส่วนของอัตราการขยายอันนี้ได้

ในงานวิจัยชิ้นนี้นั้น ระบบป้อนกลับแบบปิดอย่างสมบูรณ์นั้น ใช้ในการเป็นตัวควบคุมอัตราส่วนเพื่อในการเพิ่มอัตราขยายส่วนไปข้างหน้า (Forward path) ให้มีค่ามากกว่าหนึ่ง โดยที่ในลักษณะของวงจรนั้น จะเป็นลักษณะของการป้อนกลับแบบพาสซีฟ (Passive Feedback) โดยที่อัตราส่วนนั้น ต้องการให้ได้อัตราการขยายออกมาทั้งหมด เป็น 3 dB หรือว่า ต้องการให้ผลออกมาเป็นสองเท่าของที่เข้าไปนั่นเอง

ในท้ายที่สุด ถ้าต้องการให้คุณลักษณะของวงจรมีค่าสูงขึ้นกว่าปกตินั้น เราสามารถทำได้โดยการเลือกตัวเปรียบเทียบสัญญาณที่มีความเร็วมาก ๆ และเลือกตัวออปแอมป์ที่มีค่าแบนด์วิดธ์กว้างมาก ๆ สำหรับวงจรซัมมิ่งแอมป์ และวงจรปฏิกิริยานุพันธ์ โดยที่ความถี่ของการแซมปลิ้งนั้นเราสามารถเลือกได้จนถึง 10 MHz เลยทีเดียวถ้าเราสามารถเลือกอุปกรณ์ได้เหมาะสมมากที่สุดโดยสามารถนำมาใช้งานในวงจรเดลต้าซิกม่ามอดูเลชั่นได้ โดยที่ค่าลิมิตติ่งแฟคเตอร์ (Limiting Factor) นั้นจะมีค่ามากที่สุดในช่วงความถี่ของในช่วงพาวเวอร์สเตจ

2.9.2 วงจรสวิตซ์ความแตกต่างของกระแสแบบเต็มช่วงด้วยความเร็วสูง (High-Speed Fully Differential Current Switch)

วงจรสวิตซ์ความแตกต่างของกระแสแบบเต็มช่วงด้วยความเร็วสูงนั้นที่นำเสนอนั้น สัญญาณนาฬิกาไปทางด้านหน้านั้นผลกระทบจะถูกลดลงโดยตัวสวิงรีดิวซ์ไดรฟเวอร์ (Swing reduce driver ; SRD's) และถูกทำให้เป็นกลางโดยดัมมี่ทรานซิสเตอร์ โดยการที่เราใช้ เอสอาร์ดีนั้น ตัวสวิตชิ่งทรานซิสเตอร์นั้นจะไม่สามารถทำงานในช่วงไตรโอดได้ โดยที่ได้ใช้ความสัมพันธ์ของการจับคู่ที่ดีเยี่ยมของตัวเก็บประจุระหว่างสวิตชิ่งทรานซิสเตอร์กับดัมมี่ทรานซิสเตอร์ โดยที่เอสอาร์ดีนั้นจะทำหน้าที่หลักในการลบผลของกระแสสไปค์(spike) ที่เกิดขึ้นที่วงจรสวิตซ์กระแสโดยที่การวิเคราะห์นี้แสดงว่าสวิตซ์กระแสเป็นลักษณะของอุดมคติสำหรับการวิเคราะห์ในโหมดกระแสร่วมความเร็วสูง วงจรสวิตซ์กระแสด้วยความต่อเนื่องของเวลาใช้เดลต้าซิกม่ามอดูเลเตอร์มาทำหน้าที่นั้น

สำหรับวงจรสวิตซ์กระแสนั้น ยังเป็นลักษณะการใช้งานในงานการประมวลผลสัญญาณเชิงอนาลอกสำหรับทั้งในช่วงเวลาที่ไม่ต่อเนื่อง และเวลาที่ต่อเนื่อง สำหรับเทคนิคสวิตซ์กระแสโดยเฉพาะอย่างยิ่งสำหรับระบบโหมดกระแสที่ช่วงเวลาต่อเนื่องจะสามารถทำงานในระบบที่มีความเร็วสูง และมีความกว้างของช่วงสัญญาณมาก โดยที่มีลักษณะในการทำงานที่สัญญาณอินพุตต่ำ และค่าความต้านทานขาเข้าที่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

มีค่าไม่สูงมากนักอย่างไรก็ตาม ปัญหาที่สำคัญและที่น่าหนักใจที่สุดของใช้วงจร CMOS SI คือเกิดปัญหาความผิดพลาดจากการเหนี่ยวนำของสวิตซ์ หรือที่เราเรียกกันว่า คล็อคฟีดทรู (Clock-feedthrough) เมื่อตัวมอสทรานซิสเตอร์ที่ถูกใช้เป็นสวิตซ์สัญญาณควบคุมที่ขาเกท (V_G) สามารถที่จะทำการคับปิ้งที่ตัวเก็บประจุคัปปลิ้ง (Coupling Capacitance) ที่สัญญาณผลลัพธ์ โดยที่สัญญาณที่ใช้ในการควบคุมมอสทรานซิสเตอร์นั้น ส่วนใหญ่จะใช้เป็นลักษณะสัญญาณสี่เหลี่ยมเต็มรูปแบบ (full-swing square waves) และสรุปความสำคัญที่สุดของการใช้งานคือ สามารถที่จะทำการฉีดค่ากระแสหรือโวลต์เตจที่เอาท์พุตด้วยค่าที่สูงมากสำหรับสัญญาณควบคุม และทำให้เกิดสัญญาณรบกวนที่มากเกินไปและค่าอัตราการผิดพลาดของระบบสามารถเพิ่มขึ้นได้

ถ้าต้องการที่จะทำการบำรุงรักษาในระบบตัวควบคุมระดับสัญญาณ (limitter) มีความสำคัญอย่างมาก ที่ต้องบรรจุเข้าไปในระบบของสัญญาณที่จะเข้ามาทำการควบคุมลักษณะสัญญาณของอินพุทที่เข้ามาโดยการลดว่าอัตราการสวิตซ์ หรือลดค่าความชันตรง หรือสามารถใส่ตัวเก็บประจุเข้าไปที่เอาท์พุต เพื่อที่จะลดการผิดพลาดจากการเหนี่ยวนำ อย่างไรก็ตามการกระทำลักษณะนี้นั้น จะจำกัดค่าความเร็วของการแซมปลิ้งของ SI System ให้อยู่ในช่วงแค่ไม่กี่เมกะเฮิรตซ์เท่านั้น ซึ่งเป็นข้อจำกัดของการนำมาประยุกต์ใช้งานให้ใช้อยู่ในช่วงความถี่ที่ค่อนข้างน้อย และค่าแบนด์วิดธ์ค่อนข้างที่จะต่ำ

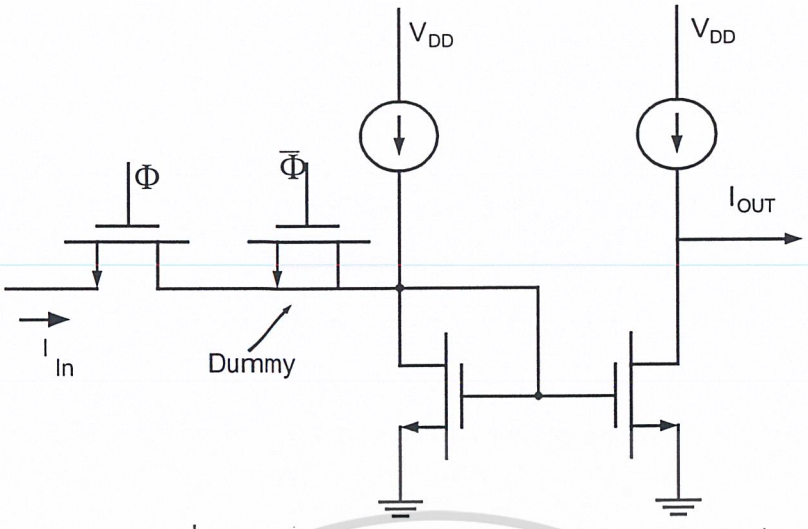
โดยในเรื่องนี้นั้น ได้เสนอเทคโนโลยีใหม่ ในการทำให้ให้วงจรสวิตซ์กระแสด้วยความเร็วสูง มันให้ประสิทธิภาพสูงในการลดผลของคล็อคฟีดทรู และสามารถทำให้ระบบของ SI สามารถทำงานได้ถึงช่วง 100 เมกะเฮิรตซ์เลยทีเดียว โดยยังนำเอาวงจรการเข้ารหัสแบบเดลต้าซิกม่ามอดูเลชั่นมาประยุกต์ใช้งาน โดยเป็นแบบที่ใช้ลักษณะของวงจรสวิตซ์กระแสเพื่อจะทำให้วงจรสวิตซ์กระแสสามารถใช้งานได้จริง

<u>ลักษณะของปัญหาและความแตกต่างที่สามารถเข้าถึง (Different approach and Their Problem)</u>

เกือบจะทั้งหมดในปัจจุบัน ที่ใช้เทคนิคการกำจัดสัญญาณคล็อคฟีดทรู จะใช้ในลักษณะที่เห็นเป็นใหญ่ ๆ ทั้งหมด 3 อย่างคือ ดัมมี่ มอสทรานซิสเตอร์ (Dummy MOS Transistor) รูปจำลองการกำจัดสัญญาณหรือการกำจัดหลายทาง (Replica or Multipath Cancellation) และ โครงสร้างความแตกต่างอย่างเต็มรูปแบบ (Fully differential cancellation)

1. ดัมมี่มอสทรานซิสเตอร์ (Dummy MOS transistor)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.13 การกำจัดประจุในวงจร SI โดยใช้มอสเฟตสวิตซ์

เทคนิคการทำดัมมี่ทรานซิสเตอร์นั้น ใช้ลักษณะของการใช้ครึ่งขนาดของดัมมี่มอสเฟต ที่แสดงในรูปที่ 2.13 เพื่อที่จะสร้างกระแสตรงกันข้ามเพื่อที่จะทำให้ผลจากการเกิดคล็อคฟีดทรูให้น้อยลงมากที่สุด ถ้ากระแสเกิดการสไปค์ขึ้นมา ค่าช่วงเวลาระหว่าง Φ กับ $\overline{\Phi}$ จะเกิดวิกฤต ถ้าเกิดในกรณีที่ Φ กับ $\overline{\Phi}$ เกิดการไม่แมทช์กันขึ้น โดยจะเกิดการสไปค์ของกระแสทุก ๆ ขอบของสัญญาณนาฬิกา ค่ากระแสสไปค์จะเพิ่มขึ้นเป็นสองเท่า (ด้านบวกและด้านลบอย่างละหนึ่ง) จะถูกสร้างขึ้นมา แต่อย่างไรก็ตามประจุทั้งหมดที่ถูกส่งไปยังเอาท์พุตจะถูกต้องแน่นอน ค่ากระแสสไปค์มีขนาดใหญ่มากจะทำให้เกิดการไม่เสถียรของระบบ และระบบจะทำการต้องการรอจนกระทั่งจะเซ็ตจากกระแสสไปค์ก่อนกระทำการต่อไป

ปัญหาที่จะเกิดขึ้นต่อไปนั้น สาเหตุมาจากการที่ไม่แมทช์กันระหว่าง ตัวเก็บประจุเกททูแชแนล (C_{GC}) ในลักษณะวงจรชนิดนี้ เมื่อ ทรานซิสเตอร์มอสทำงาน ซึ่งจะทำงานในช่วงไตรโอดข้าง ๆ ของค่าตัวเก็บประจุแบบเกททูเดรน (C_{GC0}) ซึ่งจะสามารถเกิดผลกระทบกับครึ่งหนึ่งของ ตัวเก็บประจุเกททูแชนแนลด้วย (C_{GC})

$$C_{GD_{ON}} = C_{GD0} + \frac{1}{2} C_{GC} \tag{2.8}$$

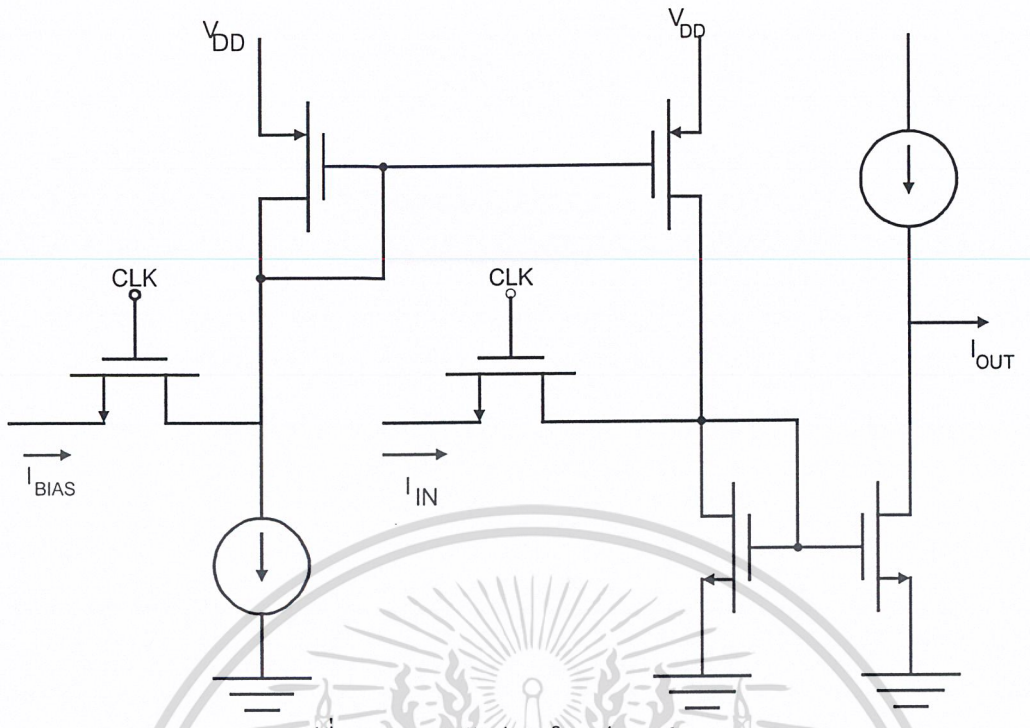
อย่างไรก็ตามเมื่อมอสทรานซิสเตอร์เกิดการไม่ทำงาน ซึ่งมันจะทำงานในช่วงที่อยู่ในช่วงคัทออฟจะเกิดแค่ตัวเก็บประจุแบบเกททูเดรน(C_{GC0}) เท่านั้น

$$C_{GD_{OFF}} = C_{GD0} \tag{2.9}$$

ตัวมอส M1 และ M2 จะทำงานกันในช่วงที่ต่างกัน (ตัวหนึ่งจะทำงานในช่วงไตรโอดแต่อีกตัวหนึ่งจะทำงานในช่วงคัทออฟ) ด้วยค่าตัวเก็บประจุแบบเกททูเดรนต่างกัน ดังนั้นค่าตัวเก็บประจุระหว่าง M1 กับ M2 จะไม่แมทช์กัน ในระหว่างช่วงที่เฟสทำงานในการที่จะกำจัดประจุส่วนเกินออกมา

2. การกำจัดในรูปแบบจำลองหรือหลายเส้นทาง (Replica or Multipath Cancellation)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.14 การกำจัดประจุในรูปแบบจำลอง

เทคนิคการกำจัดประจุส่วนเกิน ในรูปแบบจำลองหรือหลายเส้นทางนั้น ใช้วงจรรีพลิเคชั่น ดังรูปที่ 2.14 เพื่อสร้างสัญญาณนาฬิกาขึ้นมา เพื่อเหนี่ยวนำกระแสสไปค์ และยังใช้วงจรสะท้อนกระแสเพื่อทำการเปลี่ยนขั้วเพื่อจะกำจัดประจุที่ถูกฉีดเข้าไปได้ ปัญหาหลักสำหรับวิธีการนี้ก็คือความเร็วของวงจรสะท้อนกระแส ในกรณีที่เราสามารถกำจัดกระแสสไปค์ได้ ค่าความชันของขอบสัญญาณนาฬิกาแต่ละตัวจะน้อยพอต่อผลของการเกิดการหน่วงเวลาจากวงจรสะท้อนกระแส และอีกปัญหาหนึ่งก็คือ การเพิ่มขึ้นที่เกิดจากความถี่ต่ำผ่านของวงจรสะท้อนกระแส โดยเฉพาะอย่างยิ่งกับวงจรสะท้อนกระแสแบบพีมอส ถ้าสัญญาณนาฬิกานั้นเกิดการตัดตรงขอบ ค่าความถี่สูงที่อยู่ในกระแสไปค์จะไม่ทำให้เกิดการกระเพื่อมของสัญญาณในวงจรสะท้อนกระแส และดังนั้นจึงทำให้สามารถลดระดับของ การผิดพลาดจากคล็อคฟีดทรูได้

3. โครงสร้างความแตกต่างอย่างสมบูรณ์แบบ (Fully differential structure)

ระบบ SI นั้น ตั้งอยู่ในรากฐานของการออกแบบตัวแตกต่างอย่างสมบูรณ์ (Fully differential) ค่าความหน่วงของเวลาที่เกิดจากวงจรสะท้อนกระแสไม่เป็นปัญหาของวงจรชนิดนี้ อย่างไรก็ตาม ค่าโวลเตจสไปค์ยังช่วยให้ขับค่าโหนดภายในให้ออกมาในช่วงการทำงานและให้สามารถเข้าถึงในช่วงเคลื่อนที่ในการประยุกต์ใช้งานในรูปแบบนี้ สิ่งที่น่าสนใจคือการจำกัดขอบของสัญญาณนาฬิกาแต่ล่ะตัว และ ต้องกำหนดค่าความเร็วในการทำงานอีกด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

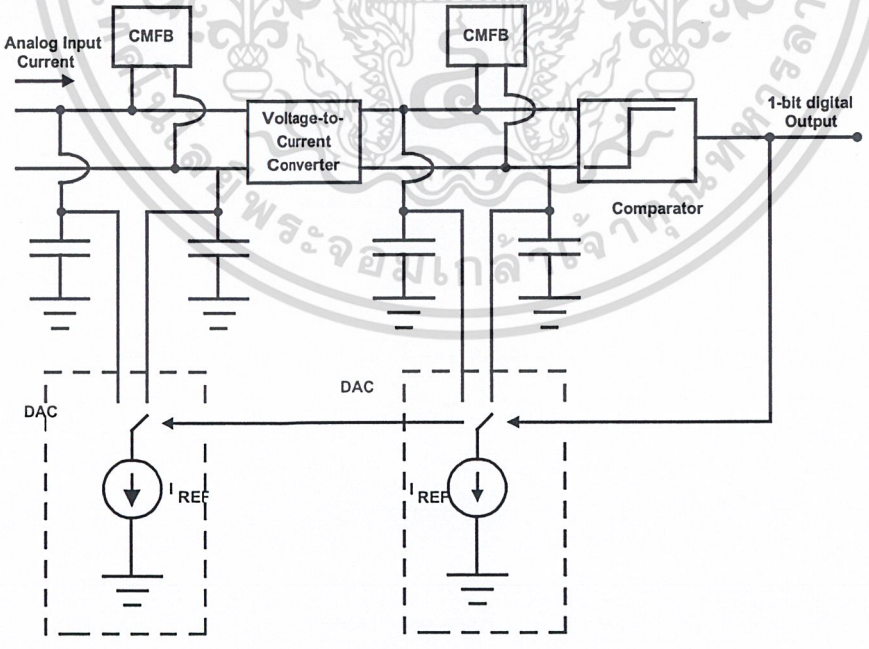
2.10 วงจรสวิตซ์กระแสความไวสูงด้วยเดลต้าซิกม่ามอดูเลเตอร์ (Current Switch for High-Speed Delta-Sigma Modulator)

อีกหนึ่งการประยุกต์การใช้งานที่น่าสนใจ คือการทำให้สวิตซ์กระแสด้วย ความเร็วสูงในเวลาที่ต่อเนื่องด้วยเดลต้าซิกม่ามอดูเลเตอร์ สำหรับการแปลงสัญญาณอนาลอกมาสู่สัญญาณดิจิตอล สำหรับวงจรสวิตซ์กระแสในช่วงเวลาที่ต่อเนื่อง (Current-switch continuous-time) นั้นใช้ตัวอินตริเกรตในช่วงเวลาที่ต่อเนื่อง และวงจรสวิตซ์กระแสทำตัวเป็น DAC ในลูปการป้อนกลับวงจรมอดูเลเตอร์ตัวนี้ทำการอินทริเกรตอินพุตโดยตรงโดยตัวเก็บประจุ โดยที่ไม่มีการป้อนกลับเข้ามาสำหรับอินทริเกรเตอร์ และไม่มีค่าแซมปลิ้งที่อินพุต เหมือนกับในอินทริเกรเตอร์แบบดีสครีตไทม์ โดยที่วงจรเดลต้าซิกม่ามอดูเลเตอร์แบบสวิตซ์กระแสด้วยความเร็วสูงในช่วงเวลาที่ต่อเนื่องนั้น จะทำงานในช่วงความเร็วสูงกว่าความเร็วแซมปลิ้ง

2.11 ลักษณะการออกแบบของวงจรสวิตซ์กระแสแบบเวลาต่อเนื่องโดยใช้เดลต้าซิกม่ามอดูเลเตอร์จากวงจรสวิตซ์กระแส (Design of a Continuous-Time Switched Current Delta-Sigma Modulator Using The Proposed Current-Switch)

จากรูปที่ 2.15 แสดงให้เห็นถึง วงจรสวิตซ์กระแสในช่วงเวลาต่อเนื่องโดยซิกม่าเดลต้ามอดูเลเตอร์เป็นโครงสร้างสำคัญ ซึ่งลักษณะการออกแบบประเภทนี้ จะเหมาะสมอย่างมากที่สุดในการใช้งานในช่วงที่ความเร็วสูงมาก ๆ และค่ากระแสที่มีค่าค่อนข้างน้อย โดยต้องอยู่ตามเงื่อนไขดังต่อไปนี้

1. ในการแทนที่ของตัวสวิตชิ่งระหว่างแหล่งจ่ายกระแส และตัวเคอร์เร้นซิงค์ (Current Sink) ในโครงสร้างนี้ ตัวสวิตซ์ที่อยู่ระหว่างสองอินทริเกรเตอร์ที่เป็นแหล่งจ่ายกระแสเสมือน ซึ่งเป็นการกำจัดโอกาสการเกิดไม่แมทช์ระหว่างแหล่งจ่ายกระแสจริงกับเสมือน และลดผลจากวงจร DAC ออฟเซ็ทที่เป็นผลจากการไม่แมทช์กัน



รูปที่ 2.15 การออกแบบของวงจรเดลต้าซิกม่ามอดูเลเตอร์อันดับ 2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2. ในโครงสร้างนี้ต้องการสวิตซ์ที่ทำมาจาก nMOS เท่านั้น โดยคุณสมบัตินี้เป็นการกำจัดผลของการไม่แมทช์กันระหว่าง nMOS กับ pMOS ซึ่งอาจทำให้เกิดผลที่ตัววงจรอินทริเกรตที่หลังได้
3. เมื่อไม่มีสวิตซ์ที่เป็น pMOS จะทำให้วงจรสวิตซ์กระแสทำการสวิตซ์ได้ที่ความเร็วมากขึ้น
4. ค่าความแตกต่างของกระแสที่สวิตซ์สร้างขึ้นและกระแสที่เอาท์พุตจะมีช่วงขึ้นของผลต่างของสัญญาณเอาท์พุตที่แมทช์กับค่าที่ใกล้เคียงกับการตกลงมา ดังนั้นจะไม่มีการที่ช่วงออนของสวิตซ์จะไม่แมทช์กัน เทคนิคกลับสู่ศูนย์ (return-to-zero) ไม่จำเป็นสำหรับโครงสร้างนี้ ในความเป็นจริง เทคนิคการกลับสู่ศูนย์แทบไม่จำเป็นเลยสำหรับความต้องการที่ในช่วงความไวสูง เพราะว่าระบบต้องการแต่เพิ่มความเร็วในการสวิตซ์ นั่นเป็นสาเหตุของการเกิดสัญญาณรบกวนจากสวิตซ์ และสัญญาณรบกวนจากการเหนี่ยวนำของคล็อคจิตเตอร์
5. ในการออกแบบโครงสร้างนี้ ไม่ต้องทำการแซมเปิ้ลสัญญาณที่เข้ามาดังนั้นจึงจะเป็นการหลีกเลี่ยงการเกิดการผิดพลาดจากการแซมปลิ้ง

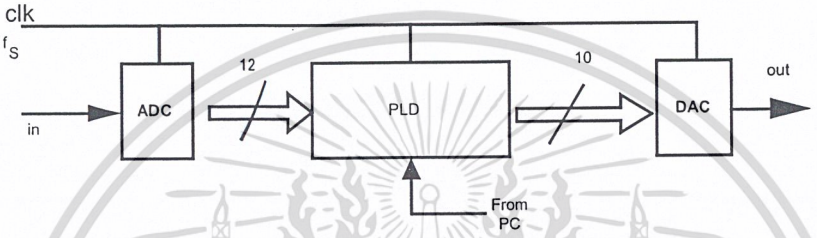
ซึ่งจากที่กล่าวมาแล้วนั้น ในการออกแบบชนิดนี้ ให้ประโยชน์อย่างมากในสองหัวข้อหลักของความต้องการของการแปลงสัญญาณอนาลอกเป็นดิจิตอลด้วยความเร็วสูงคือ 1. ค่าแบนด์วิดธ์ 2. ค่าผิดพลาดจากการแซมปลิ้ง ตัว OTA ที่เป็นตัวอินทริเกรเตอร์ จะให้โพลสองตัวที่ความถี่ f_T ของทรานซิสเตอร์ โดยที่การออกแบบนี้มีข้อเสียตรงที่ ยังไม่มีการพัฒนาโครงสร้างที่ต่อเนื่องเท่าใดนักต้องปรับปรุงต่อไปอีก

2.12 เตรียมทดสอบทางดิจิตอล (Digital test set-up)

การขาดความรู้ความเข้าใจทางด้านพื้นฐาน ของลักษณะเฉพาะตัวเดลต้าซิกม่ามอดูเลชั่น เป็นเหตุให้ผู้ออกแบบวงจรนั้นต้องทำการจำลองการทำงานของมัน โดยที่ในแบบจำลองนั้นสามารถทำได้โดยใช้รูปแบบใกล้เคียง หรือในระดับวงจรนั้น ๆ เพื่อที่จะค้นคว้าถึงเสถียรภาพของตัวมอดูเลเตอร์ การจำลองสามารถแสดงพฤติกรรมได้ในระดับเดียวกัน โดยการใช้รูปแบบการมอดูเลตในช่วงดีสครีต ถึงอย่างไรก็ตามการจำลองระดับสูงนั้น เวลาที่ใช้การจำลองนั้นจะเป็นเวลานาน ซึ่งก็สมควรแล้วโดยที่ความจริงนั้น ใช้เวลาในการเข้าสเต็ปค่อนข้างมาก โดยที่ต้องการความน่าเชื่อถือในการทำนายถึงเสถียรภาพของการมอดูเลต สำหรับทางด้านสัญญาณขาเข้า วงจรเดลต้าซิกม่ามอดูเลชั่นสามารถทำให้เกิดการเสถียรภาพได้มากกว่า 10^9 สเต็ป ก่อนที่จะถึงส่วนของเดลต้าซิกม่ามอดูเลชั่น ที่จะแตกขยายออกไปด้านนอก หรือในอีกนัยหนึ่ง วงจรเดลต้าซิกม่ามอดูเลชั่นนั้น สามารถรองรับสัญญาณขนาดใหญ่ที่มีวงรอบจำกัดได้นั่นเอง การนับกำลังของการเพิ่มของคอมพิวเตอร์มากเพียงพอจากแหล่งกำเนิดสู่แหล่งกำเนิด การจำลองของสัญญาณที่มีขนาดใหญ่มาก และจำนวนมากของเวลาช่วงขึ้นยังคงต้องการเวลาที่เชื่อถือได้ ตัวอย่างเช่น การจำลองเวลาช่วงขึ้น 10^9 ครั้งสำหรับวงจรมอดูเลตอันดับ 6 นั้นโดยใช้การลอยตัวก่อนสองเท่า จะใช้เวลาประมาณ 100 นาทีสำหรับเครื่องอินเทลเพนเธียม 133 MHz ในลักษณะเดียวกันนี้ ค่าความถี่แซมปลิ้งที่เชื่อถือได้ประมาณ $\frac{10^9}{6000} \approx 167 KHz$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

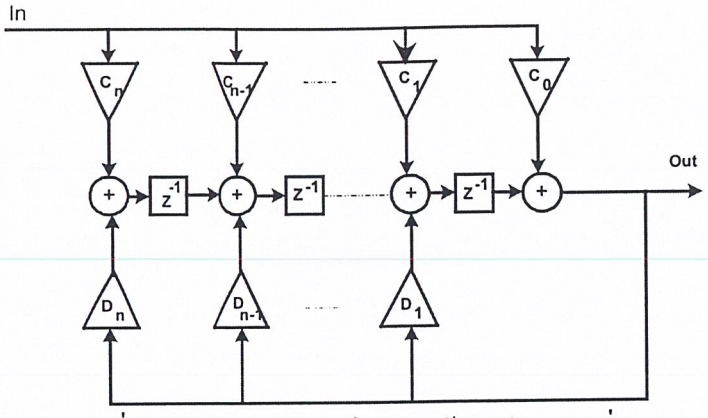
เพื่อที่จะทำการลดช่วงเวลาในการจำลองอุปกรณ์ที่สามารถโปรแกรมได้เพื่อใช้ในทางดิจิตอลจึงได้ถูกออกแบบมา โดยแกนของอุปกรณ์ทดสอบนี้จะประกอบไปด้วยอุปกรณ์ที่สามารถโปรแกรมได้ (PLD) จาก อัลเทรา โดยที่พีแอลดีนี้จะประกอบไปด้วยฟลิปฟล็อป ทั้งหมด 1500 ตัว และมีพอร์ตทางลอจิกมากกว่า 15000 พอร์ต โดยที่อุปกรณ์ตัวนี้นั้นต้องเก็บ SRAM ไว้ได้ และสามารถทำการดาวน์โหลดโดยใช้ตัวต่อแบบอนุกรม หรือขนานกับคอมพิวเตอร์ โดยการโปรแกรมอุปกรณ์เราจะใช้ภาษาวีเอชดีแอลเป็นตัวเขียน ในส่วนของแกนพีแอลดีนั้น ตัวทดสอบจะประกอบด้วยวงจรแปลงสัญญาณจากอนาลอกเป็นดิจิตอลขนาด 12 บิต ในส่วนหน้า และในส่วนหลังจะประกอบไปด้วย วงจรแปลงสัญญาณจากดิจิตอลเป็นอนาลอกขนาด 10 บิต ดังในรูปที่ 2.16 แสดงบล็อคไดอะแกรมของวงจรทดสอบที่สมบูรณ์



รูปที่ 2.16 วงจรทดสอบสำหรับดิจิตอลเดลต้าซิกม่ามอดูเลชั่น

วงจรลูปฟิลเตอร์ของวงจรดิจิตอลเดลต้าซิกม่ามอดูเลชั่นถูกดีไซน์ได้โดยตรงจากโครงสร้างที่ได้แสดงดังในรูปที่ 2.17 โดยช่วงของลูปฟิลเตอร์นั้นถูกแทนที่ด้วยค่าตำแหน่งที่ตายตัว 28 บิต ระดับการป้อนกลับของการควอนไตซ์นั้น ถูกเลือกให้เท่ากับค่าMSB-4 ทำหน้าที่เหมือนวงจรกรองสัญญาณ สามารถที่จะทำการพิจารณาตัวมากกว่าค่าระดับการควอนไตซ์ โดยที่ส่วนของฟิลเตอร์ที่เป็น “ห้องส่วนหัว” ของ 4 บิต และตัวเที่ยงตรงอย่างสมบูรณ์ 24 บิต ค่าสัมประสิทธิ์ของวงจรกรองสัญญาณถูกสร้างโดยใช้เทคนิค “เพิ่มและเลื่อน” ด้วยเพิ่มจนถึง 4 ตัวบวก ต่อหนึ่งค่าสัมประสิทธิ์ ค่าสัมประสิทธิ์จะต้องตระหนักว่าต้องใช้รหัสคาโนนิเคิลไซน์ดิจิต หรือที่รู้จักกันว่า CSD โดยรหัสซีเอสดี เป็นรหัสที่ประกอบด้วยสามส่วน โดยที่แต่ละส่วนจะถูกแทนที่ด้วย +1, 0 หรือ –1 ค่าของ –1 เราจะรู้ทันทีว่าสามารถแทนด้วย T คล้ายกับรหัสฐานสอง ค่าของตัวเลขหลักที่ m ของรหัสซีเอสดีจะถูกคูณด้วย 2^m โดยเพิ่มสัญลักษณ์ในแต่ละตัวเลขของรหัสเลขฐานสอง ค่าตัวเลขที่ไม่ใช่ 0 จะถูกลดลง ในตารางที่ 2.1 จะเป็นตารางเปรียบเทียบเลขฐาน 10 เลขฐาน 2 และรหัสซีเอสดี ในขณะที่อุปกรณ์ฮาร์ดแวร์ในส่วนของการทำงานช่วง “บวก” โดยที่เกือบจะแทนที่อุปกรณ์ฮาร์ดแวร์ในส่วนของการทำงานช่วง “ลบ” ค่าตัวเลขของวงจรบวกจำเป็นที่จะใช้สำหรับลดรูปเพื่อเข้าสู่รหัสซีเอสดี สามารถแสดงได้อย่างง่าย ๆ ของสัมประสิทธิ์รหัสซีเอสดีซึ่งมีเลขที่ไม่ใช่ศูนย์ได้ถึง 4 ตัว โดยที่สามารถทำได้อย่างถูกต้อง 8 บิต ในกรณีที่ต้องการเพิ่มขนาดช่วงแอมปลิจูดของสัญญาณเข้ามา ค่าสัญญาณนั้นสามารถทำได้โดยการเลื่อนค่า 12 บิต ADC แทนที่ด้วย 28 บิต ซึ่งแสดงถึงลักษณะทั้งหมดของดิจิตอลซิกม่าเดลต้ามอดูเลชั่น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.17 วงจรลูปฟิลเตอร์ของเดลต้าซิกม่ามอดูเลชั่น

Decimal	Binary	CSD
13	1101	1101
14	1110	100T0
29	11101	100T01
1.125	1.001	1.001
2.75	10.11	10.11
3.75	11.11	100.0T

ตารางที่ 2.1 เลขฐานสิบที่สามารถแทนที่ได้ด้วยเลขฐานสอง และ รหัส ซีเอสดี

อุปกรณ์เตรียมพร้อมที่จะทดสอบสำหรับเวลาจริง และการตีค่าในช่วงระยะยาวของลักษณะทางดิจิตอลเดลต้าซิกม่ามอดูเลชั่น จากแผนภาพของบริษัทผลิตนั้น จุดที่แย่ที่สุดของความถี่แซมปลิ้งอยู่ที่ 2 MHz พิจารณากับวงจรเดลต้าซิกม่ามอดูเลชั่น 28 บิต ลูปฟิลเตอร์ถูกแทนที่ด้วยวงจรบวกสี่ตัวต่อสัมประสิทธิ์ในวงจรกรองความถี่ 1 ตัว ค่าอัตราการแซมปลิ้งมากที่สุดที่ถูกต้องนั้น ขึ้นอยู่กับค่าสัมประสิทธิ์ที่ถูกต้องของลูปฟิลเตอร์ โดยค่าอัตราแซมปลิ้งสามารถทำได้ถึง 10 MHz สำหรับชุดทดสอบชุดนี้ โดยที่อัตราการแซมปลิ้งตัวนี้เกินกว่าค่าอัตราแซมปลิ้งที่มีประสิทธิภาพสูงของการจำลองทางด้านโปรแกรม

ค่าอุปกรณ์ดิจิตอลของเดลต้าซิกม่ามอดูเลชั่นจะควบคุมได้อย่างถูกต้องสำหรับสัมประสิทธิ์ของลูปฟิลเตอร์ ธรรมชาติของการควอนไตซ์ของสัมประสิทธิ์ จะเป็นตัวกำหนดค่าสัมประสิทธิ์รีโซลูชั่น แต่จะไม่เป็นผลกับคุณลักษณะทั่วไปของเดลต้าซิกม่ามอดูเลชั่น อุปกรณ์ที่กำหนดจุดคงที่ของวงจรกรองความถี่จะทำให้เกิดจุดตัดและค่าอัตราการสูญเสียก่อน ผลเสียนี้จะเป็นผลภายในของวงรอบที่ถูกกำหนดภายในลูปฟิลเตอร์ และจะลดค่าการกำจัดสิ่งรบกวนของเดลต้าซิกม่ามอดูเลชั่น ผลกระทบเหล่านี้สามารถสังเกตได้โดยใช้ค่าแอมปลิจูดสัญญาณขาเข้าที่ต่ำที่สุด รวมกับตัวอินทริเกรเตอร์ทางอุดมคติภายในลูปฟิลเตอร์ของเดลต้าซิกม่ามอดูเลชั่น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ค่าอนาลอกของส่วนปลายหน้าและส่วนปลายหลังของวงจรทดลองนี้ ง่ายที่จะควบคุมสัญญาณขาเข้า และการประมาณค่าของสัญญาณขาออกเป็นเพราะค่าของการเข้ารหัสสัญญาณอนาลอกเป็นดิจิตอล ตัวกำเนิดสัญญาณอนาลอกจะต้องถูกใช้ การมอดูเลตเชิงมุมและสัญญาณที่แปรเปลี่ยนตามเวลาสามารถนำมาประยุกต์ใช้ได้อย่างง่าย ๆ เพื่อทำการมอดูเลต วงจรแปลงสัญญาณดิจิตอลเป็นอนาลอกอนุญาตให้ประมาณค่าในช่วงเวลาจริงของตัวควอนไตซ์เซอร์ทางด้านขาออก และส่วนของวงจรกรองความถี่สัญญาณทั้งในช่วงโดเมนทางความถี่และในช่วงเวลา วงจรแปลงสัญญาณดิจิตอลเป็นอนาลอกเป็นตัวกำจัดความต้องการความเร็วสูงของตัววิเคราห์สัญญาณ FFT แต่ค่ารีโซลูชั่นของวงจรแปลงสัญญาณดิจิตอลเป็นอนาลอกนั้นมีค่าจำกัด ซึ่งมันมากเพียงพอที่จะตรวจสอบถึงคุณสมบัติเสถียรภาพของวงจรดิจิตอลเดลต้าซิกม่ามอดูเลชั่น ในกรณีนี้ ค่าผลลัพธ์ของการควอนไตซ์แบบหนึ่งบิตได้ถูกแสดงออกมา ไม่ใช่เฉพาะค่ารีโซลูชั่นแต่การสูญเสียจากรูปร่างของสัญญาณพัลส์ของวงจรแปลงสัญญาณจากดิจิตอลเป็นอนาลอก จะพิจารณาถึงประสิทธิภาพของการรีโซลูชั่น และสามารถวัดค่าการกระทำของเดลต้าซิกม่ามอดูเลชั่นได้ โดยการต่อกับตัวควอนไตซ์ขาออกกับ MSB ของวงจรแปลงสัญญาณจากดิจิตอลเป็นอนาลอก และค่าการสูญเสียจะมีค่าน้อยที่สุด

2.13 วงจรเข้ารหัสแบบเดลต้าซิกม่าแถบความถี่ผ่านอันดับ 4 (Fourth order bandpass DSM)

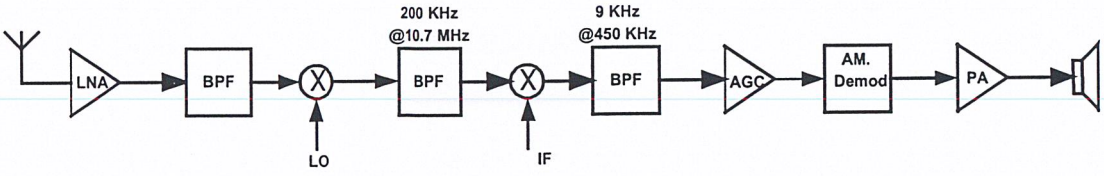
2.13.1 การประยุกต์ใช้งาน

การมอดูเลตแถบความถี่ผ่านเป็นตัวอย่างที่เหมาะสมที่สุด สำหรับการแปลงสัญญาณจากอนาลอกเป็นดิจิตอลสำหรับสัญญาณช่วงแคบที่จะทำการมอดูเลทกับความถี่คลื่นพาห์ ความต้องการโอเวอร์แซมปลิ้งสูง สามารถทำให้พอใจได้อย่างดีสำหรับค่าแบนด์วิดธ์ที่มีค่าน้อยมากเปรียบเทียบกับความถี่กึ่งกลาง ตัวอย่างที่ดีที่สุดของสำหรับสัญญาณช่วงแคบของสัญญาณวิทยุแบบเอเอ็ม และแบบเอฟเอ็ม ค่าแบนด์วิดธ์ของสัญญาณเอเอ็มและเอฟเอ็มอยู่ที่ 9 kHz และ 20 kHz ตามลำดับ ในส่วนภาครับของสัญญาณวิทยุสัญญาณนี้จะถูกมอดูเลทที่ความถี่กลางคือ 10.7 MHz

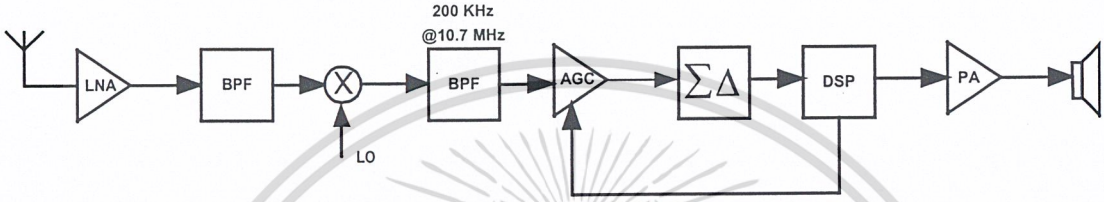
วงจรเดลต้าซิกม่าแถบความถี่ผ่านสามารถทำการดิจิไตซ์สัญญาณความถี่กลางในภาครับของทั้งเอเอ็ม และเอฟเอ็ม โดยจะทำการเคลื่อนย้ายสัญญาณความถี่กลางให้เข้าสู่ในดิจิตอลโดเมน รูปที่ 2.18 จะแสดงถึงบล็อคไดอะแกรมของภาครับของเอเอ็มที่เป็นที่นิยมทั่วไป และรูปที่ 2.19 จะแสดงถึงการประยุกต์ด้วยการแทนที่วงจรด้วยวงจรเดลต้าซิกม่าแถบความถี่ผ่าน ภาครับสัญญาณทางอนาลอกจะประกอบไปด้วย วงจรขยายสัญญาณรบกวนขนาดเล็ก (LNA) แล้วตามด้วยวงจรกรองความถี่แถบผ่าน และมีวงจรมิกเซอร์ทำหน้าที่แปลงสัญญาณให้เข้าไปสู่ความถี่กลาง ที่ความถี่ 10.7 MHz โดยใช้วงจรที่สามารถจูนด้วยโลคอลออสซิเลเตอร์ (LO) แล้วตามด้วยวงจรกรองสัญญาณเซรามิค ตัวมิกเซอร์ตัวที่สองจะทำการแปลงสัญญาณเข้าไปสู่ความถี่กลางที่ 2 ที่ความถี่ 450 kHz ตัววงจรกรองเลือกช่องสัญญาณเซรามิคอันดับสอง และเข้าตัวควบปรับอัตราขยาย (AGC) และผ่านเข้าสู่ตัวถอดรหัสสัญญาณเอเอ็ม (AM Detection) และตัวขยายกำลัง (PA) และลำโพงจะเป็นส่วนทั้งหมดของภาครับ สำหรับในรูปที่ 2.19 หลังจากที่ทำการผ่านวงจรกรองสัญญาณเซรามิค สัญญาณความถี่กลางจะทำการดิจิไตซ์และกระทำการด้วยใช้การประมวลผลเชิงสัญญาณดิจิตอล (DSP) เป็นตัวปฏิบัติการ รวมไปถึงการกรองสัญญาณการเลือกช่องสัญญาณสุดท้ายและการถอดรหัสสัญญาณเอเอ็มจะถูกปฏิบัติการโดยการประมวลผลเชิงดิจิตอล ค่าสัญญาณสุดท้ายที่ได้มาจาก

เอกสารนี้ถือเป็นลิขสิทธิ์ของมหาวิทยาลัยเชียงใหม่ เพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรประมวลผลเชิงดิจิตอลจะถูกนำไปสู่วงจรขยายกำลังและตามด้วยลำโพงสังเกตภาครับสัญญาณที่ประกอบด้วยวงจรเดลต้าซิกม่าแถบความถี่ผ่านสามารถแปลงไปรับสัญญาณเอฟเอ็ม ได้โดยการแปลงฟังก์ชันการทำงานของการประมวลผลเชิงดิจิตอลเท่านั้น



รูปที่ 2.18 ภาครับสัญญาณวิทยุเอเอ็มที่ใช้อย่างแพร่หลาย



รูปที่ 2.19 วงจรที่นำการเข้ารหัสแบบเดลต้าซิกม่าแถบความถี่ผ่านมาประยุกต์ใช้

สิ่งสำคัญที่สุดสำหรับการสร้างบล็อคไดอะแกรมทางด้านการสื่อสารคือ ค่าอัตราส่วนของสัญญาณต่อสัญญาณรบกวนและค่าการสูญเสีย (SNDR) และค่าการอินเตอร์มอดูเลชั่นอันดับสาม (IM3) ในระบบการสื่อสารที่ต้องใช้การเข้ารหัสแบบแบ่งช่วงความถี่อย่างเช่น วิทยุเอเอ็ม และ วิทยุเอฟเอ็ม

2.13.2 การออกแบบวงจรกรองความถี่ในช่วงดีสครีต

ในการออกแบบวงจรเดลต้าซิกม่าแถบความถี่ผ่านในช่วงเวลาที่ต่อเนื่องนั้น จะต้องกระทำการในช่วงดีสครีต วงจรลูปฟิลเตอร์สามารถเลือกได้โดยใช้สมการ ซึ่งสามารถเขียนในรูปฟังก์ชันถ่ายโอนคือ

$$G(z) = \frac{(1+ae^{j\theta_o}z^{-1})^2(1+ae^{-j\theta_o}z^{-1})^2}{(1-be^{j\theta_o}z^{-1})^2(1-be^{-j\theta_o}z^{-1})^2} - 1 \qquad (2.10)$$

ถึงอย่างไรก็ตามค่าประสิทธิภาพที่เหมาะสมที่สุดของค่าคอมเพล็กซ์คอนจูเกต ควรจะเกลี่ยให้อยู่ในช่วงแบนด์วิดธ์ความถี่ของสัญญาณ โดยที่จะแทนค่าด้วยความถี่คล้ายคลึงกันซึ่งได้ออกแบบไว้ในช่วง 3.5 dB ในช่วงไดนามิค ค่าอันดับของวงจรกรองสัญญาณเลือกไว้ที่อันดับ 4 ค่าลักษณะเฉพาะตัวของวงจรเดลต้าซิกม่าแถบความถี่ผ่านอันดับ 4 จะประมาณค่าใกล้เคียงกับเดลต้าซิกม่าแถบความถี่ต่ำผ่านอันดับ 2 ถ้าเราพิจารณาในช่วงไดนามิคที่ 80 dB ค่าอัตราส่วนโอเวอร์แซมปลิ้งอย่างน้อย 100 เท่าในกรณีที่ให้ค่า b = 1 รวมกับแบนด์วิดธ์ที่เราต้องการคือ 200 kHz ซึ่งผลงานนี้จะอยู่ในความถี่แซมเปิ้ล 40 MHz ค่าความถี่จูนสมบูรณ์เท่ากับ 10.7 MHz โดยที่ให้ความถี่จูนเชิงมุมคือ $\theta_0 = 1.681$ เรเดียน จากในรูปที่ 2.20 ค่าตัวแปรต่าง ๆ จะสามารถพิจารณาตำแหน่งของค่าซีโร่ของลูปฟิลเตอร์สามารถเลือก a = 0 โดยที่ค่านี้จะเป็นผลกับค่าฟังก์ชันถ่ายโอนของสัญญาณรบกวนตำแหน่งของโพลจะอยู่ที่จุดกำเนิดของแกนคอมเพล็กซ์ และเมื่อค่า a = 0 จะได้ $\theta_0 = 1.681$ วงจรเดลต้าซิกม่าแถบความถี่ผ่านจะให้ความเสถียรกับสัญญาณขนาดใหญ่ด้วย ในทางอุดมคติ ค่าโพลของลูปฟิลเตอร์ควรจะวางอยู่บนวงกลมหนึ่งหน่วยที่ b = 1 ในความเป็น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จริง ตัวแปรคุณสมบัติไม่ควรจะมีค่ามากเกินไป สำหรับค่าตัวแปรคุณสมบัติคือที่ Q = 40 ค่ารัศมีของโพลจะมีค่า b ประมาณ 0.98 ค่าฟังก์ชันถ่ายโอนของลูปฟิลเตอร์ในช่วงดีสครีตเท่ากับ

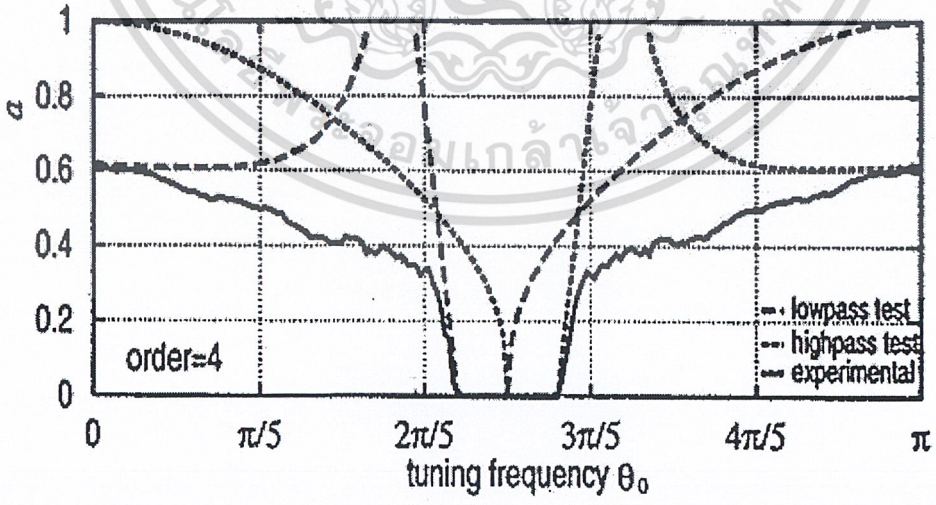
$$G(z)=\frac{d_1z^{-1}+d_2z^{-2}+d_3z^{-3}+d_4z^{-4}}{(1+be^{j\theta_0}z^{-1})^2(1+be^{-j\theta_0}z^{-1})^2} \tag{2.11}$$

โดยที่ค่า

$$d_1=-0.4302 \qquad d_3=-0.4131$$
$$d_2=-1.9671 \qquad d_4=-0.9224$$
$$b=0.98 \qquad \theta_0=1.681$$

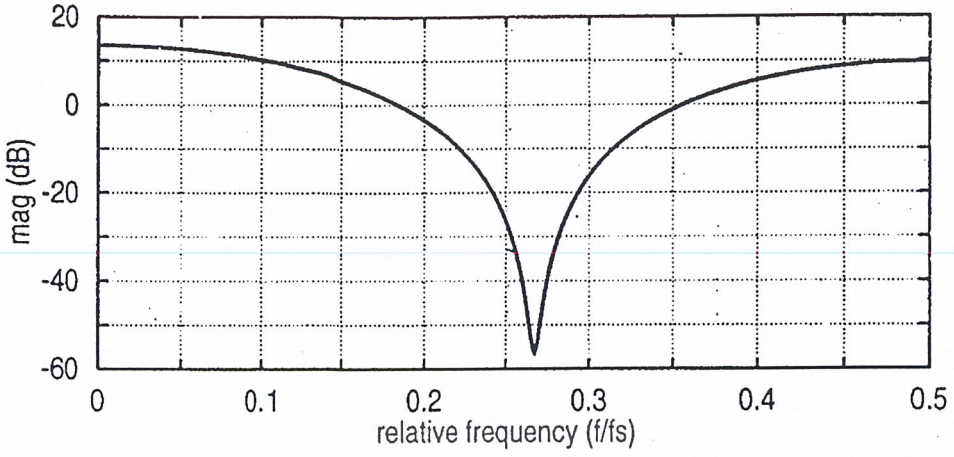
เมื่อเราทำการพล็อทกราฟของฟังก์ชันถ่ายโอนของสัญญาณรบกวน (NTF) โดยที่ $NTF(z)=\frac{1}{1+G(z)}$ ซึ่งแสดงดังรูปที่ 2.21 ค่าการกดทับทางสัญญาณรบกวนที่ $\frac{f}{f_s}=\frac{10.7}{40}=0.2675$ ซึ่งสามารถเห็นได้อย่างชัดเจน สังเกตค่าอัตราการขยายภายนอกช่วงของฟังก์ชันถ่ายโอนของสัญญาณรบกวนจะมีค่ามากกว่า 15 dB ถ้าพูดถึงตามหลักการที่ว่าด้วยการดูความมีเสถียรภาพของระบบโดย ลี $\left(\left|NTF(e^{j\theta})\right|^2<2\right)$ จะทำให้การมอดูเลทแบบนี้ไม่เสถียร อย่างไรก็ตามการจำลองและการปฏิบัติจริงยังไม่ได้แสดงถึงความไม่มีเสถียรภาพในวงรอบสัญญาณที่มีขนาดใหญ่

ค่าอัตราส่วนของสัญญาณต่อสัญญาณรบกวนมากที่สุด จะตามจากวิธีการทำนายเชิงเส้น ค่าอัตราส่วนของสัญญาณต่อสัญญาณรบกวนมากสุดของ 68 dB ในแบนด์วิดธ์ 200 kHz ปรากฏในส่วนของสัญญาณด้านเข้า –6 dB สัมพันธ์กับค่ากำลังงานควอนไตซ์ขาออก การจำลองแสดงให้เห็นว่าอัตราส่วนของสัญญาณต่อสัญญาณรบกวนจะเป็น 68 จริง ๆ ค่าสเปกตรัมทางด้านขาออกของการเข้ารหัสแบบเดลต้าซิกม่ามอดูเลชั่น แสดงดังรูป 2.22

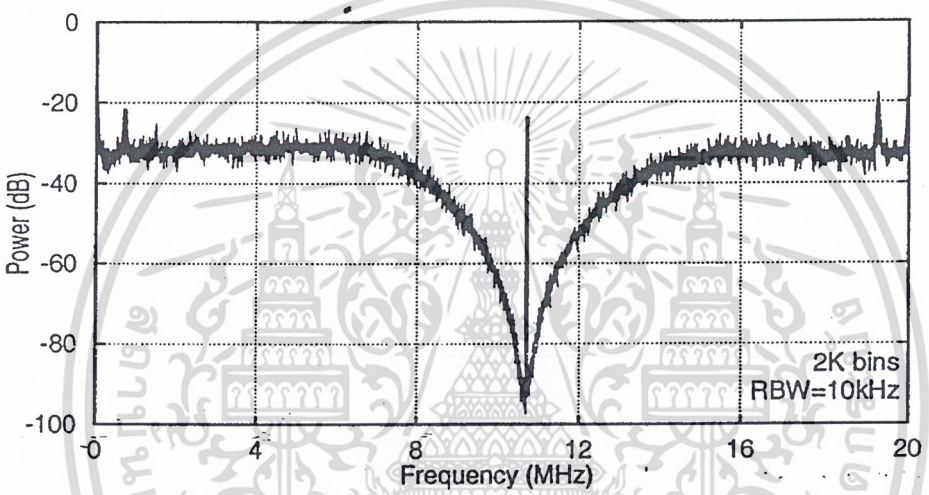


รูปที่ 2.20 ค่าทางทฤษฎีและทางปฏิบัติของBPFเมื่อพิจารณาค่า b = 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.21 ค่า NTF ของวงจรกรองสัญญาณแถบความถี่ผ่านอันดับ 4

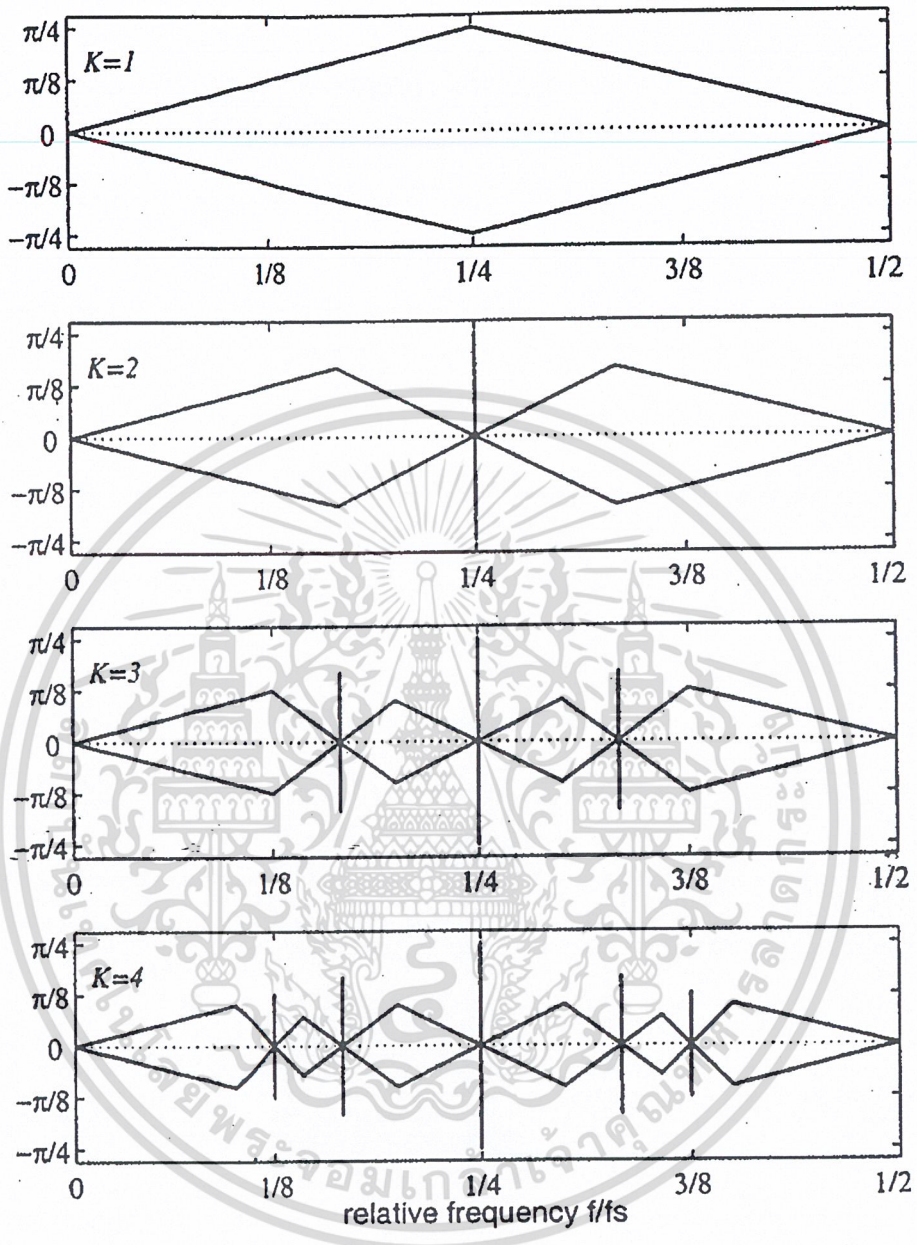


รูปที่ 2.22 ค่าสเปคตรัมเอาท์พุท(ซิมูเลท)ของ BPF อันดับ 4

2.14 วงจรกรองสัญญาณช่วงความถี่ผ่าน (Bandpass Modulators)

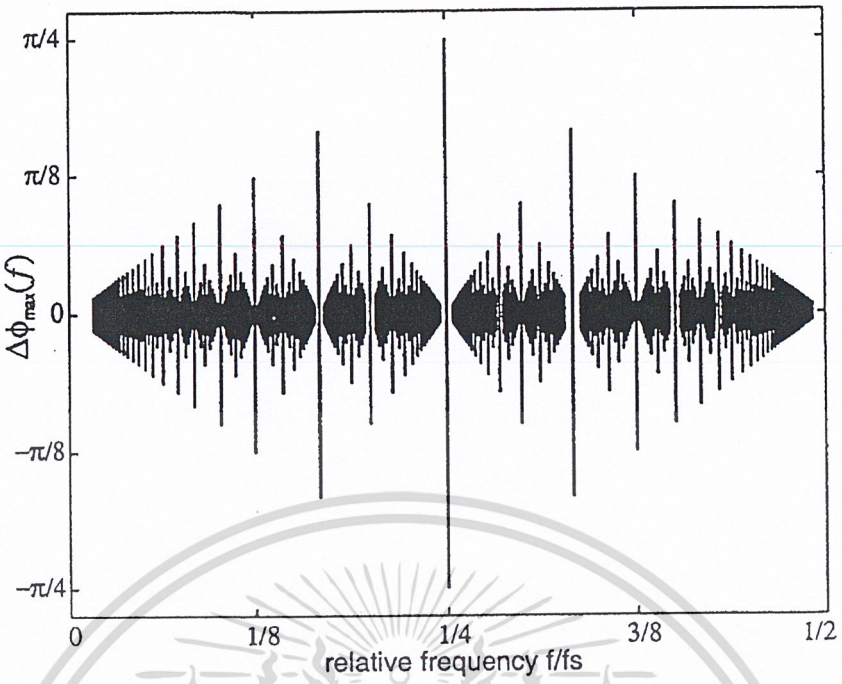
วงจรกรองสัญญาณช่วงความถี่ผ่านที่มีลูปฟิลเตอร์จะไม่ต้องจูนที่ไฟกระแสตรง หรือความถี่แซมปลิ้งส่วนสอง ค่าความผิดพลาดจากการแซมปลิ้งของค่าควอนไทซ์รีโซลูชั่นที่ต่ำ จะถูกบีบอัดสำหรับความถี่ที่ใกล้กับความถี่จูน θ_0 โดยที่ส่วนมากความถี่จูนนั้นจะถูกเลือกที่ค่าเท่ากับหนึ่งในสี่ส่วนสำหรับความถี่แซมเปิ้ล $f_s/4$ เช่น $\theta = \pi/2$ ซึ่งที่ทำอย่างนี้ก็เพราะว่ามีหลายเหตุผล เมื่อใดก็ตามที่ลูปฟิลเตอร์ได้สร้างขึ้นมาโดยใช้วงจรแบบเวลาไม่ต่อเนื่อง อย่างเช่น สวิตช์คาปาซิเตอร์ หรือวงจรสวิตช์กระแส ค่าลูปฟิลเตอร์ออกแบบได้อย่างง่ายดายโดยเท่ากับครึ่งหนึ่งของสัมประสิทธิ์ที่เข้าใกล้ศูนย์ และยังไม่ได้เริ่มที่จะทำ อีกเหตุผลหนึ่งค่าฟังก์ชั่นถ่ายโอนลูปฟิลเตอร์แบบไม่ต่อเนื่องเวลาสามารถได้จากรูปแบบของวงจรกรองความถี่ต่ำผ่านโดยการแปลงจากค่า $z^{-1} \rightarrow z^{-2}$ เหมือนกับการแปลงจากวงจรกรองความถี่ต่ำผ่านเป็นวงจรกรองความถี่สูงผ่าน โดยที่การแปลงของวงจรกรองความถี่ช่วงผ่านยังคงรักษาคุณลักษณะทางไดนามิคของมอดูเลเตอร์ไว้ ค่าคุณสมบัติความเสถียรของผลจากวงจรกรองสัญญาณช่วงผ่านจะเป็นตัวบอกถึงคุณสมบัติของต้นแบบของวงจรกรองความถี่ต่ำผ่าน ซึ่งจะทำให้ง่ายต่อการมองตำแหน่งรูทโลคัสของการกรองสัญญาณช่วงความถี่ผ่าน

เอกสารนี้มีลิขสิทธิ์ ห้ามนำไปใช้เพื่อการค้า ไม่อนุญาตให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.23 การประมาณค่าความไม่คงที่ของเฟสมากที่สุด ด้วยหลายค่า k

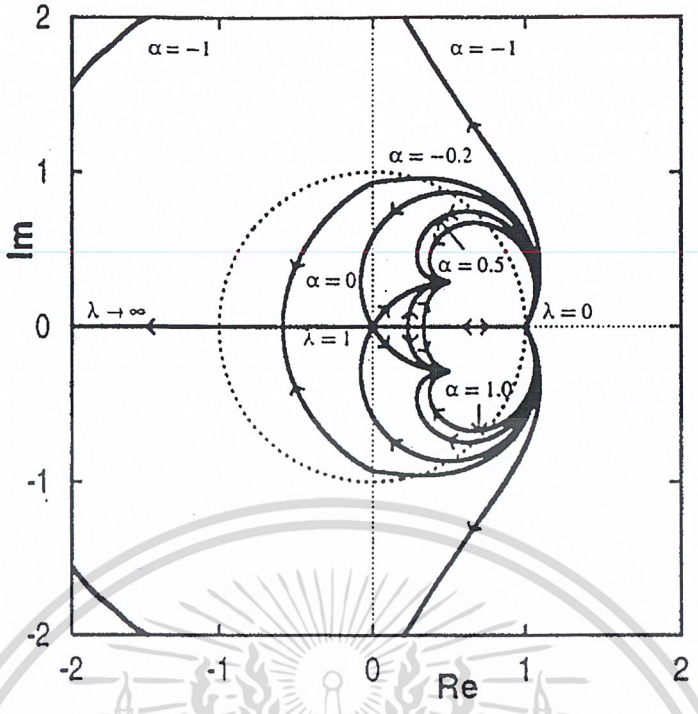
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



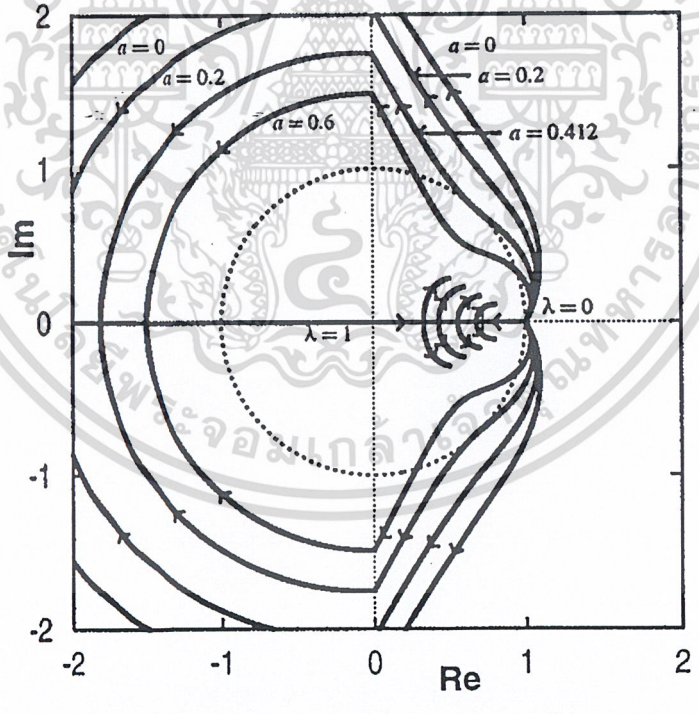
รูปที่ 2.24 ค่าความไม่คงที่ของเฟสจากการควอนไตซ์ด้วยหนึ่งบิต

ก่อนที่จะทำการคำนวณค่ารูทโลคัสของแต่ละตัวมอดูเลเตอร์ การประมาณค่าของการไม่คงที่ของเฟสมากที่สุดเป็นสิ่งที่ต้องทำการพิจารณาเปรียบเทียบกันระหว่างค่าความแน่นอนของการไม่คงที่ของเฟสในรูปที่ 2.24 และเมื่อประมาณค่า k = 1 ในรูปที่ 2.23 แสดงให้เห็นว่าการประมาณค่าที่ k = 1 จะแตกต่างอย่างมากจากการที่ความไม่คงที่ทางเฟสแท้จริงที่ความถี่ใกล้กับความถี่จูน ซึ่งจะทำให้เกิดการผิดพลาดภายในตำแหน่งของรูทโลคัส ให้การประมาณค่าที่แน่นอนมากกว่า k = 2 ได้ถูกนำมาใช้ โดยที่รูปที่ 2.27 เป็นรูปที่แสดงถึงรูทโลคัสโดยการประมาณค่าที่วงจรกรองสัญญาณช่วงผ่านอันดับหก โดยที่ค่าโพลจะมีค่าเป็น 1 ค่าซีโร่มีค่าเป็น 0.412 ค่ารูทโลคัสจะได้ถูกวาดสำหรับสองค่าของ α รูปที่ 2.28 เป็นรูปที่แสดงรายละเอียดของรูป 2.27 ด้านขวา ค่ารูทโลคัสนั้นมีบางส่วนที่ได้คล้ายคลึงกับตำแหน่งของรูทโลคัส ที่ได้แสดงในรูปที่ 2.25 และ 2.26 ถึงอย่างไรก็ตาม ค่าโพลทั้งหมดของระบบปิดจะย้ายข้างภายในวงกลมหนึ่งหน่วยสำหรับค่าตรงกลางของ λ บางค่าของโพลจะอยู่ใกล้กับวงกลมหนึ่งหน่วยตรงที่ $z = e^{j\pi/3}$ และที่ $z = e^{j2\pi/3}$ เมื่อค่า a มากกว่าหรือเท่ากับ 0.412 ค่าวิถีตำแหน่งของโพลที่อยู่ไกลที่สุดของรูทโลคัสจะทำการเข้ามาใหม่ในวงกลมหนึ่งหน่วย ก่อนที่ค่า λ จะมีค่าน้อย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

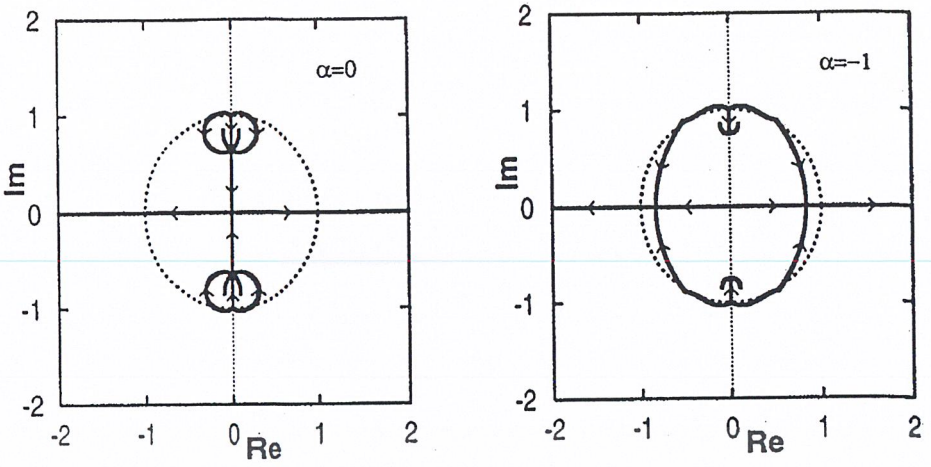


รูปที่ 2.25 รูทโลคัสของวงจรกรองความถี่ต่ำผ่านอันดับสาม (a=0)

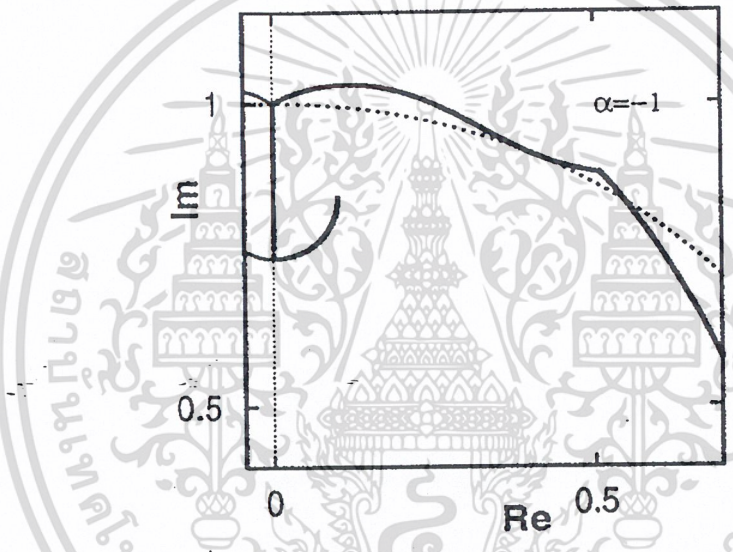


รูปที่ 2.26 ค่าสาขาที่ไกลที่สุดของรูทโลคัสของวงจรกรองความถี่ต่ำผ่านอันดับสาม α =-1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.27 รูทโลคัสของวงจรกรองสัญญาณช่วงผ่านอันดับ 6 สำหรับสัญญาณขนาดเล็ก



รูปที่ 2.28 รายละเอียดจากรูป 2.27 ทางขวามือ

ในภาพรูทโลคัสของวงจรกรองความถี่ช่วงผ่านอันดับ 6 ระยะทางของตำแหน่งโพลที่ไกลที่สุดของวงกลมหนึ่งหน่วยจะมากที่สุดที่ $\theta = \pi/3$ และ $\theta = 2\pi/3$ โดยที่ความต้องการเราต้องการให้ตำแหน่งโพลที่ไกลที่สุดจะต้องอยู่บนวงกลมหนึ่งหน่วย สำหรับความถี่นั้นค่าความเสถียรสัญญาณเล็กน้อยจะทำให้ได้รับอัตราการขยาย ความต้องการนี้จะเป็นตัวชี้ว่าการรวมกันของกฎนิ้วโป้ง (Rule of thumb) สำหรับวงจรกรองความถี่ต่ำผ่านกับวงจรกรองความถี่สูงผ่าน

อย่างไรก็ตาม กฎนิ้วโป้งได้มาสำหรับวงจรกรองความถี่ต่ำผ่าน ซึ่งแสดงให้เห็นว่ากฎอันนี้สามารถใช้ได้สำหรับวงจรกรองความถี่สูงผ่าน และวงจรกรองความถี่แบบช่วงผ่าน โดยต้องมีการปรับปรุงแก้ไขเล็กน้อย ค่าเดลต้าซิกม่ามอดูเลเตอร์นั้นทั้งหมดมีลักษณะคล้ายกันที่ความเสถียรที่สัญญาณขนาดเล็ก ค่ากฎนิ้วโป้งได้ทำการทดสอบสำหรับรูปแบบทั่วไปของวงจรกรองความถี่ช่วงผ่าน ที่มีค่าลูปฟิลเตอร์ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$G(z)=\frac{(1+ae^{j\theta_0 z^{-1}})^N(1+ae^{-j\theta_0 z^{-1}})^N}{(1+be^{j\theta_0 z^{-1}})^N(1+be^{-j\theta_0 z^{-1}})^N}-1 \qquad (2.12)$$

สำหรับรูปแบบของวงจรกรองความถี่ช่วงผ่านนี้นั้น θ_0 แทนที่ความถี่จูน a และ b แทนตำแหน่งของซีโร่และโพลตามลำดับ โดยที่ตามปกติแล้ว เราจะให้ค่าตำแหน่งของโพลมีค่าอยู่ใกล้กับวงกลมหนึ่งหน่วย $(0.95\langle b\le 1)$ และค่าตำแหน่งของซีโร่เราจะวางไว้ไกลตำแหน่งของโพล ถ้าค่า $\theta_0=0$ เราจะได้ว่าแบนด์พาสตัวนี้จะทำตัวเสมือนวงจรกรองสัญญาณความถี่ต่ำผ่านในกรณีถ้า $\theta_0=\pi$ ค่าลูปฟิลเตอร์จะมีค่าเท่ากับลูปฟิลเตอร์ของวงจรกรองความถี่สูงผ่าน ที่ผ่านการแปลงแบบ $z^{-1}\rightarrow z^{-2}$

2.15 โอเวอร์แซมปลิ้ง (OverSampling)

ในกรณีที่ถ้าความถี่แซมปลิ้ง f_s ของการแปลงสัญญาณจากอนาลอกเป็นดิจิตอล เท่ากับสองเท่าความถี่อินพุตมากสุด หรือความถี่ไนควิสต์ f_b ค่ากำลังของควอนไตซ์เซชั่นน็อยส์ทั้งหมดจะตั้งอยู่ในช่วงกว้างความถี่ใช้งาน $[-f_b,f_b]$ อย่างไรก็ตามถ้าความถี่ของการแซมปลิ้งนั้นเกิดมีค่ามากกว่า สองเท่าของสัญญาณอินพุต การแปลงสัญญาณจากอนาลอกเป็นดิจิตอลจะเรียกว่าโอเวอร์แซมเปิ้ล ค่าอัตราส่วนระหว่าง $\frac{f_s}{2f_b}$ เราเรียกค่าอัตราการโอเวอร์แซมปลิ้ง (Oversampling Ratio:OSR) เมื่อค่าการผิดพลาดจากการควอนไตซ์เซชั่นถูกตั้งให้อยู่ในช่วงที่กระจายอย่างเป็นระบบระเบียบในช่วง $[-\frac{f_s}{2},\frac{f_s}{2}]$ ค่าสัญญาณรบกวนจากการควอนไตซ์เซชั่นภายในแบนด์วิดธ์ของสัญญาณจะลดลงเมื่ออัตราการโอเวอร์แซมปลิ้งจะเพิ่มขึ้น รูปที่ 2.19 เป็นรูปที่แสดงถึงความหนาแน่นของกำลังสเปคตรัมของค่าสัญญาณรบกวนจากการควอนไตซ์เซชั่นของการแปลงสัญญาณจากอนาลอกเป็นดิจิตอลที่อัตราของไนควิสต์ (OSR=1) และสำหรับการแปลงสัญญาณที่มีค่าโอเวอร์แซมเปิ้ลเป็นสี่ (OSR=4) ถึงอย่างไรก็ตามค่ากำลังทั้งหมดของสัญญาณรบกวนจากการควอนไตซ์ยังมีค่าเหมือนเดิม ค่าขนาดแอมพลิจูดของสัญญาณรบกวนภายในช่วงของสัญญาณสามารถคำนวณได้ดังนี้

$$e_{q,rms}^2=\int_{f_b}^{f_b}E_q(f)df=\int_{-f_b}^{f_b}\frac{q^2}{12f_s}df=\frac{q^2}{12}.\frac{2f_b}{f_s}=\frac{q^2}{12}.\frac{1}{OSR} \qquad (2.13)$$

ค่าอัตราสัญญาณต่อสัญญาณรบกวนมากที่สุด ภายในช่วงแบนด์วิดธ์ของสัญญาณของการโอเวอร์แซมเปิ้ลทางอุดมคติของการแปลงจากอนาลอกเป็นดิจิตอลจะเท่ากับ

$$SNR_{\max}=B\times 6.02+1.76+10\log_{10}(OSR) \qquad dB \qquad (2.14)$$

เมื่อทำการเปรียบเทียบค่าการแปลงสัญญาณจากอนาลอกเป็นดิจิตอลที่อัตราไนควิสต์ ค่าอัตราสัญญาณต่อสัญญาณรบกวนสูงสุดจะเพิ่มขึ้นที่ช่วงเทอมสุดท้ายที่เป็นส่วนของโอเวอร์แซมปลิ้ง เมื่อค่าอัตราโอเวอร์แซมปลิ้งเป็นสี่นั้น ค่าประสิทธิภาพของจำนวนของบิตจะสามารถเพิ่มขึ้นด้วย 1 บิต การเพิ่มขึ้นของการรีโซลูชั่นในช่วงเวลาสามารถทำให้เกิดการเพิ่มรีโซลูชั่นในช่วงแอมปลิจูดด้วย สังเกตการเพิ่มขึ้นจะต้องอยู่ในช่วงที่ค่าอัตราการโอเวอร์แซมปลิ้งอยู่ในช่วงที่มีค่าน้อย ถ้าค่าของรีโซลูชั่นควอนไตซ์มีค่าน้อย (ค่า B มีค่าน้อย) ในช่วงโอเวอร์แซมปลิ้งสูง ค่าการผิดพลาดจากการควอนไตซ์นั้นจะไม่อยู่ในช่วง

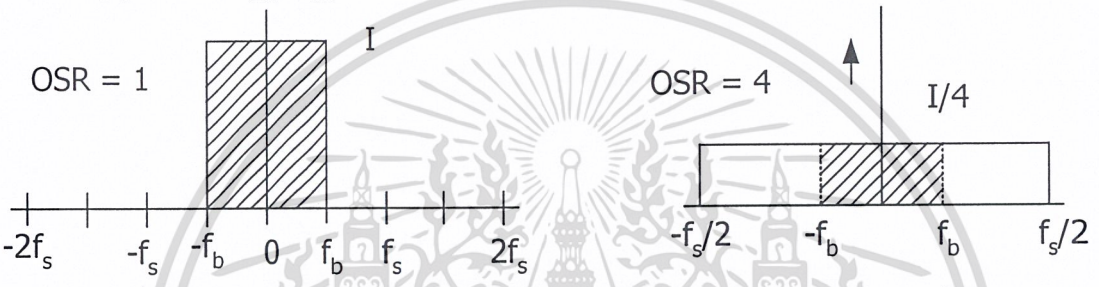
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การซ้อนทับกัน ในขณะเดียวกันถ้าการผิดพลาดจากการควอนไตซ์เพิ่มขึ้น พร้อมกับค่าการโอเวอร์แซม-ปลิ้งจะไม่ใช้ผลทำให้การเพิ่มของอัตราสัญญาณต่อสัญญาณรบกวนเพิ่มได้

คำนิยามของอัตราการโอเวอร์แซมปลิ้งให้โดยที่ตั้งอยู่ในหลักของความจริงว่าค่าสัญญาณอินพุตเป็นลักษณะสัญญาณเบสแบนด์ เช่นความถี่อยู่ในช่วง $[0,f_b]$ อย่างไรก็ตาม โอเวอร์แซมปลิ้งสามารถใช้ในช่วงสัญญาณที่เป็นสัญญาณขาเข้าที่ให้ผ่านได้ โดยที่อีกนิยามหนึ่งของอัตราการโอเวอร์แซมปลิ้งคือ

ค่าอัตราโอเวอร์แซมปลิ้งถูกนิยามโดยอัตราส่วนระหว่างค่าความถี่ของการแซมปลิ้งและสองเท่าของแบนด์วิดธ์ของสัญญาณ

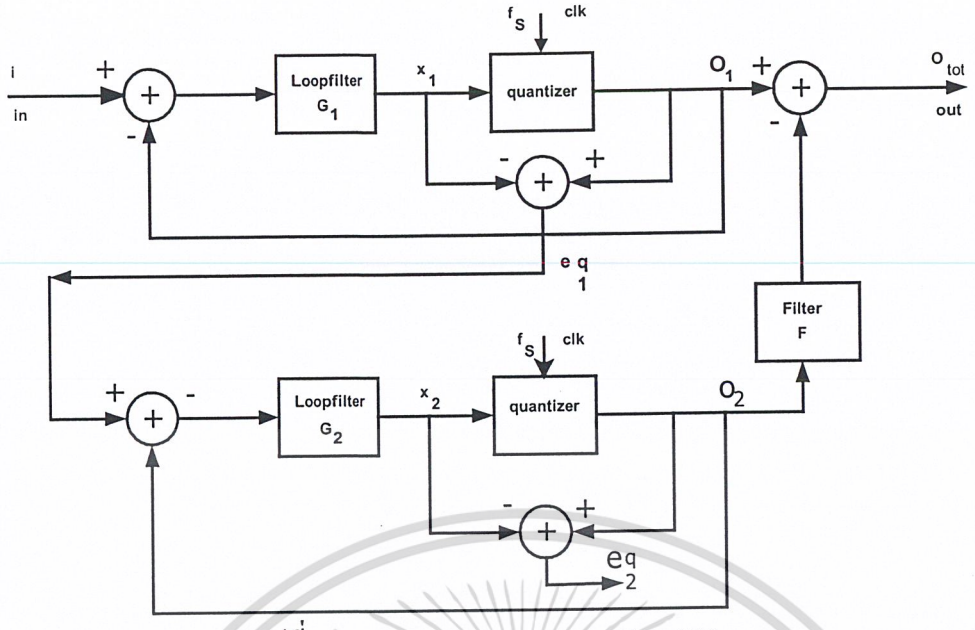
สำหรับสัญญาณเบสแบนด์ ค่าแบนด์วิดธ์จะถูกนิยานโดยค่าความถี่สัญญาณสูงสุด $BW = f_b$ ค่าแบนด์วิดธ์ของสัญญาณที่เป็นช่วงผ่านจะถูกนิยามโดยความแตกต่างระหว่างค่ามากที่สุดและน้อยที่สุดของความถี่สัญญาณ $BW = f_{max} - f_{min}$



รูปที่ 2.19ค่าความหนาแน่นของพลังงานของสัญญาณรบกวนการควอนไตซ์ของการแปลงสัญญาณจาก อนาลอกมาเป็นดิจิตอลที่อัตราไนควิสต์ (OSR=1) และที่ OSR = 4การจัดการสัญญาณรบกวนแบบหลายช่วง(Multi Stage Noise Shaping)

ผลของปัญหาเรื่องของเสถียรของการดูแลสัญญาณรบกวนในกรณีของลูปฟิลเตอร์แบบอันดับสูงได้ถูกนำเสนอโดยฮายาชิ โดยที่ได้นำเสนอการใช้หลายช่วงเพื่อแทนที่จะเพิ่มอันดับของลูปฟิลเตอร์เพื่อเป็นตัวแทนของวงจรกรองสัญญาณสูงผ่าน เพื่อลดการเกิดการผิดพลาดจากการควอนไตซ์ที่เกิดจากการควอนไตซ์ที่ไม่เป็นระบบ โดยที่รูปพื้นฐานนั้นเราเรียกว่าโครงสร้าง MASH แบบสองช่วง รูปที่ 2.20 ค่าการผิดพลาดของการควอนไตซ์ eq_1 ของวงจรเดลต้าซิกม่ามอดูเลชั่นตัวแรก (ตัวบน) จะถูกให้เป็นตัวอินพุตของตัวมอดูเลเตอร์ตัวที่สอง ค่าสัญญาณออก O_2 ของมอดูเลเตอร์จะต้องยังมีการประมาณค่าของการควอนไตซ์ที่เกิดจากการผิดพลาดของสัญญาณควอนไตซ์เซชั่นในตัวแรก eq_1 ค่าผลลัพธ์สุดท้ายหลังจากผ่านการมอดูเลเตอร์ตัวที่สองนั้นจะถูกทำการกรองและรวมกับสัญญาณที่ออกจากตัวแรก เพื่อจะทำการกำจัดค่าของการผิดพลาดจากการควอนไตซ์ของตัวแรก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.20 Multi stage noise shaper (MASH).

โดยที่ผลลัพธ์ของมอดูเลเตอร์ตัวแรกเท่ากับ

$$O_1(z) = \frac{G_1(z)}{1+G_1(z)} \cdot I(z) + \frac{1}{1+G_1(z)} \cdot E_{q1}(z) \tag{2.15}$$

และค่าผลลัพธ์ของมอดูเลเตอร์ตัวที่สองสามารถเขียนได้โดย

$$O_2(z) = \frac{G_2(z)}{1+G_2(z)} \cdot E_{q1}(z) + \frac{1}{1+G_2(z)} \cdot E_{q2}(z) \tag{2.16}$$

และค่าผลลัพธ์สุดท้ายของมอดูเลเตอร์ทั้งสองตัวสามารถอธิบายได้โดย

$$O_{tot} = \frac{G_1(z)}{1+G_1(z)} \cdot I(z) + \left(\frac{1}{1+G_1(z)} - \frac{F(z)G_2(z)}{1+G_2(z)}\right) \cdot E_{q1}(z) - \frac{F_z}{1+G_2(z)} \cdot E_{q2}(z) \tag{2.17}$$

เห็นได้ชัดว่า ค่าการผิดพลาดจากการควอนไตซ์ของเดลต้าซิกม่ามอดูเลเตอร์ตัวแรกนั้น จะสามารถกำจัดได้ถ้า

$$\frac{1}{1+G_1(z)} = \frac{F(z)G_2(z)}{1+G_2(z)} \tag{2.18}$$

ค่าการผิดพลาดการควอนไตซ์ที่ยังเหลือของมอดูเลเตอร์ตัวที่สองจะถูกกรองโดย

$$NTF_2(z) = -\frac{F(z)}{1+G_2(z)} = -\frac{1}{1+G_1(z)} \cdot \frac{1}{G_2(z)} \tag{2.19}$$

ในขณะที่กล่าวถึงวงจรอันดับสอง ทั้งลูปฟิลเตอร์และตัวกรองสัญญาณยังคงอยู่ในอันดับหนึ่งอยู่ ในกรณีที่เราใช้วงจรเดลต้าซิกม่ามอดูเลเตอร์อันดับ 1 สองตัวเพื่อให้เป็นวงจรอันดับสอง ค่าลูปฟิลเตอร์ของตัวที่หนึ่ง และตัวที่สอง จะเป็นวงจรอินทริเกรเตอร์

$$G_1(z) = G_2(z) = \frac{Z^{-1}}{1-Z^{-1}} \tag{2.20}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในกรณีที่เราต้องการกำจัดค่าความผิดพลาดจากการควอนไตซ์ของเดลต้าซิกม่ามอดูเลเตอร์ตัวแรก ค่าวงจรกรองสัญญาณสมมูลย์ (F) จะต้องมีค่าเป็น

$$F(z) = \frac{1 - z^{-1}}{z^{-1}} \tag{2.21}$$

ในขณะที่เป็นวงจรกรองสัญญาณแบบไม่คอซอล ปัญหานี้จะถูกแก้ได้โดยการหน่วงสัญญาณ ผลลัพธ์ของวงจรเดลต้าซิกม่ามอดูเลเตอร์ตัวแรกโดยหนึ่งช่วงเวลา ค่าวงจรกรองสัญญาณสมมูลย์จะถูกเปลี่ยนเป็น

$$F(z) = 1 - z^{-1} \tag{2.22}$$

ค่าการผิดพลาดจากการควอนไตซ์ที่ยังเหลืออยู่ ซึ่งเป็นผลมาจากวงจรเดลต้าซิกม่ามอดูเลเตอร์ ตัวที่สองของโครงสร้างแบบ MASH จะถูกกรองถือถูกจำกัดรูปโดยฟังก์ชันของอันดับสอง ขณะที่สัญญาณอินพุทจะถูกหน่วงโดยสองช่วงเวลา

$$NTF_2(Z) = (1 - Z^{-1})^2 \tag{2.23}$$

$$STF(Z) = Z^{-2} \tag{2.24}$$

การบีบอัดของความผิดพลาดการควอนไตซ์จะถูกปรับปรุงโดยปราศจากการเพิ่มขึ้นของอันดับของลูปฟิลเตอร์ของเดลต้าซิกม่ามอดูเลเตอร์ ในกรณีของการปรับปรุงอุปกรณ์ทางอนาลอกวงจร MASH จะค่อนข้างอ่อนไหวต่อกรณีที่เกิดการไม่สอดคล้องกัน

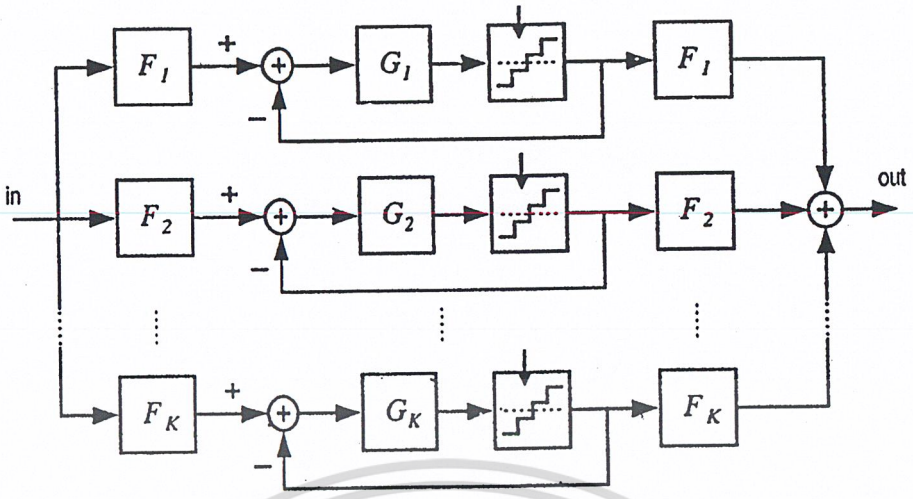
การประยุกต์รูปแบบเดลต้าซิกม่ามอดูเลชั่นแบบอื่น ๆ

เกือบทั้งหมดที่สามารถอ้างอิงได้ของการทำการโอเวอร์แซมเปิ้ลแบบกำจัดสัญญาณรบกวน ยังมีมากกว่าโครงสร้างหนึ่งที่ก้าวถึง อย่างไรก็ตาม ในอีกทางเลือก โครงสร้างที่แปลกใหม่ถูกเลื่อนออกไปเพื่อที่จะหลีกเลี่ยงปัญหา เช่น การลดอัตราการโอเวอร์แซมปลิ้ง โครงสร้างบางอย่างเราจะกล่าวถึงในสิ่งเหล่านี้อย่างคร่าว ๆ

2.16 วงจรเดลต้าซิกม่าแบบขนาน (Parallel Delta Sigma Modulators)

ดังที่กล่าวมาข้างต้น วงจรจำกัดสัญญาณรบกวน หรือการบีบอัดเดลต้าซิกม่ามอดูเลเตอร์นั้น ค่าความผิดพลาดจากการควอนไตซ์ยังเป็นส่วนหนึ่งในสเปคตรัมความถี่ ในส่วนความถี่อื่น ๆ ค่าความผิดพลาดจากการควอนไตซ์จะถูกขยาย ในกรณีที่เราต้องการจะเพิ่มค่าแบนด์วิดธ์ในส่วนของความผิดพลาดจากการควอนไตซ์จะถูกลดทอนลง ดังนั้น เราได้ทำการปรับปรุงปัญหาโดยการทำการใช้วงจรเดลต้าซิกม่าหรือวงจรจำกัดสัญญาณรบกวนแบบขนาน โดยที่ลักษณะการทำงานจะทำการแบ่งช่วงแบนด์วิดธ์ที่ต้องการในช่วงความถี่ช่วงเล็ก ๆ (หรือช่องสัญญาณ) และใช้วงจรเดลต้าซิกม่ามอดูเลเตอร์แต่ละตัวในแต่ละช่องสัญญาณ รูปที่ 2.21 เป็นรูปที่แสดงถึงบล็อคไดอะแกรมของวงจรหลายช่วงของเดลต้าซิกม่ามอดูเลเตอร์แบบขนานค่าสัญญาณขาเข้าจะเข้าทั้งหมด K ช่องสัญญาณโดยที่จะถูกการควอนไตซ์โดยใช้วงจรเดลต้าซิกม่ามอดูเลชั่นหลาย ๆ ตัว เพราะว่าแต่ละตัวของเดลต้าซิกม่ามอดูเลเตอร์จะทำการบีบอัดความผิดพลาดจากการควอนไตซ์ในส่วนที่แตกต่างกันของช่วงสเปคตรัมความถี่ โดยที่พวกนั้นยังมีค่าลูปฟิลเตอร์ไม่เท่ากันอีกด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

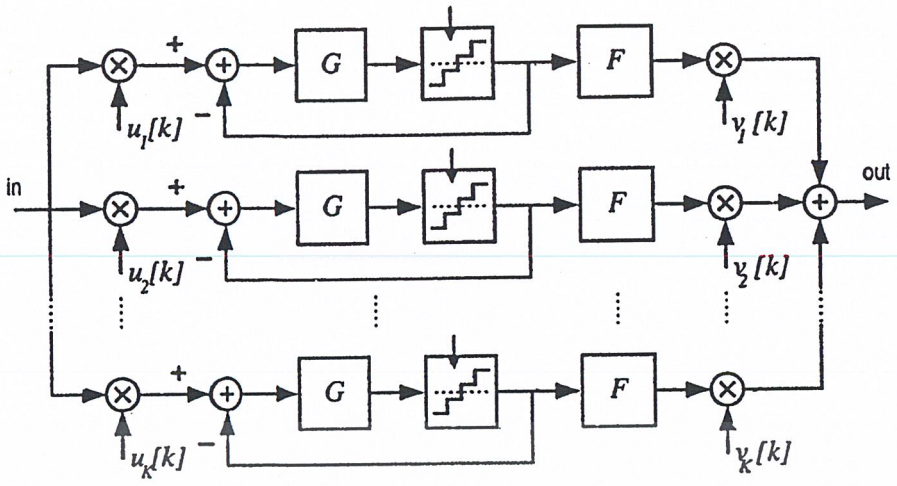


รูปที่ 2.21 วงจรแบบหลายช่วงของเดลต้าซิกม่ามอดูเลเตอร์แบบขนาน

อีกรูปแบบหนึ่งที่แยกออกจากแนวคิดนี้ โดยที่แต่ละช่องสัญญาณจะทำการมอดูเลตสัญญาณอินพุตของแต่ละตัวของเดลต้าซิกม่ามอดูเลเตอร์ เรียกโครงสร้างแบบนี้ว่าลำดับฮาดามาร์ด (Hadamard sequence) จากรูปที่ 2.22 ลำดับของฮามาร์ดเป็นการทบทวนแถวของเมทริกซ์ทรานสฟอร์มของฮาดามาร์ด โดยที่แทนค่าเป็น +1 กับ –1 การมอดูเลทสัญญาณในรูปแบบลำดับของฮาดามาร์ดจะเปลี่ยนสัญญาณในช่วงเวลาและสามารถทำเป็นอุปกรณ์ได้อย่างง่าย ๆ อีกด้วย โดยที่ลำดับของฮาดามาร์ดเป็นลักษณะออโธกอนัล มอดูเลทสัญญาณอินพุตกับลำดับที่แตกต่างออกไปจะย้ายค่าส่วนที่ต่างของสเปคตรัมไปสู่ช่วงความถี่ต่ำในผลสุดท้าย ในแต่ละวงจรของเดลต้าซิกม่ามอดูเลเตอร์มีค่าลูปฟิลเตอร์เท่ากันแต่ค่าควอนไตซ์ของแต่ละส่วนแตกต่างกันตามส่วนของสเปคตรัมของสัญญาณอินพุต เอาท์พุตของเดลต้าซิกม่ามอดูเลเตอร์จะถูกกรอง ถอดรหัสสัญญาณและทำการรวมเพื่อเข้าสู่รูปแบบการควอนไตซ์ของสัญญาณอินพุต

วงจรจำกัดรูปร่างสัญญาณรบกวนแบบขนานหรือเดลต้าซิกม่าแบบขนานยังสามารถทำงานในช่วงโดเมนเวลาได้อีกโดยการใช้การแซมปลิ้งในช่วงเวลา (time-interleaved sampling) โดยใช้แนวคิดจากทฤษฎีของบล็อควงจรกรองสัญญาณ การรวมกันของฟังก์ชันถ่ายโอนสัญญาณรบกวน ของตัวแปร K การแซมเปิ้ลของเดลต้าซิกม่ามอดูเลเตอร์ที่ความถี่ fs สามารถทำการสมมูลย์ของ ฟังก์ชันถ่ายโอนของสัญญาณรบกวนของตัวมอดูเลเตอร์จะวิ่งเข้าสู่ค่า K.fs ในที่สุด ค่าแบนด์วิดธ์ที่มีประสิทธิภาพในช่วงความผิดพลาดของการควอนไตซ์จะถูกบีบอัดจะเพิ่มขึ้นโดยค่าแฟกเตอร์ K โดยที่ไม่มีการเปลี่ยนค่าความถี่การแซมปลิ้งของแต่ละตัวของเดลต้าซิกม่ามอดูเลเตอร์

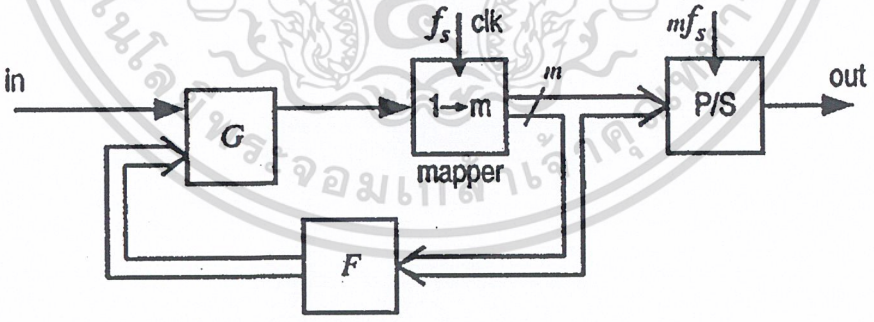
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.22 Hadamard parallel Delta-Sigma Modulation

2.17 ลดอัตราการส่งบิตและเวคเตอร์ควอนไตซ์เซชั่น (Reduced Bit Rate and Vector Quantization)

ในระบบพื้นฐานของเดลต้าซิกม่ามอดูเลเตอร์ การควอนไตซ์นั้นใช้เพื่อการแม็ปค่าสัญญาณขาเข้ากับระดับสัญญาณขาออกในช่วงดีสครีต และค่าลูปฟิลเตอร์ จะทำหน้าที่ทำนายผลความผิดพลาดจากการควอนไตซ์ ค่าการควอนไตซ์จะถูกแทนค่าด้วยรูปแบบที่เรียกว่า 1-to-m mapping ด้วยการที่ทำการแม็ปกับกระแสขาเข้า m ตัว พิจารณารูปที่ 2.23 การประมาณค่าประสิทธิภาพการแม็ปในค่าเอ็มถัดไป ดังนั้นจะสามารถลดอัตราการส่งบิตได้ด้วยค่าแฟกเตอร์ของเอ็ม เพราะว่าการแม็ปปิ้งที่เอาท์พุท ค่าลูปฟิลเตอร์จะแทนที่ด้วยค่าอินพุทที่หลากหลาย ค่าลูปฟิลเตอร์ที่มีเอาท์พุทเดียว ค่าเอ็มที่ขนานทางเอาท์พุทจะเปลี่ยนเป็นค่าทางอนุกรมแล้วส่งไปอย่างต่อเนื่อง ด้วยตัวแปลงสัญญาณจากขนานเป็นอนุกรม



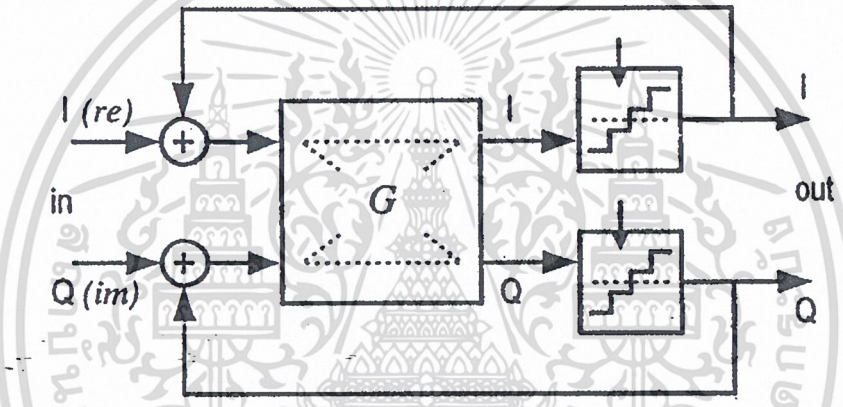
รูปที่ 2.23 การลดอัตราการแซมเปิ้ลของเดลต้าซิกม่ามอดูเลชั่น

แทนที่จะเปลี่ยนค่าตัวเลขของเอาท์พุทของการควอนไตซ์ ค่าตัวเลขของอินพุทจะสามารถเพิ่มขึ้นได้ ค่าอินพุทจะต่อกับค่าเอาท์พุตที่หลากหลายของลูปฟิลเตอร์แต่ละตัวแทนที่ค่าการเปลี่ยนแปลงสภาวะของแต่ละวงจรกรองสัญญาณ ในผลของเวคเตอร์ควอนไตซ์เซชั่นจะไม่ลดค่าอัตราการแซมเปิ้ล แต่กับช่วยให้ปรับปรุงความเป็นเสถียรภาพและประสิทธิภาพของเดลต้าซิกม่ามอดูเลชั่น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.18 วงจรกรองแถบความถี่ผ่านแบบเดลต้าซิกม่าที่ซับซ้อน (Complex Bandpass Delta Sigma Modulation)

โครงสร้างโดยเฉพาะของวงจรกรองแถบความถี่ผ่านแบบเดลต้าซิกม่าที่ซับซ้อน เป็นตามลักษณะรูปที่ 2.24 ค่าสัญญาณเชิงซ้อนจะถูกสุ่มตัวอย่างและควอนไตซ์ ค่าจริงของสัญญาณมี 2 ค่า เปรียบเทียบได้กับส่วนจริงและส่วนจินตภาพเทียบได้กับสัญญาณเชิงซ้อน ค่าสัญญาณสองตัวจะถูกแทนด้วย I (In-phase) และค่า Q (Quadrature-phase) ตามลำดับ ค่าจริงสองค่าจะถูกควอนไตซ์กันอย่างเป็นอิสระต่อกัน แต่ทั้งสองค่าจะต้องนำมาเข้าลูปฟิลเตอร์แบบซับซ้อนเหมือนกัน ประโยชน์ที่สำคัญของโครงสร้างนี้ คือค่าโพลและ ค่าซีโร่ของอุปกรณ์ที่สร้างโดยลูปฟิลเตอร์ จะไม่มีทางที่จะเกิดขึ้นที่คู่เชิงซ้อน ซึ่งผลสุดท้าย ค่าอันดับของลูปฟิลเตอร์สำหรับวงจรมอดูเลเตอร์แถบสัญญาณผ่านจะสามารถลดค่าไปได้สองตัว ปัญหาที่น่าจะเกิดขึ้นของความเสถียรสามารถหลีกเลี่ยงได้โดยราคาของอุปกรณ์ที่จะมาต่อเชื่อม



รูปที่ 2.24 วงจรกรองแถบความถี่ผ่านแบบเดลต้าซิกม่าที่ซับซ้อน

2.19 การตัดสินใจในการออกแบบ

จากส่วนของสถาปัตยกรรมทางเดลต้าซิกม่ามอดูเลชั่น ยังต้องมีเงื่อนไขหลายอย่างที่จำเป็นต้องได้รับการพิจารณาในการออกแบบนอกเหนือจากการเข้ารหัสโอเวอร์แซมเปิ้ลแบบผิดพลาดย้อนกลับ ค่าลักษณะพิเศษของตัวเข้ารหัสไม่เพียงขึ้นอยู่กับค่าอันดับของลูปฟิลเตอร์แล้ว ค่ารีโซลูชั่นของการควอนไตซ์และค่าอัตราการโอเวอร์แซมปลิ้ง แต่ยังขึ้นอยู่กับการไม่เป็นลักษณะทางอุดมคติของวงจร ความสำคัญอีกแบบหนึ่งของวงจรคือค่าความมีเสถียรภาพของการไม่เป็นเชิงเส้นของลูปการป้อนกลับ

2.19.1 เสถียรภาพ

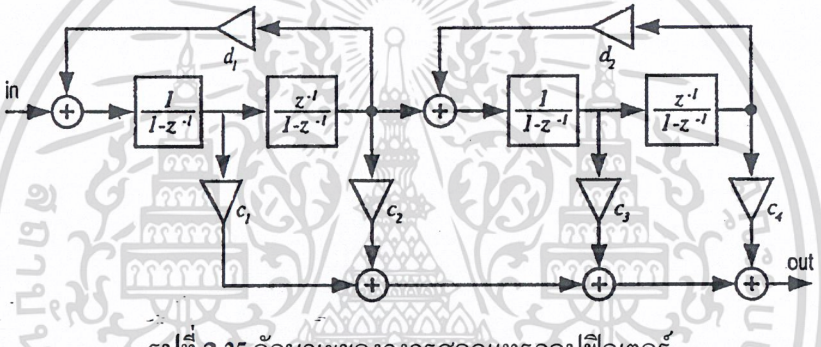
การรวมกันของวงจรกรองสัญญาณเชิงเส้นอันดับสูงและวงจรป้อนกลับที่ไม่เป็นเชิงเส้น เป็นสาเหตุอย่างหนึ่งความการไม่เสถียรภาพ ค่าผลลัพธ์ของแต่ละสภาวะของวงจรจะไม่ยาวพอที่จะเป็นการควบคุมสัญญาณจากอินพุต ในช่วงที่การควอนไตซ์ที่ไม่เป็นเชิงเส้น คุณสมบัติของเสถียรภาพของวงจรจำกัดสัญญาณรบกวนหรือเดลต้าซิกม่านั้นจะขึ้นอยู่กับค่าสัญญาณขาเข้า วงจรจำกัดสัญญาณรบกวนหรือเดลต้าซิกม่านั้นที่ในอันดับสองหรืออันดับที่มากกว่าของลูปฟิลเตอร์ จะพิจารณาในเงื่อนไขของการเข้าสู่เสถียรภาพ ในระบบยังจะคงเสถียรจนกว่าที่ค่าสัญญาณขาเข้าและค่าการเปลี่ยนแปลงของสเตจของวงจร

เอกสารนี้สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กรองสัญญาณจะเจอจุดที่ต้องการ แต่น่าเสียดายที่วิธีในการวิเคราะห์ค่าเสถียรภาพของระบบเชิงเส้นจะต้องพิจารณาเงื่อนไขที่จะเสถียรด้วย แต่ยังยากที่จะอธิบายได้แต่ค่าเสถียรภาพของวงจรป้อนกลับของเดลต้าซิกม่ามอดูเลชั่นกลับได้รับการค้นคว้าอย่างกว้างขวาง

2.19.2 ลักษณะของลูปฟิลเตอร์

ในรายงานเกี่ยวกับวงจรจำกัดสัญญาณรบกวนและวงจรเดลต้าซิกม่ามอดูเลชั่น จำนวนที่ตัดสินใจของเรื่องที่น่าสนใจมากที่สุดคงจะเป็นลักษณะของลูปฟิลเตอร์ ซึ่งบางทีอาจจะเป็นสาเหตุของความจริงว่าวงจรกรองความถี่แบบต่ำผ่านของเดลต้าซิกม่าจะสร้างได้ด้วยการสอดแทรกโครงสร้างของลูปฟิลเตอร์ ซึ่งประกอบไปด้วยห่วงโซ่อินทริเกรต หนึ่งในรูปแบบของวงจรเดลต้าซิกม่ามอดูเลชั่นที่มีลูปฟิลเตอร์แล้วต้องการที่จะมีอันดับสูงจะสามารถใช้ได้ด้วยการใช้ "ลูปสองเท่า" ในกรณีที่ต้องการเพิ่มคุณสมบัติเฉพาะตัวหรือว่าผลกระทบของเสถียรภาพที่เป็นคุณสมบัติของเดลต้าซิกม่ามอดูเลเตอร์ ในส่วนของการคูณไปด้านหน้าและค่าโลคัลรีโซเนเตอร์ป้อนกลับจะได้รับการประยุกต์ ผลของลักษณะลูปฟิลเตอร์จะเป็นลักษณะไปตามรูปที่ 2.25



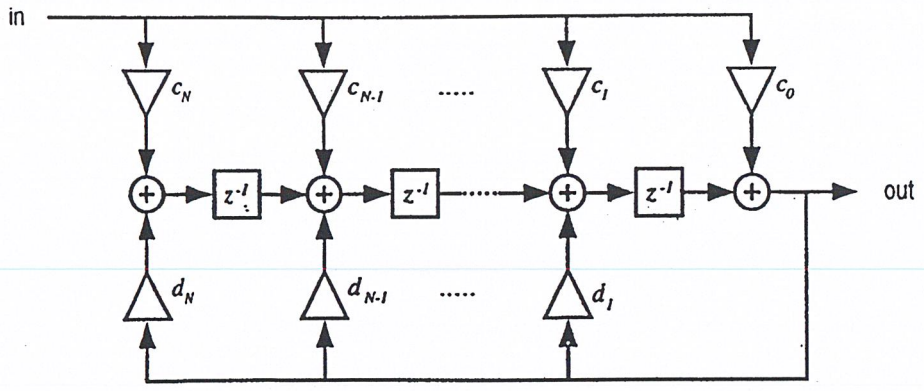
รูปที่ 2.25 ลักษณะของวงจรสอดแทรกลูปฟิลเตอร์

อย่างไรก็ตาม เหตุผลในทางปฏิบัติสำหรับลักษณะเฉพาะนี้สามารถทำได้ด้วยอุปกรณ์สำหรับทำลูปฟิลเตอร์ ซึ่งเป็นลักษณะพิเศษที่สามารถแปลงรูปได้โดยตรงเป็นรูปที่ 2.26 ค่าฟังก์ชันถ่ายโอนของวงจรกรองสัญญาณทางดีสครีตจะเท่ากับ

$$G(z)=\frac{G_C(z)}{G_d(z)}=\frac{c_O+c_1z^{-1}+c_2z^{-2}+\cdots+c_Nz^{-N}}{1-d_1z^{-1}-d_2z^{-2}-\cdots-d_Nz^{-N}} \tag{2.25}$$

โดยที่ค่า N เป็นอันดับของลูปฟิลเตอร์ ค่า C_n เมื่อ n = 0,1,2,……,N เป็นค่าสัมประสิทธ์ของวงจรป้อนไปทางด้านหน้าซึ่งพิจารณาที่ค่าซีโร่ของลูปฟิลเตอร์ และในทำนองเดียวกัน ค่า d_n ก็เป็นสัมประสิทธ์ของวงจรป้อนไปด้านหลังซึ่งพิจารณาที่ค่าโพลของลูปฟิลเตอร์ ในกรณีที่ค่าเหล่านี้อยู่ภายในลูป ค่าฟังก์ชั่นถ่ายโอนของลูปฟิลเตอร์จะมีเป็นค่าหน่วงเวลาอย่างน้อยหนึ่งช่วงเวลาในกรณีที่เป็นระบบคอซอล ในที่สุดค่าสัมประสิทธิ์ C_O จะมีค่าเป็น 0 ในรูปที่ 2.26

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.26 รูปแปลงวงจรจากลักษณะของการสอดแทรกลูปฟิลเตอร์

2.20 การกรองสัญญาณขาเข้าโดยนัย (Implicit Input Filtering)

ข้อเสียเปรียบที่สำคัญที่สุดของโครงสร้างที่เป็นส่วนป้อนกลับโดยตรง ของเดลต้าซิกม่ามอดูเลเตอร์ คือทั้งค่าของฟังก์ชั่นถ่ายโอนของสัญญาณและค่าฟังก์ชันถ่ายโอนของสัญญาณรบกวน โดยที่ทั้งคู่ขึ้นอยู่กับค่าลูปฟิลเตอร์ การพิจารณาฟังก์ชันถ่ายโอนของสัญญาณรบกวนต้องทำการพิจารณาฟังก์ชั่นถ่ายโอนของสัญญาณรบกวน ในที่นี้อนุญาตให้ทำการเพิ่มได้อย่างอิสระ ในการออกแบบฟังก์ชั่นถ่ายโอนสัญญาณ ค่าลูปฟิลเตอร์ของรูปที่ 2.26 ยังสามารถที่จะทำการขยายด้วยการแยกสัมประสิทธิ์ป้อนไปด้านหน้าของ $c_{n,i}$ และ $c_{n,o}$ สำหรับเดลต้าซิกม่ามอดูเลเตอร์นั้นค่าสัญญาณ ไอและโอเป็นค่าสัญญาณขาเข้าและขาออกตามลำดับ ดังได้แสดงในรูปที่ 2.27 และผลสุดท้ายของโครงสร้างเดลต้าซิกม่ามอดูเลเตอร์ได้แสดงในรูป 2.19 ค่าสัญญาณเอาท์พุตของเดลต้าซิกม่ามอดูเลชั่นสามารถเขียนได้ดังสมการ

$$O(z)=\frac{G_{c,i}(z)}{G_{c,o}(z)}\cdot\frac{G(z)}{1+G(z)}\cdot I(z)+\frac{1}{1+G(z)}\cdot E_q(z) \tag{2.26}$$

โดยที่ค่า $G(z)=G_{c,o}(z)\Big/G_d(z)$ ได้แสดงไว้ในสมการ 2.24 เปรียบเทียบกับสมการหลักของผลลัพธ์เดลต้าซิกม่า ค่าสัญญาณขาเข้าที่เพิ่มเข้ามาโดยการกรองสัญญาณโดย $G_{c,i}(z)/G_{c,o}(z)$ กรณีนี้เป็นการเตรียมการที่เพิ่มเข้าไป เพื่อต้องการให้เป็นอิสระในการออกแบบค่าซีโร่ในฟังก์ชั่นถ่ายโอนของสัญญาณ โดยที่แทนค่าได้ง่าย ๆ โดย $G(z)=G_{c,o}(z)/G_d(z)$ ค่าฟังก์ชั่นถ่ายโอนที่แท้จริงสามารถเขียนได้คือ

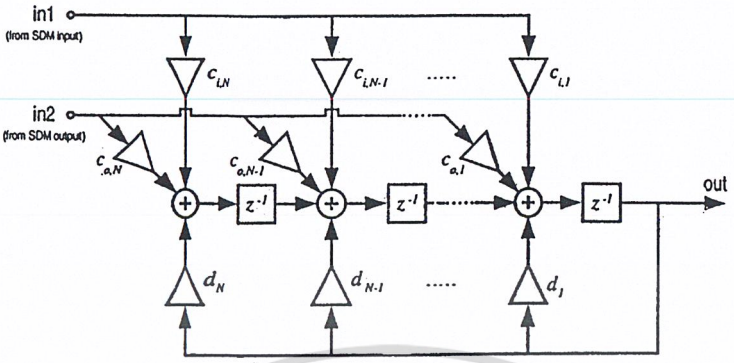
$$STF(z)=\frac{G(z)}{1+G(z)}=\frac{G_{c,o}(z)}{G_{c,o}(z)+G_d(z)} \tag{2.27}$$

โดยถ้าบวกค่าสัมประสิทธิ์ป้อนกลับด้านหน้าของค่าซีโร่ของฟังก์ชั่นถ่ายโอนของสัญญาณ จะแทนได้โดย

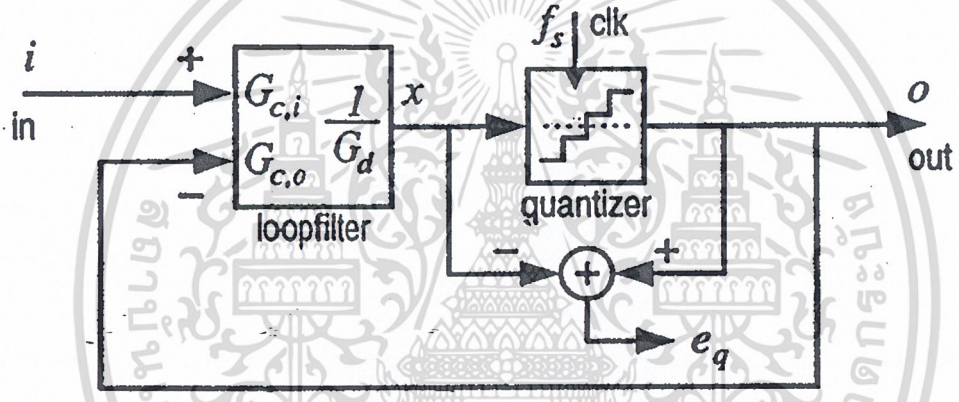
$$STF(z)=\frac{G_{c,i}(z)}{G_{c,o}(z)}\cdot\frac{G(z)}{1+G(z)}=\frac{G_{c,i}(z)}{G_{c,o}(z)+G_d(z)} \tag{2.28}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อทำการเพิ่มค่าอิสระของตำแหน่งที่ซีโร่ของฟังก์ชั่นถ่ายโอนของสัญญาณ จะทำการกำจัดสัญญาณที่ไม่ต้องการของสัญญาณขาเข้าของเดลต้าซิกม่ามอดูเลเตอร์ โดยที่จะทำการเพิ่มบางส่วนของทางด้านอุปกรณ์เข้าไป



รูปที่ 2.27 รูปแบบโดยตรงจากวงจรกรองสัญญาณด้วยสัญญาณขาเข้าสองค่า



รูปที่ 2.28 วงจรเดลต้าซิกม่ามอดูเลชั่นประกอบด้วยสัญญาณขาเข้าที่ถูกกรองแล้ว

2.21 ค่าลูปฟิลเตอร์เมื่อพิจารณาระหว่างช่วงเวลาต่อเนื่องกับไม่ต่อเนื่อง

เมื่อพิจารณาถึงขณะนี้ ค่าสัญญาณและค่าลูปฟิลเตอร์ของวงจรจำกัดสัญญาณรบกวน หรือ เดลต้า-ซิกม่ามอดูเลเตอร์ จะพิจารณาในช่วงเวลาไม่ต่อเนื่อง(discrete time) อย่างไรก็ตาม จะง่ายต่อการเข้าใจในเรื่องหลักการจำกัดสัญญาณรบกวน ซึ่งไม่จำเป็นเลย ค่าลูปฟิลเตอร์สามารถนำมาออกแบบโดยใช้อุปกรณ์ทางด้านช่วงเวลาต่อเนื่อง ในที่สุดค่าสัญญาณขาเข้าและสัญญาณขาออกของลูปฟิลเตอร์ ก็จะต้องเป็นสัญญาณช่วงเวลาต่อเนื่อง ค่าสัญญาณออกของเดลต้าซิกม่าเดลต้าซิกม่ามอดูเลชั่นจะต้องพิจารณาในช่วงเวลาที่ไม่ต่อเนื่อง การแปลงสัญญาณช่วงเวลาที่ไม่ต่อเนื่องไปสู่ช่วงเวลาต่อเนื่องจำเป็นอย่างมาก ในการใช้กับสัญญาณป้อนกลับของลูปฟิลเตอร์ ที่ใช้วงจรแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาลอก รูปที่ 2.29 ได้แสดงถึงผลสุดท้ายของเดลต้าซิกม่ามอดูเลเตอร์ที่ใช้วงจรแปลงสัญญาณดิจิตอลเป็นอนาลอก ในลักษณะลูปฟิลเตอร์แบบช่วงเวลาต่อเนื่อง ค่าสัญญาณช่วงเวลาที่ต่อเนื่องจะใช้ตัวบ่งบอกความเป็นเวลาต่อเนื่องคือค่า t แต่ในช่วงไม่ต่อเนื่อง จะใช้ตัวบอกคือ k ในทางเดียวกัน ค่าการแปลงลาปลาซ G(p) จะใช้แทนค่าฟังก์-

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3
การคำนวณและการสร้าง

3.1 วงจรกำเนิดความถี่อ้างอิง

วงจรกำเนิดความถี่อ้างอิง สร้างจาก IC MC14060 หรือ 74HC4060 ซึ่ง 2 เบอร์นี้ใช้แทนกันได้ เป็น IC – Digital Hi Speed CMOS 14 – Stage Ripple / Carry Binary Counter / Divider and Oscillator ซึ่งภายในประกอบด้วยวงจรเกทอินเวอร์เตอร์ และวงจรหารแบบไบนารี่จำนวน 14 สเตจ โดยที่เอาท์พุทเป็นสัญญาณหาร 16 จนถึงสัญญาณหาร 16,384 ที่ขา 6 โดยวงจรเกทต่อรวมกับคริสตอลออสซิเลเตอร์สำหรับการออสซิเลททำงานที่ความถี่ 4.096 MHz

สัญญาณหารที่เอาท์พุท = 2^{n+1}

โดย n = อันดับของจำนวนเอาท์พุท เช่นที่ Q7 จะได้

สัญญาณที่หารที่เอาท์พุท Q7 = $2^{7+1} = 256$

ดังนั้นสัญญาณหารที่เอาท์พุทแต่ละเอาท์พุทจะเป็นดังนี้ โดยเริ่มที่

Q3 = 16	Q9 = 1,024
Q4 = 32	Q10 = 2,048
Q5 = 64	Q11 = 4,096
Q6 = 128	Q12 = 8,192
Q7 = 256	Q13 = 16,384
Q8 = 512	

สำหรับทางโครงงานฉบับนี้ใช้คริสตอล ที่สามารผลิตความถี่ 4.096 MHz ดังนั้นเราจะทราบว่าที่เอาท์พุทแต่ละเอาท์พุทจะได้สัญญาณนาฬิกาที่มีความถี่เท่าไร โดยการนำเอาความถี่ของคริสตอลหารด้วยสัญญาณของแต่ละเอาท์พุท เช่นที่ Q7 จะได้

ความถี่ของสัญญาณนาฬิกาที่ Q7 = $\frac{4.096 MHz}{256} = 16 kHz$

ดังนั้น จะได้ความถี่ของสัญญาณนาฬิกาแต่ละเอาท์พุทดังนี้

Q3(ขา7) = 256 kHz

Q4(ขา5) = 128 kHz

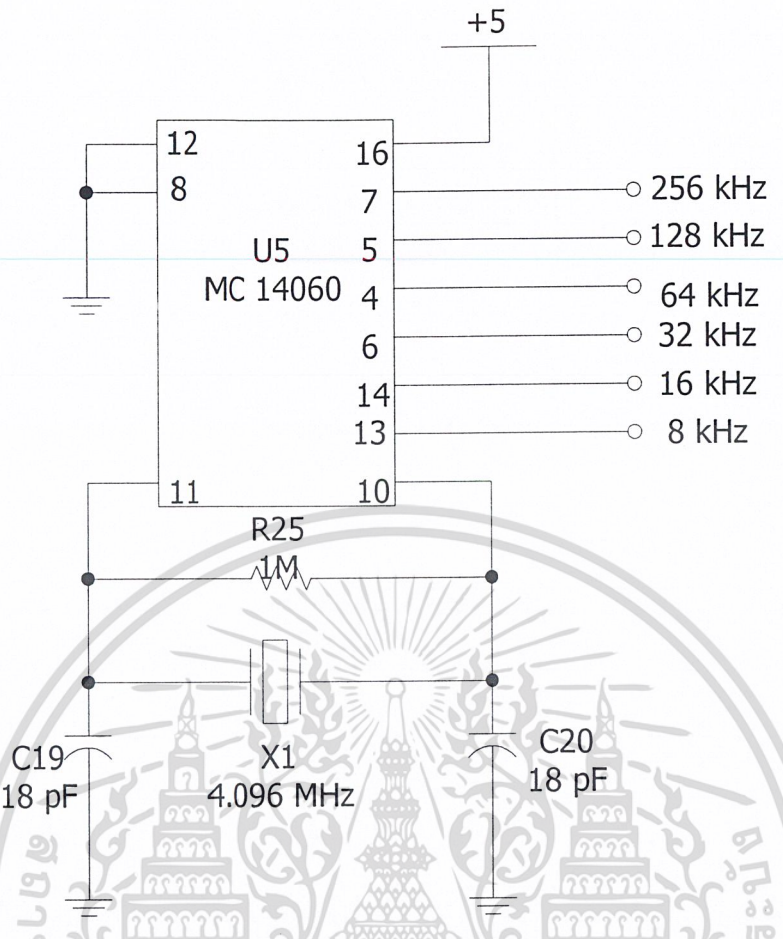
Q5(ขา4) = 64 kHz

Q6(ขา6) = 32 kHz

Q7(ขา14) = 16 kHz

Q8(ขา13) = 8 kHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.1 วงจรกำเนิดความถี่คลื่นพาห์ที่สามารถเลือกความถี่ได้

ซึ่งสัญญาณนาฬิกา หรือสัญญาณความถี่อ้างอิงที่ได้จะเป็นสัญญาณแรงดัน TTL ขนาด 0 V สำหรับลอจิก "0" ขนาด 5 V สำหรับลอจิก "1"

สำหรับวงจรเกทออสซิเลท ซึ่งอยู่ภายในวงจรรวม MC14060 หรือ 74HC4060 เกทเปรียบเหมือนวงจรขยายกลับเฟส โดยมี R25, C19, C20 และคริสตอลเป็นส่วนของวงจรป้อนกลับสัญญาณจากเอาท์พุทของเกท ให้อินพุทของเกทมีเฟสกลับไป 180 องศา R25 เป็นความต้านทานสำหรับไบอัสให้เกททำงาน เลือกใช้ขนาด 1 M สำหรับค่า C19 และ C20 กำหนดให้ค่า C19 และ C20 อนุกรมกันจะมีขนาดเท่ากับค่าโหลดคาปาซิแตนซ์ของคริสตอล โดยการออกแบบเลือกค่า C19, C20 ขนาด 18 pF

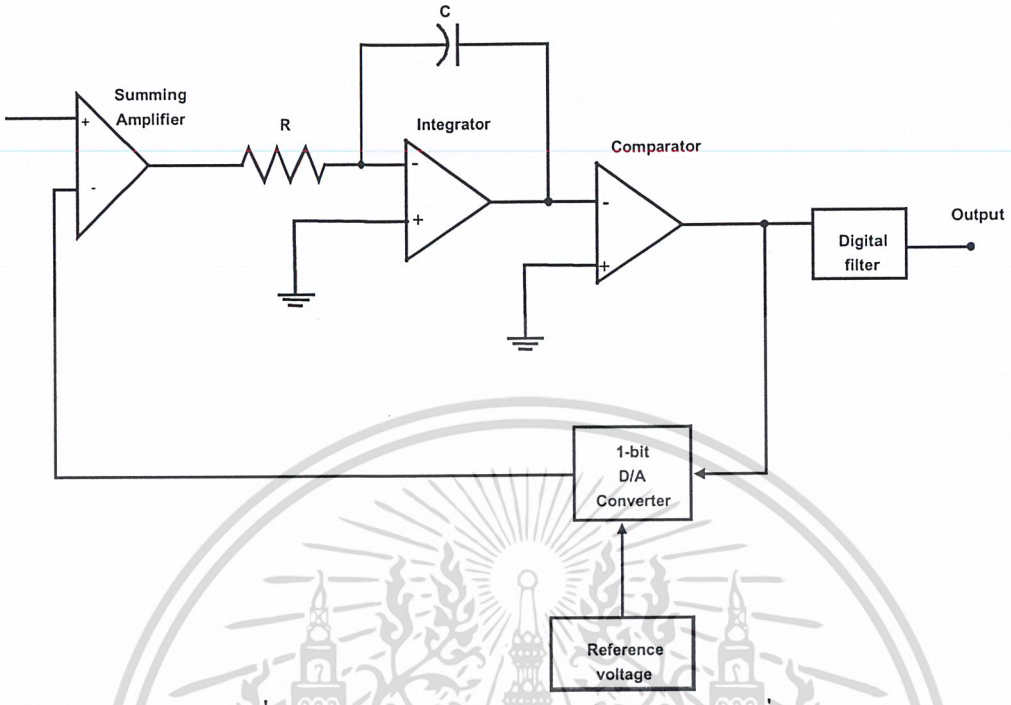
3.2 การออกแบบวงจรเข้ารหัสแบบเดลต้าซิกม่าแบบ1บิท

(Design of Delta-Sigma modulation with 1 bit)

สำหรับในบทนี้นั้น จะเป็นการนำเอาบล็อคไดอะแกรมของวงจรการเข้ารหัสจากสัญญาณอนาลอกมาเป็นสัญญาณดิจิตอล โดยใช้การเข้ารหัสแบบเดลต้าซิกม่ามอดดูเลชั่น โดยในลักษณะของการเข้ารหัสแบบนี้นั้น ได้แสดงดังในรูปที่ 3.2 แล้ว ซึ่งมีบล็อคไดอะแกรมตามที่ได้แสดงไว้ดังในรูป โดยที่การ

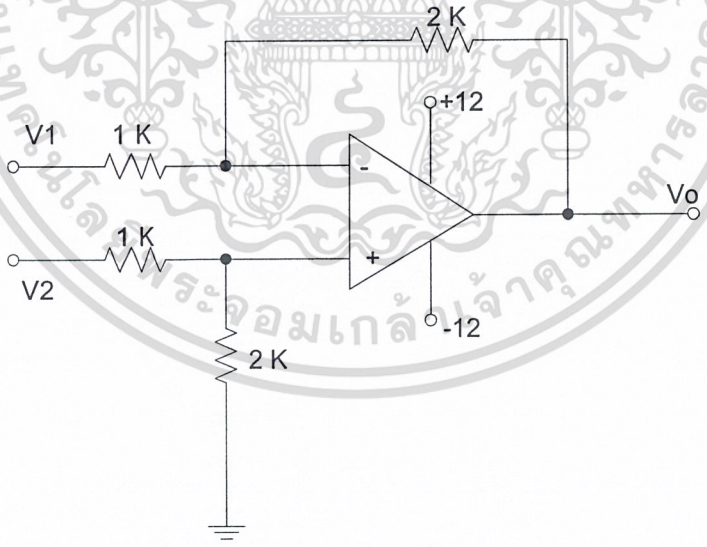
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ออกแบบจะไม่ออกแบบที่ซับซ้อนมากนัก เป็นการออกแบบลักษณะของวงจรที่ค่อนข้างธรรมดา แต่ต้องการความแม่นยำสูงนั่นเอง



รูปที่ 3.2 บล็อกไดอะแกรมของเดลต้าซิกม่ามอดดูเลชั่น

3.2.1 วงจรขยายผลต่างสัญญาณ (Subtracting Amplifier)



รูปที่ 3.3 รูปวงจรขยายผลต่างที่ใช้ในวงจร

จากรูป เราจะได้ลักษณะสัญญาณเป็นวงจรผลต่าง ที่เป็นลักษณะสัญญาณขนาด 2 เท่า โดยที่มีหลักการคิดเป็นดังนี้

พิจารณาตามหลักการของออปแอมป์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในกรณีของวงจรขยายกลับเฟส จะได้ $V_O = -V_1 \cdot \frac{R_2}{R_1}$

และในกรณีของวงจรขยายไม่กลับเฟสจะได้ $V_O = V_X(\frac{R_2}{R_1}+1)$

โดยที่ $V_X = V_2 \frac{R_4}{R_3+R_4}$

จากหลักการของทฤษฎี Superposition จะได้

$$V_O = -V_1.\frac{R_2}{R_1} + V_X(\frac{R_2}{R_1}+1)$$

$$= -V_1.\frac{R_2}{R_1} + V_2\frac{R_4}{R_3+R_4}(\frac{R_2}{R_1}+1)$$

กำหนดให้ค่า $\frac{R_4}{R_3} = \frac{R_2}{R_1}$ เราจะได้ว่าค่า $R_4 = R_2$

แทนค่าจะได้ว่า

$$V_O = V_2\frac{R_4}{R_3+R_4}(\frac{R_2+R_1}{R_1}) - V_1\frac{R_2}{R_1}$$

$$= V_2\frac{R_4}{R_1} - V_1\frac{R_2}{R_1}$$

จากเงื่อนไข $R_4 = R_2$ ทำให้ทราบว่า

$$V_O = \frac{R_2}{R_1}(V_2 - V_1)$$

ถ้าพิจารณาตามหลักความสัมพันธ์ที่ได้มานั้น วงจรขยายสัญญาณผลต่าง หรือวงจรลบสัญญาณนั้น มีลักษณะเป็นวงจรสองส่วนผสมกัน กล่าวคือมีวงจรขยายสัญญาณแบบกลับเฟสหรือ Inverting Amplifier ซึ่งในวงจรขยายแบบกลับเฟสนี้ จะทำให้เราทราบค่าอัตราการขยาย (Gain) ของวงจรได้ว่าเท่ากับ $V_O = -V_1.\frac{R_2}{R_1}$ และภายในวงจรนี้ ยังมีอีกส่วนประกอบหนึ่งที่สำคัญมาก คือวงจรขยายสัญญาณแบบไม่กลับเฟส หรือที่เราเรียกว่า Non-Inverting Amplifier ซึ่งคุณสมบัติของวงจรนี้จะทำหน้าที่ขยายสัญญาณแบบไม่กลับเฟส โดยที่จะมีค่าอัตราการขยายหรือเกนของระบบ มีค่าเท่ากับ

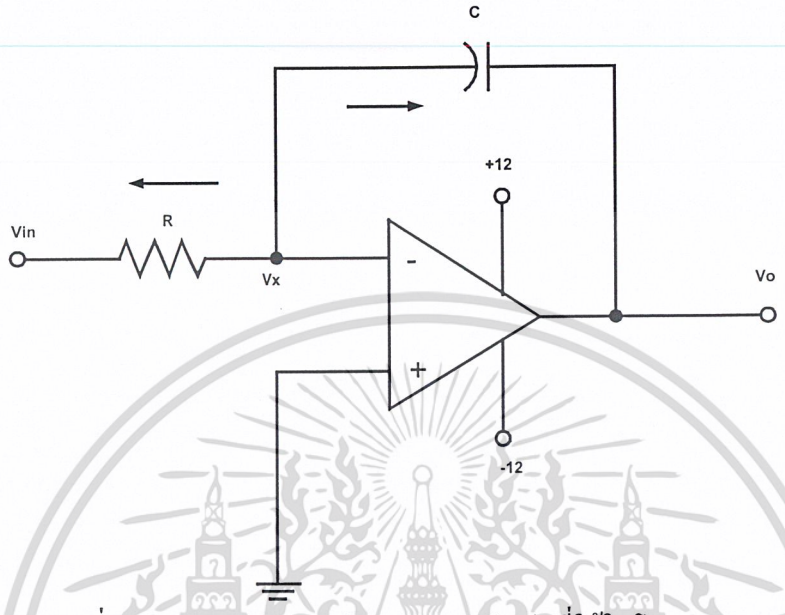
$$V_O = V_1\left(\frac{R_2}{R_1}+1\right) \tag{3.1}$$

ดังนั้น เราพิสูจน์แล้วว่า ภายในวงจรขยายผลต่างของสัญญาณหรือวงจรลบสัญญาณนั้น จะสามารถหาค่า ได้จากการนำเอาคุณลักษณะของวงจรขยายสองส่วนมารวมกัน และเมื่อใช้ทฤษฎีการแทนที่หรือทฤษฎี Superposition เข้ามาพิสูจน์ ทำให้เราจะได้เป็นวงจรลบออกมา และเมื่อนำมาใช้งานในโครงงานนี้ เราต้องการให้มีอัตราการขยายเป็น 2 เท่า ดังนั้นเราจะเลือกค่า $R_2 = R_4$ เท่ากับ 2 k และค่า $R_1 = R_3$ เท่ากับ 1 k จะทำให้มีอัตราการขยายเป็น 2 เท่า และยังเข้าเงื่อนไขที่จำเป็นสำหรับวงจรนี้ คืออัตราส่วนระหว่าง R_2 ต่อ R_1 เท่ากับอัตราส่วนระหว่าง R_4 และ R_3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2.2 วงจรปฏิกริยานุพันธ์หรือวงจรอินทริเกตแบบกลับเฟส (Inverting Integrating)

วงจรอินทริเกตแบบกลับเฟสนี้ มีลักษณะเด่นเป็นพิเศษ กล่าวคือ มีลักษณะคล้ายกับวงจรที่เป็นวงจรกรองความถี่ต่ำผ่านนั่นเอง โดยที่ต้องทำการตั้งค่าความถี่ที่เหมาะสม เพื่อที่จะได้ความถี่ที่เหมาะสม โดยในโครงงานนี้ ใช้ความถี่ของเสียงของเรา นั่นคือเป็นช่วงความถี่ที่ไม่เกิน 4 กิโลเฮิรตซ์



รูปที่ 3.4 รูปแสดงวงจรอินทริเกรตแบบกลับเฟสที่ใช้ในโครงงาน

โดยการคำนวณจะได้ดังความสัมพันธ์

พิจารณาที่โหนด V_x

กระแสไหลเข้า = กระแสไหลออก

$$\frac{V_X - V_{in}}{R} = C\frac{dV_C}{dt}$$

แต่จากรูป เราจะได้ว่า $V_c = V_o$

$$\frac{V_X - V_{in}}{R} = C\frac{dVo}{dt}$$

จากความสัมพันธ์ของออปแอมป์ จะได้ว่า $V_x = 0$ ดังนั้นจะได้ว่า

$$\frac{0 - V_{in}}{R} = C\frac{dVo}{dt}$$

$$\frac{-V_{in}}{R} = C\frac{dVo}{dt}$$

$$\frac{dV_O}{dt} = \frac{-V_{in}}{RC}$$

$$dV_O = \frac{-V_{in}}{RC}dt$$

$$\int dV_O = \int \frac{-V_{in}}{RC}dt$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$V_O = \frac{-1}{RC}\int V_{in}\,dt$$

นั่นคือ เราได้ความสัมพันธ์ว่า ความถี่ที่ต้องการคือ $\omega = \frac{1}{RC}$ และ $\omega = 2\pi f$

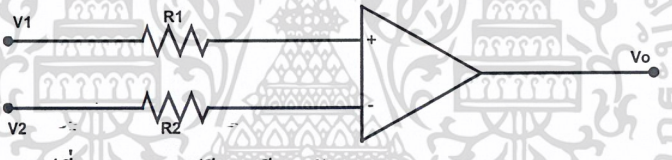
ความถี่ที่เราใช้ในการทดลองคือ 4 kHz แทนค่าในสมการจะได้

$$4\times10^{3} = \frac{1}{2\pi RC}$$

ดังนั้นเมื่อเราเลือก C ขนาด 0.01 uF นั่นคือค่าความต้านทานที่เราต้องการคือประมาณ 400 โอห์ม เลือกใช้ความต้านทานปรับค่าได้ ขนาด $1k\Omega$

3.2.3 วงจรเปรียบเทียบสัญญาณ (Comparator)

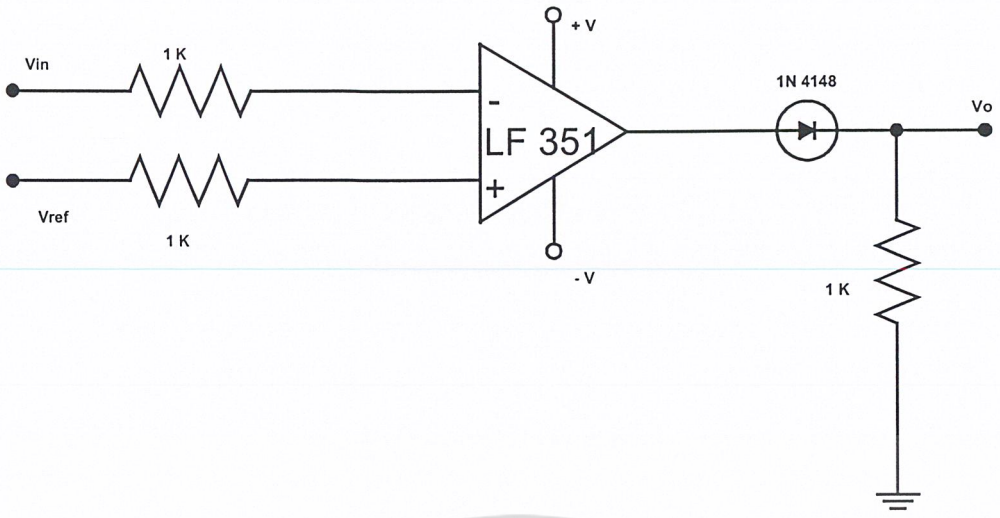
สำหรับภายในชิ้นงานนี้ เป็นการศึกษาการเข้ารหัสแปลงสัญญาณจากสัญญาณระบบอนาลอกเป็นสัญญาณดิจิตอล โดยที่ ต้องมีอุปกรณ์ที่ทำการแปลงสัญญาณจากอนาลอกเป็นสัญญาณดิจิตอล โดยที่อุปกรณ์การแปลงสัญญาณแบบนี้นั้น มีมากมายหลายประเภท แต่ในโครงงานนี้เราเลือกใช้อุปกรณ์ชนิดหนึ่งที่เราเรียกชื่อว่า อุปกรณ์เปรียบเทียบสัญญาณ หรือวงจรคอมพาราเตอร์โดยที่มีลักษณะการต่อเป็นดังรูปที่แสดง



รูปที่ 3.5 วงจรเปรียบเทียบสัญญาณ

โดยที่มีหลักการทำงานดังนี้ กล่าวคือเมื่อมีสัญญาณเข้ามาที่แหล่งจ่ายทั้งสองแหล่งจ่ายและ เมื่อผ่านวงจรเปรียบเทียบสัญญาณแล้ว จะได้ผลลัพธ์ออกมาเป็นสัญญาณรูปสี่เหลี่ยม (square wave) โดยที่ถ้าเกิดว่าสัญญาณที่เข้ามาผ่านทาง V1 มีค่ามากกว่า ขนาดสัญญาณที่ผ่านเข้ามาทาง V2 จะได้ผลลัพธ์สัญญาณออกมาเป็นสัญญาณบวก และ ถ้าเกิดในทางกลับกัน สัญญาณที่ได้ออกมาจะเป็นสัญญาณทางซีกลบนั่นเองนั่นคือ เราจะได้ว่าวงจรเปรียบเทียบสัญญาณนี้ จะทำหน้าที่เสมือนวงจรแปลงสัญญาณจากอนาลอกเป็นดิจิตอลแบบ 1 บิต นั่นเอง โดยที่ในการทำการทดลองได้ทำการปรับปรุงวงจรอีกนิดหน่อย เพื่อให้ได้ประสิทธิภาพออกมาอย่างสูงสุด โดยในการทดลอง เราได้นำไดโอดเบอร์ 1N4148 มาต่อเพื่อทำการตัดซีกลบออกไป เพื่อจะได้สัญญาณรูปสี่เหลี่ยมที่เป็นสัญญาณดิจิตอลออกมาอย่างสมบูรณ์แบบนั่นเอง โดยที่จะทำการดัดแปลงวงจรใหม่เพื่อแก้ไขเป็นวงจรเปรียบเทียบที่ทำหน้าที่เหมือนเป็นวงจรแปลงสัญญาณ 1 บิต ดังรูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

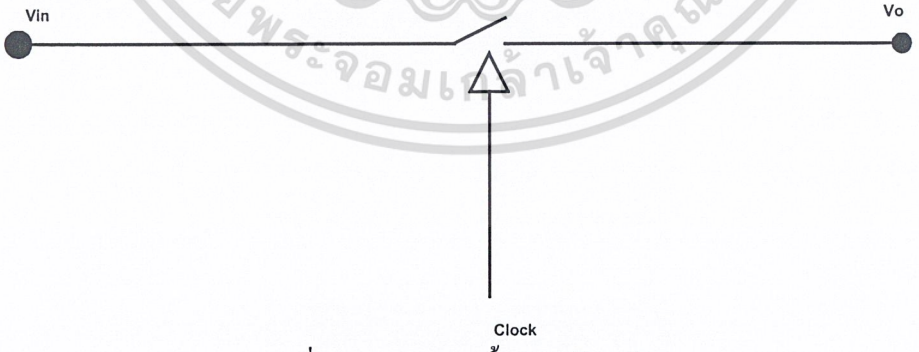


รูปที่ 3.6 วงจรที่ใช้ในการทดลอง

3.2.4 วงจรแซมปลิ้งแอนด์โฮลด์ (Sampling and Hold)

จากหลักการทำงานของวงจรดิจิตอล จำเป็นที่จะต้องมีอุปกรณ์ช่วยในการทำให้ความเร็วในการทำงานมีค่าสูงมากขึ้น ดังนั้นอุปกรณ์ประเภทนั้นจะต้องทำให้สัญญาณนาฬิกาเข้ามามีส่วนช่วยในการทำงานอีกด้วย ดังนั้นวงจรแซมปลิ้งแอนด์โฮลด์ จึงเป็นอีกวงจรหนึ่งที่มีความสำคัญมาก ในการที่จะทำงานของสัญญาณดิจิตอล โดยหลักการทำงานของวงจรนี้ ในโครงงานนี้ได้ใช้อนาลอกสวิตซ์ (Analog Switch) เบอร์ MAX 325 ของบริษัท Maxim โดยการทำงานของอนาลอกสวิตซ์ตัวนี้ จะทำงานได้จากสัญญาณนาฬิกา ที่เข้ามาที่ขาควบคุม และจะทำการสับทุกครั้งเมื่อมีสัญญาณนาฬิกาเข้ามาในวงจรนั่นเอง กล่าวคือทำให้ค่าอัตราการแซมปลิ้งเพิ่มขึ้น

วงจรแซมปลิ้งแอนด์โฮลด์นี้ ทางคณะผู้จัดทำได้ทำขึ้นมาเพื่อจะลองเปลี่ยนสัญญาณนาฬิกาเป็นหลาย ๆ ความถี่แล้วจะได้สังเกตผลลัพธ์ออกมา โดยที่มีการต่อดังแสดงได้ดังรูป



รูปที่ 3.7 วงจรแซมปลิ้งแอนด์โฮลด์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2.5 วงจรแปลงสัญญาณดิจิตอลเป็นอนาลอก (Digital to analog converter)

ภายในระบบการส่งสัญญาณแบบดิจิตอล การสื่อสารที่เป็นพื้นฐานหลักจะเป็นลักษณะสัญญาณอนาลอก เพราะสัญญาณทั่วไปจะเป็นสัญญาณอนาลอกซะเป็นส่วนใหญ่ ดังนั้นถ้าต้องการอุปกรณ์ที่สามารถใช้งานได้ในระบบดิจิตอล จึงต้องมีการใช้การแปลงสัญญาณจากสัญญาณอนาลอกเป็นดิจิตอลเสียก่อน โดยที่มีหลักการทำงานคร่าว ๆ ดังนี้

โดยที่จะพิจารณาว่า อุปกรณ์เข้ารหัสจะรับสัญญาณดิจิตอล และจะทำการแปลงเป็นสัญญาณอนาลอกออกมาที่เอาท์พุต โดยที่เป็นรูปแบบของกระแส หรือความต่างศักย์ รูปที่ 3.8 แสดงให้เห็นถึงความสัมพันธ์ของบล็อคไดอะแกรมพื้นฐานของระบบ D/A โดยสัญญาณป้อนเข้าทางวงจรแปลงสัญญาณนี้ เป็นสัญญาณในรูปแบบ D โดยถูกจัดอยู่ในรูปแบบของสัญญาณ 0 หรือสัญญาณ 1 โดยสัญญาณเอาท์พุตของอนาลอกที่อยู่ในรูปแบบของกระแส หรือว่าความต่างศักย์ โดยที่มีความสัมพันธ์เป็นไปตามสัญญาณป้อนเข้าดังนี้

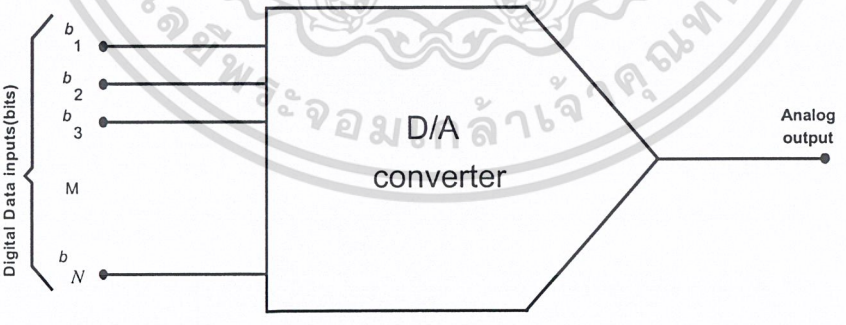
$$A = KV_{ref}D \tag{3.2}$$

โดยค่า K คือค่าสเกลแฟกเตอร์ (Scale Factor) ค่า V_{ref} คือค่า โวลต์เตจเปรียบเทียบ (voltage reference) และค่า D คือจำนวนบิตดิจิตอลที่ให้มา D สามารถแทนค่าได้คือ

$$D = \frac{b_1}{2^1} + \frac{b_2}{2^2} + \frac{b_3}{2^3} + \ldots + \frac{b_N}{2^N} \tag{3.3}$$

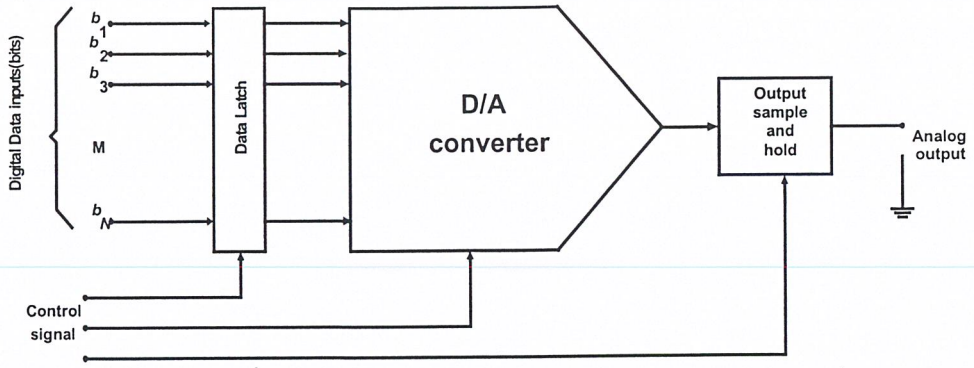
โดยที่ค่าของ N คือจำนวนทั้งหมดของบิต และค่า $b_1, b_2, \ldots$ คือค่าสัมประสิทธิ์ของแต่ละบิตโดยที่การควอนไตซ์สัญญาณจะเป็นแค่ 1 หรือ 0 ดังนั้น ค่าฟังก์ชันถ่ายโอนของ N-bit ดิจิตอลทูอนาลอกคอนเวอร์เตอร์ สามารถเขียนได้เป็นดังนี้

$$A = KV_{ref}\left[b_1 2^{-1} + b_2 2^{-2} + \ldots + b_N 2^{-N}\right] \tag{3.4}$$



รูปที่ 3.8 วงจรพื้นฐานของการเข้ารหัสจากดิจิตอลสู่อนาลอก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.9 วงจรไมโครโปรเซสเซอร์ D/A แบบมีวงจรอินเตอร์เฟส

ในการประยุกต์ใช้งานหลากหลาย โดยเฉพาะอย่างยิ่งที่ต้องการการอินเตอร์เฟสโดยตรงจากดาต้าบัส หรือไมโครโปรเซสเซอร์ ระบบการแปลงสัญญาณเบื้องต้นต้องการสัญญาณบางอย่างมาบวกเพื่อเป็นการรองรับความสามารถของวงจร อย่างเช่นวงจร Latch หรือวงจรแซมปลิ้งและโฮลด์ ดังแสดงในรูปที่ 3.9 ค่าฟังก์ชันของอินพุตที่ผ่านมาจากวงจร Latch จะถูกเก็บไว้ในรูปแบบของดิจิตอลอินพุต และจะทำการป้องกันการเปลี่ยนแปลงจนกระทั่งสเต็ปการเปลี่ยนแปลงจะเสร็จสมบูรณ์ และในทางเดียวกันในวงจรแซมปลิ้งแอนด์โฮลด์ จะทำการเก็บค่าระดับของสัญญาณป้อนออกโดยจะอ้างอิงกับระดับสัญญาณสุดท้าย ขณะที่สัญญาณดิจิตอลตัวใหม่จะทำการป้อนเข้ามาที่ Data Latch จะทำการป้อนเข้ามาอีกที เพื่อจะทำสเต็ปต่อไป

3.2.6 วงจรพื้นฐานของการแปลงดิจิตอลเป็นอนาลอก (Basic D/A Converter circuit)

ในบทนี้ จะกล่าวถึงบางส่วนของวงจรพื้นฐานของการแปลงสัญญาณ โดยได้จากการทำงานตามหลักการของการแปลงสัญญาณจากดิจิตอลเป็นอนาลอกนั่นเอง โดยที่ในการออกแบบวงจรนี้เริ่มต้นค่อนข้างจะยุ่งยาก แต่จะง่ายในการทำงานต่อไป

วงจรพื้นฐานการแปลงสัญญาณจะเหมาะกับอุปกรณ์แบบโมโนลิธิค โดยมีรูปแบบหลักคือ แบบการสเกลโดยกระแส (Current Scaling)และแบบสเกลโดยความต่างศักย์ (Voltage Scaling) แบบการสเกลโดยประจุ (Charge Scaling) โดยในการทดลองนี้ ได้ใช้วงจรสเกลโดยกระแส ดังนั้นทางผู้จัดทำจะได้ทำการเสนอแบบนี้เพียงแบบเดียว

วงจรแปลงสัญญาณจากดิจิตอลเป็นอนาลอกโดยสเกลกระแส (Current Scaling D/A Circuits)

ในรูปแบบการแปลงสัญญาณจากดิจิตอลเป็นอนาลอกที่ทำงานตามหลักการสเกลกระแส การเปลี่ยนจะทำการแปลงสัญญาณของเซตของกลุ่มบิตเลขฐานสอง โดยมีการถ่วงน้ำหนักของกระแส และจะทำการรวมผลรวมของกระแสไปค์ที่สัญญาณด้านออก รูปที่ 3.10- 3.11 จะแสดงให้เห็นถึงสองแบบของรูปวงจรการสเกลโดยกระแส โดยการใช้ผลรวมของกลุ่มเซตของเลขฐานสอง $I_1, I_2, \ldots, I_N$ โดยที่กระแสพวกนี้จะทำการสร้างมาจากวงจร binary-weight resistor network โดยมีสัญญาณจากโวลเตจอ้างอิงตำแหน่งของสวิตซ์ $S_1, S_2, \ldots, S_N$ จะอ้างอิงถึงค่าของบิต ค่าสัมประสิทธิ์ของพวกเหล่านี้ จะมีค่าเป็น

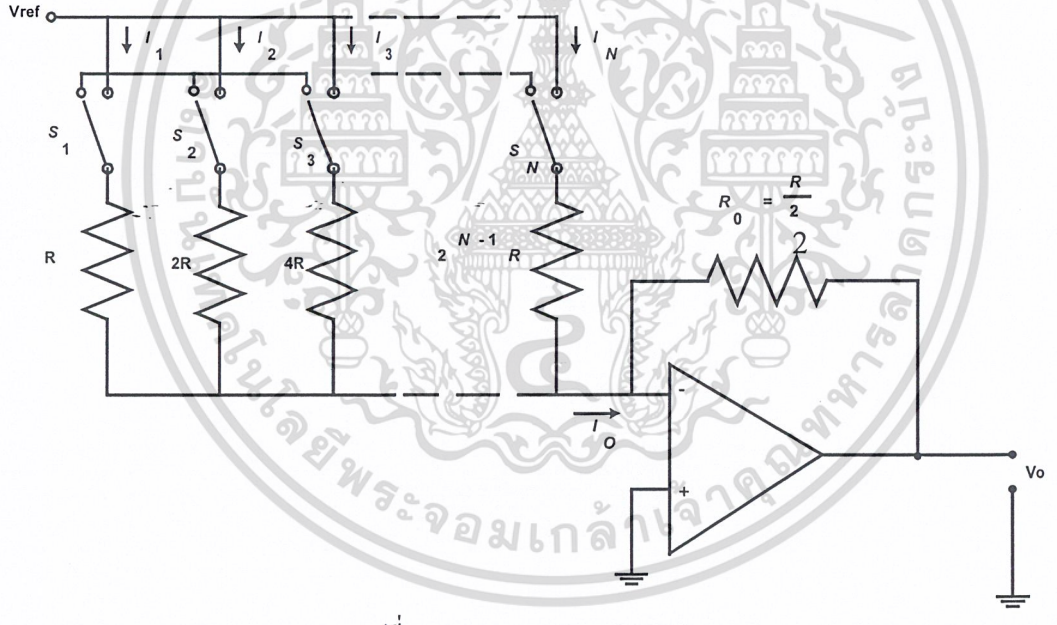
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แค่ 0 หรือ 1 ขึ้นอยู่กับการเปลี่ยนแปลงของสวิตซ์ในตำแหน่งที่ 1 หรือ 2 โดยกระแสที่เอาท์พุต จะเป็นผลรวมที่กราวน์ และเป็นผลให้กับวงจรขยายกลับเฟส และทำให้ได้ผลลัพธ์เป็นสมการ

$$V_O = -I_O R_O = -Vref\,(b_1 2^{-1} + \ldots + b_N 2^{-N}) \tag{3.5}$$

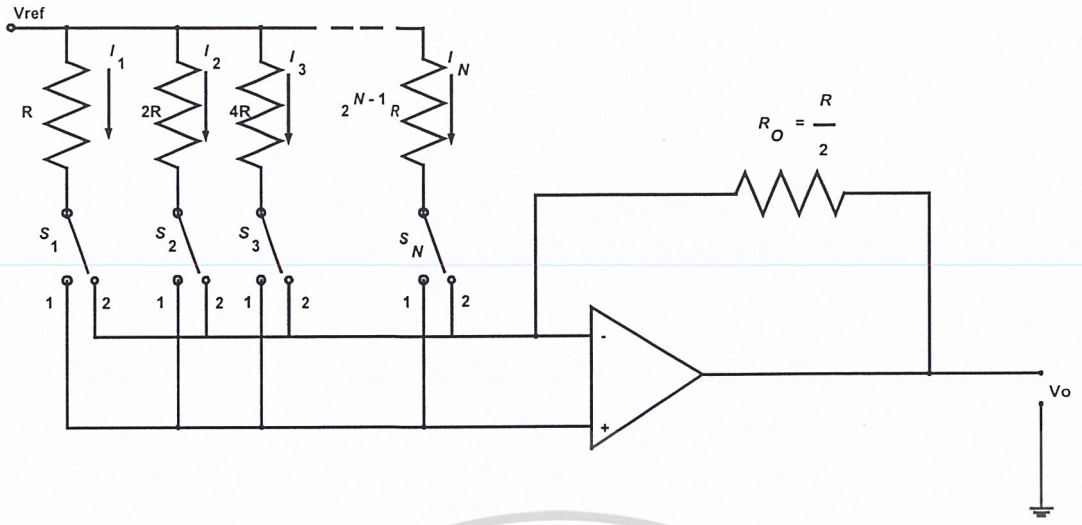
โดยที่ตัวออปแอมป์จะมีตัวต้านทานที่มีการป้อนกลับ R_o โดยค่านั้นจะต้องเลือกให้เหมาะสม และการเลือกที่เหมาะสมควรจะเท่ากับ R/2

ค่าสัมประสิทธิ์บิตของข้อมูลจะพิจารณาโดยตำแหน่งของการตอบสนองร่วมกันของสวิตซ์ดังรูป หนึ่งในเงื่อนไขการทำงานของสวิตซ์จะขึ้นกับกระแสหรือโวลเตจก็ได้ โดยที่จะเป็นฟังก์ชันของสัญญาณดิจิตอลที่เข้ามา โดยได้พิจารณาจากรูปที่ 3.10 เป็นรูปแสดงวงจรที่เรียกว่าโวลเตจสวิตซ์ชิ่ง (Voltage Switching) จะทำการตั้งค่าของความต่างศักย์โดยที่จะมีการผ่านตัวต้านทานที่ถูกถ่วงค่า จะทำการเปลี่ยนไปสู่กราวน์หรืออาจจะเปลี่ยนไปเป็น Vref และในรูปที่ 3.11 จะแสดงถึงอีกรูปแบบหนึ่งของการสวิตซ์ชิ่ง โดยมีการจัดรูปแบบใหม่เหมือนกับรูปแบบวงจรเดิม ในกรณีนี้ หนึ่งขั้วของตัวต้านทานจะยังคงต่อเชื่อมกับค่าโวลเตจอ้างอิง(Vref) และอีกขั้วหนึ่งยังคงเชื่อมต่อกับสวิตซ์และกราวน์โดยที่เป็นกราวน์จริง (actual ground) ตำแหน่ง 1 และเป็นกราวน์เสมือน (Virtual ground) จากของอินพุตของออปแอมป์ โดยวิธีการนี้เราจะเรียกว่า เคอร์เรนท์สเกลลิ่ง (Current Scaling)



รูปที่ **3.10** วงจร Voltage Scaling

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

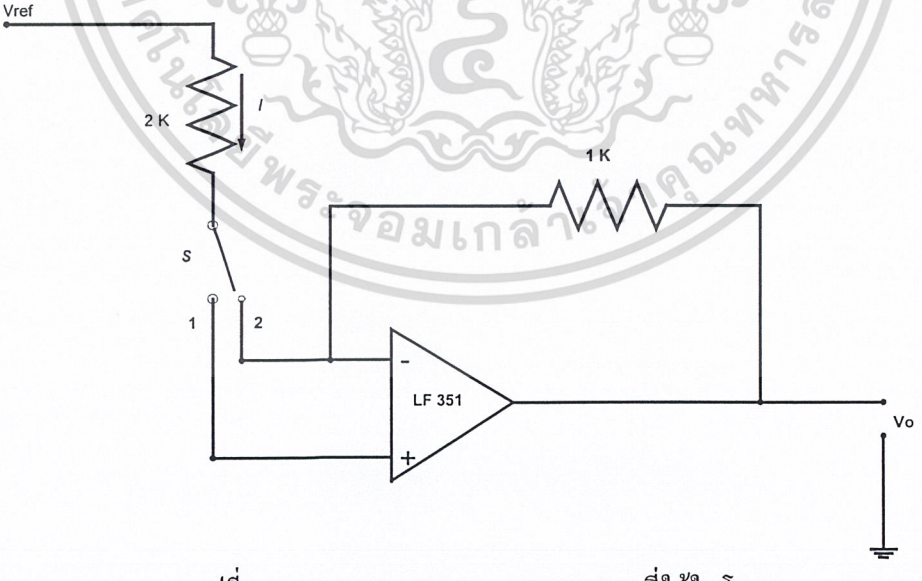


รูปที่ 3.11 วงจร Current Scaling

สำหรับโครงงานนี้ ได้ใช้สวิตซ์เป็นสวิตซ์แบบอนาลอกสวิตซ์ โดยใช้ไอซีเบอร์ MAX 325 โดยอาศัยหลักการทำงานคล้ายกับวงจรแซมปลิ้งแอนด์โฮลด์ และใช้ออปแอมป์เบอร์ LF 351 เป็นแอมพลิฟลายขยายสัญญาณ และจากหลักการของวงจร ถ้าต้องการกี่บิต ให้ใส่แทนค่า N ลงไป ในวงจรการแปลงสัญญาณแบบเดลต้าซิกม่านั้น เราใช้วงจรแปลงสัญญาณขนาด 1 บิต ดังนั้น เลือกค่า N = 1 แทนค่าลงในสมการค่า R

$$2^{1-1}R = 2^0 R = R$$

ดังนั้น เมื่อเลือกค่า R ได้แล้ว จะทำให้รู้ค่า Ro ด้วย ในโครงงานนี้ ทำการเลือกค่าความต้านทาน โดยที่ ค่า R = 2 k ดังนั้น Ro = 1 k ทำให้ได้วงจรแปลงสัญญาณดิจิตอลเป็นอนาลอกขนาด 1 บิตเป็นดังนี้



รูปที่ 3.12 วงจร D/A แบบ Current Scaling ที่ใช้ในโครงงาน

จากการที่ได้กล่าวมาแล้วข้างต้น เป็นการออกแบบเบื้องต้นสำหรับวงจรการเข้ารหัสแบบเดลต้าซิกม่ามอดูเลชั่น แต่ในโครงงานฉบับนี้ ได้นำเอาส่วนประกอบหลักของวงจรการเข้ารหัสแบบเดลต้าซิกม่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

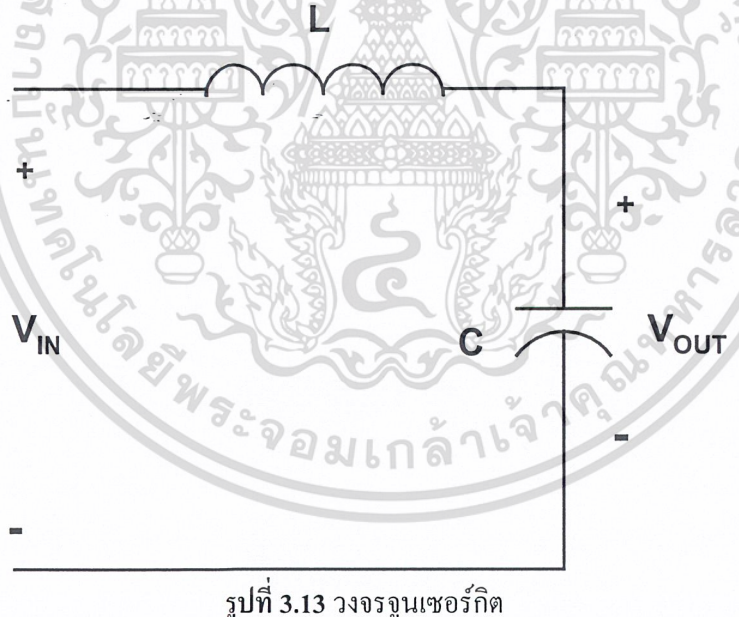
มอดูเลชั่นมาทำการประยุกต์ใช้ โดยที่ได้นำมาประยุกต์เป็นวงจรแปลงพลังงานกระแสตรงเป็นพลังงานกระแสสลับ กับวงจรสวิตซ์ความแตกต่างของกระแสแบบเต็มช่วงด้วยความเร็วสูง โดยที่ทั้งสองวงจรนี้ใช้การเข้ารหัสแบบเดลต้าซิกม่าเหมือนกัน แต่รูปแบบไม่เหมือนกัน โดยที่วงจรแปลงพลังงานกระแสตรงเป็นกระแสสลับนั้น ใช้บล็อคไดอะแกรมเหมือนกับรูปแบบที่นำเสนอ แต่ในส่วนของวงจรสวิตซ์ความแตกต่างของกระแสแบบเต็มช่วงด้วยความเร็วสูงนั้น จะใช้เป็นลักษณะของมอสทรานซิสเตอร์มาต่อประกอบกันเพื่อให้ได้ลักษณะของสัญญาณการเข้ารหัสแบบเดลต้าซิกม่ามอดูเลชั่นนั่นเอง

3.3 วงจรบัคส์คอนเวอร์เตอร์ (Buck Converter circuit)

สำหรับวงจรบัคส์คอนเวอร์เตอร์ มีหน้าที่หลักในการเหนี่ยวนำสัญญาณเข้ามาเพื่อนำมาจูนสัญญาณที่ได้ ซึ่งในการทำงานนั้นได้ให้ตัวสัญญาณที่ผ่านมาจากวงจรเข้ารหัสแบบเดลต้าซิกม่ามอดูเลชั่นเป็นสัญญาณควบคุม แล้วเข้ามาที่อินพุตของอินเวอร์เตอร์ แล้วสัญญาณที่ได้ออกมาจะนำไปผ่านตัวเหนี่ยวนำและตัวเก็บประจุ ซึ่งจะได้ความสัมพันธ์ของความถี่กับสัญญาณที่เข้ามาจะได้ดังนี้

$$f_C = \frac{1}{2\pi\sqrt{LC}} \tag{3.6}$$

ซึ่งหาได้จากรูป



รูปที่ 3.13 วงจรจูนเซอร์กิต

จากรูป เราต้องการหาค่าฟังก์ชันถ่ายโอนได้จาก

$$T = \frac{V_O}{V_{in}}$$

จากรูป $$V_{in} = I_{in}(R_L + R_C)$$

$$R_L = S \cdot L$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$R_C = \frac{1}{S \cdot C}$$

$$R_L + R_C = \frac{S^2LC + 1}{SC}$$

จากรูป $$V_O = I_{in} \cdot R_C$$

$$V_O = \frac{I_{in}}{SC}$$

$$\therefore \quad \frac{V_O}{V_{in}} = \frac{1}{S^2LC + 1}$$

เนื่องจากการหาฟังก์ชันถ่ายโอน เราจะพิจารณาที่ฟรีเควนซี่โดเมน ถ้านำมาทำเป็นไทม์โดเมน เราต้องทำการ อินเวอร์สลาปาส แล้วจะได้

$$\varpi = \frac{1}{\sqrt{LC}}$$

$$f = \frac{1}{2\pi\sqrt{LC}}$$

ทำการเลือกค่าความถี่ที่ต้องการ ในโครงงานชุดนี้ เลือกไว้ที่ 1.5 kHz ทำการเลือกจะได้ ค่าตัวเก็บประจุเป็น 100 uF กับตัวเหนี่ยวนำเป็น 100 mH และทำการต่อตัวรับภาระ (Load) เข้าไปโดยใช้ค่าตัวต้านทานเป็น $1\text{k}\Omega$ นั่นเอง

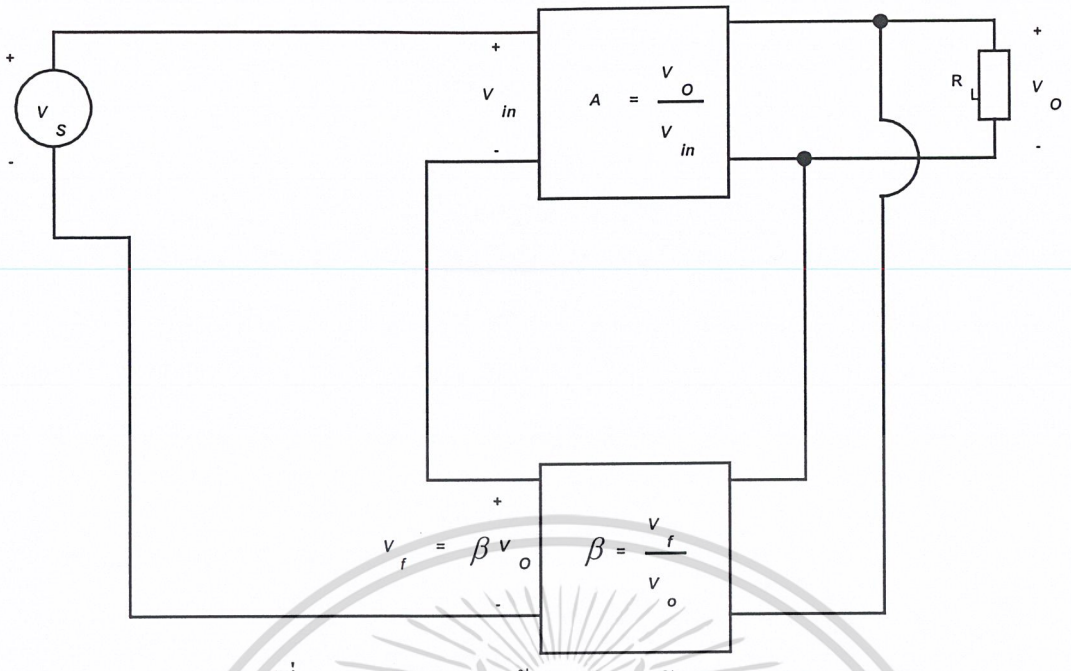
3.4 วงจรขยายแบบป้อนกลับ (β-Network)

เมื่อทำการพิจารณาหลักของวงจรป้อนกลับแบบคร่าว ๆ แล้วพิจารณาพารามิเตอร์ที่สำคัญของระบบ ซึ่งพารามิเตอร์สำคัญของระบบมีทั้งหมด 3 ชนิดคือ

1. อัตราการขยายที่ไม่มีการป้อนกลับ (Gain without Feedback; A)
2. ตัวประกอบการป้อนกลับ (β)
3. อัตราการขยายป้อนกลับ (A_f)

ซึ่งวงจรขยายแบบป้อนกลับนั้น แบ่งด้วยกันทั้งหมด 4 ประเภท คือ การป้อนกลับแรงดันแบบอนุกรม การป้อนกลับแรงดันแบบขนาน การป้อนกลับกระแสแบบอนุกรม และ การป้อนกลับกระแสแบบขนาน ซึ่งพิจารณาได้ดังรูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.14 รูปแสดงวงจรป้อนกลับแรงดันแบบอนุกรม

จากรูปที่ 3.14 แสดงการต่อวงจรขยายป้อนกลับที่มีการป้อนกลับแรงดันแบบอนุกรม สังเกตว่าแรงดันเอาต์พุตป้อนกลับเข้าสู่วงจรในลักษณะอนุกรมกับสัญญาณอินพุต ซึ่งจะหาค่าอัตราขยายป้อนกลับได้ดังนี้

กรณีไม่มีการป้อนกลับ $(V_f = 0)$ อัตราขยายที่ไม่มีการป้อนกลับของวงจรขยายหลัก จะมีค่าเป็น

$$A = \frac{V_O}{V_S} = \frac{V_O}{V_i} \tag{3.7}$$

กรณีมีสัญญาณป้อนกลับ (V_f) อนุกรมกับอินพุต ทำให้

$$V_i = V_S - V_f$$

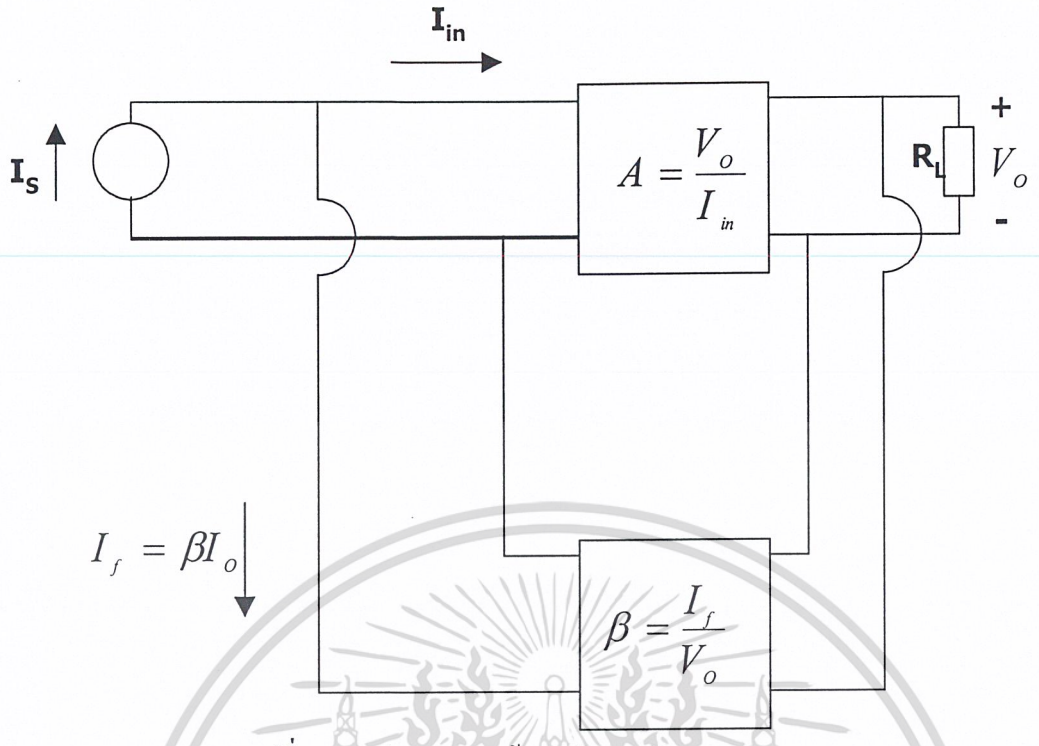
$$V_O = AV_i = A(V_S - V_f) = AV_S - AV_f = AV_S - A(\beta V_O)$$

$$(1 + \beta A)V_O = AV_S$$

จากสมการข้างต้น หาค่าอัตราการขยายป้อนกลับของวงจรขยาย ได้จาก

$$A_f = \frac{V_O}{V_S} = \frac{A}{1 + \beta A} \tag{3.8}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.15 รูปแสดงวงจรป้อนกลับแรงดันแบบขนาน

รูปที่ 3.15 แสดงวงจรป้อนกลับแรงดันแบบขนาน สังเกตง่ายๆว่า มีแรงดันเอาต์พุตป้อนกลับเข้าสู่วงจรในลักษณะขนานกับสัญญาณอินพุต ซึ่งหาค่าอัตราการขยายป้อนกลับ (A_f) ได้ดังนี้

$$A_f = \frac{V_O}{I_S} = \frac{AI_i}{I_i + I_f} = \frac{AI_i}{I_i + \beta V_O} = \frac{AI_i}{I_i + \beta A I_i}$$

$$= \frac{A}{1 + \beta A} \qquad (3.9)$$

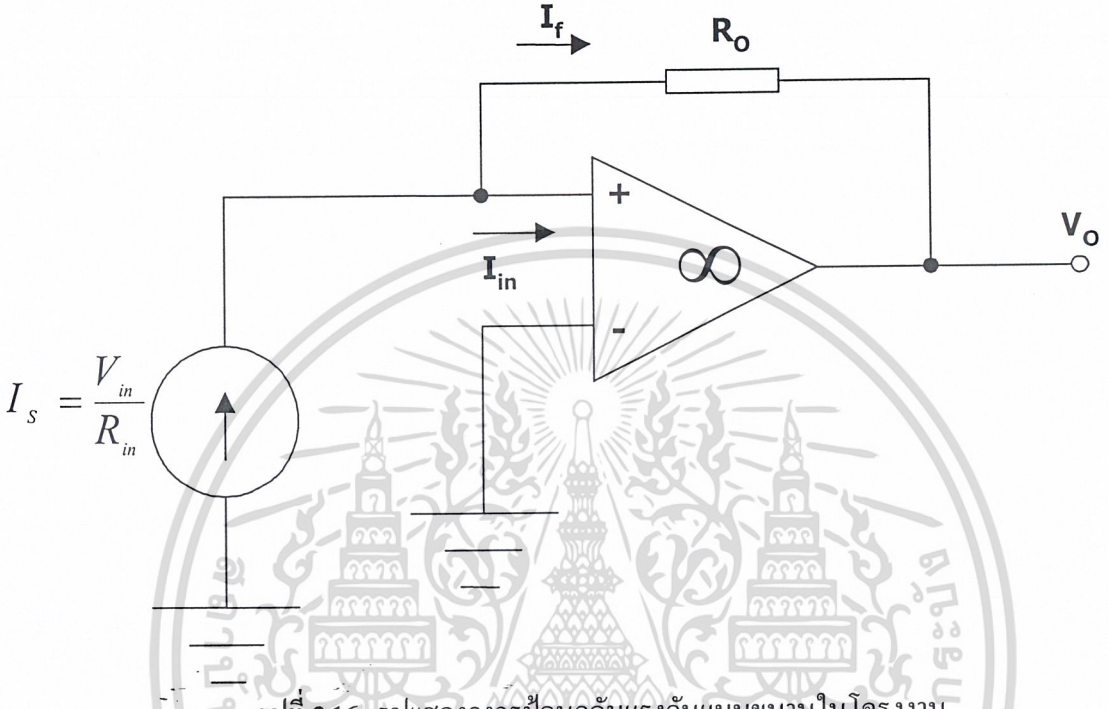
จากสมการ(3.8) และ สมการ (3.9) แสดงให้เห็นว่า ค่าอัตราการขยายป้อนกลับ จะมีค่าลดลงเมื่อเทียบกับค่าอัตราขยายที่ไม่มีการป้อนกลับ ด้วยค่า $1 + \beta A$ จึงเป็นข้อยืนยันว่า วงจรที่มีการป้อนกลับแบบลบ ทำให้อัตราขยายของวงจรลดลง

ข้อดีของวงจรขยายป้อนกลับแบบลบ

1. ค่าความต้านทานขาเข้า (Input impedance) ของวงจรป้อนกลับ และ ค่าความต้าน-ทานขาออก (Output impedance) จะเพิ่มขึ้น หรือ ลดลง ก็ได้ ขึ้นอยู่กับประเภทของวงจรป้อนกลับ เพราะว่าค่าความต้านทานเหล่านี้ขึ้นอยู่กับแฟคเตอร์ $1 + \beta A$
2. ลดความเพี้ยนอันเนื่องมาจากความถี่
3. ลดคลื่นรบกวน และความเพี้ยนที่ไม่เป็นเชิงเส้น
4. เพิ่มแบนด์วิดธ์ทำให้ผลตอบสนองของวงจรดีขึ้น
5. ให้เสถียรภาพของวงจรขยายดีขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำหรับการป้อนกลับแบบบวก (Active feedback) มีค่า $A_f \rangle A$ แต่มีข้อเสียหลายประการ เช่น อัตราการขยายไวต่อการเปลี่ยนแปลงของพารามิเตอร์ต่าง ๆ ในวงจรขยาย ค่าแบนด์วิดธ์ลดลง ความเพี้ยน และ คลื่นรบกวนมีมากขึ้น แต่ในทางปฏิบัตินั้น เราแทบจะไม่ใช้วงจรขยายป้อนกลับแบบบวกเลย ยกเว้นเสียแต่ในกรณีพิเศษจริง ๆ เท่านั้น ดังนั้นเราจึงไม่ต้องนิยามการป้อนกลับแบบบวก แล้วพิจารณาแต่การป้อนกลับแบบลบเท่านั้น



รูปที่ 3.16 รูปแสดงวงจรป้อนกลับแรงดันแบบขนานในโครงงาน

เราสามารถนำวงจรออปแอมป์ ที่มีอัตราการขยายแบบคงที่ มาแปลงเป็นวงจรป้อนกลับแรงดันแบบขนาน ดังรูปที่ 3.16 และถ้าเราพิจารณาคุณลักษณะต่าง ๆ ของวงจรป้อนกลับแรงดันแบบขนาน จะได้

$$\text{Input impedance} = \frac{Z_i}{1+\beta A} \tag{3.10}$$

$$\text{Output impedance} = \frac{Z_O}{1+\beta A} \tag{3.11}$$

และพิจารณาคุณสมบัติของออปแอมป์ทางอุดมคติ ให้กระแสเข้า และแรงดันด้านเข้าเป็น 0 ทั้งหมด จะทำให้อัตราขยายแรงดันไฟฟ้าเป็นอนันต์ ดังนี้

$$A = \frac{V_O}{I_i} \tag{3.12}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\beta = \frac{I_f}{V_O} = \frac{-1}{R_O} \tag{3.13}$$

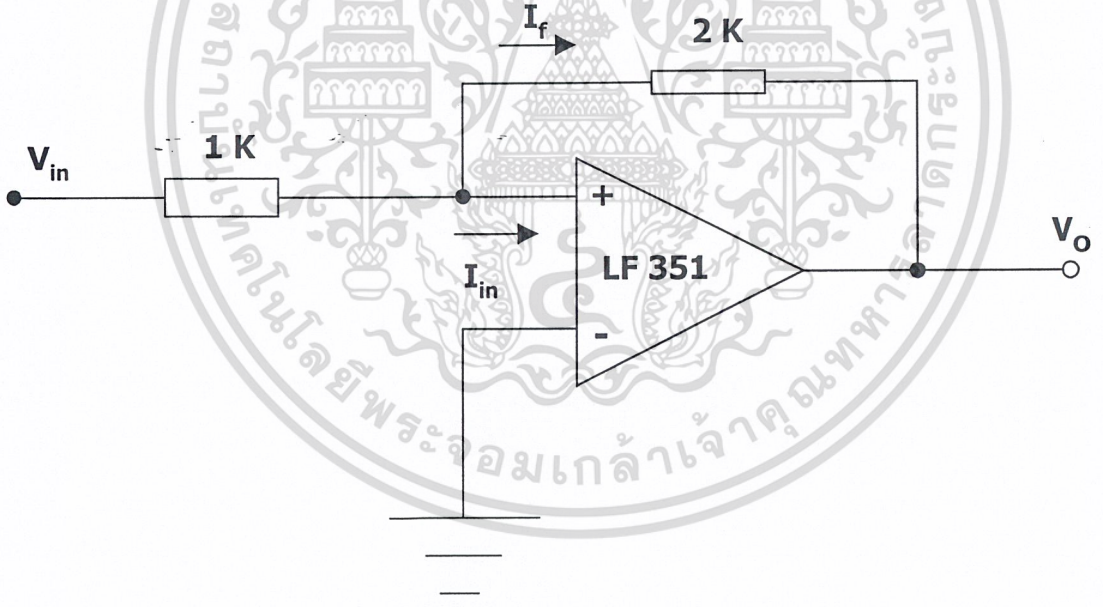
อัตราการขยายป้อนกลับ มีค่าเป็น

$$A_f = \frac{V_O}{I_S} = \frac{V_O}{I_i} = \frac{A}{1+\beta A} = \frac{1}{\beta} = -R_O \tag{3.14}$$

หาค่าอัตราขยายแรงดันไฟฟ้าที่มีการป้อนกลับ ได้จาก

$$A_{vf} = \frac{V_O}{I_O}\frac{I_S}{V_i} = (-R_O)\frac{1}{R_i} = \frac{-R_O}{R_i} \tag{3.15}$$

จากความต้องการของระบบ ระบบต้องการให้อัตราขยายแรงดันไฟฟ้าที่มีการป้อนกลับ มีค่าเป็น 3 dB หรือว่าเป็น 2 เท่านั่นเอง ดังนั้นจะได้ค่าความสัมพันธ์ $R_O = 2R_i$ ในโครงงานนี้ เลือก R_O เป็น 2 k ส่วน R_i เลือก 1 k



รูปที่ 3. 17 รูปวงจรป้อนกลับที่ใช้ในโครงงาน

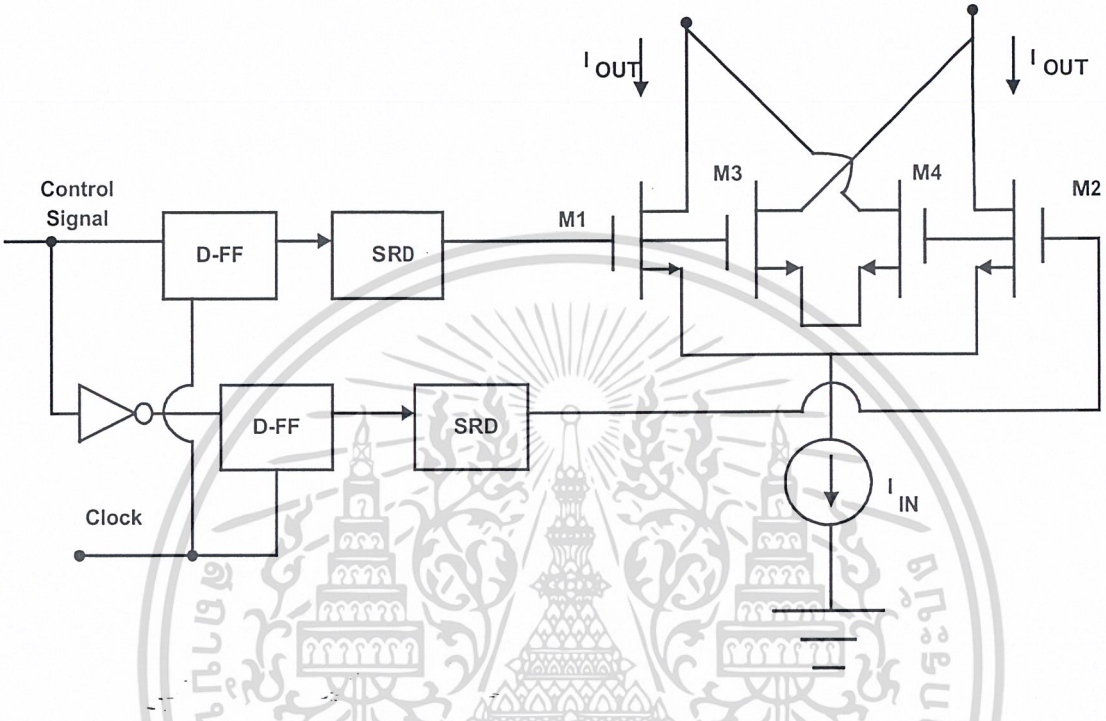
3.5 การออกแบบวงจรสวิตซ์กระแส

ในระบบช่วงเวลาที่ต่อเนื่องนั้นค่อนข้างที่จะอ่อนไหวง่ายต่อช่วงเวลา การเปิดของสวิตซ์โดยที่ต้องการสวิตซ์ที่สามารถให้ค่าความเร็วในการออนของสวิตซ์ (ช่วงเวลากระแสขึ้น) และความเร็วในการออฟสวิตซ์ (ช่วงเวลากระแสตก) หนึ่งวิธีที่จะช่วยให้ผ่อนคลายความต้องการสำหรับการแมทช์ของความเร็วในการออนและออฟของสวิตซ์คือ วงจรกลับสู่ศูนย์ (Return to zero) โดยที่วงจรกลับสู่ศูนย์ การ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สวิตช์กระแสจะทำการออนสวิตช์ในช่วงเวลาที่แน่นอนในแต่ละวงรอบในช่วงของการทำงาน ดังนั้นถ้าเกิดว่าในช่วงเวลาที่ออนและออฟของสวิตช์เกิดไม่ตรงกันขึ้นมา ทำให้เกิดปัญหากับระบบได้ ดังนั้นในโครงงานนี้ได้นำเสนอวิธีที่จะกำจัดส่วนประกอบพวกนี้ออกไป

3.5.1 วงจรสวิตช์กระแสแบบที่ไม่มีการกลับสู่ศูนย์ (Current Switch Without Return-to-zero)



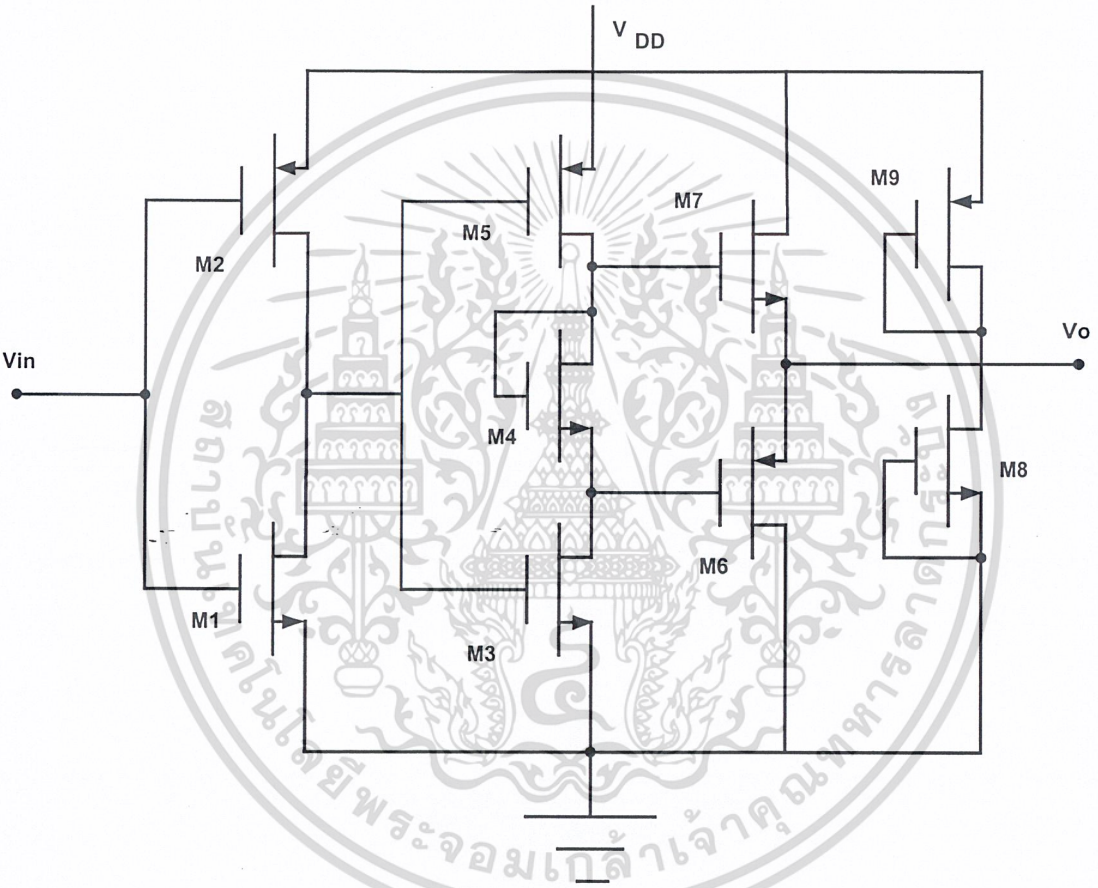
รูปที่ 3.18 รูปแสดงวงจรสวิตช์กระแสความเร็วสูง

คุณลักษณะของวงจรสวิตช์กระแสด้วยความเร็วสูง จะประกอบด้วย nMOS มาทำหน้าที่เป็นคู่แตกต่าง (Differential pair) ดังแสดงในรูปที่ 3.18 ค่าผลลัพธ์ที่จะเป็นไปได้ของคอมม่อนโหมดของกระแสสไปค์นั้นถูกลดโดยการลดการเหนี่ยวนำของความต่างศักย์บนเกต ค่าความต่างศักย์ที่สวิงควรจะเพียงพอกับช่วงเวลาการออนและออฟของทรานซิสเตอร์ และวงจรSRD มีหน้าที่ที่จะใช้งานเพื่อจุดประสงค์นี้ เมื่อทำการลดความต่างศักย์ของเกตลงแล้ว จะทำให้ประจุที่มาจากหรือที่ส่งออกจากเกตนั้น จะถูกทำให้ลดลดไปได้ด้วย ซึ่งจะทำให้ลดค่าเวลาการสวิตช์ของทรานซิสเตอร์ได้ และตัวดีฟลิปฟลอปทำหน้าที่มาซิงโครไนซ์ตัวสวิตชิ่ง ทรานซิสเตอร์ M3 M4 ต้องเป็นดัมมี่ด้วยเช่นกัน และขนาดจะเท่ากับ M1 M2 เพื่อที่จะกำจัดประจุฟีดทรู

ตัวกำจัดคล็อคฟีดทรูจะเป็นประโยชน์มาจากดัมมี่ทรานซิสเตอร์ M3 และ M4 จะมีคุณสมบัติทางเรขาคณิตเหมือนกับ M1 และ M2 ทุกประการ และมีค่าตัวเก็บประจุที่แมทช์กัน โดยที่แหล่งจ่ายที่มาจ่ายให้ M3 และ M4 นั้นเป็นแหล่งจ่ายที่ลอย ๆ ไม่มีอ้างอิงจริง ๆ และเกือบจะปิดแทบตลอดเวลา จะไม่มีแหล่งจ่ายใด ๆ เข้ามาช่วยเลย โดยจะมีแค่ค่าตัวเก็บประจากเกตทูเดรนโอเวอร์แลปเท่านั้น เพื่อที่จะทำให้แน่ใจในการกำจัดทิ้ง M1 และ M2 ต้องอยู่ในสภาวะพร้อมทำงานหรืออยู่ในช่วงคัทออฟก็ได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ถ้าค่าความต่างศักย์ของแต่ละตัวที่โหนดสุดท้ายนั้น ออกมาแล้วน้อยกว่า $V_{OH} - V_{THNB}$ โดยที่ V_{OH} คือค่าความต่างศักย์ที่สูงที่สุดที่หลุดออกมาจาก SRD (Switch Reduce Driver) และค่า V_{THNB} คือค่าเทสโฮลด์โวลเตจของเอ็นมอส กับผลจากตัว ค่าตัวเก็บประจุระหว่างเกทสู่เดรน(C_{GD})นั้นของ M1 และ M2 ไม่ง่ายที่จะกลายเป็น ค่าเก็บประจุระหว่างเกทสู่เดรนโอเวอร์แลป(C_{GDO}) บางส่วนของค่าตัวเก็บประจุระหว่างเกทสู่แชนเนล (C_{GC}) จะสร้างเพื่อเข้าสู่ค่าเก็บประจุระหว่างเกทสู่เดรน ซึ่งเป็นผลจากการที่ไม่สามารถกำจัดได้อย่างสมบูรณ์นั่นเอง โดยที่ในทางที่จริงแล้วค่าผลลัพธ์สุดท้ายควรจะอยู่เหนือ $V_{OH} - V_{THNB}$ วงจร SRD เป็นวงจรที่ป้องกันไม่ให้ทรานซิสเตอร์เหล่านี้ ทำงานในช่วงไตรโอด และเกิดผลของคลอคฟีดทรูน้อยมาก



รูปที่ 3. 19 รูปวงจร SRD

ในรูปที่ 3.19 แสดงให้เห็นลักษณะวงจรของ SRD โดยที่โวลเตจสวิงจะถูกลดลงโดยแหล่งจากทรานซิสเตอร์เอ็นมอส (M7) และ พีมอส (M6) สำหรับ M1 จนถึง M4 เป็นสองอินเวอร์เตอร์ที่ทำหน้าที่ขับ M6 กับ M7 โดยที่ M5, M6, M7 ทำหน้าที่เหมือนกับวงจรขยายกำลังคลาสเอบี สำหรับตัวทรานซิสเตอร์ M8 กับ M9 จะเป็นตัวทำหน้าที่โหลดให้กับวงจร เพื่อให้ได้ลักษณะโวลเตจสวิงตามต้องการ

ผลลัพธ์ของการสวิงโวลเตจจะถูกตัดสินโดยขนาดของ เทสโฮลด์โวลเตจ และขนาดของ M6-M9 ถ้าค่าอัตราส่วนแอสเป็ค (aspect ratio; W/L) ของ M6-M9 เป็น A6-A9 ค่าเอาท์พุตสูงสุดของระดับแรงดันต่ำของ SRD จะเป็น

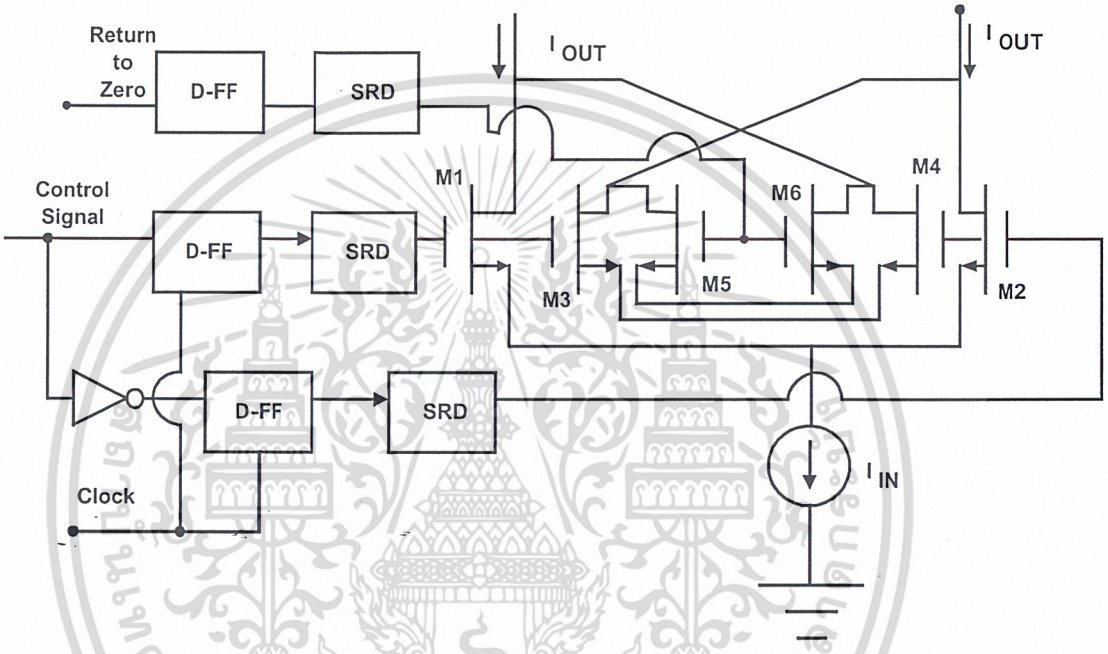
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่อนุญาตให้ดัดแปลงเนื้อหา อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$V_{OH} = \frac{\sqrt{A_7}V_{DD} - \sqrt{A_7}V_{THNB} + \sqrt{A_8}V_{THN}}{\sqrt{A_7} + \sqrt{A_8}} \quad (3.16)$$

$$V_{OL} = \frac{\sqrt{A_9}V_{DD} - \sqrt{A_7}V_{THP} + \sqrt{A_8}V_{THPB}}{\sqrt{A_6} + \sqrt{A_9}} \quad (3.17)$$

โดยที่ V_{THPB} และ V_{THNB} เป็นค่าเทสโฮลด์โวลเตจของ พีมอส กับ เอ็นมอสตามลำดับ ตามลำดับ สามารถกำหนดค่าโวลเตจสวิง

3.5.2 วงจรสวิตซ์กระแสแบบที่มีการกลับสู่ศูนย์ (Current Switch With Return-to-zero)



รูปที่ 3. 20 วงจรสวิตซ์ความเร็วสูงโดยวงจรกลับสู่ศูนย์

สำหรับระบบที่ต้องการวงจรสวิตซ์กระแสที่ต้องใช้วงจรกลับสู่ศูนย์นั้น อย่างเช่นวงจรเข้ารหัสประสิทธิภาพสูงในช่วงเวลาต่อเนื่องของเดลต้าซิกม่ามอดูเลชั่น สำหรับวงจรสวิตซ์กระแส อุปกรณ์จะต้องเรียงตามดังรูปที่ 3.20 ทรานซิสเตอร์เอ็มห้า กับ เอ็มหก จะทำหน้าที่เป็นตัวช่วยกำหนดเสถียรภาพของกระแสคอมม่อนโหมด ในระหว่างการที่เข้าสู่สภาวะในช่วงกลับสู่ศูนย์ แต่อย่างไรก็ตามระบบวงจรกลับสู่ศูนย์นั้น อาจจะไม่ได้ผลสูงมากนักเมื่อทำงานในที่ซึ่งความเร็วสูงมาก ๆ

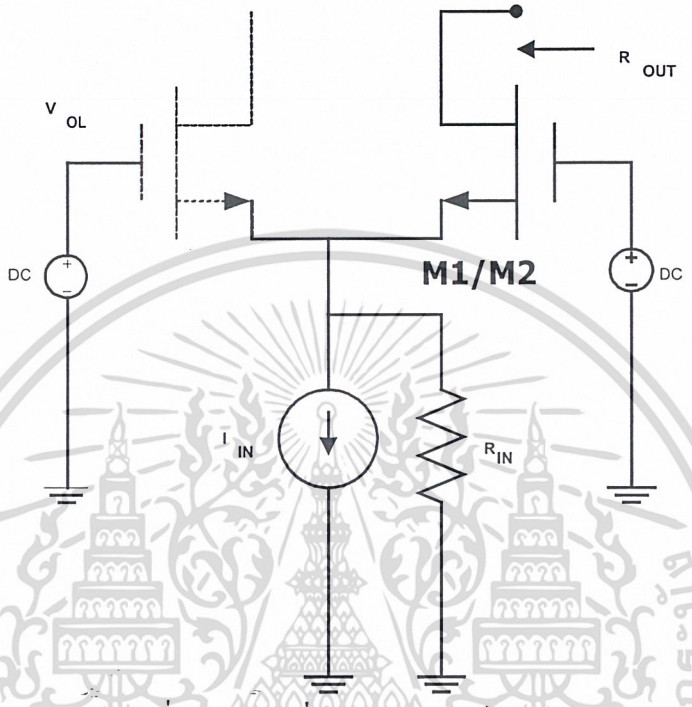
1. เพิ่มค่าสัญญาณรบกวนจากการสวิตช์ (Increase switching noise)

วงจรกลับสู่ศูนย์นั้นจะเป็นที่ต้องการอย่างมากในวงจรสวิตซ์กระแสในช่วงความเร็วสูง (อย่างน้อย 2 เท่า) เพื่อที่จะรักษาการเปรียบเทียบในช่วงความเร็วในการแซมปลิ้งเดียวกันกับวงจรที่ไม่มีวงจรกลับสู่ศูนย์ แต่ยิ่งว่าสวิตซ์ยิ่งมีค่าสูงมากก็อาจจะทำให้ระบบทำการสร้างคล็อคจิตเตอร์ขึ้นมา ซึ่งยิ่งค่าคล็อคจิตเตอร์ยิ่งมีค่ามากเท่าไร ระบบก็จะเกิดการสูญเสียมากขึ้นเท่านั้น

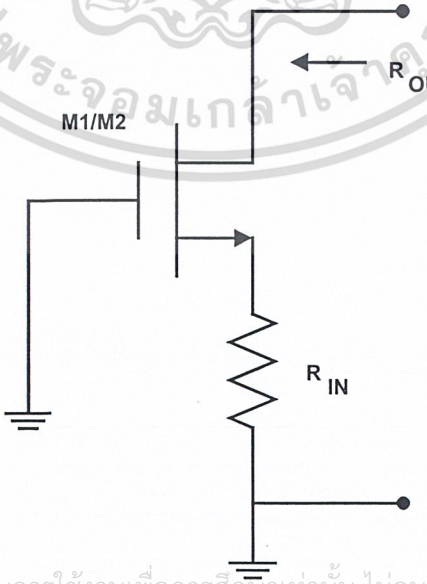
2. ค่าออฟเซ็ตของเอาท์พุตเหนี่ยวนำ (Induced output offset)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ค่าที่เกิดจากการที่ไม่แมทช์กันระหว่าง M5 กับ M6 เป็นสาเหตุหลักของการเกิดกระแสเอาท์พุตออฟเซ็ตในระหว่างสภาวะช่วงกลับสู่ศูนย์ โดยที่กระแสตัวนี้จะกลับมาเป็นวงจรป้อนกลับของสัญญาณดิจิตอลเป็นอนาลอกในส่วนของ เอสไอมอดูเลเตอร์ ยกตัวอย่างเช่น สองระดับซูเปอร์ลิ-เนียร์หนึ่งบิตดีเอซี หรืออาจจะเป็นสามระดับแต่ไม่เป็นเชิงเส้นก็ได้ ซึ่งเป็นผลที่จะทำให้ลดระดับการเป็นเชิงเส้นของวงจรเข้ารหัสแบบเดลต้าซิกม่ามอดูเลเตอร์

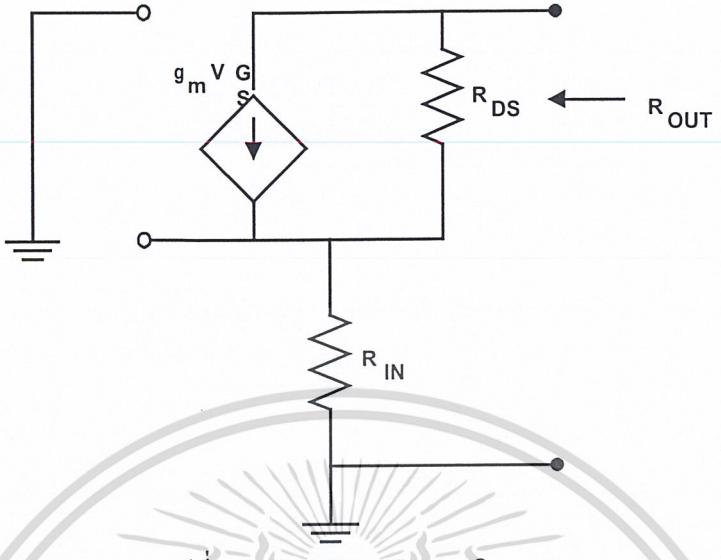


รูปที่ 3. 21 (a) ครึ่งวงจรของสวิตซ์กระแส



รูปที่ 3. 21 (b) วงจรสมมูลของสวิตซ์กระแส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3. 21 (c) ลักษณะสมอลซิกแนล

3. ค่าความต้านทานด้านขาออกลดลง (Reduce output impedance)

M5 และ M6 ทั้งคู่เป็นตัวลดความต้านทานด้านขาออกของวงจรสวิตซ์กระแส ในช่วงของวงจรกลับสู่ศูนย์ แต่ถ้าไม่มีระบบกลับสู่ศูนย์เมื่อใด ค่าความต้านทานขาออกจะขึ้นอยู่กับ M1 และ M2 ในสภาวะช่วงออน ในสภาวะช่วงออนของแต่ละระบบ ในลักษณะครึ่งวงจรดังแสดงในรูป 3.22(a) โดยที่จะสมมูลกับตัวต้านทาน R_{IN} ซึ่งเป็นเอาท์พุตอิมพิแดนซ์ของของแหล่งจ่ายกระแส ซึ่งต่อคาสโคดกับ nMOS ตัว M1 กับ M2 ในช่วงสภาวะอิ่มตัวดังแสดงในรูปที่ 3.22 (b) และค่าความต้านทานขาออกนั้น จะสามารถคำนวณจากรูปที่ 3.22 (c) และประมาณได้ว่า

$$R_{OUT} \cong (g_m R_{DS}) R_{IN} \tag{3.18}$$

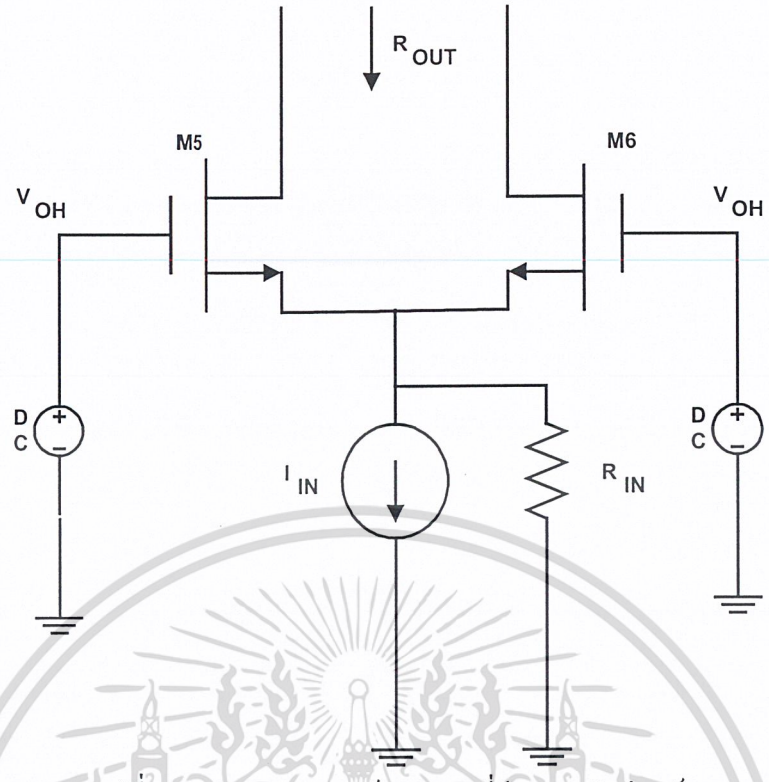
ถ้าในแต่ละช่วงของ M1 และ M2 นั้นมีค่าเฉลี่ยประมาณ 50 % ในช่วงการออน ค่าความต้านทานเอาท์พุตคอมม่อนโหมดของสวิตซ์กระแสประมาณค่าเป็น $(g_m R_{DS}) R_{IN}$ และค่าความแตกต่างระหว่างโหมดความต้านทานประมาณได้เป็น

$$R_{OUT} \cong 4 \cdot (g_m R_{DS}) \cdot R_{IN} \quad \text{เมื่อไม่มีวงจรกลับสู่ศูนย์}$$

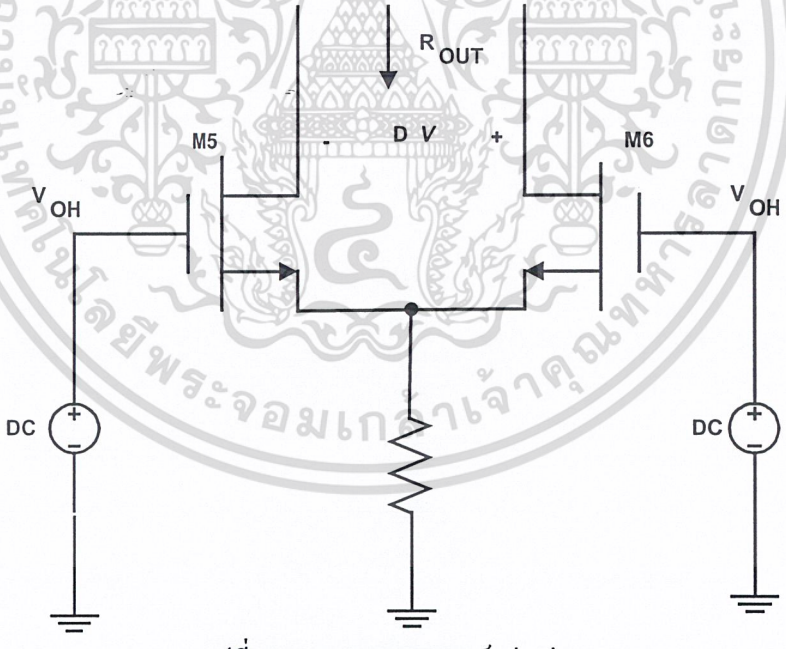
ถ้าในกรณีที่มีวงจรกลับสู่ศูนย์ ในกรณีนี้ จะได้ดังรูปที่ 3.21 ทั้งหมดค่าตัวต้านทานขาออกชนิดคอมม่อนโหมดจะเป็นลักษณะคล้ายคลึงกับวงจรที่ไม่มีวงจรกลับสู่ศูนย์ แต่อย่างไรก็ตาม ค่าของความต้านทานขาออกแบบโหมดต่างจะมีค่าเป็น $R_{DS5} + R_{DS6} = 2R_{DS}$ ให้ทั้งสองตัวค่าเท่ากัน ถ้าในช่วงของวงจรกลับสู่ศูนย์ใช้ครึ่งหนึ่งของสัญญาณนาพิกา ค่าความต้านทานขาออกที่เป็นในโหมดต่าง ของวงจรสวิตซ์กระแสจะมีค่าเป็น

$$R_{OUT} \cong 4 \cdot R_{DS} \tag{3.19}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

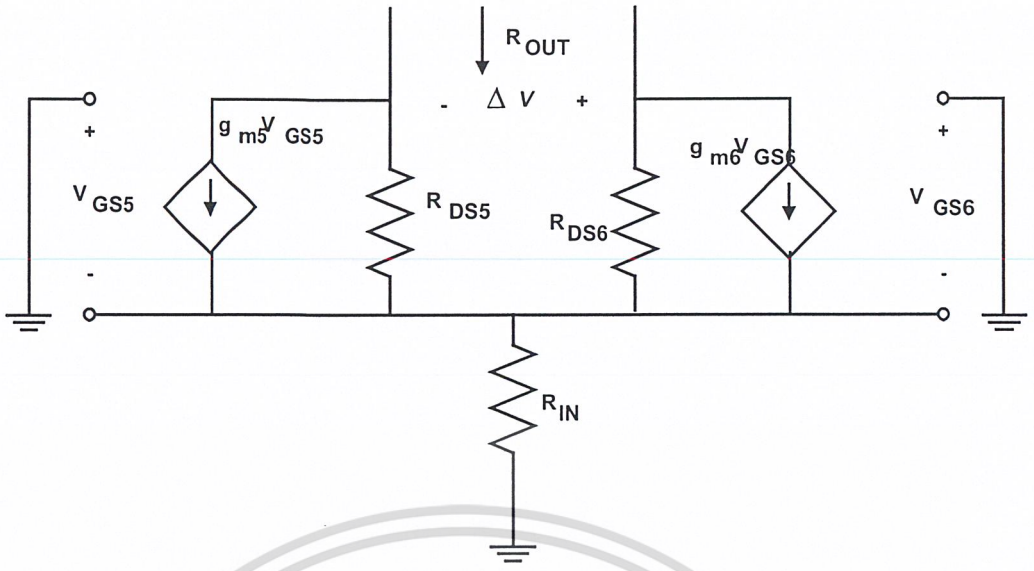


รูปที่ 3.22 (a)วงจรสมมูลย์ของวงจรที่มีวงจรกลับสู่ศูนย์



รูปที่ 3.22 (b) วงจรสมมูลย์อย่างง่าย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.22(c) ลักษณะสัญญาณแบบสมอลซิกแนล

ในช่วงช่องสัญญาณที่ช็อต มอสทรานซิสเตอร์จะใช้เพื่อในการให้ค่าสูงสุดสำหรับความเร็วในการสวิตช์ ค่าความต้านทานขาออกในโหมดผลต่างนั้นจะมีค่าน้อยลง การลดลงของความต้านทานตัวนี้จะเป็นผลของโพลกับซีโร่ ของในช่วงโหมดกระแส เป็นสาเหตุให้เกิดการลดความสามารถในการทำงานของเดลต้าซิกม่ามอดูเลชั่น

แต่ถ้านึกว่าเราจะใช้วงจรสวิตช์กระแสในช่วงที่มีความเร็วสูงมาก ๆ ซึ่งมากกว่า 200 MHzวงจรกลับสู่ศูนย์จำเป็นจะต้องหลีกเลี่ยง เพราะว่าระบบเสถียรภาพของระบบจะเกิดปัญหา ไม่สามารถให้ค่าตามที่ต้องการได้

3.6 การออกแบบวงจรกรองความถี่ช่วงผ่านเดลต้าซิกม่ามอดูเลชั่น

3.6.1 จุดประสงค์การออกแบบ

ในกรณีที่เราต้องออกแบบวงจรทางอนาลอกของหลาย ๆ อย่าง การออกแบบของเดลต้าซิกม่ามอดูเลเตอร์ก็ต้องการลักษณะจุดมุ่งหมายคล้ายกัน คืออัตราส่วนของสัญญาณต่อสัญญาณรบกวน และค่าการสูญเสียของพลังงาน ในตารางที่ 3.1 ค่าคุณสมบัติและลักษณะพิเศษของวงจรเดลต้าซิกม่ามอดูเลชั่น ได้แสดงให้เห็นแล้ว โดยที่ในตารางนี้ ได้แสดงถึงคุณสมบัติที่ดี แต่ไม่ได้แสดงถึงคุณสมบัติที่ดีทั้งหมดของเดลต้าซิกม่ามอดูเลเตอร์ เทคโนโลยีที่เกี่ยวกับเดลต้าซิกม่านั้น ได้ถูกสร้างขึ้นเพื่อว่าจะสามารถนำไปประยุกต์ใช้กับวงจรเดลต้าซิกม่าที่สมบูรณ์ได้หรือเปล่า ค่าสัญญาณขาออกที่อัตราแซมเปิ้ลสูง และค่าจำนวนของบิตขาออกที่ขนานกันมีจำนวนมากของการแปลงสัญญาณอนาลอกเป็นดิจิตอลแบบเดลต้าซิกม่า ค่อนข้างเป็นเรื่องที่ซับซ้อนที่จะทำการออกแบบเพื่อใช้สำหรับวงจรการประมวลผลสัญญาณเชิง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดิจิตอลเพื่อที่จะทำตามหลักของ เดลต้าซิกม่ามอดูเลเตอร์ อีกหนึ่งปัจจัยที่สำคัญ การเลือกใช้อุปกรณ์แบบพาสซีฟยังเป็นที่ไม่ชื่นชอบสำหรับเหตุผลทางเศรษฐกิจ

อันดับแรก	อันดับสอง
ค่าแบนด์วิดธ์สัญญาณ	พลังงานแหล่งจ่าย
SNR	พื้นที่ชิป
การใช้พลังงาน	ความอ่อนไหวสัญญาณ
การผิดเพี้ยน	ขาเข้า

ตารางที่ 3.1 คุณสมบัติของเดลต้าซิกม่ามอดูเลชั่น

3.6.2 การพิจารณาการออกแบบ

ในส่วนที่ 2.12 จำนวนเงื่อนไขในการพิจารณาในการออกแบบวงจรแปลงสัญญาณอนาลอกเป็นดิจิตอลเดลต้าซิกม่ามอดูเลเตอร์ได้กล่าวถึงแล้ว เกือบทั้งหมดในการพิจารณาจะเป็นอัตราส่วนของสัญญาณต่อสัญญาณรบกวน โดยที่เงื่อนไขต่าง ๆ ที่ร่วมในการพิจารณาจะได้กล่าวคร่าว ๆ ดังนี้

3.6.2.1 ลักษณะทางสถาปัตยกรรม

สำหรับสองคุณลักษณะที่นิยมใช้อยู่ทั่วไปทางสถาปัตยกรรม คือวงจรเดลต้าซิกม่าแบบลูปเดี่ยวและวงจรแบบหลายสเตจเดลต้าซิกม่า สำหรับวงจรแบบหลายสเตจจะเป็นในลักษณะของวงจรอันดับหนึ่งหรืออันดับมากกว่าก็ได้ แต่ต้องการหลีกเลี่ยงปัญหาทางเสถียรภาพ ข้อเสียเปรียบหลักของวงจรหลายสเตจคือปัญหาเรื่องความอ่อนไหวในการผิดพลาดการจับคู่ของระดับควอนไตซ์ และฟังก์ชั่นถ่ายโอนของวงจรกรองสัญญาณ

3.6.2.2 ค่ารีโซลูชั่นควอนไตซ์เซอร์

การเพิ่มขึ้นของค่ารีโซลูชั่นของค่าควอนไตซ์ในวงจรเดลต้าซิกม่า ยังเป็นผลให้เพิ่มขึ้นของค่าอัตราส่วนของสัญญาณต่อสัญญาณรบกวนในทางทฤษฎีจะเพิ่มสูงขึ้นด้วย และยังเป็นการไม่ดีอีกที่ว่าความต้องการการแม่นยำของการใช้อุปกรณ์ยังจะเพิ่มสัดส่วนตัวนี้อีกด้วย ความเป็นเชิงเส้นของวงจรแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาลอก เป็นอีกส่วนหนึ่งที่ให้ผลโดยตรงกับเดลต้าซิกม่า วงจรแปลงสัญญาณดิจิตอลเป็นอนาลอก 1 บิตเป็นวงจรที่ให้ความเป็นเชิงเส้นดีกว่าวงจรแบบหลายบิต

3.6.2.3 อันดับของลูปฟิลเตอร์

ค่าลูปฟิลเตอร์ที่มีค่าสูง ๆ จะเป็นผลดีในการเพิ่มค่าอัตราสัญญาณต่อสัญญาณรบกวนทางทฤษฎีคู่กับการที่อัตราโอเวอร์แซมปลิ้งต่ำ สำหรับค่าลูปฟิลเตอร์ที่มีค่าอันดับมากกว่าสอง ค่าเสถียรภาพของเดลต้าซิกม่ามอดูเลชั่นนั้นจะขึ้นอยู่กับค่าสัญญาณขาเข้าและการวัดแบบพิเศษโดยที่จะหลีกเลี่ยงข้อจำกัดของวงรอบสัญญาณขนาดใหญ่

3.6.2.4 อัตราการโอเวอร์แซมปลิ้ง

การเพิ่มขึ้นของอัตราการ โอเวอร์แซมปลิ้ง เป็นผลให้ค่าทางทฤษฎีของอัตราสัญญาณต่อสัญญาณรบกวนเพิ่มขึ้นในวงจรเดลต้าซิกม่า โดยปกติการเปลี่ยนแปลงค่าของอัตราการ โอเวอร์แซมปลิ้งไม่มีผลโดยตรงกับเสถียรภาพของระบบของมอดูเลเตอร์ แต่ยังต้องการความแม่นยำและเที่ยงตรงของอุปกรณ์ที่

เอกสารนี้เป็นการที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

นำมาทำมอดูเลเตอร์ด้วย แต่ปัญหาที่ใหญ่ที่สุดของการที่ควมถี่แซมปลิ้งมีค่าสูงมาก ๆ คือความต้องการแบนด์วิดธ์ของวงจรเดลต้าซิกม่านั่นเอง และการทำวงจรวิเคราะห์สัญญาณของเดลต้าซิกม่ามอดูเลเตอร์นั่นเอง

3.6.2.5 ลูปฟิลเตอร์ของวงจรต่อเนื่องและไม่ต่อเนื่องในช่วงเวลา

ลูปฟิลเตอร์ของลักษณะวงจรไม่ต่อเนื่อง สามารถกระทำได้ง่าย ๆ และทำได้โดยตรงจากวงจรสวิตซ์คาปาซิเตอร์ ค่าฟังก์ชั่นถ่ายโอนของวงจรกรองสัญญาณจะไม่ได้รับผลกระทบจากการจำกัดของสัญญาณป้อนกลับ และประโยชน์อีกจุดที่สำคัญของลูปฟิลเตอร์ในวงจรต่อเนื่องในช่วงเวลา คือการกระทำการแซมปลิ้งของสัญญาณขาเข้าจะอยู่ในช่วงของลูป และค่าการผิดพลาดจากการแซมปลิ้งจะถูกจำกัดไว้ด้วย

สำหรับวงจรกรองสัญญาณช่วงความถี่ผ่าน ยังต้องมีบางส่วนที่เป็นส่วนร่วมในการพิจารณาในการออกแบบอีกด้วย อาจจะต้องมีการใช้ลักษณะพิเศษในการออกแบบอีกด้วย วงจรเดลต้าซิกม่าแบบซับซ้อนที่ใช้วงจรลูปฟิลเตอร์ช่วงความถี่ผ่านเพื่อที่จะลดความต้องการเสถียรภาพของการออกแบบ ข้อเสียที่สำคัญอีกรูปแบบหนึ่ง คือความต้องการการสอดคล้องกันระหว่างช่องสัญญาณสองช่องสัญญาณ คือช่องสัญญาณเฟสเดียวกัน (I-Channel) และช่องสัญญาณสี่เฟส (Q-Channel) ของสัญญาณร่วมกัน การสอดคล้องกันที่ผิดพลาดจะเป็นผลให้เกิดการเลื่อมล้ำกันระหว่างช่องสัญญาณ I และ Q และทั้งสองส่วนนี้จะเป็นผลให้เกิดการลดประสิทธิภาพของเดลต้าซิกม่ามอดูเลเตอร์

อีกรูปแบบหนึ่งในการพิจารณาสำหรับวงจรกรองความถี่ช่วงผ่าน จะเกี่ยวข้องกับการเลือกระหว่างลูปฟิลเตอร์ในช่วงเวลาไม่ต่อเนื่อง และเวลาต่อเนื่อง สำหรับวงจรกรองสัญญาณแบบสวิตซ์คาปาซิเตอร์ ค่าความถี่แซมปลิ้งจะถูกจำกัดโดยความต้องการทางงการเปลี่ยนที่แน่นอนของประจุ โดยการเปลี่ยนของลักษณะวงจรของตัวเก็บประจุ ค่าประจุจะทำการถ่ายทอดจากตัวหนึ่งไปยังอีกตัวหนึ่ง ซึ่งเป็นเหตุผลของการจำกัดของแบนด์วิดธ์ของออปแอมป์ ค่าความต่างศักย์ที่โนดของวงจรกรองความถี่แบบสวิตซ์คาปาซิเตอร์ต้องการค่าช่วงเวลาที่แน่นอนเพื่อจะได้ความแม่นยำ การจำกัดของแบนด์วิดธ์ของออป-แอมป์จะใช้ในลูปฟิลเตอร์แบบเวลาต่อเนื่อง ผลกระทบของค่าฟังก์ชั่นถ่ายโอนทั้งหมดของลูปฟิลเตอร์จะไม่เป็นผลเลยในการเพิ่มการสูญเสีย อย่างไรก็ตามลูปฟิลเตอร์ของช่วงเวลาต่อเนื่องแบบความถี่ผ่านจะต้องทำการปรับความถี่ให้อยู่ที่ $f_s/4$ โดยต้องปราศจากการแทรกสอดทางด้านอุปกรณ์อื่น ในกรณีของลูปฟิลเตอร์แบบช่วงเวลาไม่ต่อเนื่อง ครึ่งหนึ่งของค่าสัมประสิทธิ์จะเป็นศูนย์เมื่อวงจรกรองสัญญาณถูกปรับแต่งที่ $f_s/4$ โดยใช้การแปลง $z^{-1} \rightarrow z^{-2}$ ในวงจรอันดับสองของวงจรกรองสัญญาณแบบเวลาไม่ต่อเนื่อง $G_{lp}(z)$ จะเปลี่ยนเป็นวงจรกรองสัญญาณแบบช่วงผ่าน $G_{bp}(z)$ โดยจะทำการปรับไปอยู่ที่หนึ่งในสี่ส่วนของความถี่แซมปลิ้ง $f_s/4$

$$G_{lp}(z) = \frac{2z^{-1} - z^{-2}}{1 - 2z^{-1} + z^{-2}} \xrightarrow{z^{-1} \rightarrow -z^{-2}} G_{bp}(z) = \frac{-2z^{-2} - z^{-4}}{1 + 2z^{-2} + z^{-4}} \tag{3.20}$$

และสามารถทำการเขียนใหม่ ให้อยู่ในช่วงเวลาจะได้เป็น

$$G_{bp} : x[k] = -2x[k-2] - x[k-4] - 2e[k-2] - e[k-4] \tag{3.21}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในกรณีนี้ x[k] เป็นค่าผลลัพธ์จากวงจรกรองความถี่ และe[k] จะเป็นสัญญาณอินพุตของวงจรกรองสัญญาณสัมประสิทธิ์จะเกี่ยวกับสัญญาณขาเข้าและขาออก ในจำนวนที่เป็นจำนวนคี่ของวงจรหน่วงสัญญาณ เช่น x[k-1] และ e[k-3] จะมีค่าเป็นศูนย์ และจะไม่สามารถนำมาทำเป็นอุปกรณ์ได้ในวงจรแบบเวลาไม่ต่อเนื่อง อีกเหตุผลหนึ่งที่สำคัญสำหรับการปรับแต่งค่าลูปฟิลเตอร์ในความที่ที่ไม่ใช่ $f_s/4$ คือค่าการซ้อนทับของฮาร์โมนิคอันดับสาม ในช่วงสัญญาณจะถูกหลีกเลี่ยงค่าการสูญเสียในฮาร์โมนิคอันดับสามประกอบด้วยสัญญาณขาเข้าที่ความถี่ $f_s/4+\Delta f$ ซ้อนทับเข้าสู่ความถี่ $f_s/4-3\Delta f$ ซึ่งจะตกในช่วงสัญญาณเมื่อ Δf เป็นค่าเล็ก ๆ อีกแหล่งหนึ่งของการสูญเสียจาก $f_s/4$ คือ คลอสทอล์คของฮาร์โมนิคย่อยของความถี่สัญญาณนาฬิกา การปรับแต่งค่าความถี่ที่เข้าไปสู่ความถี่มากกว่า $f_s/4$ จะทำการลดความต้องการความเป็นเชิงเส้นของวงจรเดลต้าซิกม่ามอดูเลเตอร์ลดลงอย่างเป็นลำดับ

3.6.3 วิธีการออกแบบ

ขั้นแรกในการออกแบบเพื่อเป้าหมายที่เป็นลักษณะพิเศษ ต้องยึดอยู่ในเป้าที่เป็นการตัดสินใจหลากหลายเพื่อที่จะสร้างลักษณะที่ดีของเดลต้าซิกม่ามอดูเลเตอร์ ชนิดของลูปฟิลเตอร์และค่ารีโซลูชั่นของการควอนไตซ์ก็เป็นสิ่งสำคัญ ในส่วนที่จะกล่าวต่อไปนี้จะมุ่งไปสู่การนำเสนอการออกแบบวงจรลูปเดี่ยวกรองแถบความถี่ผ่านเดลต้าซิกม่า ที่เป็นในแบบช่วงเวลาที่ต่อเนื่องและการควอนไตซ์ที่ 1 บิต

สำหรับจุดประสงค์อื่น ๆ นั้น เช่น อัตราส่วนของสัญญาณต่อสัญญาณรบกวน หรือช่วงไดนามิคและการใช้พลังงาน เป็นต้น เป็นการแลกเปลี่ยนกันระหว่างอันดับของลูปฟิลเตอร์และอัตราส่วนของโอเวอร์แซมปลิ้ง ค่าลูปฟิลเตอร์อันดับสูง ๆ จำเป็นที่จะต้องได้รับค่าอัตราโอเวอร์แซมปลิ้งต่ำ เพื่อที่จะเข้าถึงช่วงไดนามิคเดียวกัน อย่างไรก็ตามลูปฟิลเตอร์นั้นจะกินพลังงานมาก อัตราโอเวอร์แซมปลิ้งสูงจะเพิ่มความถี่แซมปลิ้ง และผลกระทบจากการใช้พลังงานของการวิเคราะห์สัญญาณเชิงดิจิตอลตามรูปแบบของเดลต้าซิกม่ามอดูเลเตอร์

การออกแบบของเดลต้าซิกม่าที่เป็นลูปฟิลเตอร์แบบช่วงเวลาต่อเนื่อง จะกระทำกันในช่วงโดเมนที่เป็นเวลาไม่ต่อเนื่อง การตอบสนองของลูปฟิลเตอร์ในช่วงเวลาต่อเนื่องเข้าสู่รูปทรงของสัญญาณพัลส์ของการควอนไตซ์ของวงจรแปลงสัญญาณจากดิจิตอลเป็นอนาลอก จะถูกแทนที่โดยวงจรสมมูลของลูปฟิลเตอร์ช่วงเวลาไม่ต่อเนื่อง เสถียรภาพของเดลต้าซิกม่า เช่นในส่วนของความเสถียรจะต้องอยู่ในช่วงที่มีค่าน้องถึงปานกลางของสัญญาณแอมพลิจูด เมื่อลูปฟิลเตอร์แบบช่วงเวลาไม่ต่อเนื่องจะถูกออกแบบ ฟังก์ชั่นถ่ายโอนของค่าลูปฟิลเตอร์ของช่วงเวลาต่อเนื่องจะสามารถพิจารณาได้จากลูปฟิลเตอร์แบบช่วงเวลาไม่ต่อเนื่อง และลักษณะของรูปร่างพัลส์ของวงจรแปลงสัญญาณจากดิจิตอลเป็นอนาลอก วิธีการแปลงโดยตรงของฟังก์ชั่นถ่ายโอนในช่วงเวลาไม่ต่อเนื่องจะสามารถใช้ในทั้งโดเมนเวลาและความถี่ สำหรับผลลัพธ์ของฟังก์ชั่นถ่ายโอนแบบเวลาต่อเนื่องจะเป็นโครงสร้างของวงจรกรองสัญญาณที่เหมาะสมที่ค้นพบ ในกรณีที่อันดับมาก ๆ (มากกว่าอันดับ 4 ขึ้นไป) ค่าลูปฟิลเตอร์จะยากในการใช้งาน เริ่มจากการที่เรารู้โครงสร้างของวงจรกรองสัญญาณในช่วงเวลาต่อเนื่อง สัมประสิทธิ์สามารถจะพิจารณาได้อย่างง่าย ๆ จากการแปลงสัญญาณจากช่วงเวลาต่อเนื่องไปสู่เวลาไม่ต่อเนื่อง โครงสร้างของวงจรกรองสัญญาณแบบเวลาต่อเนื่องก็พอเพียงแล้วที่จะเป็นอิสระต่อการนำมาทำการโดยความต้องการของฟังก์ชั่นถ่ายโอน แบบไม่ต่อ

เอกสารนี้ถูกสแกนและสงวนลิขสิทธิ์ โดยมหาวิทยาลัยเชียงใหม่ ซึ่งอนุญาตให้ใช้เพื่อประโยชน์ในการศึกษาเท่านั้น ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เนื่องในช่วงเวลา เมื่อสัมประสิทธิ์ของวงจรกรองสัญญาณแบบต่อเนื่องได้ค้นพบ วงจรที่เหมาะสมลูปฟิลเตอร์ในช่วงเวลาต่อเนื่องจะได้ออกแบบ

จากที่กล่าวมาข้างต้นนี้ เราจะทำการสรุปการออกแบบวงจรกรองสัญญาณแถบความถี่ผ่านแบบเดลต้าซิกม่ามอดูเลเตอร์เป็นข้อ ๆ ได้ดังนี้

1. ตั้งจุดประสงค์การออกแบบ เช่น ความถี่ในการปรับแต่ง และลักษณะของเป้าหมาย
2. พิจารณาอัตราการโอเวอร์แซมปลิ้ง และอันดับของวงจรกรองความถี่ โดยใช้การประมาณค่าทางทฤษฎี เพื่อที่จะได้ช่วงไดนามิคเหมาะสมและการดูดกลืนพลังงานที่เหมาะสมในความถี่แซมปลิ้ง
3. ออกแบบลูปฟิลเตอร์ช่วงเวลาไม่ต่อเนื่องที่สัญญาณเล็ก ๆ ค่าโพลของลูปฟิลเตอร์จะพิจารณาในช่วงและความถี่ในการปรับแต่ง ค่าซีโร่ของลูปฟิลเตอร์จะเป็นตัวพิจารณาเสถียรภาพของวงจร ค่าที่เหมาะสมของตัวแปรแต่ละตัวจะเทียบกับลักษณะเฉพาะที่ใกล้เคียงกับขอบเขตความมีเสถียรภาพของสัญญาณขนาดเล็ก
4. พิจารณาวงจรสมมูลลูปฟิลเตอร์แบบเวลาไม่ต่อเนื่องของโครงสร้างลูปฟิลเตอร์แบบช่วงเวลาต่อเนื่องเพียงพอที่จะอิสระหรือไม่ ระวังลักษณะสัญญาณพัลส์ของวงจรแปลงสัญญาณจากดิจิตอลเป็นอนาลอกสามารถพิจารณามีผลต่อฟังก์ชั่นถ่ายโอนของลูปฟิลเตอร์แบบไม่ต่อเนื่อง
5. จับคู่การออกแบบฟังก์ชั่นถ่ายโอนของวงจรกรองสัญญาณแบบเวลาไม่ต่อเนื่องกับวงจรสมมูลฟังก์ชั่นถ่ายโอนลูปฟิลเตอร์แบบเวลาไม่ต่อเนื่องและหาสัมประสิทธิ์ลูปฟิลเตอร์แบบเวลาต่อเนื่อง
6. พิจารณาอุปกรณ์ที่เหมาะสมสำหรับลูปฟิลเตอร์แบบช่วงเวลาต่อเนื่อง

3.7 การออกแบบวงจรกรองความถี่แถบผ่านอันดับ 4 แบบเดลต้าซิกม่ามอดูเลชั่น (Design fourth order Bandpass Dela-Sigma modulator)

จากการที่เราทำการพูดถึง หลักการคร่าว ๆ ในการออกแบบวงจรกรองความถี่แถบผ่านอันดับ 4 ของเดลต้าซิกม่ามอดูเลชั่น เรานำมาประยุกต์ใช้ด้วยการแทนวงจรกรองความถี่แถบผ่านในวงจรภาครับสัญญาณวิทยุแบบดิจิตอล สำหรับวงจรดิจิตอลทั้งหมดของเดลต้าซิกม่ามอดูเลเตอร์สามารถทำการซิมูเลทได้ในเวลาแบบช่วงจริง ลักษณะเฉพาะของการทดสอบทางดิจิตอลนั้น สามารถทำได้โดยการโปรแกรมด้วยภาษา VHDL (Very High Speed Integrated Circuit Hardware Description Circuit) แสดงถึงคุณลักษณะของวงจรกรองความถี่แถบผ่านอันดับ 4 เดลต้าซิกม่ามอดูเลเตอร์ แบบ 1 บิต โดยที่ลูปฟิลเตอร์นั้นสามารถอธิบายโดย

$$G(z) = \frac{(1-az^{-1})^4}{(1-be^{j\theta_0}z^{-1})^2(1+be^{-j\theta_0}z^{-1})^2} - 1 \qquad (3.22)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$G(z) = \frac{(1-az^{-1})^4}{(1-2b\cos(\theta_0)+b^2z^{-2})^2} - 1 \tag{3.23}$$

โดยที่เรากำหนดค่าจากรูปกราฟ โดยที่ $a = 0.25$ $b = 1$ และกำหนดค่ามุมที่เราต้องการจากกราฟได้ค่า $\theta_0 = 0.3352\pi = 1.0521rad$ เมื่อทราบค่าทั้งหมดแล้ว สามารถนำมาเขียนสัมประสิทธิ์ของระบบได้

$$G(z) = \frac{0.97965z^{-1} - 2.60475z^{-2} + 1.91715z^{-3} - 0.99609z^{-4}}{1 - 1.97965z^{-1} + 2.97975z^{-2} - 1.97965z^{-3} + z^{-4}} \tag{3.24}$$

เราสามารถพิจารณาตำแหน่ง โพลและซีโร่ ของระบบ ได้โดยจากการใช้โปรแกรม MATLAB เป็นตัวประมวลผลหลังจากผ่านแล้ว ทำให้ทราบว่าโดยได้ค่าตำแหน่งซีโร่คือ 1.9139, $0.3725 + 0.6265i$, $0.3725 - 0.6265i$ ตามลำดับ และสามารถพิจารณาตำแหน่งโพลคือ $0.4940 \pm 0.8695i$ และมีค่าเป็น $0.4959 \pm 0.8684i$ ตามลำดับ พิจารณาอัตราการขยายของระบบ จะได้อยู่ที่ 0.9797 จากค่าตำแหน่งโพลและซีโร่ ที่เราสามารถคำนวณหามาได้นั้น จะเห็นได้ว่า ตำแหน่งของโพล อยู่ในวงกลมหนึ่งหน่วย (Unit circle) ทุกตัว แม้ว่าตำแหน่งของซีโร่จะอยู่นอกวงกลมหนึ่งหน่วยก็ตาม แต่ก็ไม่เป็นผลกับความเสถียรของระบบ เพราะถ้าเราพิจารณาเสถียรภาพของระบบ เราจะพิจารณาตำแหน่งโพลของระบบอยู่ภายในวงกลมหนึ่งหน่วยเท่านั้น ดังนั้น เราสามารถสรุปได้ว่าระบบนี้มีความเสถียรแน่นอน

และสามารถทำการแปลงค่า สัมประสิทธิ์ของระบบ ให้เป็นลักษณะของตัวเลขประเภท CSD (Cononical Signed Digit) เราสามารถประมาณค่าได้คือ

$$0.97965 \approx 1.00000T0T = 1 - \frac{1}{64} - \frac{1}{256} = 0.98046$$

$$2.60475 \approx 10.10100T = 2 + \frac{1}{2} + \frac{1}{8} - \frac{1}{64} = 2.60937$$

$$1.91715 \approx 10.000T0T0T = 2 - \frac{1}{16} - \frac{1}{64} - \frac{1}{256} = 1.91797$$

$$0.99609 \approx 1.0000000T = 1 - \frac{1}{256} = 0.99609$$

$$1.97965 \approx 10.00000T0T = 2 - \frac{1}{64} - \frac{1}{256} = 1.98047$$

$$2.97975 \approx 11.00000T0T = 2 + 1 - \frac{1}{64} - \frac{1}{256} = 2.98047$$

เมื่อเราได้รหัสของเลข CSD มาแล้ว เราสามารถทำการใส่สัมประสิทธิ์ของตำแหน่งโพลและซีโร่เข้าไปในโปรแกรมได้ เพื่อที่จะทำให้ระบบมีเสถียรภาพมากขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

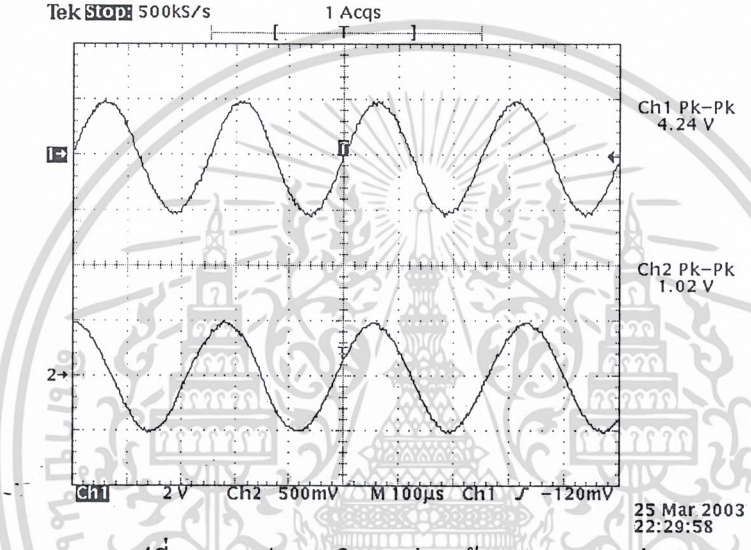
ผลการทดลอง

4.1 ผลการทดลองเดลต้าซิกม่าอันดับ 1

ผลการทดลองนี้ นำเสนอถึงความสามารถในการแปลงสัญญาณจากอนาลอกเป็นสัญญาณดิจิตอล โดยใช้การเข้ารหัสแบบ เดลต้าซิกม่ามอดูเลเตอร์ อันดับ 1

4.1.1 ผลการทดลองวงจรขยายผลต่าง

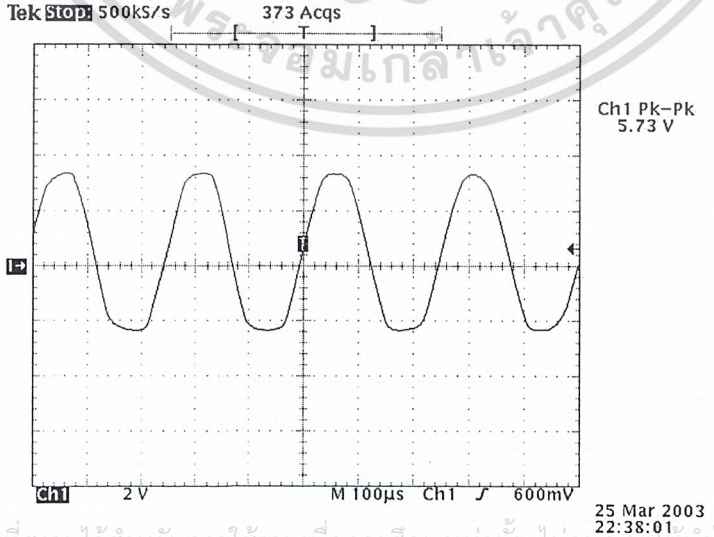
ผลการทดลองในวงจรนี้ ได้แสดงถึงวงจรขยายผลต่างของสัญญาณ หรือ วงจรลบสัญญาณนั่นเอง โดยที่ได้ทดสอบกับวงจรให้สัญญาณเป็นรูปไซน์ ที่มีความถี่ 4 kHz



รูปที่ 4.1(a) รูปแสดงอินพุทก่อนเข้าวงจรขยายผลต่าง

CH 1 สัญญาณอินพุทตัวที่ 1

CH 2 สัญญาณอินพุทตัวที่ 2

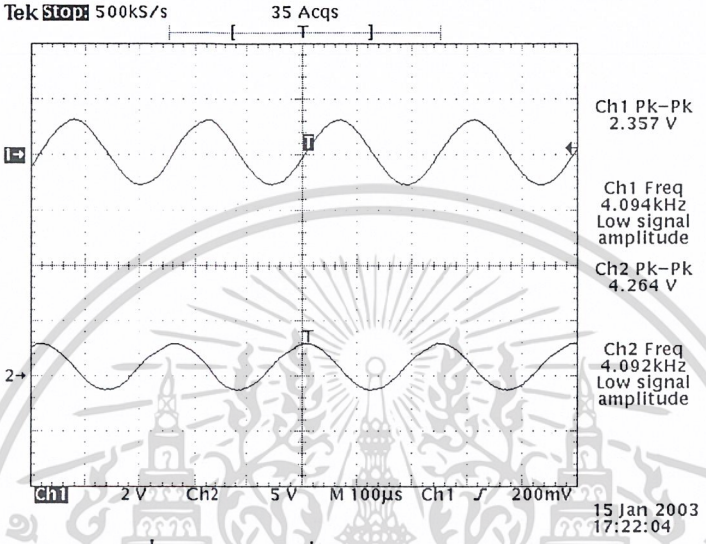


รูปที่ 4.1 (b) แสดงผลจากวงจรขยายผลต่าง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.1.2 ผลการทดลองวงจรอินทริเกรต

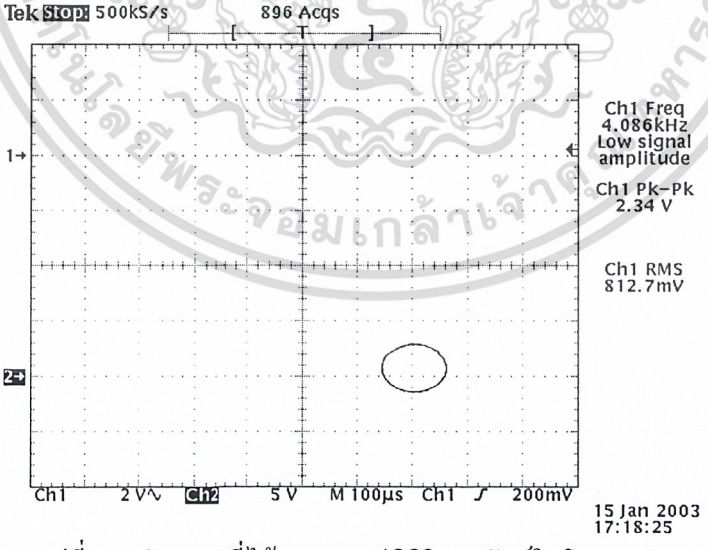
วงจรปฏิกิริยานุพันธ์ หรือ วงจรอินตริเกรเตอร์นั้น เราใช้วงจรปฏิกิริยานุพันธ์แบบกลับเฟส ผลที่ได้มา สัญญาณจากเอาท์พุท จะนำหน้าสัญญาณอินพุทอยู่ 90 องศา โดยที่ได้รูปสัญญาณดังนี้ และได้แสดงไว้ในรูปแบบ XY โหมด เพื่อเปรียบเทียบถึงเฟสที่ได้จาการเลื่อนว่าเป็นเท่าไร โดยที่ถ้าเป็นลักษณะกลมมาก ก็แสดงว่าเป็น 90 องศา



รูปที่ 4.2 สัญญาณที่ได้จากวงจรปฏิกิริยานุพันธ์

CH 1 สัญญาณอินพุท

CH 2 สัญญาณเอาท์พุท

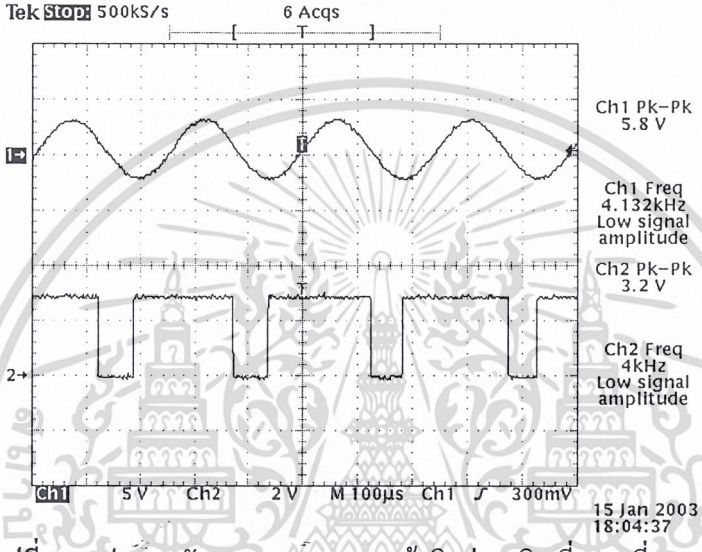


รูปที่ 4.3 สัญญาณที่ได้จากวงจรปฏิกิริยานุพันธ์ในโหมด XY

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.1.3 ผลการทดลองหลังจากผ่านวงจรเปรียบเทียบสัญญาณ

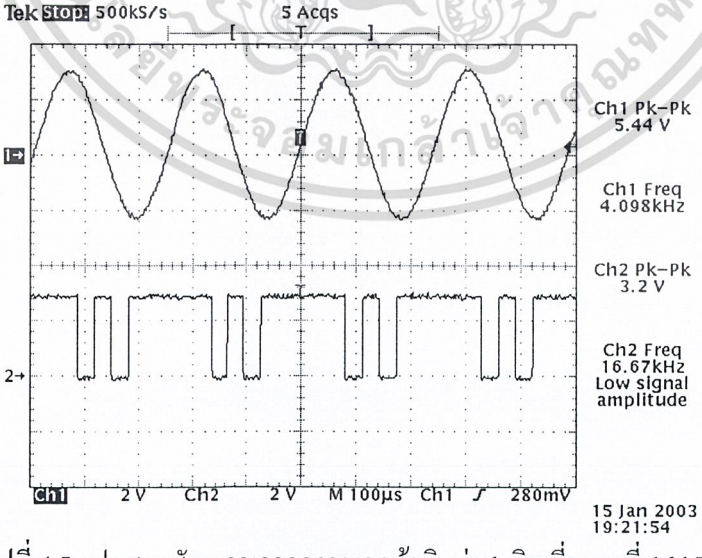
ในส่วนผลการทดลองส่วนนี้ เราได้ทำการผ่านวงจรขยายผลลบ แล้วทำการผ่านวงจรปฏิกิริยานุพันธ์ แล้วต่อด้วยผ่านวงจรแซมเปิ้ลแอนด์โฮลด์ แล้วเข้าทำการเปรียบเทียบสัญญาณ โดยที่ทำการเทียบสัญญาณนาฬิกาเข้ามาที่ความถี่ต่างกัน เพื่อให้เห็นถึงความสามารถในการเข้ารหัสสัญญาณอนาลอกเป็นสัญญาณดิจิตอล ที่ความถี่ต่างกัน โดนในงานวิจัยนี้ เราทำการเปรียบเทียบความแตกต่างที่ความถี่ 8 kHz, 16 kHz , 32 kHz , 64 kHz ได้ผลการทดลองดังนี้



รูปที่ 4.4 รูปแสดงสัญญาณจากวงจรเดลต้าซิกม่า 1 บิต ที่ความถี่ 8 kHz

CH 1 สัญญาณอินพุท

CH 2 สัญญาณเอาท์พุท

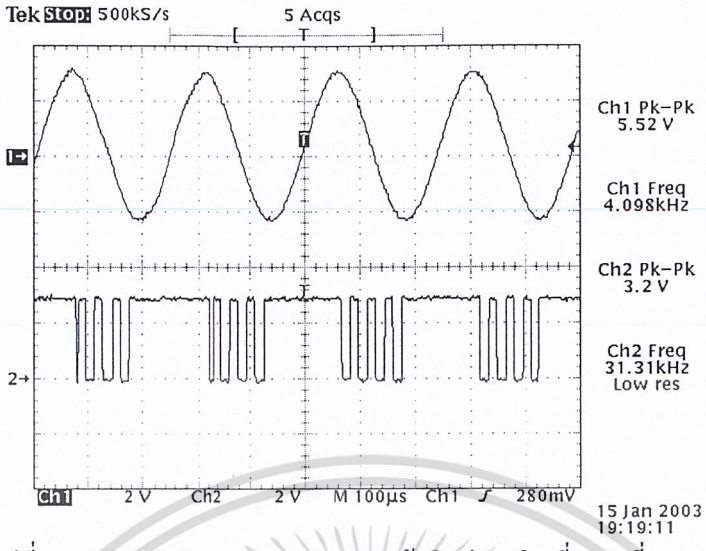


รูปที่ 4.5 รูปแสดงสัญญาณจากวงจรเดลต้าซิกม่า 1 บิต ที่ความถี่ 16 kHz

CH 1 สัญญาณอินพุท

CH 2 สัญญาณเอาท์พุท

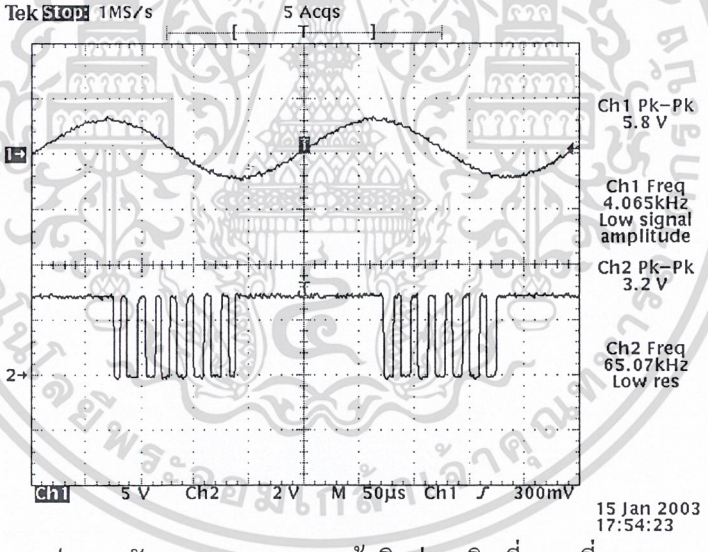
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ **4.6** รูปแสดงสัญญาณจากวงจรเคลต้าซิกม่า 1 บิต ที่ความถี่ 32 kHz

CH 1 สัญญาณอินพุท

CH 2 สัญญาณเอาท์พุท



รูปที่ **4.7** รูปแสดงสัญญาณจากวงจรเคลต้าซิกม่า 1 บิต ที่ความถี่ 64 kHz

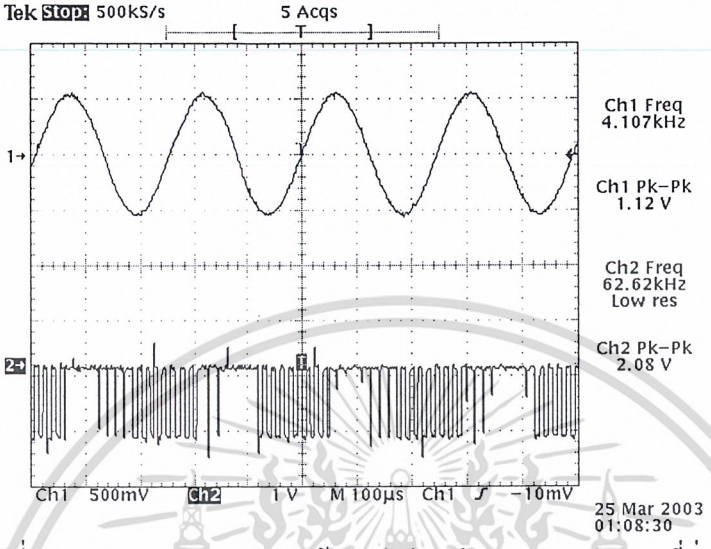
CH 1 สัญญาณอินพุต

CH 2 สัญญาณเอาท์พุต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.1.4 ผลการทดลองวงจรแปลงสัญญาณดิจิตอลเป็นอนาลอกขนาด 1 บิต

การทดลองในส่วนนี้ ได้เสนอผลการทดลองของวงจรแปลงสัญญาณดิจิตอลเป็นอนาลอก 1 บิต โดยที่พิจารณาก่อนผ่านวงจรกรองความถี่ต่ำผ่าน



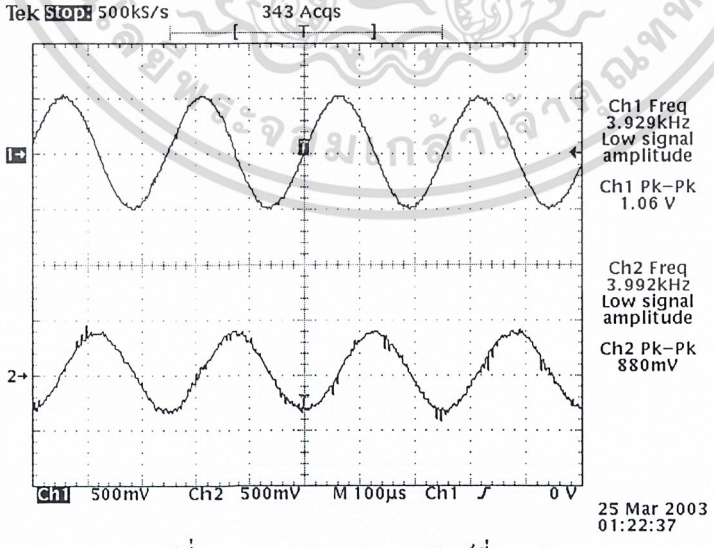
รูปที่ 4.8 ผลการทดลองวงจรเคลต้าซิกม่าก่อนผ่านวงจรกรองความถี่ต่ำผ่าน

CH 1 สัญญาณอินพุต

CH 2 สัญญาณเอาท์พุต

4.1.5 ผลการทดลองภาครับ

ถ้าต้องการทดสอบว่า สัญญาณที่ส่งไป เป็นสัญญาณที่ถูกต้องหรือไม่ หรือว่าเป็นสัญญาณที่มีคุณภาพเพียงใด ต้องทำการถอดรหัสสัญญาณออกมาเพื่อเทียบคุณภาพสัญญาณที่เราส่งเข้าไป โดยที่ได้ผลการทดลองดังรูป



รูปที่ 4.9 แสดงสัญญาณผลลัพธ์ที่ภาครับ

CH 1 สัญญาณอินพุต

CH 2 สัญญาณเอาท์พุต

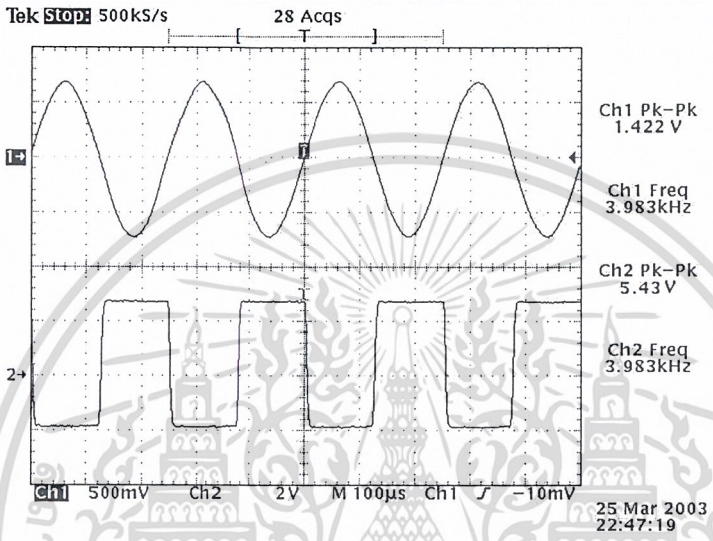
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2 วงจรแปลงสัญญาณกระแสตรงเป็นกระแสสลับ

การทดลองส่วนนี้ ได้ทำการนำสัญญาณกระแสตรงที่เป็นลักษณะสัญญาณรูปพัลส์เพื่อให้ได้ผลลัพธ์ออกมาเป็นสัญญาณรูปไซน์ในรูปกระแสสลับ

4.2.1 ผลการทดลองของวงจรกำลังขยายสูง

ในวงจรนี้ เป็นวงจรขยายที่กำลังสูง มาก อัตราการขยายมีค่ามากกว่าสิบเท่ามาก ๆ ทำให้สัญญาณเกิดค่ามากที่สุดได้ในระดับไฟเลี้ยง



รูปที่ 4.10 แสดงสัญญาณผ่านวงจรกำลังขยายสูงเมื่อสัญญาณเข้ารูปไซน์

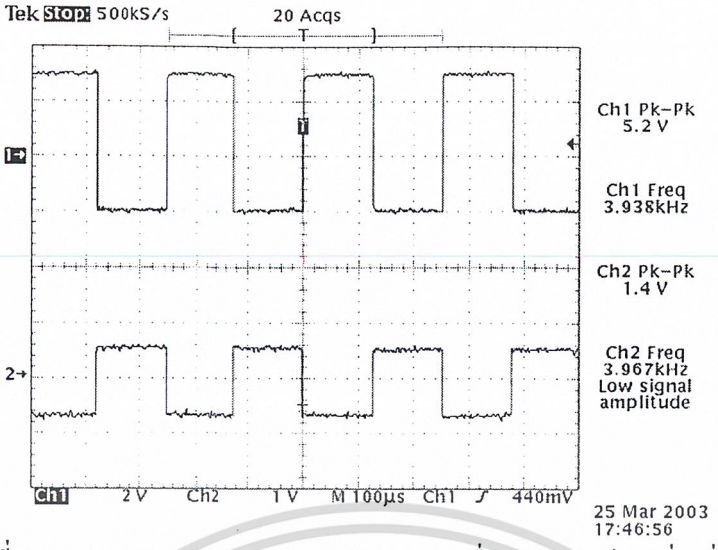
CH 1 สัญญาณอินพุต

CH 2 สัญญาณเอาท์พุต

4.2.2 วงจรกำลังขยายสูงเมื่อสัญญาณเข้าเป็นสัญญาณสี่เหลี่ยม

ผลการทดลองในวงจรนี้ เป็นผลการทดลองที่เทียบกับการทดลองสัญญาณที่ใส่เข้าไปเป็นรูปไซน์ เพื่อดูความแตกต่างของการขยาย ได้ผลลัพธ์ออกมาได้ขนาดมากขึ้น เท่ากับสัญญาณไฟเลี้ยงที่จ่ายให้กับออปแอมป์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



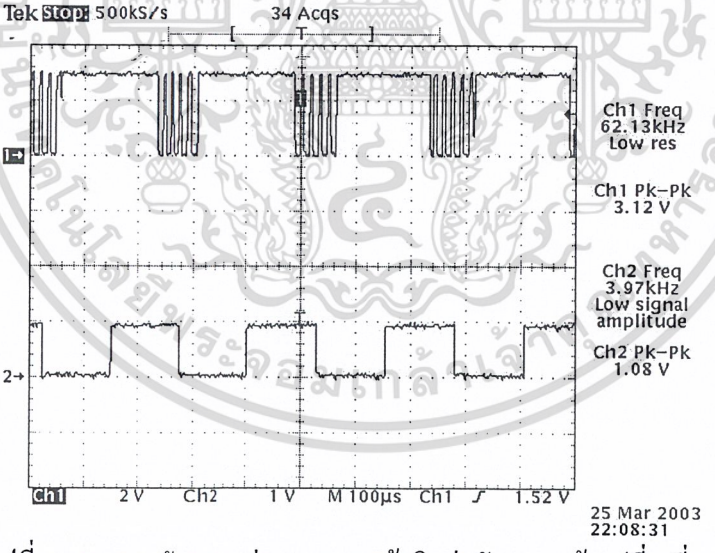
รูปที่ 4.11 แสดงสัญญาณผ่านวงจรกำลังขยายสูงเมื่อสัญญาณเข้ารูปสี่เหลี่ยม

CH 1 สัญญาณเอาท์พุต

CH 2 สัญญาณอินพุต

4.3 วงจรเข้ารหัสเดลต้าซิกม่ามอดูเลชั่นเมื่อสัญญาณเป็นรูปสี่เหลี่ยม

ในวงจรนี้ แสดงถึงการเข้ารหัสสัญญาณแบบเดลต้าซิกม่ามอดูเลชั่น ชนิดอันดับ 1 โดยที่อินพุตเป็นสัญญาณสี่เหลี่ยม



รูปที่ 4.12 แสดงสัญญาณผ่านวงจรเดลต้าซิกม่าสัญญาณเข้ารูปสี่เหลี่ยม

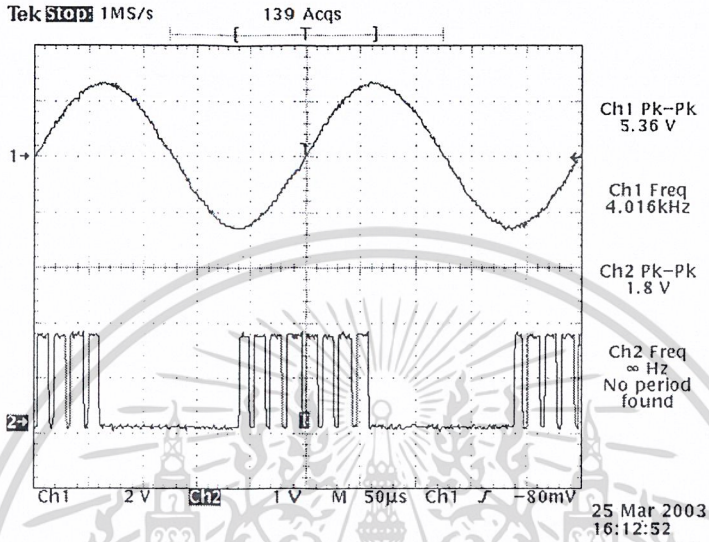
CH 1 สัญญาณเอาท์พุต

CH 2 สัญญาณอินพุต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.4 วงจรเข้ารหัสแบบเดลต้าซิกม่าเมื่อสัญญาณเป็นรูปไซน์

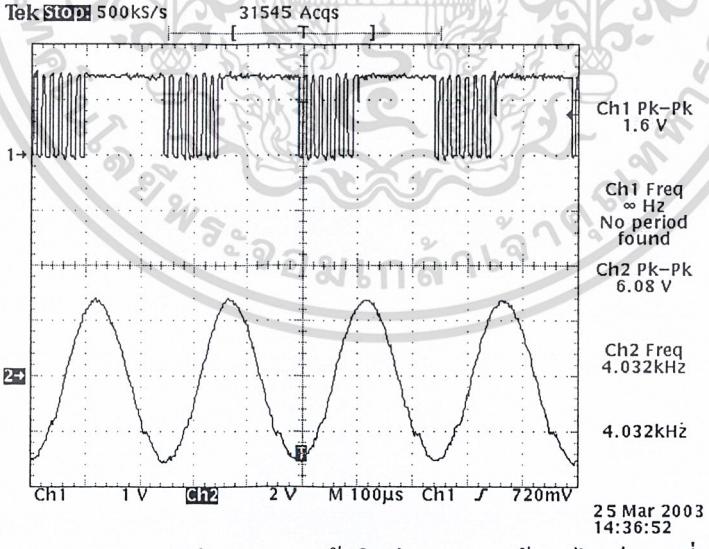
ในวงจรนี้ แสดงถึงการเข้ารหัสสัญญาณแบบเดลต้าซิกม่ามอดูเลชั่นอันดับ 1 โดยที่อินพุตเป็นสัญญาณไซน์เพื่อเปรียบเทียบถึงความแตกต่างระหว่างสองอินพุต



รูปที่ 4.13 แสดงสัญญาณผ่านวงจรเดลต้าซิกม่าสัญญาณเข้ารูปไซน์ความถี่ 32 kHz

CH 1 สัญญาณอินพุต

CH 2 สัญญาณเอาท์พุต



รูปที่ 4.14 แสดงสัญญาณผ่านวงจรเดลต้าซิกม่าสัญญาณเข้ารูปไซน์ความถี่ 64 kHz

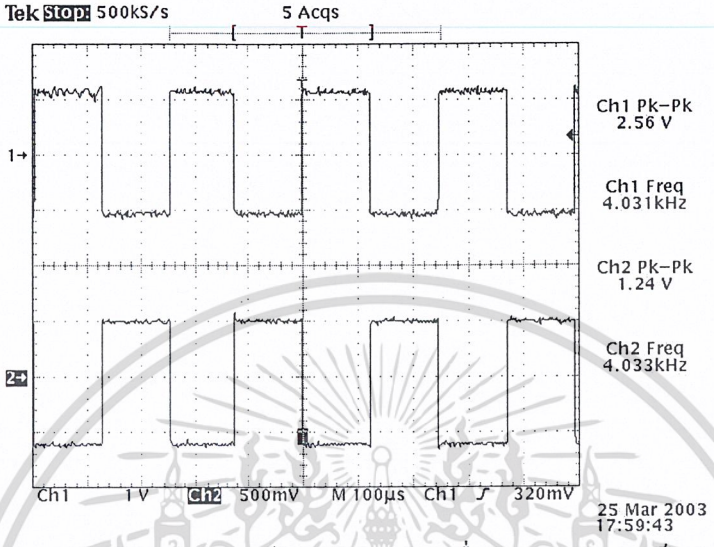
CH 1 สัญญาณเอาท์พุต

CH 2 สัญญาณอินพุต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.5 วงจรป้อนกลับแบบลบที่อัตราการขยายเป็น 3 dB เมื่อสัญญาณอินพุตเป็นสี่เหลี่ยม

ในวงจรนี้ แสดงถึงวงจรป้อนกลับแบบลบ ที่ระบบต้องการให้ได้อัตราการขยายเป็น 3 dB ซึ่งคือขยายสองเท่านั่นเอง



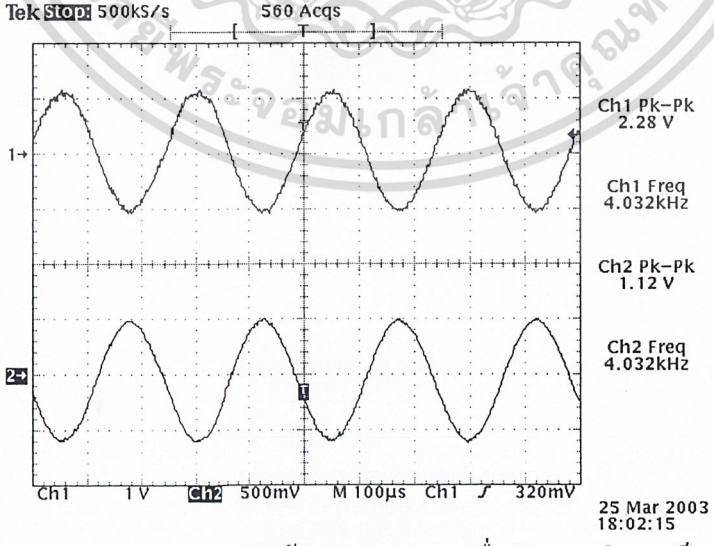
รูปที่ **4.15** แสดงสัญญาณผ่านวงจรป้อนกลับแบบลบเมื่อสัญญาณอินพุตเป็นรูปสี่เหลี่ยม

CH 1 สัญญาณเอาท์พุต

CH 2 สัญญาณอินพุต

4.6 วงจรป้อนกลับแบบลบที่อัตราการขยายเป็น 3 dB เมื่อสัญญาณอินพุตเป็นไซน์

ในวงจรนี้ แสดงถึงวงจรป้อนกลับแบบลบ ที่ระบบต้องการให้ได้อัตราการขยายเป็น 3 dB ซึ่งคือขยายสองเท่านั่นเอง ที่สัญญาณอินพุตเป็นไซน์เวฟ เพื่อเทียบกับสี่เหลี่ยม



รูปที่ 4.16 แสดงสัญญาณผ่านวงจรป้อนกลับแบบลบเมื่อสัญญาณอินพุตเป็นรูปไซน์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CH 1 สัญญาณเอาท์พุต

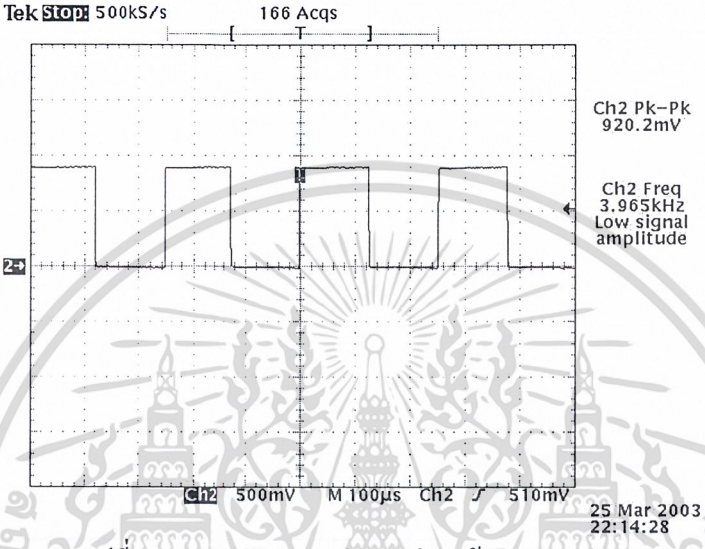
CH 2 สัญญาณอินพุต

4.7 สัญญาณที่ผ่านวงจรแปลงกระแสตรงเป็นกระแสสลับ

ในส่วนของผลการทดลองส่วนนี้นั้น เป็นผลการทดลองด้วยการทดลองการส่งสัญญาณรูปสี่เหลี่ยมเข้าไป

4.7.1 สัญญาณอินพุต

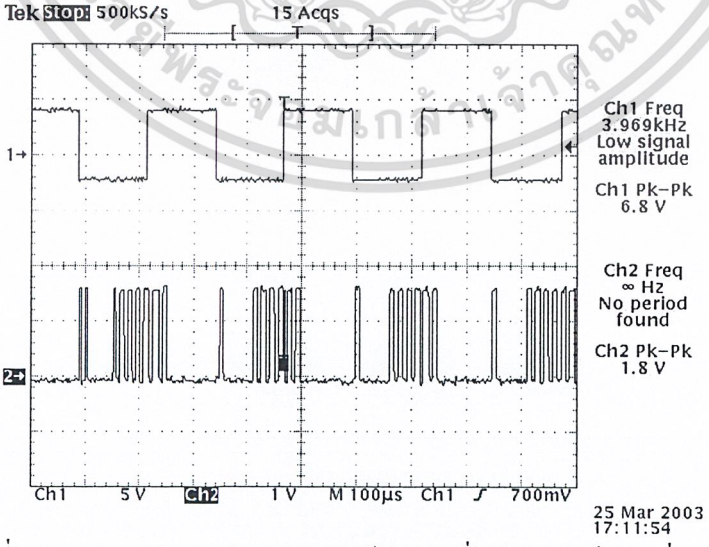
ในผลการทดลองของวงจรนี้นั้น ต้องการแสดงให้เห็นถึงสัญญาณที่จ่ายเข้ามาซึ่งเป็นลักษณะสัญญาณรูปสี่เหลี่ยม



รูปที่ 4.17 แสดงสัญญาณอินพุตก่อนเข้าทำการแปลง

4.7.2 สัญญาณผ่านวงจรเดลต้าซิกม่ามอดูเลชั่น

ในส่วนสัญญาณที่ผ่านออกมาจากวงจรนี้นั้น เป็นผลจากการเข้ารหัสแบบเดลต้าซิกม่ามอดูเลชั่นแล้วได้ผลลัพธ์ออกมาเป็นลักษณะสัญญาณดิจิตอล เพื่อกลายเป็นสัญญาณควงคุมที่จะเข้าสู่วงจรบัคส์คอนเวอร์เตอร์



รูปที่ 4.18 แสดงสัญญาณผ่านวงจรเดลต้าซิกม่าเมื่อสัญญาณเป็นรูปสี่เหลี่ยม

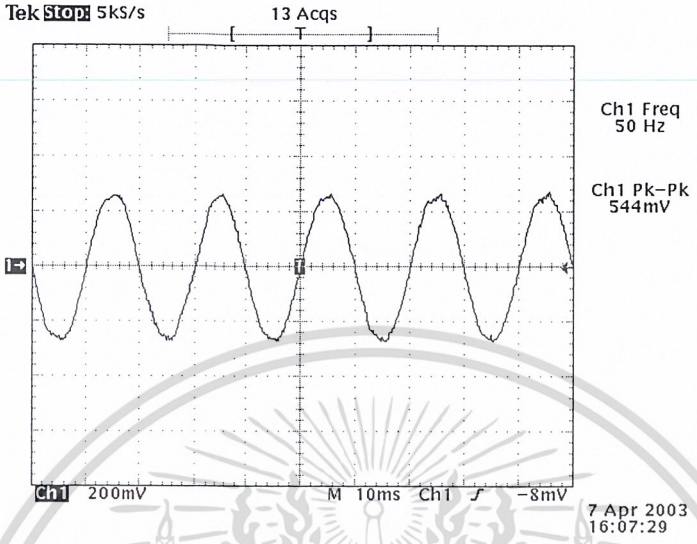
CH 1 สัญญาณอินพุต

CH 2 สัญญาณเอาท์พุต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.7.3 สัญญาณเอาท์พุตผ่านวงจรบัคส์คอนเวอร์เตอร์

สำหรับผลลัพธ์ที่ผ่านออกมาจากวงจรนี้นั้น ผ่านวงจรบัคส์คอนเวอร์เตอร์ แล้วได้ลักษณะสัญญาณสุดท้ายออกมาเป็นลักษณะสัญญาณรูปไซน์ แต่ผลออกมาอาจยังไม่สวยงามมากนัก



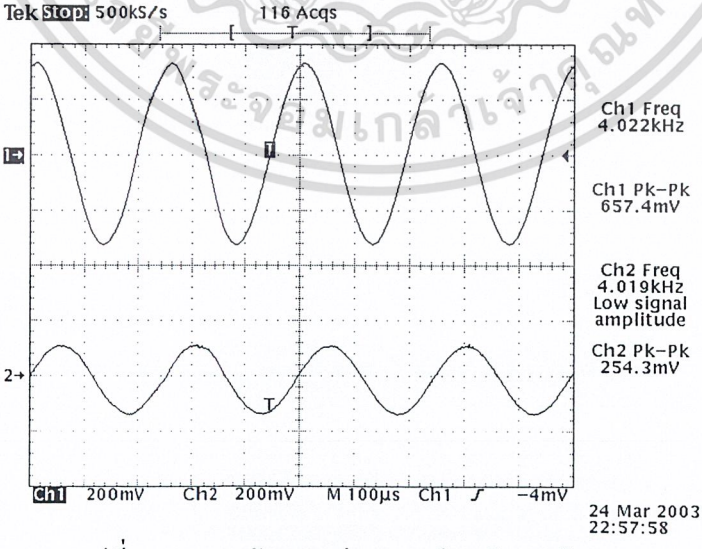
รูปที่ 4.19 แสดงสัญญาณผ่านวงจรบัคส์คอนเวอร์เตอร์

4.8 ผลการทดลองวงจรการแปลงสัญญาณจากอนาลอกเป็นดิจิตอลเดลต้าซิกม่าอันดับ 2

การทดลองนี้ เป็นการเพิ่มอันดับให้กับวงจรการแปลงสัญญาณจากดิจิตอลเป็นอนาลอก แบบอันดับที่มากกว่าอันดับ 1 ในการทดลองนี้ ทำการเพิ่มอันดับเป็นอันดับ 2 โดยที่มีผลการทดลองดังนี้

4.8.1 ผลการทดลองผ่านวงจรอินทริเกรตตัวแรก

ส่วนการทดลองวงจรการเข้ารหัสเดลต้าซิกม่าอันดับสอง โดยที่อันดับของวงจรนี้พิจารณาจากวงจรอินทริเกรต โดยที่ส่วนนี้ทำการทดลองวงจรอินทริเกรตตัวแรก



รูปที่ 4.20 แสดงสัญญาณผ่านวงจรอินทริเกรตตัวแรก

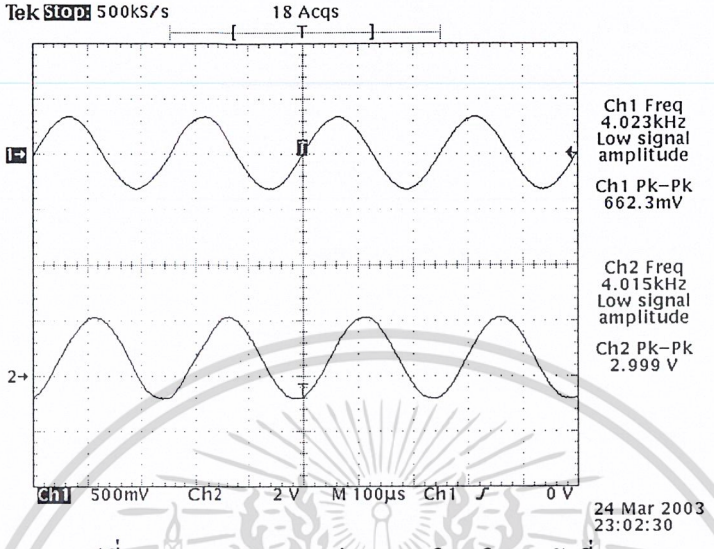
CH 1 สัญญาณอินพุต

CH 2 สัญญาณเอาท์พุต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.8.2 ผลการทดลองผ่านวงจรอินทริเกรตตัวสอง

ส่วนการทดลองนี้ เป็นผลการทดลองผ่านวงจรอินทริเกรตตัวที่สอง โดยที่ได้พิจารณาถึงความสามารถในการทำการอินทริเกรตของตัวที่สอง



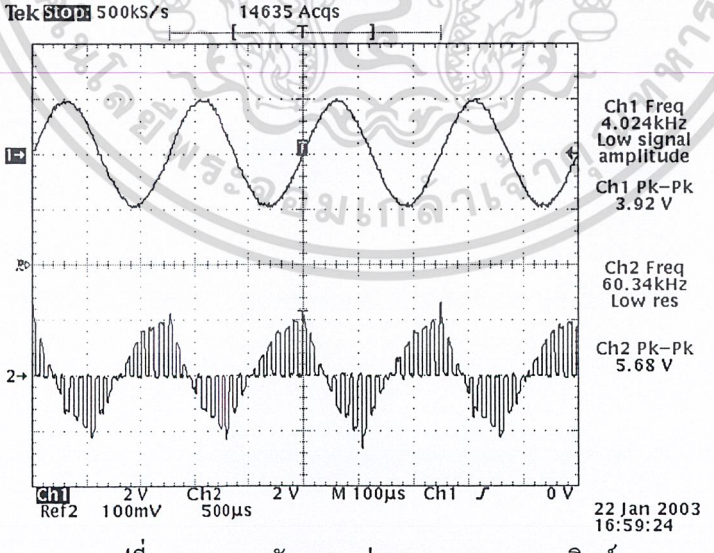
รูปที่ 4.21 แสดงสัญญาณผ่านวงจรอินทริเกรตตัวที่สอง

CH 1 สัญญาณอินพุต

CH 2 สัญญาณเอาท์พุต

4.8.3 ผลการทดลองผ่านวงจรอนาลอกสวิตซ์

ส่วนผลการทดลองนี้นั้น ได้ทำการทดลองนำเอาสัญญาณที่ได้เข้ามาทำการแซมปลิ้ง โดยใช้อนาลอกสวิตซ์เบอร์ MAX325 โดยที่ได้ผลลักษณะเป็นการทำงานของวงจรแซมเปิ้ลแอนด์โฮล



รูปที่ 4.22 แสดงสัญญาณผ่านวงจรอนาลอกสวิตซ์

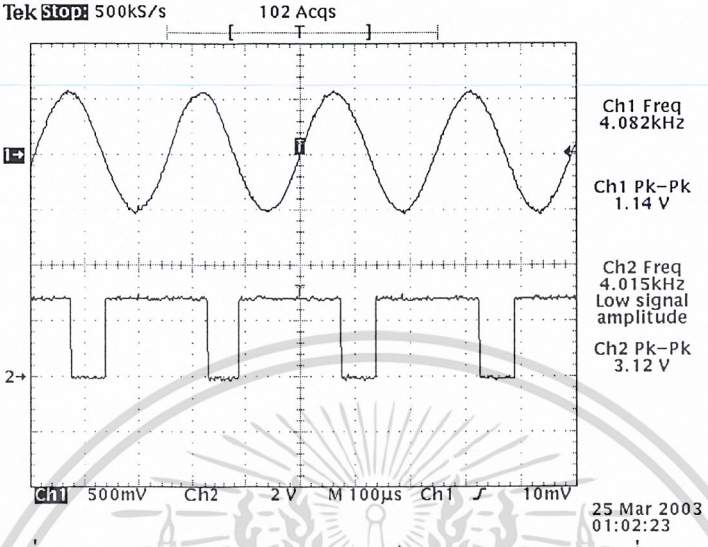
CH 1 สัญญาณอินพุต

CH 2 สัญญาณเอาท์พุต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.8.4 ผลการทดลองวงจรเดลต้าซิกม่าอันดับ 2

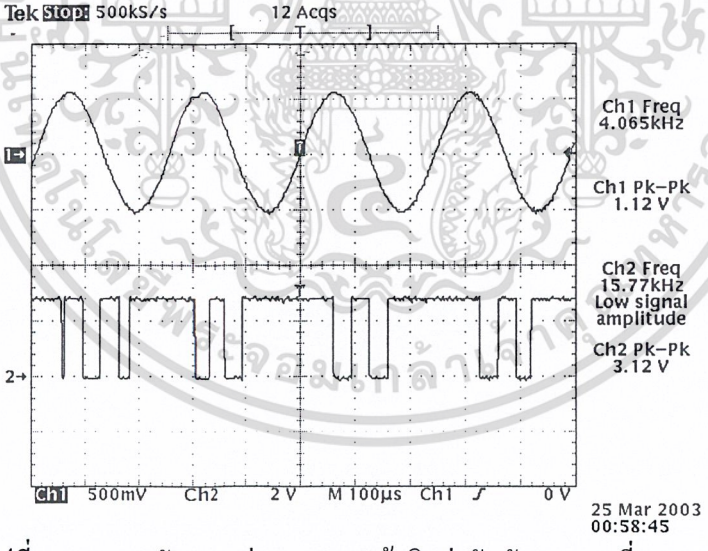
ผลการทดลองภาคส่งของวงจรเดลต้าซิกม่าอันดับ 2 ตัวนี้จะมีประสิทธิภาพที่ดีกว่าวงจรเดลต้าซิกม่าอันดับ 1 โดยที่ถ้าเราทำการใส่สัญญาณแซมปลิ้งเข้าไปที่ความถี่สูงมาก



รูปที่ 4.23 แสดงสัญญาณผ่านวงจรเดลต้าซิกม่าอันดับ 2 ความถี่ 8 kHz

CH 1 สัญญาณอินพุต

CH 2 สัญญาณเอาท์พุต

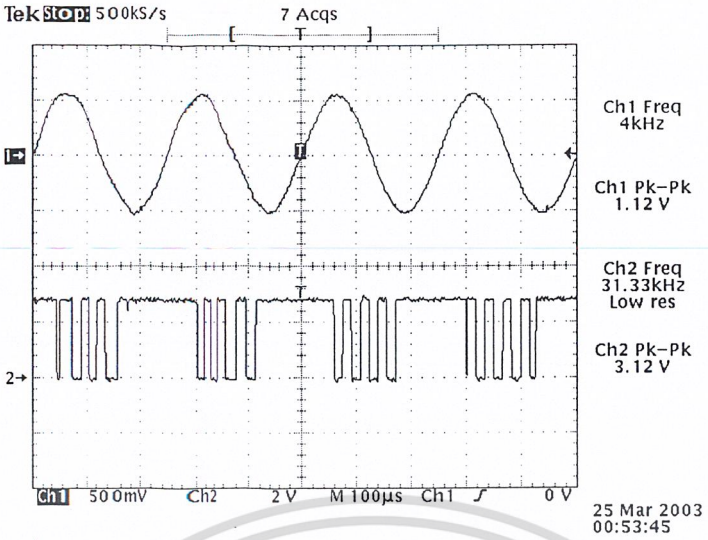


รูปที่ 4.24 แสดงสัญญาณผ่านวงจรเดลต้าซิกม่าอันดับ 2 ความถี่ 16 kHz

CH 1 สัญญาณอินพุต

CH 2 สัญญาณเอาท์พุต

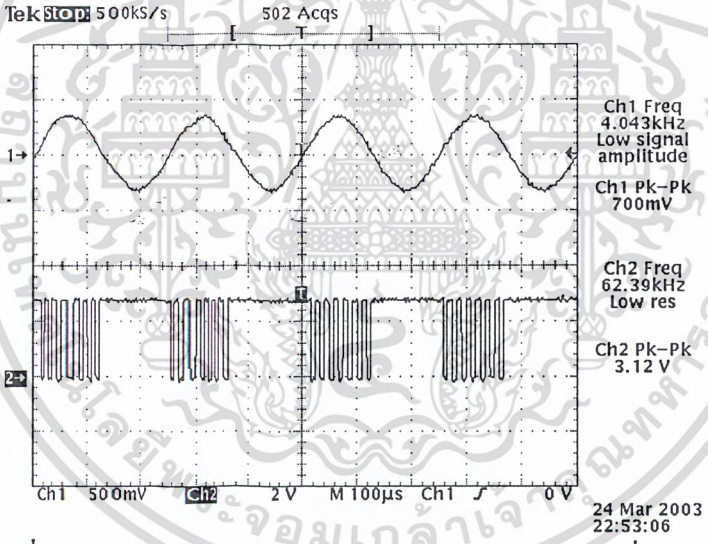
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.25 แสดงสัญญาณผ่านวงจรเดลต้าซิกม่าอันดับ 2 ความถี่ 32 kHz

CH 1 สัญญาณอินพุต

CH 2 สัญญาณเอาท์พุต



รูปที่ 4.26 แสดงสัญญาณผ่านวงจรเดลต้าซิกม่าอันดับ 2 ความถี่ 64 kHz

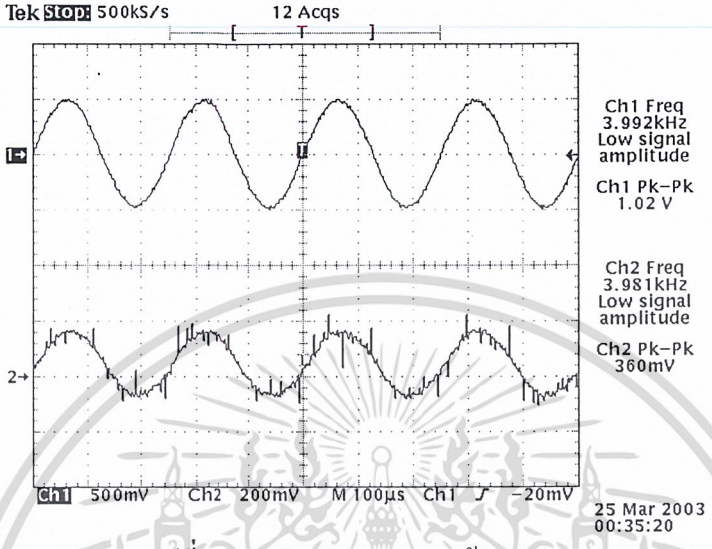
CH 1 สัญญาณอินพุต

CH 2 สัญญาณเอาท์พุต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.8.5 ผลการทดลองก่อนเข้าสู่วงจรป้อนกลับ

ผลการทดลองส่วนนี้ เป็นผลการทดลองที่ผ่านวงจรแปลงสัญญาณดิจิตอลเป็นอนาลอก ขนาด 1 บิต แล้วเข้าวงจรกรองความถี่ต่ำผ่าน



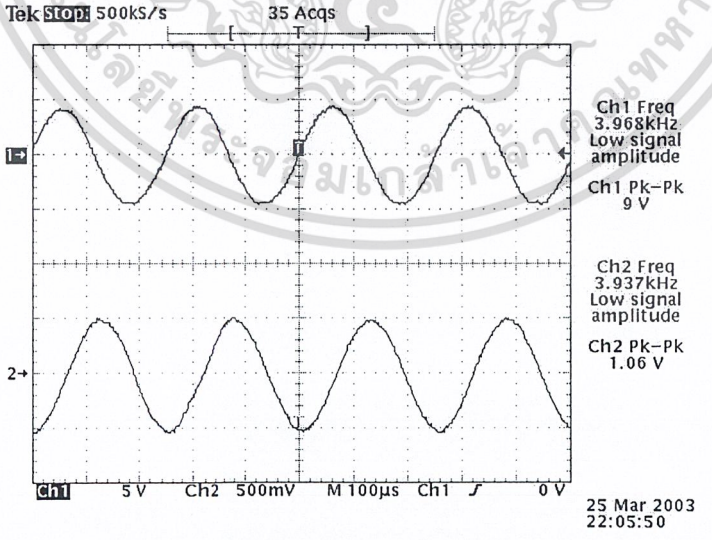
รูปที่ 4.27 แสดงสัญญาณวงจรป้อนกลับ

CH 1 สัญญาณอินพุต

CH 2 สัญญาณเอาท์พุต

4.8.6 ผลการทดลองภาครับ

การทดลองส่วนนี้ แสดงถึงสัญญาณที่ได้จากการเข้าวงจรแปลงสัญญาณดิจิตอลเป็นอนาลอก แล้วทำการผ่านวงจรกรองความถี่ต่ำผ่าน ที่ความถี่แซมปลิ้งต่างกัน

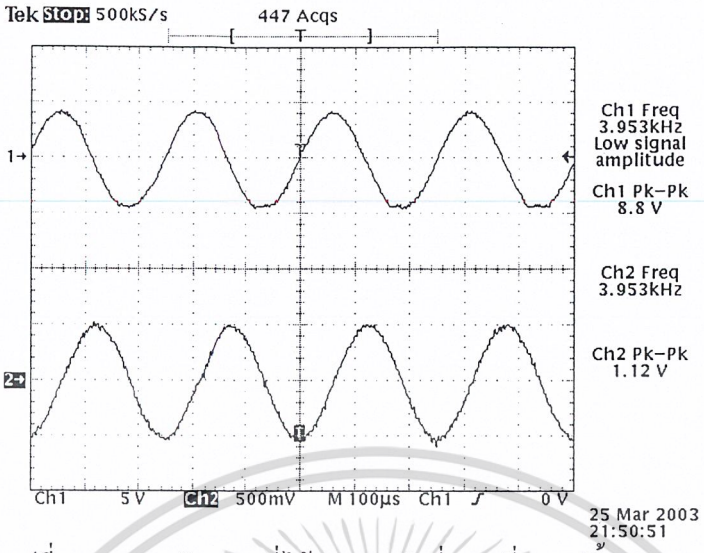


รูปที่ 4.28 แสดงสัญญาณที่ได้ทางภาครับที่ความถี่แซมปลิ้ง 8 kHz

CH 1 สัญญาณอินพุต

CH 2 สัญญาณเอาท์พุต

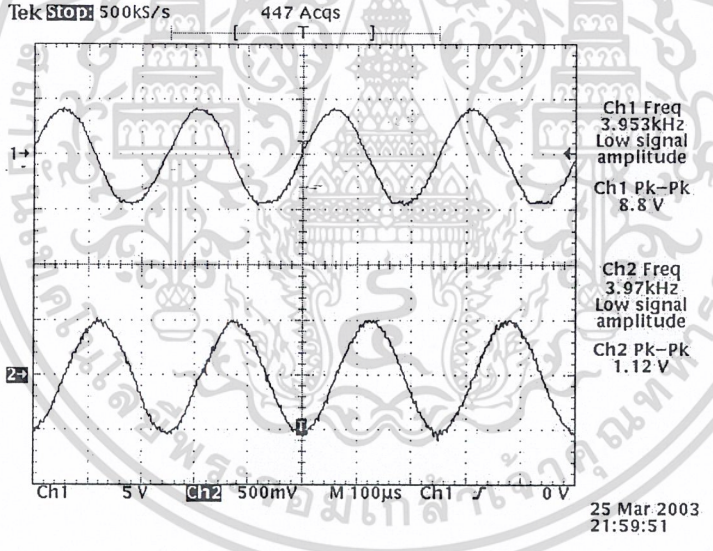
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.29 แสดงสัญญาณที่ได้ทางภาครับที่ความถี่แซมปลิ้ง 16 kHz

CH 1 สัญญาณอินพุต

CH 2 สัญญาณเอาท์พุต

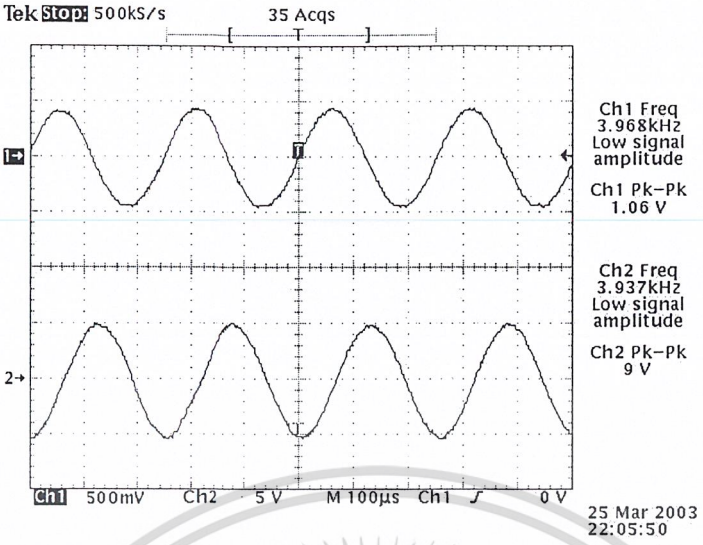


รูปที่ 4.30 แสดงสัญญาณที่ได้ทางภาครับที่ความถี่แซมปลิ้ง 32 kHz

CH 1 สัญญาณอินพุต

CH 2 สัญญาณเอาท์พุต

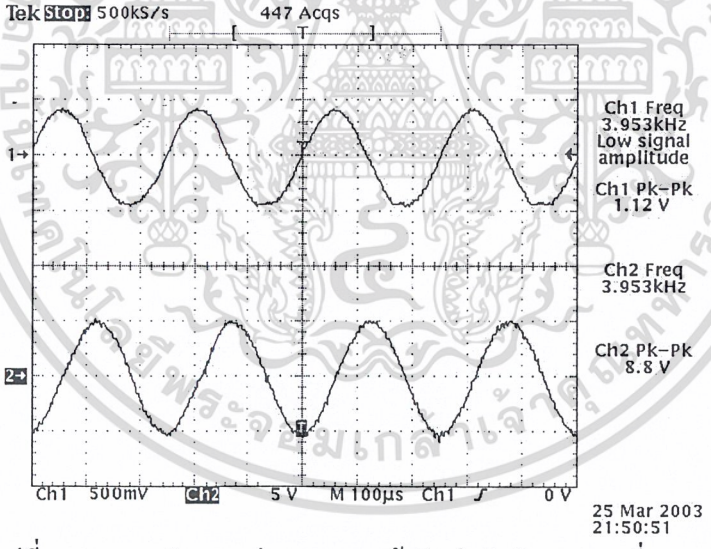
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.31 แสดงสัญญาณที่ได้ทางภาครับที่ความถี่แซมปลิ้ง 64 kHz

CH 1 สัญญาณอินพุต

CH 2 สัญญาณเอาท์พุต



รูปที่ 4.32 แสดงสัญญาณผ่านวงจรเดลต้าซิกม่าอันดับ 2 ความถี่สูงมาก

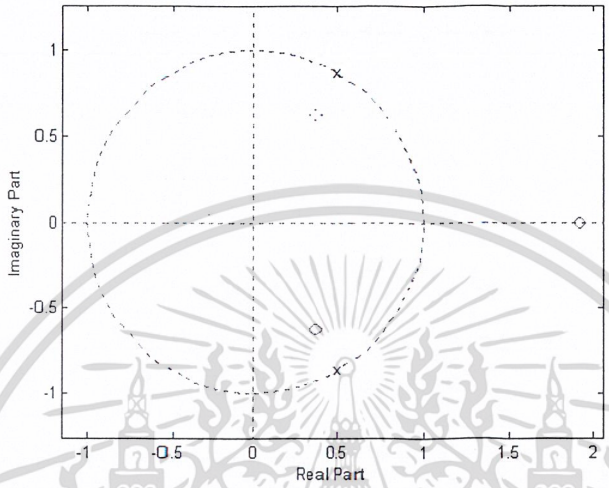
CH 1 สัญญาณอินพุต

CH 2 สัญญาณเอาท์พุต

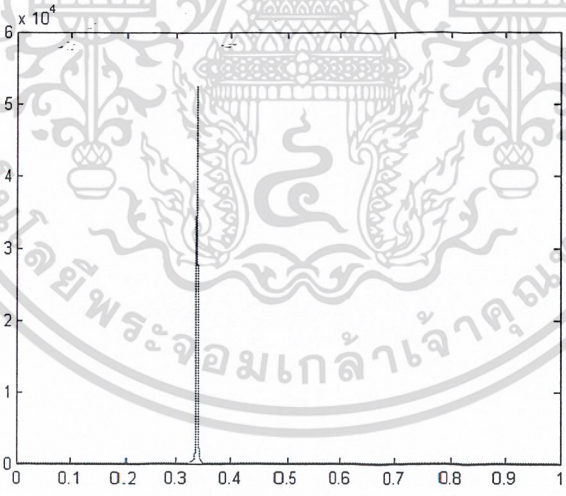
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.9 ผลการทดลองวงจรกรองสัญญาณความถี่ช่วงผ่านเดลต้าซิกม่ามอดูเลเตอร์

สำหรับส่วนการทดลองนี้ ได้เพิ่มขึ้นมาเพื่อเป็นการประยุกต์การใช้งานทางโทรคมนาคม โดยที่ไม่ได้ใช้วงจรเดลต้าซิกม่ามอดูเลเตอร์ให้เป็นวงจรการเข้ารหัสจากสัญญาณอนาลอกเป็นสัญญาณดิจิตอลเท่านั้น ยังสามารถทำการออกแบบให้เป็นวงจรกรองความถี่ช่วงผ่าน โดยได้ทำตามหลักการออกแบบ และทำการ Simulate โดยใช้โปรแกรม MATLAB เป็นตัวแสดงผล โดยได้ผลการทดลองดังนี้

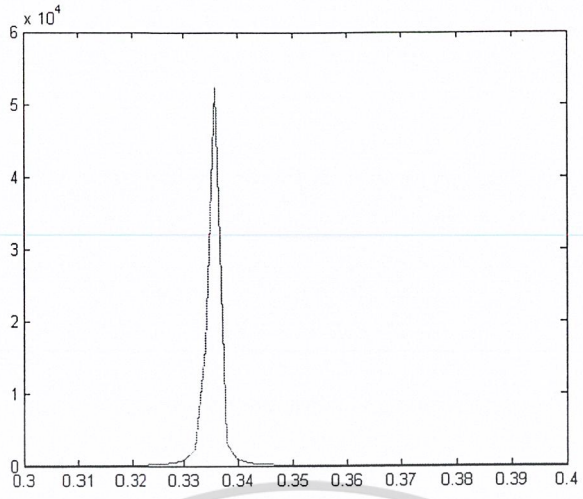


รูปที่ 4.33 แสดงตำแหน่งโพลและซีโร่ ของวงจรกรองแถบความถี่ผ่านอันดับ 4 แบบเดลต้าซิกม่า

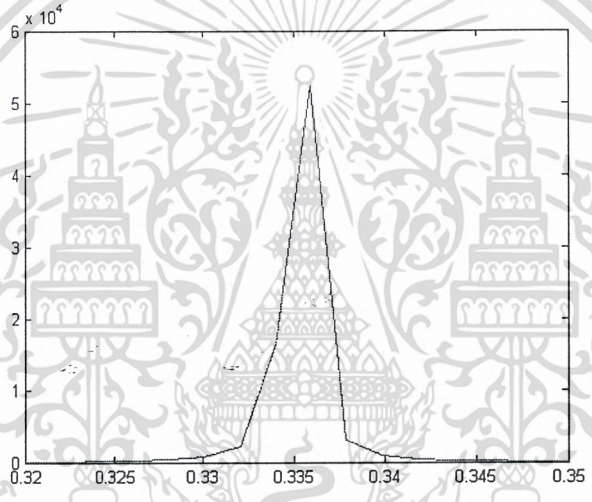


รูปที่ 4.34 แสดงผลตอบสนองทางความถี่ของวงจรกรองแถบความถี่ผ่านอันดับ 4แบบเดลต้าซิกม่า

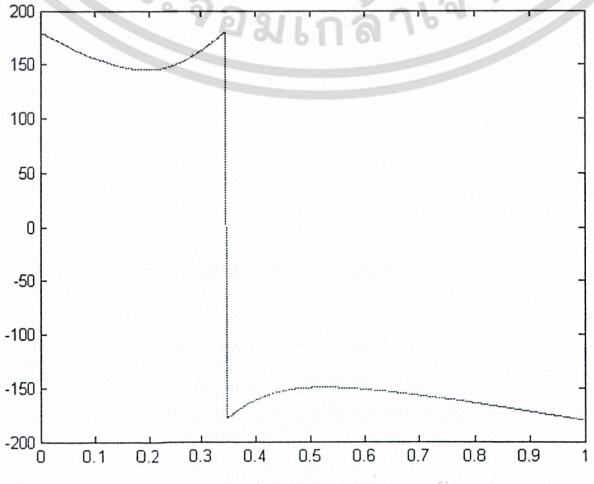
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.35 รูปแสดงผลตอบสนองความถี่ในช่วง 0.3 – 0.4



รูปที่ 4.36 รูปแสดงผลตอบสนองความถี่ในช่วง 0.32 – 0.35



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

รูปที่ 4.37 แสดง Phase Response ของวงจรกรองความถี่ช่วงผ่านแบบเคลต้าซิกม่ามอดูเลเตอร์

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
สรุปและวิจารณ์ผลการทดลอง

สรุปผลการทดลอง

5.1 ผลการทดลองเดลต้าซิกม่าอันดับ 1

จากผลการทดลองวงจรการเข้ารหัสสัญญาณอนาลอกเป็นดิจิตอล แบบเดลต้าซิกม่ามอดูเลชั่นอันดับ 1 หลังจากผ่านวงจรหลัก ๆ ทั้งหมดนี้ ได้ผลการทดลองคร่าว ๆ ดังนี้

5.1.1 ผลการทดลองวงจรขยายผลต่าง

ส่วนของผลการทดลองด้านวงจรขยายผลต่าง ซึ่งเป็นผลการทดลองชุดแรกของวงจรการเข้ารหัสสัญญาณอนาลอกเป็นดิจิตอลแบบเดลต้าซิกม่า ได้ผลการทดลองค่อนข้างสมบูรณ์ โดยที่ได้ทำการทดลองโดยใส่สัญญาณอินพุตรูปไซน์ แล้ววัดผลออกมาได้ผลการทดลองค่อนข้างดี เพราะความถี่ที่ใช้ในการทดลองไม่สูงมากเกินไป ไม่เกินขีดความสามารถของอุปกรณ์

5.1.2 ผลการทดลองวงจรปฏิกิริยานุพันธ์

ส่วนของผลการทดลองวงจรปฏิกิริยานุพันธ์ ได้ทำการทดลองแล้วทำการเก็บผลทั้งสองโหมด คือ โหมดธรรมดากับโหมด XY โดยที่ได้ลักษณะของผลลัพธ์เป็นวงกลม แล้วแสดงว่าผลการเลื่อนเฟส เป็นไปตามหลักของการทำการอินทริเกรต คือจะเลื่อนเฟสไปเก้าสิบองศาพอดี โดยที่ลักษณะสัญญาณอาจจะมีสัญญาณรบกวนอยู่เล็กน้อย

5.1.3 ผลการทดลองหลังจากผ่านวงจรเปรียบเทียบ

ทางด้านการทดลองทางด้านหลังจากผ่านวงจรเปรียบเทียบ กล่าวคือ เป็นลักษณะสัญญาณดิจิตอลที่เราได้ทำการแปลงจากสัญญาณอนาลอก โดยที่ได้ทำการเปรียบเทียบความถี่แซมปลิ้งที่เข้าไปให้แตกต่างกัน เพื่อจะให้มองเห็นถึงความแตกต่างกันในการแปลงสัญญาณ โดยทำการเปลี่ยนค่าตั้งแต่ 8 kHz ,16 kHz, 32 kHz, 64 kHz และทำการเปรียบเทียบผลการทดลองต่าง ๆ โดยที่ ลักษณะความถี่แซมปลิ้งเข้ามาสูงมาก จะทำให้สัญญาณที่แปลงได้ค่อนข้างจะถี่ กว่าความถี่แซมปลิ้งที่ต่ำ

5.1.4 ผลการทดลองวงจรแปลงสัญญาณดิจิตอลเป็นอนาลอกขนาด 1 บิต

การทดลองส่วนนี้ เป็นส่วนของการทดลองในส่วนของวงจรป้อนกลับของสัญญาณ โดยที่ในการป้อนกลับ เราทำการป้อนกลับโดยวงจรแปลงสัญญาณจากดิจิตอลเป็นอนาลอกขนาด 1 บิต โดยที่ใช้วงจรสวิตซ์กระแส ทำการแปลงสัญญาณดิจิตอลให้เป็นสัญญาณอนาลอก โดยที่ได้ทำการทดลองก่อนที่จะผ่านวงจรกรองความถี่ต่ำผ่าน โดยที่ผลที่ได้ออกมาค่อนข้างจะไม่ค่อยสมบูรณ์สักเท่าไรนัก เพราะเป็นการแปลงสัญญาณขนาด 1 บิตเท่านั้น ถ้าต้องการความแม่นยำและเที่ยงตรงให้มากกว่าเดิม ต้องทำการเพิ่มบิตในการแปลงสัญญาณ เพราะยิ่งเพิ่มบิต จะยิ่งทำให้ความสามารถในการแปลงสัญญาณมีค่าสูงขึ้นอีกด้วย

5.1.5 ผลการทดลองภาครับ

ผลการทดลองภาครับของเดลต้าซิกม่ามอดูเลชั่น ทำได้โดยนำวงจรแปลงสัญญาณดิจิตอลเป็นอนาลอกขนาด 1 บิต แล้วมาทำการกรองด้วยวงจรกรองความถี่ต่ำผ่านขนาด 4 kHz แล้วทำการวัดผลการทดลอง โดยที่หลังจากผ่านวงจรนี้แล้ว ปรากฏว่าได้สัญญาณที่เหมือนสัญญาณตั้งต้น แต่มีการเลื่อนเฟสนิด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หน่อย โดยที่สัญญาณที่ได้ออกมาอาจจะไม่สวยงามมากนัก ขึ้นอยู่กับขีดความสามารถของการแปลงสัญญาณจากดิจิตอลเป็นอนาลอก

5.2 ผลการทดลองวงจรแปลงสัญญาณกระแสตรงเป็นกระแสสลับ

5.2.1 ผลการทดลองของวงจรกำลังขยายสูง

ผลการทดลองทางด้านวงจรกำลังขยายสูง เป็นการทำให้อัตราการขยายของวงจรนี้มีมากกว่า 10 เท่า โดยที่ผลออกมาจะออกมาที่กำลังสูงสุดของไฟเลี้ยง เพราะว่าความสามารถของออปแอมป์ไม่สามารถตอบสนองในช่วงกำลังขยายช่วงนั้น ทำให้ผลออกมาจากวงจรรูปไซน์ กลับกลายเป็นวงจรที่เป็นรูปสี่เหลี่ยมนั่นเอง

5.2.2 วงจรกำลังขยายสูงเมื่อสัญญาณเข้าเป็นสัญญาณสี่เหลี่ยม

ผลการทดลองวงจรกำลังขยายสูงส่วนนี้ จะได้ผลที่ค่อนข้างสมบูรณ์ โดยที่ไม่มีผลกระทบเท่าใดนัก แต่กำลังสูงสุดก็จะอยู่ตรงที่ไฟเลี้ยงของออปแอมป์เหมือนกัน

5.3 วงจรเข้ารหัสเดลต้าซิกม่ามอดูเลชั่นเมื่อสัญญาณเป็นรูปสี่เหลี่ยม

ผลการทดลองวงจรนี้ ทำการเปลี่ยนสัญญาณอินพุตที่เข้ามา โดยปกติได้ใช้สัญญาณอินพุตเป็นรูปไซน์ แต่เปลี่ยนมาเป็นสัญญาณอินพุตรูปสี่เหลี่ยม โดยที่ต้องการทำการเปลี่ยนเพื่อจะใช้ในวงจรแปลงสัญญาณไฟกระแสตรงเป็นกระแสสลับ โดยที่ได้ลักษณะคล้ายกับรูปไซน์ทุกประการ

5.4 วงจรเข้ารหัสแบบเดลต้าซิกม่าเมื่อสัญญาณเป็นรูปไซน์

ผลการทดลองวงจรนี้ เป็นผลการทดลองพื้นฐาน ซึ่งจะเหมือนกับผลการทดลองวงจรการเข้ารหัสเดลต้าซิกม่ามอดูเลชั่นขนาด 1 บิต โดยที่ได้ทำการเปลี่ยนความถี่ในการแซมปลิ้ง 2 ความถี่ เพื่อเปรียบเทียบให้เห็นถึงข้อแตกต่าง

5.5 วงจรป้อนกลับแบบลบที่อัตราการขยายเป็น 3 dB เมื่อสัญญาณอินพุตเป็นสี่เหลี่ยม

ในส่วนของวงจรป้อนกลับแบบลบ ที่มีอัตราการขยายเป็น 3 dB นั้น เป็นวงจรการขยายขนาดสองเท่านั่นเอง โดยที่ทำการเทียบกับสัญญาณที่เป็นรูปสี่เหลี่ยม ได้ผลการทดลองที่ค่อนข้างสมบูรณ์ ได้การขยาย 2 เท่าตามที่ต้องการ

5.6 วงจรป้อนกลับแบบลบที่อัตราการขยายเป็น 3 dB เมื่อสัญญาณอินพุตเป็นไซน์

ในส่วนการทดลองนี้ เป็นการทดลองที่เหมือนกับหัวข้อก่อนหน้า แต่ต้องการทดสอบกับสัญญาณที่เข้ามาเป็นรูปไซน์ ได้ผลการทดลองที่ค่อนข้างดี

5.7 สัญญาณที่ผ่านวงจรแปลงกระแสตรงเป็นกระแสสลับ

ผลการทดลองส่วนนี้ เป็นผลการทดลองที่ได้นำเอาวงจรทั้งหมด มาทำการรวม แล้วทำการวัดแต่ส่วนที่เห็นว่าสำคัญในระบบ

5.7.1 สัญญาณอินพุต

ทำการส่งสัญญาณก่อนเข้าวงจรแปลงเป็นสัญญาณไฟกระแสตรง โดยที่ให้เป็นลักษณะสัญญาณสี่เหลี่ยม เพื่อให้ได้ผลการทดลองคล้ายกับไฟกระแสตรงมากที่สุด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.7.2 สัญญาณผ่านวงจรเดลต้าซิกม่ามอดูเลชั่น

ผลการทดลองในส่วนนี้ เป็นลักษณะที่ทำการทดลองโดยการใส่สัญญาณเข้าไปเป็นรูปสี่เหลี่ยม แล้วทำการผ่านวงจรการเข้ารหัสแบบเดลต้าซิกม่าได้ลักษณะสัญญาณที่คล้ายกับส่วนการทดลองวงจรเดลต้าซิกม่ามอดูเลเตอร์ที่เป็นสัญญาณรูปสี่เหลี่ยม โดยที่ได้สัญญาณลักษณะตามที่ต้องการ

5.7.3 สัญญาณเอาท์พุตผ่านวงจรบัคส์คอนเวอร์เตอร์

ส่วนสุดท้ายของระบบนี้ เป็นส่วนที่ทำการปรับแต่ง หรือ ทำการจูนสัญญาณ ให้ได้ความถี่ตามที่ต้องการ โดยที่ความถี่ที่ต้องการเป็นความถี่ของไฟกระแสสลับที่ใช้ตามบ้าน โดยเราทำการอ้างอิงที่ความถี่ 50 Hz ได้ผลการทดลองค่อนข้างเกือบจะสมบูรณ์ อาจจะเกิดความผิดพลาดในการจูนความถี่ อาจจะทำให้สัญญาณที่ได้ออกมาอาจไม่สวยเท่าไร

5.8 ผลการทดลองวงจรการแปลงสัญญาณจากอนาลอกเป็นดิจิตอลเดลต้าซิกม่าอันดับ 2

การทดลองส่วนที่สองของปริญญานิพนธ์ฉบับนี้ เป็นการทดลองเพื่อเปรียบเทียบคุณสมบัติการเข้ารหัสเดลต้าซิกม่าอันดับ 1 กับ อันดับ 2 ว่าแตกต่างกันมากแค่ไหน

5.8.1 ผลการทดลองผ่านวงจรอินทริเกรตตัวแรก

การทดลองส่วนนี้ เป็นการทดลองเปรียบเทียบวงจรอินทริเกรเตอร์ในวงจรการเข้ารหัสเดลต้าซิกม่าอันดับ 2 โดยที่วงจรอินทริเกรตตัวแรก ผลที่ได้ออกมา ค่อนข้างเป็นรูปไซน์ที่สมบูรณ์ และทำการเลื่อนเฟสไป 90 องศาและกลับเฟสอีกด้วย เพราะวงจรที่ใช้เป็นวงจรอินทริเกรตแบบกลับเฟส

5.8.2 ผลการทดลองผ่านวงจรอินทริเกรตตัวสอง

ในส่วนของวงจรอินทริเกรตแบบกลับเฟสตัวที่สอง เป็นการรับเอาสัญญาณที่ผ่านวงจรขยายผลต่างเข้ามา โดยที่มีเฟสที่เลื่อนแล้วค่อนข้างจะต่างจากวงจรอินทริเกรตตัวแรก โดยที่เฟสที่ทำการเลื่อนไปหลังจากผ่านวงจรขยายผลต่างแล้ว จะทำการเลื่อนเฟสไป 90 องศาพอดี

5.8.3 ผลการทดลองผ่านวงจรอนาลอกสวิตซ์

ผลการทดลองส่วนนี้ เป็นการนำสัญญาณที่ได้ออกมาทำการแซมปลิ้ง แล้วทำการวัดนำผลออกมาได้เป็นลักษณะที่ผ่านการแซมปลิ้งอย่างสมบูรณ์

5.8.4 ผลการทดลองวงจรเดลต้าซิกม่าอันดับ 2

ในส่วนของผลการทดลองวงจรเดลต้าซิกม่าอันดับ 2 ตามผลการทดลองที่ได้นำเสนอไปนั้น ค่อนข้างจะมีผลที่ใกล้เคียงกับวงจรการเข้ารหัสเดลต้าซิกม่าอันดับ 1 แต่ที่น่าสังเกตคือ ในวงจรการเข้ารหัสเดลต้าซิกม่าอันดับ 1 ในกรณีที่ความถี่ในการแซมปลิ้งสูงมาก จะไม่สามารถทำการถอดรหัสกลับมาได้อย่างสมบูรณ์ แต่ถ้าเป็นวงจรเดลต้าซิกม่าอันดับ 2 ไม่มีปัญหาสำหรับความถี่แซมปลิ้งที่สูงมาก โดยที่ได้รูปออกมาแต่อาจจะมีสัญญาณรบกวนเข้ามาด้วย

5.8.5 ผลการทดลองก่อนเข้าสู่วงจรป้อนกลับ

เป็นผลการทดลองในส่วนของวงจรป้อนกลับ เป็นผลการทดลองของวงจรการเข้ารหัสดิจิตอลเป็นอนาลอกขนาด 1 บิต โดยที่ได้สัญญาณออกมาเกือบที่จะสมบูรณ์ เพราะถ้าต้องการการสัญญาณออกมาอย่างสมบูรณ์ สามารถทำได้โดยการเพิ่มจำนวนบิต ในการเข้ารหัสให้มากกว่า 1 บิต แล้วสัญญาณที่ได้ออก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

มาจะดีขึ้น โดยที่เราจะต้องนำวงจรนี้ผ่านเข้าสู่วงจรกรองความถี่ต่ำผ่าน เพื่อที่จะให้สัญญาณออกมาสวยกว่าเดิม

5.8.6 ผลการทดลองภาครับ

ในส่วนของการทดลองภาครับ เราทำการเปลี่ยนความถี่ในการแซมปลิ้ง แล้วพิจารณาถึงความแตกต่างในความถี่แซมปลิ้งแต่ละตัว โดยที่ลักษณะสัญญาณที่ได้ออกมาค่อนข้างจะสวย โดยที่ยังสามารถทำการถอดสัญญาณที่ความถี่แซมปลิ้งออกมาได้ด้วย แต่ลักษณะอาจจะมีสัญญาณรบกวนนิดหน่อย

5.9 ผลการทดลองวงจรกรองสัญญาณความถี่ช่วงผ่านเดลต้าซิกม่ามอดูเลเตอร์

ในส่วนที่เป็นผลการทดลองเพิ่มเข้ามา โดยทำการประยุกต์การใช้งานการเข้ารหัสแบบเดลต้าซิก-ม่ามอดูเลชั่น โดยนำไปทำเป็นวงจรกรองความถี่ช่วงผ่าน โดยที่เลือกอันดับ 4 จากผลการนำตำแหน่งโพลและซีโร่ของระบบไปพล็อทกราฟ จะได้ว่า ตำแหน่งโพลและซีโร่จะอยู่ใกล้กับวงกลมหนึ่งหน่วยมาก และแนวเส้นของโพลกับซีโร่ ยังอยู่ในแนวเดียวกัน ทำให้ช่วงความถี่ที่ผ่านได้นั้น ค่อนข้างที่จะแคบมาก เป็นลักษณะของวงจรกรองความถี่แถบผ่านแบบช่วงแคบ (Narrowband bandpass modulator)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หนังสืออ้างอิง

[1.] S. R. Norsworthy, R. Schreier and G. C. Temes, "Delta-Sigma Data Converter," IEEE PRESS,1996.

[2.] A. J. Frazier and M. K. Kazimierczuk, "DC-AC Power Inversion Using Delta-Sigma Modulation," IEEE Trans. Circuit and System , Part 1, Vol 47, No 1., January 2000.

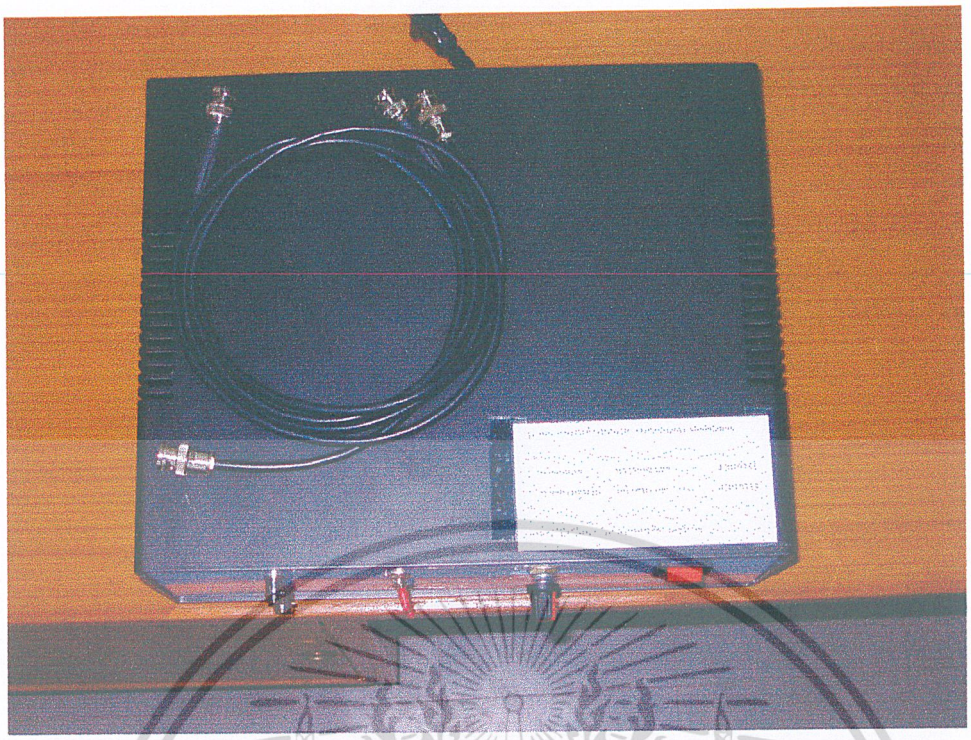
[3.] L. Luh, J. Choma and J. Draper, "A High-Speed Fully Differential Current Switch," IEEE Trans. Analog and Digital Signal Processing, Vol 47, No 4., April 2000.

[4.] J. V. Engelen, R. V. D. Plassche, "Bandpass Sigma Delta Modulator," Kluver Academic Publishers, 1999.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

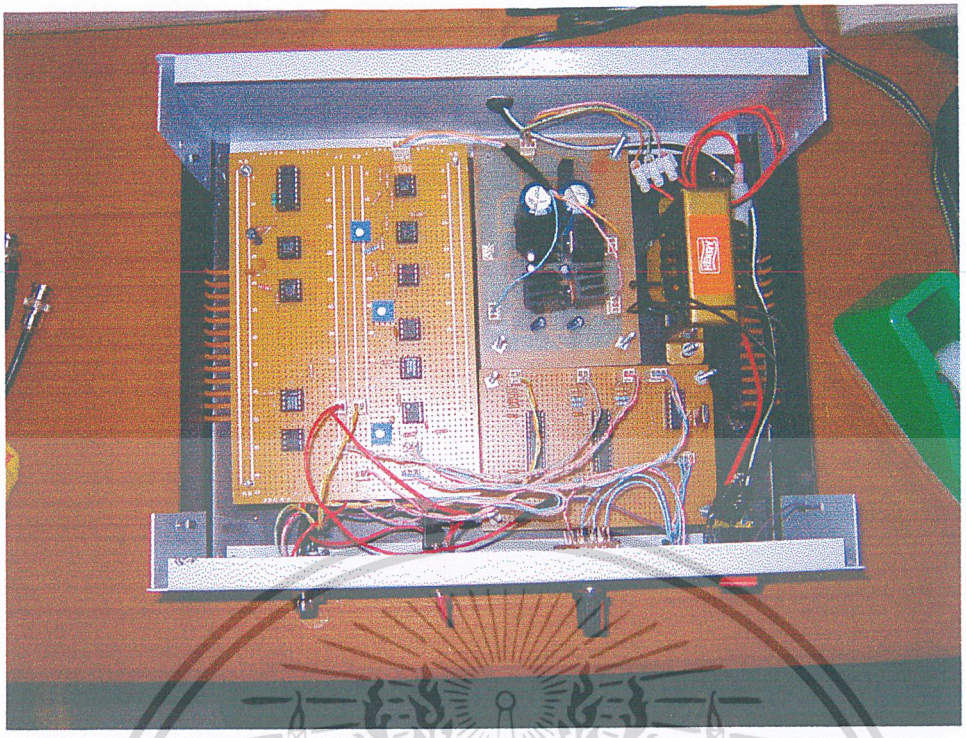
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



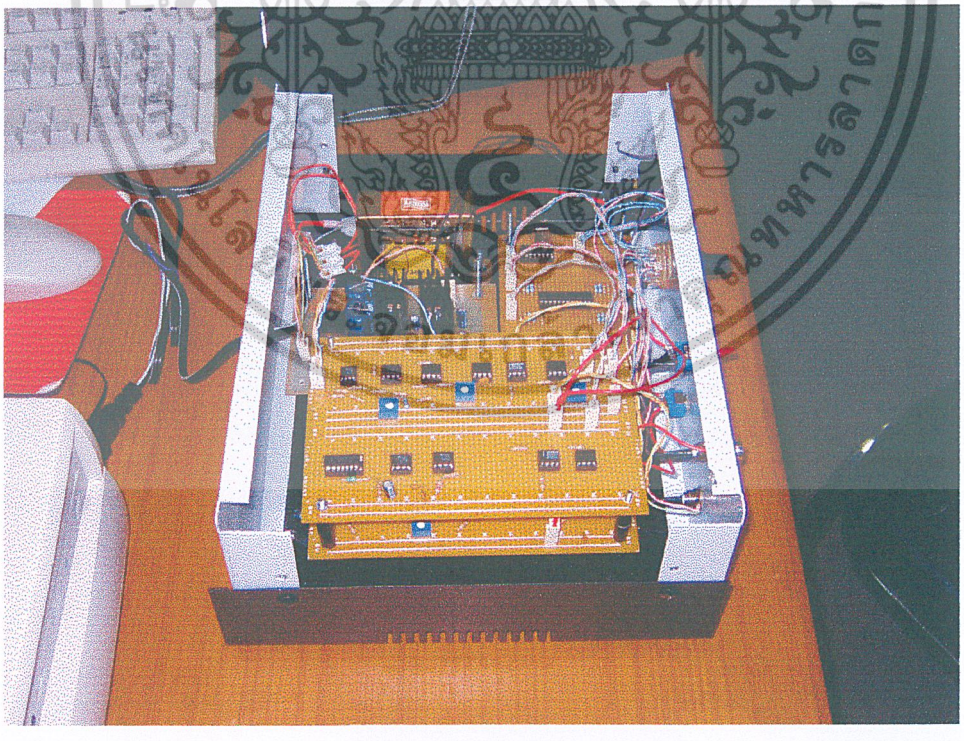
รูปแสดงภาพกล่องอุปกรณ์ชุดทดลองการเข้ารหัสเคลต้าซิกม่าพร้อมอุปกรณ์เชื่อมต่อ จากมุมบน

รูปแสดงภาพกล่องอุปกรณ์ชุดทดลองการเข้ารหัสเคลต้าซิกม่า จากด้านหน้า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปแสดงลักษณะวงจรภายในชุดทดลองการเข้ารหัสแบบเคลต้าซิกม่า จากด้านบน



รูปแสดงลักษณะวงจรภายในชุดทดลองการเข้ารหัสแบบเคลต้าซิกม่า จากด้านข้าง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

19-0347; Rev 1; 10/97

MAXIM

Precision, Single-Supply, SPST Analog Switches

General Description

The MAX323/MAX324/MAX325 are precision, dual, SPST analog switches. They are single-supply devices designed to operate from +2.7V to +16V. The MAX323 has two normally open (NO) switches, and the MAX324 has two normally closed (NC) switches. The MAX325 has one NO and one NC switch. Low power consumption (5µW) makes these parts ideal for battery-powered equipment. These switches offer low leakage currents (100pA max) and fast switching speeds (t_{ON} = 150ns max, t_{OFF} = 100ns max).

When powered from a 5V supply, the MAX323 series offers 2Ω max matching between channels, 60Ω max on-resistance, and 6Ω max R_{ON} flatness.

These switches also offer 5pC max charge injection, and a minimum of 2000V ESD per Method 3015.7.

For equivalent devices specified for dual-supply operation, see the MAX320/MAX321/MAX322 data sheet. For quad versions of the MAX320 series, see MAX391/MAX392/MAX393 data sheet.

Applications

Battery-Operated Systems	Sample-and-Hold Circuits
Heads-Up Displays	Guidance and Control Systems
Audio and Video Switching	Military Radios
Test Equipment	Communications Systems
+3V, +5V DACs and ADCs	PBX, PABX

Features

- ♦ **Low On-Resistance (R_{ON}), 60Ω max (33Ω typ)**
- ♦ **R_{ON} Matching Between Channels <2Ω**
- ♦ **R_{ON} Flatness <6Ω Max**
- ♦ **Guaranteed Charge Injection <5pC**
- ♦ **Single-Supply Operation (+2.7V to +16V)**
- ♦ **Low Power Consumption, <5µW**
- ♦ **Low Leakage Current Over Temperature, <2.5nA at +85°C**
- ♦ **Fast Switching: t_{ON} <150ns, t_{OFF} <100ns**
- ♦ **Guaranteed Break-Before-Make (MAX325 only)**
- ♦ **TTL/CMOS Logic Compatible**

Ordering Information

PART	TEMP. RANGE	PIN-PACKAGE
MAX323CPA	0°C to +70°C	8 Plastic DIP
MAX323CUA	0°C to +70°C	8 µMAX
MAX323CSA	0°C to +70°C	8 SO
MAX323C/D	0°C to +70°C	Dice*
MAX323EPA	-40°C to +85°C	8 Plastic DIP
MAX323ESA	-40°C to +85°C	8 SO
MAX323EJA	-40°C to +85°C	8 CERDIP**
MAX323MJA	-55°C to +125°C	8 CERDIP**

Ordering Information continued at end of data sheet.

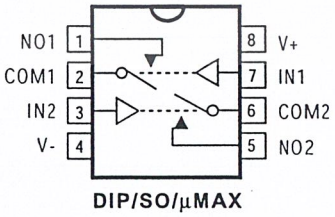
** Contact factory for dice specifications.*

*** Contact factory for availability.*

Pin Configurations/Functional Diagrams/Truth Tables

TOP VIEW

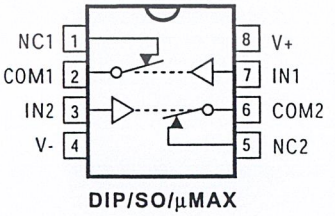
MAXIM *MAX323*



DIP/SO/µMAX

MAX323	
LOGIC	SWITCH
0	OFF
1	ON

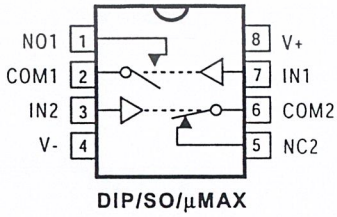
MAXIM *MAX324*



DIP/SO/µMAX

MAX324	
LOGIC	SWITCH
0	ON
1	OFF

MAXIM *MAX325*



DIP/SO/µMAX

MAX325		
LOGIC	SWITCH 1	SWITCH 2
0	OFF	ON
1	ON	OFF

SWITCHES SHOWN FOR LOGIC "0" INPUT

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

For free samples & the latest literature: http://www.maxim-ic.com, or phone 1-800-998-8800.
For small orders, phone 408-737-7600 ext. 3468.

Precision, Single-Supply, SPST Analog Switches

ABSOLUTE MAXIMUM RATINGS

Voltage Referenced to GND
V+ .....-0.3V to +17V
IN_, COM_, NC_, NO_ (Note 1) .....-0.3V to (V+ + 0.3V)
Continuous Current (any terminal) 30mA
Peak Current, COM_, NO_, NC_
(pulsed at 1ms, 10% duty cycle max) 100mA
ESD per Method 3015.7 .....>2000V
Continuous Power Dissipation
Plastic DIP (derate 9.09mW/°C above +70°C) 727mW
Narrow SO (derate 5.88mW/°C above +70°C) 471mW
CERDIP (derate 8.00mW/°C above +70°C) 640mW
µMAX (derate 4.10mW/°C above +70°C) 330mW
Operating Temperature Ranges
MAX32_C_ _ .....0°C to +70°C
MAX32_E_ _ .....-40°C to +85°C
MAX32_MJA .....-55°C to +125°C
Storage Temperature Range .....-65°C to +150°C
Lead Temperature (soldering, 10sec) .....+300°C

Note 1: Signals on NC, NO, COM, or IN exceeding V+ or V- are clamped by internal diodes. Limit forward diode current to maximum current rating.

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS—Single +5V Supply

(V+ = 5V ±10%, GND = 0V, V_{INH} = 2.4V, V_{INL} = 0.8V, T_A = T_{MIN} to T_{MAX}, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS			MIN	TYP (Note 2)	MAX	UNITS
ANALOG SWITCH								
Analog Signal Range	V_{COM}, V_{NO}, V_{NC}	(Note 3)			0		V+	V
On-Resistance	R_{ON}	V+ = 4.5V, I_{COM} = 1.0mA, V_{NO} or V_{NC} = 3.5V	T_A = +25°C			33	60	Ω
			T_A = T_{MIN} to T_{MAX}				75	
On-Resistance Match Between Channels (Note 4)	ΔR_{ON}	V+ = 5V, I_{COM} = 1.0mA, V_{NO} or V_{NC} = 3V	T_A = +25°C			0.8	2	Ω
			T_A = T_{MIN} to T_{MAX}				4	
On-Resistance Flatness (Notes 3, 5)	$R_{FLAT(ON)}$	V+ = 5V, I_{COM} = 1.0mA, V_{NO} or V_{NC} = 1V, 2V, 3V	T_A = +25°C			2	6	Ω
			T_A = T_{MIN} to T_{MAX}				8	
NO or NC Off Leakage Current (Note 6)	$I_{NO(OFF)}$ or $I_{NC(OFF)}$	V+ = 5.5V, V_{COM} = 1V, V_{NO} or V_{NC} = 4.5V	T_A = +25°C		-0.1	0.01	0.1	nA
			T_A = T_{MIN} to T_{MAX}	C, E	-5		5	
				M	-40		40	
COM Off Leakage Current (Note 6)	$I_{COM(OFF)}$	V+ = 5.5V, V_{COM} = 4.5V, V_{NO} or V_{NC} = 1V	T_A = +25°C		-0.1		0.1	nA
			T_A = T_{MIN} to T_{MAX}	C, E	-5		5	
				M	-40		40	
COM On Leakage Current (Note 6)	$I_{COM(ON)}$	V+ = 5.5V, V_{COM} = 5V, or V_{NO} or V_{NC} = 5V	T_A = +25°C		-0.2		0.2	nA
			T_A = T_{MIN} to T_{MAX}	C, E	-10		10	
				M	-50		50	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS—Single +5V Supply (continued)

(V+ = 5V ±10%, GND = 0V, V_{INH} = 2.4V, V_{INL} = 0.8V, T_A = T_{MIN} to T_{MAX}, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP (Note 2)	MAX	UNITS
DYNAMIC							
Turn-On Time	t_{ON}	V_{NO} or V_{NC} = 3V	T_A = +25°C		85	150	ns
			T_A = T_{MIN} to T_{MAX}			240	
Turn-Off Time	t_{OFF}	V_{NO} or V_{NC} = 3V	T_A = +25°C		25	100	ns
			T_A = T_{MIN} to T_{MAX}			150	
Break-Before-Make Time Delay (Note 3)	t_D	MAX325 only, R_L = 300Ω, C_L = 35pF		2			ns
Charge Injection (Note 3)	Q	C_L = 1.0nF, V_{GEN} = 0V, R_{GEN} = 0V, Figure 4	T_A = +25°C		1	5	pC
Off Isolation (Note 7)	OIRR	R_L = 50Ω, C_L = 5pF, f = 1MHz, Figure 5	T_A = +25°C		72		dB
Crosstalk (Note 8)		R_L = 50Ω, C_L = 5pF, f = 1MHz, Figure 6	T_A = +25°C		85		dB
NC or NO Capacitance	C_{OFF}	f = 1MHz, Figure 7	T_A = +25°C		9		pF
COM Off Capacitance	$C_{COM(OFF)}$	f = 1MHz, Figure 7	T_A = +25°C		9		pF
COM On Capacitance	$C_{COM(ON)}$	f = 1MHz, Figure 8	T_A = +25°C		22		pF
SUPPLY							
Power-Supply Range				2.7		16	V
Positive Supply Current	I+	V+ = 5.5V, V_{IN} = 0V or V+, all channels on or off		-1	0.0001	1	µA
LOGIC INPUT							
Input Voltage Low	V_{INL}					0.8	V
Input Voltage High	V_{INH}			2.4			V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Precision, Single-Supply, SPST Analog Switches

ELECTRICAL CHARACTERISTICS—Single +3.3V Supply

(V+ = 3.0V to 3.6V, GND = 0V, V_{INH} = 2.4V, V_{INL} = 0.6V, T_A = T_{MIN} to T_{MAX}, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP (Note 2)	MAX	UNITS
ANALOG SWITCH							
Analog Signal Range	V_{COM}, V_{NO}, V_{NC}	(Note 3)		0		V+	V
Channel On-Resistance	R_{ON}	V+ = 3V, I_{COM} = 1.0mA, V_{NO} or V_{NC} = 1.5V	T_A = +25°C		83	175	Ω
			T_A = T_{MIN} to T_{MAX}			275	
DYNAMIC							
Turn-On Time (Note 3)	t_{ON}	V_{NO} or V_{NC} = 1.5V	T_A = +25°C		160	400	ns
			T_A = T_{MIN} to T_{MAX}			500	
Turn-Off Time (Note 3)	t_{OFF}	V_{NO} or V_{NC} = 1.5V	T_A = +25°C		40	125	ns
			T_A = T_{MIN} to T_{MAX}			175	
Break-Before-Make Time Delay (Note 3)	t_D	MAX325 only, R_L = 300Ω, C_L = 35pF	T_A = +25°C	2	5		ns
Charge Injection (Note 3)	Q	C_L = 1.0nF, V_{GEN} = 0V, R_{GEN} = 0V	T_A = +25°C		1	5	pC
SUPPLY							
Positive Supply Current	I+	V+ = 3.6V, V_{IN} = 0V or V+, all channels on or off		-1		1	µA

Note 2: The algebraic convention, where the most negative value is a minimum and the most positive value a maximum, is used in this data sheet.

Note 3: Guaranteed by design.

Note 4: $\Delta R_{ON} = \Delta R_{ON}$ max - ΔR_{ON} min.

Note 5: Flatness is defined as the difference between the maximum and minimum value of on-resistance as measured over the specified analog signal range.

Note 6: Leakage parameters are 100% tested at maximum rated hot temperature and guaranteed by correlation at +25°C.

Note 7: Off Isolation = 20 $\log_{10}$ [V_{COM} / (V_{NC} or V_{NO})], V_{COM} = output, V_{NC} or V_{NO} = input to off switch.

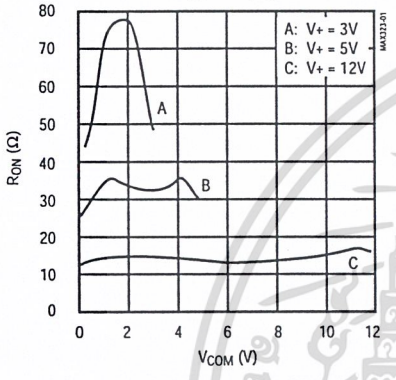
Note 8: Between any two switches.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

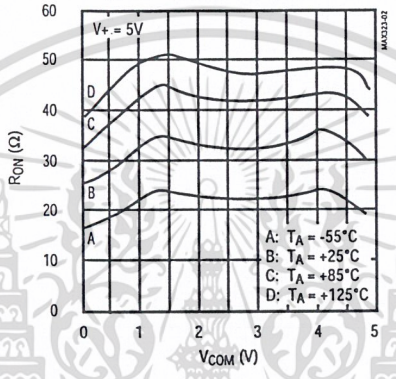
Typical Operating Characteristics

(T_A = +25°C, unless otherwise noted.)

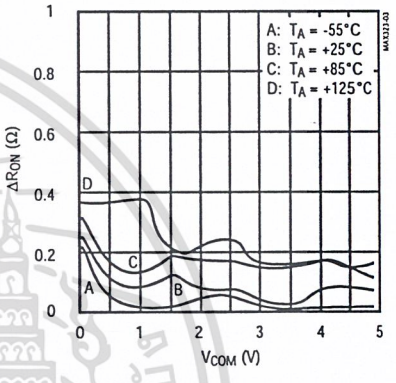
RON vs. VCOM



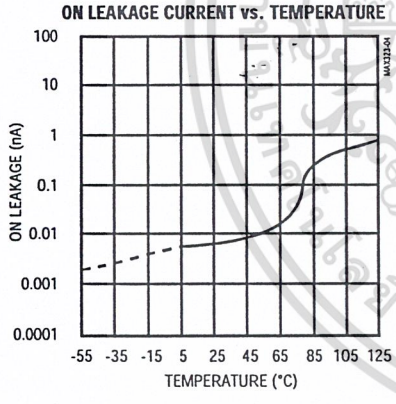
RON vs. VCOM OVER TEMPERATURE



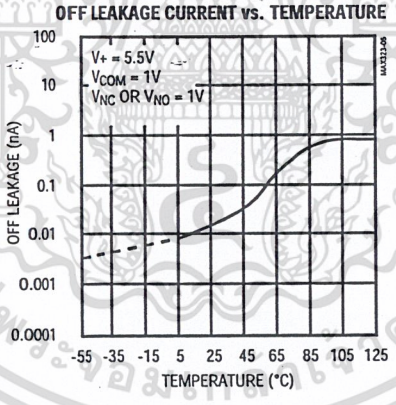
ΔRON vs. VCOM OVER TEMPERATURE



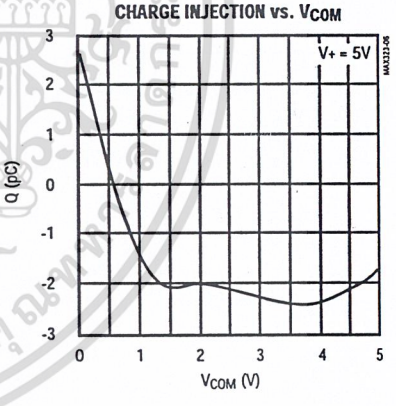
ON LEAKAGE CURRENT vs. TEMPERATURE



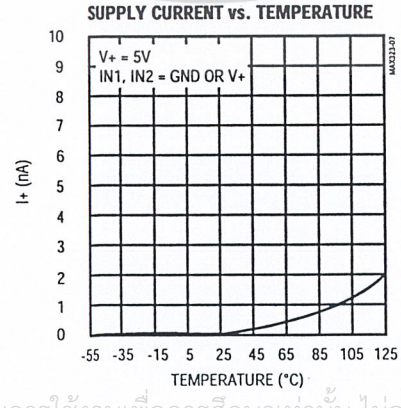
OFF LEAKAGE CURRENT vs. TEMPERATURE



CHARGE INJECTION vs. VCOM



SUPPLY CURRENT vs. TEMPERATURE



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Precision, Single-Supply, SPST Analog Switches

Pin Description

PIN	NAME	FUNCTION
1	NO1	Normally Open Analog Switch Terminal (MAX323/MAX325)
	NC1	Normally Closed Analog Switch Terminal (MAX324 only)
2, 6	COM1, COM2	Analog Switch Common Terminal
3, 7	IN2, IN1	Logic Inputs
4	GND	Ground
5	NO2	Normally Open Analog Switch Terminal (MAX323 only)
	NC2	Normally Closed Analog Switch Terminal (MAX324/MAX325)
8	V+	Positive Supply

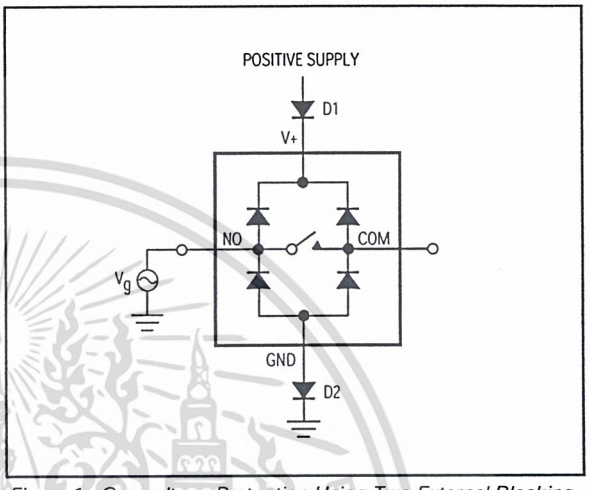


Figure 1. Overvoltage Protection Using Two External Blocking Diodes

Applications Information

Logic Levels

The MAX323/MAX324/MAX325 are TTL compatible when powered from a single +5V supply. When powered from other supply voltages, TTL compatibility is not guaranteed, and the logic inputs should be driven from rail to rail. For example, with a 15V supply, IN1 and IN2 should be driven low to 0V and high to 15V. Similarly, with a 3.3V supply, IN1 and IN2 should be driven low to 0V and high to 3.3V

Driving IN1 and IN2 rail-to-rail minimizes power consumption.

Analog Signal Levels

Analog signals that range over the entire supply voltage (V+ to GND) can be switched with very little change in on-resistance over the entire voltage range (see *Typical Operating Characteristics*). All the switches are bidirectional, so NO_, NC_, and COM_ pins can be used as either inputs or outputs.

Power-Supply Sequencing and Overvoltage Protection

Do not exceed the absolute maximum ratings, because stresses beyond the listed ratings may cause permanent damage to the devices.

Proper power-supply sequencing is recommended for all CMOS devices. Always apply V+ before applying analog signals or logic inputs, especially if the analog or logic signals are not current-limited. If this sequencing is not possible, and if the analog or logic inputs are not current-limited to <30mA, add a small-signal diode (D1) as shown in Figure 1. If the analog signal can dip below GND, add D2. Adding protection diodes reduces the analog signal range to a diode-drop (about 0.7V) below V+ (for D1), and to a diode-drop above ground (for D2). Leakage is unaffected by adding the diodes. On-resistance increases by a small amount at low supply voltages. Maximum supply voltage (V+) must not exceed 17V.

Adding protection diodes causes the logic thresholds to be shifted relative to the power-supply rails. This can be significant when low supply voltages (5V or less) are used. With a 5V supply, TTL compatibility is not guaranteed when protection diodes are added. Driving IN1 and IN2 all the way to the supply rails (i.e. to a diode-drop higher than the V+ pin, or to a diode-drop lower than the GND pin) is always acceptable.

Protection diodes D1 and D2 also protect against some overvoltage situations. With Figure 1's circuit, if the supply voltage is below the absolute maximum rating, and if a fault voltage up to the absolute maximum rating is applied to an analog signal pin, no damage will result. For example, with a +5V supply, analog signals up to ±8V will not damage the circuit of Figure 1. If only a single fault signal is present, the fault voltage can rise to +17V or to -12V without damage occurring.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Test Circuits/Timing Diagrams

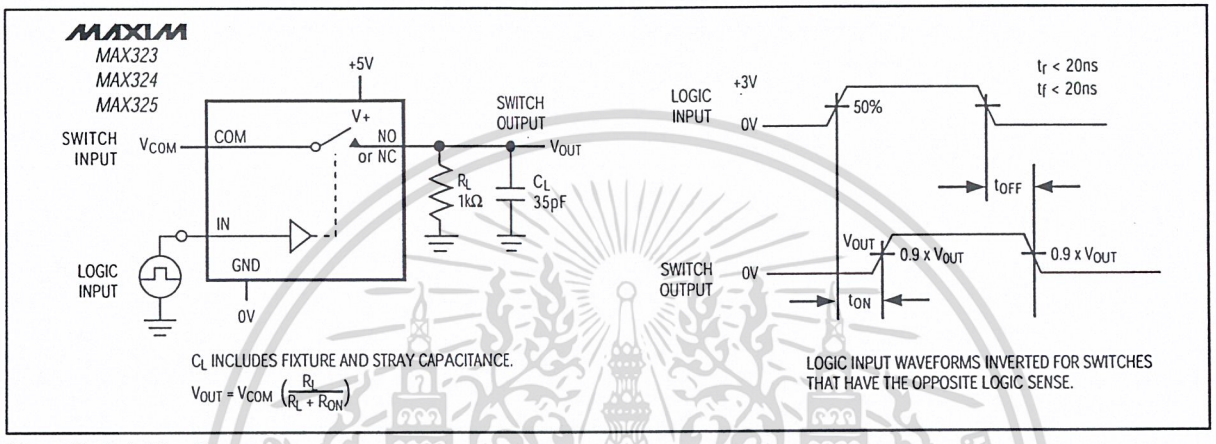


Figure 2. Switching Time

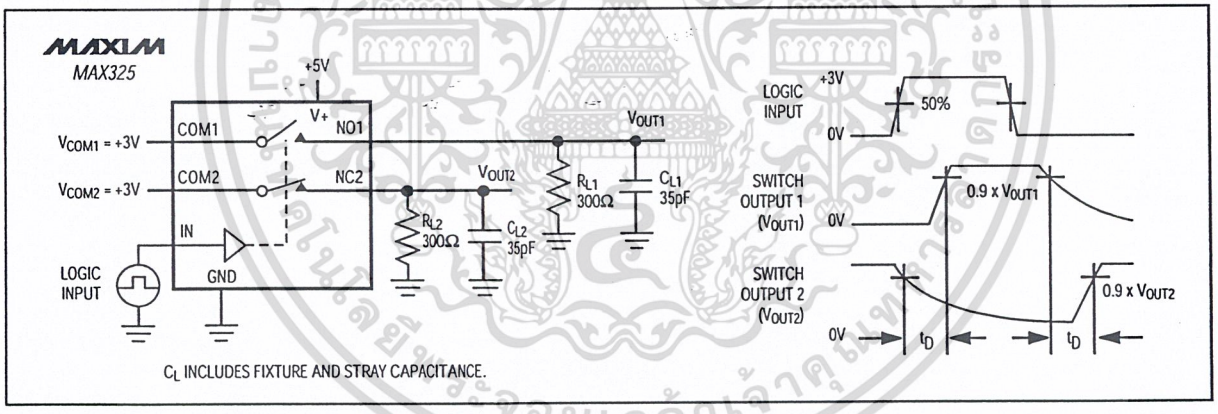


Figure 3. Break-Before-Make Interval (MAX325 only)

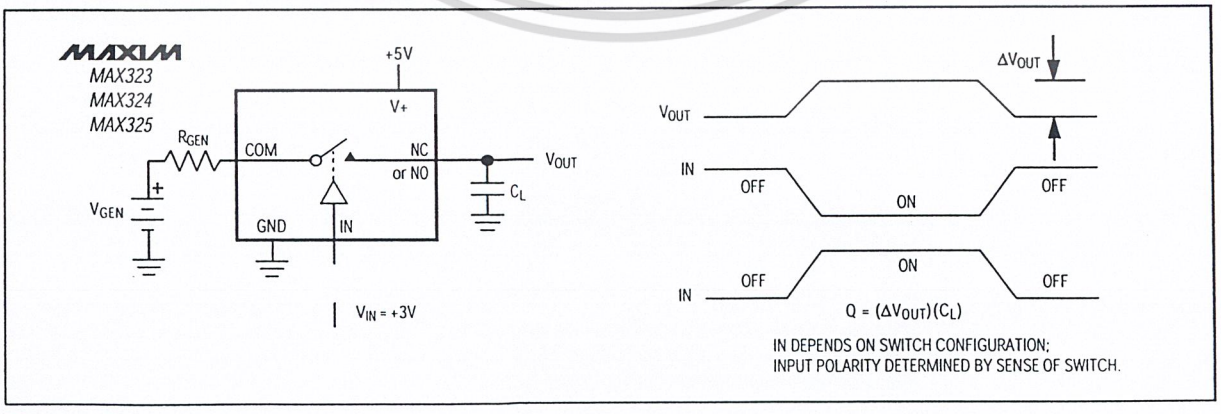


Figure 4. Charge Injection

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Precision, Single-Supply, SPST Analog Switches

Test Circuits/Timing Diagrams (continued)

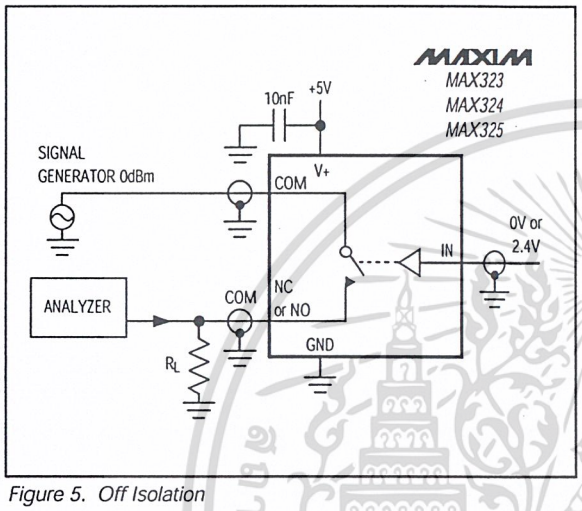


Figure 5. Off Isolation

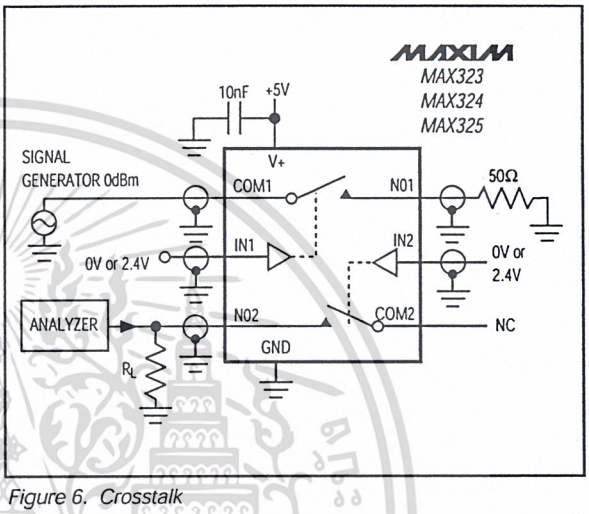


Figure 6. Crosstalk

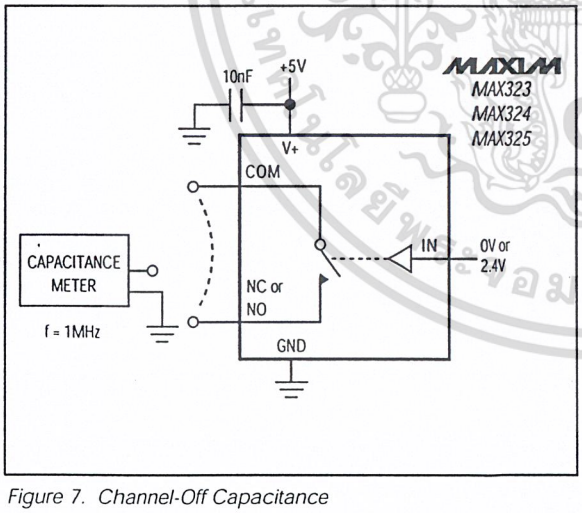


Figure 7. Channel-Off Capacitance

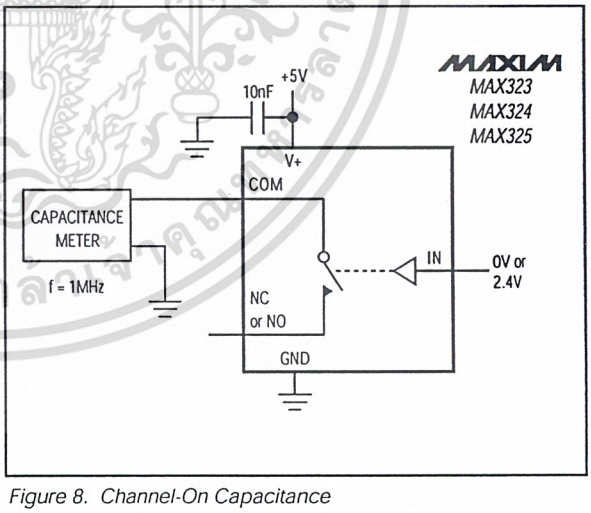


Figure 8. Channel-On Capacitance

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

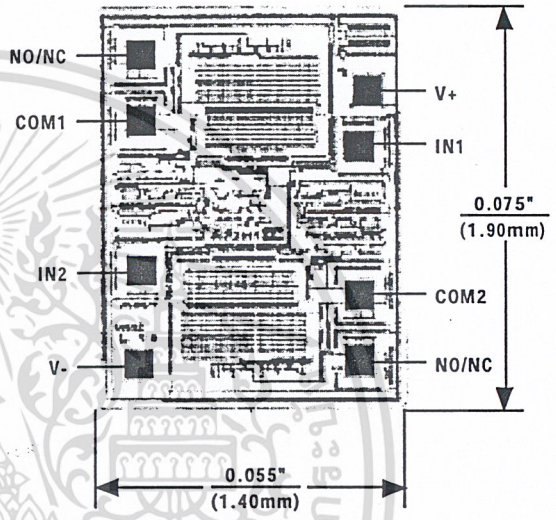
Precision, Single-Supply, SPST Analog Switches

Ordering Information (continued)

PART	TEMP. RANGE	PIN-PACKAGE
MAX324CPA	0°C to +70°C	8 Plastic DIP
MAX324CUA	0°C to +70°C	8 µMAX
MAX324CSA	0°C to +70°C	8 SO
MAX324C/D	0°C to +70°C	Dice*
MAX324EPA	-40°C to +85°C	8 Plastic DIP
MAX324ESA	-40°C to +85°C	8 SO
MAX324EJA	-40°C to +85°C	8 CERDIP**
MAX324MJA	-55°C to +125°C	8 CERDIP**
MAX325CPA	0°C to +70°C	8 Plastic DIP
MAX325CUA	0°C to +70°C	8 µMAX
MAX325CSA	0°C to +70°C	8 SO
MAX325C/D	0°C to +70°C	Dice*
MAX325EPA	-40°C to +85°C	8 Plastic DIP
MAX325ESA	-40°C to +85°C	8 SO
MAX325EJA	-40°C to +85°C	8 CERDIP**
MAX325MJA	-55°C to +125°C	8 CERDIP**

** Contact factory for dice specifications.*
*** Contact factory for availability.*

Chip Topography

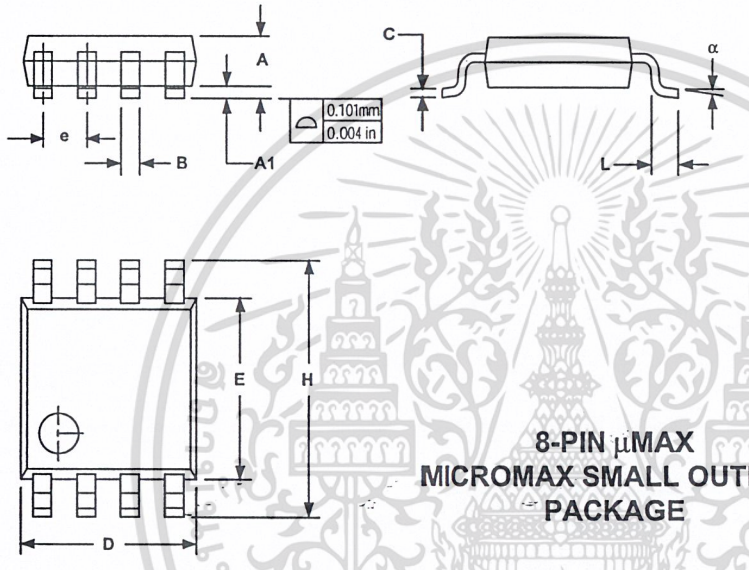


TRANSISTOR COUNT: 91
SUBSTRATE IS CONNECTED TO V+

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

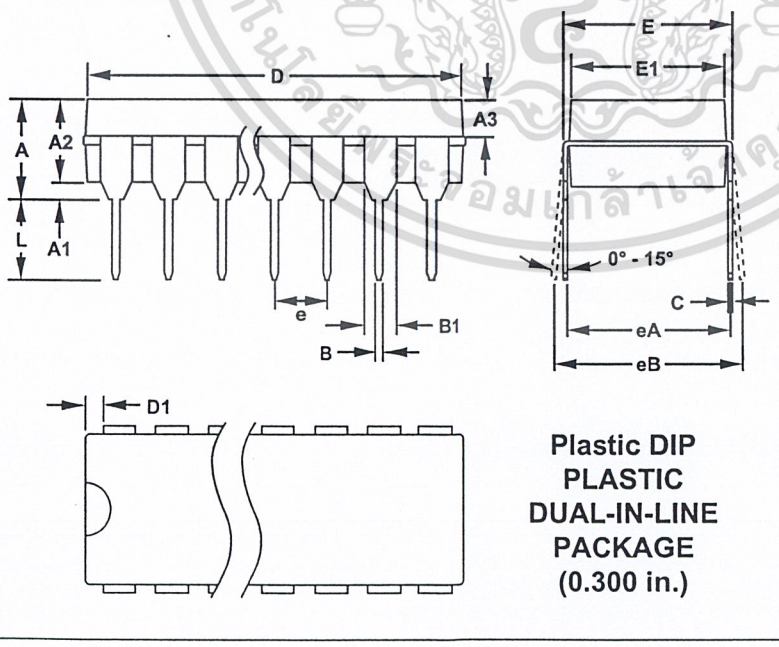
Precision, Single-Supply, SPST Analog Switches

Package Information



8-PIN μMAX
MICROMAX SMALL OUTLINE
PACKAGE

DIM	INCHES		MILLIMETERS	
	MIN	MAX	MIN	MAX
A	0.036	0.044	0.91	1.11
A1	0.004	0.008	0.10	0.20
B	0.010	0.014	0.25	0.36
C	0.005	0.007	0.13	0.18
D	0.116	0.120	2.95	3.05
E	0.116	0.120	2.95	3.05
e	0.0256		0.65	
H	0.188	0.198	4.78	5.03
L	0.016	0.026	0.41	0.66
α	0°	6°	0°	6°



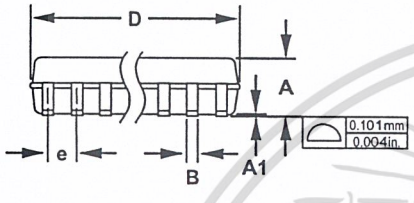
Plastic DIP
PLASTIC
DUAL-IN-LINE
PACKAGE
(0.300 in.)

DIM	INCHES		MILLIMETERS	
	MIN	MAX	MIN	MAX
A	–	0.200	–	5.08
A1	0.015	–	0.38	–
A2	0.125	0.175	3.18	4.45
A3	0.055	0.080	1.40	2.03
B	0.016	0.022	0.41	0.56
B1	0.045	0.065	1.14	1.65
C	0.008	0.012	0.20	0.30
D1	0.005	0.080	0.13	2.03
E	0.300	0.325	7.62	8.26
E1	0.240	0.310	6.10	7.87
e	0.100	–	2.54	–
eA	0.300	–	7.62	–
eB	–	0.400	–	10.16
L	0.115	0.150	2.92	3.81

DIM	PINS	INCHES		MILLIMETERS	
		MIN	MAX	MIN	MAX
D	8	0.348	0.390	8.84	9.91
D	14	0.735	0.765	18.67	19.43
D	16	0.745	0.765	18.92	19.43
D	18	0.885	0.915	22.48	23.24
D	20	1.015	1.045	25.78	26.54
D	24	1.14	1.265	28.96	32.13

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Package Information (continued)



SO
SMALL OUTLINE
PACKAGE
(0.150 in.)

DIM	INCHES		MILLIMETERS	
	MIN	MAX	MIN	MAX
A	0.053	0.069	1.35	1.75
A1	0.004	0.010	0.10	0.25
B	0.014	0.019	0.35	0.49
C	0.007	0.010	0.19	0.25
E	0.150	0.157	3.80	4.00
e	0.050		1.27	
H	0.228	0.244	5.80	6.20
L	0.016	0.050	0.40	1.27

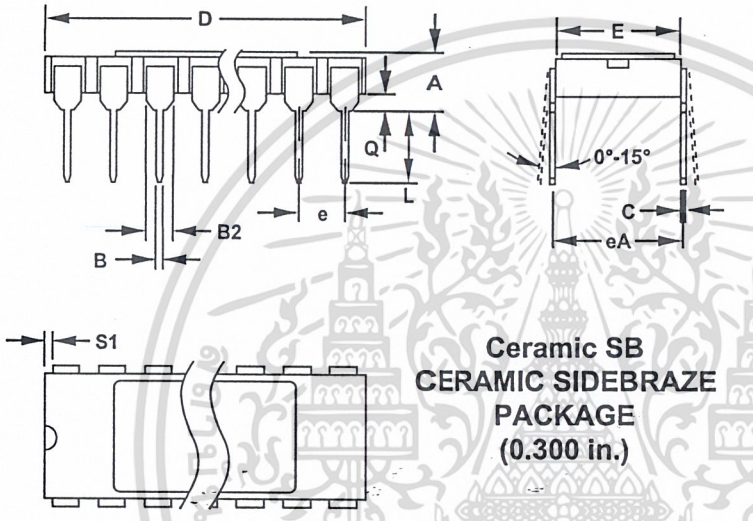
DIM	PINS	INCHES		MILLIMETERS	
		MIN	MAX	MIN	MAX
D	8	0.189	0.197	4.80	5.00
D	14	0.337	0.344	8.55	8.75
D	16	0.386	0.394	9.80	10.00

21-0041A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Precision, Single-Supply, SPST Analog Switches

Package Information (continued)



Ceramic SB
CERAMIC SIDEBRAZE
PACKAGE
(0.300 in.)

DIM	INCHES		MILLIMETERS	
	MIN	MAX	MIN	MAX
A	–	0.225	–	5.72
B	0.014	0.023	0.36	0.58
B2	0.038	0.065	0.97	1.65
C	0.008	0.015	0.20	0.38
E	0.220	0.310	5.59	7.87
eA	0.290	0.320	7.37	8.13
e	0.100		2.54	
L	0.125	0.200	3.18	5.08
Q	0.015	0.070	0.38	1.78
S1	0.005	–	0.13	–

DIM	PINS	INCHES		MILLIMETERS	
		MIN	MAX	MIN	MAX
D	8	–	0.550	–	13.97
D	14	–	0.785	–	19.94
D	16	–	0.840	–	21.34
D	18	–	0.960	–	24.38
D	20	–	1.060	–	26.92
D	24	–	1.280	–	32.51

Maxim cannot assume responsibility for use of any circuitry other than circuitry entirely embodied in a Maxim product. No circuit patent licenses are implied. Maxim reserves the right to change the circuitry and specifications without notice at any time.

© 1997 Maxim Integrated Products Printed USA MAXIM is a registered trademark of Maxim Integrated Products.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC14001UB, MC14011UB

UB-Suffix Series CMOS Gates

The UB Series logic gates are constructed with P and N channel enhancement mode devices in a single monolithic structure (Complementary MOS). Their primary use is where low power dissipation and/or high noise immunity is desired. The UB set of CMOS gates are inverting non–buffered functions.

- Supply Voltage Range = 3.0 Vdc to 18 Vdc
- Linear and Oscillator Applications
- Capable of Driving Two Low–power TTL Loads or One Low–power Schottky TTL Load Over the Rated Temperature Range
- Double Diode Protection on All Inputs
- Pin–for–Pin Replacements for Corresponding CD4000 Series UB Suffix Devices

ON Semiconductor

http://onsemi.com

MC14001UB
Quad 2–Input NOR Gate
MC14011UB
Quad 2–Input NAND Gate

MAXIMUM RATINGS (Voltages Referenced to V_{SS}) (Note 1.)

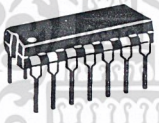
Symbol	Parameter	Value	Unit
V_{DD}	DC Supply Voltage Range	–0.5 to +18.0	V
V_{in}, V_{out}	Input or Output Voltage Range (DC or Transient)	–0.5 to V_{DD} + 0.5	V
I_{in}, I_{out}	Input or Output Current (DC or Transient) per Pin	±10	mA
P_D	Power Dissipation, per Package (Note 2.)	500	mW
T_A	Ambient Temperature Range	–55 to +125	°C
T_{stg}	Storage Temperature Range	–65 to +150	°C
T_L	Lead Temperature (8–Second Soldering)	260	°C

1. Maximum Ratings are those values beyond which damage to the device may occur.
2. Temperature Derating:
   Plastic "P and D/DW" Packages: – 7.0 mW/°C From 65°C To 125°C

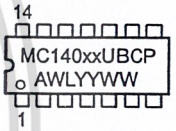
This device contains protection circuitry to guard against damage due to high static voltages or electric fields. However, precautions must be taken to avoid applications of any voltage higher than maximum rated voltages to this high–impedance circuit. For proper operation, V_{in} and V_{out} should be constrained to the range $V_{SS} \le (V_{in}$ or $V_{out}) \le V_{DD}$.

Unused inputs must always be tied to an appropriate logic voltage level (e.g., either V_{SS} or V_{DD}). Unused outputs must be left open.

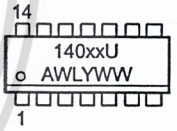
MARKING DIAGRAMS



PDIP–14
P SUFFIX
CASE 646



SOIC–14
D SUFFIX
CASE 751A



xx = Specific Device Code
A = Assembly Location
WL, L = Wafer Lot
YY, Y = Year
WW, W = Work Week

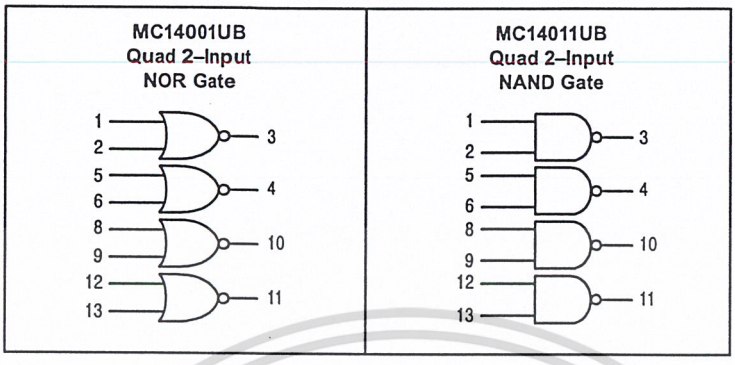
ORDERING INFORMATION

Device	Package	Shipping
MC14001UBCP	PDIP–14	2000/Box
MC14001UBD	SOIC–14	55/Rail
MC14001UBDR2	SOIC–14	2500/Tape & Reel
MC14011UBCP	PDIP–14	2000/Box
MC14011UBD	SOIC–14	55/Rail
MC14011UBDR2	SOIC–14	2500/Tape & Reel

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

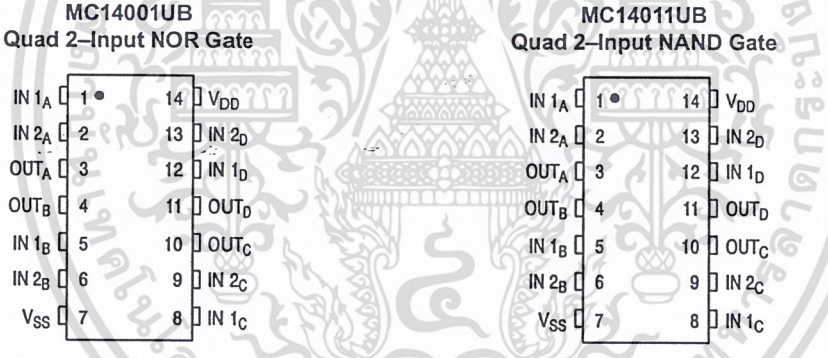
© Semiconductor Components Industries, LLC, 2000

LOGIC DIAGRAMS



V_{DD} = PIN 14
V_{SS} = PIN 7
FOR ALL DEVICES

PIN ASSIGNMENTS



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS (Voltages Referenced to V_{SS})

Characteristic	Symbol	V_{DD} Vdc	– 55°C Min	– 55°C Max	25°C Min	25°C Typ (3.)	25°C Max	125°C Min	125°C Max	Unit
Output Voltage "0" Level	V_{OL}	5.0	—	0.05	—	0	0.05	—	0.05	Vdc
V_{in} = V_{DD} or 0		10	—	0.05	—	0	0.05	—	0.05	
		15	—	0.05	—	0	0.05	—	0.05	
V_{in} = 0 or V_{DD} "1" Level	V_{OH}	5.0	4.95	—	4.95	5.0	—	4.95	—	Vdc
		10	9.95	—	9.95	10	—	9.95	—	
		15	14.95	—	14.95	15	—	14.95	—	
Input Voltage "0" Level	V_{IL}									Vdc
(V_O = 4.5 Vdc)		5.0	—	1.0	—	2.25	1.0	—	1.0	
(V_O = 9.0 Vdc)		10	—	2.0	—	4.50	2.0	—	2.0	
(V_O = 13.5 Vdc)		15	—	2.5	—	6.75	2.5	—	2.5	
(V_O = 0.5 Vdc) "1" Level	I_{IH}	5.0	4.0	—	4.0	2.75	—	4.0	—	Vdc
(V_O = 1.0 Vdc)		10	8.0	—	8.0	5.50	—	8.0	—	
(V_O = 1.5 Vdc)		15	12.5	—	12.5	8.25	—	12.5	—	
Output Drive Current	I_{OH}									mAdc
(V_{OH} = 2.5 Vdc) Source		5.0	– 1.2	—	– 1.0	– 1.7	—	– 0.7	—	
(V_{OH} = 4.6 Vdc)		5.0	– 0.25	—	– 0.2	– 0.36	—	– 0.14	—	
(V_{OH} = 9.5 Vdc)		10	– 0.62	—	– 0.5	– 0.9	—	– 0.35	—	
(V_{OH} = 13.5 Vdc)		15	– 1.8	—	– 1.5	– 3.5	—	– 1.1	—	
(V_{OL} = 0.4 Vdc) Sink	I_{OL}	5.0	0.64	—	0.51	0.88	—	0.36	—	mAdc
(V_{OL} = 0.5 Vdc)		10	1.6	—	1.3	2.25	—	0.9	—	
(V_{OL} = 1.5 Vdc)		15	4.2	—	3.4	8.8	—	2.4	—	
Input Current	I_{in}	15	—	± 0.1	—	±0.00001	± 0.1	—	± 1.0	µAdc
Input Capacitance (V_{in} = 0)	C_{in}	—	—	—	—	5.0	7.5	—	—	pF
Quiescent Current (Per Package)	I_{DD}	5.0	—	0.25	—	0.0005	0.25	—	7.5	µAdc
		10	—	0.5	—	0.0010	0.5	—	15	
		15	—	1.0	—	0.0015	1.0	—	30	
Total Supply Current (4.) (5.) (Dynamic plus Quiescent, Per Gate C_L = 50 pF)	I_T	5.0	I_T = (0.3 µA/kHz) f + I_{DD}/N							µAdc
		10	I_T = (0.6 µA/kHz) f + I_{DD}/N							
		15	I_T = (0.8 µA/kHz) f + I_{DD}/N							

3. Data labelled "Typ" is not to be used for design purposes but is intended as an indication of the IC's potential performance.
4. The formulas given are for the typical characteristics only at 25°C.
5. To calculate total supply current at loads other than 50 pF:

$$I_T(C_L) = I_T(50\ pF) + (C_L - 50)\ Vfk$$

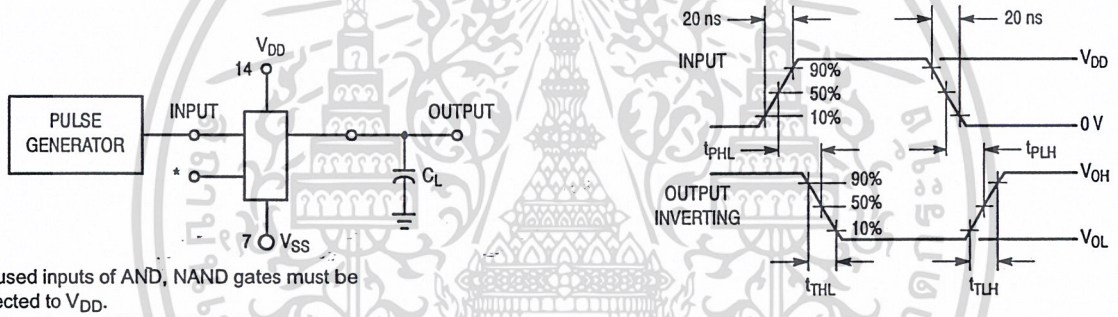
where: I_T is in µH (per package), C_L in pF, V = (V_{DD} – V_{SS}) in volts, f in kHz is input frequency, and k = 0.001 x the number of exercised gates per package.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SWITCHING CHARACTERISTICS [6.] (C_L = 50 pF, T_A = 25°C)

Characteristic	Symbol	V_{DD} Vdc	Min	Typ [7.]	Max	Unit
Output Rise Time	t_{TLH}					ns
t_{TLH} = (3.0 ns/pF) C_L + 30 ns		5.0	—	180	360	
t_{TLH} = (1.5 ns/pF) C_L + 15 ns		10	—	90	180	
t_{TLH} = (1.1 ns/pF) C_L + 10 ns		15	—	65	130	
Output Fall Time	t_{THL}					ns
t_{THL} = (1.5 ns/pF) C_L + 25 ns		5.0	—	100	200	
t_{THL} = (0.75 ns/pF) C_L + 12.5 ns		10	—	50	100	
t_{THL} = (0.55 ns/pF) C_L + 9.5 ns		15	—	40	80	
Propagation Delay Time	t_{PLH}, t_{PHL}					ns
t_{PLH}, t_{PHL} = (1.7 ns/pF) C_L + 30 ns		5.0	—	90	180	
t_{PLH}, t_{PHL} = (0.66 ns/pF) C_L + 22 ns		10	—	50	100	
t_{PLH}, t_{PHL} = (0.50 ns/pF) C_L + 15 ns		15	—	40	80	

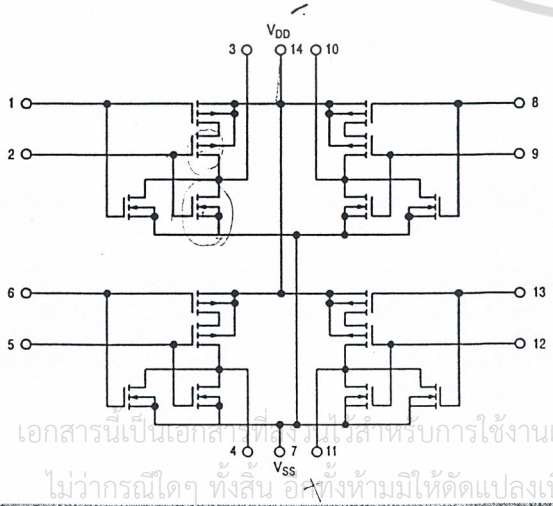
6. The formulas given are for the typical characteristics only at 25°C.
7. Data labelled "Typ" is not to be used for design purposes but is intended as an indication of the IC's potential performance.



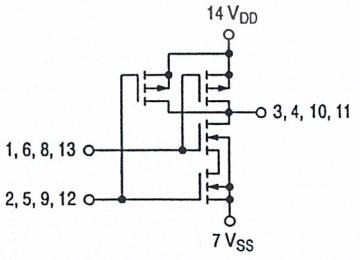
*All unused inputs of AND, NAND gates must be connected to V_{DD}.
All unused inputs of OR, NOR gates must be connected to V_{SS}.

Figure 1. Switching Time Test Circuit and Waveforms

MC14001UB CIRCUIT SCHEMATIC



MC14011UB CIRCUIT SCHEMATIC
(1/4 of Device Shown)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

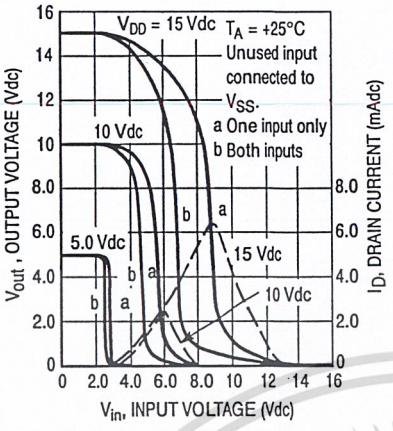


Figure 2. Typical Voltage and Current Transfer Characteristics

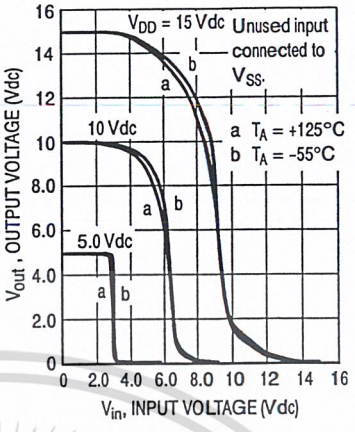


Figure 3. Typical Voltage Transfer Characteristics versus Temperature

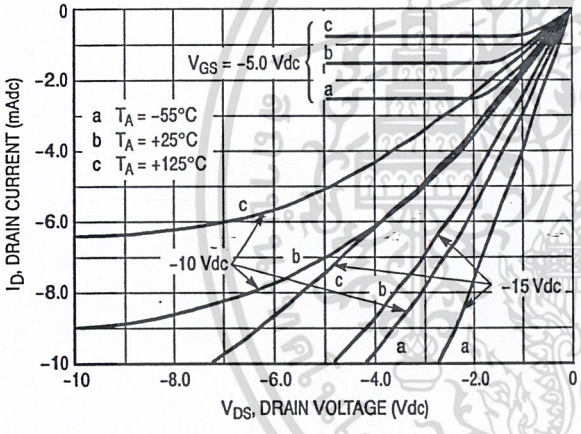


Figure 4. Typical Output Source Characteristics

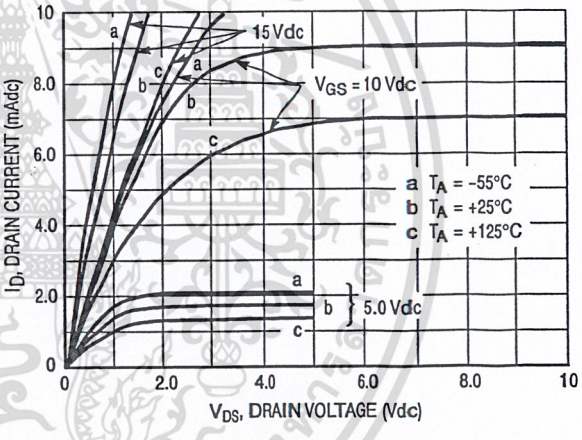
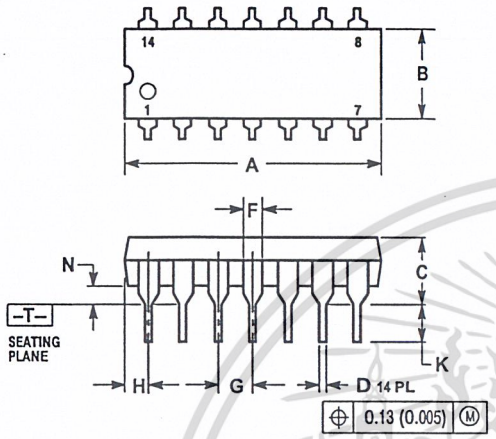


Figure 5. Typical Output Sink Characteristics

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PACKAGE DIMENSIONS

P SUFFIX
PLASTIC DIP PACKAGE
CASE 646–06
ISSUE M



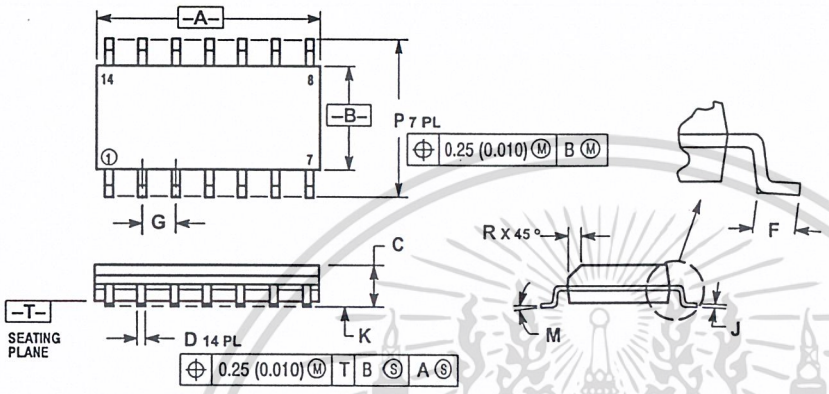
NOTES:
1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982.
2. CONTROLLING DIMENSION: INCH.
3. DIMENSION L TO CENTER OF LEADS WHEN FORMED PARALLEL.
4. DIMENSION B DOES NOT INCLUDE MOLD FLASH.
5. ROUNDED CORNERS OPTIONAL.

	INCHES		MILLIMETERS	
DIM	MIN	MAX	MIN	MAX
A	0.715	0.770	18.16	18.80
B	0.240	0.260	6.10	6.60
C	0.145	0.185	3.69	4.69
D	0.015	0.021	0.38	0.53
F	0.040	0.070	1.02	1.78
G	0.100 BSC		2.54 BSC	
H	0.052	0.095	1.32	2.41
J	0.008	0.015	0.20	0.38
K	0.115	0.135	2.92	3.43
L	0.290	0.310	7.37	7.87
M	---	10°	---	10°
N	0.015	0.039	0.38	1.01

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PACKAGE DIMENSIONS

D SUFFIX
PLASTIC SOIC PACKAGE
CASE 751A–03
ISSUE F



NOTES:
1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982.
2. CONTROLLING DIMENSION: MILLIMETER.
3. DIMENSIONS A AND B DO NOT INCLUDE MOLD PROTRUSION.
4. MAXIMUM MOLD PROTRUSION 0.15 (0.006) PER SIDE.
5. DIMENSION D DOES NOT INCLUDE DAMBAR PROTRUSION. ALLOWABLE DAMBAR PROTRUSION SHALL BE 0.127 (0.005) TOTAL IN EXCESS OF THE D DIMENSION AT MAXIMUM MATERIAL CONDITION.

	MILLIMETERS		INCHES	
DIM	MIN	MAX	MIN	MAX
A	8.55	8.75	0.337	0.344
B	3.80	4.00	0.150	0.157
C	1.35	1.75	0.054	0.068
D	0.35	0.49	0.014	0.019
F	0.40	1.25	0.016	0.049
G	1.27 BSC		0.050 BSC	
J	0.19	0.25	0.008	0.009
K	0.10	0.25	0.004	0.009
M	0 °	7°	0 °	7°
P	5.80	6.20	0.228	0.244
R	0.25	0.50	0.010	0.019

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ON Semiconductor and ON are trademarks of Semiconductor Components Industries, LLC (SCILLC). SCILLC reserves the right to make changes without further notice to any products herein. SCILLC makes no warranty, representation or guarantee regarding the suitability of its products for any particular purpose, nor does SCILLC assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation special, consequential or incidental damages. "Typical" parameters which may be provided in SCILLC data sheets and/or specifications can and do vary in different applications and actual performance may vary over time. All operating parameters, including "Typicals" must be validated for each customer application by customer's technical experts. SCILLC does not convey any license under its patent rights nor the rights of others. SCILLC products are not designed, intended, or authorized for use as components in systems intended for surgical implant into the body, or other applications intended to support or sustain life, or for any other application in which the failure of the SCILLC product could create a situation where personal injury or death may occur. Should Buyer purchase or use SCILLC products for any such unintended or unauthorized application, Buyer shall indemnify and hold SCILLC and its officers, employees, subsidiaries, affiliates, and distributors harmless against all claims, costs, damages, and expenses, and reasonable attorney fees arising out of, directly or indirectly, any claim of personal injury or death associated with such unintended or unauthorized use, even if such claim alleges that SCILLC was negligent regarding the design or manufacture of the part. SCILLC is an Equal Opportunity/Affirmative Action Employer.

PUBLICATION ORDERING INFORMATION

NORTH AMERICA Literature Fulfillment:
Literature Distribution Center for ON Semiconductor
P.O. Box 5163, Denver, Colorado 80217 USA
Phone: 303–675–2175 or 800–344–3860 Toll Free USA/Canada
Fax: 303–675–2176 or 800–344–3867 Toll Free USA/Canada
Email: ONlit@hibbertco.com
Fax Response Line: 303–675–2167 or 800–344–3810 Toll Free USA/Canada

N. American Technical Support: 800–282–9855 Toll Free USA/Canada

EUROPE: LDC for ON Semiconductor – European Support
German Phone: (+1) 303–308–7140 (Mon–Fri 2:30pm to 7:00pm CET)
Email: ONlit–german@hibbertco.com
French Phone: (+1) 303–308–7141 (Mon–Fri 2:00pm to 7:00pm CET)
Email: ONlit–french@hibbertco.com
English Phone: (+1) 303–308–7142 (Mon–Fri 12:00pm to 5:00pm GMT)
Email: ONlit@hibbertco.com

EUROPEAN TOLL–FREE ACCESS*: 00–800–4422–3781
*Available from Germany, France, Italy, UK

CENTRAL/SOUTH AMERICA:
Spanish Phone: 303–308–7143 (Mon–Fri 8:00am to 5:00pm MST)
Email: ONlit–spanish@hibbertco.com

ASIA/PACIFIC: LDC for ON Semiconductor – Asia Support
Phone: 303–675–2121 (Tue–Fri 9:00am to 1:00pm, Hong Kong Time)
Toll Free from Hong Kong & Singapore:
001–800–4422–3781
Email: ONlit–asia@hibbertco.com

JAPAN: ON Semiconductor, Japan Customer Focus Center
4–32–1 Nishi–Gotanda, Shinagawa–ku, Tokyo, Japan 141–0031
Phone: 81–3–5740–2745
Email: r14525@onsemi.com

ON Semiconductor Website: http://onsemi.com

For additional information, please contact your local Sales Representative.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงลิขสิทธิ์ของเอกสารทุกครั้งที่มีการนำไปใช้

19-4191; Rev 3; 10/96

MAX274 Evaluation Kit & MAX274/275 Software Manuals Follow Datasheet

MAXIM

4th- and 8th-Order Continuous-Time Active Filters

General Description

The MAX274 and MAX275 are continuous-time active filters consisting of independent cascadable 2nd-order sections. Each section can implement any all-pole bandpass or lowpass filter response, such as Butterworth, Bessel, and Chebyshev, and is programmed by four external resistors. The MAX274/MAX275 provide lower noise than switched-capacitor filters, as well as superior dynamic performance - both due to the continuous-time design. Since continuous-time filters do not require a clock, aliased and clock noise are eliminated with the MAX274/MAX275.

The MAX274 comprises four 2nd-order sections, permitting 8th-order filters to be realized. Center frequencies range up to 150kHz, and are accurate to within ±1% over the full operating temperature range. Total harmonic distortion (THD) is typically better than -89dB

The MAX275 comprises two 2nd-order sections, permitting 4th-order filters to be realized. Center frequencies range up to 300kHz, and are accurate to within ±0.9% over the full operating temperature range. Total harmonic distortion (THD) is typically better than -86dB

Both filters operate from a single +5V supply or from dual ±5V supplies

Applications

Low-Distortion Anti-Aliasing Filters
DAC Output Smoothing Filters
Modems
Audio/Sonar/Avionics Frequency Filtering
Vibration Analysis

Features

- ♦ **Continuous-Time Filter - No Clock, No Clock Noise**
- ♦ **Implement Butterworth, Chebyshev, Bessel and Other Filter Responses**
- ♦ **Lowpass, Bandpass Outputs**
- ♦ **Operate from a Single +5V Supply or Dual ±5V Supplies**
- ♦ **Design Software Available**
- ♦ **MAX274 Evaluation Kit Available**
- ♦ **8th-Order – Four 2nd-Order Sections (MAX274)**
  4th-Order – Two 2nd-Order Sections (MAX275)
- ♦ **Center-Frequency Range:**
  150kHz for MAX274
  300kHz for MAX275
- ♦ **Low Noise: -86dB THD Typical for MAX274**
  -89dB THD Typical for MAX275
- ♦ **Center-Frequency Accurate Over Temp:**
  within ±1% for MAX274
  within ±0.9% for MAX275

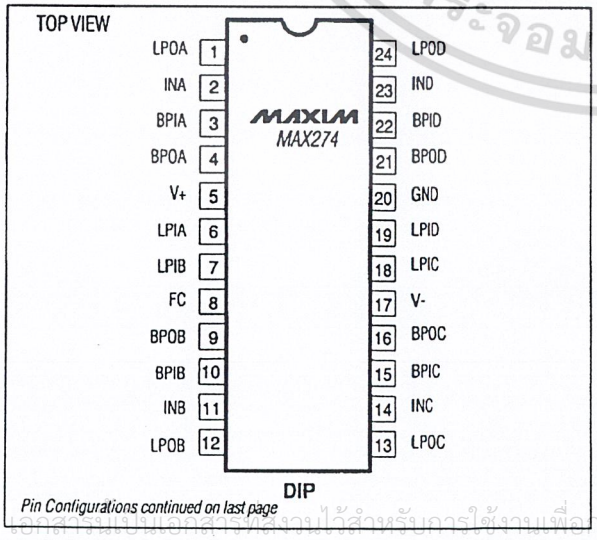
Ordering Information

PART	TEMP. RANGE	PIN-PACKAGE
MAX274ACNG	0°C to +70°C	24 Narrow Plastic DIP
MAX274BCNG	0°C to +70°C	24 Narrow Plastic DIP
MAX274ACWI	0°C to +70°C	28 Wide SO
MAX274BCWI	0°C to +70°C	28 Wide SO
MAX274BC/D	0°C to +70°C	Dice*

Ordering Information continued on last page

* Contact factory for dice specifications.

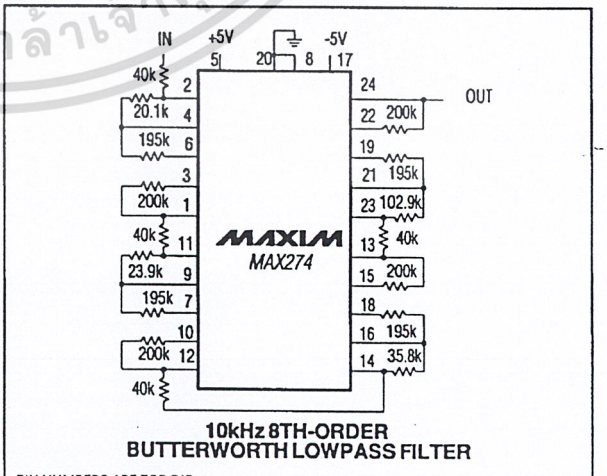
Pin Configurations



DIP

Pin Configurations continued on last page

Typical Operating Circuits



10kHz 8TH-ORDER BUTTERWORTH LOWPASS FILTER

PIN NUMBERS ARE FOR DIP.

Typical Operating Circuits continued on last page

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

For pricing, delivery, and ordering information, please contact Maxim/Dallas Direct! at 1-888-629-4642, or visit Maxim's website at www.maxim-ic.com.

4th- and 8th-Order Continuous-Time Active Filters

ABSOLUTE MAXIMUM RATINGS

V+ to V- ..... -0.3V, 12V
Input Voltage to GND (any input) ..... V- - 0.3V, V+ + 0.3V
Continuous Power Dissipation (T_A = +70°C)
MAX274
24-Pin Narrow Plastic DIP
(derate 13.33mW/°C above +70°C) ... 1067mW
28-Pin Wide SO (derate 12.50mW/°C above +70°) . 1000mW
24-Pin CERDIP (derate 12.50mW/°C above +70°C) . 1000mW
MAX275
20-Pin Plastic DIP(derate 11.11mW/°C above +70°C) 889mW
20-Pin Wide SO (derate 10.00mW/°C above +70°) . . 800mW
20-Pin CERDIP (derate 11.11mW/°C above +70°C) . . 889mW

Operating Temperature Ranges:
MAX27_ _C_ _ ..... 0°C to +70°C
MAX27_ _E_ _ ..... -40°C to +85°C
MAX27_ _MRG ..... -55°C to +125°C
Storage Temperature Range ..... -65°C to +165°C
Lead Temperature (soldering, 10 sec) ..... +300°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS – MAX274

(V+ = 5V, V- = -5V, test circuit A of Figure 1a, T_A = T_{MIN} to T_{MAX}, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
FILTER CHARACTERISTICS							
Maximum Operating Frequency					10		MHz
Center-Frequency Range	F_O	(Note 1)			100 to 150k		Hz
Center-Frequency Accuracy	F_O		MAX274A	-1.0		1.0	%
			MAX274B	-1.4		1.4	
Q Accuracy - Unadjusted			MAX274A	-10		10	%
			MAX274B	-15		15	
Q Accuracy - Adjusted		Scaled for bandwidth compensation			±2.8		%
F_O Temperature Coefficient	$\Delta F_O/\Delta T$	(Note 2)			-28		ppm/°C
Q Temperature Coefficient	$\Delta Q/\Delta T$	(Note 2)			160		ppm/°C
Wideband Noise	V_{NOISE}	LPO_, Figure 1a, test circuit B	1Hz to 10Hz		23		μV_{RMS}
			10Hz to 10kHz		120		
DC CHARACTERISTICS							
DC Lowpass Gain Accuracy	H_{OLP}	Assume ideal resistors	MAX274A	-2		2	%
			MAX274B	-3		3	
Offset Voltage at Outputs	V_{OS}	LPO_	MAX274A	-200		200	mV
			MAX274B	-300		300	
		BPO_	MAX274A	-40		40	
			MAX274B	-80		80	
Offset Voltage Drift	$\Delta V_{OS}/\Delta T$				20		µV/°C
Leakage Current at FC Pin	I_{FC}			-10		10	µA
DYNAMIC FILTER CHARACTERISTICS							
Signal-to-Noise plus Distortion	SINAD	F_{TEST} = 1kHz, Figure 1a, test circuit B	LPO_, V_{LPO} = 8Vp-p		-86		dB
		F_{TEST} = 10kHz, Figure 1a, test circuit C			-82		

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS (continued) – MAX274

(V+ = 5V, V- = -5V, test circuit A of Figure 1a, $T_A = T_{MIN}$ to T_{MAX}, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Output Voltage Swing	V_{OUT}	LPO_ , BPO_ , R_{LOAD} = 5kΩ	±3.25	±4.50		V
Slew Rate	SR			10		V/µs
Gain-Bandwidth Product	GBW			7.5		MHz
POWER REQUIREMENTS						
Supply Voltage Range	V_{SUPP}	(Note 3)	±2.37		±5.50	V
Supply Current	I_C	For V+, V-		20	30	mA
Power-Supply Rejection Ratio	PSRR	V+ = 5V + 100mVp-p at 1kHz, V- = -5V		-30		dB

Note 1: Center frequencies (F_{OS}) below 100Hz are possible at reduced dynamic range.
Note 2: Assume no drift for external resistors.
Note 3: See Figure 9 for single-supply operation.

ELECTRICAL CHARACTERISTICS – MAX275

(V+ = 5V, V- = -5V, test circuit A of Figure 1b, $T_A = T_{MIN}$ to T_{MAX}, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
FILTER CHARACTERISTICS							
Maximum Operating Frequency					10		MHz
Center-Frequency Range	F_O	(Note 1)			100 to 300k		Hz
Center-Frequency Accuracy	F_O		MAX275A	-0.9		0.9	%
			MAX275B	-1.4		1.4	
Q Accuracy – Unadjusted			MAX275A	-8		8	%
			MAX275B	-12		12	
Q Accuracy – Adjusted		Scaled for bandwidth compensation			±1		%
F_O Temperature Coefficient	$\Delta F_O/\Delta T$	(Note 2)			-24		ppm/°C
Q Temperature Coefficient	$\Delta Q/\Delta T$	(Note 2)			38		ppm/°C
Wideband Noise	V_{NOISE}	LPO_, test circuit B of Figure 1b,	1Hz to 10Hz		6		μV_{RMS}
			10Hz to 10kHz		42		
DC CHARACTERISTICS							
DC Lowpass Gain Accuracy	H_{OLP}	Assume ideal resistors	MAX275A	-1		1	%
			MAX275B	-2		2	
Offset Voltage at Outputs	V_{OS}	LPO_	MAX275A	-125		125	mV
			MAX275B	-250		250	
		BPO_	MAX275A	-50		50	
			MAX275B	-100		100	
Offset Voltage Drift	$\Delta V_{OS}/\Delta T$				20		µV/°C
Leakage Current at FC Pin	I_{FC}			-10		10	µA
DYNAMIC FILTER CHARACTERISTICS							
Signal-to-Noise plus Distortion	SINAD	F_{TEST} = 1kHz, test circuit B of Figure 1b,	LPO_, V_{LPO} = 8Vp-p		-89		dB
		F_{TEST} = 10kHz, test circuit C of Figure 1b,			-83		

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4th- and 8th-Order Continuous-Time Active Filters

ELECTRICAL CHARACTERISTICS (continued) – MAX275

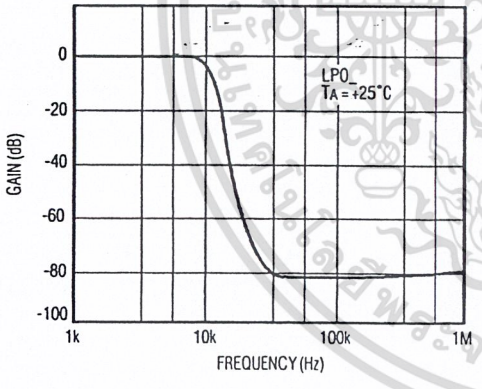
(V+ = 5V, V- = -5V, test circuit A of Figure 1b, $T_A = T_{MIN}$ to T_{MAX}, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Output Voltage Swing	V_{OUT}	LPO_, BPO_, R_{LOAD} = 5kΩ	±3.25	±4.50		V
Internal Amplifier Slew Rate	SR			10		V/µs
Gain-Bandwidth Product	GBW			15		MHz
POWER REQUIREMENTS						
Supply Voltage Range	V_{SUPP}	(Note 3)	±2.37		±5.50	V
Supply Current	IC	For V+, V-		10	24	mA
Power-Supply Rejection Ratio	PSRR	V+ = 5V + 100mVp-p at 1kHz, V- = -5V		-35		dB

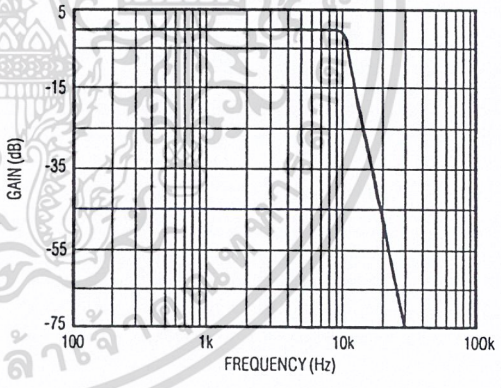
Note 1: Center frequencies (F_0s) below 100Hz are possible at reduced dynamic range.
Note 2: Assume no drift for external resistors.
Note 3: See Figure 9 for single-supply operation.

Typical Operating Characteristics–MAX274

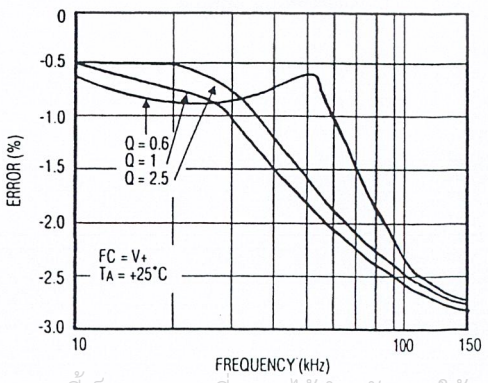
FILTER WIDEBAND RESPONSE USING TYPICAL OPERATING CIRCUIT



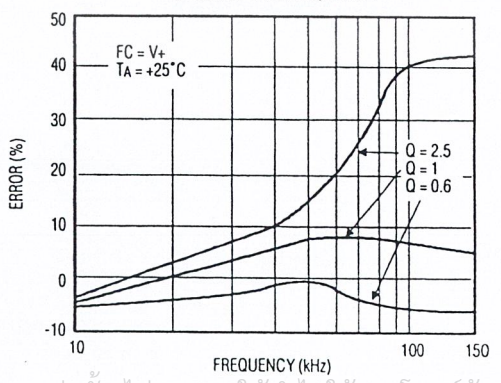
FILTER RESPONSE USING TYPICAL OPERATING CIRCUIT



F_0 ERROR vs. FREQUENCY



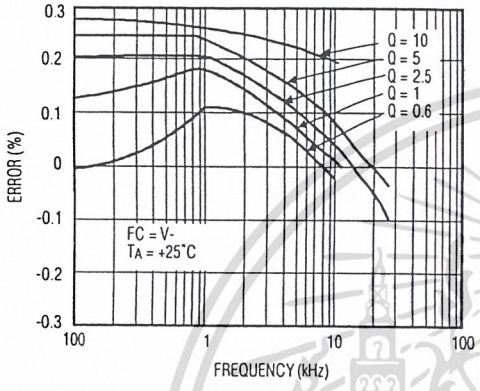
Q ERROR vs. FREQUENCY



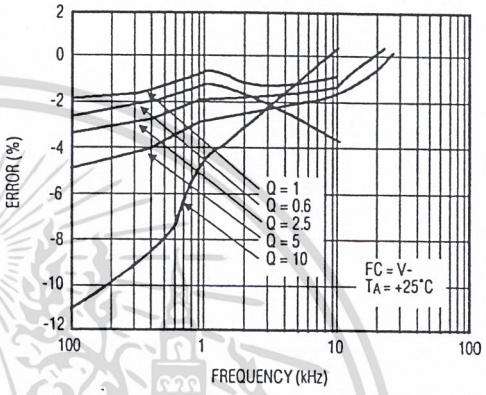
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Operating Characteristics–MAX274 (continued)

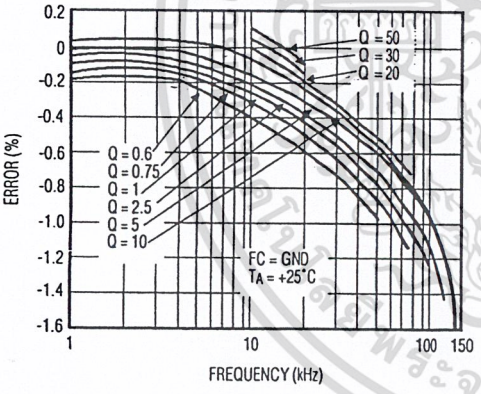
F_O ERROR vs. FREQUENCY



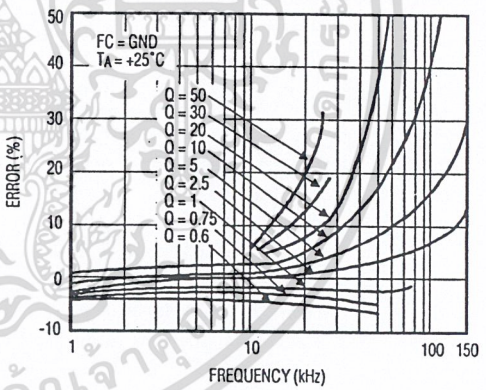
Q ERROR vs. FREQUENCY



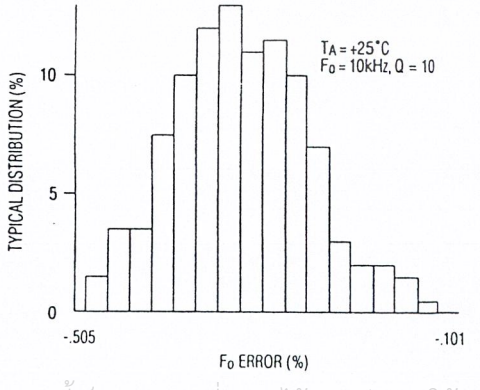
F_O ERROR vs. FREQUENCY



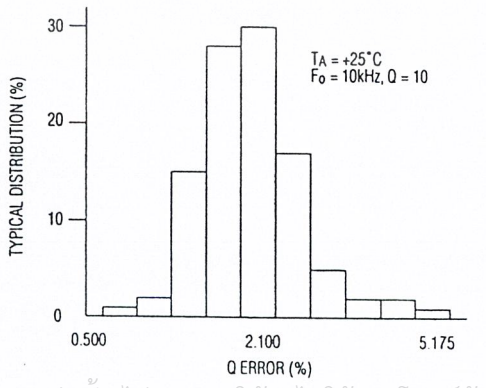
Q ERROR vs. FREQUENCY



TYPICAL DISTRIBUTION OF CENTER-FREQUENCY ERRORS



TYPICAL DISTRIBUTION OF Q ERRORS

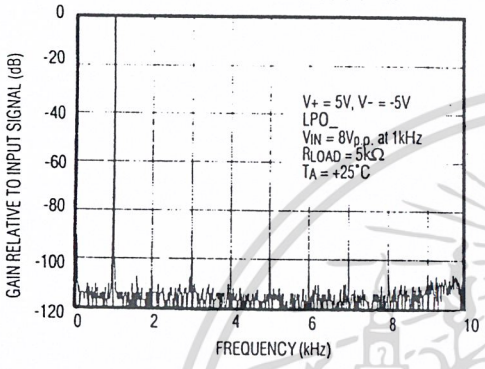


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

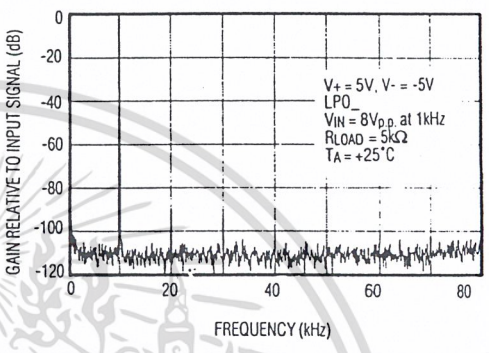
4th- and 8th-Order Continuous-Time Active Filters

Typical Operating Characteristics–MAX274 (continued)

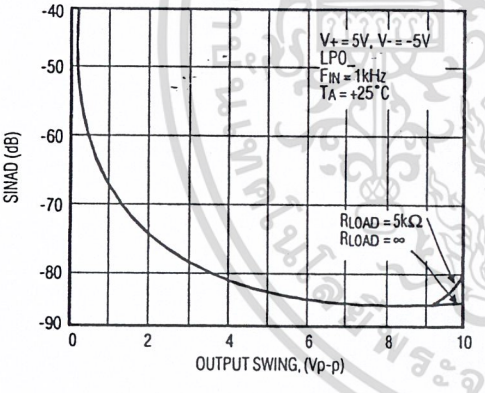
FFT PLOT OF 1kHz TEST SIGNAL



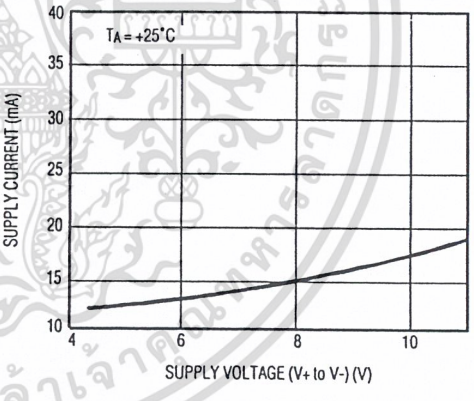
FFT PLOT OF 10kHz TEST SIGNAL



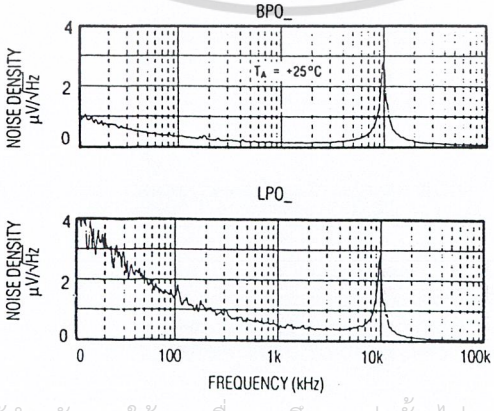
SIGNAL TO NOISE + DISTORTION (SINAD) vs. OUTPUT SWING



SUPPLY CURRENT vs. SUPPLY VOLTAGE



SPECTRAL NOISE DENSITY vs. FREQUENCY

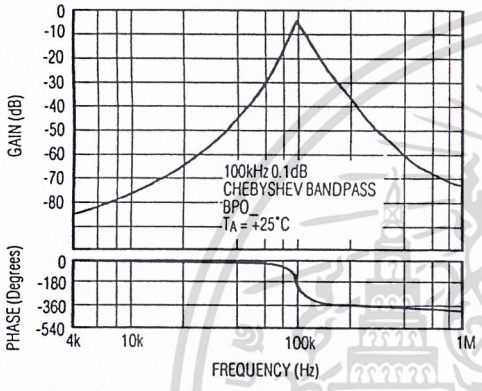


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

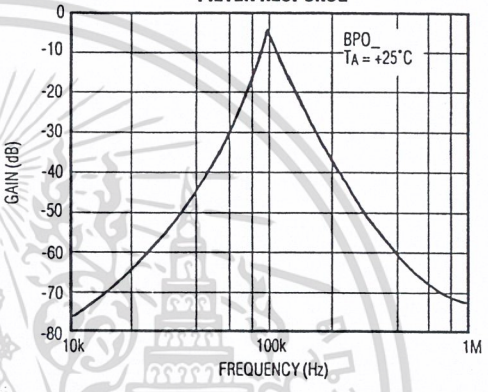
4th- and 8th-Order Continuous-Time Active Filters

Typical Operating Characteristics–MAX275

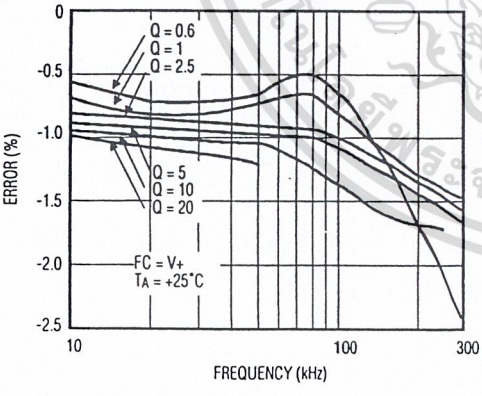
FILTER WIDEBAND RESPONSE USING TYPICAL OPERATING CIRCUIT



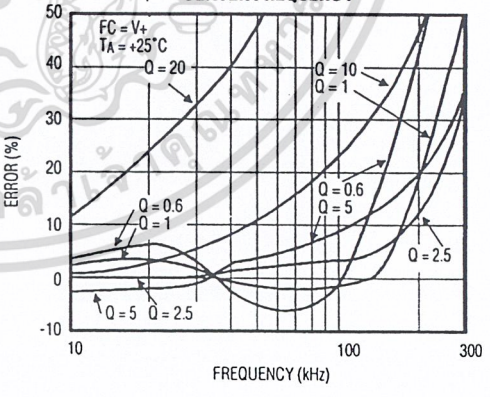
FILTER RESPONSE



CENTER-FREQUENCY ERROR vs. PROGRAMMED CENTER FREQUENCY



Q ERROR vs. PROGRAMMED CENTER FREQUENCY

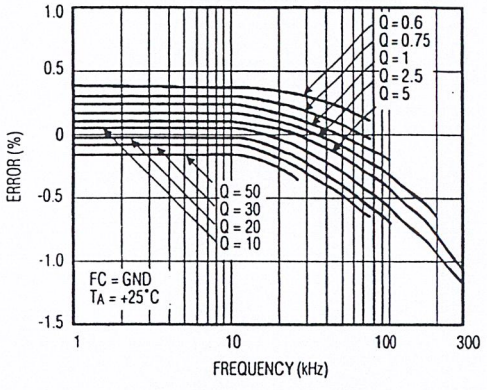


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

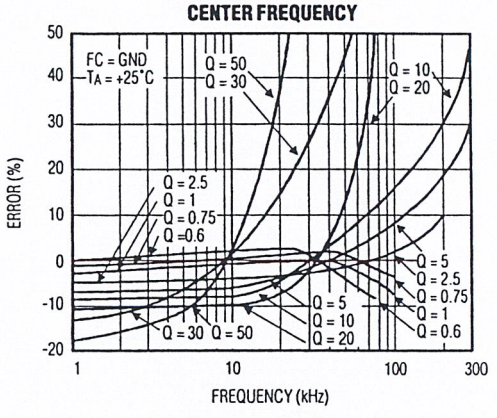
4th- and 8th-Order Continuous-Time Active Filters

Typical Operating Characteristics–MAX275 (continued)

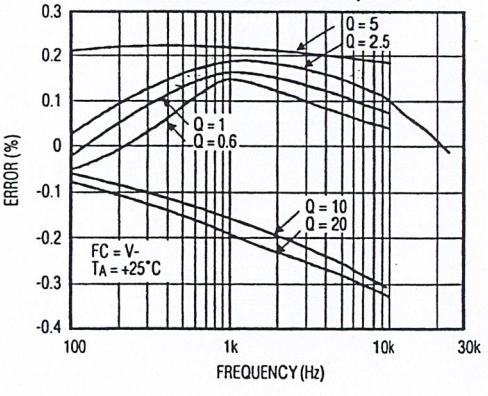
CENTER-FREQUENCY ERROR vs. PROGRAMMED CENTER FREQUENCY



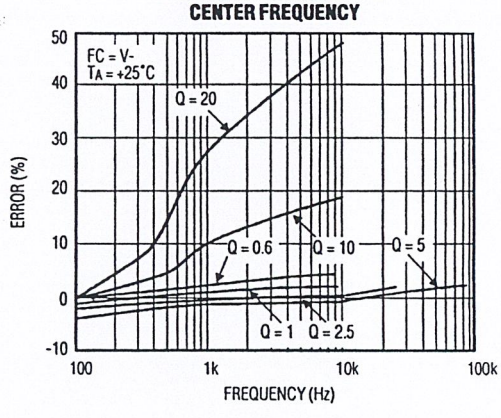
Q ERROR vs. PROGRAMMED CENTER FREQUENCY



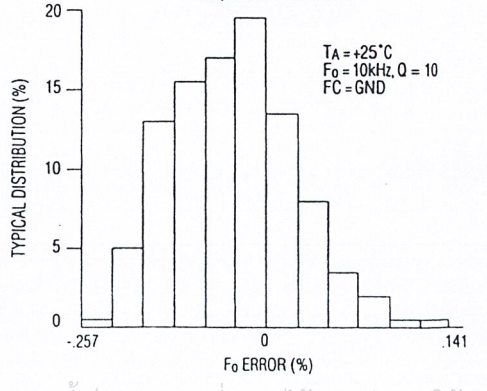
CENTER-FREQUENCY ERROR vs. PROGRAMMED CENTER FREQUENCY



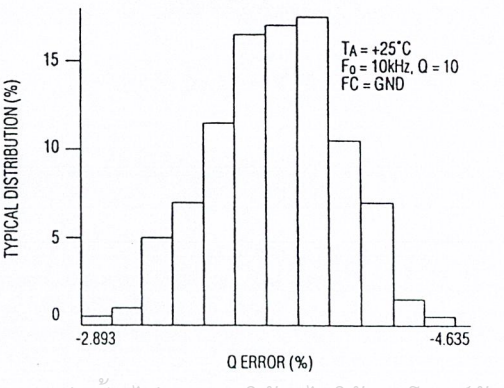
Q ERROR vs. PROGRAMMED CENTER FREQUENCY



TYPICAL DISTRIBUTION OF CENTER-FREQUENCY ERRORS



TYPICAL DISTRIBUTION OF Q ERRORS

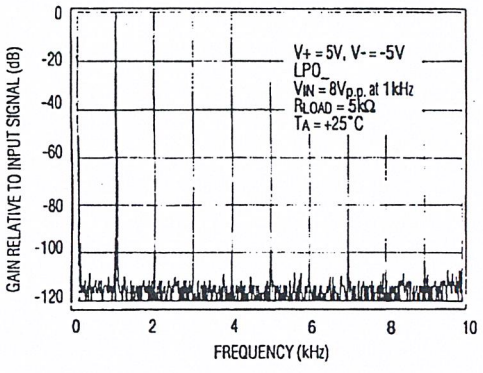


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

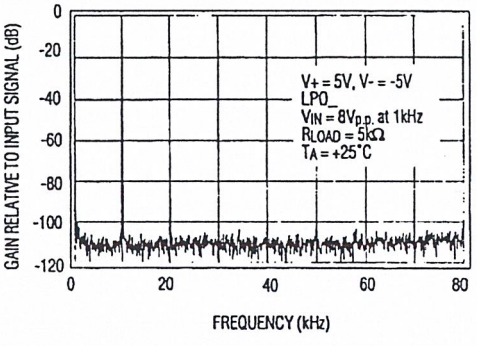
4th- and 8th-Order Continuous-Time Active Filters

Typical Operating Characteristics–MAX275 (continued)

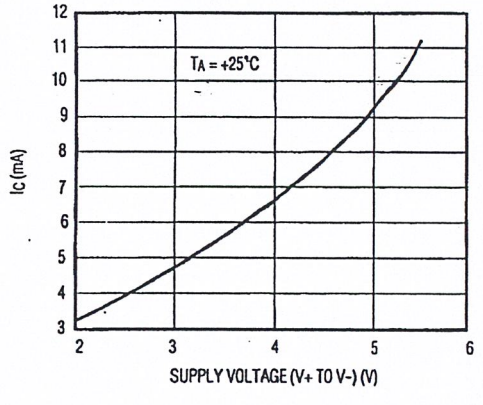
FFT PLOT OF 1kHz TEST SIGNAL



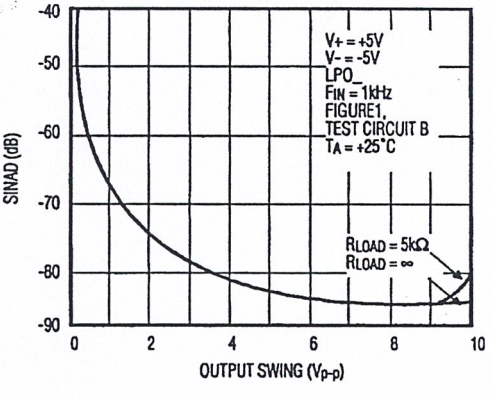
FFT PLOT OF 10kHz TEST SIGNAL



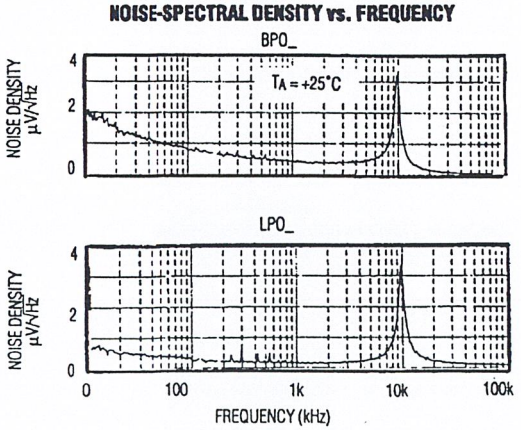
SUPPLY CURRENT vs. SUPPLY VOLTAGE



SIGNAL-TO-NOISE + DISTORTION (SINAD) vs. OUTPUT SWING

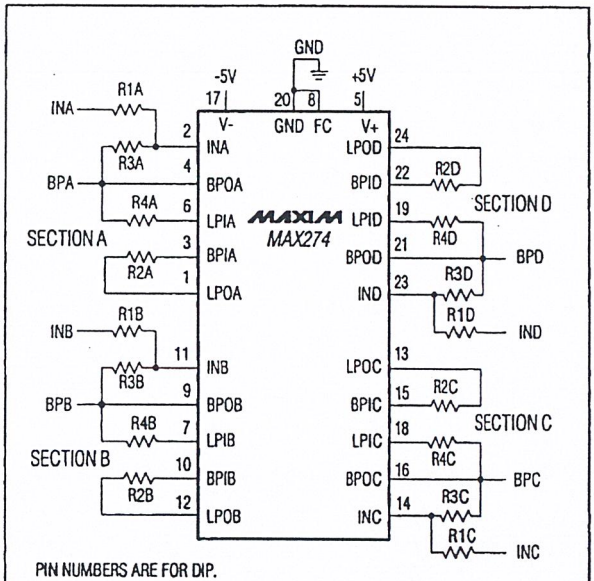


NOISE-SPECTRAL DENSITY vs. FREQUENCY



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

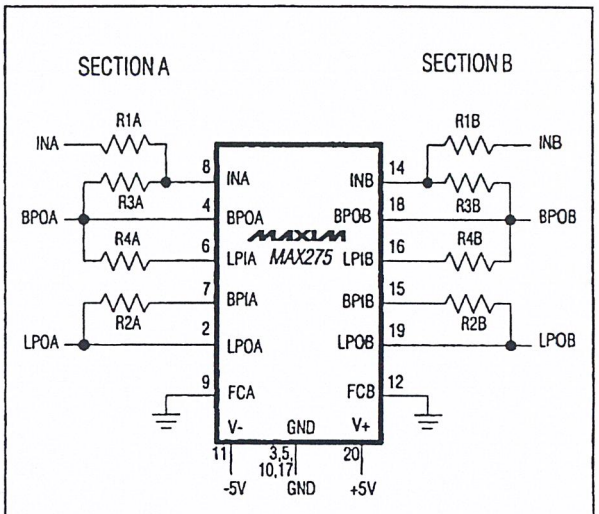
4th- and 8th-Order Continuous-Time Active Filters



PIN NUMBERS ARE FOR DIP.

TEST CIRCUIT	F_o (kHz)	Q	R1X (kΩ)	R2X (kΩ)	R3X (kΩ)	R4X (kΩ)	FC PIN
A	10	10	80	200	400	195	GND
B	10	0.707	40	200	28	195	GND
C	100	0.707	40	20	48	15	V+

Figure 1a. MAX274 Connection Diagram and Test Circuit



PIN NUMBERS ARE FOR DIP.

TEST CIRCUIT	F_o (kHz)	Q	R1X (kΩ)	R2X (kΩ)	R3X (kΩ)	R4X (kΩ)	FC PIN
A	10	10	80	200	400	195	GND
B	10	0.707	40	200	28	195	GND
C	100	0.707	40	20	48	14	V+

Figure 1b. MAX275 Connection Diagram and Test Circuit

Detailed Description

The MAX274 contains four identical 2nd-order filter sections while the MAX275 contains two sections. Figure 2 shows the state-variable topography employed in each filter section. This topography allows simultaneous lowpass and bandpass functions at separate outputs.

The MAX274/MAX275 employ a four-amplifier design, chosen for its relative insensitivity to parasitic capacitances and high bandwidth. The built-in capacitors and amplifiers, together with external resistors, form cascaded integrators with feedback to provide simultaneous lowpass and bandpass filtered outputs. To maximize bandwidth, the highpass (HP) node is not accessible. A 5kΩ resistor is connected in series with the input of the last stage amplifier to isolate the integration capacitor from external parasitic capacitances that could alter the filter's pole accuracy.

Although a notch output pin is not available, a notch can be created at the pole frequency by summing the input and bandpass output. See Creating a Notch Output Section

Filter Design Procedure

Figure 3 outlines the overall filter design procedure. Maxim's Filter Design Software is highly recommended. This software automatically calculates filter order, poles, and Qs based on the required filter shape, so no manual calculations are necessary. Menu-driven commands and on-screen filter response graphs take the user through the complete design process, including the selection of resistor values for implementing a filter with the MAX274/MAX275. See *Maxim Filter Design Software* section.

If designing without the filter software, see the filter design references listed at the end of this data sheet. These references provide numerical tables and equations needed to translate a desired filter response into order, poles, and Q. Once these three parameters have been calculated, see the next section, *Translating F_o/Q Pairs into MAX274/MAX275 Hardware (Resistor Selection).*

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

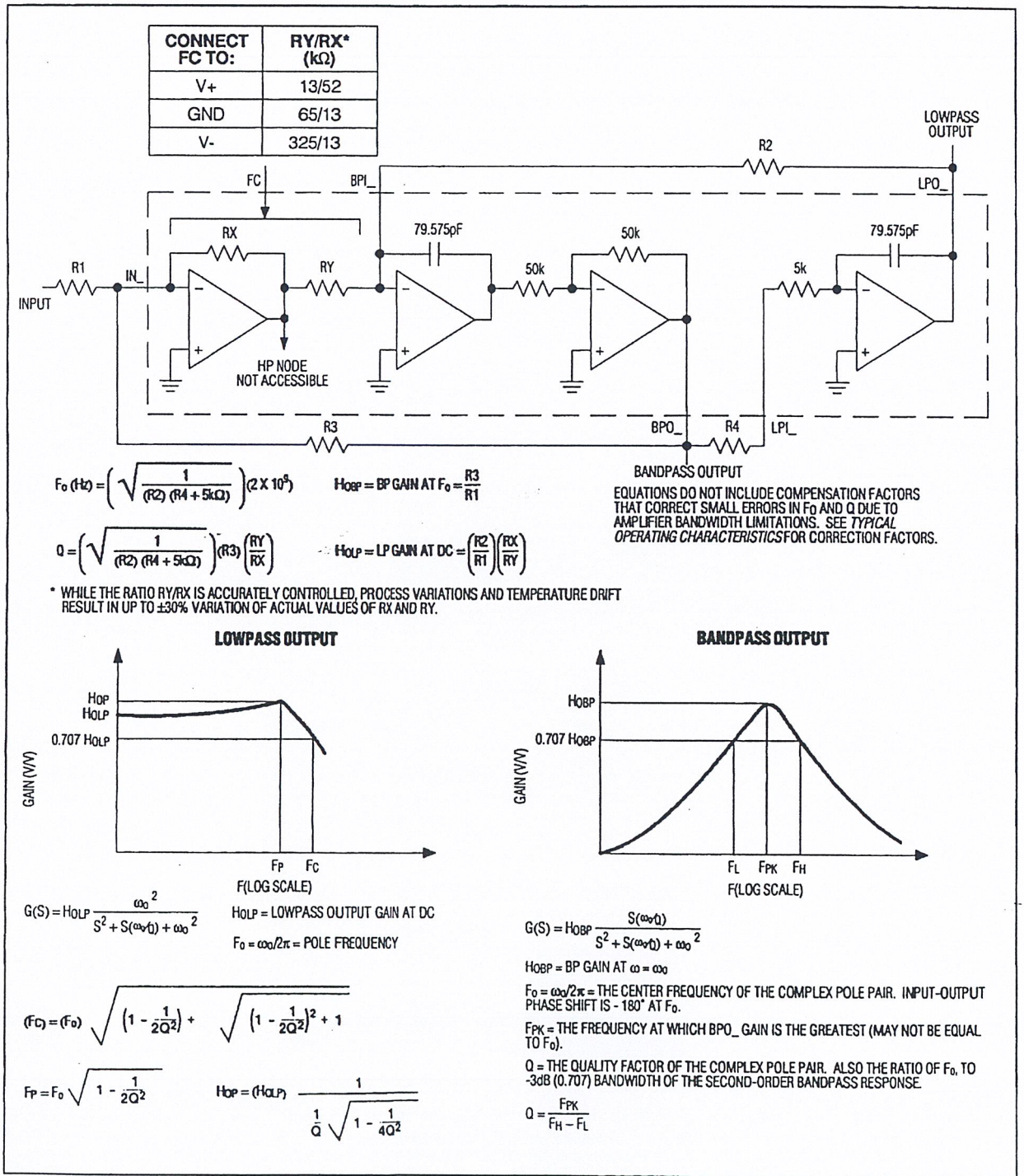


Figure 2. Single 2nd-Order Filter Section

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4th- and 8th-Order Continuous-Time Active Filters

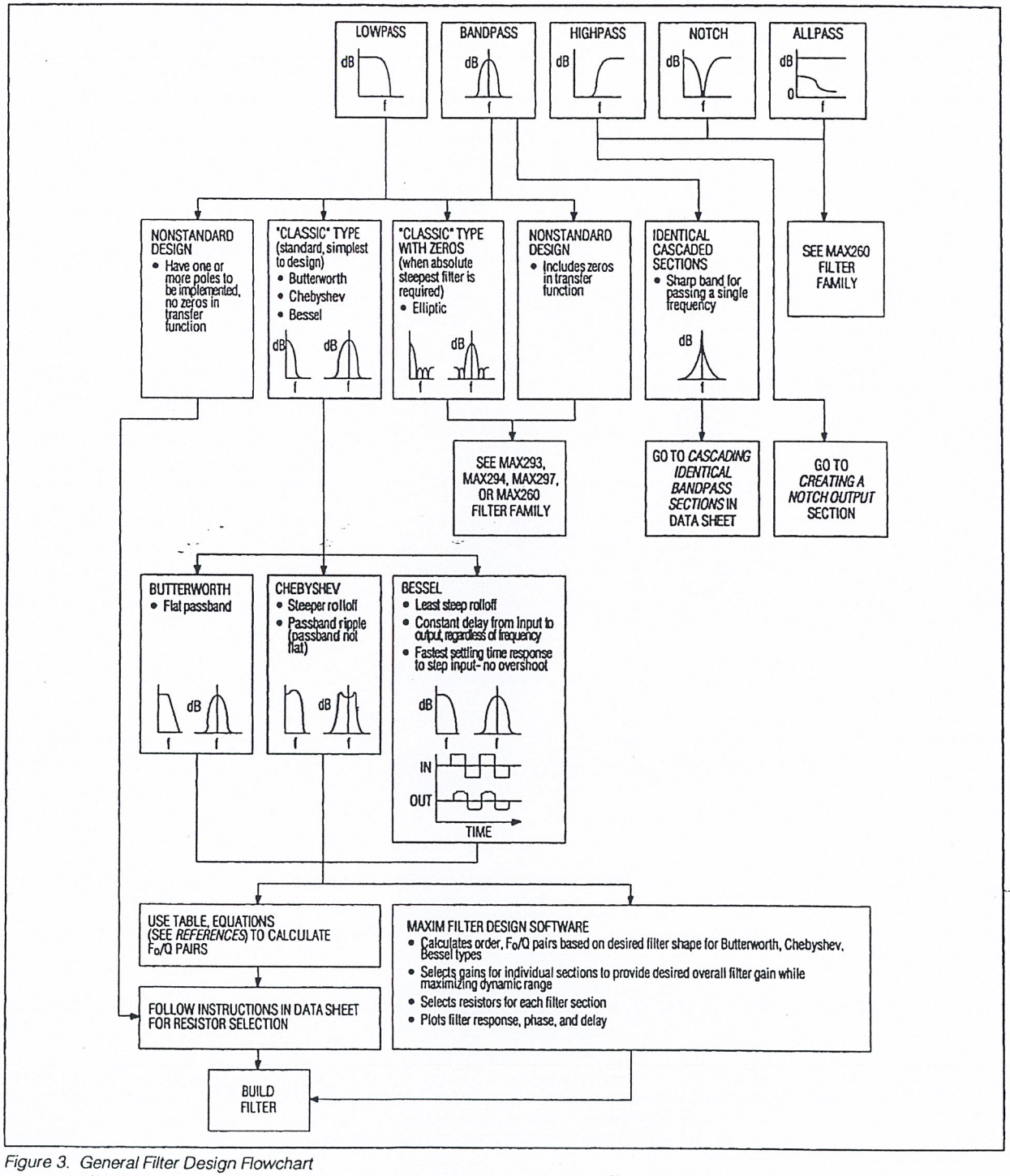


Figure 3. General Filter Design Flowchart

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Translating Calculated F_o/Q Pairs into MAX274/MAX275 Hardware (Resistor Selection)

If the filter design procedure has been completed as outlined in Figure 3, with the exception of external resistor selection, follow these steps:

1. Check all F_o/Q pairs for realizability. The MAX274/MAX275 have limits on which F_o/Q values can be implemented. These limits are bound by finite amplifier gain-bandwidth and amplifier load drive capability (which limit the highest frequency F_o/highest Qs) as well as amplifier noise pickup and susceptibility to errors caused by stray capacitance (which sets a low-frequency limit on the poles). Refer to Figure 4 to be sure each F_o/Q pair is within the "realizable" portion of the graph. If filter Qs are too high, reduce them by increasing the filter order (that is, increase the number of poles in the overall filter).

High-frequency F_os (up to 400kHz) and high Qs outside of Figure 4's limits are also realizable, but F_o and Q will deviate significantly from the ideal. Adjust resistor values by prototyping.

To implement F_os less than 100Hz, see *High-Value Resistor Transformation* section.

2. Calculate resistor values for each section (F_o/Q pair). Calculate resistor values using graphs and equations in steps A through D of this section. Begin by estimating required values according to the graphs; then use the given equations to derive a precise value.

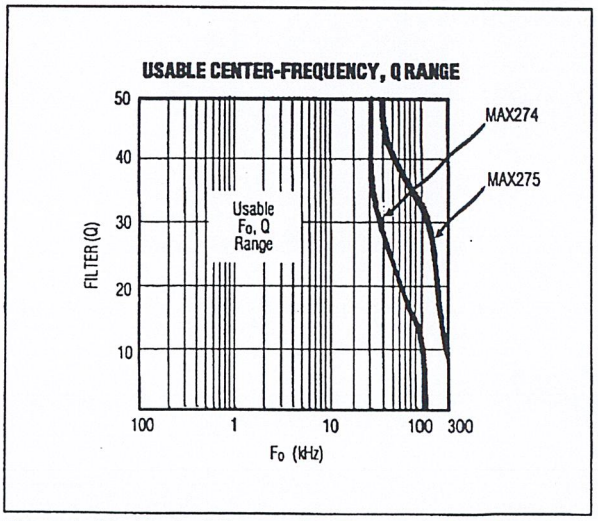


Figure 4. Usable F_o, Q Range. See Translating Fo/Q Pairs into Hardware (Resistor Selection).

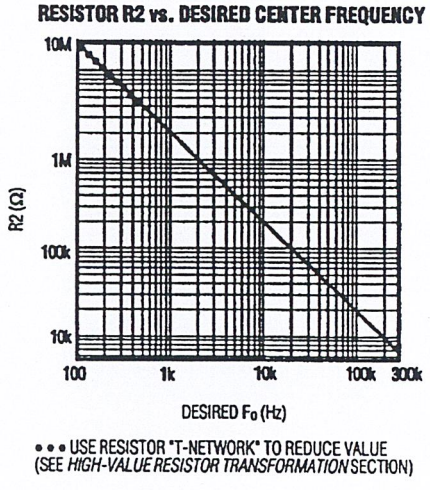
Resistor values should not exceed 4MΩ because parasitic capacitances shunting such high values cause excessive F_o/Q errors. Values lower than 5kΩ for R2 and R3 are not recommended due to limited amplifier output drive capability. For cases where larger values are unavoidable (as in low-frequency sections) refer to the *High-Value Resistor Transformation* section.

The Frequency Control (FC) pin is connected to V+, GND, or V- and scales R3 and R1 to accomodate a wide range of gains and Q values. Different FC settings may be chosen for each section. Refer to the *FC Pin Connection* section.

The steps for calculating resistor values are given below.

STEP A. CALCULATE R2.

$$R2 = \frac{(2 \times 10^9)}{F_o}$$



Resistors R2 and R4 set the center frequency.

STEP B. CALCULATE R4.

$$R4 = R2 - 5k\Omega$$

R4 may be less than 5kΩ because an internal series 5kΩ resistor limits BPO_ loading

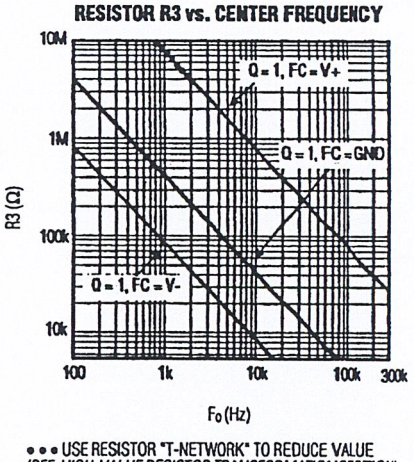
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4th- and 8th-Order Continuous-Time Active Filters

STEP C. CALCULATE R3.

R3 sets the Q for the section. R3 values are plotted assuming Q = 1; since R3 is proportional to Q, multiply the graph's value by the desired Q.

Given Q, three choices exist for R3, depending on the FC setting. Choose a setting that provides a reasonable resistor value (5kΩ < R3 < 4MΩ). R3 > 4MΩ may be used if unavoidable – refer to the *High-Value Resistor Transformation* section for an explanation of resistor "Ts."



••• USE RESISTOR "T-NETWORK" TO REDUCE VALUE (SEE *HIGH-VALUE RESISTOR TRANSFORMATION* SECTION)

Scale R3 to desired Q

$$R3 = \frac{(Q)\ (2X10^9)}{F_o} X \left(\frac{RX}{RY}\right)$$

CONNECT FC TO:	RX/RY
V+	4/1
GND	1/5
V-	1/25

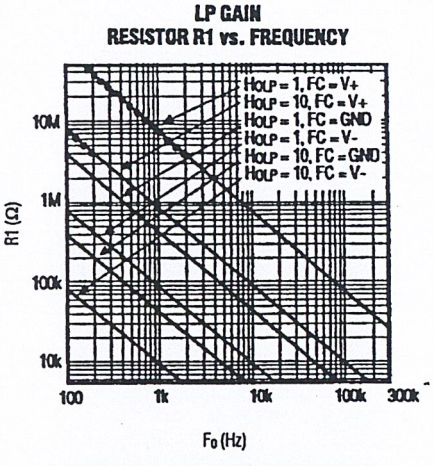
STEP D. CALCULATE R1.

R1 sets the gain. If individual section gains have not yet been calculated, refer to *Cascaded Filter Gain Optimization, Ordering of Sections.*

R1 is inversely proportional to LP gain. R1 values for gains of 1 and 10 are plotted; scale R1 according to desired gain.

Lowpass Filters:

The FC pin setting was chosen in Step C (or from previous section calculations).



••• USE RESISTOR "T-NETWORK" TO REDUCE VALUE (SEE *HIGH-VALUE RESISTOR TRANSFORMATION* SECTION)

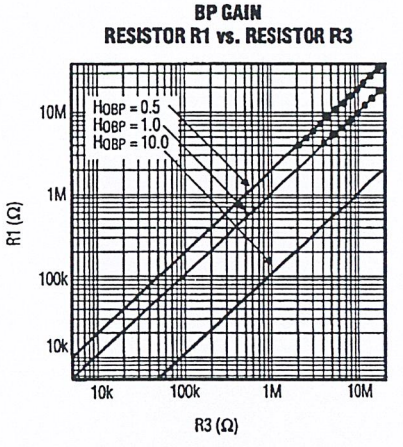
$$R1 = \frac{(2)\ (10^9)}{(F_o)\ (H_{OLP})} X \left(\frac{RX}{RY}\right)$$

CONNECT FC TO:	RX/RY
V+	4/1
GND	1/5
V-	1/25

where H_{OLP} is the gain at LPO_ at DC.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Bandpass Filters:



••• USE RESISTOR "T-NETWORK" TO REDUCE VALUE (SEE *HIGH-VALUE RESISTOR TRANSFORMATION* SECTION)

$$R1 = \frac{R3}{H_{OBP}}$$

where H_{OBP} is the gain at BPO_ at F_O.

3. Recalculate resistor values to compensate for filter amplifier bandwidth errors. Some of the *Typical Operating Characteristics* graphs show deviations in F_O and Q compared with expected values, due to gain rolloff of the internal amplifiers. If desired, correct these deviations by recalculating values R1- R4.

4. Build a filter prototype. Build and test all filter designs! Refer to the Prototyping, PC-Board Layout section of this data sheet.

For applications that require high accuracy (for example, those with filter sections containing Qs greater than 10) or those that use a ground plane, a final prototype tuning procedure is recommended. Build a prototype filter; then adjust resistor values of each section until desired accuracy is achieved.

High-Value Resistor Transformation

High-value resistors (greater than 4MΩ) used in the MAX274/MAX275 filter circuit introduce excessive F_O and Q errors. To reduce the impedance of these feedback paths while maintaining equivalent feedback current, use the resistor "T" method shown in Figure 5.

F_Os less than 100Hz can be realized using T-networks. T-networks provide the equivalent of large resistor values for R2, R3, and R4, necessary for low-frequency filters; however, T-networks reduce dynamic range by attenuating the input signal level. Note that parasitic capacitances across these high resistor values affect the filter response at high frequencies. For best results, build a prototype and check its performance thoroughly.

Odd Number of Poles

For lowpass designs containing an odd number of poles, add an RC lowpass filter after the final filter section. The value of RC should be:

$$RC = 1/2\pi F_O$$

where F_O is the desired real pole frequency. If required, buffer the RC with an op amp.

In many cases it may be advantageous to simply increase the filter order by 1, and implement it with an additional 2nd-order section.

FC Pin Connection

Connect FC to GND for all applications, except where resistor values fall below 5kΩ (at high F_Os, low Qs). In these cases connect FC to V+. For low F_Os and high Qs, connect FC to V- to keep the value of R1 and R3 below 4MΩ.

F_O and Q errors are significantly higher when FC is connected to V+ or V- (see Typical Operating Characteristics). Adjusting resistor values compensates for these errors, since the errors are repeatable from part to part. Note that noise increases threefold when FC is connected to V+.

Cascading Identical Sections for Simplest Bandpass

If designing a bandpass filter where a single frequency (or a very narrow band of frequencies) must be passed, several 2nd-order sections with identical F_Os and Qs may be cascaded. The resulting Q (selectivity) of the filter is a function of the individual sections' Qs and the number of sections cascaded:

$$Q_t = \frac{Q}{\sqrt{2^{1/n} - 1}}$$

where Qt is the overall cascaded filter Q, Q is the Q of each individual section, and N is the number of sections.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4th- and 8th-Order Continuous-Time Active Filters

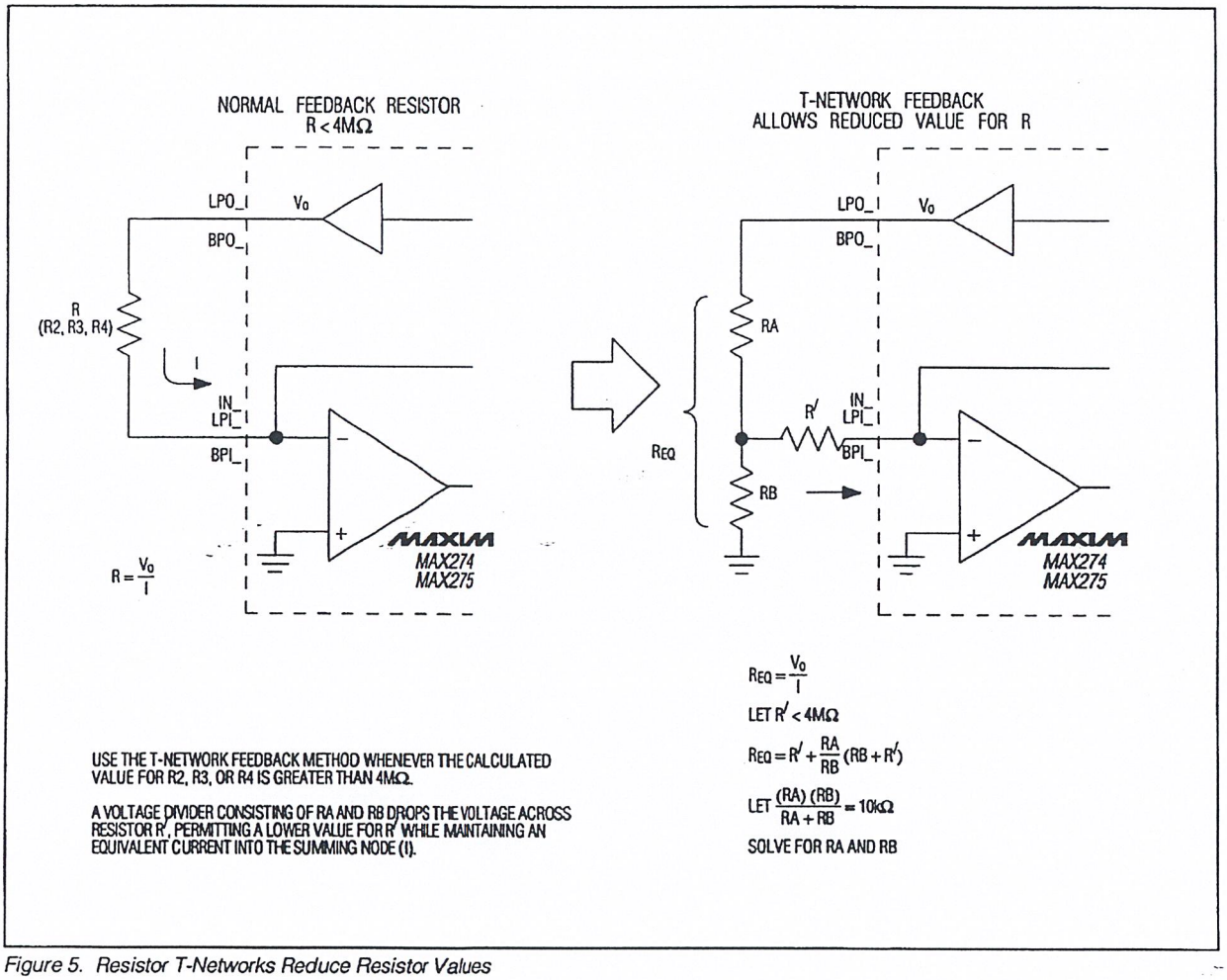


Figure 5. Resistor T-Networks Reduce Resistor Values

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4th- and 8th-Order Continuous-Time Active Filters

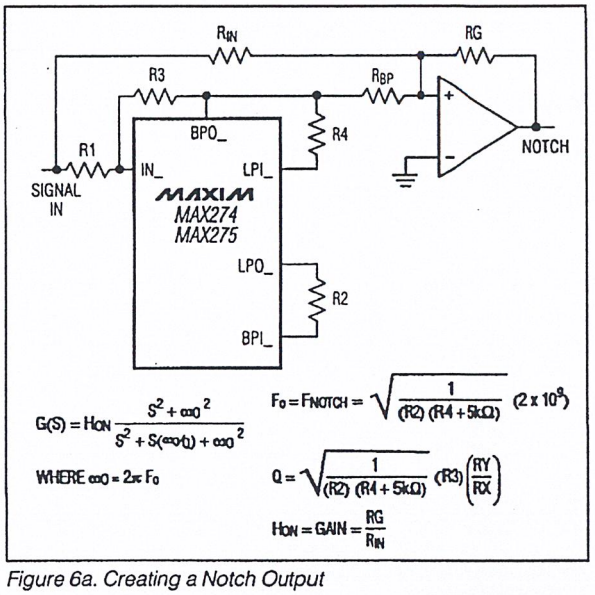


Figure 6a. Creating a Notch Output

Creating a Notch Output

A notch (zero) can be created in the filter response by summing the input signal with BPO_ using an external op amp (Figure 6a). The notch will have the poles and Q characteristics of the 2nd-order section, as well as a zero at the pole frequency (transfer function given in Figure 6a). H_{OBP} (H_O at F_O) must be accurately set to unity so the input signal summed with BPO_ cancels precisely at the pole frequency. The notch's maximum attenuation is therefore a function of the accuracy of R1, R3, R_{IN}, and R_{BP}.

A notch can be used to create a null within the passband of a lowpass filter to reject specific frequencies (see *Applications* section).

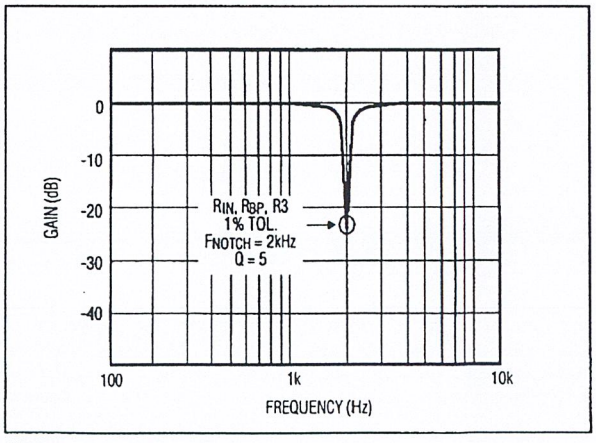


Figure 6b. Notch Response

Cascaded Filter Gain Optimization, Ordering of Sections

Gains across the individual sections in a filter may be set an infinite number of ways, as long as the total gain from filter input to output is correct. Often, gains cannot be equally divided among sections, since different F_Os and Qs create gain peaks and valleys at different frequencies for each section.

The goal in choosing gains is to prevent section outputs from swinging beyond the ±3.25V limit (using ±5V supplies) while the full input signal is applied. On the other hand, if section gains are set too low and only a small proportion of output range is used, the noise factor increases. An optimal gain distribution between sections allows each section to swing as close to ±3.25V as possible in a wide range of frequencies.

Check the unused output (BPO_ or LPO_), and the internal HP node for overvoltage, since clipping at any node will cause distortion at the outputs. The HP node is not available for probing (Figure 2); however, its gain may approach RX / R1. Low R1 values and connecting FC to V+ (which sets RX as high as 64kΩ) may cause this node to clip.

Maxim's Filter Design Software allows optimum gain by plotting output gains of each successive cascaded filter section, including the internal node. Gains may be adjusted manually and sections reordered for the best overall dynamic range.

To optimize gain without the help of software, begin by ordering the sections from lowest Q to highest Q. Divide gains equally between sections, setting each section gain to:

$$H_O = A^{(1/N)}$$

where A = overall filter gain

$H_O = H_{OBP}$ for bandpass designs (gain at F_O)

$H_O = H_{OLP}$ for lowpass designs (gain at DC)

N = total number of sections

This approach offers a good first-pass solution to clipping problems in the high Q sections by keeping gains low in the first (low Q) sections. The gains may then be adjusted in hardware to maximize overall dynamic range.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

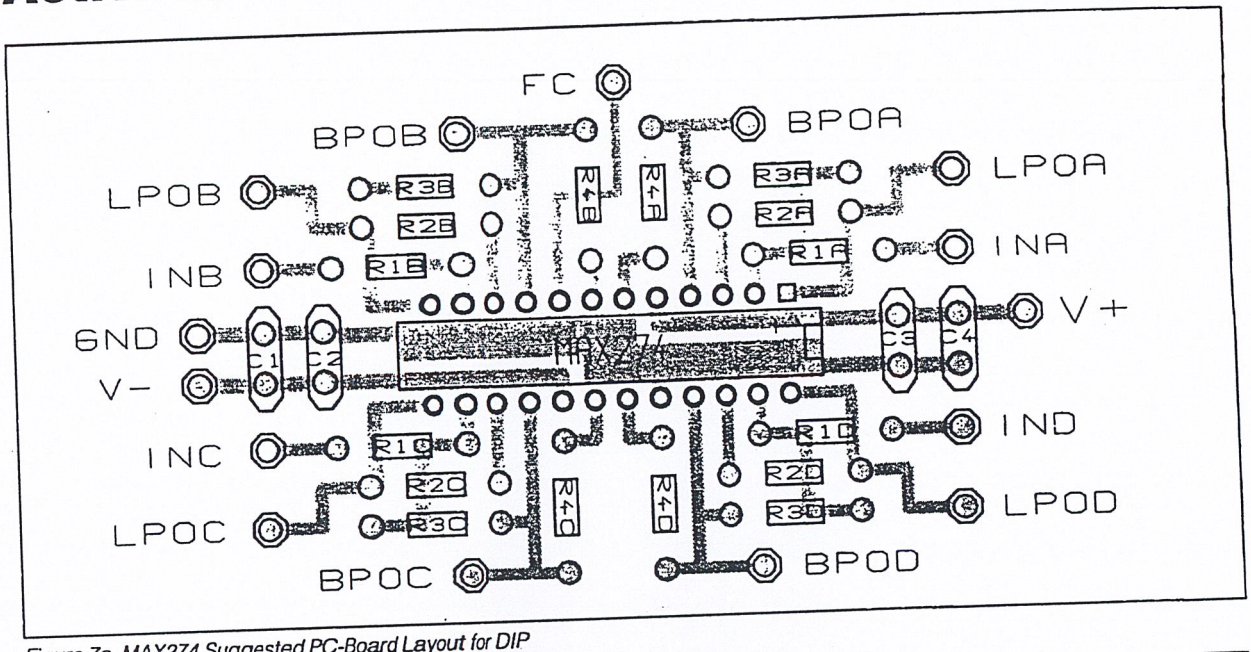


Figure 7a. MAX274 Suggested PC-Board Layout for DIP

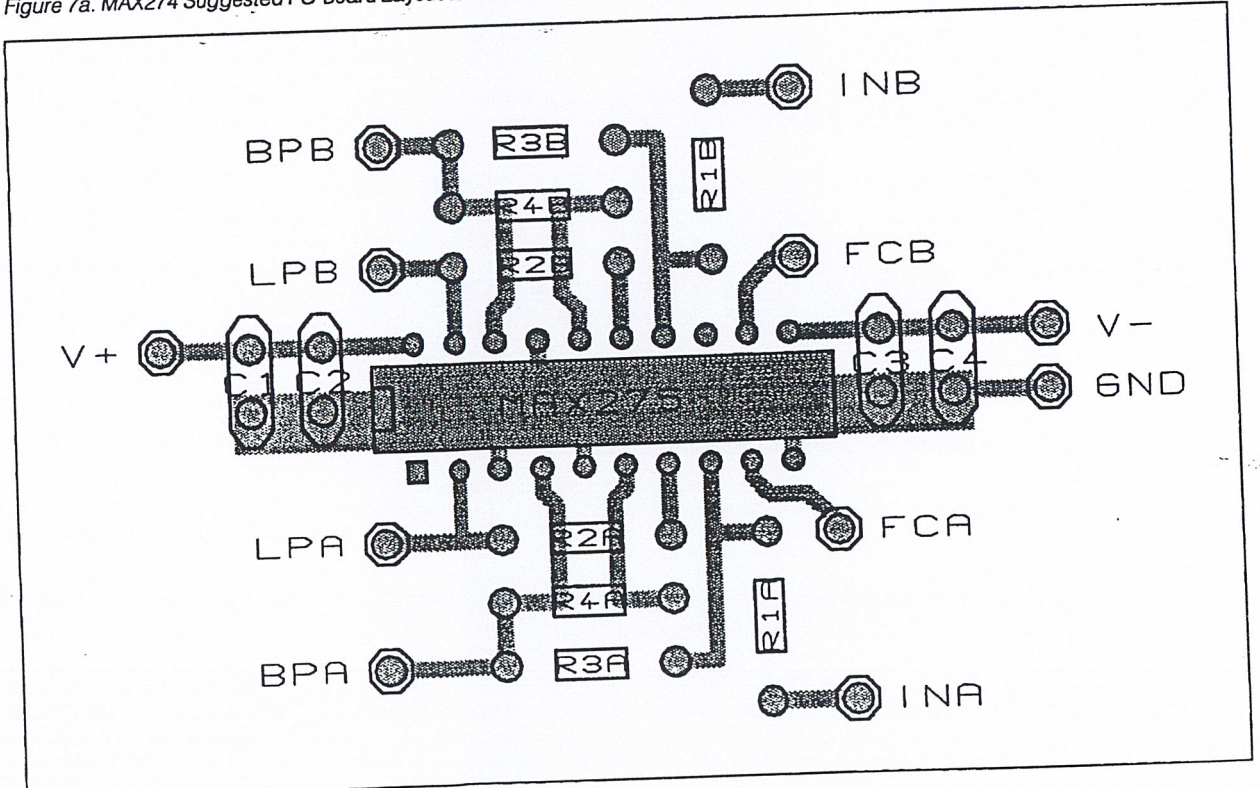


Figure 7b. MAX275 Suggested PC-Board Layout for DIP

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Resistors

Aside from accuracy, the most important criterion for resistor selection is parasitic capacitance across the resistor. Typical capacitance should be less than 1pF. Precision wire-wound resistors exhibit several picofarads, as well as unacceptable inductance – DO NOT USE THESE. Capacitance effectively reduces the resistance at high frequencies (especially when using high-value resistors), and causes phase shifts in feedback loops. Do not mount resistors in sockets. Socket capacitance appearing across resistors is often several picofarads, and will cause significant errors in F_0 and Q. Metal-film resistors minimize noise better than carbon types.

Prototyping, PC-Board Layout

For highest accuracy filters, build the filter prototype on a PC board with a layout as similar as possible to the final production circuit. If a ground plane will be used in production, build prototype filters on a copper board. Do not use push-in type breadboards for prototyping – pin-to-pin capacitance is too high. For faster prototyping, the MAX274 evaluation kit includes a PC-board circuit to test designs.

Layout-sensitive errors, though repeatable from part to part, vary according to resistor placement, trace routing, and ground-plane layout. For highest accuracy, use the recommended layout provided in Figures 7a and 7b. Keep all traces, especially LPI_ and BPI_ , as short as possible. LPI_ and BPI_ are particularly sensitive to ground capacitance, and may cause errors in Q. If a ground plane is used, tune the prototype filter by adjusting resistor values to cancel errors caused by ground capacitance.

Prevent capacitive coupling between pins. Coupling between BPI_ and BPO_ can cause F_0 errors; capacitance across resistors connecting IN and BPO_ (R3), BPI_ and LPO_ (R2), and BPO_ and LPI_ (R4) cause F_0 and Q errors. Minimize these errors with "tight" (shortest trace) layout practices.

Measuring F_0 and Q

For multiple-order filters, measure each section individually, before cascading, to verify correct F_0 and Q. For best results, measure BPO_ with a spectrum analyzer. F_0 is the frequency at which the input and BPO_ are 180° out of phase. Q is the ratio of F_{PK} to BPO_'s - 3dB bandwidth (Figure 2), where F_{PK} is the frequency at which BPO_ gain is the greatest (which may not be equal to F_0).

Filter F_0 and Q Accuracy

F_0 sensitivity to external resistor tolerance is 1:1 – for example, use of 1% tolerant resistors for R2 and R4 adds ±1% error to F_0 (which should be added to the ±1% tolerance of the MAX274/MAX275, guaranteed over temperature). Q errors are of greater magnitude, since they are a function of the internal resistor divider (controlled by the FC pin) and also involve R3. Typical Q error distributions are given in the *Typical Operating Characteristics*; additional Q errors associated with resistor tolerances are a function of R2, R3, and R4, and must be calculated according to the values used.

DC Offset Removal

Figures 8a and 8b show methods for removing the DC offset voltage at LPO_. The first method shows adjustable DC nulling signals injected into either BPI_ or the filter input. R_{TRIM} must be adjusted until DC offset is nulled at the LPO_ (Figure 8a). Figure 8b shows a trimless solution for lowpass filters that removes DC offset by AC coupling the LPO_ output, while allowing a DC path through R from the input. At DC and low frequencies, the output is equal to the prefiltered signal input (across R); at higher frequencies, C conducts and the output equals the signal at LPO_. The external RC pole should be set at least one frequency decade lower than the overall filter F_0. A low offset amplifier can buffer the output signal, if desired. For bandpass filters, a simple buffered RC highpass filter at the output removes DC offset.

Noise and Distortion

Noise-spectral density is shown in the *Typical Operating Characteristics*. The noise frequency distribution is shaped by the filter gain and response (higher Q section will have a proportionally higher noise peak around the pole frequency), as well as by amplifier 1/f noise. With FC set to V+, noise is 3 times greater than if set to GND or V-; therefore, avoid this setting for noise-sensitive applications. The noise density graphs from the *Typical Operating Characteristics* can be scaled to any gain or Q for an accurate noise estimation.

The MAX274/MAX275 can drive 5kΩ loads to typically within ±500mV of the supply rails with negligible distortion. The outputs can drive up to 100pF; however, filters with high F_0s and Qs will undergo some phase shift (1° at 100kHz driving 130pF, F_0 = 100kHz, Q = 10 section).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4th- and 8th-Order Continuous-Time Active Filters

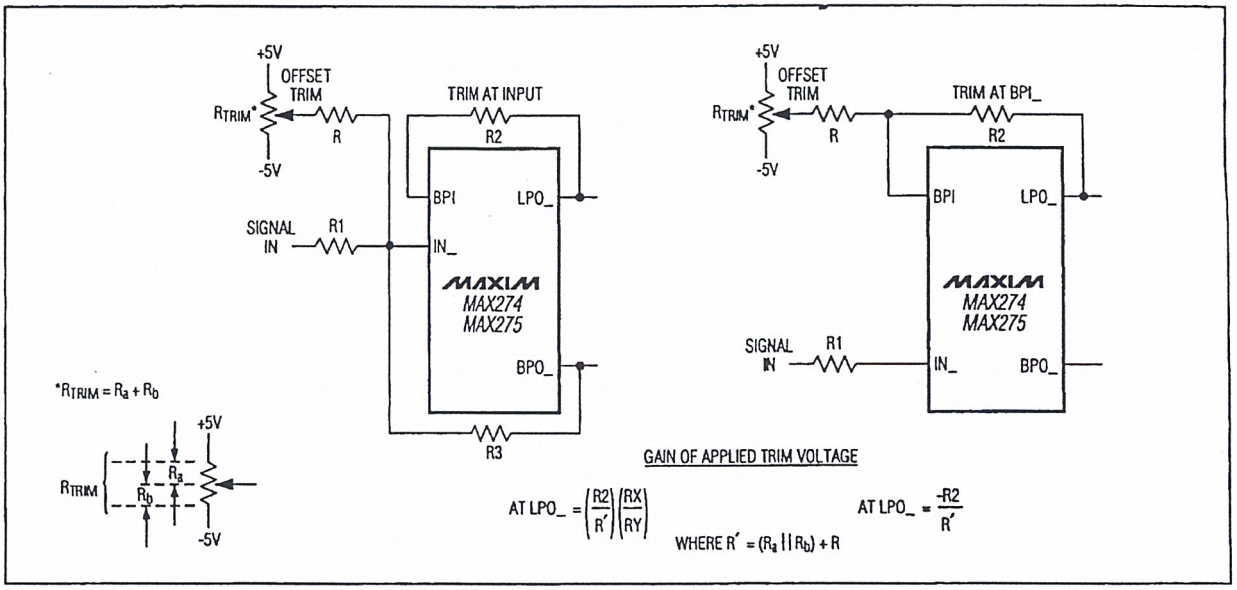


Figure 8a. Trimmed Offset Removal

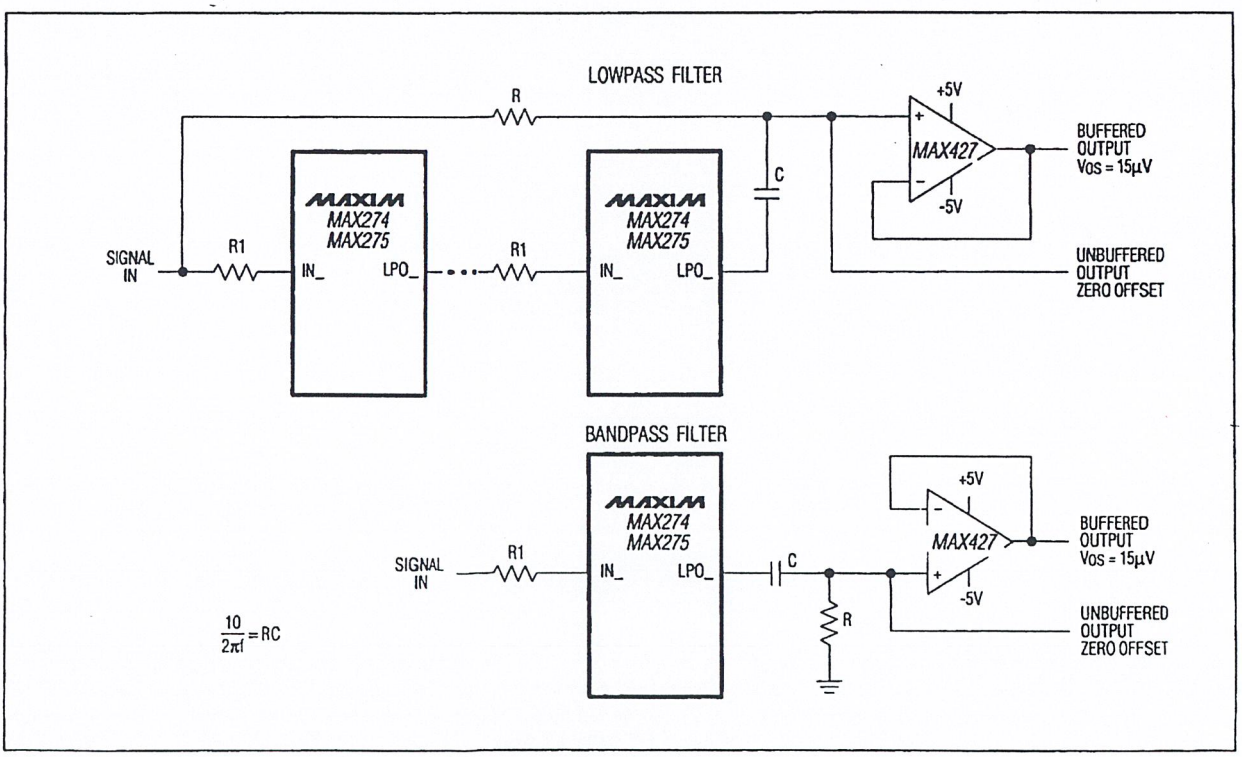


Figure 8b. Trimless Offset Removal

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

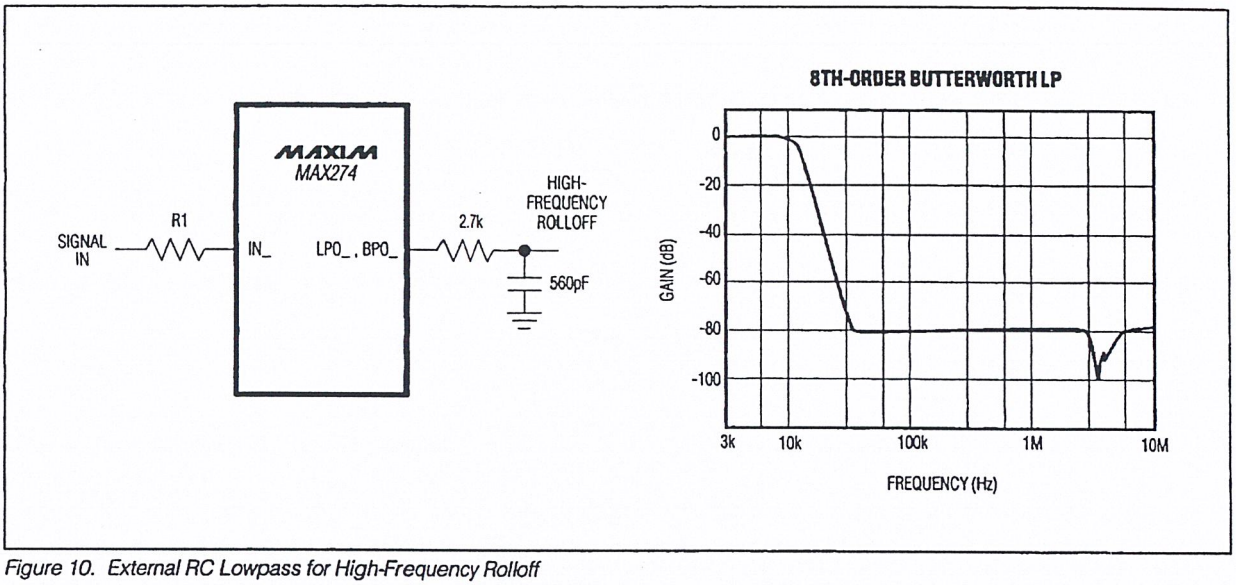


Figure 10. External RC Lowpass for High-Frequency Rolloff

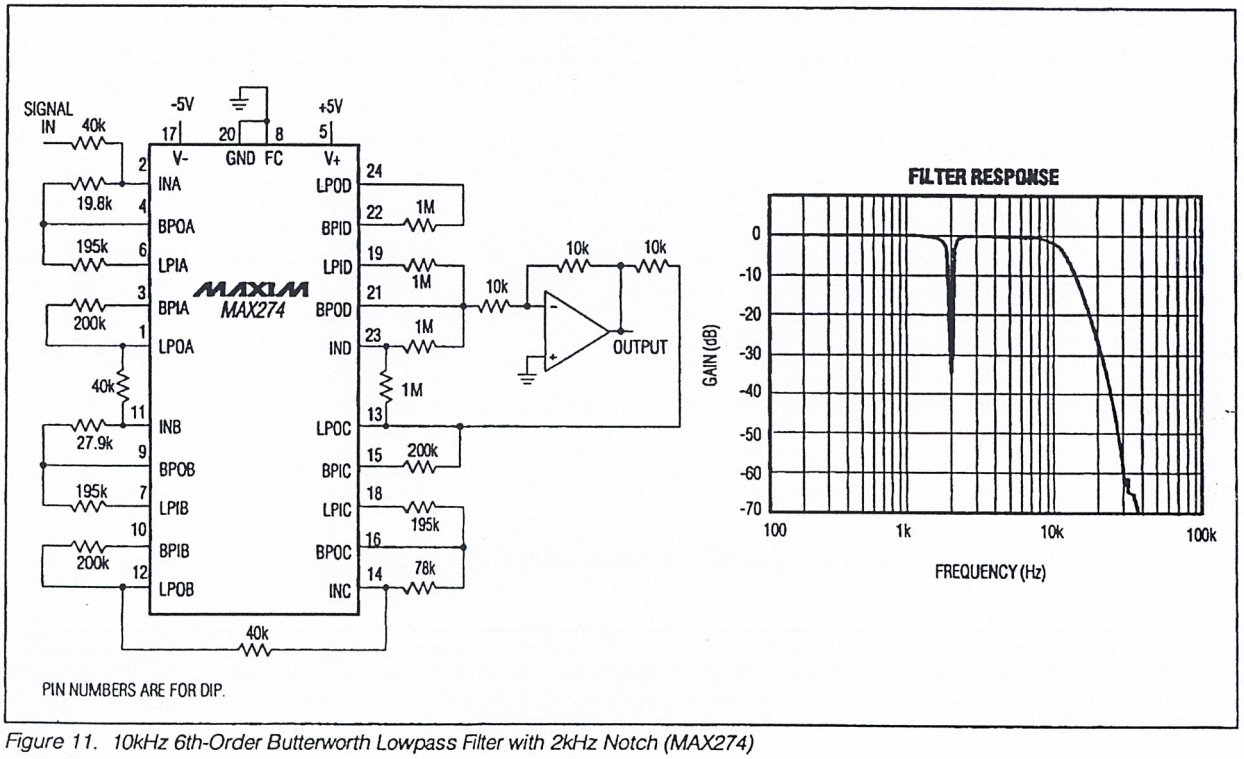


Figure 11. 10kHz 6th-Order Butterworth Lowpass Filter with 2kHz Notch (MAX274)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4th- and 8th-Order Continuous-Time Active Filters

Applications (continued)

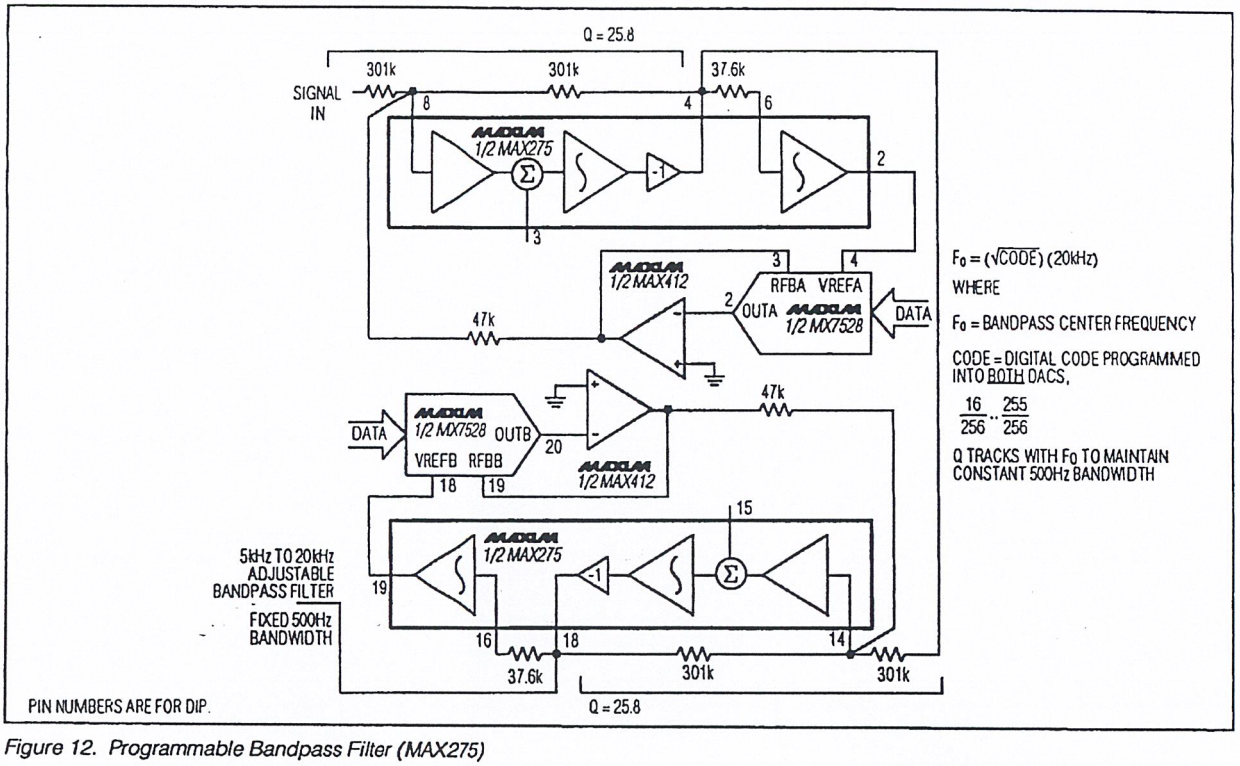
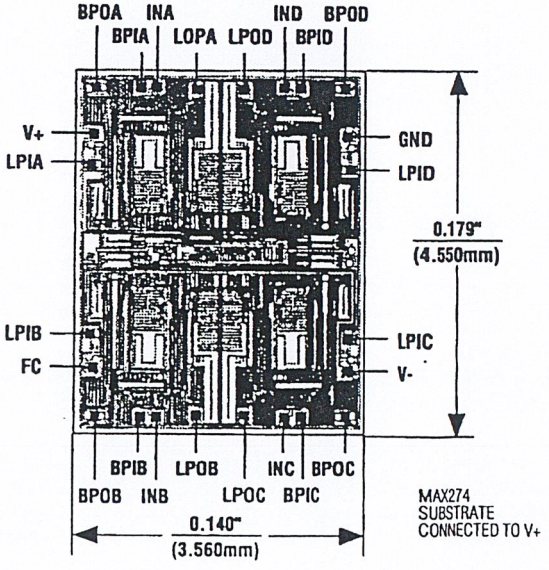
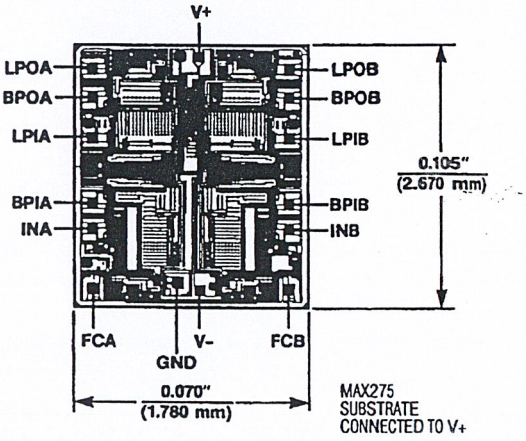


Figure 12. Programmable Bandpass Filter (MAX275)

Chip Topographies





เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4th- and 8th-Order Continuous-Time Active Filters

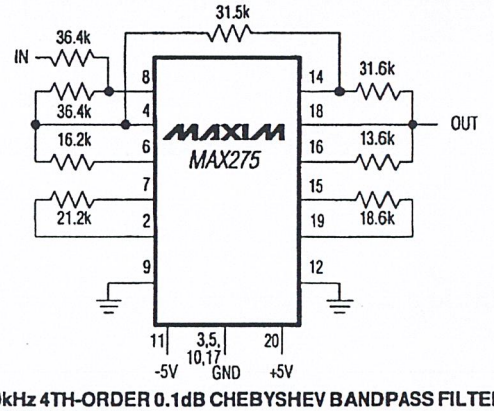
_ Ordering Information (continued)

PART	TEMP. RANGE	PIN-PACKAGE
MAX274AENG	-40°C to +85°C	24 Narrow Plastic DIP
MAX274BENG	-40°C to +85°C	24 Narrow Plastic DIP
MAX274AEWI	-40°C to +85°C	28 Wide SO
MAX274BEWI	-40°C to +85°C	28 Wide SO
MAX274AMRG	-55°C to +125°C	24 CERDIP**
MAX274BMRG	-55°C to +125°C	24 CERDIP**
MAX274EV KIT-DIP	0°C to +70°C	Plastic DIP - Through Hole
MAX274_SOFT	—	MAX274/MAX275 Design Software
MAX275ACPP	0°C to +70°C	20 Plastic DIP
MAX275BCPP	0°C to +70°C	20 Plastic DIP
MAX275ACWP	0°C to +70°C	20 Wide SO
MAX275BCWP	0°C to +70°C	20 Wide SO
MAX275BC/D	0°C to +70°C	Dice*
MAX275AEPP	-40°C to +85°C	20 Plastic DIP
MAX275BEPP	-40°C to +85°C	20 Plastic DIP
MAX275AEWP	-40°C to +85°C	20 Wide SO
MAX275BEWP	-40°C to +85°C	20 Wide SO
MAX275AMJP	-55°C to +125°C	20 CERDIP**
MAX275BMJP	-55°C to +125°C	20 CERDIP**
MAX274_SOFT	—	MAX274/MAX275 Design Software

* *Contact factory for dice specifications.*

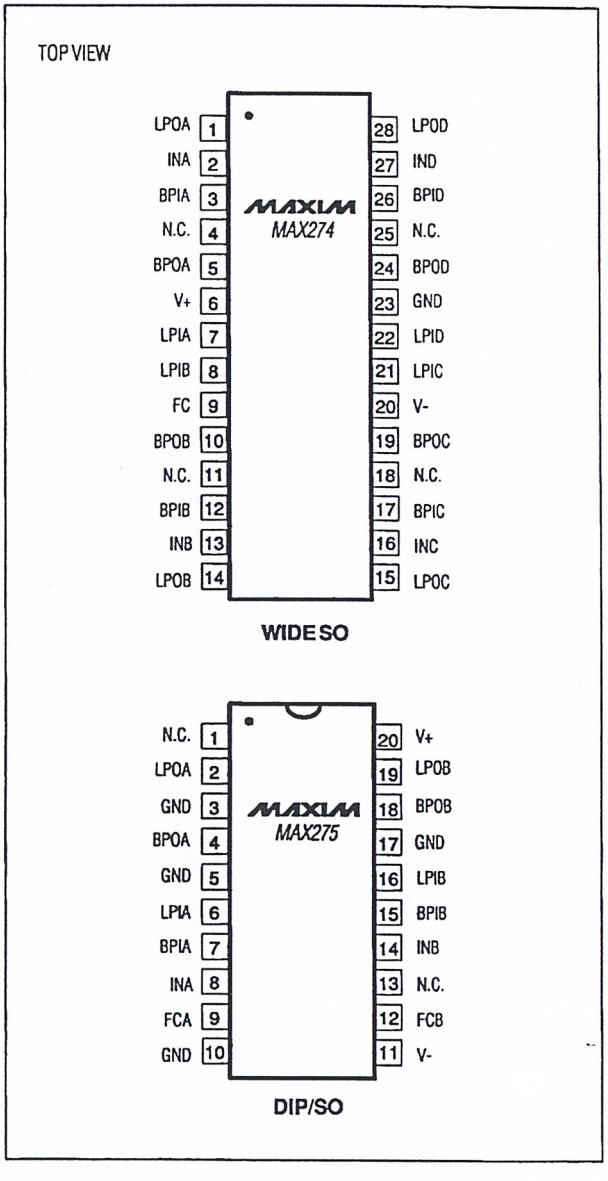
** *Contact factory for availability and processing to MIL-STD-883.*

Typical Operating Circuits (continued)



100kHz 4TH-ORDER 0.1dB CHEBYSHEV BANDPASS FILTER
PIN NUMBERS ARE FOR DIP

___ Pin Configurations (continued)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4th- and 8th-Order Continuous-Time Active Filters

Power Supplies

The MAX274/MAX275 can be operated from a single power supply or dual supplies (Figure 9). V+ and V- pins must be properly bypassed to GND with 4.7µF electrolytic (tantalum preferred) and 0.1µF ceramic capacitors in parallel. These should be as close as possible to the chip supply pins.

For single-supply applications, GND must be centered between V+ and V- voltages so signals remain in the common-mode range of the internal amplifiers.

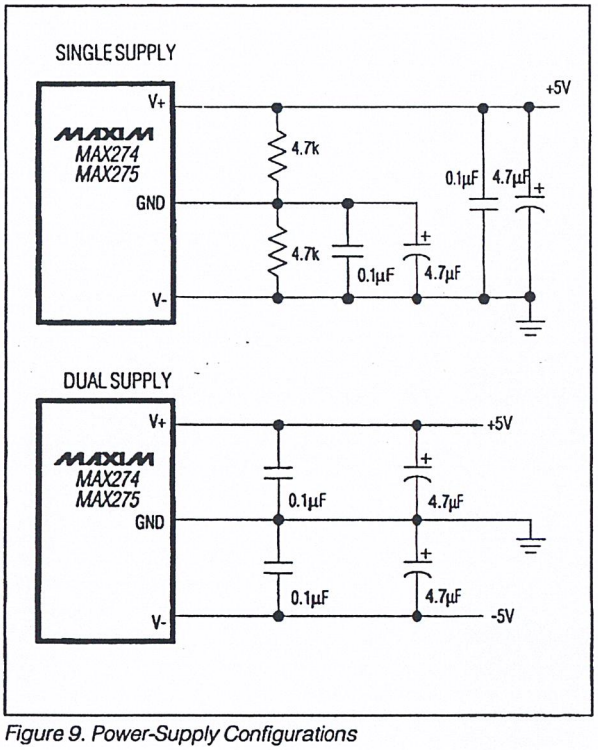


Figure 9. Power-Supply Configurations

Design Software General Description

Maxim's filter software reduces the time required to design a continuous-time lowpass or bandpass filter using the MAX274 or MAX275. Starting from your basic filter requirements, using a "spreadsheet-style" format, the software calculates order, poles and Qs of classic filter types (Butterworth, Chebyshev, or Bessel), and resistor values required to implement the desired filter response.

For hardware prototyping with the MAX274, the MAX274 evaluation kit is recommended, which includes a PC board and a MAX274 IC.

Features

- ♦ **Calculates filter order, poles, and Qs from your filter requirements.**
- ♦ **Plots filter responses – gain, phase, and group delay – for inspection BEFORE you build the filter.**
- ♦ **Calculates resistor values used to obtain desired filter response using the MAX274 or MAX275.**

Ordering Information

PART	DISK TYPE
MAX274SOFT	5¼" Floppy
MAX275SOFT	5¼" Floppy

In the USA and Canada, order directly from Maxim (1-800-998-8800). In other countries, call your local Maxim representative.

Software Operation

NOTE: CHECK FILE "README.DOC" FOR IMPORTANT CHANGES.

Installation

You will need an IBM-compatible PC, DOS version 2.0 or later with a 5¼" floppy disk drive, and one of the following video displays: Hercules graphics, CGA, EGA, VGA, or compatible. Either a hard drive or an additional floppy drive is also required.

To install the program, insert the floppy into your disk drive and type "A: INSTALL" (or B:INSTALL). Follow the instructions on the screen. After installation, type "FILTER" to start the program. Be sure you are in the drive/directory where the software is installed.

Help

After installing the software, print a hard copy of the file FILTER.HLP by entering "TYPE FILTER.HLP > PRN" from DOS. This collection of help screens serves as the instruction manual for operating the software. Individual help screens may be printed while running the software by pressing F1, then following the instructions on the screen.

References

The following references contain information and tables to aid in filter designs:

Carson, Chen. *Active Filter Design*, Hayden, 1982.

Tedeschi, Franck. *Active Filter Cookbook*, Tab Books No 1133, 1979.

Hilburn, Johnson. *Manual of Active Filter Design*, McGraw Hill, 1973.

German Language:

U. Tietze; Ch. Schenk. *Halbleiter-Schaltungstecknik Springer-Verlag*, Berlin Heidelberg, New York/Tokyo 1991.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4th- and 8th-Order Continuous-Time Active Filters

EV Kit General Description

The MAX274 Evaluation Kit (EV Kit) shrinks the time required to design and implement a continuous-time lowpass or bandpass filter by providing a software design tool and a prototyping PC board complete with a MAX274 8th-order, continuous-time filter IC. Starting from your basic filter requirements, Maxim's Filter Design Software calculates filter order, poles, and Qs of classic filter types (Butterworth, Chebyshev, or Bessel), then calculates resistor values required to implement the complete filter. Installing these resistors on the PC board provided and cascading the required number of sections of the MAX274 filter yields a complete filter — ready for testing — eliminating the need for expensive and time-consuming prototyping. The MAX274 PC board layout may be incorporated directly in production PC boards for absolutely consistent results from prototype to production.

Feature

- ♦ **Allows You to Design and Build Lowpass or Bandpass Filters**
- ♦ **Pole Frequencies (Fo) from 100Hz to 150kHz**
- ♦ **Kit Supports Butterworth, Chebyshev, and Bessel Designs**
- ♦ **Includes Design Software:**
  - **– Calculates filter order, poles, and Qs from your filter requirements**
  - **– Plots filter responses — gain, phase, and group delay — for inspection BEFORE you build the filter**
  - **– Calculates resistor values needed to build filter**
- ♦ **Includes PC Board for Evaluation:**
  - **– PC board allows you to build filters immediately — simply install proper resistor values on board**
  - **– Build up to 8th-order filters by cascading the four second-order sections — or use sections individually for multiple filters**
  - **– Operates from single +5V or dual 5V supplies**

EV Kit

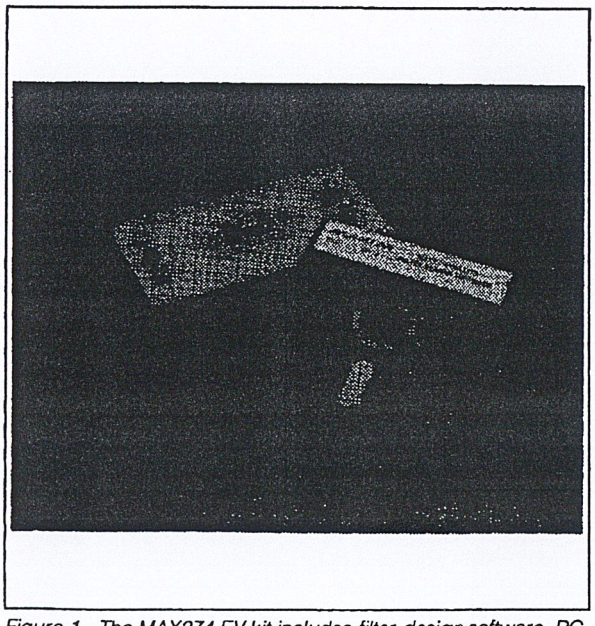


Figure 1. The MAX274 EV kit includes filter design software, PC board with MAX274 IC, and full documentation.

Ordering Information

PART	TEMP. RANGE	BOARD TYPE
MAX274EVKIT	0°C to +70°C	Plastic DIP – Through Hole

Component List

QUANTITY	COMPONENT	SYMBOL
1	MAX274ACNG Filter IC	None
1	MAX274 Filter Circuit PC Board	None
2	BNC Screw-In Connectors	None
3	Banana Jacks	None
4	Standoffs, 4-40 Screws	None
2	10µF/16V Dipped Tantalum Capacitors	C1, C4 or CS1
2	0.1µF Ceramic Capacitors	C2, C3
1	Filter Design Software on 5 1/4" Floppy Disk	None

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4th- and 8th-Order Continuous-Time Active Filters

Filter Design Software

NOTE: CHECK FILE "README.DOC" FOR IMPORTANT CHANGES

Installation

You will need an IBM-compatible PC, DOS version 2.0 or later, with a 5 1/4" floppy disk drive, and one of the following video displays: Hercules graphics, CGA, EGA, VGA or compatible. Either a hard drive or an additional floppy drive is also required.

To install the program, insert the floppy into your disk drive and type "A:INSTALL" (or "B:INSTALL"). Follow the instructions on the screen. After installation, type "FILTER" to start the program. Be sure you are in the drive/directory where the software is installed.

Help

After installing the software, print a hard copy of the file FILTER.HLP by entering TYPE FILTER.HLP > PRN from DOS. This collection of help screens serves as the instruction manual for operating the software. Individual help screens may be printed while running the software by pressing F1, then following instructions on the screen.

Assembly Instructions

1. Install BNC connectors and banana jacks as shown in Figure 2. Connect wires from the V+, GND, and V- jacks to the nodes designated V+, GND, and V- on the circuit. Install MAX274 IC as shown (or install an IC socket if desired).
2. Install filter feedback resistors (R1A-R4A, R1B-R4B, R1C-R4C, R1D-R4D). The values of these resistors depend on the particular filter being built, and can be calculated from the data sheet or with the aid of Maxim's Filter Design Software. All resistors except RS1 and RS2 should be either carbon or metal-film type (not wire-wound).

   If using resistor T-networks (described in the *High-Value Resistor Transformation* section of the MAX274 data sheet — denoted as R5_ - R10_ in the filter software), perform the following:

   On the PC board, scratch off the green soldermask from the ground trace (Figure 2). Where required, substitute each normal resistor connection (R2, R3, or R4) with three T-network resistors on the underside of the board, using jumper wire to connect the T-network ground connection with the ground trace on the PC board (Figure 3).

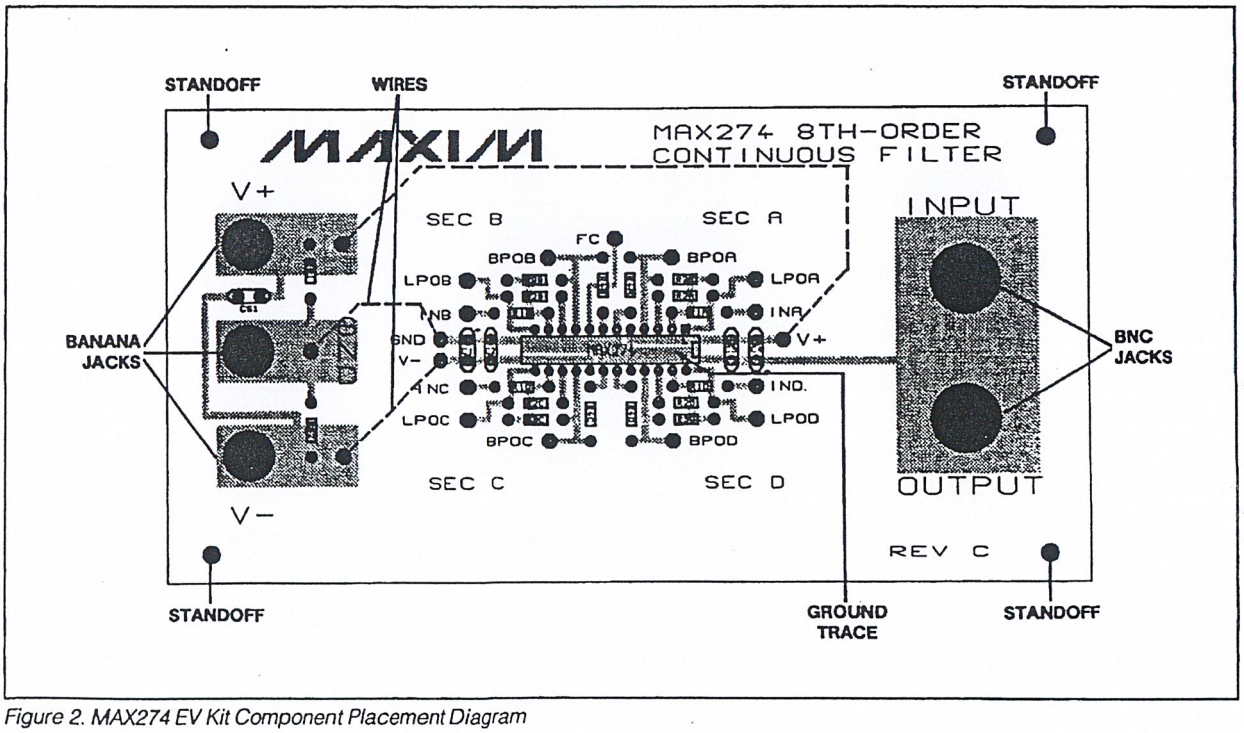


Figure 2. MAX274 EV Kit Component Placement Diagram

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

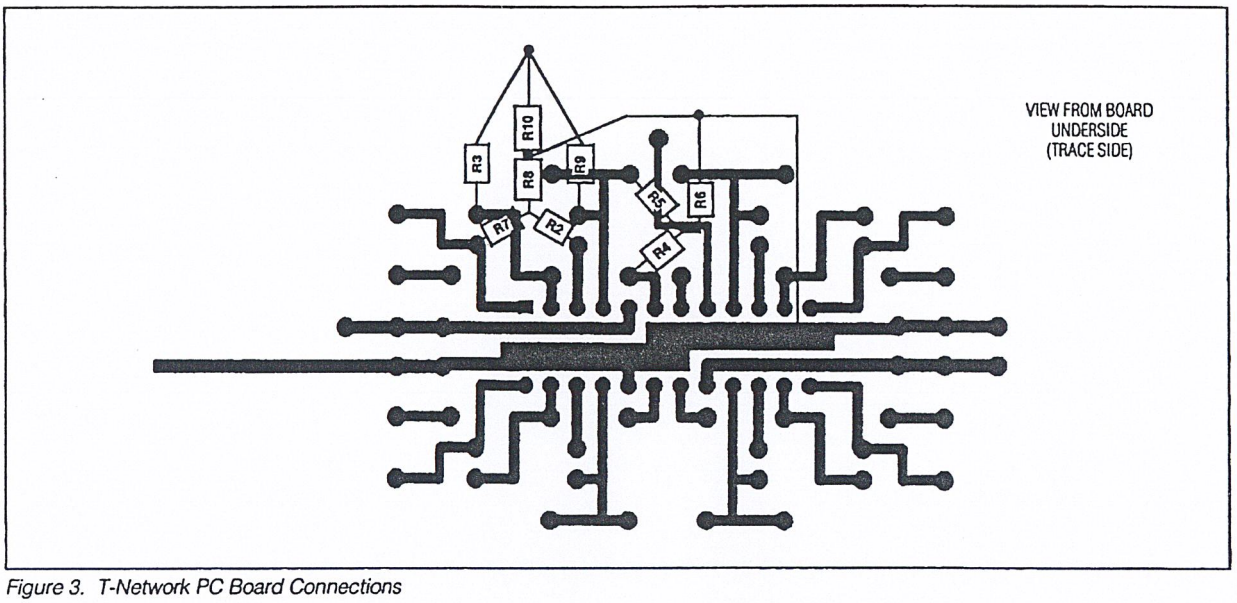


Figure 3. T-Network PC Board Connections

Recommended Resistor Sources

AVAILABLE TOLERANCES	TYPE	MANUFACTURER
1%, 0.1%, Others 5-100ppm/°C	Metal Film PTF Series	Dale 402-371-0800 FAX: 402-644-4206
1%, 0.1%	Surface Mount RN73H2B RN73E2B	KOA Speer 814-362-5536 FAX: 814-362-8883
1%, 0.1% to 2ppm/°C	PR, RL Series	Precision Resistive Products 319-394-9131 FAX: 319-394-9280

3. BE SURE IC IS INSTALLED ON BOARD BEFORE POWER IS APPLIED. Single +5V or +10V operation: Install RS1 and RS2 (both 4.7kΩ). Install C1, C2, and CS1 - omit C3 and C4. Apply positive supply to V+, supply ground to V-. Do not connect any supply to GND. For dual supply (5V) operation, omit RS1 and RS2, and apply positive supply, negative supply, and ground to V+, V-, and GND respectively.
4. Perform a frequency-response test for each filter section used (A,B,C, and D) to verify F_O/Q accuracy, before connecting them in series (cascading). For highest-accuracy results, perform frequency-response tests using a spectrum analyzer. Use the F_O and Q measurement techniques described in the MAX274 data sheet in the *Measuring F_O and Q* section. These methods apply to both lowpass and bandpass designs.

To measure filter section A's F_O and Q, apply the test sweep signal at INA, measure BPOA. F_O is the frequency at which INA and BPOA are exactly 180° out of phase. Q is determined by the formula:

$$Q = FPK/-3dB\ bandwidth$$

where FPK is the frequency at which the gain at BPOA is greatest (this may not be equal to F_O); and the -3dB bandwidth is the difference between the two frequencies at which BPOA is attenuated by 3dB from its peak gain. Repeat these measurements for filter sections B, C, and D. For more information, refer to Figure 2 of the MAX274 data sheet, *Bandpass Output.*

If the filter operates from a single supply, signals applied to the filters must be "centered" between V+ and V- so that signals remain in the common-mode range of the internal amplifiers.

5. Cascade the filter sections (connect them in series) to produce the desired filter response. For example, for an 8th-order bandpass filter, use jumper wires to connect BPOA to INB, BPOB to INC, and BPOC to IND. Apply the signal input at INA; the filter output is taken at OUTD. If desired, connect the INPUT and OUTPUT BNC connectors to the input and output of the cascaded filter using jumper wires. For lowpass filters, cascade the sections using LPO_ as the outputs. For lower-order filters, omit unused sections; for higher than 8th-order filters, order additional MAX274 PC boards from Maxim to add the required number of sections.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4th- and 8th-Order Continuous-Time Active Filters

Maxim cannot assume responsibility for use of any circuitry other than circuitry entirely embodied in a Maxim product. No circuit patent licenses are implied. Maxim reserves the right to change the circuitry and specifications without notice at any time.

© 1996 Maxim Integrated Products Printed USA MAXIM is a registered trademark of Maxim Integrated Products.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้