สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

การออกแบบวงจรเฟสล็อคลูปแบบดิจิตอล

DIGITAL PHASE-LOCKED LOOPS CIRCUIT DESIGN

T 050313

โดย

นายยงศักดิ์ ชื่นตา

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2545

เลขหมู่.....
เลขทะเบียน 50313
วัน,เดือน,ปี 29 เม.ย. 2547
.b.....
.i.....

เอกสารนี้สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การออกแบบวงจรเฟสล็อคลูปแบบดิจิตอล

DIGITAL PHASE-LOCKED LOOPS CIRCUIT DESIGN

โดย

นายยงศักดิ์ ชื่นตา 43015271

อาจารย์ที่ปรึกษา

ผศ.ดร.วรากร เกษมสุวรรณ์

ปริญญานิพนธ์สำหรับปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2545

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ **ปีการศึกษา 2545**

ภาควิชา อิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง การออกแบบวงจรเฟสล็อคลูปแบบดิจิตอล

ผู้จัดทำ นายยงศักดิ์ ชื่นตา

.....อาจารย์ที่ปรึกษา

(ผศ.ดร.วรากร เกษมสุวรรณ์)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การออกแบบวงจรเฟสล็อคลูปแบบดิจิตอล

DIGITAL PHASE-LOCKED LOOPS CIRCUIT DESIGN

นายยงศักดิ์ ชื่นตา 43015271

โครงงานได้รับการตรวจสอบแล้ว พร้อมที่จะทำการสอบได้

.....อาจารย์ที่ปรึกษา

(ผศ.ดร.วรากร เกษมสุวรรณ์)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การออกแบบวงจรเฟสล็อคลูปแบบดิจิตอล

นายยงศักดิ์ ชื่นตา
ผศ.ดร.วรากร เกษมสุวรรณ์
ปีการศึกษา 2545

บทคัดย่อ

โครงงานนี้เป็นการศึกษาการทำงานและการออกแบบเฟสล็อคลูปแบบดิจิตอลซึ่งมีองค์ประกอบพื้นฐานอยู่สามส่วนได้แก่ วงจรดักจับเฟส วงจรออสซิลเลเตอร์แบบควบคุมความถี่ด้วยแรงดันไฟฟ้า วงจรกรองความถี่ต่ำ ขั้นแรกเป็นการศึกษาองค์ประกอบพื้นฐานทั้งสามส่วนพร้อมทั้งทำการออกแบบองค์ประกอบดังกล่าว ขั้นตอนที่สองเป็นการนำเอาอุปกรณ์พื้นฐานทั้งสามมาต่อกันเป็นวงจรเฟสล็อคลูป ขั้นตอนที่สามเป็นการนำวงจรหารความถี่ที่สามารถปรับค่าตัวหารได้เพิ่มเข้ามาในระบบในรูปแบบวงจรคูณความถี่ ขั้นตอนสุดท้ายเป็นการจำลองการทำงานและออกแบบลวดลายวงจร ตรวจสอบคุณสมบัติและหาค่าพารามิเตอร์ต่าง ๆ ของวงจรโดยใช้โปรแกรม HSPICE (เทคโนโลยี 2μm ของ MOSIS)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DIGITAL PHASE-LOCKED LOOPS CIRCUIT DESIGN

Mr.Yongsak Chuenta

Adviser. Varakorn Kasemsuwan

2002

Abstract

This project is to study and design the digital phase-locked loops which consist of three main components namely phase detector, voltage-controlled oscillator (VCO) and low-pass filter. Firstly, the study of three components are carried out and the design are then followed. Secondly, the designed three main components are connected to form the phase-locked loop. Thirdly, the programmable divider is connected in the feedback loop to form the frequency multiplier. Finally, the designed phase-locked loop is simulated and layout to investigate it's performance and specifications using HSPICE (MOSIS 2μm CMOS Technology)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

เรื่อง	หน้า
บทคัดย่อภาษาไทย	
บทคัดย่อภาษาอังกฤษ	
บทที่ 1 บทนำ	1
บทที่ 2 ทฤษฎีพื้นฐานของเฟสล็อคลูป	2
2.1 ประวัติความเป็นมาและประเภทของเฟสล็อคลูป	2
2.2 หลักการทำงานพื้นฐานของเฟสล็อคลูป	3
2.2.1 ลักษณะสัญญาณของเฟสล็อคลูปในสภาวะล็อค	4
2.2.2 การพิจารณาสภาวะชั่วขณะของเฟสล็อคลูปในสภาวะล็อค	6
2.3 เสถียรภาพของเฟสล็อคลูปแบบพื้นฐาน	8
2.4 เฟสล็อคลูปแบบเอาท์พุตเป็นแหล่งจ่ายกระแสคงที่ (Charge-Pump PLL)	13
2.4.1 หลักการทำงานพื้นฐานของเฟสล็อคลูปแบบเอาท์พุตเป็นแหล่งจ่ายกระแสคงที่	13
2.4.2 เสถียรภาพของเฟสล็อคลูปแบบเอาท์พุตเป็นแหล่งจ่ายกระแสคงที่	14
บทที่ 3 องค์ประกอบพื้นฐานของเฟสล็อคลูป	20
3.1 ตัวดักจับเฟส (Phase detector)	20
3.1.1 ตัวดักจับเฟสแบบเอ็กซ์คูลซีฟออร์	20
3.1.2 ตัวดักจับเฟสแบบ J-K ฟลิบฟลอป	23
3.1.3 ตัวดักจับเฟสแบบเฟส-ความถี่	24
3.1.4 การออกแบบและผลการทดลองตัวดักจับเฟสแบบเฟส-ความถี่	30
3.2 วงจรกรองความถี่ต่ำผ่าน	38
3.3 วงจรออสซิลเลเตอร์	40
3.3.1 หลักการพื้นฐานของวงจรออสซิลเลเตอร์	40
3.3.2 วงจรออสซิลเลเตอร์แบบริง (Ring Oscillator)	43
3.3.3 วงจรออสซิลเลเตอร์แบบควบคุมความถี่ด้วยแรงดันไฟฟ้า (Voltage-Control Oscillator)	49
3.3.4 การออกแบบและผลการทดลองวงจรออสซิลเลเตอร์แบบควบคุมความถี่ด้วยแรงดันไฟฟ้า	52

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.4 วงจรหารความถี่ 62
3.4.1 วงจรนับแบบไม่สัมพันธ์ (Asynchronous counter) 63
3.4.2 วงจรนับโหมด N 64
3.4.3 การออกแบบวงจรนับด้วยวิธีการป้อนกลับ 65
3.4.4 วงจรนับแบบสัมพันธ์ (Synchronous counter) 66
3.4.5 การออกแบบและผลการทดลองวงจรนับขนาด 8 bit แบบไม่สัมพันธ์ (Asynchronous counter) 69
บทที่ 4 การออกแบบและผลการทดลองเฟสล็อคลูปแบบดิจิตอล 71
4.1 วงจรเฟสล็อคลูปแบบเอาท์พุตตัวดักจับเฟสความถี่แบบแหล่งจ่ายกระแสคงที่ (Charge-pump) 71
4.2 วงจรเฟสล็อคลูปแบบเอาท์พุตตัวดักจับเฟสความถี่แบบสามสถานะ(Tri-state) 76
บทที่ 5 การออกแบบลวดลายและผลการจำลองการทำงานจากลวดลายวงจร 81
บทที่ 6 บทสรุป 99
ภาคผนวก
กิตติกรรมประกาศ
บรรณานุกรม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูปภาพ

เรื่อง		หน้า
รูป 2.1	การเข้าสู่สภาวะล็อคของเฟสล็อคลูป	3
	(ก) เฟสเอาท์พุตจาก VCO กับเฟสของอินพุต	3
	(ข) การปรับเฟสของวงจรเพื่อกำจัดเฟสผิดพลาด	3
รูป 2.2	องค์ประกอบของเฟสล็อคลูป	4
	(ก) องค์ประกอบที่ประกอบด้วย PD กับ VCO	4
	(ข) องค์ประกอบที่ประกอบด้วย PD, VCO และ LPF	4
รูป 2.3	รูปคลื่นสัญญาณของเฟสล็อคลูปในสภาวะล็อค	5
	(ก) รูปคลื่นสัญญาณในแต่ละจุด	5
	(ข) กราฟแสดงคุณสมบัติของ VCO และ PD	5
รูป 2.4	ผลการตอบสนองของเฟสล็อคลูปเมื่อมีการเปลี่ยนแปลงของเฟสที่อินพุต	6
รูป 2.5	ผลการตอบสนองของเฟสล็อคลูปเมื่อมีการเปลี่ยนแปลงของความถี่ที่อินพุต	7
รูป 2.6	การเปลี่ยนแปลงของเฟสกับเวลา	8
	(ก) การเปลี่ยนแปลงของเฟสอย่างช้า ๆ	8
	(ข) การเปลี่ยนแปลงของเฟสอย่างเร็ว	8
รูป 2.7	รูปแบบเชิงเส้นของเฟสล็อคลูปชนิดที่หนึ่ง (type I PLL)	8
รูป 2.8	การตอบสนองของเฟสล็อคลูปต่อการเปลี่ยนแปลงความถี่แบบขั้นบันได	11
รูป 2.9	การตอบสนองของระบบเมื่อค่า ζ เปลี่ยนแปลง	12
รูป 2.10	กราฟโบดพล็อตแสดงเสถียรภาพของ type I PLL	12
รูป 2.11	ระบบที่ใช้ตัวดักจับเฟสแบบเฟส-ความถี่	13
รูป 2.12	วงจรเฟสล็อคลูปแบบเอาท์เป็นแหล่งจ่ายกระแสคงที่	14
รูป 2.13	การตอบสนองต่อการเปลี่ยนแปลงแบบขั้นบันไดเมื่อ PFD/CP/LPF รวมกัน	14
รูป 2.14	รูปแบบเชิงเส้นอย่างง่ายของเฟสล็อคลูปแบบเอาท์พุตเป็นแหล่งจ่ายกระแสคงที่	15
รูป 2.15	เสถียรภาพของเฟสล็อคลูปแบบเอาท์พุตเป็นแหล่งจ่ายกระแสคงที่	17
	(ก) การเกิดเฟสชิฟของระบบที่ไม่มีเสถียรภาพ	17
	(ข) การเกิดเฟสชิฟเพื่อทำการเพิ่มซีโร่เข้าไปในลูป	17
รูป 2.16	การเพิ่มซีโร่เข้าไปในวงจรเฟสล็อคลูปแบบเอาท์พุตเป็นแหล่งจ่ายกระแสคงที่	17

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูป 2.17 การลดลงของเสถียรภาพของเฟสล็อคลูปแบบเอาท์พุตเป็นแหล่งจ่ายกระแสคงที่เมื่อค่าของ I_pK_{VCO} มีค่าลดลง 18
รูป 2.18 การเพิ่มตัวเก็บประจุเข้าไปในวงจรเพื่อลดค่าริปเปิ้ล 19
รูป 3.1 คุณสมบัติของตัวดักจับเฟสในทางอุดมคติ 20
รูป 3.2 ตัวดักจับเฟสแบบเอ็กซ์คูลซีฟออร์ 20
รูป 3.3 รูปสัญญาณของตัวดักจับเฟสแบบเอ็กซ์คูลซีฟออร์ 21
(ก) รูปสัญญาณค่าเฟสผิดพลาดเท่ากับศูนย์ 21
(ข) รูปสัญญาณค่าเฟสผิดพลาดมีค่าเป็นบวก 21
รูป 3.4 กราฟคุณสมบัติค่าเอาท์พุต V_d เฉลี่ยของเอ็กซ์คูลซีฟออร์ 22
รูป 3.5 ตัวดักจับเฟสแบบ J-K ฟลิบฟลอป 23
รูป 3.6 สัญญาณของตัวดักเฟสแบบ J-K ฟลิบฟลอป 23
(ก) รูปสัญญาณค่าเฟสผิดพลาดเท่ากับศูนย์ 23
(ข) รูปสัญญาณค่าเฟสผิดพลาดมีค่าเป็นบวก 23
รูป 3.7 กราฟคุณสมบัติค่าเอาท์พุต V_d เฉลี่ยของ J-K ฟลิบฟลอป 24
รูป 3.8 หลักการของตัวดักจับเฟส-ความถี่ 25
(ก) แสดงผลของเอาท์พุตเมื่ออินพุตมีเฟสต่างกัน 25
(ข) แสดงเอาท์พุตเมื่ออินพุตมีความถี่ต่างกัน 25
รูป 3.9 การสร้างตัวดักจับเฟสแบบเฟส-ความถี่โดยใช้ D ฟลิบฟลอป 26
รูป 3.10 ตัวดักจับเฟสแบบเฟส-ความถี่กับเอาท์พุตแบบสามสถานะ 26
รูป 3.11 สภาวะของตัวดักจับเฟสแบบเฟส-ความถี่ 27
รูป 3.12 รูปสัญลักษณ์ของตัวดักจับเฟสแบบเฟส-ความถี่ 28
(ก) รูปสัญญาณค่าเฟสผิดพลาดเท่ากับศูนย์ 28
(ข) รูปสัญญาณค่าเฟสผิดพลาดมีค่าเป็นบวก 28
(ค) รูปสัญญาณค่าเฟสผิดพลาดมีค่าเป็นลบ 28
รูป 3.13 กราฟคุณสมบัติค่าเอาท์พุต V_d เฉลี่ยของตัวดักจับเฟสแบบเฟส-ความถี่ 29
รูป 3.14 วงจรดักจับเฟสแบบเฟส-ความถี่ที่ใช้ในการทดลอง 31
รูป 3.15 วงจรตัวดักจับเฟสแบบเฟส-ความถี่ในระดับเกท 32
รูป 3.16 วงจรซีมอสอินเวอร์เตอร์ 32
รูป 3.17 วงจรซีมอสแน่นเกท 33
รูป 3.18 วงจรซีมอสนอร์เกท 33

เอกสารนี้สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่อนุญาตให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูป 3.19 สัญญาณเอาท์พุตของตัวดักจับเฟส-ความถี่ เมื่ออินพุต A มีเฟสนำหน้าอินพุต B 34
รูป 3.20 สัญญาณเอาท์พุตของตัวดักจับเฟส-ความถี่ เมื่ออินพุต A มีเฟสล้าหลังอินพุต B 35
รูป 3.21 สัญญาณเอาท์พุตของตัวดักจับเฟส-ความถี่ เมื่ออินพุต A มีความถี่มากกว่าอินพุต B 36
รูป 3.22 สัญญาณเอาท์พุตของตัวดักจับเฟส-ความถี่ เมื่ออินพุต A มีความถี่น้อยกว่าอินพุต B 37
รูป 3.23 วงจรกรองความถี่ต่ำผ่านที่ใช้งานกับเฟสล็อคลูป 39
(ก) วงจรกรองสัญญาณความถี่ต่ำผ่านแบบพาสซีฟ 39
(ข) วงจรกรองสัญญาณความถี่ต่ำผ่านแบบแอกทีฟ 39
(ค) วงจรกรองสัญญาณความถี่ต่ำผ่านแบบ PI แอกทีฟ 39
รูป 3.24 การตอบสนองของวงจรกรองสัญญาณความถี่ต่ำผ่าน 39
(ก) วงจรกรองสัญญาณความถี่ต่ำผ่านแบบพาสซีฟ 39
(ข) วงจรกรองสัญญาณความถี่ต่ำผ่านแบบแอกทีฟ 39
(ค) วงจรกรองสัญญาณความถี่ต่ำผ่านแบบ PI แอกทีฟ 39
รูป 3.25 ระบบที่มีการป้อนกลับแบบลบ 40
รูป 3.26 โบดพล็อตระหว่างระบบที่เกิดการออสซิลเลทกับระบบที่มีเสถียรภาพ 41
รูป 3.27 ผลของตำแหน่งโพลและรูปแบบการออสซิลเลท 42
(ก) ระบบที่ไม่เสถียรภาพขนาดการออสซิลเลทเพิ่มขึ้น 42
(ข) ระบบที่ไม่เสถียรภาพขนาดการออสซิลเลทคงที่ 42
(ค) ระบบที่มีเสถียรภาพการออสซิลเลทลดลงเป็นศูนย์ 42
รูป 3.28 วงจรขยายภาคเดียวที่มีการป้อนกลับ 43
รูป 3.29 วงจรขยายสองภาคที่มีการป้อนกลับ 43
รูป 3.30 วงจรริงออสซิลเลเตอร์ที่สร้างจากวงจรขยายสามภาค 44
รูป 3.31 รูปคลื่นของวงจรริงออสซิลเตอร์ที่สร้างจากวงจรขยายสามภาค 45
รูป 3.32 รูปแบบเชิงเส้นของวงจรริงออสซิเลเตอร์แบบสามภาค 45
รูป 3.33 ตำแหน่งโพลของระบบเมื่ออัตราขยายเปลี่ยนแปลง 46
รูป 3.34 วงจรริงออสซิลเลเตอร์แบบใช้ซีมอสอินเวอร์เตอร์ 47
รูป 3.35 รูปคลื่นของวงจรริงออสซิลเลเตอร์เมื่อที่สภาวะแรกโหนดหนึ่งมีค่าเท่ากับ V_{DD} 47
รูป 3.36 วงจรริงชนิดออสซิลเลเตอร์ 48
(ก) วงจรริงออสซิลเลเตอร์แบบใช้อินเวอร์เตอร์ 48
(ข) วงจรริงออสซิลเลเตอร์แบบใช้วงจรดิฟเฟอร์เรนเชียล 48

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูป 3.37 คุณสมบัติของวงจรออสซิลเลเตอร์แบบควบคุมความถี่ด้วยแรงดันไฟฟ้า 49
รูป 3.38 คุณสมบัติของวงจร VCO ที่ไม่เป็นเชิงเส้น 50
รูป 3.39 ดีเลย์เซลล์แบบดิฟเฟอร์เรนเชียล 51
รูป 3.40 ชุดดีเลย์เซลล์ของวงจรริงออสซิลเลเตอร์ 52
รูป 3.41 วงจรริงออสซิลเลเตอร์ที่ใช้ทดลอง 56
รูป 3.42 วงจรขยายเพื่อเพิ่มระดับเอาท์พุตของออสซิลเลเตอร์ 57
รูป 3.43 แสดงรูปคลื่นเอาท์พุตแต่ละจุดของวงจรออสซิลเลเตอร์เมื่อ $V_{control}$ = 1.5V 58
(ก) รูปคลื่นเอาท์พุตที่กำเนิดจากวงจรริงออสซิลเลเตอร์ที่ยังไม่ผ่านวงจรขยาย 58
(ข) รูปคลื่นเอาท์พุตเมื่อผ่านวงจรขยาย 58
(ค) รูปคลื่นเอาท์พุตเมื่อผ่านวงจรซีมอสอินเวอร์เตอร์ 58
รูป 3.44 รูปคลื่นเอาท์พุตแต่ละจุดของวงจรออสซิลเลเตอร์เมื่อ $V_{control}$ = 2.5V 59
(ก) รูปคลื่นเอาท์พุตที่กำเนิดจากวงจรริงออสซิลเลเตอร์ที่ยังไม่ผ่านวงจรขยาย 59
(ข) รูปคลื่นเอาท์พุตเมื่อผ่านวงจรขยาย 59
(ค) รูปคลื่นเอาท์พุตเมื่อผ่านวงจรซีมอสอินเวอร์เตอร์ 59
รูป 3.45 รูปคลื่นเอาท์พุตเมื่อ $V_{control}$ = 1.5V 60
รูป 3.46 รูปคลื่นเอาท์พุตเมื่อ $V_{control}$ = 2V 60
รูป 3.47 รูปคลื่นเอาท์พุตเมื่อ $V_{control}$ = 2.5V 60
รูป 3.48 กราฟแสดงความสัมพันธ์ระหว่างความถี่และแรงดันควบคุม 61
รูป 3.49 สัญลักษณ์โดยทั่วไปของวงจรนับ 62
รูป 3.50 วงจรนับแบบไม่สัมพันธ์ขนาด 3 บิตแบบนับลง 63
รูป 3.51 วงจรนับโหมดสิบโดยการป้อนกลับ 64
รูป 3.52 วงจรนับแบบสัมพันธ์ขนาด 2 บิตชนิดนับขึ้น 66
รูป 3.53 ไดอะแกรมแสดงสถานะการนับของวงจรนับขนาด 2 บิตแบบนับขึ้น 67
รูป 3.54 Excitation maps ของวงจรนับแบบสันพันธ์ขนาด 2 บิตแบบนับขึ้น 68
รูป 3.55 วงจรนับแบบสัมพันธ์ขนาด 2 บิตแบบนับขึ้นโดยใช้ดีฟลิป-ฟลอป 69
รูป 3.56 วงจรนับแบบไม่สัมพันธ์ขนาด 8 บิตแบบนับขึ้นโดยใช้ดีฟลิป-ฟลอป 69
รูป 3.57 เอาท์พุท Q_0 ถึง Q_4 ของวงจรนับแบบไม่สัมพันธ์เมื่อความถี่อินพุทเท่ากับ 25MHz 70
รูป 4.1 วงจรเฟสล็อคลูปแบบเอาท์พุตของตัวดักจับเฟสความถี่แบบแหล่งจ่ายกระแสคงที่ 71
รูป 4.2 รูปแบบเชิงเส้นของเฟสล็อคลูปที่มีเอาท์พุทตัวดักจับเฟสความถี่ 72
แบบแหล่งจ่ายกระแสคงที่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งไม่อนุญาตให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูป 4.3 แรงดันที่วงจรกรองความถี่ต่ำและแรงดันอินพุตกับเอาท์พุตเมื่อวงจรเข้าสู่สภาวะล็อค ที่ความถี่อินพุต 40MHz 74

รูป 4.4 การเปลี่ยนแปลงของแรงดันที่วงจรกรองความถี่ต่ำเพื่อเข้าสู่สภาวะล็อค ที่ความถี่อินพุท 42MHz 75

รูป 4.5 การเปลี่ยนแปลงของแรงดันที่วงจรกรองความถี่ต่ำเพื่อเข้าสู่สภาวะล็อค ที่ความถี่อินพุท 38MHz 75

รูป 4.6 วงจรเฟสล็อคลูปแบบเอาท์พุตของตัวดักจับเฟสความถี่แบบสามสถานะ(Tri-state) 76

รูป 4.7 รูปแบบเชิงเส้นของเฟสล็อคลูปที่มีเอาท์พุทตัวดักจับเฟสความถี่ แบบสามสถานะ(Tri-state) 76

รูป 4.8 แรงดันที่วงจรกรองความถี่ต่ำและแรงดันอินพุตกับเอาท์พุตเมื่อวงจรเข้าสู่สภาวะล็อค ที่ความถี่อินพุต 40MHz 79

รูป 4.9 การเปลี่ยนแปลงของแรงดันที่วงจรกรองความถี่ต่ำเพื่อเข้าสู่สภาวะล็อค ที่ความถี่อินพุท 42MHz 80

รูป 4.10 การเปลี่ยนแปลงของแรงดันที่วงจรกรองความถี่ต่ำเพื่อเข้าสู่สภาวะล็อค ที่ความถี่อินพุท 38MHz 80

รูป 5.1 ขั้นตอนการสร้างวงจรรวม 81

รูป 5.2 ลวดลายของทรานซิสเตอร์แบบไบโพลาร์ชนิดเอ็นพีเอ็น 83

รูป 5.3 ลวดลายของมอสชนิดเอ็นมอส 83

รูป 5.4 ลวดลายของมอสชนิดเอ็นที่มีขาซอสต่อถึงกัน 84

รูป 5.5 ลวดลายของตัวต้านทานที่สร้างจาก Poly และ N-DIFF 85

รูป 5.6 ลวดลายของตัวเก็บประจุแบบไดอิเลคตริคแบบ NMOS Capacitor 86

รูป 5.7 ขั้นตอนการออกแบบลวดลายเพื่อให้ได้รูปแบบของ Chip ภายในวงจรรวม 86

รูป 5.8 ลวดลายและตำแหน่งขาและโครงสร้างภายของชิพดิจิตอลเฟสล็อคลูป 87

รูป 5.9 ผลการทดลองวงจรดักจับเฟสและความถี่เมื่อเฟส f_{ref} นำหน้าเฟส f_{vco} 88

รูป 5.10 ผลการทดลองวงจรดักจับเฟสและความถี่เมื่อเฟส f_{ref} ล้าหลังเฟส f_{vco} 89

รูป 5.11 กราฟแสดงความสัมพันธ์ระหว่างแรงดันกับความถี่ของวงจรออสซิลเลเตอร์แบบควบคุมความถี่ด้วยแรงดันไฟฟ้าเปรียบเทียบกันระหว่างผลที่ยังไม่มีพาราซิติคและมีพาราซิติค 90

รูป 5.12 สัญญาณเอาท์พุตเมื่อ $V_{control}$ = 1.5V 91

รูป 5.13 สัญญาณเอาท์พุตเมื่อ $V_{control}$ = 2V 91

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น และไม่อนุญาตให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูป 5.14 สัญญาณเอาท์พุตเมื่อ $V_{control}$ = 2.5V 91
รูป 5.15 ระบบของเฟสล็อคลูปซึ่งตัวดักจับเฟสเป็นแบบเอาท์พุทแบบสามสถานะ (Tri-state) 92
รูป 5.16 รูปแบบเชิงเส้นของเฟสล็อคลูปแบบดิจิตอล 92
รูป 5.17 การเปลี่ยนแปลงแรงดันที่อินพุทของวงจรออสซิลเลเตอร์เมื่อเข้าสู่สภาวะล็อค 95
รูป 5.18 แสดงการเปรียบเทียบระหว่างสัญญาณเอาท์พุตกับสัญญาณอินพุตขณะ 96
เข้าสู่สภาวะล็อคที่ช่วงเวลา 23μs ถึง 24μs (ความถี่อินพุต 20MHz)
รูป 5.19 แรงดันอินพุทของวงจรออสซิลเลเตอร์ในสภาวะล็อคเมื่ออินพุทเท่ากับ 18MHz 96
รูป 5.20 แรงดันอินพุทของวงจรออสซิลเลเตอร์ในสภาวะล็อคเมื่ออินพุทเท่ากับ 22MHz 97
รูป 5.21 เฟสล็อคลูปที่ใช้สำหรับคูณความถี่อินพุทเพิ่มขึ้นสองเท่า 97
รูป 5.22 สัญญาณที่จุดต่างๆของวงจรคูณความถี่สองเท่า 98
(ก) แรงดันอินพุทของวงจรออสซิลเลเตอร์ 98
(ข) ความถี่เอาท์พุทของวงจรออสซิลเลเตอร์ 10MHz 98

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

เรื่อง	หน้า
ตาราง 3.1 อัตราขยายต่อภาคของวงจรริงออสซิลเลเตอร์	48
ตาราง 3.2 ความถี่ที่เปลี่ยนแปลงตามค่าแรงดันควบคุมของวงจร VCO	61
ตาราง 3.3 พารามิเตอร์ของวงจรออสซิลเลเตอร์	62
ตาราง 3.4 สถานะการนับของวงจรนับโหมด 3	64
ตาราง 3.5 สถานะการนับของวงจรนับขนาด 2 บิตแบบนับขึ้น	67
ตาราง 3.6 การเปลี่ยนแปลงสถานะของวงจรนับขนาด 2 บิตแบบนับขึ้น	68
ตาราง 3.7 excitation map ของดีฟลิป-ฟลอป	68
ตาราง 5.1 ค่าความถี่ที่เปลี่ยนแปลงตามแรงดันควบคุมของวงจร VCO จากการออกแบบวงจร	89
ตาราง 5.2 ค่าความถี่ที่เปลี่ยนแปลงตามแรงดันควบคุมของวงจร VCO จากลวดลายวงจร	90

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

เฟสล็อคลูปเป็นอุปกรณ์หรือวงจรที่ใช้ในการรักษาอัตราการเปลี่ยนแปลงเฟสของสัญญาณระหว่างเฟสของสัญญาณเอาท์พุตกับสัญญาณอินพุตให้มีค่าเท่ากัน โดยจะมีผลทำให้มีความถี่เท่ากันด้วย จากคุณสมบัติดังกล่าวจึงมีการนำเฟสล็อคลูปไปใช้งานอย่างกว้างขวาง เช่น ใช้ในการดีมอดสัญญาณและใช้ในการสร้างหรือกำเนิดความถี่ โดยองค์ประกอบพื้นฐานของเฟสล็อคลูปมีอยู่สามส่วนคือ ตัวดักจับเฟส วงจรออสซิลเลเตอร์แบบควบคุมความถี่ด้วยแรงดันไฟฟ้า และส่วนของวงจรกรองความถี่ต่ำผ่าน ซึ่งองค์ประกอบในแต่ละส่วนก็มีหลายแบบ ดังนั้นเมื่อนำองค์ประกอบดังกล่าวมาประกอบกันเป็นเฟสล็อคลูปก็จะได้เฟสล็อคลูปหลายแบบเช่นกัน ซึ่งในแต่ละแบบก็จะมีคุณสมบัติการทำงานที่แตกต่างกัน การศึกษาทำความเข้าใจจึงเป็นเรื่องที่จำเป็นเพื่อที่จะทำให้สามารถเลือกใช้และออกแบบได้เหมาะสมกับการประยุกต์ใช้งาน

ปริญญานิพนธ์นี้เป็นการนำเสนอการศึกษาและแนวทางการออกแบบวงจรเฟสล็อคลูป เนื่องจากองค์ประกอบพื้นฐานของเฟสล็อคลูปประกอบสามส่วนดังกล่าว ดังนั้นเนื้อหาบทที่สองจึงเป็นรายละเอียดเกี่ยวกับหลักการทำงานพื้นฐานของเฟสล็อคลูปและหลักการทำงานของเฟสล็อคลูปแต่ละรูปแบบ ส่วนบทที่สามเป็นรายละเอียดเกี่ยวกับองค์ประกอบของเฟสล็อคลูปตลอดจนการออกแบบและผลการทดลองขององค์ประกอบนั้นซึ่งประกอบด้วย ตัวดักจับเฟส วงจรกรองความถี่ต่ำผ่านและวงจรออสซิลเลเตอร์แบบควบคุมความถี่ด้วยแรงดันไฟฟ้า บทที่สี่เป็นการทดสอบว่าเมื่อนำส่วนประกอบดังกล่าวมาสร้างเป็นเฟสล็อคลูปสามารถทำงานได้ถูกต้องหรือไม่ส่วนบทห้าเป็นการออกแบบลวดลายและทดสอบการทำงานจากลวดลายวงจร และบทสุดท้ายเป็นการสรุปผลการทดลอง ในส่วนการทดลองจะใช้โปรแกรมคอมพิวเตอร์เป็นตัวจำลองการทำงานของวงจรที่ออกแบบไว้ สามารถทราบผลการทำงานของวงจรและสามารถปรับแต่งค่าพารามิเตอร์ต่างๆได้ตามต้องการเพื่อความถูกต้องมากที่สุด

วัตถุประสงค์

1. ศึกษาการทำงานและการออกแบบวงจรตัวดักจับเฟส วงจรออสซิลเลเตอร์ และวงจรกรองความต่ำที่ใช้งานในเฟสล็อคลูป
2 สามารถออกแบบเฟสล็อคลูปให้มีคุณสมบัติการทำงานได้ตามต้องการ
3. เข้าใจการหลักการทำงานของเฟสล็อคลูปแบบต่างๆ และสามารถเลือกประยุกต์ใช้งานได้
4. ศึกษาการออกแบบลวดลายวงจรรวมและออกแบบลวดลายวงจรเฟสล็อคลูปแบบดิจิตอล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
ทฤษฎีพื้นฐานของเฟสล็อคลูป

2.1 ประวัติความเป็นมาและประเภทของเฟสล็อคลูป

เฟสล็อคลูปเป็นอุปกรณ์ที่ถูกสร้างขึ้นมาราวปี 1932 โดย ดี เบลเลสซิท (de Bellescize) วิศวกรชาวฝรั่งเศส โดยเฟสล็อคลูปได้เริ่มมีการนำมาประยุกต์ใช้งานในอุตสาหกรรมอย่างกว้างขวาง เมื่อมีการพัฒนาเทคโนโลยีทางด้านสิ่งประดิษฐ์สารกึ่งตัวนำจนสามารถสร้างออกมาในรูปแบบของวงจรรวม (Integrated Circuit) ได้

เฟสล็อคลูปในรูปวงจรรวมสร้างขึ้นครั้งแรกในปี 1965 และเป็นอุปกรณ์ด้านอนาล็อกล้วนโดยใช้ วงจรคูณเป็นตัวดักจับเฟสและส่วนของวงจรกรองความถี่ต่ำผ่าน(Low-pass filter, LPF) ใช้อุปกรณ์พาสซีฟหรือแอกทีฟ RC ฟิลเตอร์ และใช้วงจรออสซิลเลเตอร์แบบควบคุมความถี่ด้วยแรงดันไฟฟ้า (Voltage Control Oscillator, VCO) เป็นตัวกำเนิดสัญญาณเอาท์พุทวงจรดังกล่าวเรียกว่า "ลิเนียร์เฟสล็อคลูป" (Linear Phase-Locked Loops, LPP)

นับแต่นั้นมาเฟสล็อคลูปได้รับการพัฒนาเรื่อยมา จนเข้าสู่ยุคของวงจรดิจิตอลจึงมีการสร้างเฟสล็อคลูปแบบดิจิตอล (Digital Phase-Locked Loops, DPLL) ขึ้นมาในปี 1970 โดยตัวดักจับเฟสจะสร้างจากวงจรดิจิตอล โดยใช้เอ็กซ์คูลซีฟออร์หรือ J-K ฟลิบฟลอป แต่ยังมีบางส่วนยังคงเป็นวงจรอนาล็อกซึ่งก็คือส่วนของวงจรกรองความถี่ต่ำผ่านยังคงใช้อุปกรณ์พาสซีฟประเภทตัวต้านทานและคาปาซิเตอร์อยู่

จากนั้นมาไม่นานเฟลล็อคลูปแบบดิจิตอลทั้งหมด (All Digital Phase-Locked Loops) ก็ถูกสร้างขึ้นซึ่งทุกส่วนของวงจรเฟสล็อคลูปจะอยู่ในรูปแบบฟังก์ชั่นดิจิตอล หรือเป็นวงจรดิจิตอลทั้งหมดไม่จำเป็นต้องมีอุปกรณ์พาสซีฟ

นอกจากนี้วงจรกรองความถี่ต่ำผ่านสามารถสร้างขึ้นมาได้โดยใช้ซอฟแวร์และฟังก์ชั่นของวงจรเฟสล็อคลูปสามารถสร้างขึ้นได้โดยใช้โปรแกรมคอมพิวเตอร์สร้างเฟสล็อคลูปดังกล่าวเรียกว่า (Software Phase-Locked Loops, SPLL) ซึ่งเป็นการลดความยุ่งยากในกระบวนการสร้างอุปกรณ์สารกึ่งตัวนำที่ใช้ในวงจรเฟสล็อคลูป

สรุปเฟสล็อคลูปมี 4 ประเภทคือ

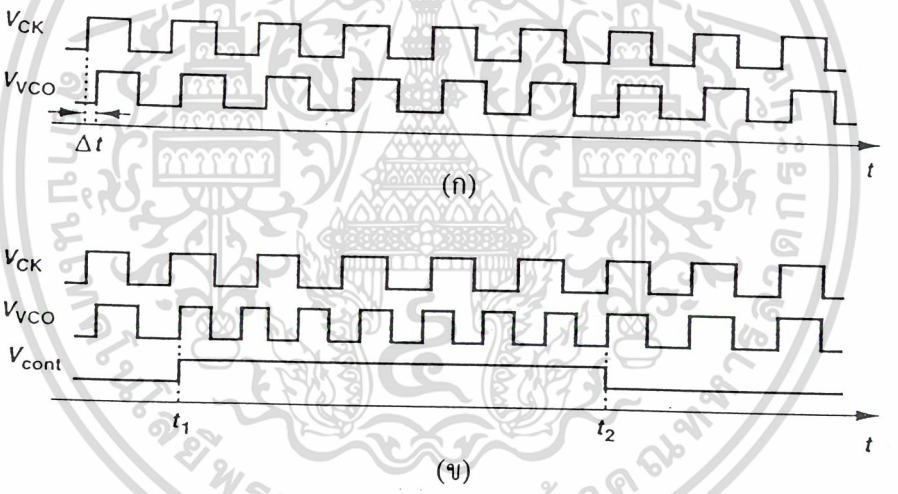
1. เฟสล็อคลูปแบบลิเนียร์ (Linear Phase-Locked Loops, LPP)
2. เฟสล็อคลูปแบบดิจิตอล (Digital Phase-Locked Loops, DPLL)
3. เฟลล็อคลูปแบบดิจิตอลทั้งหมด (All Digital Phase-Locked Loops)
4. เฟสล็อคลูปแบบซอฟแวร์ (Software Phase-Locked Loops, SPLL)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2 หลักการทำงานพื้นฐานของเฟสล็อคลูป

การทำงานของเฟสล็อคลูปในสภาวะล็อคคือการที่ความถี่เอาท์พุตจาก วงจรออสซิลเลเตอร์แบบควบคุมความถี่ด้วยแรงดันไฟฟ้ามีค่าเท่ากับความถี่อ้างอิงหรืออินพุทและอัตราการเปลี่ยนแปลงของเฟสอินพุตและเอาท์พุตเทียบกับเวลาจะมีค่าเท่ากัน

พิจารณาถึงการเข้าสู่สภาวะล็อค พิจารณารูป 2.1(ก) แสดงการเปรียบเทียบเฟส ระหว่างเอาท์พุตจาก VCO กับเฟสของอินพุตอ้างอิงหรือคล็อค จะเห็นว่าที่ขอบขาขึ้นของ V_{VCO} จะเกิดมีเฟสผิดพลาดขึ้นเป็นเวลา Δt เมื่อเทียบกับ V_{CK} และเราต้องการกำจัดความผิดพลาดนี้ออกไปโดยกำหนดให้ V_{cont} แรงดันอินพุทของ VCO โดยเมื่อ V_{cont} สูงขึ้นความถี่เอาท์พุตก็จะสูงขึ้นพิจารณารูปที่ 2.1(ข) ความถี่ของ VCO เริ่มสูงขึ้นที่เวลา $t = t_1$ วงจรจะมีการเพิ่มของเฟสอย่างรวดเร็วจนที่เวลา $t = t_2$ ความผิดพลาดของเฟสจะมีค่าเป็นศูนย์และ V_{cont} กลับเข้าสู่สภาวะแรกโดยเฟสของเอาท์พุตจาก VCO กับเฟสของอินพุทอ้างอิงหรือคล็อคอินเฟสกัน



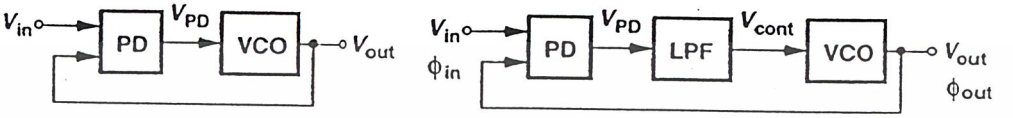
รูป 2.1 การเข้าสู่สภาวะล็อคของเฟสล็อคลูป
(ก) เฟสเอาท์พุตจาก VCO กับเฟสของอินพุท
(ข) การปรับเฟสของวงจรเพื่อกำจัดเฟสผิดพลาด

จากหลักการข้างต้นทำเราสามารถทราบได้ว่าวงจรเฟสล็อคลูปแบบง่ายนั้นจะประกอบด้วยตัวดักจับเฟส (PD) และวงจรออสซิลเลเตอร์แบบควบคุมความถี่ด้วยแรงดันไฟฟ้า (VCO) ต่อกันในลักษณะป้อนกลับดังรูปที่ 2.2(ก) โดย PD จะเป็นตัวเปรียบเทียบเฟสระหว่าง V_{out} กับ V_{in} โดยจะให้ค่าแรงดันเฟสผิดพลาดออกมาไปปรับ VCO จนเฟสมีการปรับและเข้าสู่สภาวะล็อค

อย่างไรก็ตามต้องมีการปรับปรุงวงจรรูป 2.2(ก) เนื่องจาก เอาท์พุตของ PD หรือ V_{PD} ประกอบด้วยส่วนของแรงดันดีซีและแรงดันเอซีที่มีความถี่สูงดังนั้นเพื่อให้แรงดันอินพุทของ VCO

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

มีเฉพาะส่วนของดีซี เพื่อให้ความถี่เอาท์พุตออกมาคงที่ต้องมีการใส่วงจรกรองความถี่ต่ำผ่านเข้าไประหว่างวงจร PD กับ VCO ดังรูป 2.2(ข) เพื่อกำจัดส่วนที่มีความถี่สูงออกไปโดย LPF ที่ใส่เข้าไปจะต้องมีอัตราการขยายเป็นหนึ่งที่ความถี่ต่ำ



(ก) (ข)

รูป 2.2 องค์ประกอบของเฟสล็อคลูป
(ก) องค์ประกอบที่ประกอบด้วย PD กับ VCO
(ข) องค์ประกอบที่ประกอบด้วย PD, VCO และ LPF

พิจารณารูป 2.2(ก) เงื่อนไขวงจรภายใต้สภาวะล็อคคือ $\varnothing_{out} - \varnothing_{in}$ จะต้องมีค่าคงที่และมีขนาดเล็กและจะต้องไม่แปรเปลี่ยนกับเวลาเขียนความสัมพันธ์เป็นสมการได้ว่า

$$\frac{d\phi_{out}}{dt} - \frac{d\phi_{in}}{dt} = 0 \tag{2.1}$$

หรือก็คือ

$$\omega_{out} = \omega_{in} \tag{2.2}$$

โดยสรุปจะได้ว่าเมื่อเฟสล็อคลูปอยู่ในสภาวะล็อคเฟสของเอาท์พุตจาก VCO เมื่อเทียบกับอินพุทจะต้องมีค่าผิดพลาดเฟสน้อยแต่ความถี่ทั้งสองจะต้องเท่ากัน

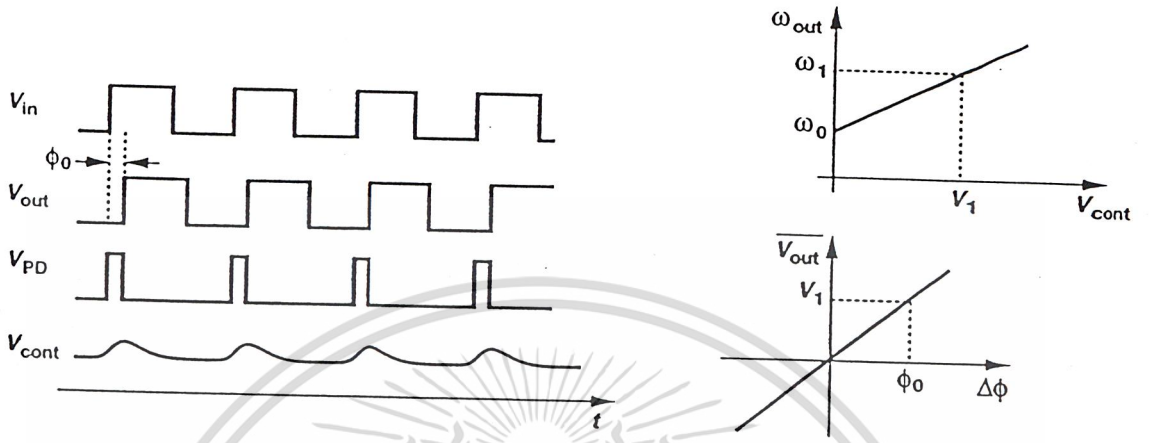
2.2.1 ลักษณะสัญญาณของเฟสล็อคลูปในสภาวะล็อค

เมื่อวงจรเฟสล็อคลูปอยู่ในสภาวะล็อครูปคลื่นสัญญาณในแต่ละจุดนั้นแสดงดังรูป 2.3(ก) โดย V_{out} กับ V_{in} จะมีความต่างเฟสหรือเฟสผิดพลาดน้อยมากแต่ความถี่จะเท่ากัน โดย PD เป็นตัวสร้างพัลซ์ที่เกิดจากค่าเฟสผิดพลาดของอินพุตกับเอาท์พุตและ LPF จะกรองเอาเฉพาะแรงดันที่เป็นดีซีคือ V_{PD} ป้อนให้กับ VCO โดยพัลซ์ขนาดเล็กใน V_{LPF} เรียกว่า ริบเปิ้ล (ripple)

พิจารณารูป 2.3(ก) พารามิเตอร์ที่ยังไม่ทราบค่าคือ $\varnothing_0$ และระดับแรงดันดีซีของ V_{cont} สามารถหาค่าได้จากการพิจารณาโดยใช้กราฟแสดงคุณสมบัติของ PD และ VCO ดังแสดงในอยู่รูป 2.3(ข) โดยถ้าเฟสล็อคลูปอยู่ในสภาวะล็อคแล้วความถี่ของอินพุตและเอาท์พุตจะมีค่าเท่ากัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยกำหนดให้มีค่าเท่ากับ ω_1 และทำให้แรงดันที่วงจร VCO ต้องการคือ V_1 ดังในรูป 2.3(ก)



(ก) (ข)

รูป 2.3 รูปคลื่นสัญญาณของเฟสล็อคลูปในสภาวะล็อค
(ก) รูปคลื่นสัญญาณในแต่ละจุด
(ข) กราฟแสดงคุณสมบัติของ VCO และ PD

โดยขนาดแรงดัน V_1 ได้จากส่วนของ PD ซึ่งเกิดจากค่าความผิดพลาดเฟส $\emptyset_0$ จากกราฟคุณสมบัติของ PD และ VCO จะได้ $\omega_{out} = \omega_0 + K_{VCO}V_{cont}$ และ $\overline{V}_{PD} = K_{PD}\Delta\emptyset$ ทำให้ได้

$$V_1 = \frac{\omega_1 - \omega_0}{K_{VCO}} \tag{2.3}$$

และ

$$\phi_0 = \frac{V_1}{K_{PD}} \tag{2.4}$$

$$= \frac{\omega_1 - \omega_0}{K_{PD}K_{VCO}} \tag{2.5}$$

จากสมการ 2.5 ทำให้ทราบคุณสมบัติที่สำคัญสองประการคือ เมื่อความถี่อินพุทเกิดการเปลี่ยนแปลงจะทำให้เกิดความต่างเฟสหรือความผิดพลาดของเฟสขึ้น และค่าผิดพลาดของเฟสจะมีค่าต่ำเมื่อค่า $K_{PD}K_{VCO}$ ต้องมีค่าสูงโดย K_{PD} ก็คือ ค่าอัตราการขยายของวงจรดักจับเฟสหรือ PD และ K_{VCO} คือค่าอัตราการขยายของวงจรออสซิลเลเตอร์แบบควบคุมความถี่ด้วยแรงดันไฟฟ้า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารนี้ทุกครั้งที่มีการนำไปใช้

2.2.2 การพิจารณาสภาวะชั่วขณะของเฟสล็อคลูปในสภาวะล็อค

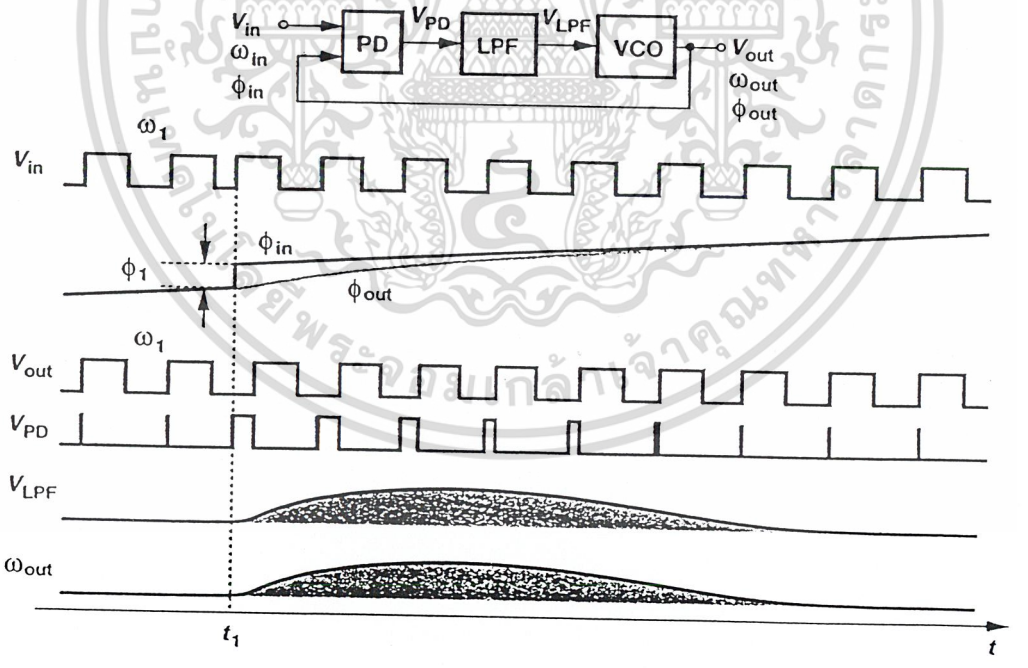
เมื่อวงจรเฟสล็อคลูปอยู่ในสภาวะล็อคแล้วเกิดการเปลี่ยนแปลงเฟส หรือความถี่ที่อินพุตจะทำการพิจารณาหาผลการตอบสนองของเฟสล็อคลูปว่าเป็นอย่างไร

โดยจะพิจารณาเมื่อ เกิดการเปลี่ยนแปลงของเฟส ที่อินพุทก่อน โดยสมมติให้รูปแบบของอินพุตและเอาท์พุตเป็นดังนี้

$$V_{in}(t) = V_A \cos\omega_1 t \tag{2.6}$$

$$V_{out}(t) = V_B \cos(\omega_1 t + \phi_0) \tag{2.7}$$

โดยที่ไม่พิจารณาความถี่ฮาร์โมนิคที่สูงและ $\varnothing_0$ คือค่าความผิดพลาดเฟสคงที่ พิจารณารูป 2.4 จะเห็นว่าเฟสอินพุทมีการเปลี่ยนแปลงขึ้นในลักษณะเป็นขั้นคือ $\varnothing_1$ และเกิดขึ้นที่เวลา $t = t_1$ จะทำให้เฟสที่อินพุทมีค่าเท่ากับ $\varnothing_{in} = \omega_1 t + \varnothing_1 u(t - t_1)$ ณ เวลานี้เอาท์พุตของ LPF ยังไม่เพิ่มขึ้นอย่างทันทีทันใดและ VCO ยังคงออสซิลเลทที่ความถี่เดิมคือ ω_1



รูป 2.4 ผลการตอบสนองของเฟสล็อคลูปเมื่อมีการเปลี่ยนแปลงของเฟสที่อินพุต

หลังจากนั้นค่าความต่างเฟสของอินพุตกับเอาท์พุตค่อย ๆ เพิ่มขึ้นทำให้พัลซ์ขึ้นที่เอาท์พุตของ PD และส่งผลให้เกิด V_{LPF} เพิ่มขึ้นผลลัพธ์คือทำให้ความถี่ของ VCO เพิ่มขึ้นเพื่อพยายามลดค่าความผิดพลาดของเฟสที่สภาวะชั่วขณะนี้จะไม่เกิดการล็อคขึ้นเนื่องจากค่าความผิดพลาดเฟส

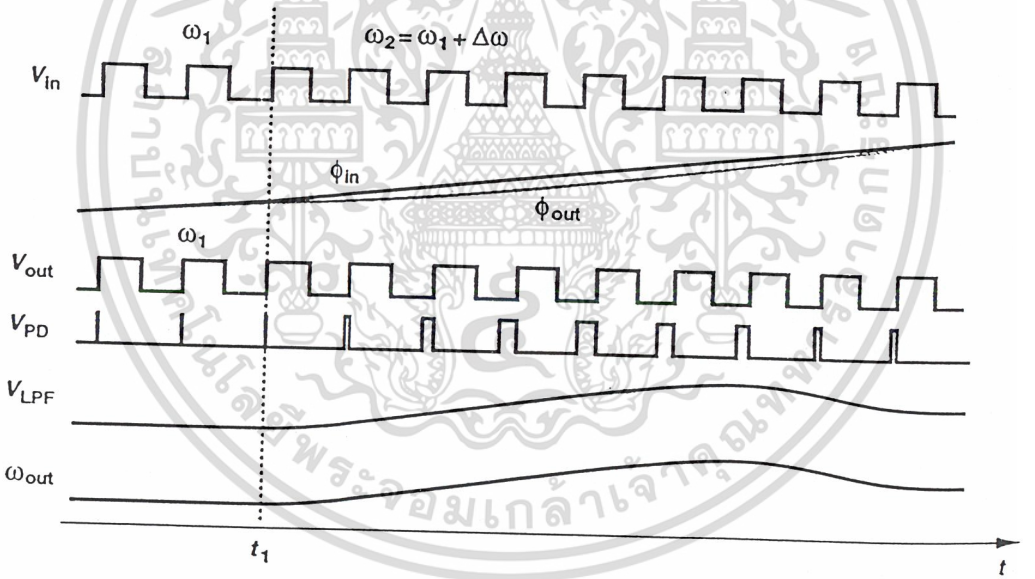
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เปลี่ยนแปลงตามเวลา ภายหลังจากที่ความถี่ของ VCO เริ่มเปลี่ยนแล้วเฟสล็อคลูปจะกลับสู่สภาวะล็อคตามเดิมโดย ω_{out} จะกลับมาเท่ากับ ω_1 นั่นคือ V_{LPF} และ $\varnothing_{out} - \varnothing_{in}$ จะกลับสู่ค่าเริ่มต้นตามเดิม โดยเมื่อลูปอยู่ในสภาวะสงบเอาท์พุตจะมีค่าเท่ากับ

$$V_{out}(t) = V_B \cos[\omega_1 t + \phi_0 + \phi_1 u(t - t_1)] \tag{2.8}$$

สิ่งที่สำคัญเมื่อลูปกลับเข้าสู่สภาวะล็อคคือ พารามิเตอร์ทุกตัวจะกลับเข้าสู่สภาวะเริ่มต้นทั้งหมดคือ $\varnothing_{out} - \varnothing_{in}$, V_{LPF} และค่าความถี่ของ VCO จะเท่ากับสภาวะเริ่มต้น

ต่อไปเป็นการพิจารณาผลการตอบสนองของเฟสล็อคลูปเมื่อความถี่อินพุตเปลี่ยนแปลงชั่วขณะ โดยอินพุตเพิ่มขึ้นจากความถี่เดิม $\Delta\omega$ ที่เวลา $t = t_1$ ดังแสดงในรูป 2.5



รูป 2.5 ผลการตอบสนองของเฟสล็อคลูปเมื่อมีการเปลี่ยนแปลงของความถี่ที่อินพุต

โดยความถี่เริ่มต้นของ VCO คือ ω_1 เมื่อความถี่อินพุตเปลี่ยน PD จะกำเนิดพัลซ์โดยความกว้างค่อย ๆ เพิ่มมากขึ้นและ V_{LPF} จะมีค่าเพิ่มขึ้นจน ω_{out} เข้าใกล้ $\omega_1 + \Delta\omega$ หรือก็คือความถี่อินพุทโดยเอาท์พุทจาก PD จะมีค่าลดลง ภายใต้สภาวะสงบ ระดับแรงดันดีซีที่วงจรกรองความถี่มีค่าเท่ากับ $(\omega_1 + \Delta\omega - \omega_0)/K_{VCO}$ จะเห็นได้ว่าการเปลี่ยนแปลงของเฟสหรือความถี่ที่อินพุทจะนำมาซึ่งระดับแรงดันเพื่อควบคุมความถี่ VCO เพื่อลดค่าเฟสผิดพลาดลง

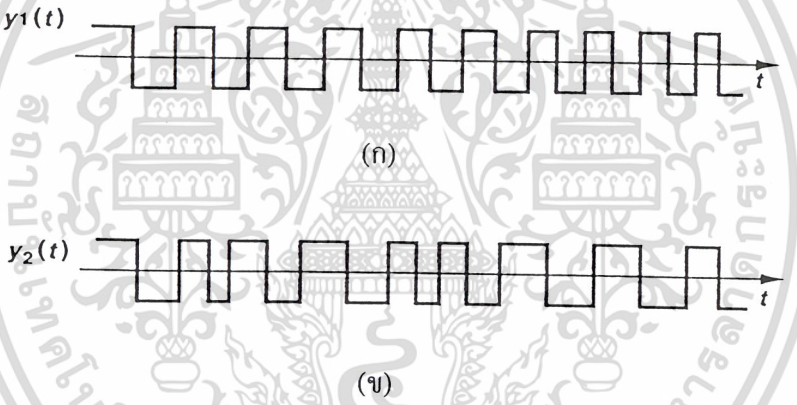
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3 เสถียรภาพของเฟสล็อคลูปแบบพื้นฐาน

การพิจารณาเกี่ยวกับเกี่ยวกับเสถียรภาพของเฟสล็อคลูปจะต้องทราบฟังก์ชั่นถ่ายโอนของระบบดังนั้นต้องพิจารณาหา $\Phi_{out}(s)/\Phi_{in}(s)$ ทั้งแบบลูปเปิดและลูปปิด

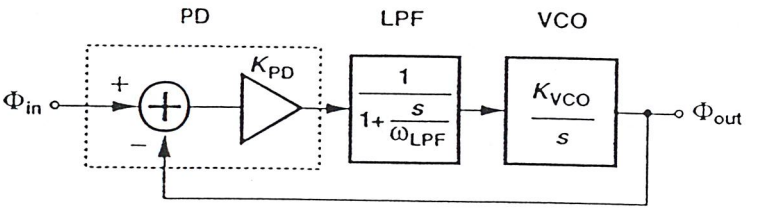
พิจารณา $\Phi_{out}(s)/\Phi_{in}(s)$ เป็นตัวบอกให้ทราบถึงอะไรนั้นให้เปรียบเทียบกับฟังก์ชั่นถ่ายโอนของวงจรกรองความถี่อันดับหนึ่งอย่างง่ายคือ $V_{out}(s)/V_{in}(s) = 1/(1 + s/\omega_0)$ จากฟังก์ชั่นถ่ายโอนจะเห็นว่าถ้า V_{in} เปลี่ยนแปลงอย่างรวดเร็ว V_{out} ไม่สามารถที่จะตามอินพุตได้ตลอดย่านที่เปลี่ยนแปลง ในทำนองเดียวกัน $\Phi_{out}(s)/\Phi_{in}(s)$ จะแสดงให้เห็นความสัมพันธ์ว่าเฟสของเอาท์พุตมีการเปลี่ยนแปลงไปกับเฟสของอินพุตอย่างไรเมื่อเฟสอินพุตมีการเปลี่ยนแปลงอย่างช้าหรือเร็ว

การเปลี่ยนแปลงของเฟสกับเวลาแสดงดังรูป 2.6 โดยรูป 2.6(ก) เป็นการเปลี่ยนแปลงของเฟสอย่างรวดช้า ๆ และรูป 2.6(ข) เฟสมีการเปลี่ยนแปลงอย่างรวดเร็ว



รูป 2.6 การเปลี่ยนแปลงของเฟสกับเวลา
(ก) การเปลี่ยนแปลงของเฟสอย่างช้า ๆ
(ข) การเปลี่ยนแปลงของเฟสอย่างเร็ว

พิจารณาหา $\Phi_{out}(s)/\Phi_{in}(s)$ โดยทำการสร้างรูปแบบเชิงเส้นของเฟสล็อคลูปดังแสดงในรูป 2.7



รูป 2.7 รูปแบบเชิงเส้นของเฟสล็อคลูปชนิดที่หนึ่ง (type I PLL)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยพิจารณาจากรูป 2.7 ประกอบด้วยวงจร PD ซึ่งเอาท์พุทประกอบด้วยแรงดันดีซีมีค่าเท่ากับ $K_{PD}(\varnothing_{out} - \varnothing_{in})$ โดยความถี่สูงจะถูกกำจัดทิ้งโดยวงจรกรองความถี่จะได้ฟังก์ชั่นถ่ายโอนของ PD ในรูปแบบวงจรขยายซึ่งมีค่าอัตราการขยายเท่ากับ K_{PD} และวงจร LPF เป็นวงจรแบบอันดับหนึ่งอย่างง่ายมีฟังก์ชั่นถ่ายโอนคือ $1/(1 + s/\omega_{LPF})$ ในส่วนวงจร VCO มีฟังก์ชั่นถ่ายโอนคือ K_{VCO}/s ส่วน Φ_{in} และ Φ_{out} คืออินพุตและเอาพุตเฟส ตัวอย่างเช่น ถ้าผลรวมของอินพุตเฟสเป็นฟังก์ชั่นแบบขั้นบันไดคือ $\varnothing_1 u(t)$ นั่นคือ $\Phi_{in} = \varnothing_1/s$

จากรูป 2.7 ฟังก์ชั่นถ่ายโอนของลูปเปิดคือ

$$H(s)\Big|_{open} = \frac{\Phi_{out}}{\Phi_{in}}(s)\Big|_{open} \tag{2.9}$$

$$= K_{PD} \cdot \frac{1}{1 + \dfrac{s}{\omega_{LPF}}} \cdot \frac{K_{VCO}}{s} \tag{2.10}$$

จากสมการ 2.10 แสดงให้เห็นว่าตำแหน่งโพลของระบบอยู่ที่ $s = -\omega_{LPF}$ และ $s = 0$ โดยอัตราขยายลูปจะเท่ากับ $H(s)|_{open}$ เพราะป้อนกับแบบเต็มที่แฟกเตอร์การป้อนกับเป็นหนึ่งโดยระบบที่มีโพลหนึ่งตัวที่จุดกำเนิดเรียกว่า "ชนิดที่หนึ่ง" (type I)

ต่อไปพิจารณาหาฟังก์ชั่นถ่ายโอนของระบบปิด ซึ่งมีความสำคัญมากโดยเฟสล็อคลูปจะเข้าสู่สภาวะล็อคเมื่อ $\varnothing_{out}$ เปลี่ยนแปลงเข้าใกล้ $\varnothing_{in}$ โดย s จะมีค่าเข้าใกล้ศูนย์ โดยฟังก์ชั่นถ่ายโอนของระบบปิดแสดงดังสมการ 2.11

$$H(s)\Big|_{close} = \frac{K_{PD}K_{VCO}}{\dfrac{s^2}{\omega_{LPF}} + s + K_{PD}K_{VCO}} \tag{2.11}$$

สิ่งที่เราต้องการคือ $H(s)|_{close}$ จะต้องมีค่าเข้าใกล้หนึ่งเมื่อ s มีค่าเข้าใกล้ศูนย์นั่นก็คืออัตราขยายของลูปมีค่าเป็นอนันต์ ภายใต้สภาวะดังกล่าวจะทำให้เฟสล็อคลูปเข้าสู่สภาวะล็อค

จากสมการ 2.11 สามารถหาผลตอบสนองแบบขั้นบันได (step response) ของระบบชนิดที่หนึ่ง (type I) ได้โดยการพิจารณาเปรียบเทียบกับทฤษฎีของระบบควบคุม (Control System) จากรูปแบบของสมการอันดับสองของระบบดังสมการ 2.12 นำมาเปรียบเทียบกันกับสมการ 2.11

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เพื่อหาค่าพารามิเตอร์ต่าง ๆ ของระบบเพื่อวิเคราะห์ผลการตอบสนองแบบขั้นบันไดของระบบแบบที่หนึ่ง (type I)

$$H(s)=\frac{\omega_n^2}{s^2+2\zeta\omega_n s+\omega_n^2} \tag{2.12}$$

เมื่อ ω_n คือความถี่ธรรมชาติ (Natural frequency) และ ζ คือตัวประกอบการหน่วง (Damping factor) ซึ่งจากสมการ 2.11 ถ้าจัดให้อยู่ในรูปแบบบรรทัดฐานจะได้ค่าความถี่ธรรมชาติและค่าตัวประกอบการหน่วงคือ

$$\omega_n=\sqrt{\omega_{\mathrm{LPF}}K_{PD}K_{VCO}} \tag{2.13}$$

$$\zeta=\frac{1}{2}\sqrt{\frac{\omega_{LPF}}{K_{PD}K_{VCO}}} \tag{2.14}$$

และโพลของทั้งสองตัวของระบบอยู่ที่ตำแหน่ง

$$s_{1,2}=-\zeta\omega_n\pm\sqrt{(\zeta^2-1)\omega_n^2} \tag{2.15}$$

$$=(-\zeta\pm\sqrt{(\zeta^2-1)})\omega_n \tag{2.16}$$

โดยถ้า $\zeta > 1$ โพลทั้งสองเป็นจำนวนจริงซึ่งจะทำให้ระบบเกิดโอเวอร์แดมและในทางตรงกันข้ามถ้า $\zeta < 1$ โพลเป็นจำนวนจินตภาพจะได้ผลการตอบสนองของเอาท์พุตต่อความถี่อินพุตแบบขั้นบันไดโดย $\omega_{in} = \Delta\omega_{u(t)}$ ผลของเอาท์พุตคือ

$$\omega_{out}(t)=\left\{1-e^{-\zeta\omega_n t}\left[\cos(\omega_n\sqrt{1-\zeta^2}\,t)+\frac{\zeta}{\sqrt{1-\zeta^2}}\sin(\omega_n\sqrt{1-\zeta^2}\,t)\right]\right\}\Delta\omega_{u(t)} \tag{2.17}$$

$$=\left[1-\frac{1}{\sqrt{1-\zeta^2}}e^{-\zeta\omega_n t}\sin(\omega_n\sqrt{1-\zeta^2}\,t+\theta)\right]\Delta\omega_{u(t)} \tag{2.18}$$

โดย ω_{out} คือผลการเปลี่ยนแปลงของความถี่เอาท์พุตและ θ มีค่าเท่ากับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\theta = sin^{-1}\sqrt{1-\zeta^2} \tag{2.19}$$

รูปคลื่นเอาท์พุทแสดงดังรูป 2.8 จะเห็นว่ามีส่วนประกอบของรูปคลื่นซายน์โดยมีความถี่เท่ากับ

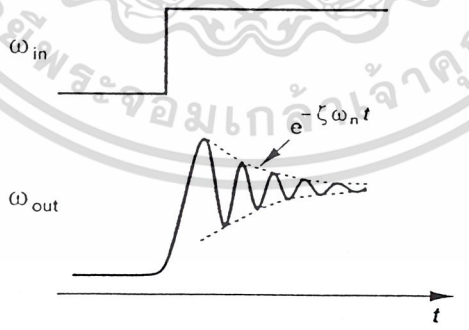
$$\omega = \omega_n\sqrt{1-\zeta^2} \tag{2.20}$$

และขนาดของรูปคลื่นซายน์ดังกล่าวจะมีค่าลดลงด้วยค่าเวลาคงที่เท่ากับ $(\zeta\omega_n)^{-1}$

การเข้าสู่สภาวะสงบของเฟสล็อคลูปอย่างรวดเร็วมีความจำเป็นในการนำไปใช้งาน จากสมการ 2.18 ค่าของเอ็กซ์โปเนนเชียลจะลดลงสัมพันธ์กับค่าของเทอม $\zeta\omega_n$ โดยมีค่าเท่ากับ

$$\zeta\omega_n = \frac{1}{2}\omega_{LPF} \tag{2.21}$$

จากผลลัพธ์ที่ได้จะเห็นว่าจะต้องมีการเลือกระหว่างความสามารถเข้าสู่สภาวะสงบอย่างรวดเร็วกับแรงดันริปเปิ้ลที่จะไปควบคุม VCO เช่น ถ้าต้องการให้ ω_{LPF} มีค่าต่ำเพื่อให้สามารถกำจัดความถี่สูงออกจากเอาท์พุต PD แต่มีค่าเวลาเข้าสู่สภาวะสงบ (Settling time) มาก

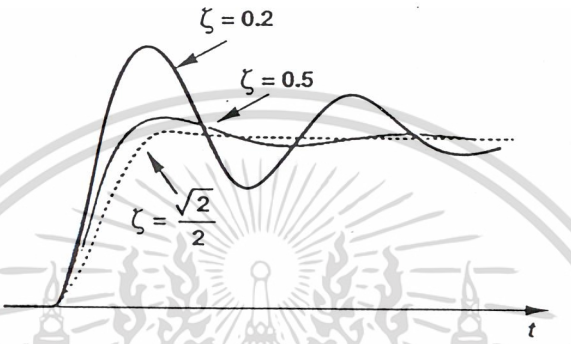


รูป 2.8 การตอบสนองของเฟสล็อคลูปต่อการเปลี่ยนแปลงความถี่แบบขั้นบันได

การเลือกค่าของ ζ นั้นมีความสำคัญมาก ดังแสดงในรูป 2.9 แสดงผลการตอบสนองเมื่อค่า ζ เปลี่ยนเป็นค่าหลายค่าโดยที่ ω_n มีค่าคงที่ โดยผลการตอบสนองจะไม่มีการกระเพื่อม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

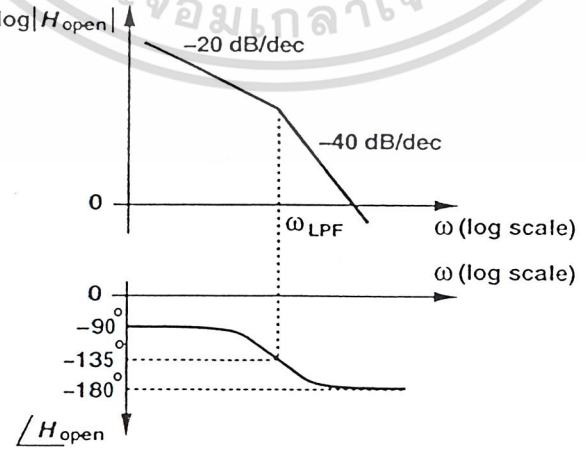
เมื่อค่าของ $\zeta < 1$ ดังนั้นการเลือกค่า ζ จึงมีความสำคัญและนำมาซึ่งการต้องเลือกระหว่าง ω_{LPF} และค่าเวลาเข้าสู่สภาวะสงบ (Settling time) และจากสมการ 2.5 ถ้าเราต้องการลดค่าความผิดพลาดเฟสให้น้อยลงจะต้องลดค่าของ $K_{PD}K_{VCO}$ ลงแต่จากสมการ 2.14 จะทำให้ ζ เพิ่มขึ้นทำให้ระบบมีเสถียรภาพต่ำลง



รูป 2.9 การตอบสนองของระบบเมื่อค่า ζ เปลี่ยนแปลง

สรุปแล้วคุณสมบัติของเฟสล็อคลูปชนิดที่หนึ่ง (type I PLL) จะต้องมีการเลือกระหว่างค่าเวลาเข้าสู่สภาวะสงบ (Settling time), แรงดันริปเปิ้ลที่จะไปควบคุม VCO, ค่าผิดพลาดเฟส และเสถียรภาพของระบบ

การแสดงเสถียรภาพของระบบอาจแสดงได้ด้วยกราฟโบดพล็อตทั้งขนาดและความถี่ดังรูป 2.10 โดยใช้สมการ 2.10



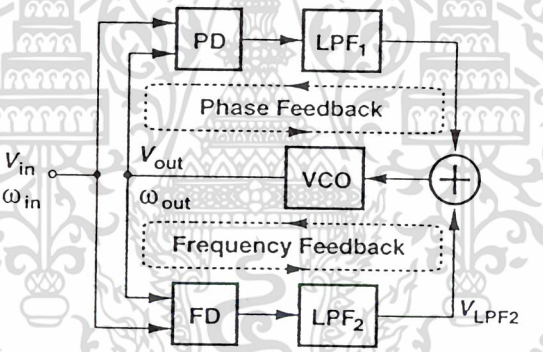
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น ยกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูป 2.10 กราฟโบดพล็อตแสดงเสถียรภาพของ type I PLL

2.4 เฟสล็อคลูปแบบเอาท์พุตเป็นแหล่งจ่ายกระแสคงที่ (Charge-Pump PLL)

จากการพิจารณาเฟลล็อคลูปแบบที่หนึ่งจะเห็นว่ามีปัญหาในเรื่องที่จะต้องเลือกระหว่างค่าเวลาเข้าสู่สภาวะสงบ (Settling time), แรงดันริปเปิ้ลที่จะไปควบคุม VCO, ค่าผิดพลาดเฟสและเสถียรภาพของระบบ นอกจากนั้นแล้วยังมีปัญหาในเรื่องของช่วงของการเข้าสู่ภาวะล็อคมีค่าจำกัด โดยปัญหาของการได้มาซึ่งสภาวะล็อคของเฟสล็อคลูปคือ เริ่มแรกเมื่อวงจรทำงานหรือเมื่อจ่ายไฟเลี้ยงให้วงจร ถ้าวงจรออสซิลเลเตอร์ทำงานที่ความถี่ห่างจากความถี่อินพุตลูปจะไม่ล็อคโดยช่วงของการเข้าสู่สภาวะล็อคจะขึ้นอยู่กับค่าของ ω_{LPF} โดยลูปจะล็อคเพียงกรณีเดียวคือ ความแตกต่างระหว่าง ω_{in} กับ ω_{out} จะต้องน้อยกว่า ω_{LPF} แต่ก็ต้องเลือกอีกเช่นกันเพราะถ้าหากเราให้ ω_{LPF} มีค่าต่ำก็จะทำให้ช่วงเข้าสู่การล็อคมีค่าต่ำเช่นกัน

ปัญหาดังกล่าวแก้ไขโดยการเพิ่มตัวดักจับความถี่ (Frequency detector, FD) เข้าไปรวมกับส่วนของ PD ดังแสดงในรูป 2.11



รูป 2.11 ระบบที่ใช้ตัวดักจับเฟสแบบเฟส-ความถี่

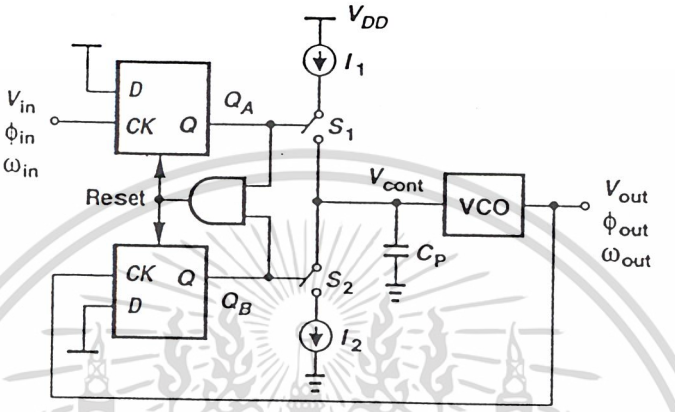
โดย FD จะทำหน้าที่เปรียบเทียบความถี่ของอินพุตกับเอาท์พุตและจะทำให้วงจรกรองความถี่ต่ำมีแรงดันเกิดขึ้นเป็นไปตามสัดส่วนของ ω_{in} - ω_{out} ซึ่งตัวดักจับเฟสแบบนี้เรียกว่าตัวดักจับเฟสแบบเฟส-ความถี่ (Phase/Frequency Detector, PFD) ซึ่งหลักการทำงานของ PFD จะกล่าวถึงต่อไปในหัวข้อตัวดักจับเฟส

2.4.1 หลักการทำงานพื้นฐานของเฟสล็อคลูปแบบเอาท์พุตเป็นแหล่งจ่าย กระแสคงที่

พิจารณารูป 2.12 เป็นวงจรเฟสล็อคลูปแบบเอาท์พุตเป็นแหล่งจ่ายกระแสคงที่ (Charge-Pump PLL, CP PLL) โดยตัวดักจับเฟสเป็นแบบเฟส-ความถี่ หลักการทำงานของวงจรคือเมื่อจ่ายไฟเลี้ยงให้วงจรค่าของ ω_{out} อาจจะมีความถี่ที่ห่างจาก ω_{in} ทำให้ PFD และส่วนของแหล่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จ่ายกระแสทำงานเกิดการปรับเปลี่ยนแรงดันที่ป้อนให้กับ VCO จนค่าความถี่ของ ω_{out} มีค่าใกล้เคียงกับอินพุต ω_{in} จากนั้น PFD จะทำหน้าที่เสมือน PD ดำเนินกระบวนการเข้าสู่สวาวะล็อค โดยเมื่อลูปอยู่ในสภาวะล็อคค่าความต่างเฟสอินพุตกับเอาท์พุตเท่ากับศูนย์ส่วนของแหล่งจ่ายกระแสไม่ทำงาน

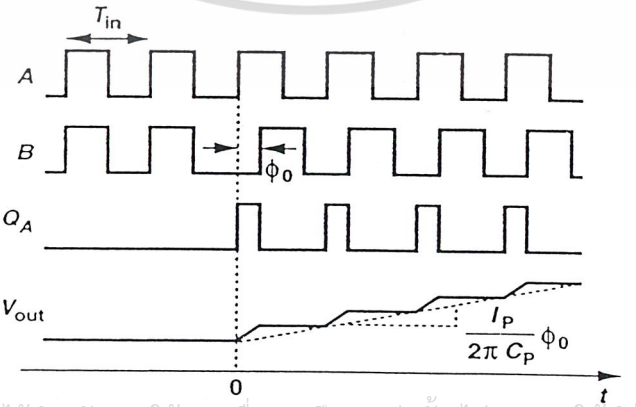


รูป 2.12 วงจรเฟสล็อคลูปแบบเอาท์เป็นแหล่งจ่ายกระแสคงที่

พิจารณาการทำงานของวงจรรูป 2.12 โดยไม่คิดผลของพัลซ์รีเซ็ตที่มีขนาดเล็กที่ Q_A และ Q_B โดยสมมติให้หลังจากเกิดการล็อค $\omega_{in} - \omega_{out}$ มีค่าเท่ากับศูนย์ PFD จะให้ $Q_A = Q_B = 0$ ในส่วนของแหล่งจ่ายกระแสยังไม่ทำงานทำให้แรงดันที่ C_P ยังมีค่าคงที่

2.4.2 เสถียรภาพของเฟสล็อคลูปแบบเอาท์พุตเป็นแหล่งจ่ายกระแสคงที่

การพิจารณาถึงเสถียรภาพจะต้องสร้างรูปแบบเชิงเส้นของระบบและพิจารณาฟังก์ชั่นถ่ายโอนการจะสร้างรูปแบบเชิงเส้นได้นั้นต้องรู้ค่าฟังก์ชั่นถ่ายโอนของแต่ละส่วน



รูป 2.13 การตอบสนองต่อการเปลี่ยนแปลงแบบขั้นบันไดเมื่อ PFD/CP/LPF รวมกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

พิจารณาหาค่าฟังก์ชั่นถ่ายโอนเมื่อนำส่วนของ PFD/CP/LPF มารวมกันโดยใช้ LPF เป็นคาปาซิเตอร์ตัวเดียว โดยการสมมติให้คาบเวลาของความถี่อินพุตคือ T_{in} และค่ากระแสที่ใช้ในการชาร์จและดิสชาร์จคือ $\pm I_P$ ดังแสดงในรูป 2.13 โดยมีอินพุตสองอินพุท A และ B และที่เวลาเริ่มต้นมีค่าความเฟสเท่ากับศูนย์ และเมื่อถึงที่เวลา t = 0 เฟสของอินพุต B มีการเปลี่ยนแปลงแบบขั้นบันไดคือ $\emptyset_0$ โดยความต่างเฟสมีค่าเท่ากับ $\Delta\emptyset = \emptyset_0 u(t)$ ทำให้ Q_A เกิดพัลซ์ออกมาอย่างต่อเนื่องและมีค่าเท่ากับ $\emptyset_0 T_{in}/(2\pi)$ และค่าเอาท์พุทจะเพิ่มขึ้นโดยไม่คิดผลของพัลซ์รีเซ็ตที่มีขนาดเล็กจะมีค่าเท่ากับ $(I_P/C_P)\emptyset_0 T_{in}/(2\pi)$ โดยการประมาณส่วนที่เป็นฟันเลื่อยเป็นเส้นตรงดังนั้นความชันของ V_{out} คือ $(I_P/C_P)\emptyset_0/(2\pi)$ และสามารถเขียนได้อีกแบบดังสมการ

$$V_{out}(t) = \frac{I_P}{2\pi C_P} t \cdot \phi_0 u(t) \tag{2.22}$$

จากผลการตอบแบบอิมพัลซ์จะได้

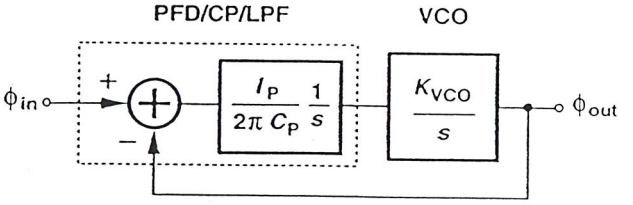
$$h(t) = \frac{I_P}{2\pi C_P} u(t) \tag{2.23}$$

และจะได้ฟังก์ชั่นถ่ายโอนคือ

$$\frac{V_{out}}{\Delta\phi}(s) = \frac{I_P}{2\pi C_P} \cdot \frac{1}{s} \tag{2.24}$$

โดยจากฟังก์ชั่นถ่ายโอนจะเห็นว่า PFD/CP/LPF เมื่อต่อร่วมกันจะทำให้เกิดโพลขึ้นหนึ่งตัวที่จุดกำเนิดดังเช่นที่ได้เขียนไว้ในเฟสล็อคลูปชนิดที่หนึ่งซึ่งจะอยู่ในเทอม K_{VCO}/s และเทอมของ $I_P/(2\pi C_P)$ เรียกว่าอัตราการขยายของ PFD เขียนแทนด้วย K_{PFD}

พิจารณาสร้างรูปแบบเชิงเส้นของเฟสล็อคลูปแบบเอาท์พุตเป็นแหล่งจ่ายกระแสคงที่ได้ดังรูป 2.14



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น ไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูป 2.14 รูปแบบเชิงเส้นอย่างง่ายของเฟสล็อคลูปแบบเอาท์พุตเป็นแหล่งจ่ายกระแสคงที่

จากรูป 2.14 จะได้ฟังก์ชั่นถ่ายโอนลูปเปิดคือ

$$\frac{\Phi_{out}}{\Phi_{in}}(s)\Big|_{open} = \frac{I_P}{2\pi C_P} \cdot \frac{K_{VCO}}{s^2} \tag{2.25}$$

พิจารณาจากฟังก์ชั่นถ่ายโอนจะเห็นว่าอัตราขยายของลูปมีโพลอยู่สองโพลที่จุดกำเนิด ซึ่งเราเรียกระบบนี้ว่า "แบบที่สอง" (type II) และกำหนด H(s) คือฟังก์ชั่นถ่ายโอนของลูปปิดจะได้

$$H(s) = \frac{\frac{I_P K_{VCO}}{2\pi C_P}}{s^2 + \frac{I_P K_{VCO}}{2\pi C_P}} \tag{2.26}$$

โดยลูปปิดมีโพลเป็นจำนวนจินตภาพอยู่ที่ตำแหน่ง

$$s_{1,2} = \pm j\sqrt{I_P K_{VCO}/(2\pi C_P)} \tag{2.27}$$

ซึ่งระบบมีอัตราขยายของลูปดังสมการ 2.25 จะไม่มีเสถียรภาพเนื่องจากมีโพลอยู่ที่จุดกำเนิดถึงสองโพลทำโดยแต่ละโพลทำให้เกิดเฟสชิฟไป 90° ดังนั้นระบบนี้จึงมีผลรวมของเฟสชิฟ 180° ซึ่งแสดงดังรูป 2.15(ก) ระบบอาจเกิดการออสซิลเลทที่จุดอัตราขยายตัดแกนความถี่ได้

เพื่อแก้ไขให้ระบบมีเสถียรภาพจะต้องทำให้ผลรวมของชิฟมีค่าน้อยกว่า 180° คือที่จุดอัตราขยายตัดแกนความถี่เฟสชิฟต้องมีค่าน้อยกว่า 180° ดังแสดงในรูป 2.15(ข) สามารถทำได้โดยการทำให้เกิดซีโร่ขึ้นในลูปด้วยการเพิ่มตัวต้านทานต่ออนุกรมกับคาปาซิเตอร์ในวงจรกรองความถี่ต่ำผ่านดังรูป 2.16 จะทำให้ฟังก์ชั่นถ่ายโอนของ PFD/CP/LPF ต่อร่วมกันมีค่าเท่ากับ

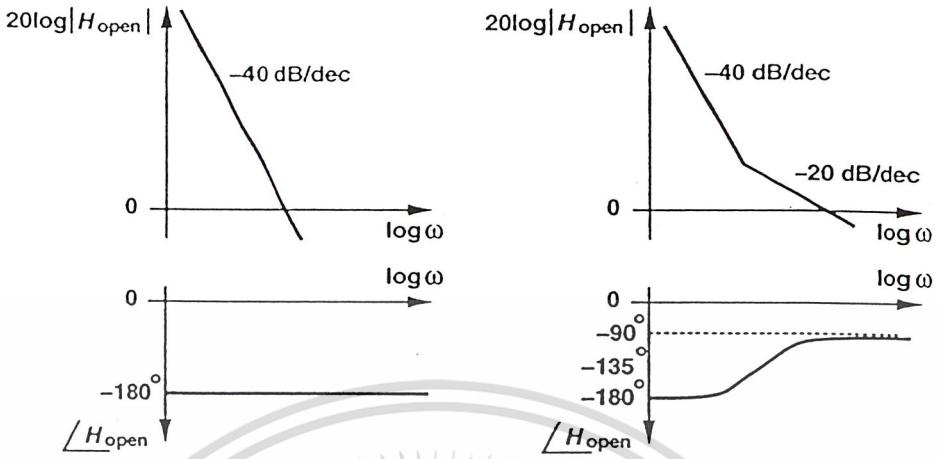
$$\frac{V_{out}}{\Delta\phi}(s) = \frac{I_P}{2\pi}\left(R_P + \frac{1}{C_P s}\right) \tag{2.28}$$

และฟังก์ชั่นถ่ายโอนลูปเปิดเท่ากับ

$$\frac{\Phi_{out}}{\Phi_{in}}(s)\Big|_{open} = \frac{I_P}{2\pi}\left(R_P + \frac{1}{C_P s}\right)\frac{K_{VCO}}{s} \tag{2.29}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

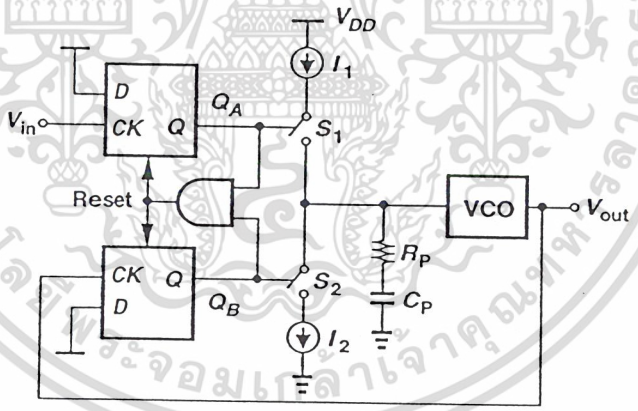


(ก) (ข)

รูป 2.15 เสถียรภาพของเฟสล็อคลูปแบบเอาท์พุตเป็นแหล่งจ่ายกระแสคงที่

(ก) การเกิดเฟสชิฟของระบบที่ไม่มีเสถียรภาพ

(ข) การเกิดเฟสชิฟเพื่อทำการเพิ่มซีโร่เข้าไปในลูป



รูป 2.16 การเพิ่มซีโร่เข้าไปในวงจรเฟสล็อคลูปแบบเอาท์พุตเป็นแหล่งจ่ายกระแสคงที่

และฟังก์ชั่นถ่ายโอนของระบบปิดมีคือ H(s) ค่าเท่ากับ

$$H(s)=\frac{\frac{I_P K_{VCO}}{2\pi C_P}(R_P C_P s+1)}{s^2+\frac{I_P}{2\pi}K_{VCO}R_P s+\frac{I_P}{2\pi C_P}K_{VCO}} \qquad (2.30)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

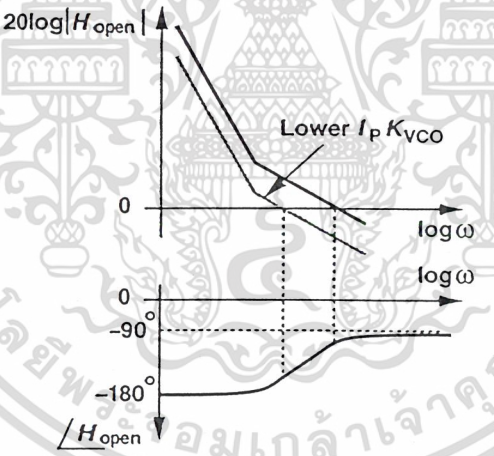
50313

จากฟังก์ชั่นถ่ายโอนลูปปิดจะมีซีโร่อยู่หนึ่งตัวที่ตำแหน่ง $s_z = -1/(R_PC_P)$ และทำการพิจารณาเช่นเดียวกับชนิดที่หนึ่ง (type I) เพื่อหาค่า ω_n และ ζ ซึ่งจะได้ค่าดังนี้

$$\omega_n = \sqrt{\frac{I_P K_{VCO}}{2\pi C_P}} \tag{2.31}$$

$$\zeta = \frac{R_P}{2}\sqrt{\frac{I_P C_P K_{VCO}}{2\pi}} \tag{2.32}$$

เมื่อพิจารณาเสถียรภาพของระบบแบบที่สอง (type II) จะเห็นว่ามีความแตกต่างจากแบบที่หนึ่ง (type I) เมื่อนำสมการ 2.29 เมื่อวิเคราะห์โดยวาดกราฟโบดพล็อตแสดงทั้งขนาดและเฟสของระบบบจะได้ดังรูป 2.17 โดยค่า I_PK_{VCO} มีค่าลดลงจะทำให้จุดที่อัตราขยายตัดแกนความถี่เข้าใกล้จุดกำเนิดมากขึ้นทำให้เฟสมาจิน (Phase margin) ลดน้อยลง

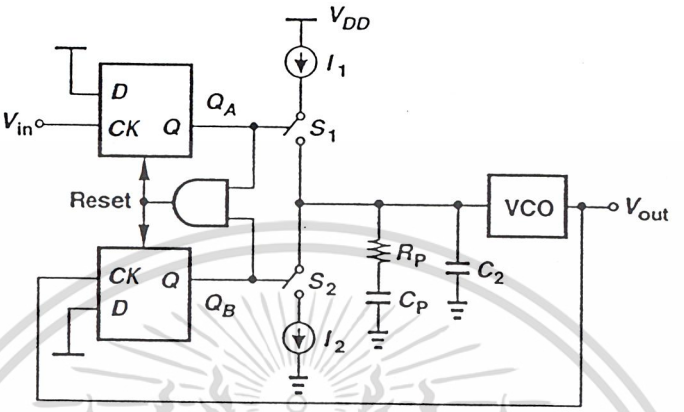


รูป 2.17 การลดลงของเสถียรภาพของเฟสล็อคลูปแบบเอาท์พุตเป็นแหล่งจ่ายกระแสคงที่เมื่อค่าของ I_PK_{VCO} มีค่าลดลง

เฟสล็อคลูปแบบที่สองที่มีการปรับปรุงแล้วดังรูป 2.16 ยังมีข้อเสียอยู่คือในส่วนของวงจรจ่ายกระแสคงที่ซึ่งต่ออนุกรมอยู่กับ R_P และ C_P เมื่อมีกระแสจ่ายให้กับส่วนของวงจรกรองความถี่จะทำให้ได้แรงดันที่จะไปควบคุมการออสซิลเลทมีค่าเพิ่มขึ้นสูงมากจากสภาวะปกติ ซึ่งสภาวะที่ทำให้ V_{cont} เกิดการกระเพื่อมขึ้น (Voltage jump) จะทำให้เกิดริปเปิ้ลขึ้นซึ่งจะมีผลทำให้เกิดภาวะไม่สงบขึ้นที่ VCO ทำให้เอาท์พุทเฟสแย่ลงเพื่อลดปัญหาดังกล่าวให้เบาบางลงกระทำได้โดย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

นำตัวเก็บประจุตัวที่สองมาต่อขนานกับ R_P และ C_P ดังแสดงในรูป 2.18 เพื่อเป็นการกำจัดการกระเพื่อมที่เกิดขึ้นในช่วงแรก



รูป 2.18 การเพิ่มตัวเก็บประจุเข้าไปในวงจรเพื่อลดค่าริปเปิ้ล

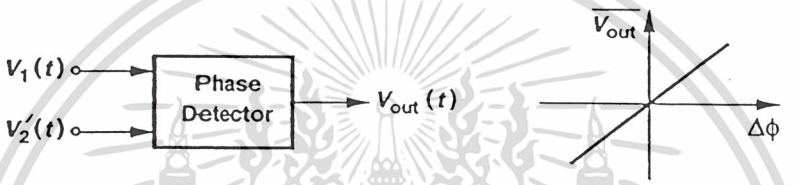
โดยค่าของตัวเก็บประจุที่เพิ่มเข้าจะมีค่าประมาณหนึ่งในห้าหรือหนึ่งในสิบของ C_P เพื่อให้การตอบสนองของระบบปิดทั้งทางความถี่และเวลายังคงไม่เปลี่ยนไปจากเดิม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3
องค์ประกอบพื้นฐานของเฟสล็อคลูป

3.1 ตัวดักจับเฟส (Phase Detector)

ตัวดักจับเฟส (Phase Detector) หรือ PD คือวงจรที่เอาท์พุตเฉลี่ย $\bar{V}_{out}$ หรือ $\bar{V}_d$ มีขนาดสัมพันธ์กับความต่างเฟส $\Delta\varnothing$ ระหว่างสองอินพุต ในทางอุดมคติความสัมพันธ์ระหว่างเอาท์พุตเฉลี่ย $\bar{V}_{out}$ กับ $\Delta\varnothing$ จะมีลักษณะเป็นเชิงเส้นดังแสดงในรูป 3.1

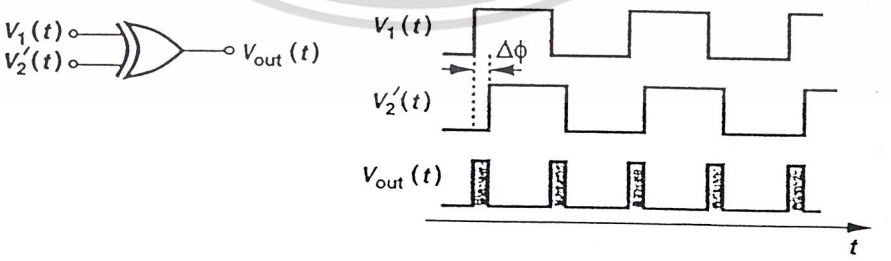


รูป 3.1 คุณสมบัติของตัวดักจับเฟสในทางอุดมคติ

โดยเส้นตัดผ่านจุดกำเนิดที่ $\Delta\varnothing = 0$ และอัตราขยายของ PD คือความชันของเส้นกราฟ คือ K_{PD} หน่วยคือ V/rad

ตัวดักจับเฟสที่นิยมนำมาใช้ในงานดิจิตอลเฟสล็อคลูปคือ แบบเอ็กซ์คูลซีฟออร์ แบบ J-K ฟลิปฟลอป และแบบเฟส-ความถี่

3.1.1 ตัวดักจับเฟสแบบเอ็กซ์คูลซีฟออร์



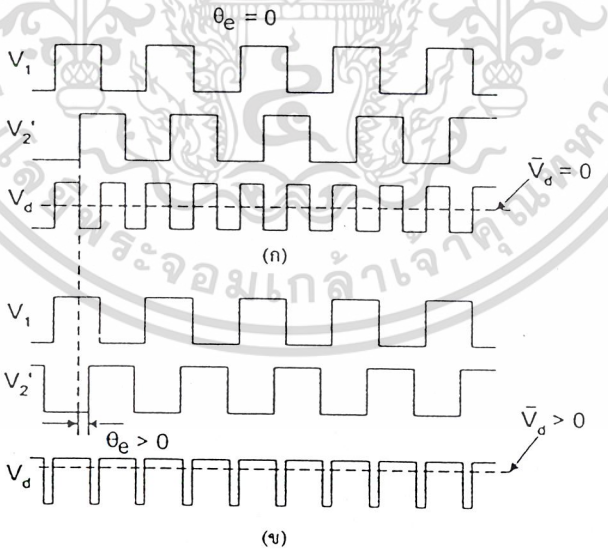
รูป 3.2 ตัวดักจับเฟสแบบเอ็กซ์คูลซีฟออร์

ตัวดักจับเฟสแบบเอ็กซ์คูลซีฟออร์เป็นตัวดักจับเฟสแบบง่ายที่สุด โดยการใช้เอ็กซ์คูลซีฟออร์เกทซึ่งมีคุณสมบัติ คือถ้าสัญญาณอินพุตเหมือนกันเอาท์พุทจะเป็นศูนย์แต่ถ้าสัญญาณอินพุต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ต่างกันจะได้เอาท์พุตเป็นหนึ่งหรือ เมื่ออินพุตมีความต่างเฟสกันจะได้เอาท์พุทสัมพันธ์กับอินพุตดังแสดงในรูป 3.2

โดยสัญญาณในวงจรเฟสล็อคลูปแบบดิจิตอลจะเป็นสัญญาณดิจิตอล ซึ่งกำหนดให้เป็นสัญญาณอินพุตทั้งสองคือ V_1 และ V_2' เป็นสัญญาณรูปคลื่นสี่เหลี่ยมที่สมมาตรจากรูป 3.3 แสดงความแตกต่างของค่าผิดพลาดเฟส เมื่อค่าผิดพลาดเฟสเท่ากับศูนย์ สัญญาณ V_1 และ V_2' จะต่างเฟสกัน 90 องศา ดังรูป 3.3(ก) ดังนั้นสัญญาณเอาท์พุต V_d ซึ่งเป็นสัญญาณคลื่นสี่เหลี่ยมจะมีค่าเป็น 2 เท่าของสัญญาณอินพุตและค่า Duty Cycle ของสัญญาณ V_d จะมีค่าเท่ากับ 50 เปอร์เซ็นต์ เมื่อถูกกรองด้วยวงจรกรองความถี่จะพิจารณาเพียงค่าเฉลี่ยของ V_d ซึ่งแสดงโดยเส้นประดังรูป 3.3(ก) ค่าเฉลี่ยของ V_d คือ $\bar{V}_d$ จะคิดตามหลักของค่าระดับลอจิกทั้งสอง โดยถ้าเอ็กซ์คูลซีฟออร์ถูกจ่ายกำลังโดยแหล่งจ่ายไฟ 5 โวลท์ V_d จะมีค่าประมาณ 2.5 โวลท์ซึ่งค่าแรงดัน ณ จุดนี้ จะเป็นจุดสงบของเอ็กซ์คูลซีฟออร์ และกำหนดให้ $\bar{V}_d = 0$ V เมื่อสัญญาณเอาท์พุต V_2' มีค่ามากกว่าสัญญาณอ้างอิง V_1 ค่าเฟสผิดพลาด θ_e จะมีค่าเป็นไปในทางบวกซึ่งแสดงดังรูป 3.3(ข) โดยค่า duty cycle จะมีค่ามากกว่า 50 เปอร์เซ็นต์ค่าของ V_d เฉลี่ยก็จะมีค่าเป็นบวก ซึ่งแสดงดังเส้นประในสัญญาณ V_d



รูป 3.3 สัญญาณของตัวดักจับเฟสแบบเอ็กซ์คูลซีฟออร์

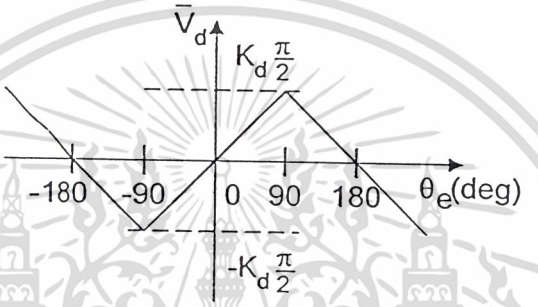
(ก) สัญญาณค่าเฟสผิดพลาดเท่ากับศูนย์

(ข) สัญญาณค่าเฟสผิดพลาดมีค่าเป็นบวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สรุปได้ว่าค่าเฉลี่ยของ V_d จะมีค่ามากที่สุดเมื่อค่าเฟสผิดพลาด θ_e = 90 องศาและมีค่าน้อยสุดเมื่อค่าเฟสผิดพลาด θ_e = -90 องศา ซึ่งจะได้กราฟคุณสมบัติดังรูป 3.4 ค่าเอาท์พุต V_d เฉลี่ยของเอ็กซ์คูลซีฟออร์จะอยู่ในรูปฟังก์ชั่นสามเหลี่ยมของค่าเฟสผิดพลาดโดยช่วงค่าเฟสผิดพลาดคือ $-90^\circ<\theta_e<90^\circ$ จะเป็นตัวบังคับ ดังนั้นจึงสามารถกำหนดค่า V_d เฉลี่ยได้เป็นสมการ 3.1

$$\overline{V_d} = K_d \theta_e \tag{3.1}$$



รูป 3.4 กราฟคุณสมบัติค่าเอาท์พุต V_d เฉลี่ยของเอ็กซ์คูลซีฟออร์

ในกรณีของชุดเปรียบเทียบแบบเอ็กซ์คูลซีฟออร์ ค่าเกณฑ์ของตัวดักจับเฟส K_d จะเป็นค่าคงที่เมื่อกำหนดให้แรงดันของแหล่งจ่ายไฟที่จ่ายให้กับเอ็กซ์คูลซีฟออร์คือ V_{DD} และศูนย์โดยกำหนดระดับลอจิกคือ V_{DD} และศูนย์ ดังนั้น K_d จะมีค่าดังสมการ 3.2

$$K_d = \frac{V_{DD}}{\pi} \tag{3.2}$$

คุณสมบัติโดยสรุปของตัวดักจับเฟสแบบเอ็กซ์คูลซีฟออร์เมื่อนำมาใช้ในเฟสล็อคลูป

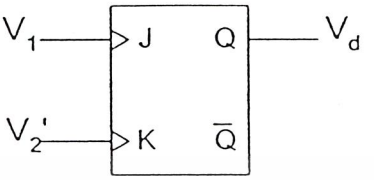
1. ขณะยังไม่มีสัญญาณอินพุตเข้ามาเอาท์พุตจะของเอ็กคูลซีฟออร์จะมีค่าเท่ากับ $V_{DD}/2$ ทำให้เฟสล็อคลูปทำงานอยู่ที่ความถี่กลาง

2. เมื่ออยู่ในสภาวะล็อคเอาท์พุตของเอ็กคูลซีฟออร์จะมีค่า Duty Cycle 50 เปอร์เซ็นต์ดังนั้น VCO ที่ใช้งานร่วมกันจะต้องให้เอาท์พุตที่มีค่า Duty Cycle เท่ากับ 50 เปอร์เซ็นต์ด้วย

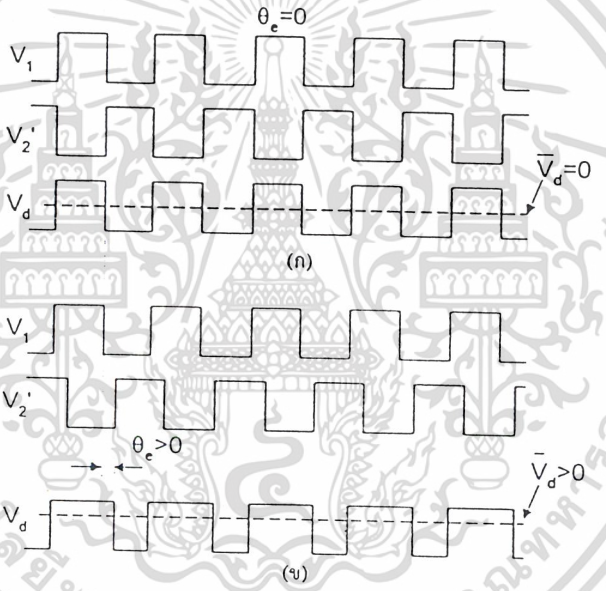
3. ดักจับเฟสแบบเอ็กซ์คูลซีฟออร์สามารถล็อคที่ความถี่ฮาร์โมนิคได้ดังนั้นพยายามอย่าใช้งานที่ความถี่ซึ่งมีค่าความถี่ฮาร์โมนิคของสัญญาณตรงกับย่านความถี่ของ VCO

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.1.2 ตัวดักจับเฟสแบบ J-K ฟลิบฟลอป



รูป 3.5 ตัวดักจับเฟสแบบ J-K ฟลิบฟลอป



รูป 3.6 สัญญาณของตัวดักเฟสแบบ J-K ฟลิบฟลอป

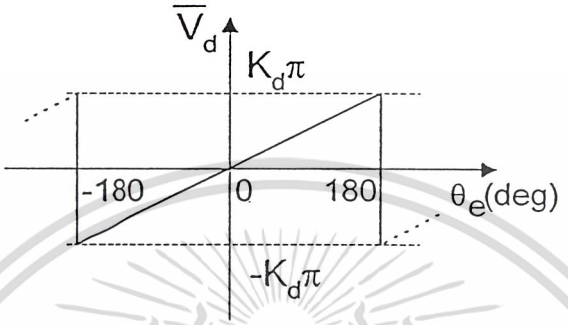
(ก) สัญญาณค่าเฟสผิดพลาดเท่ากับศูนย์

(ข) สัญญาณค่าเฟสผิดพลาดมีค่าเป็นบวก

J-K ฟลิบฟลอบ จะทำงานโดยเมื่อขา J อินพุต ถูกกระตุ้นทำให้สถานะของฟลิบฟลอปเป็นสภาวะ 1 (Q=1) และที่ขา K อินพุตถูกกระตุ้นทำให้สถานะฟลิบฟลอปเป็นสภาวะ 0 (Q=0) ดังรูป 3.6(ก) ซึ่งแสดงรูปสัญญาณของ JK-ฟลิบฟลอปในกรณี $\theta_e = 0$ เมื่อไม่มีค่าเฟสผิดพลาด V_1 และ V_2' จะมีเฟสตรงข้ามกัน ค่าเอาท์พุต V_d จะมีค่าเป็นค่าสัญญาณสี่เหลี่ยมสมมาตร โดยมีคาบเหมือนกับความถี่อ้างอิง ซึ่งในสภาวะนี้ค่า $\bar{V}_d$ เฉลี่ยจะมีค่าเท่ากับศูนย์ ถ้าค่าเฟสผิดพลาดมีค่าไปในทางบวก ดังรูป 3.6(ข) ค่า Duty cycle การทำงานของ V_d จะมีค่ามากกว่า 50% และ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$\overline{V}_d$ จะมีค่าเป็นบวก และ $\overline{V}_d$ จะมีค่าสูงสุดเมื่อค่าเฟสผิดพลาดมีค่าเท่ากับ 180 องศา และมีค่าต่ำสุดเมื่อเฟสผิดพลาดมีค่า -180 องศา ถ้ารูปกราฟของ V_d ต่อ θ_e ซึ่งแสดงดังรูป 3.7



รูป 3.7 กราฟคุณสมบัติค่าเอาท์พุต V_d เฉลี่ยของ J-K ฟลิบฟลอป

โดยมีคุณลักษณะเป็นฟันเลื่อย และมีช่วงผิดพลาดเฟสเท่ากับ $-180^\circ<\theta_e<180^\circ$ ค่าเฉลี่ยสัญญาณ V_d ที่มีผลต่อ θ_e สามารถกำหนดได้จาก

$$\overline{V_d} = K_d\theta_e \tag{3.3}$$

และค่าอัตราขยายของตัวดักเฟสแบบ J-K ฟลิบฟลอป K_d จะมีค่าดังสมการ 3.4

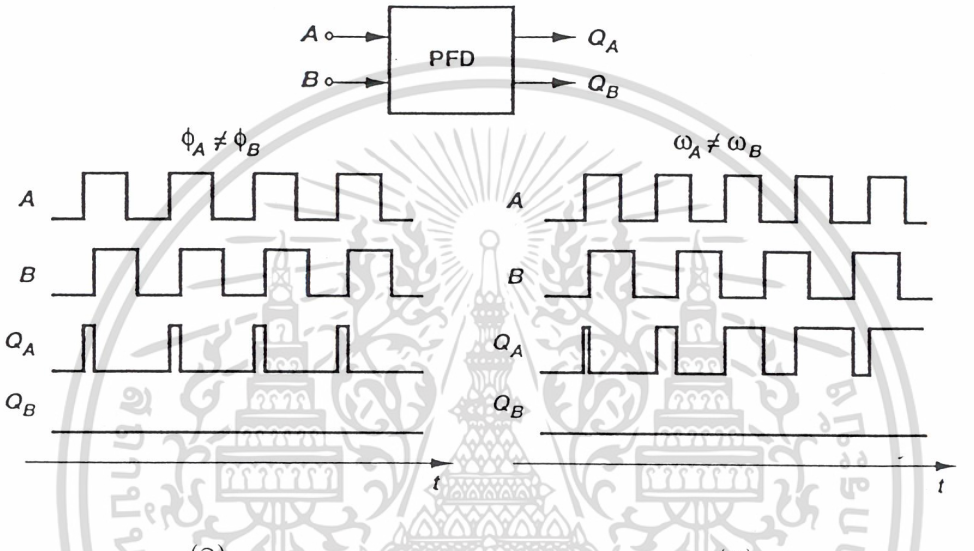
$$K_d = \frac{V_{DD}}{2\pi} \tag{3.4}$$

3.1.3 ตัวดักจับเฟสแบบเฟส-ความถี่

ตัวดักเฟสจับเฟสแบบเฟส-ความถี่ เป็นตัวจับเฟสที่เปรียบความแตกต่างทั้งความถี่และเฟสของอินพุตกับเอาท์พุต จากที่ได้กล่าวมาแล้วในหัวข้อของเฟสล็อคลูปแบบเอาท์พุตเป็นแหล่งจ่ายกระแสคงที่ เมื่อเฟสล็อลลูปทำงานที่สภาวะเริ่มต้นหรือเมื่อจ่ายไฟเลี้ยงให้วงจรความถี่เอาท์พุตอาจอยู่ห่างจากความถี่อินพุตมาก สภาวะนี้เฟสล็อคลูปไม่สามารถเข้าสู่สภาวะล็อคได้ดังนั้นจึงมีการเพิ่มตัวดักจับความถี่เพิ่มเข้ามา โดยเมื่อเกิดสภาวะที่ความถี่เอาท์พุตห่างจากอินพุตจะเกิดแรงดันขึ้นมาควบคุมความถี่เอาท์พุตให้มีค่าเข้าใกล้อินพุต และต่อจากนั้นตัวดักจับเฟส-ความถี่จะทำงานเหมือนตัวดักจับเฟสและดำเนินกระบวนการให้เข้าสู่สภาวะล็อค

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หลักการทำงานของตัวดักจับเฟส-ความถี่ แสดงดังรูป 3.8 โดยจากรูปอินพุตของวงจรจะมีสองอินพุต A และ B โดยตัวดักจับเฟสจะตรวจจับที่ขอบขาขึ้นหรือลงของพัลซ์เท่านั้นและจะแสดงผลออกมาที่เอาท์พุต โดยถ้ากำหนดสภาวะเริ่มต้น $Q_A = Q_A = 0$ หลังจากนั้นเฟสอินพุท A นำหน้าอินพุต B จะทำให้เอาท์พุท $Q_A = 1$, $Q_B = 0$ และจะอยู่ในสภาวะนี้ตลอดจนกระทั่งอินพุท B มีค่าระดับลอจิกสูง ที่สภาวะนี้ Q_A จะกลับสู่ค่าศูนย์ดังแสดงในรูป 3.8



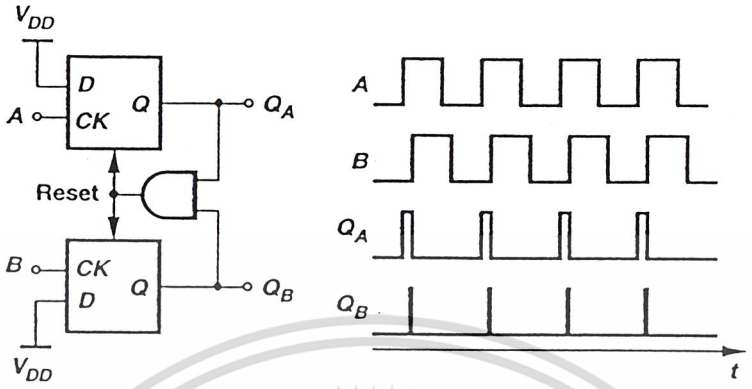
(ก) (ข)

รูป 3.8 หลักการของตัวดักจับเฟส-ความถี่
(ก) สัญญาณเอาท์พุตเมื่ออินพุตมีเฟสต่างกัน
(ข) สัญญาณเอาท์พุตเมื่ออินพุตมีความถี่ต่างกัน

โดยรูป 3.8(ก) อินพุตทั้งสองมีความถี่เท่ากันแต่เฟสของอินพุต A นำหน้า B จะทำให้ได้พัลซ์เอาท์พุต Q_A ออกมาโดยมีความกว้างเท่ากับช่วงของความต่างเฟส $\varnothing_A - \varnothing_B$ โดย Q_B ยังคงเป็นศูนย์ และรูป 3.8(ข) เมื่อความถี่ของอินพุต A มากกว่าอินพุต B จะทำให้ได้พัลซ์เอาท์พุต Q_A ออกมาและ Q_B ยังคงเป็นศูนย์ ในทางตรงกันข้ามถ้าเฟสอินพุต A ล้าหลัง B หรือความถี่ของอินพุต A น้อยกว่าอินพุต B จะได้พัลซ์เอาท์พุต Q_B ออกมาโดย Q_A ยังคงเป็นศูนย์โดยระดับดีซีของ Q_A และ Q_B จะเป็นตัวบอกให้ทราบถึง $\varnothing_A - \varnothing_B$ หรือ $\omega_A - \omega_B$ โดยเอาท์พุต Q_A และ Q_B เรียกว่า “UP” และ “DOWN”

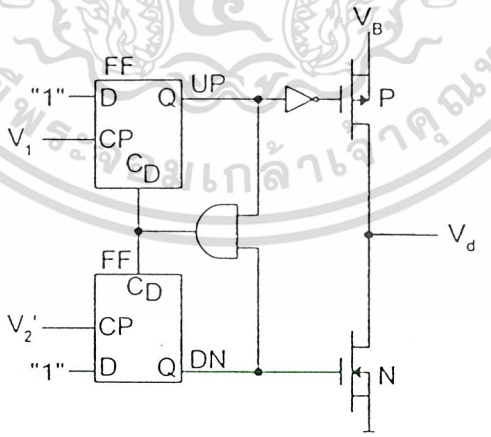
จากคุณสมบัติของตัวดักจับเฟส-ความถี่ดังกล่าวสามารถที่จะสร้างตัวดักจับเฟส-ความถี่ได้โดยการใช้ D ฟลิปฟลอปมาสร้างเป็นวงจรดังรูป 3.9 โดยเอาท์พุตจะมีคุณสมบัติเหมือนตัวดักจับเฟส-ความถี่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 3.9 การสร้างตัวดักจับเฟสแบบเฟส-ความถี่โดยใช้ D ฟลิบฟลอป

พิจารณาตัวดักจับเฟสแบบเฟส-ความถี่จะเห็นว่าเอาท์พุตจะมีสองจุดจะต้องมีการรวมเอาท์พุตเป็นจุดเดียวนำไปขับวงจรกรองความถี่ โดยการรวมมีอยู่ด้วยกันสองวิธีคือ แบบแรกใช้เป็นลักษณะแหล่งจ่ายกระแสคงที่ดังได้กล่าวถึงแล้วในหัวข้อเฟสล็อคลูปแบบเอาท์พุตเป็นแหล่งจ่ายกระแสคงที่ แบบที่สองใช้เป็นเอาท์พุตแบบสามสถานะ ซึ่งแบบนี้จะมีข้อเสียคือถ้าแหล่งจ่ายไฟเลี้ยงไม่คงที่มีริปเปิ้ลจะทำให้ระบบไม่มีเสถียรภาพ โดยตัวดักเฟสแบบเอาท์พุทสามสถานะแสดงดังรูป 3.10



รูป 3.10 ดักจับเฟสแบบเฟส-ความถี่กับเอาท์พุตแบบสามสถานะ

โดยวงจรประกอบด้วย D-ฟลิบฟลอป มีเอาท์พุทคือ UP และ DN

UP = 0, DN = 0

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

UP = 1, DN = 0

UP = 0, DN = 1

UP = 1, DN = 1

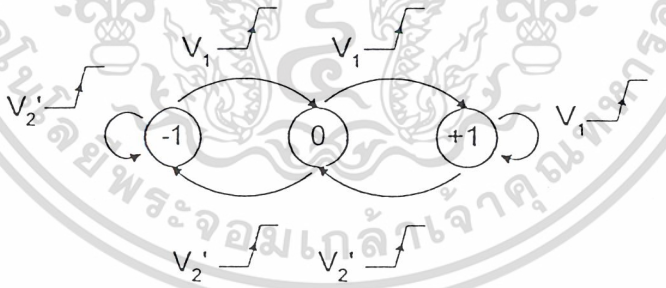
เมื่อใส่ AND เกทเข้าไปจะทำให้สภาวะ UP = 1, DN = 1 หายไปเพราะเอาท์พุตของ AND เกทจะไปรีเซตฟลิบฟลอปทั้งสอง ดังนั้นสภาวะของวงจจะเหลือเท่ากับ 3 โดยกำหนดมีสัญลักษณ์คือ -1,0 และ +1 คือ

DN = 1, UP = 0 ; state = -1

UP = 0, DN = 0 ; state = 0

UP = 1, DN = 0 ; state = +1

การแสดงสภาวะของตัวดักจับเฟสจะกำหนดได้จากสภาวะชั่วขณะของสัญญาณ V_1 และ V_2' ซึ่งแสดงดังรูป 3.11 สภาวะบวกของ V_1 จะมีผลให้ตัวดักจับเฟสเปลี่ยนสภาวะไปเป็นสภาวะที่สูงกว่าเว้นเสียแต่ว่าได้อยู่ในสภาวะ +1 แล้ว ในทำนองเดียวกันสภาวะของ V_d จะมีผลให้ตัวดักจับเฟสเปลี่ยนสภาวะไปเป็นสภาวะที่ต่ำกว่าเว้นเสียแต่ว่าได้อยู่ในสภาวะ -1 แล้ว เมื่อตัวมีสภาวะ +1 V_d จะมีค่าเป็นบวก และเมื่อมีสภาวะ -1 V_d จะมีค่าเป็นลบ และเมื่ออยู่ในสภาวะศูนย์ V_d จะมีค่าเท่ากับศูนย์

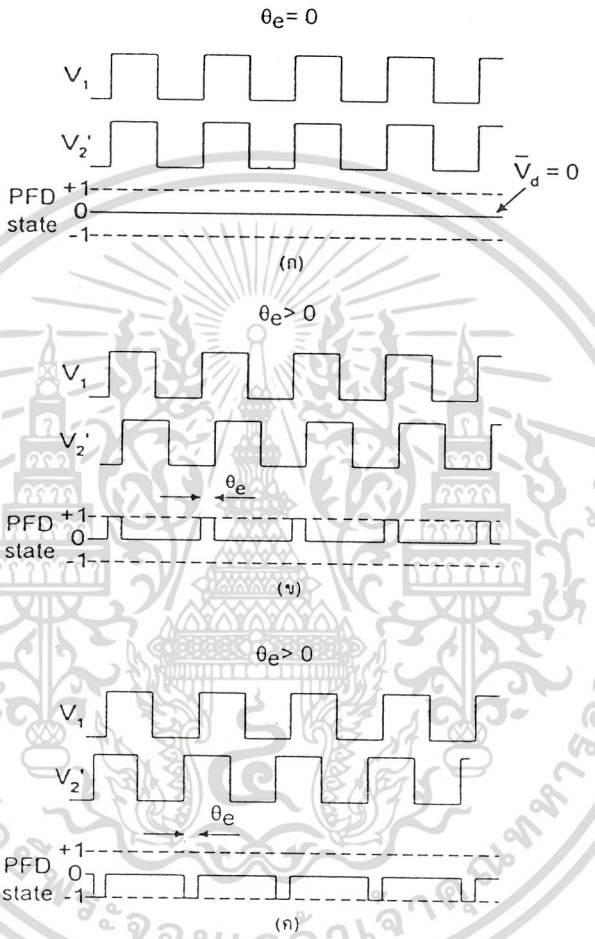


รูป 3.11 สภาวะของตัวดักจับเฟสแบบเฟส-ความถี่

แต่ในความเป็นจริงสัญญาณที่ใช้เป็นแบบไบนารี่ ดังนั้นสภาวะ $V_d = 0$ จะกำหนดให้เป็นค่าความต้านทานสูง ซึ่งวงจรในเส้นประของรูป 3.10 แสดงการกำเนิดสัญญาณ V_d เมื่อสัญญาณ UP เป็นค่าสูง P แชนแนลมอสจะนำกระแส ดังนั้น V_d จะมีค่าเท่ากับแหล่งจ่ายแรงดัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

V_{DD} เมื่อ DN เป็นค่าสูง N แชนแนลมอสจะนำกระแส ดังนั้น V_d จะมีค่าเท่ากับกราวด์ แต่ถ้าสัญญาณทั้งสองเป็นค่าสูงมอสทั้งสองจะไม่นำกระแส ค่าสัญญาณ V_d จะเสมือนกับว่าไม่มี คือเป็นค่าความต้านทานสูง โดยถ้าตัวดักจับเฟสแบบเฟส-ความถี่ทำงานจะได้รูปสัญญาณดังรูป 3.12



รูป 3.12 สัญลักษณ์ของตัวดักจับเฟสแบบเฟส-ความถี่

(ก) สัญญาณค่าเฟสผิดพลาดเท่ากับศูนย์

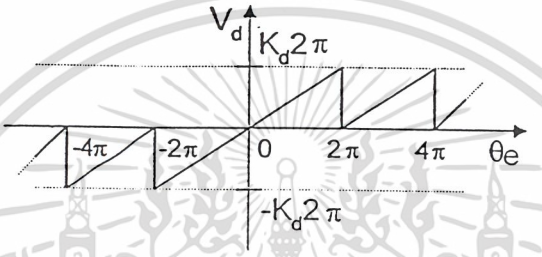
(ข) สัญญาณค่าเฟสผิดพลาดมีค่าเป็นบวก

(ค) สัญญาณค่าเฟสผิดพลาดมีค่าเป็นลบ

ซึ่งในรูป 3.12(ก) แสดงในกรณีค่าเฟสผิดพลาดเท่ากับศูนย์ ซึ่งจะถูกกำหนดให้อยู่ในสภาวะศูนย์ สัญญาณ V_1 และ V_2' จะมีค่าเฟสเท่ากัน สัญญาณขอบขาขึ้นของ V_1 และ V_2' มีช่วงเวลาเท่ากัน ดังนั้นจึงไม่มีสัญญาณด้านเอาท์พุตในรูป 3.12(ข) เมื่อ V_1 นำหน้า V_2 ตัวดักจับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เฟสแบบเฟส-ความถี่จะเปลี่ยนสภาวะระหว่างศูนย์กับ +1 โดยถ้า V_1 ล้าหลัง V_2' ดังรูป 3.12(ค) ตัวดักจับเฟสแบบเฟส-ความถี่จะเปลี่ยนสภาวะระหว่าง -1 กับศูนย์ ถ้าพิจารณาจากรูป 3.12(ข) และ (ค) ค่า V_d จะมีค่ามากที่สุดเมื่อค่าเฟสผิดพลาดมีค่าบวกและเข้าใกล้มุม 360 องศา และ V_d จะมีค่าน้อยที่สุดเมื่อค่าเฟสผิดพลาดมีค่าลบและเข้าใกล้มุม -360 องศา ถ้าพล็อตกราฟเฉลี่ยของความสัมพันธ์ระหว่างสัญญาณ V_d กับค่าเฟสผิดพลาด θ_e จะได้ฟังก์ชั่นฟันเลื่อย ดังรูป 3.13



รูป 3.13 กราฟคุณสมบัติค่าเอาท์พุต V_d เฉลี่ยของตัวดักจับเฟสแบบเฟส-ความถี่

ซึ่งจากรูปจะแสดงค่าเฉลี่ยของสัญญาณเอาท์พุตที่ได้จากค่าเฟสผิดพลาดมากกว่า 2π และน้อยกว่า -2π เมื่อค่าเฟสผิดพลาดมีค่าถึง 2π สัญญาณเอาท์พุตจากค่าสูงสุดก็จะมีค่าเริ่มที่ศูนย์ใหม่ ซึ่งจะเห็นได้ว่าคุณสมบัติของรูปสัญญาณเป็นลักษณะคาบเวลา โดยมีคาบเวลาเท่ากับ 2π ในทางกลับกันค่าสัญญาณเอาท์พุตจะมีค่าน้อยสุด เมื่อค่าเฟสผิดพลาดมีค่าถึง -2π โดยเมื่อค่าเฟสผิดพลาดอยู่ในช่วง $-2\pi<\theta_e<2\pi$ ค่าเฉลี่ยของสัญญาณเอาท์พุต V_d คือ

$$\overline{V_d} = K_d\theta_e \tag{3.5}$$

และค่าอัตราขยาย K_d ของตัวดักจับเฟสแบบเฟส-ความถี่แบบเอาท์พุทสามสถานะมีค่าดังสมการ 3.6

$$K_d = \frac{V_{DD}}{4\pi} \tag{3.6}$$

และค่าอัตราขยาย K_d ของตัวดักจับเฟสแบบเฟส-ความถี่แบบเอาท์พุตเป็นแหล่งจ่ายกระแสคงที่ดังได้ว่าในหัวข้อเฟสล็อคลูปแบบเอาท์พุตเป็นแหล่งจ่ายกระแสคงที่ มีค่าดังสมการ 3.7

$$K_d = \frac{I_P}{2\pi} \tag{3.7}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.1.4 การออกแบบและผลการทดลองตัวดักจับเฟสแบบเฟส-ความถี่

วงจรตัวดักจับเฟสแบบเฟส-ความถี่ที่ใช้ในการทดลองแสดงดังรูป 3.14 ซึ่งเป็นวงจรที่ประกอบด้วย D ฟลิบฟลอปและแอนเกท โดยวงจรในระดับเกทแสดงดังรูป 3.15 ประกอบด้วยนอร์เกทสองอินพุต แนนเกทสองอินพุต และอินเวอร์เตอร์ ส่วนวงจรในระดับมอสนั้นแสดงดังรูป 3.16 วัตถุประสงค์การออกแบบก็เพื่อหาขนาดของมอสในวงจรโดยมีขั้นตอนการออกแบบดังนี้

1. ออกแบบอินเวอร์เตอร์ จะต้องออกแบบให้เป็นอินเวอร์เตอร์ที่สมมาตรที่สุดโดยถ้าเป็นอินเวอร์เตอร์ที่สมมาตรแล้ว V_M : Midpoint Voltage จะต้องมีค่าเท่ากับ $V_{DD}/2$ โดยค่าของ V_M หาจากสมการ 3.8

$$V_M = \frac{V_{DD} + V_{T,p} + V_{T,n}\sqrt{\frac{K_n}{K_p}}}{1+\sqrt{\frac{K_n}{K_p}}} \tag{3.8}$$

จากสมการ 3.8 เงื่อนไขที่จะทำให้ V_M มีค่าเท่ากับ $V_{DD}/2$ คือ $|V_{T,p}| = V_{T,n}$ และค่าของ $K_p = K_n$ แต่จาก Spice Model ค่าของ $|V_{T,p}| \neq V_{T,n}$ ทำให้ V_M มีค่าไม่เท่ากับ $V_{DD}/2$ โดย $V_{T,p}$ = -0.971428V และ $V_{T,n}$ = 0.81056V จะทำให้ได้ค่า $V_M = (V_{DD} - 0.16)/2$ สามารถหาขนาดของพีมองและเอ็นมอสได้จากเงื่อนไข

$$K_p = K_n \tag{3.9}$$

$$K_p' \frac{W_p}{L_p} = K_n' \frac{W_n}{L_n} \tag{3.10}$$

จาก Spice Model ค่าของ K_p' = 1.915E-5 และ K_n' = 5.289E-5 เมื่อแทนค่าจะได้ค่าอัตราส่วนของพีมอสกับเอ็นมอสคือ

$$\frac{W_p}{L_p} = \frac{K_n'}{K_p'} \cdot \frac{W_n}{L_n} \tag{3.11}$$

$$\frac{W_p}{L_p} = 2.76\frac{W_n}{L_n} \tag{3.12}$$

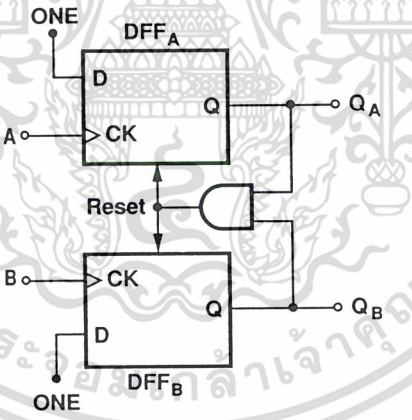
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2. ออกแบบแนนเกทสองอินพุต จากสมการ 3.12 จะได้สมการทั่วไปในการหาขนาดของพีมอสและเอ็นมอสของแนนเกทดังสมการ 3.13 เมื่อ i คือจำนวนอินพุทของแนนเกท

$$i\frac{W_p}{L_p} = 2.76\frac{W_n}{L_n} \tag{3.13}$$

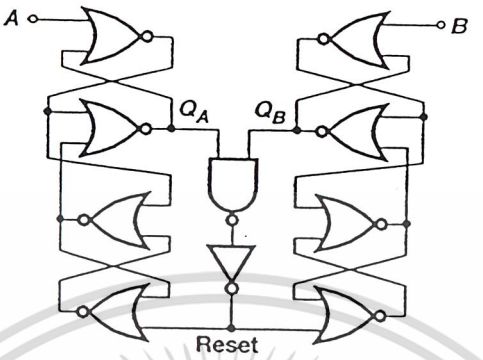
3. ออกแบบนอร์เกทสองอินพุต จากสมการ 3.12 จะได้สมการทั่วไปในการหาขนาดของพีมอสและเอ็นมอสของนอร์เกทดังสมการ 3.14 เมื่อ i คือจำนวนอินพุทนอร์เกท

$$\frac{W_p}{L_p} = i2.76\frac{W_n}{L_n} \tag{3.14}$$

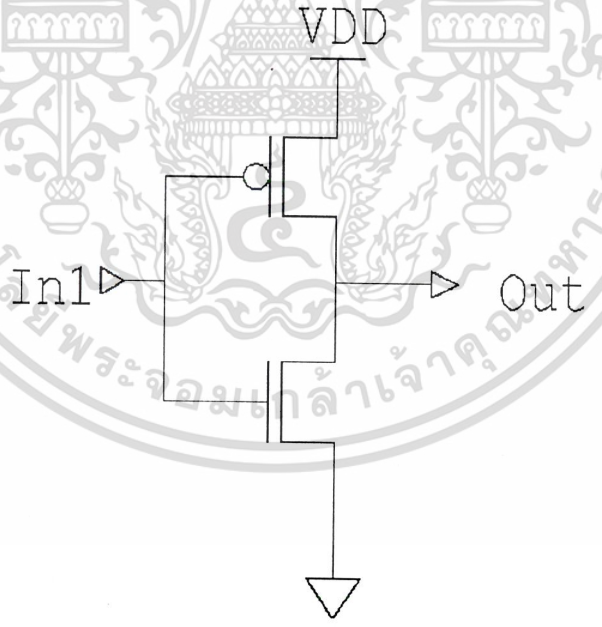


รูป 3.14 วงจรดักจับเฟสแบบเฟส-ความถี่ที่ใช้ในการทดลอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

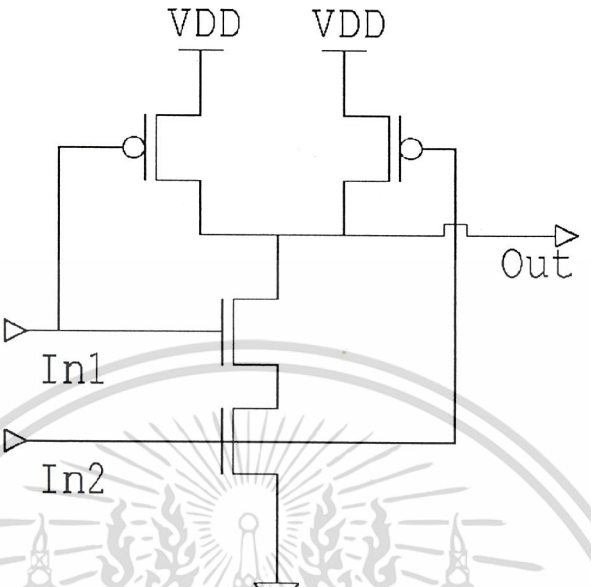


รูป 3.15 วงจรตัวดักจับเฟสแบบเฟส-ความถี่ในระดับเกท

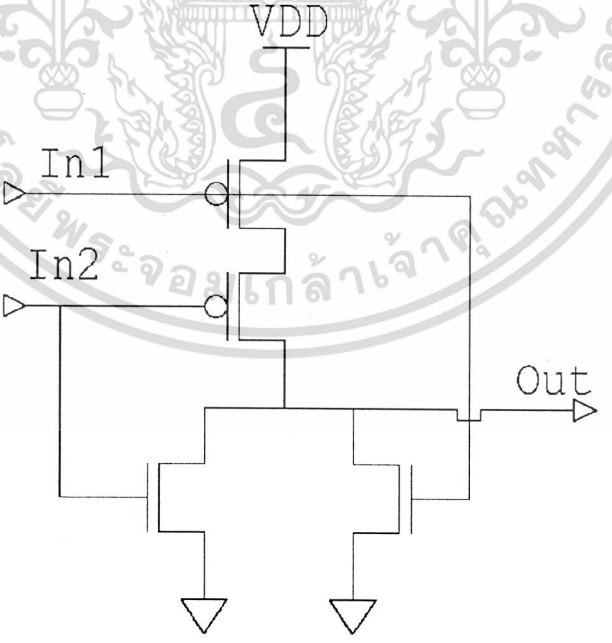


รูป 3.16 วงจรซีมอสอินเวอร์เตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



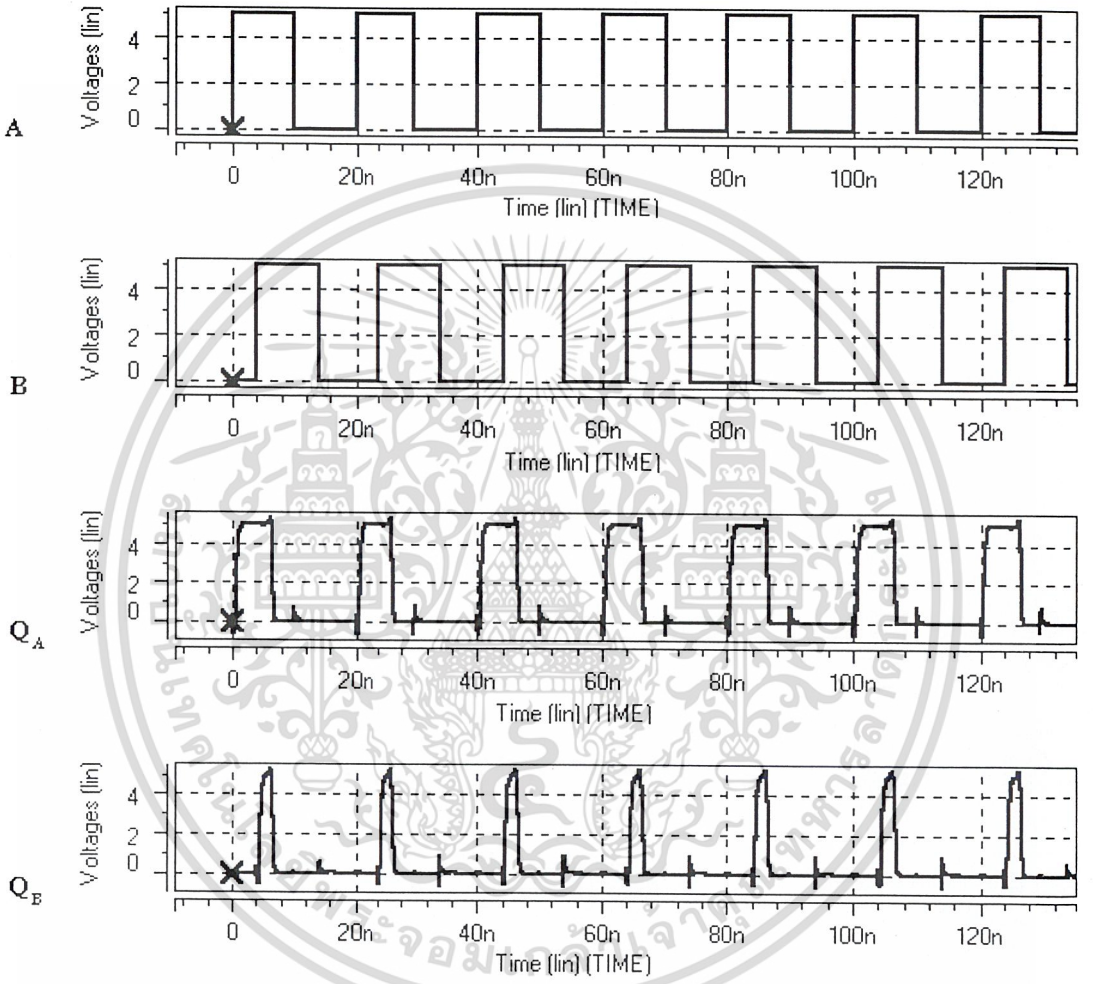
รูป 3.17 วงจรซีมอสแนนเกท



รูป 3.18 วงจรซีมอสนอร์เกท

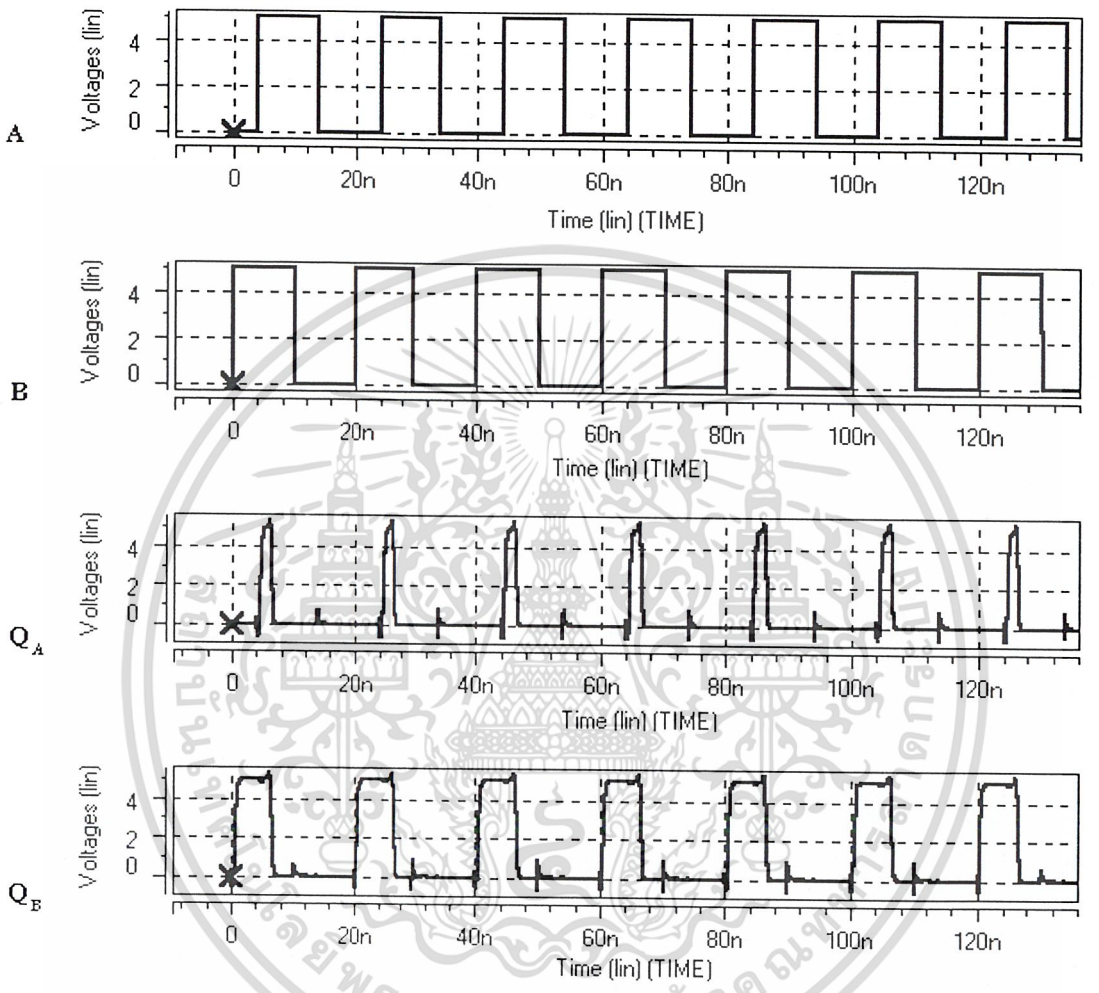
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ผลการทดลอง



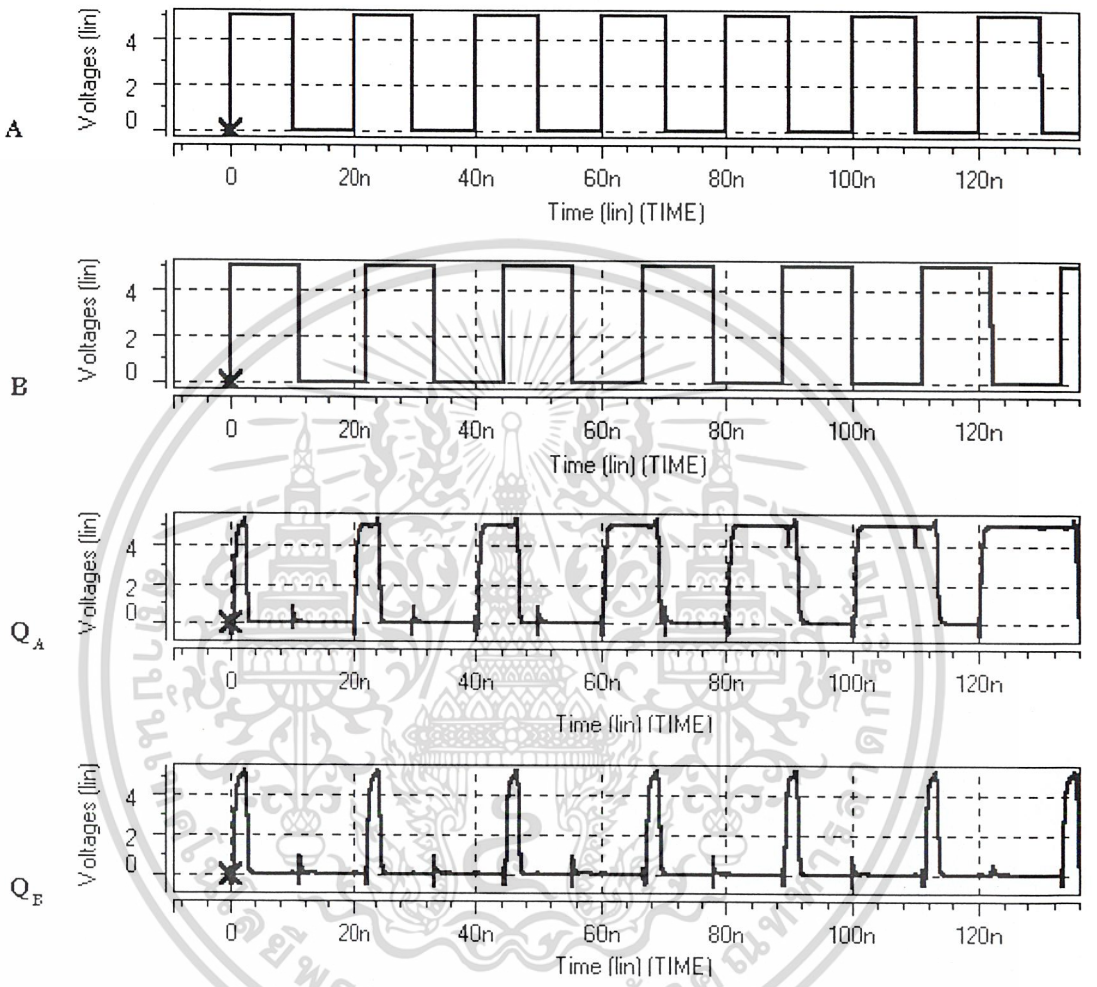
รูป 3.19 สัญญาณเอาท์พุตของตัวดักจับเฟส-ความถี่ เมื่ออินพุต A มีเฟสนำหน้าอินพุต B

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



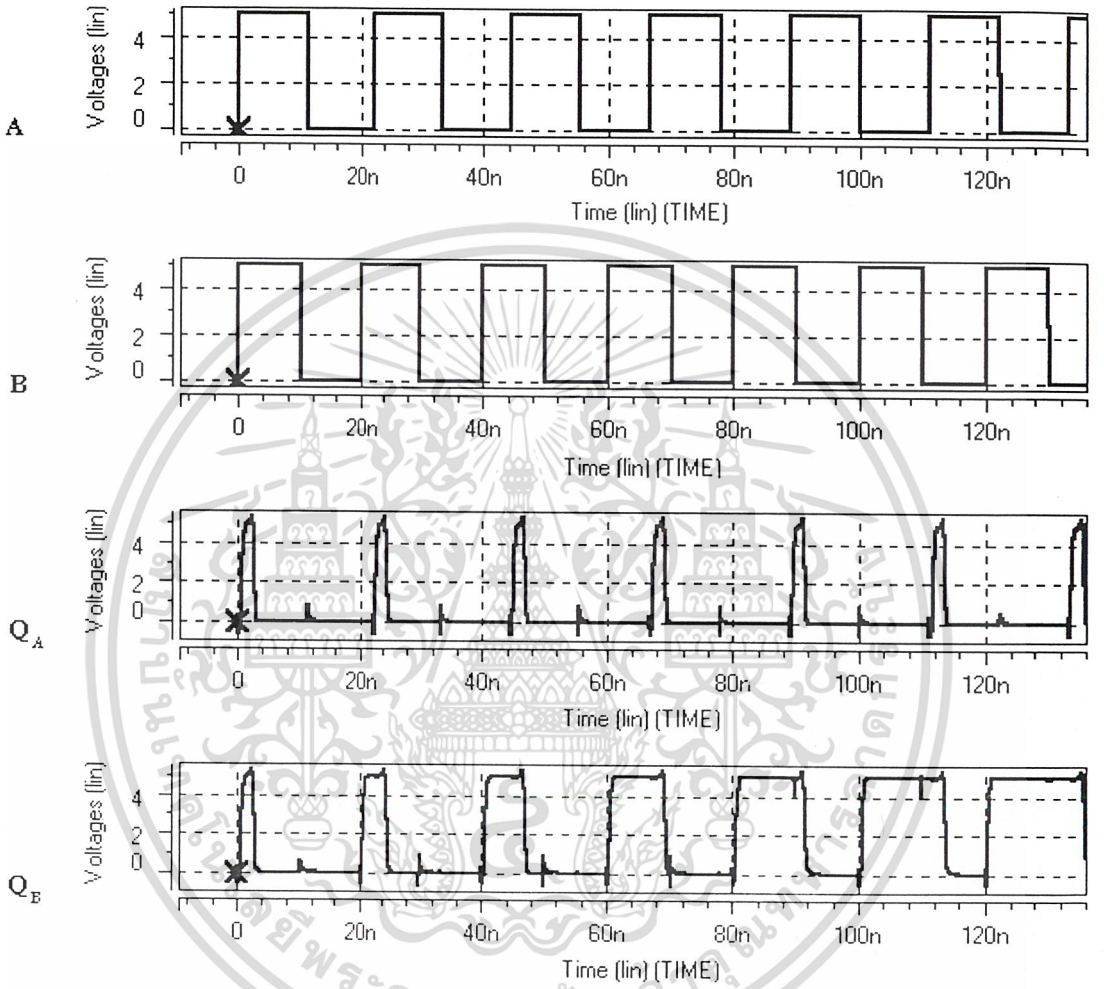
รูป 3.20 สัญญาณเอาท์พุตของตัวดักจับเฟส-ความถี่ เมื่ออินพุต A มีเฟสล้าหลังอินพุต B

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 3.21 สัญญาณเอาท์พุตของตัวดักจับเฟส-ความถี่เมื่ออินพุต A มีความถี่มากกว่าอินพุต B

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 3.22 สัญญาณเอาท์พุตของตัวดักจับเฟส-ความถี่เมื่ออินพุต A มีความถี่น้อยกว่าอินพุต B

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2 วงจรกรองความถี่ต่ำผ่าน

โดยทั่วไปเฟสล็อคลูปแบบดิจิตอลจะใช้วงจรกรองความถี่ต่ำผ่านในลักษณะเช่นเดียวกับเฟสล็อคลูปแบบอนาลอก ซึ่งวงจรกรองของความถี่ต่ำผ่าน ที่นิยมใช้กับเฟสล็อคลูปแบบดิจิตอลแสดงดังรูป 3.23 โดยที่รูป 3.23(ก) เป็นวงจรกรองสัญญาณความถี่ต่ำผ่านแบบพาสซีฟซึ่งมี 1 โพลและ 1 ซีโร่ซึ่งมีฟังก์ชั่นถ่ายโอนคือ

$$F(s)=\frac{1+s\tau_2}{1+s(\tau_1+\tau_2)} \tag{3.15}$$

เมื่อ $\tau_1 = R_1C_1$ และ $\tau_2 = R_2C_2$ โดยมีค่าการตอบสนองของวงจรดังรูป 3.24(ก) ส่วนวงจรกรองความถี่ต่ำผ่านดังรูป 3.23(ข) เป็นวงจรกรองสัญญาณความถี่ต่ำผ่านแบบแอกทีฟ ซึ่งมีการตอบสนองของวงจรเหมือนกับวงจรกรองสัญญาณความถี่ต่ำผ่านแบบพาสซีฟ แต่วงจรกรองความถี่ต่ำผ่านแบบแอคทีฟจะให้ค่าอัตราขยาย K_a ที่สามารถได้มากกว่า 1 และมีฟังก์ชั่นถ่ายโอนคือ

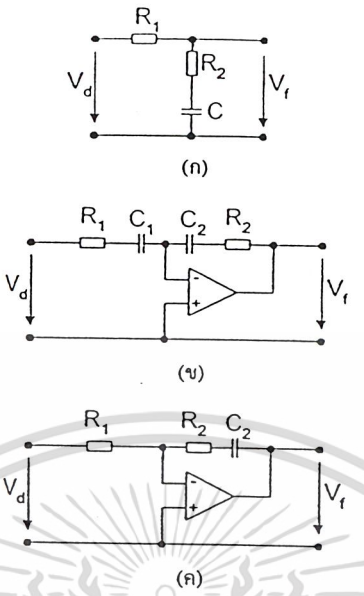
$$F(s)=K_a\frac{1+s\tau_2}{1+s\tau_1} \tag{3.16}$$

เมื่อ $\tau_1 = R_1C_1$, $\tau_2 = R_2C_2$ และ $K_a = -C_1/C_2$ โดยมีค่าการตอบสนองของวงจรดังรูป 3.24(ข) และวงจรดังรูป 3.23(ค) เป็นวงจรกรองความถี่ต่ำผ่านอีกแบบคือ วงจรกรองสัญญาณความถี่ต่ำผ่านแบบ PI แอกทีฟ ซึ่งวงจรกรองสัญญาณความถี่ต่ำผ่านแบบนี้จะมีค่าฟังก์ชั่นถ่ายโอนคือ

$$F(s)=\frac{1+s\tau_2}{s\tau_1} \tag{3.17}$$

เมื่อ $\tau_1 = R_1C_1$ และ $\tau_2 = R_2C_2$ วงจรกรองสัญญาณความถี่ต่ำผ่านแบบ PI แอกทีฟจะมีค่าการตอบสนองของวงจรดังรูป 3.24(ค)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

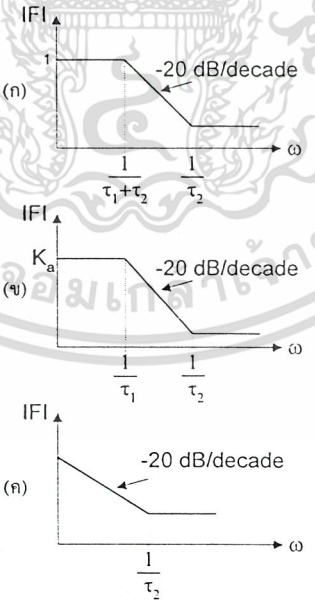


รูป 3.23 วงจรกรองความถี่ต่ำผ่านที่ใช้งานกับเฟสล็อคลูป

(ก) วงจรกรองสัญญาณความถี่ต่ำผ่านแบบพาสซีฟ

(ข) วงจรกรองสัญญาณความถี่ต่ำผ่านแบบแอกทีฟ

(ค) วงจรกรองสัญญาณความถี่ต่ำผ่านแบบ PI แอกทีฟ



รูป 3.24 การตอบสนองของวงจรกรองสัญญาณความถี่ต่ำผ่าน

(ก) วงจรกรองสัญญาณความถี่ต่ำผ่านแบบพาสซีฟ

(ข) วงจรกรองสัญญาณความถี่ต่ำผ่านแบบแอกทีฟ

(ค) วงจรกรองสัญญาณความถี่ต่ำผ่านแบบ PI แอกทีฟ

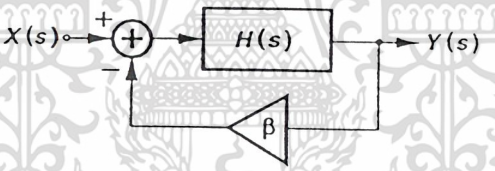
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3 วงจรออสซิลเลเตอร์

วงจรออสซิลเลเตอร์มักถูกรวมเป็นองค์ประกอบหนึ่งของระบบอิเล็กทรอนิกส์ มีการประยุกต์ใช้งานในการกำเนิดสัญญาณนาฬิกาให้แก่ไมโครโปรเซสเซอร์ไปจนถึงการสร้างสัญญาณคลื่นพาห์ให้แก่ระบบโทรศัพท์เซลลูลาร์ และวงจรออสซิลเลเตอร์ถูกใช้เสมอกับระบบเฟสล็อค (Phase-locked system) ในกระบวนการชั้นสูง (high-performance) วงจรออสซิลเลเตอร์จะถูกออกแบบโดยใช้เทคโนโลยีของซีมอส

3.3.1 หลักการพื้นฐานของวงจรออสซิลเลเตอร์

วงจรออสซิลเลเตอร์จะผลิตเอาท์พุทพัลส์ออกมาโดยปกติอยู่ในรูปแรงดันโดยวงจรไม่จำเป็นต้องมีการป้อนอินพุท วงจรจะผลิตเอาท์พุทออกมาอย่างต่อเนื่องและไม่จำกัด ระบบที่มีการป้อนกลับแบบลบ (negative feedback) สามารถที่จะออสซิลเลทได้โดยการออกแบบให้เป็นวงจรขยายที่ไม่ดี (badly-designed feedback amplifier) ระบบที่มีการป้อนกลับแบบลบแสดงดังรูป 3.25



รูป 3.25 ระบบที่มีการป้อนกลับแบบลบ

จากรูป 3.25 สมมติค่าของ β คือค่าคงที่และจะมีค่าเท่ากับหนึ่งถ้าระบบมีการป้อนกลับแบบเต็มที่ โดยฟังก์ชั่นถ่ายโอนของระบบปิดคือ

$$\frac{Y}{X}(s) = \frac{H(s)}{1 + \beta H(s)} \tag{3.18}$$

จากสมการ 3.18 ถ้าระบบมีค่า $\beta H(s = j\omega_1) = -1$ จะมีผลทำให้อัตราการขยายของระบบมีค่าอนันต์วงจรจะทำการขยายสัญญาณรบกวนภายในตัวมันเอง (own noise) จนเริ่มเข้าสู่การออสซิลเลท หรืออาจกล่าวได้ว่าถ้า $\beta H(j\omega_1) = -1$ จะทำให้วงจรเกิดการออสซิลเลทที่ความถี่ ω_1 รูปแบบของ $\beta H(j\omega_1) = -1$ สามารถเขียนได้อีกแบบหนึ่งคือ

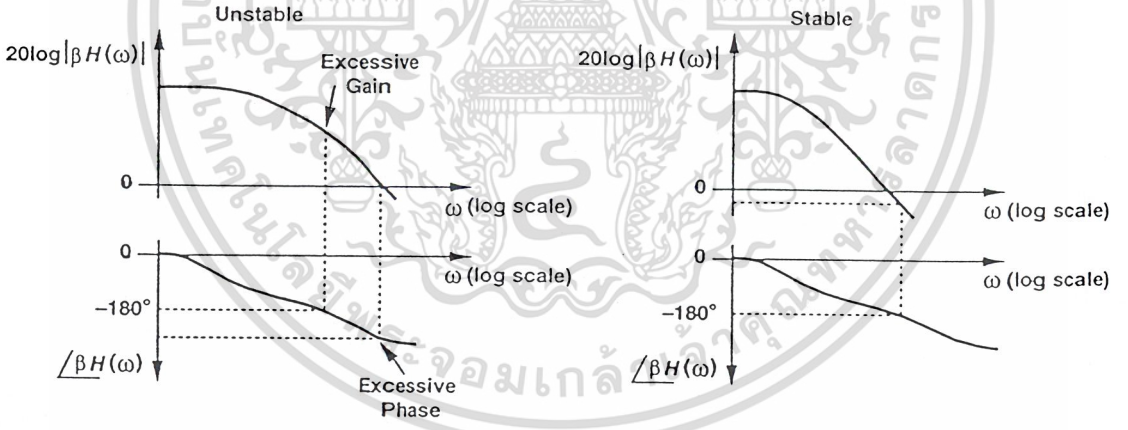
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\beta H(j\omega_1) = |\beta H(j\omega_1)| e^{\angle \beta H(j\omega_1)} \tag{3.19}$$

ดังนั้นเงื่อนที่ทำให้วงจรเกิดการออสซิลเลทหรือทำให้ $\beta H(j\omega_1) = -1$ มีสองเงื่อนไขคือ

1. $|\beta H(j\omega_1)| = 1$
2. $\angle \beta H(j\omega_1) = \pm 180^\circ$

โดยถ้าทั้งสองเงื่อนไขเกิดขึ้นพร้อมกันวงจรจะเกิดการออสซิลเลท นอกจากการพิจารณาดังเงื่อนไขข้างต้นแล้วการพิจารณาว่าวงจรเกิดการออสซิเลทหรือไม่นั้นยังสามารถพิจารณาได้จากกราฟโบดพล็อตของระบบ (Bode plot) โดยจะเป็นการนำอัตราการขยายระบบในหน่วยของเดซิเบลมาพล็อตกับความถี่ ω ต่างๆกัน จะได้การอัตราการขยายที่ความถี่ต่างกันมีขนาดต่างกันโดยปกติเมื่อความถี่สูงขึ้นอัตราการขยายจะตกลงเนื่องจากโพลของระบบเราสนใจอัตราการขยายเมื่อตกมาที่ศูนย์เดซิเบลหรือก็คือที่ขนาดของ $|\beta H(j\omega_1)| = 1$ แล้วพิจารณาเฟสของระบบโดยการพล็อตเฟส ถ้าตำแหน่งดังกล่าวมีเฟสถึง 180° วงจรจะเกิดการออสซิเลทแสดงดังรูป 3.26

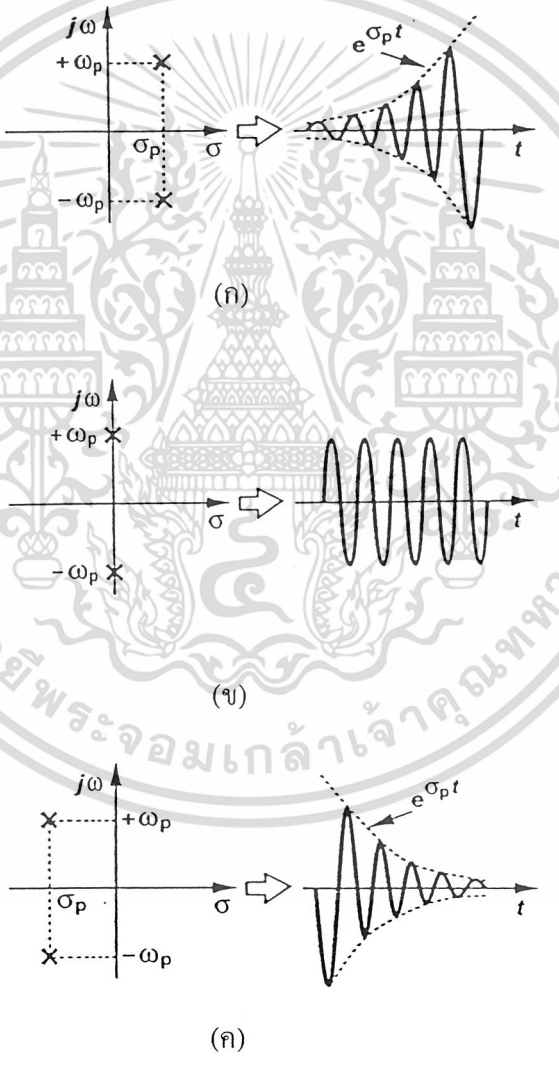


รูป 3.26 โบดพล็อตระหว่างระบบที่เกิดการออสซิลเลทกับระบบที่มีเสถียรภาพ

การพิจารณาลักษณะการออสซิลเลทของวงจรพิจารณาจากตำแหน่งของโพลของระบบปิด (closed-loop system) ในระนาบเชิงซ้อน (complex plane) เราสามารถเขียนตำแหน่งของโพลในรูป $S_p = j\omega_p + \sigma_p$ และผลต่ออิมพัลส์ของระบบอยู่ในเทอม $\exp(j\omega_p + \sigma_p)t$ ฟังก์ชั่นถ่ายโอนของระบบปิดถ้าค่าของ S_p ตกมาอยู่ทางฝั่งขวาของระนาบและค่าของ $\sigma_p > 0$ ระบบดังกล่าว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จะเกิดการออสซิลเลทแสดงในคาบของเวลาจะเห็นว่าสัญญาณค่อย ๆ เพิ่มขึ้นอย่างเอกโปเนนเชียล และท้ายสุดจะถูกจำกัดด้วยไฟเลี้ยงของวงจรแสดงดังรูป 3.27(ก) และถ้า $\sigma_p = 0$ ระบบก็จะออสซิลเลทเช่นกันแต่ช่วงสัญญาณจะถูกจำกัดแสดงดังรูป 3.27(ข) แต่ถ้าตำแหน่งของ S_p ตกมาอยู่ทางฝั่งซ้ายของระนาบในคาบของเวลาจะเห็นว่าค่าของสัญญาณจะค่อยๆ ลดลงอย่างเอกโปเนนเชียล และนิ่งเป็นศูนย์ในที่สุดก็คือระบบจะไม่เกิดการออสซิเลทถ้าตำแหน่งของ S_p ตกมาอยู่ทางฝั่งซ้าย แสดงดังรูป 3.27(ค)



รูป 3.27 ผลของตำแหน่งโพลและรูปแบบการออสซิลเลท

(ก) ระบบที่ไม่เสถียรภาพขนาดการออสซิลเลทเพิ่มขึ้น

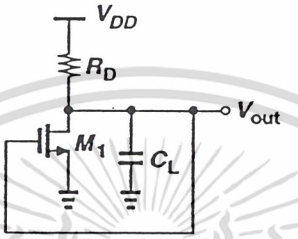
(ข) ระบบที่ไม่เสถียรภาพขนาดการออสซิลเลทคงที่

(ค) ระบบที่มีเสถียรภาพการออสซิลเลทลดลงเป็นศูนย์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

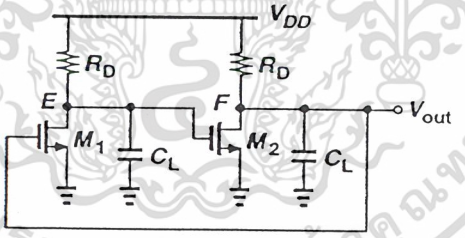
3.3.2 วงจรออสซิลเลเตอร์แบบริง (Ring Oscillator)

วงจรออสซิลเลเตอร์แบบริง เป็นวงจรออสซิลเลเตอร์ที่ประกอบด้วยวงจรขยายหลายภาคมาต่อกันเป็นระบบปิดในขั้นพื้นฐานจะทำการศึกษาวงจรขยายภาคเดียวที่มีการป้อนกลับดังรูป 3.28 ว่าวงจรสามารถออสซิลเลทได้หรือไม่



รูป 3.28 วงจรขยายภาคเดียวที่มีการป้อนกลับ

จากรูป 3.28 จะเห็นว่าวงจรมีโพลเพียงตัวเดียวดังนั้นเฟสชิพที่เปลี่ยนแปลงกับความถี่สามารถมีค่าได้สูงสุดเพียง 90° ดังนั้นวงจรที่มีโพลเพียงตัวเดียวไม่สามารถที่จะออสซิลเลทได้



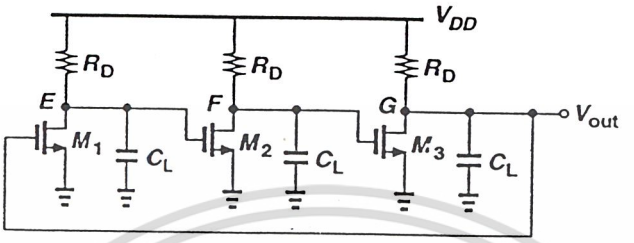
รูป 3.29 วงจรขยายสองภาคที่มีการป้อนกลับ

พิจารณารูป 3.29 เป็นวงจรสองภาคและประกอบด้วยสองโพลถึงแม้วงจรดังกล่าวจะมีเฟสชิพที่เปลี่ยนแปลงกับความถี่ถึง 180° ได้แต่วงจรก็ไม่ออสซิลเลทแต่วงจรจะคงสภาวะนี้อยู่ตลอดเรียกว่า "latches up" จากวงจรถ้าสมมติให้ V_E มีค่าเพิ่มขึ้นและ V_F ลดลงจนทำให้ M_1 ไม่นำกระแสจน V_E เพิ่มขึ้นถึง V_{DD} และ V_F จะเข้าใกล้ศูนย์และจะอยู่ในสภาวะนี้ตลอดระบบไม่มีการเปลี่ยนแปลง

เพื่อแก้ปัญหา latch-up จึงนำวงจรขยายสามภาคนำมาต่อกันเป็นระบบปิดดังแสดงในรูป 3.30 เฟสชิพของระบบสามารถมีค่าได้ถึง 135° ที่ตำแหน่ง $\omega = \omega_{P,E} = \omega_{P,F} = \omega_{P,G}$ และ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เท่ากับ 270° ที่ $\omega = \infty$ จะเห็นว่าเฟสมีค่า -180° ที่ $\omega < \infty$ ดังนั้นอัตราการขยายของระบบสามารถมีค่าได้มากกว่าหรือเท่ากับหนึ่งและวงจรจะออสซิเลทถ้าอัตราการขยายของระบบเพียงพอ



รูป 3.30 วงจรริงออสซิลเลเตอร์ที่สร้างจากวงจรขยายสามภาค

การคำนวณหาอัตราการขยายต่ำสุดที่วงจรขยายแต่ละภาคจะต้องมีเพื่อทำให้วงจรออสซิลเลทนั้นจากวงจรขยายสามภาคดังรูป 3.30 โดยไม่คิดผลของคาปาซิเตอร์ที่เกิดจากการโอเวอร์แลบระหว่างขาเกทและเดรนสามารถเขียนฟังก์ชั่นถ่ายโอน ของแต่ละภาคได้คือ $-A_0/(1 + s/\omega_0)$ และสำหรับทั้งระบบจะมีค่าดังสมการ 3.20

$$H(s) = -\frac{A_0^3}{(1+\frac{s}{\omega_0})^3} \tag{3.20}$$

กรณีวงจรออสซิลเลทเฟสชิฟที่เปลี่ยนแปลงตามความถี่จะมีค่าเท่ากับ 180° แสดงว่าเฟสชิฟต่อภาคเท่ากับ 60° จากค่าเฟสต่อภาคสามารถคำนวณหาความถี่ออสซิลเลทได้จากการรู้เฟสคือ

$$\tan^{-1}\frac{\omega_{osc}}{\omega_0} = 60^\circ \tag{3.21}$$

$$\omega_{osc} = \sqrt{3}\omega_0 \tag{3.22}$$

ดังนั้นอัตราการขยายแรงดันต่ำสุดจะหาจากขนาดของอัตราการขยายลูปที่ ω_{osc} ซึ่งมีค่าเท่ากับหนึ่ง

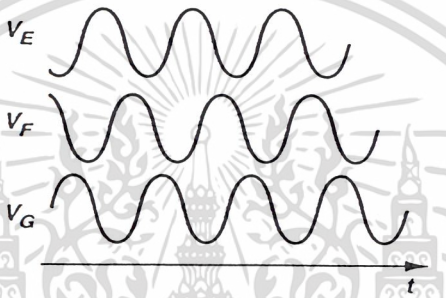
$$\frac{A_0^3}{\left[\sqrt{1+\left(\frac{\omega_{osc}}{\omega_0}\right)^2}\right]^3} = 1 \tag{3.23}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากสมการ 3.23 แก้หาค่าอัตราขยายแรงดันจะได้

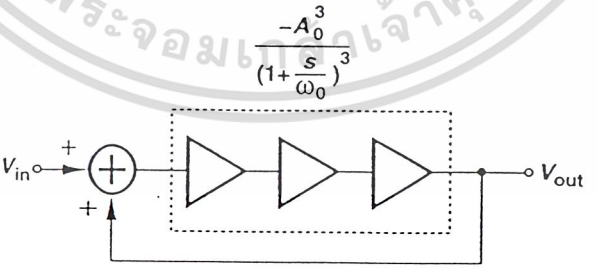
$$A_0 = 2 \tag{3.24}$$

ดังนั้นอัตราขยายแรงดันของวงจรขยายสามภาคที่ความถี่ต่ำจะมีค่าเท่ากับ 2 ต่อภาคและจะทำให้วงจรออสซิลเลทที่ความถี่ดังสมการ 3.22 โดย ω_0 คือ -3dB bandwidth ของแต่ละภาครูปคลื่นของแต่ละโนดเมื่อวงจรออสซิเลทแสดงดังรูป 3.31



รูป 3.31 รูปคลื่นของวงจรริงออสซิลเตอร์ที่สร้างจากวงจรขยายสามภาค

ถ้าหากวงจรมีอัตราการขยายไม่เท่ากับ 2 จะมีผลอย่างไร แน่นอนว่าถ้า $A_0 < 2$ วงจรจะไม่ออสซิลเลทและจะเกิดอะไรขึ้นถ้า $A_0 > 2$ สามารถหาคำตอบโดยการพิจารณาหาค่าโพลของระบบว่าอยู่ที่ตำแหน่งใดแล้วเปรียบเทียบกับรูป 3.27(ค) พิจารณาระบบปิดรูป 3.32



รูป 3.32 รูปแบบเชิงเส้นของวงจรริงออสซิเลเตอร์แบบสามภาค

ฟังก์ชั่นถ่ายโอนของระบบปิดคือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\frac{V_{out}}{V_{in}}(s)=\frac{\dfrac{-A_0^3}{(1+s/\omega_0)^3}}{1+\dfrac{A_0^3}{(1+s/\omega_0)^3}} \tag{3.24}$$

$$=\frac{-A_0^3}{(1+s/\omega_0)^3+A_0^3} \tag{3.25}$$

พิจารณาตัวส่วนเพื่อที่จะหาค่าโพลของระบบ

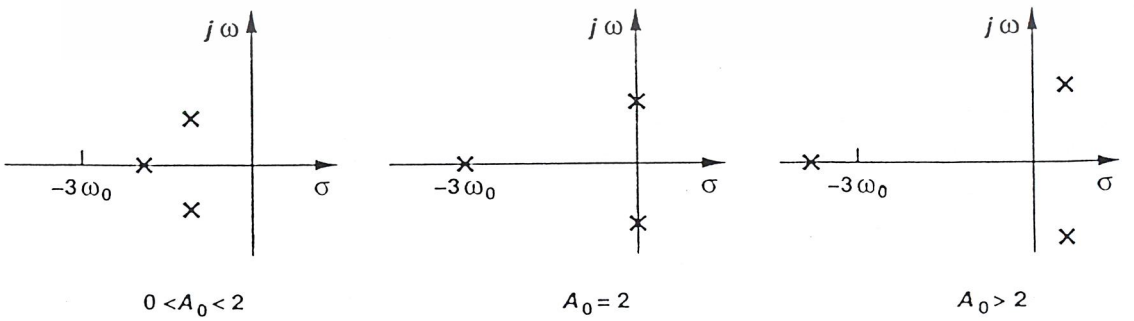
$$(1+\frac{s}{\omega_0})^3+A_0^3=(1+\frac{s}{\omega_0}+A_0)\left[(1+\frac{s}{\omega_0})^2-(1+\frac{s}{\omega_0})A_0+A_0^2\right] \tag{3.26}$$

เมื่อหาคำตอบของสมการข้างต้นจะได้

$$s_1=(-A_0-1)\omega_0 \tag{3.27}$$

$$s_{2,3}=\left[\frac{A_0(1\pm j\sqrt{3})}{2}-1\right]\omega_0 \tag{3.28}$$

เมื่อพิจารณาค่าที่ได้จะเห็นว่าค่าของโพลขึ้นอยู่กับอัตราการขยาย A_O เมื่อเราทำการปรับค่าของ A_O ตำแหน่งของโพลจะแสดงดังรูป 3.33

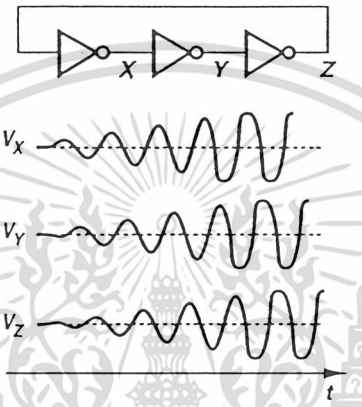


รูป 3.33 ตำแหน่งโพลของระบบเมื่ออัตราขยายเปลี่ยนแปลง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

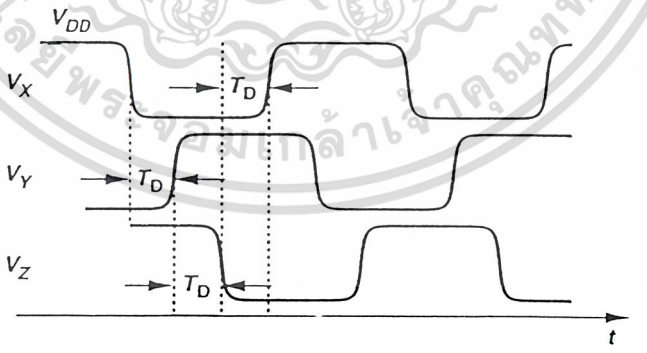
โดยถ้าค่าของ A_O มีค่า $0 < A_O < 2$ วงจรจะไม่ออสซิเลทและเมื่อ $A_O = 2$ วงจรจะออสซิเลทเป็นซายน์โดยมีขนาดคงที่และสุดท้ายเมื่อ $A_O > 2$ วงจรจะออสซิเลทในลักษณะค่อยๆ เพิ่มขนาดขึ้นอย่างเอกโปเนนเชียลและจะถูกจำกัดโดยแหล่งจ่ายดังแสดงไว้แล้วดังรูป 3.27

วงจรริงออสซิเลเตอร์แบบง่ายที่ไม่ต้องมีตัวต้านทานคือใช้วงจรซีมอสอินเวอร์เตอร์ดังรูป 3.34 เป็นอินเวอร์เตอร์สามภาคต่อกัน



รูป 3.34 วงจรริงออสซิลเลเตอร์แบบใช้ซีมอสอินเวอร์เตอร์

สมมติให้ $V_X = V_{DD}$ ดังรูป 3.35 ภายใต้เงื่อนไขนี้จะทำให้ $V_Y = 0$ และ $V_Z = V_{DD}$



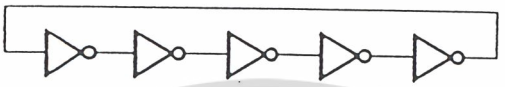
รูป 3.35 รูปคลื่นของวงจรริงออสซิลเลเตอร์เมื่อที่สภาวะแรกโหนดหนึ่งมีค่าเท่ากับ V_{DD}

เมื่อวงจรทำงานครบรอบเอาท์พุทจากจุด Z จะป้อนกลับมาเป็นอินพุทที่จุด X ทำให้ V_X เริ่มตกลงมีค่าเข้าใกล้ศูนย์และจะมีผลทำให้ V_Y เพิ่มขึ้นสู่ V_{DD} และ V_Z มีค่าลดลงเข้าใกล้ศูนย์เมื่อผ่านช่วงดีเลย์ของอินเวอร์เตอร์แต่ละตัววงจรจะออสซิลเลทโดยดีเลย์ T_D คือการเปลี่ยนแปลงอิน

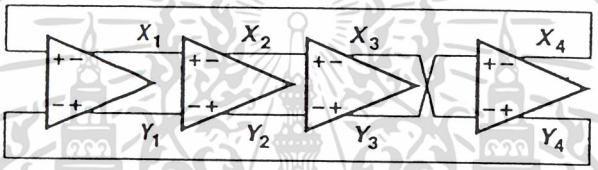
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

พุทต่อเอาท์พุทของอินเวอร์เตอร์แต่ละตัวจะเห็นว่าคาบเวลาของการออสซิลเลทคือ $6\ T_D$ ดังนั้นความถี่ของการออสซิลเลทเท่ากับ $1/(6\ T_D)$

ริงออสซิลเลเตอร์กรณีใช้อินเวอร์เตอร์จำนวนของอินเวอร์เตอร์ต้องมากกว่าหรือเท่ากับสามเพื่อให้วงจรออสซิเลทและจะต้องเป็นจำนวนคี่เพื่อป้องการ latch up ตัวอย่างดังรูป 3.36(ก)



(ก)



(ข)

รูป 3.36 รูปแบบของวงจรริงออสซิลเลเตอร์
(ก) วงจรริงออสซิลเลเตอร์แบบใช้อินเวอร์เตอร์
(ข) วงจรริงออสซิลเลเตอร์แบบใช้วงจรดิฟเฟอร์เรนเชียล

โดยความถี่ของการออสซิเลทเท่ากับ $1/(6\ T_D)$ ในทางตรงกันข้ามเราสามารถใช้วงจรดิฟเฟอร์เรนเชียลสร้างวงจรออสซิเลเตอร์ได้และสามารถสร้างเป็นจำนวนเลขคู่หรือคี่ก็ได้โดยต้องมากกว่าสามภาคแสดงดังรูป 3.36(ข) ในการออกแบบจริงจะใช้เพียงแค่สามถึงห้าภาคเพื่อเป็นการใช้กำลังต่ำโดยอัตราการขยายลูปเปิดต่อภาคเพื่อทำให้วงจรออสซิเลทแสดงดังตาราง 3.1

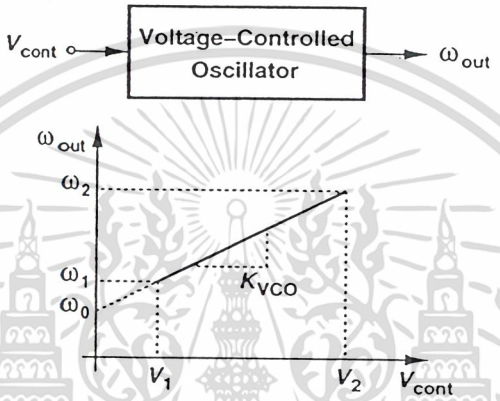
ตาราง 3.1 อัตราขยายต่อภาคของวงจรริงออสซิลเลเตอร์

จำนวนภาค	3	4	5	6	7
ค่าอัตราขยายต่อภาค (เท่า)	2	1.315	1.184	1.122	1.065

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3.3 วงจรออสซิลเลเตอร์แบบควบคุมความถี่ด้วยแรงดันไฟฟ้า(Voltage-Control Oscillator)

การนำวงจรออสซิลเลทเตอร์ไปใช้งานส่วนมากมักต้องการให้สามารถปรับจูนความถี่ได้ โดยความถี่เอาท์พุตเป็นฟังก์ชั่นของการควบคุมที่อินพุตโดยมากจะเป็นการควบคุมด้วยแรงดันไฟฟ้าโดยวงจรควบคุมความถี่ด้วยแรงดันไฟฟ้า ในอุดมคติความสัมพันธ์ระหว่างแรงดันอินพุตความถี่เอาท์พุตต้องเป็นเชิงเส้นดังรูป 3.37



รูป 3.37 คุณสมบัติของวงจรออสซิลเลเตอร์แบบควบคุมความถี่ด้วยแรงดันไฟฟ้า

จากรูปจะได้ว่า

$$\omega_{out} = \omega_0 + K_{VCO} V_{cont} \tag{3.29}$$

โดย ω_0 คือความถี่เมื่อ V_{cont} = 0 และ K_{VCO} คือ อัตราการขยายของวงจรมีหน่วยเป็น rad/s/V และ ω_2 - ω_1 เรียกว่า "ย่านการจูน" (tuning range)

พารามิเตอร์ที่สำคัญของวงจร VCO : Voltage Control Oscillator

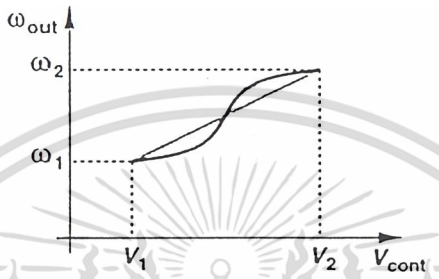
Center Frequency คือความถี่กึ่งกลางของวงจรออสซิเลเตอร์ของรูป 3.37 คำนวณได้จากการนำเอาออสซิเลเตอร์ไปใช้งานในงานนั้นๆ ว่าใช้งานในย่านความถี่เท่าไหร่ปัจจุบันวงจรซีมอส VCO มีความถี่กึ่งกลางมากกว่า 10 GHz

Tuning Range คือย่านความถี่ที่ VCO สามารถออสซิลเลทได้จากต่ำสุดถึงสูงสุดซึ่ง Tuning Range จะเป็นตัวกำหนด K_{VCO} ด้วยโดย

$$K_{VCO} = \frac{\omega_2 - \omega_1}{V_2 - V_1} \tag{3.30}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Tuning Linearlity คือความสัมพันธ์ระหว่างแรงดันอินพุทและความถี่เอาท์พุทมีลักษณะเป็นเชิงเส้นหรือก็คือ K_{VCO} มีค่าคงที่ ถ้าคุณสมบัติของ VCO ไม่เป็นเชิงเส้นก็คือ K_{VCO} ไม่คงที่ ซึ่งความไม่เป็นเชิงเส้นของ VCO จะมีผลต่อพฤติกรรมในการเข้าสู่ภาวะคงที่ของเฟสล็อคลูป ความไม่เป็นเชิงเส้นของ VCO แสดงดังรูป 3.38



รูป 3.38 คุณสมบัติของวงจร VCO ที่ไม่เป็นเชิงเส้น

Output Amplitude คือขนาดแรงดันเอาท์พุตของออสซิลเลเตอร์ซึ่งขึ้นอยู่กับชนิดของ VCO และเอาท์พุตของ VCO จะแปรผันโดยตรงกับกำลังสูญเสีย และสำหรับออสซิลเลเตอร์บางชนิดขนาดของแรงดันเอาท์พุตจะแปรผันกับย่านการจูน

Power Dissipation คือกำลังไฟฟ้าที่วงจรใช้ซึ่งจะขึ้นอยู่กับความเร็วหรือความถี่โดยตรง

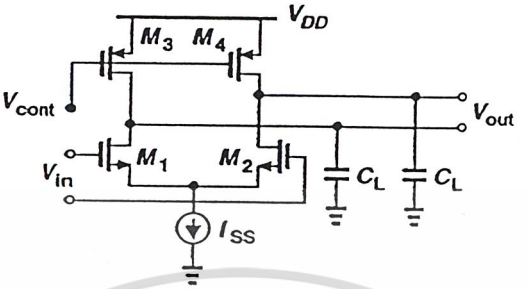
Supply and Common-Mode Rejection คือความสามารถในการกำจัดสัญญาณรบกวนของวงจรออสซิลเลทซึ่งอาจเกิดจากไฟเลี้ยงของวงจรหรือแหล่งอื่นๆ โดยวงจรออสซิลเลเตอร์ที่สามารถกำจัดสัญญาณรบกวนได้ดีจะอยู่ในรูปของวงจรดิฟเฟอร์เรนเชียล (Differrential Oscillator)

Output Signal Purity คือเอาท์พุทของ VCO ที่ออกมาต้องเป็นรูปคลื่นที่สมบูรณ์ไม่มีสัญญาณรบกวนเนื่องจากอุปกรณ์หรือไฟเลี้ยงพารามิเตอร์ที่บอกถึงผลกระทบนี้คือ Jitter และ phase noise

จากที่ได้พิจารณาการทำงานของวงจรออสซิลเลเตอร์แบบริงมาแล้วความถี่ของวงจรจะขึ้นอยู่กับดีเลย์หรือ T_D ของวงจรแต่ละภาคโดย f_{osc} ของ N ภาค Ring Oscillator เท่ากับ $(2NT_D)^{-1}$ จะเห็นว่าเราสามารถปรับค่าความถี่ของวงจรได้จากการปรับค่าดีเลย์หรือ T_D ซึ่งการปรับอาจทำได้หลายวิธีเช่นการปรับค่าความต้านทานหรือการปรับกระแสในวงจร

ตัวอย่างวงจรที่ใช้หลักการปรับค่าความต้านทานเพื่อปรับค่า T_D วงจรแสดงดังรูป 3.39 ซึ่งแสดงเพียงหนึ่งภาคเราเรียกว่า delay cell เมื่อต้องการทำเป็นออสซิเลทเตอร์ก็นำแต่ละเซลล์มาต่อกันอย่างน้อยสามภาค

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น ห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 3.39 ดีเลย์เซลล์แบบดิฟเฟอร์เรนเชียล

จากวงจรเราจะใช้พีมอสทำหน้าที่เป็นตัวความต้านทานโดยไบอัสให้มอสทำงานในย่านลิเนียร์โดยจะสามารถปรับค่าความต้านทานได้โดย M_3 และ M_4 ทำงานในย่านลิเนียร์และสามารถปรับค่าความต้านทานได้โดยการปรับค่า V_{cont} โดยถ้ามีค่าเป็นบวกมากขึ้นค่าความต้านทานที่ได้จะมีค่าเพิ่มขึ้นและค่าเวลาคงที่ของเอาท์พุตก็จะเพิ่มขึ้น, τ_1 และจะทำให้ความถี่ออสซิลเลทต่ำลงโดย C_L เป็นอินพุตคาปาซิเตอร์ของภาคถัดไปดังนั้นความถี่ออสซิลเลทจะแปรผันกับ T_D โดยค่าเวลาคงที่แสดงดังสมการ 3.32

$$\tau_1 = R_{on3,4} C_L \tag{3.31}$$

$$= \frac{C_L}{\mu_p C_{ox} (\frac{W}{L})_{3,4} (V_{DD} - V_{cont} - |V_{THP}|)} \tag{3.32}$$

และสามารถพิจารณาความถี่ได้คือ

$$f_{osc} \alpha \frac{1}{T_D} \tag{3.33}$$

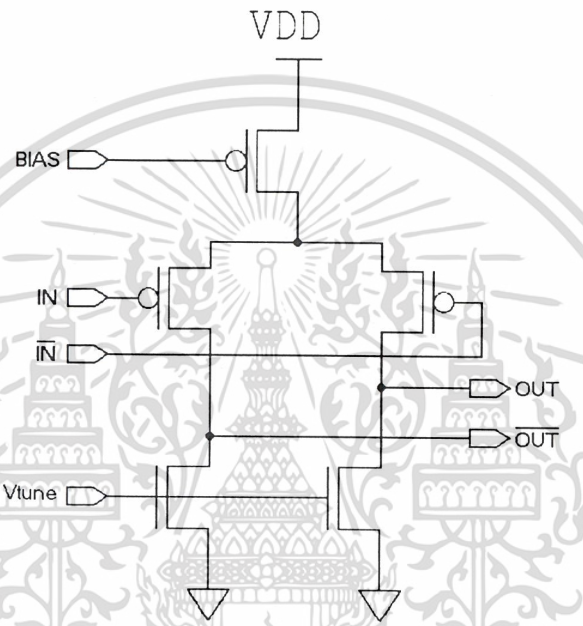
$$\alpha \frac{\mu_p C_{ox} (\frac{W}{L})_{3,4} (V_{DD} - V_{cont} - |V_{THP}|)}{C_L} \tag{3.34}$$

จากสมการ 3.34 จะเห็นว่า f_{osc} เป็นฟังก์ชั่นของ V_{cont} โดยวงจรรูปที่ 3.39 นี้จะได้ความถี่ออสซิลเลทแปรผกผันกับค่า V_{cont} ถ้าต้องการให้แปรผันตรงจะให้เอ็นมอสทำหน้าที่เป็นตัวต้านทานและพีมอสเป็นส่วนของวงจรดิฟเฟอร์เรนเชียล ดังได้ใช้ในการทดลอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3.4 การออกแบบและผลการทดลองวงจรออสซิลเลเตอร์แบบควบคุมความถี่ด้วยแรงดันไฟฟ้า

วงจรที่ใช้ในการออกแบบเป็นวงจรริงออสซิเลเตอร์แบบดิฟเฟอร์เรนเชียลการปรับความถี่ออสซิลเลทหรือการปรับค่าดีเลย์แต่ละภาคทำโดยการปรับค่าความต้านทานโดยใช้มอสชนิดเอ็นทำหน้าที่เป็นตัวต้านทาน การออกแบบจะพิจารณาที่ดีเลย์เซลล์ชุดเดียวดังรูป 3.40



รูป 3.40 ชุดดีเลย์เซลล์ของวงจรริงออสซิลเลเตอร์

ขั้นตอนการออกแบบ

1. พิจารณา NMOS ซึ่งจะทำหน้าที่เป็นตัวต้านทานปรับค่าได้ดังนั้นจะต้องออกแบบให้ทำงานในย่านลิเนียร์ตลอดย่านของ $V_{control}$ จะเห็นได้ว่า $V_{control} = V_{GS}$ ของ NMOS จากเงื่อนไขที่ทำให้มอสทำงานในย่านลิเนียร์คือ $V_{GS} > V_T$ และ $V_{DS} \leq V_{GS} - V_T$ พิจารณา

$$V_{DS} \leq V_{GS} - V_T \tag{3.35}$$

เมื่อ V_{DS} เท่ากับ $I_{SS}R_{on}$ โดย I_{SS} คือกระแสไบอัสวงจรภาคดิฟเฟอร์เรนเชียล และ R_{on} คือค่าความต้านทานเนื่องจาก $V_{control}$ จะได้ว่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$I_{SS}R_{on} \leq V_{GS} - V_T \tag{3.36}$$

$$\frac{I_{SS}}{\mu_n C_{ox}\left(\frac{W}{L}\right)_n (V_{GS} - V_T)} \leq V_{GS} - V_T \tag{3.37}$$

$$V_{GS} \geq V_T + \sqrt{\frac{I_{SS}}{\mu_n C_{ox}\left(\frac{W}{L}\right)_n}} \tag{3.38}$$

เนื่องจาก V_T ของ NMOS = 0.81056V และ $V_{control} = V_{GS}$ จะต้องมีตามสมการ 3.38 กำหนดช่วง $V_{control}$ ตั้งแต่ 1.5V ถึง 2.5V และให้ W/L ของ NMOS = 1 ได้ค่า $I_{SS} \approx 30\mu A$

2. จากค่า $V_{control}$ ตั้งแต่ 1.5V ถึง 2.5V และให้ W/L ของ NMOS = 1 หาช่วงของค่าความต้านทานสูงสุดและต่ำสุดจากสมการ 3.39

$$R_{on} = \frac{I}{\mu_n C_{ox}\left(\frac{W}{L}\right)_n (V_{GS} - V_T)} \tag{3.39}$$

โดย $V_{control} = V_{GS}$ จะได้ว่า

$V_{control}$ = 1.5V, R_{on} = 27.4KΩ (ค่าความต้านทานสูงสุด)

$V_{control}$ = 2.5V, R_{on} = 11.19KΩ (ค่าความต้านทานต่ำสุด)

3. พิจารณาหาขนาดของ PMOS โดยจะต้องทำให้วงจรดิฟแอมป์มีคุณสมบัติเป็นสวิตช์ที่สมบูรณ์โดยพารามิเตอร์ที่สำคัญคือ ΔV_{in} ซึ่งก็คือผลต่างของแรงดันอินพุททั้งสองที่น้อยที่สุดที่จะทำให้วงจรทำงานเป็นสวิตช์ที่สมบูรณ์หรือกระแสไหลเพียงด้านใดด้านหนึ่ง โดย

$$\Delta V_{in} = \sqrt{\frac{2I_{SS}}{\mu_p C_{ox}\left(\frac{W}{L}\right)_p}} \tag{3.40}$$

เมื่อนำดีเลย์เซลล์มาต่อเป็นวงจรออสซิลเลเตอร์ V_{in} ก็คือ $I_{SS}R_{on}$ โดยจะมีค่าต่ำสุดเมื่อความต้านทานต่ำสุดดังนั้น ΔV_{in} จะต้องมีค่าอย่างน้อยเท่ากับ $I_{SS}R_{on,min}$ โดยมีค่าเท่ากับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น โดยไม่ได้รับอนุญาตจากเจ้าของผลงาน ที่มีการนำไปใช้

$$I_{SS}R_{on,min} = 30\mu A \times 11.19K\Omega$$

$$= 336mV$$

จากค่า ΔV_{in} นำมาหาค่าขนาดของ PMOS จะได้ W/L ประมาณ 28 ซึ่งเป็นค่าที่น้อยที่สุดที่จะเป็นไปได้แต่ยังไม่ใช่ค่าที่จะนำไปใช้เพราะต้องพิจารณาถึงอัตราขยายด้วย

4. พิจารณาหาค่าอัตราขยายแรงดันของดีเลย์เซลล์โดยพิจารณาว่าวงจรดิฟเฟอร์เรนเชียลทำงานเป็นสวิตช์ที่สมบูรณ์จะได้

$$A_V = -g_m R_{out} \tag{3.41}$$

$$g_m = \sqrt{2\mu_p C_{ox} (\frac{W}{L})_p I_{SS}} \tag{3.42}$$

โดพิจารณาที่อัตราขยายต่ำสุด $R_{out} \approx R_{on,min}$ เมื่อแทนค่าสมการจะได้ $A_V \approx 1.9$ จากตาราง 3.1 (ข้างต้น) เลือกจำนวนภาคที่ทำให้วงจรออสซิลเลทได้เลือกที่ 5 ภาค คือการนำเอาดีเลย์เซลล์มาต่อกันเป็นวงจรริงออสซิลเลเตอร์ ดังรูป 3.41

5. จากการทดลองและคำนวณเอาท์พุตที่ได้จากวงจรออสซิเลเตอร์จะแปรตามการจูนซึ่งก็ยังมีค่าน้อยระดับมิลลิโวลท์

$V_{control} = 1.5V$, $V_{out} \approx 800mV_{P-P}$ (เอาท์พุตสวิงสูงสุด ดังรูปที่ 3.43(ก))

$V_{control} = 2.5V$, $V_{out} \approx 175mV_{P-P}$ (เอาท์พุตสวิงต่ำสุด ดังรูปที่ 3.44(ก))

6. พิจารณาค่าแรงดันเอาท์พุต V_{out} ที่ได้จะเห็นว่ายังมีค่าน้อยไม่สามารถที่จะนำไปขับเกทที่ภาค PD ได้จึงต้องมีวงจรอีกวงจรหนึ่งมาทำหน้าที่ขยายสัญญาณดังกล่าวให้มีระดับสูงขึ้นซึ่งวงจรนี้แสดงดังรูป 3.42 โดยจะมีต้องมี M_5 ,M_6 และ M_{16}, M_{17} ทำหน้าที่เป็นตัวปรับระดับแรงดันดีซีของสัญญาณให้สูงขึ้นเพื่อให้วงจรชุดดิฟเฟอร์เรนเชียลสามารถทำงานได้ เมื่อป้อนสัญญาณที่ได้จากริงออสซิลเลเตอร์เข้าไปจะได้สัญญาณดังรูป 3.43(ข) เมื่อ $V_{control} = 1.5V$ และรูป 3.44 (ข) เมื่อ $V_{control} = 2.5V$

7. จากรูปสัญญาณจากวงจรขยายยังเป็นรูปคลื่นสี่เหลี่ยมที่ยังไม่ดีเท่าที่ควรและที่ความถี่สูงอัตราขยายจะตกทำให้เอาพุตมีค่าไม่สูงมากนักจึงมีการเพิ่มวงจรซีมอสอินเวอร์เตอร์เข้าไปในวงจรอีกทำให้ได้เอาท์พุตที่สมบูรณ์ดังรูป 3.43(ค) และรูป 3.44(ค)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

8. สำหรับความถี่ของการออสซิเลเตอร์คำนวณได้จากการหาค่า T_D หรือค่าดีเลย์ของดีเลย์เลเซลล์แต่ละชุด

$$T_D = R_{on} C_L \tag{3.43}$$

$$= \frac{C_L}{\mu_n C_{ox} (\frac{W}{L})_n (V_{control} - V_T)} \tag{3.44}$$

โดย C_L คือค่าคาปาซิเตอร์ที่โหนดเอาท์พุตมีค่าประมาณ C_G ของพีมองซึ่งมีค่าเท่ากับ

$$C_G = C_{ox} WL \tag{3.45}$$

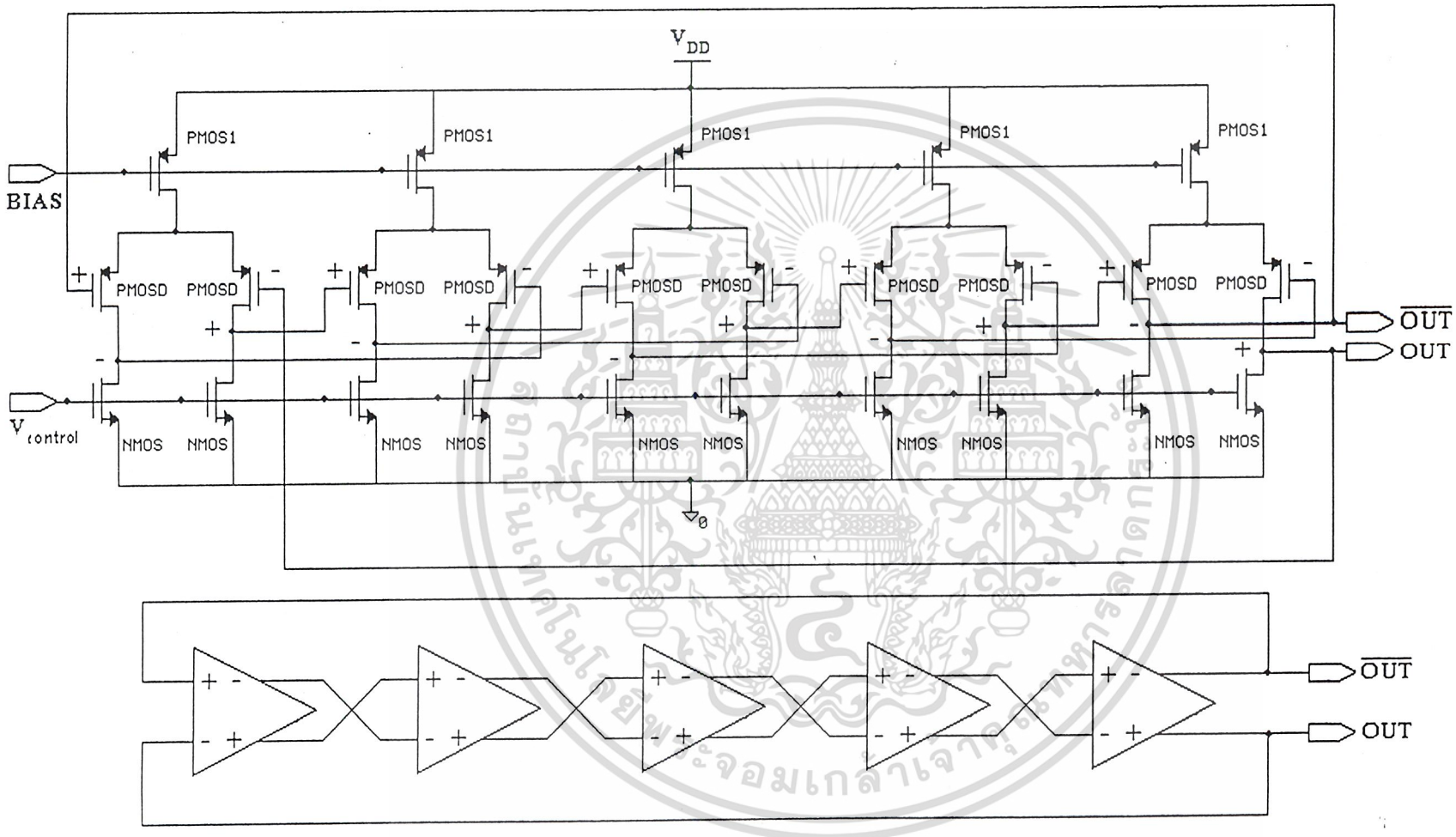
สามารถคำนวณหาความถี่ออสซิลเลทได้คือ

$$f_{osc} = \frac{1}{2NT_D} \tag{3.46}$$

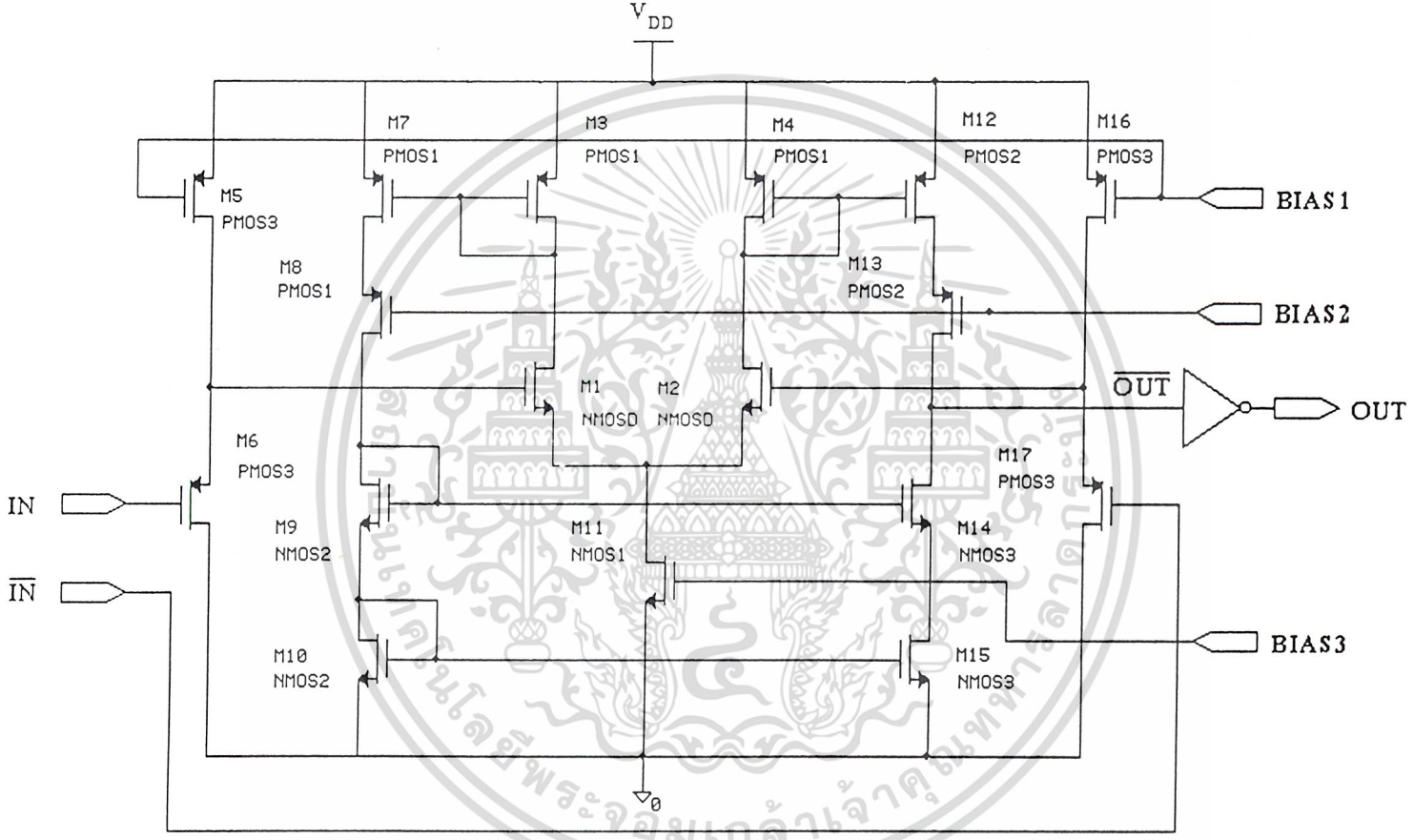
เมื่อ N คือจำนวนของดีเลย์เซลล์ซึ่งมีค่าเท่ากับ 5

เมื่อทำการทดลองปรับค่าของแรงดันควบคุมการออสซิลเลท $V_{control}$ จะได้ค่าความถี่ดังตาราง 3.2 เมื่อนำค่าความถี่ที่ได้ไปพล็อตกราฟแสดงความสัมพันธ์ระหว่างแรงดันและความถี่จะได้ดังรูป 3.48 ซึ่งรูปนี้จะแสดงถึงความเป็นเชิงเส้นของวงจรออสซิลเลเตอร์

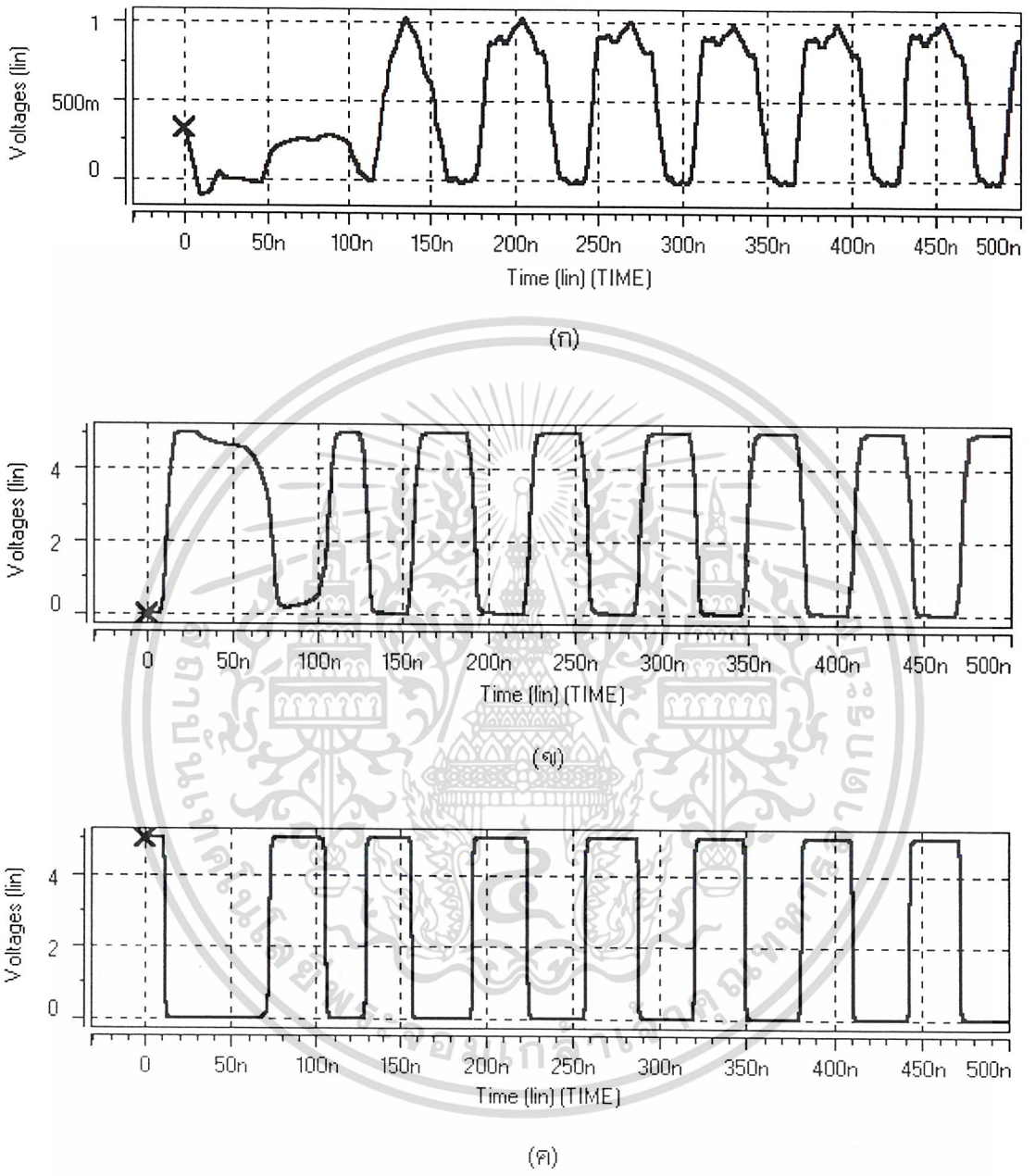
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 3.41 วงจรริงออสซิลเลเตอร์ที่ใช้ทดลอง



รูป 3.42 วงจรขยายเพื่อเพิ่มระดับเอาท์พุตของออสซิลเลเตอร์



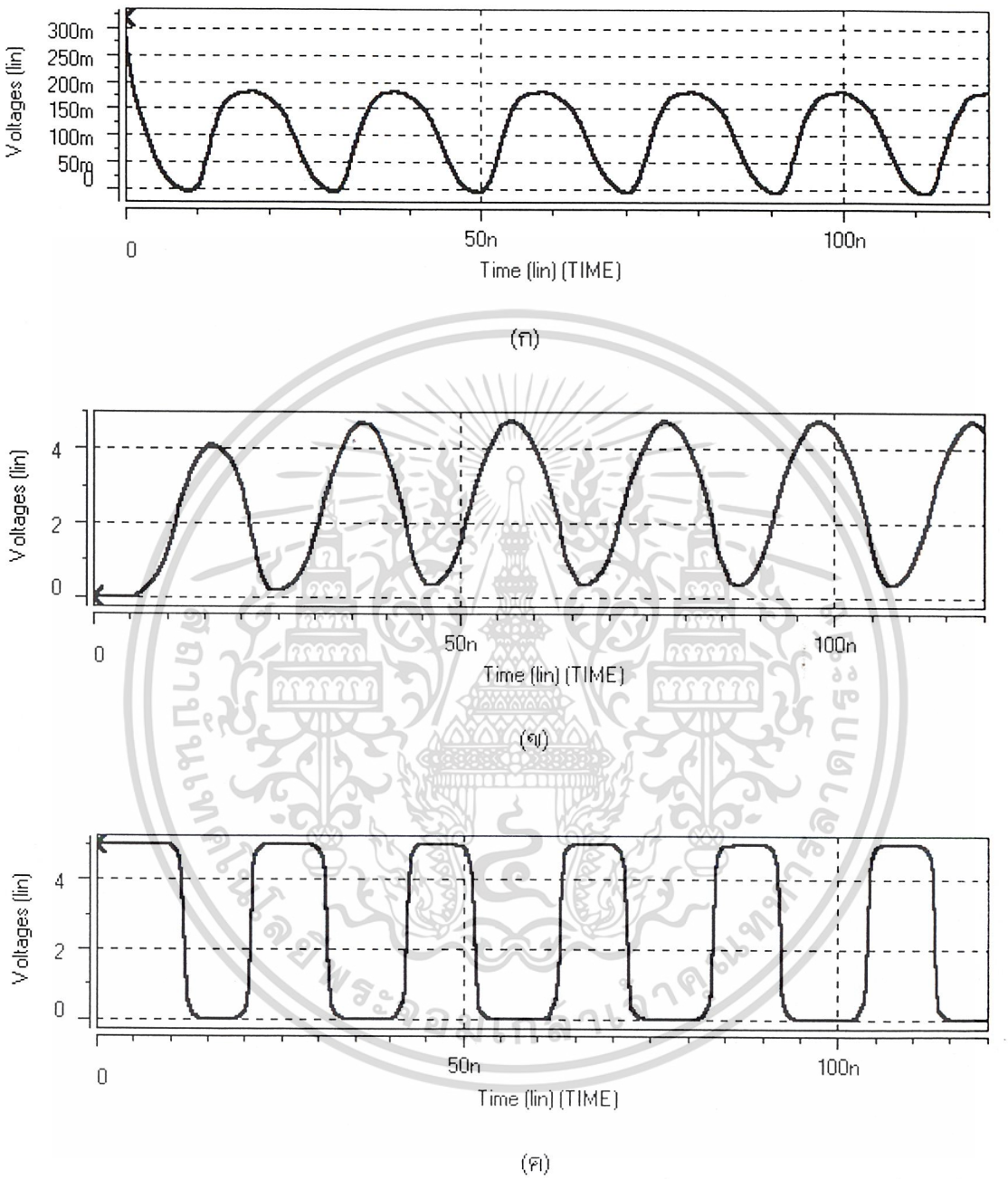
รูป 3.43 รูปคลื่นเอาท์พุตแต่ละจุดของวงจรออสซิลเลเตอร์เมื่อ $V_{control}$ = 1.5V

(ก) รูปคลื่นเอาท์พุตที่กำเนิดจากวงจรริงออสซิลเลเตอร์ที่ยังไม่ผ่านวงจรขยาย

(ข) รูปคลื่นเอาท์พุตเมื่อผ่านวงจรขยาย

(ค) รูปคลื่นเอาท์พุตเมื่อผ่านวงจรซีมอสอินเวอร์เตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



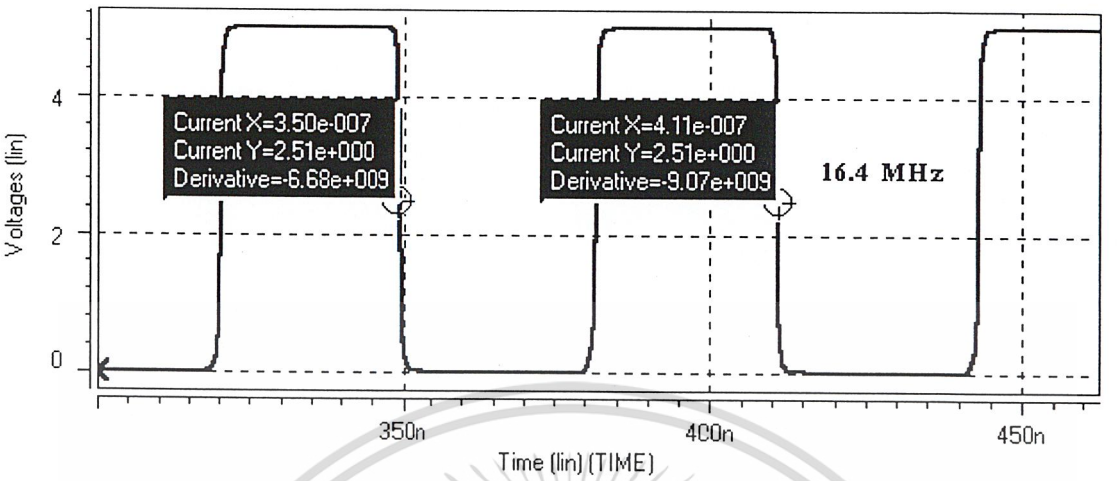
รูป 3.44 รูปคลื่นเอาท์พุตแต่ละจุดของวงจรออสซิลเลเตอร์เมื่อ $V_{control}$ = 2.5V

(ก) รูปคลื่นเอาท์พุตที่กำเนิดจากวงจรริงออสซิลเลเตอร์ที่ยังไม่ผ่านวงจรขยาย

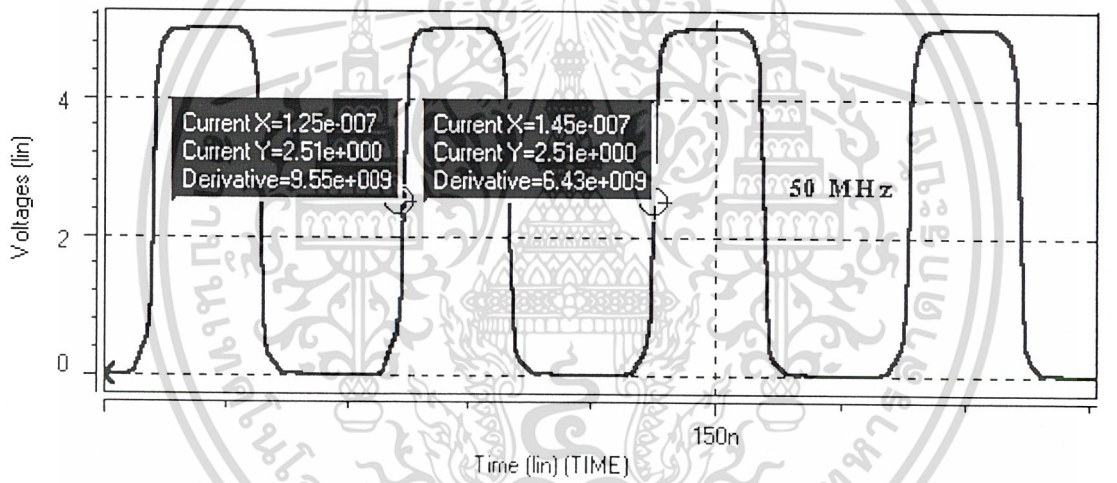
(ข) รูปคลื่นเอาท์พุตเมื่อผ่านวงจรขยาย

(ค) รูปคลื่นเอาท์พุตเมื่อผ่านวงจรซีมอสอินเวอร์เตอร์

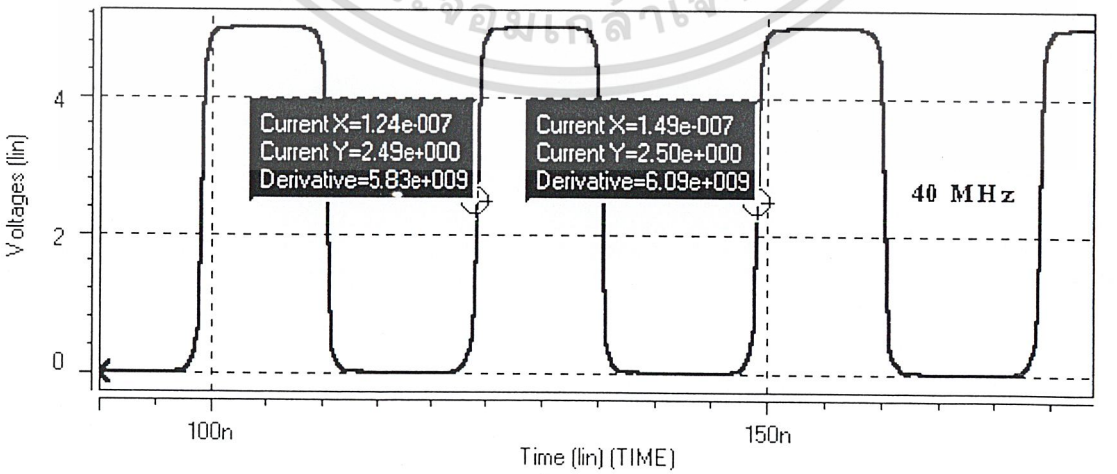
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 3.45 รูปคลื่นเอาท์พุตเมื่อ $V_{control}$ = 1.5V



รูป 3.46 รูปคลื่นเอาท์พุตเมื่อ $V_{control}$ = 2V



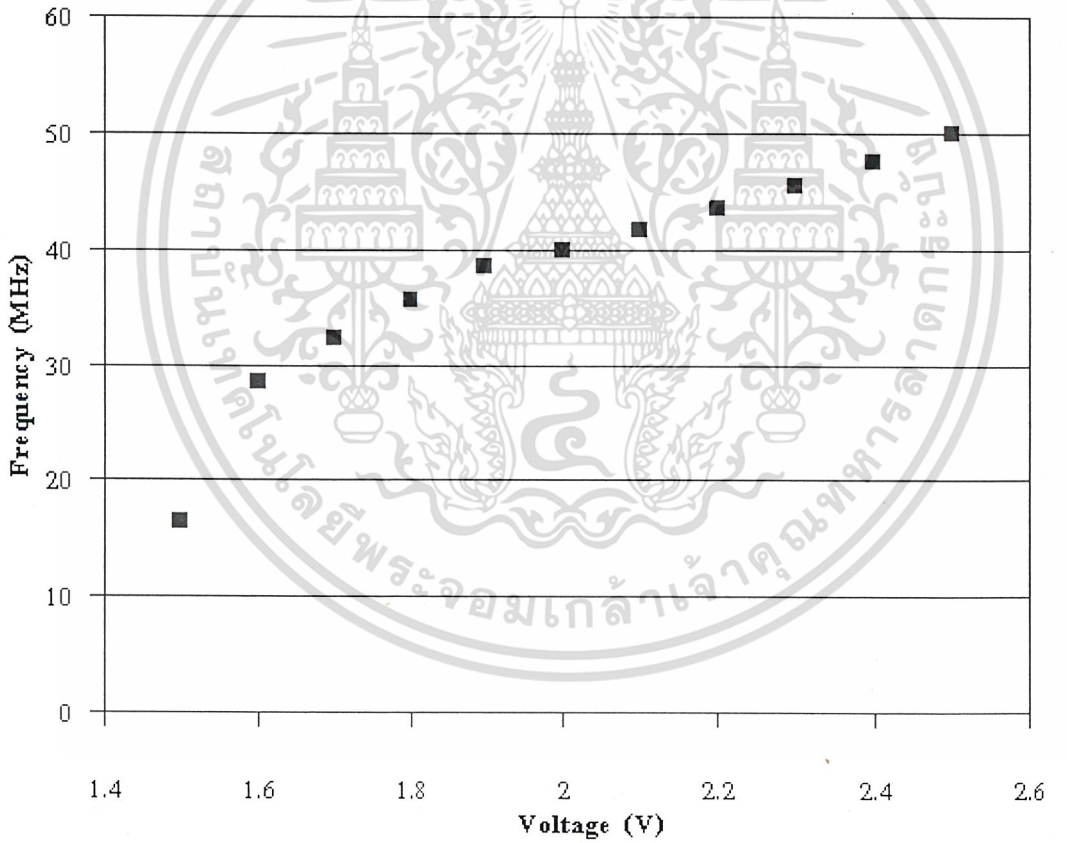
รูป 3.47 รูปคลื่นเอาท์พุตเมื่อ $V_{control}$ = 2.5V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตาราง 3.2 ความถี่ที่เปลี่ยนแปลงตามแรงดันควบคุมของวงจร VCO จากผลการทดลอง

แรงดัน (V)	1.5	1.6	1.7	1.8	1.9	2.0	2.1	2.2	2.3	2.4	2.5
ความถี่ (MHz)	16.4	28.6	32.3	35.7	38.5	40.0	41.7	43.5	45.5	47.6	50.0

เมื่อนำข้อมูลมาพล็อตกราฟหาความเป็นเชิงเส้นของวงจรออสซิลเลเตอร์จะได้ดังรูป 3.48



รูป 3.48 กราฟแสดงความสัมพันธ์ระหว่างความถี่และแรงดันควบคุม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

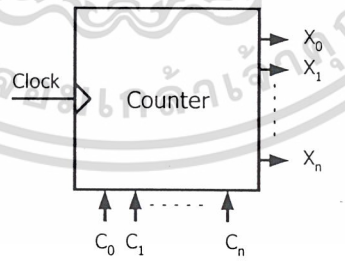
ตาราง 3.3 ค่าพารามิเตอร์ของวงจรออสซิลเลเตอร์

Parameter name	Value
f_{max}	50MHz
f_{min}	16.4MHz
V_{max}	2.5V
V_{min}	1.5V
K_{VCO}	149.4 $\times 10^{6}$ radians/V.s
Power	3.94mW

3.4 วงจรหารความถี่

การประยุกต์ใช้งานเฟสล็อคลูปส่วนใหญ่จะใช้ทำเป็นวงจรกำเนิดความถี่หรือคูณความถี่จากอินพุทเพิ่มขึ้น N เท่าโดยใช้วงจรหารความถี่ร่วมกับเฟสล็อคลูปโดยพื้นฐานของวงจรหารความถี่จึงมาจากวงจรนับดังนั้นจะกล่าวถึงรายละเอียดของหลักการพื้นฐานของวงจรนับดังนี้

วงจรนับหรือ Counter จะผลิตหรือนับจำนวนตัวเลขออกมาในแต่ละครั้งที่มีสัญญาณนาฬิกาอินพุทเข้ามาสัญลักษณ์โดยทั่วไปของวงจรนับแสดงดังรูป 3.49



รูป 3.49 สัญลักษณ์โดยทั่วไปของวงจรนับ

จากรูป 3.49 สัญญาณนาฬิกาจะเป็นอินพุทของวงจรนับใช้สำหรับเปลี่ยนสถานะของวงจรนับ วงจรนับจะมีหลายเอาท์พุทดังนั้นการเปลี่ยนแปลงของเอาท์พุทจึงมีหลายสถานะ จำนวนสูงสุดสถานะของเอาท์พุทจะสัมพันธ์กับจำนวนเอาท์พุทดังสมการ 3.47

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\text{counter state} = 2^{n} \tag{3.47}$$

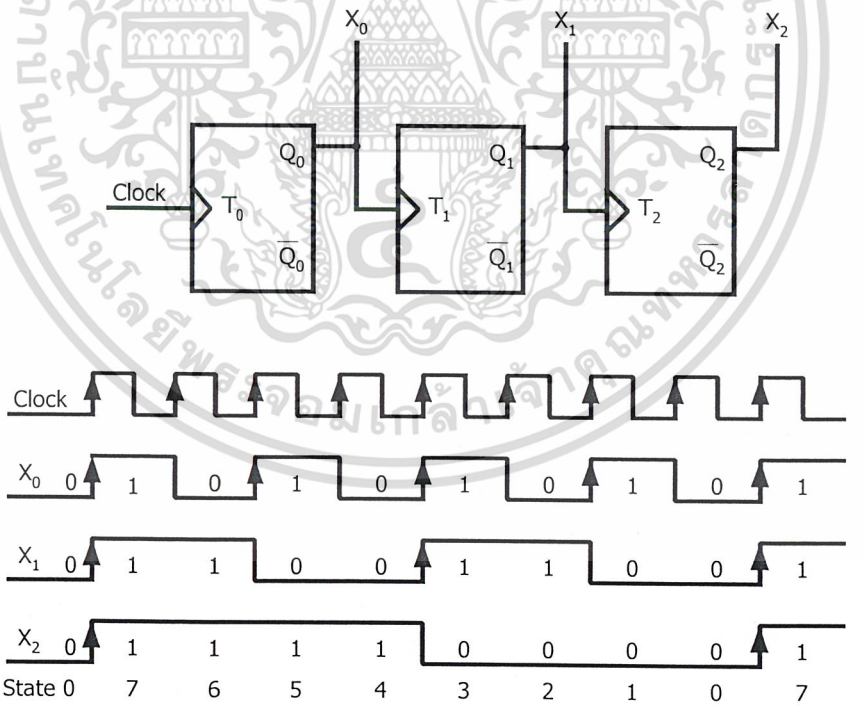
เมื่อ n คือจำนวนเอาท์พุทหรือจำนวนบิตของวงจรนับ เช่น วงจรนับ 3 บิต จะมีสถานะเอาท์พุทสูงสุด 8 สถานะ และวงจรนับ 4 บิต มีสถานะเอาท์พุทได้สูงสุด 16 สถานะ นอกจากนี้วงจรนับอาจจะมีสัญญาณควบคุมอินพุทดังแสดงในรูป 3.49 และวงจรนับยังแบ่งออกตามลักษณะการทำงานได้สองชนิดคือ

1. วงจรนับแบบไม่สัมพันธ์ (Asynchronous counter)
2. วงจรนับแบบสัมพันธ์ (Synchronous counter)

โดยวงจรนับแบบแรกนั้นเป็นวงจรนับที่ทุกครั้งที่มีสัญญาณเข้ามาที่อินพุท แต่แบบหลังนั้นการทำงานจะขึ้นกับสัญญาณควบคุมที่เรียกว่า คล็อค กล่าวคือ จะต้องมีทั้งอินพุทและคล็อคเข้ามาวงจรจึงจะนับหากมีเพียงสัญญาณอินพุทวงจรจะไม่ทำงาน โดยแต่ละแบบมีรายละเอียดดังนี้

3.4.1 วงจรนับแบบไม่สัมพันธ์ (Asynchronous counter)

วงจรนับแบบไม่สัมพันธ์ (Asynchronous counter) ขนาด 3 บิตที่สร้างจาก T flip-flops ต่อกันแบบอนุกรมและ timing diagram แสดงดังรูป 3.50



รูป 3.50 วงจรนับแบบไม่สัมพันธ์ขนาด 3 บิตแบบนับลง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูป 3. 50 เรานำเอาเอาท์พุทของฟลิป-ฟลอบตัวแรกส่งไปเป็นอินพุทของฟลิป-ฟลอบตัวที่ 2 และเอาท์พุทของฟลิป-ฟลอปตัวที่ 2 เป็นอินพุทของฟลิป-ฟลอปตัวที่ 3 เรื่อยๆไป เรา

เรียกวงจรนับแบบนี้ว่า ripple counter ค่าเวลาที่สูญเสียไปในการเดินทางของสัญญาณเรียกว่าเวลาหน่วงในการเดินทาง (Propagation Delay Time) จะมีค่าเท่ากับผลรวมของเวลาที่ใช้ในการเดินทางแต่ละตัว และจาก timing diagram จะเห็นได้ว่าทุกๆครั้งที่สัญญาณอินพุทผ่านฟลิป-ฟลอปตัวหนึ่งหรือที่เรียกว่า ภาค (Stage) นั้นความกว้างของสัญญาณพัลซ์จะเพิ่มขึ้นเท่าตัวหรือความถี่ลดลงครึ่งหนึ่งจากความถี่อินพุทโดยจากรูปถ้าให้ f เท่ากับความถี่ Clock จะได้ความถี่เอาท์พุทที่จุด X_0=f/2 ที่เอาท์พุท X_1=f/4 และ X_1=f/8

3.4.2 วงจรนับโหมด N

วงจรนับที่กล่าวข้างต้นเป็นวงจรนับที่มีลักษณะการนับเป็นไปตามแบบเลขฐานสองและสัญญาณที่ออกมาที่เอาท์พุทจะมีความถี่ลดลงเท่ากับค่าความถี่ของสัญญาณอินพุทหารด้วย 2^n ซึ่งหากเป็นเช่นนี้การนำไปใช้งานย่อมถูกจำกัดและวงจรนับที่นำไปใช้ส่วนมากจะนับได้ค่าที่ต่างจาก 2^n เช่น วงจรนับสิบ ที่เรียกว่า วงจรนับดีเคด (decade counter) ซึ่งใช้กันมาก

ก่อนศึกษาการควบคุมการนับจะพิจารณาถึงคำว่า หารด้วย N ก่อน โดยทั่วไปวงจรหารด้วย N นั้นหมายถึง วงจรที่ให้เอาท์พุทที่มีความถี่เป็น 1/N ของความถี่สัญญาณอินพุทโดยที่รูปร่างลักษณะไม่จำเป็นต้องเป็นสี่เหลี่ยมก็ได้ แต่จะต้องซ้ำตัวมันเองด้วยอัตราส่วน 1/N ของความถี่เดิม วงจรหารด้วย N หรือวงจรนับ N นั้นจะนับได้เท่ากับ N เมื่อนับไปได้ N ครั้งแล้ว การทำงานจะกลับมาเริ่มต้นใหม่ ซึ่งวงจรนับที่มีสถานะการนับ N ที่แตกต่างกัน เรามักเรียกว่า วงจรนับโมดูลัส N (Modulus-N Counter) หรือวงจรนับโหมด N (Mod-N Counter)

ตัวอย่างเช่น วงจรนับโหมด 3 หากใช้ฟลิป-ฟลอปตัวเดียวไม่สามารถแทนสถานะได้ครบเพราะฟลิป-ฟลอป 1 ตัวมี 2 สถานะหากใช้ 2 ตัวก็จะแทน 4 สถานะหากใช้ฟลิป-ฟลอป 2 ตัว และตัดสถานะทิ้งเสียหนึ่งสถานะ ก็จะได้วงจรนับโหมด 3 เช่น ตัดสถานะ 11 ทิ้ง ก็จะได้วงจรนับที่มีสถานะ 00 01 10 ตามลำดับ การทำงานเมื่อครบทั้งสามตัวแล้วก็จะวนไป 00 ใหม่ หรืออาจจะตัดสถานะอื่นทิ้งแทน 11 ก็ได้ ดังแสดงในตาราง 3.4

ตาราง 3.4 สถานะการนับของวงจรนับโหมด 3

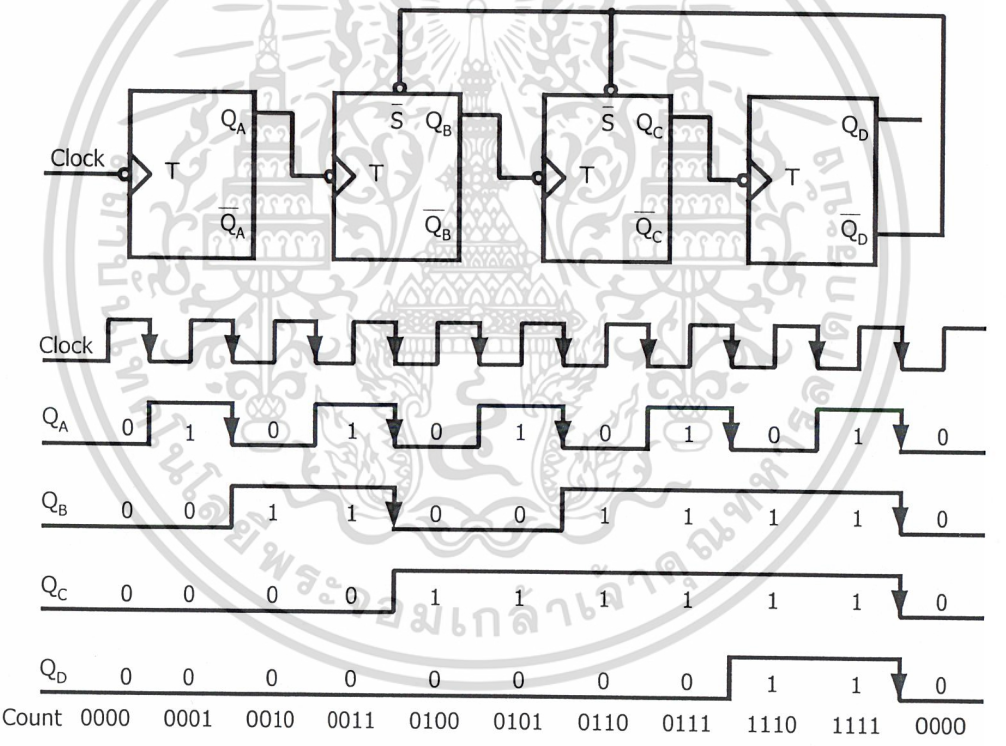
วิธีการ	A	B	C	D	E	F	G
สถานะ	00	00	00	00	00	00	00
ของการ	01	01	10	10	11	11	11
นับ	10	11	11	01	01	10	10

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากตาราง 3.4 จะพบว่ามีวิธีการในการออกแบบวงจรนับโหมด 3 ได้หลายวิธีที่จะเป็นไปได้การตัดสินใจเลือกแบบใดขึ้นอยู่กับแฟคเตอร์ต่างๆมากมาย เช่น ราคา, การนำไปใช้งาน, ความง่ายในการสร้าง แต่โดยทั่วไปมักเลือกแบบที่มีสถานะการนับเพิ่มขึ้นไปเรื่อยๆ เพื่อให้ง่ายในการสร้างวงจร กรณีดังกล่าวคือ กรณี A,B, และ C ในตาราง 3.4

3.4.3 การออกแบบวงจรนับด้วยวิธีการป้อนกลับ

วิธีการหนึ่งในการออกแบบวงจรนับให้สามารถนับได้ค่าตามต้องการคือการใช้เทคนิคในการป้อนกลับโดยการนำเอาสัญญาณที่ออกจากฟลิป-ฟลอปตัวหนึ่งป้อนกับไปเข้าฟลิป-ฟลอบตัวหน้า ดังแสดงในรูป 3.51



รูป 3.51 วงจรนับสิบโดยการป้อนกลับ

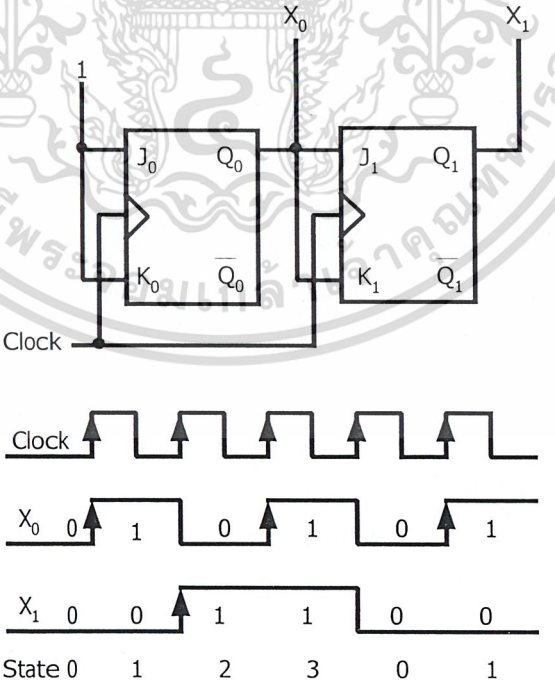
จากรูป 3.51 ปกติเป็นวงจรนับเลขฐานสองขนาด 4 ภาค ที่สามารถนับจากค่า 0000 ถึง 1111 หลังจากนั้นก็จะกลับมายังค่า 0000 ใหม่และนับเริ่มต้นไปใหม่ เรียกว่าวงจรนับโหมด 16 เมื่อนำค่าเอาท์พุท $\overline{Q}_D$ ป้อนกับไปยังขา Set ของฟลิป-ฟลอปตัวที่ 2 และ 3 จะทำให้สภาวะการนับเปลี่ยนไปดังแสดงการนับในรูป 3.51 โดยจะเห็นว่าการทำงานของวงจรนับ จะนับไปเรื่อยๆ แบบเลขฐานสองจนกระทั่งถึงค่าที่ Q_D เปลี่ยนจาก 0 ไปเป็น 1 คือที่การนับ 8 ค่าที่เปลี่ยนแปลง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ของ $\overline{Q_D}$ ทำให้ค่าของการนับค่า 8 นั้นเอาท์พุทของฟลิป-ฟลอป 2 และ 3 เปลี่ยนเป็น 1110 แทนที่จะเป็น 1000 วงจรจะนับไปเป็น 1111 และสัญญาณที่อินพุทตัวที่ 10 ฟลิป-ฟลอปทุกตัวทำงานให้ค่าเอาท์พุทค่า 0 หมดวงจรนี้สถานะการนับจะมี 10 สถานะจึงเรียกว่าวงจรนับโหมด 10

3.4.4 วงจรนับแบบสัมพันธ์ (Synchronous counter)

วงจรนับที่ได้กล่าวมาแล้วข้างต้น เป็นวงจรนับเลขฐานสองที่สามารถสร้างได้ง่ายและสามารถนำไปสร้างวงจรนับโหมดต่างๆตามที่ต้องการได้ แต่วงจรนับเหล่านี้การทำงานของฟลิป-ฟลอปตัวหลังจะขึ้นอยู่กับการทำงานของฟลิป-ฟลอปตัวหน้า ทำให้เกิดข้อกำจัดในด้านความถี่สูงของสัญญาณอินพุทที่วงจรนับนี้จะสามารถทำงานได้ ทั้งนี้เนื่องจากฟลิป-ฟลอปแต่ละตัวจะมีเวลาหน่วง (Delay-time) ในตัวมันเอง เวลาหน่วงของวงจรจะมีค่าเท่ากับค่าเวลาหน่วงของฟลิป-ฟลอปทุกตัวในวงจรรวมกัน ยิ่งวงจรมีขนาดใหญ่ขึ้นจำนวนฟลิป-ฟลอปมากขึ้น ทำให้ได้ค่าเวลาหน่วงมากตามไปด้วย ในระบบที่ต้องการความเร็วสูงนั้นจึงไม่นิยมใช้กัน แต่จะใช้วงจรนับอีกชนิดหนึ่งที่ให้ฟลิป-ฟลอปทุกตัวทำงานพร้อมกันทั้งหมดเรียกวงจรนี้ว่า วงจรนับแบบขนาน (Parallel counter) หรือวงจรนับแบบสัมพันธ์ (Synchronous counter) แสดงดังรูป 3.52



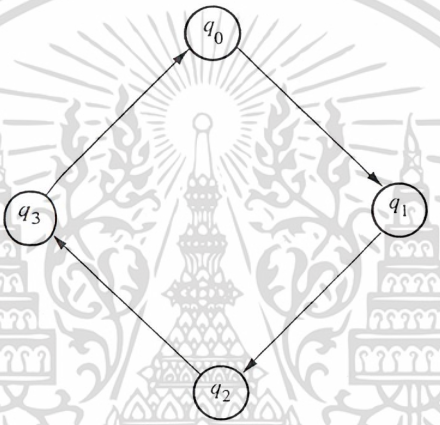
รูป 3.52 วงจรนับแบบสัมพันธ์ขนาด 2 บิตชนิดนับขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หลักการที่สำคัญของวงจรนับแบบขนานคือ การใส่สัญญาณคล็อคให้กับฟลิป-ฟลอบทุกตัวในเวลาเดียวกัน ดังนั้นฟลิป-ฟลอปทุกตัวที่มีอยู่จึงทำงานพร้อมกัน เวลาในการทำงานของวงจรนับจึงเท่ากับเวลาในการทำงานของฟลิป-ฟลอปตัวที่มีเวลาหน่วงมากที่สุด

การควบคุมการนับของวงจรนับแบบสัมพันธ์นั้นจะยุ่งยากกว่าวงจรนับแบบไม่สัมพันธ์ โดยจะมีวิธีในการออกแบบเป็นขั้นตอนอยู่ประมาณ 6 ขั้นตอนตัวอย่างการออกแบบวงจรนับขนาด 2 บิตแบบนับขึ้นดังรูป 3.52 มีขั้นตอนคือ

1. เขียนไดอะแกรมบอกสถานะ (State diagram) การนับดังรูป 3.53



รูป 3.53 ไดอะแกรมแสดงสถานะการนับของวงจรนับขนาด 2 บิตแบบนับขึ้น

2. จากไดอะแกรมบอกสถานะเขียนตารางสถานะ (State table) ของวงจรนับดังตาราง 3.5 โดยเขียนสถานะที่จะเกิดขึ้นได้ทั้งหมดในแถวทางซ้ายมือและเขียนสถานะถัดไปทางขวามือ

ตาราง 3.5 สถานะการนับของวงจรนับขนาด 2 บิตแบบนับขึ้น

q^n	q^{n+1}
q_0	q_1
q_1	q_2
q_2	q_3
q_3	q_0

3. เขียนตารางแสดงการเปลี่ยนสถานะของวงจรนับ (Transition table) ดังตาราง 3.6

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตาราง 3.6 การเปลี่ยนแปลงสถานะของวงจรนับขนาด 2 บิตแบบนับขึ้น

$(Q_1\ Q_0)^n$	$(Q_1\ Q_0)^{n+1}$
0 0	0 1
0 1	1 0
1 0	1 1
1 1	0 0

4. ที่ผ่านมาสามขั้นตอนนั้นยังไม่ขึ้นอยู่กับชนิดของฟลิป-ฟลอป ในขั้นนี้จะต้องเลือกแล้วว่าจะใช้ฟลิป-ฟลอบแบบใด และจะใช้วิธีการ excitation maps ในการคำนวณเพื่อที่จะควบคุมอินพุทของฟลิป-ฟลอป โดยจะใช้ควบคู่กับ transition table ในที่นี้เลือกใช้ดีฟลิป-ฟลอป โดย excitation map ของดีฟลิป-ฟลอป แสดงดังตาราง 3.7

ตาราง 3.7 excitation map ของดีฟลิป-ฟลอป

Q^n	Q^{n+1}	D
0	0	0
0	1	1
1	0	0
1	1	1

จาก excitation map ของดีฟลิป-ฟลอปและ transition table สามารถนำมาเขียนความสัมพันธ์ของการนับได้เป็น excitation maps ของวงจรนับขนาด 2 บิตแบบนับขึ้นได้ดังรูป 3.53

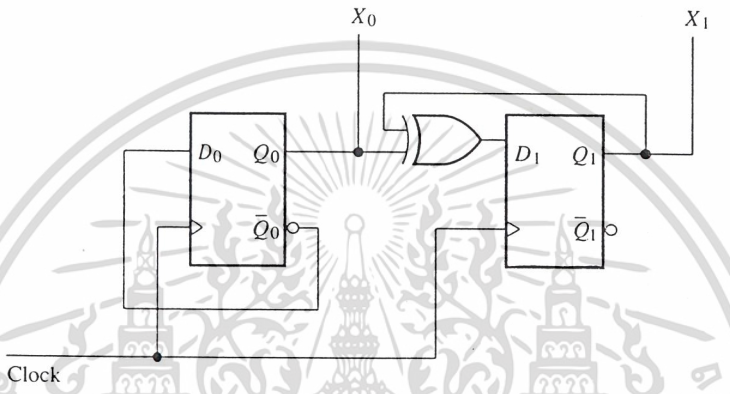
รูป 3.54 Excitation maps ของวงจรนับแบบสันพันธ์ขนาด 2 บิตแบบนับขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5. จาก Excitation maps ทำการหาค่า Excitation equation จะได้

$$D_0 = \overline{Q}_0$$
$$D_1 = Q_1\overline{Q}_0 + \overline{Q}_1 Q_0$$
$$\therefore \quad D_1 = Q_1 \oplus Q_0$$

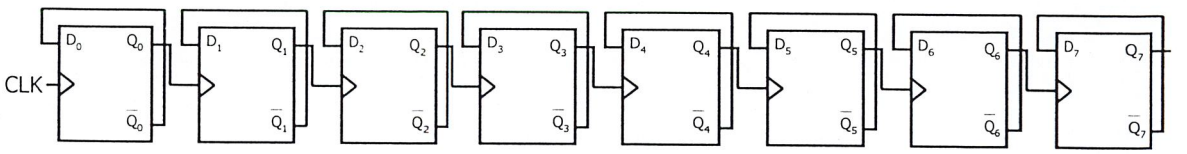
6. นำค่า Excitation equation ที่ได้มาสร้างเป็นวงจรนับแบบสัมพันธ์ขนาด 2 บิตแบบนับขึ้นจะได้วงจรเป็นดังรูป 3.55



รูป 3.55 วงจรนับแบบสัมพันธ์ขนาด 2 บิตแบบนับขึ้นโดยใช้ดีฟลิป-ฟลอป

3.4.5 การจำลองการทำงานวงจรนับขนาด 8 bit แบบไม่สัมพันธ์(Asynchronous counter)

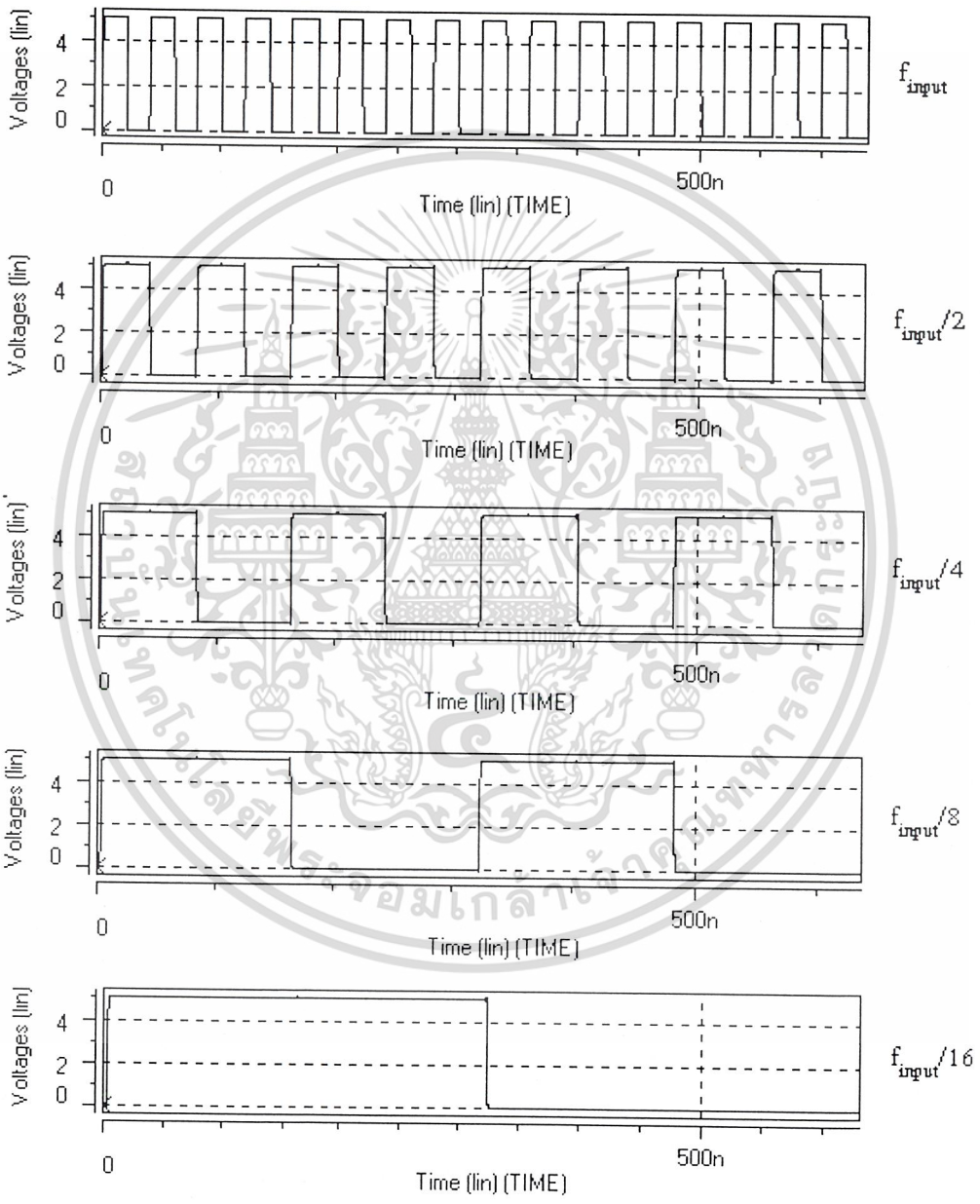
เนื่องจากค่าความถี่จากวงจรออสซิลเลเตอร์แบบควบคุมความถี่ด้วยแรงดันไฟฟ้าที่ผลิตออกมาได้มีค่าอยู่ระหว่างประมาณ 10MHz ถึงประมาณ 20MHz เลือกใช้วงจรนับขนาด 8 บิตแบบไม่สัมพันธ์ดังนั้นความถี่ต่ำสุดที่สามารถใช้ได้เพื่อให้คูณขึ้นมาแล้วทำให้วงจรออสซิลเลเตอร์สามารถทำงานได้ประมาณ 40KHz (40KHz×256=10.24MHz) วงจรนับขนาด 8 บิตแบบไม่สัมพันธ์แสดงดังรูป 3.56



รูป 3.56 วงจรนับแบบไม่สัมพันธ์ขนาด 8 บิตแบบนับขึ้นโดยใช้ดีฟลิป-ฟลอป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูป 3.56 ทำการจำลองการทำงานหาเอาท์พุทที่จุดต่าง ดังแสดงในรูป 3.57 เป็นเอาท์พุทของ Q_0 ถึง Q_4 โดยที่ความถี่อินพุทเท่ากับ 25MHz



รูป 3.57 เอาท์พุท Q_0 ถึง Q_4 ของวงจรนับแบบไม่สัมพันธ์เมื่อความถี่อินพุทเท่ากับ 25MHz

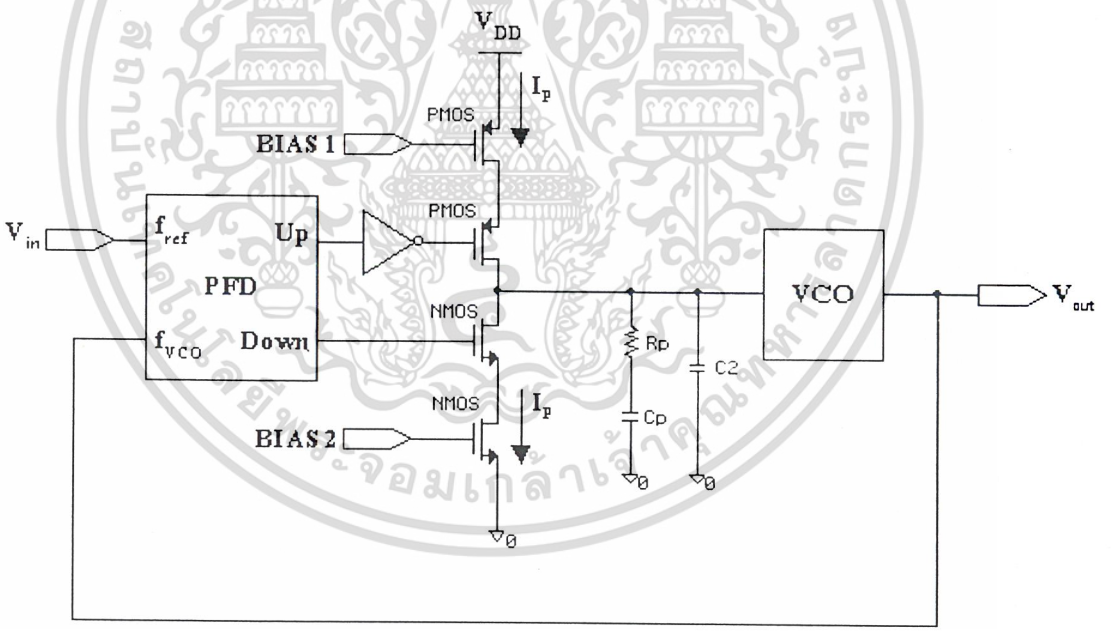
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4
การออกแบบและผลการทดลองเฟสล็อคลูปแบบดิจิตอล

จากองค์ประกอบพื้นฐานหลักของเฟสล็อคลูปที่ได้ออกแบบและทำการทดลองไว้แล้วในบทที่ 3 ในขั้นตอนต่อไปจะนำเอาองค์ประกอบดังกล่าวมาสร้างเป็นเฟสล็อคลูปเพื่อตรวจสอบคุณสมบัติโดยจะสร้าง 2 แบบเอาท์พุตของตัวดักจับเฟสความถี่เป็นแบบแหล่งจ่ายกระแสคงที่(Charge pupm) และแบบเอาท์พุทของตัวดักจับเฟสเป็นแบบสามสถานะ (tri-state)

4.1 วงจรเฟสล็อคลูปแบบเอาท์พุตตัวดักจับเฟสความถี่แบบแหล่งจ่ายกระแสคงที่(Charge-pump)

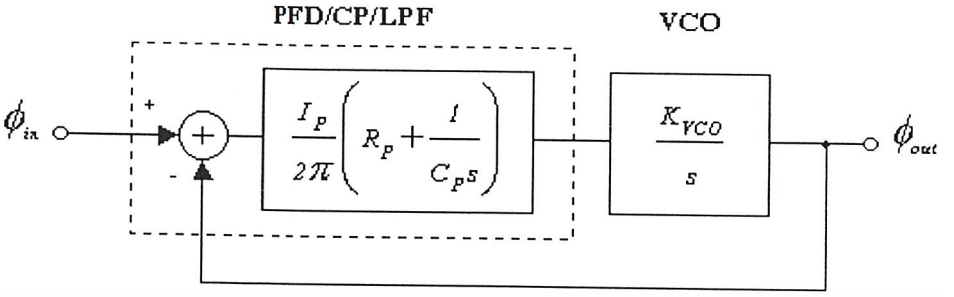
วงจรเฟสล็อคลูปดิจิตอลแบบเอาท์พุตของตัวดักจับเฟสความถี่เป็นแบบแหล่งจ่ายกระแสคงที่แสดงดังรูป 4.1



รูป 4.1 วงจรเฟสล็อคลูปแบบเอาท์พุตของตัวดักจับเฟสความถี่แบบแหล่งจ่ายกระแสคงที่

จากรูป 4.1 สามารถแทนวงจรทั้งหมดในรูปแบบเชิงเส้นได้โดยอาศัยคุณสมบัติการทำงานของอุปกรณ์แต่ละชุดได้ดังรูป 4.2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 4.2 รูปแบบเชิงเส้นของเฟสล็อคลูปที่มีเอาท์พุทตัวดักจับเฟสความถี่แบบแหล่งจ่ายกระแสคงที่

จากรูป 4.2 ฟังก์ชั่นถ่ายโอนของระบบปิดคือ

$$H(s)=\frac{\phi_{out}}{\phi_{in}}(s)=\frac{\frac{I_P K_{VCO}}{2\pi C_P}(R_P C_P s+1)}{s^2+\frac{I_P}{2\pi}K_{VCO}R_P s+\frac{I_P}{2\pi C_P}K_{VCO}} \tag{4.1}$$

และจากทฤษฎีระบบควบคุมดังได้กล่าวในบทที่ 2 จะได้ค่า

$$\omega_n=\sqrt{\frac{I_P K_{VCO}}{2\pi C_P}} \tag{4.2}$$

$$\zeta=\frac{R_P}{2}\sqrt{\frac{I_P C_P K_{VCO}}{2\pi}} \tag{4.3}$$

$$=\frac{\omega_n}{2}\cdot R_P C_P \tag{4.4}$$

โดยขั้นตอนการออกแบบเพื่อทดสอบว่าเฟสล็อคลูปสามารถเข้าสู่สภาวะล็อคได้ มีดังนี้

1. กำหนดความถี่อินพุต เนื่องจากเป็นการป้อนกลับจากเอาท์พุตกลับมาที่อินพุทโดยตรง (ยังไม่ได้มีการหารความถี่) ดังนั้นจึงกำหนดความถี่อินพุตที่วงจรควบคุมความถี่ด้วยแรงดันไฟฟ้าสามารถสร้างได้ โดยกำหนดความถี่อินพุตเท่ากับ 40MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2. กำหนดย่านความถี่การล็อค (Δf_L) เท่ากับ 2MHz ซึ่งหมายความว่าเฟสล็อคลูปสามารถล็อคที่ย่านความถี่อินพุตตั้งแต่ 38MHz ถึง 42MHz และจากสมการ lock range โดยเฟสล็อคลูปทั้งเอาท์พุตของตัวดักจับเฟสเป็นแบบสามสถานะและแบบแหล่งจ่ายกระแสคงที่จะมีค่าเท่ากันคือ

$$\Delta\omega_L = 4\pi\zeta\omega_n \tag{4.5}$$

กำหนด ζ = 0.7 และจากย่านความถี่การล็อคที่กำหนดสามารถหาค่า ω_n จากสมการ 4.5 คือ

$$\omega_n = \frac{2\pi \cdot 2MHz}{4\pi \cdot 0.7} = 1.43\times 10^6 \text{ radians/s}$$

3. จากค่า ω_n ที่ได้จากข้อ 2 สามารถหาค่า C_P ได้จากสมการ 4.2 โดยเทอม $I_P/2\pi$ คือค่าอัตราขยายของวงจรดักจับเฟส :K_{PD} จากการออกแบบ I_P = 100μA ดังนั้นจะได้ค่า K_{PD} = 15.9 $\times 10^{-6}$ amps/radian และค่าอัตราขยายของวงจร VCO :K_{VCO} จากกราฟรูป 3.48 เลือกช่วงที่เป็นเชิงเส้น K_{VCO} = 2π(50MHz - 28.6MHz)/(2.5V-1.6V) = 149.4 $\times 10^6$ radians/V.s จะได้

$$C_P = \frac{K_{PD}K_{VCO}}{(\omega_n)^2} \approx 1nF$$

4. จากสมการ 4.4 สามารถหาค่า R_P ได้

$$R_P = \frac{2\zeta}{\omega_n C_P} \approx 1K\Omega$$

5. ส่วนค่า C_2 จะมีค่าประมาณหนึ่งในห้าหรือหนึ่งในสิบของ C_P เลือกที่ 100pF

6. คำนวณหาค่าเวลาที่ใช้ในการเข้าสู่สภาวะล็อค : T_L ซึ่งมีค่าดังสมการ 4.6

$$T_L = \frac{2\pi}{\omega_n} \tag{4.6}$$

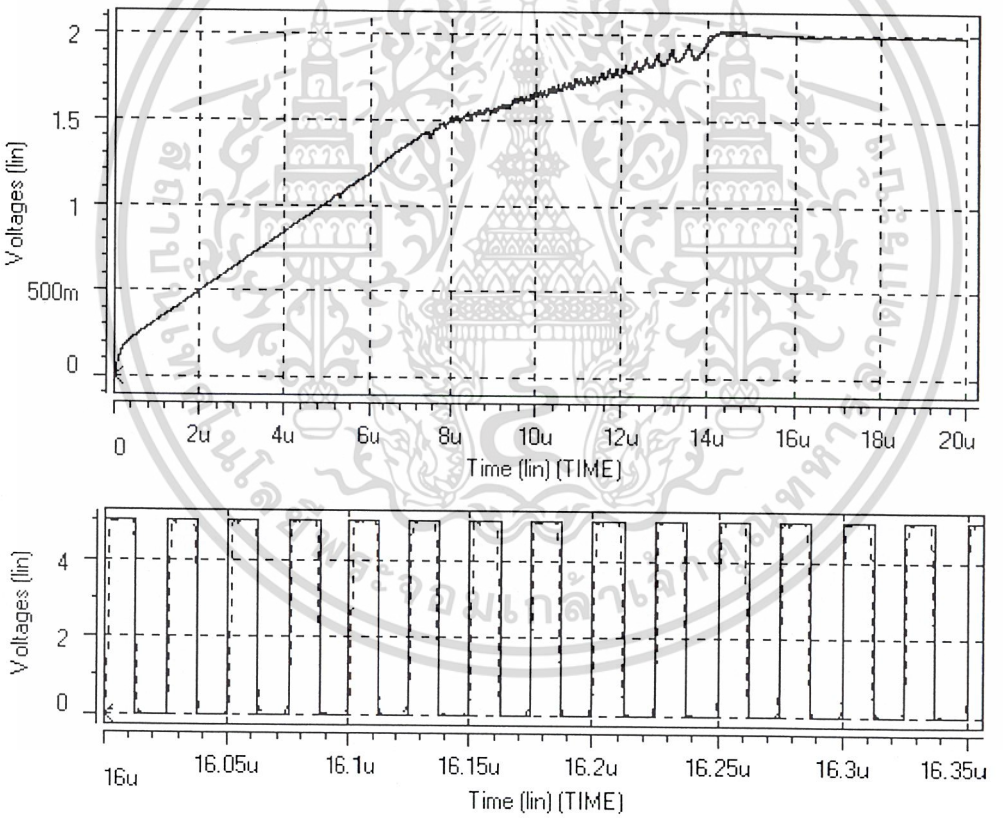
เมื่อแทนค่า ω_n จะได้ค่า T_L ประมาณ 4.4 μs

7. จากค่า C_P, R_P และ C_2 นำไปทำการจำลองการทำงานของเฟสล็อคลูปโดยใช้ความถี่อินพุตที่ 40MHz ผลการทดลองที่ได้แสดงดังรูป 4.3 ซึ่งจะสังเกตุได้ว่าแรงดันที่วงจรกรองความถี่ต่ำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

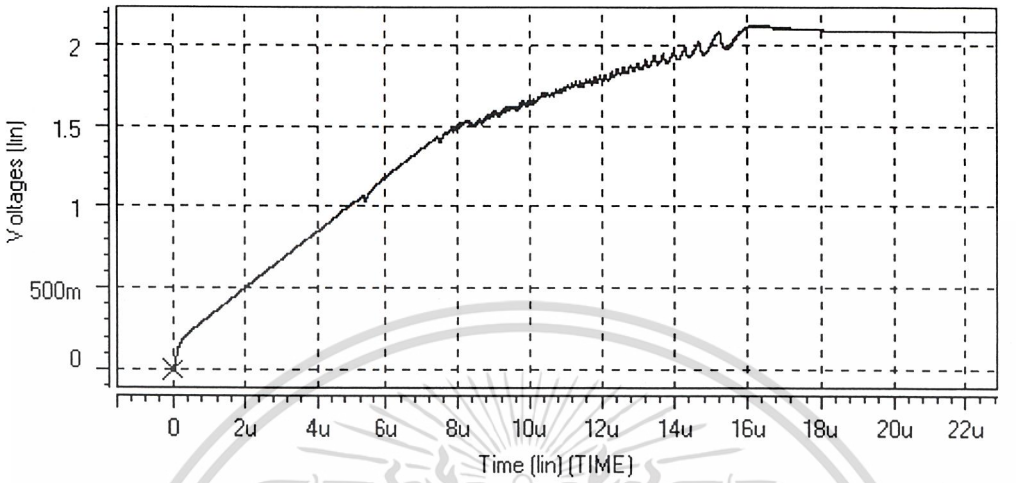
จะเข้าสู่สภาวะคงที่จะต้องใช้เวลาประมาณ 17μs นั่นก็คือเวลาที่ใช้ในการเข้าสู่สภาวะล็อคของเฟสล็อคลูปซึ่งมีค่าผิดพลาดจากการคำนวณเนื่องมาจากการประมาณค่า K_{VCO} ว่ามีความเป็นเชิงเส้นและรูป 4.3 นี้ยังมีการเปรียบเทียบระหว่างสัญญาณอินพุต(เส้นทึบ) กับสัญญาณเอาท์พุต(เส้นประ) ณ เวลาที่จะเข้าสู่สภาวะล็อคระหว่าง 16μs ถึง 16.35μs

8. ทำการทดสอบย่านการล็อคโดยป้อนความถี่อินพุตเป็น 42MHz และ 38MHz ระดับแรงดันที่วงจรกรองความถี่ต่ำและสัญญาณเปรียบเทียบระหว่างเอาท์พุตกับอินพุตแสดงดังรูป 4.4 และ 4.5 ตามลำดับ จะเห็นว่าที่ความถี่ 42MHz ช่วงเวลาเข้าสู่สภาวะการล็อคจะมากกว่า 17μs อยู่เล็กน้อยและที่ความถี่ 38MHz จะน้อยกว่า 17μs อยู่เล็กน้อยเช่นกัน

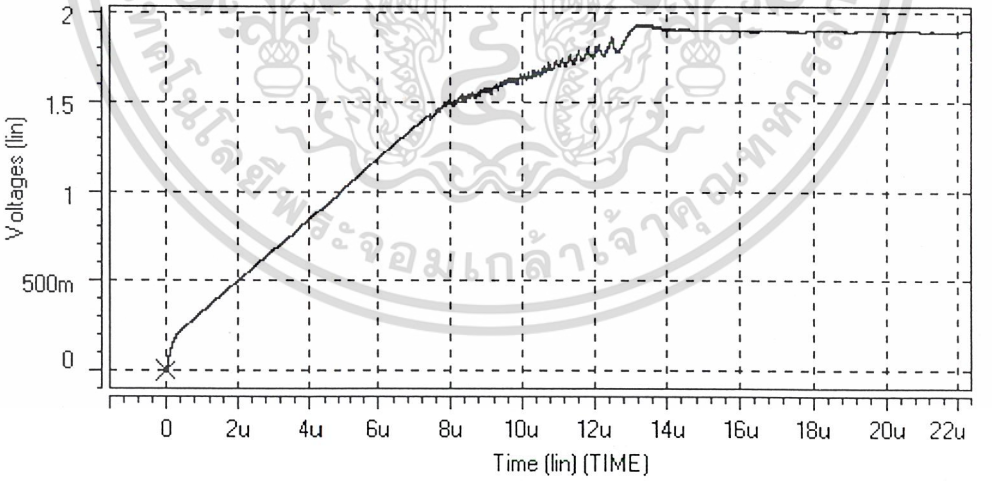


รูป 4.3 แรงดันที่วงจรกรองความถี่ต่ำและแรงดันอินพุตกับเอาท์พุตเมื่อวงจรเข้าสู่สภาวะล็อคที่ความถี่อินพุต 40MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 4.4 การเปลี่ยนแปลงของแรงดันที่วงจรกรองความถี่ต่ำเพื่อเข้าสู่สภาวะล็อคที่ความถี่อินพุท 42MHz

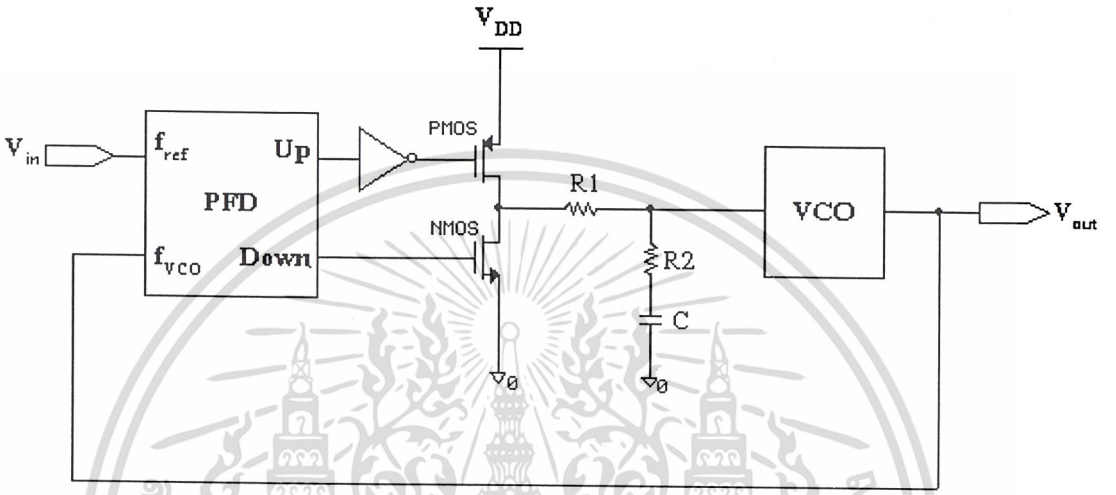


รูป 4.5 การเปลี่ยนแปลงของแรงดันที่วงจรกรองความถี่ต่ำเพื่อเข้าสู่สภาวะล็อคที่ความถี่อินพุท 38MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

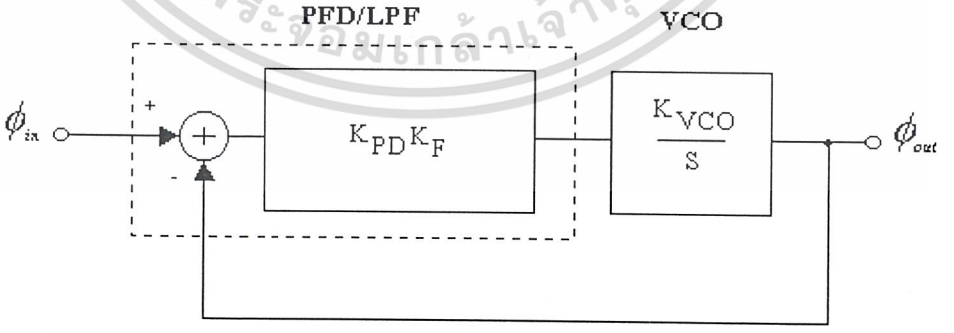
4.2 วงจรเฟสล็อคลูปแบบเอาท์พุตตัวดักจับเฟสความถี่แบบสามสถานะ(Tri-state)

วงจรเฟสล็อคลูปดิจิตอลแบบเอาท์พุตของตัวดักจับเฟสความถี่เป็นแบบสามสถานะแสดงดังรูป 4.6



รูป 4.6 วงจรเฟสล็อคลูปแบบเอาท์พุตของตัวดักจับเฟสความถี่แบบสามสถานะ(Tri-state)

จากรูป 4.6 จะสามารถเขียนระบบให้อยู่ในรูปแบบเชิงเส้นได้ดังรูป 4.7



รูป 4.7 รูปแบบเชิงเส้นของเฟสล็อคลูปที่มีเอาท์พุทตัวดักจับเฟสความถี่แบบสามสถานะ(Tri-state)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูป 4.7 ฟังก์ชั่นถ่ายโอนของระบบปิดคือ

$$H(s)=\frac{\phi_{out}}{\phi_{in}}(s)=\frac{K_{PD}K_{VCO}\dfrac{1+sR_2C}{(R_1+R_2)C}}{s^2+s\dfrac{1+K_{PD}K_FK_{VCO}R_2C}{(R_1+R_2)C}+\dfrac{K_{PD}K_{VCO}}{(R_1+R_2)C}} \tag{4.7}$$

และจากทฤษฎีระบบควบคุมดังได้กล่าวในบทที่ 2 จะได้ค่า

$$\omega_n=\sqrt{\frac{K_{PD}K_{VCO}}{(R_1+R_2)C}} \tag{4.8}$$

$$\zeta=\frac{\omega_n}{2}\cdot(R_2C+\frac{1}{K_{PD}K_{VCO}}) \tag{4.9}$$

โดยขั้นตอนการออกแบบเพื่อทดสอบว่าเฟสล็อคลูปสามารถเข้าสู่สภาวะล็อคได้ มีดังนี้

1. กำหนดความถี่อินพุต เนื่องจากเป็นการป้อนกลับจากเอาท์พุตกลับมาที่อินพุทโดยตรง (ยังไม่ได้มีการหารความถี่) ดังนั้นจึงกำหนดความถี่อินพุตที่วงจรควบคุมความถี่ด้วยแรงดันไฟฟ้าสามารถสร้างได้ โดยกำหนดความถี่อินพุตเท่ากับ 40MHz

2. กำหนดย่านความถี่การล็อค (Δf_L) เท่ากับ 2MHz ซึ่งหมายความว่าเฟสล็อคลูปสามารถล็อคที่ย่านความถี่อินพุตตั้งแต่ 38MHz ถึง 42MHz และจากสมการ lock range โดยเฟสล็อคลูปทั้งเอาท์พุตของตัวดักจับเฟสเป็นแบบสามสถานะและแบบแหล่งจ่ายกระแสคงที่จะมีค่าเท่ากันคือ

$$\Delta\omega_L=4\pi\zeta\omega_n \tag{4.10}$$

กำหนด ζ = 0.7 และจากย่านความถี่การล็อคที่กำหนดสามารถหาค่า ω_n จากสมการ 4.10 คือ

$$\omega_n=\frac{2\pi\cdot 2MHz}{4\pi\cdot 0.7}=1.43\times10^6 \text{ radians/s}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3. จากค่า ω_n ที่ได้จากข้อ 2 สามารถหาค่า R_2C ได้จากสมการ 4.9 เมื่อ N=1 โดยค่าอัตราขยายของวงจรดักจับเฟส :K_{PD} แบบเอาท์พุทสามสถานะ (tri-state) คือ $K_{PD} = V_{DD}/4\pi$ เท่ากับ $5/4\pi$ =0.398 volt/radian และค่าอัตราขยายของวงจร VCO :K_{VCO} จากกราฟรูป 3.48 เลือกช่วงที่เป็นเชิงเส้น $K_{VCO} = 2\pi(50MHz - 28.6MHz)/(2.5V-1.6V) = 149.4 \times 10^6$ radians/V.s ได้

$$R_2C = \frac{2\cdot\zeta}{\omega_n} - \frac{1}{K_{PD}K_{VCO}}$$
$$= 962.2nS$$

4. จากค่า R_2C แทนค่าในสมการ 4.8 สามารถหาค่า R_1C ได้

$$R_1C = \frac{K_{PD}K_{VCO}}{\omega_n^{\,2}} - R_2C$$
$$= 28.11\mu S$$

5. กำหนดค่าอุปกรณ์ จากข้อ 3 และข้อ 4 สรุปได้ดังนี้

$$R_1C = 28.11\mu S$$
$$R_2C = 962.2nS$$

กำหนดค่า C=1nF จะได้ค่า R_1=28KΩ และ R_2=1KΩ

6. คำนวณหาค่าเวลาที่ใช้ในการเข้าสู่สภาวะล็อค : T_L ซึ่งมีค่าดังสมการ 4.11

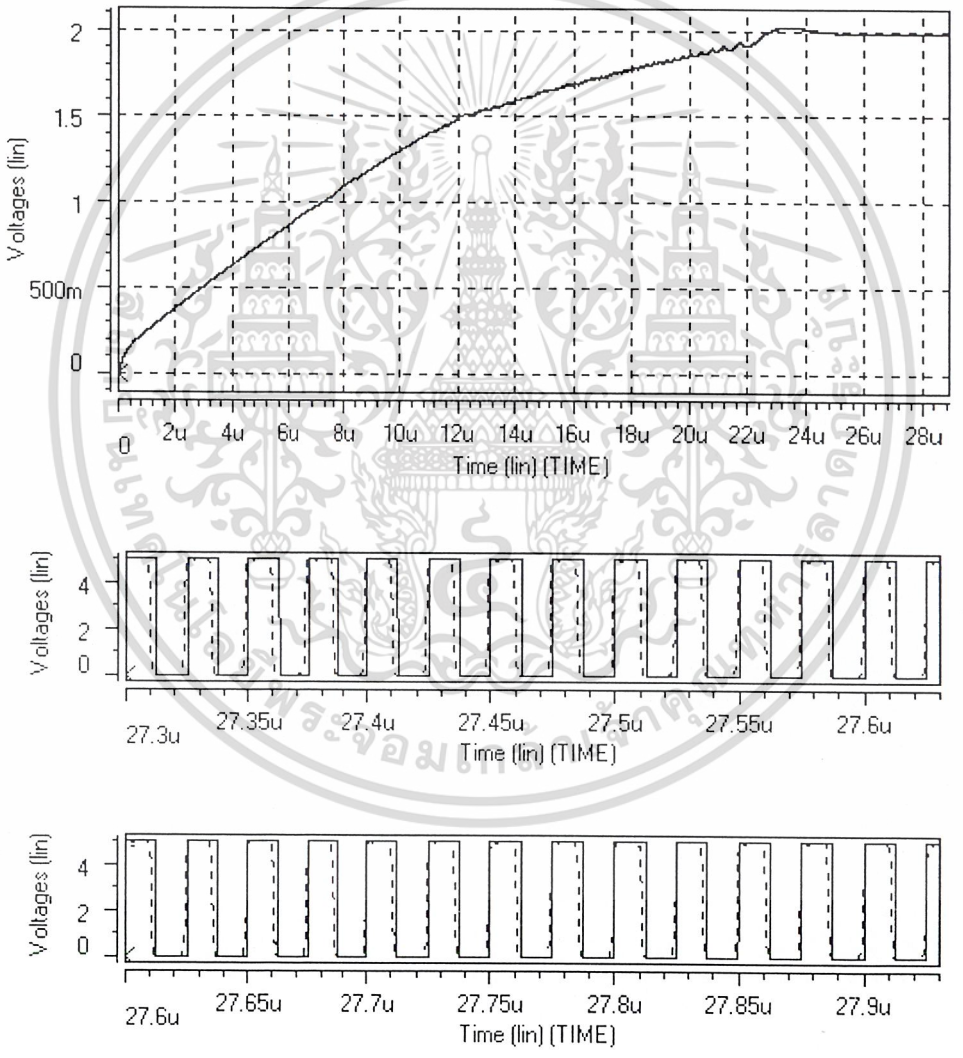
$$T_L = \frac{2\pi}{\omega_n} \qquad (4.11)$$

เมื่อแทนค่า ω_n จะได้ค่า T_L ประมาณ 4μs

7. จากค่า C, R_1 และ R_2 นำไปทำการจำลองการทำงานของเฟสล็อคลูปโดยใช้ความถี่อินพุตที่ 40MHz ผลการทดลองที่ได้แสดงดังรูป 4.8 ซึ่งจะสังเกตุได้ว่าแรงดันที่วงจรกรองความถี่ต่ำจะเข้าสู่สภาวะคงที่จะต้องใช้เวลาประมาณ 27.5μs นั่นก็คือเวลาที่ใช้ในการเข้าสู่สภาวะล็อคของเฟสล็อคลูปซึ่งมีค่าผิดพลาดจากการคำนวณเนื่องมาจากการประมาณค่า K_{VCO} ว่ามีความเป็นเชิงเส้นและผลของพาราซิติค และรูป 4.8 ก็ได้การเปรียบเทียบระหว่างสัญญาณอินพุต(เส้นทึบ) กับสัญญาณเอาท์พุต(เส้นปะ) ณ เวลาที่จะเข้าสู่สภาวะล็อครระหว่าง 27.3μs ถึง 27.9μs

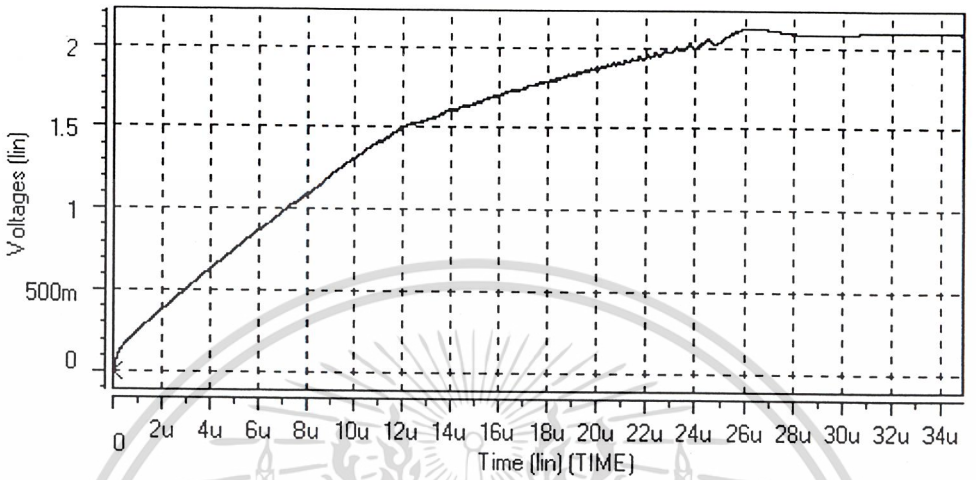
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

8. ทำการทดสอบย่านการล็อคโดยป้อนความถี่อินพุตเป็น 42MHz และ 38MHz ระดับแรงดันที่วงจรกรองความถี่ต่ำและสัญญาณเปรียบเทียบระหว่างเอาท์พุตกับอินพุตแสดงดังรูป 4.9 และ 4.10 ตามลำดับจะเห็นว่าที่ความถี่ 42MHz ช่วงเวลาเข้าสู่สภาวะการล็อคจะมากกว่า 27.5μs อยู่เล็กน้อยและที่ความถี่ 38MHz จะน้อยกว่า 27.5μs อยู่เล็กน้อยเช่นกัน

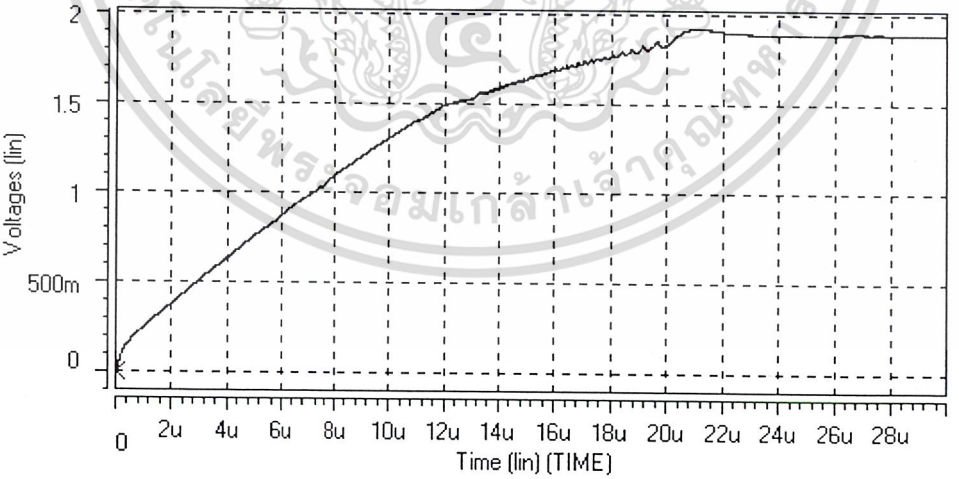


รูป 4.8 แรงดันที่วงจรกรองความถี่ต่ำและแรงดันอินพุตกับเอาท์พุตเมื่อวงจรเข้าสู่สภาวะล็อคที่ความถี่อินพุต 40MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 4.9 การเปลี่ยนแปลงของแรงดันที่วงจรกรองความถี่ต่ำเพื่อเข้าสู่สภาวะล็อคที่ความถี่อินพุท 42MHz



รูป 4.10 การเปลี่ยนแปลงของแรงดันที่วงจรกรองความถี่ต่ำเพื่อเข้าสู่สภาวะล็อคที่ความถี่อินพุท 38MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
การออกแบบลวดลายอุปกรณ์

5.1 อุตสาหกรรมการผลิตวงจรรวม

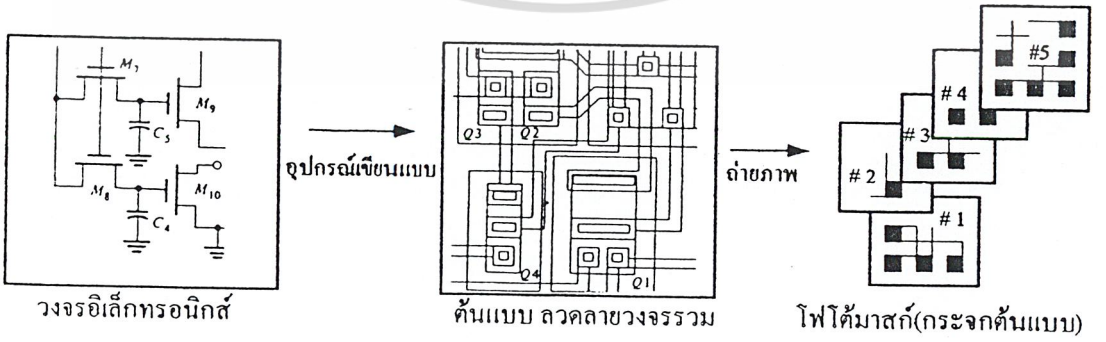
ในอุตสาหกรรม การผลิตวงจรรวม ถือได้ว่า เป็นอุตสาหกรรมที่ต้องใช้เทคโนโลยีชั้นสูงและต้องใช้งบประมาณในการดำเนินการจำนวนมหาศาล อีกทั้งยังต้องการบุคลากรที่มีความรู้ความสามารถ และมีความเชี่ยวชาญหลากหลายสาขา ดังนั้น อุตสาหกรรมการผลิตวงจรรวมจึงเป็นอุตสาหกรรมขนาดใหญ่อย่างหนึ่ง ซึ่งเป็นการยากที่จะดำเนินการให้ครบวงจรอย่างสมบูรณ์ โดยทั่วไป มักจะจัดแบ่งเป็นส่วนๆ ที่สำคัญได้ 3 ส่วนใหญ่ๆ ดังนี้ คือ

1. การออกแบบ (Design)
2. การสร้าง (Fabrication)
3. การเก็บบรรจุ (Packaging)

โดยแต่ละส่วนจะมีความสัมพันธ์กันเพื่อที่จะได้ผลลัพธ์เป็นไอซีตามที่ต้องการโดยแต่ละส่วนมีรายละเอียดดังนี้

5.1.1 การออกแบบ (Design)

การออกแบบวงจรรวมหมายถึง การออกแบบและคำนวณวงจรอิเล็กทรอนิกส์ตามต้องการแล้วทำการออกแบบขนาดรูปร่างและลวดลายของส่วนต่างๆ ของอุปกรณ์ที่จะสร้างขึ้น จากนั้นจึงนำลวดลายต้นแบบที่ได้ไปทำการสร้างเป็นกระจกลายต้นแบบซึ่งเรียกว่า กระจกต้นแบบหรือโฟโต้มาสก์(Photo mash) เพื่อนำไปใช้ในกระบวนการสร้างวงจรรวมบนแผ่นผลึกซิลิกอน โดยลำดับขั้นตอนการสร้างวงจรรวมแสดงดังรูป 5.1



รูป 5.1 ขั้นตอนการสร้างวงจรรวม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในขั้นตอนของการออกแบบลวดลาย ในกรณีที่เป็นวงจรง่ายๆไม่สลับซับซ้อนหรือเป็นวงจรที่มีจำนวนของตัวอุปกรณ์ไม่มาก ซึ่งเรียกว่าวงจรขนาดเล็ก อาจใช้วิธีการเขียนลวดลายด้วยมือโดยใช้อุปกรณ์การเขียนแบบทั่วไป แต่ในกรณีที่เป็นวงจรซึ่งมีความสลับซับซ้อน มีจำนวนอุปกรณ์มาก ที่เรียกว่า วงจรรวมขนาดใหญ่ หรือ ใหญ่มาก เช่น LSI หรือ VLSI การออกแบบลวดลายไม่สามารถทำได้ด้วยมือหรืออุปกรณ์เขียนแบบธรรมดา เนื่องจากต้องใช้เวลานานและยุ่งยากมาก ดังนั้นจึงจำเป็นต้องใช้อุปกรณ์คอมพิวเตอร์และโปรแกรมพิเศษ เพื่อช่วยในการออกแบบ และเขียนลวดลาย ซึ่งระบบคอมพิวเตอร์ดังกล่าวนี้ เรียกว่า CAD (Computer Aid Design)

ปัจจุบันนี้ ระบบ CAD ได้ถูกนำมาใช้อย่างแพร่หลายและได้รับการพัฒนาไปอย่างรวดเร็วจนมีขีดความสามารถสูงมาก เพราะไม่เพียงแต่จะช่วยในการเขียนแบบเท่านั้น หากแต่ยังสามารถช่วยในการจำลอง (Simulation) คำนวณและวิเคราะห์ คุณสมบัติของวงจรได้อย่างถูกต้องและแม่นยำ จึงทำให้การคำนวณและออกแบบวงจรรวมที่มีความสลับซับซ้อนและความหนาแน่นของอุปกรณ์สูงๆสามารถทำได้ อย่างมีประสิทธิภาพ

ต้นแบบ ลวดลายของวงจรรวมที่ได้จากการเขียนด้วยมือ หรือด้วยคอมพิวเตอร์จะถูกนำไปผ่านกระบวนการต่างๆจนในที่สุดจะได้ กระจกต้นแบบ และจะถูกนำไปใช้ในกระบวนการสร้างวงจรรวมต่อไป

5.1.2 การสร้าง (Fabrication)

การสร้างวงจรรวม หมายถึง กระบวนการหรือเทคโนโลยีที่ใช้เพื่อการสร้างส่วนต่าง ๆ ภายของวงจรรวม โดยการสร้างทีละชั้นจนเสร็จสิ้นสมบูรณ์ โดยใช้โฟโต้มาสก์ ที่ได้จากการออกแบบมาเป็นต้นแบบ สำหรับสร้างส่วนต่างๆบนแผ่นผลึกซิลิกอนกระทั่งได้วงจรรวมที่สมบูรณ์ เทคโนโลยีที่ใช้ในการสร้างวงจรรวมเป็นเทคโนโลยีที่มีความละเอียดอ่อนและเป็นเทคโนโลยีชั้นสูงที่ต้องกระทำในห้องปฏิบัติการซึ่งเป็นห้องสะอาด (Clean room) มีอุปกรณ์เครื่องมือที่มีความแม่นยำสูงระดับความยากง่ายของเทคโนโลยีที่ใช้จะขึ้นอยู่กับระดับความหนาแน่นของวงจรรวม

5.1.3 การเก็บบรรจุ (Packaging)

การเก็บบรรจุ หมายถึง การเก็บบรรจุชิ้น หรือ ชิพ ของวงจรรวมลงในตัวถังที่เหมาะสมเพื่อสะดวกต่อการนำไปใช้งาน และเพื่อป้องกันการเสียหายที่จะเกิดขึ้นกับชิ้นของวงจรรวมอีกด้วย จะเริ่มตั้งแต่ การใช้เลื่อยชนิดพิเศษที่มีความคมและแข็งตัดแยกวงจรรวมออกเป็นชิ้นเล็กๆ แล้วนำชิ้นของวงจรรวมที่ได้ไปเก็บบรรจุลงในตัวถังแบบต่างๆ ตามความเหมาะสมพร้อมกับเชื่อมต่อเส้นลวดตัวนำจนเป็นวงจรรวมที่สมบูรณ์ สามารถนำไปใช้งานโดยสะดวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

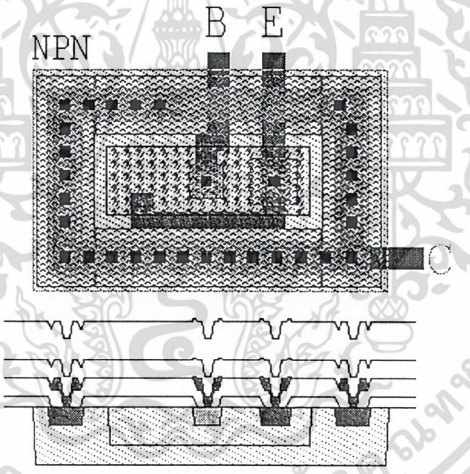
5.2 การออกแบบลวดลายอุปกรณ์พื้นฐาน

การออกแบบลวดลายของอุปกรณ์ภายในวงจรรวมจะประกอบไปด้วยอุปกรณ์พื้นฐานทางอิเล็กทรอนิกส์ต่างๆต่อกันอยู่ภายใน โดยจะอยู่ในรูปแบบขนานหรืออนุกรมก็ตามแต่พื้นฐานหลักของการออกแบบลวดลายก็มาจากการออกแบบลวดลายของอุปกรณ์เพียงตัวเดียว โดยอุปกรณ์พื้นฐานที่สำคัญมีรายละเอียดและวิธีการออกแบบโดยสังเขปดังนี้

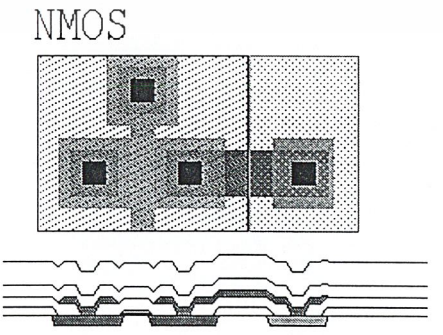
5.2.1 ทรานซิสเตอร์

ทรานซิสเตอร์ทั้งแบบมอสและแบบไบโพลาร์เป็นอุปกรณ์ที่มีการใช้มากที่สุดในวงจรรวม การออกแบบลวดลายจะแตกต่างกันตามโครงสร้าง

การออกแบบลวดลายทรานซิสเตอร์แบบไบโพลาร์ชนิดเอ็นพีเอ็นและแบบมอสชนิดเอ็นมอสพร้อมภาพตัดขวางแสดงดังรูป 5.2 และ รูป 5.3 ตามลำดับ



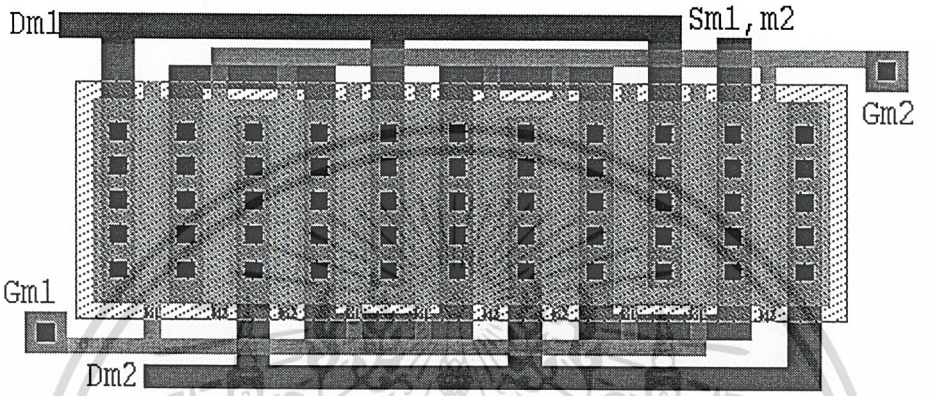
รูป 5.2 ลวดลายของทรานซิสเตอร์แบบไบโพลาร์ชนิดเอ็นพีเอ็น



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูป 5.3 ลวดลายของมอสชนิดเอ็นมอส

การออกแบบลวดลายของมอสในงานด้านอนาล็อคที่ต้องการความแมทกันระหว่างอุปกรณ์ เช่นทรานซิสเตอร์คู่ดิฟเฟอร์เรนเชียล ที่มีขนาดใหญ่จะใช้หลักการออกแบบลวดลายให้สมมาตรกันโดยที่เรียกว่า common-centroid layout ดังแสดงในรูป 5.4 จะเป็นมอสชนิดเอ็นสองตัวที่มีขาซอสต่อถึงกัน



รูป 5.4 ลวดลายของมอสชนิดเอ็นที่มีขาซอสต่อถึงกัน

5.2.2 ตัวต้านทาน

การออกแบบลวดลายของตัวต้านทานในวงจรรวมเป็นอุปกรณ์ที่กินพื้นที่มากเนื่องจากค่าความต้านทานจะขึ้นอยู่กับความยาวของสารที่ใช้ทำตัวต้านทานดังสมการ 5.1

$$R = \rho \frac{L}{A} \tag{5.1}$$

โดยที่ R คือ ความต้านทาน มีหน่วยเป็นโอห์ม

ρ คือ สภาพต้านทานหรือ พิกัดความต้านทาน มีหน่วยเป็นโอห์ม-เซนติเมตร

L คือ ความยาวของตัวความต้านทาน

A คือ พื้นที่หน้าตัดของตัวความต้านทาน

ค่าสภาพต้านทานหรือ Resistivity ρ ถูกกำหนดได้ด้วยความหนาแน่นของสารเจือสำหรับค่า L และ A กำหนดโดยการออกแบบลักษณะรูปร่างและขนาดของตัวต้านทานถ้าตัวต้านทานมีรูปร่างเป็นสี่เหลี่ยมโดยไม่พิจารณาความต้านทานขั้วต่อ กำหนดให้มีความกว้าง W มีความลึกของรอยต่อ X_j พื้นที่หน้าตัดก็คือ $X_j \times W$ หรือก็คือ A สมการ 5.1 สามารถเขียนได้ในรูปสมการ 5.2

เอกสารนี้ใช้เพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ในเชิงการค้า ไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของผลงานทุกครั้งที่มีการนำไปใช้

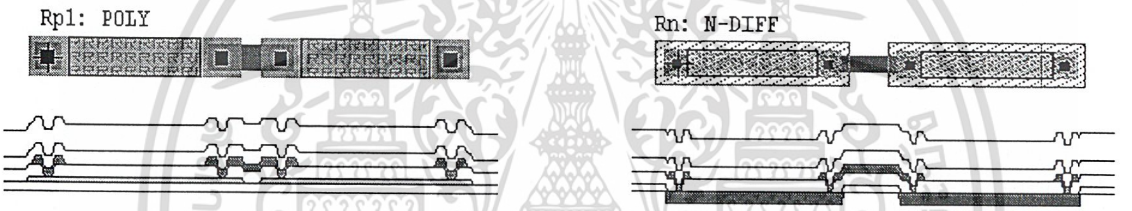
$$R = \rho \frac{L}{X_j W} \tag{5.2}$$

$$= \frac{\rho}{X_j} \times \frac{L}{W}$$

$$= \rho_S \times \frac{L}{W}$$

โดยที่ ρ_S คือ สภาพต้านทานแผ่นหรือ Sheet Resistivity ($\Omega/\square$)

การออกแบบลวดลายตัวต้านทานโดยใช้ส่วน Poly และ N-DIFF แสดงดังรูป 5.5



รูป 5.5 ลวดลายของตัวต้านทานที่สร้างจาก Poly และ N-DIFF

5.2.3 ตัวเก็บประจุ

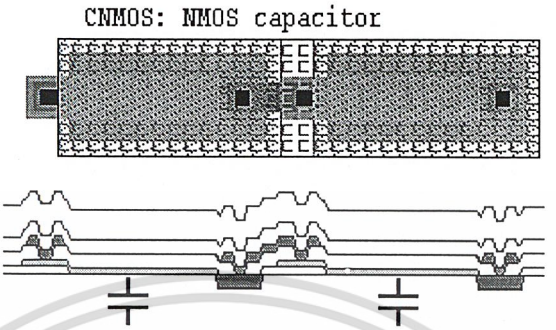
การออกแบบลวดลายของตัวเก็บประจุก็จะกินพื้นที่มากเช่นเดียวกับตัวต้านทาน โดยตัวเก็บประจุที่นิยมใช้เป็นแบบมอสคาปาซิเตอร์ซึ่งจะเป็น ไดอิเลคตริคคาปาซิเตอร์ โดยใช้สารไดอิเลคตริคเป็นตัวกลางระหว่างสารที่นำไฟฟ้าได้ดี สำหรับสารไดอิเลคตริคโดยทั่วไปจะใช้ชั้นซิลิกอนไดออกไซด์ ยิ่งชั้นนี้มีความบางมากเพียงใด จะทำให้ค่าความจุไฟฟ้าเพิ่มมากขึ้น โดยค่าความจุของตัวเก็บประจุแบบ ไดอิเลคตริค แสดงดังสมการ 5.

$$C = \frac{\varepsilon_{ox}}{t_{ox}} \text{ A} \tag{5.3}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่อนุญาตให้ดัดแปลงเนื้อหา อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยที่ ε_{ox} คือค่า Permittivity ของออกไซด์, t_{ox} คือ ความหนาของชั้นออกไซด์ และ A คือพื้นที่ของตัวเก็บประจุ

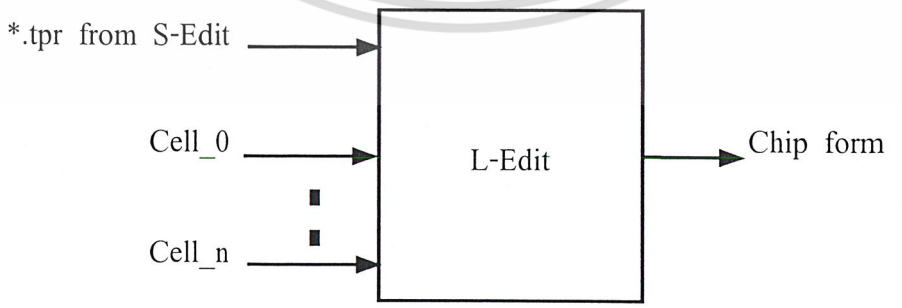
การออกแบบลวดลายของ MOS Capacitor กรณีใช้แบบเอ็นมอสแสดงดังรูป 5.6



รูป 5.6 ลวดลายของตัวเก็บประจุแบบไดอิเลคตริคแบบ NMOS Capacitor

5.3 การออกแบบลวดลายวงจรเฟสล็อคลูปแบบดิจิตอล

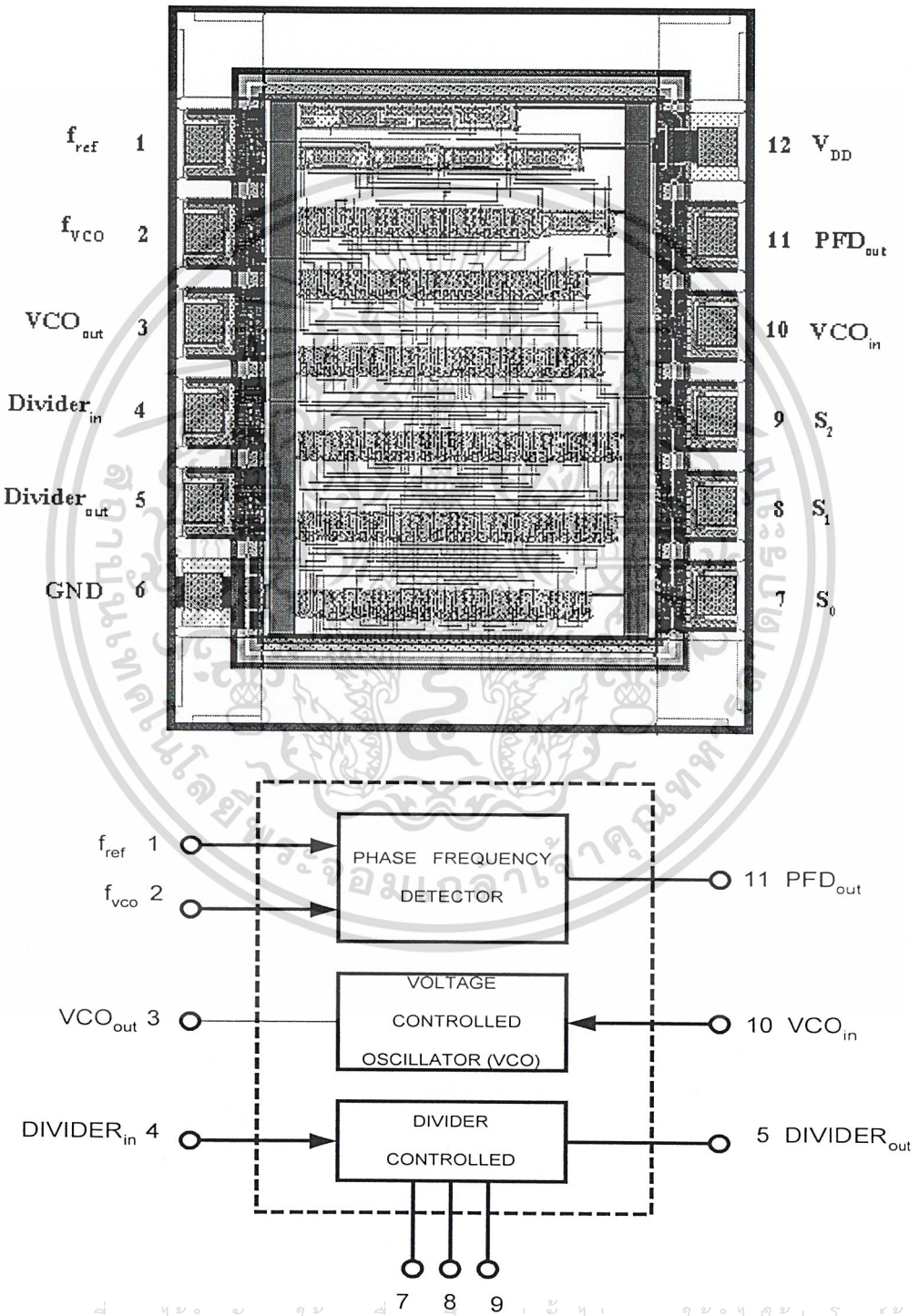
วงจรเฟสล็อคลูปแบบดิจิตอลจะประกอบทั้งส่วนที่เป็นดิจิตอลและอนาล็อคการออกแบบลวดลายโดยใช้โปรแกรม L-Edit จะทำการแบ่งวงจรทั้งหมดออกเป็นส่วนย่อยเรียกว่า Cell โดยออกแบบลวดลายของแต่ละเซลล์ให้ดีที่สุด จากนั้นจะใช้โปรแกรม S-Edit วาดวงจรแสดงการเชื่อมต่อกันของแต่ละเซลล์และตำแหน่งขาของวงจรรวมจากนั้นจะ Export ออกมาเป็นไฟล์ที่มีนามสกุล .tpr ไฟล์นี้จะถูกนำไปใช้ร่วมกับ L-Edit เพื่อสร้างวงจรรวมออกมาให้เป็นวงจรที่สมบูรณ์ แสดงขั้นตอนโดยสรุปดังรูป



รูป 5.7 ขั้นตอนการออกแบบลวดลายเพื่อให้ได้รูปแบบของ Chip ภายในวงจรรวม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อดำเนินกระบวนการออกแบบตามขั้นตอนดังกล่าวแล้วก็จะได้รูปแบบของ Chip ดิจิตอลเฟสล็อคลูป และมีส่วนประกอบภายในดังรูป 5.8



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

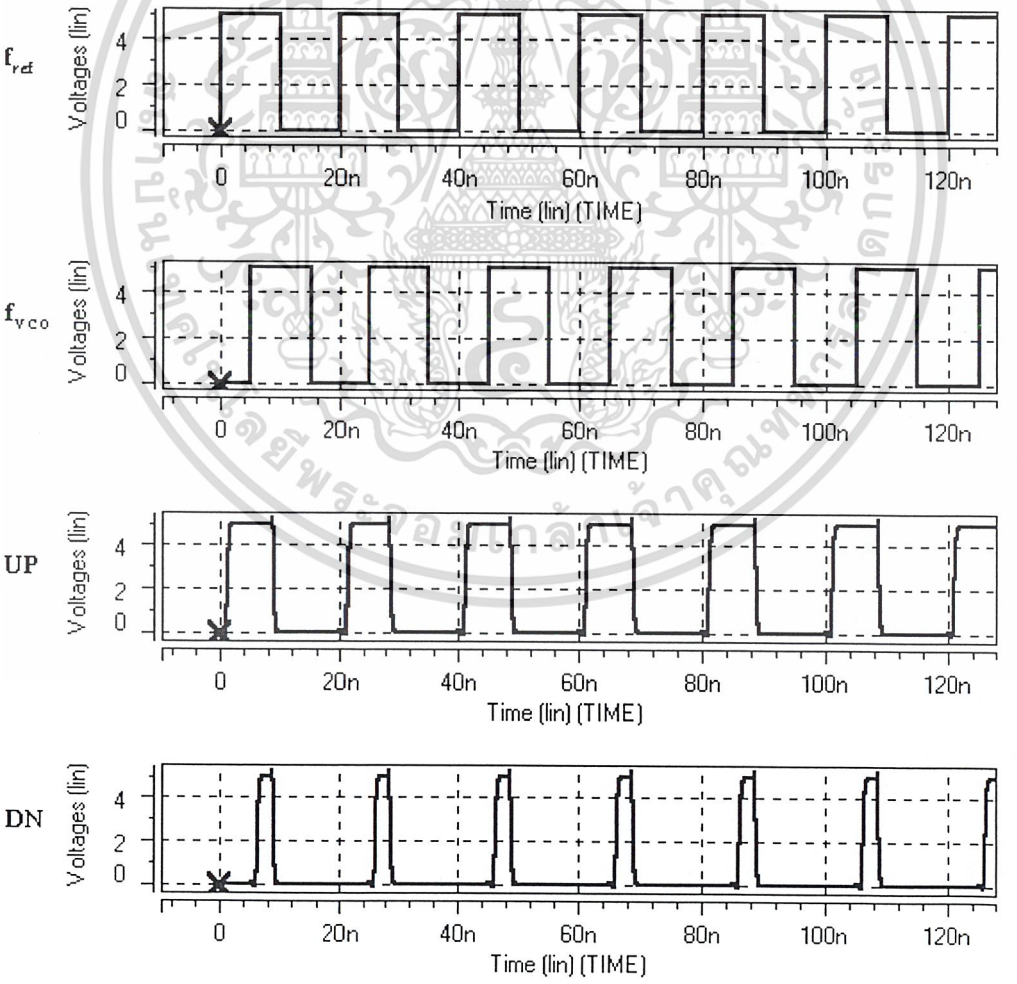
รูป 5.8 ลวดลายและตำแหน่งขาและโครงสร้างภายของชิพดิจิตอลเฟสล็อคลูป

5.4 ผลการทดลองวงจรเฟสล็อคลูปจากลวดลายวงจร

ในขั้นแรกที่ได้ออกแบบและได้ขนาดของมอสแต่ละตัวมาทำการออกแบบลวดลายแล้วจะทำให้ได้ผลของอุปกรณ์พาราซิติคเพิ่มขึ้นมามีผลทำให้การทำงานของวงจรอาจคลาดเคลื่อนไปจากเดิมโดยค่าพาราซิติคที่เพิ่มเข้ามาสามารถสั่งให้โปรแกรม L-Edit หาจำนวนและค่าออกมาได้จากนั้นก็จะนำเอาค่าเหล่านั้นไปรวมกับวงจรหลักที่ได้ออกแบบและทำการจำลองการทำงานเพื่อดูผลการทำงานว่าเกิดการทำงานคลาดเคลื่อนมากน้อยเพียงใดเมื่อรวมผลของพาราซิติคเข้าไปด้วย เพื่อความสะดวกจะใช้ทดลองทีละภาคดังนี้

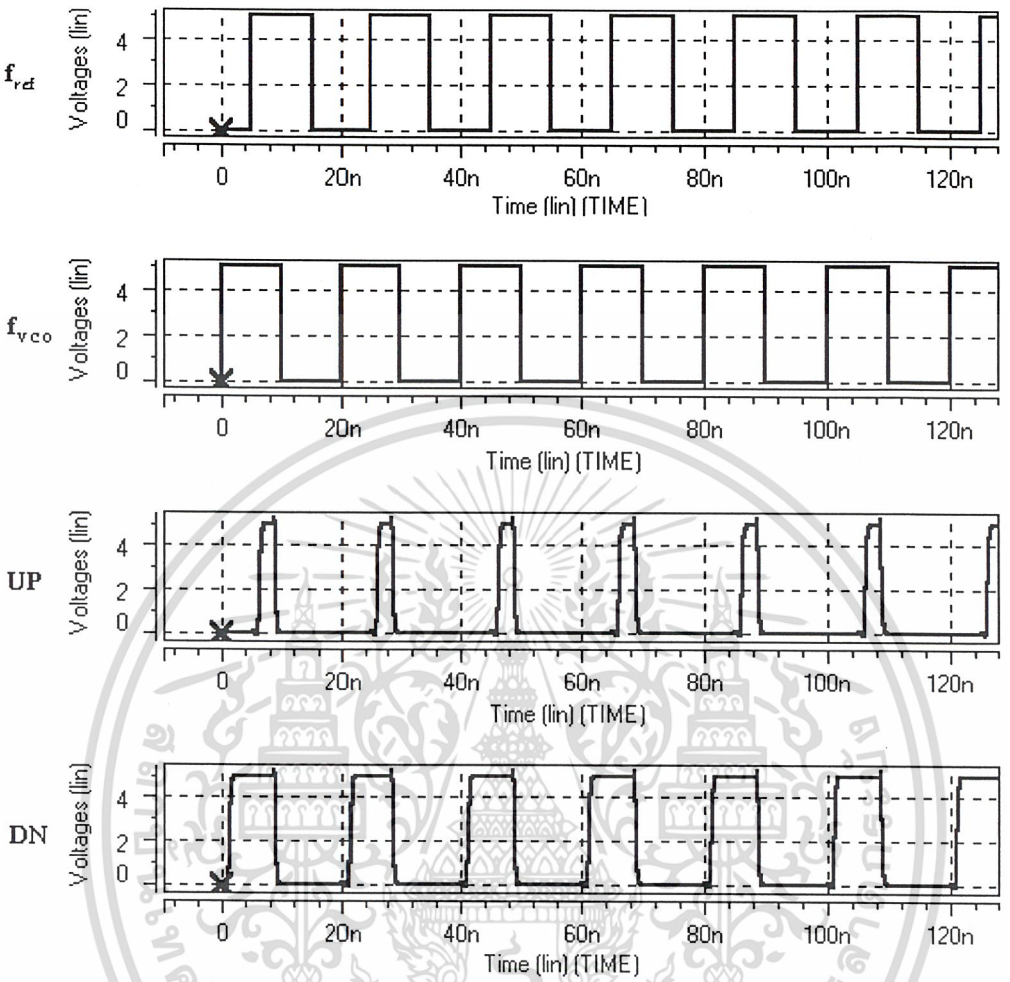
5.4.1 วงจรดักจับเฟสแบบเฟส-ความถี่

วงจรดักจับเฟสเป็นวงจรที่ใช้ดีเทคเฟสของสัญญาณระหว่างอินพุทกับเอาท์พุทจากวงจรออสซิลเลเตอร์แบบควบคุมความถี่ด้วยแรงดันไฟฟ้าผลการทดลองแสดงดังรูป 5.9 และ 5.10



รูป 5.9 ผลการทดลองวงจรดักจับเฟสและความถี่เมื่อเฟส f_{ref} นำหน้าเฟส f_{vco}

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของผลงานทุกครั้งที่มีการนำไปใช้



รูป 5.10 ผลการทดลองวงจรดักจับเฟสและความถี่เมื่อเฟส f_{ref} ล้าหลังเฟส f_{vco}

5.4.1 วงจรออสซิลเลเตอร์แบบควบคุมความถี่ด้วยแรงดันไฟฟ้า

การออกแบบวงจรออสซิลเลเตอร์ก่อนหน้านี้เมื่อได้ศึกษาการออกแบบลวดลายแล้วทำให้ทราบว่าขนาดของมอสบางตัวไม่สามารถนำมาทำการออกแบบลวดลายได้จึงต้องทำการปรับปรุงวงจรใหม่ทำให้ได้ช่วงความถี่การออสซิเลทเปลี่ยนไปดังตาราง 5.1

ตาราง 5.1 ค่าความถี่ที่เปลี่ยนแปลงตามแรงดันควบคุมของวงจร VCO จากการออกแบบวงจร

แรงดัน (V)	1.5	1.6	1.7	1.8	1.9	2.0	2.1	2.2	2.3	2.4	2.5
ความถี่ (MHz)	5.2	22	27	30.5	33.3	34.5	37	40	41.6	42.3	43.5

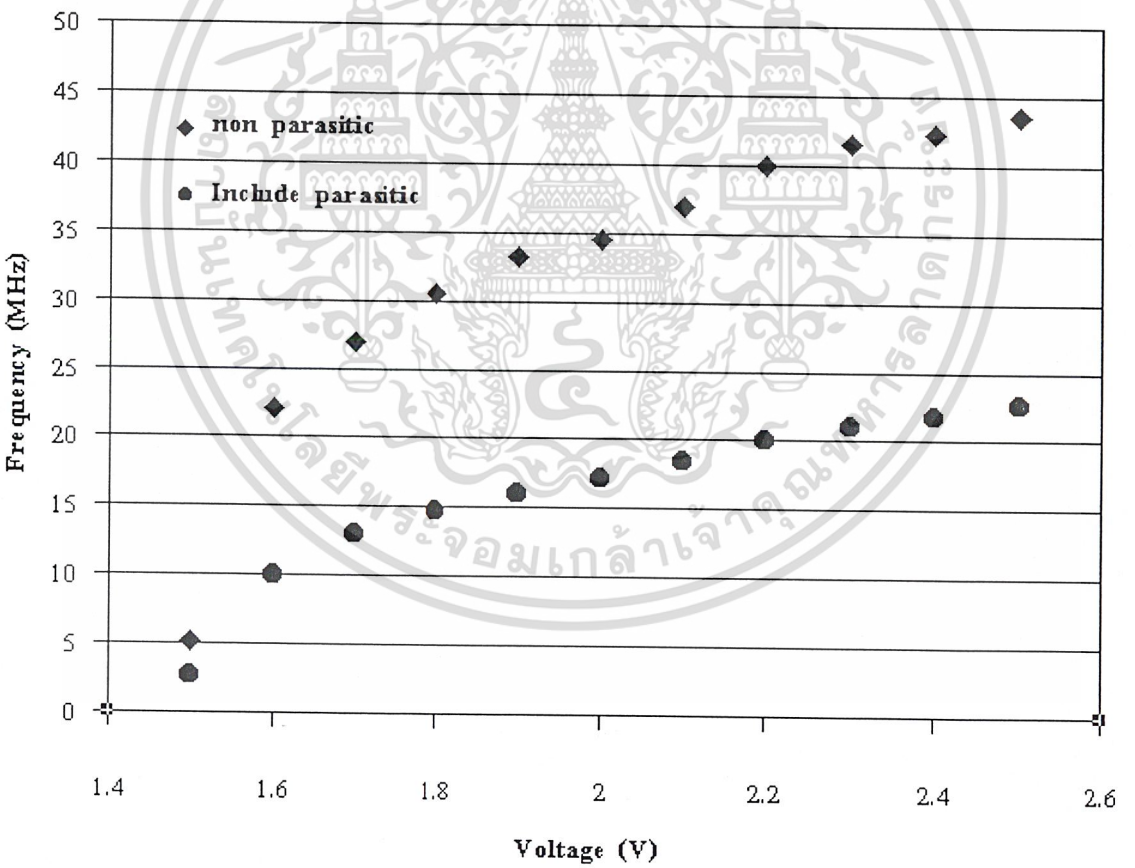
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อนำวงจรที่ได้ปรับปรุงมาทำการออกแบบลวดลายและทดลองโดยมีอุปกรณ์พาราซิติคในวงจรจะได้ผลของความถี่ออกมาดังตาราง 5.2

ตาราง 5.2 ค่าความถี่ที่เปลี่ยนแปลงตามแรงดันควบคุมของวงจร VCO จากลวดลายวงจร

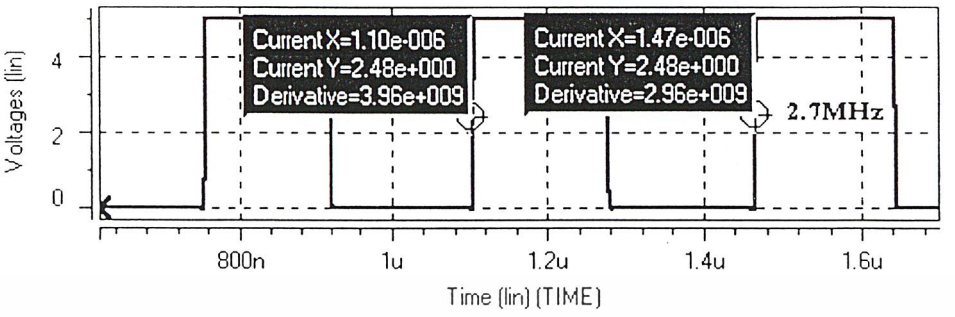
แรงดัน (V)	1.5	1.6	1.7	1.8	1.9	2.0	2.1	2.2	2.3	2.4	2.5
ความถี่ (MHz)	2.7	10	13	14.7	16	17.2	18.5	20	21	21.8	22.7

เมื่อนำค่าความถี่ทั้งสองตารางมาพล็อตเปรียบเทียบกันจะได้ผลลัพธ์ดังรูป 5.11

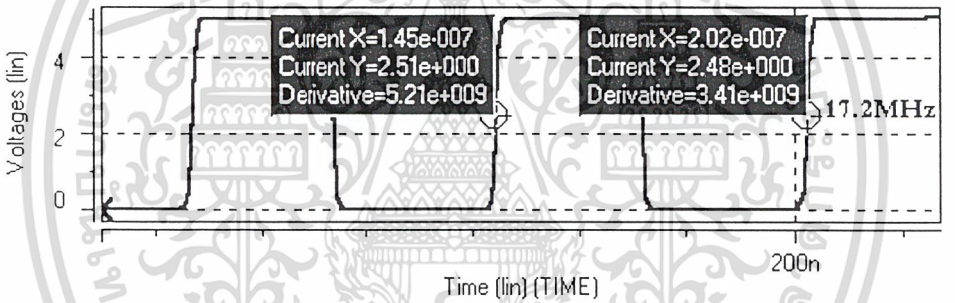


รูป 5.11 กราฟแสดงความสัมพันธ์ระหว่างแรงดันกับความถี่ของวงจรออสซิลเลเตอร์แบบควบคุมความถี่ด้วยแรงดันไฟฟ้าเปรียบเทียบกันระหว่างผลที่ยังไม่มีพาราซิติคและมีพาราซิติค

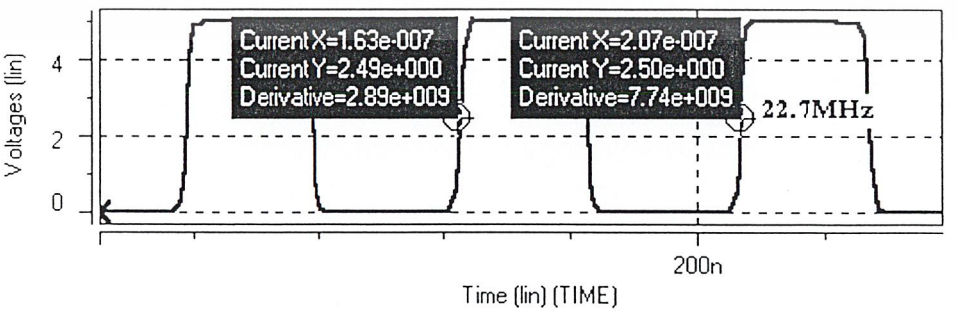
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 5.12 สัญญาณเอาท์พุตเมื่อ $V_{control}$ = 1.5V



รูป 5.13 สัญญาณเอาท์พุตเมื่อ $V_{control}$ = 2V

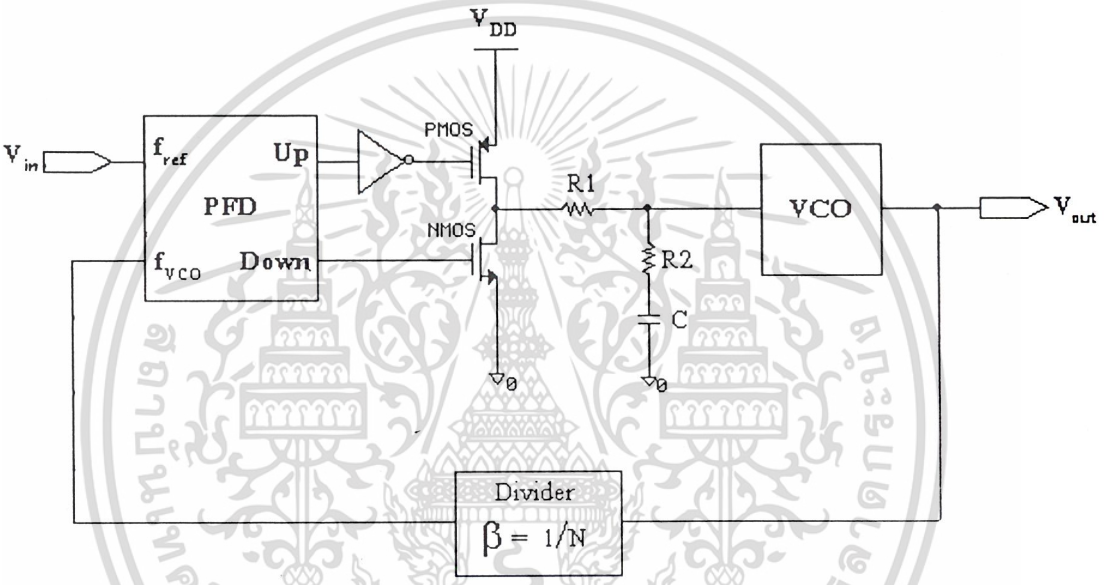


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูป 5.14 สัญญาณเอาท์พุตเมื่อ $V_{control}$ = 2.5V

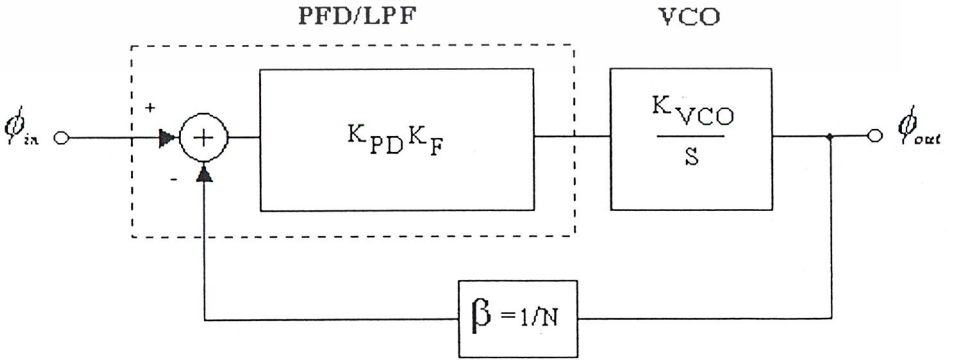
5.4.1 วงจรเฟสล็อคลูปแบบดิจิตอลที่มีเอาท์พุตวงจรดักจับเฟสความถี่แบบสามสถานะ

การทดลองที่ผ่านมาเป็นการทดสอบองค์ประกอบย่อยของเฟสล็อคลูปแบบดิจิตอลจากลวดลายขั้นต่อไปจะนำองค์ประกอบเหล่านั้นมาทำงานร่วมกันเป็นระบบหรือเป็นวงจรเฟสล็อคลูป โดยในส่วนของวงจรดักจับเฟสแบบเฟส-ความถี่จะเป็นเอาท์พุทแบบในขั้นแรกจะใช้การป้อนกลับโดยตรงจาก VCO ยังไม่ใช้ในส่วนการหาร N=1 วงจรสมมูลที่ใช้ในการทดสอบการทำงานแสดงดังรูป 5.15



รูป 5.15 ระบบของเฟสล็อคลูปซึ่งตัวดักจับเฟสเป็นแบบเอาท์พุทแบบสามสถานะ (Tri-state)

จากรูป 5.15 รูปแบบเชิงเส้นของระบบแสดงดังรูป 5.16



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูป 5.16 รูปแบบเชิงเส้นของเฟสล็อคลูปแบบดิจิตอล

จากรูป 5.16 ฟังก์ชั่นถ่ายโอนของระบบปิดคือ

$$H(s)=\frac{\phi_{out}}{\phi_{in}}(s)=\frac{K_{PD}K_FK_{VCO}}{s+\beta\cdot K_{PD}K_FK_{VCO}} \tag{5.4}$$

โดยที่

$$K_F=\frac{1+sR_2C}{1+s(R_1+R_2)C} \tag{5.5}$$

เมื่อวงจรฟิลเตอร์นี้ถูกขับโดยเอาท์พุทสามสถานะจะไม่มีกระแสไหลผ่าน R_1 หรือ R_1 เมื่อเอาท์พุทอยู่ในสภาวะ high-impedance โวลท์เตจที่คร่อมตัวเก็บประจุจะไม่เปลี่ยนแปลง สามารถประมาณได้ว่าวงจรฟิลเตอร์กับเอาท์พุทสามสถานะคล้ายกับเป็นอินทิเกรเตอร์ในอุดมคติจะทำให้ได้ฟังก์ชั่นถ่ายโอนใหม่ดังสมการ 5.6

$$K_F^{'}=\frac{1+sR_2C}{s(R_1+R_2)C} \tag{5.6}$$

แทนสมการ 5.6 ในสมการ 5.4 จะได้ผลลัพธ์ดังสมการ 5.7

$$H(s)=\frac{\phi_{out}}{\phi_{in}}(s)=\frac{K_{PD}K_{VCO}\dfrac{1+sR_2C}{N(R_1+R_2)C}}{s^2+s\dfrac{1+K_{PD}K_FK_{VCO}R_2C}{N(R_1+R_2)C}+\dfrac{K_{PD}K_{VCO}}{N(R_1+R_2)C}} \tag{5.7}$$

และจากทฤษฎีระบบควบคุมดังได้กล่าวในบทที่ 2 จะได้ค่า

$$\omega_n=\sqrt{\frac{K_{PD}K_{VCO}}{N(R_1+R_2)C}} \tag{5.8}$$

$$\zeta=\frac{\omega_n}{2}\cdot(R_2C+\frac{N}{K_{PD}K_{VCO}}) \tag{5.9}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยขั้นตอนการออกแบบเพื่อทดสอบว่าเฟสล็อคลูปสามารถเข้าสู่สภาวะล็อคได้ มีดังนี้

1. กำหนดความถี่อินพุต เนื่องจากเป็นการป้อนกลับจากเอาท์พุตกลับมาที่อินพุทโดยตรง (ยังไม่ได้มีการหารความถี่) ดังนั้นจึงกำหนดความถี่อินพุตที่วงจรควบคุมความถี่ด้วยแรงดันไฟฟ้าสามารถสร้างได้ โดยกำหนดความถี่อินพุตเท่ากับ 20MHz

2. กำหนดย่านความถี่การล็อค (Δf_L) เท่ากับ 2MHz ซึ่งหมายความว่าเฟสล็อคลูปสามารถล็อคที่ย่านความถี่อินพุตตั้งแต่ 18MHz ถึง 22MHz และจากสมการ lock range โดยเฟสล็อคลูปทั้งเอาท์พุตของตัวดักจับเฟสเป็นแบบสามสถานะและแบบแหล่งจ่ายกระแสคงที่จะมีค่าเท่ากันคือ

$$\Delta\omega_L = 4\pi\zeta\omega_n \tag{5.10}$$

กำหนด ζ = 0.7 และจากย่านความถี่การล็อคที่กำหนดสามารถหาค่า ω_n จากสมการ 5.10 คือ

$$\omega_n = \frac{2\pi \cdot 2MHz}{4\pi \cdot 0.7} = 1.43\times10^6 \text{ radians/s}$$

3. จากค่า ω_n ที่ได้จากข้อ 2 สามารถหาค่า R_2C ได้จากสมการ 5.9 เมื่อ N=1 โดยค่าอัตราขยายของวงจรดักจับเฟส :K_{PD} แบบเอาท์พุทสามสถานะ (tri-state) คือ $K_{PD} = V_{DD}/4\pi$ เท่ากับ $5/4\pi$ =0.398 volt/radian และค่าอัตราขยายของวงจร VCO :K_{VCO} จากกราฟรูป 5.11 เลือกช่วงที่เป็นเชิงเส้น $K_{VCO} = 2\pi(22.7MHz - 10MHz)/(2.5V-1.6V) = 88.66 \times 10^6$ radians/V.sจะได้

$$R_2C = \frac{2\cdot\zeta}{\omega_n} - \frac{1}{K_{PD}K_{VCO}}$$
$$= 950nS$$

4. จากค่า R_2C แทนค่าในสมการ 5.8 สามารถหาค่า R_1C ได้

$$R_1C = \frac{K_{PD}K_{VCO}}{\omega_n^2} - R_2C$$
$$= 16.3\mu S$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5. กำหนดค่าอุปกรณ์ จากข้อ 3 และข้อ 4 สรุปได้ดังนี้

$$R_1C = 16.3\mu S$$

$$R_2C = 950nS$$

กำหนดค่า C=10nF จะได้ค่า R_1=1.6KΩ และ R_2=100Ω

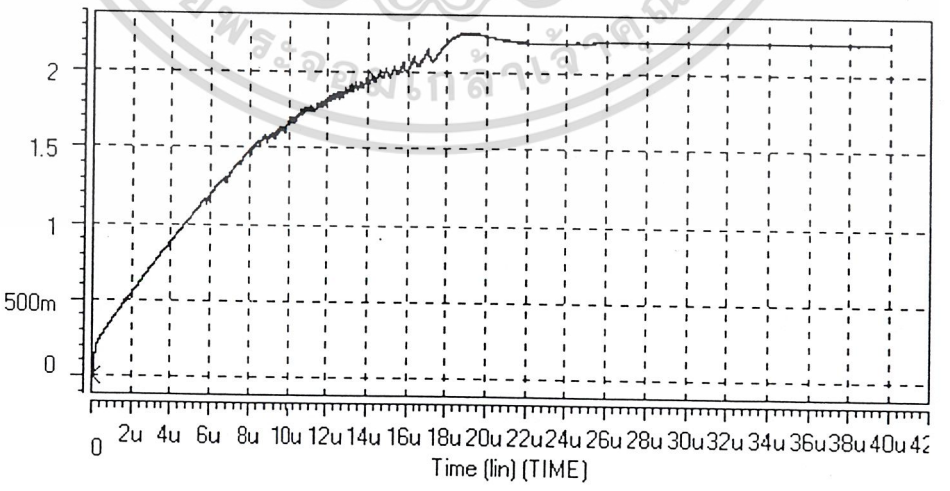
6. คำนวณหาค่าเวลาที่ใช้ในการเข้าสู่สภาวะล็อค : T_L ซึ่งมีค่าดังสมการ 5.11

$$T_L = \frac{2\pi}{\omega_n} \tag{5.11}$$

เมื่อแทนค่า ω_n จะได้ค่า T_L ประมาณ 4.4 μs

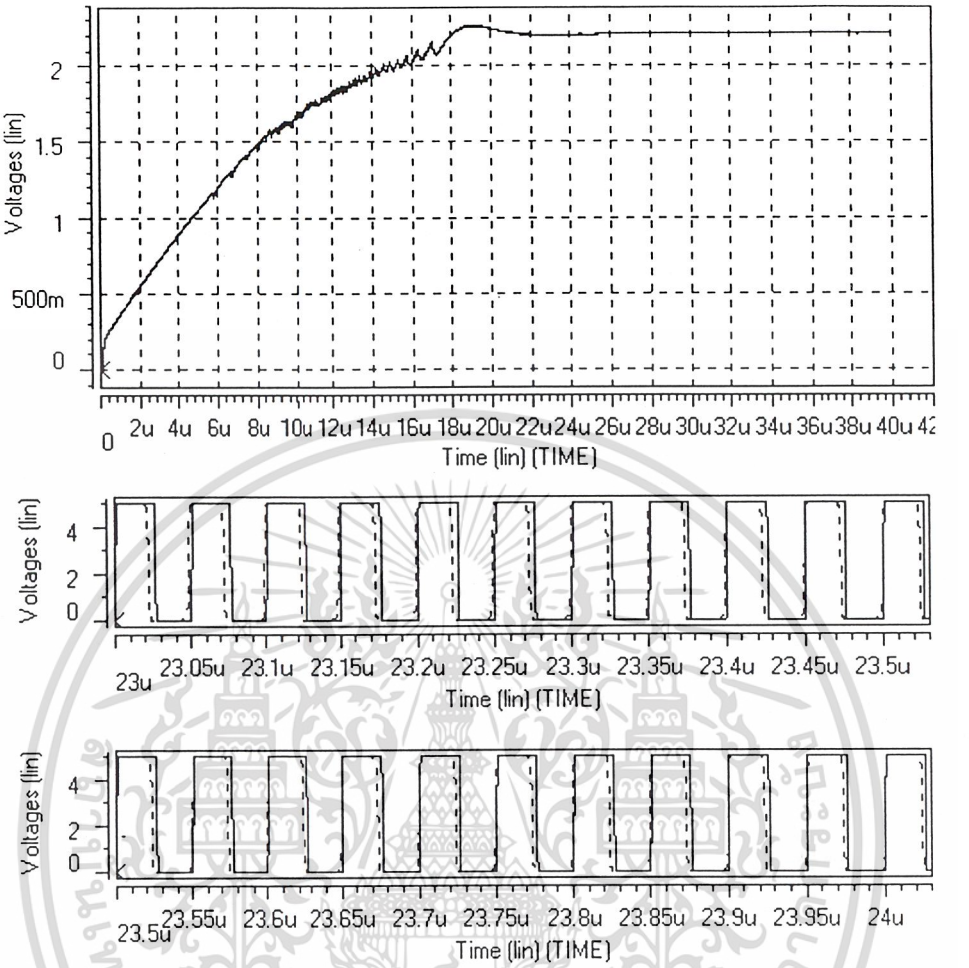
7. จากค่า C, R_1 และ R_2 นำไปทำการจำลองการทำงานของเฟสล็อคลูปโดยใช้ความถี่อินพุตที่ 20MHz ก่อนผลการทดลองที่ได้แสดงดังรูป 5.17 ซึ่งจะสังเกตุได้ว่าแรงดันที่วงจรกรองความถี่ต่ำจะเข้าสู่สภาวะคงที่จะต้องใช้เวลาประมาณ 24μs นั่นก็คือเวลาที่ใช้ในการเข้าสู่สภาวะล็อคของเฟสล็อคลูปซึ่งมีค่าผิดพลาดจากการคำนวณเนื่องมาจากการประมาณค่า K_{VCO} ว่ามีความเป็นเชิงเส้นและผลของพาราซิติค และรูป 5.18 เป็นการเปรียบเทียบระหว่างสัญญาณอินพุต(เส้นทึบ) กับสัญญาณเอาท์พุต(เส้นประ) ณ เวลาที่จะเข้าสู่สภาวะล็อคระหว่าง 22μs ถึง 24μs

8. ทำการทดสอบย่านการล็อคโดยป้อนความถี่อินพุตเป็น 18MHz และ 22MHz ระดับแรงดันที่วงจรกรองความถี่ต่ำแสดงดังรูป จะเห็นว่าที่ความถี่ 18MHz ช่วงเวลาเข้าสู่สภาวะการล็อคจะน้อยกว่า 24μs อยู่เล็กน้อยและที่ความถี่ 22MHz จะมากกว่า 24μs อยู่เล็กน้อยเช่นกัน

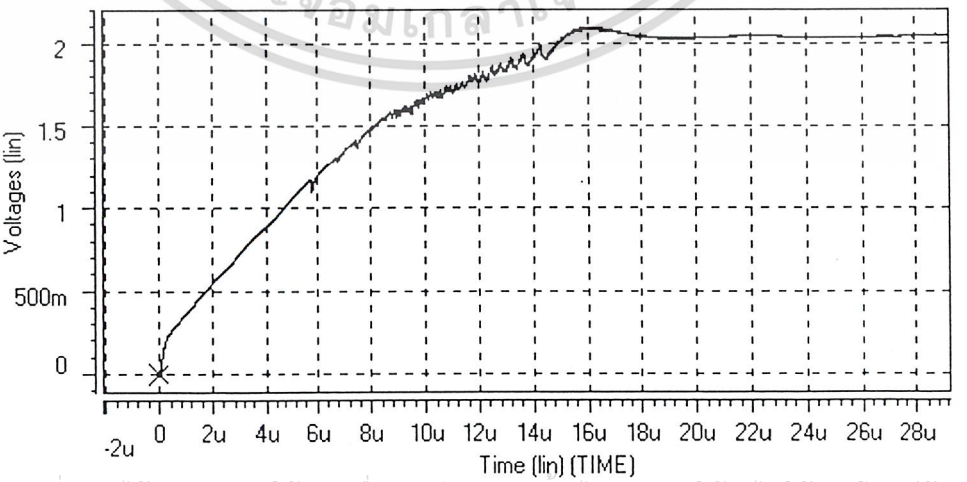


รูป 5.17 การเปลี่ยนแปลงแรงดันที่อินพุทของวงจรออสซิลเลเตอร์เมื่อเข้าสู่สภาวะล็อค

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

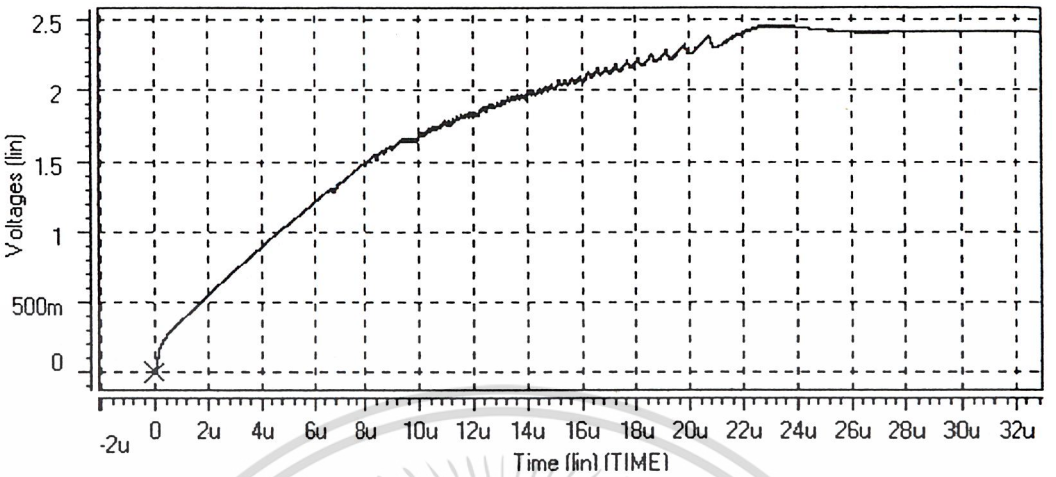


รูป 5.18 แสดงการเปรียบเทียบระหว่างสัญญาณเอาท์พุตกับสัญญาณอินพุตขณะเข้าสู่สภาวะล็อคที่ช่วงเวลา 23μs ถึง 24μs (ความถี่อินพุต 20MHz)



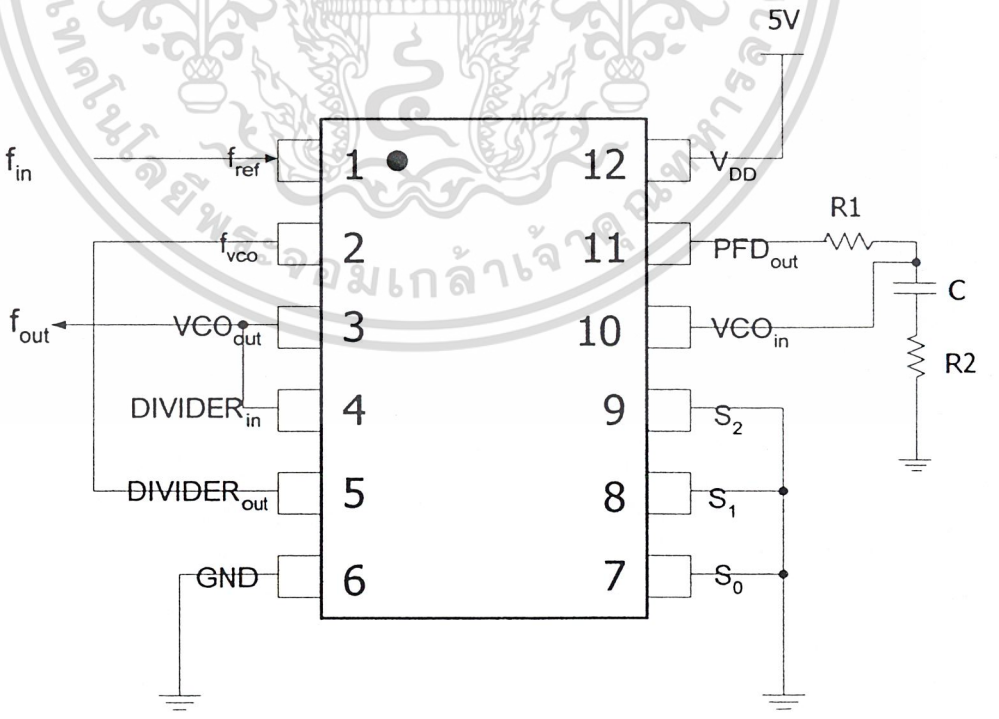
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูป 5.19 แรงดันอินพุทของวงจรออสซิลเลเตอร์ในสภาวะล็อคเมื่ออินพุทเท่ากับ 18MHz



รูป 5.20 แรงดันอินพุทของวงจรออสซิลเลเตอร์ในสภาวะล็อคเมื่ออินพุทเท่ากับ 22MHz

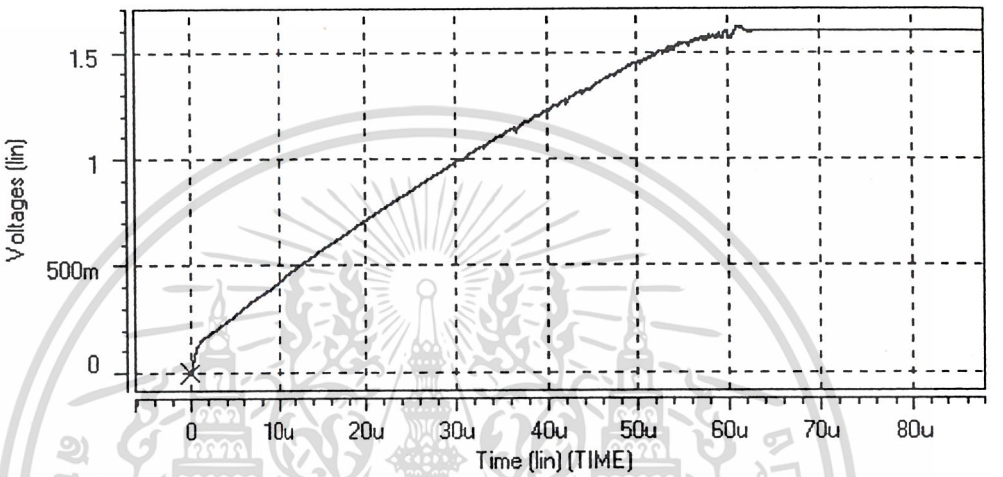
จากผลการจำลองการทำงานที่ผ่านมายังไม่มีการหาร N คือจะเป็นการป้อนกลับโดยตรง ต่อไปจะเป็นการนำส่วนการหารมาร่วมด้วยเพื่อให้ระบบกลายเป็นวงจรคูณความถี่จากอินพุทขึ้น N เท่าเมื่อ N คือค่าการหารที่วงจรหารสามารถทำงานได้คือ 2 4 8 16 32 64 128 และ 256 โดยวงจรเสมือนที่ใช้ในการจำลองการทำงานจากลวดลายแสดงดังรูป 5.21



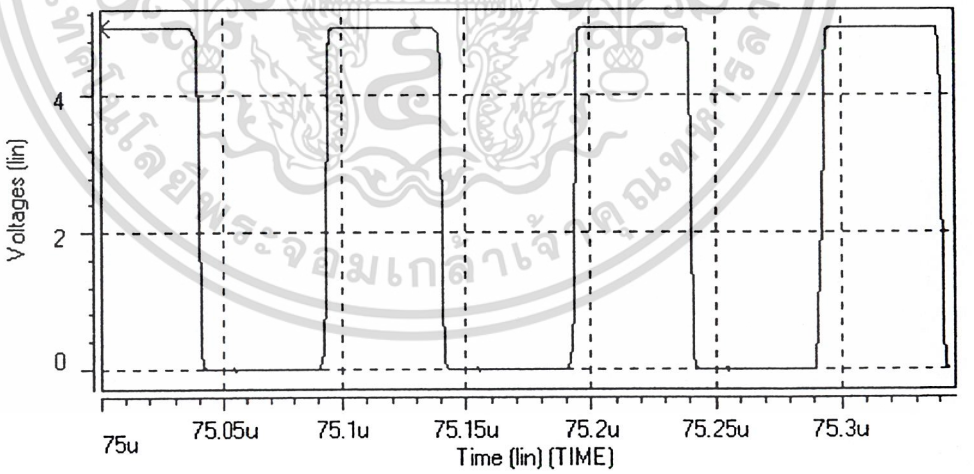
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารนี้ทุกครั้งที่มีการนำไปใช้

รูป 5.21 เฟสล็อคลูปที่ใช้สำหรับคูณความถี่อินพุทเพิ่มขึ้นสองเท่า

ใช้หลักการคำนวณเช่นเดียวกับที่ผ่านมาเพื่อทดสอบการใช้เฟสล็อคลูปเป็นวงจรคูณความถี่ โดยกำหนดความถี่อินพุทเท่ากับ 5MHz กำหนดย่านการล็อคเท่ากับ 500kHz แทน N=2 ในที่สุดจะได้ C=1nF, R_1=150KΩ และ R_2=4KΩ ผลการจำลองการทำงานแสดงค่าแรงดันที่อินพุทของ VCO, ความถี่เอาท์พุท VCO 10MHz แสดงดังรูป 2.53 ก และ ข ตามลำดับ



(ก)



(ข)

รูป 5.22 สัญญาณที่จุดต่างๆของวงจรคูณความถี่สองเท่า
(ก) แรงดันอินพุทของวงจรออสซิลเลเตอร์
(ข) ความถี่เอาท์พุทของวงจรออสซิลเลเตอร์ 10MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 6
บทสรุป

การออกแบบองค์ประกอบพื้นฐานของเฟสล็อคลูปและวงจรเฟสล็อคลูปผลที่ได้ในการคำนวณออกแบบ เมื่อนำไปทดลองจะมีความคลาดเคลื่อนมากพอสมควรเนื่องจากสมการที่เราทำการคำนวณออกแบบเป็นสมการกระแสเดรนที่ง่ายๆไม่ซับซ้อนแต่เราก็อาศัยประโยชน์จากการ Simulation ช่วยในการปรับหาค่าที่ถูกต้องเพื่อให้ผลเป็นไปตามที่ได้ออกแบบไว้

การทดสอบคุณสมบัติองค์ประกอบพื้นฐานของเฟสล็อคลูป วงจรแรกคือตัวดักจับเฟสแบบเฟส-ความความถี่ ซึ่งองค์ประกอบพื้นฐานจะเป็นแนนเกท นอร์เกทและอินเวอร์เตอร์ การออกแบบให้ได้คุณสมบัติของตัวดักจับเฟสที่ดีก็อยู่ที่การออกแบบเกทดังกล่าว ให้มีดีเลย์น้อยที่สุดและยังคงมีคุณสมบัติเป็นเกทหรือเป็นอินเวอร์เตอร์ที่สมมาตรอยู่ โดยจากการออกแบบจะถูกจำกัดอยู่ที่เทคโนโลยี จากการทดลองจึงเห็นว่าเกิดมีดีเลย์ขึ้นเล็กน้อย และวงจรที่สองคือวงจรออสซิลเลเตอร์แบบควบคุมความถี่ด้วยแรงดันไฟฟ้าจากผลการทดลองความถี่เอาท์พุตที่ได้จะไม่เป็นเชิงเส้นกับแรงดันควบคุมตลอดย่านแต่จะเป็นเชิงเส้นแค่บางส่วนดังนั้นการนำไปประยุกต์ใช้จึงเลือกช่วงที่ประมาณว่ามีความเป็นเชิงเส้นที่สุด เมื่อองค์ประกอบที่ได้มาสร้างเป็นเฟสล็อคลูปเพื่อตรวจสอบคุณสมบัติ จากผลการทดลองที่ได้จะเห็นว่าค่าเวลาเข้าสู่สภาวะคงที่มีค่ามากกว่าที่ได้จากการคำนวณเนื่องจากการคำนวณได้มีการประมาณค่าไว้หลายอย่างเช่น การประมาณค่าอัตราการขยายของวงจรออสซิลเลเตอร์ที่ทดลอง และการประมาณค่าคาปาซิเตอร์และค่าความต้านทานในวงจรกรองความถี่ต่ำ แต่ก็ได้ย่านการล็อกเท่ากับการกำหนดซึ่งถ้าพิจาณาโดยละเอียดค่าเวลาการเข้าสู่สภาวะล็อคที่ความถี่สูงจะให้เวลามากกว่าที่ความถี่ต่ำเล็กน้อย การเพิ่มเสถียรภาพหรือการทำให้ค่าเวลาการเข้าสู่สภาวะล็อคมีค่าน้อยลงทำได้โดยการเพิ่มค่ากระแสในส่วนของแหล่งจ่ายกระแสคงที่แต่ก็จะทำให้วงจรเฟสล็อคลูปสิ้นเปลืองพลังงานมากขึ้น

เมื่อนำขนาดของมอสที่ได้ปรับปรุงเพื่อให้ได้วงจรที่สามารถนำไปออกแบบลวดลายได้ไปทำการออกแบบลวดลายวงจรที่สมบูรณ์และทำการจำลองการทำงานของวงจรเพื่อดูความคลาดเคลื่อนจากที่ได้ออกแบบไว้ในตอนแรก ผลจากการจำลองการทำงานจากลวดลายวงจรจะให้ผลแตกต่างจากที่ออกแบบไว้ค่อนข้างมากโดยเฉพาะวงจรออสซิลเลเตอร์แบบควบคุมความถี่ด้วยแรงดันไฟฟ้าเป็นผลเนื่องมาจากเทคนิคการออกแบบและอุปกรณ์พาราซิติคที่เกิดขึ้นจากการออกแบบดังนั้นในการออกแบบที่ดีควรทำให้เกิดอุปกรณ์พาราซิติคให้น้อยที่สุดโดยเฉพาะวงจรทางด้านอนาล็อกเพราะการทำงานของวงจรจะคลาดเคลื่อนได้เร็วเมื่อมีอุปกรณ์พาราซิติคเพิ่มเข้ามา ในการออกแบบลวดลายวงจรในตอนท้ายนี้เป็นการออกแบบไอซีที่มีองค์ประกอบภายในเยอะดังนั้นจึงเป็นการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ยากที่จะออกแบบให้เสร็จเองด้วยมือในที่นี้จึงต้องใช้ซอฟแวร์ช่วยในการออกแบบโดยเฉพาะถ้าวงจรมีเซลล์ที่ซ้ำกันหลายๆเซลล์ ก็จะทำการออกแบบเพียงเซลล์เดียวให้ดีที่สุดส่วนเซลล์ที่เหลือก็ใช้คอมพิวเตอร์ช่วยในการเชื่อมต่อหรือคัดลอกเอาไปเป็นส่วนประกอบต่างๆภายในวงจร เพราะถ้าเราทำการเดินเส้นทางการเชื่อมต่อเองทั้งหมดบนชิพโอกาสผิดพลาดมีมากและยังต้องใช้เวลานานอีกด้วยแต่การใช้คอมพิวเตอร์ช่วยจะควบคุมอุปกร์พาราซิติคไม่ได้

การออกแบบชิพวงจรดิจิตอลเฟสล็อคลูปนี้จากการออกแบบลวดลายจะใช้พพื้นที่ในการสร้างประมาณ 1.5mm × 1.8mm มีการเจาะรู (Via) เพิ่มจากที่ได้ออกแบบไว้ 541 Via ซึ่ง Via นี้ใช้ในการเชื่อมต่อระหว่างโลหะที่อยู่คนละชั้นกันเมื่อคอมพิวเตอร์ทำการเดินเส้นทางวงจรให้อัตโนมัติก็จะสร้าง Via นี้ขึ้นมาให้ด้วยเช่นกัน ดังนั้นโปรแกรมคอมพิวเตอร์ก็ทำหน้าที่เป็นตัวช่วยที่ดีในการออกแบบลวดลายวงจรหรือที่เรียกว่า Computer Aid Design หรือ CAD อย่างไรก็ตามชิพที่ได้ยังมีส่วนที่เป็นข้อเสียที่ควรแก้ไขก็คือส่วนการนับที่เป็นวงจรแบบไม่สัมพันธ์ควรออกแบบให้เกิดดีเลย์น้อยที่สุดต่อชุดหรือเปลี่ยนไปเป็นแบบสัมพันธ์ซึ่งมีการออกแบบที่ซับซ้อนกว่า

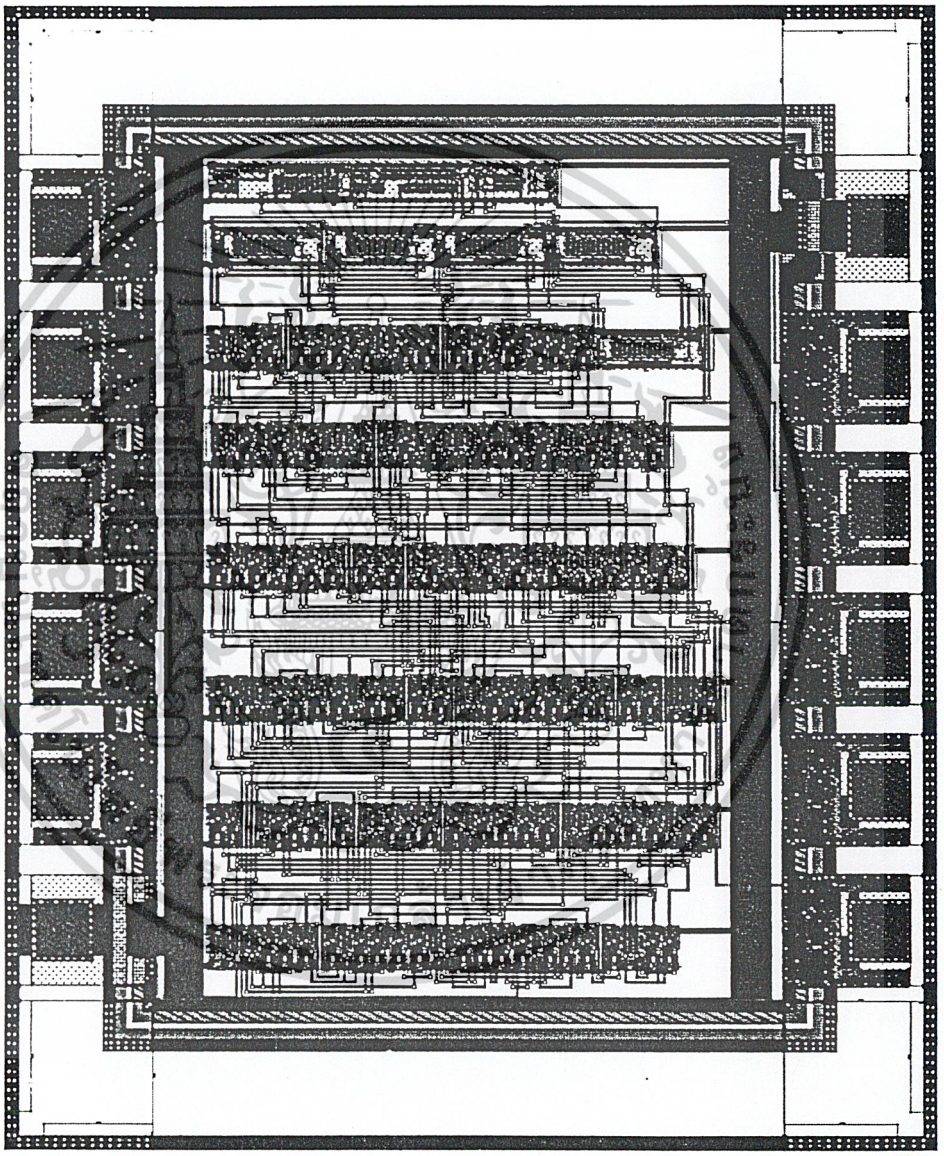
พื้นฐานความรู้ที่ได้จากการทำโปรเจคนี้ทำให้สามารถมองเห็นภาพกระบวนการในการออกแบบลวดลายก่อนจะนำไปสร้างกระจกต้นแบบเพื่อใช้ในการผลิตวงจรรวมต่อไป ถึงแม้ซอฟแวร์ที่ใช้จะมีข้อเสียอยู่บ้างและไม่ได้ใช้จริงในโรงานอุตสาหกรรมและอุตสาหกรรมประเภทนี้ในประเทศไทยก็ยังเข้ามาไม่ถึง แต่ก็ได้ความรู้ที่ได้เป็นพื้นฐานที่ดีในการออกแบบเพื่อในอนาคตข้างหน้าที่เทคโนโลยีประเภทนี้อาจจะเข้ามาในเมืองไทย หรือถ้ามีโอกาสได้ศึกษาต่อในอนาคตก็จะเป็นแนวทางที่จะคิดค้นหรือสร้างสรรค์ใหม่ต่อไป ถ้าเรามีพื้นฐานที่ดีแล้วการที่จะเรียนรู้ไปให้ทันกับเทคโนโลยีสมัยใหม่ก็จะเป็นเรื่องที่ไม่ยากอีกต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

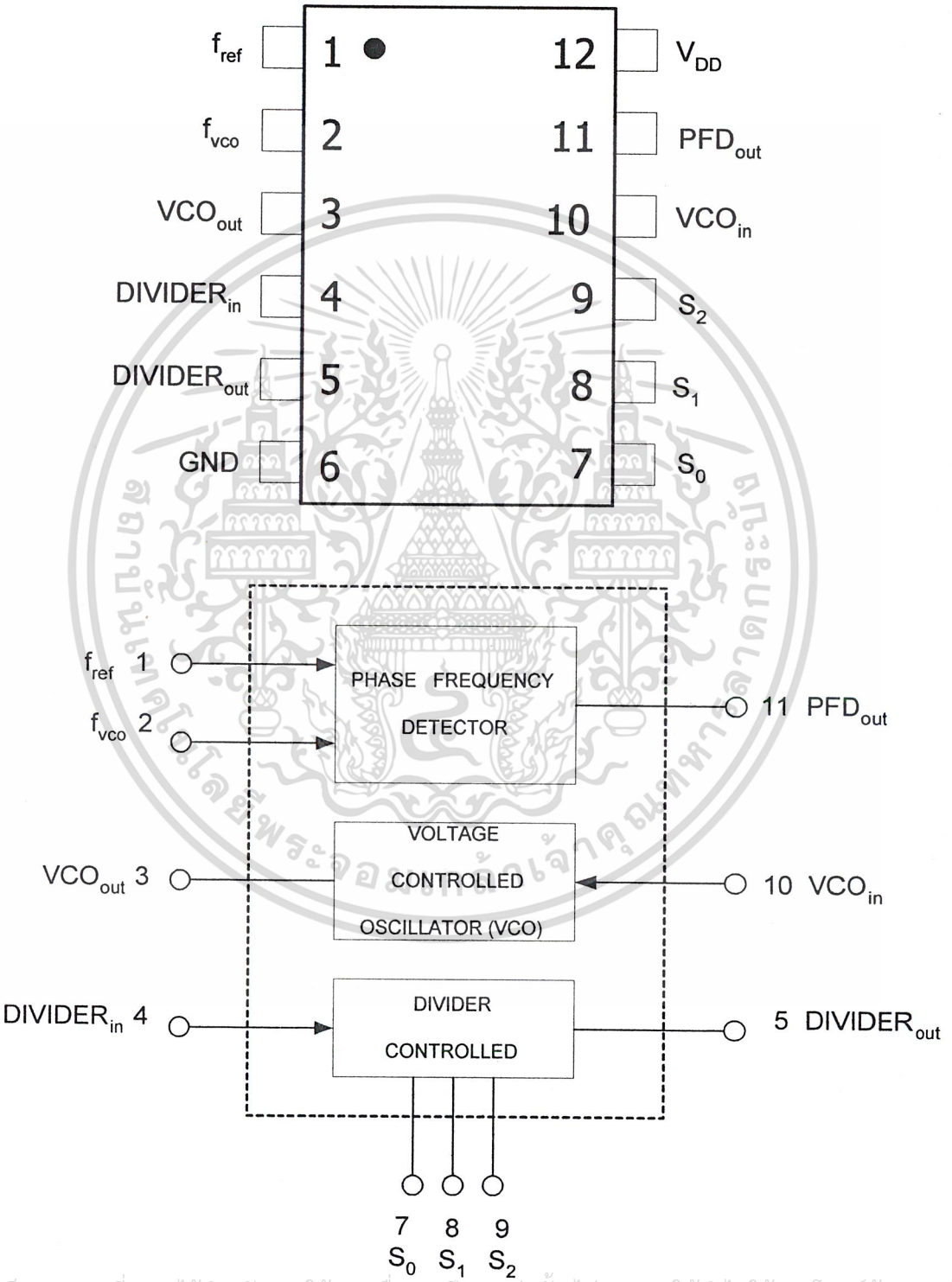
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปแบบของชิพวงจรดิจิตอลเฟสล็อคลูปที่ได้จากการออกแบบลวดลาย (Layout)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปแบบตำแหน่งขาของชิพวงจรดิจิตอลเฟสล็อคลูปและโครงสร้างภายใน



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คุณสมบัติและค่าพารามิเตอร์ของวงจรเฟสล็อคลูปแบบดิจิตอล

-Supply Voltage = 5V

-Phase comparator is PFD output tri-state

VOLTAGE CONTROLLED OSCILLATOR (VCO)

Characteristic	Symbol	Value	Units
Maximum Frequency	f_{max}	22.7	MHz
Minimum Frequency	f_{mim}	2.7	MHz
Maximum Voltage	V_{max}	2.5	Volt
Minimum Voltage	V_{min}	1.5	Volt
Gain	K_{vco}	88.66×10^{6}	Radians/V.s

PROGRAMMABLE DIVIDER

INPUT			NUMBER OF N DIVIDER
S_2	S_1	S_0	
L	L	L	2
L	L	H	4
L	H	L	8
L	H	H	16
H	L	L	32
H	L	H	64
H	H	L	128
H	H	H	256

L=GND AND H=V_{DD}

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ขอบคุณพ่อ-แม่ และสมาชิกในครอบครัวที่เข้าใจและให้กำลังใจและมีแต่ความปรารถนาดีตลอดมา

ขอบคุณอาจารย์วรากรเป็นอย่างสูง สำหรับการสละเวลาส่วนตัวและคอยให้คำปรึกษาในการทำโครงงานนี้มาตลอดเทอม ซึ่งแน่นอนว่าหากไม่ได้คำปรึกษาจากอาจารย์แล้ว โครงงานนี้คงไม่บรรลุเป้าหมาย

ขอบคุณเพื่อน ๆ สำหรับกำลังใจ และยังเป็นที่ปรึกษายามมีปัญหาไม่ว่าเรื่องใดก็ตาม

ยงศักดิ์ ชื่นตา

(ยงศักดิ์ ชื่นตา)

ผู้จัดทำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บรรณานุกรม

1. รศ.ดร.สมเกียรติ ศุภเดช, "สิ่งประดิษฐ์สารกึ่งตัวนำ", คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง, 228 หน้า, 2543
2. Behzad Razavi , "Design of Analog CMOS Integrated Circuits", 684 p, 2001
3. William F. Egan, "Phase-Locked Basics", John Wiley & Sons, 484 p, 1998
4. Roland E. Best, "Phase-Locked Loops Theory, Design, and Application", 373 p, 1999
5. Ulrich L. Rohde, "Microwave and Wireless Synthesizers Theory and Design", 568 p, 1997

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้