สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

วงจรแยกข้อมูลและวงจรกู้สัญญาณนาฬิกาสำหรับสมาร์ทการ์ด

DATA EXTRACTOR & CLOCK RECOVERY CIRCUIT FOR SMARTCARD

โดย

นาย ประสิทธิ์ วาจนสุนทร

นาย รัฐพล ทุ่นทอง

ปริญญานิพนธ์ฉบับนี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิศวกรรมอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2546

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เลขหมู่ .....
เลขทะเบียน 55801
วัน,เดือน,ปี 25 พ.ค. 2548

b. .....
i. .....

วงจรแยกข้อมูลและวงจรกู้สัญญาณนาฬิกาสำหรับสมาร์ทการ์ด

DATA EXTRACTOR & CLOCK RECOVERY CIRCUIT FOR SMARTCARD

โดย

นาย ประสิทธิ์ วาจนสุนทร รหัส 44015206

นาย รัฐพล ทุ่นทอง รหัส 44015211

อาจารย์ที่ปรึกษา

ผศ.ดร อภินันท์ ธนชยานนท์

ปริญญานิพนธ์ฉบับนี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิศวกรรมอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2546

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ ปีการศึกษา 2546

ภาควิชา อิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง วงจรแยกข้อมูลและวงจรกู้สัญญาณนาฬิกาสำหรับสมาร์ทการ์ด

DATA EXTRACTOR &CLOCK RECOVERY CIRCUIT FOR SMARTCARD

ผู้จัดทำ

1. นาย ประสิทธิ์ วาจนสุนทร รหัส 44015206
2. นาย รัฐพล ทุ่นทอง รหัส 44015211

.....

(ผศ.ดร อภินันท์ ธนชยานนท์)

อาจารย์ที่ปรึกษา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรรวมแบบอะนาล็อกสำหรับสมาร์ทการ์ด

ANALOG INTEGRATED CIRCUIT FOR SMART CARD

ผู้จัดทำ

1.นาย ประสิทธิ์ วาจนสุนทร รหัส 44015206

2.นาย รัฐพล ทุ่นทอง รหัส 44015211

ปริญญานิพนธ์นี้ได้รับการตรวจสอบแล้วพร้อมที่จะทำการสอบได้

.....

(ผศ.ดร อภินันท์ ธนชยานนท์)

อาจารย์ที่ปรึกษา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DATA EXTRACTOR & CLOCK RECOVERY CIRCUIT FOR SMARTCARD

Prasit Wajanasuntorn

Rathapol Thuntong

Dr. Apinunt Thanachayanont Advisor

2003

ABSTACT

Analog Integrated circuit for smart card comprise the digital unit and analog unit (RF Interface) .The RF Inetrface circuit comprise several path such as data extractor & clock recovery, RF-to-DC, Load Modulator, Power on reset ect. Integrated circuit is designed for smart card the data extractor&clock recovery is designed following ISO 14443 type B and all circuit is designed layout.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรแยกข้อมูลและวงจรกู้สัญญาณนาฬิกาสำหรับสมาร์ทการ์ด

นาย ประสิทธิ์ วาจนสุนทร
นาย รัฐพล ทุ่นทอง
ผศ.ดร อภินันท์ ธนชยานนท์ (อาจารย์ที่ปรึกษา)
ภาคเรียนที่ 2 ปีการศึกษา 2546

บทคัดย่อ

วงจรรวมสำหรับสมาร์ทการ์ดประกอบด้วย หน่วยดิจิตอลและส่วน RF Interface ซึ่งแต่ละส่วนมีความสำคัญเท่าๆกัน สำหรับวงจรส่วน RF Inerface ประกอบด้วยวงจรส่วนต่างๆซึ่งทำหน้าที่แตกต่างกันออกไป ยกตัวอย่างเช่น data extractor & clock recovery, RF- to – DC, load modulation, power on reset เป็นต้น สำหรับการออกแบบวงจรรวมสำหรับสมาร์ทการ์ดได้เลือกออกแบบวงจรในส่วน data extractor & clock recovery ตามมาตรฐาน ISO 14443 type B โดยในการออกแบบในส่วนของ data extractor จะทำการออกแบบวงจรรวม ASK demodulate แบบ 10% และส่วนของ clock recovery นั้น ก็จะทำการออกแบบวงจรคอมพาราเตอร์ด้วยฮีสเตอรีซีสเพื่อดึงเอาสัญญาณนาฬิกาออกจากสัญญาณ ASK modulater พร้อมทั้งออกแบบลวดลายวงจร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

	หน้า
บทที่ 1 บทนำ	1
บทที่ 2 เทคโนโลยีสมาร์ทการ์ด	3
2.1 แนะนำเทคโนโลยีสมาร์ทการ์ด	3
2.2 คุณสมบัติสมาร์ทการ์ดไอ.ซี. ที่ใช้ในการออกแบบ	5
2.3 ข้อกำหนดการรับส่งของข้อมูล (RF/IO)	8
2.4 การออกแบบส่วนประกอบสมาร์ทการ์ดชนิด Combi	10
บทที่ 3 มอสทรานซิสเตอร์และวงจรพื้นฐาน	19
3.1 มอสทรานซิสเตอร์ชนิดเอ็นฮานซ์เมนต์	19
3.2 สรุปสมการกระแสของมอสทรานซิสเตอร์	29
3.3 พารามิเตอร์แอบแฝงของมอสทรานซิสเตอร์	30
3.4 อินเวอร์เตอร์เกท	33
3.5 หลักการและการออกแบบวงจร Comparator with Hysteresis	35
บทที่ 4 ทฤษฎีการออกแบบลวดลายวงจร	43
4.1 การออกแบบในระดับกายภาพ	44
4.2 ขั้นตอนการสร้างวงจรรวมซีมอสโดยย่อ	46
4.3 ชั้นต่างๆที่ใช้ในการออกแบบ	50
4.4 ออปเจ็กต์และไดอะแกรมสติ๊กค์	50
4.5 กฎเกณฑ์ในการออกแบบ	52
4.6 ข้อพิจารณาในการออกแบบระดับกายภาพ	54
4.7 โครงสร้างซีมอสในการออกแบบ	56
บทที่ 5 แนวคิดและขั้นตอนการออกแบบวงจรแยกข้อมูล และวงจรกู้สัญญาณนาฬิกา	58
5.1 แนวคิดและขั้นตอนการออกแบบวงจรแยกข้อมูล	58
5.2 แนวคิดและขั้นตอนการออกแบบวงจรกู้สัญญาณนาฬิกา	76
5.3 การออกแบบลวดลวยวงจร	77
บทที่ 6 ผลการทดลอง	82
6.1 ผลการจำลองการทำงานของวงจรแยกข้อมูล และวงจรกู้สัญญาณนาฬิกา	82

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หน้า

6.2 ผลการจำลองการทำงานของวงจรแยกข้อมูล
และวงจรกู้สัญญาณนาฬิกาที่ได้จากการออกแบบลวดลาย 91
บทที่ 7 สรุปและวิจารณ์ผลการทดลอง 95
ภาคผนวก
เอกสารอ้างอิง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูปภาพ

	หน้า
รูปที่ 2.1 เทคโนโลยีสมาร์ทการ์ด	4
รูปที่ 2.2 สถาปัตยกรรมของ Combi-card	5
รูปที่ 2.3 แสดงส่วนของอินดัคตีฟคัปปลิ้ง	7
รูปที่ 2.4 Smartcard Block Designed	10
รูปที่ 2.5 ส่วนวงจรอะนาล็อกของ Contactless Smartcard	11
รูปที่ 2.6 ส่วนวงจรอะนาล็อกของเครื่องอ่านและเขียนสมาร์ทการ์ด	15
รูปที่ 2.7 สัญญาณ ASK 100%	16
รูปที่ 2.8 แสดงการมอดูเลตแบบ A	16
รูปที่ 2.9 การมอดูเลตแบบ B	17
รูปที่ 3.1 ก) โครงสร้างของมอสทรานซิสเตอร์ชนิดเอ็นฮานซ์เมนต์เอ็นแชนแนล	20
รูปที่ 3.1 ข) โครงสร้างของมอสทรานซิสเตอร์ชนิดเอ็นฮานซ์เมนต์พีแชนแนล	20
รูปที่ 3.2 สัญลักษณ์ที่ใช้เขียนแทนมอสทรานซิสเตอร์ชนิดเอ็นฮานซ์เมนต์	21
รูปที่ 3.3 การเกิดช่องทางเดินกระแส	21
รูปที่ 3.4 การต่อแรงดันไบอัสให้กับมอสทรานซิสเตอร์ ชนิดเอ็นฮานซ์เมนต์เอ็นแชนแนล	22
รูปที่ 3.5 ความสัมพันธ์ของ Vgs และ I_D ในขณะที่ VDS ค่าต่างๆ	23
รูปที่ 3.6 สภาวะทั้งหมดที่เกิดขึ้นในมอสทรานซิสเตอร์ ชนิดเอ็นฮานซ์เมนต์เอ็นแชนแนล	24
รูปที่ 3.7 สรุปคุณสมบัติของมอสทรานซิสเตอร์ชนิดเอ็นฮานซ์เมนต์เอ็นแชนแนล	25
รูปที่ 3.8 การเพิ่มค่า VDS ทำให้ความยาวของช่องทางเดินกระแสเปลี่ยนแปลง	25
รูปที่ 3.9 สรุปคุณสมบัติกระแสแรงดันของมอสทรานซิสเตอร์ ชนิดเอ็นฮานซ์เมนต์เอ็นแชนแนล	26
รูปที่ 3.10 การให้ไบอัสมอสทรานซิสเตอร์ชนิดเอ็นฮานซ์เมนต์พีแชนแนล	27
รูปที่ 3.11 ก) เปรียบเทียบการถ่ายโอนคุณสมบัติมอสทรานซิสเตอร์ ชนิดเอ็นฮานซ์เมนต์เอ็นแชนแนล	27
รูปที่ 3.11 ข) เปรียบเทียบการถ่ายโอนคุณสมบัติมอสทรานซิสเตอร์ ชนิดเอ็นฮานซ์เมนต์พีแชนแนล	28
รูปที่ 3.12 ก) เอ็นมอสเอ็นฮานซ์เมนต์	28

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

	หน้า
รูปที่ 3.12 ข) พีมอสเอ็นฮานซ์เมนต์	29
รูปที่ 3.13 ความจุไฟฟ้าแฝงของมอสทรานซิสเตอร์	30
รูปที่ 3.14 โมเดลของมอสทรานซิสเตอร์ที่เสนอโดย Shicman-Hodges	31
รูปที่ 3.15 CMOS Inverter และ DC Transfer Characteristic	33
รูปที่ 3.16 แสดง Hysterresis Curve ของคอมพาราเตอร์	35
รูปที่ 3.17 แสดงวงจรคอมพาราเตอร์แบบสองภาค	36
รูปที่ 3.18 วงจรคอมพาราเตอร์ด้วยฮีสเตอร์รีซีส	39
รูปที่ 3.19 แสดงการทำงานของวงจรขณะที่อินพุทซึ่งป้อนให้กับทรานซิสเตอร์ M2 มีค่าน้อยกว่า แรงดันคงที่ที่อินพุทของทรานซิสเตอร์ M1	40
รูปที่ 3.20 แสดงการทำงานของวงจรขณะที่อินพุทซึ่งป้อนให้กับทรานซิสเตอร์ M2 มีค่ามากกว่า แรงดันคงที่ที่อินพุทของทรานซิสเตอร์ M1	42
รูปที่ 4.1 แผนภาพรวมของออกแบบวงจรรวมขนาดใหญ่	43
รูปที่ 4.2 ขั้นตอนการออกแบบวงจรรวมในระดับกายภาพ	44
รูปที่ 4.3 ขั้นตอนโดยสรุปของกระบวนการสร้างอุปกรณ์ซีมอสแบบบ่อแยกพี	47-49
รูปที่ 4.4 การเกิดทรานซิสเตอร์	51
รูปที่ 4.5 การเชื่อมต่ออุปกรณ์ที่ชั้นแตกต่างกัน	51
รูปที่ 4.6 จากวงจรสู่การเลเอ้าท์	52
รูปที่ 4.7 จากวงจรสู่การเลเอ้าท์	52
รูปที่ 4.8 ทรานซิสเตอร์ที่สร้างได้แต่ไม่เป็นไปตามอุดมคติ	53
รูปที่ 4.9 แสดงความต้านทานของชั้นสาร	55
รูปที่ 4.10 วงจรอินเวอร์เตอร์ที่สมบูรณ์โดยต่อซับเตรทไทด์	57
รูปที่ 4.11 ลักษณะพาราซิติก BJT ที่เกิดกับวงจรซีมอสอินเวอร์เตอร์	57
รูปที่ 5.1 แสดงสัญญาณ ASK 10%	58
รูปที่ 5.2 แสดงหลักการที่ใช้ในการแยกข้อมูลเป็นดิจิตอล	58
รูปที่ 5.3 แสดงวงจรคอมพาราเตอร์ด้วยฮีสเตอร์รีซีส	59
รูปที่ 5.4 แสดงวงจรเอ็นเวลโลปดีเทคเตอร์	63
รูปที่ 5.5 แสดงวงจรอินทริเกรเตอร์	64

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หน้า

รูปที่ 5.6 แสดงการตอบสนองต่อสัญญาณอินพุทที่เป็นพัลส์ของวงจรอินทริเกรเตอร์ 65
รูปที่ 5.7 แสดงวงจรอินทริเกรเตอร์ภาคแรก 65
รูปที่ 5.8 แสดงวงจรอินทริเกรเตอร์ภาคที่สอง 70
รูปที่ 5.9 แสดงวงจรเอ็นเวลโลปดีเท็กเตอร์และวงจรอินทริเกรเตอร์ 72
รูปที่ 5.10 แสดงวงจรสร้างกระแสอ้างอิง 74
รูปที่ 5.11 วงจรกู้สัญญาณนาฬิกา 76
รูปที่ 5.12 ลวดลายเอ็นมอส 77
รูปที่ 5.13 ลวดลายพีมอส 77
รูปที่ 5.14 ลวดลายคาปาซิเตอร์ 78
รูปที่ 5.15 ลวดลวยของตัวต้านทาน 78
รูปที่ 5.16 แสดงลวดลายวงจรแยกข้อมูล 79
รูปที่ 5.17 แสดงลวดลายวงจรกู้สัญญาณนาฬิกา 80
รูปที่ 5.18 แสดงลวดลายวงจรสร้างกระแสอ้างอิง 80
รูปที่ 5.19 แสดงลวดลายวงจรทั้งหมด 81
รูปที่ 6.1 แสดงสัญญาณอินพุท ASK 10% ซีกบวก 82
รูปที่ 6.2 แสดงสัญญาณที่เกิดจากการทำงานของวงจรแยกข้อมูล 83
รูปที่ 6.3 แสดงการเปรียบเทียบสัญญาณต่างๆ 83
รูปที่ 6.4 แสดงสัญญาณอินพุท ASK 10% ซีกบวก 84
รูปที่ 6.5 แสดงสัญญาณที่เกิดจากการทำงานของวงจรแยกข้อมูล 85
รูปที่ 6.6 ก) แสดงความแตกต่างของสัญญาณที่ได้จาก
วงจรอินทริเกรเตอร์ทั้งสองภาค 85
รูปที่ 6.6 ข) แสดงการเปรียบข้อมูลดิจิตอลและสัญญาณที่ได้จาก
วงจรเอ็นเวลโลปดีเท็คเตอร์ 86
รูปที่ 6.7 แสดงสัญญาณอินพุท ASK 10% ซีกบวก 86
รูปที่ 6.8 แสดงสัญญาณที่เกิดจากการทำงานของวงจรแยกข้อมูล 87
รูปที่ 6.9 ก) แสดงความแตกต่างของสัญญาณที่ได้จาก
วงจรอินทริเกรเตอร์ทั้งสองภาค 87
รูปที่ 6.9 ข) แสดงการเปรียบข้อมูลดิจิตอลและสัญญาณที่ได้จาก
วงจรเอ็นเวลโลปดีเท็คเตอร์ 88

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

	หน้า
รูปที่ 6.10 แสดงผลการทำงานของวงจรแยกข้อมูลเมื่อมีอินพุทเป็น 11101011	88
รูปที่ 6.11 แสดงสัญญาณนาฬิกา	89
รูปที่ 6.12 แสดงค่ากระแสที่ไหลผ่านทราซิสเตอร์ M21 และ M 25	90
รูปที่ 6.13 แสดงสัญญาณต่างๆที่ได้จากวงจรแยกข้อมูลอินพุท 3.6 V	91
รูปที่ 6.14 แสดงสัญญาณต่างๆที่ได้จากวงจรแยกข้อมูลอินพุท 10 V	91
รูปที่ 6.15 เปรียบเทียบสัญญาณนาฬิกาและอินพุท	92
รูปที่ 6.16 แสดงค่ากระแสที่ไหลผ่านทราซิสเตอร์ M21 และ M 25	92
รูปที่ 6.17 แสดงผลการจำลองการทำงานของวงจรแยกข้อมูลจากวงจรรวมทั้งหมด	93
รูปที่ 6.18 เปรียบเทียบการทำงานของส่วนวงจรแยกข้อมูล	93
รูปที่ 6.18 แสดงผลการจำลองการทำงานของ วงจรกู้สัญญาณนาฬิกาจากวงจรรวมทั้งหมด	94

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

	หน้า
ตารางที่ 2.1 การส่งข้อมูลจากเครื่องอ่านไปยังสมาร์ทการ์ด	8
ตารางที่ 2.2 การส่งข้อมูลจากสมาร์ทการ์ดไปยังเครื่องอ่าน	9
ตารางที่ 3.1 Model Parameter For MOSFET	32
ตารางที่ 4.1 ชั้นสารและค่าพิกัดความต้านทานแผ่น	55
ตารางที่ 4.2 ค่าความจุไฟฟ้าระหว่างชั้นต่างๆ	55
ตารางที่ 4.3 ข้อพิจารณาในการเลือกชั้นสาร	56
ตารางที่ 4.4 ชั้นสารและข้อจำกัดความยาว	56
ตารางที่ 5.1 แสดงขนาด W/L ของทรานซิสเตอร์ที่ใช้ในวงจรคอมพาราเตอร์ด้วยฮีสเตอร์รีซีส	62
ตารางที่ 5.2 แสดงขนาด W/L ของทรานซิสเตอร์ที่ใช้ในวงจรเอ็นเวลโลปดีเท็คเตอร์และวงจรอินทริเกรเตอร์	73
ตารางที่ 5.3 แสดงขนาด W/L ของทรานซิสเตอร์ที่ใช้ในวงจรสร้างกระแสอ้างอิง	75

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

ปริญญานิพนธ์ฉบับนี้เสนอการออกแบบวงจรรวมเชิงอะนาล็อกสำรับสมาร์ทการ์ทซึ่งเกี่ยวกับการออกแบบวงจรแยกข้อมูลและวงจรกู้สัญญาณนาฬิกาโดยในแต่ละส่วนจะมีรายละเอียดในการออกแบบวงจรที่แตกต่างกันออกไป ยกตัวอย่างเช่น ในการออกแบบวงจรแยกข้อมูลนั้นเพื่อให้สามารถแยกข้อมูลดิจิตอลออกจากสัญญาณคลื่นพาห์จะทำการออกแบบวงจรคอมพาราเตอร์ด้วยฮีสเตอรีซีส,วงจรเอ็นเวลโลปดีเท็คเตอร์,วงจรเฉลี่ยระดับแรงดันและวงจรขับโหลด และในส่วนของวงจรกู้สัญญาณนาฬิกาจะทำการออกแบบวงจรคอมพาราเตอร์ด้วยฮีสเตอรีซีสวงจรเลื่อนเฟสและวงจรขับโหลด ซึ่งวงจรต่างๆที่ทำการออกแบบจะใช้เทคโนโลยี CMOS 0.5 micron

1. วัตถุประสงค์

1.1 ออกแบบวงจรสำหรับดึงข้อมูลออกจากสัญญาณ พาหะที่ถูกมอดดูเลทแบบ ASK 10%

1.2 ออกแบบวงจรสำหรับกู้สัญญาณนาฬิกา จากสัญญาณมอดดูเลทแบบ ASK 10%

1.3 ออกแบบลวดลายของวงจรแยกข้อมูลและวงจรกู้สัญญาณนาฬิกา

2. หลักการและเหตุผล

2.1 data extractor

การดึงข้อมูลออกจากสัญญาณพาห์มีความสำคัญต่อหน่วยดิจิตอล โดยจะนำเอาข้อมูลที่ได้นี้ไปเก็บไว้หรือประมวลผล สำหรับการออกแบบวงจร data extractor จะใช้การ demodulate สัญญาณ ASK 10% โดยนำเอาสัญญาณที่ได้จากการเฉลี่ยระดับแรงดันสองสัญญาณมาเปรียบเทียบกันด้วยวงจรฮีสเตอรีซีสคอมพาราเตอร์ ซึ่งจะทำให้สามารถแยกข้อมูลดิจิตอลและออกจากสัญญาณพาห์ความถี่ 13.56 MHz ได้

2.2 clock recovery

วงจรในหน่วยดิจิตอลมีความจำเป็นที่จะต้องใช้สัญญาณนาฬิกา สำหรับการทำงานต่างๆ และการกู้สัญญาณนาฬิกาจากสัญญาณที่ถูกมอดดูเลทแบบ ASK 10% นั้นสามารถทำได้โดยใช้สัญญาณ ASK 10% ที่ถูกลดระดับความแรงของสัญญาณจากภาค RF Limiter มาทำการเลื่อนเฟสของสัญญาณแล้วนำเอาสัญญาณที่ได้นี้ไปทำการเปรียบเทียบกับสัญญาณที่ไม่ได้เลื่อนเฟสโดยใช้คอมพาราเตอร์ด้วยฮีสเตอรีซีสก็จะสามารถดึงเอาสัญญาณนาฬิกาออกมาได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3. เป้าหมาย

3.1 สามารถออกแบบวงจร ASK demodulate ที่มีอัตราการ Demodulate เป็น 106 kbps

3.2 สามารถออกแบบวงจรกู้สัญญาณนาฬิกาที่สามารถทำงานได้อย่างมีประสิทธิภาพสำหรับป้อนสัญญาณนาฬิกานี้ให้หน่วยดิจิตอลต่อไป

3.3 สามารถออกแบบลวดลายวงจรแยกข้อมูลและวงจรกู้สัญญาณนาฬิกาได้

4. ประโยชน์ที่ได้รับ

4.1 ได้รับความรู้ความเข้าใจจากการศึกษาการออกแบบวงจรอะนาล็อกสำหรับวงจรรวม

4.2 เข้าใจถึงมาตรฐานต่างๆที่ใช้ในการออกแบบวงจรรวมสำหรับสมาร์ทการ์ด

4.3 รู้และเข้าใจถึงความแตกต่างระหว่างวงจรที่ใช้งานทั่วไปและวงจรที่ใช้สำหรับวงจรรวม

4.4 ได้พัฒนาความรู้และทักษะในการออกแบบวงจรรวม

4.5 เพิ่มทักษะในการใช้โปรแกรม SPICE ในการจำลองการทำงานของวงจร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

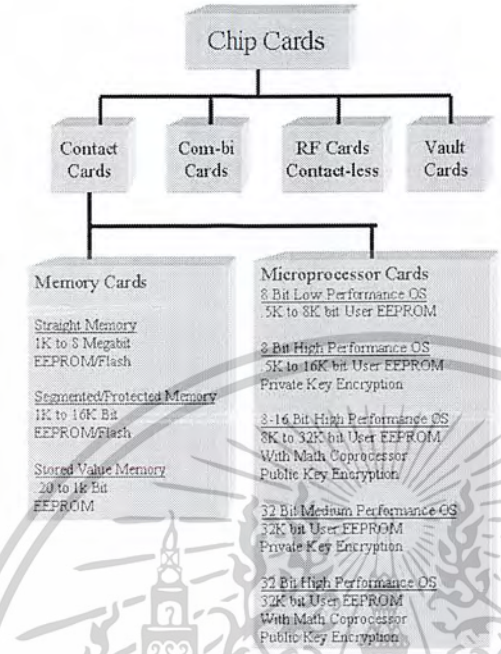
บทที่2

เทคโนโลยีสมาร์ทการ์ด

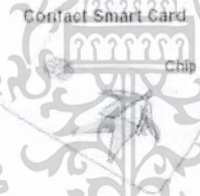
2.1. แนะนำเทคโนโลยีสมาร์ทการ์ด

สมาร์ทการ์ดเป็นบัตรพลาสติกชนิดหนึ่งที่มีชิพวงจรรวม (IC) ฝังอยู่ภายในตัวบัตร. ตัวชิพนี้จะใช้บรรจุข้อมูลต่างๆ ไว้ในรูปแบบทางอิเล็กทรอนิกส์ . จุดเด่นเมื่อเทียบกับบัตรชนิดแถบแม่เหล็กอยู่ที่ความสามารถในการประมวลผลสำหรับงานที่สลับซับซ้อนโดยเฉพาะอย่างยิ่งในส่วนที่เกี่ยวเนื่องกับการรักษาความปลอดภัยของข้อมูล ทำให้มีการนำสมาร์ทการ์ดไปใช้ในหลากหลายรูปแบบการใช้งานโดยเฉพาะในกรณีที่ต้องการความปลอดภัยของข้อมูลสูง เช่น ระบบ e-commerce และ e-citizen เป็นต้น โดยทั่วๆไปสมาร์ทการ์ดสามารถแบ่งได้เป็น 3 ชนิดใหญ่ ๆ ดังแสดงในภาพที่ 1 คือ ชนิดสัมผัส (Contact type), ชนิดไร้สัมผัส (Contact-less type) และชนิดทั้งสัมผัสและไร้สัมผัส (Combi-card type) โดยสมาร์ทการ์ดชนิดสัมผัสยังสามารถแบ่งออกได้อีก 2 ประเภท คือ ประเภทหน่วยความจำอย่างเดียว (MemoryCards)และประเภทควบคุมฟังก์ชั่นการใช้งานจากชุดประมวลผล (CPU/MPU Microprocessor Multifunction Cards) ในการใช้งานสำหรับบัตรชนิดสัมผัส จำเป็นต้องสอดใส่บัตรดังกล่าวเข้าไปในเครื่องอ่านสมาร์ทการ์ด (Smart Card reader) เพื่อให้หน้าสัมผัสที่ด้านหน้าบัตรซึ่งเป็นชิพทองขนาดเล็กเส้นผ่านศูนย์กลางประมาณครึ่งนิ้วได้สัมผัสกับเครื่องอ่านซึ่งการส่งถ่ายข้อมูลเข้าและออกจากบัตรสามารถทำได้ก็ด้วยการที่ชิพได้สัมผัสกับหัวต่อหรือคอนเน็กเตอร์ทางไฟฟ้าของเครื่องอ่านสมาร์ทการ์ดนั่นเองในทางตรงกันข้าม สมาร์ทการ์ดชนิดไร้สัมผัสซึ่งอาศัยความถี่วิทยุ (Contact-less smart cards หรือ RF cards) มีการผนึกชิพข้อมูลที่เชื่อมต่อขดลวดสายอากาศไว้ภายใน ทำให้การรับส่งข้อมูลเกิดขึ้นโดยไม่ต้องอาศัยวิธีการสัมผัสดังเช่นบัตรชนิดแรกโดยข้อมูลจากชิพจะติดต่อกับเครื่องรับ/เครื่องส่งแบบระยะไกล (Remote receiver/ transmitter) ในชิพผ่านสัญญาณคลื่นวิทยุ ทำให้การใช้งานต้องการเพียงให้บัตรเข้าใกล้บริเวณรัศมีทำการของสายอากาศของเครื่องอ่านเท่านั้นโดยทั่วๆไปเรามักใช้บัตรประเภทนี้เมื่อต้องมีการดำเนินการทางด้านรายการ (Transactions) อย่างรวดเร็ว ตัวอย่างเช่นระบบการจัดเก็บเงินค่าผ่านทางด่วนเป็นต้น

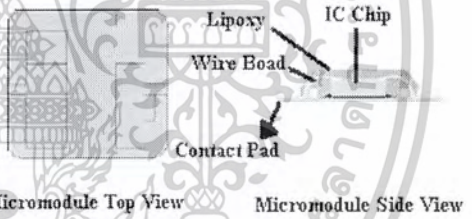
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



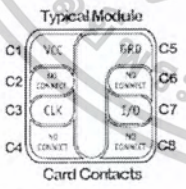
ภาพที่ 1. IC Cards ชนิดต่างๆ



ภาพที่ 2. Smart Card



ภาพที่ 3. Smart Card IC



ภาพที่ 4. Smart Card Contacts

ภาพที่ 5. Contact less Smart Card

รูปที่ 2.1 เทคโนโลยีสมาร์ทการ์ด

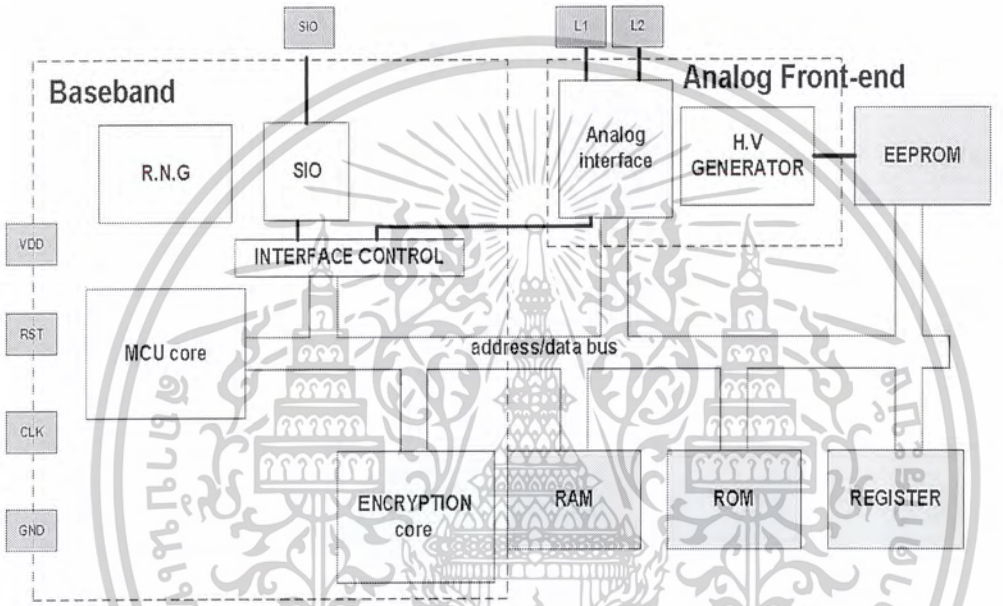
บัตรชนิดสุดท้าย คือบัตร Combi-card เป็นสมาร์ทการ์ดประสิทธิภาพสูงที่เริ่มพบได้ในท้องตลาด โดย Combi-card เป็นบัตรใบเดียวแต่ทำหน้าที่เป็นทั้งสมาร์ตการ์ดแบบมีการสัมผัสและสมาร์ทการ์ดแบบไม่มีการสัมผัสเพื่อเพิ่มความสะดวกและประโยชน์ในการใช้งานมากขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2 คุณสมบัติสมาร์ทการ์ด IC ที่ใช้ในการออกแบบ

สำหรับคุณสมบัติของสมาร์ทการ์ดที่ใช้ในการออกแบบนั้นโดยภาพรวมของเป้าหมายสูงสุดเป็นการออกแบบสมาร์ทการ์ดแบบ Combi-card โดยคุณลักษณะทั่วไปมีดังนี้

2.2.1รูปแบบของสถาปัตยกรรมแบบCombi-card



รูปที่ 2.2 สถาปัตยกรรมของ Combi-card

หมายเหตุ R.N.G.: random number generator

SIO: serial input/output

HV: Generator: High voltage generator

MCU: Micro controller Unit

จากภาพที่ 2 หัวใจในการประมวลผลของสมาร์ทการ์ดจะอยู่ที่ MCU/CPU ซึ่งในตลาดปัจจุบันมีทั้งแบบ 8/16/32 บิต การเชื่อมต่อของข้อมูลกับเครื่องอ่านทำได้ทั้งแบบสัมผัสตามมาตรฐาน ISO 7816 และแบบไม่สัมผัสที่อาศัยการเชื่อมโยงที่ความถี่สูง (Radio Frequencies, RF) ซึ่งมีมาตรฐาน ISO 14443 รองรับเช่นกันดังจะได้กล่าวต่อไป การเข้ารหัสเพื่อรักษาความปลอดภัยของข้อมูลทำได้ทั้งแบบ software โดยการเขียนชุดคำสั่งบน MCU ส่วนในกรณีต้องการความเร็วในการประมวลผลสูงจำเป็น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ต้องมีหน่วยจำเพาะสำหรับกระบวนการเข้าและถอดสลัก (encryption/decryption) เพิ่มเติมดังแสดงในภาพที่ 6 ส่วนประกอบสุดท้ายคือหน่วยความจำ (memory) ซึ่งโดยทั่วไปจะมีทั้งหน่วยความจำประเภท ROM ที่ทำหน้าที่เก็บระบบปฏิบัติการพื้นฐาน (OS) และ RAM ที่ทำหน้าที่เป็น (cache และ stack memory) ส่วน EEPROM ซึ่งถือเป็นหน่วยความจำแบบ non-volatile memory ใช้ในการเก็บข้อมูลที่ต้องการการโปรแกรมซ้ำ

2.2.2 มาตรฐานที่เกี่ยวข้อง

ความก้าวหน้าและการพัฒนามาตรฐานเป็นภาระหน้าที่ของคณะกรรมการทางเทคนิคของ ISO ซึ่ง ISO คือ การร่วมกันของสถาบันมาตรฐานนานาชาติ เช่น DIN ของเยอรมันนี และ ASIของสหรัฐอเมริกา มาตรฐานของระบบ RFID เป็นข้อกำหนดในการนำระบบ RFID ไปประยุกต์ใช้เช่น

1.Animal Identification :เป็นมาตรฐานของการนำระบบ RFID ไปใช้กับสัตว์ ซึ่งจะประกอบด้วยมาตรฐาน ISO 11784 และ มาตรฐาน ISO 11785

2.Contactless Smart Card: เป็นมาตรฐานของการนำระบบ RFID ไปใช้กับการ์ดแบบไร้สัมผัส ซึ่งจะประกอบด้วยมาตรฐาน ISO 10536 และ มาตรฐาน ISO 14443

3.ISO 69873-Data Carrier for Tool Clamping Device:เป็นมาตรฐานที่กล่าวถึงขนาดของ Data Carrier ซึ่งกำหนดด้วย มาตรฐาน ISO 69873

4.ISO 10374-Container Identification:เป็นมาตรฐานที่อธิบายถึงระบบ Automatic Identification สำหรับ ไมโครเวฟทรานสปอนเดอร์

5.VDI 4470-Anti - theft System for good:เป็นข้อกำหนดและคำแนะนำในการติดตั้งและทดสอบสำหรับระบบ EAS (Electronics article surveillance System)

บทนี้จะกล่าวถึงเฉพาะมาตรฐาน ISO 10536 และ มาตรฐาน ISO 14443 เท่านั้น

2.2.2.1 สมาร์ทการ์ดแบบไร้สัมผัส(Contactless Smart Card)

2.2.2.1.1มาตรฐาน ISO 10536(ISO 10536-Close Coupling Smart Card)

มาตรฐาน ISO 10536 อธิบายถึงโครงสร้างและการทำงานของ Contacless Close Coupling Smart Card มาตรฐาน ISO 10536 ประกอบด้วย

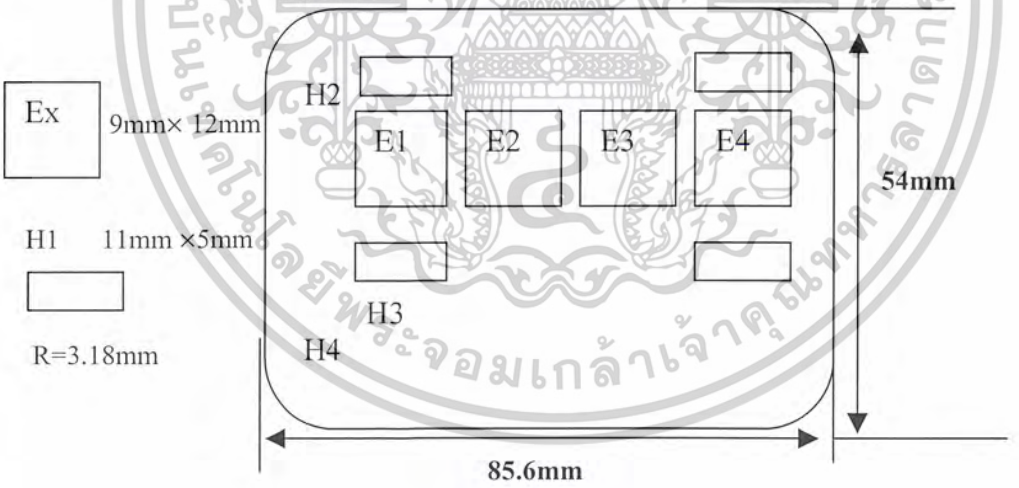
- ขนาดและตำแหน่งของพื้นที่การคัปลิ้ง(Dimenions and location of Coupling area)
- สัญญาณอิเล็กทรอนิกส์และกระบวนการรีเซ็ท(Electronics Signal and Reset Procedure)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

● การตอบสนองต่อการรีเซ็ทและโปรโตคอลการสื่อสาร(Answer to Reset and Transmission protocal)

1 ขนาดและตำแหน่งของพื้นที่การคัปปลิ้ง(Dimension and location of Coupling area) รายละเอียดของมาตรฐานส่วนนี้เกี่ยวกับตำแหน่งและขนาดของส่วนคัปปลิ้ง ทั้ง inductive coupling (H1-H4)และ capacitive coupling(E1-E4) จะถูกนำมาใช้งาน โดยส่วนคัปปลิ้งทั้งสองจะถูกเลือกให้แยกออกจากกันเป็นพวกๆเพื่อให้ Close Coupling Card สามารถทำงานได้ด้วยการสอดใส่เข้าไปในเครื่องอ่าน

2 สัญญาณอิเล็กทรอนิกส์และกระบวนการรีเซ็ท(Electronics Signal and Reset Procedure) **แหล่งจ่ายพลังงาน**(Power Supply) แหล่งจ่ายพลังงานของ Close Coupling Card ได้มาจากส่วนคัปปลิ้ง H1-H4 (inductive coupling)ซึ่งสนามแม่เหล็กที่เกิดจากการเหนี่ยวนำควรมีความถี่ 4.915MHz ส่วนคัปปลิ้ง H1และ H2 ถูกออกแบบด้วยขดลวดที่มีทิศทางกันพันขดลวดตรงกันข้ามกัน สำหรับส่วนคัปปลิ้ง H3 และH4 ก็จะมีลักษณะเช่นเดียวกันเครื่องอ่านต้องได้รับการออกแบบให้สามารถส่งพลังงานได้ถึง 150mW จึงเพียงพอต่อความต้องการของการ์ดแบบไร้สัมผัส



รูปที่2.3 แสดงส่วนของอินดัคตีฟคัปปลิ้ง(H1-H4)และ Capcitive coupling(E1-E4)

3 การส่งข้อมูลจากการ์ดไปยังเครื่องอ่าน(Data transmission card→Reader) ส่วนคัปปลิ้งที่เป็นอินดัคตีฟและคาปาซิตีฟจะถูกใช้สำหรับการ์ดและเครื่องอ่าน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Inductive:กระบวนการโหลดมอดดูเลชั่นด้วยคลื่นพาห์ย่อยใช้สำหรับส่งข้อมูลผ่านส่วนคัปปลิ้ง H1-H4 (คลื่นพาห์ย่อยมีความถี่เท่ากับ 307.2 KHz)โดยใช้การมอดดูเลทแบบ 180°PSK

Capacitive:ในกระบวนการคัปปลิ้งส่วนคัปปลิ้ง E1,E2 หรือ E3,E4 จะถูกใช้เป็นคู่โดยทั้งสองกรณีส่วนของคู่การคัปปลิ้งจะถูกควบคุมด้วยสัญญาณความต่าง สัญญาณความต่างคือความแตกต่างของระดับแรงดันมีค่าเท่ากับ 0.33 V โดยจะเกิดขึ้นที่พื้นผิวที่เชื่อมต่อกับเครื่องอ่าน ส่วนการส่งข้อมูลจะใช้การเข้ารหัสข้อมูลแบบ NRZ และมีอัตราการส่งข้อมูลหลังจากรีเซ็ทมีค่าเป็น 9600 Bit/s

2.2.2.1.2มาตรฐาน ISO 14443(ISO 14443-Proximity coupling smart cards)

มาตรฐานนี้จะจัดหาส่วนประกอบและหลักเกณฑ์สำหรับ Proximity coupling smart cards) เพื่อกำหนดวิธีการสื่อสารข้อมูลระหว่างเครื่องอ่านและการ์ดซึ่งสามารถแสดงตามตารางที่2.3 และ 2.4

ตารางที่ 2.1 การส่งข้อมูลจากเครื่องอ่าน(PCD)ไปยังสมาร์ทการ์ด(PICC)

PCD→PICC	Type A	Type B
Modulation	ASK 100%	ASK 10%(Duty factor 8%-12%)
Bit Coding	Modified Miller code	NRZ Code
Synchronisation	On bit level	1 start and 1 stop bit per byte
Baud rate	106 KBd	106 KBd

2.3 ข้อกำหนดการรับส่งของข้อมูล (RF / IO)

2.3.1มาตรฐานการเชื่อมโยงแบบไม่สัมผัส (Contactless connection)

เป็นไปตามข้อกำหนดคือ

o ISO 14443 type A หรือ B

- อัตราข้อมูลดิบอยู่ที่ 106 Kbps

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- วิธีการเข้ารหัสบิตข้อมูล (Bit Coding) อาจเป็นแบบ OOK-Manchester หรือ BPSK-NRZ ที่ความถี่คลื่นพาห์ย่อย 847 kHz โดยข้อมูลที่เข้ารหัสนี้จะนำไปมอดูเลตโหลด (load modulation) ของสายอากาศแบบแทงค์ LC อีกทอดหนึ่ง
- เปอร์เซ็นต์การมอดูเลต: 10% หรือ 100% ASK

2.3.2 มาตรฐานการเชื่อมโยงอนุกรมแบบสัมผัส (Contact connection)

o ISO 7816

- โปรโตคอลสื่อสารแบบ "Asynchronous half duplex Character (T=0)"
- โปรโตคอลสื่อสารแบบ "Asynchronous half duplex block (T=1)"
- อัตราข้อมูลดิบอยู่ที่ 9600 bps
- รับสัญญาณนาฬิกาจากตัวอ่าน (reader) โดยปรกติที่ 3.579545 MHz (or 4.9152 MHz)
- โดยมี ตัวหารที่ค่า 372 เพื่อสร้างการสื่อสารอนุกรมที่อัตรา 9600 bps
- มีขั้วเชื่อมต่อมาตรฐานที่จำเป็นคือ vdd, gnd, clk, และ I/O ดังรายละเอียดในตารางที่ 2

ตารางที่ 2.2 การส่งข้อมูลจากสมาร์ทการ์ด(PICC) ไปยังเครื่องอ่าน (PCD)

PICC→PCD	Type A	Type B
Modulation	Load modulation with subcarrier 847 KHz,ASK modulated	Load modulation with subcarrier 847KHz ,BPSK modulated
Bit coding	Manchester code	NRZ code
Synchronisation	1 Bit "frame synchronisation"	1 start and 1 stop bit per Byte
Buad rate	106 KBd	106 KBd

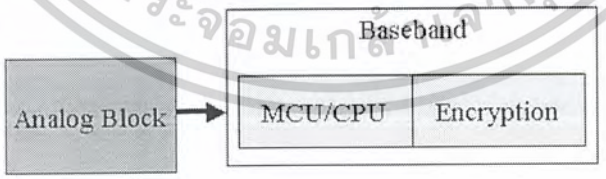
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แสดง Contact pins ของ Smart Card

Pin	Descriptions
Supply	Voltage 5.24-3.3 Volt depending on the technology
Ground	Ground reference
Clock	Clock 3.579545 MHz (or 4.9152 MHz) – clock divider of 372 to produce a 9600 bps serial communication
Serial I/O	9600 bps for data communication, half duplex
Reset (optional)	ISO supports 3 reset modes; internal reset, active low reset, and synchronous active high reset, with active low reset being the most popular
High – voltage (optional)	Signal necessary for programming EPROM. The more popular ICs use EEPROM memory where the high voltage is generated by a charge pump on the IC

2.4 การออกแบบส่วนประกอบสมาร์ทการ์ดชนิด Combi

เนื่องจากระบบสมาร์ทการ์ดนั้นค่อนข้างใหญ่และมีความซับซ้อนสูงจึงแบ่งสมาร์ทการ์ดออกเป็นส่วนๆ เพื่อง่ายต่อการออกแบบ โดยเฉพาะของสมาร์ทการ์ดแบบ Combi (ดังสถาปัตยกรรมในภาพที่ 2.2) ข้อกำหนดทางเทคนิคเบื้องต้นของแต่ละองค์ประกอบนั้นสามารถจะแบ่งแยกออกเป็นส่วนแอนะลอก (analog) และส่วนดิจิตอล (digital) หรือ เบสแบนด์ (baseband) ดังภาพที่ 2.4 ซึ่งมีรายละเอียดดังนี้

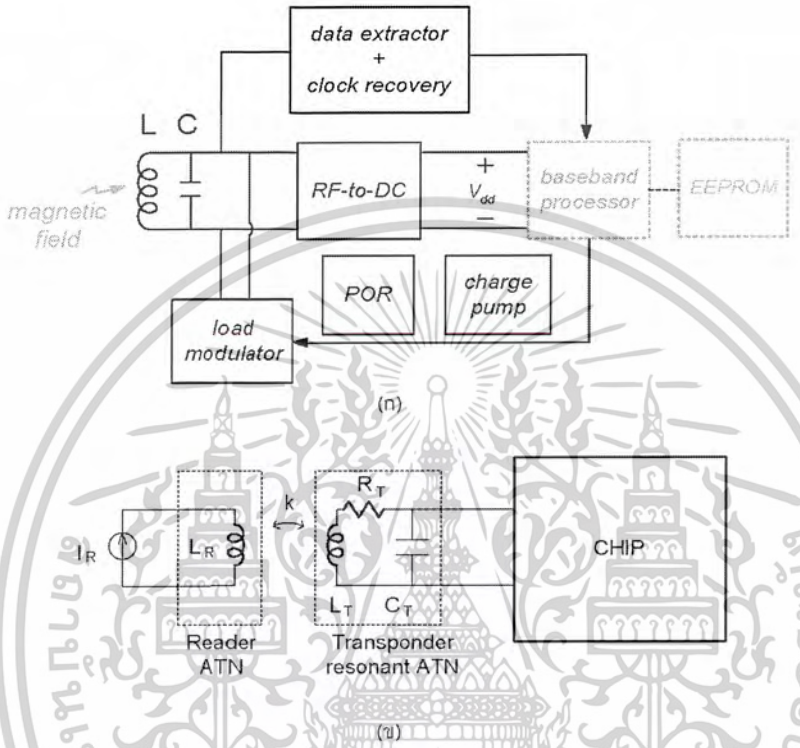


รูปที่ 2.4 Smartcard Block Design

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.4.1 ส่วนประกอบเชิงแอนะลอก

ส่วนวงจรแอนะลอกของสมาร์ทการ์ดแบบไร้สัมผัส (Contactless Smart Card) ตามมาตรฐาน ISO14443 ประกอบไปด้วนส่วนต่างๆดังนี้



รูปที่ 2.5 ส่วนวงจรแอนะลอกของ Contactless Smart cardและวงจรเสมือนของขดลวดสายอากาศสำหรับการจำลอง

1. ส่วนแปลงความถี่วิทยุเป็นไฟตรง (RF-to-DC converter หรือ Power Converter)

ส่วนแปลงความถี่วิทยุเป็นไฟตรง (ภาพที่ 2.5 ก) มีองค์ประกอบหลัก คือ วงจรเรียงกระแสตรง (Rectifier), ส่วนคงค่าแรงดัน Vdd (Vdd Regulator), วงจรป้องกันการปล่อยไฟฟ้าสถิตย์ (ESD Protection Circuit) และวงจรจำกัดแรงดัน (RF limiter Circuits) โดยส่วนแปลงไฟนี้จะต้องออกแบบมิให้มีผลกระทบกับสัญญาณข้อมูลคร่อมขดลวดของการ์ดซึ่งมอดูเลตมากับสนามแม่เหล็กคล้อง (ภาพที่ 2.5.ก และภาพที่ 2.5.ข) ซึ่งรายละเอียดของแต่ละส่วนอธิบายได้ดังนี้ วงจรเรียงกระแสตรง (Rectifier) มีหน้าที่ในการแปลงศักดาไฟสลับคร่อมขดลวดของสมาร์ทการ์ด ที่เหนี่ยวนำขึ้นจากสนามแม่เหล็กคล้อง (coupled magnetic field)ระหว่างตัวอ่านและการ์ดไปเป็นไฟตรงเพื่อจ่ายกำลังให้กับสมาร์ทการ์ดโดย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทั่วไปสัญญาณไฟสลับดังกล่าวมีความถี่ประมาณ13.56MHzเนื่องจากแรงดันไฟตรงภายหลังวงจรเรียงกระแสยังมีค่าขึ้นกับปริมาณการคล้องสนามแม่เหล็ก (coupling factor) ระหว่างตัวอ่านและการ์ด (กำหนดโดยระยะห่างและการวางตัวของการ์ด) ส่วนคงค่าแรงดัน Vdd จึงมีความจำเป็นในการสร้างเสถียรภาพของแรงดันจ่าย (Supply Voltage) ให้กับส่วนวงจรดิจิตอลของการ์ด ส่วนอื่นๆที่เหลือของส่วนแปลงกำลัง คือ วงจรป้องกันการปล่อยไฟฟ้าสถิตย์และวงจรจำกัดแรงดัน ทำหน้าที่จำกัดแรงดันไฟสลับคร่อมขดลวดซึ่งเป็นวงจรเรโซแนนซ์ เพื่อป้องกันความสูญเสียอันเนื่องมาจากสนามไฟฟ้าที่แรงสูงเกิน (ศักดาคร่อมขดลวดเรโซแนนซ์ขณะไม่มีชิพ

สมาร์ตการ์ดสามารถมีค่าได้สูงเกิน 100V)

ข้อกำหนด :

- ตัวอ่าน (card reader) สามารถกำเนิดสนามแม่เหล็ก (H) ที่มีค่าความเข้มสนามในช่วง 1.5 ถึง 7.5 A/m (rms)
- ระยะการอ่านของสมาร์ทการ์ดไม่ต่ำากว่า 10 cm
- ค่าแรงดันไฟฟ้า Vdd อยู่ที่ 3.3V คลาดเคลื่อนได้ไม่เกิน ±0.3V อัตราการกระเพื่อมไม่เกิน 10%
- มีประสิทธิภาพในการแปลงกำลังงานสูงสุด (Maximum power efficiency)

หมายเหตุและข้อกำหนดเพิ่มเติม:

- ค่าศักดาคร่อมขดลวดเรโซแนนซ์ของสมาร์ทการ์ดที่เหนี่ยวนำขึ้นจากสนามแม่เหล็กคล้องจากตัวอ่าน สามารถคำนวณได้โดยใช้สูตรต่อไปนี้

$$V = 2\pi fNAQ\mu_0 H\cos\alpha \qquad V(rms) \qquad (1)$$

โดยที่ :

f = ความถี่ของสัญญาณ (กำหนดให้เท่ากับ 13.56 MHz)

N = จำนวนรอบของขดลวด resonating coil ที่สมาร์ทการ์ด (กำหนดให้เท่ากับ 4 รอบ)

A = เนื้อที่ของลูปในหน่วย m^2 (กำหนดให้เท่ากับ 72 mm x 42mm)

Q = ค่าองค์ประกอบคุณภาพที่ถูกโหลด (loaded quality factor) ของวงจรเรโซแนนซ์ (ซึ่งต่างจากค่าองค์ประกอบคุณภาพที่ไร้โหลด (unloaded quality factor) ของสายอากาศเรโซแนนซ์อย่างเดียว ที่มีค่าเท่ากับ 70)

H = ความเข้มสนามแม่เหล็กที่ขดลวด (magnetic field density at the transponder)

μ_o = ค่าความซึมซาบแม่เหล็ก (permeability) ในสุญญากาศ เท่ากับ 1.257×10^{-6} V-s/Am

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

α = มุมตกกระทบของสัญญาณ (angle of arrival of the signal) (กำหนดให้เท่ากับ 0องศา)

เพื่อให้มาตรฐานเดียวกันจึงกำหนด การจำลองขดลวดสายอากาศ (Coil antenna) ของส่วนตัวอ่าน (รายละเอียดอยู่ในหัวข้อถัดไป) และสมาร์ทการ์ดกำหนดให้เป็นไปตามภาพที่ 8ข ที่ค่าความเหนี่ยวนำ LR เท่ากับ 0.8uH และ LT เท่ากับ 3.5uH ส่วนค่ากระแสขับที่ภาคส่งเท่ากับ 0.5A(rms) จำเป็นต้องคำนวณค่าสปส.การคล้องสนามแม่เหล็ก (Magnetic coupling factor) k, ความต้านทานขดลวด (RT) และ ค่าความเก็บประจุ CT ให้สอดคล้องกับที่กำหนด

2. ส่วนโปรแกรม EEPROM

เนื่องจาก EEPROM ซึ่งเป็นส่วนเก็บข้อมูลที่เปลี่ยนแปลงได้ของสมาร์ทการ์ด ต้องการระดับแรงดันสูงในการโปรแกรม จึงจำเป็นต้องมีส่วนซึ่งทำหน้าที่สร้างแรงดันค่าสูงนี้ ซึ่งประกอบไปด้วย วงจรปั๊มประจุ (Charge pump) และ วงจรคงค่าความต่างศักย์ Vpp (Vpp regulator) วงจรปั๊มประจุ ทำหน้าที่เพิ่มแรงดันพื้นฐานที่จ่ายให้ระบบ (Nominal supply voltage, Vdd) ให้เป็นแรงดันที่สูงกว่า (Higher Voltage, Vpp) ซึ่งจำเป็นในการ โปรแกรม EEPROM ส่วนวงจรคงค่าความต่างศักย์ Vpp ทำหน้าที่รักษาแรงดันสำหรับการโปรแกรมที่เสถียร (Stable Programming Voltage) ที่เป็นอิสระจากการเปลี่ยนแปลงของความเข้มสนามแม่เหล็กคล้อง

ข้อกำหนด :

- ให้ความต่างศักย์ Vpp เท่ากับ 18V คลาดเคลื่อนได้ไม่เกิน ±2V และอัตราการกระเพื่อมไม่เกิน 10%
- การจะโปรแกรม EEPROM ต้องสร้างสัญญาณพัลส์ ที่มีความกว้างอย่างน้อย 10ms และมีเวลาขอบขาขึ้นและลงรวมแล้วไม่เกิน 1ms.

3. ส่วนแยกข้อมูลและสร้างสัญญาณนาฬิกา (Data Extractor และ Clock Recovery)

วงจรแยกสัญญาณข้อมูล (Data extractor) ทำหน้าที่ดีมอดูเลตสัญญาณมอดูเลตแบบ ASK ชนิด 100% (modified-coded) หรือ 10% (NRZ-L-coded) ดังแสดงในภาพที่ 10 และภาพที่ 11 วงจรกู้สัญญาณนาฬิกา (Clock Recovery Circuit) ทำหน้าที่สร้างสัญญาณนาฬิกาที่ความถี่ 13.56MHz ออกจากศักดาเหนี่ยวนำคร่อมขดลวด เพื่อนำไปใช้ในหน่วยดิจิตอลของสมาร์ทการ์ด

ข้อกำหนด :

- อัตราความเร็วในการดีมอดูเลต คือ fc/128 (106Kbps)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4. ส่วนตั้งสถานะเมื่อเริ่มจ่ายไฟ (Power On Reset, POR)

ส่วนนี้มีหน้าที่กำเนิดสัญญาณตั้งใหม่ (Reset Signal) ให้กับส่วนวงจรดิจิตอล ภายหลังค่าแรงดันแปลงไฟตรง Vdd ขึ้นถึงค่าแรงดันขีดเริ่ม (Threshold) ที่กำหนด ทั้งนี้เพื่อสร้างความแน่นอนให้สถานะเริ่มต้น (defined start-up state) ของส่วนดิจิตอล

โดยทั่วไปแล้วเราจะอาศัยแรงดันเหนี่ยวนำคร่อมขดลวดการ์ดที่เกิดอย่างฉับพลันในช่วงที่เริ่มมีการคล้องของสนามแม่เหล็ก กระตุ้นให้วงจร POR เริ่มทำงาน

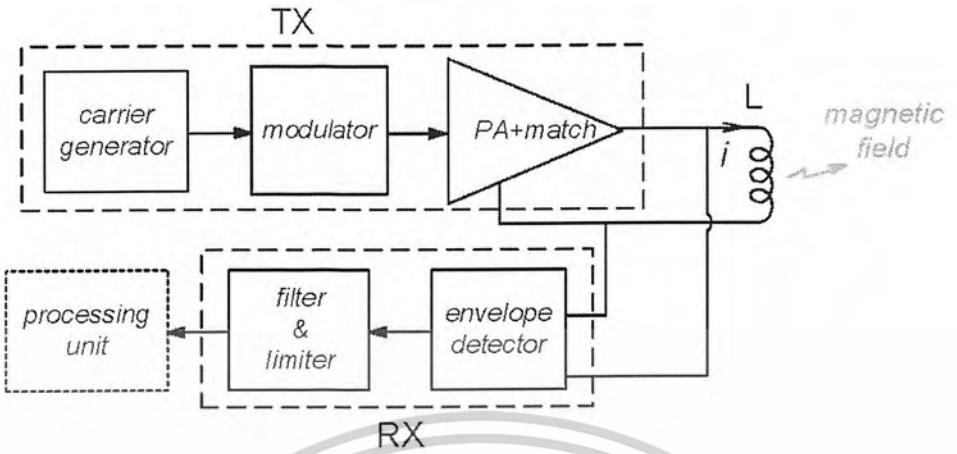
ข้อกำหนด:

- ระดับของแรงดันขีดเริ่มเท่ากับ Vdd/2

5. ส่วนมอดูเลตเชิงโหลด (Load modulator) และส่วนปรับความถี่เรโซแนนซ์อัตโนมัติ (Automatic resonant tuning circuit)

ส่วนมอดูเลเตอร์เชิงโหลดทำหน้าที่มอดูเลตสัญญาณที่ขดลวดเรโซแนนซ์ของสมาร์ทการ์ดด้วยสัญญาณข้อมูลจากส่วนดิจิตอล การมอดูเลตทำได้โดยการปรับเปลี่ยนค่าความเก็บประจุ (C) หรือค่าความต้านทาน (R) ที่ขนานกับขดลวดเรโซแนนซ์ด้วยการปิดเปิดสวิตช์ที่ถูกควบคุมจากข้อมูลดิจิตอล โดยผลลัพธ์คือขนาดของศักดาคร่อมขดลวดจะเปลี่ยนไปตามจังหวะข้อมูลซึ่งเปิดปิดสวิตช์ ทำให้ตัวอ่านสามารถตรวจจับการเปลี่ยนแปลงนี้ด้วยวงจรตรวจจับ envelope ผ่านสนามแม่เหล็กคล้อง ตามมาตรฐานที่กำหนดนั้น การสวิตชิ่งค่าเรโซแนนซ์จะถูกกระทำที่ความถี่คลื่นพาห์ย่อย (subcarrier frequency) ที่ค่า fc/16 หรือ 847 kHz โดยข้อมูลดิบเบสแบนด์จะทำการมอดูเลตคลื่นพาห์ย่อยในแบบ (i) OOK-modulated (Manchester-coded) หรือไม่ก็แบบ (ii) BPSK-modulated (NRZ-L-coded) วงจรปรับความถี่เรโซแนนซ์อัตโนมัติ จะทำหน้าที่ปรับค่าความถี่เรโซแนนซ์ (nominal resonant frequency) โดยอัตโนมัติ เพื่อให้ความแรงสนามที่รับได้มีค่าเหมาะสมที่สุด ข้อกำหนด : - อัตราการความเร็วในการมอดูเลต คือ fc/128 (106Kbps). - ขนาดของการมอดูเลตเชิงโหลด ต้องมีค่าอย่างน้อย 30/H1.2 mV (peak) โดยที่ค่า H เป็นค่าเฉลี่ยรากที่สอง (rms) ของความเข้มสนามแม่เหล็ก (A/m) และมีค่าในช่วง 1.5 ถึง 7.5 A/m. ส่วนวงจรแอนะลอกของเครื่องอ่านและเขียนสมาร์ทการ์ดประกอบไปด้วยส่วนต่างๆดังรูปที่ 5 ซึ่งสามารถอธิบายรายละเอียดได้ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.6 ส่วนวงจรแอนะลอกของเครื่องอ่านและเขียนสมาร์ทการ์ด

6. ส่วนภาคส่ง (Transmitter)

ภาคส่งมีหน้าที่ขับ (drive) ขดลวดสายอากาศของตัวส่ง (Antenna Coil) ด้วยสัญญาณความถี่สูง เพื่อสร้างสนามแม่เหล็กคล้องไปยังสมาร์ทการ์ดสำหรับการจ่ายกำลังงาน รวมไปถึงการสื่อสารข้อมูล ในกรณีที่มีการมอดูเลตสัญญาณขับความถี่สูงด้วยข้อมูลจากตัวอ่าน

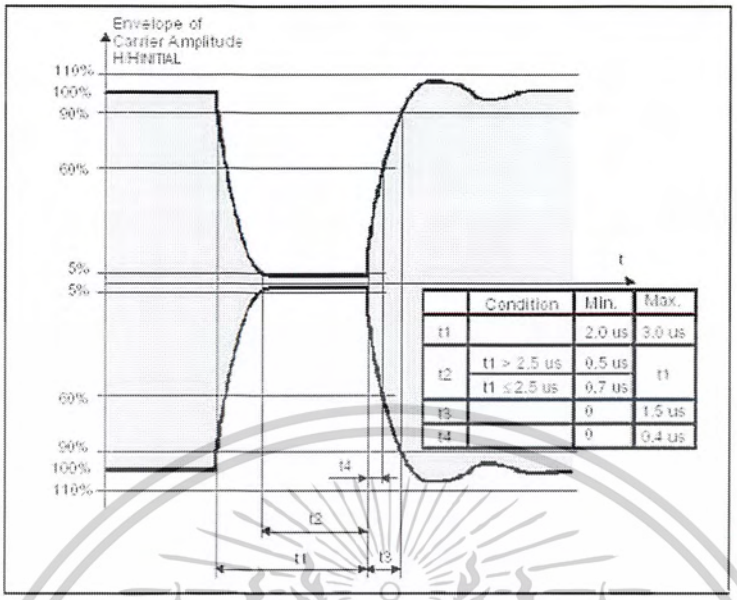
ภาคส่งทั่วไปประกอบด้วยส่วนพื้นฐาน ดังนี้

6.1. ส่วนกำเนิดสัญญาณคลื่นพาห์(Carrier generator)ทำหน้าที่ให้กำเนิดสัญญาณคลื่นไซน์ (sinusoid)ความถี่13.56MHzที่ยังไม่ถูกมอดูเลต โดยมีค่าความคลาดเคลื่อนความถี่ที่ยอมรับได้ (maximum frequency error) ไม่เกิน 0.01%

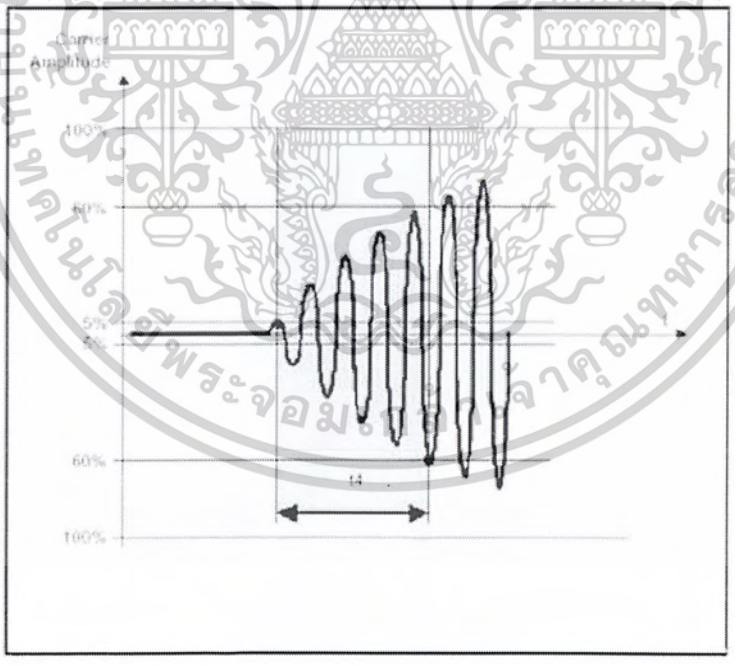
6.2. ส่วนมอดูเลตคลื่นพาห์ (Modulator) ทำหน้าที่มอดูเลตบิตข้อมูลลงบนสัญญาณคลื่นพาห์ โดยแบบแผนของการมอดูเลตสามารถกำหนดได้เป็น 2 แบบ คือ

- แบบ A อาศัยการมอดูเลตแบบ ASK 100% เพื่อสร้าง จังหวะหยุด (“pause”) ดังสามารถแสดง ในภาพที่ 2.7

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่2.7 สัญญาณ ASK 10%

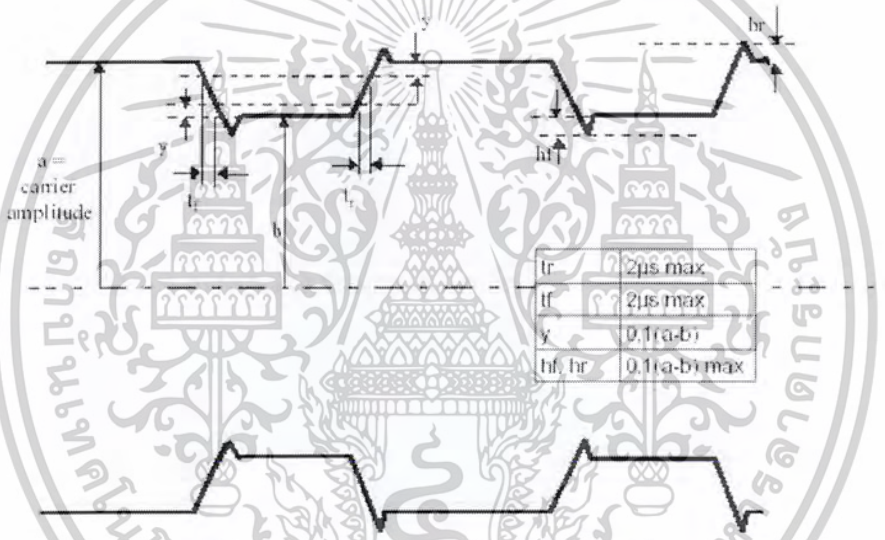


รูปที่ 2.8 แสดงการมอดูเลตแบบ A (ซ้าย=pause , ขวา=end of pause)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

ภาพที่ 2.8 แสดงถึงคุณลักษณะของสัญญาณปกคลุม (Envelope) จากการมอดูเลตและข้อกำหนดเชิงเวลาตามตาราง จะสังเกตได้ว่าการเปลี่ยนแปลงด้านขาลงของสนามแม่เหล็กถูกกำหนดไปในทิศทางลดเสมอจนกระทั่งมีค่าความเข้มที่ด้านต่ำอยู่ที่ 5% ต่อค่าเริ่มต้น $H_{initial}$ จากนั้นจะต้องคงค่าต่ำกว่า 5% นี้เป็นระยะเวลามากกว่าค่า t2 ส่วนกรณีที่สัญญาณอยู่ที่ขอบขาขึ้น จะต้องมีการกระเพื่อมของค่าความเข้มก่อนเข้าสู่ระดับคงตัวภายในระดับความเข้ม 90% - 110% ของ $H_{initial}$ โดยสมาร์ตการ์ดจะตรวจจับ จังหวะจบการหยุด (“end of pause”) ภายหลังสนามมีค่าเกินกว่า 5% ของ $H_{initial}$ จนถึงค่า 60% of $H_{initial}$.แบบ B อาศัย การมอดูเลตแบบ ASK 10% ดังแสดงข้อกำหนดเชิงเวลาของสัญญาณปกคลุมได้ในภาพที่ 7 ซึ่งกำหนดให้การเข้ารหัสบิตเป็นแบบ NRZ-L



รูปที่ 2.9 การมอดูเลตแบบ B

6.3. ส่วนขับกำลัง (Power Amplifier, PA) จะให้กำเนิดระดับสัญญาณที่ต้องการสำหรับขับสายอากาศเหนี่ยวนำในตัวอ่าน (coupling coil antenna) ที่ค่าความเข้มของสนามขณะที่ไม่ถูกมอดูเลตระหว่าง 1.5 กับ 7.5 A/m (rms).

6.4. วงจรเข้าคู่ (Matching Network) มีหน้าที่แปลงอิมพิแดนซ์ระหว่างเอาต์พุตของส่วนขับกำลังกับ สายอากาศเหนี่ยวนำ เพื่อให้เกิดเงื่อนไขการส่งผ่านกำลังงานสูงสุด

7. ภาครับ (Receiver)

ภาครับ (Receiver) มีหน้าที่ดีมอดูเลต (demodulate) สัญญาณที่มอดูเลตมาจากสมาร์ทการ์ดกลับมาเพื่อเป็นสัญญาณข้อมูลดิบที่ตัวอ่าน โดยภาครับทั่วไปจะประกอบด้วยส่วนพื้นฐานคือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

55801

7.1. ส่วนแยกสัญญาณปกคลุม (Envelope detector) มีหน้าที่แยกสัญญาณข้อมูลที่ถูกมอดูเลตด้วยคลื่นพาห์รองจากสมาร์ทการ์ดออกจากสัญญาณคลื่นพาห์ความถี่ 13.56MHz

7.2. วงจรกรองแถบหยุด (Notch filter) มีหน้าที่กำจัด (suppress) สัญญาณพาหะ (Carrier Signal) ที่ความถี่ 13.56 MHz ที่ยังหลงเหลือภายหลังส่วนแยกสัญญาณปกคลุม

7.3. วงจรกรองแถบผ่าน (Bandpass filter) จะส่งผ่านเฉพาะสัญญาณในช่วงความถี่ของคลื่นพาห์รอง subcarrier) ที่ 847KHz

7.4. ส่วนจำกัดระดับแรงดัน (Limiter) จะตัดสินใจว่าสัญญาณที่ถูกส่งมามีค่าเชิงตรรกะเป็น “1” หรือ “0” และให้กำเนิดระดับสัญญาณตรรกะที่สมนัย (compatible) กับหน่วยประมวลผล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

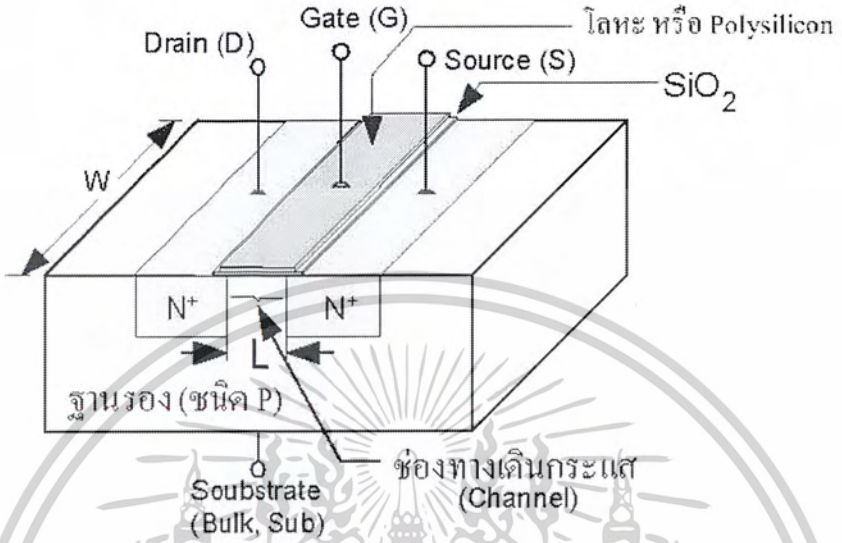
บทที่3
มอสทรานซิสเตอร์และวงจรพื้นฐาน

ความจริงเทคโนโลยีของ VLSI ไม่ได้จำกัดอยู่แค่ตัวอุปกรณ์ชนิดมอสทรานซีสเตอร์เท่านั้น VLSI ครอบคลุมถึงเทคโนโลยีอื่นๆเช่น ไบโพลาร์-มอส ซิลิกอน-ซิลิไนด์ (SiSe) และแกลเลียม-อาเซไนด์ (GaAs) เป็นต้น แต่การที่ซิลิกอน-มอส ได้รับความนิยมอย่างกว้างขวางก็เพราะ ซิลิกอนเทคโนโลยีได้รับการพัฒนามานานจนมีความเชื่อถือได้สูงสุด- วงจรของมอสทรานซิสเตอร์ความเร็วอยู่ในเกณฑ์ที่ดี สามารถที่จะสร้างให้มีความหนาแน่น (จำนวนตัวอุปกรณ์ต่อพื้นที่) ได้สูง สิ้นเปลืองพลังงานในการทำงานน้อยนอกจากนี้การประมวลสัญญาณต่าง ๆ ได้เน้นมาที่การประมวลสัญญาณแบบเชิงเลขมากขึ้น เป็นผลส่งให้วงจรดิจิตอลไดถูกนำใช้อย่างแพร่หลาย ตั้งแต่วงจรระดับเกท จนไปถึงตัวประมวลผลที่ซับซ้อนในบทนี้จึงเน้นถึงความเข้าใจกลไกการทำงานของมอสทรานซิสเตอร์เป็นหลัก เริ่มต้นด้วยโครงสร้าง โลหะ-ฉนวนออกไซด์-สารกึ่งตัวนำ จากนั้นจึงทำความเข้าใจกับมอสทรานซิสเตอร์ที่เป็นโครงสร้างแบบเอ็นฮานซ์เมนท์ เพราะวงจรดิจิตอลอาศัยการทำงานของมอสทรานซิสเตอร์ในช่วงคัทออฟและช่วงอิ่มตัวเป็นส่วนใหญ่ และเพื่อเป็นการนำไปสู่การจำลองการทำงานของอุปกรณ์และวงจรโดยใช้ CAD จึงได้เน้นพารามิเตอร์ต่างๆ ที่นำมาสร้างเป็นโมเดลที่ใช้ในโปรแกรม SPICE ด้วย

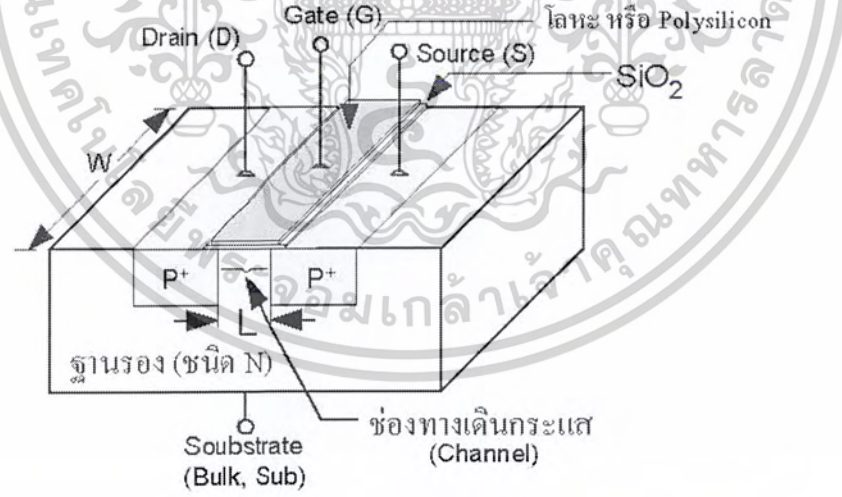
3.1 มอสทรานซีสเตอร์ชนิด เอ็นฮานซ์เมนต์

รูปที่ 3.1 แสดงให้เห็นถึงส่วนประกอบต่างๆของมอสทรานซีสเตอร์ชนิด เอ็นฮานซ์เมนต์ ซึ่งจะถูกสร้างบนฐานรองชนิดพี (P–Type Substrate) สารกึ่งตัวนำชนิดเอ็นถูกสร้างขึ้น ดังในรูป ชิ้นหนึ่งถูกเรียกว่า เดรน (Drain) และอีกชิ้นหนึ่ง เรียกว่า ซอส (Source) ฟิล์มบางของซิลิกอนไดออกไซด์ : SiO_2 จะถูกสร้างที่ด้านบนของฐานรอง คลอบคลุมพื้นที่ของซอสและเดรน บนชั้นของออกไซด์ จะสร้างฟิล์มบางของโลหะ(มักเป็นอลูมิเนียม) หรือตัวนำไฟฟ้า เช่น สารกึ่งตัวนำโพลีซิลิกอน ที่มีค่าพิกัดความต้านทานต่ำ ๆ เพื่อทำหน้าที่เป็นส่วนควบคุมที่เรียกว่า เกท(Gate) ที่ฐานรองจะต่อขั้วของไฟฟ้าออกมาด้วยเรียกว่า ขั้วฐานรองหรือซับเสตรทในทำนองเดียวกันนี้ มอสทรานซีสเตอร์ชนิดเอ็นฮานซ์เมนต์ พีแชลแนล (P Channel EnhancementMOSFET) จะถูกสร้างขึ้นจากฐานรองชนิดเอ็น ดังในรูปที่ 3.2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

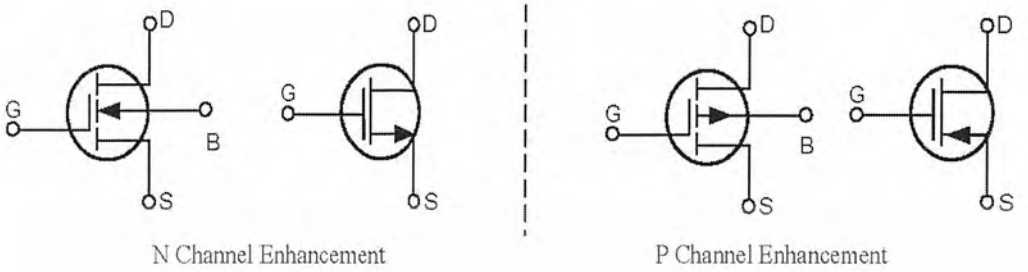


รูปที่ 3.1 ก โครงสร้างของมอสทรานซิสเตอร์ชนิดเอ็นฮานซ์เมนต์ เอ็นแชนแนล



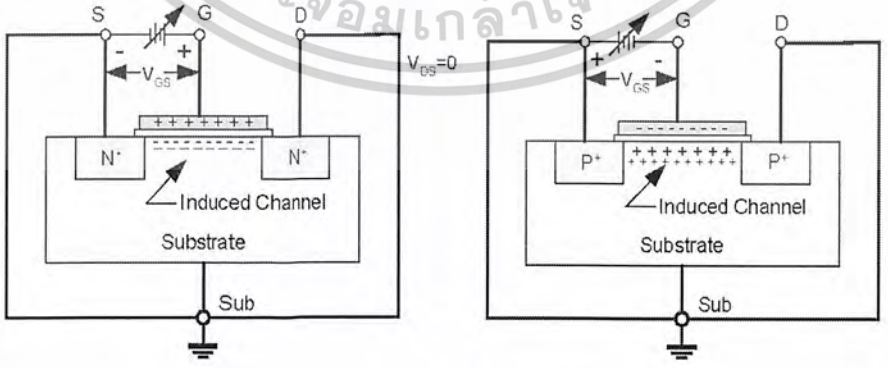
รูปที่ 3.1 ข โครงสร้างของมอสทรานซิสเตอร์ชนิดเอ็นฮานซ์เมนต์ พีแชนแนล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.2 สัญลักษณ์ที่ใช้เขียนแทนมอสทรานซิสเตอร์ชนิดเอ็นฮานซ์เมนต์

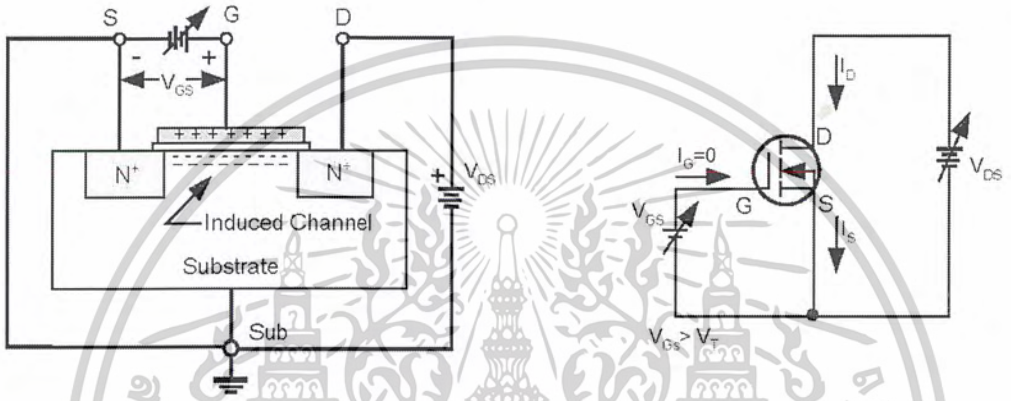
การทำงานของมอสทรานซีสเตอร์นั้น ช่องทางเดินกระแสจะถูกเหนี่ยวนำให้เกิดขึ้นบริเวณใต้ส่วนของเกทพิจารณารูปที่ 3.3 ก) จะเห็นได้อย่างชัดเจนว่า ถ้าหากแรงดัน $V_{GS} = 0$ กระแสจะไม่สามารถไหลจากเดรนไปยังซอสได้เลยถ้าเราป้อน V_{GS} ซึ่งเป็นแรงดันบวกให้กับมอสชนิดเอ็นจะเกิดสภาพของตัวเก็บประจุระหว่างเกท กับ ฐานรองดังในรูปที่3.3 ประจุลบจะถูกเหนี่ยวนำให้เกิดขึ้นระหว่าง เดรน กับ ซอส ถ้า V_{GS} มีค่ามากพอประจุบวกที่เกทจะเหนี่ยวนำให้เกิดประจุลบจำนวนมากที่สารกึ่งตัวนำชนิดพี ซึ่งอยู่ระหว่างเดรน และ ซอส ให้กลายเป็นสารกึ่งตัวนำ ชนิดเอ็น ทำให้เกิดช่องทางเดินกระแสจาก N^+ ซอส ไปยัง N^+ เดรน ในทำนองเดียวกัน ในมอสทรานซีสเตอร์ชนิดพีแชลแนล หรือ พีมอส จะสามารถที่จะทำให้เกิดช่องทางเดินกระแสชนิดพี ในบริเวณของสารกึ่งตัวนำชนิดเอ็น (ฐานรอง) โดยการป้อนแรงดันไบอัสที่เกทเป็นค่า $-V_{GS}$ ดังในรูปที่ 3.3 ข



รูปที่ 3.3 การเกิดช่องทางเดินกระแส (ก) ในเอ็นมอส (ข) ในพีมอส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

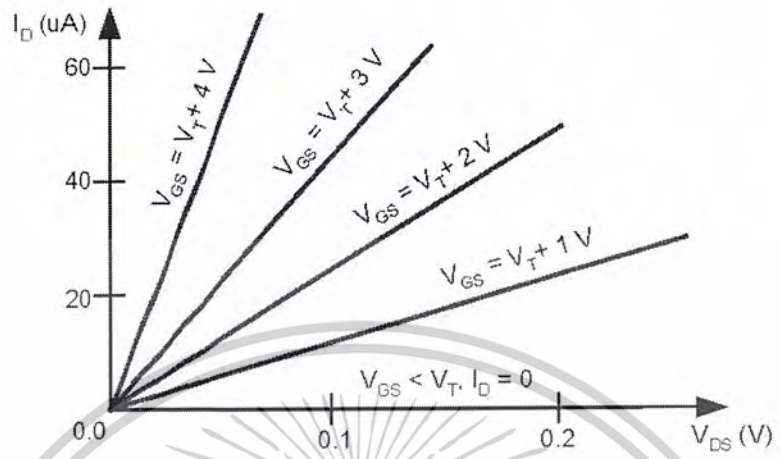
ค่าของแรงดัน V_{GS} ที่พอดีทำให้เกิดช่องทางเดินกระแสนั้น จะเรียกว่าค่าแรงดันขีดเริ่ม (Threshold Voltage:V_T) ซึ่งจะมีค่าเป็นบวกสำหรับเอ็นมอส และเป็นลบสำหรับพีมอส ถ้ามีความต่างศักย์ระหว่าง เดรน-ซอส ก็จะทำให้กระแสเริ่มต้นที่จะไหลโดยการจ่ายแรงดันไบอัส $V_{GS} > V_T$ และจ่ายแรงดันไบอัสให้กับ เดรน – ซอส ดังในรูปที่ 3.4



รูปที่ 3.4 การต่อแรงดันไบอัสให้กับมอสทรานซิสเตอร์ชนิดเอ็นฮานซ์เมนต์ เอ็นแชนแนล เพื่อให้เกิดการไหลของกระแส

ในขณะที่ V_{GS} มีค่าเพิ่มขึ้น ($V_{GS} > V_T$) ประจุด้านล่างของเกทจะถูกเหนี่ยวนำมามากขึ้น ทำให้ช่องทางเดินกระแสจะมีค่าความต้านทานลดลง ในขณะที่แรงดัน V_{DS} มีค่าต่ำๆ กระแสเดรนจะแปรผันโดยตรงกับค่าของแรงดัน (V_{GS}-VT) ความสัมพันธ์ของ V_{GS} กับ กระแสเดรน โดยในขณะที่ V_{DS} มีค่าต่ำๆ จะแสดงได้ดังรูปที่ 3.5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.5 ความสัมพันธ์ของ VGS และ ID ในขณะที่ VDS ค่าต่างๆ

จากรูปที่ 3.5 จะเห็นได้ว่า $I_D = 0$ เมื่อ VGS < VT และกระแสเดรน I_D จะแปรผันโดยตรงกับค่าของ (VGS –VT) การที่เกิดช่องทางเดินกระแสในมอสทรานซิสเตอร์ เกิดจากการเหนี่ยวนำของประจุจากสภาวะการทำงานของตัวเก็บประจุ ระหว่างเกท กับฐานรอง โดยมี SiO_2 เป็นไดอิเล็กตริค เนื่องจาก SiO_2 มีค่าความต้านทานที่สูงมาก ในขณะที่แรงดันไบอัสที่เกทมีค่าคงที่ ไม่ว่าแรงดันไบอัส VGS จะมีค่าเท่าใดก็ตาม (ยังไม่เบรคดาวน์) กระแสเกทจะมีค่าเป็นศูนย์ ซึ่งจะมีผลทำให้กระแสเดรน มีค่าเท่ากับกระแสซอส

$$dV_G/dt = 0; \qquad I_G = 0$$

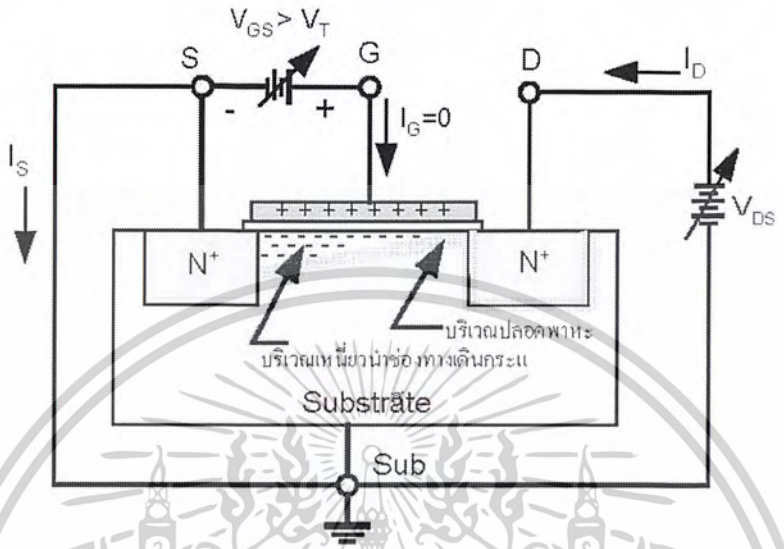
$$I_S = I_D$$

พิจารณาสภาวะที่เกิดขึ้นเมื่อ VDS มีค่าเพิ่มขึ้น สมมุติว่าเราให้ VGS มีค่าคงที่ โดย VGS > VT ในขณะที่ VDS มีค่าต่ำๆ โดยมี $V_{DS} < (V_{GS}-V_T)$ กระแสเดรน I_D จะมีค่าเพิ่มขึ้นอย่างเป็นเชิงเส้น ตามค่า VDS เราเรียก สภาวะการทำงานนี้ว่า สภาวะ โอห์มิค (Ohmic) หรือ ไตร โอด(Triode)

ในขณะที่ VDS > 0 และ VGS > VT เนื่องจากซอส และฐานรองถูกต่อเข้าด้วยกันความต่างศักย์ระหว่างเกท กับฐานรองบริเวณที่ใกล้กับซอส จะมากกว่าบริเวณที่ใกล้กับเดรน ช่องทางเดินกระแสจะมีลักษณะลาดเอียง ดังในรูปที่ 3.6

ในขณะที่ $V_{DS} = (V_{GS}-V_T)$ ความต่างศักย์ระหว่างเกท กับ ฐานรองด้านที่ติดกับเดรนจะมีค่าเป็นศูนย์ เราเรียกสภาวะที่เกิดขึ้นของช่องทางเดินกระแสในขณะนี้ว่า “Pinch Off” ซึ่งช่องทางเดินกระแสจะมีค่าแคบมากจนเกือบเป็นศูนย์

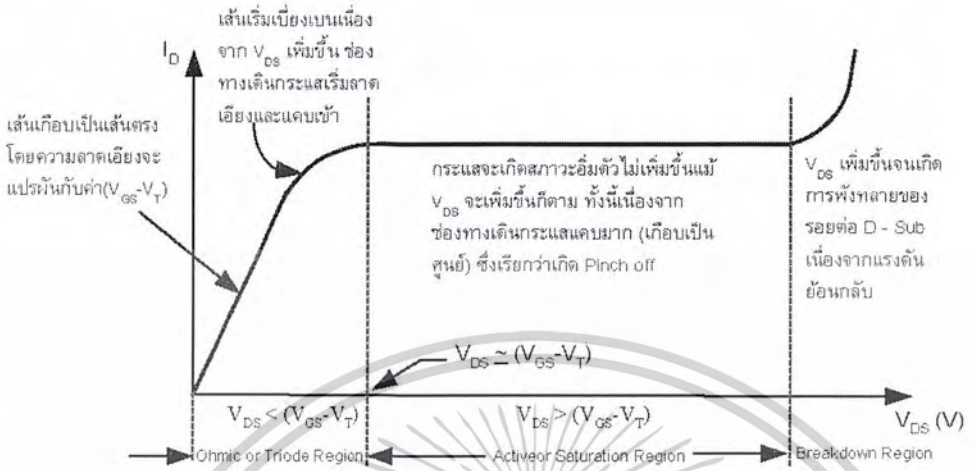
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.6 สภาวะทั้งหมดที่เกิดขึ้นในมอสทรานซิสเตอร์ชนิดเอ็นฮานซ์เมนต์ เอ็นแชนแนล

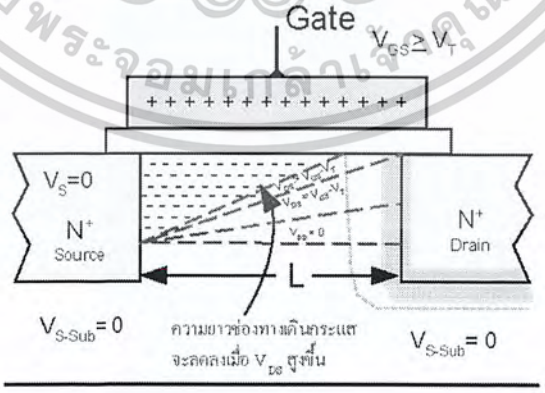
ในรูปที่ 3.6 แสดงถึงสภาพที่เกิดขึ้นทั้งหมดของมอสทรานซีสเตอร์ชนิดเอ็นฮานซ์เมนต์ -เอ็นแชลแนล เมื่อ $V_S=V_{SB} = 0$ จะเกิดสภาวะของไบอัสย้อนกลับ ระหว่างเดรนกับฐานรอง จะมีบริเวณปลอดพาหะเกิดขึ้นรอบ ๆ เดรน และความกว้างบริเวณปลอดพาหะนี้ จะเพิ่มมากขึ้น และมีความเข้มของสนามไฟฟ้าสูงขึ้น ในขณะที่ $V_{DS} = V_T$ ช่องทางเดินกระแสที่ถูกเหนี่ยวนำขึ้นจาก V_{GS} จะแคบมากในบริเวณใกล้กับเดรน อัตราการเพิ่มขึ้นของกระแสเดรนจะลดลงเมื่อ V_{DS} มีค่าเพิ่มขึ้น ดังในรูปที่ 3.7ถึง แม้ว่า V_{DS} จะมีค่าเพิ่มขึ้นจนมีค่า $V_{DS} > (V_{GS} – V_T)$ ช่องทางเดินกระแสจะแคบมาก จนเกือบเป็นศูนยกระแสเดรน : ID จะไม่สามารถเพิ่มขึ้นได้อีกตาม ถึงแม้ว่า V_{DS} จะมีค่าเพิ่มขึ้นก็ตามในขณะที่ V_{DS} มีค่ามากกว่า($V_{GS} + V_T$)กระแสเดรนจะมีค่าคงที่ ไม่เพิ่มขึ้นตาม V_{DS} อีกต่อไป เราเรียกสถานะหรือบริเวณการทำงานขณะนี้ว่า สภาวะแอคทีฟ (Active Region) หรือสภาวะอิ่มตัว (Saturation Region)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.7 สรุปคุณสมบัติของมอสทรานซิสเตอร์ชนิดเอ็นฮานซ์เมนต์ เอ็นแชนแนล โดยพิจารณามีค่าคงที่โดย $V_{GS} \geq V_T$

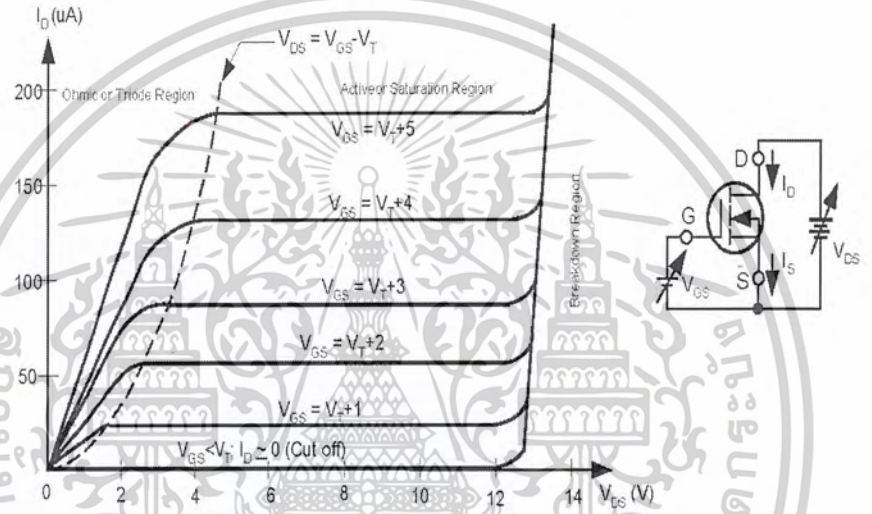
ในความเป็นจริง ในขณะที่ $V_{DS} > (V_{GS} + V_T)$ ช่องทางเดินกระแสจะเกิดสภาวะ Pinch Off และมีความยาวลดลง (ดูรูปที่ 3.8) แต่จากการที่มีบริเวณปลอดพาหะ และสนามไฟฟ้าเกิดขึ้นที่เดรน และช่องทางเดินกระแสที่อยู่ติดกับเดรนอิเล็กตรอนที่เดินทางมาถึงบริเวณช่องทางเดินกระแสที่ Pinch Off จะถูกเร่งโดยสนามไฟฟ้าที่มีค่าสูงของบริเวณปลอดพาหะที่เดรน ทำให้เกิดสภาวะกระแสไหลเกือบคงที่ และจากการที่ช่องทางเดินกระแสมีความยาวลดลงเมื่อ V_{DS} สูงขึ้น ทำให้กระแสสูงขึ้นเล็กน้อย เหตุการณ์เช่นนี้เรียกว่า Channel Length Modulation



รูปที่ 3.8 การเพิ่มค่า V_{DS} ทำให้ความยาวของช่องทางเดินกระแสเปลี่ยนแปลง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ถ้าเราเพิ่มค่าแรงดันของ V_G ประจุบวกที่เกทจะเพิ่มขึ้น จะทำให้อิเล็กตรอนที่ช่องทางเดินกระแสมากขึ้น ความต้านทานของช่องทางเดินกระแสลดลง กระแสจะไหลเดรนจะไหลได้มากขึ้นและเมื่อค่าแรงดัน V_{DS} เพิ่มขึ้นถึงค่าหนึ่ง จะทำให้รอยต่อระหว่างเดรนกับฐานรอง ซึ่งได้รับไบอัสย้อนกลับเกิดการเบรกดาวน์ ซึ่งมักจะทำให้มอสทรานซิสเตอร์เสียหาย ในรูปที่ 3.9 เป็นการสรุปคุณสมบัติ แรงดัน–กระแสของมอสทรานซิสเตอร์ชนิดเอ็นฮานซ์เมนต์ –เอ็นแชลแนล



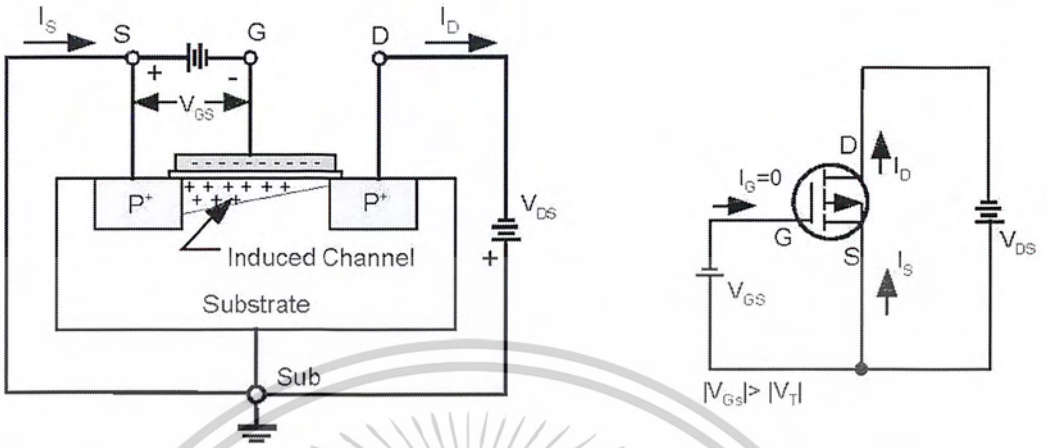
รูปที่ 3.9 สรุปคุณสมบัติกระแส-แรงดัน ID-VDS ของมอสทรานซิสเตอร์ชนิด-เอ็นแชนแนล

สำหรับมอสทรานซิสเตอร์ชนิดเอ็นฮานซ์เมนต์ -พีแชลแนล จะมีหลักการทำงานเหมือนกับมอสทรานซิสเตอร์ชนิดเอ็นฮานซ์เมนต์ -เอ็นแชลแนล ทุกประการ ซึ่งเราต้องจ่ายแรงดันไบอัสให้กับเกทเป็นลบ และแรงดันที่ไฟฟ้าที่เดรนจะ ค่าเป็นลบ ดังในรูปที่ 3.10

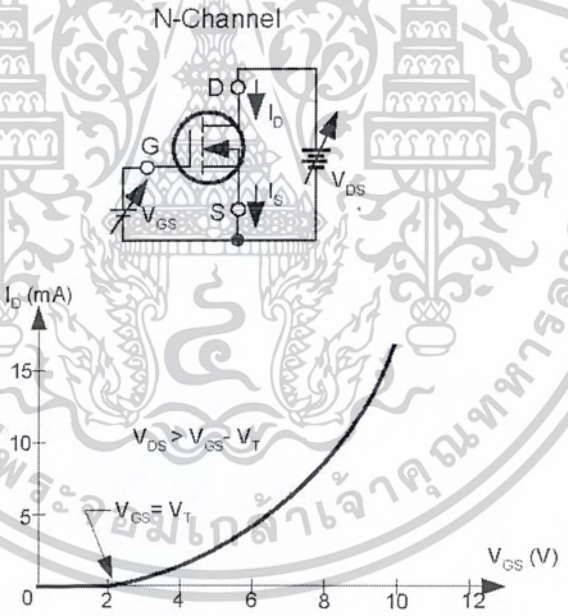
สำหรับ N MOS ; $V_T > 0$ กระแส I_D จะไหลได้เมื่อ $V_{GS} > V_T$

สำหรับ P MOS ; $V_T < 0$ กระแส I_D จะไหลได้เมื่อ $V_{GS} < V_T$ หรือ $|V_{GS}| > |V_T|$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

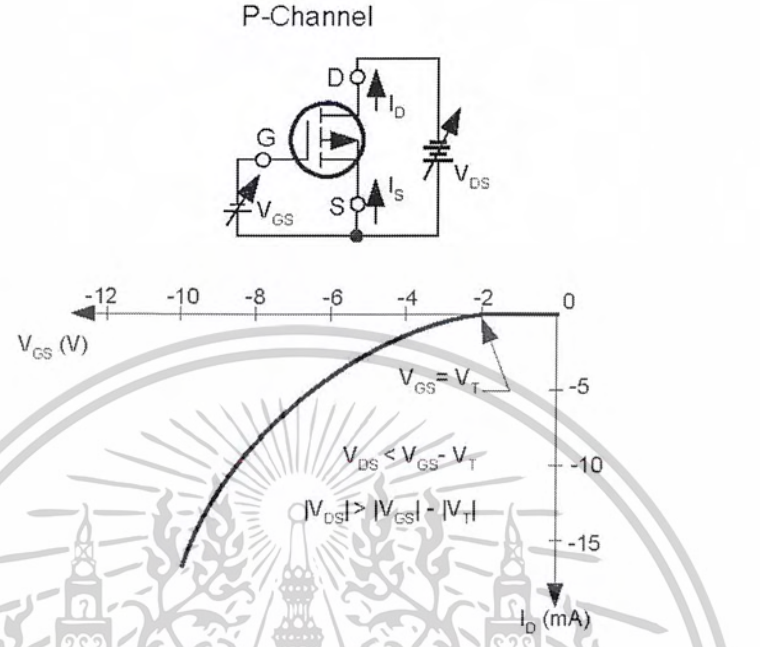


รูปที่ 3.10 การให้ไบอัสมอสทรานซิสเตอร์ชนิดเอ็นฮานซ์เมนต์ พีแชนแนล

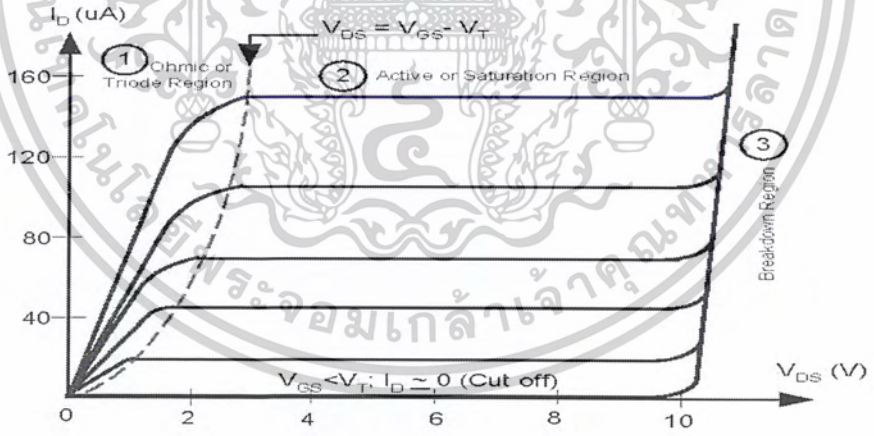


รูปที่ 3.11 ก) เปรียบเทียบถ่ายโอนคุณสมบัติถ่ายโอนของมอสทรานซิสเตอร์ชนิดเอ็นฮานซ์เมนต์ เอ็นแชนแนล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.11 ข) เปรียบเทียบถ่ายโอนคุณสมบัติถ่ายโอนของมอสทรานซิสเตอร์ชนิดเอ็นฮานซ์เมนต์ พีแชนแนล



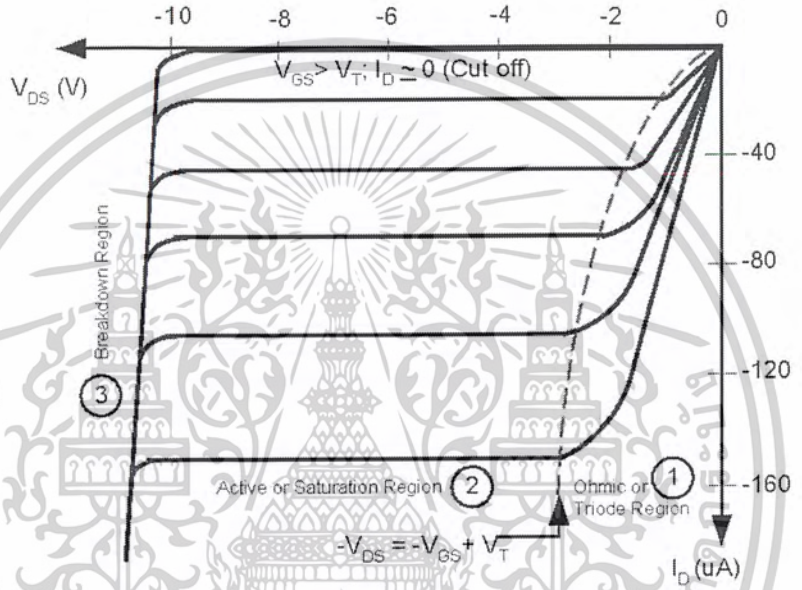
N Channel

1. VDS < VGS - VT
2. Ohmic หรือ Triode RegionVDS > VGS - VT
3. Pinch Off หรือ Active หรือSaturation Region Drain – Substrate Breakdown

รูปที่ 3.12 ก)เอ็นมอสเอ็นฮานซ์เมนต์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 3.11 จะเปรียบเทียบคุณสมบัติการถ่ายโอน (Transfer Characteristics) ของมอสทรานซีสเตอร์ชนิดเอ็นฮานซ์เมนต์ ทั้งเอ็นมอส และพีมอส ส่วนรูปที่ 3.12 จะแสดงเปรียบเทียบคุณสมบัติ ของมอสทรานซีสเตอร์ดังกล่าวสามารถกล่าวได้ว่า สำหรับมอสทรานซีสเตอร์ชนิดเอ็นฮานซ์เมนต์ กระแสเดรน I_D จะเริ่มไหลก็ต่อเมื่อ $|V_{GS}| > |V_T|$



P Channel

รูปที่ 3.12 ข)พี มอสเอ็นฮานซ์เมนต์

1. VDS > -VGS + VT

Ohmic หรือ Triode Region

2. VDS < -VGS + VT

Pinch Off หรือ Active หรือ Saturation Region

3. Drain – Substrate Breakdown

3.2 สรุปสมการกระแสของมอสทรานซิสเตอร์

สมการกระแส ID ของ มอสทรานซิสเตอร์ ในแต่ละช่วงการทำงานสรุปได้ดังนี้

Cut off $\quad |VGS|-|VT| \leq 0$, ID= 0

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Linear $0 < |\text{VDS}| < |\text{VGS}| - |\text{VT}|$, $I_D = \beta\left[(V_{GS} - V_T)V_{DS} - \frac{V^2{}_{DS}}{2} \right]$

Saturaion $0 < |\text{VGS}| - |\text{VT}| < |\text{VDS}|$; $I_D = \frac{\beta}{2}(V_{GS}-V_T)^2$

เมื่อ $\beta = uCox\frac{W}{L} = \text{KP}\frac{W}{L}$ โดย$\beta n = u_n Cox\frac{W}{L}$ สำหรับเอ็นมอสและ $\beta p = u_p Cox\frac{W}{L}$ สำหรับพีมอส

3.3. พารามิเตอร์แอบแฝงของมอสทรานซิสเตอร์

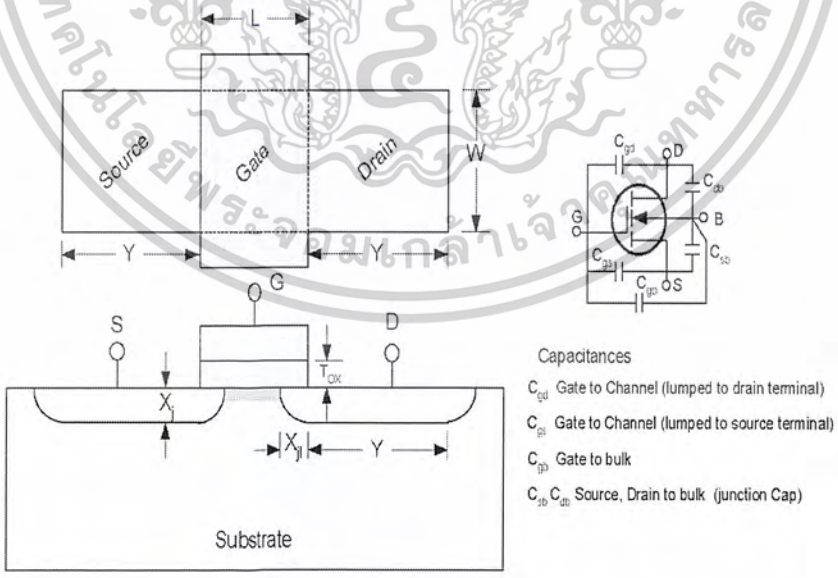
3.3.1 ความต้านทานของช่องทางเดินกระแส

ในช่วง Ohmic หรือช่วง Triode มอสทรานซิสเตอร์ทำงานเป็นเชิงเส้น จากสมการ (3.1) จะหาค่าความต้านทานระหว่างเดรน-ซอสได้จาก

$$\frac{V_{DS}}{I_D} = R_D \approx \frac{1}{\beta(V_{GS} - V_T)} \text{; โอห์มมิค} \qquad (3.1)$$

3.3.2 ค่าความจุไฟฟ้า

โครงสร้างของมอสทรานซิสเตอร์ จะมีส่วนซึ่งทำให้เกิดตัวเก็บประจุแอบแฝง (Parasitic Capacitance) โดยตัวเก็บประจุแอบแฝงมี 2 ส่วนหลัก คือ ส่วนเกทและส่วนรอยต่อ



รูปที่3.13 ความจุไฟฟ้าแฝงของมอสทรานซิสเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3.3 สรุปค่าพารามิเตอร์ที่ใช้ในโปรแกรม SPICE

SPICE: Simulation Program, Integrated Circuit Emphasis เป็นโปรแกรมที่จำลองการทำงานของวงจร โดยเงื่อนไขการทำงานของตัวอุปกรณ์และพารามิเตอร์ประจำตัวอุปกรณ์เหล่านั้นสรุปรวมกันเรียกว่า โมเดล (Model) ความละเอียดถูกต้องของการกำหนดโมเดลเหล่านี้เรียกว่าระดับ (Level) อย่างไรก็ดีการเลือกใช้ระดับในการจำลองการทำงานด้วยโปรแกรม SPICE ความเหมาะสมจะอยู่ที่ความถูกต้องของผลลัพท์ที่ได้และเวลาที่ใช้ในการทำงานของโปรแกรม (speed of convergence) โดยพารามิเตอร์ต่างจะสรุปในตารางที่ 3.1 การระบุอุปกรณ์มอสทรานซิสเตอร์ในโปรแกรมSPICE ทำได้ดังตัวอย่าง เช่น

Mnnn ND NG NS NB Mname (L=Val) (W=Val) (AD=Val) (AS=Val)

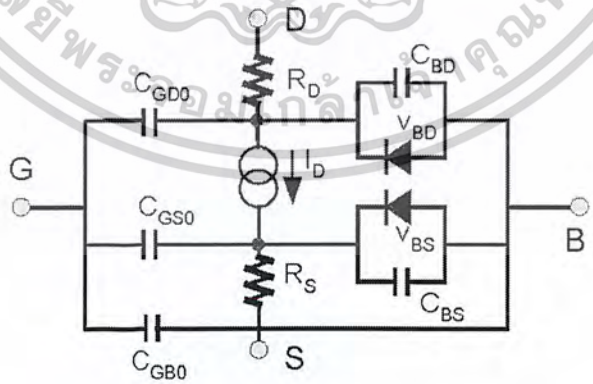
+ (PD=Val) (PS=Val)

เช่น M18 2 1 0 0 nmos L=5U W=20U AD=100P AS=100P PD=50U PS=50U

เป็นการระบุว่าเป็นทรานซิสเตอร์ตัวที่ 18 โดยที่ขั้ว เดรน เกท ซอส และฐานรอง ต่ออยู่กับโนดที่ 2, 1, 0 และ 0 ตามลำดับทรานซิสเตอร์ดังกล่าวมีพารามิเตอร์ตามโมเดลที่ชื่อ nmos และขนาดต่างของทรานซิสเตอร์คือ L = 5 μm, W = 20 μm,AD=AS=100×10-12 m2 และ(เส้นรอบรูป) PD = PS = 50 μm ในการระบุโมเดลนั้น ขึ้นต้นบรรทัดจะต้องใช้คำว่า.model ตามด้วยชื่อของโมเดล (เช่น nmos) ชนิดของตัวอุปกรณ์ (เช่น pmos nmos) แล้วจึงระบุว่าจะใช้ในระดับที่เท่าไรเช่น

.model Mname Device Level = n

สำหรับตัวอย่างค่าที่ใช้ในโมเดลให้ศึกษาจากตารางและตัวอย่างที่ให้ไว้ข้างล่าง



รูปที่ 3.14 โมเดลของมอสทราซิสเตอร์ที่เสนอโดย Shicman-Hodges

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่3.1 Model Parameters for MOSFET (nMOS) [2]

Symbol	Spice Keyword	Level	Description	Default Value	Typical Value	Unit
			MOSFET Parameters			
VT0	VTO	1-3	Zero-bias threshold voltage	1.0	1.0	V
KP	KP	1-3	Transconductance parameter	2×10^{-5}	3×10^{-5}	A/v^2
γ	GAMMA	1-3	Body-effect parameter	0.0	0.35	V
$2\Phi_F$	PHI	1-3	Surface inversion potential	0.6	0.65	V
λ	LAMBDA	1,2	Channel-length modulation	0.0	0.02	1/V
TOX	TOX	1-3	Thin oxide thickness	1×10^{-7}	1×10^{-7}	m
Nb	NSUB	1-3	Substrate doping	0.0	1×10^{15}	cm^{-3}
NSS	NSS	2,3	Surface state density	0.0	1×10^{10}	cm^{-2}
NFS	NFS	2,3	Surface-fast state density	0.0	1×10^{10}	cm^{-2}
Neff	NEFF	2	Total channel charge coefficient	1	5	
Xj	XJ	2,3	Metallurgical junction depth	0.0	1×10^{-6}	m
	LD	1-3	Lateral diffusion	0.0	0.8×10^{-6}	m
	TPG	2,3	Type of gate material (0=Al.)	1	1	
$\mu0$	UO	1-3	Surface mobility	600	700	$cm^2/(V.s)$
Uc	UCRIT	2	Critical electric field for mobility	1×10^4	1×10^4	V/cm
Ue	UEXP	2	Exponential coefficient for mobility	0.0	0.1	
Ut	UTRA	2	Transverse field coefficient	0.0	0.5	
Vmax	VMAX	2,3	Maximum drift velocity of carriers	0.0	5×10^4	m/s
	XQC	2,3	Coefficient of channel charge share	0.0	0.4	
δ	DELTA	2,3	Width effect on threshold voltage	0.0	1.0	
η	ETA	3	Static feedback on threshold voltage	0.0	1.0	
κ	KAPPA	3	Saturate field factor	0.2	0.2	
θ	THETA	3	Mobility Modulation	0.0	0.05	1/V
AF	AF	1-3	Fliker's noise exponent	1.0	1.2	
KF	KF	1-3	Fliker's noise coefficient	0.0	1×10^{-26}	
			Parasitic Parameters			
IS	IS	1-3	Bulk-junction saturation current	1×10^{-14}	1×10^{-15}	A
JS	JS	1-3	Bulk-junction saturation current per square meter	0.0	1×10^{-8}	A
Φ	PB	1-3	Bulk-junction potential	0.80	0.75	V

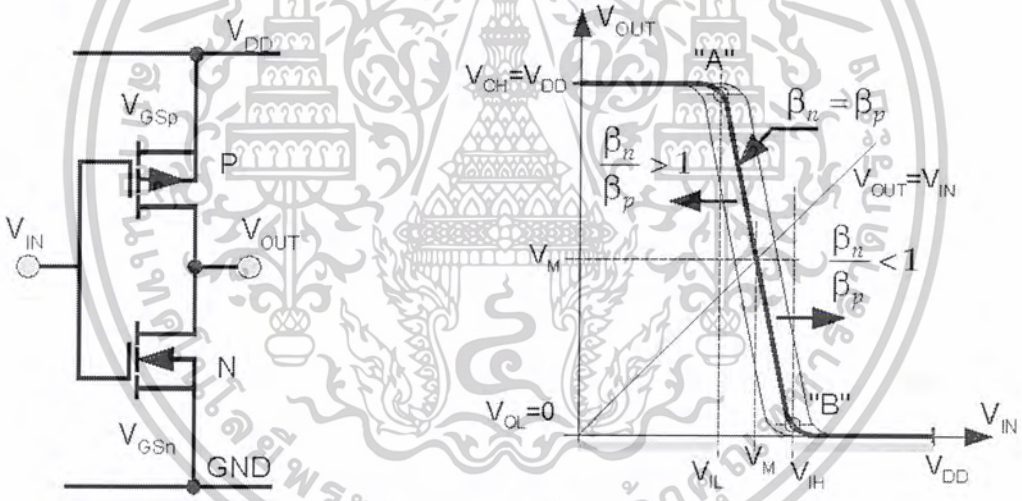
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.4 อินเวอร์เตอร์เกท

อินเวอร์เตอร์เกท หรือนอทเกท เป็นเกทพื้นฐานที่มีจำนวนทรานซิสเตอร์น้อยที่สุด (เพียง 2 ทรานซิสเตอร์)สามารถจะอธิบายและวิเคราะห์การทำงานได้ง่าย ในบทนี้จะเริ่มจากการวิเคราะห์การถ่ายโอนแรงดัน(การวิเคราะห์ทางไฟตรง) แล้วจึงวิเคราะห์ถึงเวลาในการสวิทช์ และความถี่ในการใช้งาน การวิเคราะห์จะเน้นให้เห็นถึงขนาดทางเรขาคณิตของตัวอุปกรณ์ที่จะมีผลถึงพารามิเตอร์ต่าง ๆ ของอินเวอร์เตอร์

3.4.1 การถ่ายโอนแรงดัน

การหาการถ่ายโอนแรงดันของวงจรอินเวอร์เตอร์ซีมอส พิจารณาจากรูปที่3.15 เริ่มจากการค่อย ๆ เพิ่มแรงดันทางด้านอินพุท (V_{IN})ขึ้นไปทีละน้อยจนถึงแรงดันไฟเลี้ยง (V_{DD})ในขณะเดียวกันก็สังเกตแรงดันเอ้าท์พุท (V_{OUT})



รูปที่ 3.15 CMOS Inverter และ DC Transfer Chalacteristic

ในขณะที่ V_{IN} มีค่าต่ำ ๆ ซึ่ง $V_{IN} < V_{GSn}$ และVDD-VIN $>|V_{GSp}|$↕ ทำให้เอ็นมอสอยู่ในช่วง Cut off และ พีมอสอยู่ในช่วงอิ่มตัว แรงดัน V_{OUT} จึงมีค่าเท่ากับไฟเลี้ยง หรือเป็นแรงดันที่ทำให้ได้สภาวะลอจิกสูง คือ $V_{OH}=V_{DD}$ เมื่อV_{IN} สูงขึ้นจนเอ็นมอสเริ่มจะทำงานในช่วงที่เป็นเชิงเส้น (ที่จุด "A") แรงดัน V_{IN} ขณะนั้นเป็นค่าสูงสุดก่อนที่แรงดัน V_{OUT}จะลดลงเรียกว่า V_{IL} เมื่อแรงดัน V_{IN} สูงขึ้นอีกจนพีมอสเริ่มจะหยุดนำกระแสและเอ็นมอสเริ่มจะอิ่มตัว (ที่จุด "B") แรงดัน V_{IN} ขณะนั้นเป็นค่าเริ่มต้นที่แรงดัน V_{OUT} มีค่าเป็นศูนย์หรือลอจิกต่ำเรียกว่า V_{IH} แรงดันอินพุทที่อยู่ระหว่าง V_{IL} และ V_{IH}จะทำให้ไม่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สามารถที่จะบอกทางลอจิกของ $_{VOUT}$ ได้ อย่างไรก็ตามเราพอที่จะหาตำแหน่งการแบ่งระหว่างลอจิกสูงและลอจิกต่ำได้โดยการกำหนดแรงดันกึ่งกลางหรือ V_M โดย $V_{IL} < V_M < V_{IH}$ และ $V_{OL} < V_M < V_{OH}$ ที่แรงดันนี้ถือว่าทั้งเอ็นมอสและพีมอสอยู่ในสภาวะอิ่มตัว กระแสจากไฟเลี้ยงผ่านพีมอสและผ่านเอ็นมอสลงกราวด์ ดังนั้น

$$I_{DSN}=I_{DSP} \tag{3.2}$$

แทนค่ากระแสในสมการที่ (4.1)

$$\frac{\beta_n}{2}(Vm-V_{TN})^2\frac{\beta_p}{2}(V_{DD}-Vm-|V_{TP}|)^2 \tag{3.3}$$

จัดรูปสมการใหม่

$$(Vm-V_{TN})\sqrt{\frac{\beta_n}{\beta_p}}=V_{DD}-Vm-|V_{TP}| \tag{3.4}$$

ค่าแรงดันกลางที่ลอจิกเปลี่ยนสถานะ (V_M) จึงหาได้จาก

$$Vm=\frac{(V_{DD}-|V_{TP}|-V_{TN})\sqrt{\frac{\beta_n}{\beta_p}}}{1+\sqrt{\frac{\beta_n}{\beta_p}}} \tag{3.5}$$

จาก $\beta=\mu C_{OX}\frac{W}{L}=KP\frac{W}{L}$ จึงได้

$$\frac{\beta_n}{\beta_p}=\frac{KP(\frac{W}{L})_n}{KP(\frac{W}{L})_p} \tag{3.6}$$

$$\frac{KPn}{KPp}=\frac{\mu n}{\mu p}\approx 2-3 \tag{3.7}$$

การเปลี่ยนแปลงอัตราส่วนของ $\frac{\beta_n}{\beta_p}$ มีผลทำให้ $\frac{\beta_n}{\beta_p}>1$ ทำให้เส้นกราฟเลื่อนไปทางซ้ายมือ และ $\frac{\beta_n}{\beta_p}<1$ ทำให้เส้นกราฟเลื่อนไปทางขวามือ ใ นกรณีที่ต้องการให้การเปลี่ยนลอจิกที่ครึ่งหนึ่งของแรงดันไฟเลี้ยง คือให้

$V_M = V_{DD}/2$ จากสมการ (3.14)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

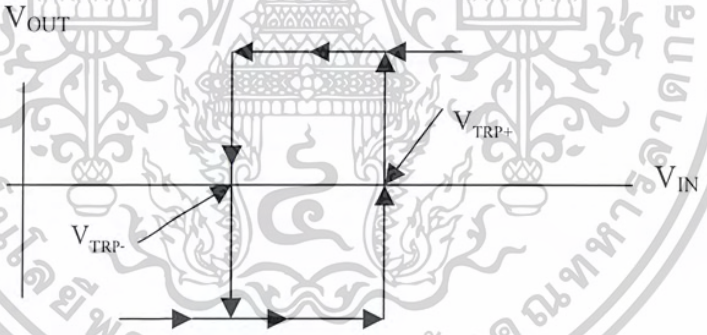
$$\frac{\beta n}{\beta p} = \frac{(0.5V_{DD}-|V_{TP}|)^2}{(0.5V_{DD}-V_{TN})^2}$$

และถ้าหากให้ $V_{TN} = |V_{TP}|$ ก็จะได้ว่า $\beta n = \beta p$ หรือก็คือ $\mu_n C_{OX}(\frac{W}{L})n = \mu_p C_{OX}(\frac{W}{L})p$

แต่เนื่องจาก $\mu n > \mu p$ โดย $\frac{\mu n}{\mu p} = m$ ดังนั้นการออกแบบจึงให้ $\frac{(\frac{W}{L})p}{(\frac{W}{L})n} = m$

3.5 หลักการและการออกแบบวงจร Comparator with hyateresis

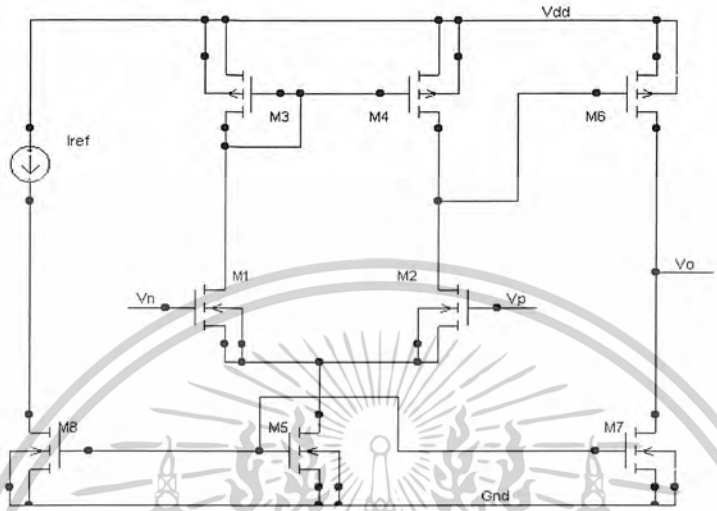
Comparator with hysteresis เป็นคอมพาราเตอร์ที่ได้รับการป้อนกลับทางบวกเพื่อให้เกิดระดับแรงดันที่ใช้เปรียบกับสัญญาณอินพุทสองค่าคือ V_{TRP+} (ระดับแรงดันเปรียบเทียบค่าสูง)และ V_{TRP-} (แรงดันเปรียบเทียบค่าต่ำ)เพื่อเปรียบเทียบกับสัญญาณอินพุทที่ถูกรบกวนด้วยสัญญาณรบกวนซึ่งลักษณะความสัมพันธ์ของระหว่างระดับแรงอินพุทและเอาท์พุทที่เกิดจากคอมพาราเตอร์ด้วยฮีสเตอรีซีสแสดงได้ตามรูปที่ 3.16



รูปที่ 3.16 แสดง Hysteresis curve ของคอมพาราเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.5.1วงจรคอมพาราเตอร์แบบสองภาค ซึ่งวงจรจะมีลักษณะตามรูปที่ 3.17



รูปที่ 3.17 แสดงวงจรคอมพาราเตอร์แบบสองภาคจากรูปวงจรขยายความต่างจะทำการขยาย

สัญญาณความต่าง(M1,M2,M3และ M4)ระหว่างอินพุท Vn และ Vp และวงจรขยายคอมมอนซอร์สจะทำการขยายสัญญาณที่เกิดขึ้นที่เอาท์พุทของวงจรขยายความจาก Hysteresis curve ของคอมพาราเตอร์ระดับแรงดันเปรียบเทียบของคอมพาราเตอร์จะมีสองค่าได้แก่ V_{TRP+} และ V_{TRP-} ซึ่งสามารถอธิบายได้คือถ้าระดับแรงดันของอินพุทเพิ่มขึ้นจนมีค่าเท่ากับ V_{TRP+} จะทำให้ระดับของแรงดันเอาท์พุทเปลี่ยนจากระดับแรงดันต่ำ(Low output voltage)ไปเป็นระดับแรงดันค่าสูง(High output voltage)และถ้าระดับแรงดันอินพุทมีค่าลดต่ำลงจนมีค่าเท่ากับ V_{TRP-} จะทำให้ระดับแรงดันเอาท์พุทเปลี่ยนจากระดับแรงดันสูง(High output voltage)ไปเป็นระดับแรงดันต่ำ(Low output voltage)ต่างโดยระดับแรงดันเปรียบเทียบ (trip point votage) ของวงจรสามารถกำหนดได้โดยใช้แรงดันคงที่ค่าใดๆที่ไม่เกินแหล่งจ่ายไฟเลี้ยงต่อเข้ากับอินพุท Vp หรือ Vn ขึ้นอยู่กับว่าต้องการใช้อินพุทตัวใดต่อกับสัญญาณภายนอกที่ต้องการทำการขยายเช่น ถ้าใช้ Vn ต่อกับสัญญาณภายนอกแล้ว Vp จะถูกต่อกับระดับแรงดันคงที่ค่านึงเพื่อเทียบกับสัญญาณภายนอกที่ป้อนให้กับอินพุท Vn การออกแบบเพื่อให้วงจรคอมพาราเตอร์แบบสองภาคทำงานได้อย่างมีประสิทธิภาพต้องคำนึงถึงความสมดุลย์กันของขนาดทรานซิสเตอร์,อัตราการขยายของวงจร และการหน่วงเวลา (Propagation Delay)แต่การหน่วงเวลาของคอมพาราเตอร์จะมีค่าไม่มากนักเพราะฉะนั้นจะไม่กล่าวถึงในที่นี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

● **ความสมดุลย์กันของขนาดทรานซิสเตอร์** สำหรับการออกแบบวงจรคอมพาราเตอร์แบบสองภาคนั้นถ้าหากว่าขนาดของทรานซิสเตอร์ที่ใช้ไม่สมดุลย์กันจะทำให้แรงดันอ๊อฟเซ็ทที่ภาคแรกคือวงจรขยายความต่างมีค่ามากเนื่องจากการเปลี่ยนแปลงของแรงดันเปรียบเทียบ V_{TRP} (แรงดันเปรียบเทียบ V_{TRP} ปกติจะมีค่าไม่คงที่แต่จะเปลี่ยนแปลงขึ้นลงเล็กน้อยขณะที่วงจรทำงานซึ่งเกิดจากกระบวนการของสร้างทรานซิสเตอร์)ของภาคที่สองคือวงจรขยายคอมมอนซอร์สถูกสะท้อนกลับไปยังภาคแรก ปัญหานี้สามารถแก้ไขได้โดยออกแบบให้ขนาดของทรานซิสเตอร์ M1และ M2 มีความสมดุลย์กันและขนาดของทรานซิสเตอร์ M3 และ M4 ก็ต้องมีความสมดุลย์กันด้วย ถ้าอินพุท Vp และ Vn มีค่าเท่ากัน(ตามรูปที่ 3.17)จะทำให้มีกระแสไหลผ่านทรานซิสเตอร์ M1 และ M2 เท่ากันคือมีค่าเป็นครึ่งนึงของกระแสที่ไหลผ่านทรานซิสเตอร์ M5 จะทำให้ได้เงื่อนไขความสมดุลย์กันของขนาดทรานซิสเตอร์ที่กล่าวถึงทั้งสี่ตัวตามสมการที่ 3.40

$$W_1/L_1=W_2/L_2 \qquad (3.8a)$$

$$W_3/L_3=W_4/L_4 \qquad (3.8b)$$

$$i_1=i_2=i_5/2 \qquad (3.8c)$$

ปริมาณกระแสที่ไหลผ่านทรานซิสเตอร์ M5 จะสะท้อนไปยังภาคเอาท์พุทด้วยอัตราส่วนของขนาดทรานซิสเตอร์ M5 และ M7 เช่นเดียวกันปริมาณกระแสที่ไหลผ่านทรานซิสเตอร์ M4 ก็จะสะท้อนไปยังภาคเอาท์พุทด้วยอัตราส่วนของขนาดทรานซิสเตอร์ M4 และ M6 ที่เป็นเช่นนี้เพราะความสมดุลย์กันของขนาดทรานซิสเตอร์ M1กับ M2 และ M3กับ M4 ซึ่งจะทำให้ได้ความสัมพันธ์ตามสมการที่ 3.41 และ 3.42

$$i_7=i_5[(W_7/L_7)/(W_5/L_5)] \qquad (3.9)$$

$$i_6=i_4[(W_6/L_6)/(W_4/L_4)] \qquad (3.10)$$

ด้วยเงื่อนไขความสมดุลย์ปริมาณกระแส i_6 และi_7 จะต้องมีค่าเท่ากันดังนั้นจะได้

$$i_7=i_6 \qquad (3.11)$$

$$[i_5/i_4][(W_7/L_7)/(W_5/L_5)]=(W_6/L_6)/(W_4/L_4) \qquad (3.12)$$

และจากที่ทราบอยู่แล้วว่า $i_5/i_4=2$ เพราะฉะนั้นจะได้

$$(W_6/L_6)/(W_4/L_4)=2(W_7/L_7)/(W_5/L_5) \qquad (3.13)$$

สมการที่ 3.44 และ 3.45 ใช้สำหรับการออกแบบวงจร

●**อัตราการขยายของคอมพาราเตอร์** อัตราการขยายเป็นพารามิเตอร์ที่สำคัญต่อการทำงานของคอมพาราเตอร์ซึ่งปกติแล้วคอมพาราเตอร์จะต้องมีอัตราขยายที่สูงเนื่องจากส่วนใหญ่คอมพาราเตอร์จะถูก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

นำไปใช้งานเป็นวงจรเปลี่ยนสัญญาณเชิงอุปมาณเป็นสัญญาณดิจิตอล อัตราการขยายของคอมพาราเตอร์สามารถกำหนดได้จากสมการที่ 3.46

$$A_V=\left(2[K_1'K_6'(W_1/L_1)(W_6/L_6)]^{(1/2)}\right)/\left((\lambda_2+\lambda_4)(\lambda_6+\lambda_7)(i_1i_6)^{(1/2)}\right) \qquad (3.14)$$

เมื่อ $K=\mu_nC_{OX}(W/L)$

เมื่อทำการออกแบบอัตราการขยายของคอมพาราเตอร์ขนาดและปริมาณกระแสของทรานซิสเตอร์ M1 (M2) จะถูกบังคับให้มีค่าคงที่ดังนั้นจากสมการที่ 3.14 จะสามารถออกแบบอัตราการขยายที่แท้จริงได้จากปริมาณกระแส i_6 และขนาดของ W_6/L_6

●ขั้นตอนการออกแบบคอมพาราเตอร์แบบสองภาค ขั้นตอนการออกแบบวงจรคอมพาราเตอร์แบบสองภาคจะมีรายละเอียดต่างๆดังนี้

1. กำหนดกระแสเอาท์พุทเพื่อให้ได้สลูเร็ทที่ต้องการ

$$I=C(dv/dt)$$

2. กำหนดขนาดที่น้อยที่สุดของทรานซิสเตอร์ M6 และ M7 โดยใช้สมการ $V_{DS(SAT)}$

$$V_{DS(SAT)}=(2I/\beta)^{(1/2)} \;;\beta=K(W/L)$$

3. เมื่อรู้ปริมาณกระแสและขนาดของทรานซิสเตอร์ M6 ก็สามารถคำนวณอัตราการขยายได้

$$A_2=-g_{m6}(r_{O6}//r_{O7})$$

4. คำนวณอัตราการขยายของภาคแรก(ภาคขยายความต่าง)ให้ได้ตามที่ต้องการซึ่งจะถูกจำกัดด้วยอัตราขยายในภาคที่สอง

5. พิจารณาห่าค่ากระแสของภาคแรกซึ่งจะสะท้อนไปยังภาคที่สองเพื่อให้ได้การกินพลังงานของวงจรตามที่ต้องการ

6. เมื่อทราบค่ากระแส และอัตราการขยายของภาคแรกสามารถใช้ความสัมพันธ์ต่างๆที่ได้นี้คำนวณหาขนาดของทรานซิสเตอร์ M1

$$A_1=-g_{m1}(r_{O1}//r_{O3})$$

7. ออกแบบขนาดที่น้อยที่สุดของทรานซิสเตอร์ M5 ด้วย Negative CMR (CMR:Common mode range)ที่ต้องการ

$$V_{G1}(min)=V_{SS}+V_{DS5}+(I_5/\beta)^{(1/2)}+V_{T1}(max)$$

$$V_{DS5}=(2I5/\beta)^{(1/2)}$$

8. เพิ่มขนาดของทรานซิสเตอร์ M_5และ M_6 เพื่อให้ได้การสะท้อนกระแสที่ต้องการ

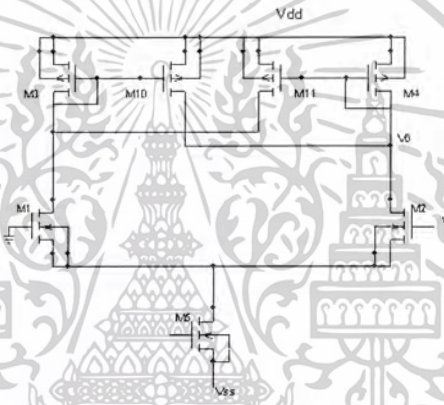
9. ออกแบบขนาดของทรานซิสเตอร์ M_4 ด้วย Positive CMR ตามที่ต้องการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$V_{GI}(max)=V_{DD}-(I_5/\beta_4)^{(1/2)}-\left|V_{TO3}(max)\right|+V_{TI}$$

10. เพิ่มขนาดของทรานซิสเตอร์ M3 และ M6 เพื่อให้ขนาดการสะท้อนกระแสที่ต้องการ

4.1.2 วงจรคอมพาราเตอร์ด้วยฮีสเตอรีซีส วงจรคอมพาราเตอร์ด้วยฮีสเตอรีซีสเป็นคอมพาราเตอร์แบบสองภาคที่มีการป้อนกลับทางบวกโดยการออกแบบทั่วๆไปจะมีลักษณะเช่นเดียวกับการออกแบบคอมพาราเตอร์แบบสองภาคที่ไม่มีการป้อนกลับทางบวก ความแตกต่างของคอมพาราเตอร์ทั้งสองแบบคือคอมพาราเตอร์ด้วยฮีสเตอรีซีสจะการป้อนกลับทางบวกที่ภาคขยายความต่างเพื่อให้เกิดฮีสเตอรีซิสตามรูปที่ 3.18

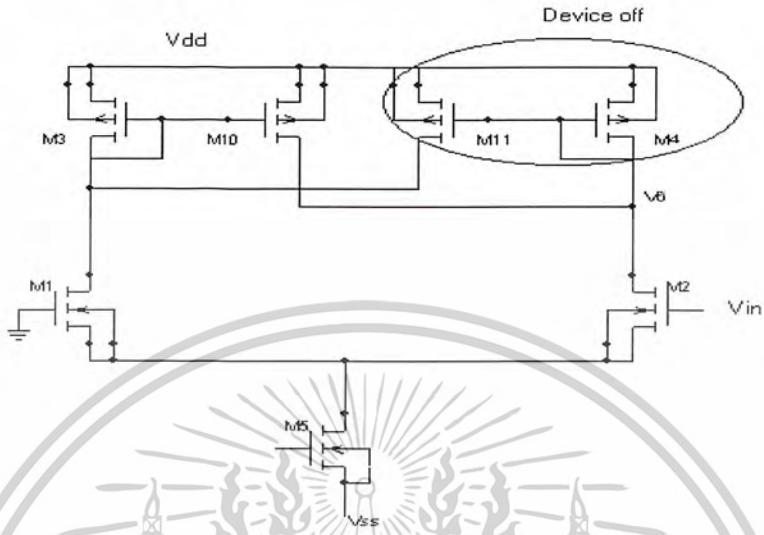


รูปที่ 3.18 วงจรคอมพาราเตอร์ด้วยฮีสเตอรีซีสซึ่งได้รับการป้อนกลับทางบวกที่วงจรภาคขยายความต่าง

จากวงจรขยายความต่างตามรูปที่3.18จะเห็นว่ามีส่วนการป้อนกลับสองส่วนได้แก่ ส่วนของการป้อนกลับทางลบ(M_3 และM_4 ที่ต่ออนุกรมกับ M_1และ M_2 ตามลำดับ)และส่วนของการป้อนกลับทางบวก (M10 และ M_{11}) เพื่อให้เกิด Hysterresis curve จะต้องออกแบบให้อัตราส่วนของส่วนป้อนกลับทางบวกต่อส่วนป้อนกลับทางลบมีค่ามากกว่าหนึ่ง($(W_{10}/L_{10})>(W_3/L_3)$และ $(W_{11}/L_{11})>(W_4/L_4)$)

สำหรับการวิเคราะห์เพื่อให้ได้ซึ่งสมการของแรงดันเปรียบเทียบ(Trip point voltage)ทั้งสอง (V_{TRP+}และ V_{TRP-})เมื่อเกิดฮีสเตอรีซีส จะสมมุติให้แหล่งจ่ายไฟเลี้ยงของวงจรทั้งบวกและลบต่อเข้ากับ วงจรและขาเก็ทของทรานซิสเตอร์ M_1 ต่อกับกราวน์ เมื่ออินพุทที่ทรานซิสเตอร์ M_2 มีค่าน้อยกว่าศูนย์(หรือมีค่าน้อยกว่าระดับแรงดันคงที่ต่อกับอินพุท M_1 ในกรณีที่มีเพียงแหล่งจ่ายไฟเลี้ยงบวกต่อกับวงจรเท่านั้น) จะทำให้ทรานซิสเตอร์ M_1 “on” และ M_2 “off” ด้วยเหตุนี้จะทำให้ทรานซิสเตอร์ M_3และ M_{10} “on” ซึ่งจะทำให้ทรานซิสเตอร์ M_4 และ M_{11} “off” กระแส i_5 ทั้งหมดจะไหลผ่านทรานซิสเตอร์ M_1และ M_3 ทำให้แรงดัน V_6 มีค่าสูงเป็น “high” ผลที่เกิดขึ้นของวงจรมีลักษณะเช่นเดียวกับรูปที่ 3.19

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.19 แสดงการทำงานของวงจรขณะที่อินพุทซึ่งป้อนให้กับทรานซิสเตอร์M_2 มีค่าน้อยกว่าระดับแรงดันคงที่ที่อินพุทของทรานซิสเตอร์ M_1และ V_{in} มีค่าเพิ่มขึ้นไปยัง V_{TRP+}

ถึงแม้ว่าทรานซิสเตอร์ M_2 จะ "off" แต่ทรานซิสเตอร์ M_{10} ก็พยายามจะจ่ายกระแสที่สะท้อนจากทรานซิสเตอร์ M_3 ให้กับทรานซิสเตอร์ M_2 ซึ่งปริมาณกระแสที่กล่าวถึงนี้มีค่าตามสมการที่ 3.47

$$i_{10}=[(W/L)_{10}/(W/L)_3]i_5 \qquad (3.15)$$

เมื่อแรงดัน V_{in} มีค่าเพิ่มขึ้นจะทำให้กระแส i_5 บางส่วนไหลผ่านทรานซิสเตอร์ M_2 เพิ่มขึ้นอย่างต่อเนื่องจนกระทั่งกระแสที่ไหลผ่านทรานซิสเตอร์ M_2 มีค่าเท่ากับกระแสที่ไหลผ่านทรานซิสเตอร์ M_{10} ซึ่งแรงดันอินพุทที่จุดนี้ก็คือแรงดันเปรียบเทียบ(Trip point voltage) V_{TRP+} ที่จะทำให้คอมพาราเตอร์เปลี่ยนสภาวะการทำงานส่งผลให้ระดับแรงดันเอาท์พุทเปลี่ยนระดับจากระดับหนึ่งสู่ระดับหนึ่งอาจจะเป็น Low to high หรือ high to Low ขึ้นอยู่กับการเลือกใช้เอาท์พุทที่ขาเดรนของทรานซิสเตอร์ M_1 หรือ M_2 เป็นอินพุทให้กับวงจรขยายในภาคที่สองของคอมพาราเตอร์ และจากความเท่ากันของกระแส i_2 และ i_5 สามาราถกำหนดความสัมพันธ์ต่างๆได้ตามสมการที่ 3.16 ,3.17 และ 3.18

$$i_{10}=[(W/L)_{10}/(W/L)_3]i_3 \qquad i_{10}=[(W/L)_{10}/(W/L)_3]i_3 \qquad (4.9)$$

$$i_2=i_{10} \qquad (3.16)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$i_5=i_2+i_1 \qquad (i_1=i_3) \qquad (3.17)$$

เนื่องจาก

$$i_3= i_5/[(1+[(W/L)_{10}/(W/L)_3])]= i_1 \qquad (3.18)$$

$$i_2=i_5-i_1 \qquad (3.19)$$

เมื่อเรารู้ค่ากระแสที่ไหลผ่านทรานซิสเตอร์ทั้ง M_1และ M_2 ก็เป็นการง่ายที่คำนวณหาค่าแรงดัน V_{GS} และเนื่องจากแรงดันอินพุท V_{in} ที่ทรานซิสเตอร์ M_2 มีค่ามากกว่าแรงดันอ้างอิงที่ขาเกทของทรานซิสเตอร์ M_1 ซึ่งในกรณีนี้ขาเกทของทรานซิสเตอร์ M_1 ต่ออยู่กับกราวน์ทำให้ค่าความแตกต่างของแรงดัน V_{GS2} และ V_{GS1} คือค่าแรงดัน V_{TRP+}

$$V_{GS1}=(2i_1/\beta_1)^{(1/2)}+V_{T1} \qquad (3.20)$$

$$V_{GS2}=(2i_2/\beta_2)^{(1/2)}+V_{T2} \qquad (3.21)$$

$$V_{TRP+}=V_{GS2}-V_{GS1} \qquad (3.22)$$

ที่สภาวะนี้กระแส i_5 ส่วนใหญ่จะไหลผ่านทรานซิสเตอร์ M_2และ M_4 เมื่อแรงดันอินพุทสูงขึ้นถึงจุดนึงจะทำให้ทรานซิสเตอร์ M_1 ,M_3 และM_{10} "off" และเมื่อระดับแรงดันอินพุทลดต่ำลงจนจนถึงค่าๆนึงจะทำให้ทรานซิสเตอร์ M_1 "on" และมีกระแสไหลผ่านตัวมันเท่ากับกระแส i_{11} ซึ่งการทำงานของวงจรที่สภาวะนี้จะมีลักษณะตามรูปที่ 3.20

ที่สภาวะนี้สามารถคำนวณหาค่าแรงดัน V_{TRP+} ได้ด้วยสมการต่างๆเหล่านี้คือ

$$i_{11}=[(W/L)_{11}/(W/L0_4)]\, i_4 \qquad (3.23)$$

$$i_1=i_5 \qquad (3.24)$$

$$i_5= i_2+i_1 \qquad (3.25)$$

และเนื่องจาก

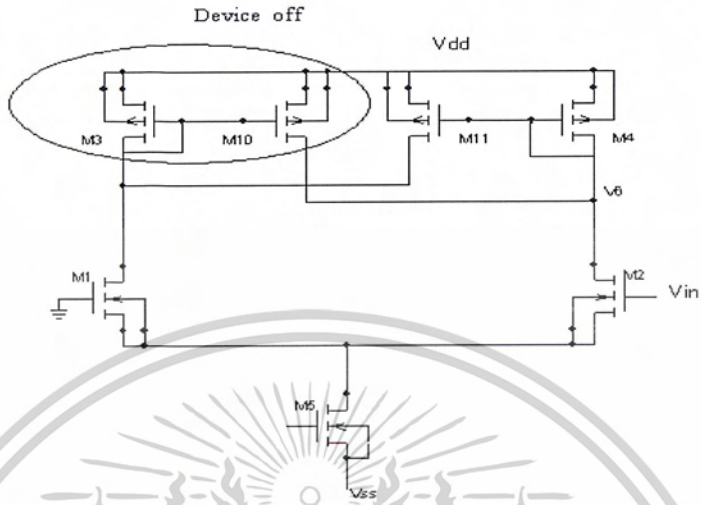
$$i_4= i_5/[1+[(W/L)_{11}/(W/L)_4]]= i_2 \qquad (3.26)$$

$$i_1=i_5-i_2 \qquad (3.27)$$

สุดท้ายจะได้แรงดัน V_{TRP-} ดังนี้

$$V_{TRP-} = V_{GS2}-V_{GS1} \qquad (3.28)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

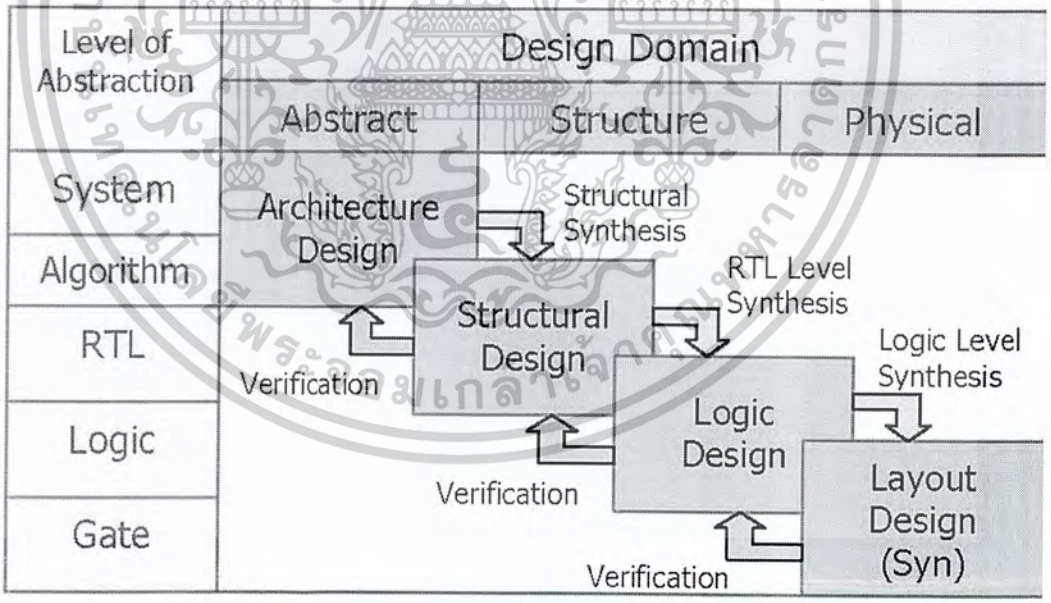


รูปที่ 3.20 แสดงสภาวะการทำงานของวงจรขยายความต่างของคอมพาราเตอร์ขณะที่แรงดันอินพุทมีค่าเป็นบวกและค่อยๆลดลงสู่ V_{TRP-}

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่4
ทฤษฎีการออกแบบลวดลายวงจร

การออกแบบวงจรรวมขนาดใหญ่มากนับว่าเป็นขั้นตอนที่ซับซ้อน มีหลายขั้นตอนจากระดับบนสุดซึ่งเป็นการออกแบบในระดับระบบ (System design) จนมาถึงระดับล่างสุดซึ่งใกล้เคียงกับลวดลายและขนาดของตัวอุปกรณ์ที่เรียกว่าการวางแบบหรือเลเอ้าท์ โดยขั้นตอนต่าง ๆ แสดงได้ดังรูปที่ 4.1 การสังเคราะห์ (Synthesis) สามารถที่จะกระทำได้ ตั้งแต่ระดับโครงสร้าง (Structure) ลงมาเป็น การถ่ายโอนข้อมูลระหว่างหน่วยต่าง ๆ (Register Transfer Level; RTL) และล่างสุดก็เป็นการสังเคราะห์ลอจิกหรือเกท (Logic Synthesis) ลักษณะวงจรที่ต่ำกว่านี้จะสังเคราะห์ได้ยาก จึงใช้วิธีที่ออกแบบแล้วรวบรวมเอาไว้เป็นไลบรารี เพื่อการตรวจสอบและยืนยัน (Verification) ผลการออกแบบในแต่ละขั้นตอนมักจะต้องมีการทดสอบสภาวะการทำงานเทียม (simulation) อยู่ด้วยเสมอ

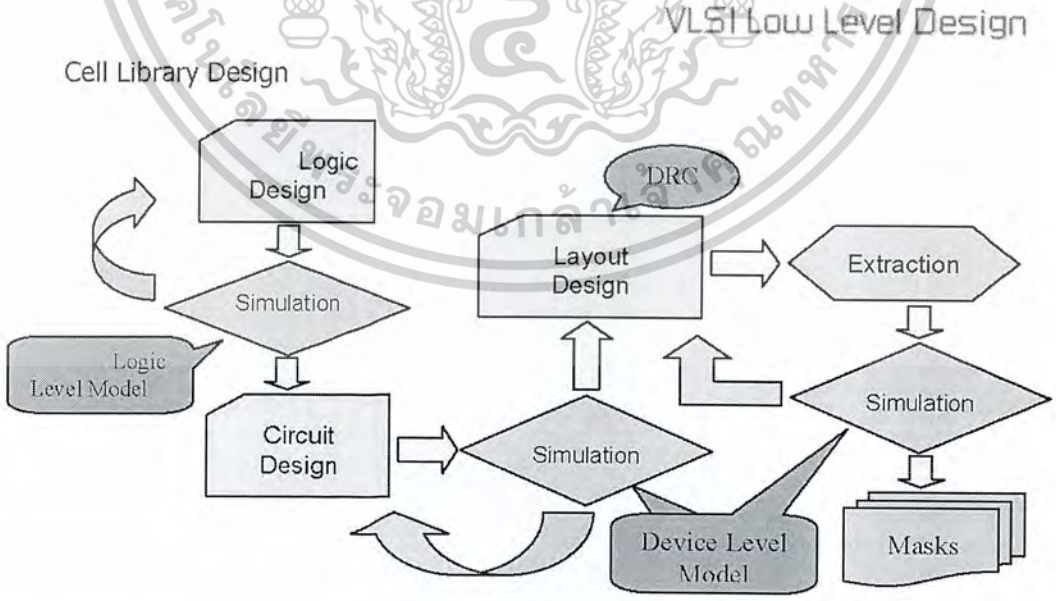


รูปที่4.1 แผนภาพรวมของการออกแบบวงจรรวมขนาดใหญ่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.1 การออกแบบในระดับกายภาพ

การออกแบบวงจรรวมนั้นจะต้องมีขั้นตอนที่ต้องออกแบบในระดับกายภาพ (Physical Design) การเลเอ้าท์ (Layout Design) หรือบางที่เรียกว่าการออกแบบในระดับล่าง (Low level Design) ในยุคแรกเริ่มของการออกแบบวงจรรวมจะเป็นการออกแบบโดยใช้วิธีนี้ทั้งหมด เพราะวิธีการออกแบบเป็นการกำหนดรูปร่างหน้าตาของตัวอุปกรณ์ที่จะปรากฏบนแผ่นซิลิกอน ผู้ออกแบบจะต้องสามารถที่ถ่ายทอดวงจรไปสู่ลวดลายได้โดยตรง ผู้ออกแบบจึงต้องเป็นผู้ที่ต้องมีความรู้ความเข้าใจในเรื่องของเทคนิควงจร กระบวนการสร้าง และคุณสมบัติของชั้นสารต่าง ๆ เป็นอย่างดี การออกแบบจึงมักมีความล่าช้าหรือใช้วิศวกรจำนวนมาก ต่อมาเมื่อมีการนำ CAD (Computer Aided Design) มาใช้ การออกแบบจึงมีการพัฒนามากขึ้น ทั้งในด้านของเวลาที่ใช้ออกแบบตลอดจนความถูกต้องเชื่อถือของวงจรที่ออกแบบ จนปัจจุบันนี้การใช้ซิลิกอนคอมไพเลอร์ หรือHDL (Hardware Description Language) ทำให้การออกแบบทำได้อย่างรวดเร็ว อย่างไรก็ตามการออกแบบในระดับล่างสุด (เกท หรือสวิทช์) จะต้องใช้การออกแบบในระดับกายภาพอยู่ดี วงจรที่ออกแบบจึงมักไม่ใช่วงจรที่ใหญ่มากแต่ถูกนำมาใช้บ่อย ๆ เรียกว่าไลบรารี (Library) ประเด็นการออกแบบไลบรารีที่ดีนอกจะมีคุณสมบัติทางวงจรที่ดีแล้วจะต้องสิ้นเปลืองพื้นที่ซิลิกอนน้อยที่สุดด้วย การออกแบบเซลล์มาตรฐาน (Standard Cell) หรือการออกแบบไลบรารีและการออกแบบในระดับกายภาพ มีรายละเอียดและสิ่งที่เกี่ยวข้องหรือขั้นตอน (Design flow) แสดงดังรูปที่ 4.2



รูปที่4.2 ขั้นตอนการออกแบบวงจรรวมในระดับกายภาพ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.1.1 ออกแบบระดับลอจิก ในขั้นตอนนี้การออกแบบค่อนข้างจะเป็นอุดมคติอยู่ ผู้ออกแบบจะกำหนดลอจิกการทำงานโดยอาศัยตารางความจริง หรือไม่ก็สเตทแมชีน อาจทำการลดหรือเปลี่ยนรูปของวงจรโดยใช้ Knough Map การตรวจสอบความถูกต้องของวงจรเกทพื้นฐานอาจจะใช้การทดสอบสถาวะการทำงานเทียมโดยใช้ Logic Simulation

4.1.2 ออกแบบในระดับทรานซิสเตอร์และสวิทช์ เป็นการออกแบบวงจรภายในของเกทว่าประกอบด้วยทรานซิสเตอร์ชนิดใด ต่อกันในลักษณะไหน ขนาดของทรานซิสเตอร์ที่ใช้เป็นอย่างไร (เช่นค่า W/L) ในการการใช้ CAD บางทีขั้นตอน 1กับ 2 อาจยุบรวมกัน อยู่ในส่วนของ Schematic Editor หรือ Schematic Capture การทดสอบสถาวะการทำงานเทียมของขั้นตอนที่ 2 นี้ มักจะเป็น Analog Simulation เช่น SPICE ที่ต้องอาศัยค่าพารามิเตอร์ต่าง ๆ ของตัวอุปการณ์จากโมเดล

ผู้ออกแบบนอกจากจะต้องตรวจสอบการทำงานทางลอจิกแล้ว ยังจะต้องตรวจสอบค่าอื่น ๆ ที่จำเป็นอีกหลายค่า เช่น ความเร็วในการสวิทช์ เวลาหน่วงของสัญญาณ ระดับของสัญญาณ การสิ้นเปลืองพลังงาน และความสามารถในการขับโหลด เป็นต้น

4.1.3. ออกแบบในระดับลวดลายวงจรหรือระดับเลเอ้าท์ เป็นขั้นตอนที่ต้องใช้ทักษะและใช้เวลามาก ในสมัยแรก ๆ ออกแบบบนแผ่นไมลาร์หรือกระดาษขาว-ดำ ในแต่ละชั้นแล้วไปถ่ายย่อเพื่อให้ได้ขนาดของตัวอุปกรณ์จริง ๆ การใช้ CAD ในส่วนที่เรียกว่า Layout Editor จะทำให้ทำงานได้สะดวกมากกว่ามากเพราะสามารถที่จะออกแบบหลายชั้นพร้อมกัน ซึ่งง่ายต่อการทำความเข้าใจ และในขณะเดียวกันก็สามารถที่จะตรวจสอบหรือปฏิบัติตามเงื่อนไขการออกแบบหรือ Design Rule ได้โดยสะดวก โปรแกรมจะสร้างข้อมูลสำหรับการสร้างหน้ากากแพร่สาร ซึ่งปกติจะเป็นรูปแบบ CIF (Cal-tech IntermediateForm) เนื่องจากการออกแบบในระดับเลเอ้าท์ เป็นขั้นตอนที่ใกล้ชิดกับความเป็นจริงของตัวอุปกรณ์ที่จะถูกสร้างขึ้นการตรวจสอบในขั้นตอนนี้จึงถือว่าเป็นเรื่องสำคัญมาก หากไม่ได้ตามข้อกำหนดก็จะต้องออกแบบใหม่ ในการตรวจสอบต้องทำการสร้างวงจรขึ้นใหม่จากลวดลายที่ออกแบบ (เรียกว่า Extraction) ข้อมูลที่ได้จาดการ extract ปกติแล้วนำไปใช้ใน 2 รูปแบบคือ

4.1.3.1 Layout Versus Schematic verification (LVS): สำหรับตรวจสอบว่าวงจรที่ได้จากการเลเอ้าท์เหมือนกับวงที่ออกแบบในตอนแรกหรือไม่

4.1.3.2 SPICE Simulation: ผลจากการ Extract จะทำให้ได้รายละเอียดการเชื่อมโยงของวงจร (Netlist) และมีค่าพาราซิติคอื่น ๆ จากการวางลวดลาย ข้อมูลเหล่านี้จะใช้เป็นอินพุทของโปรแกรม SPICE ผลลัพธ์ที่ได้จากทดสอบจะถูกตรวจสอบและเปรียบเทียบกับการออกแบบในระดับทรานซีสเตอร์ที่ผ่านมา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

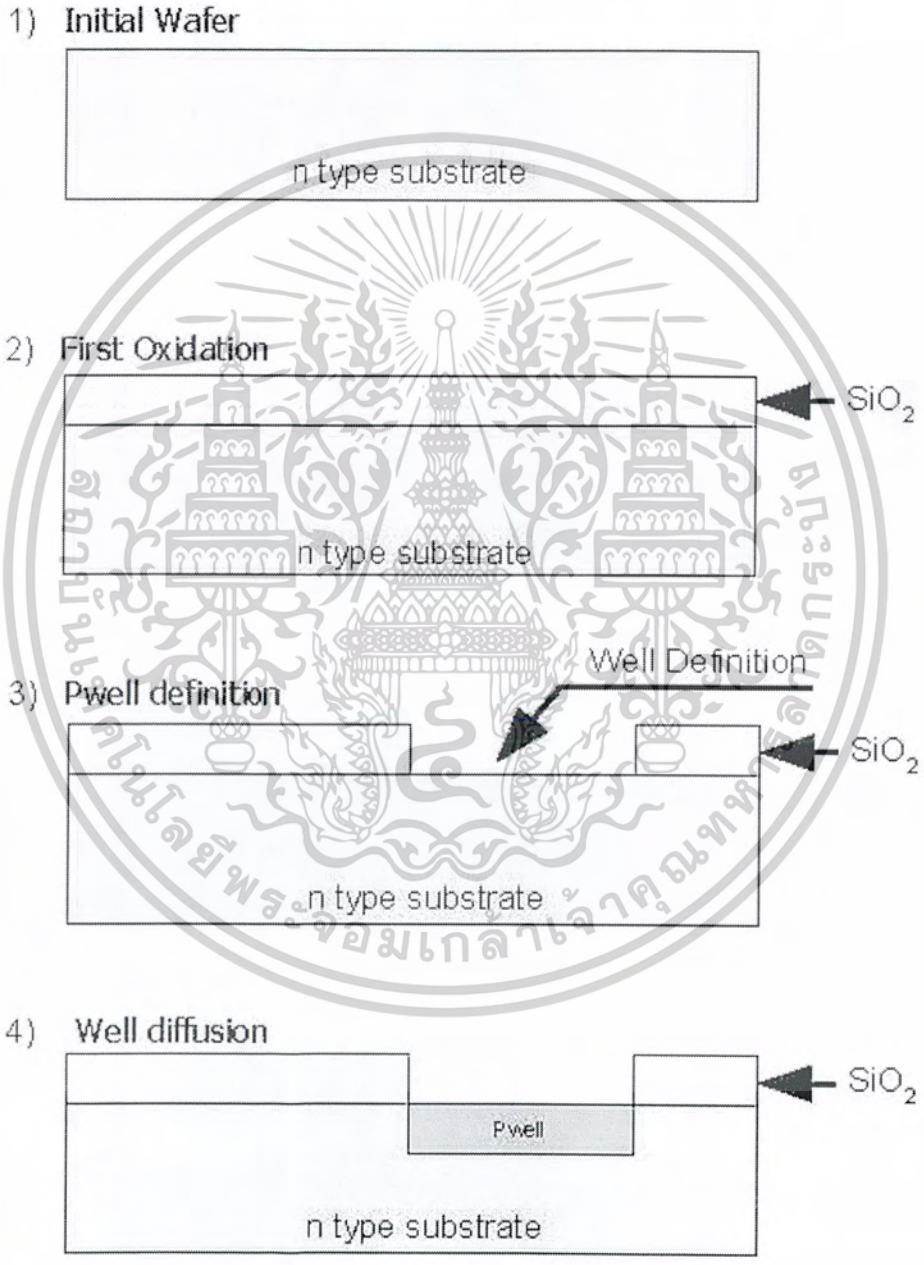
4.2 ขั้นตอนการสร้างวงจรรวมซีมอสโดยย่อ

Complementary MOS หรือ CMOS ทั้งอุปกรณ์เอ็นมอสและอุปกรณ์พีมอสจะถูกสร้างบนฐานรองเดียวกันเพื่อให้อุปกรณ์ทั้งสองชนิดแยกกัน (ทางไฟฟ้า) ให้มากที่สุดก็จะมีการใช้เทคโนโลยีในการสร้างที่แตกต่างกัน เช่น การใช้บ่อแยกเพียงชนิดเดียว (Single-well process) การใช้บ่อแยกคู่ (Double-well process) การฝังชั้นออกไซด์คั่น (Trench Process) และการสร้างอุปกรณ์แยกบนชั้นฉนวนอื่น (Silicon On Insulator process; SOI) ความซับซ้อน ประสิทธิภาพและราคาของกระบวนการก็แตกต่างกัน เทคโนโลยีแบบใช้บ่อแยกเพียงชนิดเดียว เป็นเทคโนโลยีที่ใช้แพร่หลายที่สุด เพราะต้นทุนต่ำสุดในขณะที่อุปกรณ์ที่สร้างได้ยังคงมีคุณสมบัติที่ดีในกระบวกการบ่อแยกชนิดพี (Pwell process) จะเริ่มจากซิลิกอนฐานรองที่เป็นชนิดเอ็น ตัวอุปกรณ์เอ็นมอสก็จะถูกสร้างอยู่ในบ่อแยก ส่วนตัวอุปกรณ์พีมอสก็จะถูกสร้างอยู่นอกนอกบ่อแยกหรืออยู่บนฐานรองโดยตรง สำหรับกระบวนการบ่อแยกชนิดเอ็น (Nwell process) ชั้นหรือชนิดของอุปกรณ์ก็จะเป็นตรงกันข้าม การแพร่สารเจือ (อาจเป็นโบรอนหรือฟอสฟอรัส) สามารถทำได้โดยวิธีทางความร้อน (Thermal diffusion) หรือไม่ก็ยิงอะตอมสารเจือเข้าไปโดยวิธีการฝังประจุ (Ion Implantation) การแอนนีล (Annealing) หลังการแพร่สารเจือเป็นกระบวนการที่ให้ความร้อนเพื่อจัดให้อะตอมสารเจืออยู่ในตำแหน่งที่เหมาะและลดการเสียหายของโครงสร้างผลึก ชั้นซิลิกอนไดออกไซด์ และซิลิกอนไนไตรด์ สร้างขึ้นมาเพื่อป้องกันการแพร่ในส่วนที่ไม่ต้องการหรือสิ่งสิ่งสกปรกอื่น สามารถสร้างได้โดยกระบวนการทางความร้อน (ThermalOxidation) หรือกระบวนการทางเคมี (Chemical Vapour Deposition: CVD) ก็ได้ ส่วนของโพลีซิลิกอนใช้เทคนิค CVD ในการสร้าง ลวดลาย (Pattern) ที่ออกแบบจะถูกถ่ายทอดสู่โฟโต้มาส์คก่อน โดยกระบวนการ mask generation มาส์คมี 2 ชนิดคือ Soft mask หรือ Emulsion Mask มักเป็นเนื้อฟิล์ม (เหมือนฟิล์มถ่ายรูปทั่วไป) และ Hard mask ซึ่งเนื้อฟิล์มเป็นโครเมียม (มักเรียกว่า Chrome mask) ในกระบวนการสร้างอุปกรณ์จะต้องใช้มาส์คหลายแผ่น (ประมาณ 4 - 10แผ่น) การถ่ายทอดแบบลวดลายจากมาส์คสู่แผ่นเวเฟอร์จะใช้กระบวนการฉายแสงหรือ Photolithography โดยแผ่นซิลิกอนจะถูกเคลือบไว้ด้วยน้ำยาไวแสง (Photoresist) ซึ่งอาจเป็นชนิดบวก (Positive resist) หรือชนิดลบ (Negative resist) ก็ได้แสง (อาจเป็น UV หรือ Deep UV) จะถูกฉายผ่านแผ่นมาส์คสู่แผ่นเวเฟอร์ (ระยะเวลาที่เหมาะสม) สารไวแสงที่เคลือบไว้จะมีการเปลี่ยนแปลงโครงสร้าง (polymerization) โดยจะละลายได้ง่ายในน้ำยาเคมีที่เรียกว่าดีเวลลอปเปอร์ (Developer) ชั้นสารบนซิลิกอน (เช่น ออกไซด์, ไนไตรด์, อลูมิเนียม) ส่วนที่ไม่ได้เคลือบไว้ด้วยน้ำยาไวแสงจะถูกกัดออกโดยวิธีการ Wet Etching หรือ Reactive Ion Etching; RIE ก็ได้กระบวนการสร้างซีมอสแบบบ่อแยกชนิดพีแสดงโดยย่อดังรูป

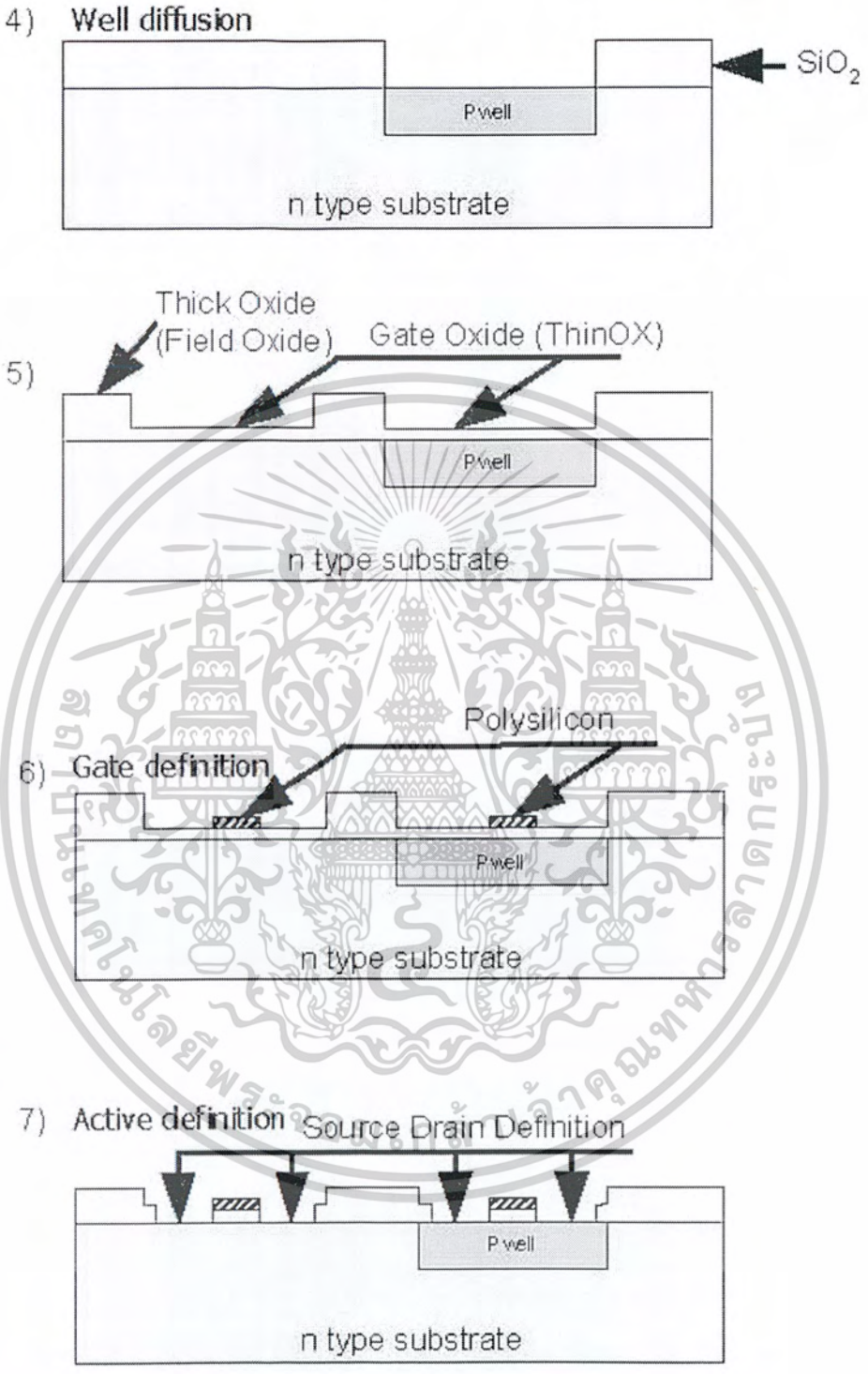
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

(พึงระลึกว่าขั้นตอนที่แสดงนี้เน้นให้เห็นการสร้างส่วนต่าง ๆ ขึ้นมาโดยลำดับ เป็นขั้นตอนอย่างง่าย ในกระบวนการสร้างจริงนั้นมีรายละเอียดเพิ่มเติมอีกมาก ทั้งหมดอาจมีถึง 90– 140 ขั้นตอน)

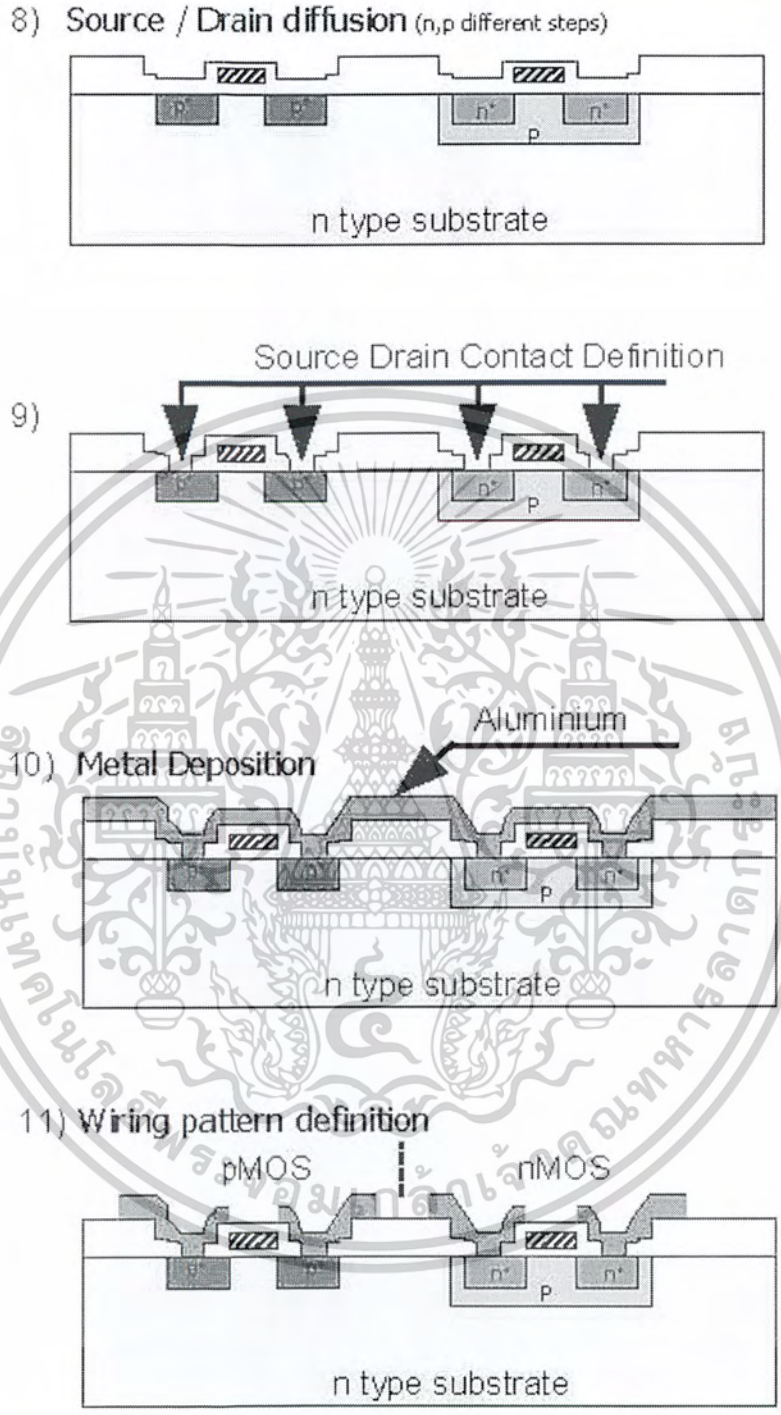
แผ่นเวเฟอร์เริ่มต้น จะเป็นชนิดเอ็น (ระนาบ <100> พิกัดความต้านทานประมาณ 4 โอห์ม-ซม.)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่4.3 ขั้นตอนโดยสรุปของกระบวนการสร้างอุปกรณ์ซีมอสแบบบ่อแยกชนิดพี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.3 ชั้นต่างๆ ที่ใช้ในการออกแบบ

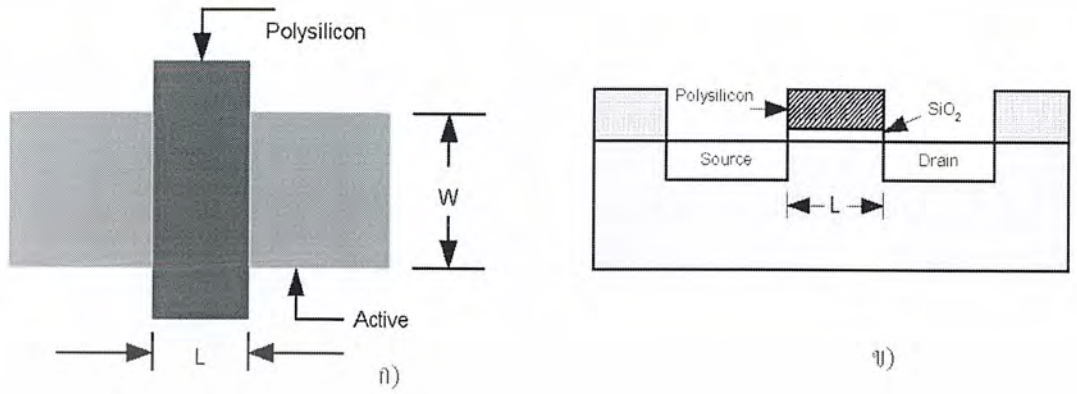
ปัจจุบันการออกแบบในระดับกายภาพเกือบทั้งหมดใช้ CAD; Layout Editor ขอบเขตความสามารถและความยาก ง่ายในการใช้ซอท์ฟแวร์ ก็จะแตกต่างกันออกไปบ้าง การใช้งานซอท์ฟแวร์เน้นที่ต้องการให้ใช้งานง่าย สามารถที่จะกำเนิดข้อมูลมาส์คที่ถูกต้องตามที่ผู้ออกแบบต้องการ อย่างไรก็ดีเงื่อนไขดังกล่าวทำให้วิธีการออกแบบไม่ได้อิงกับกระบวนการเสมอไปเช่นในทางซอท์ฟแวร์อาจกำหนดชั้นขึ้นมาเพิ่มเติม (เพื่อความสะดวก) แต่ในกระบวนการสร้างชั้นเหล่านี้อาจรวมอยู่ในขั้นตอนใดขั้นตอนหนึ่ง ทุกขั้นตอนในกระบวนการสร้างไม่จำเป็นต้องปรากฏในการออกแบบเสมอไป เพราะการออกแบบเป็นการมุ่งกำหนดขนาดและตำแหน่งอุปกรณ์ที่สร้างเท่านั้น ชั้น (layer) ต่าง ๆ ที่มักใช้ในการออกแบบโดยใช้ CAD มีดังนี้ Well (Pwell หรือ Nwell) เป็นการกำหนดบริเวณของบ่อแยก Active กำหนดขอบเขตบริเวณที่ต้องมีการแพร่สารเจือ (คือส่วนซอสหรือเดรน) บางที่เรียกว่า Diffusion ชั้นนี้จะไม่ระบุว่าเป็นสารเจือชนิดใด ถ้าหากมีการระบุชนิดก็จะใช้ว่า ndiff หรือ pdiffNselect ระบุว่าสารเจือที่อยู่ในขอบเขตนี้เป็นสารเจือชนิดเอ็น Pselect ระบุว่าสารเจือที่อยู่ในขอบเขตนี้เป็นสารเจือชนิดพี Poly กำหนดส่วนที่เป็นโพลีซิลิกอนMetal กำหนดส่วนที่เป็นโลหะ (อลูมินียม) Active Contact (หรือ Contact cut) กำหนดส่วนที่เป็นช่องขั้วสัมผัสระหว่างชั้น Active กับชั้น MetalPoly Contact (หรือ Poly cut) กำหนดส่วนที่เป็นช่องเพื่อต่อระหว่างชั้น Poly กับชั้น Metal Via กำหนดส่วนที่เป็นช่องเพื่อต่อระหว่างชั้น Metal1 กับชั้น Metal2 (กระบวนการที่มีชั้นโลหะมากกว่า 1 ชั้น)

4.4 ออปเจ็กต์ และไดอะแกรมสติกค์

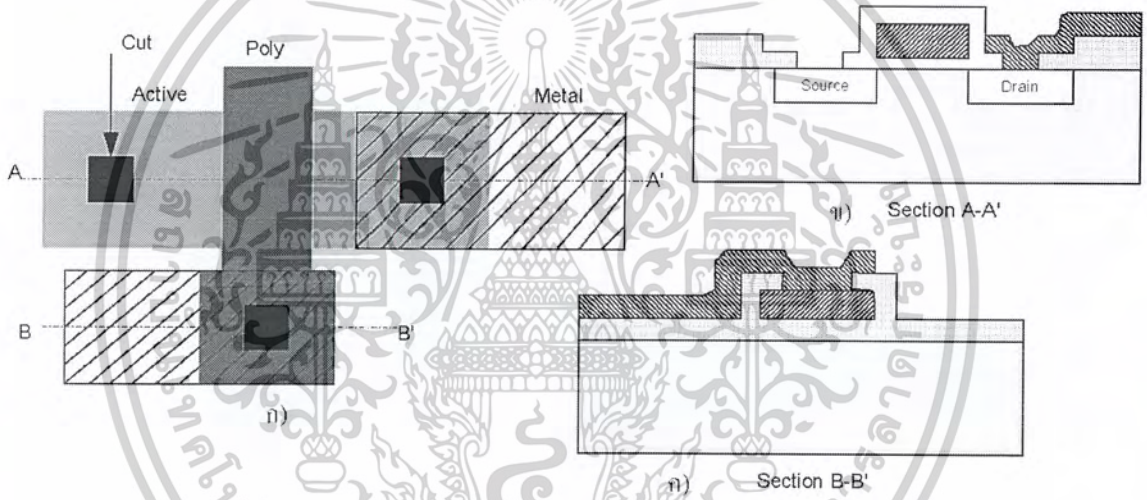
จากวงจรในระดับทรานซิสเตอร์มาสู่การออกแบบที่เป็นลวดลายนั้น สำหรับผู้ออกแบบใหม่จะดูเป็นสิ่งที่ยุ่งยากและซับซ้อน การใช้แนวคิดของ Stick Object และ Stick diagram จะช่วยให้ผู้ออกแบบทำงานได้สะดวกมากขึ้น Stick Object ก็คือออปเจ็กต์ที่ใช้แทนเลเยอร์ต่าง ๆ ตัวออปเจ็กต์จะเขียนด้วยเส้น (หรือกรอบ) ที่มีสีแตกต่างกัน Stick diagram ก็คือวงจรที่เขียนแทนด้วย Stick Object และจะมีลักษณะที่ใกล้เคียงกับการวาดลวดลายหรือเลเอ้าท์ ในการเขียนสติกค์ไดอะแกรมมีกฎอยู่เพียงไม่กี่ข้อ

1. ทรานซิสเตอร์เกิดจากชั้น Active ถูกซ้อนทับโดยชั้นโพลีซิลิกอน__
2. ในเลเยอร์เดียวกัน การเชื่อมต่อสามารถที่จะกระทำได้โดยตรง แต่ถ้าหากเป็นเลเยอร์ที่ต่างกัน
    2.1 ระหว่างชั้น Active กับ Metal จะใช้ Active Contact ในการเชื่อมต่อ
    2.2 ระหว่างชั้น Poly กับ Metal จะใช้ Poly Contact ในการเชื่อมต่อเพื่อให้ง่ายต่อความเข้าใจดูรูปที่ 4.4 – 4.5 ประกอบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



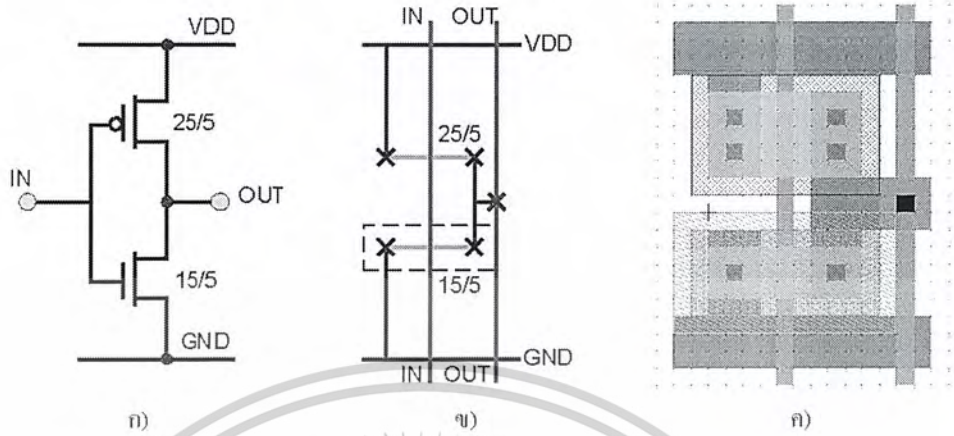
รูปที่4.4 การเกิดทรานซิสเตอร์ ก) การออกแบบ ข) ภาคตัดขวาง



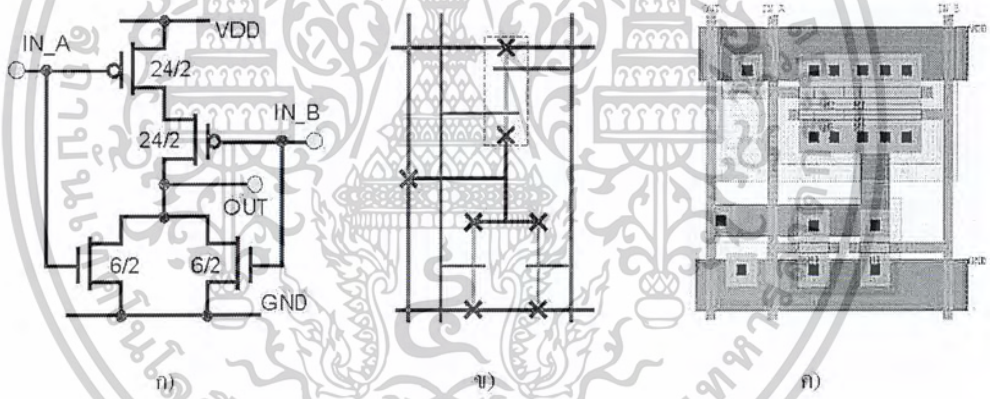
รูปที่4.5 การเชื่อมต่ออุปกรณ์ที่ชั้นแตกต่างกัน ก) การออกแบบ ข ค) แสดงภาคตัดขวาง

ในการออกแบบปกติ (ดูตัวอย่างรูปที่ 4.6 และ 4.7) ผู้ออกแบบอาศัยความรู้ทางเทคนิควงจรสร้างออกแบบวงจรของเกทโดยใช้มอสทรานซิสเตอร์ที่ทำงานในลักษณะสวิทช์เป็นพื้นฐาน กำหนด W/L ของสวิทช์แต่ละตัว ทำการตรวจสอบคุณสมบัติทางไฟฟ้า (เช่น เวลาในการสวิชท์ ความสามารถในการขับโหลด ความถูกต้องของฟังก์ชันลอจิก เป็นต้น) ของวงจรโดยการทดสอบสภาวะการทำงานเทียม (Simulation) ซึ่งมักจะใช้โปรแกรม SPICE โดยโมเดลของทรานซิสเตอร์จะได้จากผู้เจือสาร เมื่อวงจรทำงานถูกต้องตามที่ต้องการผู้ออกแบบจึงเริ่มการเลเอาท์โดยใช้ ออปเจ็กต์สติกค์และไดอะแกรมสติกค์ (รูป ข.) จากนั้นจึงทำการสร้างข้อมูลมาส์คโดยการวางชั้นสารต่าง ๆ (รูป ข.) ในขณะที่วางชั้นสารผู้ออกแบบก็สามารถที่จะตรวจสอบกับกฎการออกแบบขนานกันไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่4.6 จากวงจรสู่การเลเอ้าท์ (อินเวอร์เตอร์เกต 4u P-Well) ก) วงจร ข) สติ๊กไดอะแกรม ค) เลเอ้าท์



รูปที่4.7 จากวงจรสู่การเลเอ้าท์ (2 i/p NOR GATE 2u N-Well) ก) วงจร ข) สติ๊กไดอะแกรม ค) เลเอ้าท์

4.5 กฎเกณฑ์ในการออกแบบ

กฎในการออกแบบ (Design Rule) หรือ Layout Rule เป็นกติกาที่ใช้ร่วมการออกแบบในระดับล่างหรือการออกแบบในระดับกายภาพ เพราะการออกแบบในระดับนี้จะใกล้ชิดกับหน้าตาของมาส์คมากที่สุด การออกแบบจึงต้องมุ่งไปสู่ประเด็นที่ว่าออกแบบแล้วจะสร้างตามที่ออกแบบได้หรือไม่ ดังนั้นเพื่อให้การออกแบบทุกครั้งสามารถที่จะสร้างได้แม้ว่าจะมีความคลาดเคลื่อนและข้อจำกัดของกระบวนการก็ตามกฎการออกแบบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยหลักมีแค่ 2 ประเด็น คือ

1. ขนาดที่เล็กที่สุดของเลเยอร์ต่าง ๆ

2. ระยะทางที่ใกล้กันที่สุดระหว่างออปเจ็กต์

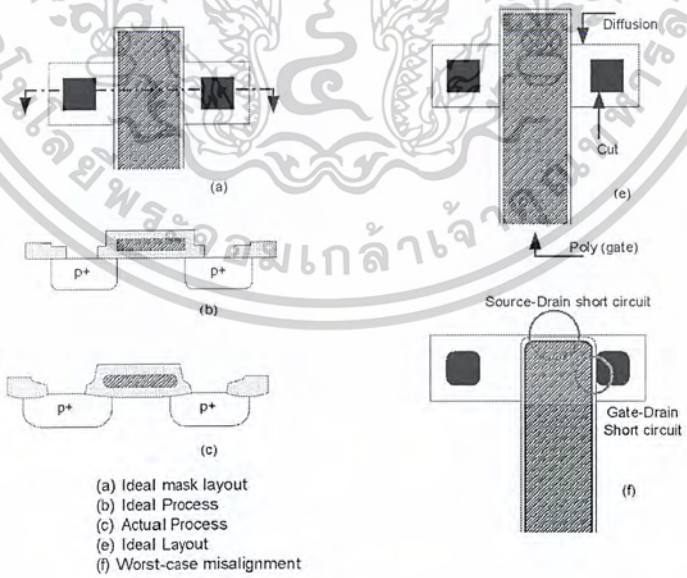
หรืออาจจะขยายความเป็น ความกว้างของเส้น (Line width) ระยะห่างระหว่างเส้น (Separation) ส่วนที่เผื่อ (Extension)และส่วนที่ซ้อนทับ (Overlap) คำว่าเส้นในที่นี้ก็คือเส้นที่เกิดจากเลเยอร์นั่นเอง

ทำไมกฎการออกแบบจึงมีความจำเป็น คำตอบคือสิ่งต่อไปนี้

1. ขนาดต่าง ๆที่ผู้ออกแบบกำหนดนั้นจำเป็นที่จะต้องสอดคล้องกับขีดความสามารถของกระบวนการต่าง ๆ ในการสร้าง (เช่นกระบวนการโฟโต้ลิโธกราฟี จะขึ้นอยู่กับน้ำยาไวแสง คุณภาพของมาส์ค การล้างฟิล์ม การฉายแสง หรือกระบวนการแพร่สารเจือจะทำให้เกิดการแพร่ไปด้านข้างด้วย เป็นต้น)

2. ในการวางแบบระหว่างชั้น (Alignment) จะเกิดความคลาดเคลื่อนขึ้นในระดับหนึ่ง (misalignment) ความคลาดเคลื่อนเล็กน้อยเหล่านั้นจะต้องไม่ส่งผลเสียหายกับตัวอุปกรณ์ที่ออกแบบ

3. คุณสมบัติทางไฟฟ้าของสารจะถูกกำหนดด้วยรูปร่างทางเรขาคณิตด้วยเช่นกัน เช่น เส้นที่เล็กเกินไปของโลหะย่อมมีความต้านทานไฟฟ้าที่สูง ทำให้ไม่สามารถที่จะนำกระแสสูง ๆ ได้



รูปที่ 4.8 ทรานซิสเตอร์ที่สร้างได้จะไม่เป็นไปตามอุดมคติในการออกแบบเพราะข้อจำกัดของกระบวนการและเครื่องมือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กฎการออกแบบสามารถจะระบุขนาดหรือระยะได้ 2 แบบ คือ อาจระบุเป็นจำนวนไมครอนโดยตรง (เรียกว่าMicron-based rule) หรืออาจระบุเป็นจำนวนเท่าของแลมด้า (เรียกว่า Lamda-based rule) โดยให้ความยาวของแชนแนลที่น้อยที่สุดมีค่าเท่ากับ 2λ

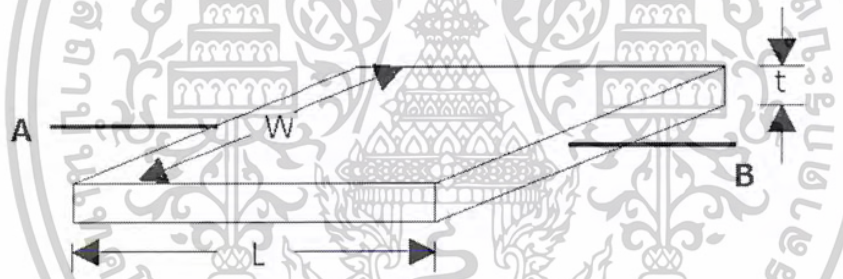
4.6 ข้อพิจารณาในการออกแบบระดับกายภาพ

4.6.1 พาราซิติก

พาราซิติกหลักที่ส่งผลกับความเร็วของการทำงานของวงจรซีมอสก็คือค่าความต้านทานและค่าตัวเก็บประจุ องค์ประกอบดังกล่าวทำให้เกิดค่าคงตัวในการประจุหรือคายประจุตัวเก็บประจุ เนื่องจากวงจรของมอสทรานซิสเตอร์สามารถที่จะประกอบขึ้นจากชั้นสารต่าง ๆ คุณสมบัติของชั้นสารแต่ละชั้นก็จะแตกต่างกันไป

4.6.1.1ความต้านทานของชั้นสาร

รูปที่ 4.9 พิจารณาชิ้นสารที่กระแสไหลจาก A ไป B หากชิ้นสารนี้มีพิกัดความต้านทาน (Resistivity) เป็น ρ โอห์ม-เซนติเมตร ความต้านทาน R_{AB} หาได้จาก



รูปที่4.9 แสดงความต้านทานของชั้นสาร

$$R_{AB} = \rho \frac{L}{A} \quad R_{AB}$$

$$R_{AB} = \rho \frac{L}{Wt}$$

หาก L = mW สำหรับ m เป็นจำนวนจริงใด ๆ และนิยามพิกัดความต้านทานแผ่น (Sheet resistivity, ρs) จึงได้

$$R_{AB} = \frac{\rho_m W}{Wt} = m\rho s \; R_{AB}$$

ได้ค่าพิกัดความต้านทานแผ่นนี้มีหน่วยเป็น โอห์ม/หน่วยสี่เหลี่ยม ($\Omega/\square$) ค่าปกติของความต้านทานแผ่นสำหรับกระบวนการ 4 ไมครอนแสดงได้ดังตาราง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 4.1 ชั้นสารและค่าพิกัดความต้านทานแผ่น

Layer	Sheet Resistivity
Active (diffusion)	10 - 40
Metal	0.03
Polysilicon	10-100
Channel (Adjust)	10,000

4.6.1.2 ชั้นสารและความจุไฟฟ้า ลักษณะตัวเก็บประจุที่เกิดกับตัวมอสทรานซีสเตอร์นั้นได้กล่าวแล้วในบทของฟิสิกส์ของมอสทรานซิสเตอร์ ในส่วนจะเน้นถึงค่าความจุไฟฟ้าที่เกิดขึ้นในระหว่างชั้นสารต่าง ๆ ดังสรุปในตาราง

ตารางที่ 4.2 ค่าความจุไฟฟ้าระหว่างชั้นต่าง ๆ (ค่าปกติของกระบวนการ 4 ไมครอน)

Capacitance		Typ. Value (pF/um2)	Relative Value
Layer1	Layer2		
Gate	Channel	4 ×10-4	1.0
Active	Substrate	1 ×10-4	0.24
Polysilicon	Substrate	0.4 ×10-4	0.1
Metal 1	Substrate	0.3 ×10-4	0.074
Metal 2	Substrate	0.2 ×10-4	0.04
Metal 2	Metal 1	0.4 ×10-4	0.1

4.6.1.3ข้อพิจารณาในการเลือกใช้ชั้นสาร

ในการเลือกใช้ชั้นสารพิจารณาจากค่าคงตัวของค่าความต้านทานและความจุไฟฟ้า โดยหลักการหลัก ๆ คือ

- เส้นทางVDD และ GND ควรเป็นโลหะเท่านั้น
- สัญญาณร่วม(Global Signal) เช่น สัญญาณนาฬิกา ควรใช้ชั้นโลหะ
- หลีกเลี่ยงการใช้โพลีซิลิกอนเป็นเส้นทางยาว ๆ เพราะค่าความจุไฟฟ้าและค่าความต้านทานค่อนข้างสูง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่4.3 ข้อพิจารณาในการเลือกชั้นสาร

ชั้นสาร	ค่าความต้านทาน	ค่าความจุไฟฟ้า	ข้อพิจารณา
โลหะ	ต่ำ	ต่ำ	ใช้เป็นเส้นทางจ่ายไฟเลี้ยง ใช้เป็นเส้นทางสัญญาณร่วม
โพลีซิลิกอน	ต่ำ	ปานกลาง	ค่าคงตัวของค่าความต้านทานและความจุไฟฟ้า สูงพอประมาณ แรงดันตกคร่อม (IR Drop) ค่อนข้างสูง
สารเจือ (Active)	ปานกลาง	ค่อนข้างสูง	แรงดันตกคร่อม (IR Drop) ปานกลาง ค่าความจุไฟฟ้าค่อนข้างสูง

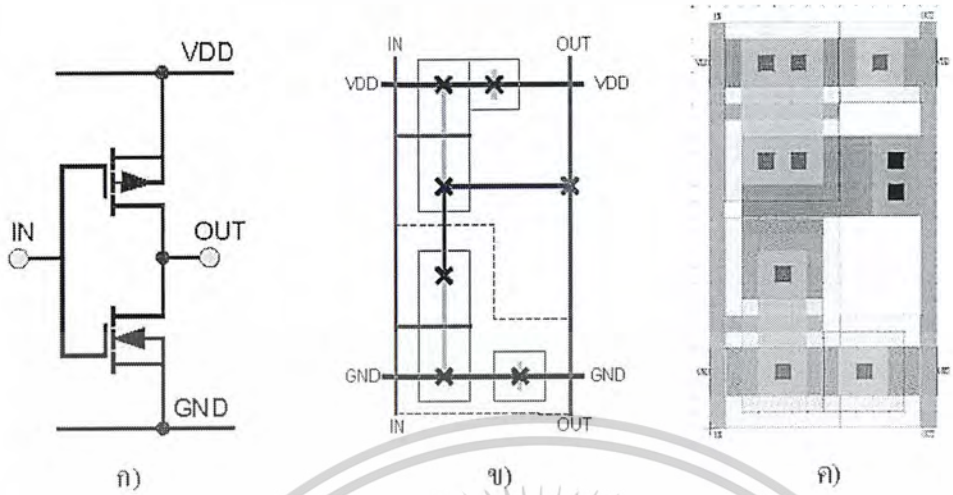
ตารางที่4.4 ชั้นสารและข้อจำกัดความยาว

ชั้นสาร	ความยาวที่มากที่สุดของเส้นทางสัญญาณ
โลหะ	20,000 □
โพลีซิลิกอน	200 □
สารเจือ (Active)	20 □

4.7 โครงสร้างซีมอสในการออกแบบ

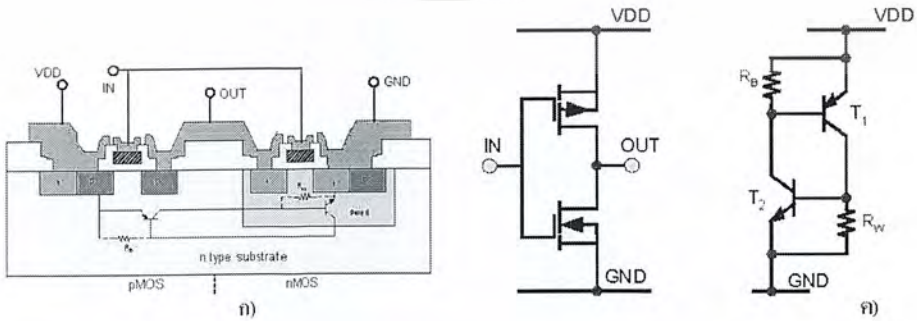
วงจรซีมอสโดยทั่วไปเราจะถือว่า VGS = 0 ก็คือขาซอสและฐานรองต่ออยู่ด้วยกัน ในโครงสร้างวงจรแบบคอมพลีเมนต์ปกติ ส่วนที่เป็นพีมอสจะต่ออยู่กับไฟบวกในขณะที่ส่วนที่เป็นเอ็นมอสต่ออยู่กับกราวด์ ดังนั้นส่วนที่เป็นฐานรอง (คือขาB ของพีมอส) ก็ต้องต่อกับไฟบวก ส่วนขา B ของเอ็นมอส (คือส่วนของบ่อแยก) ก็ต้องต่อกับกราวด์ ลักษณะการต่อเช่นนี้เรียกว่า Substrate tie (ดูรูปที่ 4.10 ประกอบ) การต่อซับเตรทไทด์ถือว่าเป็นมาตรฐานโดยวงจรไม่จำเป็นต้องเขียนแบบรูปที่ 4.10ก) แต่จะเขียนวงจรดังรูปที่ 4.6 หรือ 4.7 ก็ได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.10 วงจรอินเวอร์เตอร์ที่สมบูรณ์โดยการต่อซับเตรทไทด์ ก) รูปวงจร ข) ไดอะแกรมสติก ค) การวางแบบ

ลักษณะของวงจรซีมอส (รูปที่ 4.11) จะปรากฏลักษณะแอบแฝงของวงจรไบโพลาร์ทรานซิสเตอร์และตัวต้านทานประกอบ สามารถที่จะนำกระแสค้างแบบไธริสเตอร์ (หรือเอสซีอาร์)ได้ หาก RB และ RW ทำให้เกิดการไบอัส T1 และ T2 ให้นำกระแสได้ แรงดันที่ตกคร่อม RB และ RW ทำให้เกิดการนำกระแสค้าง (Latch Up) โดยกระแสจะไหลจากไฟบวกไปสู่กราวด์อย่างต่อเนื่อง และวงจรจำทำงานทางลอจิกไม่ถูกต้อง การป้องกันหรือลดความเสี่ยงจากการเกิดการนำกระแสค้างสามารถจะทำได้โดยการลดค่า RB และ RW แต่การลดค่าความต้านทานโดยการเพิ่มความหนาแน่นสารเจือ จะส่งผลให้แรงดันขีดเริ่มของมอสทรานซิสเตอร์สูงขึ้น ดังนั้นการควบคุมแรงดันขีดเริ่ม สามารถจะควบคุมได้โดยการโด๊ปช่องทางเดินกระแส ซึ่งการควบคุมให้ได้ค่าที่ถูกต้องนั้นมักใช้การยิงประจุ (Ion Implantation)



รูปที่ 4.11 ลักษณะพาราซิติกไบโพล่าทรานซิสเตอร์ที่เกิดกับวงจรซีมอสอินเวอร์เตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

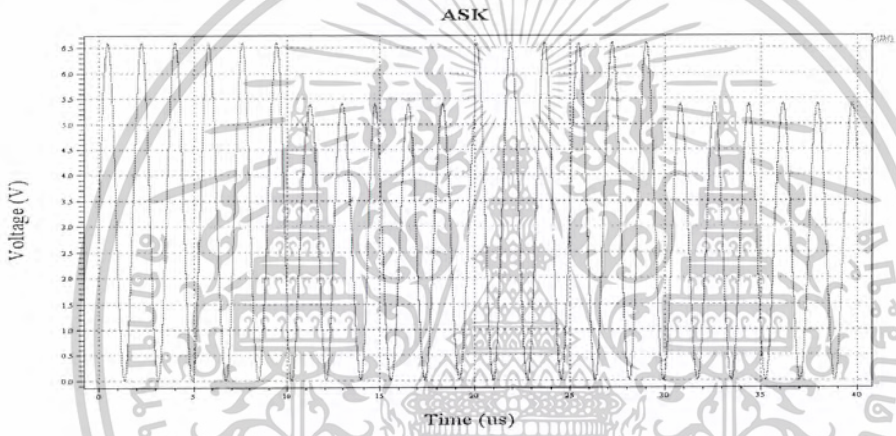
บทที่ 5
แนวคิดและขั้นตอนการออกแบบวงจรแยกข้อมูลและวงจรกู้สัญญาณนาฬิกา

5.1 แนวคิดและขั้นตอนการออกแบบวงจรแยกข้อมูล

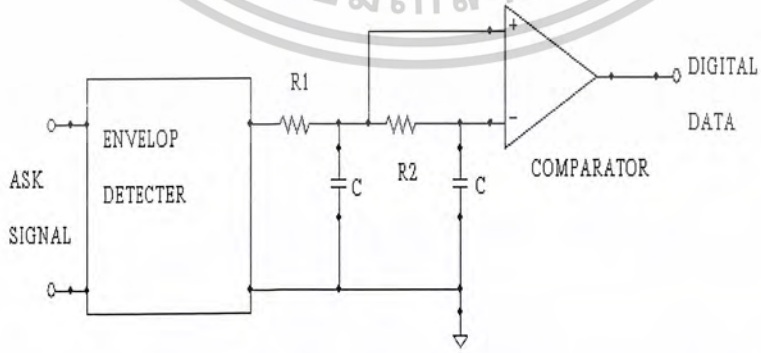
5.1.1 แนวคิดในการออกแบบวงจรแยกข้อมูล

วงจรแยกข้อมูลมีหน้าที่ในการแยกสัญญาณข้อมูลดิจิตอลที่ถูกมอดดูเล็ทแบบ ASK 10% ตามมาตรฐาน ISO 14443 Type B ออกจากสัญญาณพาห์ โดยสัญญาณ ASK 10%แสดงในรูปที่ 5.1 และแนวคิดที่ใช้ในการแยกข้อมูลดิจิตอลออกจากสัญญาณคลื่นพาห์แสดงในรูปที่ 5.2

.



รูปที่ 5.1 แสดงสัญญาณ ASK 10%



รูปที่ 5.2 แสดงหลักการที่ใช้ในการแยกข้อมูลดิจิตอลออกจากสัญญาณคลื่นพาห์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 5.1 ระดับของสัญญาณ 2 ระดับ คือ V_{MAX} และ V_{MIN} ซึ่ง V_{MAX} คือระดับของสัญญาณคลื่นพาห์ที่แทนข้อมูลดิจิตอลลอจิก "1" และ V_{MIN} คือระดับของสัญญาณคลื่นพาห์ที่แทนข้อมูลดิจิตอลลอจิก "0" และจากรูปที่ 5.2 เป็นหลักการที่ใช้ในการแยกข้อมูลดิจิตอลออกจากสัญญาณคลื่นพาห์ซึ่งแบ่งเป็นสามส่วนได้แก่

1.วงจรเอ็นเวลโลปดีเทคเตอร์ วงจรเอ็นเวลโลปดีเทคเตอร์นี้ประกอบด้วยไ ดโอด,ความต้านทานและคาปาซิเตอร์ มีหน้าที่ในการตรวจจับขอบของสัญญาณ ASK 10%ซึ่งขอบของสัญญาณ ASK 10% ก็คือข้อมูลดิจิตอลที่ต้องการ

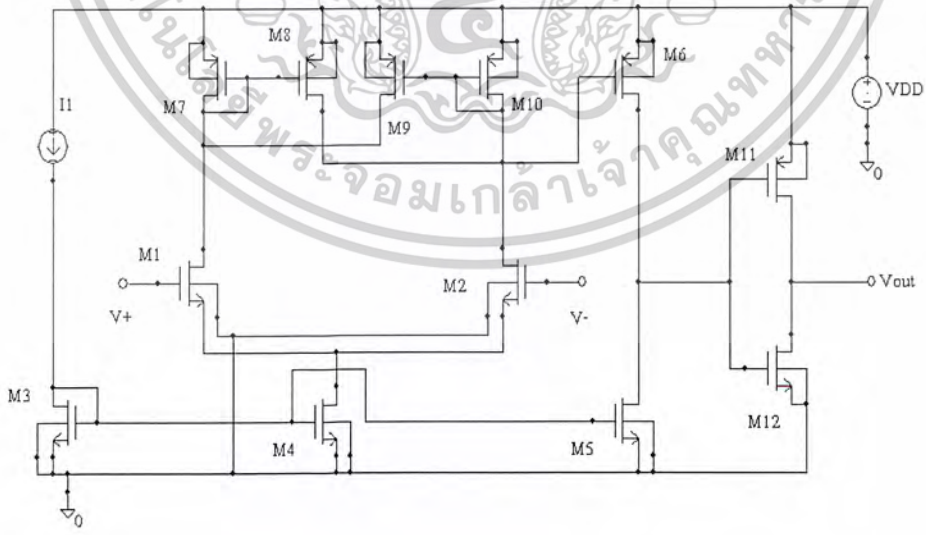
2.วงจรอินทิเกรเตอร์ วงจรอินทิเกรเตอร์ประกอบด้วยความต้านทาน R_1, R_2 และ C ซึ่งมีหน้าที่เฉลี่ยระดับแรงดันหรือระดับของสัญญาณที่ได้จากวงจรเ อ็นเวลโลปดีเทคเตอร์

3.วงจรคอมพาราเตอร์ด้วยฮีสเตอรีซีส มีหน้าที่เปรียบเทียบระดับแรงดันจากวงจรระดับแรงดันที่ได้จากวงจรอินทิเกรเตอร์ทั้งสองวงจรตามรูปที่ 5.2

5.1.2 ขั้นตอนการออกแบบวงจรแยกข้อมูล

5.1.2.1 ขั้นตอนการออกแบบวงจรคอมพาราเตอร์ด้วยฮีสเตอรีซีส

รูปที่ 5.3 คือวงจรคอมพาราเตอร์ด้วยฮีสเตอรีซีสซึ่งประกอบด้วยวงจรขยายความต่างที่ถูกป้อนกลับทางบวกและภาคเอาท์พุทที่ใช้ในการขับโหลด



รูปที่ 5.3 แสดงวงจรคอมพาราเตอร์ด้วยฮีสเตอรีซีส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ก่อนที่จะทำการออกแบบต้องทราบค่า[ ] V_{TN},V_{TH},λ_N,λ_P,$\mu_N C_{OX}$ และ $\mu_p C_{OX}$ ซึ่งมีค่าดังนี้

V_{TN}=0.629 V_{TP} = -0.628 V

λ_N = 0.0058 λ_P = 0.003

$K_N = \mu_N C_{OX}$ = 150 μA/V^2 $K_P = \mu_p C_{OX}$ = 35 μA/ V^2

ก่อนที่จะทำการออกแบบต้องกำหนดคุณสมบัติของวงจรที่ต้องการซึ่งประกอบด้วย

V_{DD}: 3.3 V

V_{SS}= 0 V

Output Swing: 0.35V <V_{OUT}< 2.95V

Input CMR: 0.95V≤ V_{in}≤ 3V

V_{TRP+} = 16 mV

V_{TRP-} = -16 mV

ในการออกแบบจะใช้รูปที่ 5.3 อ้างอิงสำหรับการหาค่าขนาด (W/L)ของทรานซิสเตอร์แต่ละตัว จากวงจรรูปที่ 5.3 กำหนดให้กระแส I1 มีค่าเท่ากับ 5μA และกำหนดให้กระแสที่ภาคเอาท์พุทมีค่าเท่ากับ 20μA เพื่อให้ได้เอาท์พุทสวิงตามที่ต้องการเพราะฉะนั้นจะสามารถกำหนดขนาด W/L ที่น้อยที่สุดของทรานซิสเตอร์ M5 และ M6 ด้วยสมการ V_{DS}(SAT)

$$0.35 > V_{DS5}(SAT)=[(2I_5/\beta)]^{(1/2)} \quad \text{โดยที่ } \beta=K_N(W/L)_5$$

จะได้ $(W/L)_5 \geq 2.2$

เช่นเดียวกันสำหรับทรานซิสเตอร์ M6 จะได้

$$0.35 > V_{DS6}(SAT)=[(2I_6/\beta)]^{(1/2)} \quad \text{โดยที่ } \beta=K_P(W/L)_6$$

จะได้ $(W/L)_6 \geq 9.7$ เลือกใช้ เท่ากับ 12

เพื่อให้วงจรคอมพาราเตอร์ด้วยฮีสเตอรีซีสสามารถทำการเปรียบเทียบระดับแรงดันได้ด้วยอัตราการขยายที่เหมาะสมเลือกใช้ขนาด W/L ของทรานซิสเตอร์ M1และ M2 เท่ากับ 10 ก็จะทำให้สามารถจะกำหนดขนาด W/L ที่น้อยที่สุดของทรานซิสเตอร์ M4 โดยกำหนดให้กระแสที่ไหลผ่าน M4 เมื่อทำงานในย่านอิ่มตัวเป็นซึ่งก็คือ I_4 มีค่าเท่ากับ 10 μA และจากค่า Negative input CMR ที่ต้องการ

$$V_{G1}(min)= V_{SS}+V_{DS4}+(I_4/\beta_1)^{(1/2)}+V_{TN}(max)$$

จะได้ $V_{DS5}=[(2I_4)/\beta_4]^{(1/2)}=0.239$ V

และ $(W/L)_4 \geq 2.37$ เลือกใช้ เท่ากับ 3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แต่เพื่อให้ได้การสะท้อนกระแสจากทรานซิสเตอร์ M4 ไปยังทรานซิสเตอร์ M5 ที่ถูกต้องสามารถกำหนดขนาดของทรานซิสเตอร์ M5 ได้จาก

$$(W/L)_5=(I_5/I_4)(W/L)_4=(20\ \mu A/10\mu A)*3$$

จะได้ $$(W/L)_5= 6$$

เพราะฉะนั้นแล้วค่า $(W/L)_5$ ที่ควรจะเป็นต้องเท่ากับ 6

จาก Positive input CMR และกำหนด$V_{GS7,10}$ เท่ากับ 0.9 V จะสามารถ สามารถคำนวณหาค่าขนาดของทรานซิสเตอร์ M7 และ M10 ได้ ดังนี้

$$V_{G1}(max)=V_{DD}- (I_4/\beta_7)^{(1/2)}+V_{T7}(max)+V_{T1}(min)$$

$$\beta_7= I_4/[V_{DD}-V_{G1}(max)+V_{T7}(max)+V_{T1}(min)]^2$$

จะได้ $(W/L)_7=(W/L)_{10}\geq$ 1.3 เลือกใช้ เท่ากับ 2

เพื่อให้ได้ V_{TPR+}=16 mV กระแสที่ไหลผ่านทรานซิสเตอร์ M8 ต้องมีค่าเท่ากับ 6 μA ซึ่งจะทำให้สามารถหาขนาดของทรานซิสเตอร์ M8 ดังนี้

$$i_7= i_5/[(1+[(W/L)_8/(W/L)_7])]= i_1 \text{ ต้องเท่ากับ } 4\ \mu A$$

$$i_2=i_4-i_1 = i_8 = 6\ \mu A$$

จากสมการกระแส i_7 เมื่อทำการแก้สมการและแทนค่าต่างๆจะทำให้ได้ W/L ของทรานซิสเตอร์ M8 เท่ากับ 3

สำหรับ V_{TPR-}=-16 mV กระแสที่ไหลผ่านทรานซิสเตอร์ M9 ต้องเท่ากับ 6 μA ซึ่งจะทำให้สามารถหาขนาดของทรานซิสเตอร์ M9 ได้ดังนี้

$$i_{10}= i_4/[(1+[(W/L)_9/(W/L)_{10}])]= i_2 \text{ ต้องเท่ากับ } 4\ \mu A$$

$$i_1=i_4-i_2 = i_9 = 6\ \mu A$$

จากสมการกระแส i_{10} เมื่อทำการแก้สมการและแทนค่าต่างๆจะทำให้ได้ W/L ของทรานซิสเตอร์ M9 เท่ากับ 3

สำหรับทรานซิสเตอร์ M11 และ M12 เป็นวงจรอินเวอเตอร์ที่ใช้เป็นภาคเอาท์พุทของวงจรคอมพาราเตอร์ด้วยฮีสเตอรีซีสและวงจรอินเวอเตอร์สามารถออกแบบได้ดังนี้คือ

$$V_M=\frac{VDD + V_{TP} + V_{TN}\sqrt{(K_N / K_P)}}{1+\sqrt{(K_N / K_P)}} \qquad (5.1)$$

กำหนดให้ V_M=0.5VDD=1.65 แทนค่าเพื่อหาอัตราส่วนW/L ทรานซิสเตอร์ PMOS และ NMOS

จะได้ $$V_M=\frac{3.3 \quad 0.629+(0.628\times\sqrt{(K_N / K_P)}}{1+\sqrt{(K_N / K_P)}}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$1.65=\frac{3.3 \quad 0.629+(0.628\times\sqrt{(K_N/K_P)}}{1+\sqrt{(K_N/K_P)}}$$

จะได้ $\frac{K_N}{K_P}=5$

เลือก $(W/L)_{11}$= 10 และ $(W/L)_{12}$=2

จากวงจรคอมพาราเตอร์ด้วยฮีสเตอรีซีสที่ได้ทำการออกแบบสามารถแสดงขนาด W/L ของทรานซิสเตอร์แต่ละตัวได้ตามตารางที่ 5.1

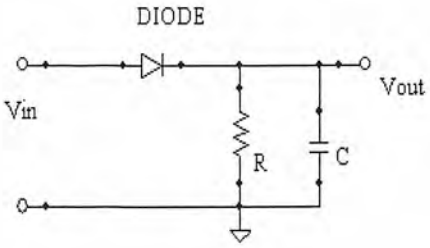
ตารางที่ 5.1 แสดงขนาด W/L ของทรานซิสเตอร์ที่ใช้ในวงจรคอมพาราเตอร์ด้วยฮีสเตอรีซีส

ทรานซิสเตอร์	ขนาด W/L(um)
M1	10/1
M2	10/1
M3	1.5/1
M4	3/1
M5	6/1
M6	12/1
M7	2/1
M8	3/1
M9	3/1
M10	2/1
M11	10/1
M12	2/1

5.1.2.2 ขั้นตอนการออกแบบวงจรเอ็นเวลโลปดีเทคเตอร์

ปกติแล้ววงจรเอ็นเวลโลปดีเทคเตอร์จะประกอบด้วยไดโอด,ตัวต้านทานและคาปาซิเตอร์ตามรูปที่ 5.4 ซึ่งไดโอดมีหน้าที่ในการตัดซีกลบของสัญญาณออกไปสำหรับความต้านทานและคาปาซิเตอร์มีหน้าที่ในการกรองความถี่ต่ำผ่านซึ่งจะทำให้ได้ขอบของสัญญาณข้อมูลที่ต้องการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.4 แสดงวงจรเอ็นเวลโลปดีเทคเตอร์

โดยความต้านทานและค่าคาปาซิเตอร์ต้องเป็นค่าที่เหมาะสมซึ่งสามารถเลือกได้จากสมการที่ 5.1

$$RC = \frac{1}{2\pi f_{MAX}} \qquad (5.2)$$

f_{MAX} คือความถี่สูงสุดของข้อมูลที่ถูกมอดดูเล็ท

สำหรับวงจรแยกข้อมูลนั้นต้องการแยกข้อมูลดิจิตอลที่มีอัตราการส่งข้อมูลเท่ากับ 106 Kbit/sec ที่มอดดูเลทแบบ ASK 10% ด้วยความถี่คลื่นพาห์ 13.56MHz ดังนั้น f_{MAX} ควรเท่ากับ 106 KHz แต่เพื่อให้วงจรเอ็นเวลโลปดีเทคเตอร์สามารถตรวจจับขอบของสัญญาณได้เพราะฉะนั้นเลือกใช้ f_{MAX}=212 KHz แทนค่า f_{MAX} ในสมการที่ 5.2 โดยกำหนดให้ C มีค่าเท่ากับ 5 Pf จะได้ ค่าความต้านทาน R=150 KΩ จะเห็นว่าค่าความต้านทาน R มีค่ามากและไม่เหมาะสมสำหรับการสร้างบนชิพสมาร์ทการ์ดดังนั้นจะใช้ ทรานซิสเตอร์แบบ PMOS สร้างเป็นความต้านทานแทน โดยทรานซิสเตอร์แบบ PMOS จะต้องทำงานในย่านเชิงเส้นซึ่งจะทำให้ได้

$$R_{ON} = \frac{1}{\mu_P C_{OX} \frac{W}{L}(V_{SG} - |V_{TP}|)} \qquad (5.3)$$

ทำให้วงจรเอ็นเวลโลปดีเทคเตอร์มีลักษณะตามรูปที่ 5.4 โดยใช้ ทรานซิสเตอร์แบบ PMOS ต่อ Cascode กันสามตัวขนานกับคาปาซิเตอร์และไดโอดนั้นถูกแทนด้วยทรานซิสเตอร์แบบ NMOS ซึ่งทรานซิสเตอร์แบบ NMOS จะนำกระแสเมื่อมีระดับแรงดันเข้ามาที่ขาเดรนมากกว่าค่า V_{TN} ซึ่งวงจรตามรูปที่ 5.4 สามารถออกแบบได้ดังนี้ จากวงจรในรูปที่ 5.4 กำหนดให้ค่าคาปาซิเตอร์ C มีค่าเท่ากับ 5Pf ทำให้ความต้านทานที่ได้จากทรานซสเตอร์ M29,M30 และ M31 ต้องมีค่าเท่ากับ 150 KΩ แต่ในความเป็นจริงขณะที่มีสัญญาณ ASK 10% เข้ามาที่ขาเดรนของทรานซิสเตอร์ M28 จะทำให้ระดับแรงดันที่โหนด X มีค่าเปลี่ยนแปลงไม่คงที่ดังนั้นในการออกแบบจะสมมุติให้แรงดันที่โหนด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

X มีค่าเท่ากับ 3 โวลท์และกำหนดให้ค่า R_{ON} ของทรานซิสเตอร์ M29,M30 และ M31 มีค่าเท่ากันคือ 50 KΩ จะสามารถคำนวณหาค่า W/L ของทรานซิสเตอร์ M29,M30 และ M31 ดังนี้

คำนวณหา W/L ของทรานซิสเตอร์ M29,M30 และ M31 จากสมการที่ 5.3 จะได้

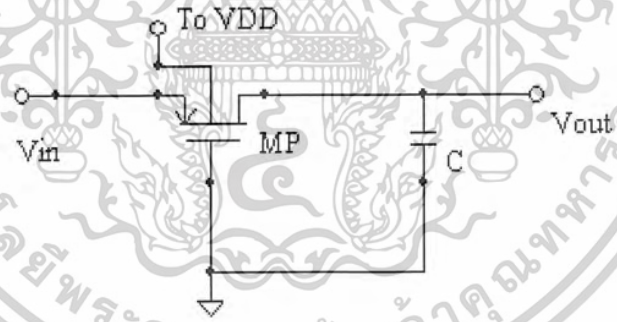
$$(W/L)_{29,30,31} = \frac{1000000}{50000 \times 35 \times (3 - 0.628)} = 0.24$$

ใช้ $(W/L)_{29,30,31}$=(1.2/5)

สำหรับทรานซิสเตอร์ NMOS นอกจากจะทำหน้าที่เป็นไดโอดยังสามารถลดทอนระดับความแรงของสัญญาณ ASK 10% ที่เข้ามาด้วยยิ่งถ้ากำหนดให้ขนาด W/L มีค่าน้อยก็จะสามารถลดทอนสัญญาณได้มากขึ้นดังนั้นขนาด W/L ที่เหมาะสมสามารถกำหนดให้ $(W/L)_{28}$ มีค่าเท่ากับ 1.2/20

5.1.2.3 ขั้นตอนการออกแบบวงอินทริเกรเตอร์

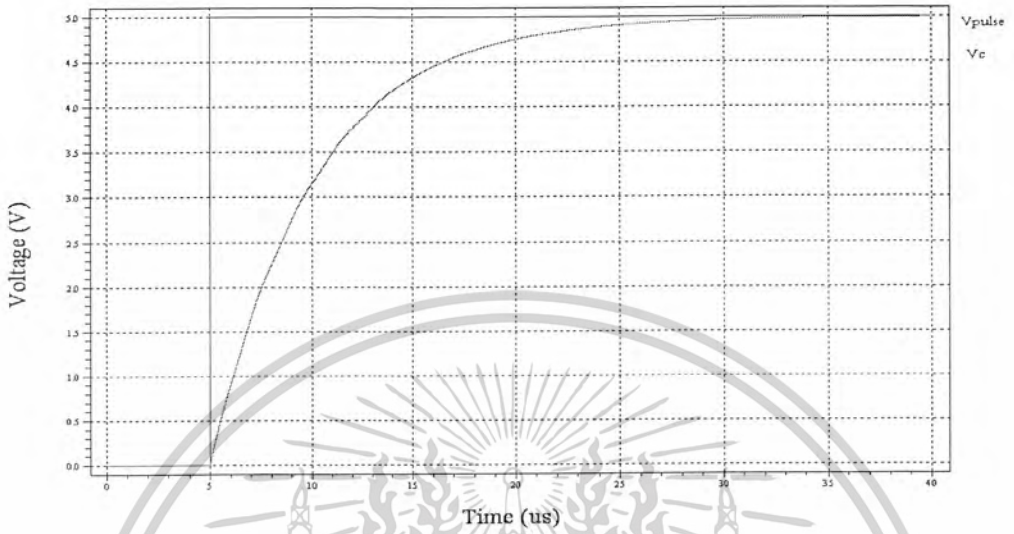
จากรูปที่ 5.2 จะประกอบด้วยวงจรอินทริเกรเตอร์สองวงจรซึ่งจะทำการออกแบบที่ละวงจร โดยความต้านทาน R_1และ R_2 จะถูกแทนด้วยทรานซิสเตอร์ PMOS ที่ทำงานในย่านเชิงเส้นซึ่งวงจรอินทริเกรเตอร์จะมีลักษณะตามรูปที่ 5.6



รูปที่ 5.5 แสดงวงจรอินทริเกรเตอร์

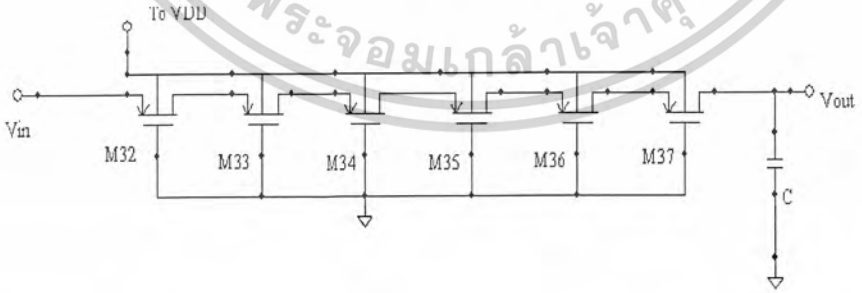
การตอบสนองต่อสัญญาณอินพุทที่เป็นพัลส์ของวงจรในรูปที่ 5.6 มีลักษณะตามรูปที่ 5.7

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.6 แสดงการตอบสนองต่อสัญญาณอินพุทที่เป็นพัลส์ของวงจรอินทริเกรเตอร์

จากรูปที่ 5.6 ที่เวลา t=0 ทรานซิสเตอร์ PMOS จะทำงานในย่านอิ่มตัวและจะทำให้มีกระแสชาร์จให้กับคาปาซิเตอร์ทำให้มีแรงดันคร่อมคาปาซิเตอร์จนกระทั่งแรงดัน $V_{SD} \leq V_{SG} - |V_{TP}|$ ทำให้ทรานซิสเตอร์ PMOS เริ่มทำงานในย่านอิ่มตัวจนกระทั่งคาปาซิเตอร์ชาร์จประจุเต็มซึ่งจะทำให้แรงดันที่ตกคร่อมคาปาซิเตอร์มีค่าเท่ากับ 99.3 % ของแรงดันอินพุทซึ่งในการออกแบบวงจรอินทริเกรเตอร์จะใช้หลักการนี้ในการออกแบบวงจรและวงจรที่จะใช้ในการออกแบบจะมีลักษณะตามรูปที่ 5.8



รูปที่ 5.7 แสดงวงจรอินทริเกรเตอร์ภาคแรกที่ใช้ในวงจรแยกข้อมูล

ในการออกแบบจะกำหนดให้แรงดัน Vin มีค่าเท่ากับ 2V และจะพิจารณาที่แรงดัน Vout =0.993Vin ซึ่งก็คือจุดที่คาปาซิเตอร์ชาร์จประจุเต็มพอดีและเพื่อให้วงจรอินทริเกรเตอร์ในรูปที่ 5.8สามารถ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เฉลี่ยระดับแรงดันที่ได้จากวงจรเอ็นเวลโลปดีเทคเตอร์จะกำหนดให้คาปาซิเตอร์ชาร์จประจุเต็มที่เวลา t=10 uS และค่าคาปาซิเตอร์มีค่าเท่ากับ 0.25 Pf จะทำให้สามารถคำนวณหาค่ากระแสที่ไหลชาร์จคาปาซิเตอร์ที่เวลา t=10 uS จากสมการที่ 5.4

$$Vout = \frac{It}{C} \qquad (5.4)$$

โดยที่ t= เวลา (วินาที)

Vout= แรงดันที่ตกคร่อมคาปาซิเตอร์ที่เวลาต่างๆ

I= กระแสที่ไหลผ่านคาปาซิเตอร์ที่เวลาใดๆ

C= คาปาซิเตอร์

แทนค่าต่างๆลงในสมการที่ 5.4 จะได้

$$I = \frac{Vout \times C}{t} = \frac{2.979 \times 0.25Pf}{10uS} = 74\ \text{nA}$$

ที่เวลา t=10uS จะทำให้ Vin-Vout = 3- 2.979=0.021 V ซึ่งจะทำให้ทรานซิสเตอร์ M32-M37 ทำงานในย่านเชิงเส้นและแรงดัน V_{SD} ของมอสทรานซิสเตอร์ทุกตัวรวมกันจะต้องมีค่าเท่ากับหรือน้อยกว่า 0.021 V ดังนั้นกำหนดให้ V_{SD} ของทรานซิสเตอร์ทุกตัวมีค่าเท่ากับ (0.021/6)=0.0035 V เมื่อทราบค่ากระแสที่ไหลผ่านทรานซิสเตอร์ในย่านเชิงเส้นและแรงดัน V_{SD} ก็จะสามารถคำนวณหาขนาด W/L ของทรานซิสเตอร์ M32-M37 ดังนี้

- คำนวณหาขนาด W/L ของทรานซิสเตอร์ M32

$$I = \mu_p C_{OX} \frac{W}{L}(V_{SG} - |V_{TP}|)V_{SD} \qquad (5.5)$$

$$\frac{W}{L} = \frac{I}{\mu_p C_{OX}(V_{SG} - |V_{TP}|)V_{SD}}$$

$$\frac{W}{L} = \frac{74nA}{35\frac{uA}{v^2} \times (3 - 0.628) \times 0.0035}$$

$$= 0.254$$

เลือกใช้ $(W/L)_{32}$= 1.2/5

ซึ่งค่า W/L ที่ได้นี้จะทำให้ได้ค่า $R_{ON} = \frac{1}{\mu_p C_{OX} \frac{W}{L} \times (V_{SG} - |V_{TP}|} = 50.2\ \text{K}\Omega$

- คำนวณหาขนาด W/L ของทรานซิสเตอร์ M33

V_{SG} ของทรานซิสเตอร์ M33 มีค่าเท่ากับ Vin-V_{SD}=3-0.0035= 2.9965 V

$$I = \mu_p C_{OX} \frac{W}{L}(V_{SG} - |V_{TP}|)V_{SD}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\frac{W}{L} = \frac{I}{\mu_p C_{OX}(V_{SG} - |V_{TP}|)V_{SD}}$$

$$\frac{W}{L} = \frac{74nA}{35\frac{uA}{v^2} \times (2.9965 - 0.628) \times 0.0035}$$

$$= 0.255$$

เลือกใช้ $(W/L)_{33} = 1.2/5$

ซึ่งค่า W/L ที่ได้นี้จะทำให้ได้ค่า $R_{ON} = \frac{1}{\mu_p C_{OX} \frac{W}{L} \times (V_{SG} - |V_{TP}|)} = 50.26\ K\Omega$

- คำนวณหาขนาด W/L ของทรานซิสเตอร์ M34

V_{SG} ของทรานซิสเตอร์ M33 มีค่าเท่ากับ Vin-$2V_{SD}$=3-0.007= 2.993 V

$$I = \mu_p C_{OX} \frac{W}{L}(V_{SG} - |V_{TP}|)V_{SD}$$

$$\frac{W}{L} = \frac{I}{\mu_p C_{OX}(V_{SG} - |V_{TP}|)V_{SD}}$$

$$\frac{W}{L} = \frac{74nA}{35\frac{uA}{v^2} \times (2.993 - 0.628) \times 0.0035}$$

$$= 0.255$$

เลือกใช้ $(W/L)_{33} = 1.2/5$

ซึ่งค่า W/L ที่ได้นี้จะทำให้ได้ค่า $R_{ON} = \frac{1}{\mu_p C_{OX} \frac{W}{L} \times (V_{SG} - |V_{TP}|)} = 50.3K\ \Omega$

- คำนวณหาขนาด W/L ของทรานซิสเตอร์ M35

V_{SG} ของทรานซิสเตอร์ M33 มีค่าเท่ากับ Vin-$3V_{SD}$=3-0.0105= 2.9895 V

$$I = \mu_p C_{OX} \frac{W}{L}(V_{SG} - |V_{TP}|)V_{SD}$$

$$\frac{W}{L} = \frac{I}{\mu_p C_{OX}(V_{SG} - |V_{TP}|)V_{SD}}$$

$$\frac{W}{L} = \frac{74nA}{35\frac{uA}{v^2} \times (2.9895 - 0.628) \times 0.0035}$$

$$= 0.256$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เลือกใช้ $(W/L)_{33}$= 1.2/5

ซึ่งค่า W/L ที่ได้นี้จะทำให้ได้ค่า $R_{ON}= \frac{1}{\mu_p C_{OX} \frac{W}{L} \times (V_{SG} - |V_{TP}|)} = 50.4\ K\Omega$

● คำนวณหาขนาด W/L ของทรานซิสเตอร์ M36

V_{SG} ของทรานซิสเตอร์ M33 มีค่าเท่ากับ Vin-4V_{SD}=3-0.014= 2.986 V

$$I = \mu_p C_{OX} \frac{W}{L} (V_{SG} - |V_{TP}|) V_{SD}$$

$$\frac{W}{L} = \frac{I}{\mu_p C_{OX} (V_{SG} - |V_{TP}|) V_{SD}}$$

$$\frac{W}{L} = \frac{74nA}{35\frac{uA}{v^2} \times (2.986 - 0.628) \times 0.0035}$$

$$= 0.256$$

เลือกใช้ $(W/L)_{33}$= 1.2/5

ซึ่งค่า W/L ที่ได้นี้จะทำให้ได้ค่า $R_{ON}= \frac{1}{\mu_p C_{OX} \frac{W}{L} \times (V_{SG} - |V_{TP}|)} = 50.49K\Omega$

●คำนวณหาขนาด W/L ของทรานซิสเตอร์ M37

V_{SG} ของทรานซิสเตอร์ M33 มีค่าเท่ากับ Vin-5V_{SD}=3-0.0175= 2.9825 V

$$I = \mu_p C_{OX} \frac{W}{L} (V_{SG} - |V_{TP}|) V_{SD}$$

$$\frac{W}{L} = \frac{I}{\mu_p C_{OX} (V_{SG} - |V_{TP}|) V_{SD}}$$

$$\frac{W}{L} = \frac{74nA}{35\frac{uA}{v^2} \times (2.9825 - 0.628) \times 0.0035}$$

$$= 0.256$$

เลือกใช้ $(W/L)_{33}$= 1.2/5

ซึ่งค่า W/L ที่ได้นี้จะทำให้ได้ค่า $R_{ON}= \frac{1}{\mu_p C_{OX} \frac{W}{L} \times (V_{SG} - |V_{TP}|)} = 50.56\ K\Omega$

เพราะฉะนั้นจะทำให้ได้ ค่าความต้านทานรวมเท่ากับ 302.21 KΩ

อย่างไรก็ตามค่าความต้านทานที่ได้นี้จะไม่คงที่แต่จะเปลี่ยนแปลงตามสัญญาณ Vin ที่เข้ามาคือถ้าระดับแรงดัน Vin มีค่าน้อยก็จะทำให้ความต้านทานที่เกิดจากการทำงานของมอสทรานซิสเตอร์มีค่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

มากขึ้นนอกจากนี้ค่าความต้านทานที่ได้ยังขึ้นอยู่กับระดับแรงดันที่เกิดจากการชาร์จประจุของคาปาซิเตอร์ด้วย

จากรูปที่ 5.2 จะมีวงจรอินทริเกรเตอร์สองชุดและวงจรอินทริเกรเตอร์ชุดแรกได้ทำการออกแบบไปแล้วต่อไปจะทำการออกแบบวงจรอินทริเกรเตอร์ในชุดที่สองซึ่งวงจรอินทริเกรเตอร์ชุดที่สองนี้แสดงให้เห็นในรูปที่ 5.9 สำหรับการออกแบบวงจรอินทริเกรเตอร์ชุดที่สองนี้จะใช้หลักการเดียวกันกับการออกแแบวงอินทิเกรเตอร์ชุดแรกที่ได้ทำการออกแบบไปก่อนหน้านั่นคือ ในการออกแบบจะกำหนดให้แรงดัน Vin มีค่าเท่ากับ 3V และจะพิจารณาที่แรงดัน Vout =0.993Vin ซึ่งก็คือจุดที่คาปาซิเตอร์ชาร์จประจุเต็มพอดีและเพื่อให้วงจรอินทริเกรเตอร์ในรูปที่ 5.9 สามารถเฉลี่ยระดับแรงดันที่ได้จากวงจรอินทริเกรเตอร์ภาคแรกคาปาซิเตอร์ต้องใช้เวลาในการชาร์จประจุช้ากว่าวงจรอินทริเกรเตอร์ในภาคแรกดังนั้นจะกำหนดให้คาปาซิเตอร์ชาร์จประจุเต็มที่เวลา t=17 uS และค่าคาปาซิเตอร์มีค่าเท่ากับ 0.25 Pf จะทำให้สามารถคำนวณหาค่ากระแสที่ไหลชาร์จคาปาซิเตอร์ที่เวลา t=17 uS จากสมการที่ 5.4

$$Vout = \frac{It}{C} \qquad (5.4)$$

โดยที่ t= เวลา (วินาที)

Vout= แรงดันที่ตกคร่อมคาปาซิเตอร์ที่เวลาต่างๆ

I= กระแสที่ไหลผ่านคาปาซิเตอร์ที่เวลาใดๆ

C= คาปาซิเตอร์

แทนค่าต่างๆลงในสมการที่ 5.4 จะได้

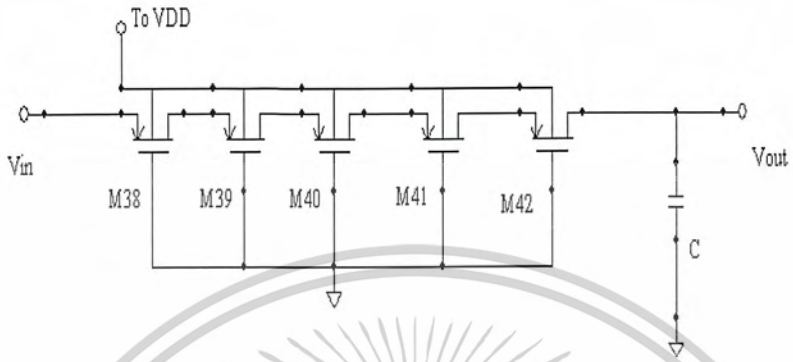
$$I = \frac{Vout \times C}{t} = \frac{2.979 \times 0.25Pf}{17uS} = 44\ nA$$

ที่เวลา t=17uS จะทำให้ Vin-Vout = 3- 2.979=0.021 V ซึ่งจะทำให้ทรานซิสเตอร์ M32-M37 ทำงานในย่านเชิงเส้นและแรงดัน V_{SD} ของมอสทรานซิสเตอร์ทุกตัวรวมกันจะต้องมีค่าเท่ากับหรือน้อยกว่า 0.021 V ดังนั้นกำหนดให้ V_{SD} ของทรานซิสเตอร์ทุกตัวมีค่าเท่ากับ (0.021/5)=0.0042 V เมื่อทราบค่ากระแสที่ไหลผ่านทรานซิสเตอร์ในย่านเชิงเส้นและแรงดัน V_{SD} ก็จะสามารถคำนวณหาขนาด W/L ของทรานซิสเตอร์ M38-M42 ดังนี้

- คำนวณหาขนาด W/L ของทรานซิสเตอร์ M38

$$I = \mu_p C_{OX} \frac{W}{L}(V_{SG} - |V_{TP}|)V_{SD} \qquad (5.5)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.8 แสดงวงจรอินทริเกรเตอร์ภาคที่สองที่ใช้ในวงจรแยกข้อมูล

$$\frac{W}{L} = \frac{I}{\mu_p C_{OX}(V_{SG} - |V_{TP}|)V_{SD}}$$

$$\frac{W}{L} = \frac{44nA}{35\frac{uA}{v^2} \times (3 - 0.628) \times 0.0042}$$

$$= 0.126$$

เลือกใช้ $(W/L)_{32} = 1.2/10$

ซึ่งค่า W/L ที่ได้นี้จะทำให้ได้ค่า $R_{ON} = \frac{1}{\mu_p C_{OX} \frac{W}{L} \times (V_{SG} - |V_{TP}|}$ = 100.4 KΩ

- คำนวณหาขนาด W/L ของทรานซิสเตอร์ M39

V_{SG} ของทรานซิสเตอร์ M33 มีค่าเท่ากับ Vin-V_{SD}=3-0.0042= 2.9958 V

$$I = \mu_p C_{OX} \frac{W}{L}(V_{SG} - |V_{TP}|)V_{SD}$$

$$\frac{W}{L} = \frac{I}{\mu_p C_{OX}(V_{SG} - |V_{TP}|)V_{SD}}$$

$$\frac{W}{L} = \frac{44nA}{35\frac{uA}{V \times V} \times (2.9958 - 0.628) \times 0.0042}$$

$$= 0.126$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เลือกใช้ $(W/L)_{33}$= 1.2/10

ซึ่งค่า W/L ที่ได้นี้จะทำให้ได้ค่า $R_{ON}= \frac{1}{\mu_p C_{OX} \frac{W}{L} \times (V_{SG} - |V_{TP}|)} = 100.5\ K\Omega$

- คำนวณหาขนาด W/L ของทรานซิสเตอร์ M40

V_{SG} ของทรานซิสเตอร์ M33 มีค่าเท่ากับ Vin-V_{SD}=3-(0.0084)= 2.9916 V

$$I = \mu_p C_{OX} \frac{W}{L} (V_{SG} - |V_{TP}|) V_{SD}$$

$$\frac{W}{L} = \frac{I}{\mu_p C_{OX} (V_{SG} - |V_{TP}|) V_{SD}}$$

$$\frac{W}{L} = \frac{44nA}{35\frac{uA}{v^2} \times (2.9916 - 0.628) \times 0.0042}$$

$$= 0.1266$$

เลือกใช้ $(W/L)_{33}$= 1.2/10

ซึ่งค่า W/L ที่ได้นี้จะทำให้ได้ค่า $R_{ON}= \frac{1}{\mu_p C_{OX} \frac{W}{L} \times (V_{SG} - |V_{TP}|)} = 100.7\ K\Omega$

- คำนวณหาขนาด W/L ของทรานซิสเตอร์ M41

V_{SG} ของทรานซิสเตอร์ M33 มีค่าเท่ากับ Vin-V_{SD}=3-0.0126= 2.9874 V

$$I = \mu_p C_{OX} \frac{W}{L} (V_{SG} - |V_{TP}|) V_{SD}$$

$$\frac{W}{L} = \frac{I}{\mu_p C_{OX} (V_{SG} - |V_{TP}|) V_{SD}}$$

$$\frac{W}{L} = \frac{44nA}{35\frac{uA}{v^2} \times (2.9874 - 0.628) \times 0.0042}$$

$$= 0.127$$

เลือกใช้ $(W/L)_{33}$= 1.2/10

ซึ่งค่า W/L ที่ได้นี้จะทำให้ได้ค่า $R_{ON}= \frac{1}{\mu_p C_{OX} \frac{W}{L} \times (V_{SG} - |V_{TP}|)} = 100.9\ K\Omega$

- คำนวณหาขนาด W/L ของทรานซิสเตอร์ M42

V_{SG} ของทรานซิสเตอร์ M33 มีค่าเท่ากับ Vin-V_{SD}=3-0.0168= 2.9832 V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$I = \mu_p C_{OX} \frac{W}{L}(V_{SG} - |V_{TP}|)V_{SD}$$

$$\frac{W}{L} = \frac{I}{\mu_p C_{OX}(V_{SG} - |V_{TP}|)V_{SD}}$$

$$\frac{W}{L} = \frac{44nA}{35\frac{uA}{v^2} \times (2.9832 - 0.628) \times 0.0042}$$

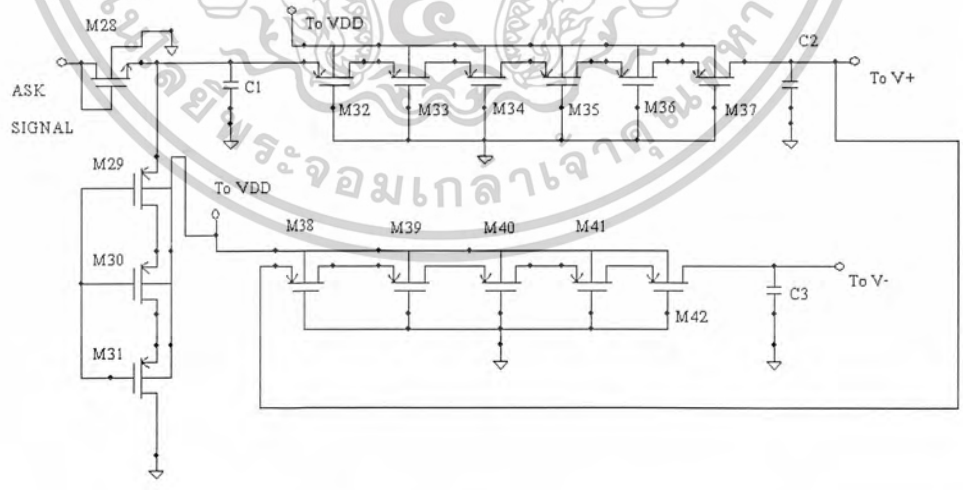
$$= 0.127$$

เลือกใช้ $(W/L)_{33} = 1.2/10$

ซึ่งค่า W/L ที่ได้นี้จะทำให้ได้ค่า $R_{ON} = \frac{1}{\mu_p C_{OX} \frac{W}{L} \times (V_{SG} - |V_{TP}|)} = 101\ K\Omega$

เพราะฉะนั้นจะทำให้ได้ ค่าความต้านทานรวมเท่ากับ 503.5 $K\Omega$

อย่างไรก็ตามค่าความต้านทานที่ได้นี้จะไม่คงที่แต่จะเปลี่ยนแปลงตามสัญญาณ Vin ที่เข้ามาคือถ้าระดับแรงดัน Vin มีค่าน้อยก็จะทำให้ความต้านทานที่เกิดจากการทำงานของมอสทรานซิสเตอร์มีค่ามากขึ้นนอกจากนี้ค่าความต้านทานที่ได้ยังขึ้นอยู่กับระดับแรงดันที่เกิดจากการชาร์จประจุของคาปาซิเตอร์ด้วย จากวงจรเอ็นเวลโลปดีเทคเตอร์และวงจรอินทริเกรเตอร์สามารถแสดงให้เห็นในรูปที่ 5.10 และขนาด W/L ของทรานซิสเตอร์ที่ใช้ในวงจรจะแสดงให้เห็นในตารางที่ 5.2



รูปที่ 5.9 แสดงวงจรเอ็นเวลโลปดีเทคเตอร์และวงจรอินทริเกรเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูป 5.9 เอาทพุทของวงจรอินทริเกรเตอร์ภาคแรกจะถูกนำไปต่อกับขาบวกของคอมพาราเตอร์ด้วยฮีสเตอรีซีสและเอาท์พุทของวงจรอินทริเกรเตอร์ภาคที่สองจะถูกนำไปต่อกับขาลบของคอมพาราเตอร์ด้วยฮีสเตอรีซีสเพื่อทำการเปรียบเทียบระดับแรงดันที่ได้จากวงจรอินทริเกรเตอร์ทั้งสองวงจรซึ่งความแตกต่างของระดับแรงดันที่ได้จากวงจรอินทริเกรเตอร์ทั้งสองเมื่อทำการเปรียบเทียบด้วยคอมพาราเตอร์ด้วยฮีสเตอรีซีสจะทำให้ข้อมูลดิจิตอลที่ต้องการ

ตารางที่ 5.2 แสดงขนาด W/L ของทรานซิสเตอร์ที่ใช้ในวงจรเอ็นเวลโลปดีเทคเตอร์และวงจรอินทริ-เกรเตอร์

ทรานซิสเตอร์	ขนาด W/L(um)
M28	1.2/20
M29	1.2/5
M30	1.2/5
M31	1.2/5
M32	1.2/5
M33	1.2/5
M34	1.2/5
M35	1.2/5
M36	1.2/5
M37	1.2/5
M38	1.2/10
M39	1.2/10
M40	1.2/10
M41	1.2/10
M42	1.2/10

5.1.2.4 ขั้นตอนการออกแบบวงจรไบอัส

จากวงจรคอมพาราเตอด้วยฮีสเตอรีซีสในรูปที่ 5.3 จะเห็นว่าคอมพาราเตอร์ด้วยฮีสเตอรีซีสจะต้องได้รับการป้อนกระแสไฟตรงจากแหล่งอื่นเพื่อให้วงจรสามารถทำงานได้ซึ่งจรสร้างกระแสอ้าง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

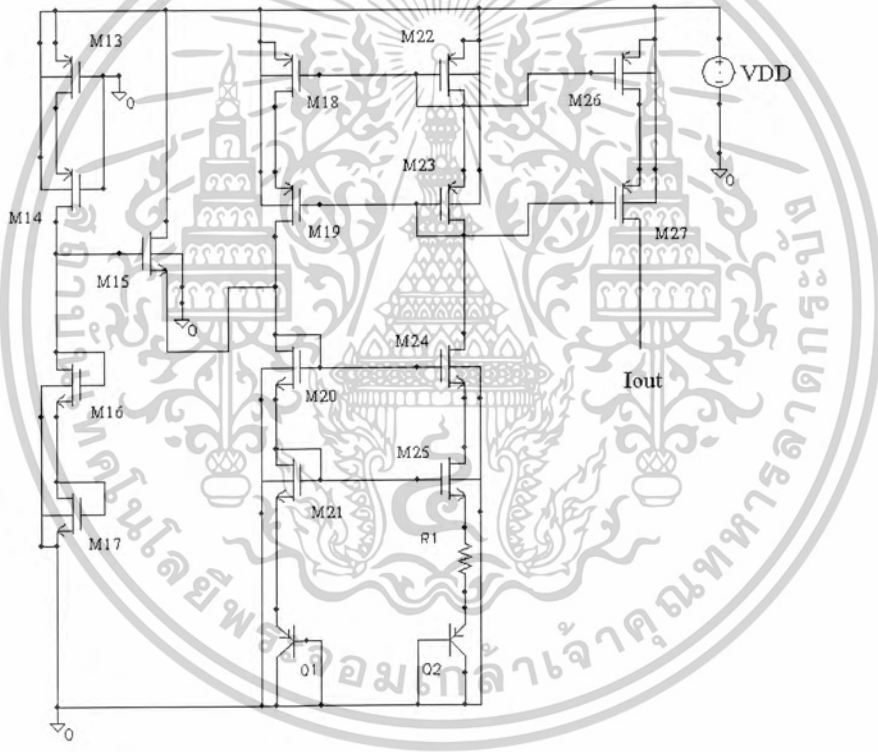
อิงนี้แสดงให้เห็นในรูปที่ 5.10 ซึ่งเป็นวงจรสร้างกระแสอ้างอิงโดยใช้ Thermal Voltage โดยทรานซิสเตอร์ M21-M25 มีหน้าที่ในการควบคุมกระแสให้ไหลผ่านทรานซิสเตอร์ Q_1และ Q_2 มีค่าเท่ากัน โดยขนาดพื้นที่อิมิตเตอร์ของทรานซิสเตอร์ Q_2 จะมีค่ามากกว่าขนาดอิมิตเตอร์ของทรานซิสเตอร์ Q_1 อยู่ n เท่าและจากวงจรจะได้

$$V_{BE1}=IR+V_{BE2} \qquad (5.6)$$

ทำให้ได้ $IR=V_{BE1}-V_{BE2}= V_T \ln n$; $V_T=KT/Q=26$ Mv

เพื่อให้ได้กระแส Iout = 5 uA ดังนั้นกำหนด I=5 uA และ n = 8

จะได้ R= 10.8 KΩ



รูปที่ 5.10 แสดงวงจรสร้างกระแสอ้างอิง

สำหรับทรานซิสเตอร์ M20,M21,M24 และ M25 กำหนดให้แรงดัน V_{GS}=0.77 V จะได้

$$\frac{W}{L}=\frac{I\times 2}{\mu_n C_{OX}\times(V_{GS}-V_{TN})^2}=3.33$$

เลือกใช้ $(W/L)_{20,21,24,25}$=7/2

สำหรับทราซิสเตอร์ M18,M19,M22 และ M23 กำหนดให้แรงดัน V_{GS}=0.85 V จะได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\frac{W}{L} = \frac{I \times 2}{\mu_p C_{OX} \times (V_{GS}\text{-}V_{TP})^2} = 6$$

เลือกใช้ $(W/L)_{18,19,22,23}$=12/2

สำหรับทรานซิสเตอร์ M13-M17 เป็นวงจร Strat Up มีหน้าที่จ่ายกระแสให้กับวงจรสร้างกระแสอ้างอิงในสภาวะเริ่มต้นที่ VDD มีค่าน้อยๆ สามารถออกแบบได้โดยกำหนดให้มีกระแสไหลผ่านทรานซิสเตอร์ M13,M14,M16 และ M17 เท่ากับ 2 uA จะทำให้ได้ $(W/L)_{16,17}$=1/2 และ $(W/L)_{13,14}$=1.2/25 ซึ่งทรานซิสเตอร์ M13 และ M14 จะทำงานในย่านเชิงเส้นเพื่อให้มีคุณสมบัติเป็นความต้านทาน สำหรับ M15 เพื่อให้สามารถจ่ายกระแสให้กับวงจรสร้างกระแสอ้างอิงได้กำหนดให้ $(W/L)_{15}$=6/1 เพราะฉะนั้นขนาด W/L ของทรานซิสเตอร์ที่ใช้สร้างกระแสอ้างอิงมีค่าตามตารางที่ 5.3

ตารางที่ 5.3 แสดงขนาด W/Lของทรานซิสเตอร์ของวงจรสร้างกระแสอ้างอิง

ทรานซิสเตอร์	ขนาด W/L (um)
M13	2/25
M14	2/25
M15	6/1
M16	2/4
M17	2/4
M18	12/2
M19	12/2
M20	7/2
M21	7/2
M22	12/2
M23	12/2
M24	7/2
M25	7/2
M26	12/2
M27	12/2

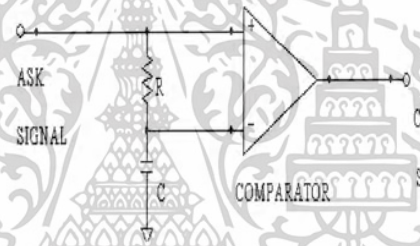
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.2 แนวคิดและขั้นตอนการออกแบบวงจรกู้สัญญาณนาฬิกา

วงจรกู้สัญญาณนาฬิกาจะประกอบด้วยวงจรเลื่อนเฟสและวงจรคอมพาราเตอร์ด้วยฮีสเตอรีซีสซึ่งวงจรคอมพาราเตอร์ด้วยฮีสเตอรีซีสได้ออกแบบไปแล้วในหัวข้อที่ 5.1.2.1 ซึ่งวงจรกู้สัญญาณนาฬิกาจะใช้วงจรที่มีคุณสมบัติเช่นเดียวกับวงจรคอมพาราเตอร์ด้วยฮีสเตอรีซีสที่ได้ออกแบบในหัวข้อที่ 5.1.2.1 สำหรับแนวคิดในการออกแบบวงกู้สัญญาณนาฬิกานั้นจะเป็นไปตามรูปที่ 5.11 โดยวงจรเลื่อนเฟสจะประกอบด้วยความต้านและคาปาซิเตอร์ซึ่งมุมเฟสที่เหมาะสมของสัญญาณ ASK 10% ความถี่ 13.56 MHz ที่จะต้องเลื่อนไปคือ 17.4 องศา ดังนั้นกำหนดให้ คาปาซิเตอร์ C=1.5Pf จะได้

$$\theta = \tan^{-1}(1/2\pi fRC) \qquad (5.7)$$

จะได้ R=25 KΩ



รูปที่ 5.11 วงจรกู้สัญญาณนาฬิกา

นอกจากนี้แล้วยังอาจกล่าวได้ว่าวงจร RC ในรูปที่ 5.11 ก็คือวงจรอินทริเกรเตอร์ซึ่งหลักการในการออกแบบวงจรกู้สัญญาณนาฬิกาจะนำเอาระดับแรงดันของสัญญาณ ASK 10% เปรียบเทียบกับแรงดันที่ตกคร่อมคาปซิเตอร์ซึ่งจมีค่าเท่ากับ

$$V_C(t) = (1/C)\int_0^T i(t)dt$$

โดย $i(t) = (V_M \sin \omega t)/R$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.3 การออกแบบลวดลายวงจร (Layout)

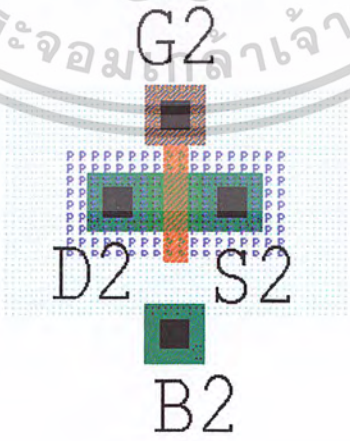
5.3.2 การออกแบบลวดลายวงจรอุปกรณ์พื้นฐานในวงจรแยกข้อมูลและวงจรกู้สัญญาณนาฬิกา

ในการออกแบบลวดลายวงจรโดยใช้โปรแกรม L-EDIT เราจำเป็นต้องยึดกฎของการออกแบบ (design rules) เป็นหลัก ซึ่งเทคโนโลยีที่ใช้ในการออกแบบนี้ เราได้ใช้เทคโนโลยีของบริษัท Acael 0.5u มีอุปกรณ์ที่สำคัญในการออกแบบวงจรแยกข้อมูลและวงจรกู้สัญญาณนาฬิกาดังนี้

5.3.2.1 การออกแบบลวดลายของ MOSFET

ลักษณะการเขียนลวดลายของ MOSFET ในเทคโนโลยีของบริษัท ขนาดของความกว้างและความยาวของช่องทางเดินกระแสต้องมีขนาดไม่ต่ำกว่าที่ทางบริษัท Alcatel กำหนด ($W \geq 1.2$ um และ $L \geq 0.5$ um) ดังรูปที่ 5.12

รูปที่ 5.12 ลวดลาย NMOS โดยใช้เทคโนโลยีของ Acatel

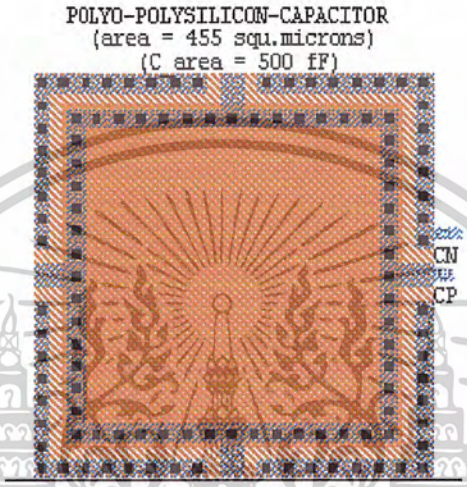


รูปที่ 5.13 ลวดลาย PMOS โดยใช้เทคโนโลยีของ Alcatel

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.3.2.2 การออกแบบลวดลายของ Capacitor

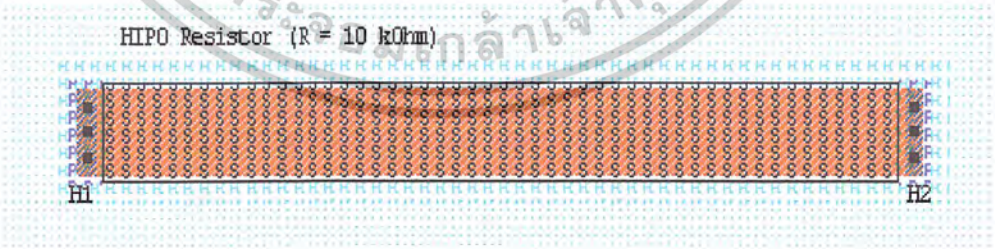
ในการออกแบบลวดลายของ Capacitor จะใช้การแบบที่มี Poly กับ Polysilicon วางในลักษณะขนานกัน โดยที่ค่าความจุไฟฟ้าของ Capacitor ชนิดนี้จะทำการปรับเปลี่ยนได้ด้วยการกำหนดขนาดความกว้างและความยาวของ Poly กับ Polysilicon ดังแสดงในรูปที่ 5.14



รูปที่ 5.14 ลวดลาย Capacitor โดยใช้เทคโนโลยีของ Alcatel

5.3.1.3 การออกแบบลวดลายของ Resister

จากการออกแบบในวงจรเราจต้องใช้ค่าความต้านทานสูง จึงเลือกใช้ ลวดลายที่ใช้ HIPO เป็น salicided ซึ่งจะได้ลวดลายดังรูปที่ 5.15

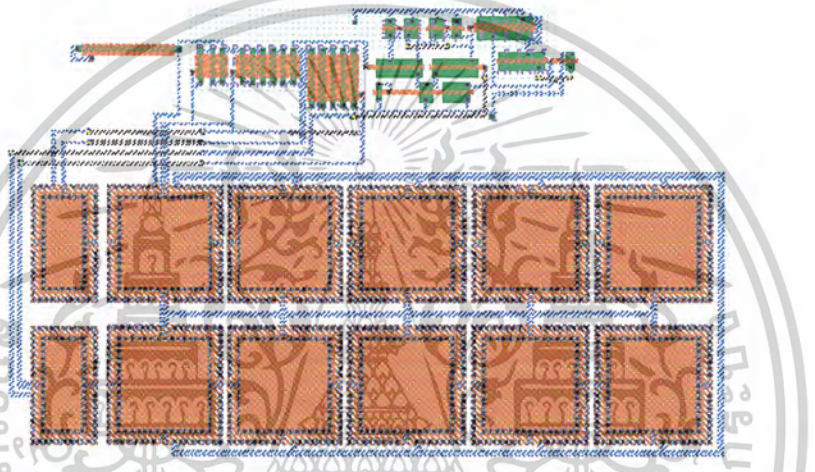


รูปที่ 5.15 แสดงลวดลายของตัวต้านทาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.3.2 การออกแบบลวดลายวงจรแยกข้อมูล

จากวงจรแยกข้อมูลในรูปที่ 5.3 เมื่อทำการออกแบบลวดลายวงจรแยกข้อมูลจะมีลักษณะดังรูป ซึ่งลวดลายวงจรที่ออกแบบนี้ยังไม่ได้รวมในส่วนของวงจรกระแสอ้างอิง ซึ่งในการออกแบบลวดลายวงจรจะประกอบด้วย มอสทรานซิสเตอร์ชนิดเอ็นและพี และมีคาปาซิเตอร์ ซึ่งในการเลือกใช้ชนิดของคาปาซิเตอร์จะใช้คาปาซิเตอร์แบบ poly to poly ดังรูปที่ 5.14เนื่องจากสามารถสร้างได้ง่ายกว่าและมีค่าสูง มีความผิดพลาดน้อยกว่า และสิ้นเปลืองพลังงานน้อย

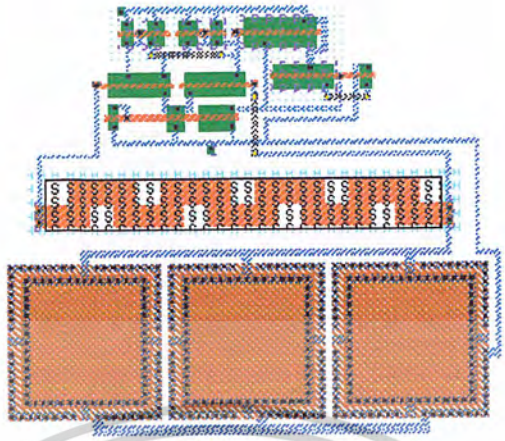


รูปที่ 5.16 แสดงลวดลายวงจรแยกข้อมูล

5.3.3 การออกแบบลวดลายวงจรกู้สัญญาณนาฬิกา

จากวงจรกู้สัญญาณนาฬิกาในรูปที่ 5.11 เมื่อทำการออกแบบลวดลายวงจรกู้สัญญาณนาฬิกาจะมีลักษณะดังรูป ซึ่งลวดลายวงจรที่ออกแบบนี้ยังไม่ได้รวมในส่วนของวงจรกระแสอ้างอิง ในการออกแบบบลวดลายวงจรจะใช้คาปาซิเตอร์แบบ poly to poly ตามการสร้างลวดลายแบบวงจรแยกข้อมูล และในการสร้างรีซิสเตอร์จะใช้ HIPO เป็น salicided ซึ่งจะให้ค่าความต้านทานสูง แลยังใช้เทคนิคในการออกแบบเพื่อเพิ่มพื้นที่แต่ขนาดของรีซิสเตอร์มีขนาดเล็กด้วย

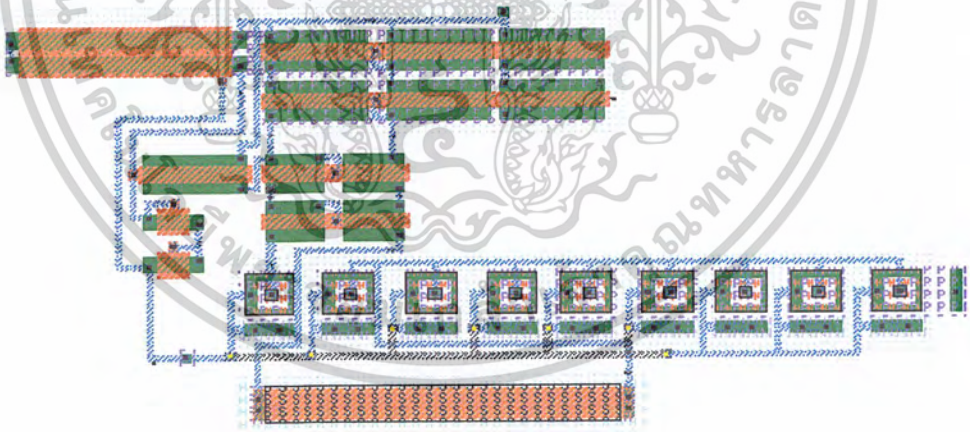
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่5.17แสดงลวดลายวงจรกู้สัญญาณนาฬิกา

5.3.4 การออกแบบลวดลายวงจรสร้างกระแสอ้างอิง

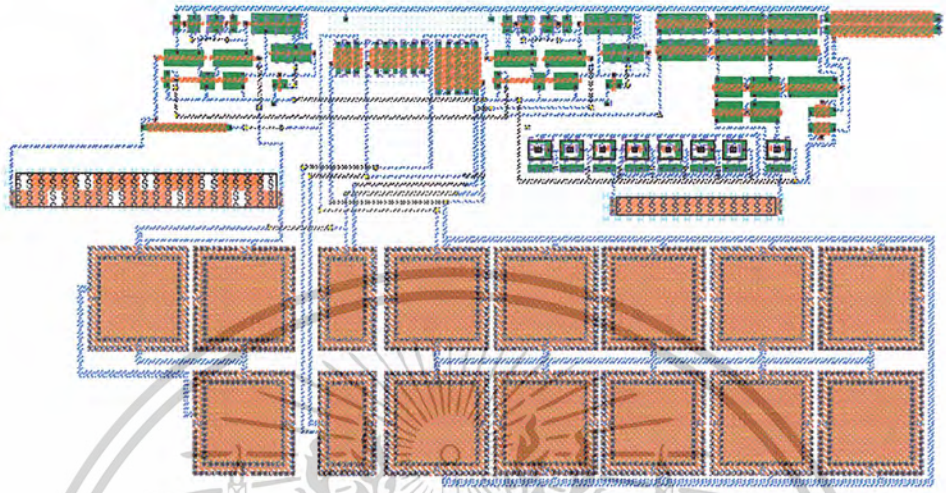
จากวงจรสร้างกระแสอ้างอิงในรูปที่ 5.10 เมื่อทำการออกแบบลวดลายวงจรสร้างกระแสอ้างอิงจะมีลักษณะดังรูป ในการเลือกใช้รูปแบบของคาปาซิเตอร์และรีซิสเตอร์เป็นไปตามการออกแบบวงจรแยกข้อมูลและวงจรกู้สัญญาณนาฬิกา



รูปที่ 5.18 แสดงลวดลายวงจรสร้างกระแสอ้างอิง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.3.4 ลวดลายวงจรทั้งหมด



รูปที่ 5.19 แสดงลวดลายวงจรทั้งหมด

จากรูปที่ 5.19 วงจรทั้งหมดจะใช้พื้นที่ 27,004.7 ตารางไมคอน ทางด้านกว้างเท่ากับ 116.5 ไม-คอน ยาว 231.8 ไมคอน กำลังงานไฟฟ้าสูญเสียเท่ากับ 603 uW

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 6

ผลการทดลอง

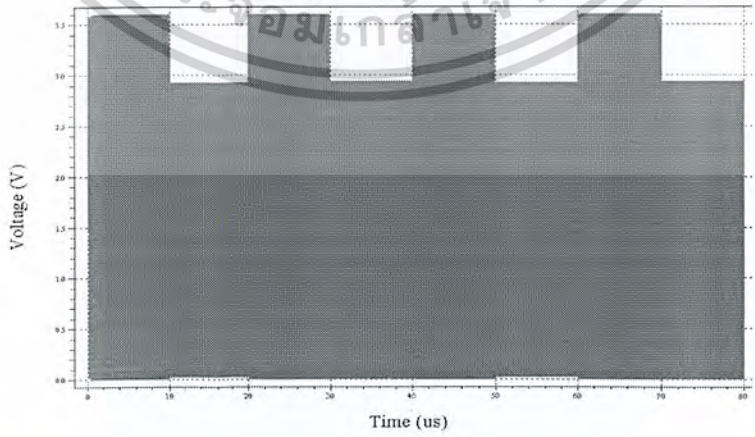
การจำลองการทำงานของวงจรที่ทำการออกแบบทั้งวงจรแยกข้อมูลและวงจรกู้สัญญาณนาฬิกาจะใช้โปรแกรม HSPICE โดยผลการจำลองการทำงานของวงจรจะแยกเป็นสองส่วนได้แก่ การจำลองการทำงานของวงจรที่ทำการออกแบบโดยตรงและการจำลองการทำงานของวงจรที่ได้จากการออกแบบลวดลายซึ่งการออกแบบลวดลายจะใช้โปรแกรม L-EDIT และเนื่องจากสัญญาณ ASK 10% ที่เป็นอินพุทของวงจรแยกข้อมูลและวงจรกู้สัญญาณนาฬิกาเป็นสัญญาณที่ถูกลดระดับความแรงของสัญญาณด้วยวงจร RF Limiter ซึ่งปกติควรมีค่าไม่เกิน 10 V แต่อย่างไรก็ตามระดับความแรงของสัญญาณ ASK 10% นี้ก็ยังมีค่าเปลี่ยนแปลงดังนั้นในการจำลองการทำงานของวงจรแยกข้อมูลและวงจรกู้สัญญาณนาฬิกาจะทดสอบการทำงานของวงจรที่ระดับความแรงของสัญญาณ ASK 10% ค่าต่างๆ

6.1 ผลการจำลองการทำงานของวงจรแยกข้อมูลและวงจรกู้สัญญาณนาฬิกา

6.1.1 ผลการจำลองการทำงานของวงจรแยกข้อมูล

จากการจำลองการทำงานของวงจรแยกข้อมูลจะพบว่าวงจรแยกข้อมูลสามารถแยกข้อมูลดิจิตอลออกจากสัญญาณพาห์ที่ระดับความแรงของสัญญาณ 3.6V-10V(ค่าแรงดันนี้คือค่าแรงดันของสัญญาณพาห์ที่แทนข้อมูลดิจิตอลลอจิก “1”) ดังนั้นการแสดงผลการทำงานของวงจรจะแสดงผลการแยกข้อมูลที่ระดับแรงดันของสัญญาณพาห์ 3.6V,7V และ 10 V เท่านั้น

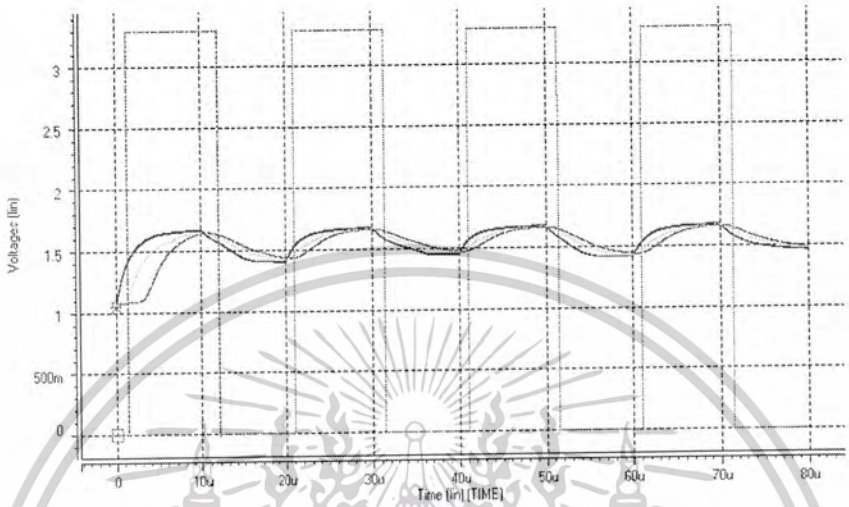
- แสดงผลการทำงานของวงจรแยกข้อมูลที่ระดับความแรงสัญญาณ 3.6 V



รูปที่ 6.1 แสดงสัญญาณอินพุท ASK 10% ซีกบวก

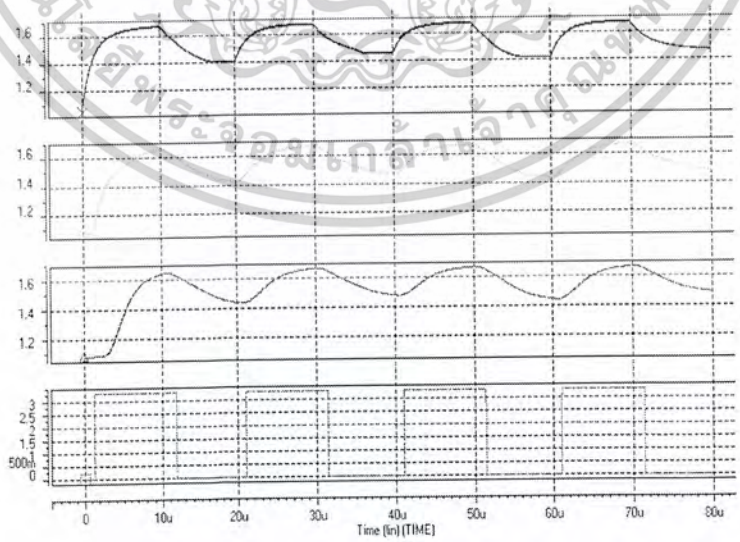
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 6.1 แสดงสัญญาณ ASK 10% ที่มีระดับแรงดันของสัญญาณคลื่นพาห์ที่แทนข้อมูลดิจิตอลลอจิก “1” มีค่าเท่ากับ 3.6 V ซึ่งสัญญาณนี้จะใช้เป็นอินพุทให้กับวงจรแยกข้อมูล



รูปที่ 6.2 แสดงสัญญาณต่างๆที่เกิดจากการทำงานของวงจรแยกข้อมูล

จากรูปที่ 6.2 เป็นการแสดงสัญญาณต่างๆที่เกิดจากการทำงานของวงจรแยกข้อมูลซึ่งจะประกอบด้วยสัญญาณข้อมูลดิจิตอล,สัญญาณจากวงจรเอ็นเวลโลปดีเทคเตอร์และสัญญาณจากวงจรอินทริเกรเตอร์ทั้งสองภาคซึ่งสัญญาณต่างๆสามารถแยกให้เห็นอย่างชัดเจนตามรูปที่ 6.3

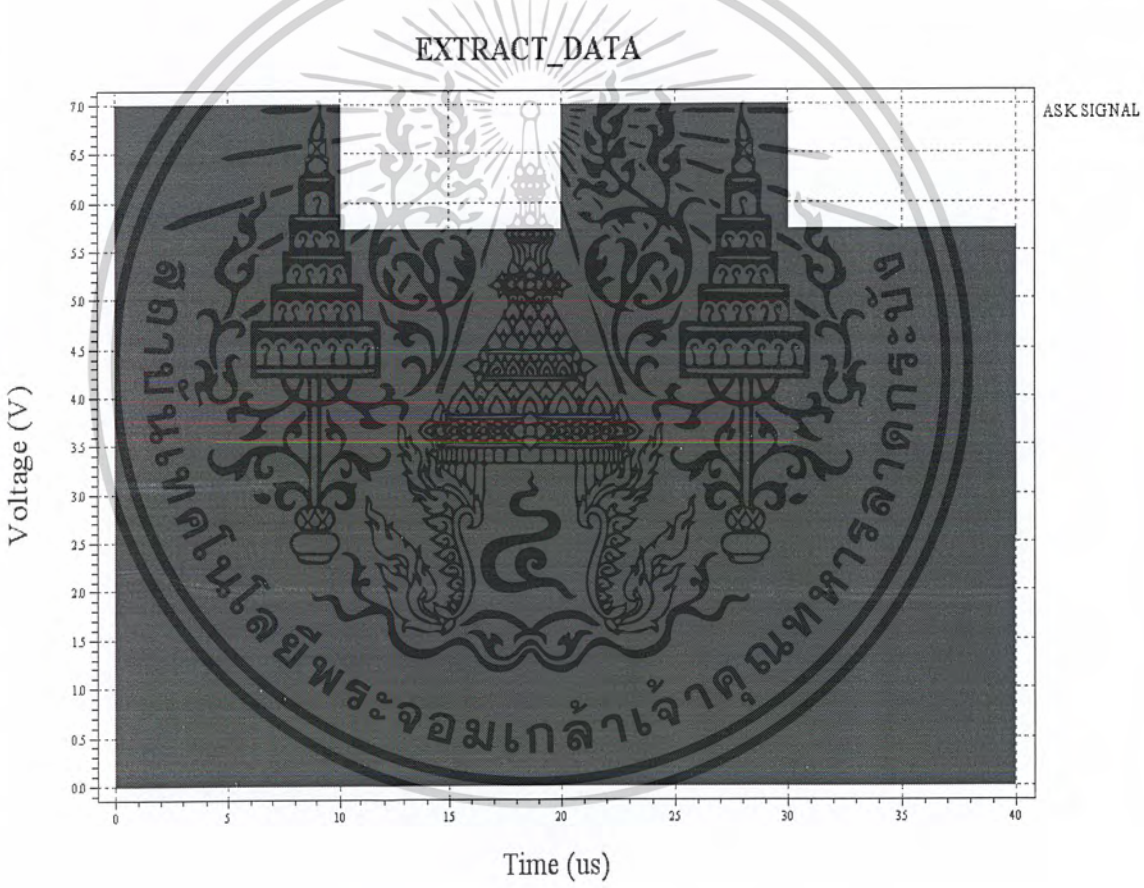


รูปที่ 6.3 แสดงการเปรียบเทียบสัญญาณต่างๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

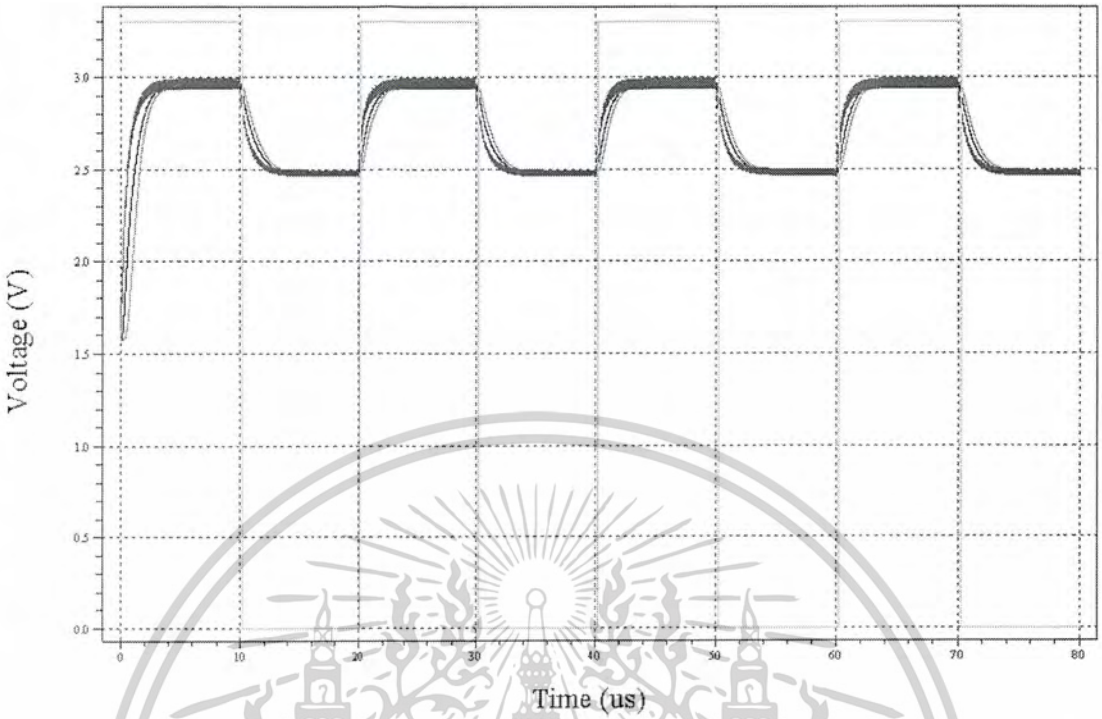
จากรูปที่ 6.3 จะเห็นว่าสัญญาณรูปบนสุดคือสัญญาณที่ได้จากวงจรเอ็นเวลโลปดีเทคเตอร์ สัญญาณรูปที่ถัดลงมาคือสัญญาณที่ได้จากวงอินทริเกรเตอร์ภาคแรกซึ่งใช้ในการเฉลี่ยระดับแรงดันที่ได้จากวงจรเอ็นเวลโลปดีเทคเตอร์ ส่วนสัญญาณถัดลงมาคือสัญญาณที่ได้จากวงอินทริเกรเตอร์ภาคที่สองซึ่งใช้ในการเฉลี่ยระดับแรงดันของสัญญาณที่ได้จากวงจรอินทริเกรเตอร์ภาคแรกแล้ว สัญญาณทั้งสองนี้จะถูกนำไปเปรียบเทียบความแตกต่างด้วยวงจรคอมพาราเตอร์ด้วยฮีสเตอรีซีส และสัญญาณรูปล่างสุดคือข้อมูลดิจิตอลที่เกิดจากการแยกข้อมูลออกจากสัญญาณพาห์ด้วยวงจรแยกข้อมูล

- **แสดงผลการทำงานของวงจรแยกข้อมูลที่ระดับความแรงสัญญาณ 7 V**

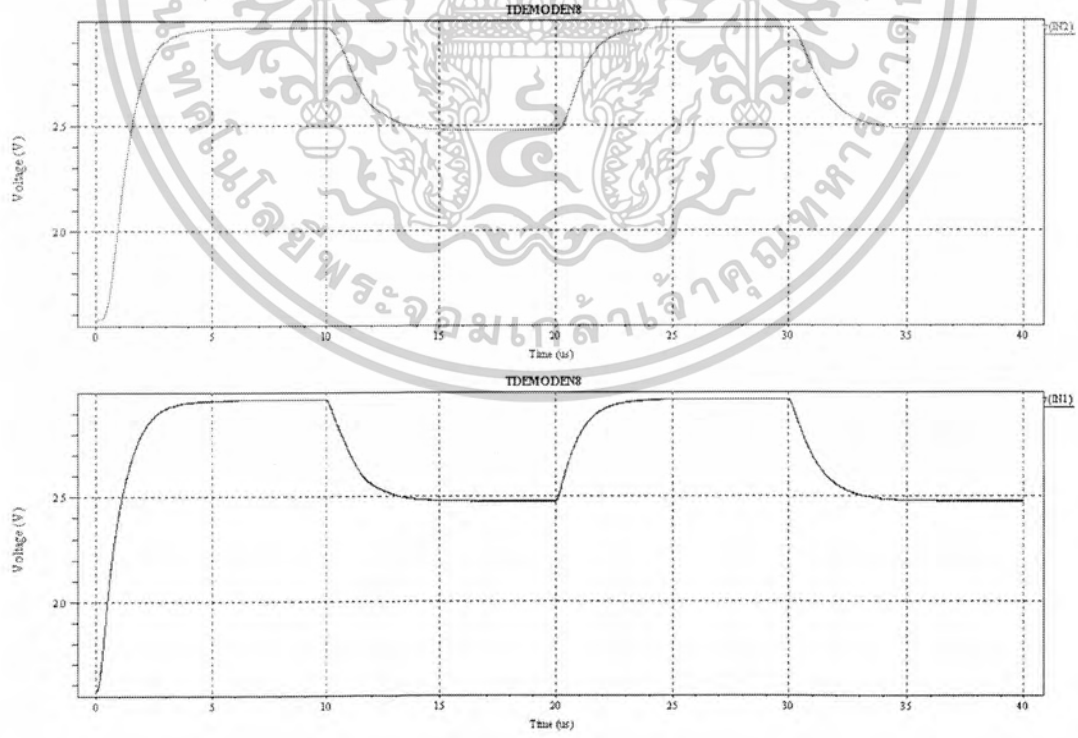


รูปที่ 6.4 แสดงสัญญาณอินพุท ASK 10% ซีกบวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



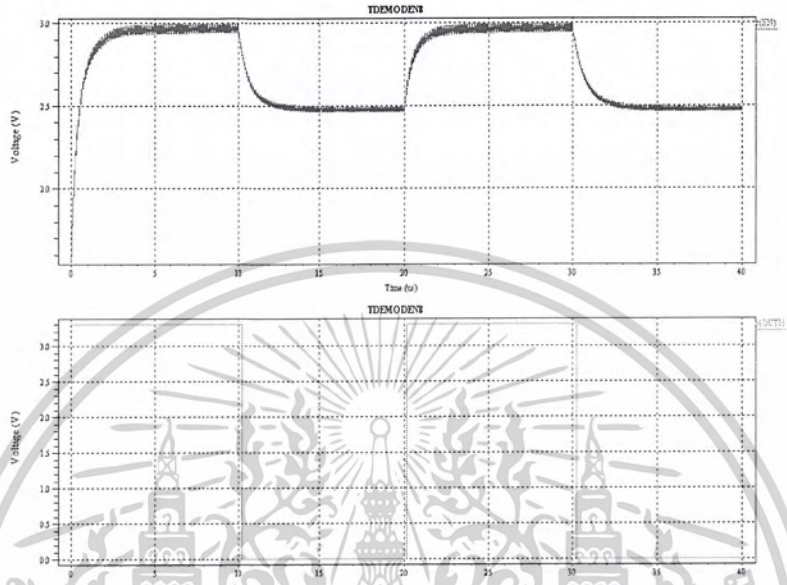
รูปที่ 6.5 แสดงสัญญาณต่างๆที่เกิดจากการทำงานของวงจรแยกข้อมูล



รูปที่ 6.6 ก แสดงความแตกต่างของสัญญาณที่ได้จากวงจรอินทริเกรเตอร์ภาคแรกและภาคที่สอง

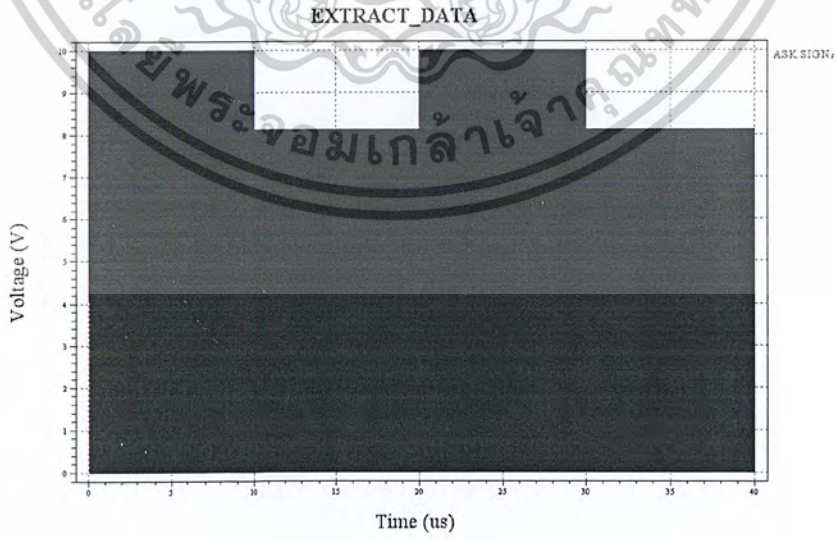
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 6.6ก รูปบนค่าเฉลี่ยของแรงดันของรูปที่ 6ก ล่างซึ่งระดับแรงดันของสัญญาณทั้งสองจะถูกนำมาเปรียบเทียบกันด้วยวงจรคอมพาราเตอร์ด้วยฮีสเตอรีซีส



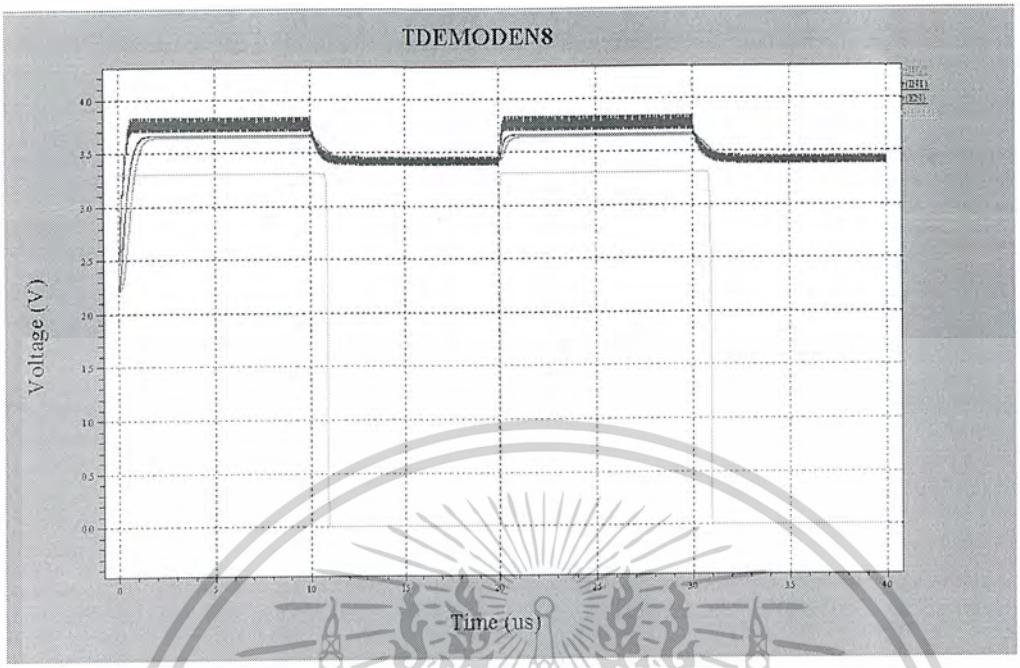
รูปที่ 6.6ข แสดงการเปรียบเทียบข้อมูลดิจิตอลและ สัญญาณที่ได้จากวงจรเอ็นเว็ลโลปดีเทคเตอร์

- **แสดงผลการทำงานของวงจรแยกข้อมูลที่ระดับความแรงสัญญาณ 10 V**

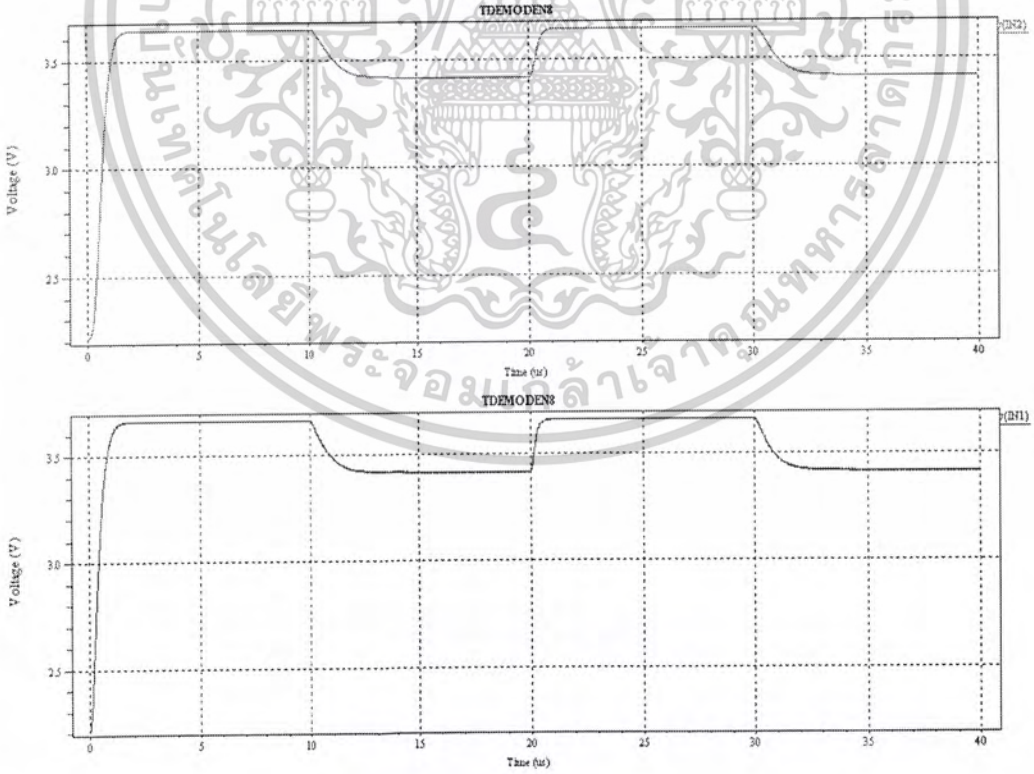


รูปที่ 6.7 แสดงสัญญาณอินพุท ASK 10% ซีกบวก 10V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

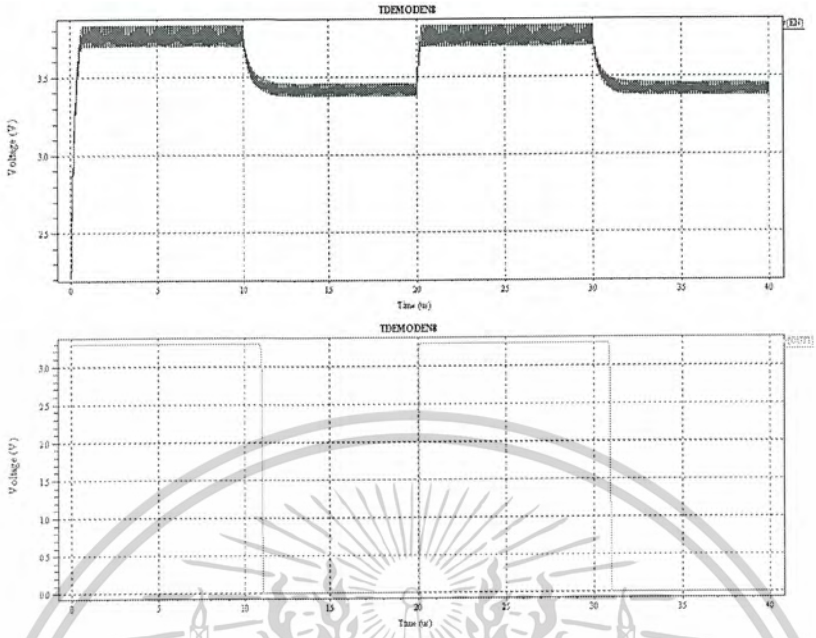


รูปที่.6.8 สัญญาณต่างๆที่เกิดจากการทำงานของวงจรแยกข้อมูล



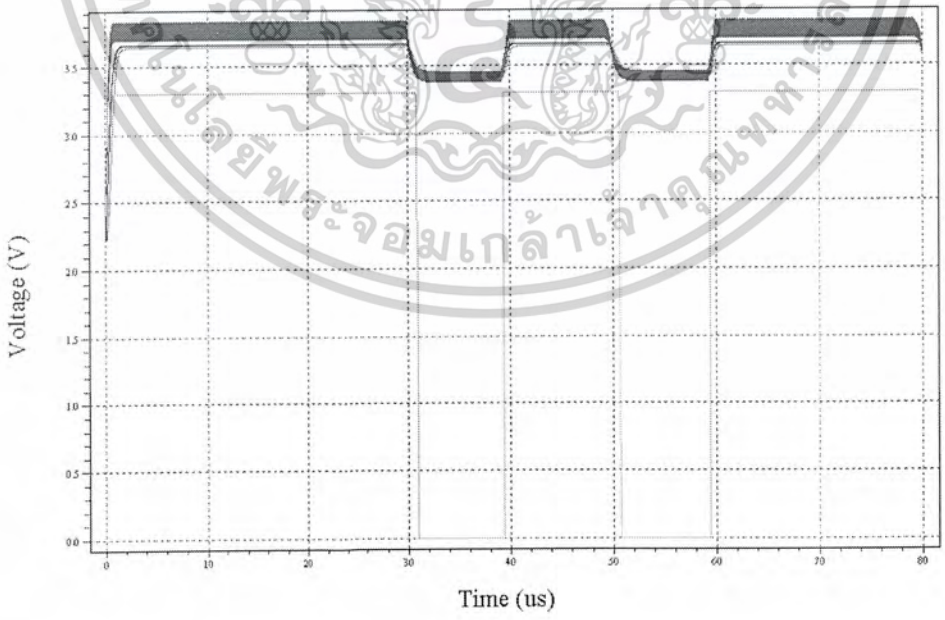
รูปที่ 6.9 ก แสดงความแตกต่างของสัญญาณที่ได้จากวงจรอินทริเกรเตอร์ภาคแรกและภาคที่สอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 6.9ข แสดงการเปรียบเทียบข้อมูลดิจิตอลและ สัญญาณที่ได้จากวงจรเอ็นเว็ล โลปดีเทคเตอร์

6.1.1 ผลการจำลองการทำงานของวงจรแยกข้อมูลเมื่อข้อมูลที่อินพุทเป็น 11101011

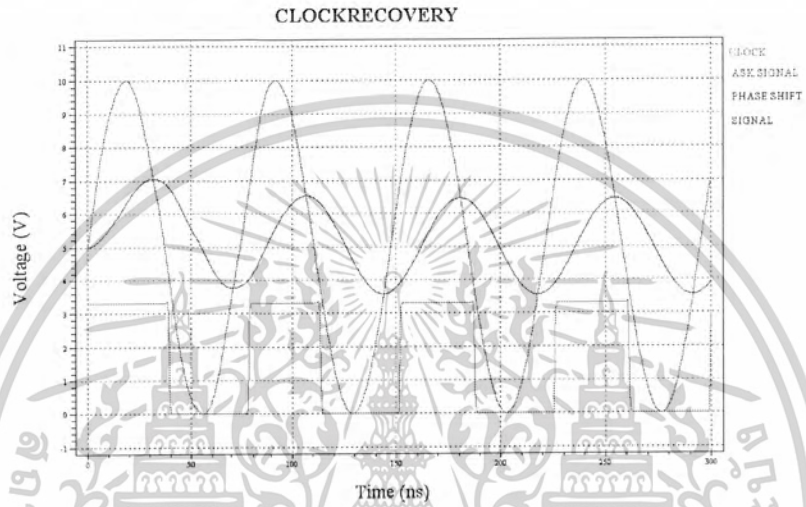


รูปที่ 6.10 แสดงผลการทำงานของวงจรแยกข้อมูลเมื่อมีอินพุทเป็น 11101011

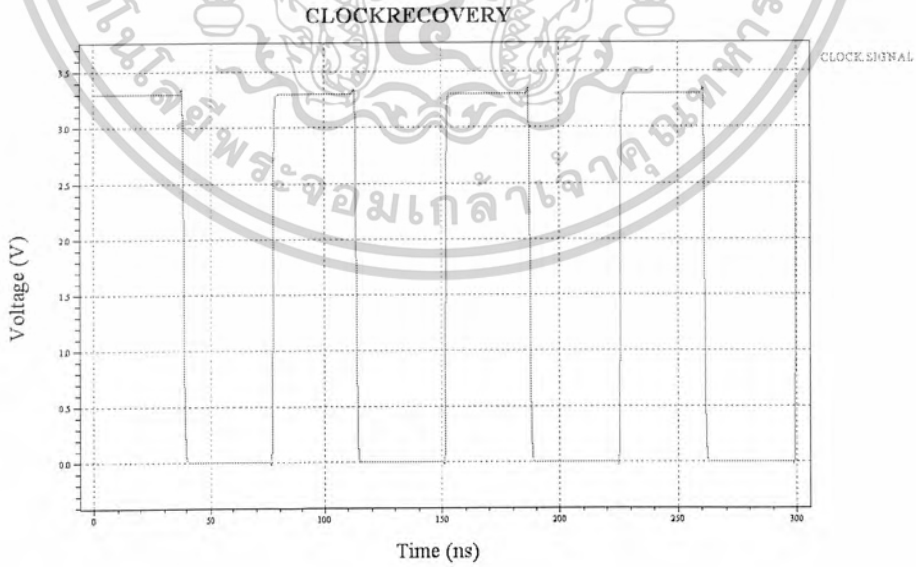
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6.1.2ผลการจำลองการทำงานของวงจรกู้สัญญาณนาฬิกา

ผลจากการทำงานของวงจรกู้สัญญาณนาฬิกาซึ่ง มีจุดประสงค์เพื่อให้สัญญาณนาฬิกาที่ได้มีค่า duty cycle เท่ากับ 50%แต่จะได้ค่าของ duty cycle ประมาณ 47% ซึ่งจะมีรูปสัญญาณดังแสดงต่อไปนี้



รูปที่6.10 แสดงสัญญาณที่เกิดจากการทำงานของวงจรกู้สัญญาณนาฬิกา

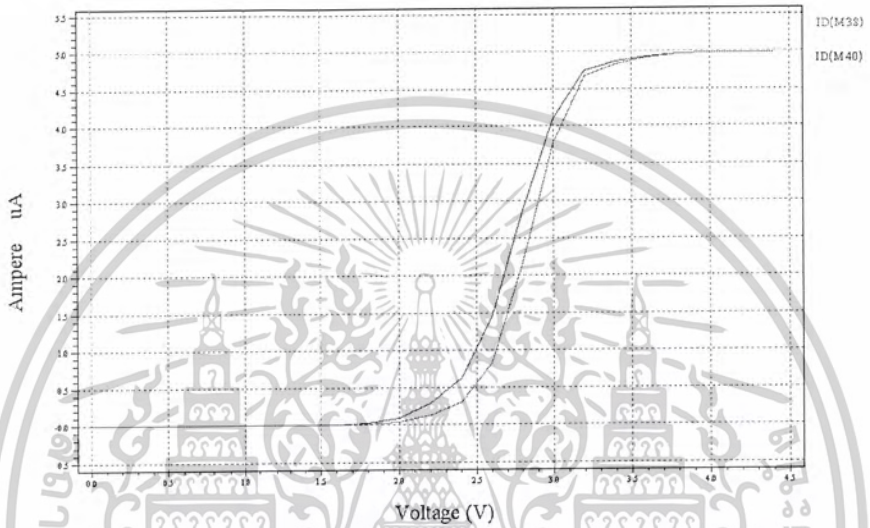


รูปที่6.11 แสดงสัญญาณนาฬิกา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากการออกแบบวงจรจะมีส่วนของวงจรไบอัสกระแสเป็นส่วนประกอบ ซึ่งวงจรที่ใช้เป็นกรแสไบอัสนั้น ได้ออกแบบโดยการใช้วงจร ซึ่งได้ทำการแยกจำลองการทำงานของวงจรในส่วนนี้ จากผลของการจำลองการทำงานของวงจรได้รูปสัญญาณในหัวข้อถัดไป

6.1.3 ผลจากการจำลองการทำงานของวงไบอัส



รูปที่ 6.12 แสดงค่ากระแสที่จะไหลผ่านทรานซิสเตอร์ M21 และ M25

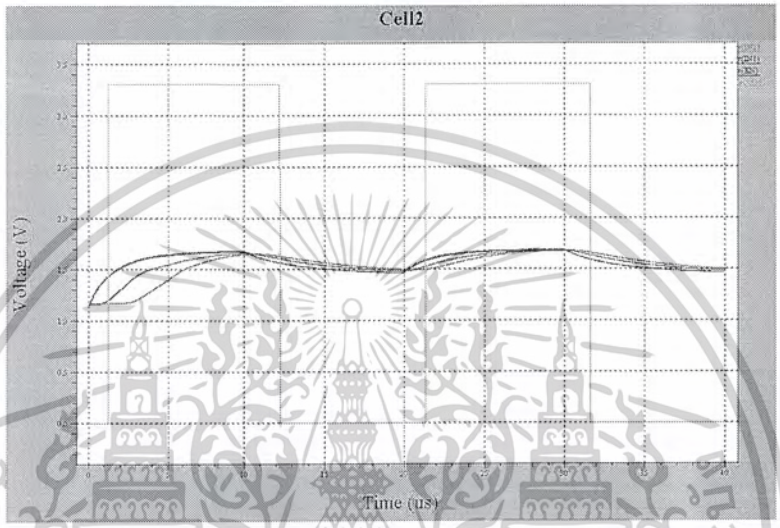
จากการจำลองการทำงานของวงจรสร้างกระแสอ้างอิงที่ใช้เป็นไบอัสให้กับคอมพาราเตอร์ โดยวิเคราะห์การทำงานโดยทำการ SWEEP แรงดัน VDD และเมื่อแรงดัน VDD เพิ่มขึ้นถึงค่าๆนึง จะทำให้กระแสที่ไหลผ่านทรานซิสเตอร์ M21 และ M25 มีค่าเท่ากันและจะสามารถจ่ายเป็นไบอัสให้กับวงจรคอมพาราเตอร์ด้วยฮีสเตอรีซีสได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6.2 ผลการจำลองการทำงานของวงจรแยกข้อมูลและวงจรกู้สัญญาณนาฬิกาที่ได้จากการออกแบบลวดลาย

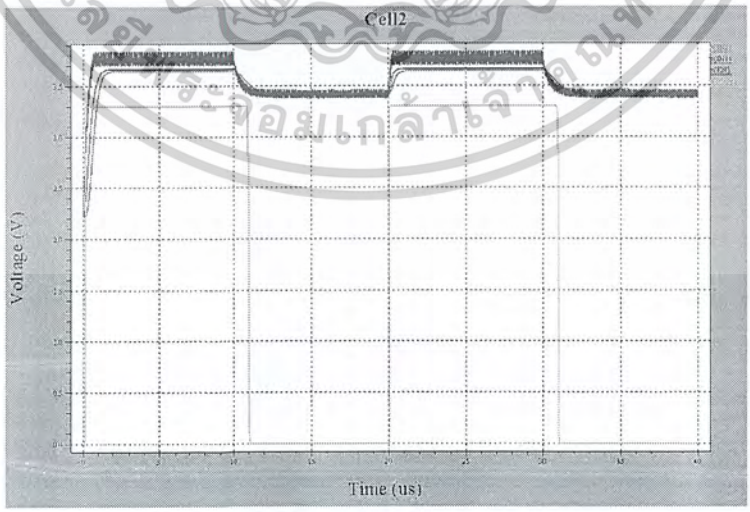
6.2.1ผลการจำลองการทำงานของวงจรแยกข้อมูล

- การจำลองการทำงานที่ระดับแรงดันของสัญญาณอินพุท 3.6 V



รูปที่ 6.13 แสดงสัญญาณต่างๆที่ได้จากวงจรแยกข้อมูลอินพุท 3.6 V

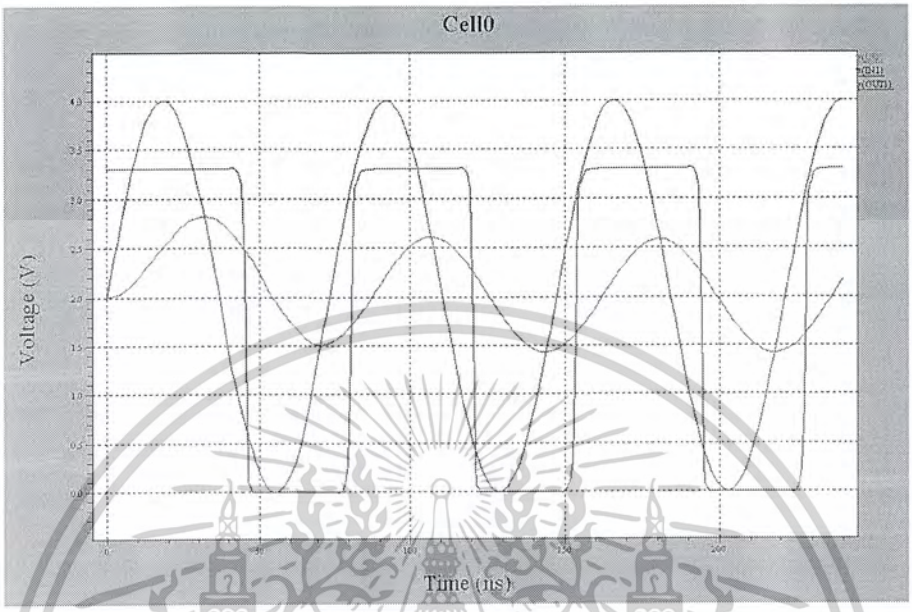
- การจำลองการทำงานที่ระดับแรงดันของสัญญาณอินพุท 10 V



รูปที่ 6.14 แสดงสัญญาณต่างๆที่ได้จากวงจรแยกข้อมูลอินพุท 10 V

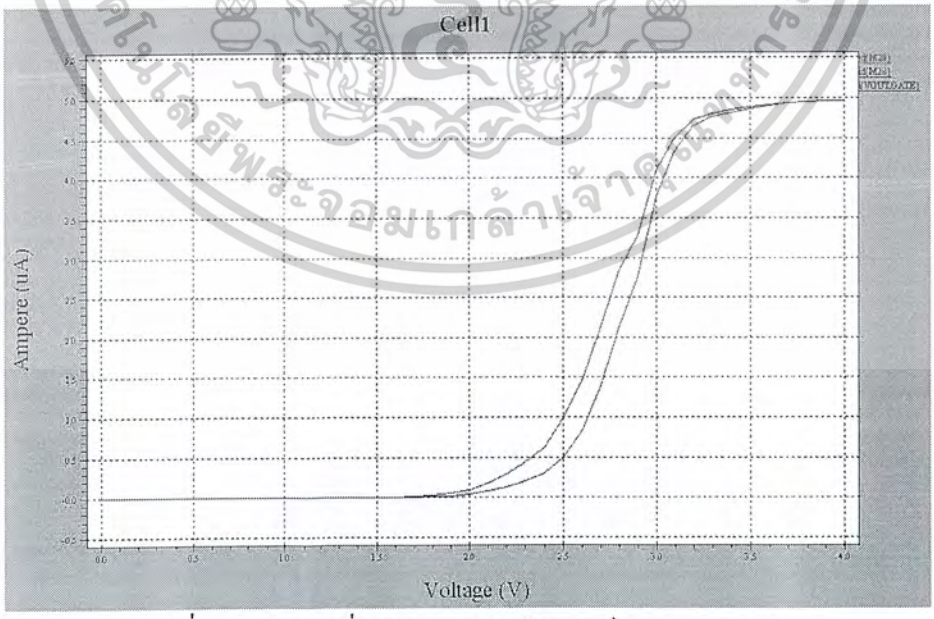
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6.2.2ผลการจำลองการทำงานของวงจรกู้สัญญาณนาฬิกา



รูปที่ 6.15 เปรียบเทียบสัญญาณนาฬิกาและอินพุท

6.2.3ผลการจำลองการทำงานของวงจรสร้างกระแสอ้างอิง

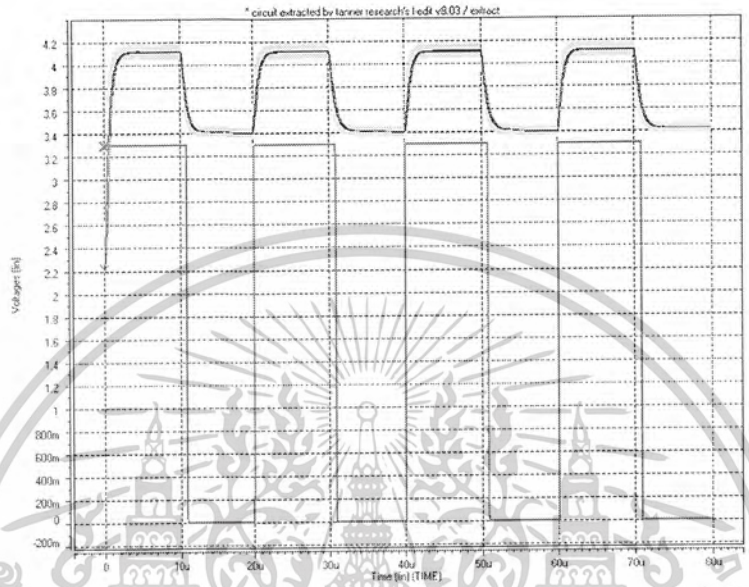


รูปที่ 6.16 กระแสที่ไหลผ่านทรานซิสเตอร์M21 และ M 25

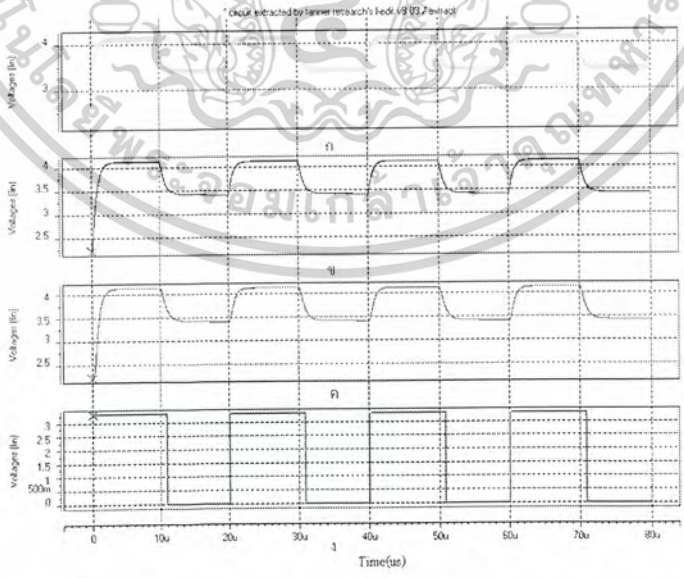
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6.2.4 ผลการจำลองการทำงานของวงจรรวมทั้งหมด

6.2.4.1 ผลการจำลองการทำงานส่วนวงจรแยกข้อมูล



รูปที่ 6.17 แสดงผลการจำลองการทำงานของส่วนวงจรแยกข้อมูลจากวงจรรวมทั้งหมด

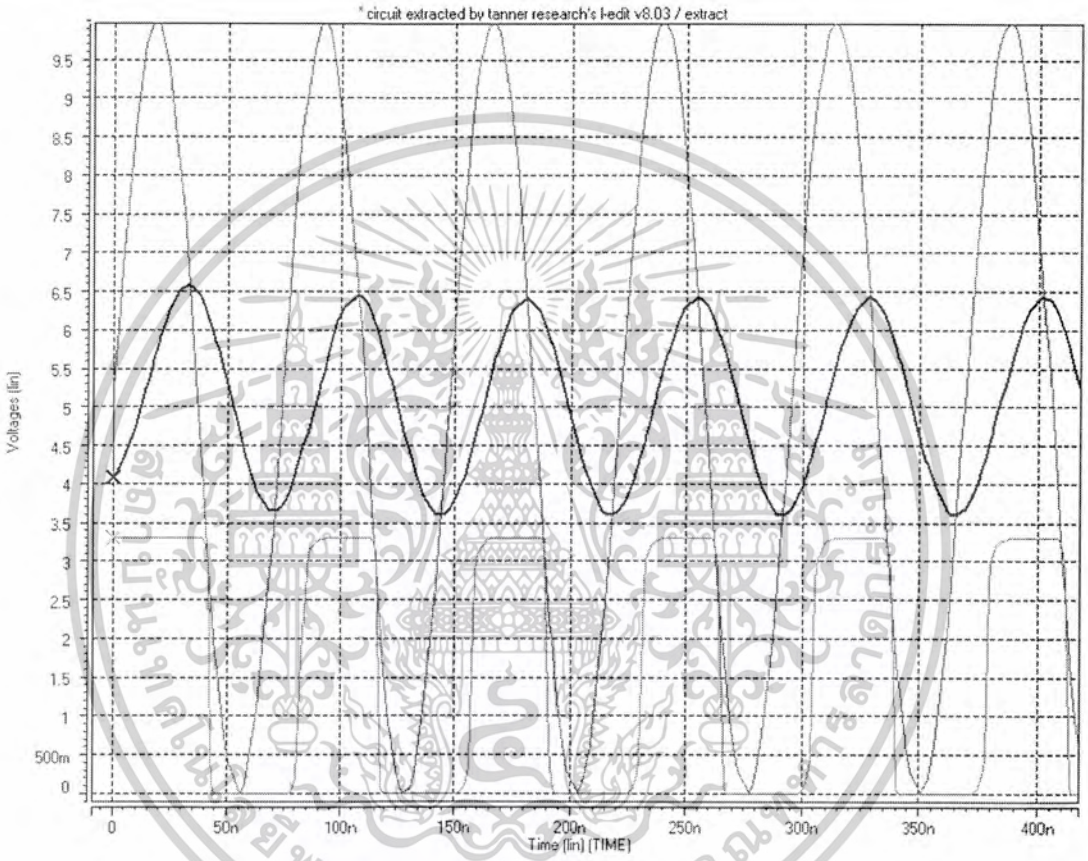


รูปที่6.18 เปรียบเทียบการทำงานของส่วนวงจรแยกข้อมูล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 6.18 ก) คือ สัญญาณที่ได้จากวงจรเอ็นเวลโลปดีเทคเตอร์ ข) คือ สัญญาณที่ได้จากวงจรอินทริเกรเตอร์ภาคแรก ค) คือ สัญญาณที่ได้จากวงจรอินทริเกรเตอร์ภาคที่สอง ง) ข้อมูลที่ได้จากวงจรแยกข้อมูล

6.2.4.2 ผลการจำลองการทำงานจากส่วนวงจรกู้สัญญาณนาฬิกา



รูปที่ 6.19 แสดงผลการจำลองการทำงานของส่วนวงจรกู้สัญญาณนาฬิกาจากวงจรรวมทั้งหมด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 7
สรุปและวิจารณ์ผลการทดลอง

จากการจำลองการทำงานของวจรแยกข้อมูลแลวงจรกู้สัญญาณนาพิกาจะเห็นว่าในกรณีของวงจรแยกข้อมูลนั้นสัญญาณสองสัญญาณที่นำมาเปรียบเทียบกันโดยวงจรคอมพาราเตอร์ด้วยฮีสเตอรีซีสซึ่งจากการจำลองการทำงานของงจรจเห็นว่าระดับแรงดันที่ได้จากวงจรอินทริเกรเตอร์ภาคแรกและภาคที่สอง(วงจรอินทริเกรเตอร์ภาคที่สองจะเฉลี่ยระดับแรงดันที่ได้จากวงจรอินทริเกรเตอร์ภาคแรก) มีค่าใกล้เคียงกันมากทำให้วงจรคอมพาราเตอร์ด้วยฮีสเตอรีซีสต้องมี V_{TRP+} และ V_{TRP-} ที่มีค่าน้อยๆจึงจะสามารถเปรียบเทียบระดับแรงดันจากวงจรอินทริเกรเตอร์ทั้งสองได้ซึ่งจากการออกแบบวงจรได้กำหนดให้ V_{TRP+}=16 mV และ V_{TRP-} = -16 mV ทำให้วงแยกข้อมูลสามารถแยกข้อมูลดิจิตอลออกจากสัญญาณคลื่นพาห์ได้ซึ่งจะเห็นได้จากผลการจำลองการทำงานของวงจรแยกข้อมูลแต่จะอยู่ในย่านที่จำกัดคือ จาก 3.6V-10V (ค่าแรงดันนี้คือค่าแรงดันของสัญญาณคลื่นพาห์ที่แทนข้อมูลิจิตอลลอจิก "1") ที่เป็นเช่นก็เพราะว่าเมื่อระดับความแรงของสัญญาณ ASK 10%ที่ป้อนให้กับวงจรแยกข้อมูลมีค่ามากขึ้นจะทำให้ค่าความต้านทาน R_{ON} ของพีมอสทรานซิสเตอร์ที่ทำงานในย่านเชิงเส้นมีค่าลดลงทำให้ค่า RC ลดลงจนกรทั่งทำให้ระดับแรงดันของสัญญาณที่ได้จากวงจรอินทริเกรเตอร์มีค่าเท่ากันหรือความแตกต่างของของระดับสัญญาณของวงจรอินทริเกรเตอร์ทั้งสองมีค่าน้อยจนทำให้วงจรคอมพาราเตอร์ด้วยฮีสเตอรีซีสไม่สามารถเปรียบเทียบระดับแรงดันทั้งสองได้ส่งผลให้การแยกข้อมูลดิจิตอลออกจากสัญญาณคลื่นพาห์ผิดพลาด สำหรับการจำลองการทำงานของวงจรแยกข้อมูลที่ได้จากการออกแบบลวดลายจะได้ย่านการทำงานอยู่ในย่าน 3.6V-10V เช่นเดียวกัน

สำหรับวงจรกู้สัญญาณนาพิกานั้นการจำลองการทำงานของวงจรทั้งที่ได้จากการออกแบบลวดลายและการจำลองการทำงานของวงจร โดย HSPICE(จำลองการทำงานของวงจร โดย Netlist)จะสามารถกู้สัญญาณนาพิการที่มีความถี่ 13.56 KHz และมี Duty cycle ใกล้เคียง 50 % ซึ่งขึ้นอยู่กับระดับความแรงของสัญาณ ASK 10% ที่เป็นอินพุทด้วยเพราะถ้าสัญญาณ ASK 10% ที่เข้ามายิ่งมีค่ามากก็จะยิ่งทำให้ความกว้างของพัลส์มีค่าลดลง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก 1

CMOS 0.5um typical models

********** cmos05 nmos typical models **********

```
.model en        nmos    level  = 49
+tnom   = 27          tox    = 1e-8        xj     = 2.35e-7
+nch    = 2e17        nsub   = 4e16        vth0   = 0.6097457
+k1     = 0.6369321   k2     = 1.469165e-4 k3     = 29.501
+k3b    = -0.68       w0     = 8.809842e-6 nlx    = 1.884526e-7
+dvt0   = 5.7749986   dvt1   = 0.4474586   dvt2   = -0.0251598
+vbm    = -10         u0     = 588.4312781 ua     = 2.155132e-9
+ub     = 1.32731e-21 uc     = 9.324184e-11 vsat  = 1.128844e5
+a0     = 1.280555    ags    = 0.2404422   b0     = 3.6366e-7
+b1     = 2.337947e-6 keta   = -8.625844e-4 a1     = 0
+a2     = 0.8         rdsw   = 283.6186958 prwg   = 0.5
+prwb   = -0.0827266  wr     = 1           wint   = -5.230179e-8
+lint   = 1.353614e-8 dwg    = 0           dwb    = 1.11e-8
+voff   = -0.1245595  nfactor = 0.8425275   cit    = 0
+cdsc   = -1e-4       cdscd  = -1e-4       cdscb  = 2e-3
+eta0   = 0.07        etab   = -0.054      dsub   = 0.4957726
+pclm   = 0.8804854   pdiblc1 = 0.0132091  pdiblc2 = 1.27332e-3
+pdiblcb = 0.090022   drout  = 0.1532732   pscbe1 = 4.52617e8
+pscbe2 = 5e-5        pvag   = 0.20417     delta  = 0.01
+alpha0 = 0           beta0  = 30          pb     = 0.75560
+pbsw   = 0.68638     rsh    = 2.30
+js     = 7.05e-04    jsw    = 4.3e-9
+mobmod = 1           prt    = -57.2389305 ute    = -1.6096023
+kt1    = -0.3010319  kt11   = -3.172847e-8 kt2    = -0.0657457
+ua1    = 1.737957e-9 ub1    = -2.95611e-18 uc1   = 1.692194e-11
+at     = 2.497153e4  capmod = 1           xt     = 1.55e-7
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
+nqsmod  = 0          elm    = 5          xpart  = 0
+wl      = 0          wln    = 1          ww     = 0
+wwn     = 1          wwl    = -2.99e-20  wmin   = 0
+wmax    = 1          ll     = 0          lln    = 1
+lw      = 0          lwn    = 1          lwl    = 0
+lmin    = 0          lmax   = 1          cgsl   = 0
+cgdl    = 0          ckappa = 0.6        cf     = 0
+clc     = 0.1e-6     cle    = 0.6        cgdo   = 1.38e-10
+cgso    = 1.38e-10   cgbo   = 3.45e-10
+cj      = 7.7587e-4
+mj      = 0.35297    cjsw   = 3.4485e-10  mjsw   = 0.26477
*+cjswg  = 1.370e-10   pbswg  = 0.6        mjswg  = 0.220
+kf      = 3.67e-28   af     = 0.91
* define for eldo
*+ lis=2        diolev=2   tlevi=0
*
*********************************************************
* single diode model cards
*********************************************************
*
* n+/psub junction diode in forward mode
*
.model nppf d (
+ level =   1
+ tnom =   27
+ is   =   1.681e-7
*+ isw  =   7.605e-13
+ n    =   1.09
+ rs   =   1.1e-6
+ xti  =   2.54
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
+ eg    =    1.02
*+ cj0   =    7.76e-4
+ cjsw  =    3.45e-10
+ vj    =    0.72
+ mj    =    0.35
+ mjsw  =    0.26
+)
*
* n+/psub junction diode in reverse mode
*
.model nppr d (
+ level =    1
+ tnom  =    27
+ is    =    1.541e-5
*+ isw   =    5.494e-11
+ n     =    1.09
+ rs    =    1.1e-6
+ xti   =    -8
+ eg    =    1.02
*+ cj0   =    7.76e-4
+ cjsw  =    3.45e-10
+ vj    =    0.72
+ mj    =    0.35
+ mjsw  =    0.26
+)
*
* nwell/psub junction diode in forward mode
*
.model nwpf d (
+ level =    1
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
+ tnom =  27
+ is  =  3.442e-7
*+ isw  =  2.672e-12
+ n  =  1.14
+ rs  =  1.2e-6
+ xti  =  2.39
+ eg  =  1.00
*+ cj0  =  1.45e-4
+ cjsw  =  2.84e-10
+ vj  =  0.6
+ mj  =  0.21
+ mjsw  =  0.20
+)
*
* nwell/psub junction diode in reverse mode
*
.model nwpr d (
+ level =  1
+ tnom  =  27
+ is  =  1.32e-6
*+ isw  =  4.68e-11
+ n  =  1.12
+ xti  =  1.00
+ eg  =  1.12
*+ cj0  =  1.45e-4
+ cjsw  =  2.84e-10
+ vj  =  0.6
+ mj  =  0.21
+ mjsw  =  0.20
+)
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
**********************************************************
********** cmos05 pmos typical models **********
.model ep  pmos  level  = 49
+tnom   = 27          tox    = 1e-8        xj     = 3e-7
+nch    = 2e17        nsub   = 4e16        vth0   = -0.6103469
+k1     = 0.6851333   k2     = 8.465407e-5 k3     = 21.94
+k3b    = -0.065      w0     = 4.31e-6     nlx    = 1.01913e-7
+dvt0   = 5.4145011   dvt1   = 0.4773587   dvt2   = -0.0102858
+vbm    = -10         u0     = 148.6428164 ua     = 2.266657e-9
+ub     = 3.571409e-20 uc    = -1.53433e-11 vsat  = 6.666424e5
+a0     = 1.2571212   ags    = 0.1706772   b0     = 1.059729e-7
+b1     = 1.377612e-7 keta   = -0.0187078  a1     = 0
+a2     = 0.8         rdsw   = 874.4420611 prwg   = 0.5
+prwb   = -0.0928952  wr     = 1           wint   = -9.27e-8
+lint   = 1.711979e-8 dwg    = 0           dwb    = 9.339e-9
+voff   = -0.1156803  nfactor = 0.7335277   cit    = 0
+cdsc   = -1e-4       cdscd  = -1e-4       cdscb  = 2e-3
+eta0   = 0.2218665   etab   = -0.0998531  dsub   = 0.547
+pclm   = 1.5332371   pdiblc1 = 2.489418e-4 pdiblc2 = 7.383994e-4
+pdiblcb = -0.9       drout  = 1           pscbe1 = 6e8
+pscbe2 = 5e-5        pvag   = -0.1894078  delta  = 0.01
+alpha0 = 0           beta0  = 30          pb     = 0.78469
+pbsw   = 0.69350     rsh    = 2.10        js     = 8.0e-4
+jsw    = 4.0e-9
+mobmod = 1           prt    = 190.1524511 ute    = -1.045139
+kt1    = -0.2522072  kt11   = -1.867722e-8 kt2   = -9.047095e-3
+ua1    = 1.511701e-9 ub1    = -5.05882e-18 uc1   = -5.56733e-11
+at     = 1e5         capmod = 1           xt     = 1.55e-7
+nqsmod = 0           elm    = 5           xpart  = 0.4
+wl     = 0           wln    = 1           ww     = 0
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
+wwn    = 1          wwl    = -5e-21       wmin   = 0
+wmax   = 1          ll     = 0            lln    = 1
+lw     = 0          lwn    = 1            lwl    = 0
+lmin   = 0          lmax   = 1            cgsl   = 0
+cgdl   = 0          ckappa = 0.6          cf     = 0
+clc    = 1e-7       cle    = 0.6          cgdo   = 1.38e-10
+cgso   = 1.38e-10   cgbo   = 3.45e-10
+cj     = 8.1577e-4
+mj     = 0.36667    cjsw   = 3.5456e-10   mjsw   = 0.27422
*+cjswg  = 1.10e-10   pbswg  = 0.6         mjswg  = 0.220
+kf     = 1.20e-28   af     = 1.1
* define for eldo
*+ lis=2          diolev=2   tlevi=0
*
**********************
* vertical pnp bipolar
**********************
.model pnpv pnp (
*+tnom  =  27
+is    =  4.29e-18
+bf    =  7.75
+vaf   =  150
+xti   =  2.4
+xtb   =  1.60
+br    =  500
+)
*
*********************************************************
* single diode model cards
*********************************************************
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
*
*  p+/nwell junction diode in forward mode
*
.model ppnf d (
+ level =   1
+ tnom  =   27
+ is    =   2.796e-7
*+ isw  =   8.62e-13
+ n     =   1.04
+ rs    =   1.2e-6
+ xti   =   2.70
+ eg    =   1.06
*+ cj0  =   8.16e-4
+ cjsw  =   3.55e-10
+ vj    =   0.74
+ mj    =   0.37
+ mjsw  =   0.27
+)
*
* p+/nwell junction diode in reverse mode
*
.model ppnr d (
+ level =   1
+ tnom  =   27
+ is    =   5.616e-5
*+ isw  =   10.235e-11
+ n     =   1.04
+ rs    =   1.2e-6
+ xti   =   -12
+ eg    =   1.06
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

*+ cj0 = 8.16e-4

+ cjsw = 3.55e-10

+ vj = 0.74

+ mj = 0.37

+ mjsw = 0.27

+)

****

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก 2

Process Mask Layers

When doing full custom layout the following mask layers have to be used for both process:

- active: active area (thin oxid)
- nwell:n-well
- pwell: p-well, generated from "not n-well" (not drawn)
- poly:
- nldd: not ldd, generated from "pplus and nlddprot" (not drawn)
- nplus: n+ implant, generated (not drawn)
- pplus: p+ implant
- nlddpro: used to exclude the nldd implant from nmos fets, used as clamping diodes for ESD protection on I/Os
- npluspr: see nlddpro but for pmos fets
- siprot: salilice protection
- contact: contact, vertical connection between metal1 and diffusion
- metal1: metal 1
- v1: via 1, connection between metall1 and metal2 layer levels
- metal2: metal 2
- v2: via 2, vertical connection between metal2 and metal3
- metal3: metal 3
- nitride: passivation layer covering the whole chip except pad openings

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- dractext: to allow use of Alcatel bonding diagram editor, all bonding pads mus be labeled with this layer. Each pad must have a unique name (e.g. VDD1, VDD2, ...). Bonding pads must have their origin within the layer passivation.

Additional layers only for process

- poly0: top poly layer (poly is the bottom poly layer)
- hipo: non salicided poly in the gate level poly, hipo layer
- capa: generated (not drawn), capacitor implant form poly poly capacitors (heavy n-type dopping of the bottom poly

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก 3

The Process Characteristics

There are two twin-tube 0.5um process with a p/p+ epitaxial substrate and salicided source, drains and polysilicon (low ohmic sheet resistance). Contacts and vias have no proximity rules and thus can be stucked.

The process for digital circuits with a maximal 5V supply voltage is called. The digital process has 3 metal layers and 1 poly layer and offers resistors on unsalicided poly and diffusion.

The process for analog and mixed-mode circuits with a maximum power supply up to 3.6V (typical 3.3V) has additional layers for capacitors and resistors. The process has 3 metal layers, 2 poly layers for better capacitors and an additional hipo layer for high ohmic resistors as well as resistors on unsalicided n+ poly and diffusion

Both digital and analog processes use identical layout rules.

- general characteristics
  - 0.5µm, triple layer metal
  - self-aligned twin tub N- and P-wells
  - salicide
  - w-plug filling of stackable contacts and vias
  - high ohmic polisilicon resistor
  - high value double poly capacitors
  - nitride based passivation
- layout rules
  - drawn minimum gate length: 0.5µm for both PMOS and NMOS
  - polysilicon pitch: 1.3µm

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- metal1 pitch: 1.6µm
- metal2 pitch: 1.9µm
- metal3 pitch: 2.5µm

- high ohmic polysilicon resistor
  - fully floating resistor - Volt. independent
  - high sheet resistance: 1kohm/sq +/- 20%m
  - negative temperature coefficient: -2500ppm/deg.C
  - excellent matching: (R2/R1)-1 < +/-0.35%

- highly linear thin oxide poly poly capacitor
  - implanted capacitor: poly poly (special doping)
  - high value: 1100pf/mm^2
  - high linearity: 30ppm/Volttyp

- transistor parameters

	NMOS	PMOS<TD< td>	
minimum gate length	0.5	0.5	µm
threshold voltage	0.6	0.59	volt
transconductance	134	34	µA/V2
body factor	0.65	0.7	$V^{1/2}$
typ. current drive (vgs=vds=5V)	380	175	µA/µm
parasitic effects (punch-through, breakdown, ...)	>5	>5	V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก 4 แสดง Netlist จากการ ของวงจรต่างๆที่ได้จากการออกแบบลวดลาย

- **แสดง Netlist จากการ EXTRACT ของวงจรกู้สัญญาณนาฬิกา**

```
* Circuit Extracted by Tanner Research's L-Edit V8.03 / Extract V8.03 ;
* TDB File:  E:\project\layout\Clock.TDB
* Cell:  Cell0      Version 1.45
* Extract Definition File:  E:\project\data\l_edit\ame05.ext
* Extract Date and Time:  03/26/2004 - 10:52
*.include ..\mod\ame05.md
* WARNING:  Layers with Unassigned AREA Capacitance.
*   <poly wire>
*   <n well wire>
*   <subs>
*   <hipo resistor>
*   <ndiff resistor>
*   <mopo resistor>
*   <nwell resistor>
*   <capa wire>
*   <poly0 wire>
*   <pdiff resistor>
* WARNING:  Layers with Unassigned FRINGE Capacitance.
*   <pdiff>
*   <poly wire>
*   <n well wire>
*   <ndiff>
*   <subs>
*   <pmos capacitor>
*   <hipo resistor>
*   <ndiff resistor>
*   <nmos capacitor>
*   <mopo resistor>
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

* <nwell resistor>

* <poly capacitor>

* <capa wire>

* <poly0 wire>

* <pdiff resistor>

* <METAL1>

* <METAL2>

* <METAL3>

* WARNING: Layers with Zero Resistance.

* <poly wire>

* <n well wire>

* <subs>

* <pmos capacitor>

* <nmos capacitor>

* <poly capacitor>

* <capa wire>

* <poly0 wire>

Cpar1 ON 0 C=16.70215f

Cpar2 OUT1 0 C=16.8556f

Cpar3 IN2 0 C=13.975285f

Cpar4 0 0 C=27.92614f

Cpar5 VDD 0 C=52.509405f

Cpar6 7 0 C=27.96716f

Cpar7 9 0 C=18.85572f

Cpar8 OP 0 C=16.52058f

C9 IN2 0 C=510.84f

* C9 PLUS MINUS (167.6 -45.3 189.2 -23.8)

C10 IN2 0 C=510.84f

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
* C10 PLUS MINUS (220.4 -45.3 242 -23.8)
C11 IN2 0 C=510.84f
* C11 PLUS MINUS (194 -45.3 215.6 -23.8)
R12 IN2 IN1 R=25k
* R12 PLUS MINUS (172 -16.2 236.6 -8.6)
M13 ON IN2 9 0 EN L=1u W=10u
* M13 DRAIN GATE SOURCE BULK (194.8 6.3 204.8 7.3)
M14 OP IN1 9 0 EN L=1u W=10u
* M14 DRAIN GATE SOURCE BULK (182.7 6.3 192.7 7.3)
M15 OUT1 7 0 0 EN L=1u W=2u
* M15 DRAIN GATE SOURCE BULK (223.3 7.6 225.3 8.6)
M16 7 GATE 0 0 EN L=1u W=6u
* M16 DRAIN GATE SOURCE BULK (197.1 1.1 203.1 2.1)
M17 GATE GATE 0 0 EN L=1u W=1.5u
* M17 DRAIN GATE SOURCE BULK (182.7 1.1 184.2 2.1)
M18 9 GATE 0 0 EN L=1u W=3u
* M18 DRAIN GATE SOURCE BULK (192 1.1 195 2.1)
M19 OUT1 7 VDD VDD EP L=1u W=10u
* M19 DRAIN GATE SOURCE BULK (209.2 7.6 219.2 8.6)
M20 7 ON VDD VDD EP L=1u W=12u
* M20 DRAIN GATE SOURCE BULK (204.4 14.7 216.4 15.7)
M21 ON ON VDD VDD EP L=1u W=2u
* M21 DRAIN GATE SOURCE BULK (199.2 14.7 201.2 15.7)
M22 OP ON VDD VDD EP L=1u W=3u
* M22 DRAIN GATE SOURCE BULK (194.1 14.7 197.1 15.7)
M23 ON OP VDD VDD EP L=1u W=3u
* M23 DRAIN GATE SOURCE BULK (188.9 14.7 191.9 15.7)
M24 OP OP VDD VDD EP L=1u W=2u
M24 DRAIN GATE SOURCE BULK (184.8 14.7 186.8 15.7)
```

- **แสดง Netlist จากการ EXTRACT ของวงจรสร้างกระแสอ้างอิง**

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
* TDB File:  E:\project\layout\Biasing.tdb
* Cell:  biasing        Version 1.35
* Extract Definition File:  E:\project\data\l_edit\ame05.ext
* Extract Date and Time:  03/26/2004 - 11:07

*.include ..\mod\ame05.md

* WARNING:  Layers with Unassigned AREA Capacitance.
*   <mopo resistor>
*   <poly wire>
*   <subs>
*   <ndiff resistor>
*   <n well wire>
*   <nwell resistor>
*   <hipo resistor>
*   <pdiff resistor>
*   <capa wire>
*   <poly0 wire>
* WARNING:  Layers with Unassigned FRINGE Capacitance.
*   <mopo resistor>
*   <poly wire>
*   <ndiff>
*   <subs>
*   <nmos capacitor>
*   <ndiff resistor>
*   <pmos capacitor>
*   <n well wire>
*   <nwell resistor>
*   <hipo resistor>
*   <pdiff>
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

* <pdiff resistor>
* <poly capacitor>
* <capa wire>
* <poly0 wire>
* <METAL1>
* <METAL2>
* <METAL3>
* WARNING: Layers with Zero Resistance.
* <poly wire>
* <subs>
* <nmos capacitor>
* <pmos capacitor>
* <n well wire>
* <poly capacitor>
* <capa wire>
* <poly0 wire>

Cpar1 0 0 C=216.32324f
Cpar2 VDD 0 C=68.12968f
Cpar3 X 0 C=5.4182f
Cpar4 4 0 C=32.52306f
Cpar5 1 0 C=5.67008f
Cpar6 11 0 C=22.69316f
Cpar7 10 0 C=6.69498f
Cpar8 6 0 C=8.32154f
Cpar9 10 0 C=16.71264f
Cpar10 12 0 C=34.56128f
Cpar11 9 0 C=11.39108f
Cpar12 5 0 C=11.55476f
Cpar13 8 0 C=22.6165f

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Cpar14 3 0 C=34.56128f

Cpar15 7 0 C=34.68032f

M16 VDD 0 1 VDD EP L=25u W=2u

* M16 DRAIN GATE SOURCE BULK (54.5 26.7 79.5 28.7)

M17 X 0 1 VDD EP L=25u W=2u

* M17 DRAIN GATE SOURCE BULK (54.5 23.7 79.5 25.7)

M18 GATE 8 12 VDD EP L=2u W=12u

* M18 DRAIN GATE SOURCE BULK (110.6 19 122.6 21)

M19 8 8 7 VDD EP L=2u W=12u

* M19 DRAIN GATE SOURCE BULK (97.6 19 109.6 21)

M20 4 8 3 VDD EP L=2u W=12u

* M20 DRAIN GATE SOURCE BULK (83.4 19 95.4 21)

M21 12 7 VDD VDD EP L=2u W=12u

* M21 DRAIN GATE SOURCE BULK (110.6 25.1 122.6 27.1)

M22 7 7 VDD VDD EP L=2u W=12u

* M22 DRAIN GATE SOURCE BULK (97.6 25.1 109.6 27.1)

M23 3 7 VDD VDD EP L=2u W=12u

* M23 DRAIN GATE SOURCE BULK (83.4 25.1 95.4 27.1)

R24 11 10 R=10.828947k

* R24 PLUS MINUS (83.2 -19.8 124.35 -16)

M25 VDD X 4 0 EN L=2u W=12u

* M25 DRAIN GATE SOURCE BULK (69 9.9 81 11.9)

M26 2 2 0 0 EN L=4u W=2u

* M26 DRAIN GATE SOURCE BULK (70.5 -1.3 74.5 0.7)

M27 X X 2 0 EN L=4u W=2u

* M27 DRAIN GATE SOURCE BULK (70.5 4 74.5 6)

M28 5 5 6 0 EN L=2u W=7u

* M28 DRAIN GATE SOURCE BULK (83.4 3.9 90.4 5.9)

M29 9 5 10 0 EN L=2u W=7u

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

* M29 DRAIN GATE SOURCE BULK (92.6 3.9 99.6 5.9)

M30 4 4 5 0 EN L=2u W=7u

* M30 DRAIN GATE SOURCE BULK (83.4 9.9 90.4 11.9)

M31 8 4 9 0 EN L=2u W=7u

* M31 DRAIN GATE SOURCE BULK (92.6 9.9 99.6 11.9)

Q1 0 0 6 PNPV

Q2 0 0 11 PNPV 8

- **แสดง Netlist จากการ EXTRACT ของวงจรแยกข้อมูล**

* Circuit Extracted by Tanner Research's L-Edit V8.03 / Extract V8.03 ;

* TDB File: E:\project\data\l_edit\LAYOUTDATA0.TDB

* Cell: Cell1 Version 1.40

* Extract Definition File: E:\project\data\l_edit\ame05.ext

* Extract Date and Time: 03/26/2004 - 11:24

*.include ..\mod\ame05.md

* WARNING: Layers with Unassigned AREA Capacitance.

* <poly wire>

* <n well wire>

* <capa wire>

* <poly0 wire>

* <subs>

* <hipo resistor>

* <nwell resistor>

* <ndiff resistor>

* <pdiff resistor>

* <mopo resistor>

* WARNING: Layers with Unassigned FRINGE Capacitance.

* <pdiff>

* <poly wire>

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

* <n well wire>
* <poly capacitor>
* <capa wire>
* <poly0 wire>
* <ndiff>
* <subs>
* <hipo resistor>
* <nwell resistor>
* <pmos capacitor>
* <ndiff resistor>
* <nmos capacitor>
* <pdiff resistor>
* <mopo resistor>
* <METAL1>
* <METAL2>
* <METAL3>
* WARNING: Layers with Zero Resistance.
* <poly wire>
* <n well wire>
* <poly capacitor>
* <capa wire>
* <poly0 wire>
* <subs>
* <pmos capacitor>
* <nmos capacitor>

Cpar1 OUT1 0 C=16.84592f

Cpar2 IN1 0 C=8.450735f

Cpar3 VDD 0 C=47.08438f

Cpar4 EN 0 C=51.31821f

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Cpar5 OUT 0 C=22.41116f

Cpar6 19 0 C=18.85572f

Cpar7 OP 0 C=16.52058f

Cpar8 IN2 0 C=8.10022f

Cpar9 ON 0 C=16.7445f

Cpar10 0 0 C=66.699755f

M11 OUT1 OUT 0 0 EN L=1u W=2u

* M11 DRAIN GATE SOURCE BULK (223.3 7.6 225.3 8.6)

C12 0 EN C=510.84f

* C12 PLUS MINUS (231.7 -71.7 253.3 -50.2)

C13 0 EN C=510.84f

* C13 PLUS MINUS (231.7 -41.5 253.3 -20)

C14 0 EN C=510.84f

* C14 PLUS MINUS (205.3 -71.7 226.9 -50.2)

C15 0 EN C=510.84f

* C15 PLUS MINUS (205.3 -41.5 226.9 -20)

M16 OUT1 OUT VDD VDD EP L=1u W=10u

* M16 DRAIN GATE SOURCE BULK (209.2 7.6 219.2 8.6)

M17 OUT ON VDD VDD EP L=1u W=12u

* M17 DRAIN GATE SOURCE BULK (204.4 14.2 216.4 16.2)

M18 4 4 EN 0 EN L=20u W=1.2u

* M18 DRAIN GATE SOURCE BULK (118.7 10 138.7 11.2)

M19 OP IN1 19 0 EN L=1u W=10u

* M19 DRAIN GATE SOURCE BULK (182.7 6.3 192.7 7.3)

M20 OUT GATE 0 0 EN L=1u W=6u

* M20 DRAIN GATE SOURCE BULK (197.1 1.1 203.1 2.1)

M21 GATE GATE 0 0 EN L=1u W=1.5u

* M21 DRAIN GATE SOURCE BULK (182.7 1.1 184.2 2.1)

M22 19 GATE 0 0 EN L=1u W=3u

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
* M22 DRAIN GATE SOURCE BULK (192 1.1 195 2.1)
M23 ON IN2 19 0 EN L=1u W=10u
* M23 DRAIN GATE SOURCE BULK (194.8 6.3 204.8 7.3)
C24 0 IN2 C=255.42f
* C24 PLUS MINUS (109.5 -71.75 120.3 -50.25)
C25 0 EN C=510.84f
* C25 PLUS MINUS (178.9 -71.7 200.5 -50.2)
C26 0 EN C=510.84f
* C26 PLUS MINUS (178.9 -41.5 200.5 -20)
C27 0 EN C=510.84f
* C27 PLUS MINUS (152.5 -71.7 174.1 -50.2)
C28 0 EN C=510.84f
* C28 PLUS MINUS (152.5 -41.5 174.1 -20)
C29 0 EN C=510.84f
* C29 PLUS MINUS (126.1 -71.7 147.7 -50.2)
C30 0 EN C=510.84f
* C30 PLUS MINUS (126.1 -41.5 147.7 -20)
C31 IN1 0 C=255.42f
* C31 PLUS MINUS (109.5 -41.5 120.3 -20)
M32 12 0 IN1 VDD EP L=10u W=1.2u
* M32 DRAIN GATE SOURCE BULK (168.7 -0.4 169.9 9.6)
M33 13 0 12 VDD EP L=10u W=1.2u
* M33 DRAIN GATE SOURCE BULK (170.9 -0.4 172.1 9.6)
M34 14 0 13 VDD EP L=10u W=1.2u
* M34 DRAIN GATE SOURCE BULK (173.1 -0.4 174.3 9.6)
M35 15 0 14 VDD EP L=10u W=1.2u
* M35 DRAIN GATE SOURCE BULK (175.3 -0.4 176.5 9.6)
M36 IN2 0 15 VDD EP L=10u W=1.2u
* M36 DRAIN GATE SOURCE BULK (177.5 -0.4 178.7 9.6)
M37 0 0 5 VDD EP L=5u W=1.2u
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

* M37 DRAIN GATE SOURCE BULK (144.2 4.6 145.4 9.6)

M38 5 0 6 VDD EP L=5u W=1.2u

* M38 DRAIN GATE SOURCE BULK (146.5 4.6 147.7 9.6)

M39 6 0 EN VDD EP L=5u W=1.2u

* M39 DRAIN GATE SOURCE BULK (148.7 4.6 149.9 9.6)

M40 7 0 EN VDD EP L=5u W=1.2u

* M40 DRAIN GATE SOURCE BULK (153.5 4.6 154.7 9.6)

M41 8 0 7 VDD EP L=5u W=1.2u

* M41 DRAIN GATE SOURCE BULK (155.8 4.6 157 9.6)

M42 9 0 8 VDD EP L=5u W=1.2u

* M42 DRAIN GATE SOURCE BULK (158 4.6 159.2 9.6)

M43 10 0 9 VDD EP L=5u W=1.2u

* M43 DRAIN GATE SOURCE BULK (160.2 4.6 161.4 9.6)

M44 11 0 10 VDD EP L=5u W=1.2u

* M44 DRAIN GATE SOURCE BULK (162.5 4.6 163.7 9.6)

M45 IN1 0 11 VDD EP L=5u W=1.2u

* M45 DRAIN GATE SOURCE BULK (164.7 4.6 165.9 9.6)

M46 ON ON VDD VDD EP L=1u W=2u

* M46 DRAIN GATE SOURCE BULK (199.2 14.7 201.2 15.7)

M47 OP ON VDD VDD EP L=1u W=3u

* M47 DRAIN GATE SOURCE BULK (194.1 14.7 197.1 15.7)

M48 ON OP VDD VDD EP L=1u W=3u

* M48 DRAIN GATE SOURCE BULK (188.9 14.7 191.9 15.7)

M49 OP OP VDD VDD EP L=1u W=2u

* M49 DRAIN GATE SOURCE BULK (184.8 14.7 186.8 15.7)

- **แสดง Netlist จากการ EXTRACT ของวงจรรวมทั้งหมด**

* Circuit Extracted by Tanner Research's L-Edit V8.03 / Extract V8.03 ;

* TDB File: E:\project\data\l_edit\LAYOUTDATA0.TDB

* Cell: Cell1 Version 1.61

* Extract Definition File: E:\project\data\l_edit\ame05.ext

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

* Extract Date and Time: 03/31/2004 - 13:49

*.include ..\mod\ame05.md

* WARNING: Layers with Unassigned AREA Capacitance.
* <mopo resistor>
* <poly wire>
* <ndiff resistor>
* <pdiff resistor>
* <nwell resistor>
* <n well wire>
* <capa wire>
* <poly0 wire>
* <subs>
* <hipo resistor>
* WARNING: Layers with Unassigned FRINGE Capacitance.
* <mopo resistor>
* <poly wire>
* <ndiff resistor>
* <ndiff>
* <pdiff resistor>
* <pdiff>
* <nwell resistor>
* <n well wire>
* <poly capacitor>
* <capa wire>
* <poly0 wire>
* <nmos capacitor>
* <subs>
* <pmos capacitor>

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

* <hipo resistor>

* <METAL1>

* <METAL2>

* <METAL3>

* WARNING: Layers with Zero Resistance.

* <poly wire>

* <n well wire>

* <poly capacitor>

* <capa wire>

* <poly0 wire>

* <nmos capacitor>

* <subs>

* <pmos capacitor>

Cpar1 1 0 C=5.67008f

Cpar2 onhys 0 C=16.7445f

Cpar3 12 0 C=33.45752f

Cpar4 7 0 C=33.57036f

Cpar5 3 0 C=33.45752f

Cpar6 ophys 0 C=16.52058f

Cpar7 onclock 0 C=16.7445f

Cpar8 opclock 0 C=16.52058f

Cpar9 OUT1HYS 0 C=16.71212f

Cpar10 10 0 C=6.66026f

Cpar11 9 0 C=11.39108f

Cpar12 5 0 C=11.50268f

Cpar13 4 0 C=32.54538f

Cpar14 8 0 C=22.61154f

Cpar15 OUTHYS 0 C=27.98204f

Cpar16 p 0 C=18.85572f

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Cpar17 x 0 C=5.230185f

Cpar18 GATEALL 0 C=22.33146f

Cpar19 ENHYS 0 C=46.46326f

Cpar20 INCLOCK2 0 C=14.36286f

Cpar21 IN1HYS 0 C=10.0507f

Cpar22 IN2HYS 0 C=6.46751f

Cpar23 out1clock 0 C=16.71212f

Cpar24 34 0 C=27.98204f

Cpar25 OPNCLOCK 0 C=18.85572f

Cpar26 0 0 C=311.3925f

Cpar27 VDD 0 C=170.71592f

M28 x 0 1 VDD EP L=25u W=2u

* M28 DRAIN GATE SOURCE BULK (264.6 12.7 289.6 14.7)

M29 1 0 VDD VDD EP L=25u W=2u

* M29 DRAIN GATE SOURCE BULK (264.6 15.7 289.6 17.7)

M30 4 8 3 VDD EP L=2u W=12u

* M30 DRAIN GATE SOURCE BULK (249.3 7.9 261.3 9.9)

M31 8 8 7 VDD EP L=2u W=12u

* M31 DRAIN GATE SOURCE BULK (236.3 7.9 248.3 9.9)

M32 GATEALL 8 12 VDD EP L=2u W=12u

* M32 DRAIN GATE SOURCE BULK (222.4 7.9 234.4 9.9)

M33 3 7 VDD VDD EP L=2u W=12u

* M33 DRAIN GATE SOURCE BULK (249.3 14.2 261.3 16.2)

M34 7 7 VDD VDD EP L=2u W=12u

* M34 DRAIN GATE SOURCE BULK (236.3 14.2 248.3 16.2)

M35 12 7 VDD VDD EP L=2u W=12u

* M35 DRAIN GATE SOURCE BULK (222.4 14.2 234.4 16.2)

M36 E 0 F VDD EP L=5u W=1.2u

* M36 DRAIN GATE SOURCE BULK (162.5 4.6 163.7 9.6)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

M37 IN1HYS 0 E VDD EP L=5u W=1.2u

* M37 DRAIN GATE SOURCE BULK (164.7 4.6 165.9 9.6)

M38 OUT1HYS OUTHYS VDD VDD EP L=1u W=10u

* M38 DRAIN GATE SOURCE BULK (209.2 7.6 219.2 8.6)

M39 OUTHYS onhys VDD VDD EP L=1u W=12u

* M39 DRAIN GATE SOURCE BULK (204.4 14.7 216.4 15.7)

M40 onhys onhys VDD VDD EP L=1u W=2u

* M40 DRAIN GATE SOURCE BULK (199.2 14.7 201.2 15.7)

M41 ophys onhys VDD VDD EP L=1u W=3u

* M41 DRAIN GATE SOURCE BULK (194.1 14.7 197.1 15.7)

M42 onhys ophys VDD VDD EP L=1u W=3u

* M42 DRAIN GATE SOURCE BULK (188.9 14.7 191.9 15.7)

M43 ophys ophys VDD VDD EP L=1u W=2u

* M43 DRAIN GATE SOURCE BULK (184.8 14.7 186.8 15.7)

M44 onhys IN2HYS p 0 EN L=1u W=10u

* M44 DRAIN GATE SOURCE BULK (194.8 6.3 204.8 7.3)

M45 ophys IN1HYS p 0 EN L=1u W=10u

* M45 DRAIN GATE SOURCE BULK (182.7 6.3 192.7 7.3)

M46 out1clock 34 VDD VDD EP L=1u W=10u

* M46 DRAIN GATE SOURCE BULK (127.5 7.6 137.5 8.6)

M47 34 onclock VDD VDD EP L=1u W=12u

* M47 DRAIN GATE SOURCE BULK (122.7 14.7 134.7 15.7)

M48 onclock onclock VDD VDD EP L=1u W=2u

* M48 DRAIN GATE SOURCE BULK (117.5 14.7 119.5 15.7)

M49 opclock onclock VDD VDD EP L=1u W=3u

* M49 DRAIN GATE SOURCE BULK (112.4 14.7 115.4 15.7)

M50 onclock opclock VDD VDD EP L=1u W=3u

* M50 DRAIN GATE SOURCE BULK (107.2 14.7 110.2 15.7)

M51 opclock opclock VDD VDD EP L=1u W=2u

* M51 DRAIN GATE SOURCE BULK (103.1 14.7 105.1 15.7)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

M52 0 0 K VDD EP L=5u W=1.2u

* M52 DRAIN GATE SOURCE BULK (144.2 4.6 145.4 9.6)

M53 K 0 J VDD EP L=5u W=1.2u

* M53 DRAIN GATE SOURCE BULK (146.5 4.6 147.7 9.6)

M54 J 0 ENHYS VDD EP L=5u W=1.2u

* M54 DRAIN GATE SOURCE BULK (148.7 4.6 149.9 9.6)

M55 I 0 ENHYS VDD EP L=5u W=1.2u

* M55 DRAIN GATE SOURCE BULK (153.5 4.6 154.7 9.6)

M56 H 0 I VDD EP L=5u W=1.2u

* M56 DRAIN GATE SOURCE BULK (155.8 4.6 157 9.6)

M57 G 0 H VDD EP L=5u W=1.2u

* M57 DRAIN GATE SOURCE BULK (158 4.6 159.2 9.6)

M58 F 0 G VDD EP L=5u W=1.2u

* M58 DRAIN GATE SOURCE BULK (160.2 4.6 161.4 9.6)

M59 onclock INCLOCK2 OPNCLOCK 0 EN L=1u W=10u

* M59 DRAIN GATE SOURCE BULK (113.1 6.3 123.1 7.3)

M60 opclock INCLOCK1 OPNCLOCK 0 EN L=1u W=10u

* M60 DRAIN GATE SOURCE BULK (101 6.3 111 7.3)

C61 ENHYS 0 C=510.84f

* C61 PLUS MINUS (263.6 -92.3 285.2 -70.8)

C62 ENHYS 0 C=510.84f

* C62 PLUS MINUS (263.6 -62.1 285.2 -40.6)

R63 10 M R=10.223684k

* R63 PLUS MINUS (212.4 -30.9 251.25 -27.1)

M64 D 0 IN1HYS VDD EP L=10u W=1.2u

* M64 DRAIN GATE SOURCE BULK (168.7 -0.4 169.9 9.6)

M65 C 0 D VDD EP L=10u W=1.2u

* M65 DRAIN GATE SOURCE BULK (170.9 -0.4 172.1 9.6)

M66 B 0 C VDD EP L=10u W=1.2u

* M66 DRAIN GATE SOURCE BULK (173.1 -0.4 174.3 9.6)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

M67 A 0 B VDD EP L=10u W=1.2u

* M67 DRAIN GATE SOURCE BULK (175.3 -0.4 176.5 9.6)

M68 IN2HYS 0 A VDD EP L=10u W=1.2u

* M68 DRAIN GATE SOURCE BULK (177.5 -0.4 178.7 9.6)

M69 2 2 0 0 EN L=4u W=2u

* M69 DRAIN GATE SOURCE BULK (260.5 -11 264.5 -9)

M70 x x 2 0 EN L=4u W=2u

* M70 DRAIN GATE SOURCE BULK (260.5 -7 264.5 -5)

M71 VDD x 4 0 EN L=2u W=12u

* M71 DRAIN GATE SOURCE BULK (254.1 -1.2 266.1 0.8)

M72 5 5 L 0 EN L=2u W=7u

* M72 DRAIN GATE SOURCE BULK (245.1 -7.2 252.1 -5.2)

M73 9 5 10 0 EN L=2u W=7u

* M73 DRAIN GATE SOURCE BULK (236.3 -7.2 243.3 -5.2)

M74 4 4 5 0 EN L=2u W=7u

* M74 DRAIN GATE SOURCE BULK (245.1 -1.2 252.1 0.8)

M75 8 4 9 0 EN L=2u W=7u

* M75 DRAIN GATE SOURCE BULK (236.3 -1.2 243.3 0.8)

M76 OUT1HYS OUTHYS 0 0 EN L=1u W=2u

* M76 DRAIN GATE SOURCE BULK (211.2 -0.4 212.2 1.6)

M77 OUTHYS GATEALL 0 0 EN L=1u W=6u

* M77 DRAIN GATE SOURCE BULK (197.1 1.1 203.1 2.1)

M78 GATEALL GATEALL 0 0 EN L=1u W=1.5u

* M78 DRAIN GATE SOURCE BULK (182.7 1.1 184.2 2.1)

M79 p GATEALL 0 0 EN L=1u W=3u

* M79 DRAIN GATE SOURCE BULK (192 1.1 195 2.1)

C80 ENHYS 0 C=510.84f

* C80 PLUS MINUS (210.8 -92.3 232.4 -70.8)

C81 ENHYS 0 C=510.84f

* C81 PLUS MINUS (210.8 -62.1 232.4 -40.6)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

C82 ENHYS 0 C=510.84f

* C82 PLUS MINUS (184.4 -92.3 206 -70.8)

C83 ENHYS 0 C=510.84f

* C83 PLUS MINUS (184.4 -62.1 206 -40.6)

C84 ENHYS 0 C=510.84f

* C84 PLUS MINUS (237.2 -92.3 258.8 -70.8)

C85 ENHYS 0 C=510.84f

* C85 PLUS MINUS (237.2 -62.1 258.8 -40.6)

R86 INCLOCK2 INCLOCK1 R=25k

* R86 PLUS MINUS (64.7 -29 129.3 -21.4)

M87 out1clock 34 0 0 EN L=1u W=2u

* M87 DRAIN GATE SOURCE BULK (129.5 -0.4 130.5 1.6)

M88 34 GATEALL 0 0 EN L=1u W=6u

* M88 DRAIN GATE SOURCE BULK (115.4 1.1 121.4 2.1)

M89 GATEALL GATEALL 0 0 EN L=1u W=1.5u

* M89 DRAIN GATE SOURCE BULK (101 1.1 102.5 2.1)

M90 OPNCLOCK GATEALL 0 0 EN L=1u W=3u

* M90 DRAIN GATE SOURCE BULK (110.3 1.1 113.3 2.1)

M91 INCLOCK1 INCLOCK1 ENHYS 0 EN L=20u W=1.2u

* M91 DRAIN GATE SOURCE BULK (96.7 -10.6 116.7 -9.4)

C92 0 INCLOCK2 C=510.84f

* C92 PLUS MINUS (110.4 -92.4 131.9 -70.8)

C93 0 INCLOCK2 C=510.84f

* C93 PLUS MINUS (84.1 -62.2 105.6 -40.6)

C94 0 INCLOCK2 C=510.84f

* C94 PLUS MINUS (110.4 -62.2 131.9 -40.6)

C95 0 IN1HYS C=255.42f

* C95 PLUS MINUS (141.4 -92.35 152.2 -70.85)

C96 ENHYS 0 C=510.84f

* C96 PLUS MINUS (158 -92.3 179.6 -70.8)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

C97 ENHYS 0 C=510.84f

* C97 PLUS MINUS (158 -62.1 179.6 -40.6)

C98 0 IN2HYS C=255.42f

* C98 PLUS MINUS (141.4 -62.1 152.2 -40.6)

Q1 0 0 L PNPV

Q2 0 0 M PNPV 8

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอกสารอ้างอิง

1.Alan Hastings, "The ART of ANALOG LAYOUT",PRENTICE HALL
Upper Sassle River,NJ 07458

2. Behzad Razavi, "Design of Analog CMOS Integrated Circuits",International Editions 2000

3.David Johns,Kenmatin, "ANALOG INTEGRATED CIRCUIT DESIGN",
John Wiley & Sons,Inc.,1997

4.Jitkasame Ngamnil & Wichai Sangnak, " BSIM3v3 Key Parameter Extractions for Efficien circuit Design",Mahanakorn University of
technology,Bangkok,10530,Email:Jikasame@mut.ac.th

5. Klaus Finkenzeller, " Fundamental and Application in Contactless Smartcard and Identification", RFID Handbook 2rd Edition, wiley 2000

6.R.Jacob Baker,Harry W. Li,David E.Boyce. "CMOS CIRCUIT DESIGN,LAYOUT,AND SIMULAION".IEEE ,Inc.1998

7. W.Rankland W.Effing , Smart Card Handbook 2rd Edition , wiley 2001

8. A.Abrial , J. Bouvier, M.Renaudin, P.senn,P.Viet, "A New Contactless Smart Card IC using an on chip antenna and a synchronous microcontroller" IEEE Journal of solid-state circuit ,Vol 36 ,no 7,pp 1101-1107, 2001

9.P.Rakers,L.Connell,T.Collins,D.Russel, "Secure Contactless Smartcard ASIC with DPA Protection". IEEE Journal of solid-state circuits ,Vol.36,no.3,pp 559-565,mar 2001

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้