สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

# ดิจิตอลแอมพลิไฟเออร์

# Digital Amplifier

โดย

นายกฤตย์ ฮ้อเผ่าพันธ์
นายจักรพันธ์ ศรียาภัย
นายธนวัฒน์ อติชาติ

T055800

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต
สาขาวิชาอิเล็กทรอนิกส์
คณะวิศวกรรมศาสตร์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
ปีการศึกษา 2546

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น และห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เลขหมู่ b
i
เลขทะเบียน 55800
วัน,เดือน,ปี 25 พ.ค. 2548

# ดิจิตอลแอมพลิไฟเออร์

# Digital Amplifier


โดย

นายกฤตย์ ฮ้อเผ่าพันธ์ เลขประจำตัว 43010012

นายจักรพันธ์ ศรียาภัย เลขประจำตัว 43010056

นายธนวัฒน์ อติชาติ เลขประจำตัว 43010162

อาจารย์ที่ปรึกษา

รศ.ดร. มนัส สังวรศิลป์

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2546


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ ปีการศึกษา 2546

ภาควิชา อิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง ดิจิตอลแอมพลิไฟเออร์

ผู้จัดทำ

1. นายกฤตย์ ฮ้อเผ่าพันธ์
2. นายจักรพันธ์ ศรียาภัย
3. นายธนวัฒน์ อติชาติ

ลงชื่อ .....

รศ.ดร. มนัส สังวรศิลป์ อาจารย์ที่ปรึกษา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# ดิจิตอลแอมพลิไฟเออร์

นายกฤตย์ ฮ้อเผ่าพันธ์ เลขประจำตัว 43010012
นายจักรพันธ์ ศรียาภัย เลขประจำตัว 43010056
นายธนวัฒน์ อติชาติ เลขประจำตัว 43010162

รศ.ดร. มนัส สังวรศิลป์ อาจารย์ที่ปรึกษา

ปีการศึกษา 22546

**บทคัดย่อ**

ปัจจุบันออดิโอแอมปลิไฟเออร์ที่ใช้กันทั่วไปส่วนใหญ่จะมีการจัดวงจรขยายแบบดั้งเดิม คือ คลาส เอ และคลาส บี ซึ่งมีประสิทธิภาพที่ต่ำและมีขนาดใหญ่ ด้วยเหตุนี้จึงเกิดแนวความคิดที่จะสร้างเครื่องขยายเสียงที่มีการจัดวงจรแบบคลาส ดีเนื่องจากมีข้อดีมากกว่า คลาสอื่นๆ คือ คลาส เอ คลาส บี และ คลาส เอบี หลายประการ โดยเฉพาะการทำงานของคลาส ดี ที่ประสิทธิภาพสูงและมีขนาดเล็ก

ซึ่งในปริญญานิพนธ์นี้ได้จัดวงจรให้มีการทำงานในลักษณะดิจิตอลแอมปลิไฟเออร์ โดยใช้เดลต้า – ซิกม่ามอดดูเลชั่นแทนการมอดดูเลชั่นทางความกว้างพัลส์แบบทั่วไป และนำสัญญาณไปควบคุมไอซีเบอร์ HIP 4080 ซึ่งทำหน้าที่ขับมอสเฟท

อย่างไรก็ดี โครงงานนี้ได้มุ่งเน้นการเรียนรู้ทฤษฎีของแอมปลิไฟเออร์คลาส ดี และ เดลต้า – ซิกม่า มอดดูเลชั่น เป็นหลัก เพื่อเป็นแนวทางในการศึกษาพัฒนาการสร้าง Amplifier ที่มี power และคุณภาพเสียงที่ดีกว่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# DIGITAL AMPLIFIER

Mr. Kris Horpaopan 43010012
Mr. Jakaphan Sriyaphai 43010056
Mr. Thanawat Atichat 43010162

Assoc.Prof. Manas Sangwarasil Advisor

Academic year 2003

## Abstract

Today, many kind of audio amplifier are used in common way have created in an old amplifier such as Class A and Class B. They have low power efficiency and big size. This cause got idea to invent audio amplifier Class D that has more advantage than the other amplifier such as Class A, Class B and Class AB especially Amplifier class D has a good power efficiency and small size

This thesis proposes Amplifier Class D work in digital amplifier type that use Delta – Sigma Modulation instead of typically Pulse Width Modulation. Then the signal is used to control HIP 4080 IC for drive MOSFET

By the way , most of the goals of this project avail on learning theory of Amplifier class D and Delta – Sigma Modulation for can be ran after easily and be guideline for Amplifier that has more good power efficiency and high quality sound.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# กิตติกรรมประกาศ

การทำโครงงานเรื่องดิจิตอลแอมพลิไฟเออร์ได้รับการสนับสนุนและช่วยเหลือคำให้คำแนะนำจาก อาจารย์ภาคอิเล็กทรอนิกส์ และได้รับความอนุเคราะห์ในด้านอุปกรณ์และเครื่องมือต่างๆจากภาคอิเล็กทรอนิกส์ โดยเฉพาะอย่างยิ่ง รศ.ดร. มนัส สังวรศิลป์ ซึ่งทางคณะผู้จัดทำรู้สึกซาบซึ้งในความกรุณาของทุกท่านอย่างที่สุดและขอกราบขอบพระคุณเป็นอย่างสูง

สุดท้ายนี้ขอกราบขอบพระคุณบุพการีและญาติมิตร พี่ๆ น้องๆ เพื่อนๆ ที่ได้ให้การสนับสนุนอำนวยความสะดวกและเป็นกำลังใจให้คณะผู้จัดทำเสมอมา

นายกฤตย์ ฮ้อเผ่าพันธ์

นายจักรพันธ์ ศรียาภัย

นายธนวัฒน์ อติชาติ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# สารบัญ


| | หน้า |
|---|---|
| **บทคัดย่อภาษาไทย** | ก |
| **บทคัดย่อภาษาอังกฤษ** | ข |
| **กิตติกรรมประกาศ** | ค |
| **สารบัญ** | ง |
| **สารบัญรูป** | จ |
| **สารบัญตาราง** | ช |
| **บทที่ 1** บทนำ | 1-1 |
| 1.1 รายละเอียดโดยย่อของโครงงาน | 1-1 |
| 1.2 แนวความคิดและที่มาของโครงงาน | 1-1 |
| 1.3 วัตถุประสงค์ของโครงงาน | 1-2 |
| 1.4 ขอบเขตงานที่ทำและผลที่คาดว่าจะได้รับ | 1-2 |
| **บทที่ 2** ไดอะแกรมและหน้าที่การทำงาน | 2-1 |
| 2.1 ไดอะแกรมแสดงการทำงานของดิจิตอลแอมปลิไฟเออร์ | 2-1 |
| 2.2 ภาคปรีแอมป์ | 2-1 |
| 2.3 ภาคเปรียบเทียบ | 2-2 |
| 2.4 ภาคสุ่มความถี่ | 2-2 |
| 2.5 ภาคควบคุมการจ่ายกระแส | 2-2 |
| **บทที่ 3 ทฤษฎีเครื่องขยายเสียง** | 3-1 |
| 3.1 ทรานซิสเตอร์ | 3-1 |
| 3.1.1 การจ่ายไบอัสให้กับวงจรทรานซิสเตอร์ | 3-2 |
| 3.1.1.1 ไบอัสคงที่ | 3-2 |
| 3.1.1.2 ไบอัสช่วย | 3-3 |
| 3.1.1.3 ไบอัสกระแสป้อนกลับ | 3-4 |
| 3.1.1.4 ไบอัสผสม | 3-4 |


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# สารบัญ (ต่อ)


| | หน้า |
|---|---|
| 3.2 รูปแบบวงจรทรานซิสเตอร์ | 3-6 |
| 3.2.1 วงจรขยายคอมมอนอิมิเตอร์ | 3-6 |
| 3.2.2 วงจรขยายคอมมอนคอลเลคเตอร์ | 3-8 |
| 3.2.3 วงจรขยายคอมมอนเบส | 3-9 |
| 3.3 คลาสต่างๆของวงจรขยายเสียง | 3-11 |
| 3.3.1 กราฟและเส้นโหลดของวงจรขยาย | 3-11 |
| 3.3.2 วงจรขยายคลาส-เอ | 3-14 |
| 3.3.3 วงจรขยายคลาส-บี | 3-16 |
| 3.3.4 วงจรขยายคลาส-เอบี | 3-19 |
| 3.3.5 วงจรขยายคลาส-ซี | 3-22 |
| 3.3.6 วงจรขยายคลาส-ดี | 3-24 |
| 3.4 วงจรกำเนิดความถี่ | 3-26 |
| 3.4.1 หลักการวิเคราะห์การทำงานของ oscillator | 3-27 |
| 3.4.2 Wien Bridge Oscillator | 3-28 |
| 3.4.3 รูปแบบทั่วไปของ LC Oscillator | 3-31 |
| 3.4.4 Colpits Oscillator | 3-33 |
| 3.4.5 Clapp Oscillator | 3-35 |
| 3.5 รูปแบบการ Modulation | 3-36 |
| 3.5.1 การสร้างสัญญาณ PWM | 3-36 |
| 3.5.2 ชนิดของ PWM | 3-38 |
| 3.5.3 การ Saturated ของสัญญาณ PWM | 3-39 |
| 3.6 Delta-Sigma Modulation | 3-39 |
| 3.7 ภาคขยายกำลังของเครื่องขยายเสียง | 3-44 |
| 3.7.1 ภาคไดรเวอร์ | 3-44 |
| 3.7.1.1 การควบคุม propagation delay | 3-44 |
| 3.7.1.2 วงจรไบอัสแบบบูสแสต็ป | 3-45 |
| 3.7.2 ภาคเพาเวอร์ | 3-48 |


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# สารบัญ (ต่อ)


| | หน้า |
|---|---|
| 3.7.2.1 วงจรขยายแบบพุช-พูล | 3-49 |
| 3.7.2.2 วงจรขยายเสียงแบบคอมพีเมนทารี | 3-50 |
| 3.7.3 ชนิดของเครื่องขยายคอมพลีเมนทารี | 3-53 |
| 3.7.3.1 เครื่องขยายคอมพลีเมนทารีแบบ OTL | 3-54 |
| 3.7.3.2 เครื่องขยายคอมพลีเมนทารีแบบ OCL | 3-57 |
| 3.7.4 วงจรไบอัสอัตโนมัติ | 3-60 |
| 3.7.4.1 วงจรไบอัสอัตโนมัติแบบใช้เทอร์มิสเตอร์ | 3-60 |
| 3.7.4.2 วงจรไบอัสอัตโนมัติแบบใช้ไดโอดตัวเดียว | 3-61 |
| 3.7.4.3 วงจรไบอัสอัตโนมัติแบบใช้ไดโอดสองตัวหรือมากกว่า | 3-63 |
| 3.7.4.4 วงจรไบอัสอัตโนมัติแบบใช้ทรานซิสเตอร์ | 3-64 |
| 3.7.5 วงจรดาร์ลิงตัน | 3-65 |
| 3.7.6 ชนิดของวงจรขยายคอมพลีเมนทารีพุช-พูลแบบดาร์ลิงตัน | 3-67 |
| 3.7.6.1 คอมพลีเมนทารีแบบสมมาตร | 3-67 |
| 3.7.6.2 วงจรกึ่งคอมพลีเมนทารี | 3-68 |
| 3.8 วงจรกรองความถี่ต่ำผ่าน | 3-69 |
| 3.9 ชนิดและโครงสร้างของเฟท | 3-70 |
| 3.9.1 จังก์ชั่นเฟท | 3-70 |
| 3.9.2 มอสเฟท | 3-71 |
| 3.9.3 คุณสมบัติและการทำงานของมอสเฟทแบบเอ็นฮานซ์เมนท์ | 3-72 |
| **บทที่ 4 การออกแบบวงจร** | 4-1 |
| **บทที่ 5 ผลการทดลอง** | 5-1 |
| **บทที่ 6 สรุปผลการทดลอง** | 6-1 |



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# สารบัญ (ต่อ)

ภาคผนวก ก. การวางอุปกรณ์และลายพิมพ์วงจร

ภาคผนวก ข. Data sheet

หนังสืออ้างอิง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# สารบัญรูป


| รูปที่ | ชื่อรูป | หน้า |
|---|---|---|
| 2.1 | Block diagram พื้นฐานของเครื่องขยายเสียงดิจิตอลแอมปลิไฟเออร์ที่ใช้ เดลต้า – ซิกม่ามอดดูเลชั่น | 2-1 |
| 2.2 | วงจรเบื้องต้นส่วนเปรียบเทียบ | 2-1 |
| 2.3 | วงจรเบื้องต้นภาคสุ่มความถี่ | 2-2 |
| 2.4 | วงจรเบื้องต้นภาค Charge Control | 2-3 |
| 3.1 | สัญลักษณ์และโครงสร้างของทรานซิสเตอร์ชนิด PNP และ NPN | 3-1 |
| 3.2 | วงจรไบอัสคงที่ | 3-2 |
| 3.3 | วงจรไบอัสช่วย | 3-3 |
| 3.4 | วงจรกระแสไบอัสป้อนกลับ | 3-4 |
| 3.5 | วงจรไบอัสผสม | 3-5 |
| 3.6 | วงจรคอมมอนอิมิเตอร์ที่ใช้ทรานซิสเตอร์ NPN | 3-7 |
| 3.7 | วงจรขยายสัญญาณแบบพื้นฐานชนิดคอมมอนอิมิเตอร์ | 3-7 |
| 3.8 | วงจรคอลเลคเตอร์ร่วม ใช้ทรานซิสเตอร์ชนิด NPN | 3-8 |
| 3.9 | วงจรขยายสัญญาณพื้นฐานชนิดคอมมอนคอลเลคเตอร์ | 3-8 |
| 3.10 | วงจรคอมมอนเบส ใช้ทรานซิสเตอร์ชนิด NPN | 3-10 |
| 3.11 | วงจรขยายสัญญาณแบบพื้นฐานชนิดคอมมอนเบส | 3-10 |
| 3.12 | แสดงวงจรขยายแบบคอมมอนอิมิเตอร์พร้อมคุณสมบัติของวงจร | 3-12 |
| 3.13 | วงจรคอมมอนอิมิเตอร์ เฉพาะส่วนเอาท์พุท | 3-12 |
| 3.14 | แสดงสัญญาณไฟสลับของกระแส $I_C$ , $I_B$ และแรงดัน $V_{CE}$ ที่เปลี่ยนแปลงตามสัญญาณอินพุท | 3-14 |
| 3.15 | แสดงจุดทำงานของวงจรขยายคลาส-เอ | 3-15 |
| 3.16 | วงจรขยายสัญญาณแบบคลาส-เอ | 3-16 |
| 3.17 | แสดงจุดการทำงานของวงจรขยายคลาส-บี | 3-16 |
| 3.18 | วงจรขยายพุช-พูลแบบคลาส-บี | 3-17 |


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# สารบัญรูป (ต่อ)


| รูปที่ | ชื่อรูป | หน้า |
|---|---|---|
| 3.19 | สัญญาณที่ถูกขยายของวงจรพุช-พูล จัดไบอัสแบบคลาส-บี จะเกิดความผิดเพี้ยนระหว่างรอยต่อ | 3-18 |
| 3.20 | แสดงจุดการทำงานของวงจรขยายคลาส-เอบี | 3-19 |
| 3.21 | วงจรขยายพุช-พูลแบบคลาส-เอบี | 3-20 |
| 3.22 | สัญญาณที่ถูกขยายของวงจรพุช-พูล จัดไบอัสแบบคลาส-เอบี | 3-21 |
| 3.23 | วงจรขยายแบบคอมพลีเมนทารี | 3-22 |
| 3.24 | แสดงจุดทำงานของวงจรขยายคลาส-ซี | 3-23 |
| 3.25 | วงจรขยายคลาส-ซี | 3-24 |
| 3.26 | Block diagram ของระบบ Positive Feedback | 3-27 |
| 3.27 | วงจร Wien Bridge Oscillator อย่างง่าย | 3-28 |
| 3.28 | วงจร Wien Bridge Oscillator แบบ negative feedback | 3-29 |
| 3.29 | วงจร Wien Bridge Oscillator แบบ negative feedback กรณี Ideal Amplifier | 3-30 |
| 3.30 | รูปแบบทั่วไปของ LC Oscillator | 3-31 |
| 3.31 | วงจรสมมูลทรานซิสเตอร์ กรณีพิจารณาแบบ DC bias | 3-31 |
| 3.32 | Colpits Oscillator | 3-33 |
| 3.33 | วงจร colpits oscillator และ model | 3-33 |
| 3.34 | วงจร colpits oscillator และ model | 3-34 |
| 3.35 | วงจร Clapp Oscillator | 3-35 |
| 3.36 | วงจร Clapp oscillator และ model | 3-35 |
| 3.37 | แสดงการ Modulate ของ PWM แบบที่ 1 | 3-37 |
| 3.38 | แสดงการ Modulate ของ PWM แบบที่ 2 | 3-38 |
| 3.39 | แสดงการ Modulate ของ PWM แบบที่ 3 | 3-38 |
| 3.40 | การ saturate ของสัญญาณ | 3-39 |
| 3.41 | เดลต้า – ซิกม่ามอดดูเลชั่น | 3-40 |
| 3.42 | เดลต้า – ซิกม่ามอดดูเลเตอร์ | 3-41 |



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# สารบัญรูป (ต่อ)


| รูปที่ | ชื่อรูป | หน้า |
|---|---|---|
| 3.43 | สเปคตรัมของเดลต้า – ซิกม่ามอดดูเลชั่น | 3-41 |
| 3.44 | block diagramของเดลต้า – ซิกม่ามอดดูเลชั่น | 3-42 |
| 3..45 | วงจรเบื้องต้นของเดลต้า – ซิกม่ามอดดูเลชั่น ในส่วนของการแปลงจากสัญญาณเสียงเป็นดิจิตอล | 3-43 |
| 3.46 | วงจรที่ใช้แปลงกลับจากข้อมูลดิจิตอลเป็นสัญญาณเสียง | 3-43 |
| 3.47 | กราฟแสดงความสัมพันธ์ระหว่าง dead-time และ ความต้านทาน | 3-45 |
| 3.49 | แสดงเส้นทางการประจุของบูสแสต๊ป | 3-47 |
| 3.50 | ภาคไดรเวอร์และภาคเพาเวอร์แอมป์ของวงจรขยาย พุช-พูล | 3-49 |
| 3.51 | วงจรขยายคอมพลีเมนทารีแบบพื้นฐาน คลาส B | 3-51 |
| 3.52 | วงจรขยายคอมพลีเมนทารีแบบคลาส AB | 3-52 |
| 3.53 | วงจรขยายคอมพลีเมนทารีแบบ OTL | 3-54 |
| 3.54 | วงจรใช้งานของวงจรขยายคอมพลีเมนทารี OTL | 3-55 |
| 3.55 | การปรับแต่ง $VR_2$ ให้วงจรขยายทำงานสมดุลกัน | 3-56 |
| 3.56 | วงจรขยายคอมพลีเมนทารีแบบ OCL | 3-58 |
| 3.57 | การต่อดีซีโวลท์มิเตอร์เพื่อตรวจสภาพการทำงานของวงจร | 3-59 |
| 3.58 | วงจรไบอัสอัตโนมัติแบบเทอร์มิสเตอร์ | 3-61 |
| 3.59 | วงจรไบอัสอัตโนมัติแบบใช้ไดโอดตัวเดียว | 3-62 |
| 3.60 | วงจรไบอัสอัตโนมัติแบบใช้ไดโอดสองตัว | 3-63 |
| 3.61 | วงจรไบอัสอัตโนมัติแบบใช้ทรานซิสเตอร์ | 3-64 |
| 3.62 | วงจรดาร์ลิงตันแบบต่างๆ | 3-65 |
| 3.63 | การต่อวงจรภาคไดรเวอร์และภาคเพาเวอร์แอมป์ | 3-66 |
| 3.64 | วงจรคอมพลีเมนทารีแบบสมมาตร | 3-67 |
| 3.65 | วงจรกึ่งคอมพลีเมนทารี | 3-68 |
| 3.66 | วงจรของ $2^{nd}$order Butterworth | 3-69 |
| 3.67 | (ก) ภาคตัดขวางของ NFET แบบพลาน่าร์ ชนิดเกตเดี่ยว และ (ข) สัญลักษณ์ของ NJFET และ PJFET | 3-71 |


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# สารบัญรูป (ต่อ)


| รูปที่ | ชื่อรูป | หน้า |
|---|---|---|
| 3.68 | ลักษณะโครงสร้างโดยทั่วไปของมอสเฟทแบบเอ็นฮานซ์เมนท์ชนิดเอ็นแชนแนลเมื่อไม่มีแรงดันไบอัสที่เกต แต่แรงดันเดรนมีค่าเป็นบวก | 3-73 |
| 3.69 | การทำงานของมอสเฟทแบบเอ็นฮานซ์เมนท์ชนิดเอ็นแชนแนล กรณีที่ $0 < V_G < V_T$ และ $V_D > 0$ | 3-74 |
| 3.70 | การทำงานของมอสเฟทแบบเอ็นฮานซ์เมนท์ชนิดเอ็นแชนแนล กรณีที่ $V_G > V_T$ และ $V_D$ มีค่าน้อย | 3-75 |
| 3.71 | การทำงานของมอสเฟทแบบเอ็นฮานซ์เมนท์ชนิดเอ็นแชนแนล กรณีที่ $V_G > V_T$ และ $(V_G - V_D) > V_T$ | 3-77 |
| 3.72 | การทำงานของมอสเฟทแบบเอ็นฮานซ์เมนท์ชนิดเอ็นแชนแนล กรณีที่ $V_G > V_T$ และ $V_D = V_{D(Sat)}$ | 3-78 |
| 3.73 | การทำงานของมอสเฟทแบบเอ็นฮานซ์เมนท์ชนิดเอ็นแชนแนล กรณีที่ $V_G > V_T$ และ $V_D > V_{D(Sat)}$ | 3-79 |
| 3.74 | การทำงานของมอสเฟทแบบเอ็นฮานซ์เมนท์ชนิดเอ็นแชนแนล กรณีที่ $V_G > V_T$ และ $V_D >> V_{D(Sat)}$ | 3-80 |
| 4.1 | แสดงการจ่ายกำลังงานของ power amp Class D | 4-1 |
| 4.2 | Block Diagram วงจรทดสอบแนวความคิด การขยายกำลังแบบ Delta-Sigma 1 bit | 4-2 |
| 4.3 | แสดงการจ่ายกำลังงานแบบ Delta-Sigma Modulation | 4-2 |
| 4.4 | กราฟแสดงกำลังงานของความถี่ข้อมูลและความถี่สุ่ม | 4-3 |
| 4.5 | เปรียบเทียบ duty cycle การจ่ายกำลังงานระหว่าง Delta-Sigma Modulation และ Class D Modulation | 4-3 |
| 4.6 | แสดงการจ่ายกำลังงานแก่โหลดโดยใช้ Delta-Sigma Control | 4-4 |
| 4.7 | timing diagram แสดงการทำงานช่วงภาคเปรียบเทียบและ Charge Control | 4-7 |
| 5.1 | แสดงระดับสัญญาณเอาท์พุทขณะป้อนอินพุท 500 mV ความถี่ 1 KHz | 5-2 |
| 5.2 | แสดงระดับสัญญาณเอาท์พุทขณะป้อนอินพุท 200 mV ความถี่ 20 Hz | 5-3 |
| 5.3 | แสดงระดับสัญญาณเอาท์พุทขณะป้อนอินพุท 200 mV ความถี่ 1 KHz | 5-4 |
| 5.4 | แสดงระดับสัญญาณเอาท์พุทขณะป้อนอินพุท 200 mV ความถี่ 20 KHz | 5-4 |


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# สารบัญรูป (ต่อ)


| รูปที่ | ชื่อรูป | หน้า |
|---|---|---|
| 5.5 | แสดงระดับสัญญาณเอาท์พุทขณะป้อนอินพุท 200 mV ความถี่ 25 KHz | 5-5 |
| 5.6 | แสดงระดับสัญญาณเอาท์พุทขณะป้อนอินพุท 500 mV ความถี่ 20 Hz | 5-6 |
| 5.7 | แสดงระดับสัญญาณเอาท์พุทขณะป้อนอินพุท 500 mV ความถี่ 1 KHz | 5-7 |
| 5.8 | แสดงระดับสัญญาณเอาท์พุทขณะป้อนอินพุท 500 mV ความถี่ 20 KHz | 5-7 |
| 5.9 | แสดงระดับสัญญาณเอาท์พุทขณะป้อนอินพุท 500 mV ความถี่ 25 KHz | 5-8 |
| 5.10 | กราฟการตอบสนองความถี่ | 5-8 |
| 5.11 | กราฟการตอบสนองความถี่ที่ 1 kHZ ใน FFT Mode | 5-10 |



สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

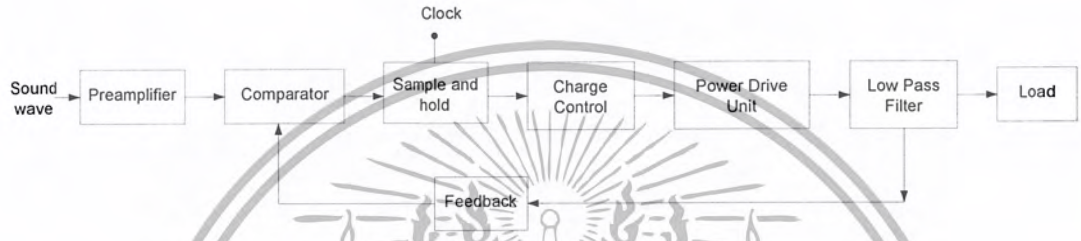
# สารบัญตาราง


| ตารางที่ | ชื่อตาราง | หน้า |
|---|---|---|
| 5.1 | แสดงความถี่เอาท์พุทที่ค่าต่างๆที่อินพุท 200 mV | 5-3 |
| 5.2 | แสดงความถี่เอาท์พุทที่ค่าต่างๆที่อินพุท 500 mV | 5-6 |
| 5.3 | แสดงค่าประสิทธิภาพ ที่ $R_L = 4\ \Omega$ ความถี่สุ่ม 900 MHz | 5-9 |

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# บทที่ 2
# ไดอะแกรมและหน้าที่การทำงาน

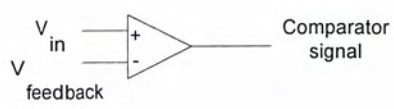
## 2.1 ไดอะแกรมแสดงการทำงานของเครื่องขยายเสียงดิจิตอลแอมปลิไฟเออร์




รูปที่ 2.1 block diagram พื้นฐานของเครื่องขยายเสียงดิจิตอลแอมปลิไฟเออร์ที่ใช้ เดลต้า – ซิกม่ามอดดูเลชั่น

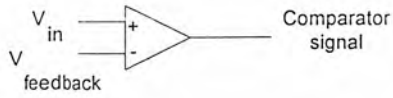
## 2.2 ภาคปรีแอมป์ (Pre-Amplifier)

เป็นวงจรที่ใช้ขยายสัญญาณที่ได้จากอุปกรณ์ทรานสดิวเซอร์ (Transducer) คืออุปกรณ์ที่เปลี่ยนพลังงานจากรูปหนึ่งไปเป็นสัญญาณอีกรูปหนึ่ง เช่น ไมโครโฟน หัวเทป หัวเข็มของเครื่องเล่นแผ่นเสียง เป็นต้น สัญญาณที่ได้จากอุปกรณ์ทรานสดิวเซอร์ จะเป็นสัญญาณที่มีขนาดเล็กมากและมีการตอบสนองความถี่ไม่ดี (ไม่ราบเรียบ) ซึ่งเป็นผลอันเนื่องมาจากข้อจำกัดต่างๆในการเล่น ดังนั้น หน้าที่หลักของภาคปรีแอมป์ คือ ทำการขยายสัญญาณให้มีขนาดใหญ่ขึ้น และทำการอิควอไลซ์ (ชดเชยสัญญาณ)




รูปที่ 2.2 วงจรเบื้องต้นส่วนเปรียบเทียบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 2.2 วงจรเบื้องต้นส่วนเปรียบเทียบ

**2.1.2 ภาคเปรียบเทียบ (Comparator)**

เป็นภาคที่ต่อระหว่างปรีแอมป์ซึ่งเป็นภาคแรกๆ กับภาคเพาเวอร์เอาท์พุท ภาคนี้จะรับสัญญาณจากปรีแอมป์และทำการเปรียบเทียบค่าสัญญาณเอาท์พุทที่ถูกป้อนกลับมา เพื่อควบคุมการจ่ายค่าโวลต์เตจให้แก่โหลดเพิ่มขึ้นหรือลดลงแสดงดังรูปที่ 2.2

**2.1.3 ภาคสุ่มความถี่ (Sample and Hold)**

เป็นการใช้ D Flip Flop ในการทำหน้าที่เก็บค่าสัญญาณที่ได้จากคอมพาเตอร์และทำการค้างค่าสัญญาณ (hold) จนกว่าจะมีสัญญาณนาฬิกามาทำการกระตุ้นให้เกิดการรับค่าใหม่เข้ามาแสดงดังรูปที่ 2.3

รูปที่ 2.3 วงจรเบื้องต้นภาคสุ่มความถี่

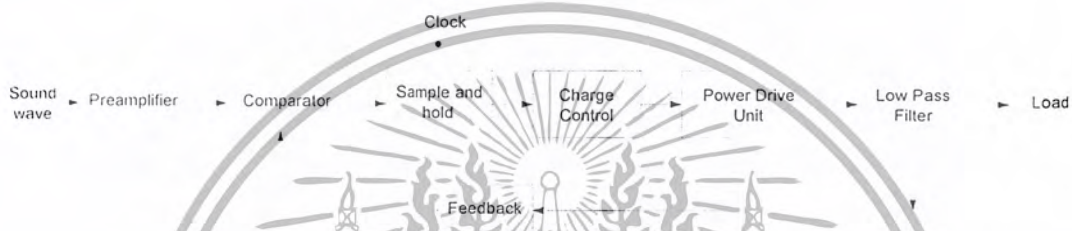
**2.1.4 ภาคควบคุมการจ่ายกระแส (Charge Control)**

เป็นภาคที่ทำหน้าที่ควบคุมการจ่ายกระแสให้แก่โหลดไม่ให้มีค่ามากเกินกว่าสัญญาณที่ได้จากคอมพาราเตอร์ โดยอาศัยตารางความจริงของ XOR ดังแสดงในตารางที่ 2.1 เพื่อให้ได้สัญญาณ High Side Enable ที่มีค่าลอจิก 1 เมื่อสัญญาณจากคอมพาราเตอร์หรือสัญญาณ Q จาก D Flip Flop มีค่าลอจิก 1 และให้ค่าลอจิก 0 เมื่อสัญญาณจากคอมพาราเตอร์หรือสัญญาณ Q จาก D Flip Flop มีค่าลอจิก 0 หรือมีค่าลอจิก 1 ทั้งคู่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# บทที่ 2
# ไดอะแกรมและหน้าที่การทำงาน

## 2.1 ไดอะแกรมแสดงการทำงานของเครื่องขยายเสียงคลาส ดี




รูปที่ 2.1 block diagram พื้นฐานของเครื่องขยายเสียงคลาส ดี
ที่ใช้ เดลต้า – ซิกม่ามอดดูเลชั่น

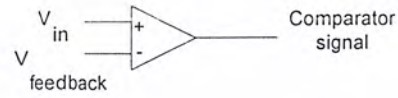
### 2.1.1 ภาคปรีแอมป์ (Pre-Amplifier)

เป็นวงจรที่ใช้ขยายสัญญาณที่ได้จากอุปกรณ์ทรานสดิวเซอร์ (Transducer) คืออุปกรณ์ที่เปลี่ยนพลังงานจากรูปหนึ่งไปเป็นสัญญาณอีกรูปหนึ่ง เช่น ไมโครโฟน หัวเทป หัวเข็มของเครื่องเล่นแผ่นเสียง เป็นต้น สัญญาณที่ได้จากอุปกรณ์ทรานสดิวเซอร์ จะเป็นสัญญาณที่มีขนาดเล็กมากและมีการตอบสนองความถี่ไม่ดี (ไม่ราบเรียบ) ซึ่งเป็นผลอันเนื่องมาจากข้อจำกัดต่างๆในการเล่น ดังนั้น หน้าที่หลักของภาคปรีแอมป์ คือ ทำการขยายสัญญาณให้มีขนาดใหญ่ขึ้น และทำการอิควอไลซ์ (ชดเชยสัญญาณ)

### 2.1.2 ภาคเปรียบเทียบ (Comparator)

เป็นภาคที่ต่อระหว่างปรีแอมป์ซึ่งเป็นภาคแรกๆ กับภาคเพาเวอร์เอาท์พุท ภาคนี้จะรับสัญญาณจากปรีแอมป์และทำการเปรียบเทียบค่าสัญญาณเอาท์พุทที่ถูกป้อนกลับมา เพื่อควบคุมการจ่ายค่าโวลต์เดจให้มีค่าโหลดเพิ่มขึ้นหรือลดลงแสดงดังรูปที่ 2.2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



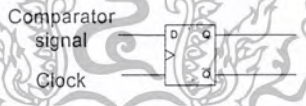

รูปที่ 2.2 วงจรเบื้องต้นส่วนเปรียบเทียบ

2.1.2 ภาคเปรียบเทียบ (Comparator)

เป็นภาคที่ต่อระหว่างปรีแอมป์ซึ่งเป็นภาคแรกๆ กับภาคเพาเวอร์เอาท์พุท ภาคนี้จะรับสัญญาณจากปรีแอมป์และทำการเปรียบเทียบค่าสัญญาณเอาท์พุทที่ถูกป้อนกลับมา เพื่อควบคุมการจ่ายค่าโวลต์เตจให้แก่โหลดเพิ่มขึ้นหรือลดลงแสดงดังรูปที่ 2.2

2.1.3 ภาคสุ่มความถี่ (Sample and Hold)

เป็นการใช้ D Flip Flop ในการทำหน้าที่เก็บค่าสัญญาณที่ได้จากคอมพาเตอร์และทำการค้างค่าสัญญาณ (hold) จนกว่าจะมีสัญญาณนาฬิกามาทำการกระตุ้นให้เกิดการรับค่าใหม่เข้ามาแสดงดังรูปที่ 2.3




รูปที่ 2.3 วงจรเบื้องต้นภาคสุ่มความถี่

2.1.4 ภาคควบคุมการจ่ายกระแส (Charge Control)

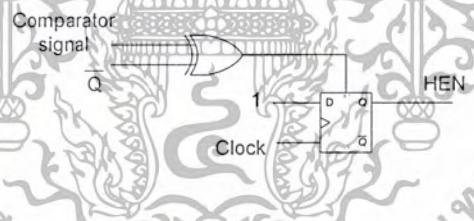
เป็นภาคที่ทำหน้าที่ควบคุมการจ่ายกระแสให้แก่โหลดไม่ให้มีค่ามากเกินกว่าสัญญาณที่ได้จากคอมพาราเตอร์ โดยอาศัยตารางความจริงของ XOR ดังแสดงในตารางที่ 2.1 เพื่อให้ได้สัญญาณ High Side Enable ที่มีค่าลอจิก 1 เมื่อสัญญาณจากคอมพาราเตอร์หรือสัญญาณ Q จาก D Flip Flop มีค่าลอจิก 1 และให้ค่าลอจิก 0 เมื่อสัญญาณจากคอมพาราเตอร์หรือสัญญาณ Q จาก D Flip Flop มีค่าลอจิก 0 หรือมีค่าลอจิก 1 ทั้งคู่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

| COM | Q | HEN |
|---|---|---|
| 0 | 1 | 1 |
| 0 | 0 | 0 |
| 1 | 0 | 1 |
| 1 | 1 | 0 |

ตารางที่ 2.1 ตารางค่าความจริง XOR

ในขั้นแรกนั้นเมื่อมีสัญญาณนาฬิกาขาขึ้นเข้ามา HEN จะมีค่าลอจิก 1 เนื่องจากขา D มีค่าลอจิก 1 เข้ามาตลอดเวลา หลังจากนั้นจะเป็นการเปรียบเทียบค่ากับสัญญาณที่ได้จากคอมพาราเตอร์ กับ Q เพื่อทำการตรวจสอบว่าค่าเอาพุทมีระดับพลังงานเอาท์พุทที่ต้องการแล้วหรือไม่ เมื่อค่าHEN เปลี่ยนค่าจากลอจิก 1 เป็น 0 แล้ว สถานะของ HEN จะเป็นลอจิก 0 คงที่จนกว่าจะมีสัญญาณนาฬิกาลูกใหม่เข้ามา แสดงดังรูปที่ 2.4




รูปที่ 2.4 วงจรเบื้องต้นภาค Charge Control

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# บทที่ 3
# ทฤษฎีเครื่องเสียง

## 3.1 ทรานซิสเตอร์ (Transistor)

ทรานซิสเตอร์เป็นอุปกรณ์อิเล็กทรอนิกส์ซึ่งมีรอยต่อของสารกึ่งตัวนำชนิด P และชนิด N จึงเรียกอีกอย่างหนึ่งว่า ทรานซิสเตอร์รอยต่อไบโพลาร์ (Bipolar Junction Transistor)

การแบ่งทรานซิสเตอร์สามารถแบ่งตามโครงสร้างของทรานซิสเตอร์หรือจากเนื้อสารที่ใช้ทำตัวนำทรานซิสเตอร์ ถ้ามีการแพร่อะตอมสารเจือชนิด N จะเรียกว่าสารกึ่งตัวนำชนิด N-type และในทางกลับกันถ้ามีการแพร่อะตอมสารเจือชนิด P จะเรียกว่าสารกึ่งตัวนำชนิด P-type ซึ่งชนิดของทรานซิสเตอร์มี 2 ชนิดคือ PNP และ NPN ซึ่งมี 3 ขาคือ ขาเบส (B), ขาอิมิเตอร์ (E) และขาคอลเลคเตอร์ (C)

รูปที่ 3.1 สัญลักษณ์และโครงสร้างของทรานซิสเตอร์ชนิด PNP และ NPN

การที่จะบอกว่าทรานซิสเตอร์ตัวใดเป็น PNP และ NPN นั้น โดยทั่วไปบริษัทผู้ผลิตจะบอกมาในหนังสือคู่มือหรือข้อมูลของบริษัทผู้ผลิต หรือกำหนดเบอร์ของทรานซิสเตอร์เป็นกลุ่มของตัวเลขของตัวอักษรเหล่านี้คือ 2SA, 2SB, 2BC, 2SD สัญลักษณ์ที่เป็นตัวอักษรคือ 2SA, 2SB, 2BC, 2SD นั้นจะเป็น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

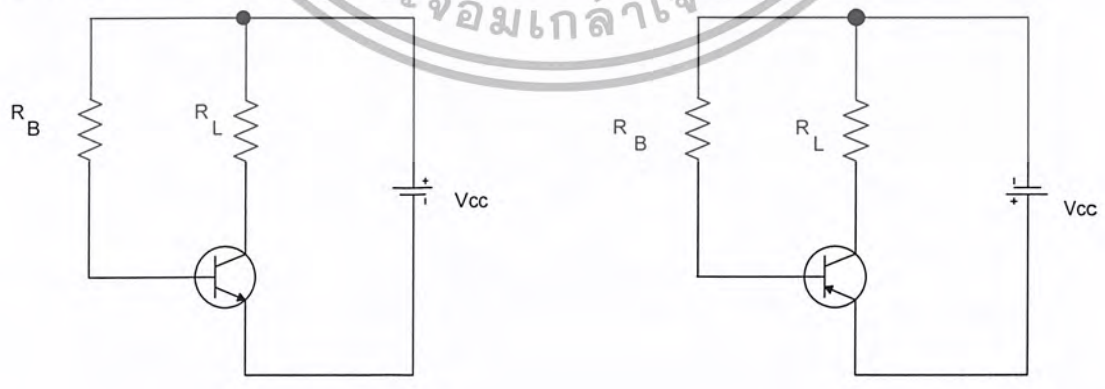
ตัวบอกชนิดของทรานซิสเตอร์ เช่น 2SC และ 2SD เป็นทรานซิสเตอร์ชนิด NPN, 2SA และ 2SB เป็นทรานซิสเตอร์ชนิด PNP เป็นต้น อย่างไรก็ตามจะยึดถือเป็นมาตรฐานไม่ได้

### 3.1.1 การจ่ายไบอัสให้กับวงจรทรานซิสเตอร์

การจัดวงจรขยายของทรานซิสเตอร์แบบพื้นฐานของทรานซิสเตอร์ ซึ่งถ้าจะนำทรานซิสเตอร์ไปใช้งานจริงๆนั้น จะต้องคำนึงถึงการจ่ายไบอัสที่ถูกต้องให้กับตัวทรานซิสเตอร์ด้วย เพราะทรานซิสเตอร์จะมีการทำงานเปลี่ยนแปลงตามอุณหภูมิในตัวทรานซิสเตอร์ ถ้าการจายไบอัสให้กับตัวทรานซิสเตอร์ ไม่ถูกต้องหรือไม่เหมาะสมแล้ว โอกาสที่ทรานซิสเตอร์เสื่อมหรือเสียจะเกิดขึ้นได้ตลอดเวลา ทรานซิสเตอร์จะทำงานได้ หรือมีกระแสคอลเลคเตอร์ ($I_C$) ไหลได้ จะต้องมีกระแสเบส ($I_B$) ไหลก่อน กระแสเบส ($I_B$) จะไหลได้ก็ต้องจ่ายศักย์ไบอัสตรงให้กับขา B เทียบกับขา E หรือต้องมีแรงดัน $V_{BE}$ ที่เป็นไบอัสตรงให้ขา B เทียบกับขา E เสียก่อนจึงจะมีกระแส $I_B$ ไหลและทำให้กระแส $I_C$ เกิดการทำงานในตัวทรานซิสเตอร์ วิธีการจ่ายไบอัสตรงให้ขา B ของทรานซิสเตอร์ทำได้ 4 วิธีคือ

#### 3.1.1.1 ไบอัสคงที่ (Fixed Bias)

ไบอัสคงที่คือ การจ่ายไบอัสให้ขาเบสของทรานซิสเตอร์คงที่ตลอดเวลา โดยไม่มีการเปลี่ยนแปลงเลย ทำได้โดยใช้ความต้านทานคงที่ค่าหนึ่งรับแรงดันจากแหล่งจ่ายมาป้อนเข้าที่ขาเบสของทรานซิสเตอร์




รูปที่ 3.2 วงจรไบอัสคงที่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

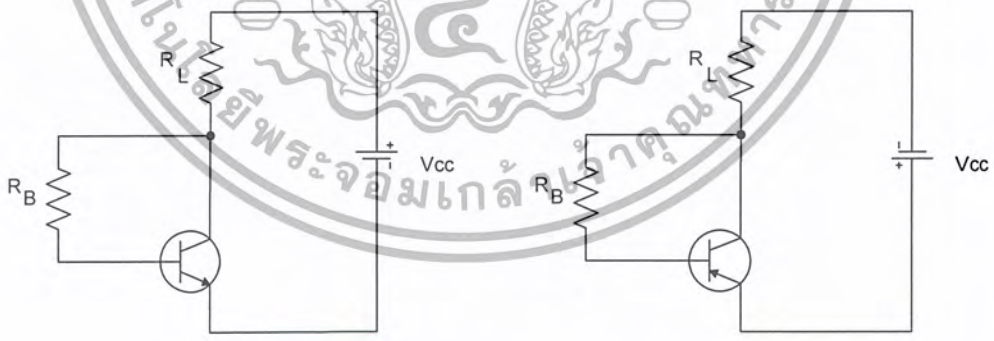
อธิบายการทำงานได้ดังนี้ ความต้านทาน $R_B$ เป็นความต้านทานกำหนดกระแส $I_B$ ไหล โดยมีแรงดัน $V_{BE}$ จ่ายไบอัสตรงให้ขา B เทียบกับขา E เมื่อ $I_B$ ไหลจะทำให้ $I_C$ ไหลด้วย ทรานซิสเตอร์เมื่อนำกระแสจะเกิดความร้อน ทำให้ความต้านทานระหว่างรอยต่อขา C และขา E ลดลง กระแส $I_C$ จะไหลมากขึ้น ซึ่งถ้ายังคงจ่าย $V_{BE}$ เท่าเดิม กระแส $I_B$ จะไหลมากขึ้น นั่นหมายถึงไบอัสที่จ่ายให้ขาเบสของทรานซิสเตอร์มากเกินไป $R_B$ ถูกกำหนดไบอัสให้ขา B คงที่ปรับเปลี่ยนไม่ได้ ทำให้ไบอัสถูกจ่ายเข้าขาเบสของทรานซิสเตอร์มากขึ้นตลอดเวลากระแส $I_C$ ก็จะไหลมากขึ้นตลอดเวลา ทรานซิสเตอร์จะร้อนมากขึ้นทุกขณะจนเสียหาย

ข้อดีของวงจรไบอัสแบบนี้คือ ใช้อุปกรณ์น้อย

ข้อเสียของวงจรไบอัสแบบนี้คือ ไม่คงที่ต่ออุณหภูมิ ไม่สามารถนำไปใช้งานแบบต่อเนื่องได้

**3.1.1.2 ไบอัสช่วย (Self Bias)**

ไบอัสแบบช่วยคือ การจ่ายไบอัสให้ขา B ของทรานซิเตอร์แบบปรับค่าได้ โดยใช้ความต้านทานค่าคงที่ค่าหนึ่ง ขาหนึ่งต่อรับแรงดันจากขา C ของทรานซิสเตอร์ อีกขาหนึ่งของความต้านทานต่อเข้าขา B ของทรานซิสเตอร์




รูปที่ 3.3 วงจรไบอัสช่วย

อธิบายหลักการทำงานได้ดังนี้ $R_B$ เป็นความต้านทานกำหนดกระแส $I_B$ ไหล ขาบนของ $R_B$ ต่อรับแรงดันจากขา C ขาล่างของ $R_B$ ต่อเข้าขา B เกิดแรงดัน $V_{BE}$ จ่ายเป็นแรงดันไบอัส เมื่อกระแส $I_B$ ไหล ก็จะทำให้เกิดกระแส $I_C$ ทรานซิสเตอร์จะเกิดความร้อน ค่าความต้านทานในตัวทรานซิสเตอร์ลดลง ทำให้กระแส $I_C$ ไหลมากขึ้น เมื่อความต้านทานของทรานซิสเตอร์ลดลง $V_C$ ก็จะมีแรงดันลดลงด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

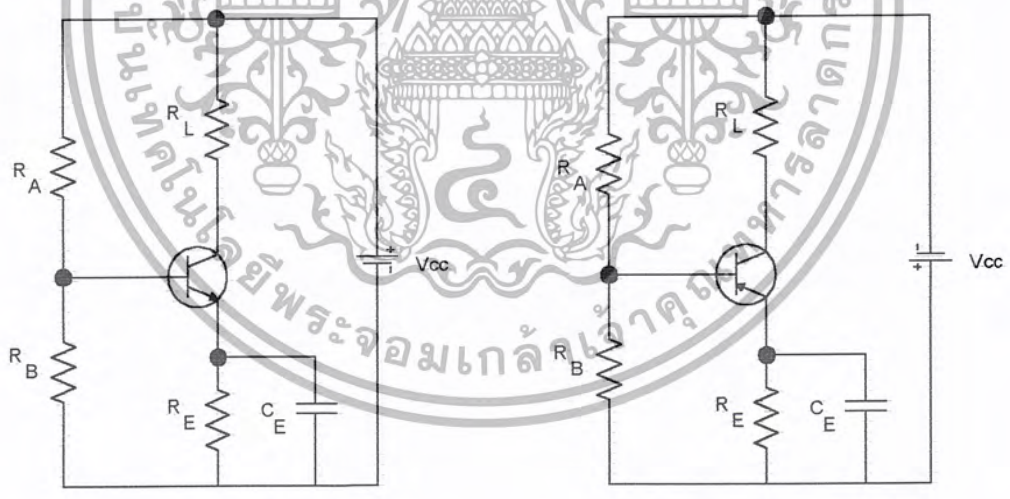
แรงดันที่ถูกจ่ายมาให้ขา B ก็ลดลง แรงดัน $V_{BE}$ จะลดลง ทำให้ $I_B$ ไหลน้อยลง ทรานซิสเตอร์ก็จะทำงานลดลงเข้าสู่สภาวะปกติ

ข้อดีของวงจรไบอัสแบบนี้คือ มีความคงที่ต่ออุณหภูมิดีและสัญญาณที่ขยายออกเอาท์พุทมีความผิดเพี้ยนต่ำ

ข้อเสียของวงจรไบอัสแบบนี้คือ มีอัตราการขยายต่ำเพราะสัญญาณที่ส่งออกเอาท์พุทมีบางส่วนถูกป้อนกลับมาทางอินพุท

### 3.1.1.3 ไบอัสกระแสป้อนกลับ (Current Feedback Bias)

ไบอัสกระแสป้อนกลับหรือไบอัสปรับให้คงที่ (Stability Bias) คือ การจ่ายแรงดันไบอัสที่ขา B ของทรานซิสเตอร์เป็นแบบไบอัสคงที่ โดยถูกจัดเป็นวงจรแบ่งแรงดัน การปรับให้คงที่โดยใส่ความต้านทานที่ขา E ที่เรียกว่าความต้านทานสเตบิไลซ์ (Stabilize Resistor) เป็นตัวช่วยปรับการจ่ายไบอัสให้ขา B เพื่อให้เหมาะกับความต้องการของทรานซิสเตอร์




ก. ทรานซิสเตอร์ชนิด NPN ข. ทรานซิสเตอร์ชนิด PNP

รูปที่ 3.4 วงจรกระแสไบอัสป้อนกลับ

อธิบายหลักการทำงานได้ดังนี้ $R_A$ , $R_B$ ถูกจัดเป็นวงจรแบ่งแรงดัน (Voltage Divider) $R_A$ เป็นตัวจำกัดกระแสที่ไหลผ่านไป $R_B$ ว่ามากหรือน้อย $R_B$ เป็นตัวจ่ายไบอัสตรงให้ขา B ได้แรงดันที่ขา B คือ $V_B$ $R_E$ เป็นความต้านทานสเตบิไลซ์ที่ช่วยปรับแรงดัน $V_{BE}$ ที่จ่ายให้ทรานซิสเตอร์ $C_E$ เป็นตัวจำกัดสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

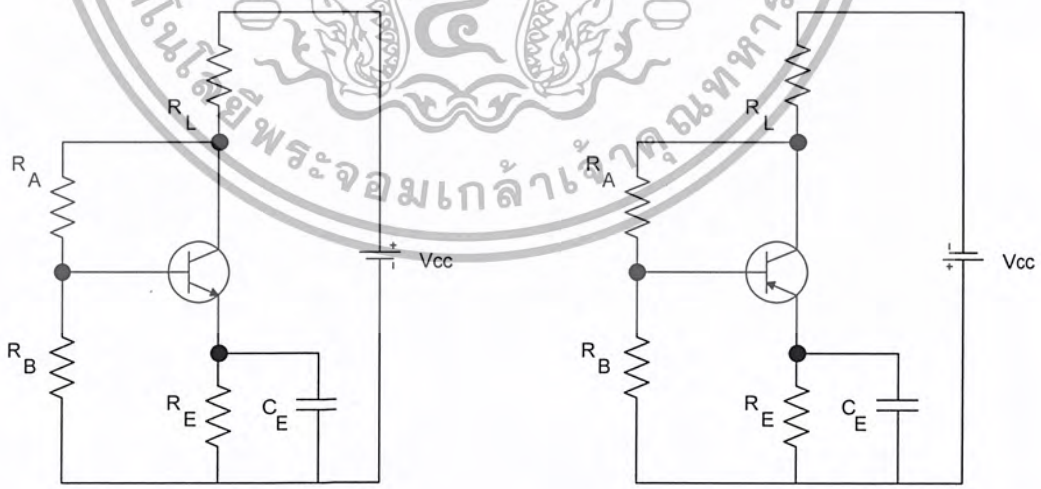
ที่ถูกส่งออกมาที่ขา E ทิ้งลงกราวด์เพื่อทำให้แรงดัน $V_E$ ที่ขา E มีเฉพาะแรงดันไฟ DC เท่านั้น เมื่อจ่ายแรงดัน $V_{BE}$ ให้วงจรถูกต้องทำให้เกิดกระแส $I_B$ ไหล กระแส $I_C$ ก็ไหลตามด้วย ทรานซิสเตอร์จะเกิดความร้อนขึ้น รอยต่อ CE ของทรานซิสเตอร์จะลดค่าความต้านทานลง กระแส $I_C$ จะไหลมากขึ้น มีกระแสไหลผ่าน $R_E$ มากขึ้นเกิดศักย์ตกคร่อม $R_E$ มากขึ้น คือ $V_E$ มีศักย์มากขึ้น ทรานซิสเตอร์ NPN ที่ $V_E$ มีบวกมากขึ้น ทรานซิสเตอร์ PNP ที่ $V_E$ มีศักย์ลบมากขึ้น ส่วนที่ขา B หรือแรงดัน $V_B$ , $V_E$ จะหักล้างกันเหลือเป็นแรงดัน $V_{BE}$ ซึ่งแรงดัน $V_{BE}$ จะลดลง ทำให้กระแส $I_B$ ไหลลดลง ทรานซิสเตอร์ทำงานน้อยลง กระแส $I_C$ ไหลน้อยลง ทรานซิสเตอร์ทำงานเข้าสู่สภาวะปกติ

ข้อดีของวงจรไบอัสแบบนี้คือ มีความคงที่ต่ออุณหภูมิดีมาก $R_E$ ที่เพิ่มขึ้นมาทำให้กระแส $I_C$ ไหลคงที่

ข้อเสียของวงจรไบอัสแบบนี้คือ สิ้นเปลืองค่าใช้จ่ายเนื่องจากใช้อุกรณ์ในการต่อวงจรมาก

### 3.1.1.4 ไบอัสผสม (Mixed Bias)

ไบอัสผสมคือ การจัดแรงดันไบอัสให้ขาเบสเป็นแบบผสม ระหว่างไบอัสช่วยกับไบอัสกระแสป้อนกลับ ทำให้การทำงานของทรานซิสเตอร์มีความคงที่ต่ออุณหภูมิมากที่สุด




ก. ทรานซิสเตอร์ชนิด NPN ข. ทรานซิสเตอร์ชนิด PNP

รูปที่ 3.5 วงจรไบอัสผสม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อธิบายหลักการทำงานของวงจรไบอัสแบบผสมได้ดังนี้ $R_A$ , $R_B$ เป็นวงจรแบ่งแรงดัน $R_A$ เป็นตัวจำกัดกระแส $R_B$ เป็นตัวจ่ายไบอัสให้ขา B คือ $V_B$ ขาบน $R_A$ รับแรงดันจากขา C $R_E$ เป็นความต้านทานสเตบิไลซ์ ปรับแรงดัน $V_{BE}$ ให้พอเหมาะ เมื่อจ่าย $V_{BE}$ ถูกต้องให้ขา B กระแส $I_B$ ไหล ทำให้กระแส $I_C$ ไหลด้วย ทรานซิสเตอร์ทำงานเกิดความร้อน ทำให้ $I_C$ ไหลมากขึ้น มีศักย์ตกคร่อม $R_E$ มากขึ้น แรงดัน $V_E$ มีศักย์มากขึ้น ทรานซิสเตอร์เมื่อนำกระแสมากขึ้นความต้านทานรอยต่อ CE ลดลง กระแส $I_C$ จะลดลงด้วย ทำให้แรงดัน $V_B$ ลดลงตาม จากที่แรงดัน $V_B$ ลดลง แรงดัน $V_E$ เพิ่มขึ้นนี้ ทำให้แรงดัน $V_{BE}$ เปลี่ยนแปลงลดค่าลง ไบอัสที่จ่ายให้ขา B ลดลง กระแส $I_B$ จะไหลลดลงควบคุมให้กระแส $I_C$ ไหลลดลง ทรานซิสเตอร์ทำงานเข้าสู่สภาวะปกติ

ข้อดีของวงจรไบอัสแบบนี้คือ วงจรมีความคงที่ต่ออุณหภูมิดีที่สุดและมีความผิดเพี้ยนน้อย

ข้อเสียของวงจรไบอัสแบบนี้คือ อัตราการขยายต่ำ เพราะมีการป้อนกลับสัญญาณเอาท์พุทมาเข้าอินพุท และใช้อุปกรณ์มากในการต่อวงจร ทำให้ค่าใช้จ่ายมากขึ้น

## 3.2 รูปแบบวงจรทรานซิสเตอร์

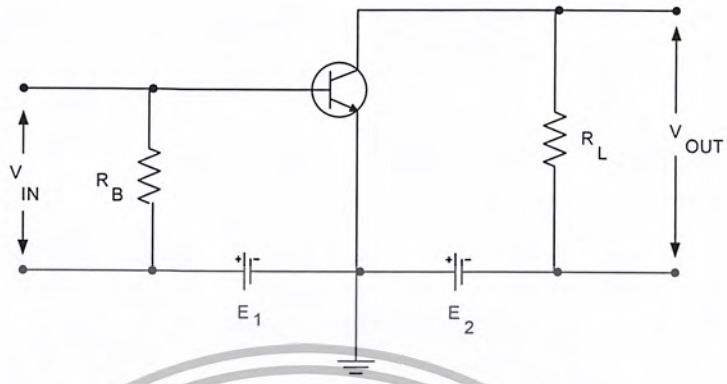
จัดเป็นวงจรพื้นฐานได้ 3 แบบคือ

1. วงจรขยายอิมิเตอร์ร่วมหรือคอมมอนอิมิเตอร์ (Common Emitter)
2. วงจรขยายคอลเลคเตอร์ร่วมหรือคอมมอนคอลเลคเตอร์ (Common Collector)
3. วงจรขยายเบสร่วมหรือคอมมอนเบส (Common Base)

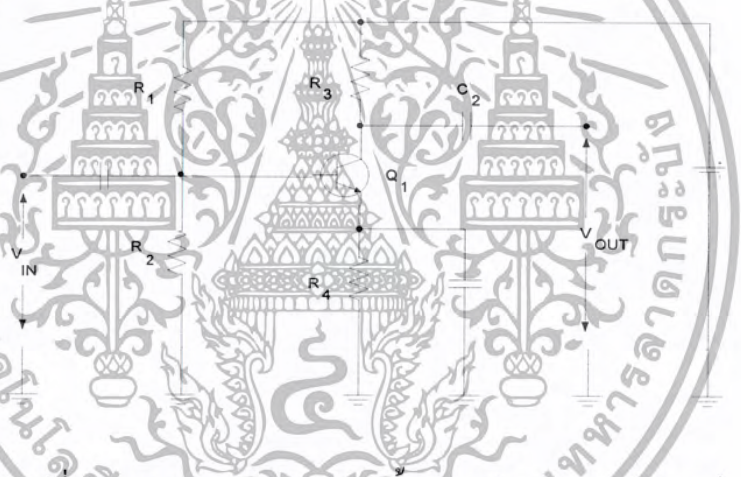
### 3.2.1 วงจรขยายคอมมอนอิมิเตอร์ (Common Emitter)

วงจรคอมมอนอิมิเตอร์เป็นวงจรที่เอาขา E ของทรานซิสเตอร์เป็นขาร่วมระหว่างอินพุทกับเอาท์พุท ขา B เป็นขาอินพุทของวงจร ขา C เป็นขาเอาท์พุทของวงจร เมื่อป้อนสัญญาณเข้าที่ขา B กับขา E ทำให้เกิดแรงดัน $E_i$ เปลี่ยนแปลง มีผลให้กระแส $I_i$ เปลี่ยนแปลงด้วย สัญญาณจะถูกทรานซิสเตอร์ขยายส่งออกเอาท์พุทขา C กับ E ได้แรงดัน $E_0$ เปลี่ยนแปลงและมีผลทำให้กระแส $I_0$ เปลี่ยนแปลงตามไปด้วย อัตราการเปลี่ยนแปลงนี้คือ อัตราการขยายสัญญาณนั่นเอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 3.6 วงจรคอมมอนอิมิเตอร์ที่ใช้ทรานซิสเตอร์ NPN




รูปที่ 3.7 วงจรขยายสัญญาณแบบพื้นฐานชนิดคอมมอนอิมิเตอร์

จากรูปที่ 3.7 เป็นวงจรขยายสัญญาณที่ใช้งานจริงชนิดคอมมอนอิมิเตอร์ ใช้แหล่งจ่าย $V_{CC}$ ชุดเดียว สัญญาณอินพุทถูกป้อนเข้าขา B ของ $Q_1$ เทียบกับกราวด์ สัญญาณที่ถูกส่งออกที่ขา C ของ $Q_1$ เทียบกับกราวด์ $R_1$ , $R_2$ ต่อวงจรเป็นวงจรแบ่งแรงดัน มี $R_2$ เป็นตัวจ่ายไบอัสให้ขา B ของ $Q_1$ $R_1$ เป็นตัวจำกัดกระแสที่ไหลผ่าน $R_2$ $R_3$ เป็นความต้านทานโหลดเพื่อจ่ายสัญญาณที่ถูกขยายมาจาก $Q_1$ ออกเอาท์พุท $R_4$ เป็นตัวควบคุมไบอัสที่จ่ายให้ $Q_1$ ทำให้ $Q_1$ ทำงานคงที่ต่ออุณหภูมิ $C_3$ กำจัดสัญญาณที่ไม่ต้องการทิ้ง ทำให้ขา E ของ $Q_1$ มีแรงดันไฟฟ้าคงที่ สัญญาณขยายของวงจรนี้จะกลับเฟส 180°

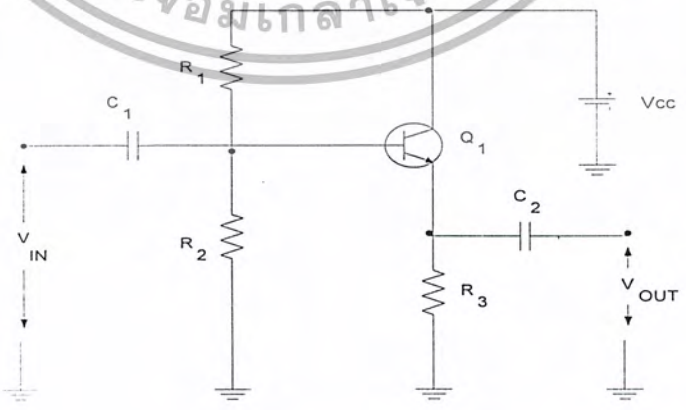
การนำไปใช้งานของวงจรคอมมอนอิมิเตอร์ วงจรขยายชนิดนี้เป็นวงจรขยายที่นิยมใช้งานมากที่สุด เพราะให้อัตราขยายสัญญาณดีทั้งอัตราขยายแรงดันและอัตราขยายกระแส นิยมนำไปใช้เป็นวงจรขยายเสียง ขยายสัญญาณต่างๆ ขยายกำลัง และใช้เป็นวงจรกำเนิดความถี่รูป sine

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### 3.2.2 วงจรขยายคอมมอนคอลเลคเตอร์ (Common Collector)

วงจรคอมมอนคอลเลคเตอร์มีชื่อเรียกอีกชื่อหนึ่งว่าอิมิเตอร์ฟอลโลเวอร์ (Emitter Follower) จะเป็นวงจรที่เอาขา C เป็นขาร่วมระหว่างอินพุทกับเอาท์พุท โดยขาอินพุทถูกป้อนเข้าที่ขา B และขาเอาท์พุทถูกส่งออกขา E ในการป้อนสัญญาณอินพุทที่เข้ามาที่ขา B จะทำให้กระแสเบส ($I_B$) ไหลเปลี่ยนแปลงตามสัญญาณที่ป้อนเข้ามา เป็นผลให้กระแสอิมิเตอร์ ($I_E$) ไหลเปลี่ยนแปลงตามไปด้วย จากผลของการป้อนสัญญาณเข้าอินพุททำให้ระดับแรงดันเอาท์พุท ($E_0$) เปลี่ยนแปลงตามไปด้วย ผลของการเปลี่ยนแรงดันและกระแสทำให้เกิดการขยายสัญญาณขึ้น

รูปที่ 3.8 วงจรคอลเลคเตอร์ร่วม ใช้ทรานซิสเตอร์ชนิด NPN




รูปที่ 3.9 วงจรขยายสัญญาณพื้นฐานชนิดคอมมอนคอลเลคเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

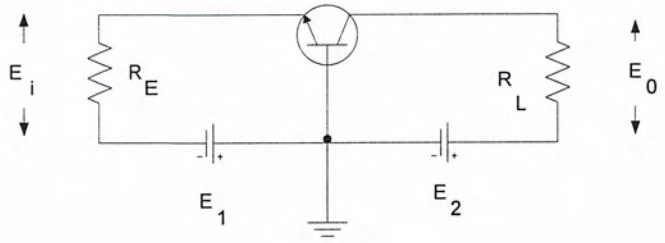
จากรูปที่ 3.9 เป็นวงจรขยายสัญญาณแบบที่ใช้งานจริงชนิดคอมมอนคอลเลคเตอร์ ใช้แหล่งจ่าย $V_{CC}$ ชุดเดียว สัญญาณอินพุทถูกป้อนเข้าขา B ของ $Q_1$ เทียบกับกราวด์ สัญญาณที่ถูกส่งออกที่ขา E ของ $Q_1$ โดยที่ขา C ไม่ได้เป็นทั้งขาป้อนสัญญาณเข้าและขารับสัญญาณออกจึงเป็นขาร่วม $R_1$ , $R_2$ จัดเป็นวงจรแบ่งแรงดัน จ่ายไบอัสให้กับขา B ของ $Q_1$ $R_2$ จะเป็นตัวจ่ายไบอัสให้ขา B $R_1$ เป็นตัวจำกัดกระแสที่ไหลผ่าน $R_2$ เพื่อควบคุมแรงดันที่จะตกคร่อม $R_2$ ให้พอเหมาะ $R_3$ เป็นโหลดที่รับสัญญาณที่ขยายจาก $Q_1$ แล้วส่งมาตกคร่อม $R_3$ เพื่อส่งต่อสัญญาณนั้นออกเอาท์พุท

การนำไปใช้งานของวงจรคอมมอนคอลเลคเตอร์นั้น นำไปใช้เป็น วงจรแมทชิ่ง วงจรบัฟเฟอร์ (Buffer) วงจรบัฟเฟอร์คือ วงจรที่ใช้คั่นกลางระหว่าง 2 วงจร ที่ต้องทำงานร่วมกันแต่ไม่ต้องการให้เกิดการรบกวนกัน เช่น ใช้เป็นตัวคั่นกลางระหว่างวงจรกำเนิดความถี่ออสซิลเลเตอร์ที่ต้องการความถี่แน่นอนกับวงจรมิกเซอร์ โดยวงจรกำเนิดความถี่สามารถที่จะส่งความถี่ผ่านวงจรบัฟเฟอร์ไปยังวงจรมิกเซอร์ได้ แต่วงจรมิกเซอร์ไม่สามารถส่งสัญญาณซึ่งอาจประกอบด้วยความถี่หลายความถี่ย้อนกลับ

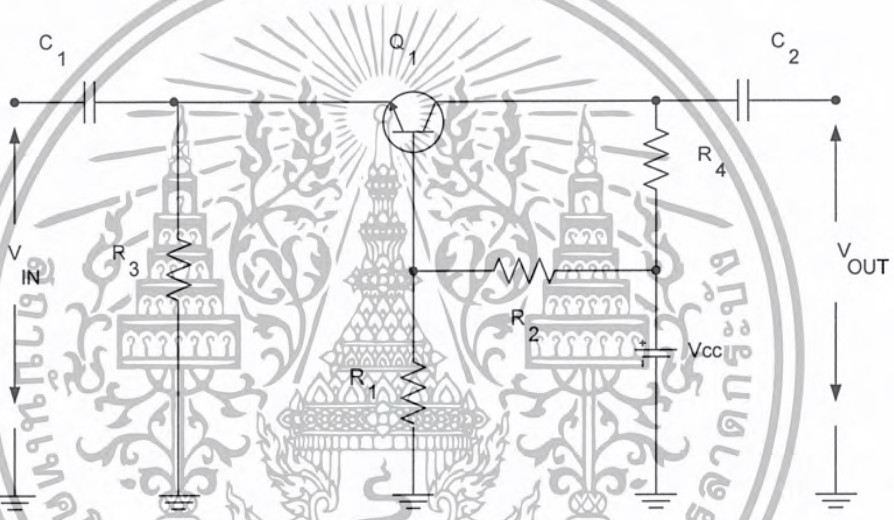
### 3.2.3 วงจรคอมมอนเบส (Common Base)

วงจรขยายคอมมอนเบส จะเอาขา B เป็นขาร่วมระหว่างอินพุทกับเอาท์พุท โดยขาอินพุทจะถูกป้อนเข้าที่ขา E และขาเอาท์พุทจะถูกส่งออกที่ขา C ในการป้อนสัญญาณอินพุทเข้าที่ขา E จะทำให้กระแสอิมิเตอร์ ($I_E$) ไหลเปลี่ยนแปลงตามสัญญาณที่ป้อนเข้ามาเป็นผลให้ กระแสคอลเลคเตอร์ ($I_C$) เปลี่ยนแปลงตามไปด้วย การป้อนสัญญาณอินพุทเข้ามาจะทำให้ระดับแรงดันอินพุท ($E_i$) เปลี่ยนแปลงเป็นผลให้ระดับเอาท์พุท ($E_o$) เปลี่ยนแปลงตามไปด้วย ผลสภาวะการเปลี่ยนแปลงดังกล่าวจะทำให้เกิดการขยายสัญญาณขึ้น ในวงจรขยายคอมมอนเบส อัตราการขยายทางกระแสเรียกว่า อัลฟา หาได้จาก $I_C / I_E$ จะมีอัตราการขยายกระแสน้อยกว่าหนึ่งเท่า ส่วนกระแสในวงจรทรานซิสเตอร์จะมีความสัมพันธ์กัน ดังนี้คือ $I_E = I_B + I_C$ แต่เนื่องจากกระแสเบสเป็นกระแสส่วนน้อย บางครั้งจะทำให้กระแสคอลเลคเตอร์เท่ากับกระแสอิมิเตอร์ ในการคำนวณค่าโดยประมาณจึงเห็นได้ว่า คลาสอัตราการขยายกลุ่มอัลฟามีค่าอยู่ระหว่าง 0.98 – 0.99 ซึ่งจะได้อัตราขยายไม่เกิน 1 เท่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 3.10 วงจรคอมมอนเบส ใช้ทรานซิสเตอร์ชนิด NPN




รูปที่ 3.11 วงจรขยายสัญญาณแบบพื้นฐานชนิดคอมมอนเบส

จากรูปที่ 3.11 เป็นวงจรขยายสัญญาณแบบที่ใช้งานจริงชนิดคอมมอนคอลเลคเบส ใช้แหล่งจ่าย $V_{CC}$ ชุดเดียว $R_1$ , $R_2$ จัดเป็นวงจรแบ่งแรงดัน $R_1$ จ่ายไบอัสให้กับขา B ของ $Q_1$ $R_2$ เป็นตัวจำกัดกระแสในวงจรแบ่งแรงดัน $R_3$ ต่อลงกราวด์ ทำให้ขา E ของ $Q_1$ ได้รับศักย์ลบสูงสุดเมื่อเทียบกับขา C ของ $Q_1$ ซึ่งได้รับศักย์บวกสูงสุด $R_3$ เป็นตัวรับสัญญาณอินพุทที่ป้อนเข้ามาตกคร่อม $R_3$ เพื่อส่งไปขยายสัญญาณที่ $Q_1$ $R_4$ เป็นโหลดที่จะรับสัญญาณที่ถูกขยายแล้วจาก $Q_1$ มาตกคร่อม $R_4$ เพื่อส่งต่อสัญญาณนั้นออกเอาท์พุท

การนำไปใช้งานของวงจรคอมมอนเบส นำไปใช้เป็นวงจรกำเนิดความถี่ (Oscillator) วงจรขยายแรงดัน วงจรแมทชิ่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### 3.3 คลาสต่างๆของวงจรขยายเสียง

การขยายเสียงให้มีความดังมากขึ้น ถือว่าเป็นสิ่งที่สำคัญในวงจรขยายเสียงและจะต้องนำไปใช้ในการขยายสัญญาณเสียงจากแหล่งกำเนิดต่างกัน ต้องการความดังของสัญญาณต่างกันทำให้การจัดวงจรขยายเสียงหรือวัดคลาสของการขยายต่อกัน เพื่อให้เกิดความเหมาะสมในการนำไปใช้งานและทำให้สัญญาณเสียงที่ได้ออกมีความชัดเจนไม่ผิดเพี้ยนหรือมีความดังตามต้องการ การจัดคลาสการขยายจัดได้ตามการกำหนดจุดทำงาน (Operating point) ของวงจรขยายแบ่งเป็น 5 แบบคือ

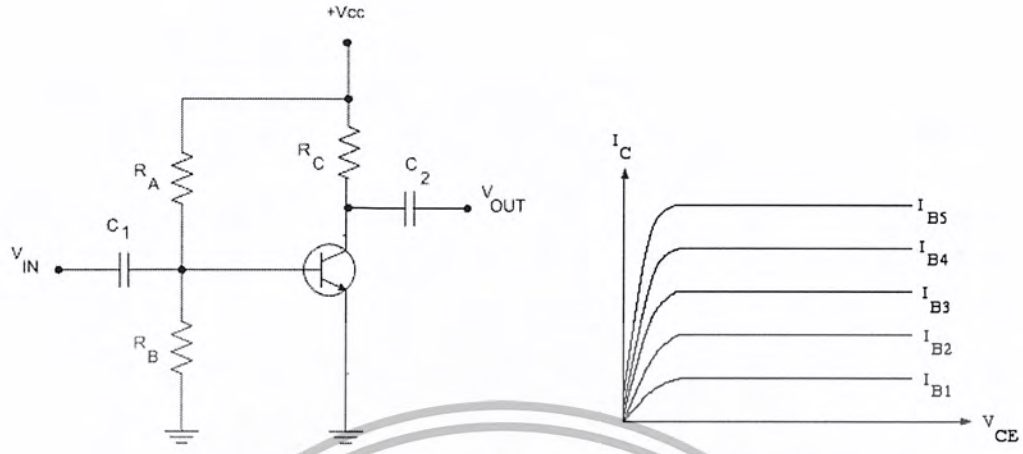
1. คลาส-เอ (A-Class)
2. คลาส-บี (B-Class)
3. คลาส-ซี (C-Class)
4. คลาส-เอบี (AB-Class)
5. คลาส-ดี (D-Class)

การจัดวงจรขยายแต่ละคลาสมีจุดทำงานต่างกัน มีลักษณะการทำงานต่างกัน การใช้งานจะต้องเลือกคลาสการขยายให้เหมาะสมถูกต้อง จึงจะทำให้การขยายสมบูรณ์และมีประสิทธิภาพสูง ซึ่งก่อนที่จะกล่าวถึงคลาสวงจรขยาย จะต้องทำความเข้าใจถึงจุดการทำงานของวงจรเสียก่อนโดยต้องทราบและเข้าใจถึงกราฟและเส้นโหลด (Load Line) เสียก่อน

#### 3.3.1 กราฟและเส้นโหลดของวงจรขยาย

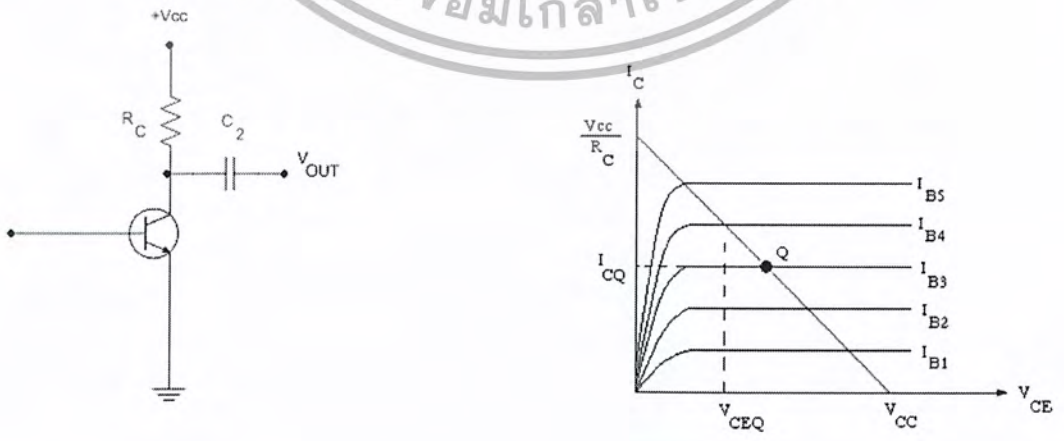
วงจรขยายที่นำมาใช้งานสามารถจัดวงจรร่วม (C0mmon) ได้หลายแบบ เช่น เบสร่วม คลอเลคเตอร์ร่วม อิมิเตอร์ร่วม แต่การกล่าวถึงกราฟและเส้นโหลดของวงจรขยายนี้ ขอกล่าวถึงเพียงวงจรเดียวคืออิมิเตอร์ร่วมเพื่อให้เป็นแนวทางในการทำความเข้าใจในเรื่องกราฟและเส้นโหลดต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 3.12 แสดงวงจรขยายแบบคอมมอนอิมิเตอร์พร้อมคุณสมบัติของวงจร

จากรูปที่ 3.12 ก. แสดงวงจรขยายคอมมอนอิมิเตอร์ รูป ข. แสดงกราฟคุณสมบัติของวงจรขยายแบบคอมมอนอิมิเตอร์รูป ก. เส้นกราฟแนวนอนแสดงแรงดันที่ตรงคร่อมขา C และขา E ($V_{CE}$) ของทรานซิสเตอร์ จะมีศักย์ตกคร่อมขา C ขา E ของทรานซิสเตอร์เปลี่ยนแปลงไปตามการนำกระแสของตัวทรานซิสเตอร์ คือทรานซิสเตอร์จะนำกระแสมาก $V_{CE}$ จะต่ำ ทรานซิสเตอร์นำกระแสน้อย $V_{CE}$ จะสูง ส่วนกราฟแนวนอนอีกเส้นหนึ่งที่เลื่อนขึ้นเป็นลำดับคือ กราฟแสดงการไหลของ $I_B$ ในวงจรขยายของทรานซิสเตอร์ ซึ่งจะมีความสัมพันธ์กับกระแส $I_C$ และแรงดัน $V_{CE}$ คือถ้ากระแส $I_B$ ไหลน้อย ทรานซิสเตอร์ทำงานน้อย กระแส $I_C$ จะไหลน้อยไปด้วย แรงดัน $V_{CE}$ จะตกคร่อมมาก ถ้ากระแส $I_B$ ไหลมาก ทรานซิสเตอร์ทำงานมาก กระแส $I_C$ จะไหลมาก แรงดัน $V_{CE}$ จะตกคร่อมน้อย กระแส $I_{B1}$ จะมีค่าน้อย กราฟต่ำ กระแส $I_{B5}$ มีค่ากระแสมากกราฟจะสูงตามรูป ข.




ก. วงจรคอมมอนอิมิเตอร์เฉพาะวงจรเอาท์พุท ข.กราฟ Load line และจุดปฏิบัติการ

รูปที่ 3.13 วงจรคอมมอนอิมิเตอร์ เฉพาะส่วนเอาท์พุท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 3.13 ก. จะสามารถเขียนสมการแรงดันทางเอาท์พุทของวงจรได้ดังนี้

$$V_{CC} = I_C R_C + V_{CE} \tag{3.1}$$

ในการหาเส้นโหลด (Load Line) ของวงจรต้องกำหนดจุดการทำงานของวงจรทรานซิสเตอร์ 2 สภาวะคือ สภาวะนำกระแสของทรานซิสเตอร์ถึงจุดอิ่มตัว (Saturation) และสภาวะหยุดนำกระแส (Cut Off) ของทรานซิสเตอร์

1. ทรานซิสเตอร์นำกระแสถึงจุดอิ่มตัว $V_{CE} = 0$

$$\therefore V_{CC} = I_C R_C + 0 \tag{3.2}$$

$$I_C = \frac{V_{CC}}{R_C} \tag{3.3}$$

2. ทรานซิสเตอร์หยุดนำกระแส $I_C = 0$

$$V_{CC} = (0 \times R_C) + V_{CE} \tag{3.4}$$

$$V_{CE} = V_{CC} \tag{3.5}$$

จากสมการที่ (3.3) และ (3.5) นำไปกำหนดจุดบนกราฟรูป ข. โดย ลากเส้นตรงสัมผัสจุดทั้งสองจะได้เส้นโหลดออกมา

การหาจุดทำงานหรือจุด Q (Operating Point) ทำได้โดยเลือกจุดตัดระหว่างเส้นโหลดกับเส้นกระแส $I_B$ ที่ค่าต่างๆ ซึ่งเมื่อทราบ $I_B$ ก็สามารถหา $I_{CQ}$ และ $V_{CEQ}$ ได้

$I_{CQ}$ = กระแสที่ไหลผ่านวงจรในสภาวะทำงานจริงของทรานซิสเตอร์ที่จุดทำงาน

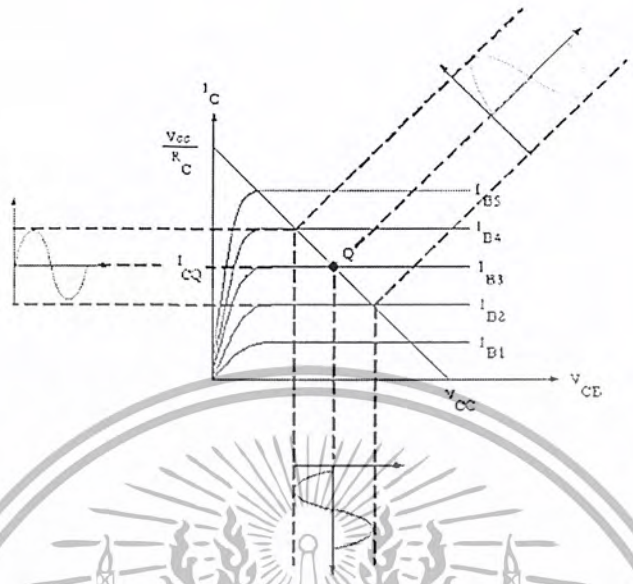
$V_{CEQ}$ = แรงดันตกคร่อมขา C และ E ของทรานซิสเตอร์ในสภาวะทำงานจริงที่จุดทำงาน

การหาค่ากระแส $I_B$ สามารถหาได้จากการเขียนสมการของวงจรอินพุทรูปที่ 3.12 ก.

$$I_B = \frac{V_{CC} - V_{CE}}{R_B} \tag{3.6}$$

จากกราฟรูป ข. ได้จุด Q ที่จุดตัดระหว่างเส้นโหลดกับกระแส $I_{B3}$ กระแส $I_{B3}$ คือกระแส $I_B$ ที่ไหลเข้าขาเบสของทรานซิสเตอร์ในสภาวะทำงานจริงของทรานซิสเตอร์ในขณะที่ไม่มีสัญญาณอินพุทป้อนเข้ามา เมื่อมีสัญญาณไฟสลับป้อนเข้ามาที่อินพุท จะไปทำให้กระแส $I_B$ เปลี่ยนแปลงเพิ่มขึ้นหรือลดลง ก็จะทำให้กระแส $I_C$ และแรงดัน $V_{CE}$ เปลี่ยนแปลงเพิ่มขึ้นหรือลดลงตามไปด้วย ดังรูปที่ 3.14

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



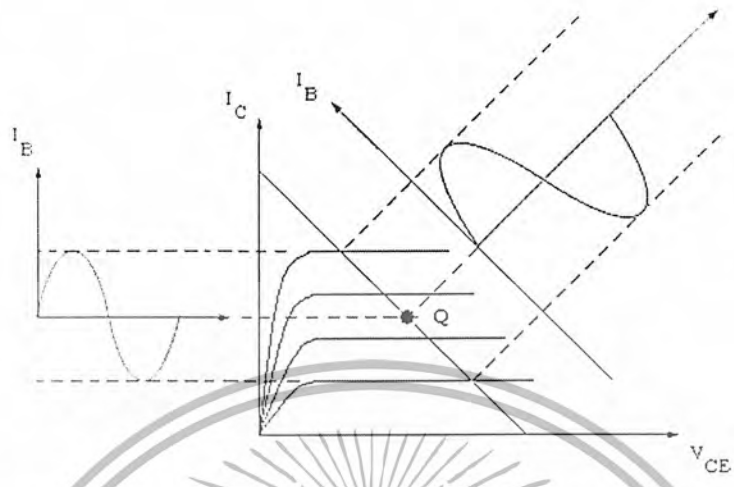

รูปที่ 3.14 แสดงสัญญาณไฟสลับของกระแส $I_C$ , $I_B$ และ
แรงดัน $V_{CE}$ ที่เปลี่ยนแปลงตามสัญญาณอินพุท

จากรูปที่ 3.14 แสดงให้เห็นถึงสัญญาณไฟสลับที่เกิดขึ้นเนื่องจากการป้อนสัญญาณอินพุท ทำให้กระแส $I_C$ ไหลเปลี่ยนแปลงไปผ่านความต้านทาน $R_C$ (คือ ความต้านทานโหลดที่จะทำให้เกิดศักย์ตกคร่อมป้อนเป็นสัญญาณเอาท์พุท) เกิดแรงดันตกคร่อม $R_C$ เปลี่ยนแปลงได้เป็นสัญญาณไฟสลับที่จะป้อนออกเอาท์พุท สัญญาณไฟสลับที่ได้ออกมาก็คือสัญญาณที่ถูกขยายจากวงจรคอมมอนอิมิเตอร์นั่นเอง

### 3.2.2 วงจรขยายคลาส-เอ (A-Class Amplifier)

วงจรขยายคลาส-เอ เป็นวงจรขยายที่มีจุดทำงานอยู่ในช่วงแอคทีฟ (Active) คือ ช่วงการทำงานของทรานซิสเตอร์ที่เป็นลิเนียร์ (Linear) **ย่านลิเนียร์ คือ** ย่านการทำงานของทรานซิสเตอร์ที่ทำงานเปลี่ยนแปลงเพิ่มขึ้นหรือลดลงเป็นอัตราส่วนโดยตรงกับกระแส $I_B$ ที่เปลี่ยนแปลงอย่างสอดคล้องและสัมพันธ์กันหรือกล่าวแบบง่ายๆ คือ วงจรขยายคลาส-เอ จะมีจุดทำงานอยู่ที่จุดกึ่งกลางของเส้นโหลด (Load Line) การทำงานของวงจรขยายคลาส-เอ ถึงแม้จะไม่มีสัญญาณไฟสลับป้อนเข้ามาทางอินพุท ก็จะมีกระแส $I_B$ ไหลตลอดเวลา ทำให้เกิดกระแส $I_C$ ไหลตลอดเวลาเช่นเดียวกัน วงจรขยายแบบนี้จะขยายสัญญาณทั้งช่วงบวกและช่วงลบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 3.15 แสดงจุดทำงานของวงจรขยายคลาส-เอ

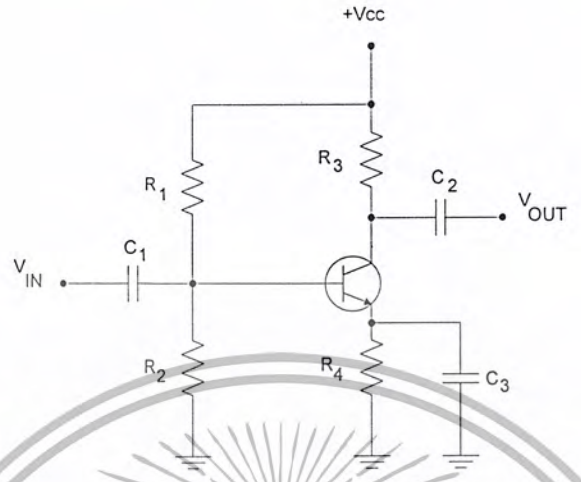
จากรูปที่ 3.15 เป็นรูปกราฟแสดงจุดการทำงานของวงจรขยายคลาส-เอ จะทำงานที่กึ่งกลางย่านลิเนียร์ หรือกึ่งกลางเส้นโหลด สัญญาณอินพุทจะถูกขยายทั้งช่วงบวกและช่วงลบเท่าๆ กัน โดยมีอัตราขยายสัญญาณของวงจรไม่สูงมาก ถ้าให้อัตราขยายสัญญาณสูงเกินไปจะทำให้เกิดความผิดเพี้ยน และจุดประสงค์ของวงจรขยายคลาส-เอ จะต้องขยายสัญญาณแบบไม่ผิดเพี้ยน

การนำไปใช้งาน นิยมใช้ในวงจรขยายสัญญาณทั่วไปที่ไม่ต้องการอัตราขยายสูงมากนัก เช่น ภาคขยายความถี่วิทยุ (ขยาย RF) ทั้งวิทยุและโทรทัศน์ ภาคขยาย IF ภาคขยายวิดีโอเอาท์พุท โดยเฉพาะภาคปรีแอมป์ ซึ่งต้องการเสียงเพี้ยนให้น้อยที่สุดเท่าที่จะทำได้ เป็นต้น

ข้อดี ของวงจรขยายคลาส-เอ คือ รูปสัญญาณออกเอาท์พุทจะเหมือนกับสัญญาณอินพุทโดยไม่ผิดเพี้ยน

ข้อเสีย ของวงจรขยายคลาส-เอ คือ สิ้นเปลืองกระแส ทรานซิสเตอร์ทำงานตลอด และอัตราการขยายต่ำ คือให้ประสิทธิภาพต่ำประมาณ 25 เปอร์เซ็นต์ เมื่อเป็นชนิดเชื่อมต่อโดยตรงกับโหลด เพราะจะมีกำลังงานสูญเสียเนื่องจากกระแสไฟตรง $I_C$ ไหลอยู่ตลอดเวลาแม้ว่าจะยังไม่มีสัญญาณอินพุทเข้ามาก็ตาม

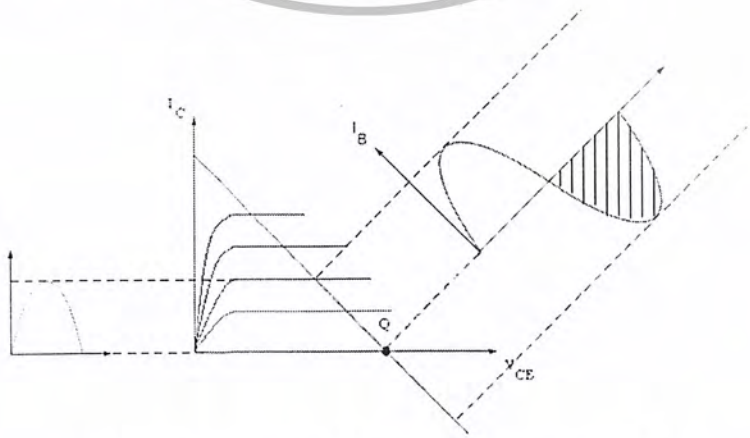
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 3.16 วงจรขยายสัญญาณแบบคลาส-เอ

### 3.3.3 วงจรขยายคลาส-บี (B-Class Amplifier)

วงจรขยายคลาส-บี เป็นวงจรขยายที่กำหนดจุดทำงาน (Q Point) อยู่ตรงตำแหน่งคัทออฟ (Cut Off) พอดี หมายถึงทรานซิสเตอร์ในการจ่ายไบอัสที่ขา B มีไบอัสเป็น 0 โวลท์ หรืองดจ่ายไบอัสให้ขา B ของทรานซิสเตอร์ ส่วนขา C ขา E ยังคงจ่ายไบอัสเป็นปกติ ทรานซิสเตอร์จะไม่นำกระแสในกรณีที่ไม่มีสัญญาณอินพุทป้อนเข้ามา ถ้าต้องการให้ทรานซิสเตอร์นำกระแส จะต้องป้อนสัญญาณอินพุทเข้ามา และต้องเป็นสัญญาณอินพุทที่ทำให้ขา B ของทรานซิสเตอร์ได้รับไบอัสตรง ทรานซิสเตอร์ชนิด PNP ต้องจ่ายสัญญาณอินพุทเป็นลบ ทรานซิสเตอร์จึงจะนำกระแส ทรานซิสเตอร์ชนิด NPN ต้องจ่ายสัญญาณอินพุทเป็นบวก ทรานซิสเตอร์จึงจะนำกระแสการขยาย




รูปที่ 3.17 แสดงจุดการทำงานของวงจรขยายคลาส-บี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

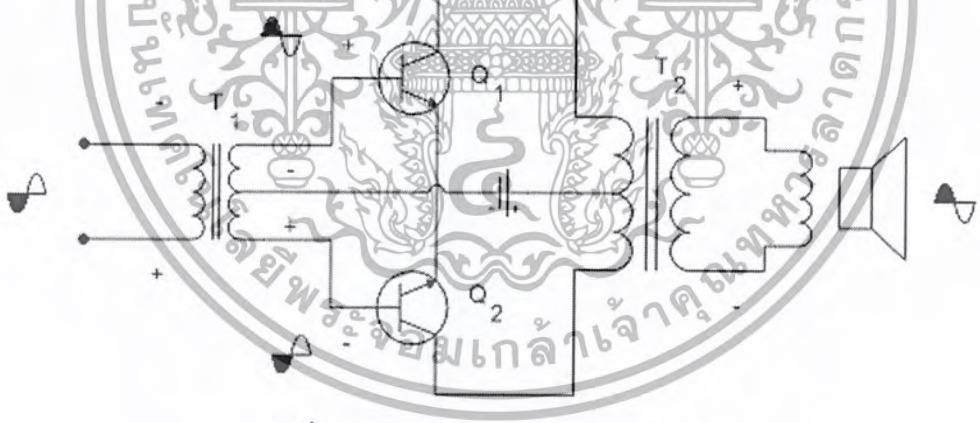


วงจรขยายคลาส-บี จะขยายสัญญาณเพียงซีกใดซีกหนึ่งเท่านั้น ขึ้นอยู่กับชนิดของทรานซิสเตอร์ ทรานซิสเตอร์ชนิด NPN จะขยายเฉพาะสัญญาณช่วงบวก ทรานซิสเตอร์ชนิด PNP จะขยายเฉพาะสัญญาณช่วงลบ

จากรูปที่ 3.17 เป็นกราฟแสดงจุดการทำงานของวงจรขยายคลาส-บี จะทำงานที่จุดคัทออฟ คือ จุดต่ำสุดของเส้นโหลด (จุดตัดระหว่างเส้นโหลดกับเส้นแรงดัน $V_{CE}$) มีผลให้สัญญาณอินพุทที่ป้อนเข้ามาจะถูกขยายสัญญาณเพียงซีกเดียว ขึ้นอยู่กับชนิดของทรานซิสเตอร์ กระแส $I_B$ ก็จะไหลเพียงซีกเดียวซีกใดซีกหนึ่ง ทำให้กระแส $I_C$ ที่ไหลผ่านโหลดมีกระแสไหลเพียงซีกเดียวเช่นกัน เมื่อกระแส $I_C$ ไหลเพียงซีกเดียวโหลดก็จะมีสัญญาณที่ถูกขยายมาตกคร่อมเพียงซีกเดียวซีกใดซีกหนึ่งส่งออกเอาท์พุท เกิดการผิดเพี้ยนในการขยายสัญญาณ

**ข้อดี** ของวงจรขยายคลาส-บี คือ ไม่สิ้นเปลืองกระแส ขณะไม่มีสัญญาณอินพุทป้อนเข้ามา

**ข้อเสีย** ของวงจรขยายคลาส-บี คือ รูปสัญญาณที่ถูกขยายมีความผิดเพี้ยน (Distortion) ถึงแม้จะนำไปต่อวงจรขยายแบบพุช-พูล หรือคอมพลีเมนทารี่ก็ตาม




รูปที่ 3.18 วงจรขยายพุช-พูลแบบคลาส-บี

จากรูปที่ 3.18 เป็นวงจรขยายคลาส-บี จัดวงจรแบบพุช-พูล การจัดไบอัสให้วงจรขยายสัญญาณแบบคลาส-บี คือ งดจ่ายไบอัสให้ขา B ของทรานซิสเตอร์ ซึ่งจากวงจรจะเห็นว่าขา B ของ $Q_1$ , $Q_2$ จะไม่มีไบอัสจ่ายให้ มีแต่ขดเซคกันดารี่ของหม้อแปลง $T_1$ ต่อให้ขา B ของ $Q_1$ , $Q_2$ เทียบกับกราวด์ (ขา E) ซึ่งไม่ใช่ตัวจ่ายไบอัส เป็นเพียงตัวปรับอิมพีแดนซ์ของวงจรอินพุทที่ต่อเข้ามา และจัดเฟสสัญญาณอินพุทให้ถูกต้องกับที่ขา B ของ $Q_1$ , $Q_2$ ต้องการ ดังนั้นในขณะที่ยังไม่มีสัญญาณอินพุทป้อนเข้ามา จะไม่มีไบอัสจ่ายให้ขา B ของ $Q_1$ , $Q_2$ จนกว่าจะมีสัญญาณอินพุทป้อนเข้ามา

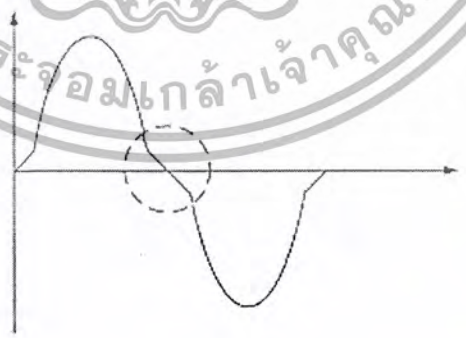
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

55800

ถ้าอินพุทป้อนเข้ามาที่ขดเซคกันดารี่ของ $T_1$ ด้านบนเป็นบวก ด้านล่างเป็นลบ สัญญาณช่วงบวกจะจ่ายเป็นไบอัสตรงให้ขา B ของ $Q_1$ , $Q_2$ นำกระแส มีกระแส $I_C$ ไหลผ่านจาก $V_{CC}$ ไปขดไพรมารี่ครึ่งบนของ $T_2$ ครบวงจรที่ $Q_1$ ได้ศักย์ตกคร่อมขดไพรมารี่ครึ่งบนของ $T_2$ บนลบล่างบวก เหนี่ยวนำมายังขดเซคกันดารี่ของ $T_2$ ได้สัญญาณช่วงบวกออกลำโพง

ในทางตรงกันข้ามถ้าสัญญาณอินพุทป้อนเข้ามาที่ขดเซคกันดารี่ของ $T_1$ ด้านบนลบด้านล่างบวก สัญญาณช่วงบวกจะจ่ายเป็นไบอัสตรงให้ขา B ของ $Q_1$ , $Q_2$ นำกระแสมีกระแส $I_C$ ไหลผ่านจาก $V_{CC}$ ไปขดไพรมารี่ครึ่งล่างของ $T_2$ ครบวงจรที่ $Q_2$ ได้ศักย์ตกคร่อมขดไพรมารี่ครึ่งล่างบนบวกล่างลบ เหนี่ยวนำมายังขดเซคกันดารี่ของ $T_2$ ได้สัญญาณช่วงลบออกลำโพง

การจัดวงจรขยายคลาส-บี แบบพุช-พูล ช่วยแก้ปัญหาการทำงานของวงจรคลาส-บี ให้ทำการขยายสัญญาณทั้ง 2 ซีกได้ก็ตาม แต่ก็ยังเกิดความผิดเพี้ยนขึ้นอีก ซึ่งเรียกว่าความผิดเพี้ยนระหว่างรอยต่อ (Crossover Distortion) เกิดขึ้นเนื่องจากคุณสมบัติของตัวทรานซิสเตอร์เอง เพราะตัวทรานซิสเตอร์ระหว่างรอยต่อ PN จะมีแบตเตอรี่สมมติหรือดิพลีชั่นรีจิน (Depletion Region) เกิดขึ้นมีค่าประมาณ 0.2 V ถึง 0.4 V ในทรานซิสเตอร์ที่ผลิตมาจากสารเจอร์มันเนียม และมีค่าประมาณ 0.5 V ถึง 0.8V ในทรานซิสเตอร์ที่ผลิตมาจากสารซิลิคอน ค่าแบตเตอรี่สมมตินี้จะมีขั้วแรงดันจ่ายเป็นไบอัสกลับให้ขา B ของทรานซิสเตอร์ เมื่อมีสัญญาณอินพุทเป็นไบอัสตรงเข้ามาจะเกิดการหักล้างกับแรงดันดังกล่าว ทำให้ทรานซิสเตอร์จะยังไม่นำกระแสในช่วงสัญญาณอินพุทค่าต่ำเข้ามา สัญญาณที่ขยายออกจึงเกิดความผิดเพี้ยนระหว่างรอยต่อขึ้น



รูปที่ 3.19 สัญญาณที่ถูกขยายของวงจรพุช-พูล จัดไบอัสแบบคลาส-บี
จะเกิดความผิดเพี้ยนระหว่างรอยต่อ

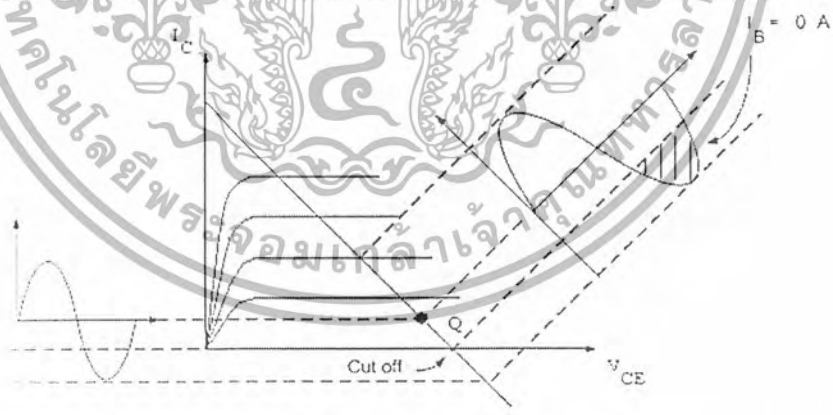
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 3.19 สัญญาณที่ถูกขยายออกเอาท์พุท ด้วยวงจรขยายคลาส-บี จัดวงจรขยายแบบพุช-พูล เกิดความผิดเพี้ยนระหว่างรอยต่อขึ้น ยังไม่สามารถนำวงจรขยายดังกล่าวไปใช้งาน จะต้องมีการจัดไบอัสให้ใหม่เป็นแบบวงจรขยายคลาส-เอบี

การนำไปใช้งานของวงจรขยายคลาส-บี สามารถนำไปใช้งานเป็นวงจรขยายสัญญาณขนาดใหญ่โดยต่อวงจรแบบพุช-พูล หรือคอมพลีเมนตารี่ แต่มีข้อเสียคือ เกิดความผิดเพี้ยนระหว่างรอยต่อ นำไปใช้งานเป็นวงจรสวิตชิ่งโดยป้อนสัญญาณพัลส์ควบคุม

### 3.3.4 วงจรขยายคลาส-เอบี (AB-Class Amplifier)

วงจรขยายคลาส-เอบี จัดขึ้นมาเพื่อแก้ข้อเสียของวงจรขยายคลาส-บี ที่เกิดความผิดเพี้ยนระหว่างรอยต่อ การจัดไบอัสคลาส-เอบี คือ จัดไบอัสให้สูงกว่าจุดคัทออฟเล็กน้อยคือจ่ายไบอัสตรงให้ขา B เพียงเล็กน้อยเพื่อหักล้างแรงดันสมมติที่ระหว่างรอยต่อ PN ที่ขา B ให้หมดไป ทำให้ทรานซิสเตอร์พร้อมที่จะนำกระแสตลอดเวลา

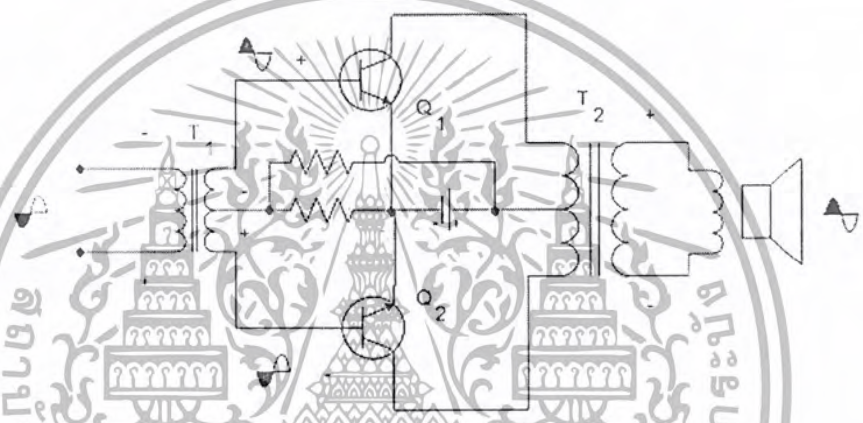



รูปที่ 3.20 แสดงจุดการทำงานของวงจรขยายคลาส-เอบี

จากรูปที่ 3.20 เป็นกราฟแสดงจุดการทำงานของวงจรขยายคลาส-เอบี มีจุดการทำงานสูงกว่าจุดคัทออฟเล็กน้อย ทำให้การทำงานของทรานซิสเตอร์ขยายสัญญาณอินพุทซีกใดซีกหนึ่งทั้งซีกและที่เหลือขยายบางส่วน ทรานซิสเตอร์ PNP จะขยายสัญญาณอินพุทช่วงลบทั้งหมดและขยายสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อินพุทช่วงบวกบางส่วน ทรานซิสเตอร์ NPN จะขยายสัญญาณอินพุทช่วงบวกทั้งหมดและขยายสัญญาณอินพุทช่วงลบบางส่วน ในการใช้งานก็ต้องนำไปต่อเป็นวงจรขยายแบบพุช-พูล หรือ คอมพลีเมนทารี่ เช่นเดียวกับวงจรคลาส-บี กระแส $I_B$ ส่วนที่ขีดเส้นทะแยงไว้ เป็นส่วนที่กระแส $I_B$ ไม่ไหล เพราะทรานซิสเตอร์ทำงานต่ำกว่าจุดคัทออฟ ทำให้กระแส $I_B$ ไหลผ่านโหลดในช่วงที่ทรานซิสเตอร์ออฟไม่มีกระแสเช่นกัน สัญญาณขยายออกเอาท์พุทมีความผิดเพี้ยน ต้องนำมาต่อวงจรแบบพุช-พูล หรือ คอมพลีเมนทารี จะช่วยแก้ความผิดเพี้ยนระหว่างรอยต่อคลาส-เอบี ได้




รูปที่ 3.21 วงจรขยายพุช-พูลแบบคลาส-เอบี

จากรูปที่ 3.21 วงจรขยายคลาส-เอบี จัดวงจรขยายแบบพุช-พูล การจ่ายไบอัสให้วงจรทำงานสูงกว่าจุดคัทออฟเล็กน้อยโดยจ่ายไบอัสที่ขา B ของทรานซิสเตอร์ $Q_1$ และ $Q_2$ เป็นไบอัสตรงเล็กน้อย มี $R_1$ และ $R_2$ เป็นวงจรแบ่งแรงดัน $R_2$ เป็นตัวจ่ายไบอัสตรงให้ขา B ของ $Q_1$ และ $Q_2$ ทำให้มีกระแส $I_B$ ไหลเล็กน้อย $Q_1$ และ $Q_2$ นำกระแส มีกระแส $I_C$ ไหลเล็กน้อยในช่วงที่ไม่มีสัญญาณอินพุทป้อนเข้ามา เป็นการเตรียมพร้อมในการทำงาน

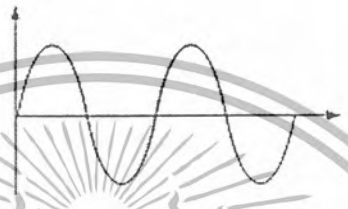
เมื่อมีสัญญาณอินพุทป้อนเข้ามา ตามรูปที่ 3.21 ให้ขา B ของทรานซิสเตอร์ $Q_1$ เป็นสัญญาณช่วงบวก ขา B ของทรานซิสเตอร์เป็นสัญญาณช่วงลบ ทำให้ $Q_1$ ได้รับไบอัสตรงเพิ่มขึ้น $Q_1$ จะนำกระแสมากขึ้น ส่วน $Q_2$ ได้รับสัญญาณช่วงลบจะไปหักล้างกับไฟบวกที่เป็นไบอัสให้ขาของ $Q_2$ ทำให้ $Q_2$ นำกระแสลดลงจนคัทออฟได้สัญญาณช่วงบวกทั้งหมดและได้สัญญาณช่วงลบเล็กน้อยออกเอาท์พุท

สัญญาณอินพุทป้อนเข้ามาขา B ของทรานซิสเตอร์ $Q_1$ เป็นลบ และเข้าขา B ของทรานซิสเตอร์ $Q_2$ เป็นบวก ทำให้ $Q_2$ ได้รับไบอัสเพิ่มขึ้น $Q_2$ นำกระแสมากขึ้น $Q_1$ ได้รับสัญญาณช่วงลบจะไปหักล้าง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กับไฟบวกที่เป็นไบอัสให้ขา B ของ $Q_1$ ทำให้ $Q_1$ นำกระแสลดลงจนคัทออฟได้สัญญาณช่วงลบทั้งหมด และได้สัญญาณช่วงบวกเล็กน้อยออกเอาท์พุท

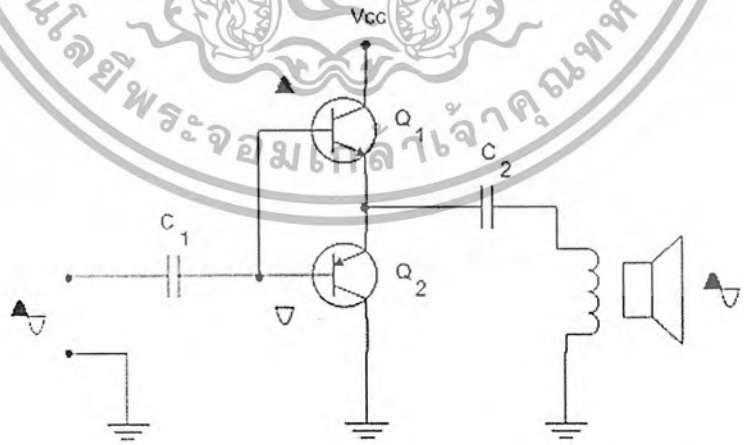
จากการทำงานของทรานซิสเตอร์ $Q_1$ และ $Q_2$ ดังกล่าว ทำให้การขยายสัญญาณทั้งช่วงบวกและลบออกเอาท์พุทโดยไม่ผิดเพี้ยน



รูปที่ 3.22 สัญญาณที่ถูกขยายของวงจรพุช-พูล จัดไบอัสแบบคลาส-เอบี

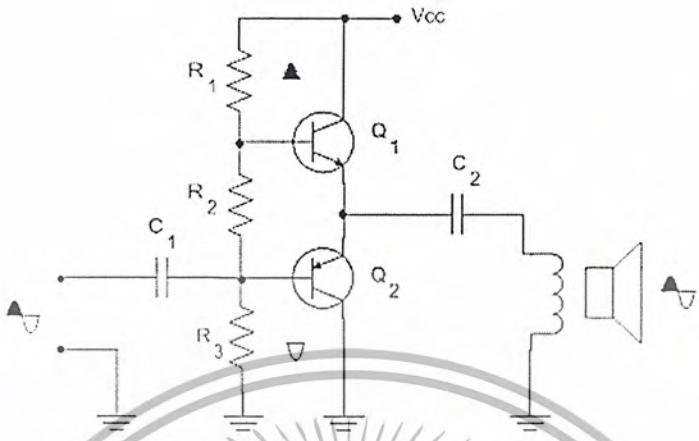
จากรูปที่ 3.22 จะเห็นได้ว่าการจัดไบอัสให้วงจรขยายแบบคลาส-เอบี โดยต่อวงจรขยายแบบพุช-พูล หรือ คอมพลีเมนทารี จะช่วยแก้ความผิดเพี้ยนระหว่างรอยต่อได้ ดังนั้นในวงจรขยายเสียงที่ต้องการอัตราขยายของสัญญาณสูงมากๆ มักนิยมต่อวงจรแบบพุช-พูล หรือ คอมพลีเมนทารี

การนำไปใช้งาน ใช้เป็นวงจรขยายเสียงในภาคเพาเวอร์แอมป์หรือภาคขยายกำลังและยังนำไปใช้ในวงจรขยายสัญญาณต่างๆที่ต้องการอัตราขยายสูงๆ




ก. วงจรขยายคลาส-บี ต่อวงจรแบบคอมพลีเมนทารี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




ข. วงจรขยายคลาส-เอบี ต่อวงจรแบบคอมพลีเมนทารี

รูปที่ 3.23 วงจรขยายแบบคอมพลีเมนทารี

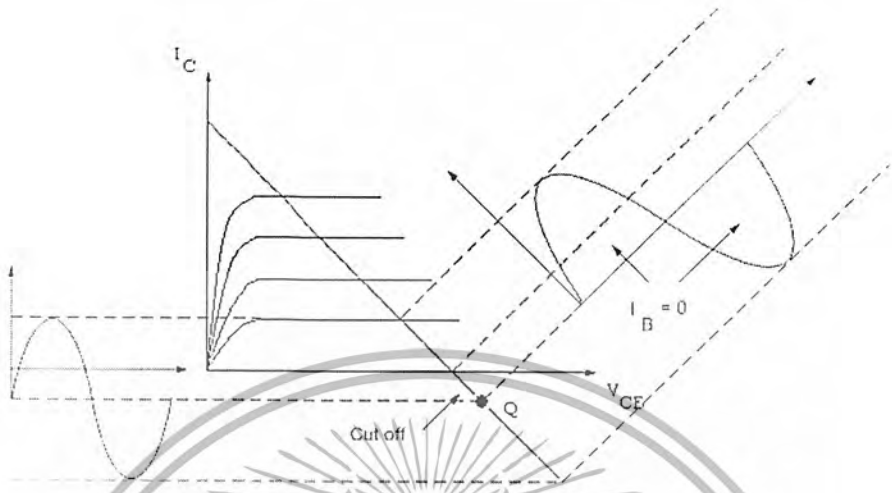
จากรูปที่ 3.23 เป็นการจัดวงจรขยายแบบคอมพลีเมนทารี รูปที่ 3.23 ก. เป็นการจัดไบอัสแบบคลาส-บี ซึ่งขยายสัญญาณออกเอาท์พุท เกิดความผิดเพี้ยนระหว่างรอยต่อ (Crossover Distortion)

จากรูปที่ 3.23 ข. เป็นการจัดไบอัสแบบคลาส-เอบี มี $R_1$, $R_2$ และ $R_3$ เป็นวงจรแบ่งแรงดันจ่ายไบอัสตรงบางส่วนให้ขา B ของ $Q_1$ และ $Q_2$ ทำให้การขยายสัญญาณออกเอาท์พุทไม่ผิดเพี้ยน

### 3.3.5 วงจรขยายคลาส-ซี (C-Class Amplifier)

วงจรขยายคลาส-ซี จุดทำงานจะอยู่ต่ำกว่าจุดคัทออฟ คือ จ่ายไบอัสให้ขา B ของทรานซิสเตอร์เป็นไบอัสกลับค่าหนึ่ง ทำให้ทรานซิสเตอร์ไม่นำกระแส ทรานซิสเตอร์จะนำกระแสก็ต่อเมื่อ มีสัญญาณอินพุทป้อนเข้ามาเป็นไบอัสตรงให้กับขา B ของทรานซิสเตอร์ และต้องไปหักล้างกับไบอัสกลับไฟตรงที่จ่ายอยู่เดิม จนทรานซิสเตอร์ได้รับไบอัสตรงที่ขา B ต้องการทรานซิสเตอร์จึงจะนำกระแส ขยายสัญญาณอินพุทส่วนนั้นออกเอาท์พุท เกิดความผิดเพี้ยนในการขยายสัญญาณมากที่สุดไม่เหมาะในการนำไปใช้เป็นวงจรขยายเสียงโดยทั่วไปวงจรขยายจะให้ประสิทธิภาพการทำงานทางด้านกำลังงานสูงสุด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่3.24 แสดงจุดทำงานของวงจรขยายคลาส-ซี

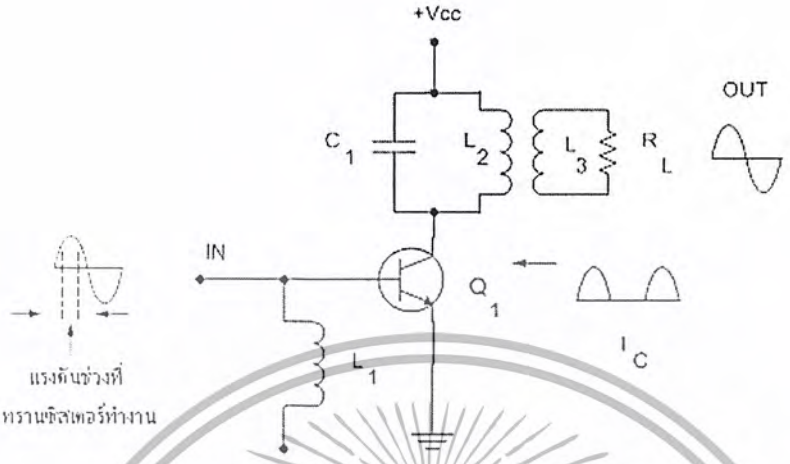
จากรูปที่ 3.24 เป็นกราฟแสดงจุดทำงานของวงจรขยายคลาส-ซี จุดทำงานของวงจรจะต่ำกว่าจุดคัทออฟ คือแทนที่จะจ่ายไบอัสตรงให้ขา B ก็จ่ายไบอัสกลับให้ขา B แทน ทำให้ทรานซิสเตอร์ไม่นำกระแส และยังมีแหล่งจ่ายไฟตรงเป็นไบอัสกลับจ่ายค้างไว้ด้วย แหล่งจ่ายไฟตรงไบอัสกลับให้ขา B ทรานซิสเตอร์ถึงนำกระแส ขยายสัญญาณส่วนนั้นออกเอาท์พุท ดังนั้น กระแส $I_B$ จะไหลเพียงบางส่วน และกระแส $I_C$ ก็ไหลเพียงบางส่วนในการขยายสัญญาณดังกล่าวจะเกิดความผิดเพี้ยนมาก

ข้อดี ของวงจรขยายคลาส-ซี คือ ไม่สิ้นเปลืองกระแส และให้ประสิทธิภาพการทำงานด้านขยายกำลังสูงสุดในเครื่องส่ง

ข้อเสีย ของวงจรขยายคลาส-ซี คือ ขยายสัญญาณมีความผิดเพี้ยนมาก ไม่เหมาะในการนำไปใช้กับวงจรขยายเสียง

การนำไปใช้งาน นิยมใช้กับวงจรที่ใช้สัญญาณที่มีความถี่คงที่ เช่น พวกวงจรกำเนิดสัญญาณความถี่สูง ภาคขยายกำลังในเครื่องวิทยุ และวงจรแยกซิงค์ในเครื่องรับโทรทัศน์ วงจรจำพวกกำเนิดสัญญาณความถี่สูง วงจรมอดูเลทสัญญาณ วงจรเครื่องส่งในภาคกำลัง เป็นต้น การทำงานจะได้กระแสคอลเลคเตอร์ไหลเป็นพัสส์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 3.25 วงจรขยายคลาส-ซี

จากรูปที่ 3.25 เป็นวงจรขยายสัญญาณ จัดวงจรไบอัสแบบคลาส-ซี มี $L_1$ เป็นขดลวด RF ต่อรับแรงดันไฟตรงลบ $V_{BB}$ ($-V_{BB}$) $L_1$ กันความถี่อื่นๆ ไม่ให้เข้ามา ให้เฉพาะไฟ DC จากลบ $V_{BB}$ เท่านั้นผ่านเข้ามาเป็นการจ่ายไบอัสกลับให้ขา B ของ $Q_1$ ถึงแม้มีบวก $V_{CC}$ จ่ายให้ขา C และขา E ลงกราวด์ เป็นการจ่ายไบอัสถูกต้องตามขา C และขา E ที่ทรานซิสเตอร์ต้องการ แต่ทรานซิสเตอร์ก็ไม่นำกระแส

การป้อนสัญญาณอินพุทเข้ามา ก็จะมีเฉพาะสัญญาณช่วงบวกเพียงส่วนเดียวเท่านั้นที่ทำให้ขา B ของ $Q_1$ ได้รับไบอัสตรง $Q_1$ จะนำกระแสในช่วงนี้ มีกระแส $I_C$ ไหลเป็นจังหวะตามค่าการทำงานของ $Q_1$ มีกระแส $I_C$ ไหลผ่านขดลวด $L_2$ ไปที่ประจุ $C_1$ $C_1$ มีการประจุและคลายประจุ $C_1$ $L_2$ ต่อเป็นวงจรแทงค์ (Tank Circuit) เกิดการกำเนิดความถี่ขึ้นมาเหนี่ยวนำไปยังขดลวด $L_3$ และตกคร่อมโหลด $R_L$ เป็นสัญญาณไฟสลับ วงจรตามรูปที่ 3.25 ก็คือ วงจรกำเนิดความถี่นั่นเอง

### 3.3.6 วงจรขยายคลาส-ดี (D-Class Amplifier)

เพาเวอร์แอมป์ที่ถูกนำมาใช้งานขยายสัญญาณเสียงส่วนมากแล้วจะมีการจัดวงจรในแบบคลาส A และคลาส B ซึ่งเป็นวงจรขยายเสียงแบบลิเนียร์กันเป็นส่วนมาก หากแต่ว่าการนำเสนอโครงงานการสร้างเพาเวอร์แอมป์นี้จะนำเสนอวงจรขยายเสียงแบบนอน - ลิเนียร์นี้ก็เป็นที่รู้จักกันดีในนามของวงจรขยายแบบสวิตชิ่งหรือวงจรขยายคลาส D นั้นเอง เหตุที่เรียกชื่อดังที่กล่าวมาก็เนื่องจากว่าเพาเวอร์ทรานซิสเตอร์ที่ใช้งานทางเอาต์พุตจะทำงานในลักษณะออนและออฟสลับกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อกล่าวถึงสวิตชิ่งแอมปลิไฟเออร์แล้ว ส่วนมากการขับส่งกำลังออกไปยังโหลดอย่างเต็มที่ในขณะที่เพาเวอร์ทรานซิสเตอร์ทางเอาพุตมีการสวิตช์ออน จะทำให้เกิดการสูญเสียกำลังงานที่สูงมาก ระหว่างที่ทรานซิสเตอร์เอาต์พุตทำงานออนและออฟ แต่เนื่องจากความเร็วในการสวิตช์ทำงานออน/ออฟของเพาเวอร์ทรานซิสเตอร์เอาต์พุตมีความเร็วที่สูงมากเปรียบเทียบกับการทำงานออนที่เชื่องช้า จึงให้ผลลัพธ์ในทางตรงกันข้ามคือทำให้มีการสูญเสียกำลังงานที่น้อยมากในเพาเวอร์ทรานซิสเตอร์ทางเอาต์พุตขณะสวิตช์ออน/ออฟ ที่ความเร็วสูง และผลที่ได้จากการออกแบบวงจรสวิตชิ่งแอมปลิไฟเออร์นี้ทำให้ได้ค่าประสิทธิภาพการทำงานเกินกว่า 90 เปอร์เซ็นต์ ในขณะที่เพาเวอร์แอมป์คลาส A คลาส B จะให้ค่าประสิทธิภาพสูงสุดเพียง 20 เปอร์เซ็นต์และ 78.5 เปอร์เซ็นต์ตามลำดับ ดังนั้นเมื่อเปรียบเทียบกับประสิทธิภาพที่สูงกว่าแล้ววงจรขยายแบบสวิตชิ่งยังมีขนาดที่เล็กกว่า, น้ำหนักเบากว่าและราคาถูกกว่าวงจรขยายในคลาส A คลาส B

วงจรขยายแบบสวิตชิ่งโดยทั่วไปนั้นจะใช้การมอดูเลตทางความกว้างของพัลส์ (pulse width modulator : PWM) มาทำหน้าที่ควบคุมการสวิตชิ่งกล่าวคือสัญญาณเสียงที่เข้ามาทางอินพุตจะถูกแปลงไปเป็นสัญญาณอนุกรมพัลส์ โดยในแต่ละช่วงของความถี่สัญญาณเสียงต้นฉบับและระดับแอมปลิจูด ก็จะถูกทำการรวมเข้ากับค่าความถี่คงที่และแอมปลิจูดคงที่และสัญญาณอ้างอิงรูปสามเหลี่ยม ดังนั้นสัญญาณที่จะถูกขับออกทางลำโพงก็จะเป็นการเปลี่ยนแปลงทางความกว้างของพัลส์เอาต์พุต (ดิวตี้ไซเกิล) เนื่องจากความถี่และระดับแอมปลิจูดของสัญญาณอินพุต เมื่อทำการดีมอดูเลตสัญญาณพัลส์ทางเอาต์พุตออกมา

ในโครงงานนี้ได้นำเสนอวงจรขยายแบบสวิตชิ่งที่ใช้เดลต้า – ซิกม่า มอดดูเลชั่น (Delta-Sigma Modulation) มาทำหน้าที่ควบคุมการสวิตชิ่งแทน PWM ซึ่งข้อมูลอนาล็อกจะถูกประมาณด้วยฟังก์ชันขั้นบันได (Staircase Function) ที่มีการเขียบขึ้นลงด้วยระดับการควอนไตซ์ในการสุ่มยกตัวอย่าง

ข้อดี

1. ประสิทธิภาพ เนื่องจากการทำงานในลักษณะ on off ของ Transistor ทำให้มีการสูญเสียกำลังงาน ออกมาต่ำมาก ซึ่งประมาณการได้ว่าถึง 80%

2. มีขนาดเล็ก เนื่องจากไม่ได้ต้องการHeat sink ที่มีขนาดใหญ่เทอะทะ อันเนื่องมาจากการระบายความร้อนที่เกิดขึ้น

3. วงจรมีลักษณะเล็กกะทัดรัดไม่ยุ่งยากมาก

4. หากไม่นับถึงส่วนที่เป็นภาค Analog inputแล้ว วงจรแทบไม่มีผลต่อการรบกวนจากภายนอกมัก เนื่องจากมีการทำงานเป็นแบบลักษณะ discrete ไม่ใช่แบบ linear จึงไม่มีผลกระทบมากนักต่อการรบกวน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ข้อเสีย

1. คุณภาพเสียงไม่ใช่ pure analog อย่างสมบูรณ์แบบ เนื่องจากมีการส่งข้อมูลเป็น Pulse ออกไป ยังลำโพง ซึ่งจะทำให้เกิดการผิดเพี้ยนของสัญญาณ

2. เกิด Harmonic distortion เนื่องจากการ Modulation กับสัญญาณอื่นออกมา ทำให้ได้ความถี่อื่นที่เจือปนออกมา

3. มี noise ที่เกิดจากการ switch เกิดขึ้น

4. ถ้าต้องการให้คุณภาพเสียงดีขึ้น เราต้องทำการ Sampling ให้มากขึ้น ซึ่งหมายความว่า วงจรต้องทำงานที่ความถี่สูงมากขึ้น ทำให้เป็นอุปสรรคอย่างมาก เนื่องจาก power transistor ที่มีกันนั้นมักตอบสนองความถี่ได้น้อย ทำให้คุณภาพของเสียงจึงถูกจำกัดไปโดยปริยาย

5. ลำโพงจะรับภาระหนัก โดยเฉพาะวงจรแบบ non filter ทำให้ลำโพงต้องรับภาระพลังงานส่วนเกิน เกิดความร้อนขึ้นมา

**3.4 วงจรกำเนิดความถี่ (Oscillator)**

วงจรกำเนิดความถี่สามารถสร้างได้จากการป้อนกลับแบบ Positive Feedback ซึ่งอัตราขยายของระบบที่มี Positive Feedback จะเป็นไปตามสมการที่ 3.7

$$A_{F(PFB)} = \frac{A_0}{1 - A_0 F} \tag{3.7}$$

$A_0$ : Open loop gain

$F$ : Feedback Factor

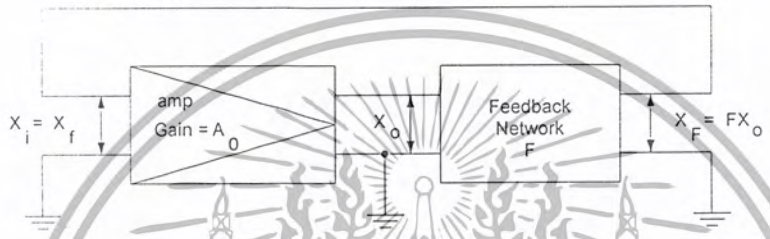
$A_0 F$ : Loop gain

เมื่อใดที่ Loop gain ( $A_0 F$ ) มีค่าเท่ากับหรือมากกว่า 1.00 ในระบบที่มี Positive Feedback จะทำให้เกิด oscillation ซึ่งสามารถพิจารณาผลของ $A_0 F$ ได้ทั้งหมด 3 กรณี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1. กรณี $A_0F < 1$ ระบบมีความเสถียรและสามารถขยายสัญญาณได้ตามปกติ
2. กรณี $A_0F = 1$ ระบบเกิดการ oscillation แต่เอาท์พุทจะเป็น sinusoidal ไม่มีการขยายออก
3. กรณี $A_0F > 1$ ระบบเกิดการ oscillation และเอาท์พุทจะเป็น sinusoidal ที่มีการขยายออก

### 3.4.1 หลักการวิเคราะห์การทำงานของ Oscillator




รูปที่ 3.26 Block diagram ของระบบ Positive Feedback

1. คำนวณค่าของอัตราการขยายของวงจรขยาย

$$A_0(j\omega) = \frac{x_o}{x_i} \tag{3.8}$$

ในการคำนวณค่าของ $A_0$ Feedback Network เป็นส่วนหนึ่งของวงจรขยาย

2. คำนวณหาค่าของ Feedback Factor : $F$

$$F(j\omega) = \frac{x_f}{x_o} \tag{3.9}$$

จากเงื่อนไขของการออสซิลเลท วงจรออสซอลเลทเมื่อการเลื่อนเฟสของลูปมีค่า 0 หรือ $2n\pi$ เรเดียน หรือเกิดการป้อนกลับแบบบวก การออสซิลเลทจะเกิดขึ้นเมื่อ

$$1 - A_0F(j\omega) = 0 \tag{3.10}$$

หรือ $$A_0F(j\omega) = 1 = 1 + j0 \tag{3.11}$$

นำค่า $A_0$ และ $F$ จากข้อ 1 และ 2 มาคูณกัน ซึ่งจะได้ค่าของ $A_0F$ อยู่ในรูปของจำนวนเชิงซ้อน ซึ่ง

$$A_0F(j\omega) = \mathrm{Re}\{A_0F\} + \mathrm{Im}\{A_0F\} = 1 + j0 \tag{3.12}$$

นั่นคือที่ $\omega = \omega_0$

$$\mathrm{Im}\{A_0F\} = 0 \tag{3.13}$$

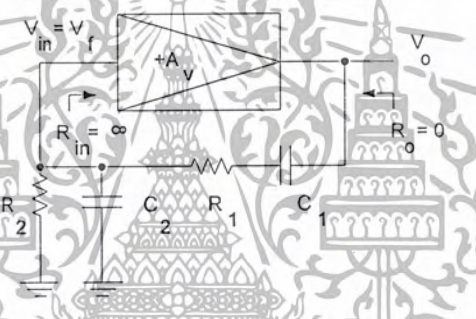
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

และ $\quad \mathrm{Re}\{A_0 F\} = 1 \qquad (3.14)$

โดยการแก้สมการที่ 3.13 จะได้ค่า $\omega_0$ เป็นความถี่ของการออสวิเลทและแก้สมการที่ 3.14 จะได้ค่าอัตราการขยายต่ำสุด $A_0 F(\omega) = \dfrac{A_v}{\left[1+\dfrac{r_1}{r_2}+\dfrac{c_2}{c_1}\right]+\left[\omega r_1 c_2 - \dfrac{1}{\omega r_2 c_1}\right]}$ เพื่อให้เกิดการออสซิเลท

### 3.4.2 Wien Bridge Oscillator

ใช้วงจรขยาย Non inverting Amp ร่วมกับ 0° phase shift




รูปที่ 3.27 วงจร Wien Bridge Oscillator อย่างง่าย

สมมติใช้ Ideal Non inverting Amp มี gain = $+A_v$

$$v_f = v_0 \frac{Z_2}{Z_1+Z_2} = v_{in} = F v_0 \qquad (3.15)$$

$$F = \frac{Z_2}{Z_1+Z_2} \qquad (3.16)$$

$$A_0 F = \frac{A_v Z_2}{Z_1+Z_2} \qquad (3.17)$$

$$Z_1 = r_1 + \frac{1}{j\omega c_1} = \frac{j\omega r_1 c_1 + 1}{j\omega c_1} \qquad (3.18)$$

$$Z_2 = r_2 \,//\, \frac{1}{j\omega c_2} = \frac{r_2}{j\omega r_2 c_2 + 1} \qquad (3.19)$$

แทนค่า $Z_1$ และ $Z_2$ ลงในสมการที่ 3.17

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$A_0F(\omega) = A_0 \cdot \frac{r_2}{j\omega r_2 c_2 + 1} \cdot \frac{1}{\frac{j\omega r_1 c_1 + 1}{j\omega c_1} + \frac{r_2}{j\omega r_2 c_2 + 1}} \tag{3.20}$$

$$A_0F(\omega) = \frac{A_v}{\left[1 + \frac{r_1}{r_2} + \frac{c_2}{c_3}\right] + j\left[\omega r_1 c_2 - \frac{1}{\omega r_2 c_1}\right]} \tag{3.21}$$

ที่ $\omega = \omega_0$ Phase shift = $0^{\circ}$ นั่นคือ $\mathrm{Im}\{A_0F\} = 0$

$$\omega_0 r_1 c_2 - \frac{1}{\omega_0 r_2 c_1} = 0 \tag{3.22}$$

$$\omega_0 = \frac{1}{\sqrt{r_1 r_2 c_1 c_2}} \tag{3.23}$$

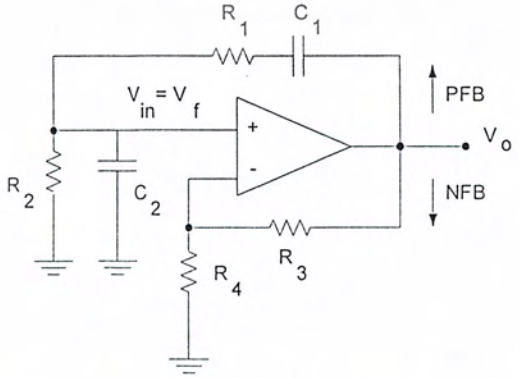
ที่ $\omega = \omega_0$

$$A_0F(\omega_0) = \frac{A_v}{1 + \frac{r_1}{r_2} + \frac{c_2}{c_1}} \geq 1 \tag{3.24}$$

ดังนั้น

$$A_v \geq 1 + \frac{r_1}{r_2} + \frac{c_2}{c_1} \tag{3.25}$$

เพื่อที่จะควบคุม $A_v$ ของวงจรขยายให้มีค่าตามที่ต้องการได้อย่างถูกต้อง สามารถทำได้โดยใช้ Negative feedback

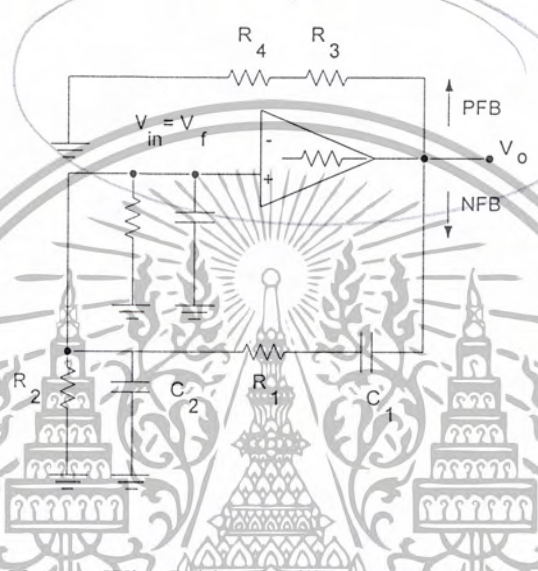



รูปที่ 3.28 วงจร Wien Bridge Oscillator แบบ nagative feedback

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\text{Gain } A_v = \frac{v_o}{v_{in}} = 1 + \frac{R_3}{R_4} \tag{3.26}$$

สำหรับ Non ideal Amplifier จะพบว่า $R_{in}$ จะขนานกับ $r_2$ $R_o$ อนุกรมกับ $r_1$ ดังนั้น




รูปที่ 3.29 วงจร Wien Bridge Oscillator แบบ nagative feedback

กรณี Ideal Amplifier

$$\omega_0 = \frac{1}{\sqrt{R_1 R_2 C_1 C_2}} \tag{3.27}$$

$$A_v \geq 1 + \frac{R_1}{R_2} + \frac{C_2}{C_1} \tag{3.28}$$

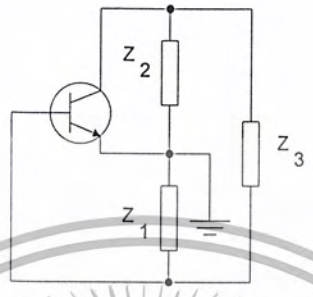
โดย $R_1 = r_1 + R_o$

$R_2 = r_2 // R_{in}$

$C_2 = c_2 // c_{in}$

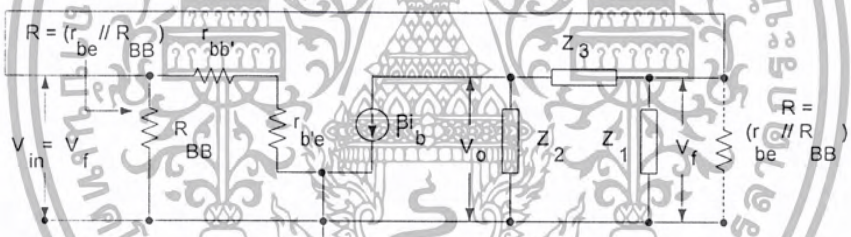
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### 3.4.3 Generalized Transistor LC Ocillator




รูปที่ 3.30 รูปแบบทั่วไปของ LC Oscillator

$Z_1$ , $Z_2$ และ $Z_3$ อาจเป็น L หรือ C หรือ LC ทางออกอาจอยู่ที่ใดก็ได้ และกราวด์จะอยู่ที่ใดก็ได้




รูปที่ 3.31 วงจรสมมูลทรานซิสเตอร์ กรณีพิจารณาแบบ DC bias

อิมพีแดนซ์รวมที่คอลเลคเตอร์คือ

$$Z_c = Z_2 \,//\, (Z_3 + Z_1') = \frac{Z_2(Z_3 + Z_1')}{Z_2 + Z_3 + Z_1'} \tag{3.29}$$

ซึ่ง

$$Z_1' = Z_1 \,//\, R = \frac{RZ_1}{Z_1 + R} \tag{3.30}$$

$$A_0 = \frac{v_o}{v_{in}} = \frac{-\beta i_b Z_c}{i_b r_{be}} = \frac{-\beta}{r_{be}}\left[\frac{Z_2(Z_3 + Z_1')}{Z_2 + Z_3 + Z_1'}\right] \tag{3.31}$$

$$v_f = \frac{v_o Z_1'}{Z_1' + Z_3} \tag{3.32}$$

จะได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\frac{v_f}{v_o} = F = \frac{Z_1'}{Z_1' + Z_3} \tag{3.33}$$

$$A_0 F = \frac{-\beta}{r_{be}}\left[\frac{Z_2(Z_3 + Z_1')}{Z_2 + Z_3 + Z_1'}\right]\left[\frac{Z_1'}{Z_1' + Z_3}\right] \tag{3.34}$$

$$A_0 F = \frac{-\beta}{r_{be}}\left[\frac{Z_1' Z_2}{Z_2 + Z_3 + Z_1'}\right] \tag{3.35}$$

$$A_0 F = \frac{-\beta}{r_{be}}\left[\frac{Z_2 \dfrac{Z_1 R}{Z_1 + R}}{Z_2 + Z_3 + \dfrac{Z_1 R}{Z_1 + R}}\right] \tag{3.36}$$

$$A_0 F = \frac{-\beta}{r_{be}}\left[\frac{Z_1 Z_2 R}{Z_2(Z_1 + R) + Z_3(Z_1 + R) + Z_1 R}\right] \tag{3.37}$$

$$A_0 F(j\omega) = \frac{-\beta R' Z_1 Z_2}{Z_1(Z_2 + Z_3) + R(Z_1 + Z_2 + Z_3)} \tag{3.38}$$

โดย $R' = \dfrac{R}{r_{be}}$

$Z_1$ , $Z_2$ และ $Z_3$ อาจอยู่ในรูปของ $+ j\omega L$ หรือ $- j/\omega c$ ดังนั้น ผลคูณของ Z จะเป็นเลขจำนวนจริง ส่วนจำนวนจินตภาพของ $A_0 F$ คือ

$$\mathrm{Im}\{A_0 F\} = R(Z_1 + Z_2 + Z_3) \tag{3.39}$$

ดังนั้นที่ $\omega = \omega_0$

$$Z_1 + Z_2 + Z_3 = 0 \tag{3.40}$$

จะได้ $\omega_0$ = ความถี่ของการออสซิลเลท

และ

$$\mathrm{Re}\{A_0 F\} = \frac{-\beta R' Z_1 Z_2}{Z_1(Z_2 + Z_3)} \tag{3.41}$$

ดังนั้น

$$\frac{-\beta R' Z_1 Z_2}{Z_1(Z_2 + Z_3)} \geq 1 \tag{3.42}$$

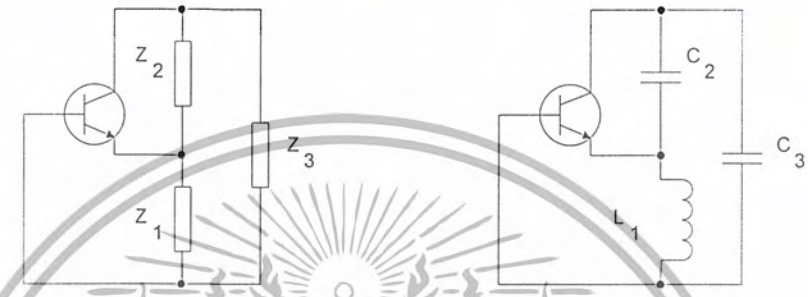
จะได้

$$\beta(\omega_0) \geq \frac{Z_1}{R' Z_2} \geq \frac{Z_1}{Z_2}\left(1 + \frac{r_{bb'} + r_{b'e}}{R_{BB}}\right) \tag{3.43}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

LC OSC แบ่งออกได้เป็น 2 ชนิดคือ 1. Colpits oscillator และ 2. Hartley oscillator

### 3.4.4 Colpits Oscillator

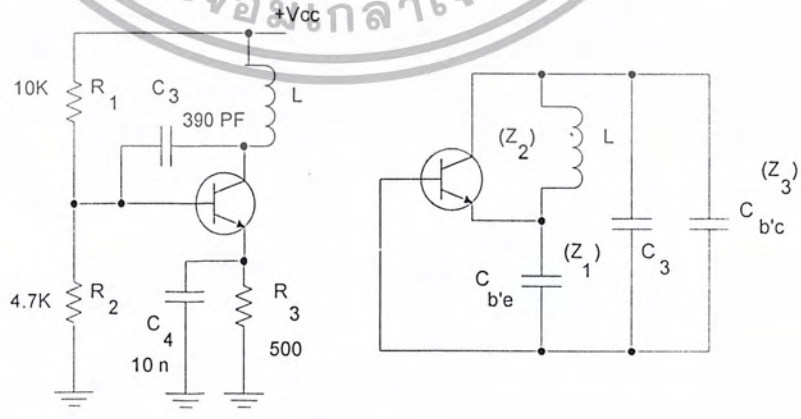



(ก) รูปแบบ Colpits Oscillator อย่างง่าย (ข) การใช้ $Z_2$ และ $Z_3$ เป็น C

รูปที่ 3.32 Colpits Oscillator

การใช้ $Z_2$ และ $Z_3$ เป็น C ดังรูปที่ จะทำให้จัดวงจรไบอัสลำบากและวงจรไบอัสอาจมีผลต่อความถี่ที่ oscillator วงจรดังกล่าวนี้จึงไม่นิยมใช้งานเพื่อให้จัดไบอัสไม่ลำบาก colpits oscillator นิยมใช้ $Z_2$ หรือ $Z_3$ เป็น L

ตัวอย่างที่ 1 หาค่า L เพื่อให้วงจรออสซิเลทที่ 27 MHz กำหนดให้ $F_T$ = 80 MHz , $C_{ob}$ = 2 PF และ $\beta_0$ = 70




รูปที่ 3.33 วงจร colpits oscillator และ model

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากวงจรได้ $I_{CQ} = 4.12$ mA, $C_{b'c} = 2$ PF , $C_{b'e} = 313.24$ PF ที่ $\omega_0$

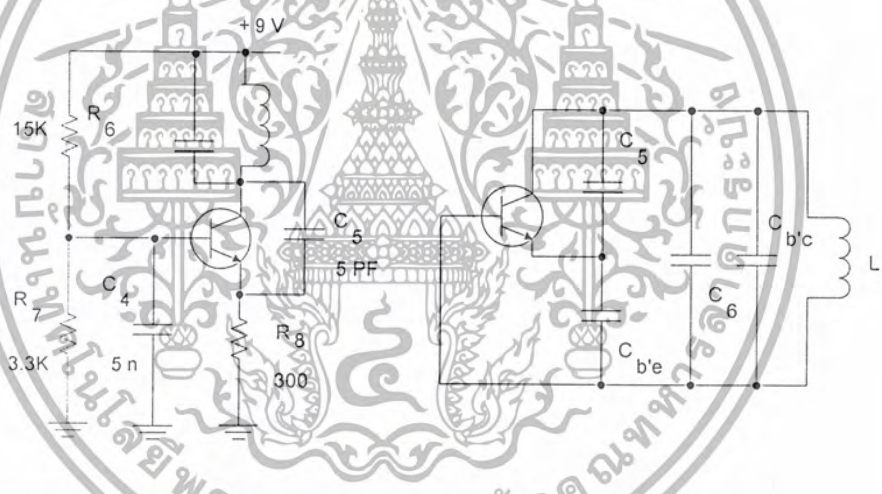
$$\omega_0 L - \frac{1}{\omega_0 C_{b'e}} - \frac{1}{\omega_0 (C_{b'c} + C_3)} = 0 \tag{3.44}$$

$$\omega_0^2 = \frac{C_{b'e} + C_3 + C_{b'c}}{C_{b'e}(C_3 + C_{b'c})L} \tag{3.45}$$

$$\omega_0^2 = \frac{1}{L\dfrac{(C_{b'e}(C_3 + C_{b'c}))}{C_{b'e} + C_3 + C_{b'c}}} \tag{3.46}$$

L = 200 nH

ตัวอย่างที่ 2 หาค่า $C_6$ เพื่อให้วงจรผลิตความถี่ 88.0 MHz กำหนดให้ $\beta_0 = 35$ $C_{ob} = 0.9$ PF และ $F_T = 940$ MHz




รูปที่ 3.34 วงจร colpits oscillator และ model

จากวงจรได้ $I_{CQ} = 2.7$ mA, $C_{b'c} = 0.9$ PF , $C_{b'e} = 16.7$ PF ที่ $\omega_0$ จะได้

$$\frac{-1}{\omega_0 c_{b'e}} + \frac{-1}{\omega_0 c_5} + \frac{\omega_0 L}{1 + \omega_0^2 LC} = 0 \tag{3.47}$$

$$\omega_o^2 = \frac{c_{b'e} + c_5}{L(c_{b'e}c_5 + c_5 c + c_{b'e}c)} \tag{3.48}$$

$$\omega_0^2 = \frac{1}{L(C + \dfrac{c_5 c_{b'e}}{c_5 + c_{b'e}})} \tag{3.49}$$

หรือ $$\omega_0^2 = \frac{1}{C_T} \tag{3.50}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

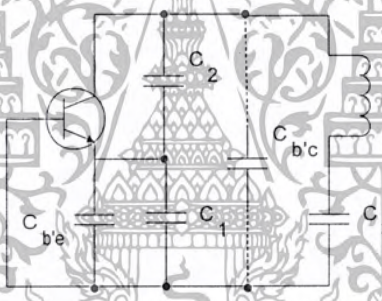
โดยที่ $$C_T = C_{b'c} + C_6 + \frac{c_5 c_{b'e}}{c_5 + c_{b'e}} \quad (3.51)$$

จาก L = 150 nH $\omega = 2\pi$ x88x10$^6$ จะได้

$$C_6 = 17 \text{ PF } \mu\text{F}$$

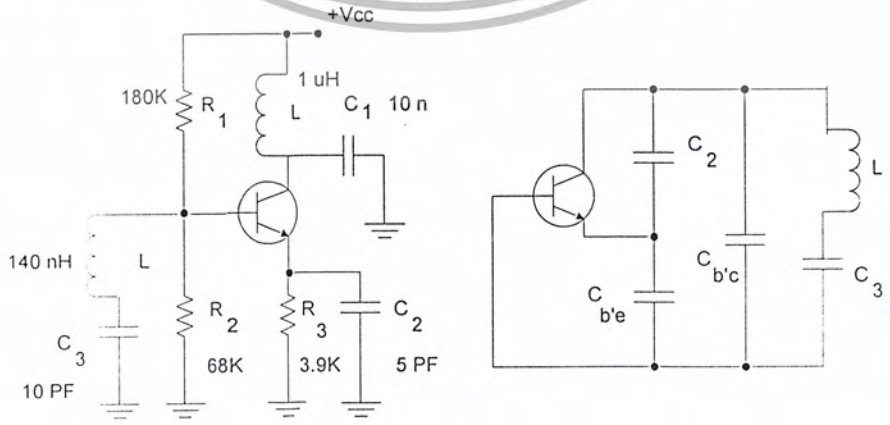
### 3.4.5 Clapp Oscillator (Modified Colpits)

การออกแบบ Clapp Oscillator ดังแสดงในรูปที่ กระทำได้โดยใช้ตัวเก็บประจุที่ตำแหน่ง $Z_1$ และ $Z_2$ ส่วนตำแหน่ง $Z_3$ ให้ต่อตัวเหนี่ยวนำและตัวเก็บประจุอนุกรมกัน ซึ่งสามารถใช้ได้ถึงความถี่ระดับ UHF (Ultra High Frequency)




รูปที่ 3.35 วงจร Clapp Oscillator

ตัวอย่างที่ 3 หาค่าความถี่ออสซิเลท เมื่อกำหนดให้ $F_T$ = 300 MHz , $C_{ob}$ = 1 PF และ $\beta_0$ = 80




รูปที่ 3.36 วงจร Clapp oscillator และ model

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากวงจรได้ $I_{CQ} = 350\ \mu A$ , $C_{b'e} = 6.1$ PF

$C_T = ((C_2 + C_{b'e}) // C_{b'c}) + C_3 = 2.72$ PF

ได้ $F_0 = 258$ MHz

### 3.5 รูปแบบการ Modulation

การ Modulation นั้นมีมากมายทั้ง Amplitude Modulation (AM) , Frequency Modulation (FM) เป็นต้น แต่ยังมีการ Modulation อีกอย่างหนึ่งก็คือ Pulse Modulation ซึ่งสามารถแบ่งได้เป็น 2 ระบบกว้างๆ คือ Pulse Analog Modulation และ Pulse Digital Modulation

Pulse Analog Modulation แบ่งเป็น 4 แบบ คือ PAM (Pulse Amplitude Modulation), PWM (Pulse Width Modulation), PPM (Pulse Position Modulation) และPFM (Pulse Frequency Modulation) ส่วน Pulse Digital Modulation ก็สามารถแบ่งเป็น 2 แบบ คือ PNM ((Pulse Number Modulation) และ PCM (Pulse Code Modulation) แต่ในที่นี้จะกล่าวเพียง PWM เท่านั้น

PWM คือการ Modulation ที่ให้ output ออกมาเป็นสัญญาณ pulse ที่มี amplitude เท่ากันทุก pulse แต่มีความกว้างของ duty cycle แต่ละ pulse ไม่เท่ากัน โดยที่ duty cycleของแต่ละ pulse ขึ้นอยู่กับ amplitudeของสัญญาณข่าวสาร กล่าวคือหากสัญญาณข่าวสารมี amplitude มาก duty cycle ของ pulse ก็จะมากหากสัญญาณข่าวสารมี amplitude น้อย duty cycle ของ pulse ก็จะน้อยตามไปด้วยซึ่งค่านั้นแปรผันตรงกับ amplitude ของสัญญาณข่าวสารแบบเชิงเส้น

#### 3.5.1 การสร้างสัญญาณ PWM (Pulse Width Modulation)

การสร้างสัญญาณ PWM สามารถทำได้หลายวิธีแต่ในที่นี้ขอยกตัวอย่างมาเพียง 3 วิธี คือ

1. โดยสร้าง Pulse Width Modulation สัญญาณโดยตรงจากสัญญาณเบสแบนด์
2. โดยการสร้าง Pulse Amplitude Modulation ก่อนแล้วค่อยสร้าง Pulse Width Modulation ทีหลัง
3. โดยการสร้าง Pulse Width Modulation จากวงจรเปรียบเทียบโดยตรง

วิธีที่ 1

รูปที่ 3.37 แสดงการสร้าง Pulse Width Modulation (PWM) โดยตรงจากสัญญาณเบสแบนด์รูปแบบสุดเป็นสัญญาณเบสแบนด์ที่ต้องการ modulation เป็น PWM ในการสร้างเริ่มต้นด้วยการสร้าง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

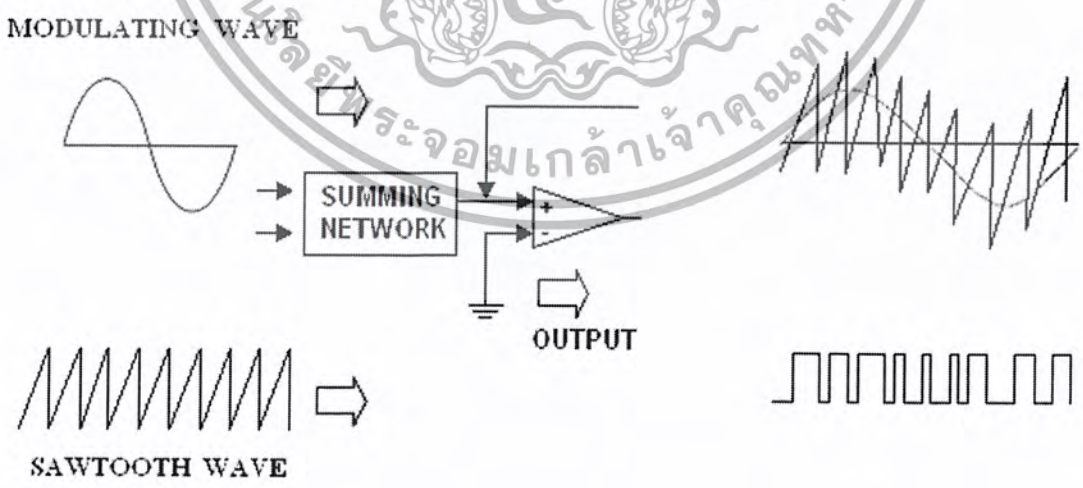
สัญญาณสามเหลี่ยมที่มีคาบเวลาแน่นอนขึ้นมาแล้วบวกเข้ากับสัญญาณเบสแบนด์ในวงจรบวก (summing) จะได้สัญญาณรวมผลแล้วนำไปผ่านวงจรเปรียบเทียบที่มีสัญญานไฟตรงเป็นสัญญาณอ้างอิง (reference level ) ก็จะได้สัญญาณที่ตัดกับระดับอ้างอิงตามหลักการของการข้ามระดับ (level crossing) เมื่อสัญญาณสามเหลี่ยมข้ามหรือตัดกับระดับอ้างอิงครั้งแรก วงจรจะสร้างขอบนำ (Leading edge) เมื่อสัญญาณสามเหลี่ยมข้ามหรือตัดกับระดับอ้างอิงอีกครั้งหนึ่งวงจรจะสร้างขอบหาง (trailing edge) ก็จะได้ PWM ตามต้องการสังเกตว่าความกว้างของจะเปลี่ยนแปลงตามขนาดของสัญญาณเบสแบนด์เมื่อขนาดของสัญญาณเบสแบนด์สูงขึ้นความกว้างของ PWM ก็จะกว้างขึ้น

**วิธีที่ 2**

วิธีการสร้าง Pulse Width Modulation โดยวิธีนี้ต้องสร้าง Pulse Amplitude Modulation จากสัญญาณเบสแบนด์ก่อนความแตกต่างของวิธีที่ 1 กับวิธีที่ 2 ก็จะอยู่ที่จะบวกสัญญาณสามเหลี่ยมเข้ากับสัญญาณเบสแบนด์โดยตรงหรือจะบวกสัญญาณสามเหลี่ยมเข้ากับ PAM ตามวิธีที่ 2 เท่านั้นส่วนขั้นตอนอื่นในการเปรียบเทียบสัญญาณผลรวมกับระดับอ้างอิงนั้นเหมือนกัน ดังรูปที่ 3.38

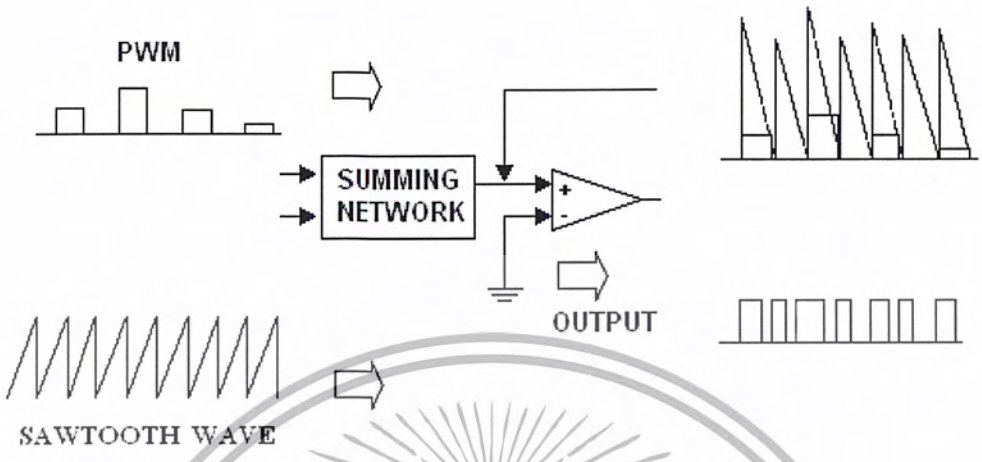
**วิธีที่ 3**

การสร้าง Pulse Width Modulation โดยวิธีนี้ที่ทำได้ง่ายทำโดยนำสัญญาณข่าวสารและสามเหลี่ยมมาเข้าวงจรเปรียบเทียบก็จะได้สัญญาณ PWM ออกมาตามที่ต้องการ ซึ่งก็เหมือนกับการทำสัญญาณ PPM ซึ่งแสดงไว้ในรูปที่ 3.39

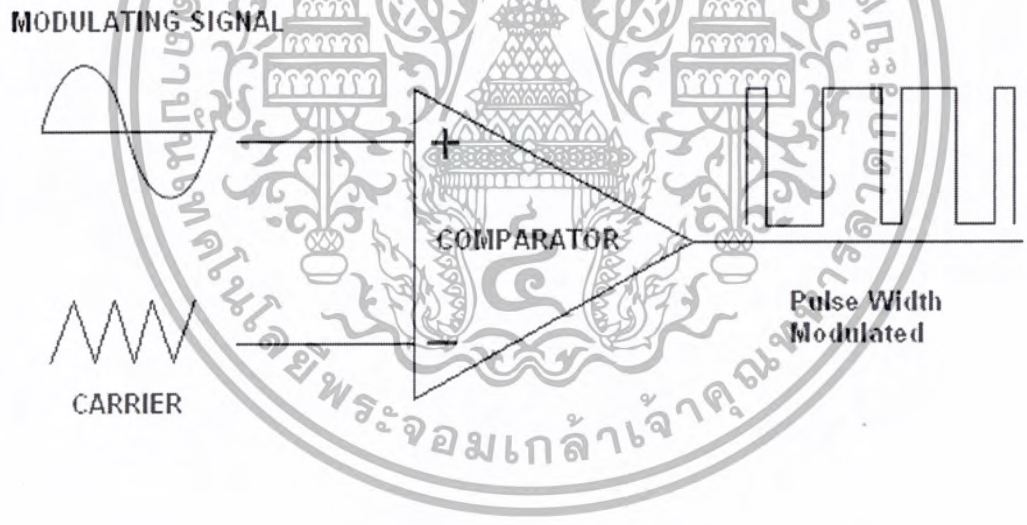



รูปที่3.37 แสดงการ Modulate ของ PWM แบบที่ 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 3.38 แสดงการ Modulate ของ PWM แบบที่ 2




รูปที่ 3.39 แสดงการ Modulate ของ PWM แบบที่ 3

**3.5.2 ชนิดของ PWM**

PWM แบ่งออกได้เป็น 3 ชนิด ดังนี้

1. Symmetrical PWM คือ ความกว้างของพัลส์จะแปรผันตามขนาดของสัญญาณเมื่อสัญญาณอยู่ที่ศูนย์ความกว้างของพัลส์จะอยู่ที่ reference และเมื่อสัญญาณเป็นบวกเพิ่มขึ้นความกว้างของพัลส์ก็

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จะเพิ่มขึ้นด้วย และเมื่อสัญญาณเป็นลบความกว้างของพัลส์ก็จะลดลงด้วยสิ่งที่สำคัญคือความกว้างระหว่างจุดกึ่งกลางของพัลส์จะมีค่าสมมาตรกันแม้ว่าความกว้างของแต่ละพัลส์จะไม่เท่ากัน

2. Leading – edge PWM คือ ขอบขาลงของพัลส์แต่ละรูปจะแปรผันตามขนาดของสัญญาณโดยที่ระยะห่างขอบขาลงแต่ละพัลส์จะมีค่าคงที่

3. Trailing – edge PWM คือขอบขาขึ้นของพัลส์แต่ละรูปจะแปรผันตามขนาดของสัญญาณโดยที่ระยะห่างขอบขาขึ้นแต่ละพัลส์จะมีค่าคงที่

### 3.5.3 การ Saturated ของสัญญาณ PWM

การ Modulation สัญญาณ PWM นั้นมีข้อควรระวังที่ไม่ควรมองข้ามอีกข้อหนึ่งนั่นก็คือการ saturated ในการ modulation คล่าวคือ ถ้าข่าวสาร input มี amplitude มากเกิน amplitudeของสัญญาณสามเหลี่ยมถ้านำมาเปรียบเทียบกันข่าวสารจะสูงข้ามยอดฟันเลื่อยหลายยอด output ที่ออกมาจะเป็นพัลส์เดียวที่มีขนาดใหญ่ผิดปกติและการส่งข้อมูลจะมีการผิดเพี้ยนรูปสัญญาณที่ demodulation ออกมาจะไม่ได้สัญญาณข่าวสารเดิมจึงควรระมัดระวังเวลา modulation ไม่ให้สัญญาณข่าวสารเกิน amplitude ของสัญญาณสามเหลี่ยม

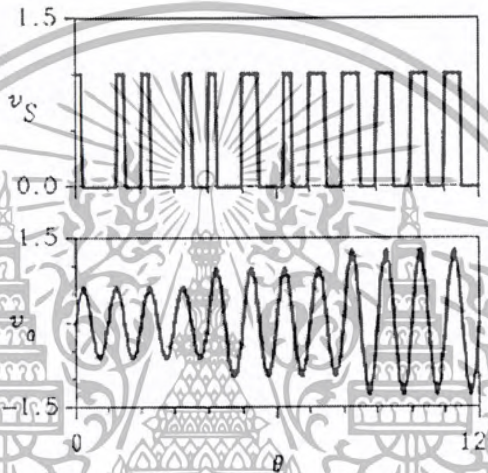
รูปที่ 3.40 การ saturate ของสัญญาณ

## 3.6 Delta – Sigma Modulation

การเข้ารหัสแบบเดลต้า – ซิกม่า (Delta-Sigma Modulation) เป็นการเข้ารหัสในการแปลงสัญญาณอนาลอกมาเป็นสัญญาณดิจิตอล วิธีการเดลต้า-ซิกม่านี้ ข้อมูลอนาลอกจะถูกประมาณด้วยฟังก์ชันขั้นบันได (Staircase Function) ที่มีการเขยิบขึ้นลงด้วยระดับการควอนไตซ์ในการสุ่มยกตัวอย่าง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

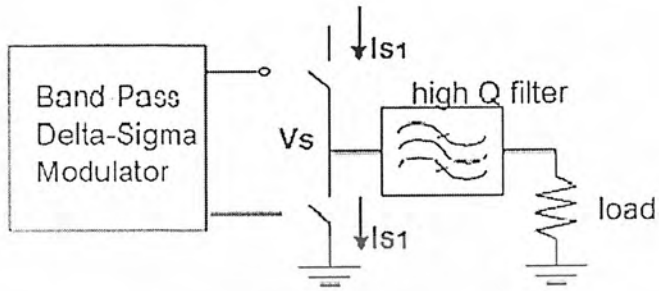
วิธีการเดลต้า-ซิกม่า มอดดูเลชั่น นี้เป็นอีกเทคนิคหนึ่งซึ่งเป็นการมอดดูเลตสัญญาณหาหะที่สร้างจากแอมพลิไฟเออร์คลาส ดี โดยตรง เมื่อเปรียบเทียบการทำงานพื้นฐานกับ PWM แล้ว เดลต้า – ซิกม่า มอดดูเลชั่น จะขับคลาส ดี ที่สัญญาณนาฬิกาค่าคงที่ (ดังนั้น ความกว้างของพัลส์จะถูกกำหนดตายตัว) ซึ่งโดยทั่วไปสัญญาณนาฬิกานี้จะมีความถี่มากกว่าสัญญาณพาหะ ค่าโวลต์เตจเอาท์พุทจะถูกกลับค่า (Toggle) เพื่อสร้างสัญญาณเอาท์พุทจากพัลส์ ซึ่งเฟสสัญญาณจะซ้ำไปมาใน pulse timing ดังแสดงในรูปที่ 3.41




รูปที่ 3.41 เดลต้า – ซิกม่ามอดดูเลชั่น

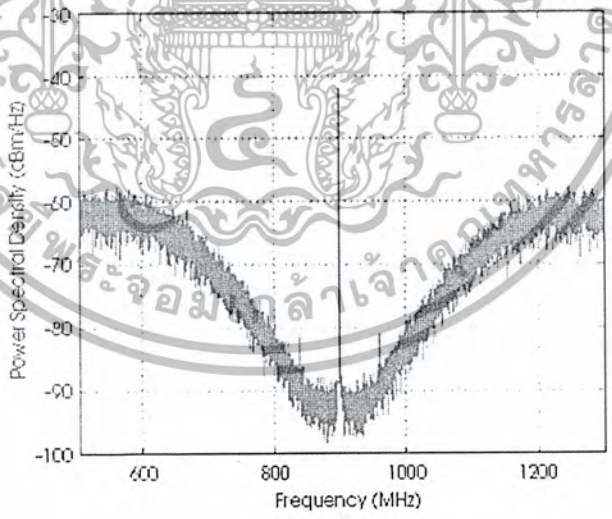
เดลต้า – ซิกม่า มอดดูเลเตอร์ แสดงดังรูปที่ 3.42 สัญญาณจะถูกดิจิไทซ์ (digitize) โดยควอนไตซ์เซอร์ (quantizer) ซึ่งโดยปกติแล้วจะเป็นคอมพาราเตอร์แบบ 1 บิต ซึ่งสัญญาณอินพุทจะถูกเปรียบเทียบกับสัญญาณเอาท์พุทเนื่องจากมี feedback loop ซึ่งเดลต้า – ซิกม่า มอดดูเลเตอร์นี้ จะประพฤติตัวเหมือนตัวกรองความถี่ผ่าน (Band Pass Filter) สัญญาณเอาพุทจากพาสแบนด์จะไล่ตามสัญญาณอินพุท และช่วงนี้จะเกิดสัญญาณรบกวนจากการควอนไตซ์ (quantizing noise) ซึ่งเกิดข้างนอกพาสแบนด์ สัญญาณรบกวนจากการควอนไตซ์นี้เกิดแอมพลิจูดทางด้านเอาพุทที่สูงขึ้นทันทีทันใดชั่วขณะหนึ่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 3.42 เดลต้า – ซิกม่ามอดดูเลเตอร์

การกำจัด Quantizing noise นี้ขึ้นอยู่กับอัตราการสุ่ม (sampling rate) เช่นอัตราการสุ่มของความถี่สัญญาณนาฬิกากับ RF แบนด์วิธ ต้องสัมพันธ์กับความถี่กลางของความถี่ RF ยกตัวอย่างเช่น สัญญาณเพาะความถี่ 900 MHz และสัญญาณนาฬิกาที่ 3.6 GHz ดังรูปที่ 3.43 quantizing noise จะถูกลดระดับมาอยู่ในช่วงแบนวิธ 50 MHz

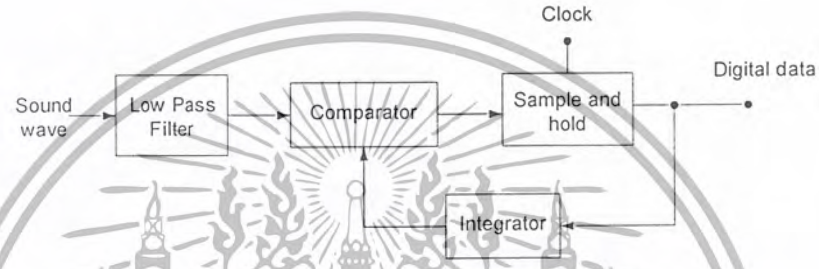



รูปที่ 3.43 สเปคตรัมของเดลต้า – ซิกม่ามอดดูเลชั่น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อเปรียบเทียบกับ PWM แล้ว การมอดดูเลชั่นแบบเดลต้า – ซิกม่านี้จะมี switching loss เนื่องจาก nonzero current ต่ำ ในขณะช่วงเวลาการสวิตชิ่ง

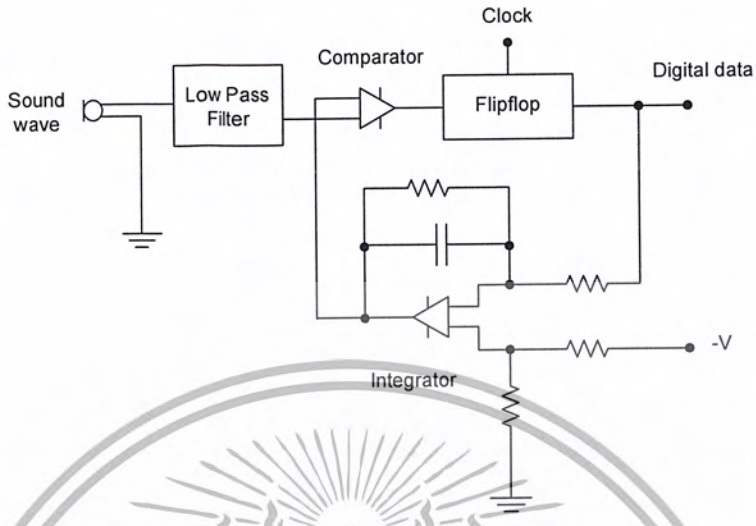
รูปที่ 3.44 แสดงถึงบล็อคไดอะแกรมของเดลต้า – ซิกม่ามอดดูเลชั่น ซึ่งสัญญาณอินพุทจะถูกเปรียบเทียบกับสัญญาณเอาพุทที่ถูกป้อนกลับผ่านอินทิเกรเตอร์ซึ่งจะได้สัญญาณสามเหลี่ยมโดยมีวงจร sample and hold เป็นตัวกำหนดอัตราสุ่ม ซึ่งสัญญาณเอาพุทจะเป็นสัญญาณดิจิตอล



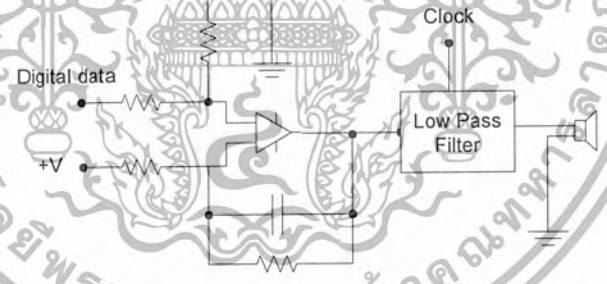

รูปที่3.44 block diagramของเดลต้า – ซิกม่ามอดดูเลชั่น

รูปที่ 3.45 เป็นวงจรเบื้องต้นของเดลต้า – ซิกม่ามอดดูเลชั่น คอมพาราเตอร์จะเปรียบเทียบสัญญาณอินพุทปัจจุบันกับสัญญาณอินพุทก่อนหน้า ซึ่งได้มาจากการป้อนกลับมายังอินทิเกรตเตอร์ เอาพุทจากการเปรียบเทียบจะถูกป้อนผ่านฟลิบฟลอปที่ควบคุมด้วยสัญญาณนาฬิกาเพื่อให้ได้ข้อมูลเป็นดิจิตอล ซึ่งก็คือกำหนดอัตราการสุ่มสัญญาณนั่นเอง สัญญาณที่ได้หลังจากผ่านวงจรอินทิเกรตเตอร์จะเป็นพัลส์ที่เปลี่ยนแปลงตามสัญญาณ อนาลอก อินพุท อย่างใกล้ชิด และมีรูปร่างคล้ายสัญญาณอนาลอกมาก ยกเว้นในกรณีที่สัญญาณอนาลอกเปลี่ยนแปลงขนาดอย่างรวดเร็วหรือกล่าวได้ว่าความชั้นของสัญญาณสูงมากๆ ทำให้วงจรส่วนของเดลต้า – ซิกม่ามอดดูเลชั่นไม่สามารถสร้างพัลส์ไล่ทันสัญญาณอนาลอก ในกรณีนี้เรียกว่า การเกินภาระของความชัน (Slope Overload) การแก้ปัญหานี้สามารถทำได้โดยการปรับขนาดของ step แต่จริงๆแล้วขนาดของ step ควรจะให้เล็กเมื่อมีการเปลี่ยนแปลงของสัญญาณเพิ่มขึ้นอย่างช้าๆ และเพิ่มขนาดของ step เพื่อที่จะหลีกเลี่ยง Slope Overload เมื่อสัญญาณเปลี่ยนแปลงมาก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 3.45 วงจรเบื้องต้นของเดลต้า – ซิกม่ามอดดูเลชั่นในส่วนของการแปลงจากสัญญาณเสียงเป็นดิจิตอล




รูปที่ 3.46 วงจรที่ใช้แปลงกลับจากข้อมูลดิจิตอลเป็นสัญญาณเสียง

สัญญาณที่ได้จากตัวเปรียบเทียบและจากอินทิเกรตเตอร์เมื่อเปรียบเทียบกับสัญญาณอินพุทจะพบว่ายิ่งความถี่ของสัญญาณนาฬิกามีค่าสูงก็ยิ่งสามารถบันทึกการเปลี่ยนแปลงที่แคบได้มากขึ้นทำให้ได้คุณภาพเสียงที่ดีขึ้น ซึ่งความถี่การสุ่มต้องไม่น้อยกว่า 2 เท่าของความถี่ที่นำมาสุ่ม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## 3.7 ภาคขยายกำลังของเครื่องขยายเสียง

ภาคขยายกำลังของเครื่องขยายเสียงเป็นภาคสุดท้ายที่จะต้องเพิ่มอัตราขยายสัญญาณเสียงให้แรงมากขึ้นเท่าที่จะทำได้แบบไม่ผิดเพี้ยน ส่วนประกอบหลักในภาคขยายกำลังจะประกอบด้วยภาคไดรเวอร์และภาคพาวเวอร์แอมป์ ซึ่งภาคไดรเวอร์นั้น จะใช้ IC เบอร์ HIP 4081 ซึ่งเป็น High Frequency H-Bridge Driver

### 3.7.1 ภาคไดรเวอร์ (Driver Section)

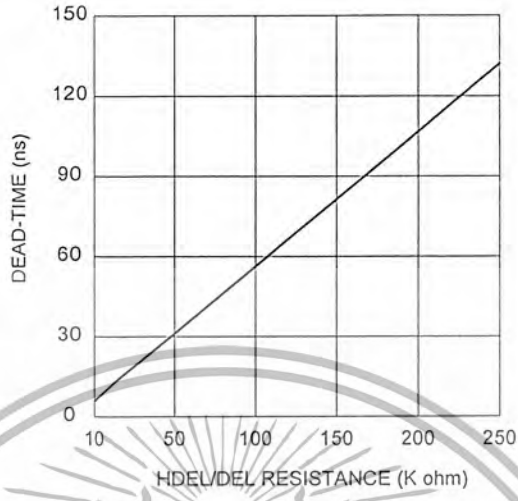
ภาคไดรเวอร์มีหน้าที่ในการขับมอสเฟทในส่วนภาคพาวเวอร์แอมป์ ซึ่งในภาคนี้จะใช้ IC HIP 4081 ซึ่งเป็น IC ที่ทำหน้าที่ขับมอสเฟทชนิดเอ็นแชนแนลที่ความถี่สูง ซึ่งตัว IC จะประกอบด้วยส่วนเปรียบเทียบ (comparator) และใช้หลักการของ PWM และ hysteresis อย่างง่าย ในการทำงาน ซึ่ง HIP 4081 มีจุดเด่นอยู่ที่การควบคุม propagation delay

#### 3.7.1.1 การควบคุม propagation delay (Propagation Delay Control)

การควบคุม Propagation delay เป็นจุดเด่นของ HIP 4081 ซึ่งในตัว IC จะมีวงย่อยที่เหมือนกัน 2 วงจร คอยควบคุม delay สัญญาณขณะมอสเฟทอยู่ในสถานะ ON ซึ่งสัญญาณขณะมอสเฟทอยู่ในสถานะ OFF นั้นจะไม่มีการ delay เกิดขึ้น ซึ่งการควบคุมนั้นกระทำได้โดยใส่ความต้านทานที่ขา HDEL ทำให้สามารถกำหนด delay ขณะสวิตช์ในสัญญาณครึ่งบวก และ ใส่ความต้านทานที่ขา LDEL เพื่อกำหนด delay ขณะสวิตช์ในสัญญาณครึ่งลบ ซึ่งความต้านทานที่ใส่ไปนี้จะเป็นตัวกำหนดกระแสที่ทำให้เกิด delay และการ delay ที่ขอบขาลงของพัลส์ OFF และขอบขาขึ้นของพัลส์ ON จะทำให้เกิดปรากฏการณ์ dead – time ซึ่งเป็นจังหวะที่มอสเฟทสองตัวอยู่ในสถานะ ON พร้อมกัน ทำให้เกิดการไหลของกระแสผ่านมอสเฟททั้งสองตัวโดยตรงจาก $V_{cc}$ สู่ กราวด์

ค่าความต้านทานที่เหมาะสมที่นำมาต่อที่ขา HDEL และ LDEL นั้นจะทำให้ได้ค่า dead time ที่สอดคล้องกับช่วงการเปลี่ยนสัญญาณจาก high ไป low หรือ low ไป high ซึ่งช่วงค่าความต้านทานที่ดีจะอยู่ในช่วง 10 K$\Omega$ ถึง 200 K$\Omega$ ดังแสดงในรูปที่ 3.47

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 3.47 กราฟแสดงความสัมพันธ์ระหว่าง dead-time และ ความต้านทาน

3.7.1.2 วงจรไบอัสแบบบูสแสต็ป (Bootstrap Bias Supply Circuit)

สำหรับงานทางด้านความถี่สูง อุปกรณ์ bootstrap ทั้งไดโอดและตัวเก็บประจุมีความจำเป็นมาก ซึ่งงานแต่ละชนิดก็ต้องการขนาดของตัวเก็บประจุและไดโอดที่เหมาะสม bootstrap capacitor จะทำหน้าที่เก็บประจุเพื่อให้มอสเฟทมีสถานะ ON ที่เร็วยิ่งขึ้น แต่ในกรณีที่ไม่สนใจเวลาในการ ON ของมอสเฟทไม่จำเป็นที่ต้องต่อก็ได้

HIP 4081 ที่ไม่มี bootstrap capacitor และ bootstrap diode ส่วนมากแล้วจะทำให้การ ON ของเกตช้าลง เมื่อไม่มี bootstrap capacitor กระแสเกตจะมาจากวงจรชาร์จปั๊มที่มีอยู่ในตัว IC เท่านั้น ซึ่งมีค่าประมาณ 30-50 $\mu$ A เท่านั้น waveform ของแรงดันเกตขณะไม่มี bootstrap capacitor

ถ้า bootstrap capacitor มีค่าเท่ากับค่าของตัวเก็บประจุเสมือนในมอสเฟท จะทำให้ค่าความต่างศักย์บูสแสต็ปจะตกลงมาเหลือครึ่งหนึ่งขณะที่มอสเฟท ON ยิ่งค่า bootstrap capacitor มีขนาดมากเท่าไหร่ ก็ยิ่งเกิดโวลต์เตจดร่อม bootstrap ชั่วครู่น้อยลงเท่านั้น

ถ้าสมมติให้การสวิตชิ่งเริ่มขณะที่มอสเฟท ON bootstrap capacitor จะจ่ายประจุให้กับ ตัวเก็บประจุในมอสเฟท หลังจากการจ่ายประจุ กระแสเดรนที่จะไม่มีการขยับและมีค่าที่น้อยมาก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หลังจากมีการถ่ายเทประจุจาก bootstrap capacitor ให้มอสเฟท เสร็จสมบูรณ์ ค่าความต่างศักย์ที่ตกคร่อม bootstrap capacitor จะมีค่าต่ำที่สุดระหว่างที่อยู่ในช่วงการสวิตช์ ค่าประจุที่ bootstrap capacitor ถ่ายเทให้มอทเฟทจะมีค่าใกล้เคียงกันและแสดงดังสมการที่ 3.52

$$Q_G = (V_{BS1} - V_{BS2}) \times C_{BS} \tag{3.52}$$

โดย $V_{BS1}$ = ค่าความต่างศักย์ตกคร่อม bootstrap capacitor หลังจากประจุ

$V_{BS2}$ = ค่าความต่างศักย์ตกคร่อม bootstrap capacitor หลังจากมอสเฟท ON

$C_{BS}$ = bootstrap capacitor

$Q_G$ = ค่าประจุที่ถูกถ่ายเทขณะเกต ON

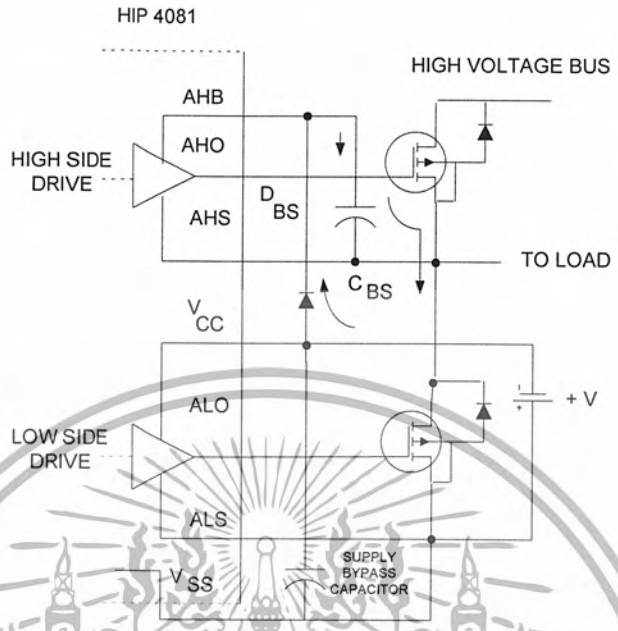
ในPWM โหมด ค่าความถี่สวิตชิ่งจะเท่ากับคาบการ ON หรือ OFF เมื่อ มอสเฟทได้รับพัลส์ OFF bootstrap capacitor จะเริ่มการประจุอีกครั้ง และจะหยุดเมื่อมอสเฟท OFF เมื่อครบดิวตี้ไซเคิล (Duty cycle) เวลา OFF จะเป็นศูนย์ ซึ่งแสดงด้งสมการที่ 3.53

$$t_{OFF} = (1 - DC)/f_{PWM} \tag{3.53}$$

ขณะที่มอสเฟท OFF ค่าโวลต์เตจที่ terminal ของมอสเฟทจะตกลง และเมื่อโวลต์เตจลดต่ำลงจนมีค่าน้อยกว่า $V_{CC}$ bootstrap จะเริ่มประจุอีกครั้งหนึ่งจนกว่าค่าความต่างศักย์บูสแสต์ป จะมีค่าเท่ากับ $V_{CC}$ จึงหยุดการประจุ

Off –time ของมอสเฟทจะขึ้นอยู่กับการควบคุมสัญญาณที่เกต แต่จะไม่สามารถที่จะทำให้น้อยกว่า dead – time ที่ตั้งค่าไว้แล้วได้ ซึ่งกำหนดค่าโดยความต้านทานที่ต่อที่ขา HDEL และ LDEL ถ้า bootstrap capacitor ประจุได้ไม่เต็มที่ก่อนที่มอสเฟทจะ ON อีกครั้ง การเก็บประจุจะไม่สมบูรณ์ ดังนั้นต้องแน่ใจว่า ขนาดของ bootstrap capacitor จะต้องสัมพันธ์กับค่า dead-time ที่ตั้งเอาไว้ ซึ่งรูปที่ 3.49 แสดงวงจรและเส้นทางการประจุของ bootstrap capacitor นอกจากนี้ เส้นทางการเก็บประจุและถ่ายประจุต้องสั้นเท่าที่เป็นไปได้ เพื่อลดผลของ ค่าความเหนี่ยวนำที่เกิดขึ้นในลูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 3.49 แสดงเส้นทางการประจุของบูสแสต๊ป

สมการที่ 3.53 อธิบายความสัมพันธ์ระหว่าง ประจุที่เกตได้รับขณะ ON ขนาดของ bootstrap capacitor ค่าความต่างศักย์คร่อม bootstrap capacitor ซึ่งเป็นผลมาจากการถ่ายเทประจุขณะ ON

ผลของกระแสรั่วไหลย้อนกลับจะสัมพันธ์กับ bootstrap diode กระแสที่ไบอัสเกตและขนาดของตัวเก็บประจุ ขณะที่มอสเฟท ON source voltage เริ่มเพิ่มขึ้นอย่างรวดเร็ว bootstrap diode จะถูกไบอัสย้อนกลับอย่างรวดเร็วซึ่งเป็นผลมาจาก reverse recovery charge ทำให้ประจุใน bootstrap capacitor หมดไป ซึ่งสมการการถ่ายเทประจุขณะ ON แสดงดังสมการที่ 3.54

$$C_{BS} = \frac{Q_G + Q_{RR} + \dfrac{(I_{DR} + I_{QBS})}{f_{PWM}}}{V_{BS1} - V_{BS2}} \qquad (3.54)$$

โดย $I_{DR}$ = กระแสรั่วไหลย้อนกลับของ bootstrap diode

$I_{QBS}$ = กระแสสงบ

$Q_{RR}$ = reverse recovery charge

$Q_G$ = ประจุที่เกตได้รับขณะ ON

$f_{PWM}$ = ความถี่ PWM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$V_{BS1}$ = ค่าความต่างศักย์ตกคร่อม bootstrap capacitor หลังจากประจุ

$V_{BS2}$ = ค่าความต่างศักย์ตกคร่อม bootstrap capacitor หลังจากมอสเฟท ON

ในทางปฏิบัติ กระแสรั่วไหลย้อนกลับของ bootstrap diode และ กระแสสงบสามารถละทิ้งได้ เนื่องจาก HIP 4081 จะมีวงจรชาร์จปั๊มอยู่ข้างในซึ่งจะจ่ายกระแสค่า 30 $\mu$ A อย่างต่อเนื่อง ซึ่งกระแสนี้มีค่ามากกว่ากระแสทั้งสอง และยิ่งความถี่การสวิตชิ่งมีค่ามากเท่าไหร่ผลของประจุที่มีต่ออุปกรณ์ bootstrap ก็ยิ่งน้อยลงเท่านั้น อย่างไรก็ตาม reverse recovery charge จะมีค่าเพิ่มขึ้นเมื่อความถี่การสวิตชิ่งมีค่ามาก ดังนั้น จึงมีความจำเป็นที่ต้องใช้ fast recovery diode

ยกตัวอย่างเช่น IRF520 จาก data sheet จะมี $Q_G$ = 12n โดยปกติ และสูงสุดที่ 18n ที่ $V_{DS}$ =12 V ทั้ง 2 ค่า ซึ่งจะใช้ค่าสูงสุดคือ 18 nC และสมมติใช้ UF4002 จะมี reverse recovery charge เท่ากับ 25 ns และเนื่องจาก recovery charge wavform เป็นคลื่นสามเหลี่ยม ดังนั้น recovery charge สามารถประมาณได้ว่าเป็นผลคูณระหว่างค่ากระแสรั่วไหลย้อนกลับและ recovery time ดังนั้น recovery charge ใช้เวลา 12.5 ns bootstrap capacitor ที่ต้องการจึงเท่ากับ

$$C_{BS} \geq \frac{18nC + 12.5nC}{12.0 - 11.0} \qquad (3.55)$$

$$C_{BS} = 0.033\mu F$$

ดังนั้น bootstrap capacitor จะมีค่า 0.033 $\mu$ F ซึ่งจะมีผลเมื่อมีความต่างศักย์คร่อม bootstrap capacitor น้อยกว่า 1 V ระหว่างช่วงที่มอสเฟท ON และถ้าใช้ค่า $Q_G$ และ reverse recovery charge ที่เป็นค่าทั่วไปจะทำให้ค่าความต่างศักย์ที่ตกคร่อม bootstrap capacitor เหลือเพียง 0.5 V เท่านั้น

### 3.7.2 ภาคเพาเวอร์ (Power Section)

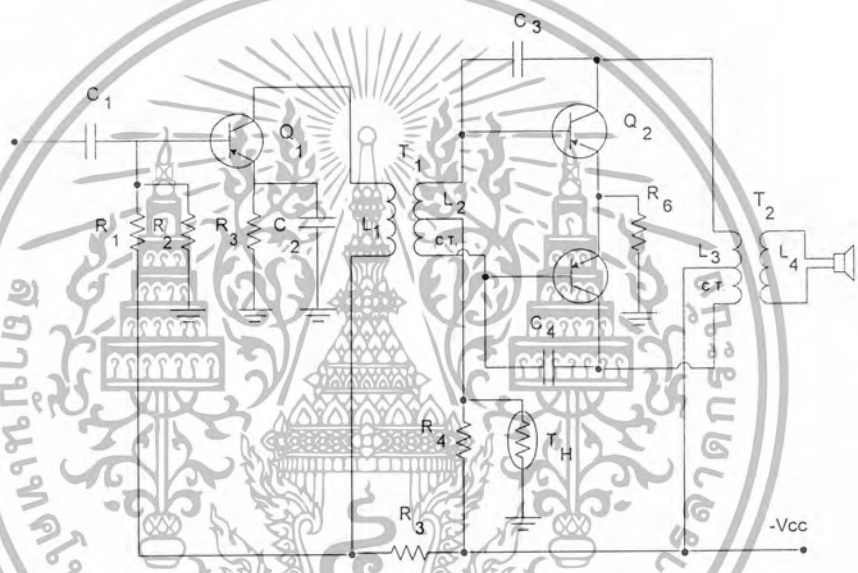
ภาคขยายกำลังที่ใช้กันทั่วๆไป แบ่งออกได้เป็น 2 แบบคือ

1. แบบพุช-พูล (Push-Pull)
2. แบบคอมพลีเมนทารี (Complementary)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### 3.7.2.1 วงจรขยายเสียงแบบพุช-พูล (Push – Pull Amplifier)

วงจรขยายเสียงแบบพุช-พูล เป็นวงจรขยายเสียงที่มีหม้อแปลงต่อร่วมในวงจร เพื่อทำหน้าที่ช่วยจัดเฟสของสัญญาณเสียงที่จะส่งเข้ามาขยายถูกต้องตามความต้องการ และจัดเฟสของสัญญาณเสียงที่จะถูกส่งต่อไปยังลำโพง ให้มีการทำงานทั้งช่วงบวกและช่วงลบของสัญญาณเสียง ทำให้วงจรขยายเสียงทำงานได้สมบูรณ์




รูปที่ 3.50 ภาคไดรเวอร์และภาคเพาเวอร์แอมป์ของวงจรขยาย พุช-พูล

จากรูปที่ 3.50 เป็นวงจรขยายเสียงภาคไดรเวอร์และภาคเพาเวอร์แอมป์แบบ พุช-พูล โดย $Q_1$ เป็นภาคไดรเวอร์ถูกจัดไบอัสแบบคลาส-เอ ขยายสัญญาณเสียงที่ป้อนเข้ามาทั้งช่วงบวกและช่วงลบส่งออกที่ขา C ของ $Q_1$ ไปเข้าหม้อแปลง $T_1$ ที่ขด $L_1$ มีกระแสไหลผ่าน $L_1$ $L_1$ เกิดสนามแม่เหล็กเหนี่ยวนำสัญญาณเสียงไปที่ขด $L_2$ มีศักย์ตกคร่อม $L_2$ จ่ายเป็นอินพุทให้ภาคเพาเวอร์แอมป์ $Q_2$ และ $Q_3$ สัญญาณที่ตคคร่อม $L_2$ จะมีเฟสตรงข้ามกันระหว่างขัวบนและขั้วล่าง เช่น ขั้วบน $L_2$ เป็นบวกขั้วล่างจะเป็นลบ ถ้าขั้วบน $L_2$ เป็นลบขั้วล่างจะเป็นบวก

ถ้าสัญญาณเสียงที่ตกคร่อม $L_2$ ด้านบนลบ ด้านล่างบวก จ่ายให้ขา B ของ $Q_2$ , $Q_2$ ได้รับไบอัสตรงมากขึ้นจะนำกระแส $Q_3$ ได้รับไบอัสกลับจะคัทออฟ เมื่อ $Q_2$ นำกระแส มีกระแสไหลจากกราวด์ไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$R_6$ , $Q_2$ ผ่าน $T_2$ ที่ขด $L_3$ ครึ่งบน ไปจุดCT ครบวงจรที่ $-V_{CC}$ เกิดศักย์ตกคร่อม $L_3$ บนบวกล่างลบ เหนี่ยวนำไปขด $L_4$ บนลบล่างบวกจ่ายให้ลำโพง ลำโพงเคลื่อนที่ไปทิศทางหนึ่ง

ถ้าสัญญาณเสียงที่ตกคร่อม $L_2$ ด้านบนบวก ด้านล่างลบ จ่ายให้ขา B ของ $Q_2$ , $Q_2$ ได้รับไบอัสกลับจะคัทออฟ $Q_2$ ได้รับไบอัสตรงมากขึ้นจะนำกระแส เมื่อ $Q_3$ นำกระแส มีกระแสไหลจากกราวด์ไป $R_6$ , $Q_3$ ผ่าน $T_2$ ที่ขด $L_3$ ครึ่งล่างไปจุดCT ครบวงจรที่ $-V_{CC}$ เกิดศักย์ตกคร่อม $L_3$ บนลบล่างบวก เหนี่ยวนำไปขด $L_4$ บนบวกล่างลบจ่ายให้ลำโพง ลำโพงเคลื่อนที่ไปทิศทางหนึ่งตรงข้ามกับครั้งแรก

TH คือ เทอร์มิสเตอร์ทำหน้าที่เป็นวงจรไบอัสอัตโนมัติควบคุมไบอัสที่จ่ายให้ $Q_2$ , $Q_3$ ทำงานคงที่ต่ออุณหภูมิ ซึ่งจะกล่าวต่อในหัวข้อต่อไป $C_3$ , $C_4$ ทำหน้าที่ลดอัตราขยายความถี่สูงลงเพื่อหยุดการเกิดออสซิเลทของเครื่องขยายเสียง

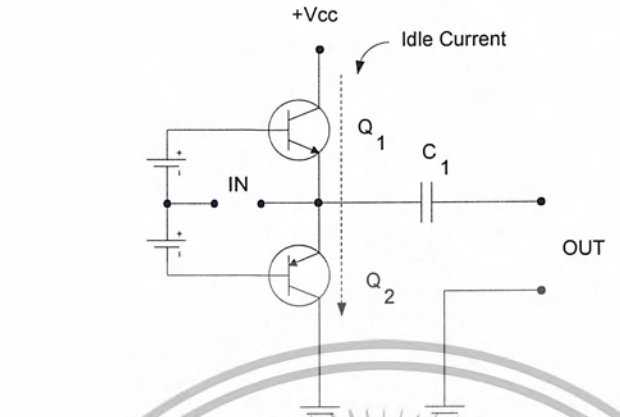
เครื่องขยายเสียงแบบพุช – พูล ที่ใช้หม้อแปลง จะไม่นิยมใช้กับเครื่องขยายเสียงทั่วไป เพราะมีปัญหาคือ เสียงแหลมลดลง เกิดการฮัม และน้ำหนักมาก จะนำไปใช้งานเฉพาะ เช่น ใช้ในระบบส่งเสียงตามสาย (PA) หรืองานที่ต้องมีการปรับอิมพีแดนซ์ของลำโพง

### 3.7.2.2 วงจรขยายเสียงแบบคอมพลีเมนทารี (Complementary Amplifier)

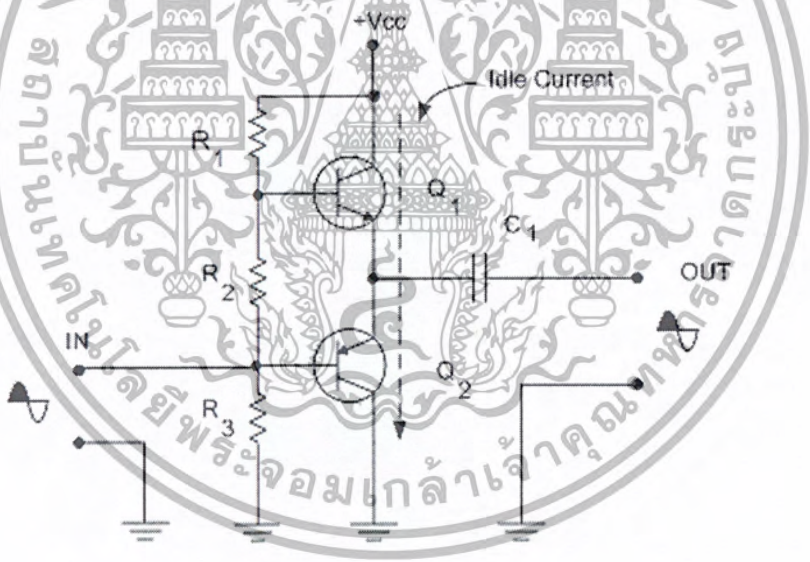
วงจรขยายเสียงแบบคอมพลีเมนทารี เป็นวงจรขยายเสียงที่พัฒนามาจากวงจรขยายเสียงแบบพุช – พูล ที่การทำงานของวงจาต้องใช้หม้อแปลงทำให้คุณภาพของเสียงแหลมลดลง เกิดปัญหาการฮัมของสัญญาณเสียงและหม้แปลงมีขนาดใหญ่ น้ำหนักมาก ไม่สะดวกในการใช้งาน การพัฒนาวงจรขยายเสียงแบบคอมพลีเมนทารีคือ วงจรขยายที่ตัดหม้อแปลงทิ้งไปทั้งหมดในการทำงานของวงจรขยายไม่มีหม้อแปลงเข้ามาเกี่ยวข้องเลย ทำให้สามารถจัดวงจรขยายให้ตอบสนองความถี่เสียงได้ตลอดย่าน และวงจรขยายแบบคอมพลีเมนทารีนับเป็นวงจรขยายเสียงที่ให้คุณภาพเสียงที่ดีที่สุด จึงเป็นวงจรขยายเสียงที่นิยมใช้งานกันอย่างแพร่หลาย

วงจรพื้นฐานของเครื่องขยายเสียงแบบคอมพลีเมนทารี จะประกอบด้วยทรานซิสเตอร์ต่างชนิดกันสองตัวคือชนิด NPN และ PNP ต่อร่วมกัน หรืออาจเป็นมอสเฟทต่างชนิดกันสองตัวคือชนิด P-Channel กับ N-Channel ก็ได้ โดยเอาขา E ของทรานซิสเตอร์ทั้งสองตัวหรือขา C ของทรานซิสเตอร์ทั้งสองตัวต่อกันเป็นจุดออกเอาท์พุทของวงจร ถ้าเป็นเฟทก็อาจเอาขา S ของเฟททั้งสองตัวหรือขา D ของเฟททั้งสองตัวต่อกันเป็นจุดออกเอาท์พุทของวงจร ขา C ของทรานซิสเตอร์ PNP รับแรงดันไฟลบ (-) ขา C ของทรานซิสเตอร์ NPN รับแรงดันไฟบวก (+)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




ก. วงจรพื้นฐาน




ข. วงจรใช้งาน

รูปที่ 3.52 วงจรขยายคอมพลีเมนทารีแบบคลาส AB

จากรูปที่ 3.52 ก . เป็นวงจรขยายคอมพลีเมนทารีพื้นฐาน ถูกจุดไบอัสแบบคลาส AB โดยจ่ายไบอัสตรงจำนวนหนึ่งให้ขา B ของทรานซิสเตอร์ $Q_1$ และ $Q_2$ ทำให้ $Q_1$ , $Q_2$ นำกระแสอยู่จำนวนหนึ่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เรียกกระแสนี้ว่ากระแสเฉื่อย (Idle Current) ซึ่งเป็นกระแสที่ไหลผ่าน $Q_1$ และ $Q_2$ ในขณะที่ไม่มีสัญญาณเสียงป้อนเข้ามาที่อินพุท ทรานซิสเตอร์ $Q_1$ และ $Q_2$ จะทำงานตลอดเวลา

เมื่อมีสัญญาณเสียงป้อนเข้ามาที่อินพุท สัญญาณเสียงช่วงบวกจะไปทำให้ $Q_1$ นำกระแสมากขึ้น $Q_2$ จะคัทออฟ $Q_1$ ขยายสัญญาณเสียงช่วงบวกออกเอาท์พุท สัญญาณเสียงช่วงลบจะไปทำให้ $Q_2$ นำกระแสมากขึ้น $Q_1$ จะคัทออฟ $Q_2$ ขยายสัญญาณเสียงช่วงลบออกเอาท์พุท ได้สัญญาณเสียงที่ถูกขยายแล้วออกเอาท์พุทโดยไม่ผิดเพี้ยน

จากรูปที่ 3.52 ข. การจ่ายไบอัสแบบคลาส AB ของวงจรใช้งาน จะใช้ตัวต้านทาน $R_1$, $R_2$ และ $R_3$ ต่อเป็นวงจรเป็นแบบวงจรแบ่งแรงดัน (Voltage Divider) แบ่งแรงดันป้อนให้กับขา B ของ $Q_1$ และ $Q_2$ เป็นไบอัสตรง มี $R_2$ เป็นตัวจ่ายไบอัสให้ขา B ของ $Q_1$ $Q_2$ มี $R_1$, $R_3$ เป็นตัวจำกัดกระแสให้มีกระแสไหลผ่าน $R_2$ มากหรือน้อย ทำให้ขา B ของ $Q_1$ และ $Q_2$ ได้รับ ไบอัสตรงมากหรือน้อย มีกระแสเฉื่อยไหลผ่าน $Q_1$ และ $Q_2$ มากหรือน้อย จะต้องจัดค่าให้พอเหมาะเพื่อที่จะให้การทำงานของวงจรขยายสมบูรณ์ที่สุด และ $R_1$, $R_3$ ยังเป็นตัวกำหนดแรงดันที่จะทำให้ทรานซิสเตอร์ $Q_1$ และ $Q_2$ ทำงานเท่ากันหรือสมดุลกัน เพื่อที่จะทำให้การขยายสัญญาณเสียงออกเอาท์พุทเท่ากันทั้งช่วงบวกและช่วงลบ

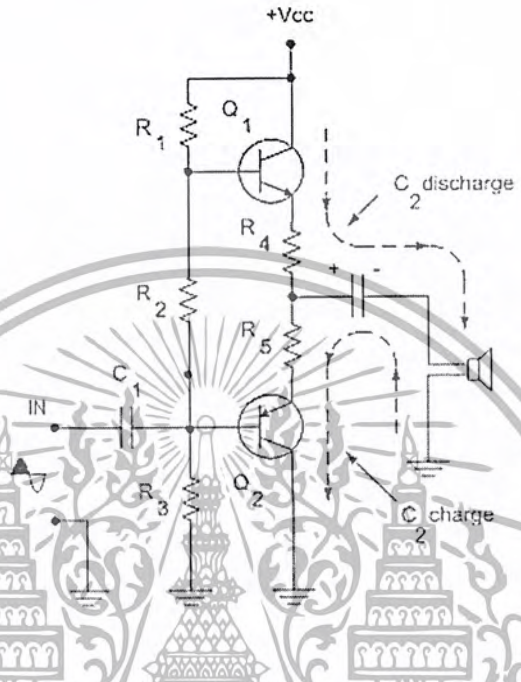
### 3.7.3 ชนิดของเครื่องขยายคอมพลีเมนทารี

เครื่องขยายแบบคอมพลีเมนทารี คือเครื่องขยายที่ไม่มีหม้อแปลงเข้ามาเกี่ยวข้องในการทำงาน ดังนั้นจะใช้หลักการของหม้อแปลงช่วงในการจัดเฟสของสัญญาณเสียงให้ถูกต้องก่อนนำไปขยายในวงจรขยายเสียง หรือดังนั้นจึงต้องจัดวงจรขยายแบบใหม่แบบคอมพลีเมนทารีให้ทำงานได้สมบูรณ์และถูกต้อง สามารถจัดได้ 2 แบบคือ

1. แบบ OTL (Output Transformer Less)
2. แบบ OCL (Output Capacitor Less)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### 3.7.3.1 เครื่องขยายคอมพลีเมนทารีแบบ OTL




รูปที่ 3.53 วงจรขยายคอมพลีเมนทารีแบบ OTL

จากรูปที่ 3.53 เป็นวงจรขยายคอมพลีเมนทารีแบบ OTL (Output Transformer Less) คือ ไม่ใช้หม้อแปลงต่อที่เอาท์พุทในการทำงานของวงจร ดังนั้นจึงต้องใส่คาปาซิเตอร์ $C_2$ เข้าไปในวงจร โดยต่อระหว่างเอาท์พุทของวงจรขยายกับลำโพงเพื่อทำให้วงจรขยายสามารถทำการขยายสัญญาณได้ทั้งช่วงบวกและช่วงลบ $C_2$ ที่จะนำไปใช้งานจะต้องมีความจุสูงเป็นแบบอิเล็กโทรไลท์ ค่าความจุที่นิยมใช้มีค่าประมาณ 1,000 $\mu F$ , 2,288 $\mu F$ , 4,700 $\mu F$ หรือมากกว่า

การทำงานของวงจรตามรูปที่ 3.53 อธิบายได้ดังนี้ เมื่อมีสัญญาณเสียงช่วงบวกป้อนเข้ามาที่อินพุท ทำให้จุด B มีศักย์เป็นบวกมากขึ้น ส่งผลให้จุด A มีศักย์เป็นบวกมากขึ้นเช่นกัน สัญญาณเสียงช่วงบวกนี้จะทำให้ขา B ของ $Q_1$ ได้รับไบอัสตรงมากขึ้น นำกระแสมากขึ้น ส่วนขา B ได้รับไบอัสกลับจะคัทออฟ มีกระแสไหลจาก $+V_{CC}$ ไป $Q_1$ , $R_4$ และ $C_2$ ผ่านลำโพงลงกราวด์ $C_2$ จะประจุไฟไว้เท่ากับ $+V_{CC}$ มีศักย์ตกคร่อมด้านซ้ายบวกด้านขวาลบ กระแสไหลผ่านลำโพงในครั้งนี้ทำให้ลำโพงเคลื่อนที่ไปในทิศทางหนึ่ง

เมื่อมีสัญญาณเสียงช่วงลบป้อนเข้ามาที่อินพุท ทำให้จุด B มีศักย์เป็นบวกน้อยลง คือมีศักย์ลบมากขึ้นส่งผลให้จุด A มีศักย์เป็นลบมากขึ้นเช่นกัน สัญญาณเสียงช่วงลบนี้จะทำให้ขา B ของ $Q_1$ ได้รับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ไบอัสกลับจะคัทออฟ ส่วนขา B ของ $Q_2$ ได้รับไบอัสตรงมากขึ้น นำกระแสมากขึ้น ทำให้ $C_2$ คายประจุจากขั้วบวกซ้ายมือผ่าน $R_5$ และ $Q_2$ ลงกราวด์ ขึ้นไปลำโพง กระแสครบวงจรที่ขั้วลบของ $C_2$ กระแสไหลผ่านลำโพงในครั้งนี้ทำให้ลำโพงเคลื่อนที่ไปในทิศทางหนึ่งตรงข้ามกับครั้งแรกได้สัญญาณเสียงออกลำโพงทั้งช่วงบวกและช่วงลบ

ตัวต้านทาน $R_1$ , $R_2$ และ $R_3$ ต่อเป็นวงจรเป็นแบบวงจรแบ่งแรงดัน (Voltage Divider) เพื่อจ่ายไบอัสให้ขา B ของ $Q_1$ และ $Q_2$ $R_4$ และ $R_5$ เป็นตัวต้านทานสเตบิไลซ์ (Stabilizing Resistor) ช่วยควบคุมกระแส $I_C$ ทำให้ทรานซิสเตอร์ $Q_1$ และ $Q_2$ ทำงานคงที่ต่ออุณหภูมิและมีเสถียรภาพในการทำงานมากขึ้น ค่าความต้านทานที่จะนำมาใช้ต้องมีค่าต่ำไม่ควรเกิน 1 โอหม์

รูปที่ 3.54 วงจรใช้งานของวงจรขยายคอมพลีเมนทารี OTL

จากรูปที่ 3.54 เ ป็นวงจรใช้งานของวงจรขยายคอมพลีเมนทารี แบบ OTL จะแตกต่างกับวงจรตามรูปที่ 3.36 ตรงวงจรแบ่งแรงดัน $R_1$ , $R_2$ และ $R_3$ ส่วนในรูปที่ 3.37 ใช้ $R_1$ , $VR_1$ , $VR_2$ , $D_1$ และ $D_2$ แทน ช่วยทำให้การทำงานของวงจรสมบูรณ์มากขึ้น

ไดโอด $D_1$ และ $D_2$ ทำหน้าที่เป็นวงจรไบอัสอัตโนมัติ (Automatic Bias)

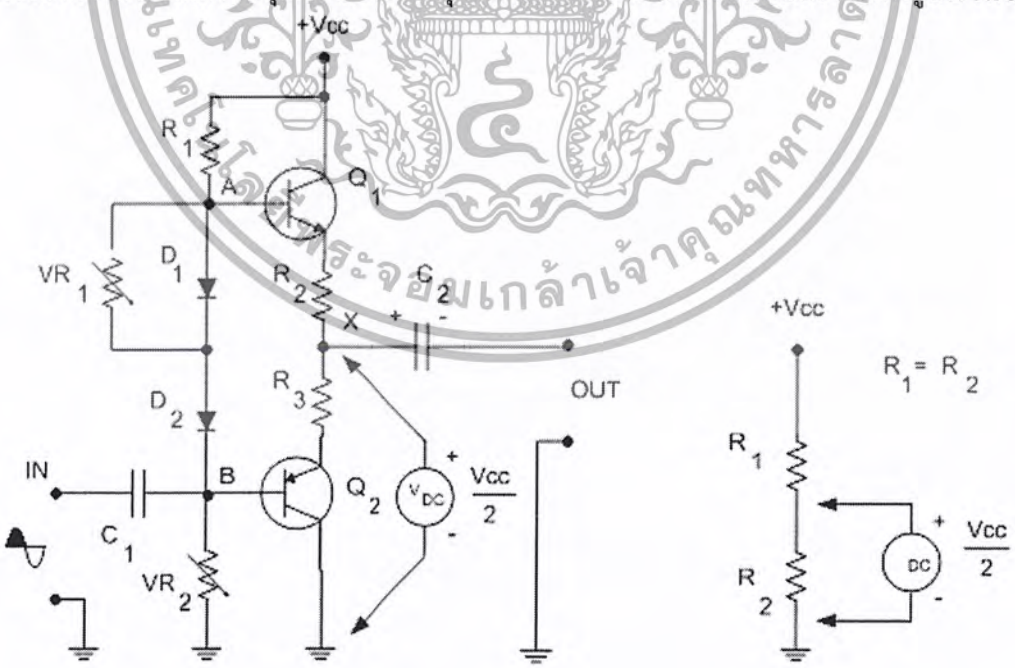
$VR_1$ เป็นตัวต้านทานแบบปรับค่าได้ ทำหน้าที่ปรับเสริมไบอัสร่วมกับ $D_1$ และ $D_2$ ทำให้มีกระแสเฉื่อยที่ผ่าน $Q_1$ และ $Q_2$ พอเหมาะและถูกต้อง ถ้าปรับ $VR_1$ มีค่ามากขึ้น แรงดันไบอัสที่ตกคร่อม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จุด A , B จะสูงขึ้น ทำให้มีกระแสเฉื่อยไหลผ่าน $Q_1$ , $Q_2$ มากขึ้น $Q_1$ และ $Q_2$ จะทำงานมากขึ้น จะเกิดความร้อนในตัว $Q_1$ , $Q_2$ อัตราการขยายของ $Q_1$ , $Q_2$ ลดลง ถ้าปรับ $VR_1$ มีค่าน้อย แรงดันไบอัสที่ตกคร่อมจุด A , B จะน้อยลง ทำให้มีกระแสเฉื่อยไหลผ่าน $Q_1$ , $Q_2$ น้อยลง $Q_1$ และ $Q_2$ จะทำงานน้อยลง อาจทำให้ $Q_1$ , $Q_2$ ขยายสัญญาณเกิดความผิดเพี้ยนได้ ดังนั้น จึงต้องปรับค่าให้ได้พอเหมาะ

$VR_2$ เป็นตัวต้านทานแบบปรับค่าได้ ทำหน้าที่ปรับความสมดุลของไบอัสที่จ่ายให้ขา B ของ $Q_1$ และ $Q_2$ ทำให้ $Q_1$ , $Q_2$ มีการทำงานที่เท่ากัน คือ นำกระแสเท่ากัร มีค่าความต้านทานระหว่างรอยต่อขา C,E เท่ากัน เพื่อที่จะทำให้การขยายสัญญาณเสียงทั้งช่วงบวกและช่วงลบถูกขยายออกเอาท์พุทเท่ากัน ถ้าปรับ $VR_2$ มีค่ามากเกินไป ไบอัสไฟบวกจะจ่ายให้จุด A , B มากขึ้น ทำให้ $Q_1$ นำกระแสมากกว่า $Q_2$ เมื่อนำไปใช้ในการขยายสัญญาณเสียง สัญญาณเสียงช่วงบวกจะถูกขยายออกเอาท์พุทมากกว่าสัญญาณเสียงช่วงลบ ถ้าปรับ $VR_2$ มีค่าน้อยเกินไป ไบอัสไฟบวกจะจ่ายให้จุด A , B น้อยลง ทำให้ $Q_2$ นำกระแสมากกว่า $Q_1$ เมื่อนำไปใช้ในการขยายสัญญาณเสียง สัญญาณเสียงช่วงลบจะถูกขยายออกเอาท์พุทมากกว่าสัญญาณเสียงช่วงบวก ทำให้เกิดความไม่สมดุลในวงจรขยายเสียง

การปรับ $VR_2$ ที่ถูกต้องจะต้องปรับให้ $Q_1$ และ $Q_2$ ทำงานเท่ากัน เพื่อให้สัญญาณเสียงถูกขยายออกเอาท์พุทเท่ากัน การตรวจเช็คสภาวะการทำงานของ $Q_1$ และ $Q_2$ ของวงจรขยายคอมพลีเมนทารีแบบ OTL ทำได้โดยวัดไฟตกคร่อมจุดกึ่งกลางเอาท์พุทของเครื่องขยายเสียงเทียบกับกราวด์ ดังรูปที่ 3.55




ก. การต่อวงจรเพื่อปรับแต่ง $VR_2$ ข. วงจรเปรียบเทียบ

รูปที่ 3.55 การปรับแต่ง $VR_2$ ให้วงจรขยายทำงานสมดุลกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 3.55 ก. เป็นการต่อวงจรเพื่อปรับแต่ง $VR_2$ โดย short อินพุทลงกราวด์ เพื่อกันสัญญาณรบกวนแทรกเข้ามา ส่วนที่เอาท์พุทตรงจุด X ให้ใช้ดีซีโวลท์มิเตอร์ ($V_{DC}$) วัดคร่อมจุด X เทียบกับกราวด์ โดยใส่ขั้วบวกของโวลท์มิเตอร์เข้าที่จุด X ขั้วลบลงกราวด์ หรืออาจจะจัดคร่อมจุด X เทียบกับแหล่งจ่าย $-V_{CC}$ ก็ได้ ที่ขั้วเอาท์พุทจะต่อลำโพงหรือไม่ต่อก็ได้

การปรับแต่ง $VR_2$ ให้สังเกตแรงดันที่ดีซีโวลท์มิเตอร์วัดได้ ปรับ $VR_2$ จนกระทั่งอ่านแรงดันได้เท่ากับครึ่งหนึ่งของแหล่งจ่ายคือ $\frac{V_{CC}}{2}$ นั่นหมายถึง ทรานซิสเตอร์ $Q_1$ ทำงานเท่ากับ $Q_2$ จะเปรียบได้กับวงจรตามรูปที่ 3.55 ข. ถ้าความต้านทาน $R_1 = R_2$ แล้วแรงดันที่ตกคร่อม $R_1$ ต้องเท่ากับแรงดันที่ตกคร่อม $R_2$ เมื่อเอาดีซีโวลท์มิเตอร์วัดคร่อมตัวต้านทานตัวใดตัวหนึ่ง ย่อมได้ค่าแรงดันเท่ากับ $\frac{V_{CC}}{2}$ เสมอ ก่อนการใช้วงจรขยายเสียงคอมพลีเมนทารีแบบ OTL ทุกครั้ง จะต้องมีการตรวจเช็คและมีการปรับแต่งเสียก่อน จึงสามารถเอาวงจรขยายไปใช้งานได้

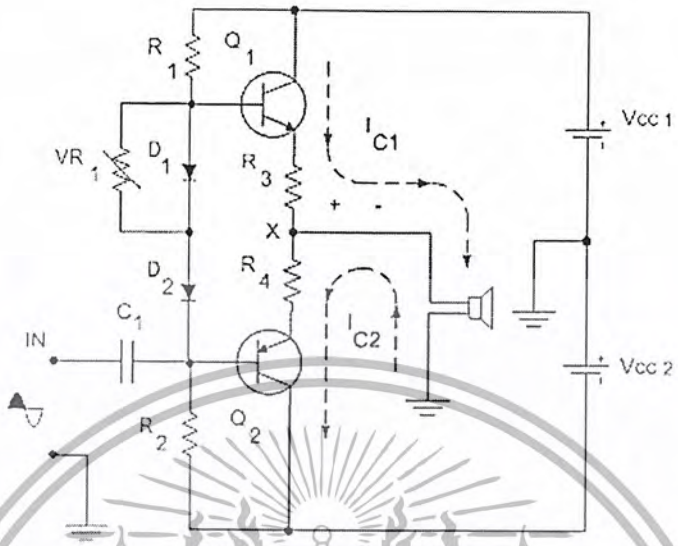
ข้อดีของวงจร OTL คือ เมื่อทรานซิสเตอร์ $Q_1$ และ $Q_2$ ตัวใดตัวหนึ่ง short จะไม่ทำให้ลำโพงเกิดความเสียหาย เพราะไม่มีกระแสไหลผ่านลำโพง เนื่องจาก $C_2$ ช่วยกั้นแรงดันไฟตรงไม่ให้จ่ายไปที่ลำโพง

ข้อเสียของวงจร OTL มี $C_2$ ต้านความถี่ต่ำให้ผ่านออกลำโพงได้น้อย ทำให้สัญญาณเสียงความถี่ต่ำหรือเสียงทุ้มในวงจรน้อยลง คือตอบสนองความถี่ต่ำไม่ค่อยดี

### 3.7.3.2 เครื่องขยายคอมพลีเมนทารีแบบ OCL

จากข้อเสียของเครื่องขยายเสียงแบบ OTL ที่มี C ต้านความถี่ต่ำให้ออกเอาท์พุทน้อยดังกล่าว จึงได้มีการดัดแปลงวงจรขยายคอมพลีเมนทารีใหม่จากแบบ OTL มาเป็นแบบ OCL (Output Capacitor Less) คือ ไม่มีตัวเก็บประจุต่อที่เอาท์พุท โดยตัด C ตัวที่ต่ออันดับกับลำโพงทิ้ง และต่อวงจรเข้ากับเอาท์พุทของวงจรโดยตรง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 3.56 วงจรขยายคอมพลีเมนทารีแบบ OCL

จากรูปที่ 3.56 เป็นวงจรขยายคอมพลีเมนทารีแบบ OCL โดยตัด C ที่ต่ออันดับกับลำโพงทิ้งและต่อลำโพงเข้าที่เอาท์พุทของวงจรหรือจุด X โดยตรง ดังนั้นการทำงานของวงจรที่ใช้ C คายประจุใช้ไม่ได้แล้ว ถ้ายังคงจ่ายแหล่งจ่ายแรงดัน $V_{CC}$ ให้วงจร OCL เป็น 2 ชุด ชุดแรกจ่ายบวก $V_{CC1}$ เข้าขา C ของ $Q_1$ ขั้วลบ $V_{CC1}$ ลงกราวด์ ชุดที่สองจ่ายลบ $V_{CC2}$ เข้าขา C ของ $Q_2$ ขั้วบวก $V_{CC2}$ ลงกราวด์ ดังนั้นขั้วกราวด์จะมีทั้งขั้วลบและขั้วบวก กราวด์จะเป็นลบเมื่อพิจารณาเทียบกับบวก $V_{CC1}$ และ กราวด์จะเป็นบวกเมื่อพิจารณาเทียบกับลบ $V_{CC2}$

ไดโอด $D_1$ และ $D_2$ ทำหน้าที่เป็นวงจรไบอัสอัตโนมัติ (Automatic Bias)

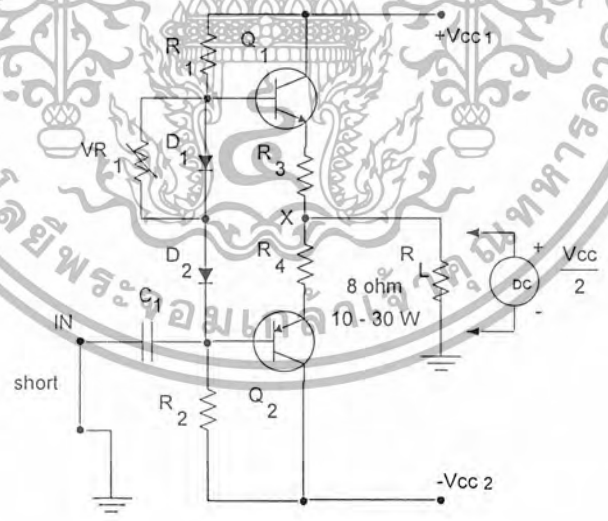
$R_1$ , $R_2$ เป็นตัวจำกัดกระแสให้มีกระแสผ่าน $D_1$ และ $D_2$ มากหรือน้อย ทำให้ขา B ของ $D_1$ , $D_2$ ได้รับไบอัสตรงมากหรือน้อย ควบคุมให้กระแสเฉื่อยไหลผ่าน $D_1$ , $D_2$ มากหรือน้อย และยังเป็นตัวกำหนดแรงดันที่จะทำให้ทรานซิสเตอร์ $Q_1$ และ $Q_2$ ทำงานเท่ากัน $VR_1$ ทำหน้าที่ปรับเสริมแรงดันไบอัสกับ $D_1$ และ $D_2$ ทำให้กระแสเฉื่อยที่ผ่าน $Q_1$ , $Q_2$ มีค่าพอเหมาะและถูกต้อง

การทำงานของวงจรตามรูปที่ 3.56 อธิบายได้ดังนี้ เมื่อมีสัญญาณเสียงช่วงบวกป้อนเข้ามาที่อินพุท จุด B จะมีศักย์เป็นบวกมากขึ้น ส่งผลให้จุด A มีศักย์เป็นบวกมากขึ้นเช่นกัน สัญญาณเสียงช่วงบวกนี้จะทำให้ขา B ของ $Q_1$ ได้รับไบอัสตรงมากขึ้น นำกระแสมากขึ้น ส่วนขา B ของ $Q_2$ ได้รับไบอัสกลับจะคัทออฟ มีกระแส $I_{C1}$ ไหลจาก $+V_{CC1}$ ไป $Q_1$ และ $R_3$ ผ่านลำโพงลงกราวด์ ลำโพงเคลื่อนที่ไปในทิศทางหนึ่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อมีสัญญาณเสียงช่วงลบป้อนเข้ามาที่อินพุท จุด B จะมีศักย์เป็นบวกน้อยลงคือมีศักย์ลบมากขึ้น ส่งผลให้จุด A มีศักย์เป็นลบมากขึ้นเช่นกัน สัญญาณเสียงช่วงลบนี้จะทำให้ขา B ของ $Q_1$ ได้รับไบอัสกลับจะคัทออฟ ส่วนขา B ของ $Q_2$ ได้รับไบอัสตรงมากขึ้น นำกระแสมากขึ้น มีกระแส $I_{C2}$ ไหลจากกราวด์ไปลำโพง $R_4$ , $Q_2$ ครบวงจรที่ $-V_{CC2}$ มีกระแสไหลผ่านลำโพงในอีกทิศทางหนึ่ง ลำโพงเคลื่อนที่ไปในทิศทางตรงข้ามกับครั้งแรก ได้สัญญาณเสียงออกลำโพงทั้งช่วงบวกและช่วงลบ

วงจรขยาย OCL นี้ จะไม่นิยมใส่ตัวต้านทานปรับค่า $VR_2$ ระหว่างขา B และ ขา C ของ $Q_2$ จะนิยมใส่เป็นตัวต้านทานคงที่ เพราะถ้าใส่เป็นตัวต้านทานปรับค่าได้ หากปรับแต่งวงจรไม่ถูกต้องจะมีผลทำให้วงจรเสียหายและส่งผลถึงลำโพงเสียหายไปด้วย เครื่องขยาย OCL นี้ หาก $Q_1$ และ $Q_2$ ทำงานผิดปกติ จะส่งผลให้ลำโพงชำรุดเสียหายทันที ดังนั้นก่อนการนำวงจรคอมพลีเมนทารีแบบ OCL ไปใช้งานทุกครั้ง ต้องมีการตรวจสอบสภาพการทำงานของวงจรเสียก่อน โดยใช้ดีซีโวลท์มิเตอร์ตั้งย่านโวลท์ต่ำ วัดคร่อมจุด X ของเอาท์พุทเทียบกับกราวด์ ขั้วของดีซีโวลท์มิเตอร์จะใส่ขั้วบวกที่จุด X ขั้วลบลงกราวด์ หรือใส่ขั้วลบที่จุด X ขั้วบวกลงกราวด์ อย่างใดอย่างหนึ่งก็ได้ จะต่ออย่างไรให้สังเกตจากเข็มมิเตอร์ชี้ไปทางด้านที่อ่านค่าแรงดันได้ ถ้าต่อแล้วเข็มมิเตอร์ชี้ต่ำกว่า 0 V ก็ให้กลับสายของมอเตอร์ใหม่




รูปที่ 3.57 การต่อดีซีโวลท์มิเตอร์เพื่อตรวจสภาพการทำงานของวงจร

จากรูปที่ 3.57 เป็นวงจรการต่อดีซีโวลท์มิเตอร์ เพื่อตรวจเช็ควงจรขยาย OCL ก่อนการต่อลำโพง โดยใช้ตัวต้านทานโหลด $R_L$ ค่าความต้านทาน 8 Ω มีค่าทนกำลังไฟได้ประมาณ 10 W ถึง 30 W ต่อคร่อมแทนลำโพง ต่อดีซีโวลท์มิเตอร์คร่อม $R_L$ และขั้วของอินพุท short ลงกราวด์ ถ้าทรานซิสเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$Q_1$ และ $Q_2$ ทำงานเท่ากันจะวัดแรงดันไฟตรงที่จุดนี้ได้ 0 V หรืออย่างมากไม่ควรเกิน 0.2-0.3 V ถือว่าวงจรขยาย OCL นี้ปกติ ถ้าวัดแรงดันได้เกินกว่าค่านี้ถือว่าวงจรขยาย OCL นี้ผิดปกติไม่ควรนำวงจรไปใช้งาน จะต้องตรวจเช็คและแก้ไขเสียก่อน

**ข้อดีของวงจร OCL** คือ สัญญาณเสียงทุกความถี่ สามารถผ่านออกลำโพงได้โดยตรง ทำให้เครื่องขยายประเภทนี้มีคุณภาพเสียงดีกว่าเครื่องขยายแบบอื่นๆ

ข้อเสียของวงจร OCL คือ เมื่อเกิด short ที่ทรานซิสเตอร์ $Q_1$ และ $Q_2$ ตัวใดตัวหนึ่งจะทำให้เกิดกระแสไฟตรงจำนวนมากไหลผ่านลำโพง ลำโพงจะชำรุดเสียหายทันทีการแก้ไขข้อเสียดังกล่าวทำได้โดยต่อเพิ่มวงจรป้องกันลำโพงเข้าไป

### 3.7.4 วงจรไบอัสอัตโนมัติ (Automatic Bias Circuit)

วงจรไบอัสของเครื่องขยายเสียงคอมพลีเมนทารี คือวงจรที่ควบคุมการจ่ายไบอัสให้วงจรขยายคอมพลีเมนทารีทำงานมีความคงที่ต่ออุณหภูมิ การทำงานของเครื่องขยายเสียงคอมพลีเมนทารีจะเกิดความร้อนขึ้นที่ภาคขยาย ความร้อนนี้จะสะสมมากขึ้นทุกขณะ ถึงแม้ว่าจะใส่แผ่นระบายความร้อน (Heat Sink) เข้าไปช่วยระบายความร้อน ความร้อนก็ยังสะสมเพิ่มขึ้นตลอดเวลาเช่นเดิม ทำให้อัตราการขยายของวงจรลดลง การแก้ไขข้อเสียดังกล่าวจึงต้องใส่วงจรไบอัสอัตโนมัติควบคู่กับแผ่นระบายความร้อนที่เพิ่มเข้าไป จะทำให้ความร้อนถูกควบคุมให้คงที่ตลอดเวลา วงจรไบอัสอัตโนมัติมีด้วยกันหลายชนิด ดังนี้

1. ใช้เทอร์มิสเตอร์
2. ใช้ไดโอดตัวเดียว
3. ใช้ไดโอดสองตัวหรือมากกว่า
4. ใช้ทรานซิสเตอร์

#### 3.7.4.1 วงจรไบอัสอัตโนมัติแบบใช้เทอร์มิสเตอร์

เทอร์มิสเตอร์ (Thermistor) คือ ตัวต้านทานที่จะเปลี่ยนค่าความต้านทานตามอุณหภูมิที่เปลี่ยนไป แบ่งออกได้เป็น 2 ชนิด คือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ก. โพสิทีฟ เทอร์มิสเตอร์ (Positive Thermistor) คุณสมบัติของเทอร์มิสเตอร์แบบนี้คือ เมื่ออุณหภูมิต่ำความต้านทานของตัวเทอร์มิสเตอร์ก็ต่ำ และเมื่ออุณหภูมิสูง ความต้านทานของตัวเทอร์มิสเตอร์ก็สูง

ข. เนกาทีฟ เทอร์มิสเตอร์ (Negative Thermistor) คุณสมบัติของเทอร์มิสเตอร์แบบนี้คือ เมื่ออุณหภูมิต่ำความต้านทานของตัวเทอร์มิสเตอร์จะต่ำ และเมื่ออุณหภูมิสูง ความต้านทานของตัวเทอร์มิสเตอร์จะสูง

เทอร์มิสเตอร์ที่นำมาใช้ในวงจรขยายเสียงคอมพลีเมนทารีเป็นชนิดเนกาทีฟ เทอร์มิสเตอร์หรือเทอร์มิสเตอร์แบบลบ

รูปที่ 3.58 วงจรไบอัสอัตโนมัติแบบเทอร์มิสเตอร์

จากรูปที่ 3.58 เป็นวงจรไบอัสอัตโนมัติแบบใช้เทอร์มิสเตอร์ชนิด เนกาทีฟ โดยต่อร่วมกับแผ่นระบายความร้อนใกล้กับ $Q_1$ และ $Q_2$ ตัวเทอร์มิสเตอร์ (TH) ต่อขนานกับ $R_2$ รวมกันเป็นตัวจ่ายไบอัสให้กับขา B ของ $Q_1$ และ $Q_2$ ขณะTH เย็นจะมีความต้านทานสูง เมื่อต่อขนานกับ $R_2$ จะได้ค่าความต้านทานรวมสูง จะมีไบอัสจ่ายให้ขา B ของ $Q_1$ และ $Q_2$ มาก $Q_1$ , $Q_2$ มีกระแสเฉื่อยไหลมากเมื่อทรานซิสเตอร์ $Q_1$ , $Q_2$ ร้อนทำให้ TH ร้อนตามไปด้วย ความต้านทานของ TH จะลดลง รวมกับความต้านทาน $R_2$ ได้ค่าความต้านทานรวมลดลง จะไม่มีไบอัสจ่ายให้ขา B ของ $Q_1$ และ $Q_2$ น้อยลง $Q_1$ , $Q_2$ มีกระแสเฉื่อยไหลน้อยลง ปรับสภาพการทำงานของวงจรให้ทำงานเป็นปกติมีอัตราขยายคงที่ ทรานซิสเตอร์ $Q_1$ , $Q_2$ จะร้อนตลอดเวลา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### 3.7.4.2 วงจรไบอัสอัตโนมัติแบบใช้ไดโอดตัวเดียว

วงจรไบอัสอัตโนมัติแบบนี้จะใช้ไดโอดติดกับแผ่นระบายความร้อนใกล้กับทรานซิสเตอร์ภาคเพาเวอร์แอมป์ หรืออาจใช้ทรานซิสเตอร์ที่สามารถยึดติดกับแผ่นระบายความร้อนได้ นำมาตัดขา C หรือขา E ขาใดขาหนึ่งออกให้เหลือเป็นไดโอดใช้เป็นไบอัสอัตโนมัติก็ได้ คุณสมบัติของไดโอดจะเหมือนกับเทอร์มิสเตอร์แบบเนกาทีฟ คือขณะอุณหภูมิต่ำความต้านทานในตัวไดโอดจะสูง ขณะอุณหภูมิสูงความต้านทานในตัวไดโอดจะต่ำ

รูปที่ 3.59 วงจรไบอัสอัตโนมัติแบบใช้ไดโอดตัวเดียว

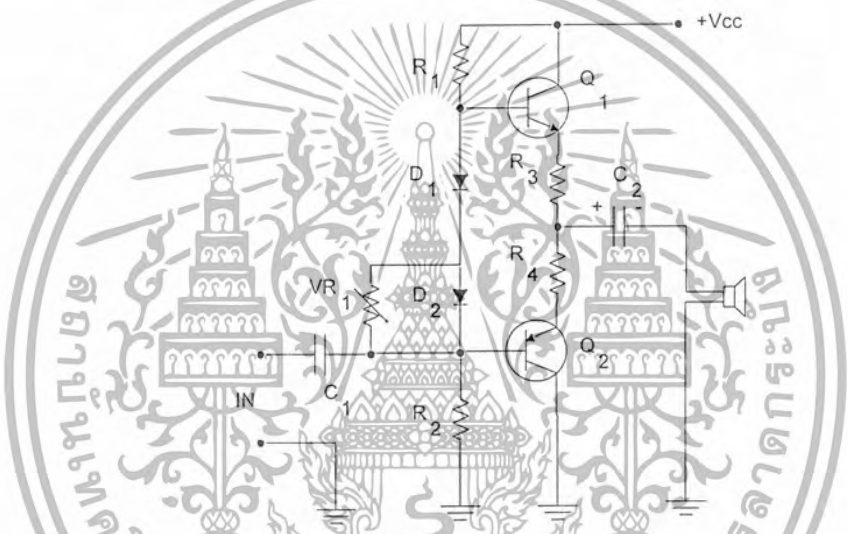
จากรูปที่ 3.59 เป็นวงจรไบอัสอัตโนมัติแบบใช้ไดโอด $D_1$ ติดกับปผ่นระบายความร้อนใกล้กับ $Q_1$ และ $Q_2$ ขณะทรานซิสเตอร์ $Q_1$ , $Q_2$ยังไม่ร้อน ไดโอด $D_1$ มีความต้านทานสูง ต่ออันดับกับ $VR_1$ รวมกันเป็นวงจรจ่ายไบอัสให้ขา B ของ $Q_1$ และ $Q_2$ $Q_1$ , $Q_2$ จะนำกระแสเฉื่อยไหลผ่าน $Q_1$ , $Q_2$ ค่าหนึ่ง เมื่อ $Q_1$ , $Q_2$ นำกระแสเกิดความร้อนขึ้น ค่าความต้านทานในตัว $Q_1$ , $Q_2$ ลดลง มีกระแสเฉื่อยไหลผ่าน $Q_1$ , $Q_2$ มากขึ้น $D_1$ จะได้รับความร้อนด้วย ทำให้ค่าความต้านทานของตัว $D_1$ ลดลง ร่วมกับ $VR_1$ ทำให้ค่าความต้านทานรวมลดลง ไบอัสให้ขา B ของ $Q_1$ และ $Q_2$ ก็จะลดลงด้วย $Q_1$ , $Q_2$ จะมีกระแสเฉื่อยไหลลดลง ปรับสภาพการทำงานของวงจรให้ทำงานเป็นปกติมีอัตราขยายคงที่

$VR_1$ เป็นตัวปรับกระแสเฉื่อยไหลผ่าน $Q_1$ , $Q_2$ มีค่ามากน้อยตามต้องการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### 3.7.4.3 วงจรไบอัสอัตโนมัติแบบใช้ไดโอดสองตัวหรือมากกว่า

วงจรไบอัสแบบนี้ไดโอดไม่ได้ติดร่วมกับแผ่นระบายความร้อนแต่ต้องอยู่ในวงจรร่วมกับตัวอื่นๆของวงจรขยาย ดังนั้นจะใช้หลักการของความร้อนเปลี่ยนค่าความต้านทานของตัวไดโอดไม่ได้ จึงต้องใช้หลักการของศักย์ตกคร่อมเปลี่ยนค่าความต้านทานของตัวไดโอด ไดโอดที่นำมาใช้อาจจะมีสองตัวหรือมากกว่าก็ได้ขึ้นอยู่กับการออกแบบวงจร




รูปที่ 3.60 วงจรไบอัสอัตโนมัติแบบใช้ไดโอดสองตัว

จากรูปที่ 3.60 เป็นวงจรไบอัสอัตโนมัติแบบใช้ไดโอดสองตัว $D_1$ และ $D_2$ ต่อร่วมกับ $VR_1$ และต่ออยู่ในวงจรบนแผ่นปริ้นท์รวมกับอุปกรณ์อื่นๆ การทำงานของวงจรอธิบายได้ดังนี้

เมื่อ $Q_1$ และ $Q_2$ นำกระแสยังไม่เกิดความร้อน จะมีศักย์ตกคร่อม $D_1$ และ $D_2$ ที่จุด A , B ค่าหนึ่งคงที่ จ่ายเป็นไบอัสให้ $Q_1$ , $Q_2$ นำกระแสมีกระแสเฉื่อยไหลค่าหนึ่ง $Q_1$ , $Q_2$ เมื่อนำกระแสจะเกิดความร้อนมากขึ้น ทำให้ค่าความต้านทานในตัวทรานซิสเตอร์ลดลง กระแสเฉื่อยจะไหลผ่าน $Q_1$ , $Q_2$ มากขึ้น ผลจาก $Q_1$ , $Q_2$ นำกระแสมากขึ้น จะทำให้จุด A มีศักย์เป็นบวกมากขึ้น จุด B มีศักย์เป็นลบมากขึ้น จ่ายเป็นไบอัสตรงให้ $D_1$ และ $D_2$ มากขึ้น $D_1$ , $D_2$ นำกระแสมากขึ้น ความต้านทานในตัว $D_1$ , $D_2$ ลดลง ศักย์ตกคร่อมจุด A , B ต่ำลง จ่ายไบอัสให้ขา B ของ $Q_1$ , $Q_2$ น้อยลง กระแสเฉื่อยที่ไหลผ่าน $Q_1$ , $Q_2$ ลดลง เปลี่ยนสภาวะการทำงานเข้าสู่สภาวะปกติ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$VR_1$ เป็นตัวปรับกระแสเฉื่อยไหลผ่าน $Q_1$ , $Q_2$ มีค่ามากน้อยตามต้องการ

**3.7.4.4 วงจรไบอัสอัตโนมัติแบบใช้ทรานซิสเตอร์**

วงจรไบอัสแบบนี้ใช้ทรานซิสเตอร์ควบคุมไบอัสอัตโนมัติ จะใช้หลักการของความร้อนเปลี่ยนแปลงค่าความต้านทานในตัวทรานซิสเตอร์ก็ได้ หรือใช้หลักการของศักย์ตกคร่อมเปลี่ยนแปลงค่าความต้านทานในตัวทรานซิสเตอร์ก็ได้

รูปที่ 3.61 วงจรไบอัสอัตโนมัติแบบใช้ทรานซิสเตอร์

จากรูปที่ 3.61 เป็นวงจรไบอัสอัตโนมัติแบบใช้ทรานซิสเตอร์ $Q_1$ เป็นตวควบคุมไบอัสโดยอัตโนมัติ จะต่อลงในแผ่นปริ้นท์รวมกับอุปกรณ์อื่นๆก็ได้ การทำงานอธิบายได้ดังนี้

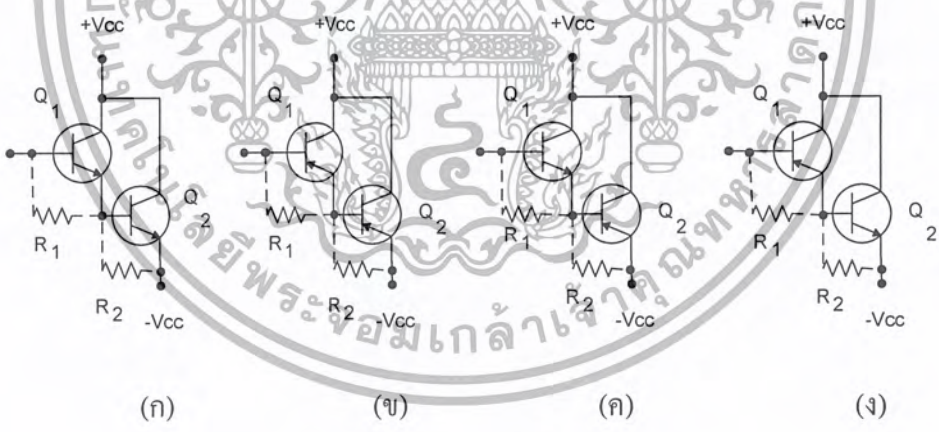
เมื่อจ่ายไฟเข้าวงจรจะมีศักย์ตกคร่อมจุด A , B ค่าหนึ่งจ่ายเป็นไบอัสให้ขา B ของ $Q_1$ และ $Q_2$ ทำให้ $Q_1$ , $Q_2$ นำกระแส มีกระแสเฉื่อยไหลค่าหนึ่ง ทรานซิสเตอร์ $Q_1$ และ $Q_2$ นำกระแสจะเกิดความร้อนขึ้น ความต้านทานในตัว $Q_1$ , $Q_2$ ลดลง กระแสเฉื่อยไหลมากขึ้น จากการที่ความต้านทานของ $Q_1$ , $Q_2$ ลดลง ทำให้จุด A มีศักย์เป็นบวกมากขึ้น จุด B มีศักย์เป็นลบมากขึ้น ไบอัสที่จ่ายให้ขา B ของ $Q_1$ จะมากขึ้น $Q_1$ นำกระแสมากขึ้น ความต้านทานระหว่างรอยต่อ C,E ของ $Q_1$ ลดลง มีศักย์ตกคร่อม $Q_1$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ลดลง ไบอัสที่จ่ายให้ขา B ของ $Q_2$ และ $Q_3$ ลดลง ไปควบคุมให้ $Q_2$ , $Q_3$ นำกระแส มีกระแสเฉื่อยไหลน้อยลง ปรับสภาพการทำงานเข้าสู่สภาวะปกติ

### 3.7.5 วงจรดาร์ลิงตัน (Darlington)

วงจรดาร์ลิงตัน คือ วงจรขยายสัญญาณที่มีการขยายสัญญาณสองภาคต่อเนื่องกัน ช่วยเพิ่มอัตราการขยายสัญญาณให้กับวงจรมากขึ้น ในการส่งผ่านสัญญาณของเครื่องขยายเสียงจากภาคไดรเวอร์ไปภาคเพาเวอร์แอมป์นิยมต่อวงจรขยายแบบดาร์ลิงตัน การต่อวงจรแบบดาร์ลิงตันโดยขา B ของทรานซิสเตอร์ตัวแรกเป็นอินพุทรับสัญญาณเข้าขา C หรือขา E ของทรานซิสเตอร์ตัวแรกต่อเข้าขา B ของทรานซิสเตอร์ตัวที่สอง ขา E ของทรานซิสเตอร์ตัวที่สอง รับแรงไฟบวกหรือแรงไฟลบแล้วแต่ชนิดของทรานซิสเตอร์ ขา C หรือขา E ของทรานซิสเตอร์ทั้งสองที่เหลือต่อร่วมกัน รับแรงไฟบวกหรือแรงไฟลบแล้วแต่ชนิดของทรานซิสเตอร์ วงจรดาร์ลิงตันสามารถต่อได้เป็น 4 แบบ คือ (1) NPN – NPN (2) PNP – PNP (3) NPN – PNP (4) PNP – NPN




รูปที่ 3.62 วงจรดาร์ลิงตันแบบต่างๆ

ก) NPN-NPN = NPN ข) PNP-PNP = PNP ค) NPN-PNP = NPN ง) PNP-NPN = PNP

จากรูปที่ 3.62 เป็นวงจรดาร์ลิงตันเบื้องต้น 4 แบบ บางแบบใช้ทรานซิสเตอร์ชนิดเดียวกันทั้งสองตัว บางแบบใช้ทรานซิสเตอร์ต่างชนิดกัน แต่อย่างไรก็ตาม การต่อวงจร การทำงาน และการขยายสัญญาณเหมือนกัน โดยทรานซิสเตอร์ $Q_1$ รับสัญญาณเข้ามาที่ขา B ขยายสัญญาณแล้วส่งต่อไปให้ขา B ของ $Q_2$ ขยายสัญญาณอีกต่อหนึ่งแล้วจึงส่งออกเอาท์พุท ส่วน $R_1$ และ $R_2$ มักจะนิยมต่อไว้ดังรูป เพื่อลด

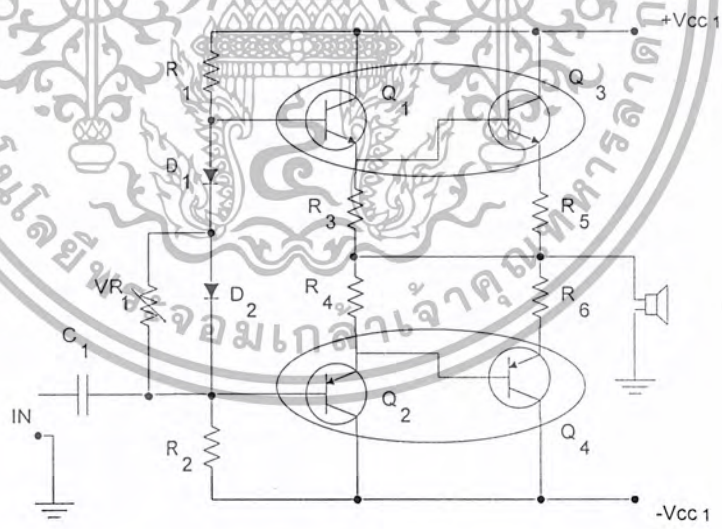
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ผลของกระแสรั่วของรอยต่อ C $R_1$ จะมีค่าประมาณ 1 ΩK – 10 ΩK และ $R_2$ มีค่าประมาณ 10 Ω - 500 Ω

ทรานซิสเตอร์บางเบอร์จะประกอบด้วยทรานซิสเตอ์ 2 ตัวต่อกันแบบดาร์ลองตัน พร้อมกับ $R_1$ และ $R_2$ อยู่ในชิปเดียวกัน ซึ่งมีให้เลือใช้งานทั้ง NPN หรือ PNP และมีอัตราการทนกำลังสูญเสียตั้งแต่ 0.2 W จนถึงมากกว่า 300 W ทรานซิสเตอร์ดาร์ลิงตันที่อยู่บนชิปเดียวกันจะเป็นแบบที่ใช้ทรานซิสเตอร์ชนิดเดียวกัน (NPN - PNP หรือ PNP - PNP)

ดาร์ลิงตันทรานซิสเตอร์ซึ่งใช้ทรานซิสเตอร์ชนิดเดียวกันจะต้องการแรงดันไบอัสเพื่อที่จะทำให้เกิดกระแสไหลจะมีค่าประมาณ 1.4 V

การนำทรานซิสเตอร์ต่างชนิดมาต่อเป็นวงจรดาร์ลิงตันอาจทำได้ดังรูปที่ 3.45 ค. และ 3.45 ง. ในการต่อวงจรดังกล่าวถูกเรียกว่า การต่อดาร์ลิงตันผกผัน (Inverse Darlington) การต่อแบบดาร์ลิงตันผกผันจะมีข้อดีกว่าการต่อดาร์ลิงตันแบบธรรมดา 2 ประการ คือ 1) ดาร์ลิงตันผกผันต้องการแรงดันไบอัสเหมือนทรานซิสเตอร์เพียงตัวเดียวซึ่งจะมีค่าเท่ากับ $V_{BE(ON)}$ 2) แรงดัน $V_{CE(SAT)}$ จะมีค่าต่ำกว่ากว่าดาร์ลิงตันธรรมดา ทำให้ได้ประสิทธิภาพสูงกว่า




รูปที่ 3.63 การต่อวงจรภาคไดรเวอร์และภาคเพาเวอร์แอมป์

จากรูปที่ 3.63 เป็นการต่อวงจรภาคไดรเวอร์และภาคเพาเวอร์แอมป์ โดยภาคไดรเวอร์ $Q_1$ และ $Q_2$ ต่อวงจรเป็นแบบคอมพลีเมนทารี และภาคเพาเวอร์แอมป์ $Q_3$ และ $Q_4$ ก็ต่อวงจรเป็นแบบคอมพลีเมน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทรีเช่นเดียวกัน การส่งผ่านจาก $Q_1$ ไป $Q_3$ ต่อวงจรเป็นแบบ NPN – NPN การส่งส่งผ่านจาก $Q_2$ ไป $Q_4$ ต่อวงจรเป็นแบบ PNP – PNP ภาคไดรเวอร์ $Q_1$ และ $Q_2$ ทำหน้าที่เพิ่มความแรงของสัญญาณให้มากขึ้น และจัดเฟสของสัญญาณให้ถูกต้องก่อนส่งต่อไปภาคเพาเวอร์แอมป์ ภาคเพาเวอร์แอมป์ $Q_3$ และ $Q_4$ ทำหน้าที่ขยายสัญญาณเป็นภาคสุดท้ายให้มีความแรงมากที่สุดและไม่ผิดเพี้ยนไปขับดันลำโพงให้ทำงาน

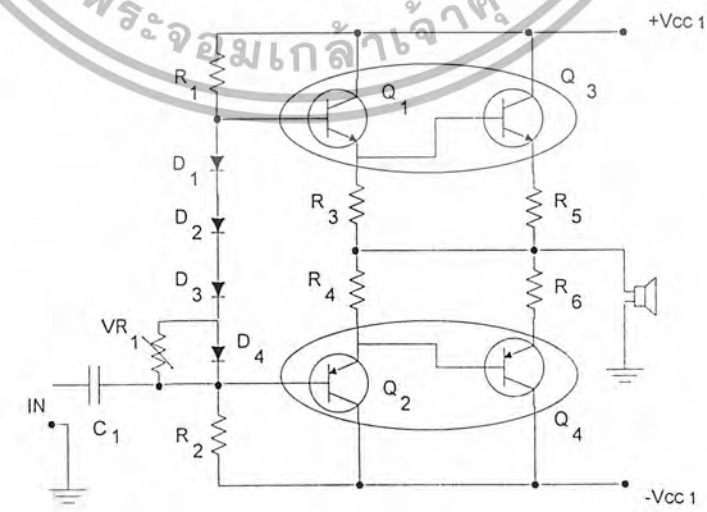
### 3.7.6 ชนิดของวงจรขยายคอมพลีเมนทารีพุช-พูลแบบดาร์ลิงตัน

การจัดวงจรขยายแบบคอมพลีเมนทารี จะต้องมีการส่งผ่านสัญญาณเสียงจากภาคไดรเวอร์ไปภาคเพาเวอร์แอมป์ และในแต่ละภาค วงจรขยายก็ถูกต่อวงจรเป็นแบบคอมพลีเมนทารี ในส่วนของวงจรคอมพลีเมนทารีพุช-พูลแบบดาร์ลิงตัน จะมีการจัดวงจรแตกต่างกันแบ่งได้เป็น 2 แบบคือ

1. คอมพลีเมนทารีแบบสมมาตร (Symmetry Complementary)
2. กึ่งคอมพลีเมนทารี (Quasi Complementary)

#### 3.7.6.1 คอมพลีเมนทารีแบบสมมาตร (Symmetry Complementary)

การจัดวงจรคอมพลีเมนทารีแบบสมมาตร (Symmetry Complementary) คือการจัดวงจรคอมพลีเมนทารีที่ใช้ทรานซิสเตอร์ชนิดเดียวกันต่อแบบดาร์ลิงตัน การสังเกตชนิดของคอมพลีเมนทารีแบบสมมาตรให้สังเกตที่ภาคขยายเพาเวอร์แอมป์เป็นหลัก




รูปที่ 3.64 วงจรคอมพลีเมนทารีแบบสมมาตร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

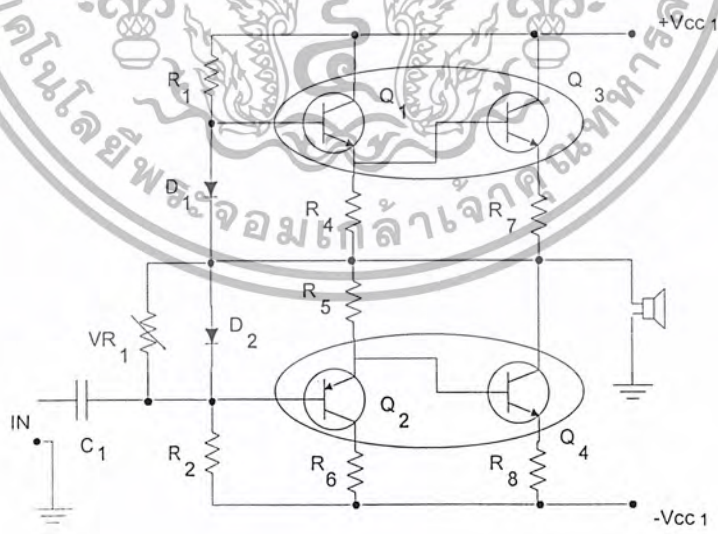
จากรูปที่ 3.64 เป็นวงจรขยายเสียงคอมพลีเมนทารีแบบสมมาตร โดยสังเกตที่ทรานซิสเตอร์ จะต่อแบบดาร์ลิงตันชนิดเดียวกันทั้งหมด $Q_3$ จะขยายสัญญาณช่วงบวก $Q_4$ จะขยายสัญญาณช่วงลบ โดยทำการขยายสัญญาณได้ตามสภาวะสัญญาณเสียงปกติและเป็นแบบที่ใช้งานกันแพร่หลาย

**ข้อดีของวงจร** กระแสที่ไหลผ่านลำโพงทั้งช่วงบวกที่ผ่านจาก $Q_3$ และช่วงลบที่ผ่านจาก $Q_4$ ของสัญญาณเสียงเป็นกระแสอิมิเตอร์ ($I_E$) ทั้งคู่ ทำให้สัญญาณเสียงที่ออกลำโพงสมดุลและเท่ากันทั้งช่วงบวกและช่วงลบ

ข้อเสียของวงจร หาทรานซิสเตอร์ภาคเพาเวอร์แอมป์ที่มีกำลังขยายสูงๆต่างชนิดกันกับ NPN ที่มีคุณสมบัติเหมือนกัน (Match Pair) มาจับคู่ได้ยาก ถ้ามีก็มีขีดจำกัดในการจับคู่ใช้งาน

### 3.7.6.2 วงจรกึ่งคอมพลีเมนทารี (Quasi Complementary)

จากข้อเสียของวงจรคอมพลีเมนทารีแบบสมมาตร ในเรื่องทรานซิสเตอร์เพาเวอร์แอมป์ใช้ต่างชนิดกัน มีขีดจำกัดในการจับคู่ทรานซิสเตอร์ใช้งาน จึงได้ดัดแปลงวงจรขยายเป็นแบบกึ่งคอมพลีเมนทารีโดยใช้ทรานซิสเตอร์ชนิดเดียวกัน จะเป็น PNP ทั้งคู่ หรือ NPN ทั้งคู่ก็ได้ ต่อวงจรเป็นภาคเพาเวอร์แอมป์ ช่วยทำให้การจับคู่เหมาะสมมาใช้งานทำได้ง่าย และใช้งานได้อย่างแพร่หลายทั่วไป




รูปที่ 3.65 วงจรกึ่งคอมพลีเมนทารี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 3.65 เป็นวงจรกึ่งคอมพลีเมนทารี โดยสังเกตที่ทรานซิสเตอร์ $Q_1$ และ $Q_3$ เป็นทรานซิสเตอร์ต่อแบบดาร์ลิงตันธรรมดา และทรานซิสเตอร์ $Q_2$ และ $Q_4$ ต่อแบบดาร์ลิงตันผกผัน $Q_1$ และ $Q_2$ ทำหน้าที่รับสัญญาณเข้ามาขยายในตัวทรานซิสเตอร์ $Q_1$ , $Q_2$ ตัวละครึ่งไซเคิล ซึ่งต้องใช้ทรานซิสเตอร์ต่างชนิดกัน นอกจากนั้น ยังต้องจัดเฟสสัญญาณให้ถูกต้องก่อนส่งไปภาคเพาเวอร์แอมป์

**ข้อดีของวงจร** ใช้ทรานซิสเตอร์เบอร์เดียวกัน ช่วยลดความยุ่งยากในการหาคู่เหมาะสมมาใช้งานลงได้

**ข้อเสียของวงจร** สัญญาณเสียงช่วงบวกและช่วงลบที่ผ่านออกลำโพงจะไม่เท่ากันนักเพราะกระแสที่ไหลผ่านลำโพงจาก $Q_3$ เป็นกระแสอิมิเตอร์ ($I_E$) ส่วนกระแสที่ไหลผ่านจากลำโพง $Q_4$ เป็นกระแสคอลเลคเตอร์ ($I_C$)

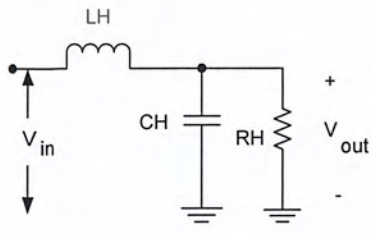
**3.8 วงจรกรองความถี่ต่ำผ่าน**

ในที่นี้ เราจะใช้เนทเวิร์คแบบ Butterworth ในการกรองเอาเฉพาะความถี่เสียงที่ต้องการ ซึ่งเป็นเนทเวิร์คที่ให้การตอบสนองราบเรียบที่สุด ซึ่งจุดที่จำเป็นมากของเครื่องเสียง โดยสูตร Tranfer Function ของ 2nd order Butterworth คือ

$$H(s) = \frac{1}{S^2 + \sqrt{2}S + 1} \qquad (3.56)$$

เป็นสมการของ 2nd order Butterworth

ซึ่งสามารถออกแบบเป็นวงจรได้




รูปที่ 3.66 วงจรของ 2nd order Butterworth

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปเราสามารถแทนค่า Tranfer function ให้อยู่ในรูปของอุปกรณ์ได้เป็น

$$H(s)=\frac{V_o(s)}{V_{in}(s)}=\frac{\frac{1}{LH\cdot CH}}{S^2+\frac{1}{RH\cdot CH}S+\frac{1}{LH\cdot CH}} \qquad (3.57)$$

ซึ่ง L และ C เหล่านี้ถูกแทนอยู่ในรูปของ S-domain โดย L=Ls C=1/Cs เมื่อนำมาเทียบสัมประสิทธิ์เราจะได้ว่า

$$CH=\frac{1}{\sqrt{2}\cdot RH}=\frac{1}{2\sqrt{2}\cdot\pi\cdot f_c\cdot RH}\rightarrow CL=\frac{1}{2\sqrt{2}\cdot\pi\cdot f_c RL}$$
$$LH=\frac{1}{CH}=\frac{\sqrt{2}\cdot RH}{2\cdot\pi\cdot f_c}\rightarrow L=LH \qquad (3.58)$$

ซึ่งในวงจรนี้เราจะทำการตัดที่ความถี่ 30KHz.เราจะหาค่า C ได้มีค่าเท่ากับ 0.47 $\mu$ F และ L มีค่าเท่ากับ 60 $\mu$ H

**3.9 ชนิดและโครงสร้างของเฟท**

เฟทเป็นอุปกรณ์สารกึ่งตัวนำอีกแบบหนึ่งที่นิยมนำมาใช้ในวงจรขยายสัญญาณ เนื่องจากเฟทมีคุณสมบัติหลายประการที่ดีกว่าทรานซิสเตอร์คือ มีอินพุทอิมพีแดนซ์ค่าสูง ต่อขยายสัญญาณหลายๆภาคได้ดี มีอัตราการขยายสูง สัญญาณรบกวนต่ำ ไม่ไวต่ออุณหภูมิ จากข้อดีหลายประการดังกล่าว ทำให้เฟทมีบทบาทในการพัฒนาอุปกรณ์ด้านอิเล็กทรอนิกส์มากขึ้น ชนิดของเฟทแบ่งออกได้เป็น 2 ชนิด คือ

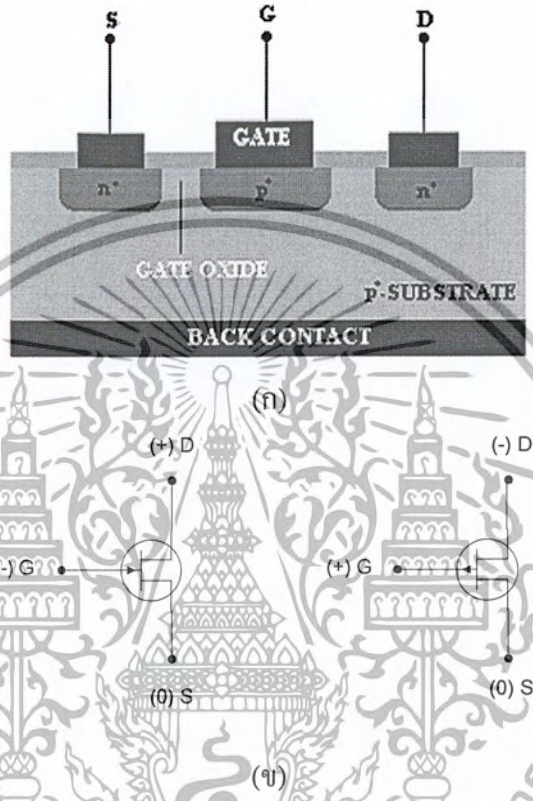
1. จังก์ชั่นเฟท (Junction FET or JFET) หรือเฟทชนิดรอยต่อ
2. มอสเฟท (MOS FET or Metal Oxide Semiconductor FET) หรือเฟทชนิดมอส

**3.9.1 จังก์ชั่นเฟท (JFET)**

จังก์ชั่นเฟท หมายถึงทรานซิสเตอร์แบบเฟท ซึ่งอาศัยคุณสมบัติรอยต่อพี-เอ็น (p-n junction) ที่ส่วนเกต (gate) ช่วยในการควบคุมการทำงานของทรานซิสเตอร์ เช่นควบคุมปริมาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กระแสที่ไหลทางด้านเอาท์พุทซึ่งจังก์ชั่นเฟทสามารถแบ่งออกได้เป็น 2 ชนิดคือ N-Channel และ P-Channel ดังรูปที่ 3.66




รูปที่ 3.67 (ก) ภาคตัดขวางของ NFET แบบพลานาร์ ชนิดเกตเดี่ยว และ (ข) สัญลักษณ์ของ NJFET และ PJFET

### 3.9.2 มอสเฟท (MOSFET)

มอสเฟทหมายถึง ทรานซิสเตอร์แบบเฟทซึ่งส่วนเกตเป็นโลหะและถูกแยกจากชั้นของสารกึ่งตัวนำด้วยชั้นของฉนวนออกไซด์ มอสเฟทเป็นทรานซิสเตอร์ที่นำเอาโครงสร้างมอสมาประยุกต์ใช้งาน โดยใช้เป็นส่วนเกตของทรานซิสเตอร์ เพื่ออาศัยผลของสนามไฟฟ้าที่เกตเหนี่ยวนำประจุในสารกึ่งตัวนำ ทำให้เกิดเป็นชั้นกลับ (Inversion Layer) หรือที่เรียกว่า “แชนแนล” (Channel) ซึ่งเป็นช่องทางเดินของกระแสระหว่างขั้วซอส (Source) และ เดรน (Drain) ความหนาแน่นของประจุที่ถูกเหนี่ยวนำขึ้นมาใน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แชนแนลจะขึ้นกับแรงดันที่เกต ดังนั้น แรงดันที่เกตซึ่งเป็นแรงดันด้านอินพุทจึงสามารถควบคุมการนำกระแสระหว่างซอส-เดรนซึ่งเป็นกระแสด้านเอาท์พุทได้ การทำงานของทรานซิสเตอร์นี้เกิดจากผลของสนามไฟฟ้าที่เกตในแนวตั้ง จะเหนี่ยวนำให้เกิดแชนแนล และผลของสนามไฟฟ้าระหว่างซอส-เดรนในแนวนอนจะทำให้พาหะในแชนแนลเคลื่อนที่ จึงทำให้ทรานซิสเตอร์สามารถทำงานได้

เมื่อพิจารณาจากลักษณะและโหมดการทำงาน สามารถจัดแบ่งมอสเฟทออกได้เป็น 2 ชนิดคือ

1. มอสเฟทชนิดเอนฮานซ์เมนท์ (Enhancement MOSFET) หมายถึงมอสทรานซิสเตอร์ซึ่งเมื่อแรงดันที่เกตเป็นศูนย์โวลต์ จะไม่มีแชนแนลเกิดขึ้น กระแสเดรนไม่ไหล ทรานซิสเตอร์อยู่ในภาวะ OFF แต่เมื่อเกตได้รับแรงดันที่เหมาะสมและมากพอสนามไฟฟ้าที่เกต จะเหนี่ยวนำให้เกิดแชนแนลขึ้นที่ผิวของสารกึ่งตัวนำและทำให้มีกระแสเดรนไหลได้

2. มอสเฟทชนิดดีพลีชั่น (Depletion MOSFET) หมายถึงมอสทรานซิสเตอร์ซึ่งแม้แรงดันที่เกตเป็นศูนย์โวลต์ก็มีแชนแนลเกิดขึ้นได้ ทั้งนี้เนื่องจากมีการแพร่อะตอมสารเจือเพื่อให้เกิดเป็นแชนแชล ดังนั้นกระแสเดรนสามารถไหลได้แม้แรงดันที่เกตเป็นศูนย์โวลต์

นอกจากนี้เมื่อพิจารณาชนิดของพาหะที่นำกระแสในทรานซิสเตอร์ สามารถจัดแบ่งมอสเฟทได้เป็น 2 ชนิดคือ

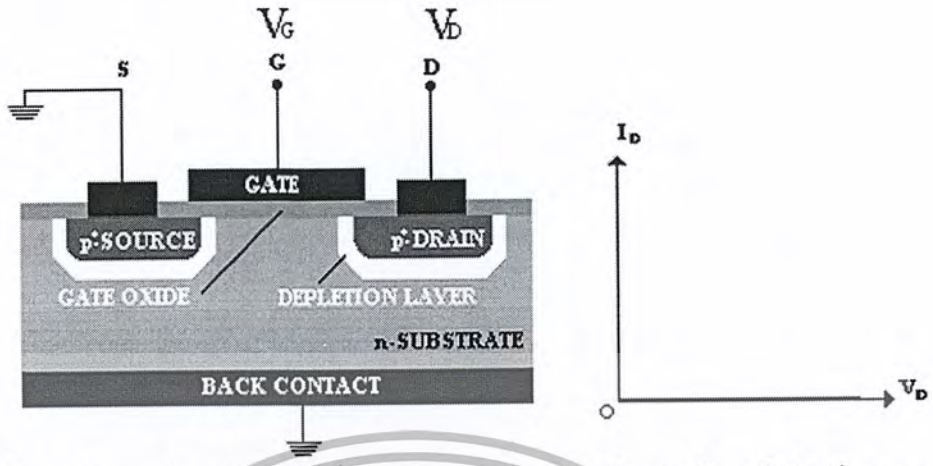
1. มอสเฟทชนิดเอ็นแชนแนล (n-channel MOSFET) หรือ เอ็นมอส (NMOS) หมายถึงมอสทรานซิสเตอร์ซึ่งกระแสเกิดจากการนำไฟฟ้าของอิเล็กตรอน ในแชนแนลชนิดเอ็น

2. มอสเฟทชนิดพีแชนแนล (p-channel MOSFET) หรือ พีมอส (PMOS) หมายถึงมอสทรานซิสเตอร์ซึ่งกระแสเกิดจากการนำไฟฟ้าของโฮล ในแชนแนลชนิดพี

### 3.9.3 คุณสมบัติและการทำงานของมอสเฟทแบบเอ็นฮานซ์เมนท์

ในตอนนี้จะพิจารณาการทำงานของมอสเฟทแบบเอ็นฮานเมนท์ชนิดเอ็นแชนแนล โดยจะพิจารณาผลของแรงดันเกต $V_G$ ที่มีต่อการเกิดบริเวณเขตปลอดพาหะและการเกิดแชนแนลที่ผิวสัมผัสระหว่าง $SiO_2$-Si และผลของแรงดันเกต $V_G$ กับแรงดันเดรน $V_D$ ที่มีต่อกระแสเดรน $I_D$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 3.68 ลักษณะโครงสร้างโดยทั่วไปของมอสเฟทแบบเอ็นฮานซ์เมนท์ชนิดเอ็นแชนแนล เมื่อไม่มีแรงดันไบอัสที่เกต แต่แรงดันเดรนมีค่าเป็นบวก

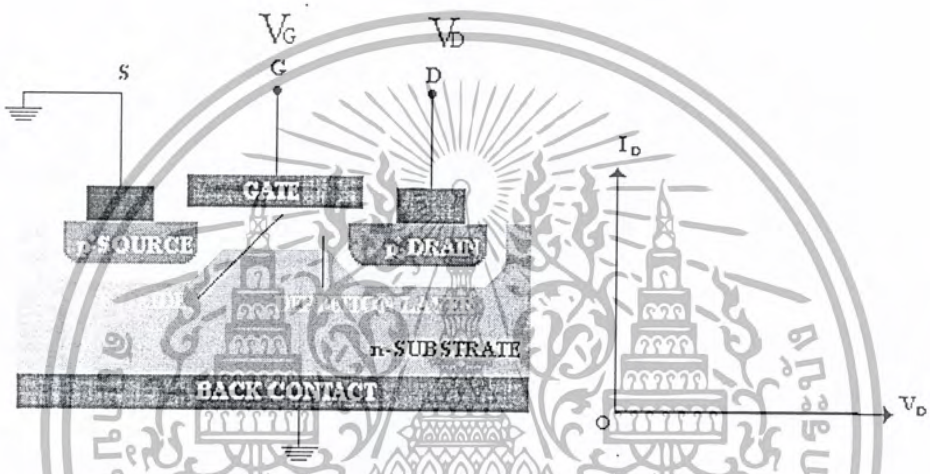
การให้แรงดันไบอัสแก่มอสเฟททำได้โดย แรงดันที่เกต ($V_G$) จะถูกไบอัสเพื่อควบคุมให้มีการเหนี่ยวนำประจุพาหะชนิดเดียวกับส่วนซอสและเดรน นั่นคือการควบคุมให้เกิดแชนแนลระหว่างซอสและเดรน ขั้วของซอสและฐานรองจะถูกต่อลงกราวด์ ส่วนเดรนจะได้รับแรงดันซึ่งทำให้รอยต่อพี-เอ็นที่ส่วนเดรนเป็นไบอัสย้อนกลับ (Reverse bias) ดังนั้นกรณีของเอ็นแชนแนล แรงดันที่เกตและแรงดันที่เดรนจึงมีค่าเป็นบวก ในทำนองเดียวกับพีแชนแนล แรงดันที่เกตและแรงดันที่เดรนจะมีค่าเป็นลบ ในที่นี้แรงดันเกต ($V_G$) หมายถึงแรงดันตกคร่อมระหว่างขั้วเกตและขั้วซอส ซึ่งอาจเขียนแทนด้วย $V_{GS}$ และแรงดันเดรน ($V_D$) หมายถึงแรงดันตกคร่อมระหว่างขั้วเดรนและขั้วซอส ซึ่งอาจเขียนแทนด้วย $V_{DS}$

ในกรณีที่ไม่มีแรงดันไบอัสที่เกตหรือแรงดันที่เกตเป็นศูนย์ ทำให้ไม่มีสนามไฟฟ้าในชั้นของออกไซด์ ดังนั้นที่ผิวสัมผัสระหว่าง $SiO_2$-Si ในสารกึ่งตัวนำจะไม่มีการเปลี่ยนแปลงใดๆเกิดขึ้น ทำให้ไม่มีทั้งบริเวณปลอดพาหะและแชนแนลในย่านนี้ คงมีแต่บริเวณปลอดพาหะที่มีอยู่รอบๆรอยต่อพี-เอ็นของส่วนซอส-ฐานรอง และส่วนเดรนกับฐานรอง นอกจากนี้โครงสร้างที่เกิดขึ้นระหว่างซอสและเดรนมีลักษณะเป็น $n^+ - p - n^+$ ดังในรูปที่ 3.68 ทั้งยังได้รับไบอัสแบบย้อนกลับจึงทำให้มีกระแสเดรนค่าน้อยมากและอาจประมาณได้เป็นศูนย์ $I_D \approx 0$ แม้ว่าแรงดันเดรนจะเพิ่มขึ้นก็ตามกราฟของ $I_D - V_D$ ดังในรูป 3.51 ในขณะนี้มอสเฟทจะอยู่ในภาวะคัทออฟ หรือเป็นสถานะ OFF ของมอสเฟท แต่ถ้าชั้นฐานรองถูกต่อเข้ากับซอสและแรงดันเดรนมีค่าลบ จะทำให้รอยต่อพี-เอ็นระหว่างเดรนและฐานรองได้รับไบอัสตรง (Forward bias) และมีกระแสเดรนได้ อย่างไรก็ดี ในสภาพปกติที่ใช้งานมอสเฟท แรงดันเดรนจะไม่ใช้เป็นค่าลบ ดังนั้นกระแสเดรนไม่สามารถไหลได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำหรับคุณสมบัติและการทำงานของมอสเฟท นขณะที่มีการให้แรงดันไบอัสที่เกตค่าคงที่ค่าต่างๆ โดย $V_G > 0$ และแรงดันเดรนมีค่าเปลี่ยนไป จะทำให้มอสเฟททำงานในย่านต่างๆ ซึ่งอาจพิจารณาแบ่งออกเป็นช่วงๆได้ดังนี้

ก) กรณีที่ $0 < V_G < V_T$ และ $V_D > 0$

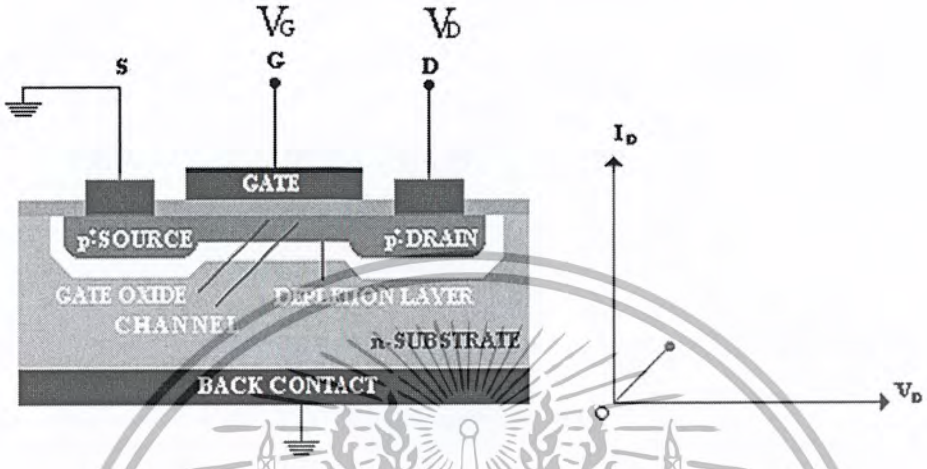



รูปที่ 3.69 การทำงานของมอสเฟทแบบเอ็นฮานซ์เมนท์ชนิดเอ็นแชนแนล กรณีที่ $0 < V_G < V_T$ และ $V_D > 0$

เมื่อมีการให้แรงดันเกตบวกค่าหนึ่ง แต่น้อยกว่าแรงดันขีดเริ่ม (Threshold Voltage: $V_T$)หรือ $0 < V_G < V_T$ สนามไฟฟ้าในชั้นออกไซด์ที่เกิดจากแรงดันเกต จะผลักโฮลในสารกึ่งตัวนำที่ผิวสัมผัสระหว่าง $SiO_2$-Si เคลื่อนที่ห่างออกไป ความหนาแน่นของโฮลในบริเวณดังกล่าวจึงมีค่าลดลงจากเดิม ผลดังกล่าวทำให้เกิดเป็นบริเวณปลอดพาหะขึ้นในสารกึ่งตัวนำที่อยู่ใต้ส่วนเกต ดังแสดงในรูป 3.69 ดังนั้น ในกรณีนี้ ซอสและเดรน ยังคงถูกแยกออกจากกันด้วยชั้นของบริเวณปลอดพาหะที่เกิดขึ้นใต้ส่วนเกต และเป็นชั้นที่มีความนำไฟฟ้าต่ำ ดังนั้นเมื่อแรงดันเดรนมีค่าเพิ่มขึ้น กระแสเดรนจะมีค่าน้อยมาก และพิจารณาว่าเป็นศูนย์ ($I_D \approx 0$) และในสภาวะนี้ มอสเฟทยังอยู่ในสภาพคัทออฟ หรือสถานะ OFF เช่นเดิม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**ข) กรณีที่ $V_G > V_T$ และ $V_D$ มีค่าน้อย (ย่านเชิงเส้น: Linear Region)**




รูปที่ 3.70 การทำงานของมอสเฟทแบบเอ็นฮานซ์เมนท์ชนิดเอ็นแชนแนล
กรณีที่ $V_G > V_T$ และ $V_D$ มีค่าน้อย

เมื่อแรงดันเกตมีค่าเป็นบวกเพิ่มขึ้นในที่สุดแรงดันเกตจะเท่ากับแรงดันขีดเริ่ม หรือมีค่าสูงกว่าแรงดันขีดเริ่ม ในขณะนี้สนามไฟฟ้าในชั้นออกไซด์ที่เกิดเนื่องจากแรงดันเกต มีค่ามากพอที่จะเหนี่ยวนำให้เกิดชั้นกลับชนิดเอ็น (n - inversion layer) หรือแชนแนลชนิดเอ็น ในสารกึ่งตัวนำที่ผิวสัมผัสระหว่าง $SiO_2$-Si บริเวณใต้ส่วนเกต ดังแสดงในรูปที่ 3.70 แชนแนลนี้จะมีลักษณะเป็นแผ่นประจุบางๆ (sheet of charge) ภายในแชนแนลนี้จะมีอิเล็กตรอนซึ่งถูกเหนี่ยวนำขึ้นมาเป็นพาหะนำกระแส เช่นเดียวกับอิเล็กตรอนในสารกึ่งตัวนำชนิดเอ็น ความหนาแน่นที่ถูกเหนี่ยวนำอยู่ในแชนแนล จะมีค่าขึ้นกับสนามไฟฟ้าในชั้นออกไซด์หรือแรงดันที่ตกคร่อมชั้นออกไซด์ เมื่อแรงดันเกตคงที่และแรงดันเดรนเป็นศูนย์เท่ากับแรงดันที่ซอส แรงดันที่ตกคร่อมชั้นออกไซด์จะมีค่าเท่ากันทุกจุดในแชนแนล แต่เมื่อแรงดันเดรนมีค่าเป็น + $V_D$ และสูงกว่าซอส สนามไฟฟ้าในชั้นออกไซด์ที่จุดต่างๆที่ห่างออกมาจากด้านซอสจะมีค่าลดลง เพราะแรงดันตกคร่อมชั้นออกไซด์ที่จุดซึ่งใกล้เดรนมีค่าลดลง ผลดังกล่าวจะทำให้ความหนาแน่นของอิเล็กตรอนในแชนแนลที่ใกล้เข้ามาทางด้านเดรนมีค่าลดลงด้วย และจะมีค่าน้อยที่สุดที่ปลายด้านเดรน อย่างไรก็ดี กรณีที่แรงดันเดรนมีค่าในช่วงค่าต่ำๆ โดยสูงกว่าซอสเพียงเล็กน้อย จนอาจประมาณได้ว่าสนามไฟฟ้าทุกจุดมีค่าเท่ากัน ดังนั้นความหนาแน่นของอิเล็กตรอนในแชนแนลจึงประมาณว่ามีเค่าเท่ากันตลอดความยาวแชนแชล ซึ่งอาจแสดงดังในรูปที่ 3.70 ด้วยความหนาแน่นของ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แชนแนลที่เท่ากันตลอดจากปลายด้านซอสกระทั่งถึงปลายด้านเดรน ถัดจากแชนแนชออกไป จะเป็นบริเวณปลอดพาหะ ซึ่งแรงดันเดรน $+V_D$ จะทำให้รอยต่อพี-เอ็น ที่อยู่รอบๆส่วนเดรนได้รับไบอัสย้อนกลับ ทำให้บริเวณปลอดพาหะทางด้านเดรนขยายกว้างมากกว่าทางด้านซอสเล็กน้อย แชนแนลชนิดเอ็นที่เกิดขึ้นนี่ เสมือนเป็นแท่งสารกึ่งตัวนำชนิดเอ็นที่มีความยาวเท่ากับ L โดยมีขั้วปลายทั้งสองด้านคือส่วนซอสและส่วนเดรน เมื่อแรงดันเดรนเริ่มเพิ่มค่าขึ้นเล็กน้อย สนามไฟฟ้าในแชลแนลจะทำให้อิเล็กตรอนในแชนแนลเกิดการดริฟท์ (Drift) หรือเคลื่อนที่ในทิศทางจากด้านซอสไปยังด้านเดรน ดังนั้นทำให้มีกระแสเดรน $I_D$ เกิดขึ้น โดยมีทิศพุ่งเข้าหาขั้วเดรน ขนาดของกระแสเดรนในขณะนี้ จะถูกจำกัดด้วยค่าความต้านทานของแชนแนลหรือก็คือ $I_D \propto 1/R_{n\text{-}ch}$ และเป็นไปตามกฎของโอหม์ คือ

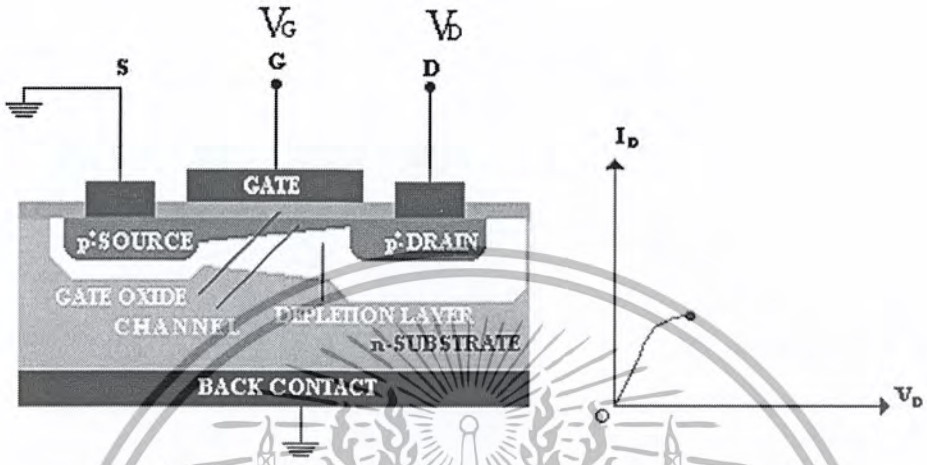
$$I_D = \frac{V_D}{R_{n-ch}} \tag{3.59}$$

โดยที่ $R_{n\text{-}ch}$ คือ ความต้านทานของแชนแนล (Chennel Resistance)

ดังนั้น ขณะที่แรงดันเดรนเพิ่มขึ้นในช่วงค่าต่ำๆ กระแสเดรนจะเพิ่มขึ้นกับแรงดันเดรนเกือบเป็นเชิงเส้น (almost lincarly) ดังแสดงในรูปที่ 3.70 เรียกการทำงานในย่านนี้ว่า "ย่านเชิงเส้น" (Linear Region) ในย่านนี้มอสเฟทจะมีสภาพ ไม่อิ่มตัว หรือ Non saturation กล่าวคือ กระแสเดรนจะเพิ่มขึ้นกับแรงดันเดรนนั่นเอง และความชันของกราฟ $I_D - V_D$ จะเพิ่มขึ้นกับแรงดันเกต เนื่องจากเมื่อแรงดันเกตเพิ่มขึ้นจะทำให้ความนำของแชนแนลเพิ่มขึ้นด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**ค) กรณีที่ $V_G > V_T$ และ $V_D$ มีค่าสูงขึ้นแต่ $V_D < V_{D(Sat)}$**




รูปที่ 3.71 การทำงานของมอสเฟทแบบเอ็นฮานซ์เมนท์ชนิดเอ็นแชนแนล

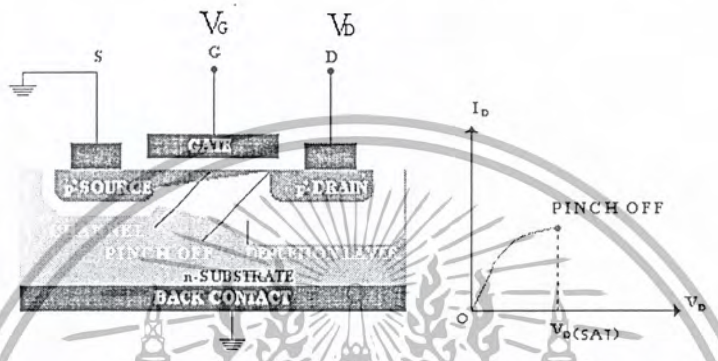
กรณีที่ $V_G > V_T$ และ $(V_G - V_D) > V_T$

เมื่อแรงดันเดรนมีค่าสูงขึ้นต่อไป ความต่างศักย์ระหว่างซอสและเดรนจะทำให้ที่ตำแหน่งต่างๆ ในแชนแนลมีศักย์ไฟฟ้าไม่เท่ากันอย่างเห็นได้ชัด ศักย์ไฟฟ้าที่ปลายด้านซอสยังคงมีค่าเป็นศูนย์โวลต์ แต่เมื่อตำแหน่งนั้นอยู่ห่างออกมาจากด้านซอส หรือเมื่อใกล้เข้าไปทางด้านเดรน ศักย์ไฟฟ้าจะมีค่าเป็นบวกเพิ่มมากขึ้น และจะมีค่าสูงสุดที่ปลายด้านเดรนคือ $+V_D$ ดังนั้นแรงดันระหว่างขั้วเกตและแชนแนล (แรงดันที่ตกคร่อมชั้นออกไซด์) ที่ตำแหน่ง $x$ ต่างๆตลอดความยาวของแชนแนลจะมีค่าไม่เท่ากัน ที่ปลายด้านซอส แรงดันตกคร่อมชั้นออกไซด์จะมีค่าสูงสุด และเท่ากับ $V_G - 0$ หรือเท่ากับ $V_G$ โดยไม่เปลี่ยนแปลงกับแรงดันเดรน แต่ที่ตำแหน่ง $x$ ที่ห่างออกมาจากซอสหรือใกล้เข้ามาทางด้านเดรน แรงดันตกคร่อมชั้นออกไซด์จะมีค่าลดลง และที่ปลายด้านเดรน แรงดันตกคร่อมชั้นออกไซด์นี้จะมีค่าต่ำสุด และเท่ากับ $V_G - V_D$ ในกรณีแรงดันเดรนมีค่าไม่สูงนัก และทำให้ $(V_G - V_D) > V_T$ แสดงว่าในช่วงนี้ยังมีแชนแนลเกิดขึ้นได้โดยตลอดตั้งแต่ซอสจนถึงเดรน และที่แรงดันเกตคงที่ ความหนาแน่นของอิเล็กตรอนในแชนแนลจะลดลงกับระยะทางที่ห่างออกไปจากด้านซอส และยิ่งมีค่าลดลงเมื่อแรงดันเดรนมีค่าเพิ่มขึ้น ดังแสดงในรูปที่ 3.71 ซึ่งอาจพิจารณาว่าเมื่อใกล้เข้าไปด้านเดรน ขนาดของแชนแนลจะมีค่าลดลง ดังนั้น ค่าความต้านทานของแชนแนล $R_{n\text{-}ch}$ จะมีค่าเพิ่มขึ้นกับแรงดันเดรน โดยเมื่อแรงดันเดรนเพิ่มขึ้น การเพิ่มขึ้นของกระแสจะชะลอตัวลง ดังจะสังเกตเห็นได้จากกราฟ $I_D - V_D$ ซึ่งความชันของกราฟจะมีค่าลดลง (โค้งมากขึ้น) เมื่อแรงดันเดรนเพิ่มมากขึ้น แต่ยังอยู่ในเงื่อนไข $(V_G - V_D) > V_T$ หรือ $V_D < V_{D(Sat)}$ โดยที่ $V_{D(Sat)}$ หมายถึง แรงดันเดรนอิ่มตัว หรือ Saturation Drain Voltage และเมื่อ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$V_D = V_{D(Sat)}$ จะได้ว่า $(V_G - V_{D(Sat)}) = V_T$ ซึ่งเป็นภาวะพินซ์ออฟ (Pinch off) คุณสมบัติของมอสจะเปลี่ยนไปเป็นอีกกรณีหนึ่ง

**ง) กรณีที่ $V_G > V_T$ และ $V_D = V_{D(Sat)}$ (จุดพินซ์ออฟ: Pinch off point)**




รูปที่ 3.72 การทำงานของมอสเฟทแบบเอ็นฮานซ์เมนท์ชนิดเอ็นแชนแนล
กรณีที่ $V_G > V_T$ และ $V_D = V_{D(Sat)}$

เมื่อแรงดันเดรน $V_D$ ยังคงเพิ่มขึ้นกระทั่งมีค่ามากจนทำให้แรงดันที่ตกคร่อมชั้นออกไซด์ที่ตำแหน่งปลายด้านเดรนมีค่าเท่ากับแรงดันขีดเริ่มพอดี หรือ $(V_G - V_D) = V_T$ แชนแนลที่ปลายด้านเดรนจะมีขนาดลดลงจนเป็นศูนย์หรือก็คือ แชนแนลขาดออกพอดีที่เดรนดังแสดงในรูปที่ 3.72 ซึ่งเรียกภาวะนี้ว่า "ภาวะพินซ์ออฟ" (Pinch off) และที่จุดแชนแนลขาดออกพอดีนี้เรียกว่า "จุดพินซ์ออฟ" (Pinch off point) บริเวณโปลอดพาหะที่รอยต่อพี-เอ็นรอบๆส่วนเดรน จะมีขนาดกว้างมากกว่าบริเวณด้านซอสอย่างเห็นได้ชัด ค่าของแรงดันเดรนที่พอดีทำให้เริ่มเกิดภาวะพินซ์ออฟ ถูกเรียกว่า "แรงดันเดรนอิ่มตัว" (saturation drain voltage: $V_{D(Sat)}$) บางครั้งเรียกว่า "แรงดันพินซ์ออฟ" (pinch off voltage: $V_P$) และเขียนได้ว่า

$$(V_G - V_{D(Sat)}) = V_T \tag{3.60}$$

หรือ

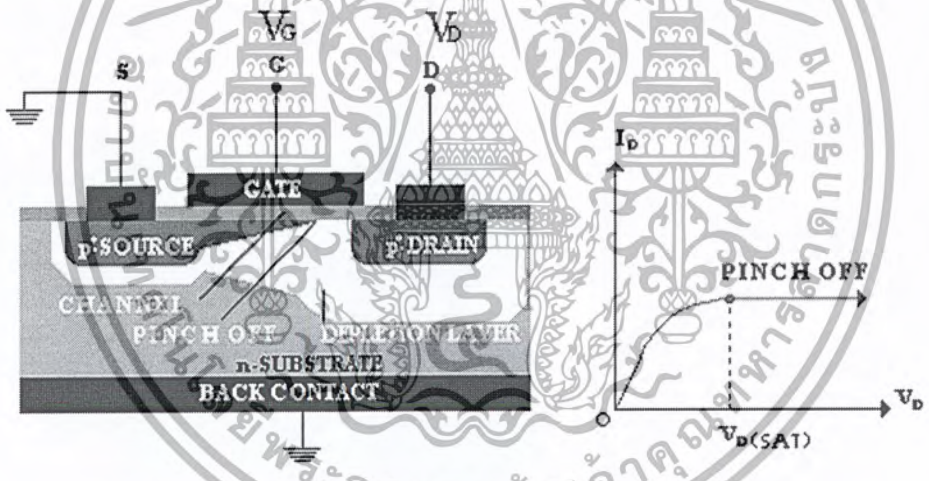
$$V_P = V_{D(Sat)} = (V_G - V_T) \tag{3.61}$$

ในขณะนี้พิจารณาได้ว่าแชนแนลได้ขาดออกพอดีที่ตำแหน่งปลายด้านเดรน การทำงานของมอสเฟทในภาวะนี้จึงคล้ายกับภาวะพินซ์ออฟของ n-channel JFET กล่าวคือ เมื่ออิเล็กตรอนในแชนแนลถูกดริฟท์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

(drift) โดยสนามไฟฟ้าจากด้านซอสมาทางด้านเดรน และเมื่อมาถึงปลายของแชนแนลที่จุดพินซ์ออฟ สนามไฟฟ้าค่าสูงที่ตกคร่อมในช่วงแคบๆของบริเวณปลอดพาหะระหว่างปลายของแชนแนลและส่วนเดรน จะดึงให้อิเล็กตรอนที่ส่วนปลายของแชนแนลข้ามบริเวณปลอดพาหะเข้าไปยังส่วนเดรน ดังนั้น กระแสเดรนยังคงไหลได้ แต่ขนาดของกระแสเดรนจะถูกจำกัดด้วยปริมาณของอิเล็กตรอนที่ถูกดึงข้ามบริเวณปลอดหาพะดังกล่าว และอาจพิจารณาได้ว่า กระแสเดรนถูกจำกัดด้วยค่าความต้านทานประสิทธิผล (Effective resistance) ของแชนแนล ดังนั้นเมื่อแรงดันเดรน $V_D$ เพิ่มขึ้น กระแสเดรน $I_D$ จะมีค่าเพิ่มขึ้นด้วย (อย่างชะลอตัว) กระทั่งเมื่อถึงค่า $V_{D(Sat)}$ กระแสเดรนจะมีค่าสูงสุดเรียกว่า "กระแสเดรนอิ่มตัว" (Saturation drain current) และเขียนแทนด้วย $I_{D(Sat)}$ ดังแสดงในรูปที่ 3.72

จ) กรณีที่ $V_G > V_T$ และ $V_D > V_{D(Sat)}$ (ย่านอิ่มตัว: Saturation Region)




รูปที่ 3.73 การทำงานของมอสเฟทแบบเอ็นฮานซ์เมนท์ชนิดเอ็นแชนแนล
กรณีที่ $V_G > V_T$ และ $V_D > V_{D(Sat)}$

เมื่อแรงดันเดรนมีค่ามากกว่าแรงดันเดรนอิ่มตัวหรือ $V_D > V_{D(Sat)}$ จะทำให้แรงดันที่ตกคร่อมชั้นออกไซด์ที่บริเวณใกล้ๆปลายเดรนมีค่าน้อยกว่าแรงดันขีดเริ่ม หรือ $(V_G - V_D) < V_T$ ดังนั้น ในบริเวณดังกล่าวนี้ จะไม่มีแชนแนลเกิดขึ้นจึงคล้ายกับว่าจุดพินซ์ออฟซึ่งเริ่มเกิดที่จุดเดรนได้เลื่อนเข้าไปทางด้านซอส และที่ตำแหน่ง x ใดๆซึ่งเป็นจุดพินซ์ออฟ เงื่อนไขของ $V_G - V_D(x) = V_T$ ยังคงไม่เปลี่ยนแปลง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

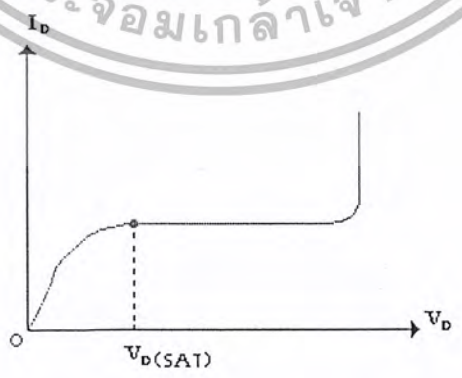
ดังนั้นเมื่อแรงดันเดรนมีค่ามากกว่า $V_{D(Sat)}$ จุดพินซ์ออฟ จะเลื่อนเข้าไปใกล้ทางด้านซอสดังแสดงในรูปที่ 3.72 ทำให้เกิดบริเวณปลอดพาหะระหว่างจุดพินซ์ออฟ กับส่วนเดรนซึ่งมีระยะกว้างเท่ากับ $\Delta L$ หาก พิจารณาว่ามอสเฟทนี้เป็นชนิด Long channel และ $\Delta L << L$ ดังนั้น ความยาวของแชนแนลจึงมีขนาดสั้นลงจากเดิมน้อยมาก กระทั่งประมาณได้ว่า มีความยาวเท่าเดิมไม่เปลี่ยนแปลง แม้ว่าแรงดันเดรนจะมีค่าเพิ่มขึ้นก็ตาม และแรงดันที่ตกคร่อมแชนแนลจากซอสถึงจุดพินซ์ออฟจะมีค่าคงที่เสมอ โดยไม่เปลี่ยนแปลงกับแรงดันเดรน ดังสมการที่ 3.62 ดังนั้น เมื่อแรงดันเดรนมีค่าเพิ่มขึ้นสูงกว่า $V_{D(Sat)}$ กระแสเดรนจะประมาณได้ว่ามีค่าคงที่ และเท่ากับค่าของ $I_{D(Sat)}$ ซึ่งเป็นกระแสเดรนอิ่มตัวและหาได้จากสมการ

$$I_D \approx I_{D(Sat)} = \frac{V_{D(Sat)}}{R_{eff\,(n-ch)}} \quad \text{โดย} \quad V_D > V_{D(Sat)} \tag{3.62}$$

ในขณะนี้มอสเฟทถูกพิจารณาว่าทำงานในย่านอิ่มตัวหรือ Saturation region กล่าวคือกระแสเดรนจะมีค่าคงที่ โดยไม่เปลี่ยนแปลงกับแรงดันเดรน

แต่ในกรณีที่มอสเฟทนี้มีขนาดความยาวของแชนแนล (L) สั้นๆ หรือ short channel จะทำให้ $\Delta L \approx L$ ดังนั้นเมื่อ $V_D > V_{D(Sat)}$ จะทำให้คล้ายกับว่าความยาวของแชนแนลมีค่าลดลง ความต้านทานประสิทธิผลจึงมีค่าลดลงด้วย ดังนั้นในกรณีนี้เมื่อแรงดันเดรนเพิ่มขึ้น กระแสเดรนจะมีค่าเพิ่มขึ้นอย่างเห็นได้ชัด ดังแสดงในรูปที่ 3.72

ฉ) ย่านพังทะลาย (Breakdown Region)




รูปที่ 3.73 การทำงานของมอสเฟทแบบเอ็นฮานซ์เมนท์ชนิดเอ็นแชนแนล
กรณีที่ $V_G > V_T$ และ $V_D >> V_{D(Sat)}$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เนื่องจากแรงดันไบอัสที่ให้แก่รอยต่อพี-เอ็น ระหว่างเดรน-ฐานรอง เป็นไบอัสย้อนกลับ ดังนั้น เมื่อแรงดันเดรนมีค่าเพิ่มขึ้นและสูงถึงค่าหนึ่ง ซึ่งเรียกว่า "แรงดันพังทะลาย" (Breakdown voltage: $V_B$) จะทำให้รอยต่อเกิดการพังทะลายแบบอะวาลันซ์ (Avalance breakdown) กระแสเดรนที่อยู่ในย่านอิ่มตัวจะเพิ่มขึ้นอย่างรวดเร็ว และไม่สามารถควบคุมได้ ทำให้มอสเฟทเข้าสู่ภาวะการพังทะลาย ดังแสดงในรูปที่ 3.73

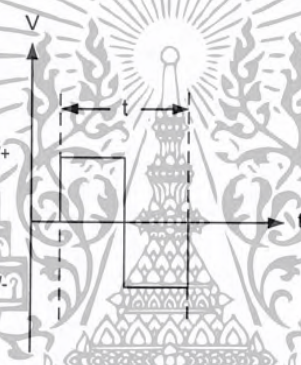
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# บทที่ 4
# การออกแบบวงจร

## 4.1 แนวคิดการออกแบบAmplifier

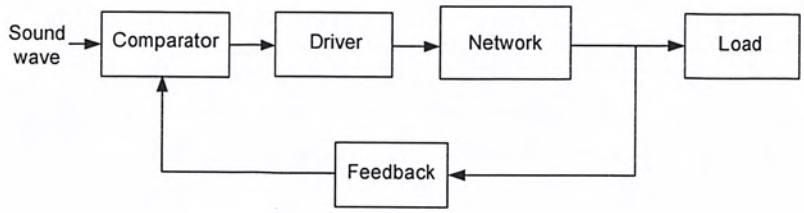
จากAmplifier class D แบบก่อนก่อนนั้น การที่เราต้องการจะได้ค่าศักย์ดาความต่างศักย์ เราจะต้องจ่ายไฟลบและบวกให้ได้ duty cycle เท่ากัน เพื่อให้ผลเฉลี่ยเป็น 0 ดังรูปที่ 4.1




รูปที่ 4.1 แสดงการจ่ายกำลังงานของ power amp Class D

จากรูปเราจะเห็นได้ว่า เราต้องป้อนพลังงานให้แก่ Load เพื่อที่ต้องการค่าความต่างศักย์ที่มีค่าเป็นศูนย์ดังนั้น เราได้จ่ายพลังงานเข้าไปเพียงเพื่อให้ พลังงานที่เป็นผลลัพธ์มีค่าเท่ากับ 0 ซึ่งดูแล้วเป็นการสิ้นเปลืองพลังงาน โดยใช้เหตุ แต่อย่างไรก็ตาม ถ้าหากเราต้องการให้วงจรไม่จ่ายกระแสเลยนั้นจำเป็นต้องใช้วงจรที่มีความแม่นยำสูงซึ่งอาจทำให้เกิดความคลาดเคลื่อนได้ดังนั้นแนวคิดของการใช้การเปรียบเทียบมาช่วยในการควบคุมการจ่ายกำลังงานโดยใช้หลักการแบบ Sigma-Delta จึงได้ถูกเลือกให้เกิดขึ้น โดยความผิดพลาดที่เกิดขึ้นนั้น เราจึงต้องทำการ Sampling ให้มีความถี่สูงสูง ให้พ้นจากช่วง Bandwidth ของ Audio ที่มีตั้งแต่ 20HZ-20KHz โดยผลพลอยได้จากหลักการ Sigma-Delta คือความสามารถในการ Sampling ที่ความถี่ได้สูงในที่นี้จึงได้ทำการทดสอบทฤษฎีแนวคิดด้วยวงจรขยายเสมือนที่ลักษณะวงจรดังรูปที่ 4.2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

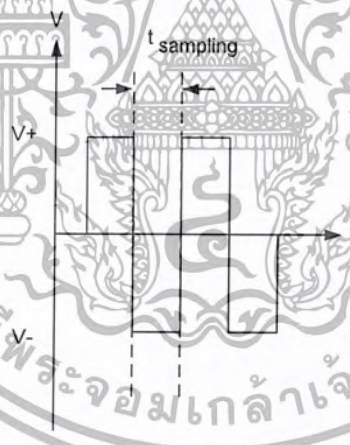



รูปที่ 4.2 Block Diagram วงจรทดสอบแนวความคิด

การขยายกำลังแบบ Delta-Sigma 1 bit

จากการทดสอบแสดงได้ว่า เราสามารถขยายสัญญาณ Sine wave ที่ความถี่ 1 KHz ได้ แต่ความถี่ในการ Sampling นั้น เราต้องใช้ค่าที่สูงถึง 6 MHz เพื่อที่จะได้รูปลักษณะสัญญาณออกมา

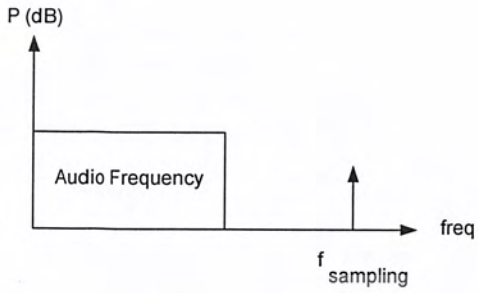
จากการทดสอบดังกล่าวเราสามารถสรุปได้ว่าหลังการ Comparator Sigma Delta นั้น สามารถใช้ในการขยายสัญญาณได้ แต่ถ้าเป็นรูปแบบสัญญาณดังกล่าวแล้วจะมีลักษณะ ON-OFFเป็น0 1 ตลอดเวลาดังรูปที่ 4.3




รูปที่ 4.3 แสดงการจ่ายกำลังงานแบบ Delta-Sigma Modulation

ซึ่งจะเห็นได้ว่ายังมีการจ่ายกำลังงานตลอดเวลา เพื่อที่จะรักษาพลังงานเฉลี่ย = 0 เอาไว้และเราสามารถมองได้อีกว่า เรากำลังจ่ายกำลังงานที่มากเกินไปแก่ Load ทำให้ระดับพลังงานนั้นมีค่าความผิดพลาดไปมาก จึงทำให้ต้องมีการ Sampling ด้วยความถี่สูง เพื่อที่จะได้ทำการจ่ายค่าพลังงานได้ละเอียดขึ้นซึ่งเราอาจเขียนให้อยู่ในรูปของ Frequency Domain ได้ดังรูปที่ 4.4

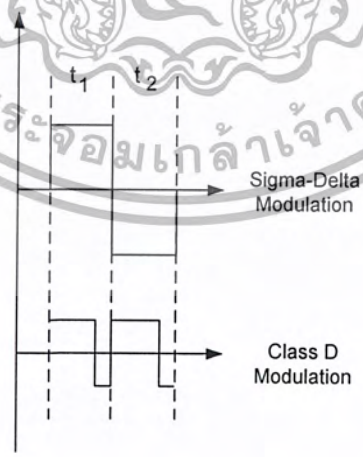
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 4.4 กราฟแสดงกำลังงานของความถี่ข้อมูลและความถี่สุ่ม

เราจะมองได้อีกแง่มุมนึงว่าเมื่อเราทำการ Sampling ที่ความถี่สูงสูงแล้ว จะทำให้ noise ที่เกิดจากการ Sampling นั้นอยู่ห่างจากสัญญาณข้อมูล (Audio data) ไปมากซึ่งเราสามารถกำจัดได้โดยใช้ Low-pass network กำจัดออกไปได้

อย่างไรก็ตาม เมื่อเรามาพิจารณาใน Duty Cycle ช่วงหนึ่งแล้วเราจะพบสาเหตุอีกอันหนึ่งที่เป็นเหตุทำให้เราต้องใช้ความถี่ที่สูงขึ้นในการ Sampling ก็คือเราไม่สามารถที่จะแปรค่าของ Duty Cycle ในการจ่ายพลังงานได้ ซึ่งเมื่อเปรียบเทียบกับ Power Amp Class D แล้วสามารถที่จะแปรค่า Duty Cycle ตามระดับสัญญาณ ที่ป้อนเข้ามาได้ดังรูปที่ 4.5



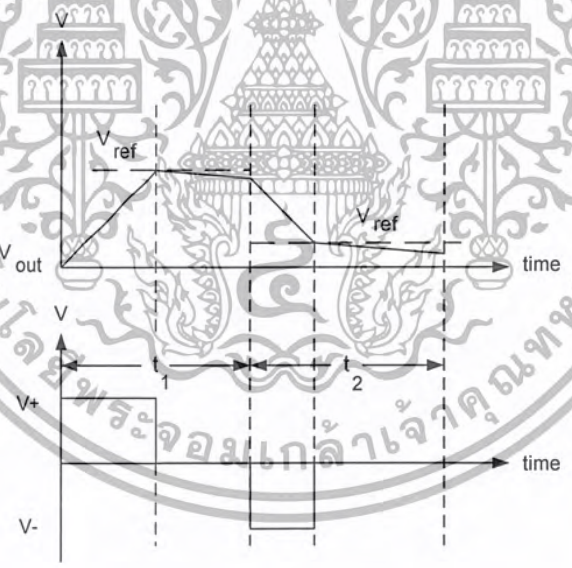

รูปที่ 4.5 เปรียบเทียบ duty cycle การจ่ายกำลังงานระหว่าง
Delta-Sigma Modulation และ Class D Modulation

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากผลดังกล่าว ทำให้เราต้องใช้ค่า Sampling ที่สูงมาก เพื่อที่จะได้รูปร่างของสัญญาณที่ดีแต่อย่างไรก็ตาม ในการสร้างสัญญาณ PWM ของ Class D นั้น โดยมากจะต้องใช้สัญญาณ Input ไปเทียบกับสัญญาณ Saw tooth ซึ่งการที่จะสร้างสัญญาณ Saw tooth นั้น จะต้องใช้อุปกรณ์อีกส่วนหนึ่งมาทำการสร้างสัญญาณ Saw tooth และทำการ Compare กับสัญญาณ Input ซึ่งจะต้องเปลืองอุปกรณ์ค่อนข้างมาก และถ้าหาก Saw tooth ที่สร้างมานั้น มีความไม่เป็นเชิงเส้นแล้ว การผลิต PWM ก็จะทำให้เกิดความผิดพลาด และทำให้สัญญาณ Output มีความผิดพลาดได้ ซึ่งสัญญาณSaw tooth นั้น จะต้องมีความถี่สูงตามอัตราการ Sampling ทำให้อาจเกิดความผิดเพี้ยนได้ง่าย

จากกรณีดังกล่าวทำให้วงจร Sigma Delta แบบ Comparator นั้นมีข้อได้เปรียบตรงที่ใช้อุปกรณ์น้อยกว่า

และจากการที่เราต้องการ ค่าคาบของ Duty Cycle ให้สามารถแปรตามค่าระดับพลังงานได้ เราจึงต้องทำการเปรียบเทียบอีกครั้งหนึ่งเพื่อให้เมื่อระดับพลังงานถึงจุดที่เราต้องการแล้วนั้น วงจรจะต้องหยุดการจ่ายกำลังให้โหลดดังรูปที่ 4.6




รูปที่ 4.6 แสดงการจ่ายกำลังงานแก่โหลดโดยใช้ Delta-Sigma Control

อนึ่งการตรวจสอบได้ว่ากำลังงานที่เราจ่ายถึงจุดอ้างอิงหรือยังนั้น อาจทำได้ยากเนื่องจากค่าความผิดพลาดของอุปกรณ์ต่างต่างมีมาก เราจึงได้ประยุกต์ให้ใช้ส่วนของ Comparator เป็นตัวตรวจจับว่ามีการเปลี่ยนค่าสถานะแล้วหรือยัง เช่น เมื่อ V output มีค่าน้อยกว่า V ref วงจรจะต้องจ่ายกำลังงาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ให้กับ Load จนกระทั่งมีการตรวจจับได้ว่า V output มีค่ามากว่า V ref เราจึงจะสั่งให้หยุดการจ่ายกำลังงานแล้วรอกระบวนการการเปรียบเทียบใน Cycle clock ต่อไป

จากที่กล่าวมาเราจะพอเห็นลักษณะโครงสร้างหลักการทำงานได้ว่า เป็นแบบ Comparator เพื่อทำให้เป็นค่าของ DIGITAL 0 หรือ 1 ออกมาจึงอาจกล่าวได้ว่าเป็น Digital Amplifier ได้อย่างแท้จริงเมื่อเปรียบเทียบกับ Class d ที่ยังคงต้องใช้สัญญาณ Saw tooth ในการผลิต Pulse Width Modulationออกมา และ อุปกรณ์ที่ใช้นั้นก็จะมีจำนวนน้อยกว่าไม่ซับซ้อนมานัก อีกทั้งการจ่ายกำลังงานก็เป็นไปอย่างมีประสิทธิภาพ เนื่องจากจ่ายกำลังงานเท่าที่จำเป็นเท่านั้น ไม่ได้จ่ายตลอดเวลาแบบ Class D ที่มีการจ่ายกระแสอยู่เสมอ และเมื่อ MOS ไม่ได้ On ตลอดเวลา ทำให้ความสามารถในการ Sampling มีอัตราความถี่สูงด้วย และระดับกำลังงานที่ได้นั้นก็มีความถูกต้องมากเนื่องจากมีการ Feedback สัญญาณมาเปรียบเทียบอยู่เสมอ

### 4.2 หลักการทำงานของวงจร

สัญญาณเสียงอินพุทที่เข้ามาจะผ่านวงจรขยาย ซึ่งมีทั้งหมด 3 ภาค คือ $a_1$, $a_2$ และ $a_3$ Op-Amp ทั้ง 3 ตัวนี้เป็น Video Amplifier ซึ่งมีขาเอาพุท 2 ขาคือ $V_{OUT1}$ และ $V_{OUT2}$ โดย สัญญาณที่ออกทาง$V_{OUT1}$ จะเป็นสัญญาณครึ่งบวก และสัญญาณที่ออกทาง$V_{OUT2}$ จะเป็นสัญญาณครึ่งลบ $a_1$ จะทำหน้าที่เป็นทั้งวงจรขยายและคอมพาราเตอร์ (Comparator) ซึ่งจะนำมาเปรียบเทียบกับสัญญาณเอาพุทที่ถูกป้อนกลับผ่านวงจรขยายความต่าง (Differential Amplifier) สัญญาณเอาพุทครึ่งบวกจะถูกแบ่งแรงดัน$R_1$และ $R_4$ และ สัญญาณเอาพุทครึ่งบวกจะถูกแบ่งแรงดัน $R_2$ และ $R_3$ ที่ต้องทำการแบ่งแรงดันเพราะต้องการลดค่าโวลต์เตจเนื่องจาก Op-Amp ถูกจำกัดให้รับอินพุทไว้ไม่เกิน 3 V สัญญาณที่ได้จะถูกขยายอีกครั้งหนึ่งโดย $a_2$ และ $a_3$ ซึ่งมีการทำงานเช่นเดียวกับ $a_1$

สัญญาณเอาพุทที่ได้จาก $a_3$ จะผ่าน $DFF_1$ ซึ่งเป็นภาคสุ่มความถี่ (Sample and Hold) ทำหน้าที่เก็บค่าจากสัญญาณคอมพาเตอร์และทำการค้างค่าสัญญาณ (hold) จนกว่าจะมีสัญญาณนาฬิกาลูกใหม่เข้ามา หลังจากนั้นสัญญาณจะผ่านวงจร Charge Control ทำหน้าที่ควบคุมค่าแรงดันเอาท์พุทซึ่งต่อกับขา HEN ของ HIP 4080 ไม่ให้เกินแรงดันอินพุท โดยถ้า COM หรือQ มีลอจิก 1 HEN จะมีลอจิก 1 แต่ถ้า COM และ Q เป็นลอจิก 1 หรือ 0 ทั้งคู่ HEN จะมีลอจิก 0 ซึ่งภาคนี้จะมี 2 ส่วนคือ XOR และ D FlipFlop เอาพุทของ XOR คือ เหมือนกันเป็น 0 ต่างกันเป็น 1 ส่วน D FlipFlop ถ้าขา RESET มีค่าเป็น 0 เอาพุทจะมีลอจิก 0 แต่ถ้าขา RESET มีค่าเป็น 1 เอาพุทจะเป็นค่าลอจิกก่อนหน้านั้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

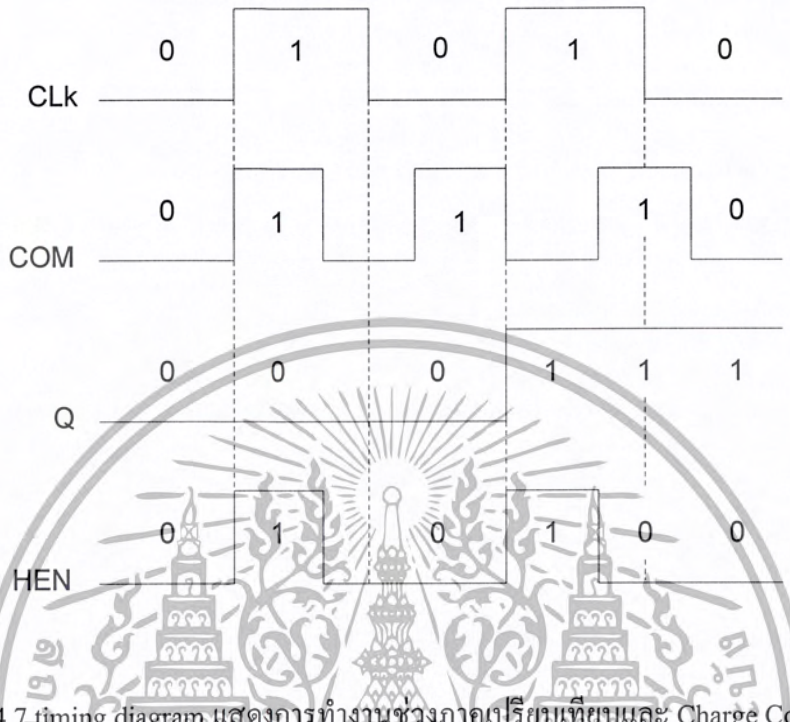
การทำงานของภาคสุ่มความถี่และภาค Charge Control อธิบายได้ดังนี้คือ ถ้าสมมติให้สัญญาณเอาพุทที่ออกมาจาก $a_3$ ที่ขา 8 มีค่าลอจิก 1 และขา 7 มีค่าลอจิก 0 ซึ่งขา 8 ของ $a_3$ จะต่อเข้ากับขา 1 ของ XOR ส่วนขา 7 จะต่อเข้ากับขา 2 ซึ่งเป็นขา D ของ $DFF_1$ ซึ่งในขณะที่สัญญาณนาฬิกาขาขึ้นป้อนเข้ามา สัญญาณ Q จากขา 5 จะมีค่าลอจิก 0 ซึ่งจะถูกต่อเข้ากับขา 2 ของ XOR ดังนั้นในจังหวะสัญญาณนาฬิกาขาขึ้น อินพุทของ XOR จะเป็นลอจิก 1 และ 0 ดังนั้นเอาท์พุทของขา 3 ของ XOR จะเป็นลอจิก 1 ซึ่งจะทำหน้าที่ควบคุมขา1 ซึ่งเป็นขา RESET ของ $DFF_2$ ดังนั้นขา 5 จะมีค่าลอจิก 1 เนื่องจากขา D ถูกป้อนลอจิก 1 ตลอด ทำให้ HEN มีค่าเป็น 1 ส่งผลให้ HIP 4080 ขับโหลดจนกระทั่งเอาพุทโวลต์เตจมีค่ามากกว่าอินพุท ทำให้เอาพุทของ $a_3$ ที่ขา 8 เปลี่ยนจากลอจิก 1 เป็น และขา 7 เปลี่ยนจากลอจิก 0 เป็น 1 แต่ เอาพุทที่ Q ยังมีค่าลอจิก 0 เหมือนเดิมเพราะว่า D FlipFlop ยังไม่ทำงาน ทั้งนี้เนื่องจาก D FlipFlop จะทำงานที่ขาขึ้นของสัญญาณนาฬิกาแต่ในขณะนี้สัญญาณนาฬิกาลูกใหม่ยังไม่มา ดังนั้นอินพุทของ XOR จะเป็นลอจิก 0 ทั้งคู่ ดังนั้นเอาท์พุทของขา 3 ของ XOR จะเป็นลอจิก 0 ขา RESET มีค่าลอกจิก 0 ทำให้ขา 5 ของ $DFF_2$ ในตอนนี้มีค่าลอจิก 0 ทำให้ HEN มีค่าเป็น 0 ส่งผลให้เอาท์พุทโวลต์เตจมีค่าลดลง ทำให้อินพุทมากกว่าเอาพุทอีกครั้ง ในจังหวะสัญญาณนาฬิกาขาลง เอาพุทที่ออกมาจาก $a_3$ ที่ขา 8 มีค่าลอจิก 0 เป็น 1 และขา 7 มีค่าลอจิก 1 เป็น 0 ซึ่งวงจรจะมีการทำงานคล้ายข้างต้นซึ่งแตกต่างกันที่อินพุทขา 7 และ ขา 8 ของ $a_3$

ส่วนภาคไดรเวอร์จะถูกควบคุมการจ่ายกระแสด้วยไอซี HIP 4080 ซึ่งควบคุมโดยขา HEN ถ้า HEN มีค่าลอจิก 1 HIP 4080 จะขับให้มอสเฟท $Q_1$ และ $Q_4$ เกิดการ ON แต่ถ้าเป็นลอกจิก 0 HIP 4080 จะขับให้มอสเฟท $Q_2$ และ $Q_3$ เกิดการ ON ซึ่งขนาดของกระแสที่ HIP 4080 ขับออกมานั้น จะเกิดจากการเปรียบเทียบค่าโวลต์เตจ ที่ขา 6 IN- และขา 7 IN+ ซึ่งค่า 6 จะต่อมาจากขา 5 ของ $DFF_2$ และขา 7 จะต่อไฟ 2.5 V ไว้ ทั้งนี้เนื่องจากขา 5 ของ $DFE_2$ ถ้ามีลอจิก 1 จะมีค่าโวลต์เตจ 3 โวลต์

จุดเด่นของ HIP 4080 อยู่ที่การกำหนด delay หรือค่า dead-time ซึ่งกำหนดได้โดยใส่ค่าความต้านทานที่ขา 8 HDEL ซึ่งควบคุม delay สัญญาณครึ่งบวก และใส่ค่าความต้านทานที่ขา 9 LDEL ซึ่งควบคุม delay สัญญาณครึ่งลบ

หลังจากนั้น ค่าความต่างศักย์ของโหลดจะถูกป้อนกลับไปเปรียบเทียบกับสัญญาณอินพุทด้วยวงจรขยายความต่างโดยมีความต้านทาน $R_{12}$, $R_{13}$, $R_{15}$ และ $R_{16}$ เป็นตัวจำกัดค่ากระแส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 4.7 timing diagram แสดงการทำงานช่วงภาคเปรียบเทียบและ Charge Control

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# บทที่ 5

# ผลการทดลอง

**เครื่องมือวัดที่ใช้ในการทดลอง**

1. Function Generator
2. Oscilloscope
3. โหลดความต้านทาน 8 Ω 30 W

**จุดประสงค์การทดลอง**

1. กำลังงานทางเอาท์พุทที่โหลดความต้านทาน 8 Ω

โดยปกติสัญญาณที่วัดด้วยออสซิลโลสโคปออกมาในรูปของแรงดัน Vpeak แต่ค่าแรงดัน Vpeak นั้นยังไม่สามารถนำมาคำนวณกำลังทางเอาท์พุทได้ต้องนำมาแปลงจากแรงดัน Vpeak ให้เป็นแรงดัน Vrms ก่อนจากสูตร

$$Vrms = \frac{Vpeak}{\sqrt{2}} \tag{5.1}$$

หลังจากที่ได้แรงดัน Vrms แล้วก็จะสามารถนำมาคำนวณกำลังทางด้านเอาท์พุทได้จากสูตร

$$Pout = \frac{(Vrms)^2}{R} \tag{5.2}$$

2. ช่วงการตอบสนองความถี่ (Frequency Response)

เป็นกราฟที่บอกช่วงของการตอบสนองความถี่ของดิจิตอลแอมปลิไฟเออร์โดยช่วงของการตอบสนองความถี่คือช่วงที่ต่ำลงมาจากจุดสูงสุดของกราฟ -3 dB และส่วนใหญ่จะมีความกว้างกว่าช่วงความถี่ที่มนุษย์ได้ยินคือ 20 – 20,000 Hz

3. ค่าประสิทธิภาพ (Efficiency)

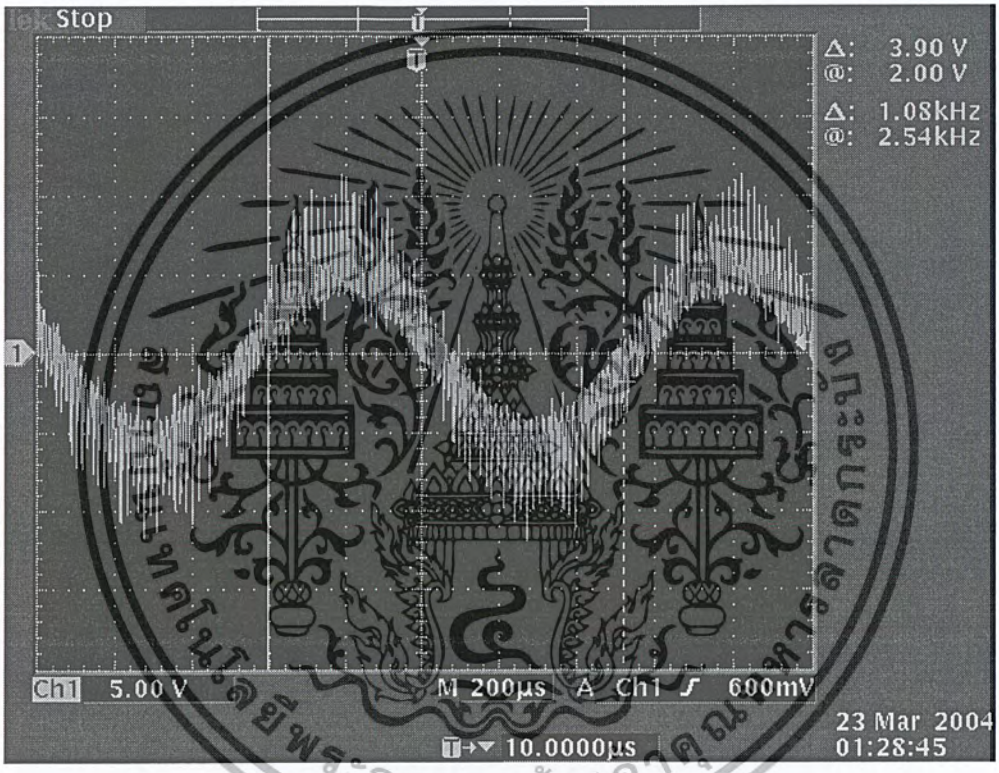
เป็นค่าที่บอกความสามารถในการจ่ายพลังงานของเอาท์พุทเมื่อเทียบกับอินพุทคือ $P_{out} / P_{in}$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**ขั้นตอนการทดลอง** วัดระดับสัญญาณเอาท์พุทที่โหลด 8 Ω

1. ต่อโหลดความต้านทาน 8 Ω ที่เอาท์พุท
2. ป้อนสัญญาณอินพุทขนาด 500 mV ความถี่ 1 KHz
3. ใช้ออสซิลโลสโคปบันทึกระดับสัญญาณเอาท์พุท

**ผลการทดลอง**




รูปที่ 5.1 แสดงระดับสัญญาณเอาท์พุท
ขณะป้อนอินพุท 500 mV ความถี่ 1 KHz

จากรูปที่ 5.1 แสดงระดับสัญญาณเอาท์พุทสามารถคำนวณกำลังงานเอาท์พุทได้คือ

$$Vrms = \frac{Vpeak}{\sqrt{2}} = \frac{7}{\sqrt{2}} = 4.95Vrms$$

$$Pout = \frac{(Vrms)^2}{R} = \frac{4.95^2}{8} = 3.06W$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

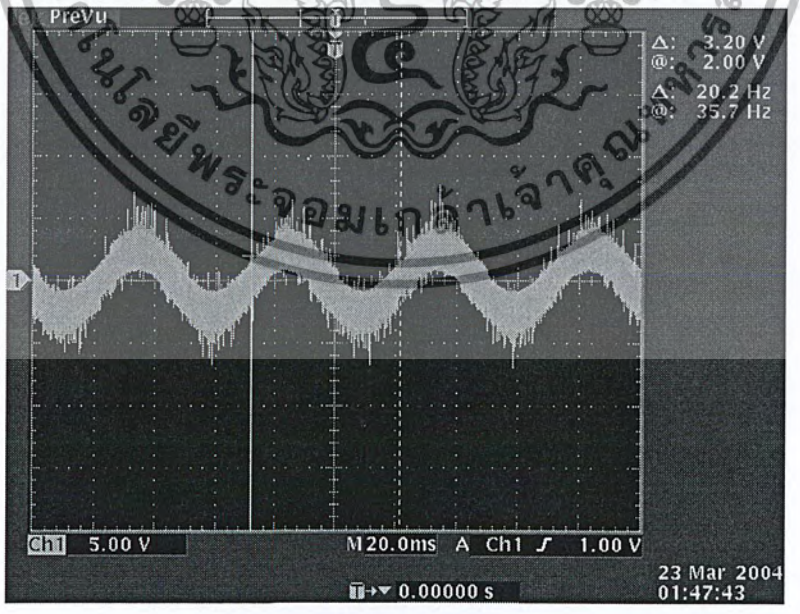
**ขั้นตอนการทดลอง** วัดช่วงการตอบสนองความถี่ขณะป้อนโหลด 8 Ω ที่สัญญาณอินพุทขนาด 200 mV

1. ต่อโหลดความต้านทาน 8 Ω ที่เอาท์พุท
2. ป้อนสัญญาณอินพุทขนาด 200 mV ที่ความถี่ 20 Hz
3. บันทึกระดับสัญญาณเอาท์พุท
4. ทำการทดลองซ้ำข้อ 3 และ ข้อ 4 แต่เปลี่ยนความถี่เป็น 50, 100, 150, 300, 500, 800, 1k, 2k, 5k, 10k, 15k และ 20 k Hz

**ผลการทดลอง**

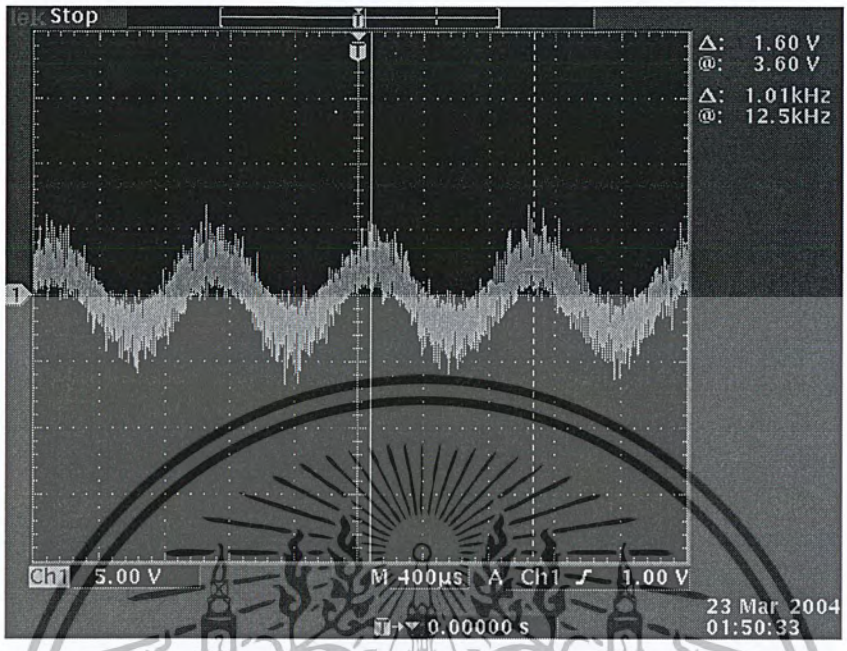
| $V_{IN}$ (mV) | $V_{OUT}$ (V) ความถี่ (Hz) | | | | | | | | | | | | | |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | 10 | 20 | 100 | 150 | 300 | 500 | 800 | 1k | 2k | 5k | 10k | 15k | 20k | 25k |
| 200 | 10 | 10 | 10 | 10 | 10 | 10 | 10 | 10 | 10 | 10 | 10 | 10 | 10 | 8 |

ตารางที่ 5.1 แสดงความถี่เอาท์พุทที่ค่าต่างๆที่อินพุท 200 mV

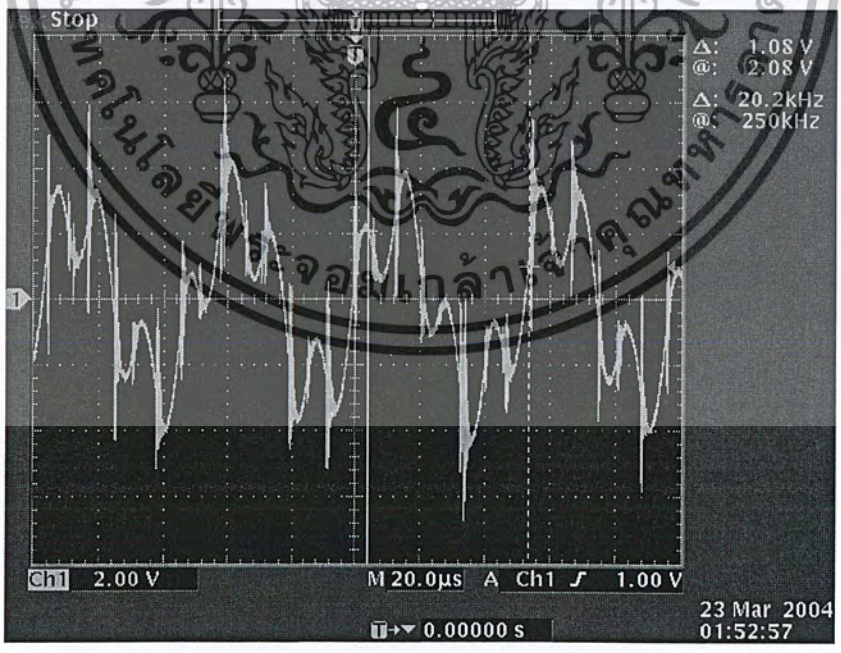



รูปที่ 5.2 แสดงระดับสัญญาณเอาท์พุท
ขณะป้อนอินพุท 200 mV ความถี่ 20 Hz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

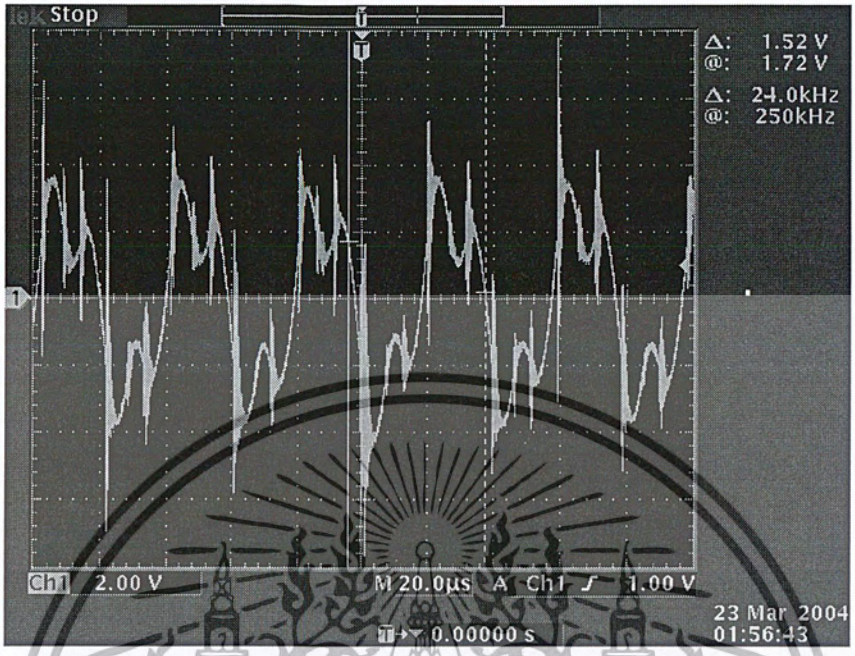



รูปที่ 5.3 แสดงระดับสัญญาณเอาท์พุท
ขณะป้อนอินพุท 200 mV ความถี่ 1 KHz




รูปที่ 5.4 แสดงระดับสัญญาณเอาท์พุท
ขณะป้อนอินพุท 200 mV ความถี่ 20 KHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 5.5 แสดงระดับสัญญาณเอาท์พุท

ขณะป้อนอินพุท 200 mV ความถี่ 25 KHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

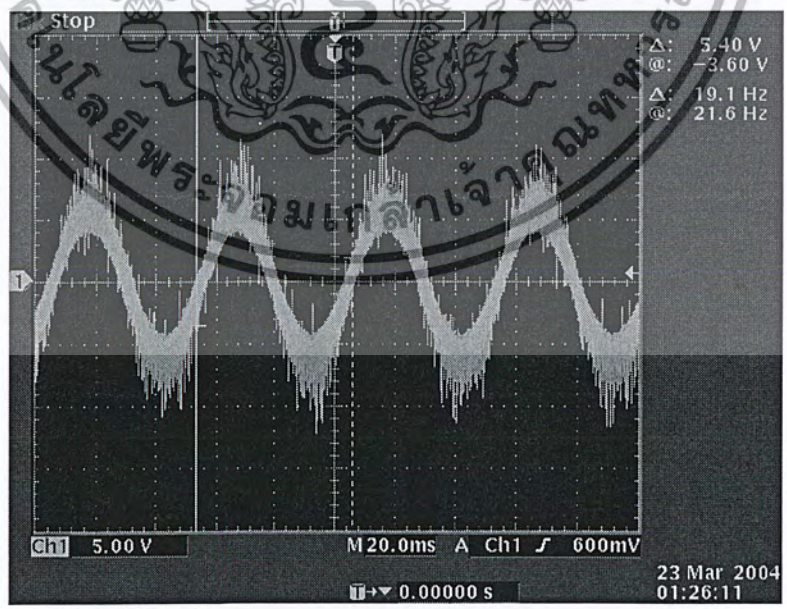
**ขั้นตอนการทดลอง** วัดช่วงการตอบสนองความถี่ขณะป้อนโหลด 8 Ω ที่สัญญาณอินพุทขนาด 500 mV

1. ต่อโหลดความต้านทาน 8 Ω ที่เอาท์พุท
2. ป้อนสัญญาณอินพุทขนาด 500 mV ที่ความถี่ 20 Hz
3. บันทึกระดับสัญญาณเอาท์พุท
4. ทำการทดลองซ้ำข้อ 3 และ ข้อ 4 แต่เปลี่ยนความถี่เป็น 50, 100, 150, 300, 500, 800, 1k, 2k, 5k, 10k, 15k และ 20 k Hz

**ผลการทดลอง**

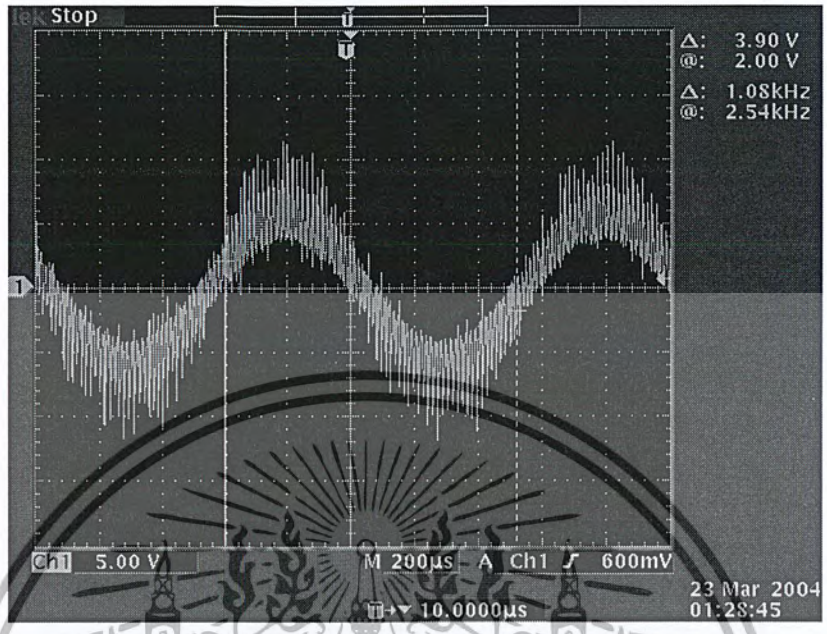
| $V_{IN}$ (mV) | $V_{OUT}$ (V) ความถี่ (Hz) | | | | | | | | | | | | | |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | 10 | 20 | 100 | 150 | 300 | 500 | 800 | 1k | 2k | 5k | 10k | 15k | 20k | 25k |
| 500 | 15 | 15 | 15 | 15 | 15 | 15 | 15 | 15 | 15 | 15 | 15 | 15 | 15 | 13 |

ตารางที่ 5.2 แสดงความถี่เอาท์พุทที่ค่าต่างๆที่อินพุท 500 mV

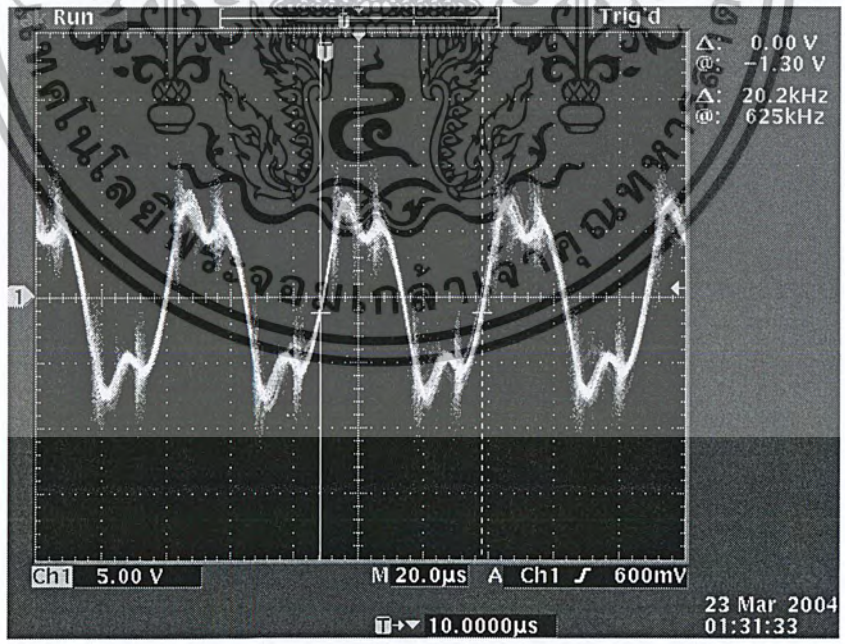



รูปที่ 5.6 แสดงระดับสัญญาณเอาท์พุท
ขณะป้อนอินพุท 500 mV ความถี่ 20 Hz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

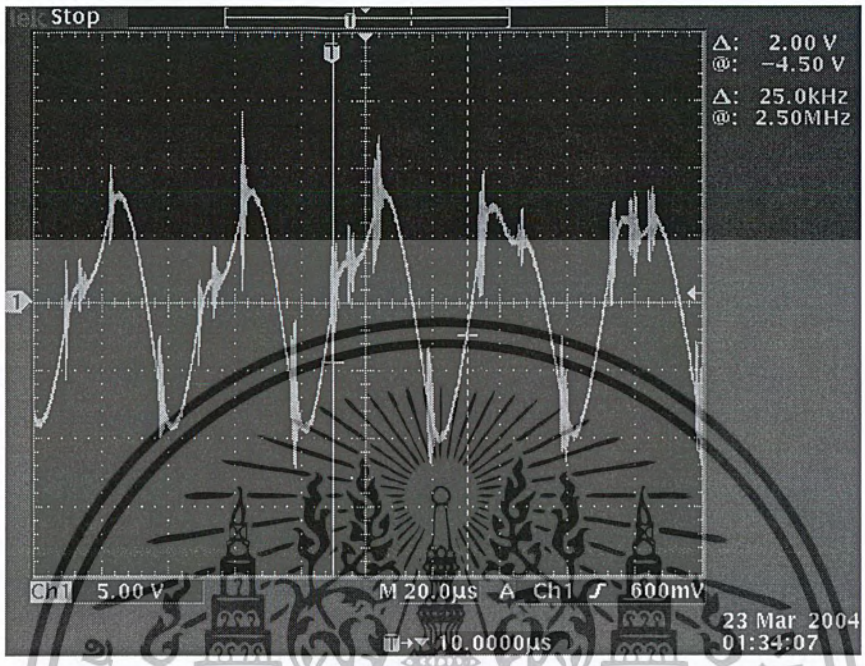



รูปที่ 5.7 แสดงระดับสัญญาณเอาท์พุท
ขณะป้อนอินพุท 500 mV ความถี่ 1 KHz



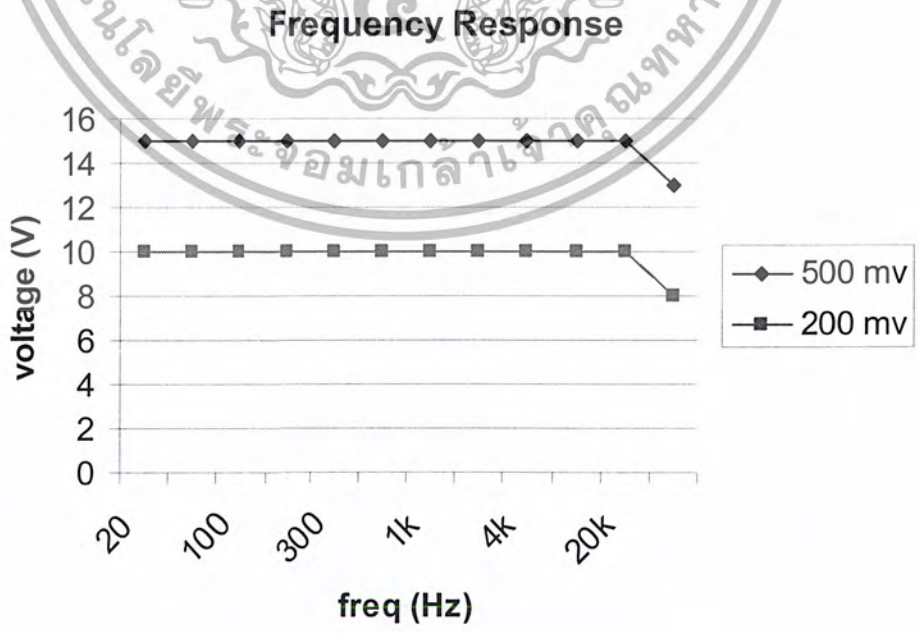

รูปที่ 5.8 แสดงระดับสัญญาณเอาท์พุท
ขณะป้อนอินพุท 500 mV ความถี่ 20 KHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 5.9 แสดงระดับสัญญาณเอาท์พุทขณะป้อนอินพุท 500 mV ความถี่ 25 KHz

จากตารางที่ 5.1 และ 5.2 สามารถเขียนกราฟการตอบสนองความถี่ได้ดังรูปที่ 5.9




รูปที่ 5.10 กราฟการตอบสนองความถี่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**ขั้นตอนการทดลอง** วัดค่าประสิทธิภาพ

1. ต่อโหลดความต้านทาน 4 Ω ที่เอาท์พุท
2. ปรับความถี่สัญญาณนาฬิกาที่ 900 KHz และป้อนไฟเลี้ยง 40 V
3. ป้อนสัญญาณอินพุทขนาด 50 mV ที่ความถี่ 1 KHz
4. บันทึกระดับสัญญาณเอาท์พุทและคำนวณหาค่า $P_{OUT}$ และ $P_{IN}$
5. ทำการทดลองซ้ำข้อ 3 และ ข้อ 4 แต่เปลี่ยนสัญญาณอินพุทเป็น 100 , 200, 400, 500 และ 600 mV ตามลำดับ

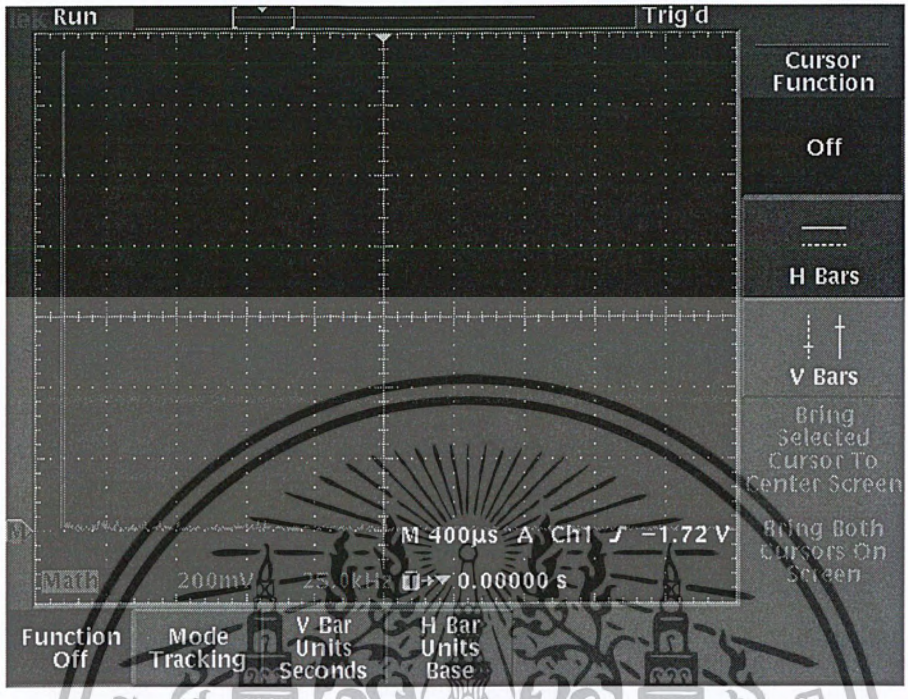
| $V_{INpp}$ (mV) | $V_{opp}$ (V) | $P_{OUT}$ (mW) | $I_{IN}$ (mA) | $P_{IN}$ (W) | Eff (%) |
|---|---|---|---|---|---|
| 50 | 1.05 | 137 | 3.84 | 153.6 | 89.20 |
| 100 | 2.1 | 550 | 15.34 | 614 | 89.57 |
| 200 | 4.3 | 2.31 | 64.65 | 2.59 | 89.32 |
| 400 | 8.28 | 8.57 | 241 | 9.64 | 88.90 |
| 500 | 11 | 15.13 | 421 | 16.84 | 89.81 |
| 600 | 16 | 32 | 897 | 35.88 | 89.18 |

ตารางที่ 5.3 แสดงค่าประสิทธิภาพ ที่ $R_L$ = 4 Ω ความถี่สุ่ม 900 MHz

**ขั้นตอนการทดลอง** วัดช่วงการตอบสนองความถี่ขณะป้อนสัญญาณอินพุทความถี่ 1 kHz

1 ต่อโหลดความต้านทาน 4 Ω ที่เอาท์พุท
2. ป้อนสัญญาณอินพุท 1 kHz
3. บันทึกระดับสัญญาณเอาท์พุทโดยเลือก FFT Mode

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 5.11 กราฟการตอบสนองความถี่ที่ 1 kHZ ใน FFT Mode

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# บทที่ 6
# สรุปผลการทดลอง

จากผลการทดลอง ได้แสดงให้เห็นว่าดิจิตอลแอมป์ปลิเออร์นั้นสามารถ

- ตอบสนองสัญญาณในช่วงความถี่เสียงได้ตั้งแต่ 20 – 20 KHz และเมื่อป้อนความถี่ 1 KHz เพื่อดูการตอบสนองความถี่ ดิจิตอลแอมป์ปลิเออร์สามารถตอบสนองความถี่ได้โดยไม่มีความถี่ค่าอื่นปน
- ลดการสูญเสียพลังงานและความร้อนที่เกิดแก่มอสเฟททั้งนี้เนื่องจากมอสเฟทจะ ON เมื่อได้รับสัญญาณเพียงชั่วระยะเวลาสั้นๆ และมอสเฟทจะ OFF ไป

**ข้อดี**

1. ข้อเสียเมื่อเปรียบเทียบกับแอมป์คลาส-ดีแบบเดิม จะมีการจ่ายกำลังที่มีประสิทธิภาพมากกว่า
2. สามารถสุ่มความถี่ด้วยค่าสูงได้

**ข้อเสีย**

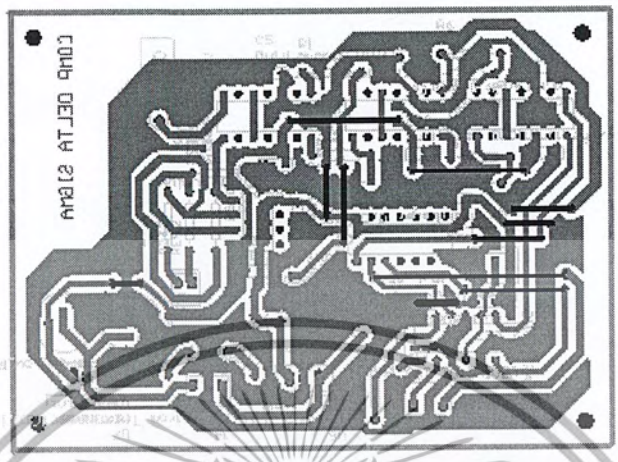
1. อินพุทมีความไวต่อสิ่งแวดล้อมสูง
2. ต้องใช้ Op amp ที่มีการตอบสนองความถี่สูงทำให้ input voltage range มีค่าน้อย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

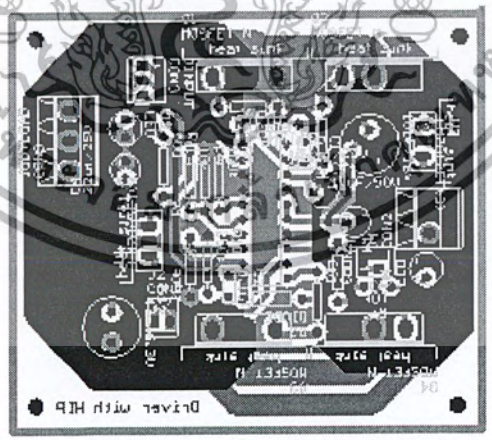
# ภาคผนวก ก.

# การวางอุปกรณ์และลายพิมพ์วงจร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

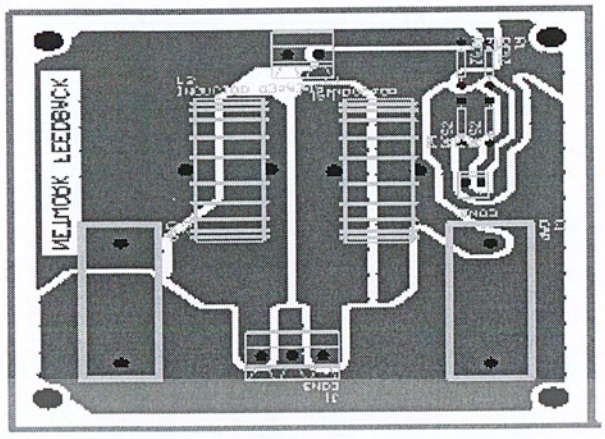


วงจร PCB ภาคเปรียบเทียบ (Comparator)



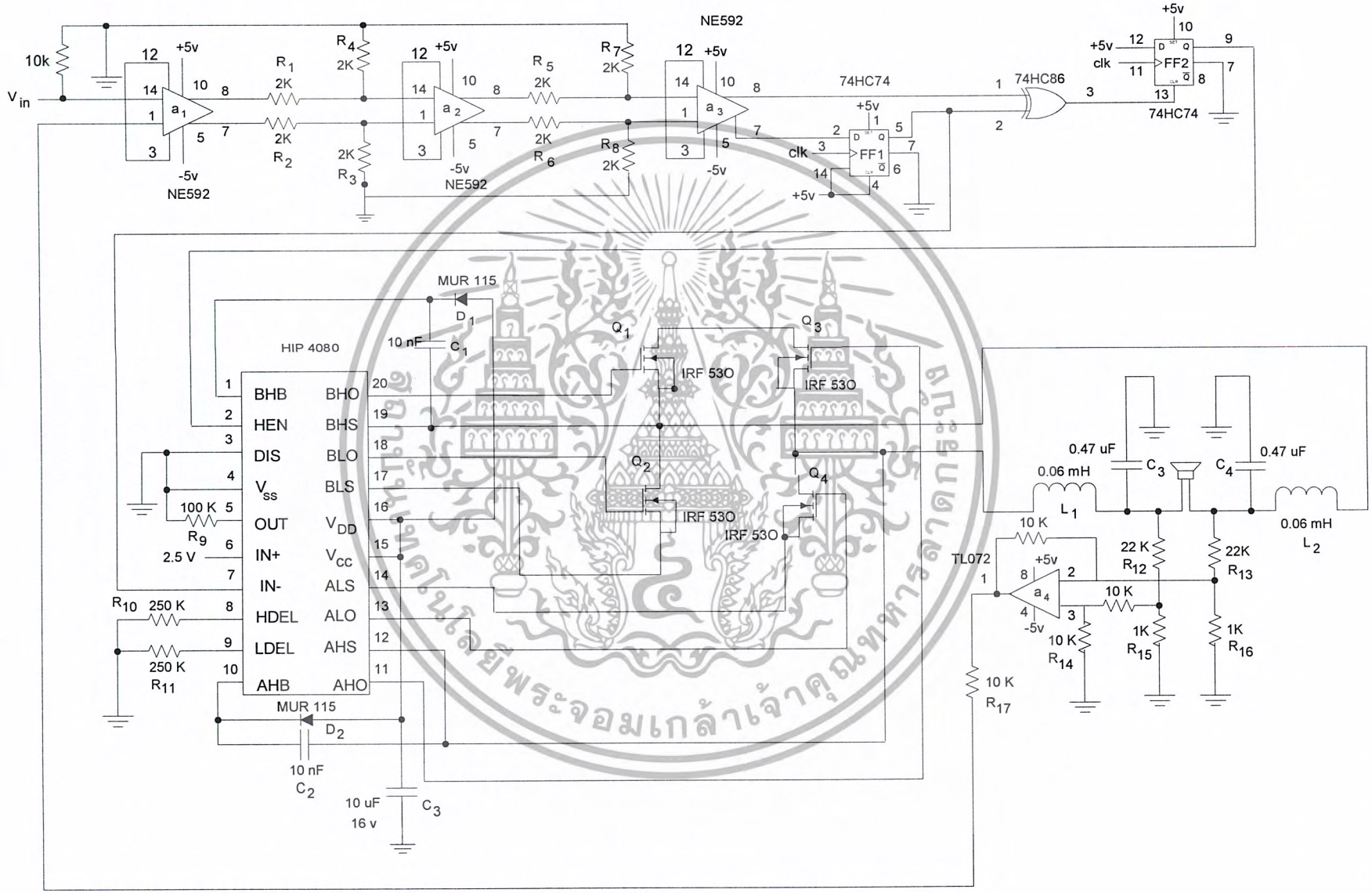
วงจรภาคตัวขับ (driver)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




วงจรภาคป้อนกลับ (Feedback)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้


10k
$V_{in}$
+5v
$R_1$ 2K
$R_2$ 2K
$R_3$ 2K
$R_4$ 2K
$R_5$ 2K
$R_6$ 2K
$R_7$ 2K
$R_8$ 2K
$a_1$
$a_2$
$a_3$
-5v
NE592
74HC74
74HC86
FF1
FF2
clk
HIP 4080
BHB
HEN
DIS
$V_{ss}$
OUT
IN+
IN-
HDEL
LDEL
AHB
BHO
BHS
BLO
BLS
$V_{DD}$
$V_{cc}$
ALS
ALO
AHS
AHO
MUR 115
$D_1$
$D_2$
10 nF
$C_1$
$C_2$
10 uF
16 v
$C_3$
100 K
$R_9$
2.5 V
$R_{10}$ 250 K
250 K
$R_{11}$
$Q_1$
$Q_2$
$Q_3$
$Q_4$
IRF 530
0.47 uF
$C_3$
$C_4$
0.06 mH
$L_1$
$L_2$
TL072
$a_4$
10 K
$R_{12}$ 22 K
$R_{13}$ 22K
$R_{14}$ 10 K
$R_{15}$ 1K
$R_{16}$ 1K
$R_{17}$ 10 K

# หนังสืออ้างอิง


1. กฤษดา วิศวธีรานนท์ หลักการต่อวงจรเครื่องขยายเสียง บริษัทซีเอ็ดยูเคชั่นจำกัด, กทม.
2. สร้างและออกแบบแอมป์ไฮ-ไฟ บริษัทซีเอ็ดยูเคชั่นจำกัด, กทม.
3. เอกสารประกอบการทดลอง 3 ภาควิชาอิเล็กทรอนิกส์
4. เอกสารประกอบการทดลอง 2 ภาควิชาโทรคมนาคม
5. อ.ประภากร สุวรรณะ เอกสารประกอบการเรียนการสอนเรื่อง Oscillator และ Power Amplifier
6. High Performance Audio Power Amplifier



สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## 80V/2.5A Peak, High Frequency Full Bridge FET Driver

The HIP4080A is a high frequency, medium voltage Full Bridge N-Channel FET driver IC, available in 20 lead plastic SOIC and DIP packages. The HIP4080A includes an input comparator, used to facilitate the "hysteresis" and PWM modes of operation. Its HEN (high enable) lead can force current to freewheel in the bottom two external power MOSFETs, maintaining the upper power MOSFETs off. Since it can switch at frequencies up to 1MHz, the HIP4080A is well suited for driving Voice Coil Motors, switching power amplifiers and power supplies.

HIP4080A can also drive medium voltage brush motors, and two HIP4080As can be used to drive high performance stepper motors. since the short minimum "on-time" can provide fine micro-stepping capability.

Short propagation delays of approximately 55ns maximizes control loop crossover frequencies and dead-times which can be adjusted to near zero to minimize distortion, resulting in precise control of the driven load.

The similar HIP4081A IC allows independent control of all 4 FETs in an Full Bridge configuration.

The Application Note for the HIP4080A is AN9404.

## Ordering Information

| PART NUMBER | TEMPERATURE RANGE | PACKAGE |
|---|---|---|
| HIP4080AIP | -40°C to +85°C | 20 Lead Plastic DIP |
| HIP4080AIB | -40°C to +85°C | 20 Lead Plastic SOIC (W) |

## Features

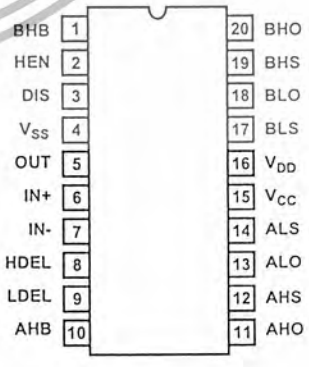
- Drives N-Channel FET Full Bridge Including High Side Chop Capability
- Bootstrap Supply Max Voltage to 95VDC
- Drives 1000pF Load at 1MHz in Free Air at +50°C with Rise and Fall Times of Typically 10ns
- User-Programmable Dead Time
- Charge-Pump and Bootstrap Maintain Upper Bias Supplies
- DIS (Disable) Pin Pulls Gates Low
- Input Logic Thresholds Compatible with 5V to 15V Logic Levels
- Very Low Power Consumption
- Undervoltage Protection

## Applications

- Medium/Large Voice Coil Motors
- Full Bridge Power Supplies
- Switching Power Amplifiers
- High Performance Motor Controls
- Noise Cancellation Systems
- Battery Powered Vehicles
- Peripherals
- U.P.S.

## Pinout

HIP4080A
(PDIP, SOIC)
TOP VIEW

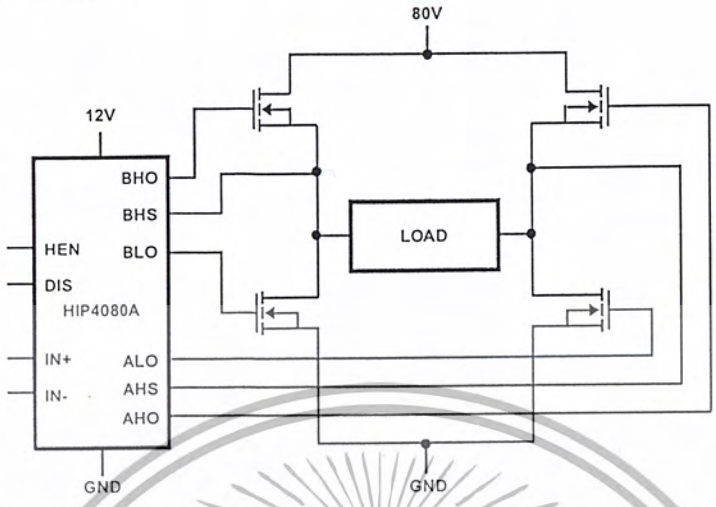




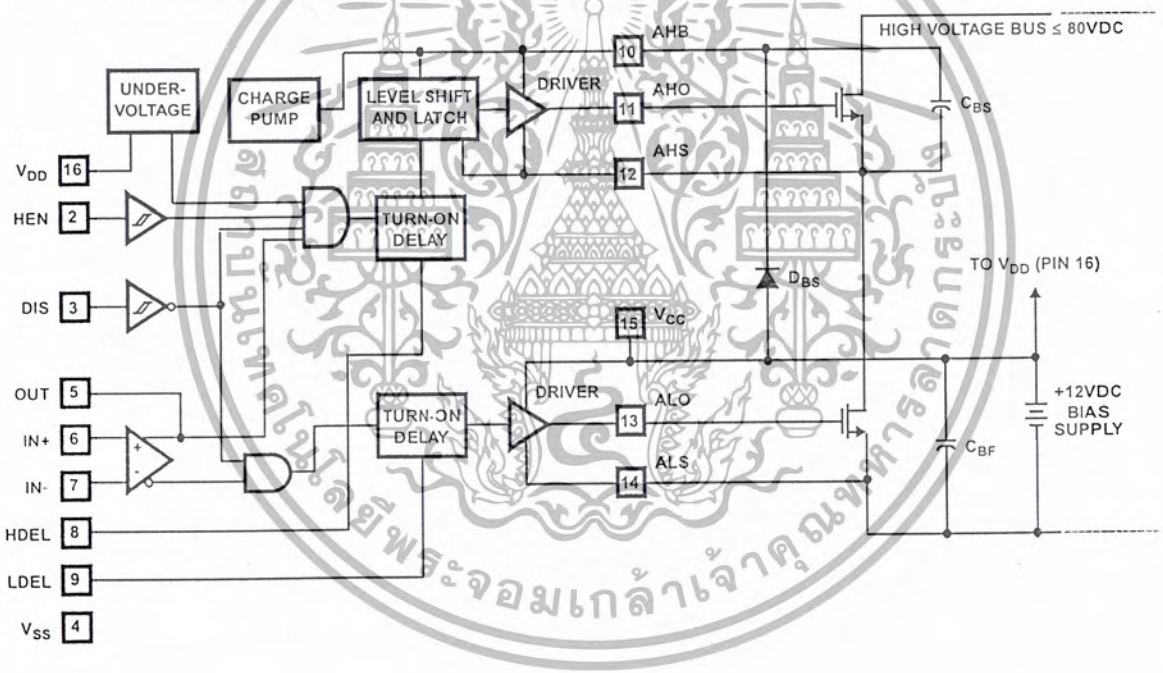

CAUTION: These devices are sensitive to electrostatic discharge; follow proper IC Handling Procedures.
1-888-INTERSIL or 321-724-7143 | Intersil (and design) is a registered trademark of Intersil Americas Inc.
Copyright © Intersil Americas Inc. 2003. All Rights Reserved
All other trademarks mentioned are the property of their respective owners.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## Application Block Diagram



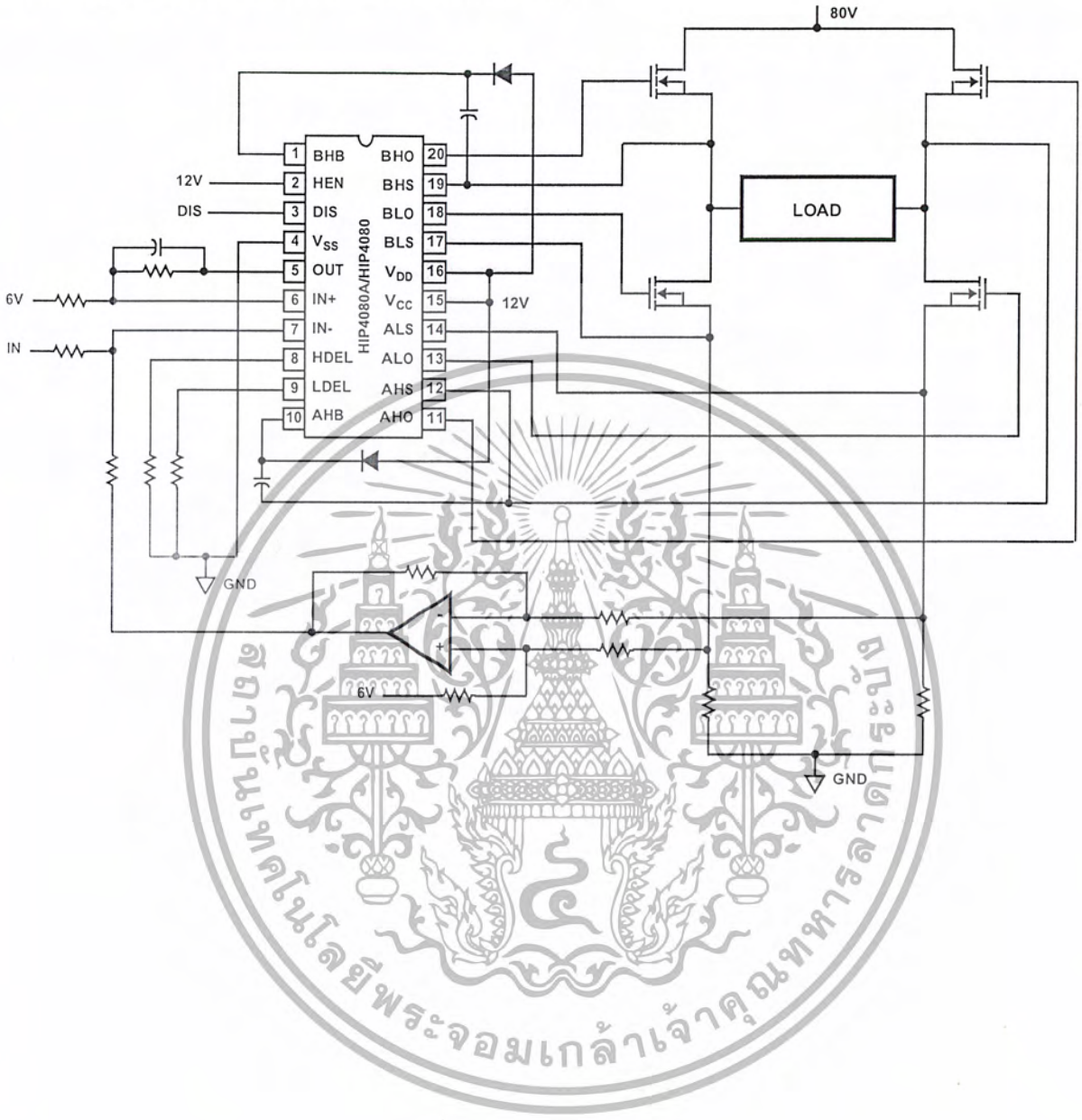

## Functional Block Diagram (1/2 HIP4080A)






เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## Typical Application (Hysteresis Mode Switching)






เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## Absolute Maximum Ratings

Supply Voltage, $V_{DD}$ and $V_{CC}$ . . . . . -0.3V to 16V
Logic I/O Voltages . . . . . -0.3V to $V_{DD}$ +0.3V
Voltage on AHS, BHS. . . . -6.0V (Transient) to 80V (25°C to 125°C)
Voltage on AHS, BHS. . . . -6.0V (Transient) to 70V (-55°C to 125°C)
Voltage on ALS, BLS . . . . . -2.0V (Transient) to +2.0V (Transient)
Voltage on AHB, BHB. . . . . $V_{AHS, BHS}$ -0.3V to $V_{AHS, BHS}$ +$V_{DD}$
Voltage on ALO, BLO. . . . . $V_{ALS, BLS}$ -0.3V to $V_{CC}$ +0.3V
Voltage on AHO, BHO . . . . . $V_{AHS, BHS}$ -0.3V to $V_{AHB, BHB}$ +0.3V
Input Current, HDEL and LDEL . . . . . -5mA to 0mA
Phase Slew Rate . . . . . 20V/ns
NOTE: All Voltages relative to $V_{SS}$, unless otherwise specified.

## Thermal Information

Thermal Resistance. . . . . $\theta_{JA}$
SOIC Package. . . . . +85°C/W
DIP Package . . . . . +75°C/W
Maximum Power Dissipation at +85°C
SOIC Package. . . . . 470mW
DIP Package . . . . . 530mW
Storage Temperature Range. . . . . -65°C to +150°C
Operating Max. Junction Temperature . . . . . +125°C
Lead Temperature (Soldering 10s) . . . . . +300°C
(For SOIC - Lead Tips Only)

## Operating Conditions

Supply Voltage, $V_{DD}$ and $V_{CC}$ . . . . . +9.5V to +15V
Voltage on ALS, BLS . . . . . -1.0V to +1.0V
Voltage on AHB, BHB. . . . . $V_{AHS, BHS}$ +5V to $V_{AHS, BHS}$ +15V
Input Current, HDEL and LDEL . . . . . -500µA to -50µA
Operating Ambient Temperature Range . . . . . -40°C to +85°C

*CAUTION: Stresses above those listed in "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress only rating and operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied.*

## Electrical Specifications

$V_{DD} = V_{CC} = V_{AHB} = V_{BHB} = 12V$, $V_{SS} = V_{ALS} = V_{BLS} = V_{AHS} = V_{BHS} = 0V$, $R_{HDEL} = R_{LDEL} = 100K$, and $T_A = +25°C$, Unless Otherwise Specified

| PARAMETERS | SYMBOL | TEST CONDITIONS | $T_J = +25°C$ | | | $T_J = -40°C$ TO $+125°C$ | | UNITS |
|---|---|---|---|---|---|---|---|---|
| | | | MIN | TYP | MAX | MIN | MAX | |
| **SUPPLY CURRENTS AND CHARGE PUMPS** | | | | | | | | |
| $V_{DD}$ Quiescent Current | $I_{DD}$ | IN- = 2.5V, Other Inputs = 0V | 8 | 11 | 14 | 7 | 14 | mA |
| $V_{DD}$ Operating Current | $I_{DDO}$ | Outputs switching f = 500kHz, No Load | 9 | 12 | 15 | 8 | 15 | mA |
| $V_{CC}$ Quiescent Current | $I_{CC}$ | IN- = 2.5V, Other Inputs = 0V, $I_{ALO} = I_{BLO} = 0$ | - | 25 | 80 | - | 100 | µA |
| $V_{CC}$ Operating Current | $I_{CCO}$ | f = 500kHz, No Load | 1 | 1.25 | 2.0 | 0.8 | 3 | mA |
| AHB, BHB Quiescent Current - Qpump Output Current | $I_{AHB}$, $I_{BHB}$ | IN- = 2.5V, Other Inputs = 0V, $I_{AHO} = I_{BHO} = 0$, $V_{DD} = V_{CC} = V_{AHB} = V_{BHB} = 10V$ | -50 | -25 | -11 | -60 | -10 | µA |
| AHB, BHB Operating Current | $I_{AHBO}$, $I_{BHBO}$ | f = 500kHz, No Load | 0.62 | 1.2 | 1.5 | 0.5 | 1.9 | mA |
| AHS, BHS, AHB, BHB Leakage Current | $I_{HLK}$ | $V_{BHS} = V_{AHS} = 80V$, $V_{AHB} = V_{BHB} = 93V$ | - | 0.02 | 1.0 | - | 10 | µA |
| AHB-AHS, BHB-BHS Qpump Output Voltage | $V_{AHB} - V_{AHS}$ $V_{BHB} - V_{BHS}$ | $I_{AHB} = I_{AHB} = 0$, No Load | 11.5 | 12.6 | 14.0 | 10.5 | 14.5 | V |
| **INPUT COMPARATOR PINS: IN+, IN-, OUT** | | | | | | | | |
| Offset Voltage | $V_{OS}$ | Over Common Mode Voltage Range | -10 | 0 | +10 | -15 | +15 | mV |
| Input Bias Current | $I_{IB}$ | | 0 | 0.5 | 2 | 0 | 4 | µA |
| Input Offset Current | $I_{OS}$ | | -1 | 0 | +1 | -2 | +2 | µA |
| Input Common Mode Voltage Range | CMVR | | 1 | - | $V_{DD}$ -1.5 | 1 | $V_{DD}$ -1.5 | V |
| Voltage Gain | AVOL | | 10 | 25 | - | 10 | - | V/mV |
| OUT High Level Output Voltage | $V_{OH}$ | IN+ > IN-, $I_{OH}$ = -250µA | $V_{DD}$ -0.4 | - | - | $V_{DD}$ - 0.5 | - | V |
| OUT Low Level Output Voltage | $V_{OL}$ | IN+ < IN-, $I_{OL}$ = +250µA | - | - | 0.4 | - | 0.5 | V |
| Low Level Output Current | $I_{OL}$ | $V_{OUT}$ = 6V | 6.5 | 14 | 19 | 6 | 20 | mA |
| High Level Output Current | $I_{OH}$ | $V_{OUT}$ = 6V | -17 | -10 | -3 | -20 | -2.5 | mA |



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**Electrical Specifications** $V_{DD} = V_{CC} = V_{AHB} = V_{BHB} = 12V$, $V_{SS} = V_{ALS} = V_{BLS} = V_{AHS} = V_{BHS} = 0V$, $R_{HDEL} = R_{LDEL} = 100K$, and $T_A = +25^oC$, Unless Otherwise Specified **(Continued)**

| PARAMETERS | SYMBOL | TEST CONDITIONS | $T_J = +25^oC$ | | | $T_J = -40^oC$ TO $+125^oC$ | | UNITS |
|---|---|---|---|---|---|---|---|---|
| | | | MIN | TYP | MAX | MIN | MAX | |
| **INPUT PINS: DIS** | | | | | | | | |
| Low Level Input Voltage | $V_{IL}$ | Full Operating Conditions | - | - | 1.0 | - | 0.8 | V |
| High Level Input Voltage | $V_{IH}$ | Full Operating Conditions | 2.5 | - | - | 2.7 | - | V |
| Input Voltage Hysteresis | | | - | 35 | - | - | - | mV |
| Low Level Input Current | $I_{IL}$ | $V_{IN} = 0V$, Full Operating Conditions | -130 | -100 | -75 | -135 | -65 | µA |
| High Level Input Current | $I_{IH}$ | $V_{IN} = 5V$, Full Operating Conditions | -1 | - | +1 | -10 | +10 | µA |
| **INPUT PINS: HEN** | | | | | | | | |
| Low Level Input Voltage | $V_{IL}$ | Full Operating Conditions | - | - | 1.0 | - | 0.8 | V |
| High Level Input Voltage | $V_{IH}$ | Full Operating Conditions | 2.5 | - | - | 2.7 | - | V |
| Input Voltage Hysteresis | | | - | 35 | - | - | - | mV |
| Low Level Input Current | $I_{IL}$ | $V_{IN} = 0V$, Full Operating Conditions | -260 | -200 | -150 | -270 | -130 | µA |
| High Level Input Current | $I_{IH}$ | $V_{IN} = 5V$, Full Operating Conditions | -1 | - | +1 | -10 | +10 | µA |
| **TURN-ON DELAY PINS: LDEL AND HDEL** | | | | | | | | |
| LDEL, HDEL Voltage | $V_{HDEL}, V_{LDEL}$ | $I_{HDEL} = I_{LDEL} = -100µA$ | 4.9 | 5.1 | 5.3 | 4.8 | 5.4 | V |
| **GATE DRIVER OUTPUT PINS: ALO, BLO, AHO, AND BHO** | | | | | | | | |
| Low Level Output Voltage | $V_{OL}$ | $I_{OUT} = 100mA$ | 0.7 | 0.85 | 1.0 | 0.5 | 1.1 | V |
| High Level Output Voltage | $V_{CC} - V_{OH}$ | $I_{OUT} = -100mA$ | 0.8 | 0.95 | 1.1 | 0.5 | 1.2 | V |
| Peak Pullup Current | $I_O+$ | $V_{OUT} = 0V$ | 1.7 | 2.6 | 3.8 | 1.4 | 4.1 | A |
| Peak Pulldown Current | $I_O-$ | $V_{OUT} = 12V$ | 1.7 | 2.4 | 3.3 | 1.3 | 3.6 | A |
| Under Voltage, Rising Threshold | UV+ | | 8.1 | 8.8 | 9.4 | 8.0 | 9.5 | V |
| Under Voltage, Falling Threshold | UV- | | 7.6 | 8.3 | 8.9 | 7.5 | 9.0 | V |
| Under Voltage, Hysteresis | HYS | | 0.25 | 0.4 | 0.65 | 0.2 | 0.7 | V |

**Switching Specifications** $V_{DD} = V_{CC} = V_{AHB} = V_{BHB} = 12V$, $V_{SS} = V_{ALS} = V_{BLS} = V_{AHS} = V_{BHS} = 0V$, $R_{HDEL} = R_{LDEL} = 10K$, $C_L = 1000pF$, and $T_A = +25^oC$, Unless Otherwise Specified

| PARAMETERS | SYMBOL | TEST CONDITIONS | $T_J = +25^oC$ | | | $T_J = -40^oC$ TO $+125^oC$ | | UNITS |
|---|---|---|---|---|---|---|---|---|
| | | | MIN | TYP | MAX | MIN | MAX | |
| Lower Turn-off Propagation Delay (IN+/IN- to ALO/BLO) | $T_{LPHL}$ | | - | 40 | 70 | - | 90 | ns |
| Upper Turn-off Propagation Delay (IN+/IN- to AHO/BHO) | $T_{HPHL}$ | | - | 50 | 80 | - | 110 | ns |
| Lower Turn-on Propagation Delay (IN+/IN- to ALO/BLO) | $T_{LPLH}$ | | - | 40 | 70 | - | 90 | ns |
| Upper Turn-on Propagation Delay (IN+/IN- to AHO/BHO) | $T_{HPLH}$ | | - | 70 | 110 | - | 140 | ns |
| Rise Time | $T_R$ | | - | 10 | 25 | - | 35 | ns |
| Fall Time | $T_F$ | | - | 10 | 25 | - | 35 | ns |
| Turn-on Input Pulse Width | $T_{PWIN-ON}$ | | 50 | - | - | 50 | - | ns |
| Turn-off Input Pulse Width | $T_{PWIN-OFF}$ | | 40 | - | - | 40 | - | ns |
| Disable Turn-off Propagation Delay (DIS - Lower Outputs) | $T_{DISLOW}$ | | - | 45 | 75 | - | 95 | ns |



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**Switching Specifications** $V_{DD} = V_{CC} = V_{AHB} = V_{BHB} = 12V$, $V_{SS} = V_{ALS} = V_{BLS} = V_{AHS} = V_{BHS} = 0V$, $R_{HDEL} = R_{LDEL} = 10K$, $C_L = 1000pF$, and $T_A = +25^oC$, Unless Otherwise Specified **(Continued)**

| PARAMETERS | SYMBOL | TEST CONDITIONS | $T_J = +25^oC$ | | | $T_J = -40^oC$ TO $+125^oC$ | | UNITS |
|---|---|---|---|---|---|---|---|---|
| | | | MIN | TYP | MAX | MIN | MAX | |
| Disable Turn-off Propagation Delay (DIS - Upper Outputs) | $T_{DISHIGH}$ | | - | 55 | 85 | - | 105 | ns |
| Disable to Lower Turn-on Propagation Delay (DIS - ALO and BLO) | $T_{DLPLH}$ | | - | 45 | 70 | - | 90 | ns |
| Refresh Pulse Width (ALO and BLO) | $T_{REF-PW}$ | | 240 | 380 | 500 | 200 | 600 | ns |
| Disable to Upper Enable (DIS - AHO and BHO) | $T_{UEN}$ | | - | 480 | 630 | - | 750 | ns |
| HEN-AHO, BHO Turn-off, Propagation Delay | $T_{HEN-PHL}$ | $R_{HDEL} = R_{LDEL} = 10K$ | - | 40 | 70 | - | 90 | ns |
| HEN-AHO, BHO Turn-on, Propagation Delay | $T_{HEN-PLH}$ | $R_{HDEL} = R_{LDEL} = 10K$ | - | 60 | 90 | - | 110 | ns |

TRUTH TABLE

| INPUT | | | | OUTPUT | | | |
|---|---|---|---|---|---|---|---|
| IN+ > IN- | HEN | U/V | DIS | ALO | AHO | BLO | BHO |
| X | X | X | 1 | 0 | 0 | 0 | 0 |
| 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 |
| 1 | 1 | 0 | 0 | 0 | 1 | 1 | 0 |
| 0 | 1 | 0 | 0 | 1 | 0 | 0 | 1 |
| 1 | 0 | 0 | 0 | 0 | 0 | 1 | 0 |
| X | X | 1 | X | 0 | 0 | 0 | 0 |



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## Pin Descriptions

| PIN NUMBER | SYMBOL | DESCRIPTION |
|---|---|---|
| 1 | BHB | B High-side Bootstrap supply. External bootstrap diode and capacitor are required. Connect cathode of bootstrap diode and positive side of bootstrap capacitor to this pin. Internal charge pump supplies 30µA out of this pin to maintain bootstrap supply. Internal circuitry clamps the bootstrap supply to approximately 12.8V. |
| 2 | HEN | High-side Enable input. Logic level input that when low overrides IN+/IN- (Pins 6 and 7) to put AHO and BHO drivers (Pins 11 and 20) in low output state. When HEN is high AHO and BHO are controlled by IN+/IN- inputs. The pin can be driven by signal levels of 0V to 15V (no greater than $V_{DD}$). |
| 3 | DIS | DISable input. Logic level input that when taken high sets all four outputs low. DIS high overrides all other inputs. When DIS is taken low the outputs are controlled by the other inputs. The pin can be driven by signal levels of 0V to 15V (no greater than $V_{DD}$). |
| 4 | $V_{SS}$ | Chip negative supply, generally will be ground. |
| 5 | OUT | OUTput of the input control comparator. This output can be used for feedback and hysteresis. |
| 6 | IN+ | Noninverting input of control comparator. If IN+ is greater than IN- (Pin 7) then ALO and BHO are low level outputs and BLO and AHO are high level outputs. If IN+ is less than IN- then ALO and BHO are high level outputs and BLO and AHO are low level outputs. DIS (Pin 3) high level will override IN+/IN- control for all outputs. HEN (Pin 2) low level will override IN+/IN- control of AHO and BHO. When switching in four quadrant mode, dead time in a half bridge leg is controlled by HDEL and LDEL (Pins 8 and 9). |
| 7 | IN- | Inverting input of control comparator. See IN+ (Pin 6) description. |
| 8 | HDEL | High-side turn-on DELay. Connect resistor from this pin to $V_{SS}$ to set timing current that defines the turn-on delay of both high-side drivers. The low-side drivers turn-off with no adjustable delay, so the HDEL resistor guarantees no shoot-through by delaying the turn-on of the high-side drivers. HDEL reference voltage is approximately 5.1V. |
| 9 | LDEL | Low-side turn-on DELay. Connect resistor from this pin to $V_{SS}$ to set timing current that defines the turn-on delay of both low-side drivers. The high-side drivers turn-off with no adjustable delay, so the LDEL resistor guarantees no shoot-through by delaying the turn-on of the low-side drivers. LDEL reference voltage is approximately 5.1V. |
| 10 | AHB | A High-side Bootstrap supply. External bootstrap diode and capacitor are required. Connect cathode of bootstrap diode and positive side of bootstrap capacitor to this pin. Internal charge pump supplies 30µA out of this pin to maintain bootstrap supply. Internal circuitry clamps the bootstrap supply to approximately 12.8V. |
| 11 | AHO | A High-side Output. Connect to gate of A High-side power MOSFET. |
| 12 | AHS | A High-side Source connection. Connect to source of A High-side power MOSFET. Connect negative side of bootstrap capacitor to this pin. |
| 13 | ALO | A Low-side Output. Connect to gate of A Low-side power MOSFET. |
| 14 | ALS | A Low-side Source connection. Connect to source of A Low-side power MOSFET. |
| 15 | $V_{CC}$ | Positive supply to gate drivers. Must be same potential as $V_{DD}$ (Pin 16). Connect to anodes of two bootstrap diodes. |
| 16 | $V_{DD}$ | Positive supply to lower gate drivers. Must be same potential as $V_{CC}$ (Pin 15). De-couple this pin to $V_{SS}$ (Pin 4). |
| 17 | BLS | B Low-side Source connection. Connect to source of B Low-side power MOSFET. |
| 18 | BLO | B Low-side Output. Connect to gate of B Low-side power MOSFET. |
| 19 | BHS | B High-side Source connection. Connect to source of B High-side power MOSFET. Connect negative side of bootstrap capacitor to this pin. |
| 20 | BHO | B High-side Output. Connect to gate of B High-side power MOSFET. |



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## Timing Diagrams

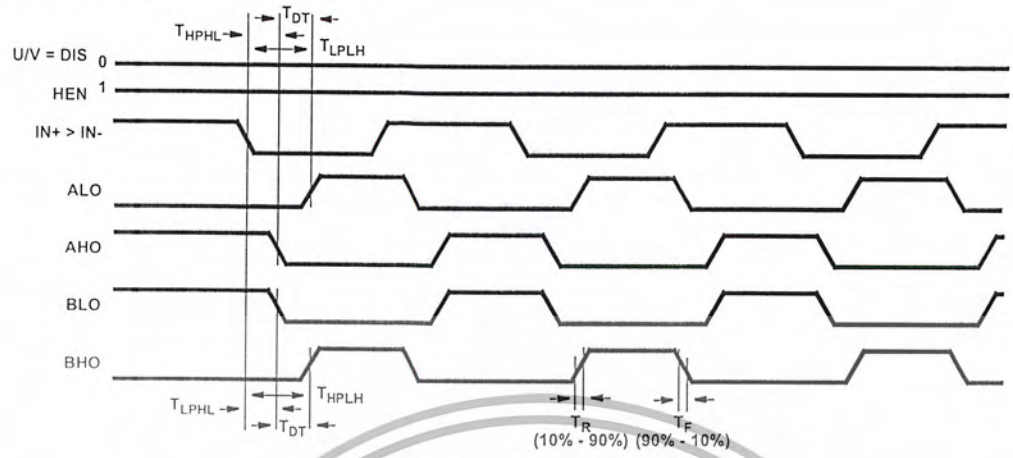



FIGURE 1. BISTATE MODE

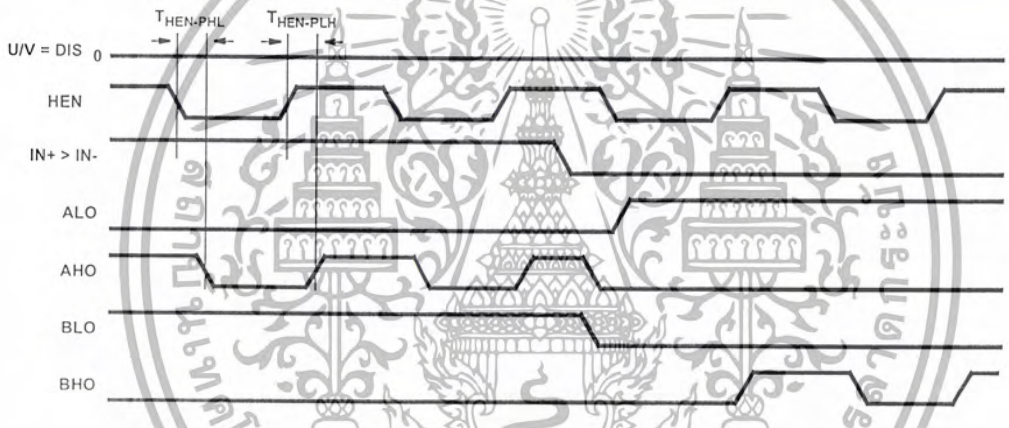



FIGURE 2. HIGH SIDE CHOP MODE

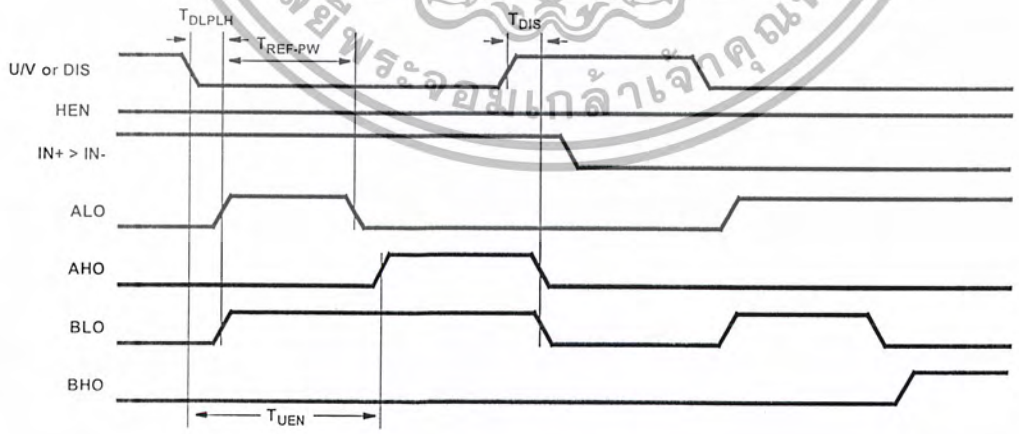



FIGURE 3. DISABLE FUNCTION



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## Typical Performance Curves

$V_{DD} = V_{CC} = V_{AHB} = V_{BHB} = 12V$, $V_{SS} = V_{ALS} = V_{BLS} = V_{AHS} = V_{BHS} = 0V$, $R_{HDEL} = R_{LDEL} =$ 100K, and $T_A = +25^oC$, Unless Otherwise Specified

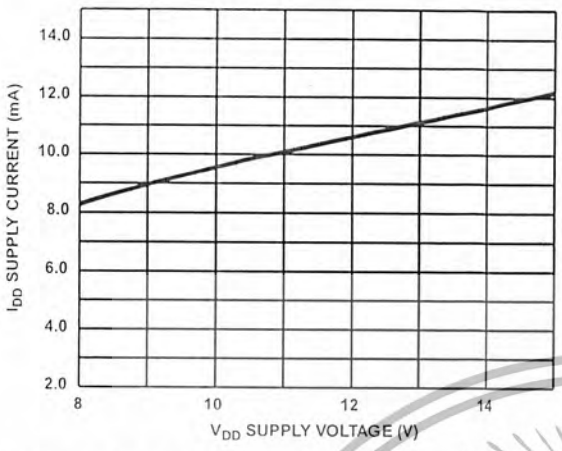



FIGURE 4. QUIESCENT $I_{DD}$ SUPPLY CURRENT vs $V_{DD}$ SUPPLY VOLTAGE

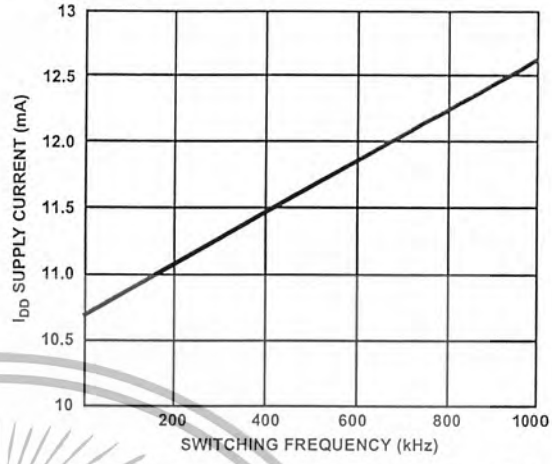



FIGURE 5. $I_{DDO}$ NO-LOAD $I_{DD}$ SUPPLY CURRENT vs FREQUENCY (kHz)

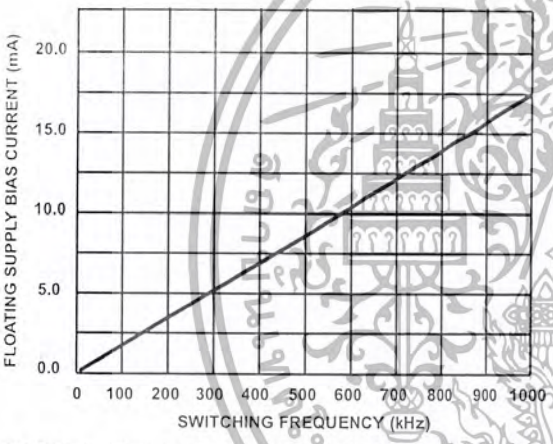



FIGURE 6. SIDE A, B FLOATING SUPPLY BIAS CURRENT vs FREQUENCY (LOAD = 1000pF)

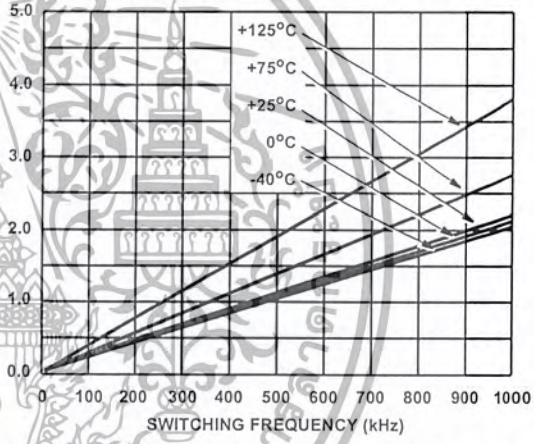



FIGURE 7. $I_{CCO}$, NO-LOAD $I_{CC}$ SUPPLY CURRENT vs FREQUENCY (kHz) TEMPERATURE

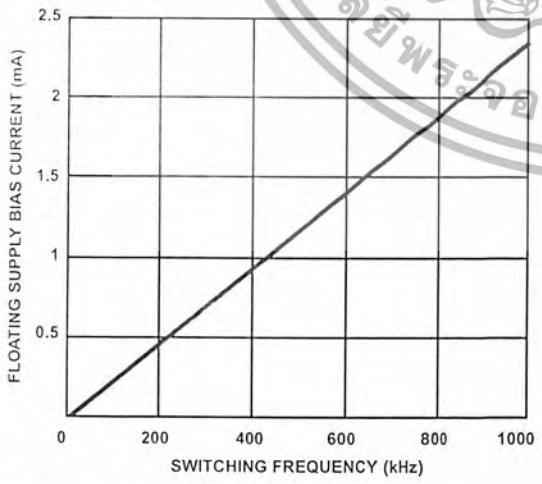



FIGURE 8. $I_{AHB}$, $I_{BHB}$ NO-LOAD FLOATING SUPPLY BIAS CURRENT vs FREQUENCY

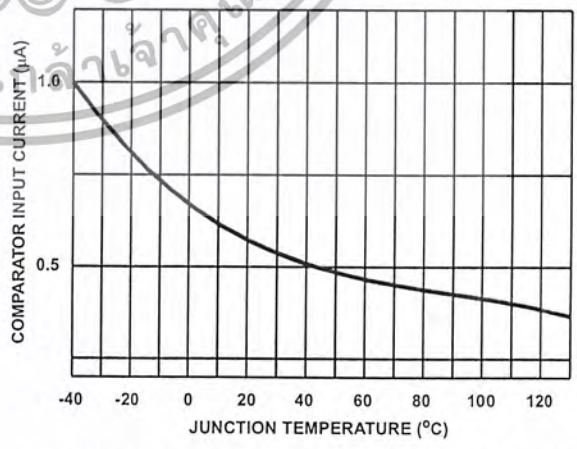



FIGURE 9. COMPARATOR INPUT CURRENT $I_L$ vs TEMPERATURE AT $V_{CM} = 5$ V



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## Typical Performance Curves

$V_{DD} = V_{CC} = V_{AHB} = V_{BHB} = 12V$, $V_{SS} = V_{ALS} = V_{BLS} = V_{AHS} = V_{BHS} = 0V$, $R_{HDEL} = R_{LDEL} = 100K$, and $T_A = +25^oC$, Unless Otherwise Specified **(Continued)**

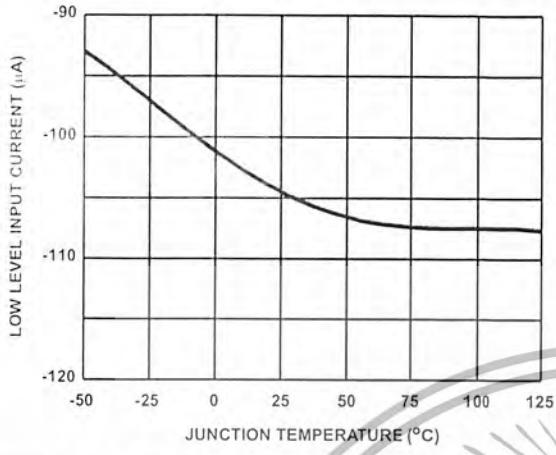



FIGURE 10. DIS LOW LEVEL INPUT CURRENT $I_{IL}$ vs TEMPERATURE

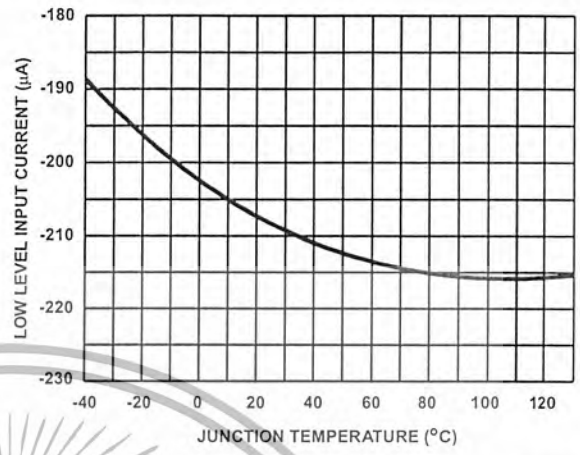



FIGURE 11. HEN LOW LEVEL INPUT CURRENT $I_{IL}$ vs TEMPERATURE

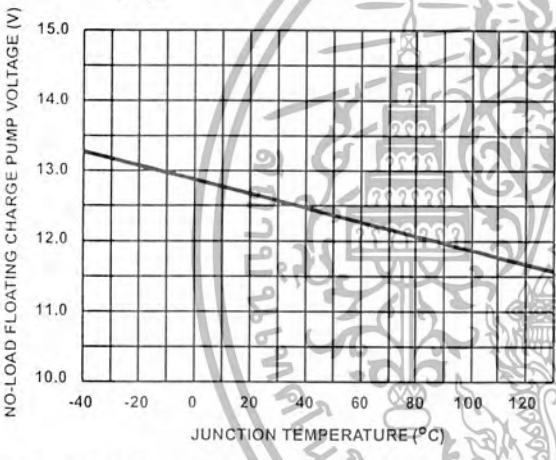



FIGURE 12. AHB - AHS, BHB - BHS NO-LOAD CHARGE PUMP VOLTAGE vs TEMPERATURE

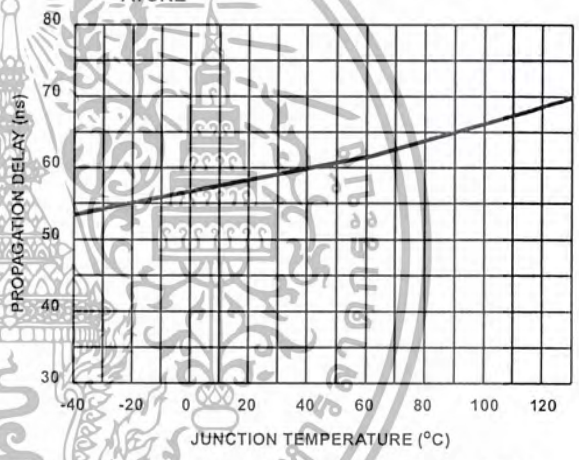



FIGURE 13. UPPER DISABLE TURN-OFF PROPAGATION DELAY $T_{DISHIGH}$ vs TEMPERATURE

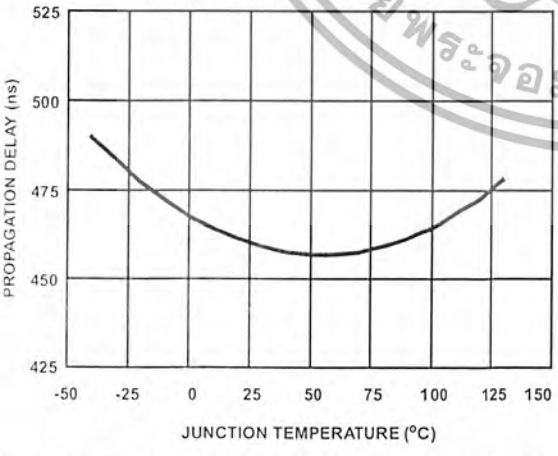



FIGURE 14. DISABLE TO UPPER ENABLE $T_{UEN}$ PROPAGATION DELAY vs TEMPERATURE

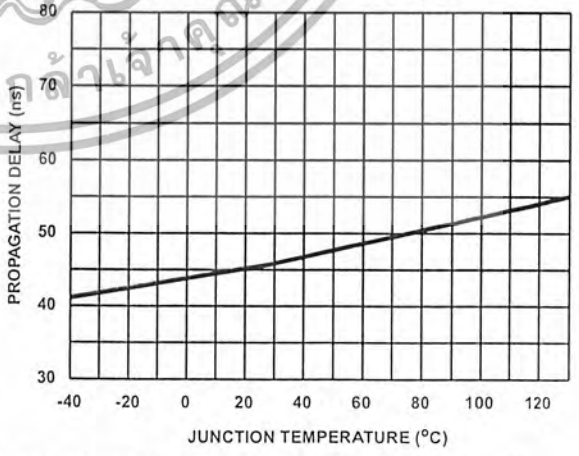



FIGURE 15. LOWER DISABLE TURN-OFF PROPAGATION DELAY $T_{DISLOW}$ vs TEMPERATURE



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## Typical Performance Curves

$V_{DD} = V_{CC} = V_{AHB} = V_{BHB} = 12V$, $V_{SS} = V_{ALS} = V_{BLS} = V_{AHS} = V_{BHS} = 0V$, $R_{HDEL} = R_{LDEL} = 10K$, and $T_A = +25^oC$, Unless Otherwise Specified

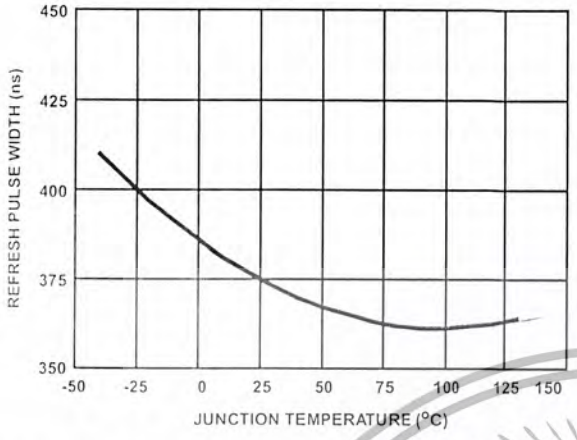



FIGURE 16. $T_{REF-PW}$ REFRESH PULSE WIDTH vs TEMPERATURE

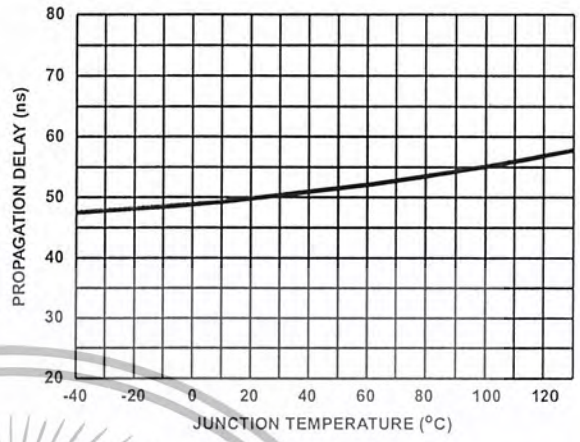



FIGURE 17. DISABLE TO LOWER ENABLE TDLPLH PROPAGATION DELAY vs TEMPERATURE

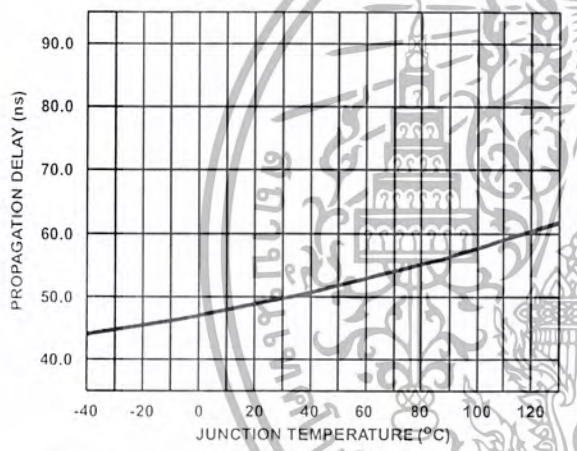



FIGURE 18. UPPER TURN-OFF PROPAGATION DELAY $T_{HPHL}$ vs TEMPERATURE

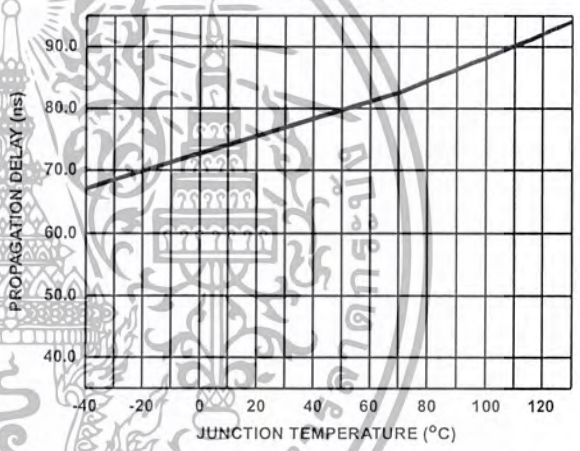



FIGURE 19. UPPER TURN-ON PROPAGATION DELAY THPLH vs TEMPERATURE

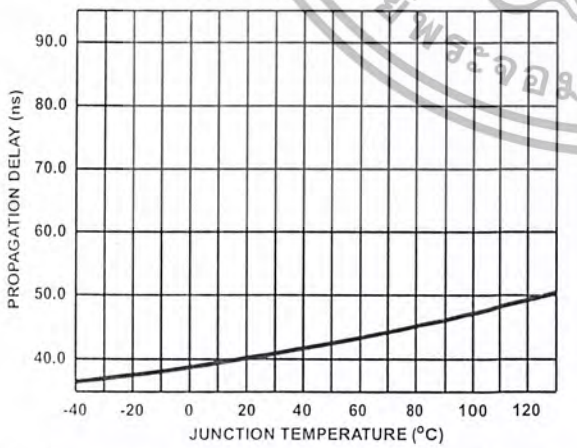



FIGURE 20. LOWER TURN-OFF PROPAGATION DELAY $T_{LPHL}$ vs TEMPERATURE

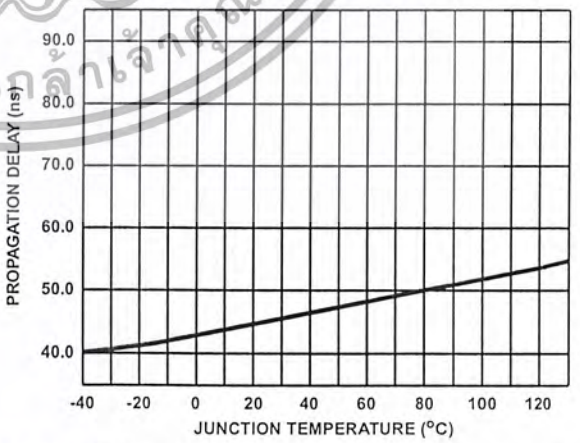



FIGURE 21. LOWER TURN-ON PROPAGATION DELAY $T_{LPLH}$ vs TEMPERATURE



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## Typical Performance Curves

$V_{DD} = V_{CC} = V_{AHB} = V_{BHB} = 12V$, $V_{SS} = V_{ALS} = V_{BLS} = V_{AHS} = V_{BHS} = 0V$, $R_{HDEL} = R_{LDEL} =$ 100K, and $T_A = +25^oC$, Unless Otherwise Specified

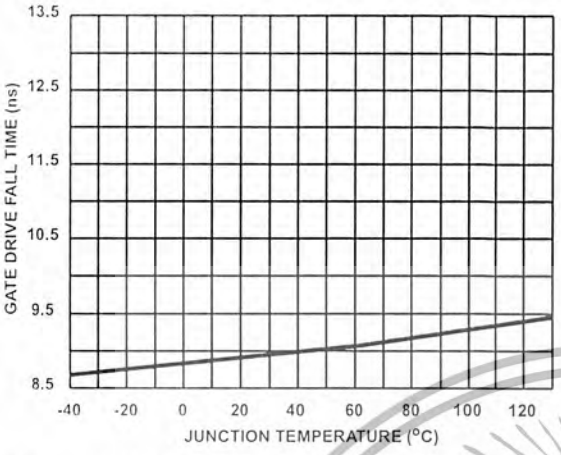



FIGURE 22. GATE DRIVE FALL TIME $T_F$ vs TEMPERATURE

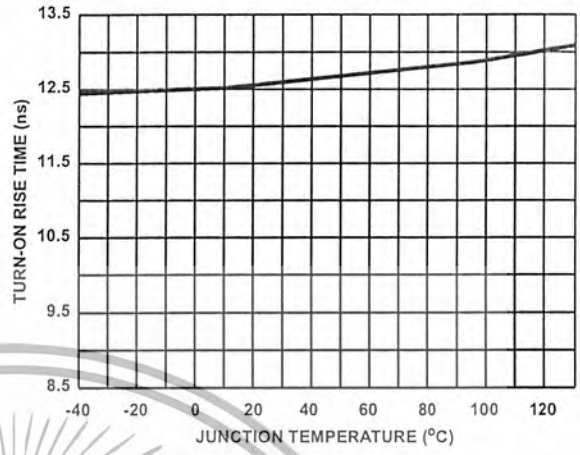



FIGURE 23. GATE DRIVE RISE TIME $T_R$ vs TEMPERATURE

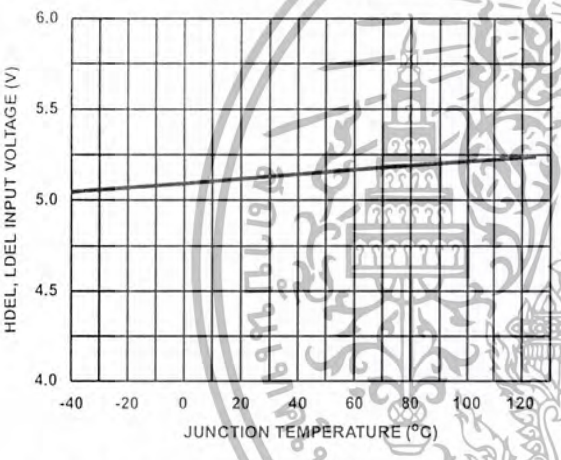



FIGURE 24. $V_{LDEL}$, $V_{HDEL}$ VOLTAGE vs TEMPERATURE

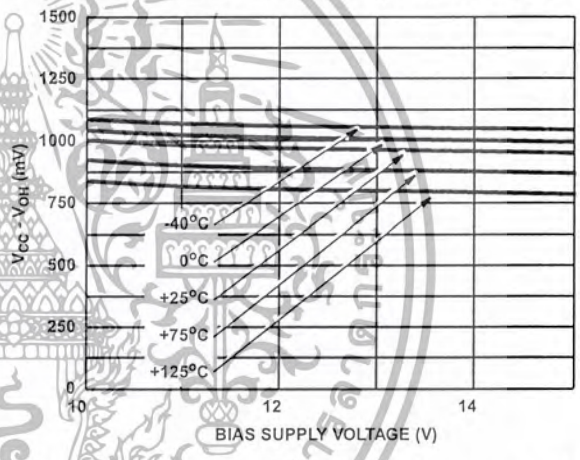



FIGURE 25. HIGH LEVEL OUTPUT VOLTAGE, $V_{CC}$ - $V_{OH}$ vs BIAS SUPPLY AND TEMPERATURE AT 100µA

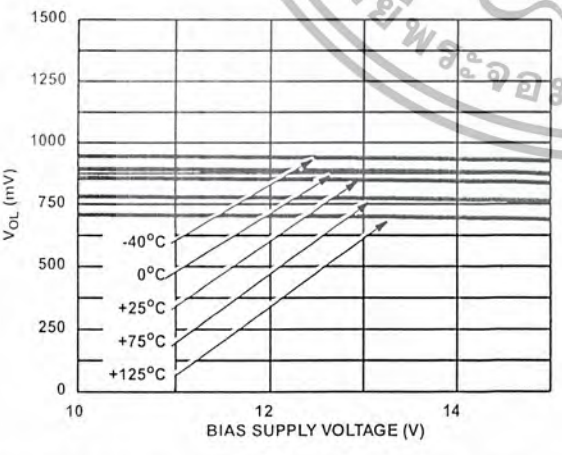



FIGURE 26. LOW LEVEL OUTPUT VOLTAGE $V_{OL}$ vs BIAS SUPPLY AND TEMPERATURE AT 100µA

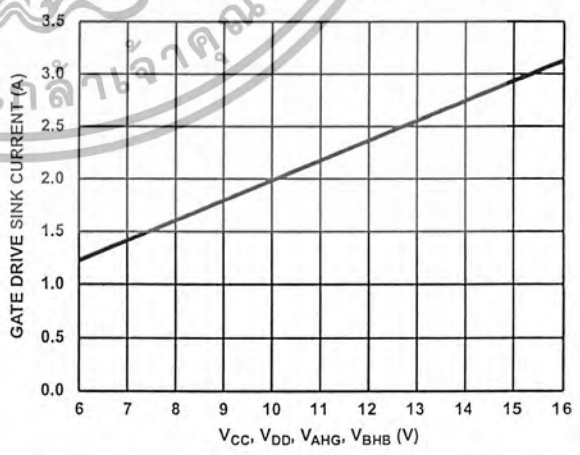



FIGURE 27. PEAK PULLDOWN CURRENT $I_O$. BIAS SUPPLY VOLTAGE



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## Typical Performance Curves $V_{DD} = V_{CC} = V_{AHB} = V_{BHB} = 12V$, $V_{SS} = V_{ALS} = V_{BLS} = V_{AHS} = V_{BHS} = 0V$, $R_{HDEL} = R_{LDEL} = 100K$, and $T_A = +25^oC$, Unless Otherwise Specified **(Continued)**

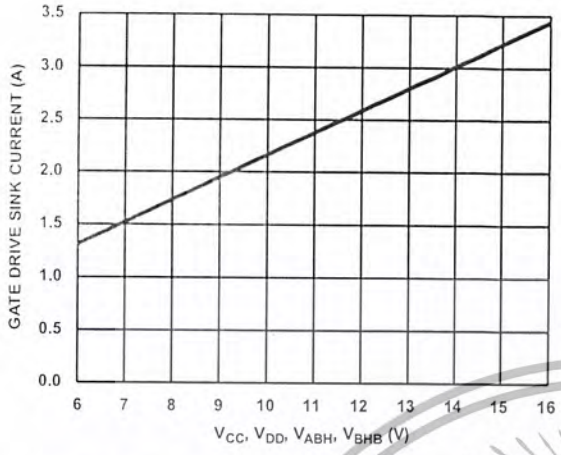



FIGURE 28. PEAK PULLUP CURRENT $I_{O+}$ vs SUPPLY VOLTAGE

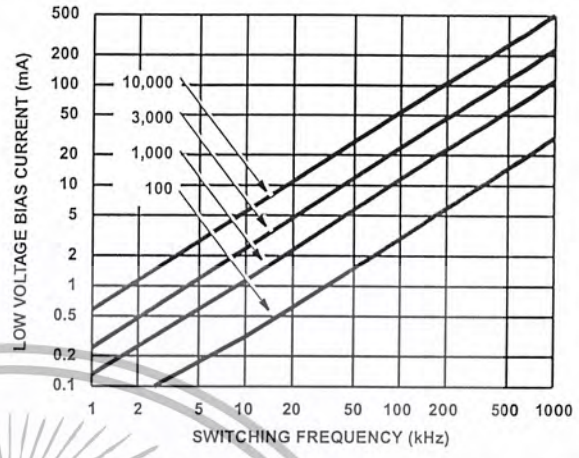



FIGURE 29. LOW VOLTAGE BIAS CURRENT $I_{DD}$ AND $I_{CC}$ (LESS QUIESCENT COMPONENT) vs FREQUENCY AND GATE LOAD CAPACITANCE

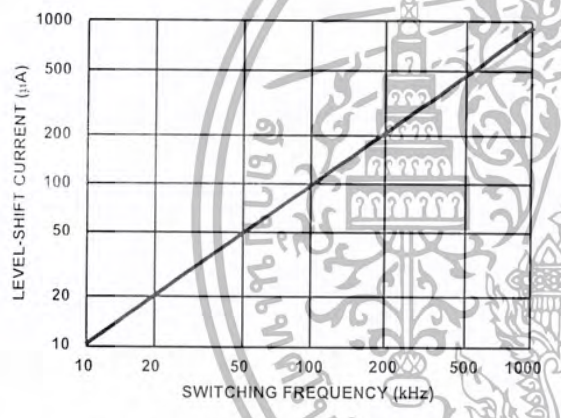



FIGURE 30. HIGH VOLTAGE LEVEL-SHIFT CURRENT vs FREQUENCY AND BUS VOLTAGE

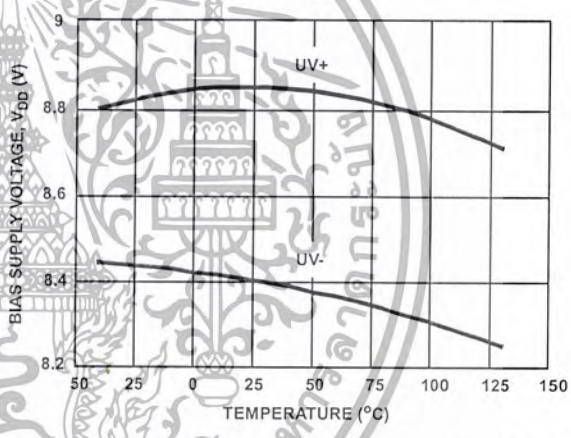



FIGURE 31. UNDERVOLTAGE LOCKOUT vs TEMPERATURE

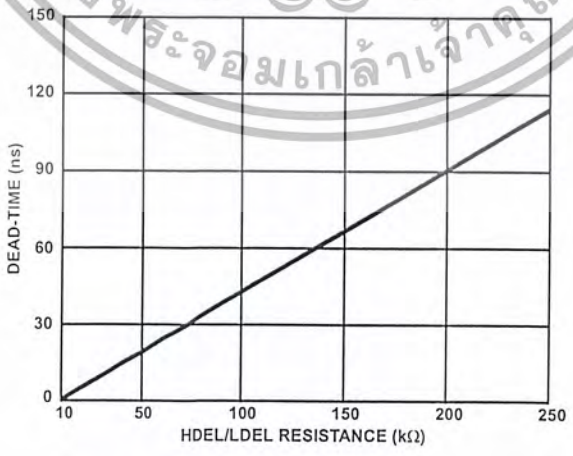



FIGURE 32. MINIMUM DEAD-TIME vs DEL RESISTANCE



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

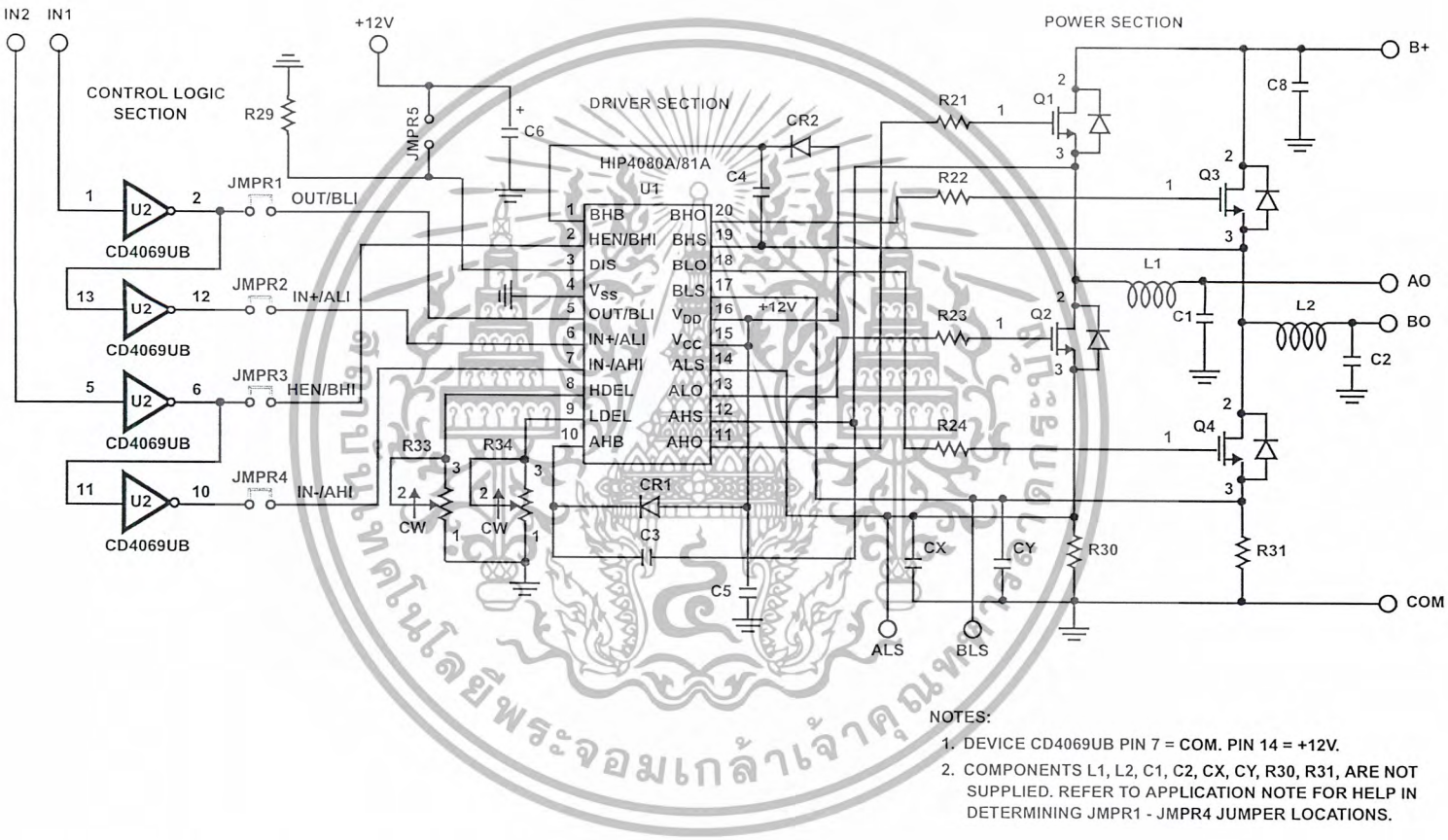



FIGURE 33. HIP4080A EVALUATION PC BOARD SCHEMATIC

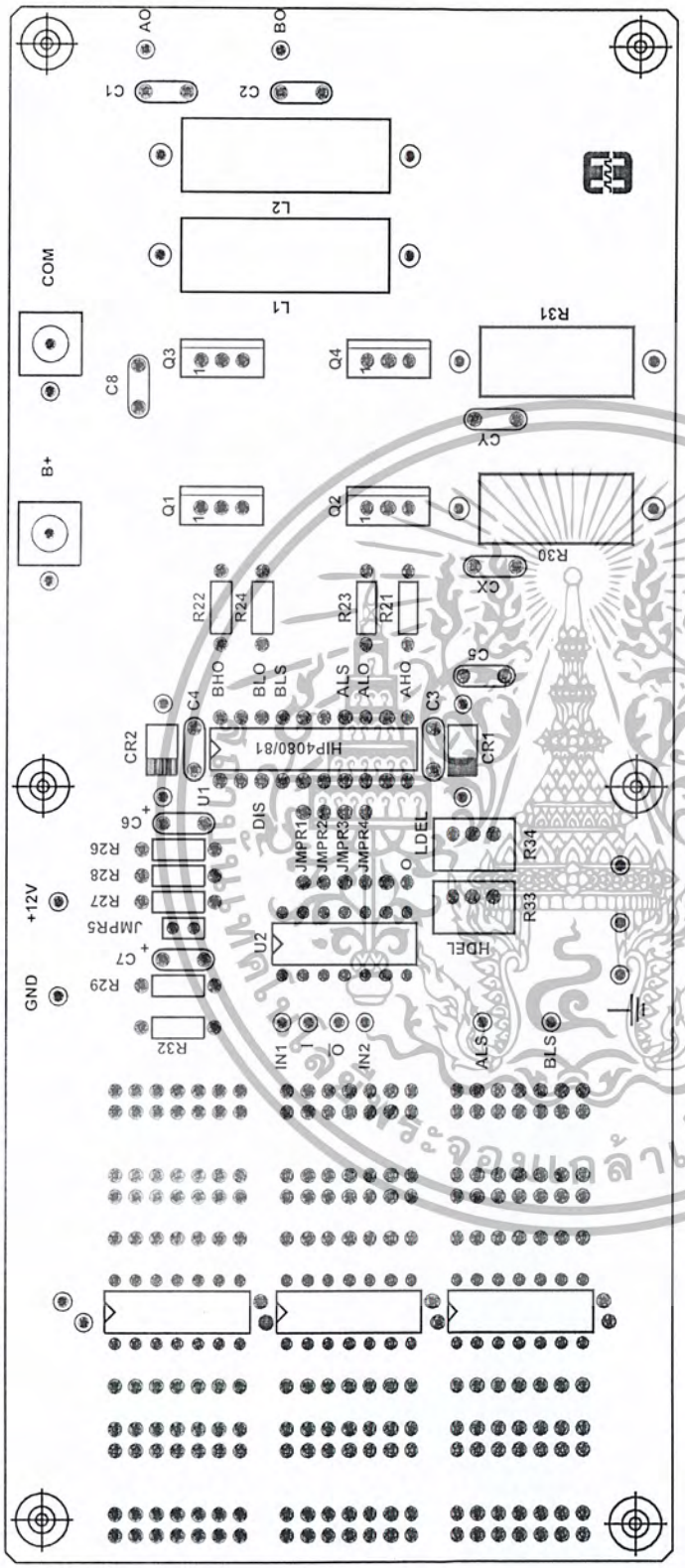
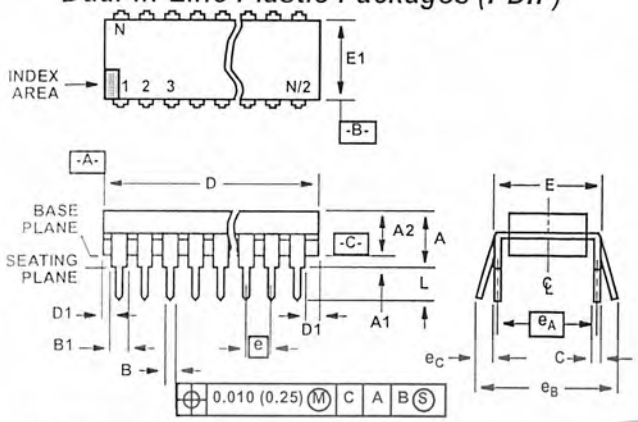



FIGURE 34. HIP4080A EVALUATION BOARD SILKSCREEN



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## Dual-In-Line Plastic Packages (PDIP)




**E20.3** (JEDEC MS-001-AD ISSUE D)
**20 LEAD DUAL-IN-LINE PLASTIC PACKAGE**

| SYMBOL | INCHES | | MILLIMETERS | | NOTES |
|---|---|---|---|---|---|
| | MIN | MAX | MIN | MAX | |
| A | - | 0.210 | - | 5.33 | 4 |
| A1 | 0.015 | - | 0.39 | - | 4 |
| A2 | 0.115 | 0.195 | 2.93 | 4.95 | - |
| B | 0.014 | 0.022 | 0.356 | 0.558 | - |
| B1 | 0.045 | 0.070 | 1.55 | 1.77 | 8 |
| C | 0.008 | 0.014 | 0.204 | 0.355 | - |
| D | 0.980 | 1.060 | 24.89 | 26.9 | 5 |
| D1 | 0.005 | - | 0.13 | - | 5 |
| E | 0.300 | 0.325 | 7.62 | 8.25 | 6 |
| E1 | 0.240 | 0.280 | 6.10 | 7.11 | 5 |
| e | 0.100 BSC | | 2.54 BSC | | - |
| $e_A$ | 0.300 BSC | | 7.62 BSC | | 6 |
| $e_B$ | - | 0.430 | - | 10.92 | 7 |
| L | 0.115 | 0.150 | 2.93 | 3.81 | 4 |
| N | 20 | | 20 | | 9 |

Rev. 0 12/93

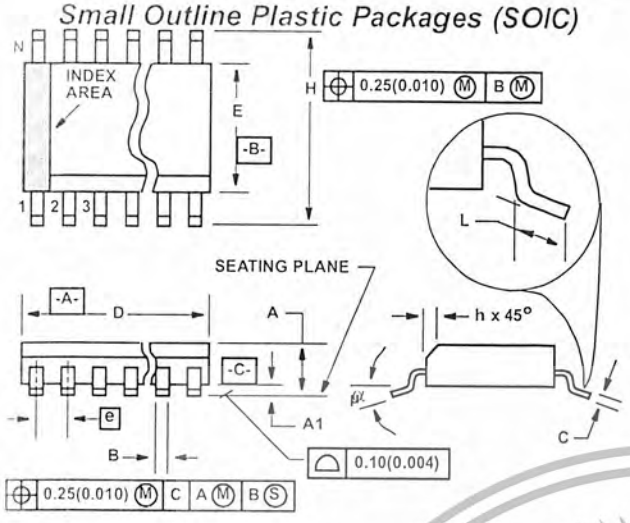
NOTES:

1. Controlling Dimensions: INCH. In case of conflict between English and Metric dimensions, the inch dimensions control.
2. Dimensioning and tolerancing per ANSI Y14.5M-1982.
3. Symbols are defined in the "MO Series Symbol List" in Section 2.2 of Publication No. 95.
4. Dimensions A, A1 and L are measured with the package seated in JEDEC seating plane gauge GS-3.
5. D, D1, and E1 dimensions do not include mold flash or protrusions. Mold flash or protrusions shall not exceed 0.010 inch (0.25mm).
6. E and $e_A$ are measured with the leads constrained to be perpendicular to datum -C-.
7. $e_B$ and $e_C$ are measured at the lead tips with the leads unconstrained. $e_C$ must be zero or greater.
8. B1 maximum dimensions do not include dambar protrusions. Dambar protrusions shall not exceed 0.010 inch (0.25mm).
9. N is the maximum number of terminal positions.
10. Corner leads (1, N, N/2 and N/2 + 1) for E8.3, E16.3, E18.3, E28.3, E42.6 will have a B1 dimension of 0.030 - 0.045 inch (0.76 - 1.14mm).



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## Small Outline Plastic Packages (SOIC)




**M20.3** (JEDEC MS-013-AC ISSUE C)
20 LEAD WIDE BODY SMALL OUTLINE PLASTIC PACKAGE

| SYMBOL | INCHES | | MILLIMETERS | | NOTES |
|---|---|---|---|---|---|
| | MIN | MAX | MIN | MAX | |
| A | 0.0926 | 0.1043 | 2.35 | 2.65 | - |
| A1 | 0.0040 | 0.0118 | 0.10 | 0.30 | - |
| B | 0.013 | 0.0200 | 0.33 | 0.51 | 9 |
| C | 0.0091 | 0.0125 | 0.23 | 0.32 | - |
| D | 0.4961 | 0.5118 | 12.60 | 13.00 | 3 |
| E | 0.2914 | 0.2992 | 7.40 | 7.60 | 4 |
| e | 0.050 BSC | | 1.27 BSC | | - |
| H | 0.394 | 0.419 | 10.00 | 10.65 | - |
| h | 0.010 | 0.029 | 0.25 | 0.75 | 5 |
| L | 0.016 | 0.050 | 0.40 | 1.27 | 6 |
| N | 20 | | 20 | | 7 |
| α | 0° | 8° | 0° | 8° | - |

Rev. 0 12/93

NOTES:

1. Symbols are defined in the "MO Series Symbol List" in Section 2.2 of Publication Number 95.
2. Dimensioning and tolerancing per ANSI Y14.5M-1982.
3. Dimension "D" does not include mold flash, protrusions or gate burrs. Mold flash, protrusion and gate burrs shall not exceed 0.15mm (0.006 inch) per side.
4. Dimension "E" does not include interlead flash or protrusions. Interlead flash and protrusions shall not exceed 0.25mm (0.010 inch) per side.
5. The chamfer on the body is optional. If it is not present, a visual index feature must be located within the crosshatched area.
6. "L" is the length of terminal for soldering to a substrate.
7. "N" is the number of terminal positions.
8. Terminal numbers are shown for reference only.
9. The lead width "B", as measured 0.36mm (0.014 inch) or greater above the seating plane, shall not exceed a maximum value of 0.61mm (0.024 inch)
10. Controlling dimension: MILLIMETER. Converted inch dimensions are not necessarily exact.

All Intersil U.S. products are manufactured, assembled and tested utilizing ISO9000 quality systems.
Intersil Corporation's quality certifications can be viewed at www.intersil.com/design/quality

*Intersil products are sold by description only. Intersil Corporation reserves the right to make changes in circuit design, software and/or specifications at any time without notice. Accordingly, the reader is cautioned to verify that data sheets are current before placing orders. Information furnished by Intersil is believed to be accurate and reliable. However, no responsibility is assumed by Intersil or its subsidiaries for its use; nor for any infringements of patents or other rights of third parties which may result from its use. No license is granted by implication or otherwise under any patent or patent rights of Intersil or its subsidiaries.*

For information regarding Intersil Corporation and its products, see www.intersil.com



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

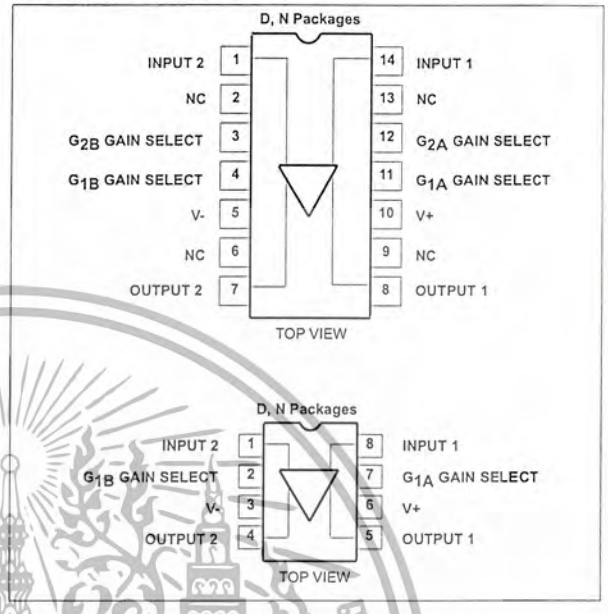
# Video amplifier

# NE592

## DESCRIPTION

The NE592 is a monolithic, two-stage, differential output, wideband video amplifier. It offers fixed gains of 100 and 400 without external components and adjustable gains from 400 to 0 with one external resistor. The input stage has been designed so that with the addition of a few external reactive elements between the gain select terminals, the circuit can function as a high-pass, low-pass, or band-pass filter. This feature makes the circuit ideal for use as a video or pulse amplifier in communications, magnetic memories, display, video recorder systems, and floppy disk head amplifiers. Now available in an 8-pin version with fixed gain of 400 without external components and adjustable gain from 400 to 0 with one external resistor.

## PIN CONFIGURATIONS



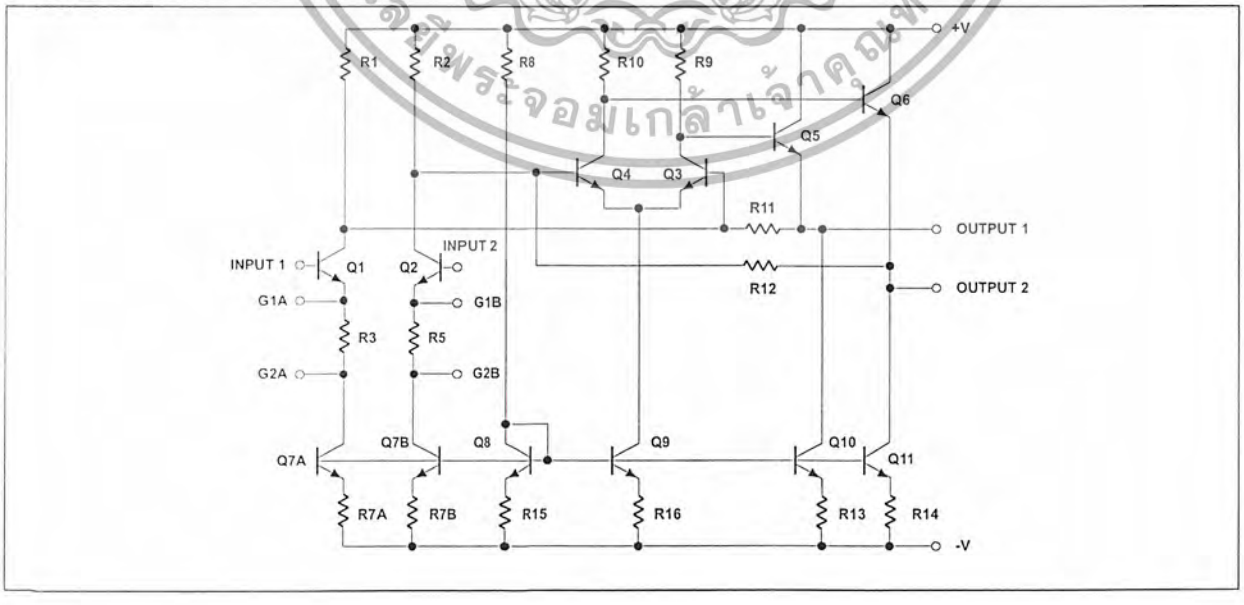

## FEATURES

- 120MHz unity gain bandwidth
- Adjustable gains from 0 to 400
- Adjustable pass band
- No frequency compensation required
- Wave shaping with minimal external components
- MIL-STD processing available

## APPLICATIONS

- Floppy disk head amplifier
- Video amplifier
- Pulse amplifier in communications
- Magnetic memory
- Video recorder systems

## BLOCK DIAGRAM






เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## ORDERING INFORMATION

| DESCRIPTION | TEMPERATURE RANGE | ORDER CODE | DWG # |
|---|---|---|---|
| 14-Pin Plastic Dual In-Line Package (DIP) | 0 to +70°C | NE592N14 | 0405B |
| 14-Pin Small Outline (SO) package | 0 to +70°C | NE592D14 | 0175D |
| 8-Pin Plastic Dual In-Line Package (DIP) | 0 to +70°C | NE592N8 | 0404B |
| 8-Pin Small Outline (SO) package | 0 to +70°C | NE592D8 | 0174C |

NOTES:
N8, N14, D8 and D14 package parts also available in "High" gain version by adding "H" before package designation, i.e., NE592HDB

## ABSOLUTE MAXIMUM RATINGS

$T_A$=+25°C, unless otherwise specified.

| SYMBOL | PARAMETER | RATING | UNIT |
|---|---|---|---|
| $V_{CC}$ | Supply voltage | ±8 | V |
| $V_{IN}$ | Differential input voltage | ±5 | V |
| $V_{CM}$ | Common-mode input voltage | ±6 | V |
| $I_{OUT}$ | Output current | 10 | mA |
| $T_A$ | Operating ambient temperature range | 0 to +70 | °C |
| $T_{STG}$ | Storage temperature range | -65 to +150 | °C |
| $P_{D\ MAX}$ | Maximum power dissipation, $T_A$=25°C (still air)[1] | | |
| | D-14 package | 0.98 | W |
| | D-8 package | 0.79 | W |
| | N-14 package | 1.44 | W |
| | N-8 package | 1.17 | W |

NOTES:
1. Derate above 25°C at the following rates:
   D-14 package at 7.8mW/°C
   D-8 package at 6.3mW/°C
   N-14 package at 11.5mW/°C
   N-8 package at 9.3mW/°C



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## DC ELECTRICAL CHARACTERISTICS

$T_A$=+25°C $V_{SS}$=±6V, $V_{CM}$=0, unless otherwise specified. Recommended operating supply voltages $V_S$=±6.0V. All specifications apply to both standard and high gain parts unless noted differently.

| SYMBOL | PARAMETER | TEST CONDITIONS | NE592 | | | UNIT |
|---|---|---|---|---|---|---|
| | | | Min | Typ | Max | |
| $A_{VOL}$ | Differential voltage gain, standard part | | | | | |
| | Gain 1[1] | $R_L$=2kΩ, $V_{OUT}$=3$V_{P-P}$ | 250 | 400 | 600 | V/V |
| | Gain 2[2, 4] | | 80 | 100 | 120 | V/V |
| $R_{IN}$ | Input resistance | | | | | |
| | Gain 1[1] | | | 4.0 | | kΩ |
| | Gain 2[2, 4] | | 10 | 30 | | kΩ |
| $C_{IN}$ | Input capacitance[2] | Gain 2[4] | | 2.0 | | pF |
| $I_{OS}$ | Input offset current | | | 0.4 | 5.0 | µA |
| $I_{BIAS}$ | Input bias current | | | 9.0 | 30 | µA |
| $V_{NOISE}$ | Input noise voltage | BW 1kHz to 10MHz | | 12 | | $\mu V_{RMS}$ |
| $V_{IN}$ | Input voltage range | | ±1.0 | | | V |
| CMRR | Common-mode rejection ratio | | | | | |
| | Gain 2[4] | $V_{CM}$±1V, f<100kHz | 60 | 86 | | dB |
| | Gain 2[4] | $V_{CM}$±1V, f=5MHz | | 60 | | dB |
| PSRR | Supply voltage rejection ratio | | | | | |
| | Gain 2[4] | $\Delta V_S$=±0.5V | 50 | 70 | | dB |
| $V_{OS}$ | Output offset voltage | | | | | |
| | Gain 1 | $R_L$=∞ | | | 1.5 | V |
| | Gain 2[4] | $R_L$=∞ | | | 1.5 | V |
| | Gain 3[3] | $R_L$=∞ | | 0.35 | 0.75 | V |
| $V_{CM}$ | Output common-mode voltage | $R_L$=∞ | 2.4 | 2.9 | 3.4 | V |
| $V_{OUT}$ | Output voltage swing differential | $R_L$=2kΩ | 3.0 | 4.0 | | V |
| $R_{OUT}$ | Output resistance | | | 20 | | Ω |
| $I_{CC}$ | Power supply current | $R_L$=∞ | | 18 | 24 | mA |

NOTES:
1. Gain select Pins $G_{1A}$ and $G_{1B}$ connected together.
2. Gain select Pins $G_{2A}$ and $G_{2B}$ connected together.
3. All gain select pins open.
4. Applies to 14-pin version only.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## DC ELECTRICAL CHARACTERISTICS

DC Electrical Characteristics $V_{SS}$=±6V, $V_{CM}$=0, 0°C ≤$T_A$≤70°C, unless otherwise specified. Recommended operating supply voltages $V_S$=±6.0V. All specifications apply to both standard and high gain parts unless noted differently.

| SYMBOL | PARAMETER | TEST CONDITIONS | NE592 | | | UNIT |
|---|---|---|---|---|---|---|
| | | | Min | Typ | Max | |
| $A_{VOL}$ | Differential voltage gain, standard part | | | | | |
| | Gain 1[1] | $R_L$=2kΩ, $V_{OUT}$=3$V_{P-P}$ | 250 | | 600 | V/V |
| | Gain 2[2, 4] | | 80 | | 120 | V/V |
| $R_{IN}$ | Input resistance | | | | | |
| | Gain 2[2, 4] | | 8.0 | | | kΩ |
| $I_{OS}$ | Input offset current | | | | 6.0 | µA |
| $I_{BIAS}$ | Input bias current | | | | 40 | µA |
| $V_{IN}$ | Input voltage range | | ±1.0 | | | V |
| CMRR | Common-mode rejection ratio | | | | | |
| | Gain 2[4] | $V_{CM}$±1V, f<100kHz | 50 | | | dB |
| PSRR | Supply voltage rejection ratio | | | | | |
| | Gain 2[4] | $\Delta V_S$=±0.5V | 50 | | | dB |
| $V_{OS}$ | Output offset voltage | | | | | |
| | Gain 1 | $R_L$=∞ | | | 1.5 | V |
| | Gain 2[4] | | | | 1.5 | |
| | Gain 3[3] | | | | 1.0 | |
| $V_{OUT}$ | Output voltage swing differential | $R_L$=2kΩ | 2.8 | | | V |
| $I_{CC}$ | Power supply current | $R_L$=∞ | | | 27 | mA |

NOTES:
1. Gain select Pins $G_{1A}$ and $G_{1B}$ connected together.
2. Gain select Pins $G_{2A}$ and $G_{2B}$ connected together.
3. All gain select pins open.
4. Applies to 14-pin versions only.

## AC ELECTRICAL CHARACTERISTICS

$T_A$=+25°C $V_{SS}$=±6V, $V_{CM}$=0, unless otherwise specified. Recommended operating supply voltages $V_S$=±6.0V. All specifications apply to both standard and high gain parts unless noted differently.

| SYMBOL | PARAMETER | TEST CONDITIONS | NE/SA592 | | | UNIT |
|---|---|---|---|---|---|---|
| | | | Min | Typ | Max | |
| BW | Bandwidth | | | | | |
| | Gain 1[1] | | | 40 | | MHz |
| | Gain 2[2, 4] | | | 90 | | MHz |
| $t_R$ | Rise time | | | | | |
| | Gain 1[1] | $V_{OUT}$=1$V_{P-P}$ | | 10.5 | 12 | ns |
| | Gain 2[2, 4] | | | 4.5 | | ns |
| $t_{PD}$ | Propagation delay | | | | | |
| | Gain 1[1] | $V_{OUT}$=1$V_{P-P}$ | | 7.5 | 10 | ns |
| | Gain 2[2, 4] | | | 6.0 | | ns |

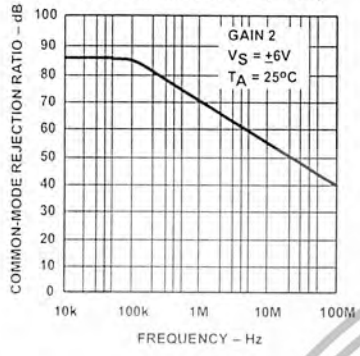
NOTES:
1. Gain select Pins $G_{1A}$ and $G_{1B}$ connected together.
2. Gain select Pins $G_{2A}$ and $G_{2B}$ connected together.
3. All gain select pins open.
4. Applies to 14-pin versions only.



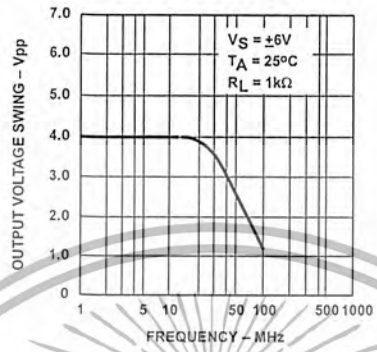
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## TYPICAL PERFORMANCE CHARACTERISTICS

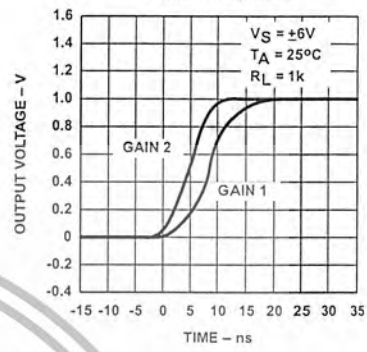
Common-Mode Rejection Ratio as a Function of Frequency



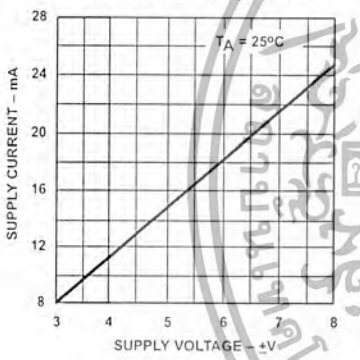

Output Voltage Swing as a Function of Frequency



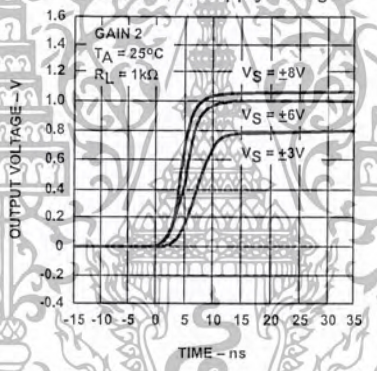

Pulse Response



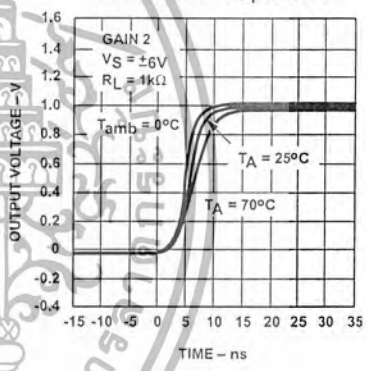

Supply Current as a Function of Temperature



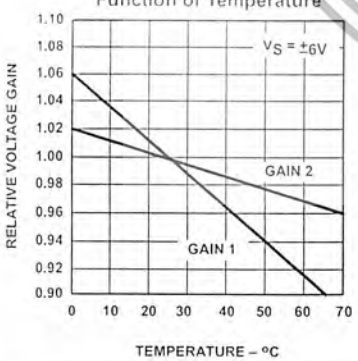

Pulse Response as a Function of Supply Voltage



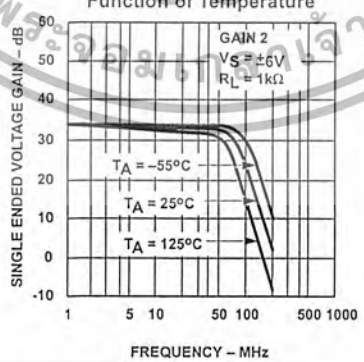

Pulse Response as a Function of Temperature



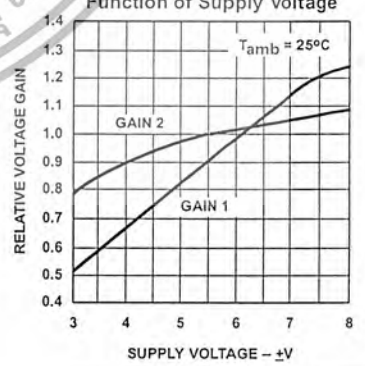

Voltage Gain as a Function of Temperature




Gain vs. Frequency as a Function of Temperature




Voltage Gain as a Function of Supply Voltage

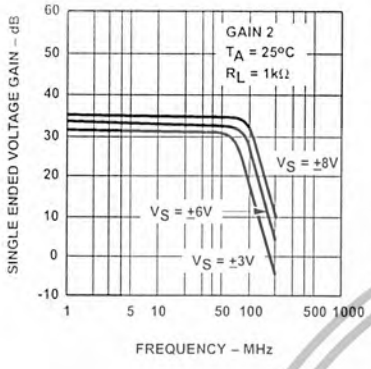




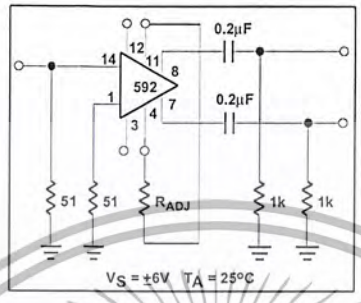

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## TYPICAL PERFORMANCE CHARACTERISTICS (Continued)

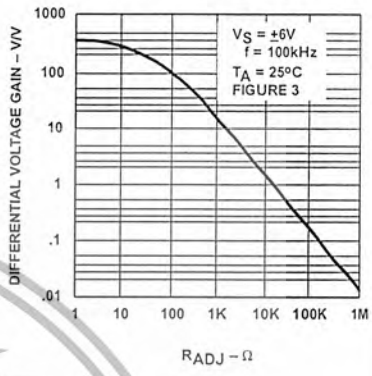
Gain vs. Frequency as a Function of Supply Voltage



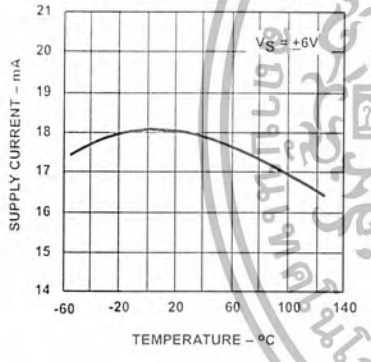

Voltage Gain Adjust Circuit



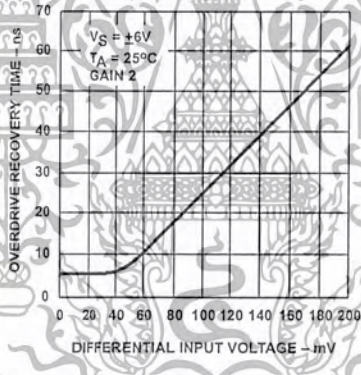

Voltage Gain as a Function of RADJ (Figure 3)



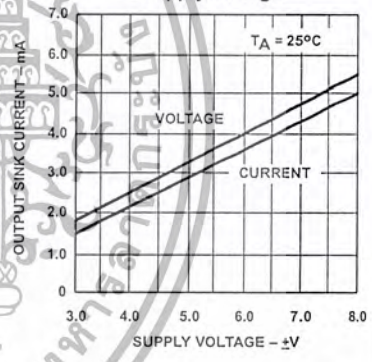

Supply Current as a Function of Temperature



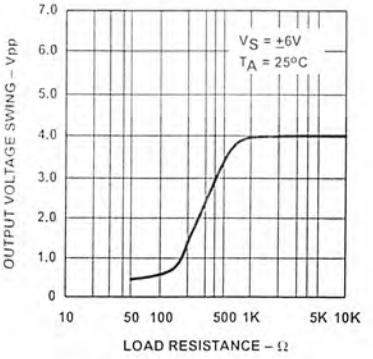

Differential Overdrive Recovery Time



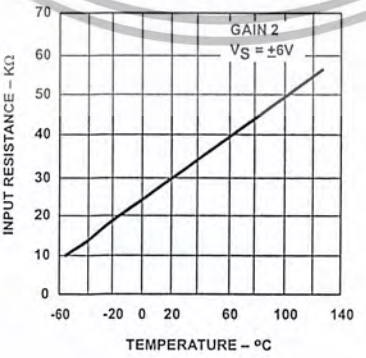

Output Voltage and Current Swing as a Function of Supply Voltage



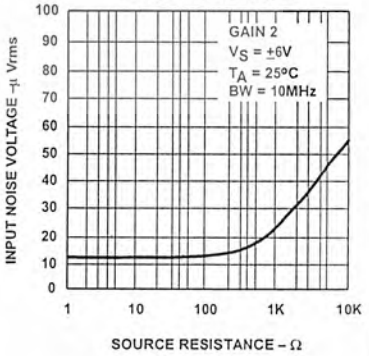

Output Voltage Swing as a Function of Load Resistance




Input Resistance as a Function of Temperature

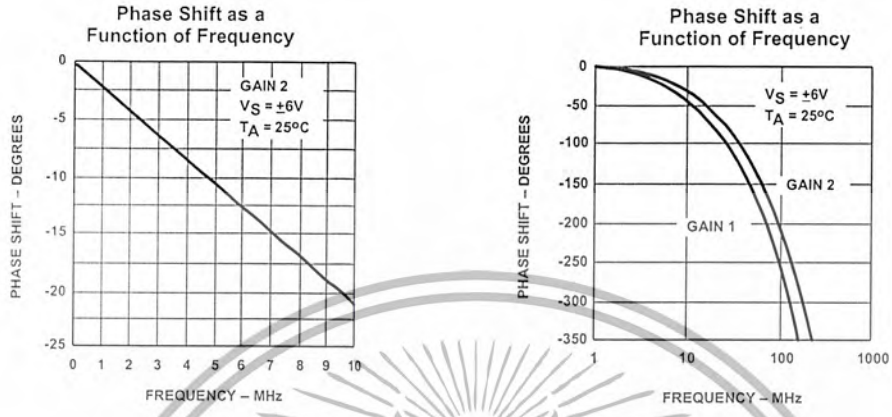



Input Noise Voltage as a Function of Source Resistance

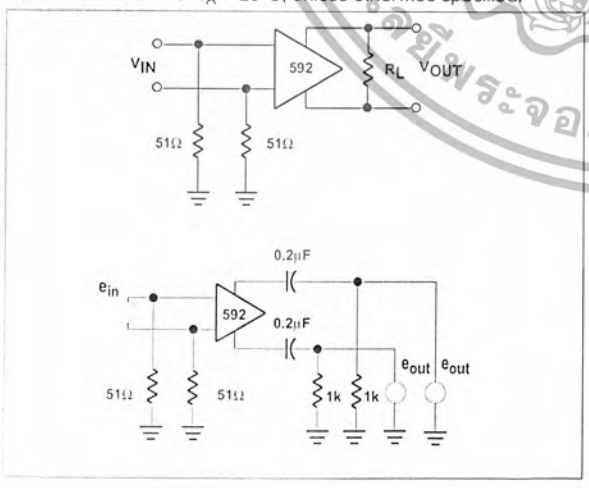





เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



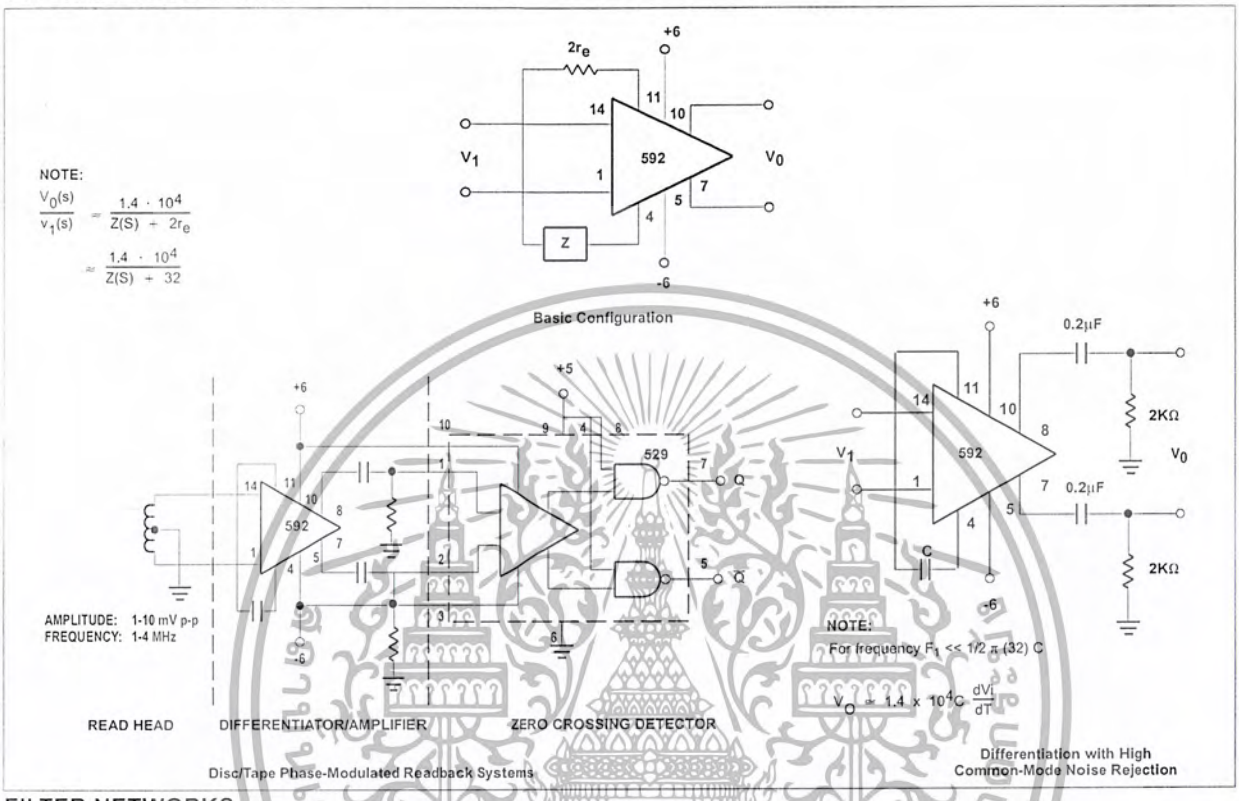

**TEST CIRCUITS** $T_A$ = 25°C, unless otherwise specified.






เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## TYPICAL APPLICATIONS




## FILTER NETWORKS

| Z NETWORK | FILTER TYPE | $V_0$ (s) TRANSFER / $V_1$ (s) FUNCTION |
|---|---|---|
| R, L | LOW PASS | $\frac{1.4 \times 10^4}{L} \left[\frac{1}{s + R/L}\right]$ |
| R, C | HIGH PASS | $\frac{1.4 \times 10^4}{R} \left[\frac{s}{s + 1/RC}\right]$ |
| R, L, C | BAND PASS | $\frac{1.4 \times 10^4}{L} \left[\frac{s}{s^2 + R/Ls + 1/LC}\right]$ |
| R, L, C | BAND REJECT | $\frac{1.4 \times 10^4}{R} \left[\frac{s^2 + 1/LC}{s^2 + 1/LC + s/RC}\right]$ |

NOTES:
In the networks above, the R value used is assumed to include $2r_e$, or approximately 32Ω.
S = jω
ω = 2πf



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# DATA SHEET

## 74HC74; 74HCT74
## Dual D-type flip-flop with set and reset; positive-edge trigger

Product specification
Supersedes data of 1998 Feb 23

2003 Jul 10

Philips Semiconductors

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# Dual D-type flip-flop with set and reset; positive-edge trigger

# 74HC74; 74HCT74

## FEATURES

- Wide supply voltage range from 2.0 to 6.0 V
- Symmetrical output impedance
- High noise immunity
- Low power dissipation
- Balanced propagation delays
- ESD protection:
  HBM EIA/JESD22-A114-A exceeds 2000 V
  MM EIA/JESD22-A115-A exceeds 200 V.

## GENERAL DESCRIPTION

The 74HC/HCT74 is a high-speed Si-gate CMOS device and is pin compatible with low power Schottky TTL (LSTTL). They are specified in compliance with JEDEC standard no. 7A.

The 74HC/HCT74 are dual positive-edge triggered, D-type flip-flops with individual data (D) inputs, clock (CP) inputs, set ($\overline{SD}$) and reset ($\overline{RD}$) inputs; also complementary Q and $\overline{Q}$ outputs.

The set and reset are asynchronous active LOW inputs and operate independently of the clock input. Information on the data input is transferred to the Q output on the LOW-to-HIGH transition of the clock pulse. The D inputs must be stable one set-up time prior to the LOW-to-HIGH clock transition for predictable operation.

Schmitt-trigger action in the clock input makes the circuit highly tolerant to slower clock rise and fall times.

## QUICK REFERENCE DATA

GND = 0 V; $T_{amb}$ = 25 °C; $t_r = t_f$ = 6 ns

| SYMBOL | PARAMETER | CONDITIONS | TYPICAL | | UNIT |
|---|---|---|---|---|---|
| | | | HC | HCT | |
| $t_{PHL}/t_{PLH}$ | propagation delay | $C_L$ = 15 pF; $V_{CC}$ = 5 V | | | |
| | nCP to nQ, $n\overline{Q}$ | | 14 | 15 | ns |
| | $n\overline{SD}$ to nQ, $n\overline{Q}$ | | 15 | 18 | ns |
| | $n\overline{RD}$ to nQ, $n\overline{Q}$ | | 16 | 18 | ns |
| $f_{max}$ | maximum clock frequency | | 76 | 59 | MHz |
| $C_I$ | input capacitance | | 3.5 | 3.5 | pF |
| $C_{PD}$ | power dissipation capacitance per flip-flop | notes 1 and 2 | 24 | 29 | pF |

Notes

1. $C_{PD}$ is used to determine the dynamic power dissipation ($P_D$ in µW).
   $P_D = C_{PD} \times V_{CC}^2 \times f_i \times N + \Sigma(C_L \times V_{CC}^2 \times f_o)$ where:
   $f_i$ = input frequency in MHz;
   $f_o$ = output frequency in MHz;
   $C_L$ = output load capacitance in pF;
   $V_{CC}$ = supply voltage in Volts;
   N = total load switching outputs;
   $\Sigma(C_L \times V_{CC}^2 \times f_o)$ = sum of the outputs.
2. For 74HC74 the condition is $V_I$ = GND to $V_{CC}$.
   For 74HCT74 the condition is $V_I$ = GND to $V_{CC}$ – 1.5 V.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## FUNCTION TABLES

Table 1 See note 1

| INPUT | | | | OUTPUT | |
|---|---|---|---|---|---|
| $\overline{SD}$ | $\overline{RD}$ | CP | D | Q | $\overline{Q}$ |
| L | H | X | X | H | L |
| H | L | X | X | L | H |
| L | L | X | X | H | H |

Table 2 See note 1

| INPUT | | | | OUTPUT | |
|---|---|---|---|---|---|
| $\overline{SD}$ | $\overline{RD}$ | CP | D | Qn+1 | $\overline{Q}$n+1 |
| H | H | ↑ | L | L | H |
| H | H | ↑ | H | H | L |

Note

1. H = HIGH voltage level;
   L = LOW voltage level;
   X = don't care;
   ↑ = LOW-to-HIGH CP transition;
   Qn+1 = state after the next LOW-to-HIGH CP transition.

## ORDERING INFORMATION

| TYPE NUMBER | PACKAGE | | | | |
|---|---|---|---|---|---|
| | TEMPERATURE RANGE | PINS | PACKAGE | MATERIAL | CODE |
| 74HC74N | −40 to +125 °C | 14 | DIP14 | plastic | SOT27-1 |
| 74HCT74N | −40 to +125 °C | 14 | DIP14 | plastic | SOT27-1 |
| 74HC74D | −40 to +125 °C | 14 | SO14 | plastic | SOT108-1 |
| 74HCT74D | −40 to +125 °C | 14 | SO14 | plastic | SOT108-1 |
| 74HC74DB | −40 to +125 °C | 14 | SSOP14 | plastic | SOT337-1 |
| 74HCT74DB | −40 to +125 °C | 14 | SSOP14 | plastic | SOT337-1 |
| 74HC74PW | −40 to +125 °C | 14 | TSSOP14 | plastic | SOT402-1 |
| 74HCT74PW | −40 to +125 °C | 14 | TSSOP14 | plastic | SOT402-1 |
| 74HC74BQ | −40 to +125 °C | 14 | DHVQFN14 | plastic | SOT762-1 |
| 74HCT74BQ | −40 to +125 °C | 14 | DHVQFN14 | plastic | SOT762-1 |



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## PINNING

| PIN | SYMBOL | DESCRIPTION |
|---|---|---|
| 1 | $1\overline{RD}$ | asynchronous reset-direct input (active LOW) |
| 2 | 1D | data input |
| 3 | 1CP | clock input (LOW-to-HIGH, edge-triggered) |
| 4 | $1\overline{SD}$ | asynchronous set-direct input (active LOW) |
| 5 | 1Q | true flip-flop output |
| 6 | $1\overline{Q}$ | complement flip-flop output |
| 7 | GND | ground (0 V) |
| 8 | $2\overline{Q}$ | complement flip-flop output |
| 9 | 2Q | true flip-flop output |
| 10 | $2\overline{SD}$ | asynchronous set-direct input (active LOW) |
| 11 | 2CP | clock input (LOW-to-HIGH, edge-triggered) |
| 12 | 2D | data input |
| 13 | $2\overline{RD}$ | asynchronous reset-direct input (active LOW) |
| 14 | $V_{CC}$ | positive supply voltage |

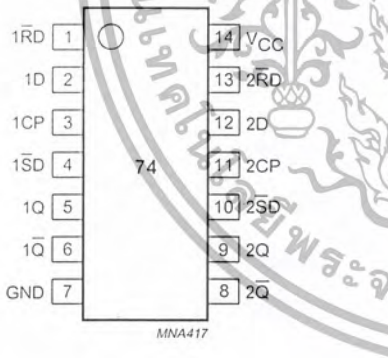
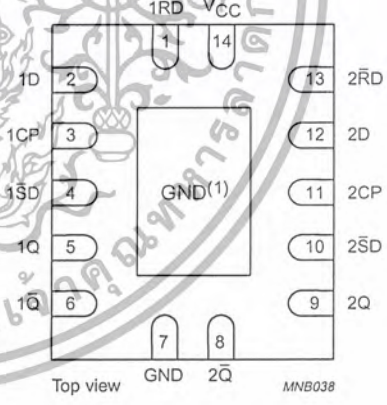



Fig.1 Pin configuration DIP14, SO14 and (T)SSOP14.




(1) The die substrate is attached to this pad using conductive die attach material. It can not be used as a supply pin or input.

Fig.2 Pin configuration DHVQFN14.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

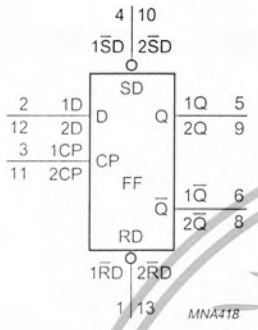



Fig.3 Logic symbol.

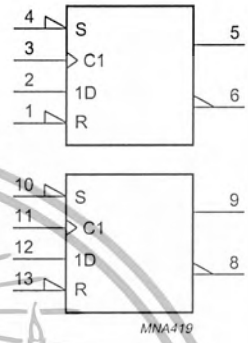



Fig.4 IEC logic symbol.

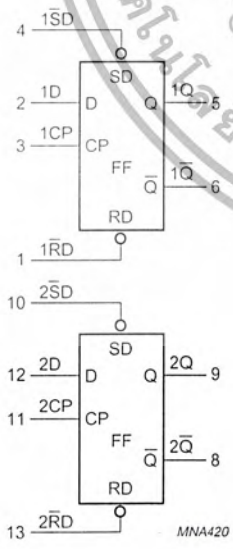



Fig.5 Functional diagram.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

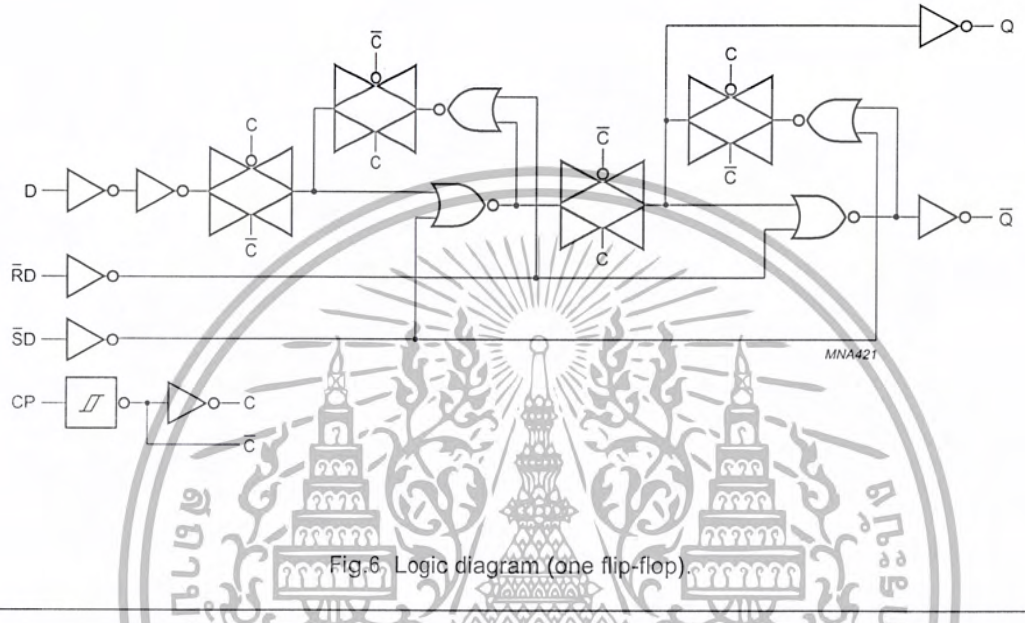



Fig.6 Logic diagram (one flip-flop).



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## RECOMMENDED OPERATING CONDITIONS

| SYMBOL | PARAMETER | CONDITIONS | 74HC74 | | | 74HCT74 | | | UNIT |
|---|---|---|---|---|---|---|---|---|---|
| | | | MIN. | TYP. | MAX. | MIN. | TYP. | MAX. | |
| $V_{CC}$ | supply voltage | | 2.0 | 5.0 | 6.0 | 4.5 | 5.0 | 5.5 | V |
| $V_I$ | input voltage | | 0 | – | $V_{CC}$ | 0 | – | $V_{CC}$ | V |
| $V_O$ | output voltage | | 0 | – | $V_{CC}$ | 0 | – | $V_{CC}$ | V |
| $T_{amb}$ | operating ambient temperature | | –40 | +25 | +125 | –40 | +25 | +125 | °C |
| $t_r$, $t_f$ | input rise and fall times | $V_{CC}$ = 2.0 V | – | – | 1000 | – | – | 500 | ns |
| | | $V_{CC}$ = 4.5 V | – | 6.0 | 500 | – | 6.0 | 500 | ns |
| | | $V_{CC}$ = 6.0 V | – | – | 400 | – | – | 500 | ns |

## LIMITING VALUES

In accordance with the Absolute Maximum Rating System (IEC 60134); voltages are referenced to GND (ground = 0 V).

| SYMBOL | PARAMETER | CONDITIONS | MIN. | MAX. | UNIT |
|---|---|---|---|---|---|
| $V_{CC}$ | supply voltage | | –0.5 | +7.0 | V |
| $I_{IK}$ | input diode current | $V_I < -0.5$ V or $V_I > V_{CC} + 0.5$ V; note 1 | – | ±20 | mA |
| $I_{OK}$ | output diode current | $V_O < -0.5$ V or $V_O > V_{CC} + 0.5$ V; note 1 | – | ±20 | mA |
| $I_O$ | output source or sink current | $-0.5$ V < $V_O$ < $V_{CC}$ + 0.5 V; note 1 | – | ±25 | mA |
| $I_{CC}$, $I_{GND}$ | $V_{CC}$ or GND current | | – | ±100 | mA |
| $T_{stg}$ | storage temperature | | –65 | +150 | °C |
| $P_{tot}$ | power dissipation | $T_{amb}$ = –40 to +125 °C; note 2 | – | 500 | mW |

Notes

1. The input and output voltage ratings may be exceeded if the input and output current ratings are observed.
2. For SO14 packages: above 70 °C derate linearly with 8 mW/K.
   For SSOP14 and TSSOP14 packages: above 60 °C derate linearly with 5.5 mW/K.
   For DHVQFN14 packages: above 60 °C derate linearly with 4.5 mW/K.
   For DIP14 packages: above 70 °C derate linearly with 12 mW/K.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## DC CHARACTERISTICS

### Family 74HC

At recommended operating conditions; voltages are referenced to GND (ground = 0 V).

| SYMBOL | PARAMETER | TEST CONDITIONS | | MIN. | TYP. | MAX. | UNIT |
|---|---|---|---|---|---|---|---|
| | | WAVEFORMS | $V_{CC}$ (V) | | | | |
| $T_{amb}$ = −40 to +85 °C; note 1 | | | | | | | |
| $V_{IH}$ | HIGH-level input voltage | | 2.0 | 1.5 | 1.2 | – | V |
| | | | 4.5 | 3.15 | 2.4 | – | V |
| | | | 6.0 | 4.2 | 3.2 | – | V |
| $V_{IL}$ | LOW-level input voltage | | 2.0 | – | 0.8 | 0.5 | V |
| | | | 4.5 | – | 2.1 | 1.35 | V |
| | | | 6.0 | – | 2.8 | 1.8 | V |
| $V_{OH}$ | HIGH-level output voltage | $V_I = V_{IH}$ or $V_{IL}$ | | | | | |
| | | $I_O$ = −4.0 mA | 4.5 | 3.84 | 4.32 | – | V |
| | | $I_O$ = −5.2 mA | 6.0 | 5.34 | 5.81 | – | V |
| $V_{OL}$ | LOW-level output voltage | $V_I = V_{IH}$ or $V_{IL}$ | | | | | |
| | | $I_O$ = 4.0 mA | 4.5 | – | 0.15 | 0.33 | V |
| | | $I_O$ = 5.2 mA | 6.0 | – | 0.16 | 0.33 | V |
| $I_{LI}$ | input leakage current | $V_I = V_{CC}$ or GND | 6.0 | – | – | ±1.0 | μA |
| $I_{CC}$ | quiescent supply current | $V_I = V_{CC}$ or GND; $I_O$ = 0 | 6.0 | – | – | 40 | μA |
| $T_{amb}$ = −40 to +125 °C | | | | | | | |
| $V_{IH}$ | HIGH-level input voltage | | 2.0 | 1.5 | – | – | V |
| | | | 4.5 | 3.15 | – | – | V |
| | | | 6.0 | 4.2 | – | – | V |
| $V_{IL}$ | LOW-level input voltage | | 2.0 | – | – | 0.5 | V |
| | | | 4.5 | – | – | 1.35 | V |
| | | | 6.0 | – | – | 1.8 | V |
| $V_{OH}$ | HIGH-level output voltage | $V_I = V_{IH}$ or $V_{IL}$ | | | | | |
| | | $I_O$ = −4.0 mA | 4.5 | 3.7 | – | – | V |
| | | $I_O$ = −5.2 mA | 6.0 | 5.2 | – | – | V |
| $V_{OL}$ | LOW-level output voltage | $V_I = V_{IH}$ or $V_{IL}$ | | | | | |
| | | $I_O$ = 4.0 mA | 4.5 | – | – | 0.4 | V |
| | | $I_O$ = 5.2 mA | 6.0 | – | – | 0.4 | V |
| $I_{LI}$ | input leakage current | $V_I = V_{CC}$ or GND | 6.0 | – | – | ±1.0 | μA |
| $I_{CC}$ | quiescent supply current | $V_I = V_{CC}$ or GND; $I_O$ = 0 | 6.0 | – | – | 80 | μA |

Note

1. All typical values are measured at $T_{amb}$ = 25 °C.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Family 74HCT

At recommended operating conditions; voltages are referenced to GND (ground = 0 V).

| SYMBOL | PARAMETER | TEST CONDITIONS | | MIN. | TYP. | MAX. | UNIT |
|---|---|---|---|---|---|---|---|
| | | WAVEFORMS | $V_{CC}$ (V) | | | | |
| $T_{amb}$ = −40 to +85 °C; note 1 | | | | | | | |
| $V_{IH}$ | HIGH-level input voltage | | 4.5 to 5.5 | 2.0 | 1.6 | – | V |
| $V_{IL}$ | LOW-level input voltage | | 4.5 to 5.5 | – | 1.2 | 0.8 | V |
| $V_{OH}$ | HIGH-level output voltage | $V_I$ = $V_{IH}$ or $V_{IL}$; $I_O$ = −4.0 mA | 4.5 | 3.84 | 4.32 | – | V |
| $V_{OL}$ | LOW-level output voltage | $V_I$ = $V_{IH}$ or $V_{IL}$; $I_O$ = 4.0 mA | 4.5 | 0.33 | 0.15 | – | V |
| $I_{LI}$ | input leakage current | $V_I$ = $V_{CC}$ or GND | 5.5 | – | – | ±1.0 | μA |
| $I_{CC}$ | quiescent supply current | $V_I$ = $V_{CC}$ or GND; $I_O$ = 0 | 5.5 | – | – | 40 | μA |
| $\Delta I_{CC}$ | additional quiescent supply current per input | $V_I$ = $V_{CC}$ −2.1 V other inputs at $V_{CC}$ or GND; $I_O$ = 0 | 4.5 to 5.5 | – | 100 | 450 | μA |
| $T_{amb}$ = −40 to +125 °C | | | | | | | |
| $V_{IH}$ | HIGH-level input voltage | | 4.5 to 5.5 | 2.0 | – | – | V |
| $V_{IL}$ | LOW-level input voltage | | 4.5 to 5.5 | – | – | 0.8 | V |
| $V_{OH}$ | HIGH-level output voltage | $V_I$ = $V_{IH}$ or $V_{IL}$; $I_O$ = −4.0 mA | 4.5 | 3.7 | – | – | V |
| $V_{OL}$ | LOW-level output voltage | $V_I$ = $V_{IH}$ or $V_{IL}$; $I_O$ = 4.0 mA | 4.5 | – | – | 0.4 | V |
| $I_{LI}$ | input leakage current | $V_I$ = $V_{CC}$ or GND | 5.5 | – | – | ±1.0 | μA |
| $I_{CC}$ | quiescent supply current | $V_I$ = $V_{CC}$ or GND; $I_O$ = 0 | 5.5 | – | – | 80 | μA |
| $\Delta I_{CC}$ | additional quiescent supply current per input | $V_I$ = $V_{CC}$ −2.1 V other inputs at $V_{CC}$ or GND; $I_O$ = 0 | 4.5 to 5.5 | – | – | 490 | μA |

Note

1. All typical values are measured at $T_{amb}$ = 25 °C.

Remark to HCT types

The value of additional quiescent supply current ($\Delta I_{CC}$) for a unit load of 1 is given here. To determine $\Delta I_{CC}$ per input, multiply this value by the unit load coefficient shown in the table.

| INPUT | UNIT LOAD COEFFICIENT |
|---|---|
| nD | 0.70 |
| n$\overline{R}$D | 0.70 |
| n$\overline{S}$D | 0.80 |
| nCP | 0.80 |



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## AC CHARACTERISTICS

### Family 74HC

GND = 0 V; $t_r = t_f$ = 6 ns; $C_L$ = 50 pF.

| SYMBOL | PARAMETER | TEST CONDITIONS | | MIN. | TYP. | MAX. | UNIT |
|---|---|---|---|---|---|---|---|
| | | WAVEFORMS | $V_{CC}$ (V) | | | | |
| $T_{amb}$ = −40 to +85 °C | | | | | | | |
| $t_{PHL}/t_{PLH}$ | propagation delay nCP to nQ, n$\overline{Q}$ | see Fig.7 | 2.0 | – | 47 | 220 | ns |
| | | | 4.5 | – | 17 | 44 | ns |
| | | | 6.0 | – | 14 | 37 | ns |
| | propagation delay n$\overline{SD}$ to nQ, n$\overline{Q}$ | see Fig.8 | 2.0 | – | 50 | 250 | ns |
| | | | 4.5 | – | 18 | 50 | ns |
| | | | 6.0 | – | 14 | 43 | ns |
| | propagation delay n$\overline{RD}$ to nQ, n$\overline{Q}$ | see Fig.8 | 2.0 | – | 52 | 250 | ns |
| | | | 4.5 | – | 19 | 50 | ns |
| | | | 6.0 | – | 15 | 43 | ns |
| $t_{THL}/t_{TLH}$ | output transition time | see Fig.7 | 2.0 | – | 19 | 95 | ns |
| | | | 4.5 | – | 7 | 19 | ns |
| | | | 6.0 | – | 6 | 16 | ns |
| $t_W$ | clock pulse width HIGH or LOW | see Fig.7 | 2.0 | 100 | 19 | – | ns |
| | | | 4.5 | 20 | 7 | – | ns |
| | | | 6.0 | 17 | 6 | – | ns |
| | set or reset pulse width LOW | see Fig.8 | 2.0 | 100 | 19 | – | ns |
| | | | 4.5 | 20 | 7 | – | ns |
| | | | 6.0 | 17 | 6 | – | ns |
| $t_{rem}$ | removal time set or reset | see Fig.8 | 2.0 | 40 | 3 | – | ns |
| | | | 4.5 | 8 | 1 | – | ns |
| | | | 6.0 | 7 | 1 | – | ns |
| $t_{su}$ | set-up time nD to nCP | see Fig.7 | 2.0 | 75 | 6 | – | ns |
| | | | 4.5 | 15 | 2 | – | ns |
| | | | 6.0 | 13 | 2 | – | ns |
| $t_h$ | hold time nCP to nD | see Fig.7 | 2.0 | 3 | −6 | – | ns |
| | | | 4.5 | 3 | −2 | – | ns |
| | | | 6.0 | 3 | −2 | – | ns |
| $f_{max}$ | maximum clock pulse frequency | see Fig.7 | 2.0 | 4.8 | 23 | – | MHz |
| | | | 4.5 | 24 | 69 | – | MHz |
| | | | 6.0 | 28 | 82 | – | MHz |



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

| SYMBOL | PARAMETER | TEST CONDITIONS | | MIN. | TYP. | MAX. | UNIT |
|---|---|---|---|---|---|---|---|
| | | WAVEFORMS | $V_{CC}$ (V) | | | | |
| $T_{amb}$ = −40 to +125 °C | | | | | | | |
| $t_{PHL}/t_{PLH}$ | propagation delay nCP to nQ, n$\overline{Q}$ | see Fig.7 | 2.0 | – | – | 265 | ns |
| | | | 4.5 | – | – | 53 | ns |
| | | | 6.0 | – | – | 45 | ns |
| | propagation delay n$\overline{SD}$ to nQ, n$\overline{Q}$ | see Fig.8 | 2.0 | – | – | 300 | ns |
| | | | 4.5 | – | – | 60 | ns |
| | | | 6.0 | – | – | 51 | ns |
| | propagation delay n$\overline{RD}$ to nQ, n$\overline{Q}$ | see Fig.8 | 2.0 | – | – | 300 | ns |
| | | | 4.5 | – | – | 60 | ns |
| | | | 6.0 | – | – | 51 | ns |
| $t_{THL}/t_{TLH}$ | output transition time | see Fig.7 | 2.0 | – | – | 110 | ns |
| | | | 4.5 | – | – | 22 | ns |
| | | | 6.0 | – | – | 19 | ns |
| $t_W$ | clock pulse width HIGH or LOW | see Fig.7 | 2.0 | 120 | – | – | ns |
| | | | 4.5 | 24 | – | – | ns |
| | | | 6.0 | 20 | – | – | ns |
| $t_W$ | set or reset pulse width LOW | see Fig.8 | 2.0 | 120 | – | – | ns |
| | | | 4.5 | 24 | – | – | ns |
| | | | 6.0 | 20 | – | – | ns |
| $t_{rem}$ | removal time set or reset | see Fig.8 | 2.0 | 45 | – | – | ns |
| | | | 4.5 | 9 | – | – | ns |
| | | | 6.0 | 8 | – | – | ns |
| $t_{su}$ | set-up time nD to nCP | see Fig.7 | 2.0 | 90 | – | – | ns |
| | | | 4.5 | 18 | – | – | ns |
| | | | 6.0 | 15 | – | – | ns |
| $t_h$ | hold time nCP to nD | see Fig.7 | 2.0 | 3 | – | – | ns |
| | | | 4.5 | 3 | – | – | ns |
| | | | 6.0 | 3 | – | – | ns |
| $f_{max}$ | maximum clock pulse frequency | see Fig.7 | 2.0 | 4.0 | – | – | MHz |
| | | | 4.5 | 20 | – | – | MHz |
| | | | 6.0 | 24 | – | – | MHz |



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Family 74HCT

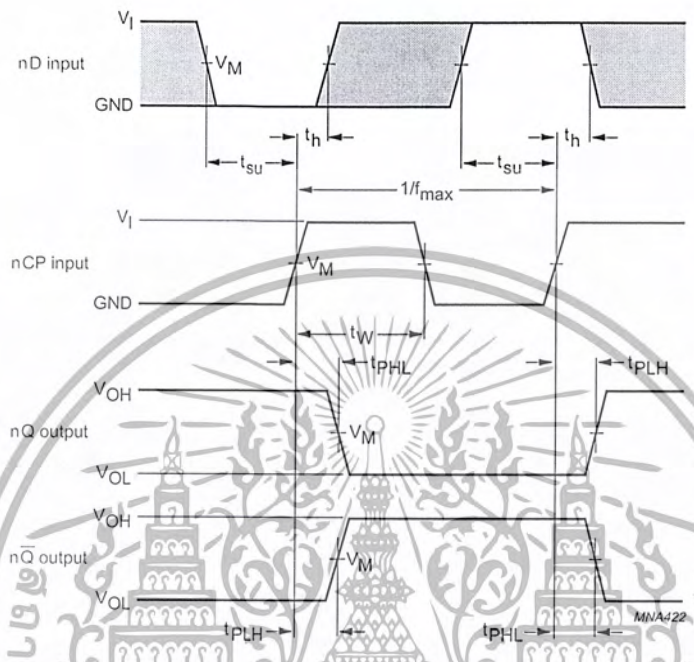
GND = 0 V; $t_r = t_f$ = 6 ns; $C_L$ = 50 pF.

| SYMBOL | PARAMETER | TEST CONDITIONS | | MIN. | TYP. | MAX. | UNIT |
|---|---|---|---|---|---|---|---|
| | | WAVEFORMS | $V_{CC}$ (V) | | | | |
| **$T_{amb}$ = −40 to +85 °C** | | | | | | | |
| $t_{PHL}/t_{PLH}$ | propagation delay nCP to nQ, $n\overline{Q}$ | see Fig.7 | 4.5 | – | 18 | 44 | ns |
| | propagation delay $n\overline{SD}$ to nQ, $n\overline{Q}$ | see Fig.8 | 4.5 | – | 23 | 50 | ns |
| | propagation delay $n\overline{RD}$ to nQ, $n\overline{Q}$ | see Fig.8 | 4.5 | – | 24 | 50 | ns |
| $t_{THL}/t_{TLH}$ | output transition time | see Fig.7 | 4.5 | – | 7 | 19 | ns |
| $t_W$ | clock pulse width HIGH or LOW | see Fig.7 | 4.5 | 23 | 9 | – | ns |
| | set or reset pulse width LOW | see Fig.8 | 4.5 | 20 | 9 | – | ns |
| $t_{rem}$ | removal time set or reset | see Fig.8 | 4.5 | 8 | 1 | – | ns |
| $t_{su}$ | set-up time nD to nCP | see Fig.7 | 4.5 | 15 | 5 | – | ns |
| $t_h$ | hold time nCP to nD | see Fig.7 | 4.5 | +3 | −3 | – | ns |
| $f_{max}$ | maximum clock pulse frequency | see Fig.7 | 4.5 | 22 | 54 | – | MHz |
| **$T_{amb}$ = −40 to +125 °C** | | | | | | | |
| $t_{PHL}/t_{PLH}$ | propagation delay nCP to nQ, $n\overline{Q}$ | see Fig.7 | 4.5 | – | – | 53 | ns |
| | propagation delay $n\overline{SD}$ to nQ, $n\overline{Q}$ | see Fig.8 | 4.5 | – | – | 60 | ns |
| | propagation delay $n\overline{RD}$ to nQ, $n\overline{Q}$ | see Fig.8 | 4.5 | – | – | 60 | ns |
| $t_{THL}/t_{TLH}$ | output transition time | see Fig.7 | 4.5 | – | – | 22 | ns |
| $t_W$ | clock pulse width HIGH or LOW | see Fig.7 | 4.5 | 27 | – | – | ns |
| | set or reset pulse width LOW | see Fig.8 | 4.5 | 24 | – | – | ns |
| $t_{rem}$ | removal time set or reset | see Fig.8 | 4.5 | 9 | – | – | ns |
| $t_{su}$ | set-up time nD to nCP | see Fig.7 | 4.5 | 18 | – | – | ns |
| $t_h$ | hold time nCP to nD | see Fig.7 | 4.5 | 3 | – | – | ns |
| $f_{max}$ | maximum clock pulse frequency | see Fig.7 | 4.5 | 18 | – | – | MHz |



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## AC WAVEFORMS

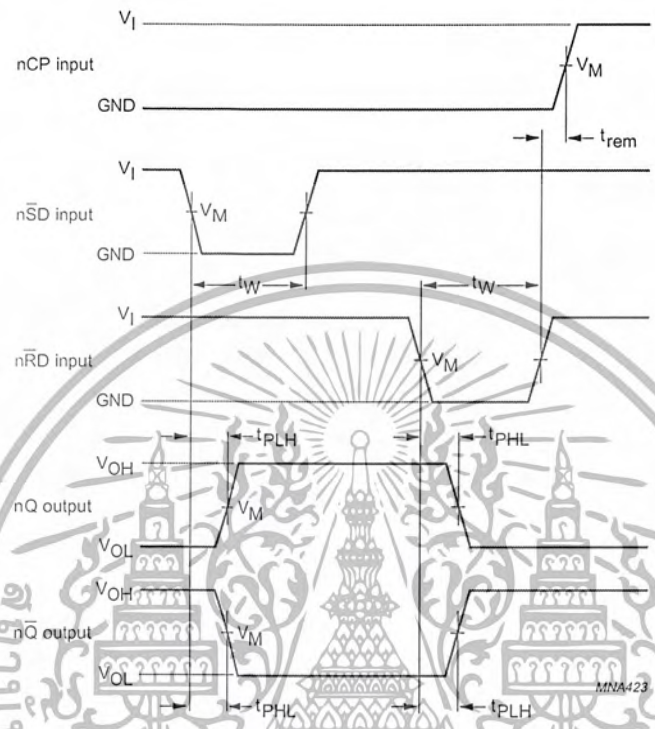



The shaded areas indicate when the input is permitted to change for predictable output performance.
74HC74: $V_M$ = 50%; $V_I$ = GND to $V_{CC}$.
74HCT74: $V_M$ = 1.3 V; $V_I$ = GND to 3 V.

Fig.7 The clock (nCP) to output (nQ, nQ̄) propagation delays, the clock pulse width, the nD to nCP set-up, the nCP to nD hold times, the output transition times and the maximum clock pulse frequency.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

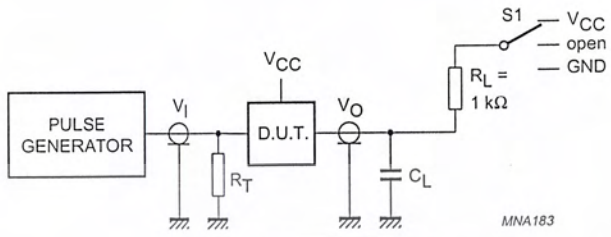



74HC74: $V_M$ = 50%; $V_I$ = GND to $V_{CC}$.
74HCT74: $V_M$ = 1.3 V; $V_I$ = GND to 3 V.

Fig.8 The set (nSD) and reset (nRD) input to output (nQ, nQ) propagation delays, the set and reset pulse widths and the nRD, nRD to nCP removal time.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




| TEST | S1 |
|---|---|
| $t_{PZH}$ | GND |
| $t_{PZL}$ | $V_{CC}$ |
| $t_{PHZ}$ | GND |
| $t_{PLZ}$ | $V_{CC}$ |

Definitions for test circuit:
$R_L$ = Load resistor.
$C_L$ = Load capacitance including jig and probe capacitance.
$R_T$ = Termination resistance should be equal to the output impedance $Z_o$ of the pulse generator.

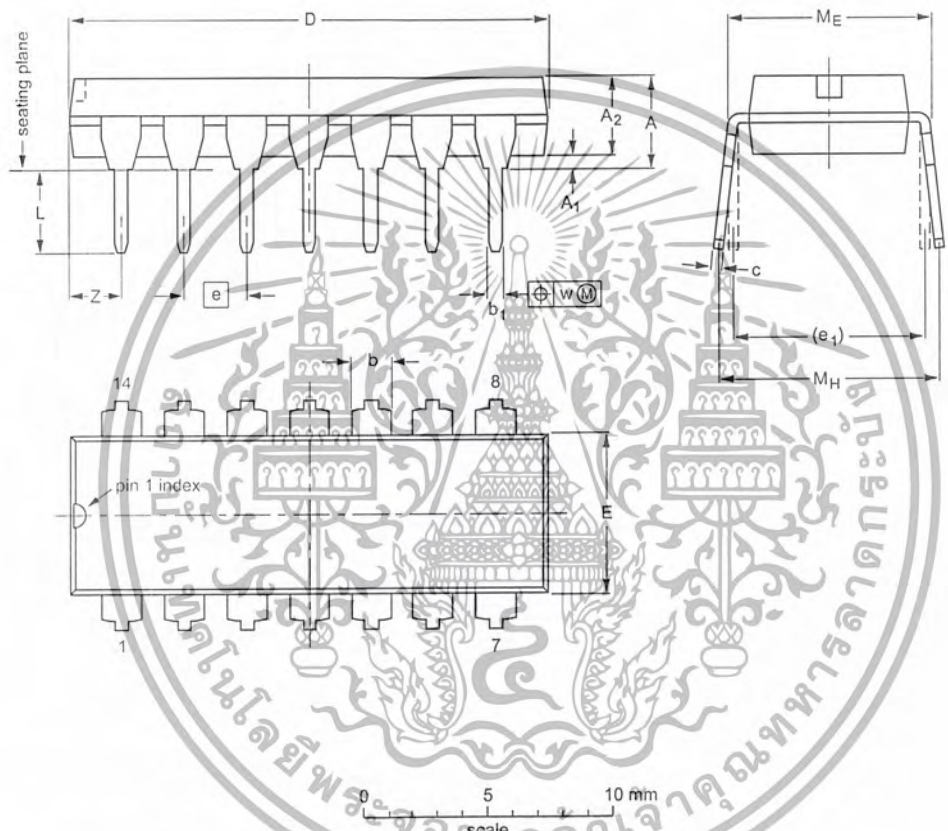
Fig.9 Load circuitry for switching times.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## PACKAGE OUTLINES

**DIP14: plastic dual in-line package; 14 leads (300 mil)** **SOT27-1**




**DIMENSIONS** (inch dimensions are derived from the original mm dimensions)

| UNIT | A max. | $A_1$ min. | $A_2$ max. | b | $b_1$ | c | $D^{(1)}$ | $E^{(1)}$ | e | $e_1$ | L | $M_E$ | $M_H$ | w | $Z^{(1)}$ max. |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| mm | 4.2 | 0.51 | 3.2 | 1.73<br>1.13 | 0.53<br>0.38 | 0.36<br>0.23 | 19.50<br>18.55 | 6.48<br>6.20 | 2.54 | 7.62 | 3.60<br>3.05 | 8.25<br>7.80 | 10.0<br>8.3 | 0.254 | 2.2 |
| inches | 0.17 | 0.02 | 0.13 | 0.068<br>0.044 | 0.021<br>0.015 | 0.014<br>0.009 | 0.77<br>0.73 | 0.26<br>0.24 | 0.1 | 0.3 | 0.14<br>0.12 | 0.32<br>0.31 | 0.39<br>0.33 | 0.01 | 0.087 |

Note

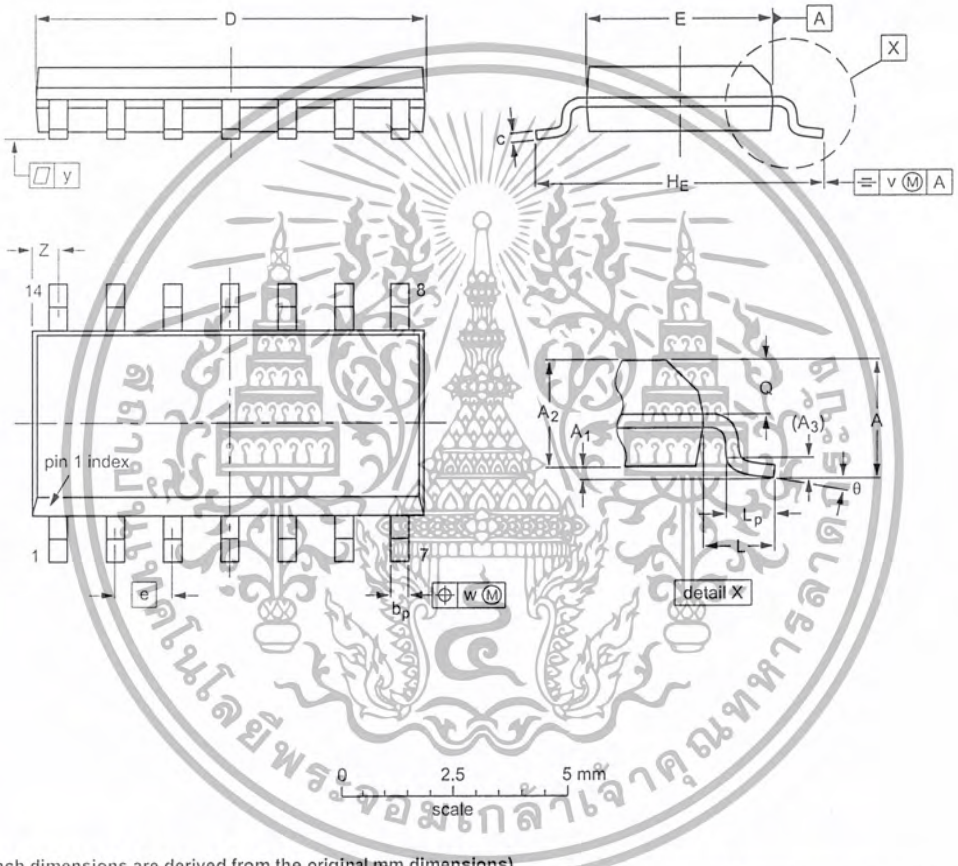
1. Plastic or metal protrusions of 0.25 mm (0.01 inch) maximum per side are not included.

| OUTLINE VERSION | REFERENCES | | | | EUROPEAN PROJECTION | ISSUE DATE |
|---|---|---|---|---|---|---|
| | IEC | JEDEC | JEITA | | | |
| SOT27-1 | 050G04 | MO-001 | SC-501-14 | | | ~~99-12-27~~<br>03-02-13 |



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**SO14: plastic small outline package; 14 leads; body width 3.9 mm** **SOT108-1**




DIMENSIONS (inch dimensions are derived from the original mm dimensions)

| UNIT | A max. | $A_1$ | $A_2$ | $A_3$ | $b_p$ | c | $D^{(1)}$ | $E^{(1)}$ | e | $H_E$ | L | $L_p$ | Q | v | w | y | $Z^{(1)}$ | θ |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| mm | 1.75 | 0.25<br>0.10 | 1.45<br>1.25 | 0.25 | 0.49<br>0.36 | 0.25<br>0.19 | 8.75<br>8.55 | 4.0<br>3.8 | 1.27 | 6.2<br>5.8 | 1.05 | 1.0<br>0.4 | 0.7<br>0.6 | 0.25 | 0.25 | 0.1 | 0.7<br>0.3 | 8°<br>0° |
| inches | 0.069 | 0.010<br>0.004 | 0.057<br>0.049 | 0.01 | 0.019<br>0.014 | 0.0100<br>0.0075 | 0.35<br>0.34 | 0.16<br>0.15 | 0.05 | 0.244<br>0.228 | 0.041 | 0.039<br>0.016 | 0.028<br>0.024 | 0.01 | 0.01 | 0.004 | 0.028<br>0.012 | |

Note

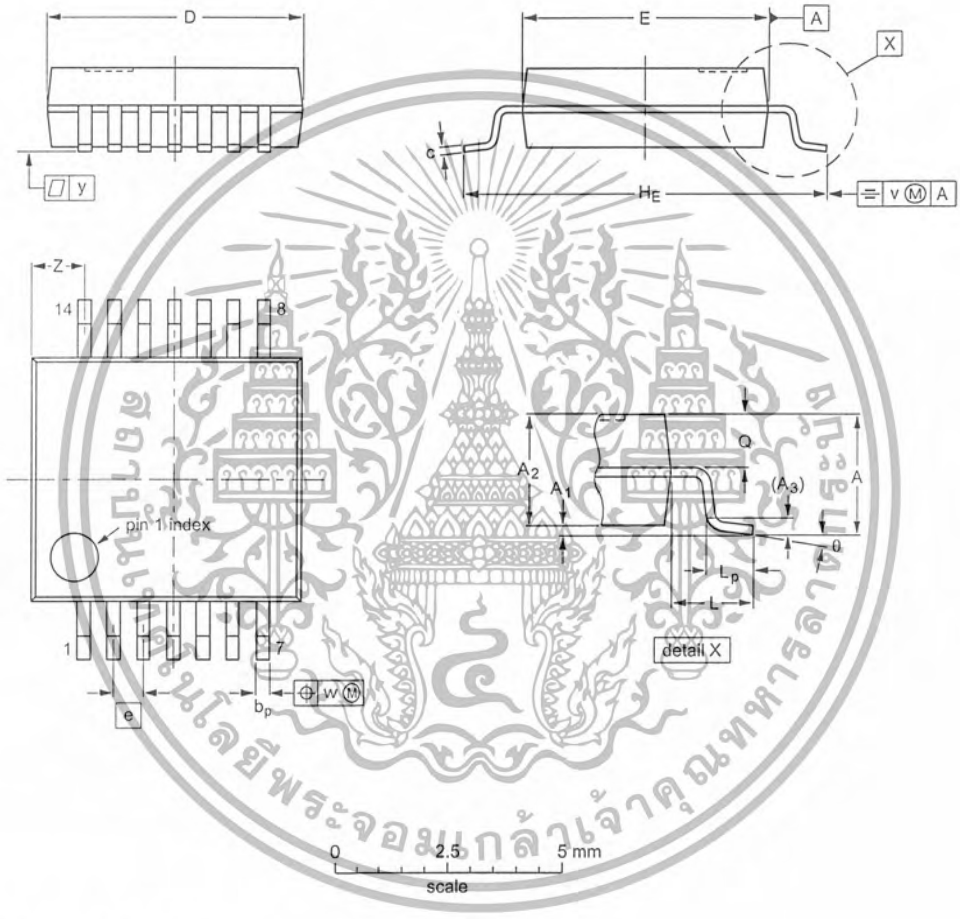
1. Plastic or metal protrusions of 0.15 mm (0.006 inch) maximum per side are not included.

| OUTLINE VERSION | REFERENCES | | | | EUROPEAN PROJECTION | ISSUE DATE |
|---|---|---|---|---|---|---|
| | IEC | JEDEC | JEITA | | | |
| SOT108-1 | 076E06 | MS-012 | | | | ~~99-12-27~~<br>03-02-19 |



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SSOP14: plastic shrink small outline package; 14 leads; body width 5.3 mm SOT337-1




DIMENSIONS (mm are the original dimensions)

| UNIT | A max. | $A_1$ | $A_2$ | $A_3$ | $b_p$ | c | D (1) | E (1) | e | $H_E$ | L | $L_p$ | Q | v | w | y | Z (1) | θ |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| mm | 2 | 0.21<br>0.05 | 1.80<br>1.65 | 0.25 | 0.38<br>0.25 | 0.20<br>0.09 | 6.4<br>6.0 | 5.4<br>5.2 | 0.65 | 7.9<br>7.6 | 1.25 | 1.03<br>0.63 | 0.9<br>0.7 | 0.2 | 0.13 | 0.1 | 1.4<br>0.9 | 8°<br>0° |

Note

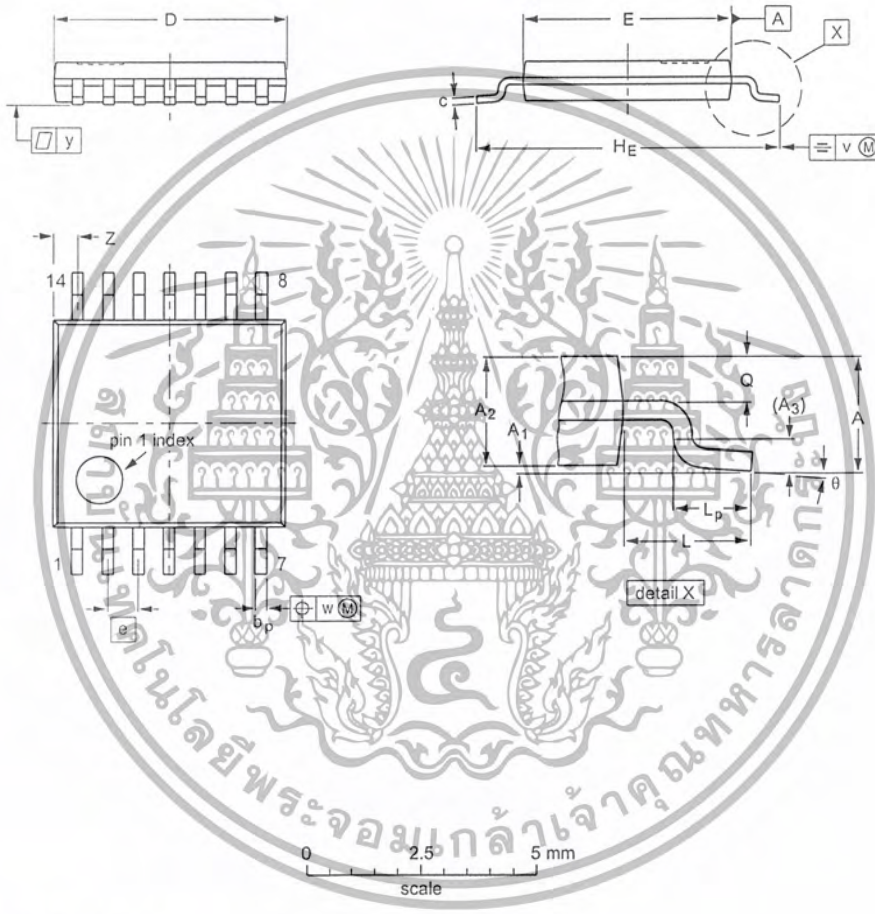
1. Plastic or metal protrusions of 0.25 mm maximum per side are not included.

| OUTLINE VERSION | REFERENCES | | | | EUROPEAN PROJECTION | ISSUE DATE |
|---|---|---|---|---|---|---|
| | IEC | JEDEC | JEITA | | | |
| SOT337-1 | | MO-150 | | | | ~~99-12-27~~<br>03-02-19 |



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**TSSOP14: plastic thin shrink small outline package; 14 leads; body width 4.4 mm** **SOT402-1**




**DIMENSIONS** (mm are the original dimensions)

| UNIT | A max. | $A_1$ | $A_2$ | $A_3$ | $b_p$ | c | D (1) | E (2) | e | $H_E$ | L | $L_p$ | Q | v | w | y | Z (1) | θ |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| mm | 1.1 | 0.15<br>0.05 | 0.95<br>0.80 | 0.25 | 0.30<br>0.19 | 0.2<br>0.1 | 5.1<br>4.9 | 4.5<br>4.3 | 0.65 | 6.6<br>6.2 | 1 | 0.75<br>0.50 | 0.4<br>0.3 | 0.2 | 0.13 | 0.1 | 0.72<br>0.38 | 8°<br>0° |

Notes

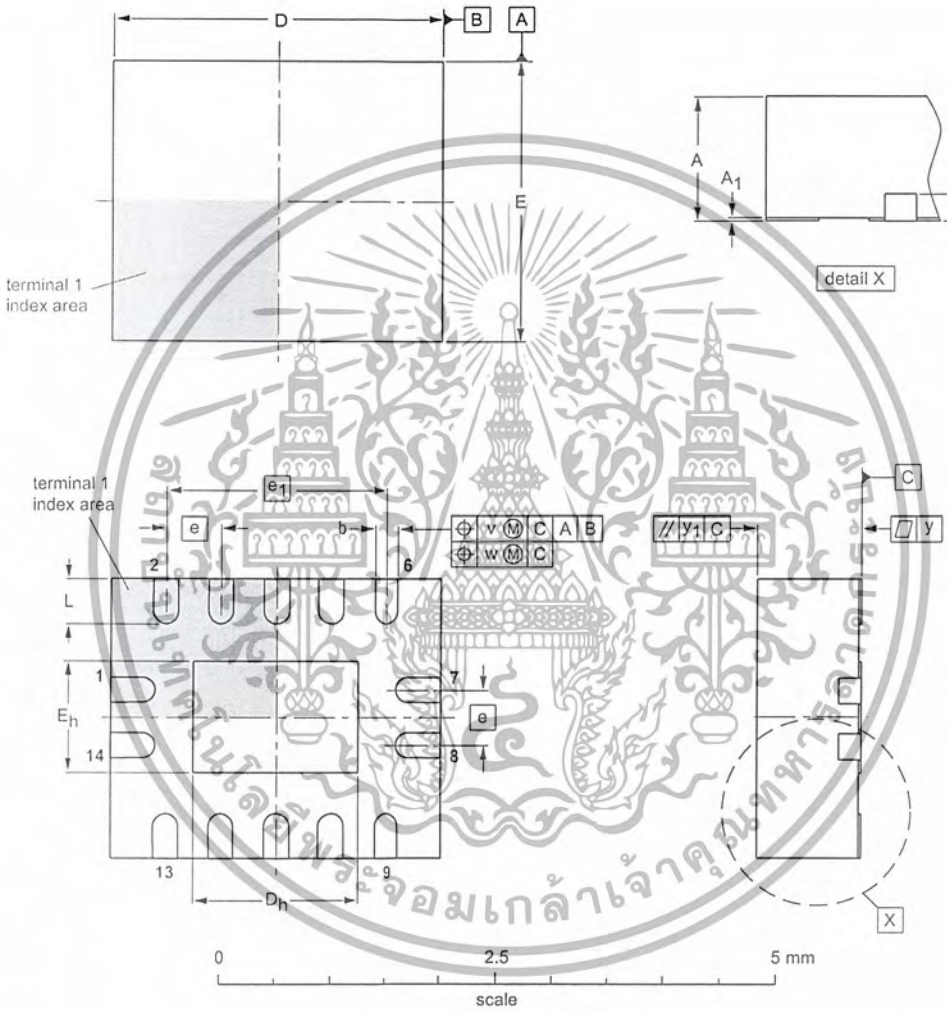
1. Plastic or metal protrusions of 0.15 mm maximum per side are not included.
2. Plastic interlead protrusions of 0.25 mm maximum per side are not included.

| OUTLINE VERSION | REFERENCES | | | | EUROPEAN PROJECTION | ISSUE DATE |
|---|---|---|---|---|---|---|
| | IEC | JEDEC | JEITA | | | |
| SOT402-1 | | MO-153 | | | | ~~99-12-27~~<br>03-02-18 |



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**DHVQFN14: plastic dual in-line compatible thermal enhanced very thin quad flat package; no leads; 14 terminals; body 2.5 x 3 x 0.85 mm** **SOT762-1**




**DIMENSIONS** (mm are the original dimensions)

| UNIT | A(1) max. | $A_1$ | b | c | D(1) | $D_h$ | E(1) | $E_h$ | e | $e_1$ | L | v | w | y | $y_1$ |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| mm | 1 | 0.05<br>0.00 | 0.30<br>0.18 | 0.2 | 3.1<br>2.9 | 1.65<br>1.35 | 2.6<br>2.4 | 1.15<br>0.85 | 0.5 | 2 | 0.5<br>0.3 | 0.1 | 0.05 | 0.05 | 0.1 |

**Note**

1. Plastic or metal protrusions of 0.075 mm maximum per side are not included.

| OUTLINE VERSION | REFERENCES | | | | EUROPEAN PROJECTION | ISSUE DATE |
|---|---|---|---|---|---|---|
| | IEC | JEDEC | JEITA | | | |
| SOT762-1 | --- | MO-241 | --- | | | ~~02-10-17~~<br>03-01-27 |



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DATA SHEET STATUS

| LEVEL | DATA SHEET STATUS[1] | PRODUCT STATUS[2][3] | DEFINITION |
|---|---|---|---|
| I | Objective data | Development | This data sheet contains data from the objective specification for product development. Philips Semiconductors reserves the right to change the specification in any manner without notice. |
| II | Preliminary data | Qualification | This data sheet contains data from the preliminary specification. Supplementary data will be published at a later date. Philips Semiconductors reserves the right to change the specification without notice, in order to improve the design and supply the best possible product. |
| III | Product data | Production | This data sheet contains data from the product specification. Philips Semiconductors reserves the right to make changes at any time in order to improve the design, manufacturing and supply. Relevant changes will be communicated via a Customer Product/Process Change Notification (CPCN). |

Notes

1. Please consult the most recently issued data sheet before initiating or completing a design.
2. The product status of the device(s) described in this data sheet may have changed since this data sheet was published. The latest information is available on the Internet at URL http://www.semiconductors.philips.com.
3. For data sheets describing multiple type numbers, the highest-level product status determines the data sheet status.

DEFINITIONS

**Short-form specification** — The data in a short-form specification is extracted from a full data sheet with the same type number and title. For detailed information see the relevant data sheet or data handbook.

**Limiting values definition** — Limiting values given are in accordance with the Absolute Maximum Rating System (IEC 60134). Stress above one or more of the limiting values may cause permanent damage to the device. These are stress ratings only and operation of the device at these or at any other conditions above those given in the Characteristics sections of the specification is not implied. Exposure to limiting values for extended periods may affect device reliability.

**Application information** — Applications that are described herein for any of these products are for illustrative purposes only. Philips Semiconductors make no representation or warranty that such applications will be suitable for the specified use without further testing or modification.

DISCLAIMERS

**Life support applications** — These products are not designed for use in life support appliances, devices, or systems where malfunction of these products can reasonably be expected to result in personal injury. Philips Semiconductors customers using or selling these products for use in such applications do so at their own risk and agree to fully indemnify Philips Semiconductors for any damages resulting from such application.

**Right to make changes** — Philips Semiconductors reserves the right to make changes in the products - including circuits, standard cells, and/or software - described or contained herein in order to improve design and/or performance. When the product is in full production (status 'Production'), relevant changes will be communicated via a Customer Product/Process Change Notification (CPCN). Philips Semiconductors assumes no responsibility or liability for the use of any of these products, conveys no licence or title under any patent, copyright, or mask work right to these products, and makes no representations or warranties that these products are free from patent, copyright, or mask work right infringement, unless otherwise specified.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# *Philips Semiconductors – a worldwide company*

**Contact information**

For additional information please visit **http://www.semiconductors.philips.com.** Fax: **+31 40 27 24825**
For sales offices addresses send e-mail to: **sales.addresses@www.semiconductors.philips.com.**



© Koninklijke Philips Electronics N.V. 2003 SCA75

All rights are reserved. Reproduction in whole or in part is prohibited without the prior written consent of the copyright owner.
The information presented in this document does not form part of any quotation or contract, is believed to be accurate and reliable and may be changed without notice. No liability will be accepted by the publisher for any consequence of its use. Publication thereof does not convey nor imply any license under patent- or other industrial or intellectual property rights.



Printed in The Netherlands 613508/03/pp22 Date of release: 2003 Jul 10 Document order number: 9397 750 11259


*Let's make things better.*

Philips Semiconductors

PHILIPS


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# DATA SHEET

For a complete data sheet, please also download:

- The IC06 74HC/HCT/HCU/HCMOS Logic Family Specifications
- The IC06 74HC/HCT/HCU/HCMOS Logic Package Information
- The IC06 74HC/HCT/HCU/HCMOS Logic Package Outlines

## 74HC/HCT86
## Quad 2-input EXCLUSIVE-OR gate

Product specification
File under Integrated Circuits, IC06

December 1990

Philips
Semiconductors

PHILIPS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# Quad 2-input EXCLUSIVE-OR gate 74HC/HCT86

## FEATURES

- Output capability: standard
- $I_{CC}$ category: SSI

## GENERAL DESCRIPTION

The 74HC/HCT86 are high-speed Si-gate CMOS devices and are pin compatible with low power Schottky TTL (LSTTL). They are specified in compliance with JEDEC standard no. 7A.
The 74HC/HCT86 provide the EXCLUSIVE–OR function.

## QUICK REFERENCE DATA

GND = 0 V; $T_{amb}$ = 25 °C; $t_r = t_f$ = 6 ns

| SYMBOL | PARAMETER | CONDITIONS | TYPICAL | | UNIT |
|---|---|---|---|---|---|
| | | | HC | HCT | |
| $t_{PHL}/ t_{PLH}$ | propagation delay nA, nB to nY | $C_L$ = 15 pF; $V_{CC}$ = 5 V | 11 | 14 | ns |
| $C_I$ | input capacitance | | 3.5 | 3.5 | pF |
| $C_{PD}$ | power dissipation capacitance per gate | notes 1 and 2 | 30 | 30 | pF |

Notes

1. $C_{PD}$ is used to determine the dynamic power dissipation ($P_D$ in µW):
   $P_D = C_{PD} \times V_{CC}^2 \times f_i + \Sigma (C_L \times V_{CC}^2 \times f_o)$ where:
   $f_i$ = input frequency in MHz
   $f_o$ = output frequency in MHz
   $\Sigma (C_L \times V_{CC}^2 \times f_o)$ = sum of outputs
   $C_L$ = output load capacitance in pF
   $V_{CC}$ = supply voltage in V
2. For HC the condition is $V_I$ = GND to $V_{CC}$
   For HCT the condition is $V_I$ = GND to $V_{CC}$ − 1.5 V

## ORDERING INFORMATION

See *"74HC/HCT/HCU/HCMOS Logic Package Information"*.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## PIN DESCRIPTION

| PIN NO. | SYMBOL | NAME AND FUNCTION |
|---|---|---|
| 1, 4, 9, 12 | 1A to 4A | data inputs |
| 2, 5, 10, 13 | 1B to 4B | data inputs |
| 3, 6, 8, 11 | 1Y to 4Y | data outputs |
| 7 | GND | ground (0 V) |
| 14 | $V_{CC}$ | positive supply voltage |

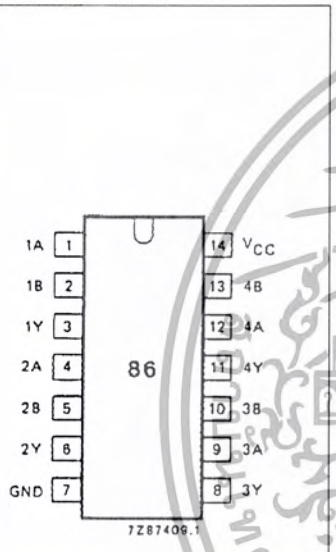



Fig.1 Pin configuration.

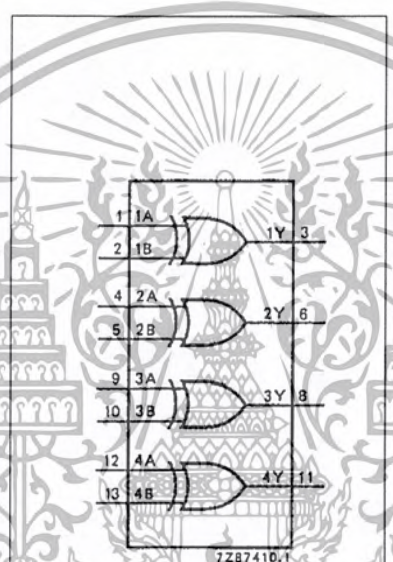



Fig.2 Logic symbol.

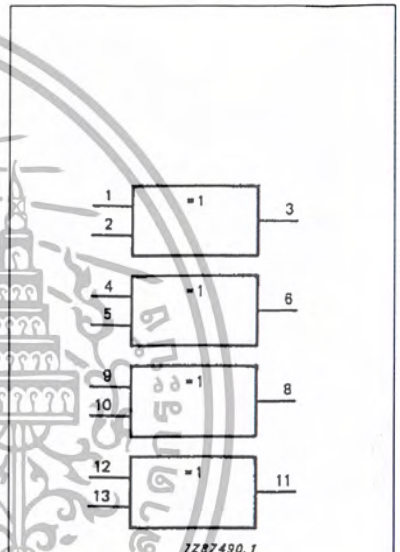



Fig.3 IEC logic symbol.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

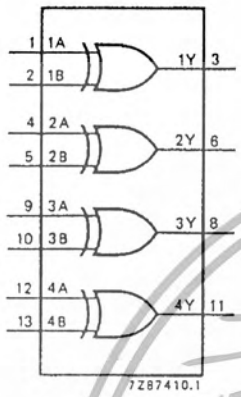



Fig.4 Functional diagram.

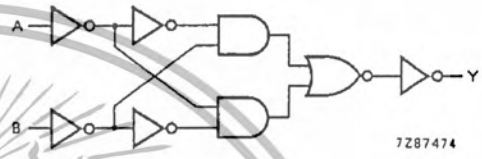



Fig.5 Logic diagram (one gate).

**FUNCTION TABLE**

| INPUTS | | OUTPUTS |
|---|---|---|
| nA | nB | nY |
| L | L | L |
| L | H | H |
| H | L | H |
| H | H | L |

Notes

1. H = HIGH voltage level
   L = LOW voltage level



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## DC CHARACTERISTICS FOR 74HC

For the DC characteristics see *"74HC/HCT/HCU/HCMOS Logic Family Specifications"*.

Output capability: standard
$I_{CC}$ category: SSI

## AC CHARACTERISTICS FOR 74HC

GND = 0 V; $t_r = t_f$ = 6 ns; $C_L$ = 50 pF

| SYMBOL | PARAMETER | $T_{amb}$ (°C) | | | | | | | UNIT | TEST CONDITIONS | |
|---|---|---|---|---|---|---|---|---|---|---|---|
| | | 74HC | | | | | | | | $V_{CC}$ (V) | WAVEFORMS |
| | | +25 | | | −40 to +85 | | −40 to +125 | | | | |
| | | min. | typ. | max. | min. | max. | min. | max. | | | |
| $t_{PHL}/ t_{PLH}$ | propagation delay nA, nB to nY | | 39<br>14<br>11 | 120<br>24<br>20 | | 150<br>30<br>26 | | 180<br>36<br>31 | ns | 2.0<br>4.5<br>6.0 | Fig.6 |
| $t_{THL}/ t_{TLH}$ | output transition time | | 19<br>7<br>6 | 75<br>15<br>13 | | 95<br>19<br>16 | | 110<br>22<br>19 | ns | 2.0<br>4.5<br>6.0 | Fig.6 |

## DC CHARACTERISTICS FOR 74HCT

For the DC characteristics see *"74HC/HCT/HCU/HCMOS Logic Family Specifications"*.

Output capability: standard
$I_{CC}$ category: SSI

### Notes to HCT types

The value of additional quiescent supply current ($\Delta I_{CC}$) for a unit load of 1 is given in the family specifications. To determine $\Delta I_{CC}$ per input, multiply this value by the unit load coefficient shown in the table below.

| INPUT | UNIT LOAD COEFFICIENT |
|---|---|
| nA, nB | 1.0 |

## AC CHARACTERISTICS FOR 74HCT

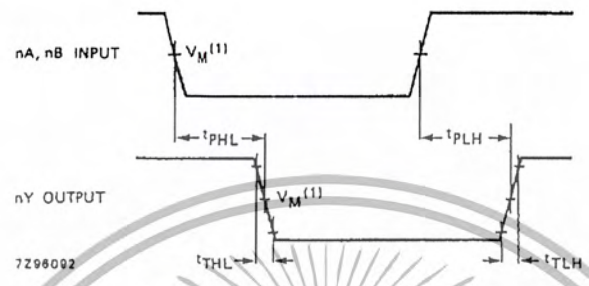
GND = 0 V; $t_r = t_f$ = 6 ns; $C_L$ = 50 pF

| SYMBOL | PARAMETER | $T_{amb}$ (°C) | | | | | | | UNIT | TEST CONDITIONS | |
|---|---|---|---|---|---|---|---|---|---|---|---|
| | | 74HCT | | | | | | | | $V_{CC}$ (V) | WAVEFORMS |
| | | +25 | | | −40 to +85 | | −40 to +125 | | | | |
| | | min. | typ. | max. | min. | max. | min. | max. | | | |
| $t_{PHL}/ t_{PLH}$ | propagation delay nA, nB to nY | | 17 | 32 | | 40 | | 48 | ns | 4.5 | Fig.6 |
| $t_{THL}/ t_{TLH}$ | output transition time | | 7 | 15 | | 19 | | 22 | ns | 4.5 | Fig.6 |



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## AC WAVEFORMS




(1) HC : $V_M$ = 50%; $V_I$ = GND to $V_{CC}$.
HCT: $V_M$ = 1.3 V; $V_I$ = GND to 3 V.

Fig.6 Waveforms showing the input (nA, nB) to output (nY) propagation delays and the output transition times.

## PACKAGE OUTLINES

See *"74HC/HCT/HCU/HCMOS Logic Package Outlines"*.



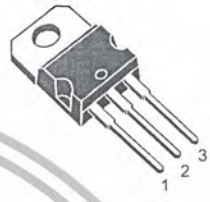
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# IRF530

## N-CHANNEL 100V - 0.115 Ω - 14A TO-220
## LOW GATE CHARGE STripFET™ II POWER MOSFET

| TYPE | $V_{DSS}$ | $R_{DS(on)}$ | $I_D$ |
|---|---|---|---|
| IRF530 | 100 V | <0.16 Ω | 14 A |

- TYPICAL $R_{DS}(on)$ = 0.115Ω
- AVALANCHE RUGGED TECHNOLOGY
- 100% AVALANCHE TESTED
- LOW GATE CHARGE
- HIGH CURRENT CAPABILITY
- 175 ºC OPERATING TEMPERATURE




TO-220

### DESCRIPTION

This MOSFET series realized with STMicroelectronics unique STripFET™ process has specifically been designed to minimize input capacitance and gate charge. It is therefore suitable as primary switch in advanced high-efficiency, high-frequency isolated DC-DC converters for Telecom and Computer applications. It is also intended for any applications with low gate drive requirements.

### INTERNAL SCHEMATIC DIAGRAM

### APPLICATIONS

- HIGH CURRENT, HIGH SWITCHING SPEED
- SOLENOID AND RELAY DRIVERS
- REGULATOR
- DC-DC & DC-AC CONVERTERS
- MOTOR CONTROL, AUDIO AMPLIFIERS
- AUTOMOTIVE ENVIRONMENT (INJECTION, ABS, AIR-BAG, LAMPDRIVERS, etc.)

### ABSOLUTE MAXIMUM RATINGS

| Symbol | Parameter | Value | Unit |
|---|---|---|---|
| $V_{DS}$ | Drain-source Voltage ($V_{GS}$ = 0) | 100 | V |
| $V_{DGR}$ | Drain-gate Voltage ($R_{GS}$ = 20 kΩ) | 100 | V |
| $V_{GS}$ | Gate- source Voltage | ± 20 | V |
| $I_D$ | Drain Current (continuous) at $T_C$ = 25°C | 14 | A |
| $I_D$ | Drain Current (continuous) at $T_C$ = 100°C | 10 | A |
| $I_{DM}$(•) | Drain Current (pulsed) | 56 | A |
| $P_{tot}$ | Total Dissipation at $T_C$ = 25°C | 60 | W |
| | Derating Factor | 0.4 | W/°C |
| dv/dt (1) | Peak Diode Recovery voltage slope | 20 | V/ns |
| $E_{AS}$ (2) | Single Pulse Avalanche Energy | 70 | mJ |
| $T_{stg}$ | Storage Temperature | -55 to 175 | °C |
| $T_j$ | Operating Junction Temperature | | |

(•) Pulse width limited by safe operating area.

(1) $I_{SD}$ ≤14A, di/dt ≤300A/µs, $V_{DD}$ ≤ $V_{(BR)DSS}$, $T_j$ ≤ $T_{JMAX}$
(2) Starting $T_j$ = 25 ºC, $I_D$ = 14A, $V_{DD}$ = 50V



NEW DATASHEET ACCORDING TO PCN DSG/CT/1C02 MARKING: IRF530 @.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## THERMAL DATA

| | | | | |
|---|---|---|---|---|
| Rthj-case | Thermal Resistance Junction-case | Max | 2.5 | °C/W |
| Rthj-amb | Thermal Resistance Junction-ambient | Max | 62.5 | °C/W |
| $T_l$ | Maximum Lead Temperature For Soldering Purpose | | 300 | °C |

## ELECTRICAL CHARACTERISTICS ($T_{case}$ = 25 °C unless otherwise specified)

OFF

| Symbol | Parameter | Test Conditions | Min. | Typ. | Max. | Unit |
|---|---|---|---|---|---|---|
| $V_{(BR)DSS}$ | Drain-source Breakdown Voltage | $I_D$ = 250 µA, $V_{GS}$ = 0 | 100 | | | V |
| $I_{DSS}$ | Zero Gate Voltage Drain Current ($V_{GS}$ = 0) | $V_{DS}$ = Max Rating<br>$V_{DS}$ = Max Rating $T_C$ = 100°C | | | 1<br>10 | µA<br>µA |
| $I_{GSS}$ | Gate-body Leakage Current ($V_{DS}$ = 0) | $V_{GS}$ = ± 20 V | | | ±100 | nA |

ON (*)

| Symbol | Parameter | Test Conditions | Min. | Typ. | Max. | Unit |
|---|---|---|---|---|---|---|
| $V_{GS(th)}$ | Gate Threshold Voltage | $V_{DS}$ = $V_{GS}$ $I_D$ = 250 µA | 2 | 3 | 4 | V |
| $R_{DS(on)}$ | Static Drain-source On Resistance | $V_{GS}$ = 10 V $I_D$ = 7 A | | 0.115 | 0.16 | Ω |

DYNAMIC

| Symbol | Parameter | Test Conditions | Min. | Typ. | Max. | Unit |
|---|---|---|---|---|---|---|
| $g_{fs}$ (*) | Forward Transconductance | $V_{DS}$ = 15 V $I_D$ = 7 A | | 7 | | S |
| $C_{iss}$<br>$C_{oss}$<br>$C_{rss}$ | Input Capacitance<br>Output Capacitance<br>Reverse Transfer Capacitance | $V_{DS}$ = 25V, f = 1 MHz, $V_{GS}$ = 0 | | 458<br>68<br>29 | | pF<br>pF<br>pF |



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## ELECTRICAL CHARACTERISTICS (continued)

### SWITCHING ON

| Symbol | Parameter | Test Conditions | Min. | Typ. | Max. | Unit |
|---|---|---|---|---|---|---|
| $t_{d(on)}$<br>$t_r$ | Turn-on Delay Time<br>Rise Time | $V_{DD}$ = 50 V $I_D$ = 7 A<br>$R_G$ = 4.7 Ω $V_{GS}$ = 10 V<br>(Resistive Load, Figure 3) | | 16<br>25 | | ns<br>ns |
| $Q_g$<br>$Q_{gs}$<br>$Q_{gd}$ | Total Gate Charge<br>Gate-Source Charge<br>Gate-Drain Charge | $V_{DD}$ = 80V $I_D$ = 14A $V_{GS}$= 10V | | 16<br>3.7<br>4.7 | 21 | nC<br>nC<br>nC |

### SWITCHING OFF

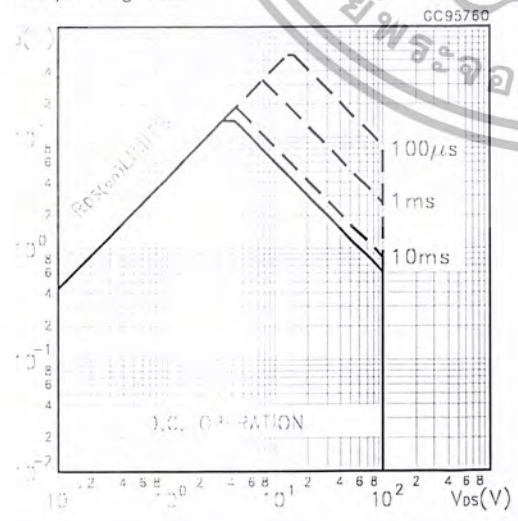
| Symbol | Parameter | Test Conditions | Min. | Typ. | Max. | Unit |
|---|---|---|---|---|---|---|
| $t_{d(off)}$<br>$t_f$ | Turn-off Delay Time<br>Fall Time | $V_{DD}$ = 50 V $I_D$ = 7 A<br>$R_G$ = 4.7Ω, $V_{GS}$ = 10 V<br>(Resistive Load, Figure 3) | | 32<br>8 | | ns<br>ns |

### SOURCE DRAIN DIODE

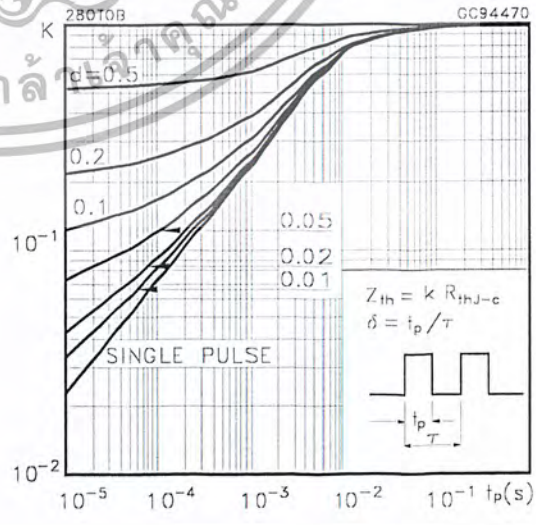
| Symbol | Parameter | Test Conditions | Min. | Typ. | Max. | Unit |
|---|---|---|---|---|---|---|
| $I_{SD}$<br>$I_{SDM}$ (•) | Source-drain Current<br>Source-drain Current (pulsed) | | | | 14<br>56 | A<br>A |
| $V_{SD}$ (*) | Forward On Voltage | $I_{SD}$ = 14 A $V_{GS}$ = 0 | | | 1.6 | V |
| $t_{rr}$<br>$Q_{rr}$<br>$I_{RRM}$ | Reverse Recovery Time<br>Reverse Recovery Charge<br>Reverse Recovery Current | $I_{SD}$ = 14 A di/dt = 100A/µs<br>$V_{DD}$ = 10V $T_j$ = 150°C<br>(see test circuit, Figure 5) | | 92<br>230<br>5 | | ns<br>nC<br>A |

(*)Pulsed: Pulse duration = 300 µs, duty cycle 1.5 %.
(•)Pulse width limited by safe operating area.

Safe Operating Area



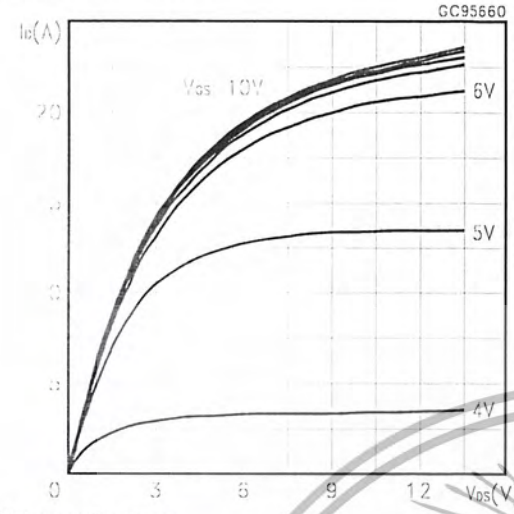

Thermal Impedance



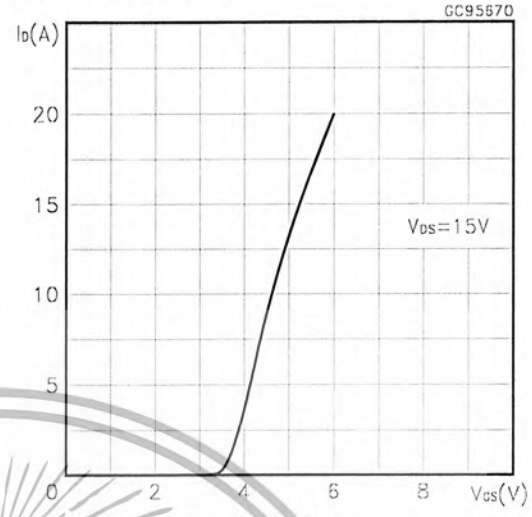



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

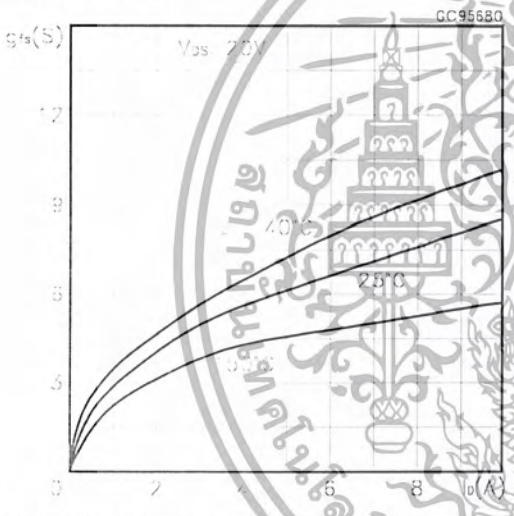
Output Characteristics



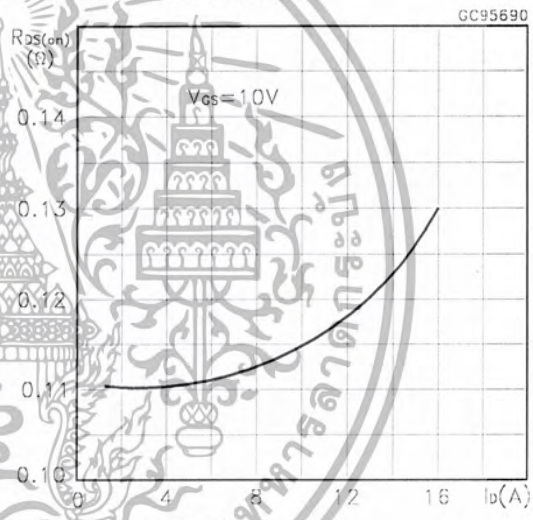

Transfer Characteristics



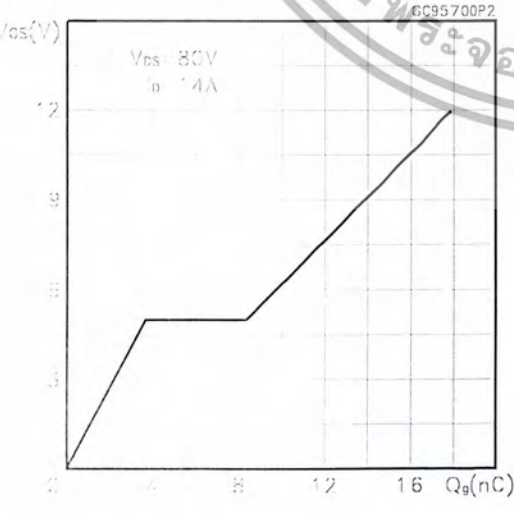

Transconductance



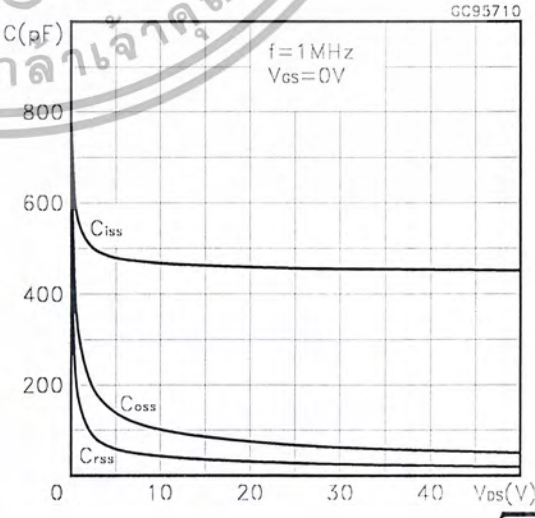

Static Drain-source On Resistance




Gate Charge vs Gate-source Voltage



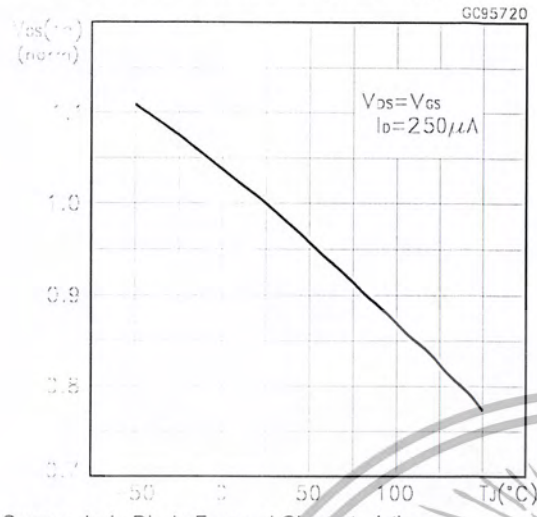

Capacitance Variations



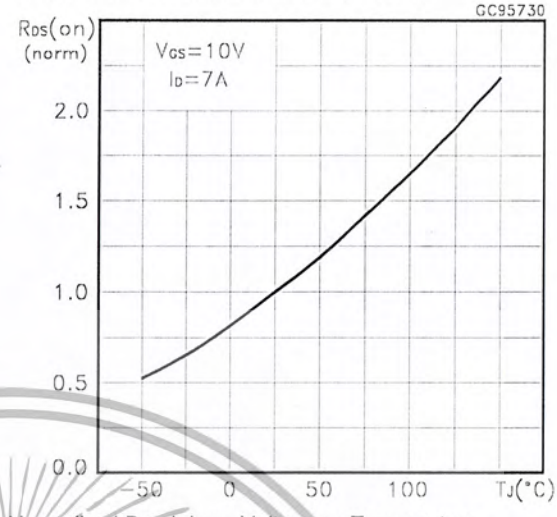



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

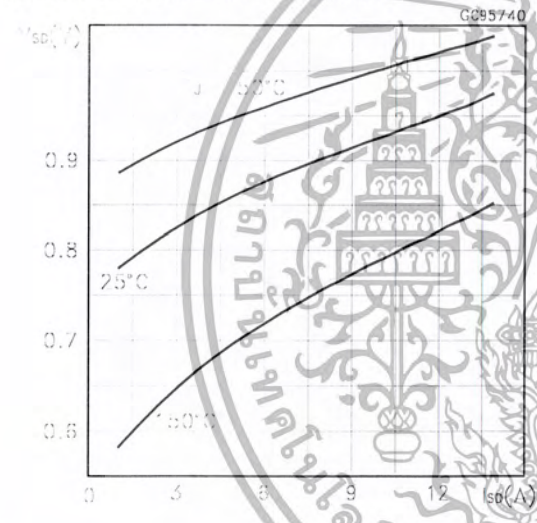
Normalized Gate Threshold Voltage vs Temperature



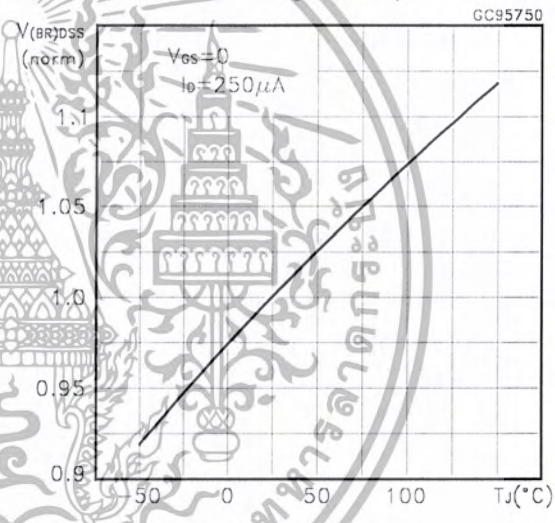

Normalized on Resistance vs Temperature




Source-drain Diode Forward Characteristics




Normalized Breakdown Voltage vs Temperature






เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Fig. 1: Unclamped Inductive Load Test Circuit

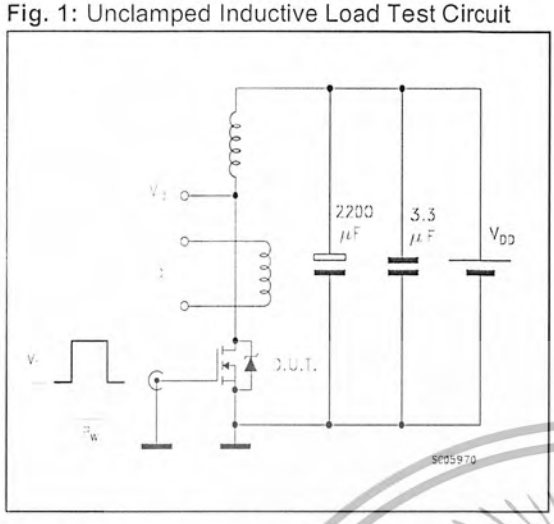



Fig. 2: Unclamped Inductive Waveform

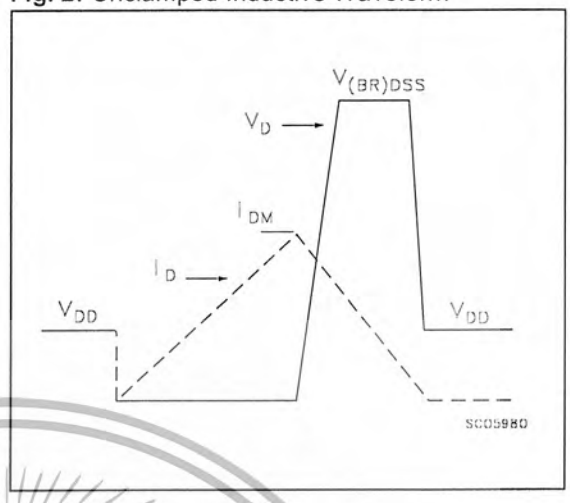



Fig. 3: Switching Times Test Circuits For Resistive Load

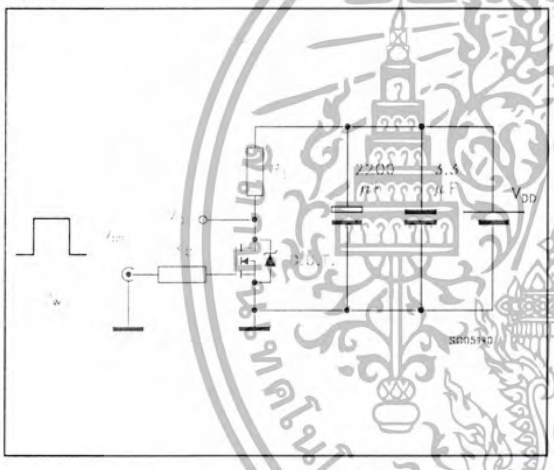



Fig. 4: Gate Charge test Circuit

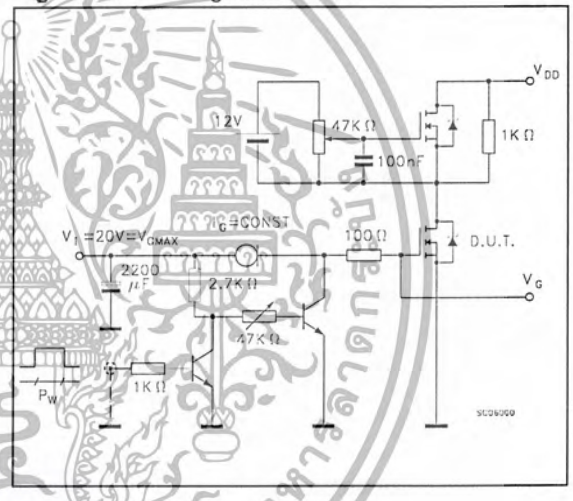
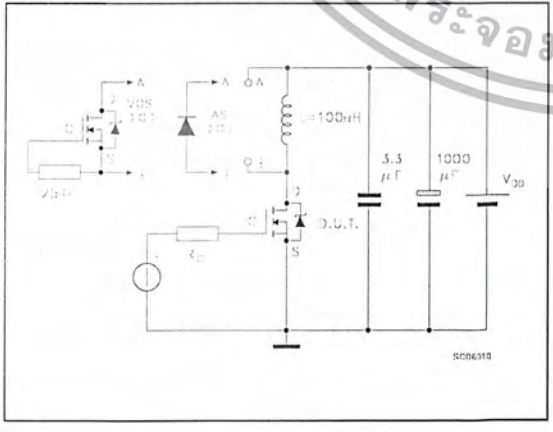



Fig. 5: Test Circuit For Inductive Load Switching And Diode Recovery Times

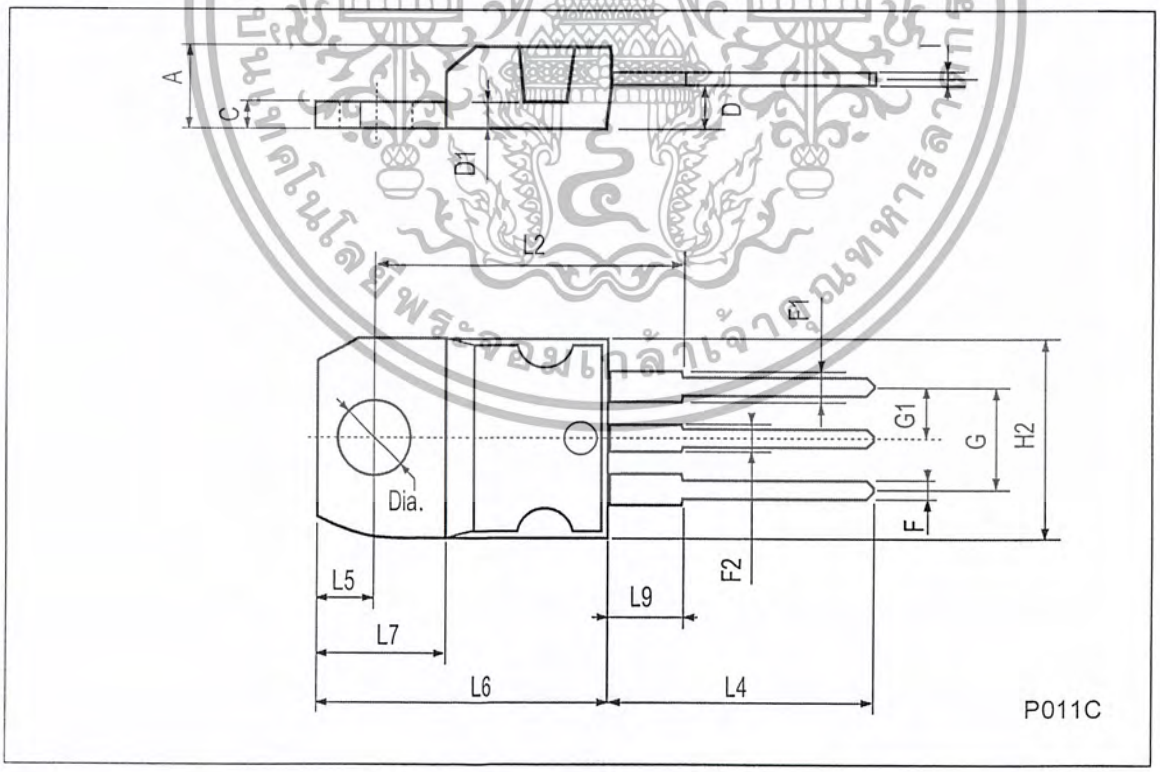





เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## TO-220 MECHANICAL DATA

| DIM. | mm | | | inch | | |
|---|---|---|---|---|---|---|
| | MIN. | TYP. | MAX. | MIN. | TYP. | MAX. |
| A | 4.40 | | 4.60 | 0.173 | | 0.181 |
| C | 1.23 | | 1.32 | 0.048 | | 0.051 |
| D | 2.40 | | 2.72 | 0.094 | | 0.107 |
| D1 | | 1.27 | | | 0.050 | |
| E | 0.49 | | 0.70 | 0.019 | | 0.027 |
| F | 0.61 | | 0.88 | 0.024 | | 0.034 |
| F1 | 1.14 | | 1.70 | 0.044 | | 0.067 |
| F2 | 1.14 | | 1.70 | 0.044 | | 0.067 |
| G | 4.95 | | 5.15 | 0.194 | | 0.203 |
| G1 | 2.4 | | 2.7 | 0.094 | | 0.106 |
| H2 | 10.0 | | 10.40 | 0.393 | | 0.409 |
| L2 | | 16.4 | | | 0.645 | |
| L4 | 13.0 | | 14.0 | 0.511 | | 0.551 |
| L5 | 2.65 | | 2.95 | 0.104 | | 0.116 |
| L6 | 15.25 | | 15.75 | 0.600 | | 0.620 |
| L7 | 6.2 | | 6.6 | 0.244 | | 0.260 |
| L9 | 3.5 | | 3.93 | 0.137 | | 0.154 |
| DIA. | 3.75 | | 3.85 | 0.147 | | 0.151 |






เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Information furnished is believed to be accurate and reliable. However, STMicroelectronics assumes no responsibility for the consequences of use of such information nor for any infringement of patents or other rights of third parties which may result from its use. No license is granted by implication or otherwise under any patent or patent rights of STMicroelectronics. Specifications mentioned in this publication are subject to change without notice. This publication supersedes and replaces all information previously supplied. STMicroelectronics products are not authorized for use as critical components in life support devices or systems without express written approval of STMicroelectronics.

The ST logo is registered trademark of STMicroelectronics
® 2002 STMicroelectronics - All Rights Reserved

All other names are the property of their respective owners.

STMicroelectronics GROUP OF COMPANIES
Australia - Brazil - Canada - China - Finland - France - Germany - Hong Kong - India - Israel - Italy - Japan - Malaysia - Malta - Morocco - Singapore - Spain - Sweden - Switzerland - United Kingdom - United States.

**http://www.st.com**



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้