สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

โมเด็มไร้สาย

WIRELESS MODEM

T055792

โดย

นายอัคชัย มณีไพโรจน์

นายเอกลักษณ์ กลับคง

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2546

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เลขหมู่.....
เลขทะเบียน 55792
วัน,เดือน,ปี 25 พ.ค. 2548

b.....
i.....

โมเด็มไร้สาย

WIRELESS MODEM

โดย

นายอัคชัย มณีไพโรจน์ 43010536

นายเอกลักษณ์ กลับคง 43010562

อาจารย์ที่ปรึกษา

ผ.ศ.ประภากร สุวรรณะ

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2546

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รายงาน ปีการศึกษา 2546

ภาควิชา อิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง โมเด็มไร้สาย

ผู้จัดทำ

1.นายอัคชัย มณีไพโรจน์ เลขประจำตัว 43010536

2.นายเอกลักษณ์ กลับคง เลขประจำตัว 43010562

.....อาจารย์ที่ปรึกษา

(.....)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

รายงานฉบับนี้กว่าที่จะสำเร็จลุล่วงได้ด้วยต้องดีนั้นต้องพบกับอุปสรรคต่างๆ มากมายในแต่ละขั้นตอนของการดำเนินงาน แต่ก็สามารถผ่านพ้นไปได้ ทั้งนี้เพราะได้รับคำแนะนำและคำปรึกษาที่ดีเกี่ยวกับ " WIRELESS MODEM " จาก ผ.ศ.ประภากร สุวรรณะ ซึ่งเป็นอาจารย์ที่ปรึกษาในการทำงาน ผู้จัดทำรู้สึกซาบซึ้งในความอนุเคราะห์จากท่าน และขอกราบขอบพระคุณเป็นอย่างสูง

นอกจากนี้ขอขอบพระคุณทุกๆท่านที่ได้ให้ความช่วยเหลือ ให้คำแนะนำตลอดจนอุปกรณ์ต่างๆจนทำให้รายงานฉบับนี้สำเร็จโดยสมบูรณ์ได้ คุณค่าและประโยชน์อันพึงมีจากรายงานฉบับนี้ผู้จัดทำขอมอบแด่ผู้มีพระคุณทุกๆท่าน

.....

(นายอัฉชัย มณีไพโรจน์)

.....

(นายเอกลักษณ์ กลับคง)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โมเด็มไร้สาย

นายอัคชัย มณีไพโรจน์
นายเอกลักษณ์ กลับคง
ผ.ศ.ประภากร สุวรรณะ(อาจารย์ที่ปรึกษา)
ภาคเรียนที่ 2 ปีการศึกษา 2546

บทคัดย่อ

ปริญญานิพนธ์ฉบับนี้เป็นรายงานการศึกษา และการสร้างเครื่องส่งข้อมูลระหว่างคอมพิวเตอร์ โดยสัญญาณข่าวสารจากเครื่องคอมพิวเตอร์เครื่องหนึ่งไปสู่อีกเครื่องหนึ่ง ผ่านพอร์ทอนุกรมของเครื่องคอมพิวเตอร์ ผ่านการเข้ารหัสแบบ FSK และทำการมอดดูเลทแบบ FM ก่อนนำสัญญาณข่าวสารส่งออกอากาศแบบ Half Duplex จำนวน 16 ช่องสัญญาณ ส่วนที่เครื่องรับจะทำการถอดรหัสแบบ FSK ได้เป็นสัญญาณข่าวสารข้อมูลเข้าสู่พอร์ทอนุกรมของคอมพิวเตอร์ของเครื่องรับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

WIRELESS MODEM

Mr.Akachai Maneepairoj

Mr.Ekalak Klubkong

Assist.Prof. Prapakorn Suwanna (Adviser)

Educational Year 2003

Abstract

This thesis presents a design and implementation of data commucation between Computers. Data is transmitted through a computer serial port and then coded by FSK (Frequency Shift Keying). Next , data modulated and send out by Half Duplex communication about 16 channels. Finally , the data modulated is decoded by FSK and brought to serial port for received computer.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

หน้า

กิตติกรรมประกาศ

บทคัดย่อ

Abstract

บทที่ 1 บทนำ 1

บทที่ 2 ทฤษฎี 2

2.1 ระบบสื่อสาร (COMMUNICATION SYSTEM) 2

2.1.1 ระบบสื่อสารแบบอนาลอก 2

2.1.2 ระบบสื่อสารแบบดิจิตอล 4

2.2การสื่อสารข้อมูล (DATA COMMUNICATION) 5

2.3 การรับส่งข้อมูลแบบขนาน (PARALLEL TRANSMISSION) 6

2.4 การรับส่งข้อมูลแบบอนุกรม (SERIAL TRANSMISSION) 6

2.4.1 การส่งข้อมูลแบบซิงโครนัส 7

2.4.2 การส่งข้อมูลแบบอะซิงโครนัส 8

2.5 ความเร็วในการส่งข้อมูลแบบอนุกรม 12

2.6 การส่งสัญญาณ 12

2.6.1 การส่งผ่านแบบทิศทางเดียว (SIMPLEX) 12

2.6.2 การส่งผ่านแบบสองทิศทางแต่ต่างเวลา (HALF DUPLEX) 13

2.6.3 การส่งผ่านแบบสองทิศทางในเวลาเดียวกัน (FULL DUPLEX) 13

2.7 ลักษณะการรับส่งและการ Echo ของข้อมูล 13

2.8 เทคนิคที่ใช้ข้อมูลแบบ Full Duplex ด้วยสายคู่เดียว 14

2.9 โมเด็ม (MODEM) 15

2.9.1 ความหมายของโมเด็ม 15

2.9.2 หน้าที่ของโมเด็ม 16

2.9.3 โมเด็มชนิดต่อภายนอก 16

2.10 การอินเตอร์เฟส (INTERFACE) 17

2.10.1 มาตรฐาน CCITT V.24 18

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.10.2 มาตรฐาน CCITT V.28 18
2.10.3 มาตรฐาน EIA RS-232C/D 18
บทที่ 3 การมอดดูเลททางความถี่ 19
3.1 บทนำ 19
3.2 การมอดดูเลทของคลื่น 19
3.3 ดัชนีการมอดดูเลท 21
3.4 ไซด์แบนด์ FM 22
3.5 แบนด์วิดท์ของสัญญาณ FM 24
3.6 หลักการของเฟสล็อกลูป 25
3.6.1 การนำวงจรเฟสล็อกลูปไปใช้งาน 27
บทที่ 4 การมอดดูเลทแบบดิจิตอล 30
4.1 บทนำ 30
4.2 การมอดดูเลทสัญญาณดิจิตอล 30
4.2.1 การมอดดูเลทดิจิตอลทางขนาด 30
4.2.2 การมอดดูเลทดิจิตอลทางเฟส 31
4.2.3 การมอดดูเลทดิจิตอลทางความถี่ 32
บทที่ 5 หลักการทำงานของวงจร 37
5.1 วงจร Voltage Control Oscillator 72.8 - 76.55 MHz (VCO) 38
5.2 วงจร Prescaler ทาร 8 39
5.3 วงจร วงจร MCS – 51 กับ ไอซีเฟสล็อกลูป 39
5.4 วงจร วงจร LOW PASS FILTER (ภาครับ) 40
5.5 RECEIVER 43
5.6 วงจร Voltage Control Oscillator 83.5 - 87.25 MHz (VCO) 44
5.7 วงจร Low Pass Filter (ภาคส่ง) 46
บทที่ 6 ผลการทดลอง 50
ภาครับ 50
ภาคส่ง 52

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 7 บทสรุปและวิจารณ์ 55

บรรณานุกรม

ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป

หน้า

บทที่ 2 ทฤษฎี

รูปที่ 2.1 ระบบการสื่อสาร 2
รูปที่ 2.2 แสดงการกำหนดค่าความกว้างแถบ 3
รูปที่ 2.3 แสดงระบบสื่อสารแบบอนาลอก 3
รูปที่ 2.4 แสดงการสื่อสารทั้งแบบอนาลอกและดิจิตอล 4
รูปที่ 2.5 แสดงการส่งข้อมูลผ่านโดยใช้รหัส 5
รูปที่ 2.6 การส่งข้อมูลแบบขนาน 6
รูปที่ 2.7 การส่งข้อมูลแบบอนุกรม 7
รูปที่ 2.8 แสดงการส่งข้อมูลแบบซิงโครนัส 8
รูปที่ 2.9 แสดงรูปแบบข้อมูลแบบซิงโครนัส 9
รูปที่ 2.10 แสดงการส่งข้อมูลแบบอะซิงโครนัส 9
รูปที่ 2.11 แสดงรูปแบบข้อมูลแบบอะซิงโครนัส 9
รูปที่ 2.12 การส่งผ่านแบบทิศทางเดียว 12
รูปที่ 2.13 การส่งผ่านแบบสองทิศทางแต่ต่างเวลากัน 13
รูปที่ 2.14 การส่งผ่านแบบสองทิศทางที่เวลาเดียวกัน 13
รูปที่ 2.15 แสดงตัวอย่างการใช้โมเด็ม 15

บทที่ 3 การมอดดูเลททางความถี่

รูปที่ 3.1 แสดงสัญญาณความถี่เสียงกับสัญญาณที่ถูกมอดดูเลทแบบ FM และ PM 20
รูปที่ 3.2 แสดงการมอดดูเลทคลื่น FM ใน Frequency Domain 20
รูปที่ 3.3 กราฟแสดงแอมปลิจูดของพาหะและไซด์แบนด์ในระบบ FM 22
รูปที่ 3.4 รูปคลื่น FM ในเชิงความถี่ที่ค่าดัชนีการมอดดูเลทเท่ากับ 0, 0.5, 1, 1.5, 2, 3 23
รูปที่ 3.5 บล็อกไดอะแกรมของวงจรเฟสล็อกลูป 25
รูปที่ 3.6 คุณลักษณะระหว่างความถี่กับเออเรอร์โวลท์เตจของเฟสล็อกลูป 26
รูปที่ 3.7 แสดงวงจรสังเคราะห์ความถี่ที่ใช้เฟสล็อกลูป 27
รูปที่ 3.8 วงจรเลื่อนความถี่ 28

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หน้า

รูปที่ 3.9 การตรวจสัญญาณเอเอ็มแบบโคฮีเรนต์โดยใช้วงจรเฟสล็อกลูป 29

บทที่ 4 การมอดดูเลทสัญญาณแบบดิจิตอล

รูปที่ 4.1 แสดงรูปแบบการมอดดูเลทดิจิตอลทางขนาด 31

รูปที่ 4.2 แสดงรูปแบบการมอดดูเลทดิจิตอลทางเฟส 31

รูปที่ 4.3 แสดงสัญญาณในแบบ BPSK 32

รูปที่ 4.4 แสดงการมอดดูเลทดิจิตอลทางความถี่ 33

รูปที่ 4.5 ช่องสัญญาณในสายส่งเมื่อใช้การมอดดูเลทแบบ FSK ในการส่งข้อมูล แบบฟูลดูเพล็กซ์ 33

รูปที่ 4.6 ช่องสัญญาณในสายส่งเมื่อใช้การมอดดูเลทแบบ FSK ในการส่งข้อมูล แบบฮาล์ฟดูเพล็กซ์ 34

รูปที่ 4.7 แสดงการประมาณค่าความกว้างแถบของแบบ FSK 34

บทที่ 5 หลักการทำงานของวงจร

รูปที่ 5.1 บล็อกไดอะแกรมแสดงส่วนของโครงงาน 37

รูปที่ 5.2 วงจร Voltage Control Oscillator 72.8 - 76.55 MHz 38

รูปที่ 5.3 วงจร Prescaler หาร 8 39

รูปที่ 5.4 วงจร MCS-51 กับ IC MC145162 39

รูปที่ 5.5 วงจร LOW PASS FILTER (ภาครับ) 41

รูปที่ 5.6 วงจร RECEIVER 43

รูปที่ 5.7 วงจร Voltage Control Oscillator 83.5 - 87.25 MHz 44

รูปที่ 5.8 วงจร Low Pass Filter 47

บทที่ 6 ผลการทดลอง 50

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

1.1รายละเอียดโดยย่อของโครงงาน

ในปัจจุบันการสื่อสารข้อมูลมีความสำคัญมากในชีวิตประจำวัน โดยเฉพาะการสื่อสารข้อมูลระหว่างอุปกรณ์คอมพิวเตอร์โดยใช้โมเด็มเป็นตัวแปลงข้อมูลที่ได้จากคอมพิวเตอร์ไปเป็นสัญญาณไฟฟ้าซึ่งสามารถส่งผ่านไปบนสายโทรศัพท์ทั่วไปได้ โดยที่ปลายอีกด้านหนึ่งของสายโทรศัพท์นี้ก็จะมีโมเด็มอีกตัวหนึ่งทำหน้าที่รับสัญญาณดังกล่าวมาทำการแปลงกลับมาเป็นสัญญาณในรูปแบบเดิมที่คอมพิวเตอร์ใช้อยู่และด้วยวิธีการนี้เองทำให้การสื่อสารในโลกปัจจุบันได้ขยายตัวไปอย่างกว้างขวาง

จากเหตุผลที่กล่าวมาข้างต้น จึงได้เกิดแนวคิดที่จะศึกษาแนวทางในการสร้างโมเด็มโดยเลือกใช้วิธีการมอดูเลทแบบ FSK (Freguency Shift Keying) ซึ่งเราจะใช้ความถี่ในย่าน 83.5-87.25 MHz สำหรับการส่งและความถี่ในช่วง 72.8 – 76.55 MHz สำหรับการรับซึ่งเราจะนำสัญญาณดิจิตอลบิทมามอดดูเลทโดยตรงกับคลื่นพาห์โดยเราจะนำวงจรเฟสล็อกลูปมาประยุกต์การใช้งานในการรับ-ส่งข้อมูล

1.2วัตถุประสงค์ของโครงงาน ในโครงงานนี้วัตถุประสงค์อยู่ด้วยกันดังนี้

1.2.1 เพื่อศึกษาและเรียนรู้การใช้งานโมเด็มเบื้องต้น

1.2.2 เพื่อศึกษาและเรียนรู้คุณสมบัติต่างๆของระบบการมอดูเลตสัญญาณแบบ FSK

1.2.3 เพื่อศึกษาและเรียนรู้วิธีการออกแบบวงจรเฟสล็อกลูปซึ่งประกอบด้วย 3 ส่วนหลัก คือ วงจรเปรียบเทียบเฟส, วงจรกรองความถี่ต่ำ และวงจรผลิตความถี่โดยใช้แรงดันในการควบคุม

1.2.4 สร้างและทดสอบวงจรทั้งทางด้านส่งและทางด้านรับ

1.3ขอบเขตของโครงงาน เมื่อสิ้นสุดระยะเวลาดำเนินงานจะต้องได้รับสิ่งต่อไปนี้

1.3.1 ได้รับความรู้และแนวทางในการพัฒนาวิธีการมอดูเลชั่นและดีมอดูเลชั่นแบบ FSK โดยนำดิจิตอลบิทมามอดดูเลทโดยตรงกับคลื่นพาห์

1.3.2 ส่วนของวงจรต่างๆทั้งทางด้านส่ง (มอดูเลชั่น) และทางด้านรับ (ดีมอดูเลชั่น) ที่ใช้ในโครงงาน

1.3.3 รายงานเกี่ยวกับการศึกษาและทดลองคุณภาพของสัญญาณที่วัดได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
ทฤษฎี

2.1ระบบสื่อสาร (COMMUNICATION SYSTEM)

ระบบสื่อสารมีความหมายกว้างขวาง การส่งข่าวสารทางสายก็เป็นชนิดหนึ่งของระบบสื่อสาร โดยพื้นฐานแล้วระบบสื่อสารจะประกอบด้วยส่วนใหญ่ๆ 3 ส่วนคือ ตัวส่งข่าวสาร (Transmitter) , ตัวกลางในการส่งข่าวสาร (Medium) และตัวรับข่าวสาร (Receiver) แต่ละส่วนมีความสัมพันธ์กัน ดังรูปที่ 2.1

รูปที่ 2.1 ระบบสื่อสาร

ในที่นี้จะกล่าวถึงระบบสื่อสารในความหมายทางโทรคมนาคม เราสามารถแบ่งชนิดของระบบสื่อสารได้ 2 แบบ ตามลักษณะสัญญาณที่ใช้ในระบบคือ

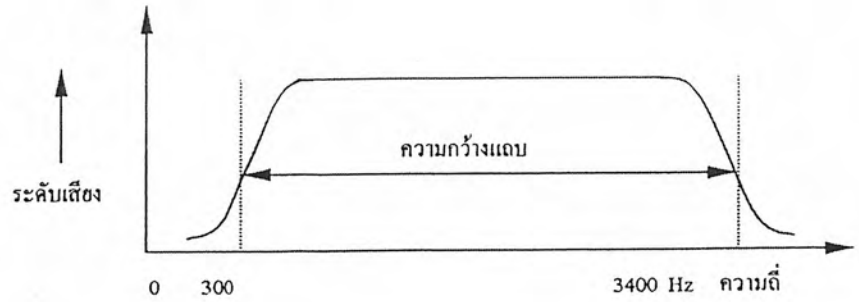
-แบบสัญญาณอนาลอก เช่น เสียงพูด

-แบบสัญญาณดิจิตอล

2.1.1ระบบสื่อสารแบบอนาลอก

สิ่งที่ใช้พิจารณาขีดความสามารถของระบบนี้คือ อัตราส่วนของสัญญาณหลักต่อสัญญาณรบกวน หรือค่า S/N โดยที่ ถ้าค่า S/N สูงแสดงว่าระบบมีประสิทธิภาพดี แต่ถ้าค่า S/N ต่ำแสดงว่าระบบประสิทธิภาพไม่ดีและอีกประเด็นสำคัญประการหนึ่งที่เราใช้พิจารณาด้วย คือ ค่าความกว้างแถบ (Band width) ซึ่งหมายถึง ช่วงความถี่ที่ครอบคลุมกำลังงานส่วนมากหรือช่วงความถี่ที่มีอัตราการขยายหรือค่าการลดทอนเพียงเล็กน้อยในช่วงกลางๆของความกว้างแถบที่จุด -3 dB หรือครึ่งหนึ่งของกำลังงานสูงสุด ดังเช่นในรูปที่ 2.2 ที่แสดงค่าความกว้างแถบของสัญญาณเสียงซึ่งมีค่าความกว้างแถบเท่ากัน 3,000 Hz

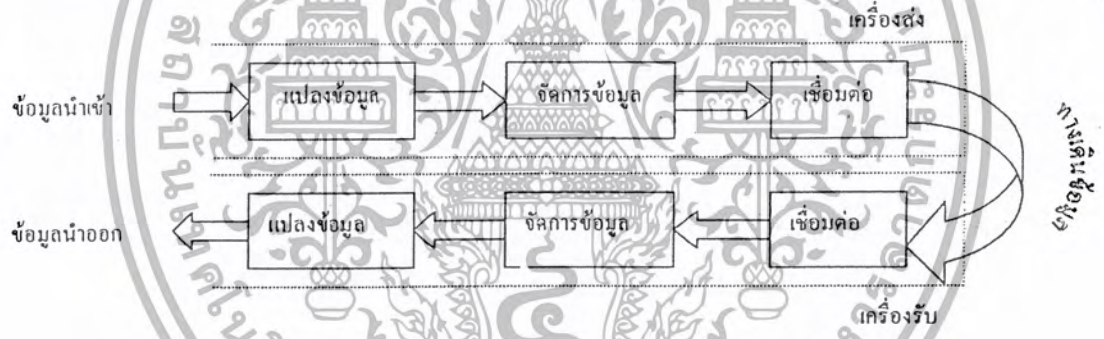
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



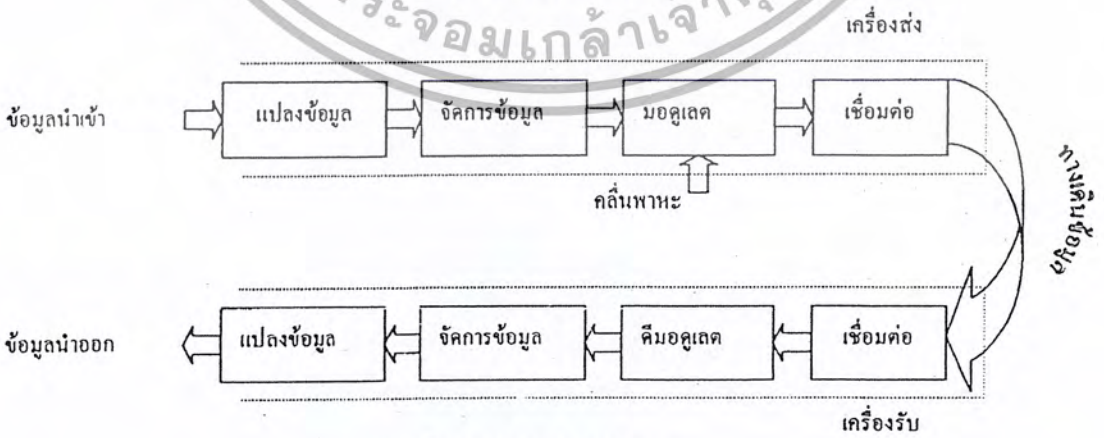
รูปที่ 2.2 แสดงการกำหนดค่าความกว้างแถบ

เห็นได้ว่ากรณีที่ช่องสัญญาณติดต่อมีความกว้างแถบไม่เพียงพอต่อสัญญาณที่เราสนใจอยู่ ทำให้สัญญาณไม่สามารถส่งผ่านได้หมด เราเรียกลักษณะการเกิดกรณีนี้ว่าความเพี้ยน (Distortion)

ในรูปที่ 2.3 พิจารณาระบบสื่อสารแบบอนาลอก ซึ่งมีการทำงานภายในต่างกัน แต่มีจุดหลักที่เหมือนกันคือ การรับและการส่งข้อมูลในแบบอนาลอก เช่นเสียงหรือภาพที่มองเห็นได้



(ก.) ระบบเบสแบนด์



(ข.) ระบบมอดดูเลต

รูปที่ 2.3 แสดงระบบสื่อสารแบบอนาลอก

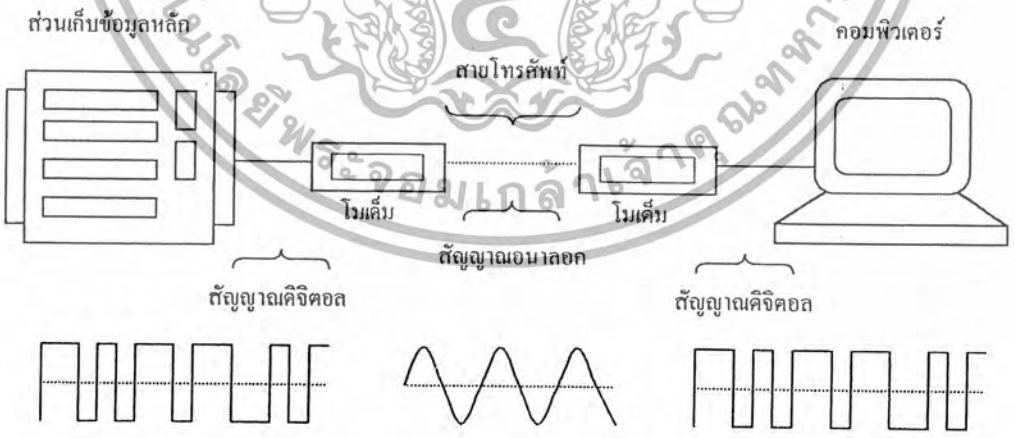
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 2.3 (ก.) แสดงให้เห็นถึงระบบเบสแบนด์ที่มีลักษณะสำคัญ คือ รูปสัญญาณที่ส่งออกมา จะมีรูปสเปคตรัมของความถี่เดียวกับแหล่งต้นทาง หรือแหล่งผลิตความถี่ ซึ่งหมายถึงไม่มีการมอดูเลตกับคลื่นพาห์ที่มีความถี่สูงกว่า ส่วนขั้นตอนที่เกี่ยวกับสัญญาณในด้านส่ง อาจมีการขยายสัญญาณ การกรองความถี่ หรือการแมชชิ่งอิมดีแดนซ์ เพื่อลดการสูญเสียในการส่งและการรับ

ส่วนรูปที่ 2.3 (ข.) แสดงถึงระบบสื่อสารอนาลอก ที่มีการรวมและการแยกสัญญาณในทางคณิตศาสตร์ (Modulation and Demodulation) อธิบายได้ว่า การรวมหรือการแยกสัญญาณจะใช้การเปลี่ยนรูปสเปคตรัมความถี่ของสัญญาณให้เข้ากันกับช่วงความถี่ที่เลือกไว้ หรือในอีกแง่หนึ่งเป็นการป้องกันสัญญาณอื่นแทรกเข้ามาในช่วงความถี่เดียวกัน ตัวอย่างของการใช้ระบบนี้ที่มีใช้กันอย่างแพร่หลาย คือการกระจายเสียงวิทยุในแบบ AM และ FM

2.1.2การสื่อสารแบบดิจิตอล

ลักษณะข้อมูลที่ใช้ในระบบนี้จะเป็น "1" หรือ "0" เช่น เลขฐานสอง เลขฐานสิบหก เป็นต้น บางครั้งอาจมีความต้องการส่งสัญญาณอนาลอกผ่านระบบดิจิตอล จึงต้องมีการเปลี่ยนสัญญาณอนาลอกเป็นสัญญาณดิจิตอลก่อน เรียกว่า การสุ่มตัวอย่าง (Sampling) ซึ่งเป็นวิธีทางคณิตศาสตร์ค่าที่ได้จากการสุ่มตัวอย่างจัดเป็นรหัสเลขฐานสอง (Binary code) ที่สามารถจัดการตามเทคนิคทางดิจิตอลได้



รูปที่ 2.4 แสดงการสื่อสารทั้งแบบอนาลอกและแบบดิจิตอล

จากรูปที่ 2.4 แสดงการสื่อสารทั้งแบบอนาลอกและแบบดิจิตอล แสดงสัญญาณในการติดต่อระหว่างเครื่องคอมพิวเตอร์กับส่วนเก็บข้อมูลหลักผ่านทางสายโทรศัพท์ โดยมีอุปกรณ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

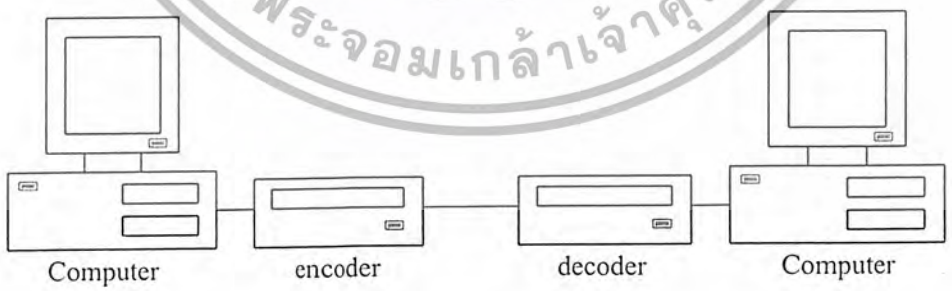
โมเด็มทำหน้าที่ช่วยเครื่องคอมพิวเตอร์ ให้สามารถรับและส่งข้อมูลผ่านสายโทรศัพท์ได้ โดยแปลงสัญญาณคอมพิวเตอร์ให้เป็นสัญญาณไฟฟ้าทางด้านส่งและแปลงกลับอีกทางด้านรับ

ประเด็นอย่างหนึ่งที่ควรสนใจในระบบสื่อสารแบบดิจิตอล คือ ประสิทธิภาพของระบบ โดยพิจารณาจากค่าอัตราการผิดพลาดข้อมูล (Bit Error Rate : BER) ซึ่งเป็นอัตราส่วนระหว่างจำนวนข้อมูลที่ผิดพลาดเทียบกับจำนวนข้อมูลที่ส่งไปทั้งหมดในช่วงเวลาหนึ่ง โดยถ้า BER มีค่าต่ำ หมายถึงระบบมีประสิทธิภาพสูง (เพราะจำนวนข้อมูลที่ผิดพลาดมีน้อย)

2.2 การสื่อสารข้อมูล (Data Communication)

ในการส่งข้อมูลขนาดของข้อมูลหนึ่งตัวอักษรนั้นจะขึ้นอยู่กับอุปกรณ์การสื่อสารที่ใช้ ซึ่งจะมีความยาวอยู่ระหว่าง 7-8 บิท ตัวอักษรนั้นเกิดจากการกำหนดความหมายให้กับกลุ่มของตัวเลขฐานสอง ซึ่งจะมีการแปลออกมาเป็นอักขระ, ตัวเลข หรือเครื่องหมายวรรคตอนอย่างใดก็ได้ หรือไม่เช่นนั้นก็อาจจะเป็นตัวกำหนดหน้าที่ควบคุมการทำงานของอุปกรณ์ เช่นอาจเป็นคำสั่งให้เครื่องพิมพ์เลื่อนบรรทัดหรือขึ้นหน้าใหม่ ชุดของกลุ่มของเลขฐานสองที่มีการกำหนดความหมายต่างๆ มีรหัส (Code) จำนวนมากมายที่ใช้กันอยู่ในปัจจุบันในอุปกรณ์การสื่อสารซึ่งจะถูกออกแบบมาให้ใช้ได้เฉพาะกับรหัสชนิดต่างๆ ขึ้นอยู่กับวัตถุประสงค์ของผู้ออกแบบและใช้งาน

ประเด็นที่เป็นการสื่อสารระหว่างเครื่องคอมพิวเตอร์จะไม่มีความสามารถเข้าใจถึงความหมายของตัวหนังสือได้ จึงต้องมีการแปลงความหมายให้เป็นแบบที่สามารถตีความได้คือ ในสถานะของเลขฐานสอง ดังนั้นจึงต้องมีอุปกรณ์ทำหน้าที่เข้ารหัส (Encoder) และถอดรหัส (Decoder) มาใช้ในการรับส่งข้อมูลระหว่างเครื่องจักรด้วยกัน แสดงดังรูปที่ 2.5



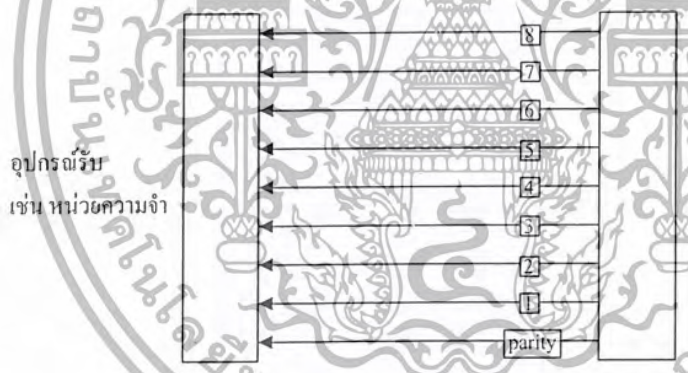
รูปที่ 2.5 แสดงการส่งข้อมูลผ่านโดยใช้รหัส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3 การรับส่งข้อมูลแบบขนาด (Parallel Transmission)

ลักษณะของการส่งข้อมูลแบบขนาน ทำได้โดยการส่งข้อมูลออกมาทีละ 1 ไบต์ คือ 8 บิท จากอุปกรณ์ส่งไปยังอุปกรณ์รับตัวกลางระหว่าง 2 เครื่องจะต้องมีช่องทางใช้ข้อมูลเดินทาง อย่างน้อย 8 ช่องทาง โดยมากจะเป็นสายขนานให้กระแสไฟฟ้าวิ่งมากกว่าจะเป็นตัวกลางชนิดอื่น เนื่องจากมีสัญญาณสูญหายไปกับความต้านทานของสาย ระยะทางระหว่าง 2 เครื่องไม่ควรจะเกิน 100 ฟุต ปัญหาที่เกิดขึ้นหากระยะทางของสายมากกว่านี้ก็คือ ระดับของกราวนด์ในทางไฟฟ้าที่จุดรับผิดไปจากจุดส่ง ทำให้เกิดการผิดพลาดในการรับสัญญาณลอจิกทางฝ่ายรับ

นอกจากสายที่เป็นทางเดินของข้อมูลแล้วอาจจะมีทางเดินของสัญญาณควบคุมอื่นๆ อีก เป็นต้นว่า บิทที่บอกพาริตี้ของสัญญาณ เพื่อเป็นการตรวจสอบความผิดพลาดของการรับสัญญาณที่ปลายทาง หรือสายที่ควบคุมการโต้ตอบ (Hand shake) จะเห็นได้ว่าการส่งแบบขนานส่วนมากจะทำในระยะใกล้ๆ เนื่องจากจะต้องมีช่องทางเดินของสัญญาณมากกว่า 8 สายและอุปกรณ์ที่ติดต่อแบบขนานกับคอมพิวเตอร์ก็เห็นจะได้แก่เครื่องพิมพ์ดังกล่าวมาแล้ว

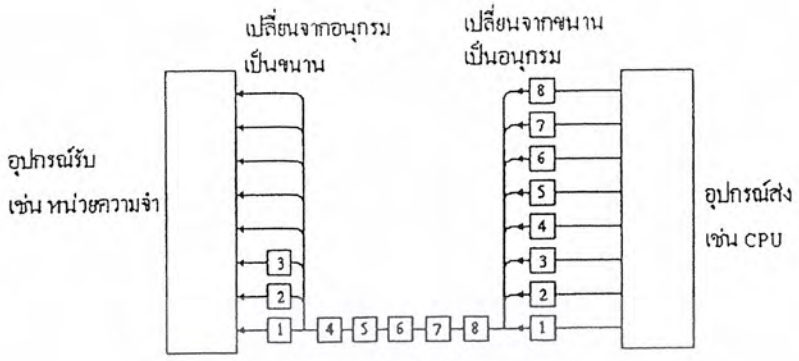


รูปที่ 2.6 การส่งข้อมูลแบบขนาน

2.4 การรับส่งข้อมูลแบบอนุกรม (Serial Transmission)

การส่งข้อมูลแบบอนุกรมข้อมูลถูกส่งออกมาทีละบิทระหว่างจุดส่งและจุดรับ จะเห็นว่าการส่งข้อมูลแบบนี้จะช้ากว่าแบบขนาน เพราะตัวกลางการสื่อสารต้องการเพียงช่องเดียวหรือสายเพียงคู่เดียว ค่าใช้จ่ายในสื่อกลางจะต้องถูกกว่าแบบขนานอย่างแน่นอนสำหรับการส่งระยะทางไกลๆ โดยเฉพาะเมื่อเรามีระบบการสื่อสารทางโทรศัพท์ไว้ใช้งานอยู่แล้วย่อมจะเป็นการประหยัดกว่าที่จะทำการติดต่อสื่อสารที่ละ 8 ช่อง แบบขนาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



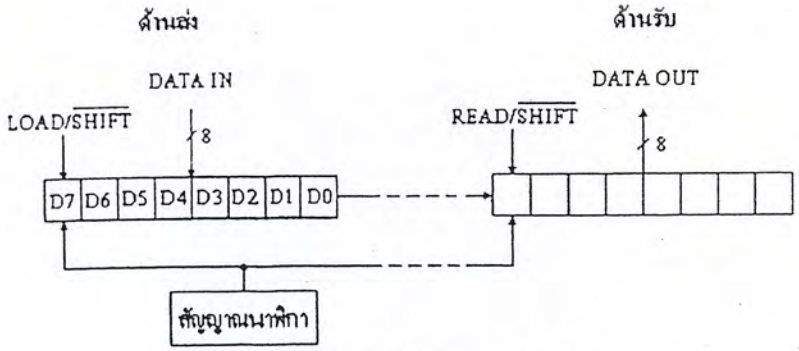
รูปที่ 2.7 การส่งข้อมูลแบบอนุกรม

จากรูปที่ 2.7 แสดงให้เห็นการส่งข้อมูลแบบอนุกรม ข้อมูลจากจุดส่งจะถูกเปลี่ยนให้เป็นอนุกรมเสียก่อนแล้วค่อยทยอยส่งออกที่จะบิทไปยังจุดรับ ณ จุดที่รับจะต้องมีกลไกในการเปลี่ยนข้อมูลที่ส่งมาทีละบิทให้เป็นสัญญาณแบบขนานซึ่งลงตัวพอดี นั่นคือบิท "1" ลงที่บัสข้อมูลเส้นที่ 1 พอดี การที่จะทำให้การแปลงสัญญาณจากอนุกรมที่ละบิทให้ลงพอดีนั้นจำเป็นจะต้องมีลักษณะการส่งที่เหมาะสม เพื่อป้องกันการผิดพลาดในการรับ ลักษณะการส่งที่เหมาะสมแบ่งเป็น 2 แบบ คือ

- การส่งข้อมูลแบบซิงโครนัส
- การส่งข้อแบบอะซิงโครนัส

2.4.1การส่งข้อมูลแบบซิงโครนัส (Synchronous Transmission)

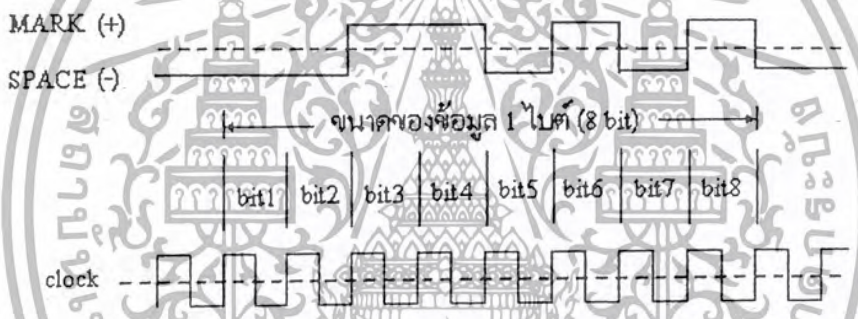
การส่งข้อมูลแบบซิงโครนัสหรือเรียกอีกอย่างหนึ่งว่าการส่งข้อมูลแบบสัมพันธ์ หมายถึงการที่ด้านรับอ่านข้อมูลเข้ามาในจังหวัดเดียวกับด้านส่ง โดยใช้สัญญาณนาฬิกาเห็นตัวกำหนดจังหวะการทำงานของรีจีสเตอร์ทั้งสองให้ทำงานสัมพันธ์กัน วงจรกำเนิดสัญญาณนาฬิกาจะติดตั้งภายในด้านส่ง แสดงดังรูปที่ 2.8



รูปที่ 2.8 แสดงการส่งข้อมูลแบบซิงโครนัส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

นอกจากนี้เมื่อจังหวะเวลาถูกตั้งให้ซิ้งค์กับด้านรับได้แล้ว ข้อมูลจะถูกส่งไปบนทางติดต่อในแบบบิทต่อบิทต่อเนื่องกันไปอาศัยช่วงเวลาระหว่างบิทต่อบิทมีค่าเท่ากัน โดยไม่ต้องมีบิทเริ่มหรือบิทจบคอยกำกับทำให้ความเร็วในการส่งข้อมูลมีสูง นอกจากนี้ทางด้านรับต้องมีวงจรเฟสล็อคลูป (PLL) ทำหน้าที่รับข้อมูลจังหวะเวลาจากด้านส่งและสร้างสัญญาณนาฬิกาขึ้นใหม่ในด้านรับเพื่อให้เกิดการซิ้งขึ้น ข้อมูลแบบสัมพันธ์นี้จะถูกจัดการให้อยู่ในรูปของชุดข้อมูล (block of data) ที่มีลักษณะพิเศษ คือ ช่วงระยะเวลาระหว่างตัวอักษรด้วยกันจะไม่มี ทำให้การส่งข้อมูลเป็นไปอย่างต่อเนื่อง ข้อเสียของการส่งแบบสัมพันธ์คือการที่ต้องมีสัญญาณนาฬิกาขนานไปกับข้อมูลทำให้ต้องการทางติดต่อช่องที่สองเพิ่ม โดยเฉพาะกรณีระยะทางไกลๆ เป็นการยากมากที่จัดหาทางติดต่อแยกต่างหากสำหรับสัญญาณนาฬิกา แสดงตัวอย่างข้อมูลที่ส่งแบบสัมพันธ์พร้อมสัญญาณนาฬิกาได้ดังรูปที่ 2.9



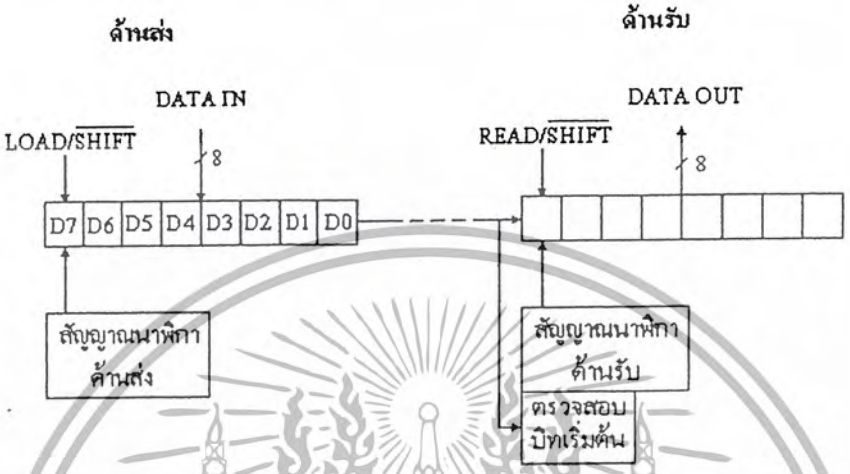
รูปที่ 2.9 แสดงรูปแบบข้อมูลแบบซิงโครนัส

2.4.2 การส่งข้อมูลแบบอะซิงโครนัส (Asynchronous Transmission)

การส่งข้อมูลแบบอะซิงโครนัส หรือเรียกอีกอย่างหนึ่งว่าการส่งข้อมูลแบบไม่สัมพันธ์ จะแตกต่างกับแบบซิงโครนัส ตรงที่ไม่จำเป็นต้องมีการซิงโครนัสกันตลอดเวลาบนทางติดต่อข้อมูล โดยจะซิ้งค์ก็ต่อเมื่อมีข้อมูลที่จะรับหรือส่งเท่านั้น ในการส่งสัญญาณแบบอะซิงโครนัสการส่งตัวอักษรสามารถเริ่มจากเวลาใดก็ได้เมื่อสายว่าง แต่อย่างไรก็ตามเพื่อให้ระบบสามารถที่จะทำงานได้จะต้องมีสภาวะบางอย่างที่จะใช้บอกกับเครื่องรับให้รู้ว่า ในช่วงเวลาใดกำลังมีข้อมูลตัวอักษรปรากฏอยู่บนสายสภาวะที่ใช้บอกนั้นก็คือ บิทเริ่มต้น (Start bit) บทเริ่มต้นไม่ใช่บิทข้อมูลแต่เป็นสัญญาณควบคุมที่จุดเริ่มต้นสถานะของสายส่งข้อมูลจะเปลี่ยนาก "1" (Mark) มาเป็น "0" (Space) และถัดจากบิทเริ่มต้นและก็จะเป็นบิทข้อมูลตัวอักษร ซึ่งจะเป็นเนื้อหาข้อมูลของตัวอักษรแต่ละตัวที่ถูกส่งบิทที่มีนัยสำคัญน้อยสุด (LSB) จะถูกส่งตามบิทเริ่มต้นออกมา และหลังจากบทข้อมูลส่งออกมาครบแล้วจะตามด้วย บิทสิ้นสุด (Stop bit) โดยที่สถานะของสายส่งข้อมูลจะถูกบังคับ

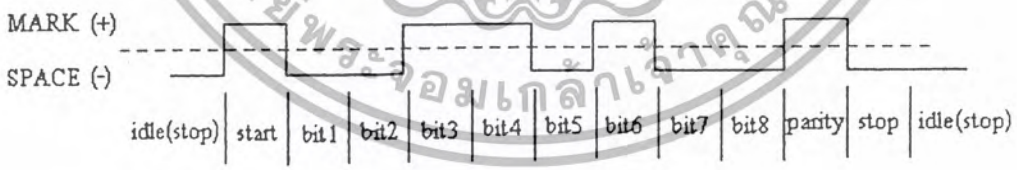
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กลับเป็นมาร์ค (Mark) อีกครั้งหนึ่ง หน้าที่ของบิทสิ้นสุดก็เพื่อบอกการสิ้นสุดของข้อมูลที่รับส่ง โดยมีขนาด 1-2 บิท แสดงดังรูปที่ 2.10



รูปที่ 2.10 แสดงการส่งข้อมูลแลลอะซิงโครนัส

จากการที่กำหนดให้ช่วงเวลาของบิทสิ้นสุด (Stop bit) มีค่าระหว่าง 1-2 บิท ก็เพื่อกรณีบิทสุดท้ายของตัวอักษรตัวเก่า มีสถานะเป็นสเปซ (Space) "1" แล้วสถานะเริ่มต้นของบิทเริ่มต้นที่สังเกตจากการเปลี่ยนแปลงสถานะของสายจากมาร์ค (Mark) "0" มาเป็นสเปซ (Space) "1" ก็จะไม่มีความชัดเจน สำหรับรูปสัญญาณในวิธีแบบอะซิงโครนัสแสดงได้ดังรูปที่ 2.11



รูปที่ 2.11 แสดงรูปแบบข้อมูลแบบอะซิงโครนัส

เนื่องจากการส่งข้อมูลแบบอะซิงโครนัสการเพิ่มบิทลงในข้อมูล ทำให้ความเร็วในการส่งข้อมูลช้ากว่าแบบซิงโครนัส การส่งข้อมูลแบบซิงโครนัสเหมาะสำหรับงานประเภทการป้อนข้อมูลเข้าเพื่อส่ง มีลักษณะไม่ต่อเนื่องอย่างเช่น จากแป้นพิมพ์ (key board) ส่วนในการส่งไฟล์ข้อมูลที่มีขนาดใหญ่มากๆ ควรใช้วิธีแบบซิงโครนัส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บิทเริ่มต้น (Start bit)

ในโปรโตคอลของการส่งข้อมูลอนุกรมแบบอะซิงโครนัส กำหนดให้สถานะมาร์ค (Mark State) เป็นสัญญาณลอจิก 1 เมื่อทางด้านส่งจะทำการส่งข้อมูลก็จะต้องส่งบิทเริ่มต้นโดยแทนด้วยสถานะสเปส (Space State) หรือสัญญาณลอจิก 0 จำนวน 1 บิทไปก่อน ซึ่งจะทำให้ทางด้านรับดีเท็กซ์ (Detect) สถานะของสายส่งได้ว่าขณะนั้นสายส่งกำลังมีข้อมูลส่งมา สำหรับปัญหาที่เกิดขึ้นและมีผลต่อสัญญาณข้อมูลก็คือสไปค์ (Spike) ทำให้สถานะลอจิกของสายส่งมีช่วงเวลาสั้นเกินไป ทำให้ทางด้านรับไม่สามารถดีเท็กซ์สถานะของสายส่งหรือสถานะของบิทเริ่มต้นได้ ดังนั้นส่งใหญ่ทางด้านรับจะมีส่วนของวงจรสไปค์ ดีเท็กชั่น (Spike Detection) ที่ทำหน้าที่สุ่มจับสัญญาณสถานะของสายส่งด้วยความถี่ของการสุ่มค่าหนึ่งในระหว่างบิทต่อบิท ซึ่งอาจจะเป็น 2, 4 หรือ 16 ครั้ง ในระหว่าง 1 บิทก็ได้

ดังนั้นเราอาจสรุปได้ว่า หน้าที่ของบิทเริ่มต้นนั้นจะเป็นตัวบอกว่าข้อมูลเริ่มต้นตรงไหน และเมื่อใช้ร่วมกับบิทหยุด ซึ่งจะกล่าวถึงต่อไปก็จะทำให้ทราบได้ว่าข้อมูลสิ้นสุดตรงไหน โดยความกว้างของบิทเริ่มต้นนี้จะมีความกว้างเท่ากับ 1 บิทข้อมูล

บิทข้อมูล (Data bit)

หลังจากที่ด้านรับสามารถดีเท็กซ์สัญญาณบิทเริ่มต้นได้แล้ว ก็จะทำการตรวจสอบสถานะของชิปรีจิสเตอร์ให้พร้อมที่จะรับบิทข้อมูลได้ โดยบิทข้อมูลจะมีจำนวนบิทเป็น 5, 6, 7 หรือ 8 บิทขึ้นกับจำนวนคาร์แรกเตอร์ที่ใช้ดังแสดงตามตารางต่อไปนี้

จำนวนบิทข้อมูลใน 1 คาร์แรกเตอร์	จำนวนคาร์แรกเตอร์
5 บิท	32
6 บิท	64
7 บิท	128
8 บิท	256

นอกจากนี้รหัสต่างๆ ที่ใช้อาจจะแทนด้วย 5 บิท ซึ่งเป็นมาตรฐานของรหัส Baudot โดยประกอบด้วยกลุ่มของคาร์แรกเตอร์ต่างๆ จำนวน 32 คาร์แรกเตอร์ และถ้าเป็นรหัสขนาด 7 บิท จะประกอบด้วยกลุ่มของคาร์แรกเตอร์ จำนวน 128 คาร์แรกเตอร์ ซึ่งเป็นมาตรฐานของรหัส ASCII และใช้กันแพร่หลายมาก นอกจากนี้ก็ยังมีรหัสขนาด 8 บิท หรือมาตรฐานของรหัส EBCDIC โดยมาตรฐานนี้ประกอบด้วยกลุ่มของคาร์แรกเตอร์ 256 คาร์แรกเตอร์ เป็นต้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บิทพาริตี้ (Parity bit)

บิทนี้จะทำหน้าที่ในการบอกให้ส่วนรับข้อมูลทราบว่า ข้อมูลที่รับเข้ามาผิดหรือไม่ (โดยบิทนี้จะทำหน้าที่ในการบอกให้ด้านรับทราบว่าข้อมูลที่ส่งมาแต่ละไบท์นั้น มีจำนวนบิทที่เป็น "1" อยู่เป็นจำนวนคี่ หรือจำนวนคู่ เช่น ข้อมูล 54H = 01010111 จะมีจำนวนบิทที่เป็น "1" อยู่เป็นจำนวนคี่ เป็นต้น ซึ่งบิทที่ใช้ในการตรวจสอบนี้ เราเรียกว่า บิทพาริตี้) บิทพาริตี้นี้จะถูกส่งออกมาพร้อมกับบิทข้อมูล ซึ่งบิทนี้จะเป็น "1" หรือ "0" นั้นขึ้นอยู่กับข้อมูลที่ส่งออกมาว่ามีจำนวนบิทที่เป็น "1" เป็นจำนวนคู่หรือคี่ และยังขึ้นอยู่กับอุปกรณ์รับส่งข้อมูลด้วยว่าถูกออกแบบไว้ให้รับส่งบิทพาริตี้ในลักษณะของพาริตี้คู่หรือคี่อีกด้วย

ในกรณีที่อุปกรณ์รับส่งออกแบบไว้ให้เป็นพาริตี้คู่ อุปกรณ์ส่งข้อมูลจะทำการส่งพาริตี้บิทเป็นลอจิก 1 ออกไปเมื่อจำนวนบิทที่เป็น 1 ของข้อมูลเป็นจำนวนคี่ และจะทำการส่งพาริตี้บิทเป็นลอจิก 0 เมื่อจำนวนบิทที่เป็น 1 ของข้อมูลเป็นจำนวนคู่ (คือทำให้จำนวนบิทที่เป็น 1 ของข้อมูลเมื่อรวมกับพาริตี้บิทแล้วเป็นจำนวนคู่นั่นเอง) สำหรับในกรณีของพาริตี้คี่ก็เช่นกัน คือ พาริตี้บิทจะเป็น 1 ในกรณีที่จำนวนบิทที่เป็น 1 ของข้อมูลเป็นจำนวนคู่ และจะเป็น 0 ในกรณีที่เป็นจำนวนคี่ ในที่นี้จะสมมติว่าอุปกรณ์ถูกออกแบบไว้สำหรับพาริตี้คู่ และเราต้องการที่จะส่งข้อมูลออกไปให้กับส่วนรับข้อมูลเป็นจำนวน 2 ไบท์ คือ 54H และ 55H เมื่อเราส่งข้อมูล 54H ออกไปซึ่งมีจำนวนบิทที่เป็น 1 เป็นจำนวนคี่ ดังนั้นในกรณีนี้อุปกรณ์ส่งข้อมูลก็จะทำการส่งพาริตี้บิทเป็นลอจิก 1 ตามออกมาด้วย เพื่อให้จำนวนบิทที่เป็น 1 ของข้อมูล (54H) รวมกับพาริตี้บิทแล้วได้เป็นจำนวนคู่ ส่วนข้อมูล 55H จำนวนบิทที่เป็น 1 นั้นเป็นจำนวนคู่อยู่แล้ว ดังนั้นอุปกรณ์ส่งข้อมูลก็จะส่งพาริตี้บิทเป็น 0 ให้กับส่วนรับข้อมูลสำหรับส่วนรับข้อมูลนั้น เมื่อรับเข้ามาแล้วแล้วก็จะตรวจสอบสัญญาณว่าจำนวนบิทที่เป็น 1 ของข้อมูลรวมกับพาริตี้บิทนั้นเป็นจำนวนคู่หรือไม่ ถ้าหากว่าเป็นจำนวนคี่ก็แสดงว่าข้อมูลที่ได้รับเข้ามานี้ก็มีความผิดพลาดเกิดขึ้น

สิ่งสำคัญอีกสิ่งหนึ่งก็คือ ถ้าอุปกรณ์ส่งข้อมูลทำการส่งในลักษณะพาริตี้คู่ หรือคี่ก็ตาม ส่วนรับข้อมูลก็จะต้องทำการรับในลักษณะพาริตี้เดียวกับอุปกรณ์ส่งข้อมูลด้วย เช่น ในกรณีที่อุปกรณ์ส่งข้อมูลทำการส่งข้อมูลในลักษณะพาริตี้คู่ อุปกรณ์รับข้อมูลก็จะต้องทำการรับข้อมูลในลักษณะของพาริตี้คู่ด้วย เป็นต้น

บิทสิ้นสุดข้อมูล (Stop bit)

บิทสุดท้ายที่เพิ่มเข้าไปนี้ จะใช้ในการตรวจสอบจุดสิ้นสุดของข้อมูล บิทนี้จะถูกเพิ่มเข้าไปหลังพาริตี้บิท ถ้าอุปกรณ์รับข้อมูลตรวจสอบไม่พบบิทนี้ ก็แสดงว่าข้อมูลที่รับเข้านั้นเกิดข้อผิด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

พลาดขึ้นมาในแต่ละไบท์นั้นไม่ใช่มีแต่ข้อมูล 8 บิท (ในกรณีที่ 1 ไบท์มี 8 บิท) เท่านั้น แต่อาจจะมีได้ถึง 12 บิท หรือมากกว่าก็เป็นได้

2.5 ความเร็วในการถ่ายโอนข้อมูลแบบอนุกรม

ความเร็วของการถ่ายโอนข้อมูลแบบอนุกรมมีหน่วยเป็นบิทต่อวินาที (bit per sec. : bps) ส่วนการเปลี่ยนแปลงของสัญญาณใน 1 วินาที เรียกว่า บอดเรต (baud rate) หรืออัตราบอด การเปลี่ยนแปลงของสัญญาณ 1 ครั้ง อาจจะแสดงถึงการส่งข้อมูลแบบอนุกรมมากกว่า 1 บิท ก็ได้ ถ้าเขียนในรูปของสมการคณิตศาสตร์จะได้

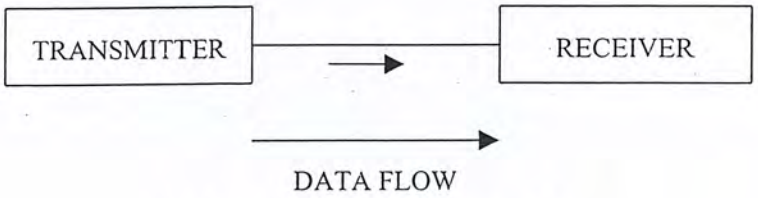
อัตราบิท (bit rate) = อัตราบอด (baud rate) × (บิทใน 1 บอด)

2.6 การส่งสัญญาณ (Transmission)

การส่งสัญญาณในที่นี้หมายถึง การนำสัญญาณจากจุดหนึ่งไปยังอีกจุดหนึ่งโดยผ่านสื่อกลางและวิธีการทางไฟฟ้า ในการรับส่งข้อมูลระหว่างกันนั้นก็จะมีความหมายเดียวกับการส่งสัญญาณ อาจแบ่งตามลักษณะและการส่งได้เป็น 3 วิธีใหญ่คือ

2.6.1การส่งผ่านแบบทิศทางเดียว (Simplex)

รูปแบบการส่งสัญญาณให้ด้านรับได้ฝ่ายเดียว โดยไม่สามารถโต้ตอบผ่านทางติดต่อได้ ตัวอย่างเช่น การกระจายเสียงของวิทยุหรือสัญญาณโทรทัศน์ ซึ่งทางด้านเครื่องรับวิทยุหรือเครื่องรับโทรทัศน์จะทำหน้าที่รับสัญญาณเพียงอย่างเดียวจะส่งข่าวหรือภาพกลับมายังสถานีส่งไม่ได้ เราจึงไม่ค่อยนิยมใช้ในการสื่อสารข้อมูล เนื่องจากว่าเราจำเป็นต้องมีการโต้ตอบระหว่างการรับส่งข้อมูล หรือบางที่ก็เปลี่ยนจากผู้รับเป็นผู้ส่งซึ่งจะทำไม่ได้ในการส่งผ่านแบบทิศทางเดียว นอกจากจะใช้สำหรับส่งโทรทัศน์และวิทยุกระจายเสียงแล้ว เครื่องโทรพิมพ์บางสำนักพิมพ์บางชนิดอาจใช้การติดต่อแบบนี้เช่นกันในการรับข่าวสารจากที่อื่นๆ เพียงอย่างเดียว แสดงตัวอย่างการส่งผ่านแบบทิศทางเดียวได้ดังรูปที่ 2.12

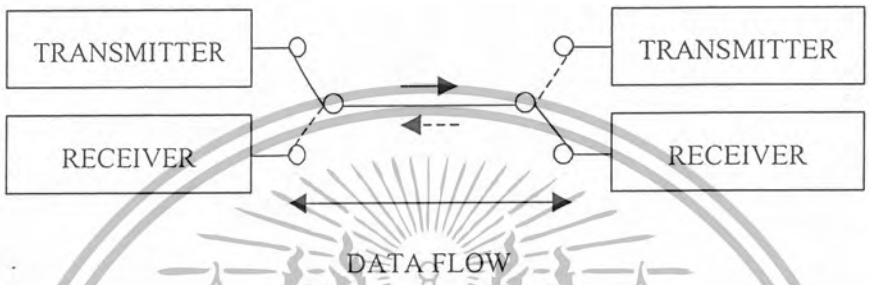


รูปที่ 2.12 การส่งผ่านแบบทิศทางเดียว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.6.2การส่งผ่านแบบสองทิศทางแต่ต่างเวลากัน (Half-duplex)

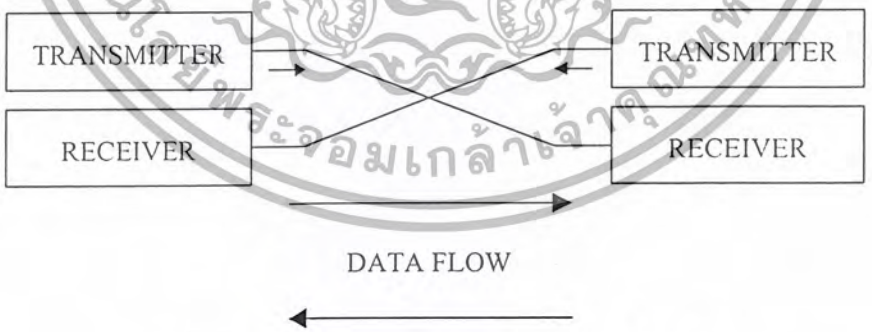
การส่งแบบ Half-duplex สามารถส่งและรับสัญญาณระหว่างกันได้ แต่ว่าต้องสลับกันส่ง โดยฝ่ายหนึ่งเป็นตัวส่งและอีกฝ่ายหนึ่งเป็นตัวรับจะส่งพร้อมกันสองด้านไม่ได้ ตัวอย่างเช่น การใช้วิทยุสมัครเล่นที่สามารถโต้ตอบกันได้ แต่ไม่พร้อมกัน แสดงรูปแบบการส่งผ่านแบบสองทิศทางแต่ต่างเวลากันดังรูปที่ 2.13



รูปที่ 2.13 การส่งผ่านแบบสองทิศทางแต่ต่างเวลากัน

2.6.3การส่งผ่านแบบสองทิศทางที่เวลาเดียวกัน (Full-duplex)

การส่งแบบ Full-duplex จะเป็นในลักษณะที่ ผู้รับและผู้ส่งสามารถรับและส่งพร้อมๆ กันในเวลาเดียวกันได้ ไม่จำเป็นต้องรอให้อีกฝ่ายหนึ่งส่งเสร็จเสียก่อน เช่น การสื่อสารทางโทรศัพท์ เราสามารถที่จะพูดโต้ตอบพร้อมกัน แสดงรูปแบบการส่งผ่านแบบสองทิศทางที่เวลาเดียวกันได้ดังรูปที่ 2.14



รูปที่ 2.14 การส่งผ่านแบบสองทิศทางที่เวลาเดียวกัน

2.7ลักษณะการรับส่ง และการ Echo ของข้อมูล

เมื่อคอมพิวเตอร์รับส่งข้อมูลในแบบ Half Duplex หรือ Full Duplex ก็ตามมันจะต้องใช้การรับส่งให้เหมือนกันทั้งสองด้าน การรับส่งข้อมูลแบบ Half Duplex เครื่องคอมพิวเตอร์ผลัดกันรับส่งข้อมูลและมีหน้าที่พิมพ์ข้อความที่ตัวเองได้ส่งออกไปขึ้นแสดงบนจอ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาพด้วยหรือมีคุณสมบัติที่เรียกว่า "Echo On" นั่นเอง ข้อความไม่ว่าจะส่งออกไปโดยการพิมพ์หรืออ่านจากแผ่นดิสก์ก็ตาม เครื่องคอมพิวเตอร์ที่ส่งข้อความจะต้องนำข้อความนั้นแสดงออกทางจอภาพด้วยตัวเอง การรับส่งข้อมูลในแบบ Half Duplex จึงต้องกำหนดให้เครื่องคอมพิวเตอร์หรือเทอร์มินัลที่ใช้ ทำงานในลักษณะ Echo On เสมอมิฉะนั้นเราจะมองไม่เห็นข้อความที่เราส่งออกไป จะมองเห็นแต่เฉพาะข้อความที่อีกฝ่ายส่งมาเท่านั้น

เมื่อคอมพิวเตอร์รับส่งข้อมูลในแบบ Full Duplex มันก็สามารถรับและส่งข้อมูลสวนทางกันได้ในเวลาเดียวกัน เครื่องคอมพิวเตอร์ที่รับส่งแบบ Full Duplex จะไม่พิมพ์ข้อความที่ตัวเองส่งออกไปขึ้นแสดงบนจอภาพ แต่จะรอรับฟังข้อความจากอีกฝ่ายหนึ่งส่งกลับมาให้เท่านั้น เราเรียกว่า "Echo Off" ข้อความจากแป้นพิมพ์และจากแผ่นดิสก์ที่ส่งออกไป ปกติเราจะมองไม่เห็น เครื่องคอมพิวเตอร์อีกด้านหนึ่งส่งข้อความนั้นกลับมาให้ปรากฏบนจอภาพของเราเมื่อมีความจำเป็นการรับส่งข้อมูลแบบ Full Duplex จึงต้องกำหนดให้เครื่องคอมพิวเตอร์ทำงานในลักษณะ Echo Off เสมอ ถ้ากำหนดผิดเราจะเห็นข้อความที่พิมพ์ออกไปเป็นสองตัวซ้อนกันอย่างนี้บนจอภาพ "Like This"

ในการเชื่อมต่อระหว่างคอมพิวเตอร์นั้น การรับส่งแบบ Half Duplex จะมีประสิทธิภาพต่ำกว่าเนื่องจากต้องผลัดกันส่งข้อมูล แต่มีข้อดี คือประหยัดสายส่งข้อมูล เพราะเราสามารถใช้สายเพียงคู่เดียวในการรับส่งข้อมูลแบบ Half Duplex ส่วนการรับส่งข้อมูลแบบ Full Duplex จะต้องใช้สายสองคู่ คือ สำหรับส่งข้อมูลหนึ่งคู่ และรับข้อมูลอีกหนึ่งคู่ แยกวงจรรับส่งให้เป็นอิสระออกจากกัน ประสิทธิภาพในการรับส่งข้อมูลจึงสูงกว่าในแบบ Half Duplex ถึงสองเท่า

2.8เทคนิคที่ใช้ส่งข้อมูลแบบ Full Duplex ด้วยสายคู่เดียว

จากการที่ Full Duplex มีข้อดีหลายอย่างในการรับส่งข้อมูล แต่มีข้อเสียตรงที่ต้องใช้สายสองคู่หรือสี่เส้นเพื่อส่งข้อมูล จึงได้มีผู้พยายามพัฒนาลดจำนวนสายส่งลงให้เหลือเพียงหนึ่งคู่เท่ากับที่ใช้ใน Half Duplex ทั้งนี้เนื่องจากค่าสายส่งระยะทางไกลๆมีราคาแพง ถ้าต้องใช้สายถึงสองคู่ก็จะทำให้ค่าใช้จ่ายส่งข้อมูลแพงมากจนเกินไป สำหรับการเชื่อมต่อระยะทางใกล้ๆเราอาจยอมใช้สายสองคู่รับส่งข้อมูลแยกจากกันได้ แต่การใช้งานระยะทางไกลแล้ว สายคู่เดียวจะสะดวกและประหยัดกว่ามากโดยเฉพาะอย่างยิ่งในกรณีที่เรารับส่งข้อมูลด้วยความเร็วไม่สูงมากนัก การใช้สายเพียงคู่เดียวในแบบ Full Duplex เป็นสิ่งที่เป็นไปได้ ละนับว่าเป็นการใช้งานสายส่งข้อมูลอย่างคุ้มค่าอีกด้วย

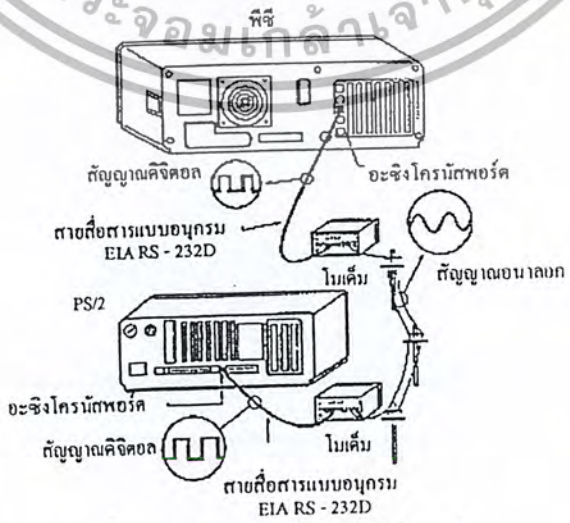
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คุณสมบัติของสายส่งข้อมูลนั้น จะสามารถส่งสัญญาณไฟฟ้าไปยังปลายทางได้โดยมีช่วงความถี่ช่วงหนึ่ง ช่วงความถี่ที่สายส่งข้อมูลส่งผ่านไปถึงปลายทางได้นี้ เราเรียกว่า Bandwidth ของสายส่ง อย่างเช่น สายโทรศัพท์ที่เราใช้กันอยู่ในทุกวันนี้รับส่งความถี่ในช่วงความถี่ไม่เกิน 4kHz ความถี่ที่สูงกว่าจะถูกลดทอนเนื่องจากค่า R , L และ C ในการรับส่งข้อมูลต่างๆที่มีความเร็วไม่สูงมากนัก เราจะไม่ใช้ความถี่ทั้งหมดของสายในการรับส่งข้อมูล ดังนั้นจึงมีผู้คิดขึ้นมาว่า ความถี่ที่ไม่ได้ใช้ของสายส่งที่เหลือ น่าจะนำมาใช้ให้เป็นประโยชน์ได้ โดยแบ่งความถี่ของสายส่งออกเป็นสองส่วน ส่วนที่หนึ่งใช้สำหรับส่ง และส่วนที่สองใช้สำหรับรับ เทคนิคนี้เรียกว่า Frequency Division เช่น ด้านส่งใช้ความถี่ 1,200 Hz และด้านรับใช้ความถี่ 2,400 Hz เป็นต้น เพียงเท่านี้ก็สามารถรับส่งข้อมูลในแบบ Full Duplex ที่เราใช้กันอยู่ทุกวันนี้นั่นเอง

2.9โมเด็ม (MODEM)

2.4.1ความหมายของโมเด็ม

เนื่องจากแบนด์วิดท์ของวงจรโทรศัพท์มีช่วงจำกัดเท่ากับ 300-3,400 Hz หรือประมาณ 3.1 kHz จัดว่าไม่กว้างพอที่จะส่งสัญญาณดิจิตอลได้ ทำให้สัญญาณข้อมูลมีลักษณะเพี้ยนไปจากเดิม และยิ่งระยะทางไกลขึ้นเท่าไร อัตราการส่งข้อมูลสูงขึ้นเท่าใด ความเพี้ยนของสัญญาณก็จะเพิ่มมากขึ้นเท่านั้น ดังนั้นในการส่งสัญญาณข้อมูล จำเป็นต้องมีการแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาลอกในช่วงความถี่เสียงเพื่อให้สามารถส่งผ่านเน็ทเวิร์คของโทรศัพท์ได้ และที่ปลายทาง รูปสัญญาณจะถูกแปลงกลับเป็นสัญญาณดิจิตอลเดิมอีกหรืออีกแง่หนึ่งคือต้องมีอุปกรณ์ประเภท D/A และ A/D ในอุปกรณ์โมเด็ม



รูปที่ 2.15 แสดงตัวอย่างการใช้โมเด็ม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตามมาตรฐานของ CCITT และ EIA นิยามให้โมเด็มหมายถึง Data Communication Equipment (DCE) เราติดตั้งเครื่องโมเด็มที่ปลายจุดต่อแต่ละด้านผ่านเน็ทเวิร์ค โทรศัพท์ โดยใช้วงจรให้เช่า (Leased) หรือผ่านการหมุนหมายเลขของเครือข่ายโทรศัพท์สาธารณะ (dial-up connection via the PSTN) มีการใช้สัญญาณรูป sine นี้เป็นเครื่องนำ (carrier wave) นำข้อมูลผ่านวงจรสายโทรศัพท์ ซึ่งกระบวนการนำข้อมูลจากผู้ส่งต้นทาง (source) ใส่ลงไปในคลื่นนำเพื่อที่จะส่งไปตามสายนี้เรียกว่าการ มอดูเลชั่น (modulation) และที่ผู้รับปลายทาง (receiver) จะมีกระบวนการแยกสัญญาณ (demodulation) ซึ่งจะเอาข้อมูลออกจากคลื่นนำและทำเป็นสัญญาณดิจิตอล เครื่องมือที่ใช้ในการรวมและแยกสัญญาณนี้เรียกว่า โมเด็ม ดังแสดงตัวอย่างการใช้โมเด็มในรูปที่ 2.15

2.9.2หน้าที่ของโมเด็ม

มีอยู่ด้วยกันหลายประเด็นดังนี้

1)จัดการขั้นตอนเริ่มต้นในการติดต่อ (handshaking)

2)จัดการการส่งและรับข้อมูล

3)แปลงสัญญาณดิจิตอลให้อยู่ในรูปที่เหมาะสมในการส่งผ่านสายโทรศัพท์ และแปลงกลับมารูปเดิม เมื่อการส่งสิ้นสุดลง

4)จัดการ "เรียก" เองได้โดยส่งสัญญาณหมุนหมายเลขออกไป และติดตามการตอบรับจากปลายทาง

5)สามารถตอบรับการเรียกเข้ามาของอุปกรณ์อื่นได้อย่างอัตโนมัติ

6)ตอบสนองและแก้ไขความผิดพลาดของข้อมูล

7)ตรวจหากรณีที่การส่งข้อมูลล้มเหลวขึ้นมา และวิเคราะห์หาข้อผิดพลาด รวมทั้งจัดการแก้ไข

โมเด็มมีทั้งชนิดต่อภายนอกเครื่องคอมพิวเตอร์ โดยเพียงแต่นำมาต่อสายเข้ากับเครื่องคอมพิวเตอร์ที่มีอยู่ หรือจะใช้ชนิดที่เป็นการ์ด (Card) ซึ่งใช้สำหรับการติดตั้งไว้ภายในเครื่องคอมพิวเตอร์ทั้งสองประเภทนี้สามารถใช้งานได้เหมือนกันในที่นี้จะกล่าวถึงแต่โมเด็มชนิดต่อภายนอก

2.9.3โมเด็มชนิดต่อภายนอก

โมเด็มชนิดต่อภายนอกสามารถติดตั้งได้ง่าย เพียงแค่เสียบสายสัญญาณต่างๆให้เรียบร้อยเท่านั้น ซึ่งสายสัญญาณที่จะต้องต่อมีดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

1.)สายที่ต่อเข้ากับพอร์ทอนุกรม (Serial port) ของเครื่องคอมพิวเตอร์

2.)สายโทรศัพท์

3.)สายไฟที่ต่อเข้ากับปลั๊กไฟ AC

ข้อดีของโมเด็มชนิดนี้คือ สามารถพกพาหรือเคลื่อนย้ายได้สะดวก (เพียงแค่ถอดสายออกจากเครื่องคอมพิวเตอร์เครื่องหนึ่ง และนำไปต่อเข้ากับเครื่องคอมพิวเตอร์อีกเครื่องหนึ่งเท่านั้น) และอีกประการคือ ชุดไฟสัญญาณที่หน้าปัดสามารถบอกให้ทราบได้ว่าสถานะเป็นอย่างไร (เช่น มีสัญญาณการรับ-ส่งข้อมูลกันหรือไม่ หรือสถานะไฟสัญญาณที่จะต้องเกิดขึ้นเมื่อมีการออนไลน์ถูกต้องหรือไม่)

ข้อเสียของโมเด็มชนิดนี้คือ

1.)ต้องมีแหล่งจ่ายไฟต่างหาก (ต้องจัดหาปลั๊กไฟเพิ่มเติมสำหรับโมเด็ม)

2.)ต้องใช้กับพอร์ทอนุกรมของเครื่องคอมพิวเตอร์จำนวน 1 พอร์ท (ถ้าหากเครื่องคอมพิวเตอร์ที่มีอยู่เพียง 1 พอร์ทอนุกรม และได้ต่ออยู่กับเมาส์แล้ว ทางเลือกก็คือต้องเพิ่มพอร์ทอนุกรม หรือไม่ก็ต้องใช้โมเด็มชนิดที่ต่ออยู่ภายในเครื่องคอมพิวเตอร์แทน)

3.)กินเนื้อที่บนโต๊ะสำหรับวางโมเด็ม

4.)มีโอกาสที่จะเสียหายได้จากเด็กสัตว์เลี้ยงหรือน้ำหกใส่ เป็นต้น

5.)ราคาจะสูงกว่าโมเด็มชนิดต่อภายในเล็กน้อย

2.10การอินเตอร์เฟส (INTERFACE)

ปัจจุบันอุปกรณ์คอมพิวเตอร์รวมทั้งโมเด็มที่วางขายกันตามท้องตลาดมีหลายชนิดและมีหลายยี่ห้อ ดังนั้นเพื่อให้อุปกรณ์เหล่านี้สามารถใช้งานติดต่อร่วมกันได้จำเป็นต้องมีการอินเตอร์เฟสระหว่างอุปกรณ์เหล่านี้ และอินเตอร์เฟสควรมีมาตรฐานที่แน่นอน สำหรับอินเตอร์เฟสระหว่างอุปกรณ์คอมพิวเตอร์และโมเด็มนั้น มาตรฐานที่ใช้มากในปัจจุบันคือ CCITT V.24 ของยุโรปซึ่งคล้ายคลึงกับมาตรฐาน EIA RS-232 (Electronic Industries Association Recommended Standard-232) ซึ่งมาตรฐานทั้งสองจะกำหนดจำนวนสาย (wire) ของสัญญาณรูปแบบของสัญญาณไฟฟ้า ระดับไฟฟ้าที่ส่งระหว่างอุปกรณ์คอมพิวเตอร์กับโมเด็ม ในมาตรฐานนี้จะเรียกว่าเทอร์มินอลหรือพอร์ทหนึ่งๆของคอมพิวเตอร์ว่า DTE (Data Terminal Equipment) และเรียกโมเด็มว่า DCE (Data Circuit-terminating Equipment)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

55792

2.10.1มาตรฐาน CCITT V.24

กล่าวถึงชนิดและหน้าที่ตลอดจนลำดับ (sequence) ของสัญญาณต่างๆที่ส่งโต้ตอบระหว่าง DTE และ DCE เพื่อจะส่งข้อมูลผ่านโมเด็ม V.24 เป็นการอินเตอร์เฟสเชิงตรรกะ (logical interface) ซึ่งไม่กล่าวถึงคุณสมบัติของไฟฟ้าของสัญญาณหรือชนิดของปลั๊ก (plug) รูปแบบต่างๆของเข็ม (pin) ความยาวของสายเคเบิล หรืออัตราการส่งข้อมูลเป็นต้น นั่นคือ V.24 กล่าวถึงชนิดของสัญญาณต่างๆ ที่ถูกส่งโต้ตอบกันเท่านั้น

2.10.2มาตรฐาน CCITT V.28

กำหนดคุณสมบัติทางไฟฟ้าของสัญญาณที่กล่าวใน V.24 ซึ่งสัญญาณไฟฟ้าเหล่านี้ถูกกำหนดไว้ในการส่งสัญญาณข้อมูลด้วยความเร็วไม่เกิน 20,000 bps จึงกล่าวได้ว่า V.28 เป็นอินเตอร์เฟสเชิงไฟฟ้าของ V.24

2.10.3มาตรฐาน EIA RS-232C/D

ตัวอักษร C หมายถึงการแก้ไขปรับปรุงครั้งที่ 3 ของมาตรฐาน RS-232 และในปี พ.ศ.2530 EIA ได้ปรับปรุง RS-232 ให้เป็นมาตรฐาน RS-232D กำหนดอินเตอร์เฟสเชิงตรรกะทำนองเดียวกับ V.24

RS ย่อมาจาก Recommened Standard ส่วน 232 เป็นหมายเลขบ่งบอกมาตรฐานตัวนี้

RS-232 เป็นมาตรฐานสำหรับการอินเตอร์เฟสอุปกรณ์ Data terminal เข้ากับอุปกรณ์ Data Communication โดยอาศัยวิธีการส่งข้อมูลดิจิตอลแบบอนุกรม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3
การมอดดูเลททางความถี่

3.1 บทนำ

ในขบวนการมอดดูเลท เราใช้คลื่นรูปซายน์ที่มีความถี่สูงเป็นพาหะแล้วเปลี่ยนคุณสมบัติบางอย่างของพาหะด้วยสัญญาณข่าวสาร โดยทั่วไปสัญญาณข่าวสารได้แก่ สัญญาณออดิโอ (เสียงพูด), สัญญาณภาพ หรือข่าวสารอื่นๆ การเปลี่ยนแปลงคุณสมบัติของคลื่นพาหะนี้เราเรียกว่า การมอดดูเลท

คลื่นรูปซายน์ที่เราใช้เป็นพาหะนั้นเราสามารถเขียนสมการทางคณิตศาสตร์แทนได้ดังนี้

$$e = A\sin(\omega t + \varnothing)$$

เมื่อ e คือ ค่าแรงดัน (หรือกระแส) ของคลื่นพาหะใดๆ

A คือ แอมพลิจูด (หรือขนาด) สูงสุดของคลื่นพาหะ

ω คือ ความถี่เชิงมุม

t คือ เวลา

$\varnothing$ คือ เฟสหรือมุมทางไฟฟ้า

จากสมการข้างต้นจะเห็นว่า คุณสมบัติประจำตัวของคลื่นรูปซายน์ที่สำคัญจะมีอยู่ 3 ประการ ซึ่งเราสามารถเปลี่ยนแปลงหรือมอดดูเลทได้ คือ แอมพลิจูด (A), ความถี่เชิงมุม(ω) และเฟส ($\varnothing$)

การมอดดูเลทให้กับคลื่นพาหะแบ่งออกได้เป็น 3 แบบคือ

1. การมอดดูเลททางแอมพลิจูด (Amplitude Modulation ;AM)
2. การมอดดูเลททางความถี่ (Frequency Modulation ; FM)
3. การมอดดูเลททางเฟส (Phase Modulation ; PM)

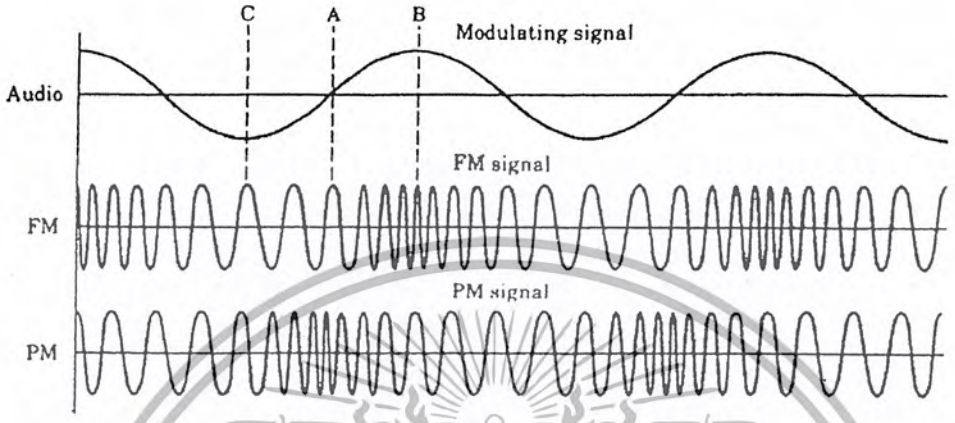
แต่ในที่นี้จะขอกล่าวถึงการมอดดูเลททางความถี่อย่างเดียว

3.2 การมอดดูเลทของคลื่น

จากรูปที่ 3.1 เป็นรูปสัญญาณที่แสดงในรูปของ Time-domain ที่เกิดจากการมอดดูเลทสัญญาณเสียงกับสัญญาณพาหะซึ่งมีการมอดดูเลทใน 2 ลักษณะ คือ การมอดดูเลททางความถี่ (Frequency Modulation : FM) และการมอดดูเลททางเฟส (Phase Modulation : PM) ซึ่งรูปสัญญาณจากการมอดดูเลท-จะเป็นลักษณะขบวนความถี่ จากรูปที่ 2.1 จุด A คือ ความถี่ศูนย์กลางของความถี่เสียง ส่วนจุด B คือ คลื่น FM ซึ่งจะมีความถี่ที่สูงกว่าความถี่ศูนย์กลางของความถี่เสียง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

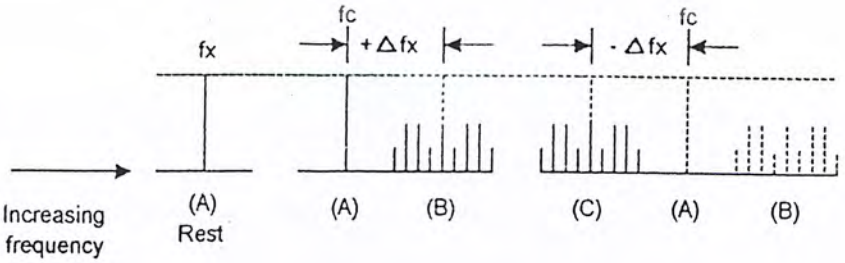
และจุด C คือ คลื่น FM ที่มีความถี่ต่ำกว่าความถี่ศูนย์กลางของความถี่เสียงและจะสังเกตเห็นว่าสัญญาณพาหะจะเปลี่ยนแปลงความถี่ตามความถี่ของสัญญาณความถี่เสียงที่เข้ามามอดดูเลท



รูปที่ 3.1 แสดงสัญญาณความถี่เสียงกับสัญญาณที่ถูกมอดดูเลทแบบ FM และ PM

จากรูปที่ 3.2 เป็นรูปสัญญาณที่เกิดจากการมอดดูเลทสัญญาณใน 1 ไซเคิล ซึ่งจะแสดงในรูปของ Frequency-domain โดยมีความถี่ศูนย์กลางอยู่ที่จุด A ส่วนจุด B จะเป็นจุดที่มีการเปลี่ยนแปลงความถี่ที่มีค่ามากกว่าความถี่ศูนย์กลาง ($+\Delta f$) และที่จุด C จะเป็นจุดที่มีการเปลี่ยนแปลงความถี่ที่มีน้อยกว่าความถี่ศูนย์กลาง ($-\Delta f$)

การเปลี่ยนแปลงความถี่ของสัญญาณเพราะไปพร้อมๆ กับความถี่ของสัญญาณที่กำลังถูกมอดดูเลทนั้นจะมีผลทำให้มีไซแบนด์เกิดขึ้นรอบๆ สัญญาณพาหะ และจำนวนไซแบนด์ที่เกิดขึ้นจะมีความถี่ที่ออกห่างจากความถี่ศูนย์กลาง โดยที่ผลรวมของแรงดันและไซแบนด์ของสัญญาณพาหะที่ออกห่างจากความถี่ศูนย์กลางจะมีค่าคงที่ และจะมีค่าที่เท่ากับแรงดันและไซแบนด์ที่ค่าของความถี่ศูนย์กลาง



รูปที่ 3.2 แสดงการมอดดูเลทคลื่น FM ใน Frequency-domain

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3 ดัชนีการมอดดูเลท

ในระบบ FM เราวัดเปอร์เซ็นต์การมอดดูเลทโดยดูจากการเปลี่ยนแปลงความถี่ ซึ่งเรานิยมเรียกชื่อใหม่ว่า ดัชนีการมอดดูเลท ลองพิจารณาความหมายของดัชนียการมอดดูเลทต่อไปนี้

$$m = \frac{f_d}{f_m}$$

เมื่อ f_d คือช่วงความถี่เบี่ยงเบน

f_m คือความถี่ของสัญญาณที่เข้ามอดดูเลท

ค่าตัวเลขของดัชนีการมอดดูเลทจะมีค่าสูง (แตกต่างจากเปอร์เซ็นต์การมอดดูเลทซึ่งเมื่อคิดเป็นอัตราส่วนจะได้อยู่ระหว่าง 0 ถึง 1) ตัวอย่างเช่น ในระบบวิทยุกระจายเสียง FM เรากำหนดให้ความถี่เบี่ยงเบนของระบบสูงสุดไว้เท่ากับ 75 kHz สมมติว่าเราใช้สัญญาณเสียง 1 kHz มอดดูเลทให้เกิดความถี่เบี่ยงเบนเต็มที่ ค่าดัชนีมอดดูเลทจะเป็น

$$m = \frac{75kHz}{1kHz} = 75$$

สังเกตว่า ค่าดัชนีการมอดดูเลทในระบบ FM ขึ้นอยู่กับความถี่ของสัญญาณเสียงที่เข้ามอดดูเลท ในทางปฏิบัติเรานิยมวัดเป็นอัตราส่วนการเบี่ยงเบน (deviation ratio) ซึ่งเป็นอัตราส่วนระหว่างความถี่เบี่ยงเบน (ของระบบ) สูงสุด (f_{dmax}) ต่อความถี่สูงสุดของสัญญาณที่เข้ามอดดูเลท (f_{mmax}) ในระบบกระจายเสียง FM ค่าอัตราการเบี่ยงเบน (Δ) จะเท่ากับ

$$\Delta = \frac{f_{d\,max}}{f_{m\,max}}$$

$$= \frac{75kHz}{15kHz} = 5$$

ในระบบ FM เมื่อเพิ่มแอมพลิจูดของสัญญาณที่เข้ามอดดูเลทสูงขึ้น การเบี่ยงเบนความถี่ของพาหะจะเบี่ยงเบนได้มากขึ้น ในระบบวิทยุกระจายเสียง FM กำหนดให้ความถี่เบี่ยงเบนของระบบเต็มที่ไม่เกิน 75 kHz ถ้าเรามอดดูเลททำให้ความถี่ของพาหะเบี่ยงเบนไปเท่ากับ 75 kHz แสดงว่าเรามอดดูเลท 100 เปอร์เซ็นต์ ซึ่งเราเขียนเป็นสมการได้ดังนี้

$$\text{เปอร์เซ็นต์การมอดดูเลท} = \frac{f_d}{f_{m\,max}} \times 100$$

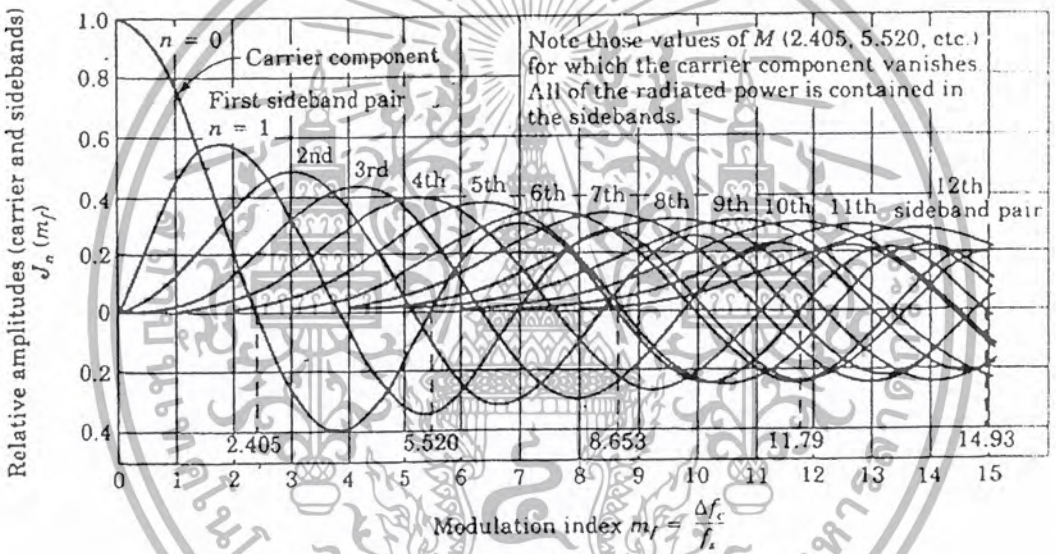
ในที่นี้ f_d คือ ความถี่เบี่ยงเบน เนื่องจากสัญญาณที่เข้ามอดดูเลท

$f_{d\,max}$ คือ ความถี่เบี่ยงเบนสูงสุดของระบบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.4 ไซด์แบนด์ FM

จากการมอดดูเลทแบบ FM ถ้าเรามอดดูเลทด้วยสัญญาณซายน์ก็จะเกิดไซด์แบนด์จำนวนนับอนันต์ เนื่องจากการเบี่ยงเบนความถี่ของพาหะทำให้เกิดความถี่เพิ่มขึ้นอีกมากมาย ความจริงแล้วไซด์แบนด์ที่อยู่ห่างจากความถี่กลางมากๆ มักมีแอมพลิจูดเล็กมากจนไม่ต้องคำนึงถึง ในระบบ FM สัญญาณ FM จะรักษาแอมพลิจูดไว้คงที่เสมอ ซึ่งหมายความว่ากำลังของคลื่นพาหะย่อมกระจายไปอยู่ในไซด์แบนด์ ความสัมพันธ์ของพาหะกับไซด์แบนด์ในระบบ FM ขึ้นอยู่กับดัชนีการมอดดูเลท เนื่องจากดัชนีการมอดดูเลทเป็นตัวกำหนดจำนวนของไซด์แบนด์ที่สำคัญและแอมพลิจูดของพาหะกับไซด์แบนด์ต่างๆ



รูปที่ 3.3 กราฟแสดงแอมพลิจูดของพาหะและไซด์แบนด์ในระบบ FM

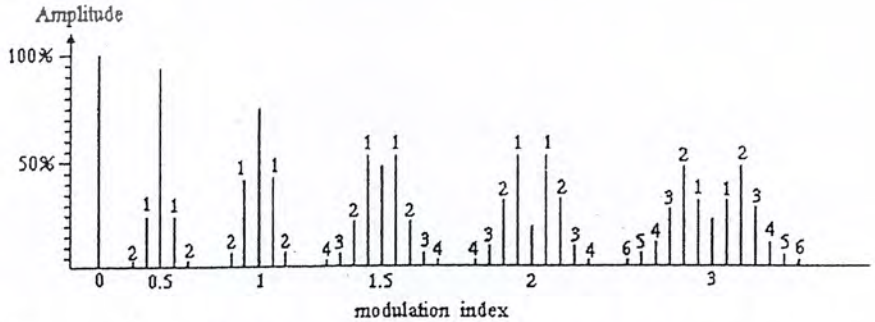
ในรูปที่ 3.3 แสดงกราฟแอมพลิจูดของคลื่นพาหะกับไซด์แบนด์ที่ดัชนีการมอดดูเลทค่าต่างๆ จะเห็นว่าเมื่อดัชนีการมอดดูเลทเป็นศูนย์จะมีแต่คลื่นพาหะอย่างเดียว (เท่ากับ 1 หน่วย) คลื่นไซด์แบนด์เป็นศูนย์เมื่อดัชนีการมอดดูเลทเพิ่มขึ้นจำนวนไซด์แบนด์จะเพิ่มขึ้น แอมพลิจูดของไซด์แบนด์ก็จะใหญ่ขึ้น แต่แอมพิลจูดของพาหะกลับเล็กลงจนกระทั่งดัชนีการมอดดูเลทเท่ากับ 2.4 คลื่นพาหะจะเป็นศูนย์ ตอนนี้กำลังของคลื่น FM จะไปอยู่ในไซด์แบนด์ทั้งสิ้น เมื่อดัชนีการมอดดูเลทเพิ่มขึ้นอีก คลื่นพาหะก็จะมีค่าเพิ่มขึ้นอีก (เป็นค่าลบแสดงว่าเฟสตรงกันข้ามกับตอดแรก เช่น เมื่อดัชนีการมอดดูเลทเป็น 3.1 แอมพลิจูดของพาหะจะเท่ากับ -0.3 หน่วย) สังเกตว่าจุดที่คลื่นพาหะเป็นศูนย์นั้นมีอยู่หลายจุด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กราฟในรูปที่ 3.3 เขียนได้เป็นตารางดังแสดงในตารางที่ 1 และเพื่อให้ดูง่ายขึ้น ในที่นี้เรา ตัดไซด์แบนด์ที่มีแอมพิลจูดน้อยกว่า 1 เปอร์เซ็นต์ของพาหะเดิม (ก่อนมอดดูเลท) ออกไปโดยไม่คำนึงถึงเช่น เมื่อดัชนีการมอดดูเลทเท่ากับ 0.5 แอมพลิจูดของพาหะจะเท่ากับ 0.94 หน่วย ไซด์แบนด์คู่แรกมีแอมพลิจูดเท่ากับ 0.24 หน่วยไซด์แบนด์คู่ที่สองถัดไปมีแอมพลิจูดเท่ากับ 0.03 หน่วย ไซด์แบนด์อื่นนอกจากนี้มีแอมพลิจูดน้อยจนสามารถตัดทิ้งไปได้ เมื่อดัชนีการมอดดูเลทสูงขึ้นการกระจายคลื่นไซด์แบนด์จะเป็นดังรูปที่ 3.4

ดัชนีการมอดดูเลท	พาหะ	ไซด์แบนด์คู่ที่															
		1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
0	1	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
025	0.98	0.12	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
0.5	0.94	0.24	0.03	-	-	-	-	-	-	-	-	-	-	-	-	-	-
1	0.77	0.44	0.11	0.02	-	-	-	-	-	-	-	-	-	-	-	-	-
1.5	0.51	0.56	0.23	0.06	0.01	-	-	-	-	-	-	-	-	-	-	-	-
2	0.22	0.58	0.35	0.13	0.03	-	-	-	-	-	-	-	-	-	-	-	-
2.5	-0.05	0.5	0.45	0.22	0.07	0.02	-	-	-	-	-	-	-	-	-	-	-
3	-0.26	0.34	0.49	0.31	0.13	0.04	0.01	-	-	-	-	-	-	-	-	-	-
4	-0.4	-0.07	0.36	0.43	0.28	0.13	0.05	0.02	-	-	-	-	-	-	-	-	-
5	-0.18	-0.33	0.05	0.36	0.39	0.26	0.13	0.05	0.02	-	-	-	-	-	-	-	-
6	0.15	0.28	-0.24	0.11	0.36	0.36	0.25	0.13	0.06	0.02	-	-	-	-	-	-	-
7	0.3	0	-0.3	-0.17	0.16	0.35	0.34	0.23	0.13	0.06	0.02	-	-	-	-	-	-
8	0.17	0.23	-0.11	-0.29	-0.1	0.19	0.34	0.32	0.22	0.13	0.06	0.03	-	-	-	-	-
9	-0.09	0.24	0.14	-0.18	-0.27	-0.26	0.2	0.33	0.3	0.21	0.12	0.06	0.03	0.01	-	-	-
10	-0.25	0.04	0.25	0.06	-0.22	-0.23	-0.01	0.22	0.31	0.29	0.2	0.12	0.06	0.03	0.01	-	-
12	-0.05	-0.22	-0.08	0.2	0.18	-0.17	-0.24	-0.17	0.05	0.23	0.3	0.27	0.2	0.12	0.07	0.03	0.01
15	-0.01	0.21	0.04	0.19	-0.12	0.13	0.21	0.03	-0.17	-0.22	-0.09	0.1	0.24	0.28	0.25	0.18	0.12

ตารางแสดงการกระจายคลื่นพาหะและไซด์แบนด์ที่ดัชนีการมอดดูเลทค่าต่างๆ



รูปที่ 3.4 รูปคลื่น FM ในเชิงความถี่ที่ค่าดัชนีการมอดดูเลทเท่ากับ 0, 0.5, 1, 1.5, 2, 3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.5 แบนด์วิดท์ของสัญญาณ FM

ในระบบ FM จำนวนไซด์แบนด์และแอมพลิจูดของไซด์แบนด์ขึ้นอยู่กับค่าดัชนีการมอดดูเลท โดยความถี่ของไซด์แบนด์มีค่าสัมพันธ์กับความถี่ของสัญญาณที่เข้ามอดดูเลท กล่าวคือไซด์แบนด์คู่แรกมีความถี่เท่ากับ $f_c \pm f_m$ ไซด์แบนด์คู่ที่สองมีความถี่เท่ากับ $f_c \pm 2f_m$,.... ฯลฯ แบนด์วิดท์ของคลื่น FM ต้องครอบคลุมจำนวนไซด์แบนด์ที่สำคัญทุกตัว นั่นคือแบนด์วิดท์ขึ้นอยู่กับดัชนีการมอดดูเลทและความถี่ของสัญญาณที่เข้ามอดดูเลท แต่ดัชนีการมอดดูเลทเท่ากับ f_d / f_m

ดังนั้นถ้าเราทราบความถี่เบี่ยงเบนและความถี่ของสัญญาณมอดดูเลทเราก็สามารถคำนวณหาแบนด์วิดท์ได้ ตัวอย่างเช่นความถี่ของสัญญาณเสียงที่เข้ามอดดูเลทเท่ากับ 3 kHz ความถี่เบี่ยงเบนเท่ากับ 18 kHz เราคำนวณค่าดัชนีการมอดดูเลทได้ดังนี้

$$m = \frac{f_d}{f_m}$$

$$= \frac{18kHz}{3kHz} = 6$$

นำค่า m = 6 ไปหาไซด์แบนด์สำคัญที่พิจารณาได้จากตารางในรูปที่ 3.3 จะเห็นว่าเมื่อดัชนีการมอดดูเลทเท่ากับ 6 จำนวนไซด์แบนด์จะมีอยู่ 9 คู่ เราจึงคำนวณหาแบนด์วิดท์ได้ดังนี้

$$BW = f_m \times \text{จำนวนไซด์แบนด์} \times 2$$

$$= 3kHz \times 9 \times 2$$

$$= 54kHz$$

ความจริงแล้วในทางปฏิบัตินิยมใช้สูตรคำนวณแบบประมาณค่า $f_{d\,max}$ และ $f_{m\,max}$ เลยไม่ต้องเสียเวลานับจำนวนไซด์แบนด์ ดังนี้

$$BW = 2(m+1)f_{m\,max}$$

หรือ $BW = 2(f_{d\,max} + f_{m\,max})$, เมื่อ $m = \frac{f_{d\,max}}{f_{m\,max}}$

จากตัวอย่างดังกล่าวเราคำนวณได้ว่า

$$BW = 2 \times (6+1) \times 3$$

$$= 42kHz$$

หรือ $BW = 2 \times (18+3)$

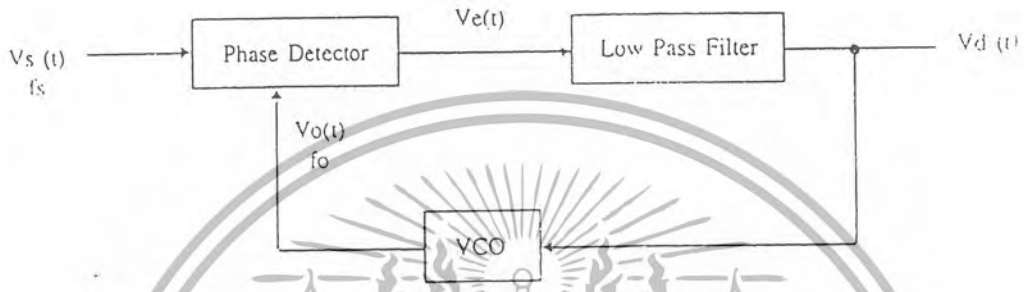
$$= 42kHz$$

เสมือนกับว่าเราพิจารณาใช้จำนวนไซด์แบนด์เพียง 7 คู่ เมื่อเทียบกับการคำนวณในตอนต้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.6 หลักการของเฟสล็อกลูป

หลักการเบื้องต้นของเฟสล็อกลูป ก็มาจากระบบการป้อนกลับ ซึ่งประกอบด้วยส่วนสำคัญ 3 ส่วนดังบล็อกไดอะแกรมในรูป ที่มีเฟสดีเทคเตอร์ โลพาสฟิลเตอร์ และโวลท์เตจคอนโทรลออสซิลเลเตอร์



รูปที่ 3.5 บล็อกไดอะแกรมของวงจรเฟสล็อกลูป

ในขณะที่ไม่มีสัญญาณป้อนเข้ามา Vd จะเท่ากับศูนย์และวีซีโอ (VCO) จะผลิตความถี่แบบที่เรียกว่าฟรีรันนิ่ง (Freerunning) เท่ากับ fo เมื่อมีอินพุท Vs ป้อนเข้ามามีความถี่เท่ากับ fs วงจรเฟสดีเทคเตอร์จะทำหน้าที่เปรียบเทียบเฟสและความถี่ของสัญญาณที่เข้ามากับสัญญาณที่ วีซีโอ ถ้า fs และ fo แตกต่างกันจะได้ Ve (Error Voltage) จากเอาต์พุทของเฟสดีเทคเตอร์ผ่านโลพาสฟิลเตอร์เป็น Vd ไปเข้าวีซีโอ ปรับความถี่ fo ให้เท่ากับ fs และเมื่อ fo เท่ากับ fs ก็คือสภาวะล็อกหรือซิงค์ เอาต์พุทจากเฟสดีเทคเตอร์ Ve จะเป็นศูนย์และ Vd ก็เท่ากับศูนย์

ในเรื่องของเฟสล็อกลูป มีคำที่มักเข้าใจสับสนกันบ่อยๆ คือคำว่า ล็อกเรนจ์ (Lock Range) กับคำว่าแคปเจอร์เรนจ์ (Capture Range) ซึ่งมีความหมายแตกต่างกัน ดังนี้

ล็อกเรนจ์ หมายถึงย่านความถี่ที่ใกล้เคียงกับ fo ซึ่งเฟสล็อกลูปยังสามารถล็อกกับสัญญาณที่เข้ามา ค่าของล็อกเรนจ์ จะลดลงเมื่ออัตราการขยายทั้งหมดของเฟสล็อกลูปลดลง

แคปเจอร์เรนจ์ หมายถึง บริเวณแถบความถี่ที่ใกล้เคียงกับ fo ที่เฟสล็อกลูปเริ่มล็อกกับสัญญาณที่เข้าค่าของแคปเจอร์เรนจ์ ขึ้นอยู่กับแบนวิดท์ของโลพาสฟิลเตอร์คือจะลดลงเมื่อแบนวิดท์แคบ และโดยปกติแคปเจอร์เรนจ์ จะมีค่าน้อยกว่า ล็อกเรนจ์ เพื่อให้เข้าใจคำว่า ล็อกเรนจ์และแคปเจอร์เรนจ์ง่ายขึ้นลองพิจารณาดูจากรูปที่ 3.6 ซึ่งแสดงถึงคุณลักษณะระหว่างความถี่กับเออเรอร์โวลท์เตจ ของเฟสล็อกลูปดังรูป

จากส่วนบนของรูปที่ 3.5 สมมติว่าสัญญาณที่เข้ามามีความถี่ค่อยๆ เปลี่ยนไป จากต่ำไปสูง ตอนแรกจะยังไม่มีอะไรเกิดขึ้นและ Vd เท่ากับศูนย์ จนกระทั่งความถี่ของสัญญาณที่เข้ามา fs

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

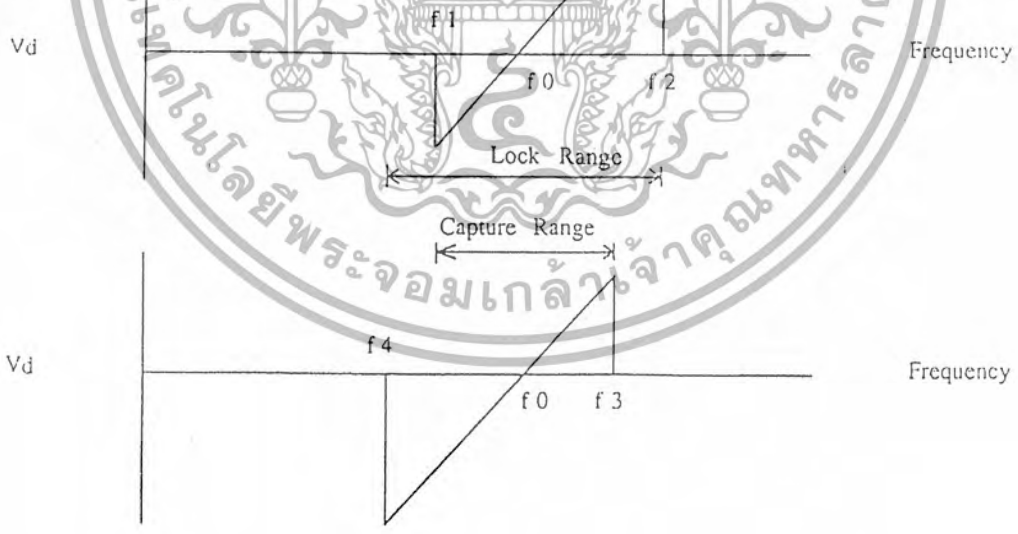
ซึ่งเป็นความถี่ต่ำสุดของแคปเจอร์เรนจ์ ทำให้เฟสล็อกลูปเริ่มล็อกกับ fs และ Vd มีค่าเป็นลบเพื่อปรับ วีซีโอ ให้ fo เท่ากับ fs แต่ในที่นี้เราสมมติว่า fs เปลี่ยนไปเรื่อยๆ ซึ่งจะทำให้ค่าของ Vd เป็นลบน้อยลง

จนกระทั่ง fs เท่ากับ fo ทำให้ Vd เท่ากับศูนย์ จากนั้น Vd จะเริ่มเป็นบวก แบะมากขึ้นเรื่อยๆ จนกระทั่ง fs = f2 ซึ่งเป็นความถี่สูงสุดของ ล็อกเรนจ์ จะทำให้หลุดการล็อกและ Vd เท่ากับศูนย์

ในทางกลับกัน ถ้า fs เปลี่ยนจากสูงลงมาต่ำให้พิจารณารูปที่ 3.6 ส่วนล่าง เฟสล็อกลูปจะเริ่มล็อกเมื่อ fs = f3 ซึ่งเป็นค่าสูงสุดของแคปเจอร์เรนจ์ ทำให้ Vd มีค่าเป็นบวกทันทีเมื่อ fs ลดลง จน fs = fo จะได้ Vd เท่ากับศูนย์แล้วมีค่าเป็นลบมากขึ้นเรื่อยๆ จนกระทั่ง fs = f4 ซึ่งเป็นค่าต่ำสุดของ ล็อกเรนจ์ จะทำให้ fs หลุดจากการล็อกของเฟสล็อกลูปและ Vd กลับเป็นศูนย์อีกครั้ง เราจึงสรุปได้ว่า

Lock Range = f2-f4

Capture Range = f3-f1

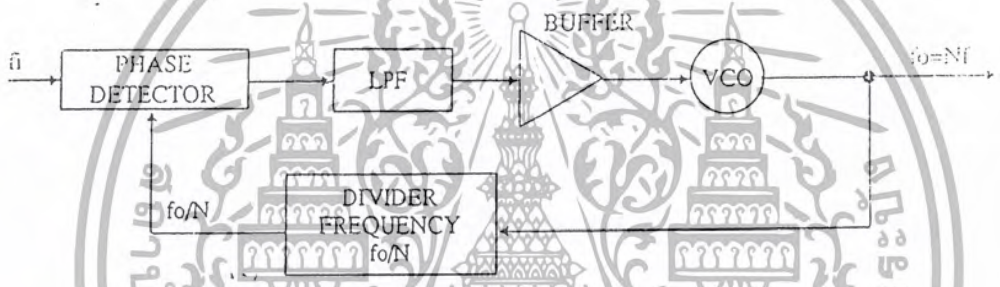


รูปที่ 3.6 คุณลักษณะระหว่างความถี่กับเออเรอร์โวลท์เตจของเฟสล็อกลูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.6.1 การนำวงจรเฟสล็อกลูปไปใช้งาน

(ก) การสังเคราะห์ความถี่ ตัวอย่างการใช้วงจรเฟสล็อกลูปอีกอย่างหนึ่งที่พบบ่อยคือ ใช้สังเคราะห์ (Frequency synthesizer) วงจรนี้จะให้สัญญาณออกมามีความถี่ซึ่งเลือกได้เป็นค่าๆ ไป (Discrete) เช่น เลือกได้ระหว่าง 2.0 เมกะเฮิร์ต ถึง 3.0 เมกะเฮิร์ต เป็นขั้นๆ (Steps) ขั้นละ 0.1 เมกะเฮิร์ต เป็นต้น หลักการของวงจรก็คือ การคูณความถี่มาตรฐานด้วยเลขจำนวนเต็ม N ที่เลือกค่าได้ เช่น คูณความถี่มาตรฐาน 0.1 เมกะเฮิร์ตด้วยเลขจำนวนเต็ม N ที่เลือกค่าได้ระหว่าง 20 ถึง 30 วงจรสังเคราะห์ความถี่ที่ใช้เฟสล็อกลูปแสดงอยู่ในรูปที่ 3.7 จะเห็นได้ว่า การแทรกวงจรหาความถี่เข้าในวงรอบจะเป็นการล็อกความถี่ f_0/N เข้ากับความถี่มาตรฐาน fi ความถี่ของ วีซีโอ จะเท่ากับ fo = Nfi ตามที่ต้องการ

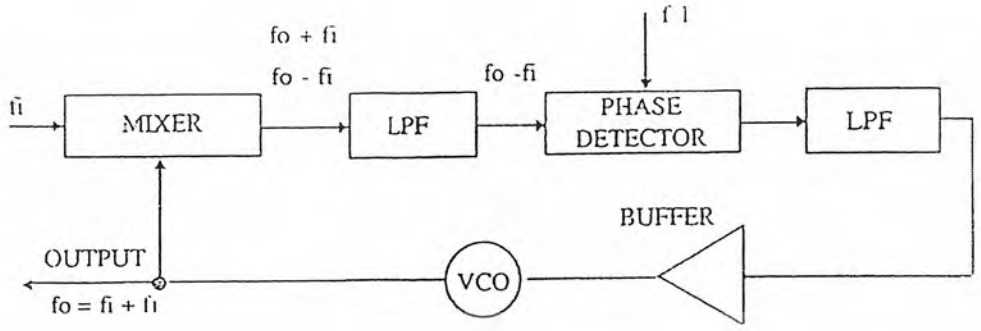


รูปที่ 3.7 แสดงวงจรสังเคราะห์ความถี่ที่ใช้เฟสล็อกลูป

ในทำนองคล้ายคลึงกัน ถ้าสัญญาณออกของ วีซีโอ มีฮาร์โมนิกอยู่ด้วยมาก เราอาจปรับความถี่มาตรฐานขาเข้า fi ให้ตรงกับฮาร์โมนิกที่ m ของสัญญาณจาก วีซีโอ นั่นคือ fi = mfo สภาพการล็อกที่ฮาร์โมนิกเช่นนี้ จะทำให้ได้ความถี่หลักมูลของวีซีโอ เท่ากับ fo = fi/m วงจรเฟสล็อกลูปทำหน้าที่เป็นวงจรหารความถี่

ถ้าต้องการเลื่อนความถี่จากค่ามาตรฐานค่าหนึ่งไปเล็กน้อย เช่น จากค่า fi เป็น fi + fl การใช้เทคนิคการผสม (Mixing) จะไม่ได้ผลนัก เพราะถ้า fi มีค่าเล็กการกรองเอาแต่ความถี่ fi + fl ไว้โดยตัดความถี่ fi – fl ออกไปจะทำได้ยาก จึงควรใช้วงจรเฟสล็อกลูป ดังในรูปที่ 3.8 ซึ่งจะทำให้ไม่มีปัญหาในการกรอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.8 วงจรเลื่อนความถี่

วงจรเฟสล็อกลูปนี้นำสัญญาณออกจาก วีซีโอ มาผสมกับสัญญาณเข้า แล้วกรองเอาเฉพาะความถี่ผลต่าง fo – fi ซึ่งจะนำไปเปรียบเทียบกับความถี่ fi

เมื่อเกิดการล็อกจะได้ fo – fi = fi นั่นคือ fo = fi + fi ความถี่ของ วีซีโอ จะเท่ากับความถี่มาตรฐานเลื่อนไป fi

(ข) การเข้าจังหวะ (Synchronization) ระบบเฟสล็อกลูป อาจใช้ประโยชน์ในการเพิ่มเสถียรภาพความถี่ของวงจรแกว่งได้ เช่น ถ้ามีวงจรแกว่งกำลังสูง แต่เสถียรภาพความถี่ไม่ดีและมีวงจรแกว่งกำลังต่ำๆ แต่เสถียรภาพดี ก็ให้ได้ใช้วงจรแรกเป็น วีซีโอ และวงจรที่สองใช้สำหรับให้สัญญาณเข้าของเฟสล็อกลูป เมื่อเกิดการล็อกแรงดันออกจาก วีซีโอ ก็จะมีระดับสูงและมีเสถียรภาพความถี่ดี อนึ่งวงจรแกว่งกำลังสูงแต่เสถียรภาพอาจทำงานที่ความถี่ต่ำกว่า เช่น เป็นวงจรแกว่งที่ให้ผลึก การเข้าจังหวะอาจทำได้โดยการล็อกความถี่ของวีซีโอ เข้ากับฮาร์โมนิกสูงๆ ของสัญญาณเข้า การล็อกอาจเกิดขึ้นได้โดยใช้สัญญาณเข้าเพียงนิดเดียวจึงไม่มีปัญหาในการล็อกที่ฮาร์โมนิกสูง

หลักการเดียวกันนี้ อาจใช้ในการควบคุมความเร็วของมอเตอร์ได้ ในที่นี้ วีซีโอ ก็คือตัวมอเตอร์ซึ่งอาจใช้สวิตซ์ไว้ใกล้ๆ แกน เมื่อมอเตอร์หมุนหนึ่งรอบ สวิตซ์ก็จะเปิด-ปิดครั้งหนึ่งหรือหลายครั้ง ทำให้ได้สัญญาณไฟฟ้าออกมามีความถี่เป็นจำนวนเต็มเท่าของความเร็วของมอเตอร์ สัญญาณนี้จะนำไปเปรียบเทียบกับความถี่มาตรฐาน ซึ่งอาจได้จากการหารความถี่ของวงจรแกว่งที่ใช้ผลึกสัญญาณที่ได้ออกมา เมื่อผ่านการกรองและการขยายก็จะนำไปใช้ขับมอเตอร์ และควบคุมความเร็วของมัน เมื่อเกิดกรล็อกความเร็วของมอเตอร์จะมีเสถียรภาพเท่ากับความถี่มาตรฐาน

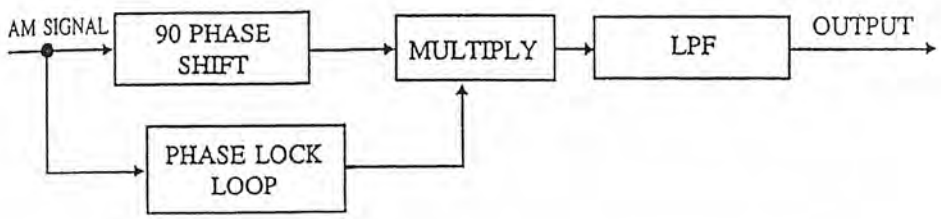
ในบางกรณี สัญญาณเข้าจังหวะมีลักษณะไม่ครบสมบูรณ์ คือขาดเป็นห้วงๆ ที่ต้องการก็สร้างเสริมขึ้นใหม่ได้ครบรูป เช่น ให้เป็นสัญญาณสี่เหลี่ยมจัตุรัสที่บริบูรณ์ ในกรณีนี้อาจใช้ วงจร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เฟสล็อกลูปได้โดยที่ วีซีโอ จะให้สัญญาณสี่เหลี่ยมจัตุรัสที่เข้าจังหวะกับสัญญาณที่ได้รับเป็นห้วงๆ นั้น ในช่วงที่ไม่มีสัญญาณเข้า ยังพอมี "ความทรงจำ" และยังไม่ทันจะเปลี่ยนจากความถี่เดิม ก็มีสัญญาณมาเข้าจังหวะให้เป็นห้วงๆ ไป ตัวอย่างดังกล่าวนี้จะพบได้ในการเข้าจังหวะสัญญาณของเครื่องรับโทรทัศน์สีในระบบเชิงเลข และในระบบโทรมาตรที่ใช้ พีซีเอ็ม (PCM)

(ค) การตรวจจับสัญญาณ (Detection) หรือวงจรเลือกความถี่ในกรณีที่สัญญาณมีองค์ประกอบความถี่หลายความถี่และต้องการเลือกเฟ้นเพียงความถี่เดียว ก็อาจทำได้โดยใช้วงจรเฟสล็อกลูป โดยปรับความถี่อิสระให้ตรงกับความถี่ที่ต้องการ และปรับแถบของวงรอบให้แคบเพื่อว่าวงจรเฟสล็อกลูปจะได้ล็อกกับความถี่นั้นในกรณีนี้ สัญญาณของ วีซีโอ จะมีความถี่เท่ากับสัญญาณที่ต้องการ ส่วนความถี่อื่นๆ ที่สัญญาณเข้ามากล่าวได้ว่า วงจรเฟสล็อกลูปทำหน้าที่เป็นตัวกรองเสียงรบกวนโดยกำเนิด เป็นสัญญาณขึ้นใหม่จากสัญญาณเล็กๆ ที่จมอยู่ในเสียงรบกวน

ซึ่งวงจรเฟสล็อกลูปทำหน้าที่คล้ายวงจรเลือกความถี่ ต่างกันที่ว่าสัญญาณออกจาก วีซีโอ แม้จะตรงตามสัญญาณเข้าในแง่ความถี่ แต่ก็ไม่เกี่ยวข้องกับสัญญาณเข้าในแง่ช่วงสูง เลยพิจารณาในแง่นี้จะเห็นว่า เมื่อใช้วงจรเฟสล็อกลูปสำหรับดีมอดูเลต สัญญาณเอฟเอ็มวงจรก็จะมีอำนาจเลือกสรรความถี่ในตัววงจรเฟสล็อกลูปนี้ อาจใช้ประกอบการดีมอดูเลตสัญญาณเอเอ็ม ได้อย่างมีคุณภาพ เป็นที่ทราบกันว่า ถ้ามีเสียงรบกวนผนวกกับสัญญาณเอเอ็มมาก วิธีหนึ่งที่ใช้ได้ดีในการขจัดเสียงรบกวนคือ การตรวจจับแบบโคฮีเร้นต์ (Coherent detection) กล่าวคือ เอาสัญญาณเอเอ็มคูณกับสัญญาณอ้างอิง มีความถี่เดียวกันแต่ปราศจากเสียงรบกวน ผลคูณที่ได้จะประกอบด้วย ค่าไฟตรงที่เป็นปฏิภาคกับช่วงสูงของสัญญาณเข้า และองค์ประกอบความถี่สูงอื่นๆ ซึ่งจะถูกขจัดโดยวงจรผ่านต่ำ เสียงรบกวนหรือสัญญาณแทรกที่ความถี่ไม่ตรงกับสัญญาณอ้างอิง จะไม่ให้ค่าไฟตรงจึงถูกวงจรผ่านต่ำกรองอากาศออกหมด ในการดีมอดูเลตเช่นนี้วงจรเฟสล็อกลูปจะเป็นตัวกำเนิดสัญญาณอ้างอิง ซึ่งมีความถี่ตรงกับสัญญาณเอเอ็มและมีเสียงรบกวนปนอยู่น้อยมาก แต่สัญญาณจะต่างมุมกับสัญญาณเอเอ็มอยู่ 90 องศา จึงจำเป็นต้องเพิ่มวงจรเลื่อนความถี่เข้าไปก่อนที่จะทำการตรวจจับแบบโคฮีเรนต์



รูปที่ 3.9 การตรวจสัญญาณเอเอ็มแบบโคฮีเรนต์โดยใช้วงจรเฟสล็อกลูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4
การมอดดูเลทสัญญาณแบบดิจิตอล

4.1 บทนำ

ในบทนี้จะทำการอธิบายเนื้อหาเกี่ยวกับการมอดดูเลทสัญญาณแบบดิจิตอล ซึ่งมีอยู่ด้วยกันหลายวิธีเช่น การมอดดูเลทแบบ ASK, FSK และ PSK ซึ่งแต่ละวิธีจะอาศัยหลักการทำงานที่แตกต่างกันออกไป ในบทนี้เราจะเน้นเนื้อหาเกี่ยวกับการมอดดูเลทแบบ FSK เพราะเกี่ยวข้องกับโครงงานที่ได้จัดทำ ซึ่งจะอธิบายโดยละเอียดดังจะกล่าวต่อไปนี้

4.2 การมอดดูเลทสัญญาณดิจิตอล

การมอดดูเลทข้อมูลที่เป็นดิจิตอลจะมีหลักการพื้นฐานอยู่ 3 แบบด้วยกันคือ

1. การมอดดูเลทดิจิตอลทางขนาด (Amplitude Shift Keying ; ASK)
2. การมอดดูเลทดิจิตอลทางเฟส (Phase Shift Keying ; PSK)
3. การมอดดูเลทดิจิตอลทางความถี่ (Frequency Shift Keying ; FSK)

จากสมการทางคณิตศาสตร์ของคลื่นรูปซายน์ที่เราใช้เป็นพาหะ

$$e = A\sin(\omega t+\Phi) \qquad (1)$$

คุณสมบัติประจำตัวของคลื่นรูปซายน์ที่สำคัญจะมีอยู่ 3 ประการ ซึ่งเราสามารถเปลี่ยนแปลงหรือมอดดูเลทได้ คือ แอมพลิจูด (A) ความถี่เชิงมุม (ω) และเฟส (Φ)

สัญญาณดิจิตอลเบสแบนด์เป็นรูปสี่เหลี่ยมแสดงรหัสไบนารี "1" และ "0" ในการมอดดูเลทสัญญาณดิจิตอลนี้ จากคุณสมบัติประจำตัวของคลื่นรูปซายน์ (คลื่นพาหะ) ซึ่งสามารถเปลี่ยนแปลงได้คือ แอมพลิจูด, ความถี่เชิงมุมและเฟสจะเปลี่ยนไปตามสถานะ "1" และ "0" ของสัญญาณเบสแบนด์

4.2.1 การมอดดูเลทดิจิตอลทางขนาด (Amplitude Shift Keying ; ASK)

ในการมอดดูเลทดิจิตอลทางขนาดบางครั้งเรียกว่า OOK (on-off keying) เพราะว่าคลื่นพาหะถูก *on / off* ตามสัญญาณที่เป็น "1" หรือ "0" ถ้าคลื่นพาหะกำหนดโดยสมการที่ (1)

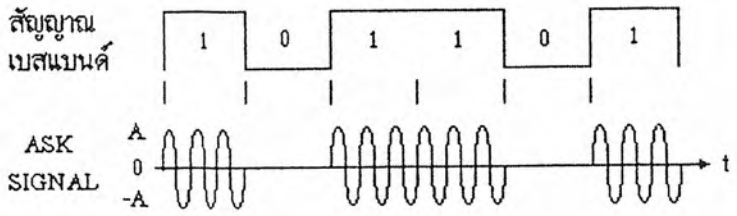
ดังนั้นสัญญาณ ASK จะกำหนดได้เป็น

$$e = A\sin 2\pi f_1 t \quad ; \text{เมื่อสถานะของบิทเป็น "1"}$$

$$= 0 \quad ; \text{เมื่อสถานะของบิทเป็น "0"}$$

แสดงดังรูปที่ 4.1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.1 แสดงรูปการมอดดูเลทดิจิตอลทางขนาด

การมอดดูเลทดิจิตอลทางขนาดจัดว่ามีประสิทธิภาพต่ำสุด และมีความผิดพลาดในการส่งข้อมูลและใช้ในสายสื่อสารที่ต้องการความเร็วของข้อมูลต่ำ (น้อยกว่า 100 บิท/วินาที) ส่วนหลักการอื่นๆ ของ ASK จะเหมือนกับแบบ AM

4.2.2 การมอดดูเลทดิจิตอลทางเฟส (Phase Shift Keying ; PSK)

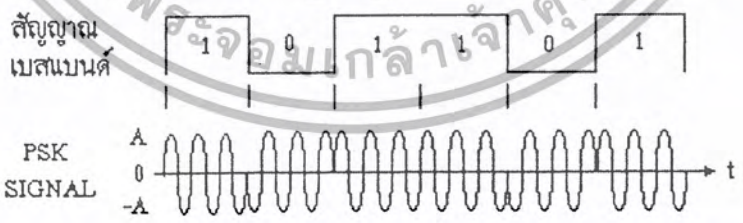
การมอดดูเลทดิจิตอลทางเฟสจะใช้เฟสของสัญญาณอนาลอกแทนสัญญาณดิจิตอล สัญญาณลอจิก "1" จะให้เฟสของสัญญาณอนาลอกเฟสหนึ่ง ในขณะเดียวกันสัญญาณลอจิก "0" ก็จะให้เฟสของสัญญาณอนาลอกอีกเฟสหนึ่ง ถ้าสัญญาณพาหะเป็นดังสมการที่ (1)

ดังนั้นสัญญาณ PSK จะกำหนดได้เป็น (ในกรณีที่ส่งครั้งละหนึ่งบิท)

$$e = A\sin 2\pi f_c t \quad \text{; เมื่อสถานะของบิทเป็น "1"}$$

$$= A\sin(2\pi f_c t + \pi) \quad \text{; เมื่อสถานะของบิทเป็น "0"}$$

แสดงดังรูปที่ 4.2



รูปที่ 4.2 แสดงรูปการมอดดูเลทดิจิตอลทางเฟส

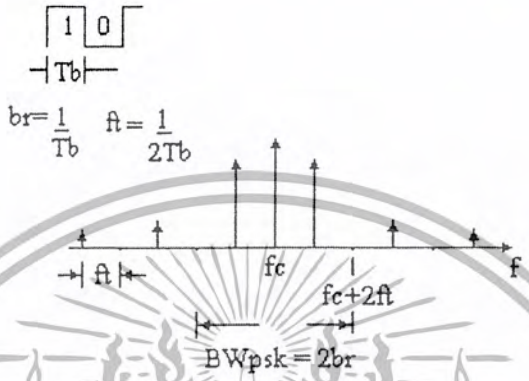
รูปแบบที่ง่ายที่สุดของการมอดดูเลทแบบ PSK คือ Binary PSK (BPSK) แสดงดังรูปที่ 4.3 ที่ค่าเฟสของสัญญาณจะมี 2 ค่า คือ 0 องศา และ 180 องศา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สมการของสัญญาณที่ได้จากการมอดดูเลทแล้วได้เป็น

$$V_{PSK} = V_b \sin(2\pi f_c t) + \overline{V_b} \sin(2\pi f_c t + \pi)$$

เมื่อ V_b แทนค่าสถานะของบิท คือ "1" และ "0"



รูปที่ 4.3 แสดงสัญญาณในแบบ BPSK

ถ้าคิดให้อัตราเร็วบิทเท่ากันแบบ PSK มีค่าความกว้างแถบน้อยกว่าแบบ FSK (แต่ราคาของวงจร PSK สูงกว่า) เราใช้วิธีการมอดดูเลทแบบ PSK ในโมเด็มที่มีอัตราเร็วบิทเท่ากับ 2400 บิท/วินาที และ 4800 บิท/วินาที เพราะว่าวิธีการมอดดูเลทแบบ FSK ไม่สามารถทำได้โดยผ่านเครือข่ายโทรศัพท์

4.2.3 การทอดดูเลทดิจิตอลทางความถี่ (Frequency Shift Keying ; FSK)

การมอดดูเลทดิจิตอลทางความถี่เมื่อข้อมูลเป็นลอจิก "1" ก็จะได้สัญญาณอนาลอกความถี่หนึ่งและเมื่อเป็นลอจิก "0" ก็จะได้สัญญาณอนาลอกอีกความถี่หนึ่ง ถ้าสัญญาณพาหะเป็นดังสมการที่ 1

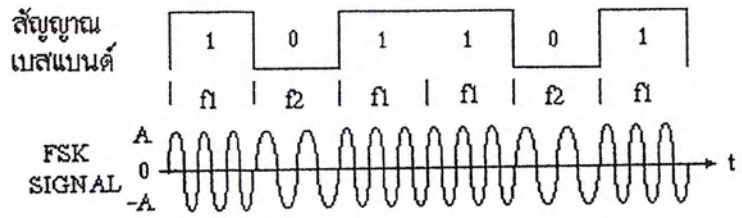
ดังนั้นกรณีของการมอดดูเลทแบบ FSK ความถี่ของคลื่นพาหะจะมี 2 ความถี่ เช่น ความถี่ f_1 สำหรับสัญญาณที่เป็นลอจิก "1" และความถี่ f_2 สำหรับสัญญาณที่เป็นลอจิก "0" แสดงดังสมการข้างล่าง

$$e = A\sin 2\pi f_1 t \quad ; \text{เมื่อสถานะของบิทเป็น "1"}$$

$$= A\sin 2\pi f_2 t \quad ; \text{เมื่อสถานะของบิทเป็น "0"}$$

แสดงดังรูปที่ 4.4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

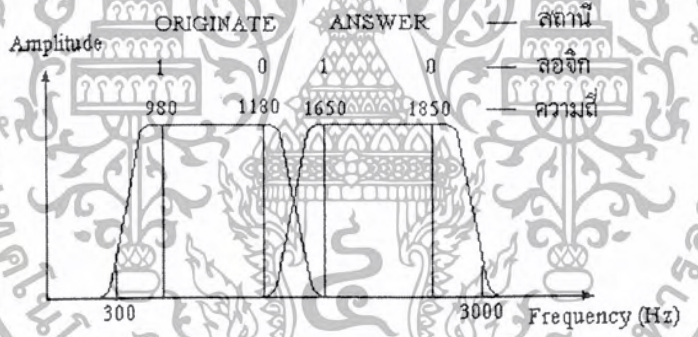


รูปที่ 4.4 แสดงการมอดดูเลทดิจิตอลทางความถี่

ในการส่งข้อมูลแบบ FSK ที่ใช้งานจริงสมการแบ่งได้ 2 แบบ

- ชนิดที่ใช้ในการส่งข้อมูลในระบบฟูลดูเพลกซ์ (Full Duplex)

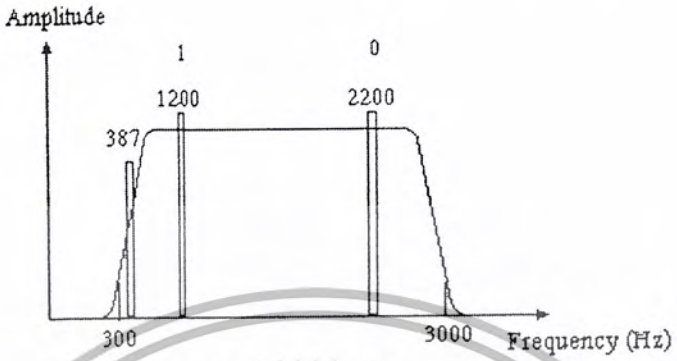
การส่งข้อมูลแบบนี้จะแบ่งแบนด์วิดท์ของช่องสัญญาณเสียงออกเป็น 2 แบนด์เท่าๆ กัน โดยแบนด์หนึ่งใช้ในการส่งข้อมูลส่วนอีกแบนด์หนึ่งจะใช้ในการรับข้อมูล ทำให้สามารถส่งข้อมูล เข้าไปในสายได้พร้อมๆ กัน ผลตอบสนองความถี่สำหรับการรับส่งข้อมูลแบบนี้แสดงดังรูปที่ 4.5



รูปที่ 4.5 ช่องสัญญาณในสายส่งเมื่อใช้การมอดดูเลทแบบ FSK
ในการส่งข้อมูลแบบฟูลดูเพล็กซ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

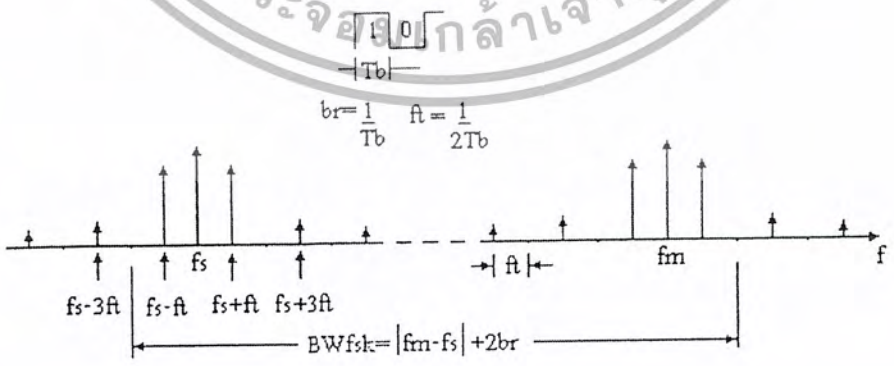
- ชนิดที่ใช้ในการส่งข้อมูลในระบบฮาล์ฟดูเพล็กซ์ (Half Duplex)



รูปที่ 4.6 ช่องสัญญาณในสายส่งเมื่อใช้การมอดดูเลทแบบ FSK ในการส่งข้อมูลแบบฮาล์ฟดูเพล็กซ์

การส่งข้อมูลแบบฮาล์ฟดูเพล็กซ์จะมีแบนด์วิดท์ 2 แบนด์เหมือนกัน แต่ความกว้างของแบนด์วิดท์ทั้งสองจะไม่เท่ากัน แบนด์วิดท์ที่กว้างกว่าจะใช้การส่งข้อมูลส่วนแบนด์วิดธ์ที่แคบจะใช้ในการส่งสัญญาณแนะนำควบคุม (Supervisory Signal) ของตัวรับไปยังตัวส่งเพื่อใช้ในการตรวจสอบสภาพการส่งข้อมูลว่าถูกต้องหรือไม่เราเรียกแบนด์วิดธ์แบบนี้ว่าช่องสัญญาณย้อนกลับ (Reverse Channel) ผลตอบสนองความถี่ของการรับส่งข้อมูลแบบฮาล์ฟดูเพล็กซ์แสดงดังรูปที่ 4.6

เราสามารถที่จะอธิบายความหมายของความกว้างแถบ (bandwidth) ในแบบ FSK ได้โดยพิจารณาจากรูปที่ 4.7



รูปที่ 4.7 แสดงการประมาณค่าความกว้างแถบของแบบ FSK

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 4.7 กำหนดให้ b_r = อัตราเร็วบิท (บิท/วินาที)

T_b = ช่วงเวลาใน 1 บิท

จะได้ $$T_b = \frac{1}{b_r}$$

สมมติให้สัญญาณข้อมูลมีสถานะ "1" และ "0" สลับกันเป็นคลื่นสี่เหลี่ยม (square wave) ให้มีความถี่พื้นฐานเท่ากับ f_f

จะได้ $$f_f = \frac{1}{2T_b} = \frac{b_r}{2} \text{ Hz} \quad (2)$$

จากสมการที่ (2) หมายถึงค่าความถี่พื้นฐานที่มากที่สุดของสัญญาณข้อมูล มีค่าเท่ากับเครื่องหนึ่งของอัตราเร็วบิท สำหรับรูปสมการของสัญญาณที่ได้จากการมอดดูเลทแบบ FSK แล้วมีค่าดังสมการข้างล่าง

$$V_{FSK} = V_b \sin(2\pi f_m t) + \overline{V_b} \sin(2\pi f_s t)$$

โดยค่า V_b = ค่าของบิทมีค่าหนึ่งและศูนย์ ขึ้นอยู่กับสถานะของข้อมูลนั้น

f_m = ค่าความถี่ของสถานะมาร์ค (1)

f_s = ค่าความถี่ของสถานะสเปซ (0)

รูปสเปคตรัม (Spectrum) ของสมการ V_{FSK} ประกอบด้วยคลื่นพาหะและแถบความถี่ข้างจำนวนหลายคู่ ซึ่งในการคิดของค่าความกว้างแถบของแบบ FSK กำหนดจากความถี่ 2 ตัวที่อยู่ระหว่างตรงกลางของแถบความถี่ฮาร์โมนิก (Harmonic) ลำดับที่ 1 และ 3 แสดงในรูปสมการได้ว่า

$$BW_{FSK} = (f_m + 2f_r) - (f_s - 2f_r)$$

$$= (f_m - f_s + \Delta f_r) \quad Hz \quad (3)$$

หรือ $$BW_{FSK} = |f_m - f_s| + 2b_r \quad Hz \quad (4)$$

สรุปความหมายจากสมการที่ (3) และ (4) ได้ว่า ค่าโดยประมาณของความกว้างแถบเท่ากับค่าแตกต่างระหว่าง ความถี่ของมาร์ค (Mark) กับสเปซ (Space) บวกด้วยสองเท่าของอัตราเร็วบิท

สำหรับการออกแบบภาคดีมอดดูเลท มีข้อแนะนำในการหาค่าความถี่กลางของ FSK และค่าแตกต่างระหว่างความถี่ของมาร์ค (Mark) กับสเปซ (Space) ไว้ว่า

$$f_{FSK} = \frac{(f_m + f_s)}{2} \geq 3b_r \quad (5)$$

$$|f_m - f_s| > \frac{2b_r}{3} \quad (6)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

f_{FSK} ความถี่กลาง FSK (ระหว่าง f_m และ f_s)

- ตัวอย่าง ในการคำนวณหาค่า f_{FSK} และค่าความกว้างแถบ (BW) ของช่องสัญญาณ FSK

กำหนดให้โมเด็มชนิดมีอัตราเร็ว 600 บิท/วินาที ต้องการใช้ความถี่มาร์ค (Mark) เท่ากับ 1500 *Hz* และความถี่สเปซ (Space) เท่ากับ 2000 *Hz*

จากสมการที่ (4)

$$BW_{FSK} = |f_m - f_s| + 2b_r$$
$$= |2000-1500| + 2(600)$$
$$= 1700 \quad Hz$$

จากสมการที่ (5)

$$f_{FSK} = \frac{(f_m + f_s)}{2} \geq 3b_r$$
$$= \frac{(2000 + 1500)}{2} \geq 3(600)$$
$$= 1750Hz \geq 1800Hz$$

จากสมการที่ (6)

$$|f_m - f_s| > \frac{2b_r}{3}$$
$$|1500-2000| > \frac{2(600)}{3}$$
$$500Hz > 400Hz$$

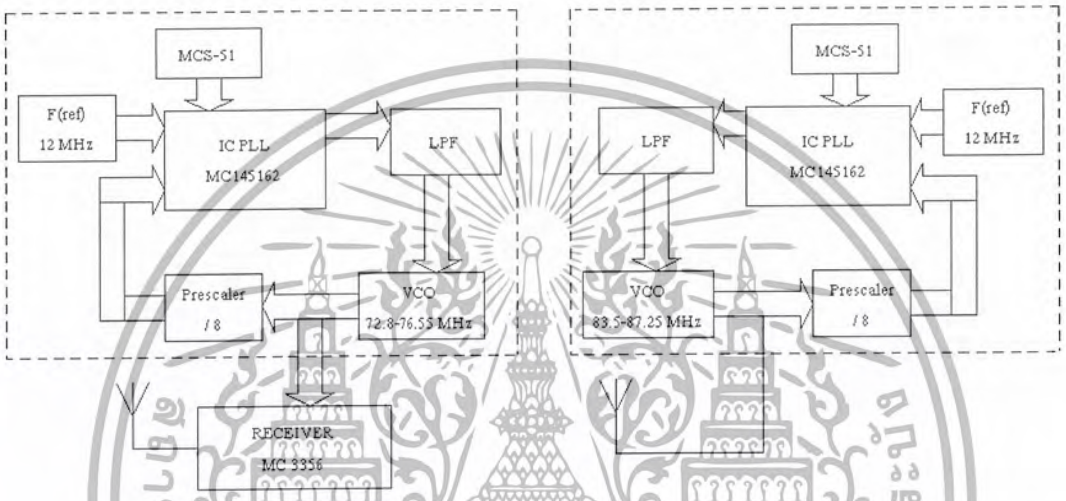
จากการคำนวณสมการที่ (5) และ (6) เปรียบเทียบกัน ถ้าพิจารณาข้อแนะนำในการออกแบบภาคดีมอดดูเลทพบว่าจากที่ระบุในสมการที่ (5) ก็ยังไม่ดีเท่าที่ควรเพราะว่าค่าที่คำนวณได้ 1750 *Hz* น้อยกว่า 1800 *Hz* ส่วนในสมการที่ (6) เราจะพบว่าใช้ได้ดีเพราะว่าค่า 500 *Hz* ที่คำนวณได้มากกว่าสองในสามของ 600 *Hz* (400 *Hz*)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5

หลักการทำงานของวงจร

ในบทนี้จะกล่าวถึงหลักการทำงานของวงจรในส่วนต่างๆซึ่งได้แสดงเป็นบล็อกไดอะแกรม ดังรูปที่ 5.1 ดังนี้



รูปที่ 5.1 บล็อกไดอะแกรมแสดงส่วนต่างๆของโครงงาน

จากรูปที่ 5.1 แสดงรูปบล็อกไดอะแกรมในส่วนต่างๆของโครงงานนั้นจะเห็นได้ว่าแสดงถึงตัวรับและตัวส่งนั้นโดยในการทำงานนั้นจะรับข้อมูลผ่านทางสายอากาศแล้วนำข้อมูลมาทำการมอดดูเลทและดีมอดดูเลท เพื่อที่จะนำข้อมูลข่าวสารออกมาโดยที่การรับ-ส่งข้อมูลในแต่ละครั้งนั้น ตัวรับ-ส่งจะต้องทำงานในความถี่ที่ตรงกันตลอด ถ้าความถี่ในแต่ละครั้งที่ใช้งานมีการเปลี่ยนแปลงไปก็จะทำให้เกิดการผิดพลาดทางการสื่อสารเกิดขึ้นได้ดังนั้นเราจึงต้องใช้วงจรเฟสล็อกลูป (PLL) เข้ามาช่วยเพื่อที่จะควบคุมความถี่ในแต่ละครั้งให้ตรงกัน โดยที่ตัวรับและตัวส่งนั้นจะใช้ความถี่ของ VCO นั้นเป็นความถี่อ้างอิง ซึ่งรายละเอียดของวงจรเฟสล็อกลูปจะอธิบายในหัวข้อถัดไป

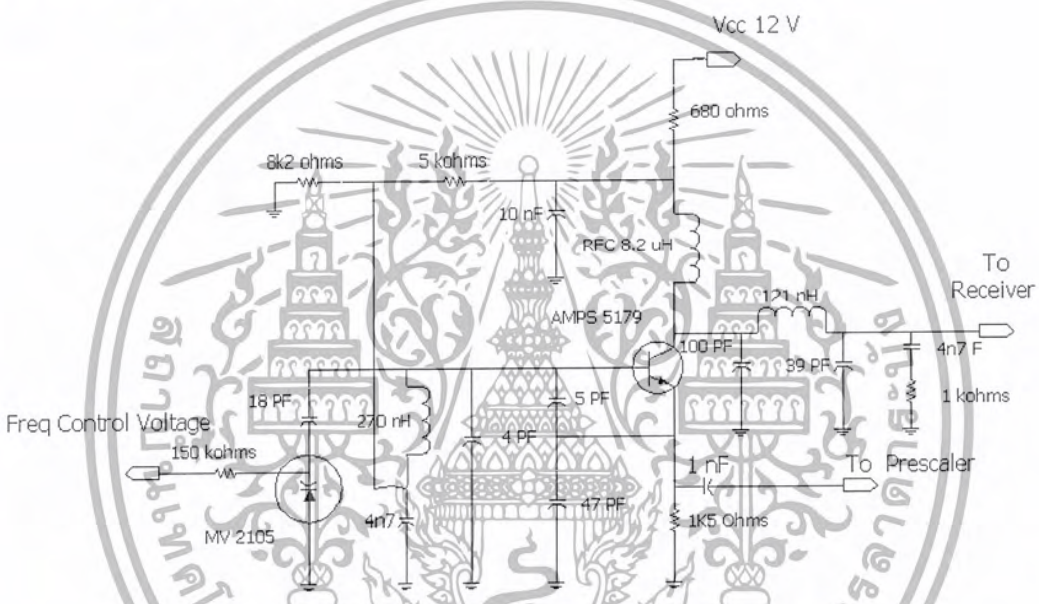
จากบล็อกไดอะแกรมในรูปที่ 5.1 วงจรเฟสล็อกลูปนั้นจะประกอบไปด้วย ไอซี MC145162, MCS-51, Voltage Control Oscillator (VCO), Low Pass Filter(LPF)และ Prescaler โดยที่วงจร VCO ในฝั่งตัวรับนั้นจะผลิตความถี่ในช่วง 72.8 – 76.55 MHz ซึ่งจะสามารถแบ่งเป็นช่องสัญญาณได้ 16 ช่องสัญญาณ โดยในแต่ละช่องสัญญาณมีความกว้าง 200 KHz เช่นเดียวกับด้านฝั่งตัวส่งนั้นจะเห็นได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ว่าความถี่ของ VCO ด้านฝั่งตัวส่งจะผลิตความถี่ในช่วง 83.5 – 87.25 MHz โดยโครงสร้างส่วนต่างๆของฝั่งตัวส่งนั้นจะเหมือนกับฝั่งตัวรับ ซึ่งต่อไปนี้เราจะมาดูว่าในแต่ละส่วนของวงจรเฟสล็อกลูปนั้นเป็นอย่างไรและทำงานอย่างไร

เครื่องรับ

5.1 วงจร Voltage Control Oscillator 72.8 - 76.55 MHz (VCO)

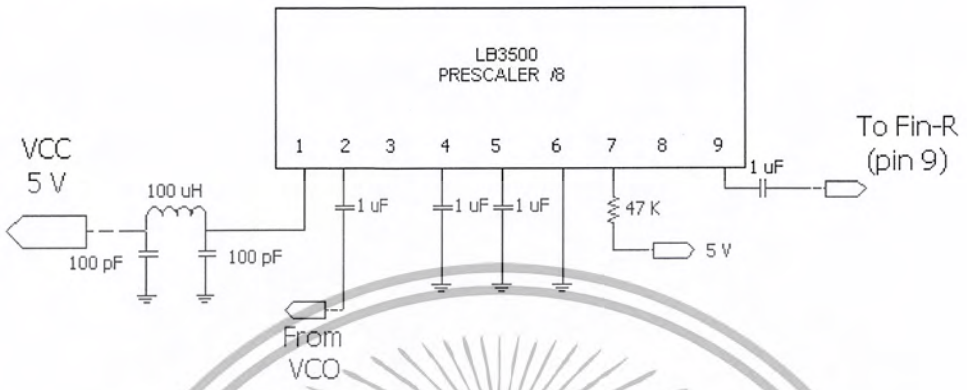


รูปที่ 5.2 วงจร Voltage Control Oscillator 72.8 - 76.55 MHz

จากรูปที่ 5.2 จะเห็นได้ว่าเป็นวงจรออสซิเลเตอร์โดยใช้หลักการต่อแบบ Colpits Oscillator ผลิตความถี่ได้ในช่วง 72.8–76.55 MHzโดยการให้แรงดันไบอัสแก่แวริแคป (MV2105)ในการเปลี่ยนแปลงความถี่ของวงจรVCOโดยนำเอาท์พุทที่ได้จากขาคอลเลคเตอร์ผ่านการ matching impedance เราจะนำไปต่อกับตัวรับเอาไว้เป็นความถี่อ้างอิงให้กับตัวรับที่ใช้ในการดีเทคสัญญาณ ส่วนเอาท์พุทที่ขาอิมิตเตอร์นั้นเราจะนำไปเราจะนำไปต่อเข้ากับตัวพรีสเกลเลอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

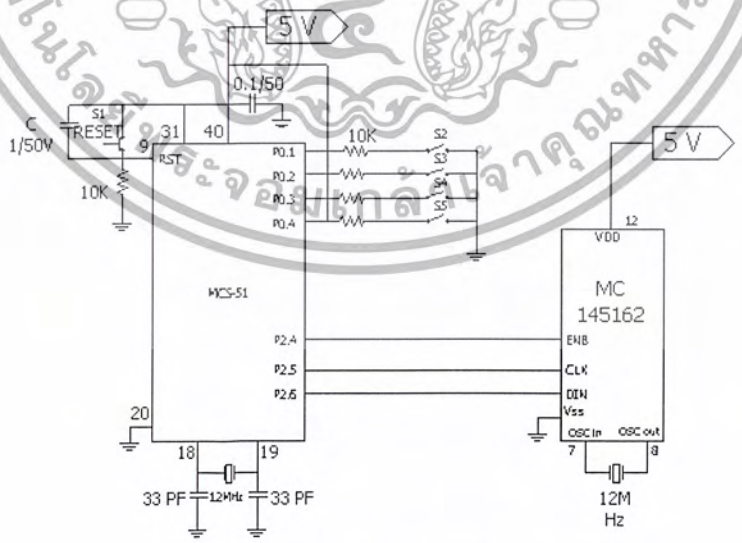
5.2 วงจร Prescaler หาร 8



รูปที่ 5.3 วงจร Prescaler หาร 8

จากรูปที่ 5.3 เป็นไอซีตัวหารเบอร์ LB3500 ซึ่งเป็นไอซีตัวหารความถี่ซึ่งหารค่าความถี่ด้วย 8 ที่ต้องมีตัวพรีสเกลเลอร์ก็เพราะว่าความถี่เข้ามายังไอซีเฟสล็อกลูป์นั้นมีค่าสูง ดังนั้นจึงต้องทำการหารก่อนที่นำมาใช้

5.3 วงจร MCS – 51 กับ ไอซีเฟสล็อกลูป์



รูปที่ 5.4 วงจร MCS-51 กับ IC MC145162

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปวงจรรูป 5.4 เนื่องด้วยไอซีเฟสล็อกลูปนั้นใช้การโปรแกรมค่าหาร N แบบซีเรียลดังนั้น จึงต้องใช้ตัวไอซีไมครคอนโทรเลอร์ MCS-51 มาโปรแกรมค่าข้อมูลให้กับตัวไอซีเฟสล็อกลูป

5.4 วงจร LOW PASS FILTER

ค่าพารามิเตอร์สำหรับออกแบบวงจรกรองความถี่ต่ำภาครับ

F_{out} = 72.80-76.55 MHz F_{mod} = 0.0 Hz

F_{REF} = 12.5 kHz โดยที่ $F_{X\text{-}TAL}$ = 12 MHz และค่าหาร R = 960

$F_{OUT} = F_{REF}.N_T$ โดย $N_T = NP+A$; Prescale Factor P = 8 , A = 0

N_{RANGE} = 728-762

N_T = 5824-6096

$N_{mean} = \overline{N} = \sqrt{N_{TMAX} \cdot N_{TMIN}} = 5958.448$

PD TYPE : 3 state PFD

PD O/P : ΔV_{OUT} PD = 4.5 V $K_d = \frac{4.5}{\P} = 0.35809$ V/Rad (1)

$f_{VCO\ MIN}$ = 72.70 MHz ที่แรงดัน 0.5 V

$f_{VCO\ MAX}$ = 78.29 MHz ที่แรงดัน 4.5 V

ดังนั้น $K_{VCO} = \frac{2\P \Delta f_{VCO}}{\Delta V_{VCO}} \approx 8.7807$ M.Rad/s.V (2)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$\Delta\omega_{MAX}$ at PD $= \dfrac{2\P x76.55x10^{6}}{5824} - 2\P x12.5x10^{3} = 4045.66$ Rad/s

$\Delta\omega_{po}$ at PD $\leq \Delta\omega_{MAX}$ at PD $\leq 2\P F_{REF}$

ให้ $\Delta\omega_{po} \approx 4{,}000$ Rad/s (3) ให้ Damping Factor : $\delta = 1.14$ (4)

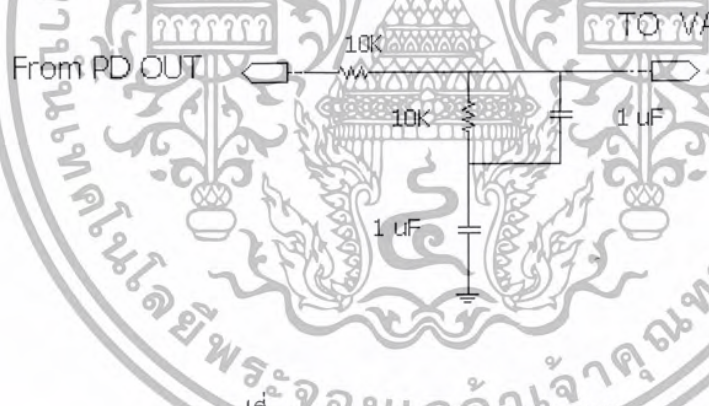
และ $\omega_n = \Delta\omega_{po} / (11.5(\delta + 0.5)) = 3{,}500/18.942 = 211.17$ Rad/s (5)

Loop Bandwidth : $BW_{lp} = \omega_n (1+2\delta^2 + \sqrt{(1+2\delta^2)^2+1})^{1/2} = 779.7029$ Rad/s

$\Delta\omega_L$ at PD $= 4\P\delta\omega_n \approx 3.02514$ kRad/s ΔF_L at PD ≈ 481.46639 Hz

Fast locking time $\approx \dfrac{2\P}{\omega_n} \approx 29.75413$ mSec

วงจรกรองความถี่ต่ำแบบพาสซีฟ



รูปที่ 5.5 วงจร LOW PASS FILTER

จากการคำนวณจะได้ $K_d = 358.09$ mV/Rad , $K_{VCO} = 8.7807$ MRad/sV

$\mathbf{K} = K_d . K_{VCO} = 3.14428$ M/s , $\overline{N} = 5958.448$ และ $\omega_n = 211.17$ Rad/s

$$\tau_1 + \tau_2 = \frac{K}{\omega_n^2 . \overline{N}} = 11.833 \text{ mSec}$$

และ $$\tau_2 = \frac{2\delta}{\omega_n} = 10.797 \text{ mSec}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดังนั้น $\tau_1 = 1.036$ mSec

กำหนดให้ $C_1 = 1\,\mu F$

$R_1 = \tau_1 / C_1 = 1.036\ k\Omega$ เราเลือก $R_1 = 10\ k\Omega$

$R_2 = \tau_2 / C_1 = 10.797\ k\Omega$ เราเลือก $R_2 = 10\ k\Omega$

ดังนั้น $\omega_{P1} = \dfrac{1}{C_1(R_1 + R_2)}$

$= 90.909$ Rad/s

และ $\omega_Z = \dfrac{1}{C_1 R_2}$

$= 100$ Rad/s

กำหนดให้ $10\,\omega_Z \le \omega_{P2} \le 0.1\,\omega_{REF}$

เลือก $\omega_{P2} = 1{,}000$ Rad/s

และ $R_{\omega_{P2}} = R_1 // R_2$

$= 909.09\,\Omega$

จาก $C_2 = \dfrac{1}{\omega_{P2} R_{\omega_{P2}}}$

$C_2 = 1.1\ \mu F$

เลือก $C_2 = 1\ \mu F$

สำหรับ N_{TMAX}

$$\omega_n = \sqrt{\frac{K.\omega_{P1}}{N_{TMAX}}}$$

$= 219.026$Rad /s

$$\delta = \frac{\omega_n}{2}\tau_2$$

$= 1.095$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำหรับ N_{TMIN}

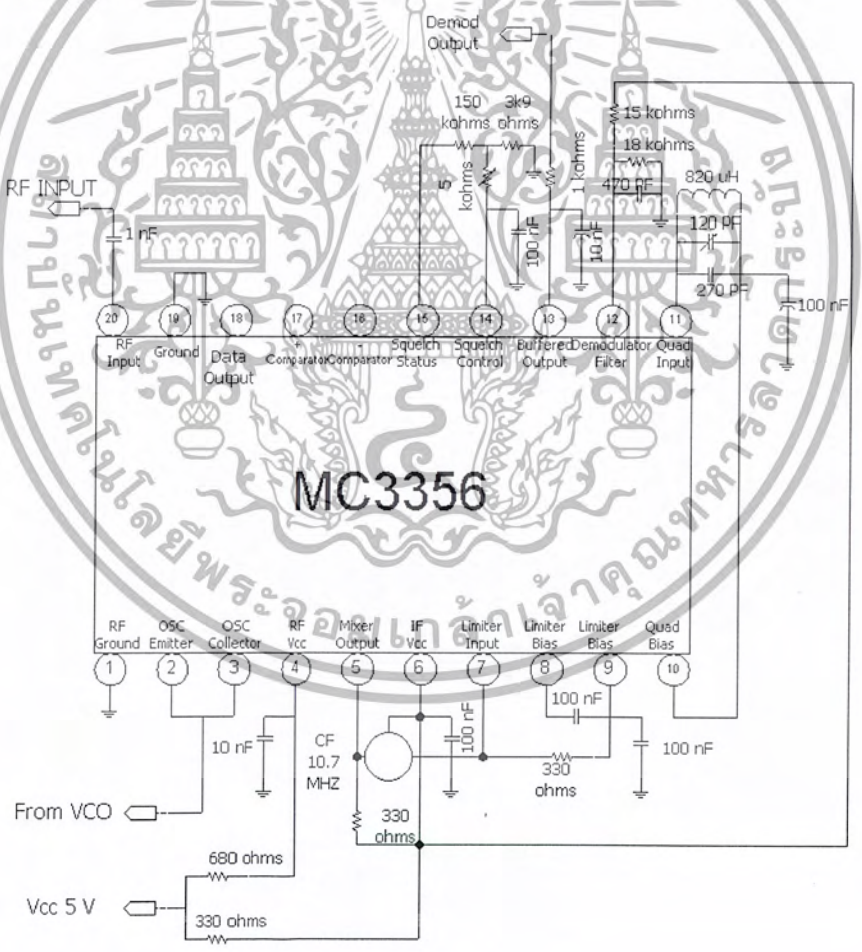
$$\omega_n = \sqrt{\frac{K.\omega_{P1}}{N_{TMIN}}}$$

$$= 227.11 \text{ Rad /s}$$

$$\delta = \frac{\omega_n}{2}\tau_2$$

$$= 1.135$$

5.5 RECEIVER



รูปที่ 5.6 วงจร RECEIVER

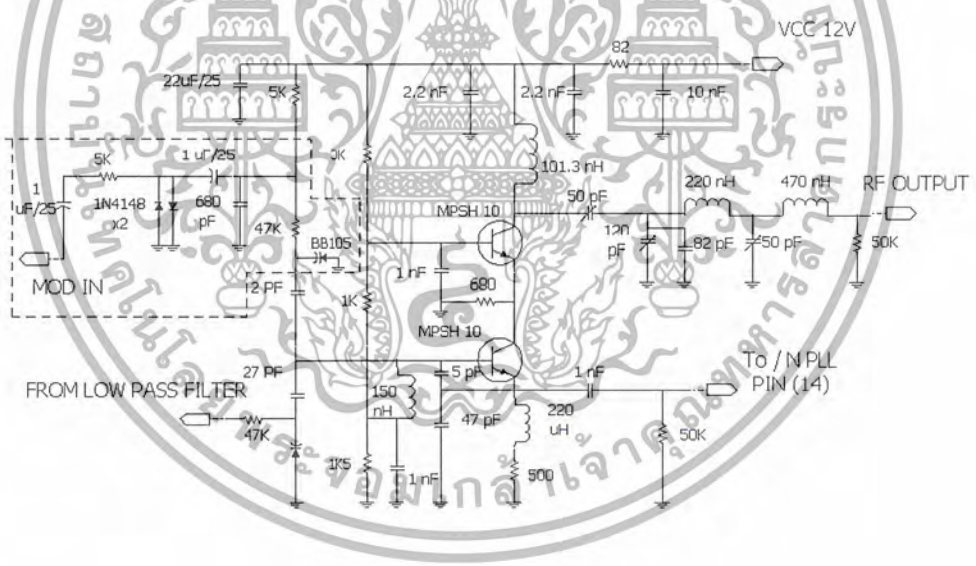
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 5.6 จะเห็นได้ว่ารับสัญญาณทางสายอากาศ (ขาที่ 20) ผ่านเข้ามาแล้วไปมิกซ์กับความถี่อ้างอิงของตัว Receiver (ขาที่ 2,3)แล้วนำสัญญาณที่มิกซ์ออกมาแล้ว (ขาที่5)ไปผ่านเซรามิกฟิลเตอร์ความถี่ 10.7 MHz แล้วนำไปป้อนเข้ากับตัว Limiter &Detector (ขาที่ 7) โดย Detector เป็นแบบ Quadrature ซึ่งมี L และ C เป็นตัวจูนความถี่ 10.7 MHz (ขาที่ 10) แล้วทำให้ Phase Shift ไป 90^0 แล้วทำการผ่าน Balance Modulator ซึ่งจะสามารถดีมอดดูเลทได้สัญญาณข้อมูลออกมา

เครื่องส่ง

ส่วนในวงจรของภาคส่งส่วนต่างจะเหมือนกับทางฝั่งรับแต่จะแตกต่างกันเพียงวงจร VCO และ วงจร Low Pass Filter ซึ่งมีรายละเอียดดังนี้

5.6 วงจร Voltage Control Oscillator 83.50 - 87.25 MHz (VCO)



รูปที่ 5.7 วงจร Voltage Control Oscillator 83.50 - 87.25 MHz

จากรูปที่ 5.7 จะเห็นได้ว่าเป็นวงจรออสซิเลเตอร์โดยใช้หลักการต่อแบบ Colpits Oscillator ผลิตความถี่ได้ในช่วง 83.50 – 87.25 MHz โดยการให้แรงดันไบอัสแก่แวริแคป (MV2105) ในการเปลี่ยนแปลงความถี่ของวงจร VCO โดยนำเอาท์พุทที่ได้จากขาคอลเลคเตอร์ผ่านการ matching impedance แล้วนำไปต่อกับสายอากาศเพื่อส่งข้อมูลไปยังตัวรับต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ส่วนเอาท์พุทที่ขาอิมิตเตอร์นั้นเราจะนำไปเราจะนำไปต่อเข้ากับตัวพรีสเกลเลอร์ และที่ตัวส่งนั้นจะมีแอมปลิไฟเออร์อีกชุดนึงเพื่อเพิมกำลังในการส่ง ในส่วนของภาคมอดดูเลชั่นนั้นจากรูปที่ 5.7 ในกรอบเส้นประนั้นจะเห็นว่าเราสามารถนำสัญญาณที่เข้ามามอดดูเลทได้โดยตรงเลยเพราะว่ามีไดโอด 2 ตัวนั้นทำหน้าที่คอยขลิบสัญญาณที่เข้ามาโดยจะมีแอมปลิจูดประมาณ 1.4 V_{P-P} โดยที่แวริแคบนั้นจะต่อแบบรีเวิรส์ไบอัสเพื่อทำการเปลี่ยนแปลงความถี่ตามขนาดสัญญาณที่เข้ามามอดดูเลท

หลักการคำนวณอัตราบิทเรต

เนื่องจากเรารับข้อมูลมาจากเครื่องคอมพิวเตอร์ผ่านพอร์ต RS-232 และไอซี MAX 232 เชื่อมต่อไปยังตัวส่งโดยไม่ต้องผ่านภาค FSK Modulator โดยที่ไอซี MAX 232 จะทำหน้าที่เป็นตัวแปลงสัญญาณจากพอร์ต RS-232 ให้ได้สัญญาณพัลส์ ซึ่งสวิงแรงดันอยู่ในช่วง 0-5 โวลท์ จากรูปวงจรที่ 5.7 VCO ภาคส่งในกรอบเส้นประจะเห็นจะเห็นได้ว่าไดโอด 2 ตัว ซึ่งต่อกลับขั้วกันจะทำหน้าที่เป็นตัวคลิปสัญญาณที่มี Overshoot และจะมีวงจรกรองความถี่ต่ำจะทำหน้าที่กรองความถี่ที่ต้องการ

ในการออกแบบนั้นเราเลือกดัชนีการมอดดูเลทเท่ากับ 0.25 จะทำให้เกิดไวด์แบนด์เพียงคู่เดียวเท่านั้นและจากภาครับ เซรามิกฟิลเตอร์จะมีค่าแบนด์วิดท์อยู่ในช่วง $\pm$ 100 kHz จะได้

$$m = \Delta f / f_m \qquad (A)$$

$$\Delta f = 0.25 \times f$$

โดยที่ f คือ แบนด์วิดท์ของเซรามิกฟิลเตอร์ซึ่งเท่ากับ 100 kHz

ดังนั้น $\Delta f = 0.25 \times 100 = 25$ kHz

จาก (A) จะได้ $f_m = \Delta f / m = 25k / 0.25 = 100$ kHz (B)

ต่อไปเราจะมาดูขั้นตอนในการคำนวณบิทเรท จากรูปที่ 5.6 ในส่วน Receiver เราใช้ Ceramic fulter เป็นตัวแปลงความถี่ลงมาที่ความถี่กลาง 10.7 MHz ซึ่งในตัว Ceramic filter นั้นจะมีแบนวิดท์ $\pm$ 100 KHz ซึ่งหมายความว่านั่นคือถ้าเราใส่ความถี่เป็นรูปซายน์ความถี่ 100 KHz ก็สามารถผ่านไปได้แต่ที่เราใช้งานนั้นคือข้อมูลดิจิตอลนั้นจะเป็นแบบสัญญาณรูปคลื่นสีเหลี่ยม ซึ่งในสัญญาณรูปสี่เหลี่ยมนั้นจะประกอบไปด้วยความถี่คลื่นซายน์หลายความถี่ด้วยกันดังนั้นแบนวิดท์ที่คลื่นรูปสี่เหลี่ยมจะผ่านไปได้จะไม่ได้เท่ากับ 100 K ดังนั้นเราจึงใช้อนุกรมฟูเรียร์มาคำนวณหาว่าจะต้องใช้แบนวิดท์เท่าไรในการที่ให้ข้อมูลดิจิตอลผ่านไปได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\sum_{1}^{n} P(nf) \quad ; \text{ P :Power} \qquad (C)$$

; n^{th} :Harmonics, f :Data frequency

หลังจากที่เราได้ทำการคำนวณโดยใช้อนุกรมฟูเรียร์แล้วเราต้องใช้แบนวิทด์มีค่าเท่ากับ 13f จึงจะทำกำลังในการส่งนั้นตกอยู่ที่ไซด์แบนด์และสามารถส่งกำลังไปได้ 95% แต่ในการส่งข้อมูลทางดิจิตอลนั้นเราไม่นิยมบอกในรูปความถี่แต่จะบอกในรูปของบอร์ทเรท (bits per sec) ดังนั้นเราจะมาดูว่าข้อมูลแบบไหนจะใช้อัตราบอร์ทเรทที่ครอบคลุมที่สุด สำหรับข้อมูลที่เราส่งนั้นจะเป็นข้อมูล 8 บิท จะเห็นได้ว่าไบนารี่ คาต้าที่ทำให้มีอัตราบิทเรตมากที่สุดคือ 01010101 หรือ 10101010 เมื่อเราเขียนอยู่ในรูปความถี่จะเท่ากับ 0.5R โดยที่ R คือ อัตราบิทเรต (bits/sec) ดังนั้นความถี่แบนวิดท์ที่เราใช้แล้วทำให้เกิดกำลังส่งเท่ากับ 95%

$$0.5(13f) = 6.5R \qquad (D)$$

จากสมการ(B)และ(D)จะเห็นได้ว่าเป็นความถี่เดียวกันกับความถี่ที่เราจะนำไปมอดดูเลทกับวงจร VCO นั่นคือเราสามารถหาอัตราบิทเรตได้เท่ากับ

$$6.5R = 100\ k$$

$$R = 100\ k / 6.5$$

$$R = 15.3846 \ \text{kbits/sec} \qquad (E)$$

5.7 วงจร Low Pass Filter

ค่าพารามิเตอร์สำหรับออกแบบวงจรกรองความถี่ต่ำภาคส่ง

F_{out} = 83.50-87.25 MHz $\qquad F_{mod}$ = 0.0 Hz

F_{REF} = 12.5 kHz $\qquad$ โดยที่ $F_{X\text{-}TAL}$ = 12 MHz และค่าหาร R = 960

$F_{OUT} = F_{REF}.N_T$ โดย $N_T = NP+A$; Prescale Factor P = 8 , A = 0

N_{RANGE} = 835-871

N_T = 6680-6968

$$N_{mean} = \overline{N} = \sqrt{N_{TMAX} \cdot N_{TMIN}} = 6822.48$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PD TYPE : 3 state PFD

PD O/P : ΔV_{OUT} PD = 4.5 V $\quad K_d = \frac{4.5}{\P} = 0.35809$ V/Rad (1)

$f_{VCO\ MIN}$ = 82.74 MHz ที่แรงดัน 0.5 V

$f_{VCO\ MAX}$ = 88.60 MHz ที่แรงดัน 4.5 V

ดังนั้น $K_{VCO} = \frac{2\P \Delta f_{VCO}}{\Delta V_{VCO}} \approx 9.20485$ M.Rad/s.V (2)

$\Delta \omega_{MAX}$ at PD = $\frac{2\P x82.25x10^6}{6680} - 2\P x12.5x10^3 = 3527.234$ Rad/s

$\Delta \omega_{po}$ at PD $\leq \Delta \omega_{MAX}$ at PD $\leq 2\P F_{REF}$

ให้ $\Delta \omega_{po} \approx 3,500$ Rad/s (3) ให้ Damping Factor : $\delta = 1.14$ (4)

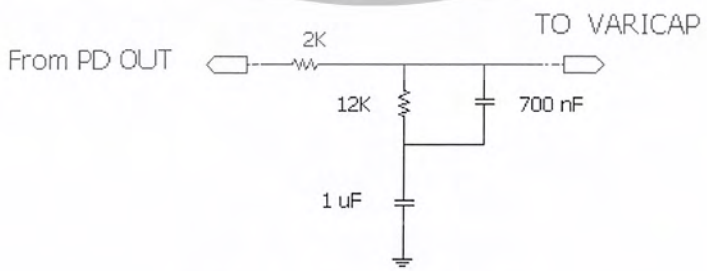
และ $\omega_n = \Delta \omega_{po} / (11.5(\delta + 0.5)) = 3,500/18.942 = 184.7745$ Rad/s (5)

Loop Bandwidth : $BW_{lp} = \omega_n (1+2\delta^2 + \sqrt{(1+2\delta^2)^2 + 1})^{1/2} = 500.4196$ Rad/s

$\Delta \omega_L$ at PD = $4\P \delta \omega_n \approx 2.6469$ kRad/s ΔF_L at PD ≈ 2.8140 kHz

Fast locking time $\approx \frac{2\P}{\omega_n} \approx 34.0045$ mSec

วงจรกรองความถี่ต่ำแบบพาสซีฟ



รูปที่ 5.8 วงจร Low Pass Filter

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากการคำนวณจะได้ $K_d = 358.09$ mV/Rad , $K_{VCO} = 9.20485$ MRad/sV

$\mathbf{K} = K_d . K_{VCO} = 3.29616$ M/s , $\overline{N} = 6822.48$ และ $\omega_n = 184.7745$ Rad/s

$$\tau_1 + \tau_2 = \frac{K}{\omega_n^2 . \overline{N}} = 14.028 \text{ mSec}$$

และ $$\tau_2 = \frac{2\delta}{\omega_n} = 12.285 \text{ mSec}$$

ดังนั้น $\tau_1 = 1.743$ mSec

กำหนดให้ $C_1 = 1\ \mu F$

และ $R_1 = \tau_1 / C_1 = 1.743\ k\Omega$ เราเลือก $R = 2\ k\Omega$

$R_2 = \tau_2 / C_1 = 12.285\ k\Omega$ เราเลือก $R = 12\ k\Omega$

ดังนั้น $$\omega_{P1} = \frac{1}{C_1 (R_1 + R_2)}$$

$= 71.42$ Rad/s

และ $$\omega_Z = \frac{1}{C_1 R_2}$$

$= 100$ Rad/s

กำหนดให้ $10\,\omega_Z \le \omega_{P2} \le 0.1\,\omega_{REF}$

เลือก $\omega_{P2} = 833.333$ Rad/s

และ $R_{\omega_{P2}} = R_1 // R_2$

$= 1.7142\ k\Omega$

จาก $$C_2 = \frac{1}{\omega_{P2} R_{\omega_{P2}}}$$

$C_2 = 700$ nF

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำหรับ N_{TMAX}

$$\omega_n = \sqrt{\frac{K.\omega_{P1}}{N_{TMAX}}}$$

$$= 183.806 \text{ Rad/s}$$

$$\delta = \frac{\omega_n}{2}\tau_2$$

$$= 1.129$$

สำหรับ N_{TMIN}

$$\omega_n = \sqrt{\frac{K.\omega_{P1}}{N_{TMIN}}}$$

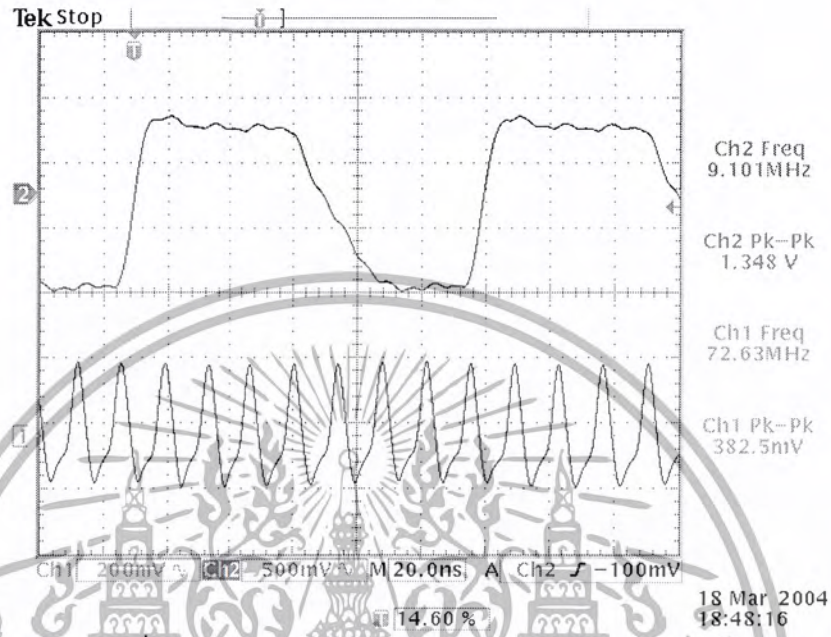
$$= 187.726 \text{ Rad/s}$$

$$\delta = \frac{\omega_n}{2}\tau_2$$

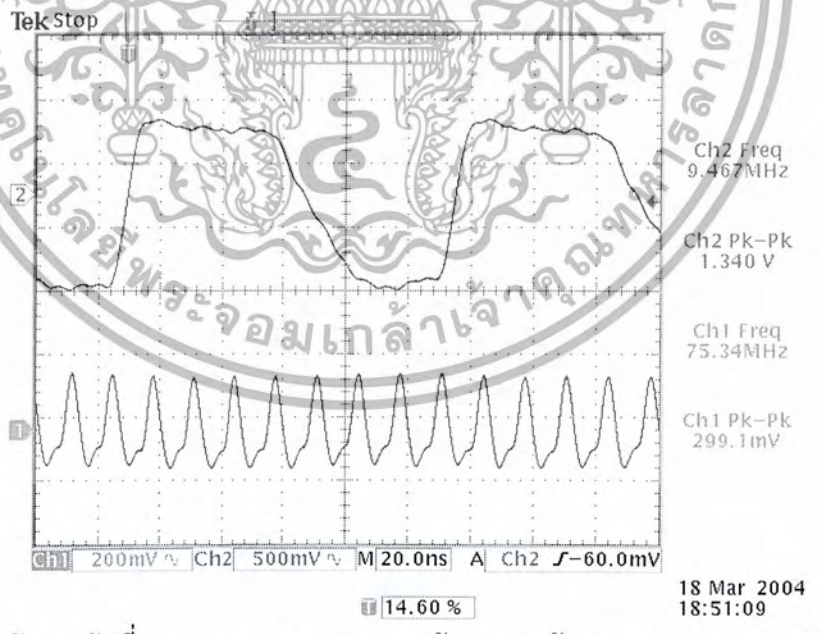
$$= 1.153$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 6 ผลการทดลอง



รูปที่ 6.1 CH 2 วัดแรงดันที่จุด Output ของ VCO ภาครับ ณ แรงดัน Freq. Control 0. 5 VOLT
CH 1 วัดแรงดันที่จุด Output ของ Prescale ภาครับ



รูปที่ 6.2 CH 2 วัดแรงดันที่จุด Output ของ VCO ภาครับ ณ แรงดัน Freq. Control 4. 5 VOLT
CH 1 วัดแรงดันที่จุด Output ของ Prescale ภาครับ

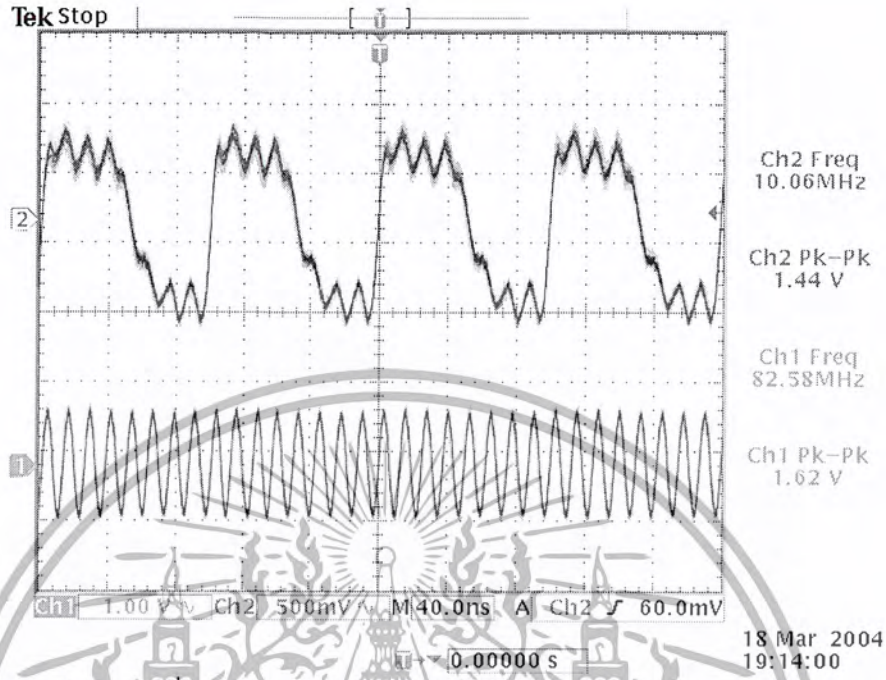
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 6.1 ผลการทดลองวัดขนาดของสัญญาณ Rx ที่จุดต่างๆ

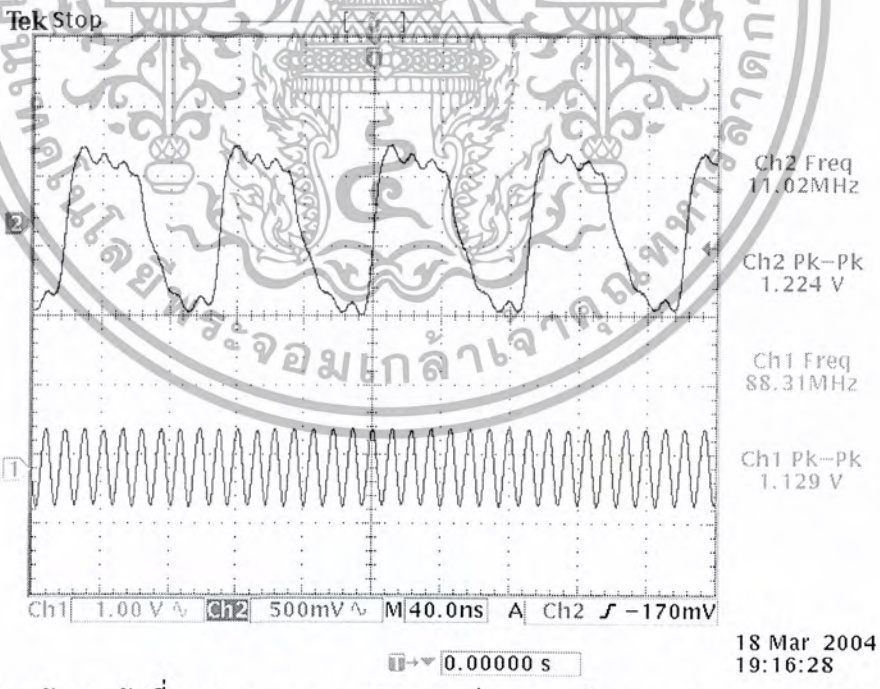
VCO Rx (Volts)	Output ที่ VCO (MHz)	Output ที่ VCO คอลเลคเตอร์ (mV_{PP})	Output ที่ VCO อิมิตเตอร์ (mV_{PP})	ที่จุด Output Prescale (Volts)
0.5	72.7	1010	721	1.45
1.0	73.98	928	718	1.42
1.5	74.88	872	710	1.44
2.0	75.93	816	695	1.40
2.5	76.33	768	699	1.38
3.0	76.92	728	685	1.35
3.5	77.51	700	682	1.32
4.0	77.91	668	679	1.28
4.5	78.29	657	677	1.26

รูปที่ 6.3 กราฟแสดงความสัมพันธ์ระหว่างความถี่ กับ Voltage control Frequency ของภาครับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 6.4 CH 2 วัดแรงดันที่จุด Output ของ VCO ภาคส่ง ณ แรงดัน Freq. Control 0. 5 VOLT
CH 1 วัดแรงดันที่จุด Output ของ Prescale ภาคส่ง



รูปที่ 6.5 CH 2 วัดแรงดันที่จุด Output ของ VCO ภาคส่ง ณ แรงดัน Freq. Control 4. 5 VOLT
CH 1 วัดแรงดันที่จุด Output ของ Prescale ภาคส่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 6.2 ผลการทดลองวัดขนาดของสัญญาณ Tx ที่จุดต่างๆ

VCO Tx (Volts)	Output ที่ VCO (MHz)	Output ที่ VCO คอลเลคเตอร์ (V_{PP})	Output ที่ VCO อิมิตเตอร์ (V_{PP})	ที่จุด Output Prescale (Volts)
0.5	82.74	1.85	1.82	1.38
1.0	83.81	1.77	1.79	1.35
1.5	84.35	1.75	1.77	1.31
2.0	86.32	1.82	1.75	1.29
2.5	87.59	2.06	1.72	1.30
3.0	87.66	2.15	1.68	1.31
3.5	87.74	2.17	1.66	1.24
4.0	88.41	2.15	1.65	1.28
4.5	88.60	2.14	1.64	1.22

รูปที่ 6.6 กราฟแสดงความสัมพันธ์ระหว่างความถี่ กับ Voltage control Frequency ของภาคส่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 6.3 แสดงการเซทค่าหาร N ไปนารีกับความถี่ภาครับและภาคส่ง

BINARY BIT ภาครับ	แสดงความถี่ ภาครับ (MHz)	แสดงความถี่ ภาคส่ง (MHz)	BINARY BIT ภาคส่ง
0000001011011000	72.8	83.5	0000001101000011
0000001011011010	73.0	83.7	0000001101000011
0000001011011100	73.2	83.9	0000001101000111
0000001011011110	73.4	84.1	0000001101001001
0000001011100000	73.6	84.3	0000001101001011
0000001011100010	73.8	84.5	0000001101001101
0000001011100100	74.0	84.7	0000001101001111
0000001011100110	74.2	84.9	0000001101010001
0000001011101000	74.4	85.1	0000001101010011
0000001011101010	74.6	85.3	0000001101010101
0000001011101100	74.8	85.5	0000001101010111
0000001011101110	75.0	85.7	0000001101011001
0000001011110000	75.2	85.9	0000001101011011
0000001011110010	75.4	86.1	0000001101011101
0000001011110100	75.6	86.3	0000001101011111
0000001011110110	75.8	86.5	0000001101100001

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่7
บทสรุปและวิจารณ์

โครงงานนี้เป็นการศึกษาระบบการสื่อการที่ใช้ความถี่สูง ดังนั้นการออกแบบวงจรต้องทำให้มีความไว(Sensitivity)และความเที่ยงตรง(Accuracy)สูง จึงจะทำให้การทำงานของวงจรมีประสิทธิภาพ ในการอออกแบบวงจรความถี่สูงนั้นมักจะเกิดปัญหามากกว่าการออกแบบวงจรความถี่ต่ำเพราะว่าค่าตัวเก็บประจุหรือค่าตัวเหนี่ยวนำจะมีค่าเปลี่ยนไป ยกตัวอย่างปัญหาที่เกิดขึ้น การเกิดการออสซิลเลทในวงจรจะทำให้เสถียรภาพของวงจรแก้ไขได้ยาก สัญญาณรบกวนจากการออกแบบ(noise) กราวนด์เพลน เป็นต้น การที่ระบบมีสัญญาณรบกวนอาจจะทำให้การสื่อสารล้มเหลวได้ปัญหาที่เกิดขึ้นในการทำโครงงานนี้สามารถสรุปได้ดังนี้

1. ไอซี MC145151 หาซื้อได้ยากและมีจำนวนจำกัดจึงได้เปลี่ยนมาเป็นไอซีเบอร์ MC 145162 จึงต้องมาเริ่มงานใหม่ทำให้เสียเวลาไป

2. ส่วนของวงจรภาค FSK Demodulator เกิดปัญหาเนื่องจากค่าของตัวเหนี่ยวนำและตัวเหนี่ยวนำที่คำนวณได้ไม่มีขายในท้องตลาด จำเป็นต้องใช้ค่าที่ใกล้เคียงหรือว่าใช้อุปกรณ์ที่ปรับค่าได้ซึ่งอุปกรณ์ที่ปรับค่าได้ต้องมีความละเอียดสูง

3. เกิดความล่าช้าจากการทดลองเนื่องจากความสามารถในการวางเลย์เอาท์ยังไม่เพียงพอและความสับเพร่าการต่อวงจรของผู้ทำ

4.การออกแบบวงจรออสซิสเลเตอร์ที่เปลี่ยนระดับตามแรงดัน(วงจรVCO)นั้นต้องมีความถี่ที่กว้างครอบคลุมช่วงความถี่ที่เราออกแบบซึ่งทำให้อยู่ในช่วงที่ต้องการทำได้ยาก

5.การออกแบบวงจรกรองความถี่ต่ำจะมีปัญหาอย่างมากต่อการทำวงจรเฟสล็อกลูปในการเลือกใช้ค่าพารามิเตอร์ ซึ่งค่าที่คำนวณได้นั้นเมื่อนำมาต่อครบลูปแล้วแต่ก็ไม่สามารถทำให้เกิดการล็อกลูปได้

6.ในการทดสอบวงจรสื่อสารที่ใช้ความถี่สูงต้องใช้เครื่องมือที่มีประสิทธิภาพสูง ซึ่งมีไม่เพียงพอต่อจำนวนนักศึกษาที่ทำโครงงานในด้านนี้ทำให้เกิดการล่าช้า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บรรณานุกรม

1. ด.ร.ไพศาล สงวนหมู่และร.ศ.ยืน ภู่วรวรรณ " การสื่อสารข้อมูลและไมโครคอมพิวเตอร์-เน็ทเวิร์ค" ซีเอ็ดยูเคชั่น

2.Frederick F. driscell , " Data Communication " , Weap Worth Institute of Technology 313 p. , 1992

3.EXAR INTEGRATED SYSTEM " Modem Design Handbook " , 1983

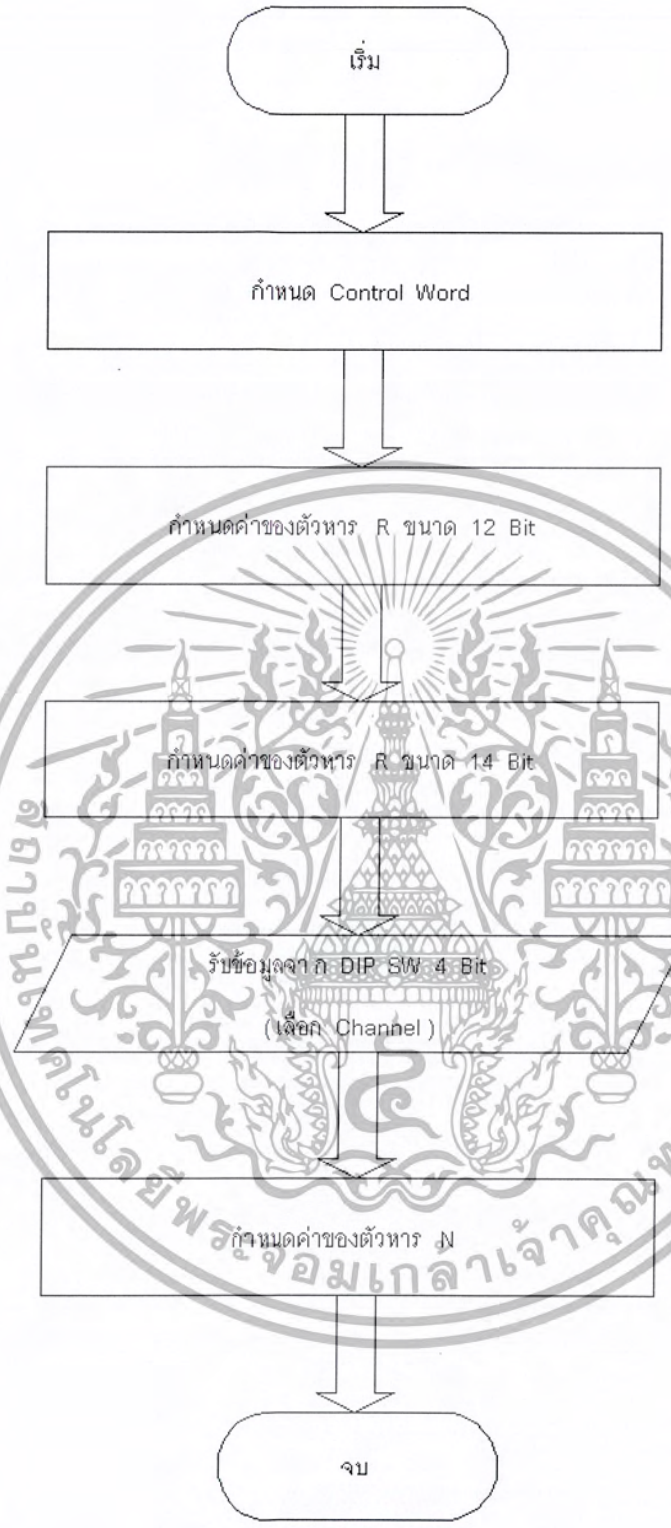
4.เอกสารประกอบการสอน ผ.ศ.ประภากร สุวรรณะ

5.Phase-Lock-Loops Design, Simulation, and Application Roland E. Best Oberwill, Switzerland

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Flow Chart แสดงขั้นตอนการเขียนโปรแกรมให้กับไอซี MC 145162

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
1:   ;PROGRAM FOR MC 145162
2:
3:   DIN BIT P2.6
4:   CLK BIT P2.5
5:   ENB BIT P2.4
6:
7:   ;MAIN PROGRAM
8:
9:   MAIN:       ORG     0000H
10:             MOV     P0,#0FFH
11:  ;   SEND DATA TO CONTROL REGISTER
12:
13:  CTRL:   MOV     A,#10000000B    ;   CONTROL WORD
14:          SETB    ENB
15:          LCALL   SERI_OUT
16:          CLR     ENB
17:          CLR     CLK
18:          CLR     DIN
19:          LCALL   DELAY
20:
21:  ;   SEND DATA TO REFERENCE FREQUENCY
22:
23:  REF_FREQ:   MOV     R0,#00H
24:              MOV     R3,#04H
25:              SETB    ENB
26:
27:  SUB_FR:     MOV     A,R0
28:              MOV     DPTR,#FRE_BUF
29:              MOVC    A,@A+DPTR
30:              LCALL   SERI_OUT
31:              INC     R0
32:              DJNZ    R3,SUB_FR
33:              CLR     ENB
34:              CLR     CLK
35:              CLR     DIN
36:              LCALL   DELAY
37:
38:  ;   SEND DATA TO TX,RX COUNTER
39:
40:  SEND_N:     CLR     ENB
41:              MOV     A,P0
42:              ANL     A,#00001111B
43:              RL      A
44:              RL      A
45:              LCALL   COND
46:              SJMP        $       ;   STOP MAIN PROGRAM
47:
48:  ;   END OF MAIN PROGRAM
49:  ;   THIS IS SUB PROGRAM
50:
51:  COND:   PUSH        DPL
52:          PUSH        DPH
53:          MOV     DPTR,#DATA_TBL
54:          MOV     R3,A
55:          MOVC        A,@A+DPTR
56:          LCALL   SERI_OUT    ;   SEND HIGH BYTE OF TX
57:          LCALL   BACK_UP
58:          MOVC        A,@A+DPTR
59:          LCALL   SERI_OUT    ;   SEND LOW BYTE OF TX
60:          LCALL   BACK_UP
61:          MOVC        A,@A+DPTR
62:          LCALL   SERI_OUT    ;   SEND HIGH BYTE OF RX
63:          LCALL   BACK_UP
64:          MOVC        A,@A+DPTR
65:          LCALL   SERI_OUT    ;   SEND LOW BYTE OF RX
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
66:
67:
68:             CLR     CLK
69:             CLR     DIN
70:             SETB        ENB
71:             LCALL   DELAY
72:             CLR     ENB
73:             LCALL   DELAY
74:             POP     DPL
75:             POP     DPH
76:             RET
77:
78:
79:  ;    SUB PROGRAM TO SEND CONTROL WORD,FR,TX,RX
80:
81:  SERI_OUT:    MOV     R2,#08H     ;    COUNTER
82:               CLR     CY
83:
84:  BIT_OUT:     RLC     A
85:               MOV     DIN,C
86:               CLR     CLK
87:               LCALL   DELAY
88:               SETB    CLK
89:               LCALL   DELAY
90:               DJNZ    R2,BIT_OUT
91:               RET
92:
93:  BACK_UP:     MOV     A,R3
94:               INC     A
95:               MOV     R3,A
96:               RET
97:  ;    DELAY SUB
98:
99:  DELAY:       MOV     R6,#0FH
100: DEL:         MOV     R7,#0FH
101:              DJNZ    R7,$
102:              DJNZ    R6,DEL
103:              RET
104:
105: FRE_BUF:     DB  33H,0C0H,40H,00H
106:
107: DATA_TBL:    DB  03H,43H,02H,0D8H        ;   CH1
108:              DB  03H,45H,02H,0DAH        ;   CH2
109:              DB  03H,47H,02H,0DCH        ;   CH3
110:              DB  03H,49H,02H,0DEH        ;   CH4
111:              DB  03H,4BH,02H,0E0H        ;   CH5
112:              DB  03H,4DH,02H,0E2H        ;   CH6
113:              DB  03H,4FH,02H,0E4H        ;   CH7
114:              DB  03H,51H,02H,0E6H        ;   CH8
115:              DB  03H,53H,02H,0E8H        ;   CH9
116:              DB  03H,55H,02H,0EAH        ;   CH10
117:              DB  03H,57H,02H,0ECH        ;   CH11
118:              DB  03H,59H,02H,0EEH        ;   CH12
119:              DB  03H,5BH,02H,0F0H        ;   CH13
120:              DB  03H,5DH,02H,0F2H        ;   CH14
121:              DB  03H,5FH,02H,0F4H        ;   CH15
122:              DB  03H,61H,02H,0F6H        ;   CH16
123:
124: END
125:
126:
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Order this document by MC3356/D

MOTOROLA

MC3356

Wideband FSK Receiver

The MC3356 includes Oscillator, Mixer, Limiting IF Amplifier, Quadrature Detector, Audio Buffer, Squelch, Meter Drive, Squelch Status output, and Data Shaper comparator. The MC3356 is designed for use in digital data communications equipment.

- Data Rates up to 500 kilobaud
- Excellent Sensitivity: – 3 dB Limiting Sensitivity
  30 μVrms @ 100 MHz
- Highly Versatile, Full Function Device, yet Few External Parts are Required
- Down Converter Can be Used Independently — Similar to NE602

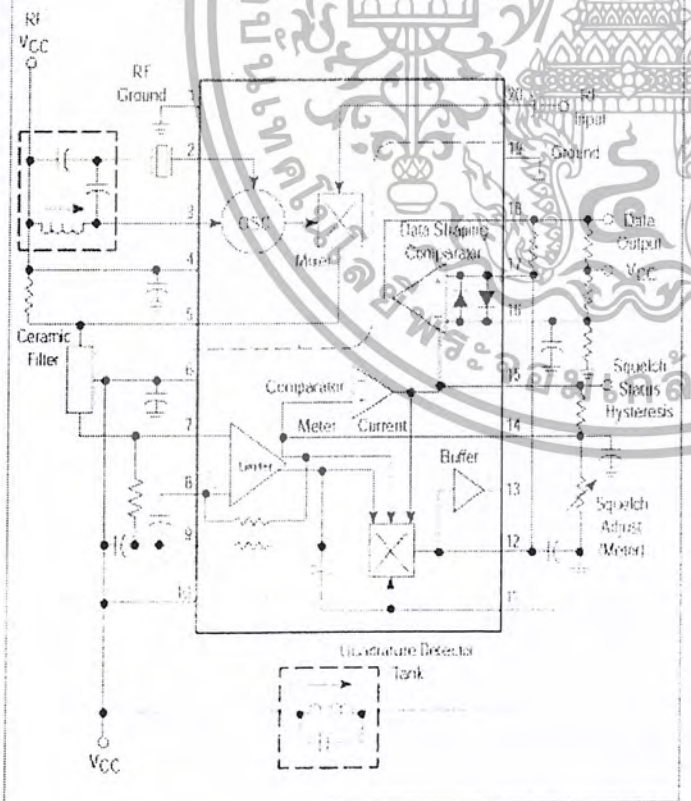
WIDEBAND
FSK
RECEIVER

SEMICONDUCTOR
TECHNICAL DATA

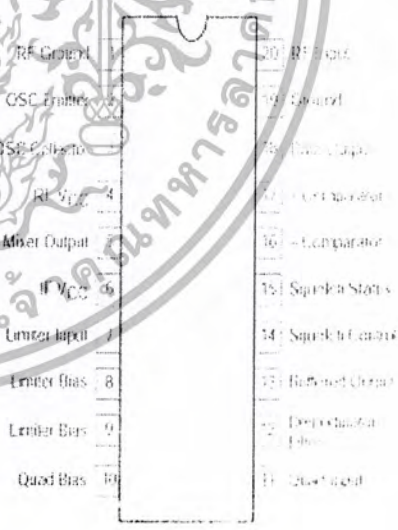
P SUFFIX
PLASTIC PACKAGE
CASE 738

DW SUFFIX
PLASTIC PACKAGE
CASE 751D
(SO-20L)

Figure 1. Representative Block Diagram



PIN CONNECTIONS



ORDERING INFORMATION

Device	Operating Temperature Range	Package
MC3356DW		
MC3356P		

DEVICE ONLINE FROM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MAXIMUM RATINGS

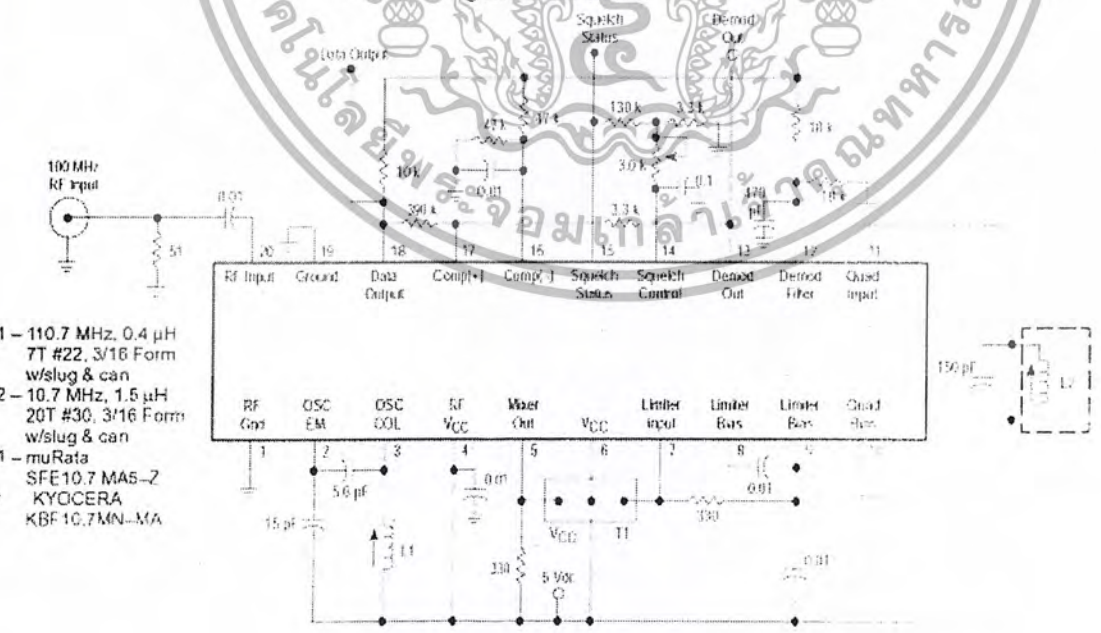
Rating	Symbol	Value	Unit
Power Supply Voltage	$V_{CC(max)}$	15	Vdc
Operating Power Supply Voltage Range (Pins 6, 10)	V_{CC}	3.0 to 9.0	Vdc
Operating RF Supply Voltage Range (Pin 4)	RF V_{CC}	3.0 to 12.0	Vdc
Junction Temperature	T_J	150	°C
Operating Ambient Temperature Range	T_A	– 40 to + 85	°C
Storage Temperature Range	T_{stg}	– 65 to + 150	°C
Power Dissipation, Package Rating	P_D	1.25	W

ELECTRICAL CHARACTERISTICS (V_{CC} = 5.0 Vdc, f_o = 100 MHz, f_{osc} = 110.7 MHz, Δf = ±75 kHz, f_{mod} = 1.0 kHz, 50 Ω source, T_A = 25°C, test circuit of Figure 2, unless otherwise noted.)

Characteristics	Min	Typ	Max	Unit
Drain Current Total, RF V_{CC} and V_{CC}	–	20	25	mAdc
Input for – 3 dB limiting	–	30	–	μVrms
Input for 50 dB quieting $\left(\frac{S+N}{N}\right)$	–	60		μVrms
Mixer Voltage Gain, Pin 20 to Pin 8	24	–	–	
Mixer Input Resistance, 100 MHz	–	2k		Ω
Mixer Input Capacitance, 100 MHz	–	5.0	–	pF
Mixer/Oscillator Frequency Range (Note 1)	–	0.2 to 150	–	MHz
IF/Quadrature Detector Frequency Range (Note 1)	–	0.2 to 50	–	MHz
AM Rejection (30% AM, RF V_{in} = 1.0 mVrms)	–	50	–	dB
Demodulator Output, Pin 13	–	0.3	–	Vrms
Meter Drive	–	7.5	–	μA/dB
Squelch Threshold	–	0.8	–	Vdc

NOTE: 1. Not taken in Test Circuit of Figure 2. User component values required.

Figure 2. Test Circuit



L1 – 110.7 MHz, 0.4 μH
7T #22, 3/16 Form
w/slug & can
L2 – 10.7 MHz, 1.5 μH
20T #30, 3/16 Form
w/slug & can
T1 – muRata
SFE10.7 MA5–Z
or KYOCERA
KBF 10.7MN–MA

DEVICE OUTLINE DIAGRAM
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 3. Output Components of Signal, Noise, and Distortion

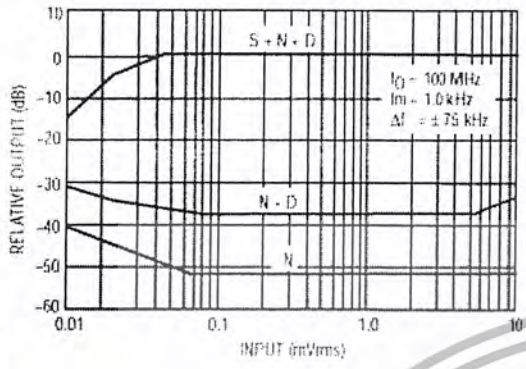
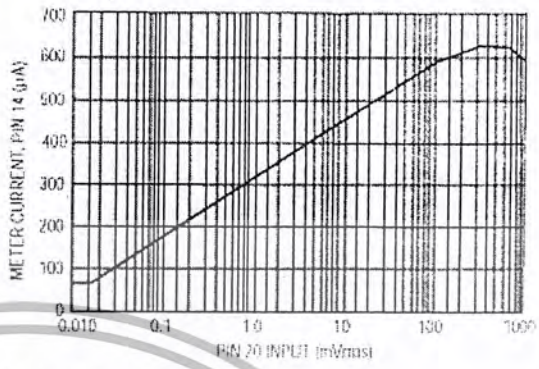


Figure 4. Meter Current versus Signal Input



GENERAL DESCRIPTION

This device is intended for single and double conversion VHF receiver systems, primarily for FSK data transmission up to 500 K baud (250 kHz). It contains an oscillator, mixer, limiting IF, quadrature detector, signal strength meter drive, and data shaping amplifier.

The oscillator is a common base Colpitts type which can be crystal controlled, as shown in Figure 1, or L–C controlled as shown in the other figures. At higher V_{CC} it has been operated as high as 200 MHz. A mixer/oscillator voltage gain of 2 up to approximately 150 MHz, is readily achievable.

The mixer functions well from an input signal of 10 μVrms, below which the squelch is unpredictable, up to about 10 mVrms, before any evidence of overload. Operation up to 1.0 Vrms input is permitted, but non–linearity of the meter output is incurred, and some oscillator pulling is suspected. The AM rejection above 10 mVrms is degraded.

The limiting IF is a high frequency type, capable of being operated up to 50 MHz. It is expected to be used at 10.7 MHz in most cases, due to the availability of standard ceramic resonators. The quadrature detector is internally coupled to the IF and a 5.0 pF quadrature capacitor is internally provided. The –3dB limiting sensitivity of the IF itself is approximately 50 μV (at Pin 7), and the IF can accept signals up to 1.0 Vrms without distortion or change of detector quiescent dc level.

The IF is unusual in that each of the last 5 stages of the 6 state limiter contains a signal strength sensitive, current sinking device. These are parallel connected and buffered to produce a signal strength meter drive which is fairly linear for IF input signals of 10 μV to 100 mVrms (see Figure 4).

A simple squelch arrangement is provided whereby the meter current flowing through the meter load resistance flips a comparator at about 0.8 Vdc above ground. The signal strength at which this occurs can be adjusted by changing the meter load resistor. The comparator (+) input and output are available to permit control of hysteresis. Good positive action can be obtained for IF input signals of above 30 μVrms. The 130 kΩ resistor shown in the test circuit provides a small amount of hysteresis. Its connection between the 3.3 k resistor to ground and the 3.0 k pot, permits adjustment of squelch level without changing the amount of hysteresis.

The squelch is internally connected to both the quadrature detector and the data shaper. The quadrature detector output, when squelched, goes to a dc level approximately equal to the peak signal level unsquelched. The squelch causes the data shaper to produce a high (V_{CC}) output.

The data shaper is a complete "floating" comparator with back to back diodes across its inputs. The output of the quadrature detector can be fed directly to either input of this amplifier to produce an output that is either at V_{CC} or V_{EE}, depending upon the received frequency. The impedance of the biasing can be varied to produce an amplifier which "follows" frequency detuning to some degree, to prevent data pulse width changes.

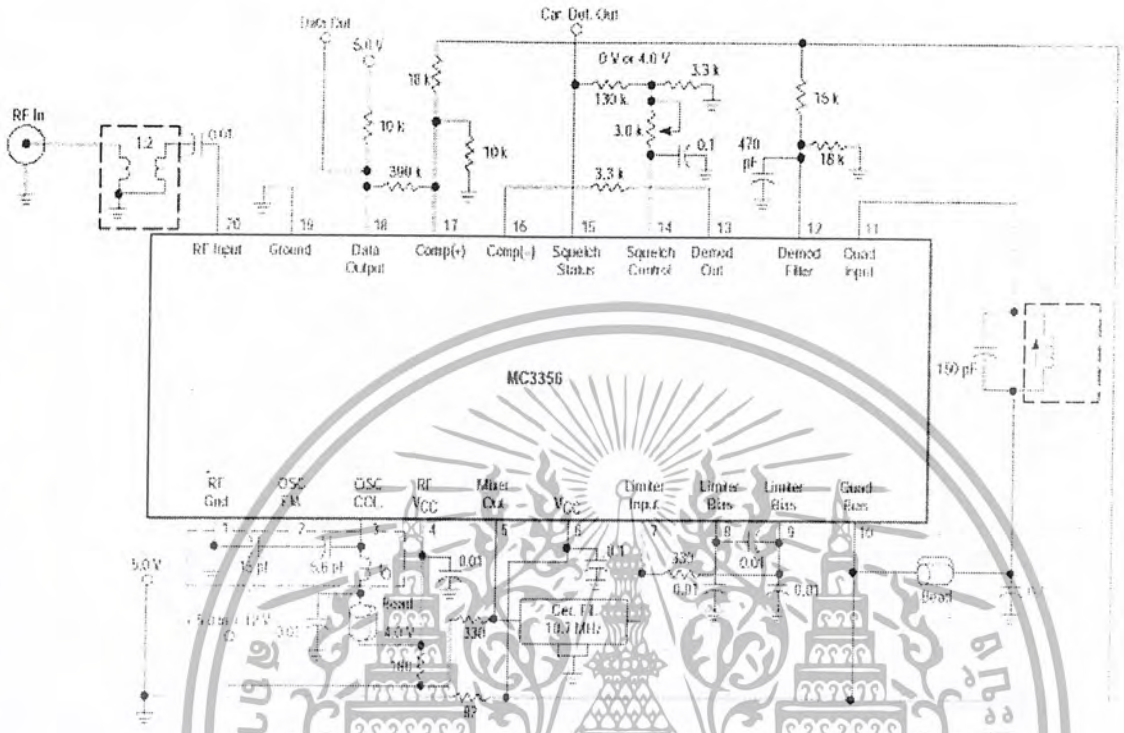
When the data shaper is driven directly from the demodulator output, Pin 13, there may be distortion at Pin 13 due to the diodes, but this is not important in the data application. A useful note in relating high/low input frequency to logic state: low IF frequency corresponds to low demodulator output. If the oscillator is above the incoming RF frequency, then high RF frequency will produce a logic low (input to (+) input of Data Shaper as shown in Figures 1 and 2).

APPLICATION NOTES

The MC3356 is a high frequency/high gain receiver that requires following certain layout techniques in designing a stable circuit configuration. The objective is to minimize or eliminate, if possible, any unwanted feedback.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 5. Application with Fixed Bias on Data Shaper



APPLICATION NOTES (continued)

Shielding, which includes the placement of input and output components, is important in minimizing electrostatic or electromagnetic coupling. The MC3356 has its pin connections such that the circuit designer can place the critical input and output circuits on opposite ends of the chip. Shielding is normally required for inductors in tuned circuits.

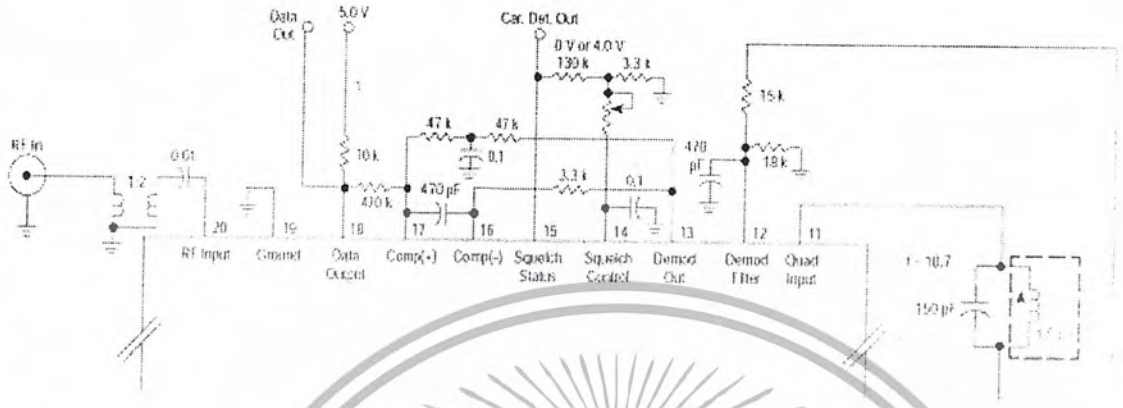
The MC3356 has a separate V_{CC} and ground for the RF and IF sections which allows good external circuit isolation by minimizing common ground paths.

Note that the circuits of Figures 1 and 2 have RF, Oscillator, and IF circuits predominantly referenced to the plus supply rails. Figure 5, on the other hand, shows a suitable means of ground referencing. The two methods produce identical results when carefully executed. It is important to treat Pin 19 as a ground node for either approach. The RF input should be "grounded" to Pin 1 and then the input and the mixer/oscillator grounds (or RF V_{CC} bypasses) should be connected by a low inductance path to Pin 19. IF and detector sections should also have their bypasses returned by a separate path to Pin 19. V_{CC} and RF V_{CC} can be decoupled to minimize feedback, although the configuration of Figure 2 shows a successful implementation on a common 5.0 V supply. Once again, the message is: define a supply node and a ground node and return each section to those nodes by separate, low impedance paths.

The test circuit of Figure 2 has a 3 dB limiting level of 30 µV which can be lowered 6 db by a 1:2 untuned transformer at the input as shown in Figures 5 and 6. For applications that require additional sensitivity, an RF amplifier can be added, but with no greater than 20 db gain. This will give a 2.0 to 2.5 µV sensitivity and any additional gain will reduce receiver dynamic range without improving its sensitivity. Although the test circuit operates at 5.0 V, the mixer/oscillator optimum performance is at 8.0 V to 12 V. A minimum of 8.0 V is recommended in high frequency applications (above 150 MHz), or in PLL applications where the oscillator drives a prescaler.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 6. Application with Self–Adjusting Bias on Data Shaper



APPLICATION NOTES (continued)

Depending on the external circuit, inverted or noninverted data is available at Pin 18. Inverted data makes the higher frequency in the FSK signal a "one" when the local oscillator is above the incoming RF. Figure 5 schematic shows the comparator with hysteresis. In this circuit the dc reference voltage at Pin 17 is about the same as the demodulated output voltage (Pin 13) when no signal is present. This type circuit is preferred for systems where the data rates can drop to zero. Some systems have a low frequency limit on the data rate, such as systems using the MC3850 ACIA that has a start or stop bit. This defines the low frequency limit that can appear in the data stream. Figure 5 circuit can then be changed to a circuit configuration as shown in Figure 6. In Figure 6 the reference voltage for the comparator is derived from the demodulator output through a low pass circuit where τ is much lower than the lowest frequency data rate. This and similar circuits will compensate for small tuning changes (or drift) in the quadrature detector.

Squelch status (Pin 15) goes high (squelch off) when the input signal becomes greater than some preset level set by the resistance between Pin 14 and ground. Hysteresis is added to the circuit externally by the resistance from Pin 14 to Pin 15.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MMBV2101LT1 Series, MV2105, MV2101, MV2109, LV2205, LV2209

Silicon Tuning Diodes

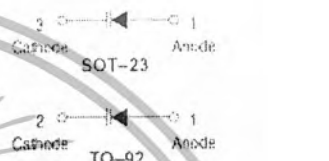
6.8–100 pF, 30 Volts
Voltage Variable Capacitance Diodes

ON Semiconductor™

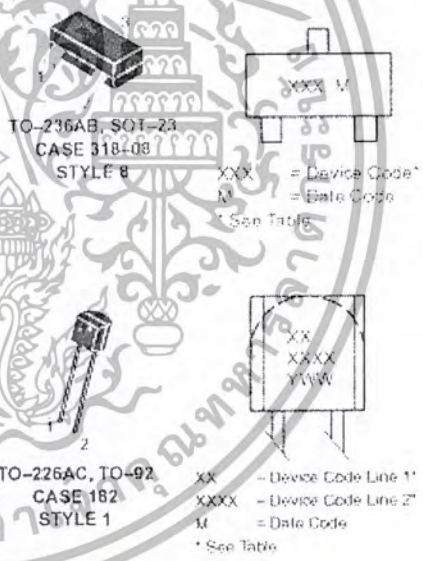
http://onsemi.com

These devices are designed in popular plastic packages for the high volume requirements of FM Radio and TV tuning and AFC, general frequency control and tuning applications. They provide solid-state reliability in replacement of mechanical tuning methods. Also available in a Surface Mount Package up to 33 pF.

- High Q
- Controlled and Uniform Tuning Ratio
- Standard Capacitance Tolerance – 10%
- Complete Typical Design Curves



MARKING DIAGRAM



MAXIMUM RATINGS

Rating		Symbol	Value	Unit
Reverse Voltage		V_R	30	Vdc
Forward Current		I_F	200	mAdc
Forward Power Dissipation @ T_A = 25°C Derate above 25°C	MMBV21xx	PD	225 1.8	mW mW/°C
@ T_A = 25°C Derate above 25°C	MV21xx LV22xx		280 2.8	
Junction Temperature		T_J	+150	°C
Storage Temperature Range		T_{stg}	−55 to +150	°C

DEVICE MARKING

MMBV2101LT1 = M4G	MMBV2108LT1 = 4X	MV2109 = MV2109
MMBV2103LT1 = 4H	MMBV2109LT1 = 4J	LV2205 = LV2205
MMBV2105LT1 = 4U	MV2101 = MV2101	LV2209 = LV2209
MMBV2107LT1 = 4W	MV2105 = MV2105	

ELECTRICAL CHARACTERISTICS (T_A = 25°C unless otherwise noted)

Characteristic	Symbol	Min	Typ	Max	Unit
Reverse Breakdown Voltage (I_R = 10 μAdc) MMBV21xx, MV21xx LV22xx	$V_{(BR)R}$	 30 25	 – –	 – –	Vdc
Reverse Voltage Leakage Current (V_R = 25 Vdc, T_A = 25°C)	I_R	–	–	0.1	μAdc
Diode Capacitance Temperature Coefficient (V_R = 4.0 Vdc, f = 1.0 MHz)	TCC	–	280	–	ppm/°C

Preferred devices are recommended choices for future use and best overall value.

© Semiconductor Components Industries, LLC, 2001

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Device	C_T, Diode Capacitance V_R = 4.0 Vdc, f = 1.0 MHz pF			Q, Figure of Merit V_R = 4.0 Vdc, f = 50 MHz	TR, Tuning Ratio C_2/C_{30} f = 1.0 MHz		
	Min	Nom	Max	Typ	Min	Typ	Max
MMBV2101LT1/MV2101	6.1	6.8	7.5	450	2.5	2.7	3.2
MMBV2103LT1	9.0	10	11	400	2.5	2.9	3.2
LV2205/MMBV2105LT1/MV2105	13.5	15	16.5	400	2.5	2.9	3.2
MMBV2107LT1	19.8	22	24.2	350	2.5	2.9	3.2
MMBV2108LT1	24.3	27	29.7	300	2.6	3.0	3.2
LV2209/MMBV2109LT1/MV2109	29.7	33	36.3	200	2.5	3.0	3.2

MMBV2101LT1, MMBV2103LT1, MMBV2105LT1, MMBV2107LT1 thru MMBV2109LT1, are also available in bulk. Use the device title and drop the "T1" suffix when ordering any of these devices in bulk.

PARAMETER TEST METHODS

1. C_T, DIODE CAPACITANCE

($C_T = C_C + C_J$). C_T is measured at 1.0 MHz using a capacitance bridge (Boonton Electronics Model 75A or equivalent).

2. TR, TUNING RATIO

TR is the ratio of C_T measured at 2.0 Vdc divided by C_T measured at 30 Vdc.

3. Q, FIGURE OF MERIT

Q is calculated by taking the G and C readings of an admittance bridge at the specified frequency and substituting in the following equations:

$$Q = \frac{2\pi fC}{G}$$

(Boonton Electronics Model 33AS8 or equivalent). Use Lead Length = 1/16".

4. TC_C, DIODE CAPACITANCE TEMPERATURE COEFFICIENT

TC_C is guaranteed by comparing C_T at V_R = 4.0 Vdc, f = 1.0 MHz, T_A = −65°C with C_T at V_R = 4.0 Vdc, f = 1.0 MHz, T_A = +85°C in the following equation, which defines TC_C:

$$TC_C = \left| \frac{C_T(+85^\circ C) - C_T(-65^\circ C)}{85 + 65} \right| \frac{10^6}{C_T(25^\circ C)}$$

Accuracy limited by measurement of C_T to ±0.1 pF.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Order this document
by MC145162/D

MC145162
MC145162-1

60 MHz and 85 MHz Universal Programmable Dual PLL Frequency Synthesizers

CMOS

The MC145162 is a dual phase–locked loop (PLL) frequency synthesizer especially designed for CT–1 cordless phone applications worldwide. This frequency synthesizer is also for any product with a frequency operation at 60 MHz or below.

The MC145162–1 is a high frequency derivative of the MC145162, for products with operating frequencies of 85 MHz or below.

The device features fully programmable receive, transmit, reference, and auxiliary reference counters accessed through an MCU serial interface. This feature allows this device to operate in any CT–1 cordless phone application. The device consists of two independent phase detectors for transmit and receive loops. A common reference oscillator, driving two independent reference frequency counters, provides independent reference frequencies for transmit and receive loops. The auxiliary reference counter allows the user to select an additional reference frequency for receive and transmit loops if required.

- Operating Voltage Range: 2.5 to 5.5 V
- Operating Temperature Range: – 40 to + 75°C
- Operating Power Consumption: 3.0 mA @ 2.5 V
- Maximum Operating Frequency:
  MC145162 — 60 MHz @ 200 mV p–p, V_{DD} = 2.5 V
  MC145162–1 — 85 MHz @ 250 mV p–p, V_{DD} = 2.5 V
- Three or Four Pins Used for Serial MCU Interface
- Built–In MCU Clock Output with Frequency of Reference Oscillator ÷ 3/÷ 4
- Power Saving Mode Controlled by MCU
- Lock Detect Signal
- On–Chip Reference Oscillator Supports External Crystals to 16.0 MHz
- Reference Frequency Counter Division Range: 16 to 4095
- Auxiliary Reference Frequency Counter Division Range: 16 to 16,383
- Transmit Counter Division Range: 16 to 65,535
- Receive Counter Division Range: 16 to 65,535

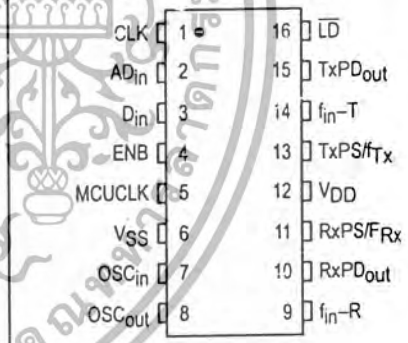
P SUFFIX
PLASTIC DIP
CASE 648

D SUFFIX
SOG PACKAGE
CASE 751B

ORDERING INFORMATION

MC145162P	Plastic DIP
MC145162D	SOG Package
MC145162P1	Plastic DIP
MC145162D1	SOG Package

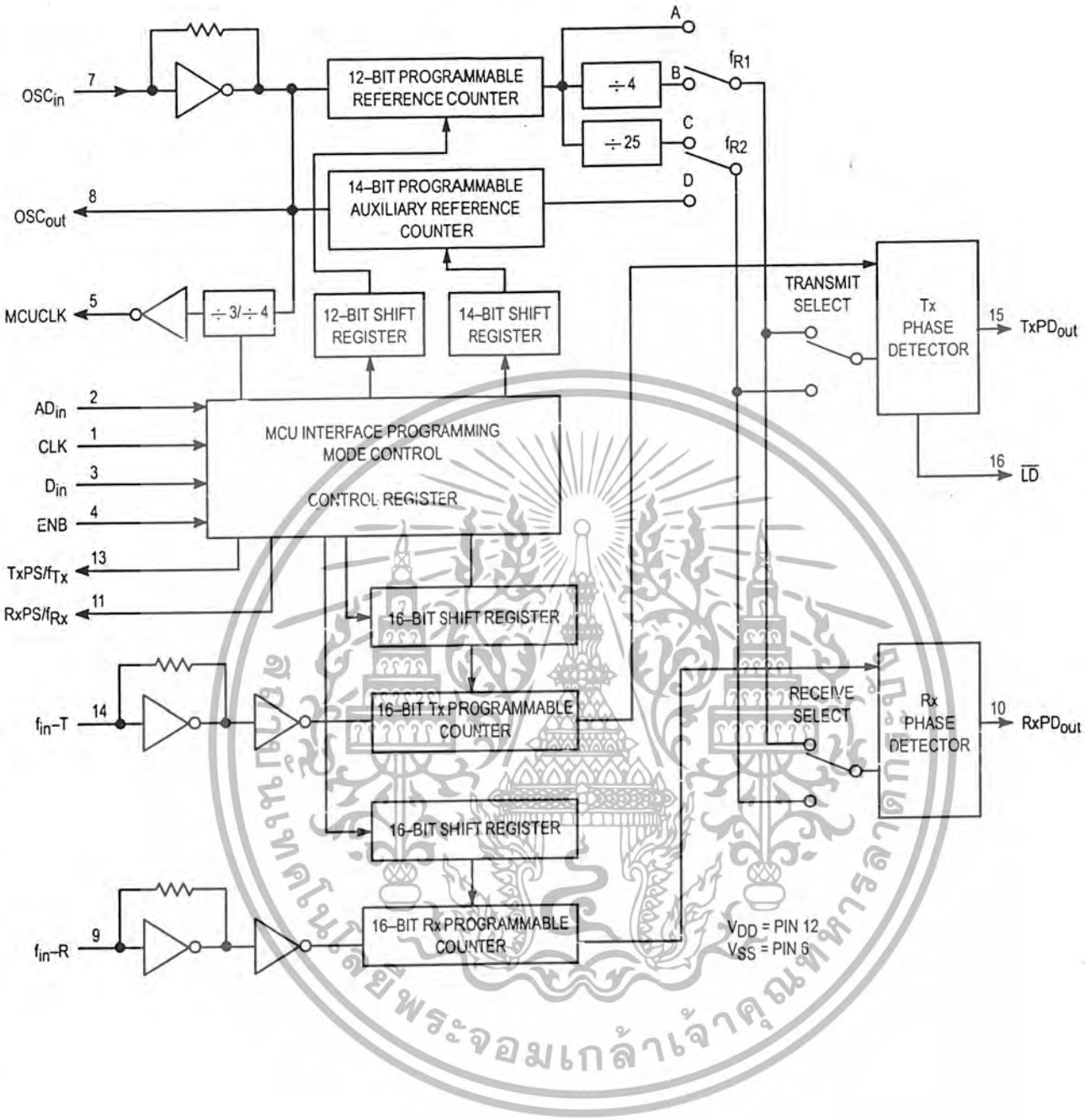
PIN ASSIGNMENT



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

© Motorola, Inc. 1998

BLOCK DIAGRAM



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MAXIMUM RATINGS* (Voltages Referenced to V_{SS})

Symbol	Rating	Value	Unit
V_{DD}	DC Supply Voltage	– 0.5 to + 6.0	V
V_{in}	Input Voltage, All Inputs	– 0.5 to V_{DD} + 0.5	V
I_{in}, I_{out}	DC Current Drain Per Pin	10	mA
I_{DD}, I_{SS}	DC Current Drain V_{DD} or V_{SS} Pins	30	mA
T_{stg}	Storage Temperature Range	– 65 to + 150	°C

* Maximum Ratings are those values beyond which damage to the device may occur. Functional operation should be restricted to the limits in the Electrical Characteristics tables or Pin Descriptions section.

This device contains protection circuitry to guard against damage due to high static voltages or electric fields. However, precautions must be taken to avoid application of any voltage higher than maximum rated voltages to this high–impedance circuit. For proper operation, V_{in} and V_{out} should be constrained to the range $V_{SS} \le (V_{in}$ or $V_{out}) \le V_{DD}$.

Unused pins must always be tied to an appropriate logic voltage level (e.g., either V_{SS} or V_{DD}). Unused outputs must be left open.

ELECTRICAL CHARACTERISTICS (Voltages Referenced to V_{SS}, T_A = 25°C)

Symbol	Characteristic	V_{DD}	Guaranteed Limit Min	Guaranteed Limit Max	Unit
V_{DD}	Power Supply Voltage Range	—	2.5	5.5	V
V_{OL}	Output Voltage (I_{out} = 0) 0 Level	2.5 5.5	— —	0.1 0.1	V
V_{OH}	(V_{in} = V_{DD} or 0) 1 Level	2.5 5.5	2.45 5.45	— —	
V_{IL}	Input Voltage (V_{out} = 0.5 V or V_{DD} – 0.5 V) 0 Level	2.5 5.5	— —	0.75 1.65	V
V_{IH}	1 Level	2.5 5.5	1.75 3.85	— —	
I_{OH}	Output Current (V_{out} = 2.2 V) (V_{out} = 5.0 V) Source	2.5 5.5	– 0.18 – 0.55	— —	mA
I_{OL}	(V_{out} = 0.3 V) (V_{out} = 0.5 V) Sink	2.5 5.5	0.18 0.55	— —	
I_{IL}	Input Current (V_{in} = 0) OSC_{in}, f_{in}–T, f_{in}–R	2.5 5.5	— —	– 30 – 66	µA
	AD_{in}, CLK, D_{in}, ENB	2.5 5.5	— —	– 1.0 – 1.0	
I_{IH}	(V_{in} = V_{DD} – 0.5) OSC_{in}, f_{in}–T, f_{in}–R	2.5 5.5	— —	30 66	
	AD_{in}, CLK, D_{in}, ENB	2.5 5.5	— —	5.0 5.0	
I_{OZ}	Three–State Leakage Current (V_{out} = 0 V or 5.5 V)	5.5	—	± 100	nA
C_{in}	Input Capacitance	—	—	8.0	pF
C_{out}	Output Capacitance	—	—	8.0	pF
$I_{DD(stdby)}$	Standby Current (All Counters are in Power–Down Mode with Oscillator On)	2.5 5.5	— —	0.3 1.5	mA
I_{DD}	Operating Current MC145162: 200 mV p–p input at f_{in}–T and f_{in}–R = 60 MHz MC145162–1: 250 mV p–p input at f_{in}–T and f_{in}–R = 85 MHz with OSC = 10.24 MHz	2.5 5.5	— —	3.0 10	mA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SWITCHING CHARACTERISTICS (T_A = 25°C, C_L = 50 pF)

Symbol	Characteristic	Figure No.	V_{DD}	Guaranteed Limit		Unit
				Min	Max	
t_{TLH}	Output Rise Time	1	2.5 5.5	— —	200 100	ns
t_{THL}	Output Fall Time	1	2.5 5.5	— —	200 100	ns
t_r, t_f	Input Rise and Fall Time OSC_{in}	2	2.5 5.5	— —	5.0 4.0	µs
t_w	Input Pulse Width CLK and ENB	3	2.5 5.5	80 60	— —	ns
f_{max}	Input Frequency OSC_{in} Input = Sine Wave @ ≥ 200 mV p–p f_{in}–R, f_{in}–T for MC145162 Input = Sine Wave @ ≥ 250 mV p–p f_{in}–R, f_{in}–T for MC145162–1		2.5 – 5.5 2.5 – 5.5 2.5 – 5.5	— — —	16 60 85	MHz
t_{st}	Minimum Start–Up Time				10	ms
t_{su}	Setup Time DATA to CLK ENB to CLK	5	2.5 5.5	100 200	— —	ns
t_h	Hold Time CLK to DATA	5	3.0 5.0	80 40	— —	ns
t_{rec}	Recovery Time ENB to CLK	5	3.0 5.0	80 40	— —	ns
t_{su1}	Setup Time ENB to CLK	4	2.5 – 5.5	80	—	ns
t_{h1}	Hold Time CLK to ENB	4	2.5 – 5.5	600	—	ns
f	Phase Detector Frequency			dc	12.5	kHz
f_{MCUCLK}	Output Clock Frequency MCUCLK (OSC_{in} ÷ 3)			dc	5.33	MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SWITCHING WAVEFORMS

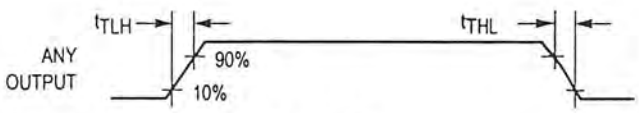


Figure 1.

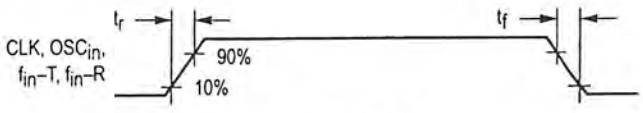


Figure 2.

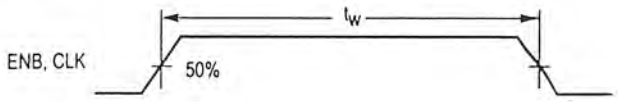
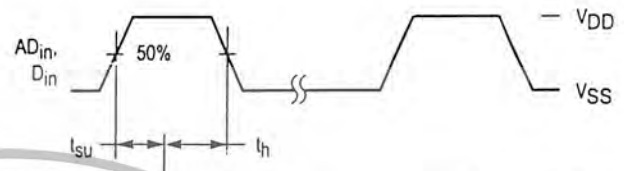


Figure 3.



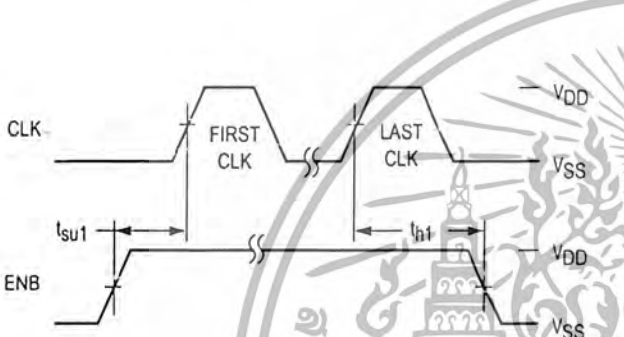


Figure 4. ENB High During Serial Transfer

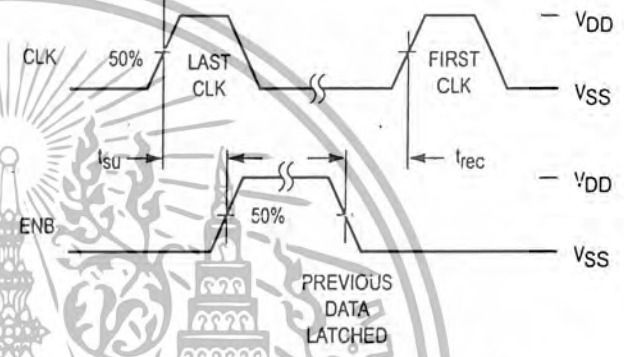


Figure 5. ENB Low During Serial Transfer

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PIN DESCRIPTIONS

INPUT PINS

OSC_{in} /OSC_{out}
Reference Oscillator Input/Output (Pins 7, 8)

These pins form a reference oscillator when connected to an external parallel–resonant crystal. Figure 6 shows the relationship of different crystal frequencies and reference frequencies for cordless phone applications in various countries. OSC_{in} may also serve as input for an externally generated reference signal which is typically ac coupled.

MCUCLK
System Clock (Pin 5)

This output pin provides a signal of the crystal frequency (OSC_{out}) divided by 3 or 4 that is controlled by a bit in the control register.

This signal can be a clock source for the MCU or other system clocks.

AD_{in}, D_{in}, CLK, ENB
Auxiliary Data In, Data In, Clock, Enable (Pins 2, 3, 1, 4)

These four pins provide an MCU serial interface for programming the reference counter, the transmit–channel counter, and the receive–channel counter. They also provide various controls of the PLL including the power saving mode and the programming format.

$TxPS/f_{Tx}$, $RxPS/f_{Rx}$
Transmit Power Save, Receive Power Save (Pins 13, 11)

For a normal application, these output pins provide the status of the internal power saving mode operation. If the transmit–channels counter circuitry is in power down mode, $TxPS/f_{Tx}$ outputs a high state. If the receive–channels counter circuitry is in power down mode, $RxPS/f_{Rx}$ is set high. These outputs can be applied for controlling the external power switch for the transmitter and the receiver to save MCU control pins.

In the Tx/Rx channel counter test mode, the $TxPS/f_{Tx}$ and $RxPS/f_{Rx}$ pins output the divided value of the transmit channel counter (f_{Tx}) and the receive channel counter (f_{Rx}), respectively. This test mode operation is controlled by the control register. Details of the counter test mode are in the **Tx/Rx Channel Counter Test** section of this data sheet.

f_{in}–T/f_{in}–R
Transmit/Receive Counter Inputs (Pins 14, 9)

f_{in}–T and f_{in}–R are inputs to the transmit and the receive counters, respectively. These signals are typically driven from the loop VCO and ac coupled. The minimum input signal level is 200 mV p–p @ 60.0 MHz.

OUTPUT PINS

$TxPD_{out}$/$RxPD_{out}$
Transmit/Receive Phase Detector Outputs (Pins 15, 10)

These are three–state outputs of the transmit and receive phase detectors for use as loop error signals (see Figure 7 for phase detector output waveforms). Phase detector gain is $V_{DD}/4\ \pi$ volts per radian.

Frequency $f_V > f_R$ or f_V leading: output = negative pulse.
Frequency $f_V < f_R$ or f_V lagging: output = positive pulse.
Frequency $f_V = f_R$ and phase coincidence: output = high–impedance state.

NOTE: f_R is the divided–down reference frequency at the phase detector input and f_V is the divided–down VCO frequency at the phase detector input.

$\overline{LD}$
Lock Detect (Pin 16)

The lock detect signal is associated with the transmit loop. The output at a high level indicates an out–of–lock condition (see Figure 7 for the $\overline{LD}$ output waveform).

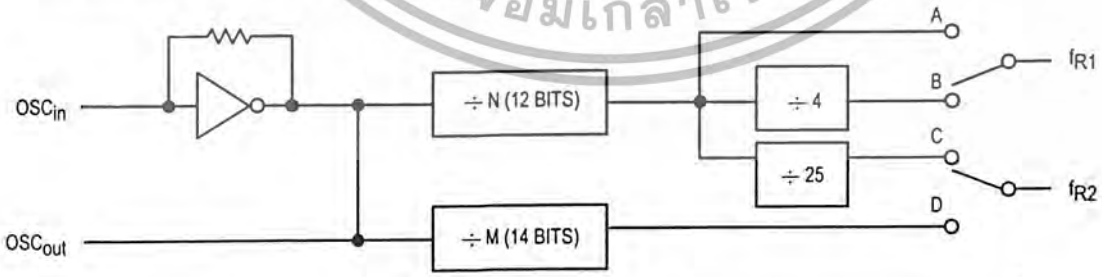
POWER SUPPLY

V_{DD}
Positive Power Supply (Pin 12)

V_{DD} is the most positive power supply potential ranging from 2.5 to 5.5 V with respect to V_{SS}.

V_{SS}
Negative Power Supply (Pin 6)

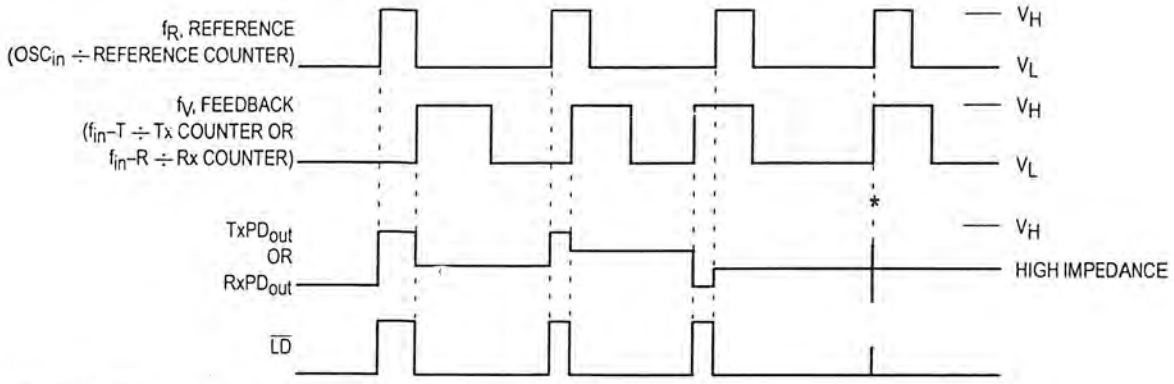
V_{SS} is the most negative supply potential and is usually connected to ground.



Crystal	÷ N Value	$f_{R1 \rightarrow B}$	$f_{R2 \rightarrow C}$
11.150 MHz	446	6.25 kHz	1.0 kHz
11.150 MHz	223	12.5 kHz	
10.240 MHz	512	5.0 kHz	
12.000 MHz	600	5.0 kHz	

Figure 6. Reference Frequencies for Cordless Phone Applications of Various Countries

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



V_H = High voltage level.
V_L = Low voltage level.
*At this point, when both f_R and f_V are in phase, the output is forced to near mid supply.

NOTE: The $TxPD_{out}$ and $RxPD_{out}$ generate error pulses during out–of–lock conditions. When locked in phase and frequency, the output is high impedance and the voltage at that pin is determined by the low–pass filter capacitor.

Figure 7. Phase Detector/Lock Detector Output Waveforms

MCU PROGRAMMING SCHEME

The MCU programming scheme is defined in two formats controlled by the ENB input. If the enable signal is high during the serial data transfer, control register/reference frequency programming is selected. If the ENB is low, programming of the transmit and receive counters is selected. During programming of the transmit and receive counters, both AD_{in} and D_{in} pins can input the data to the transmit and receive counters. Both counters' data is clocked into the PLL internal shift register at the leading edge of the CLK signal. It is not necessary to reprogram the reference frequency counter/control register when using the enable signal to program the transmit/receive channels.

In programming the control register/reference frequency scheme, the most significant bit (MSB) of the programming word identifies whether the input data is the control word or the reference frequency data word. If the MSB is 1, the input data is the control word (Figure 8). Also see Figure 8 and Table 1 for control register and bit function. If the MSB is 0, the input data is the reference frequency (Figure 9).

The reference frequency data word is a 32–bit word containing the 12–bit reference frequency data, the 14–bit auxiliary reference frequency counter information, the reference frequency selection plus, the auxiliary reference frequency counter enable bit (Figure 9).

If the AUX REF ENB bit is high, the 14–bit auxiliary reference frequency counter provides an additional phase reference frequency output for the loops. If AUX REF ENB bit is low, the auxiliary reference frequency counter is forced into power–down mode for current saving. (Other power down modes are also provided through the control register per Table 2 and Figure 8.) At the falling edge of the ENB signal, the data is stored in the registers.

There are two interfacing schemes for the universal channel mode: the three–pin and the four–pin interfacing schemes. The three–pin interfacing scheme is suited for use with the MCU SPI (serial peripheral interface) (Figure 10), while the four–pin interfacing scheme is commonly used for general I/O port connection (Figure 11).

For the three–pin interfacing scheme, the auxiliary data select bit is set to 0. All 32 bits of data, which define both the 16–bit transmit counter and the 16–bit receive counter, latch into the PLL internal register through the data in pins at the leading edge of CLK. See Figures 12 and 13.

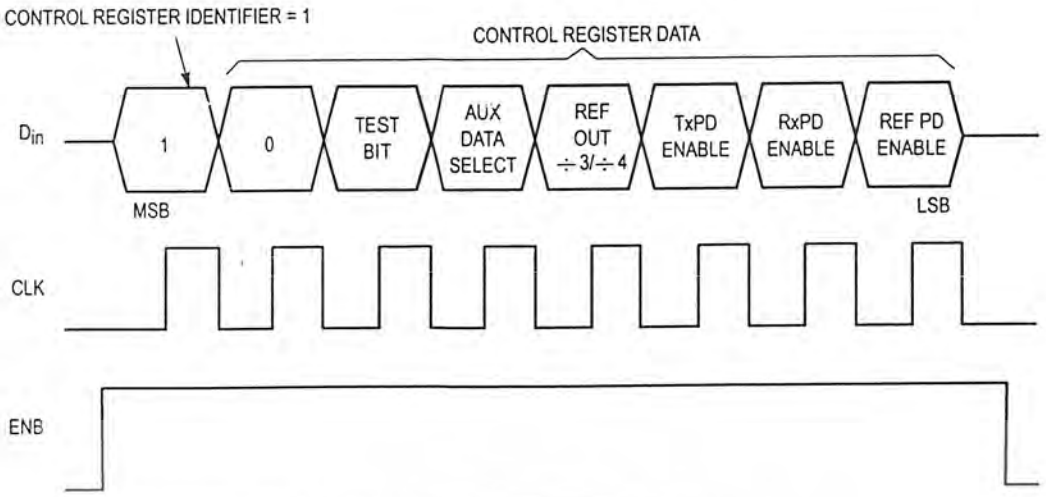
For the four–pin interfacing scheme, the auxiliary data select bit is set to 1. In this scheme, the 16–bit transmit counter's data enters into the AD_{in} pin at the same time as the 16–bit receive counter's data enters into the D_{in} pin. This simultaneous entry of the transmit and receive counters causes the programming period of the four–pin scheme to be half that of the three–pin scheme (see Figures 14 and 15).

While programming Tx/Rx Channel Counter, the ENB pin must be pulsed to provide falling edge to latch the shifted data after the rising edge of the last clock. Maximum data transfer rate is 500 kbps.

NOTE

10 ms should be allowed for initial start–up time for the oscillator to allow all registers to clear and enable programming of new register values.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสาร



NOTE: ENB must be high during the serial transfer.

Figure 8. Programming Format of the Control Register

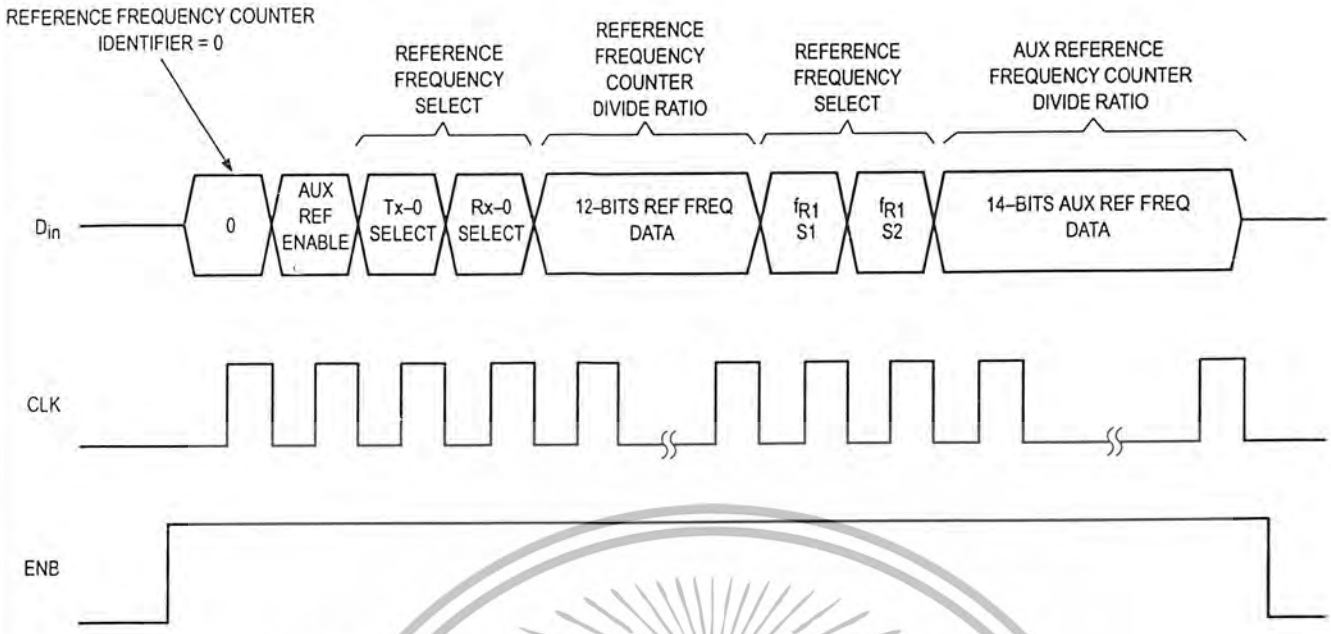
Table 1. Control Register Function Bits Description

Test Bit	Set to 1 for Tx/Rx channel counter test mode Set to 0 for normal application
Aux Data Select	Set to 1 for both AD_{in} and D_{in} pins inputting the transmit 16–bits data and receive 16–bits data respectively. Set to 0 for normal application interfacing with MCU serial peripheral interface. Does not use AD_{in} pin; tie AD_{in} to V_{SS}.
$REF_{out} \div 3/\div 4$	If set to 1, REF_{out} output frequency is equal to $OSC_{out} \div 3$. If set to 0, REF_{out} output is $OSC_{out} \div 4$.
TxPD Enable	If set to 1, the transmit counter, transmit phase detector, and the associated circuitry is in power–down mode. Tx PS/f_{Tx} is set "High".
RxPD Enable	If set to 1, the receive counter, receive phase detector, and the associated circuitry is in power–down mode. Rx PS/f_{Rx} is set "High".
Ref PD Enable	If set to 1, both 12–bit and 14–bit reference frequency counters are in power–down mode.

Table 2. Control Register Power Down Bits Function

TxPD Enable	RxPD Enable	REF PD Enable	Tx–Channel Counter	Rx–Channel Counter	Reference Frequency Counter
0	0	0	—	—	—
0	0	1	—	—	Power Down
0	1	0	—	Power Down	—
0	1	1	—	Power Down	Power Down
1	0	0	Power Down	—	—
1	0	1	Power Down	—	Power Down
1	1	0	Power Down	Power Down	—
1	1	1	Power Down	Power Down	Power Down

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



NOTE: ENB must be high during the serial transfer.

Figure 9. Programming Format of the Auxiliary/Reference Frequency Counters

Figure 10. MCU Interface Using SPI

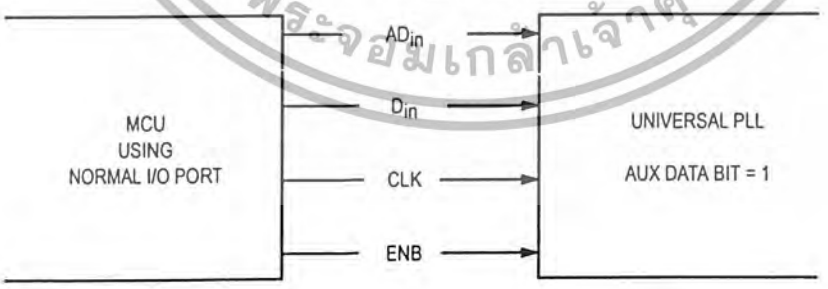
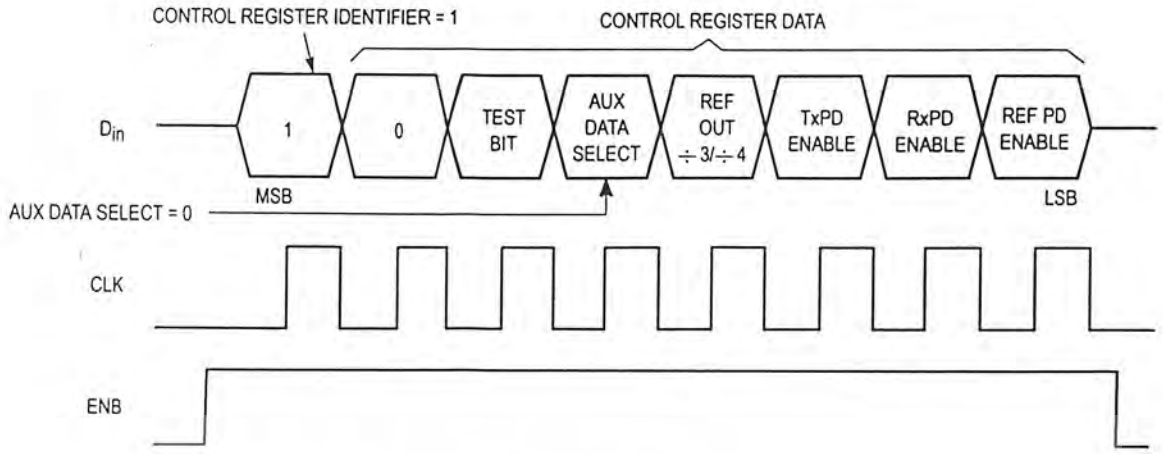


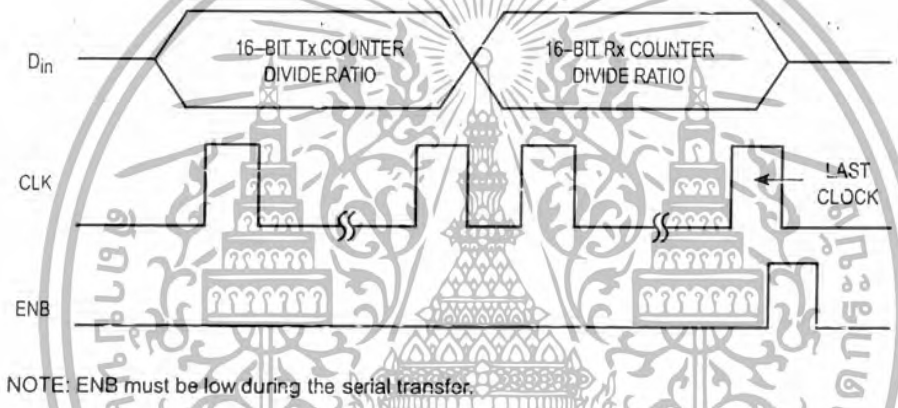
Figure 11. MCU Interface Using Normal I/O Ports with Both D_{in} and AD_{in} for Faster Programming Time

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



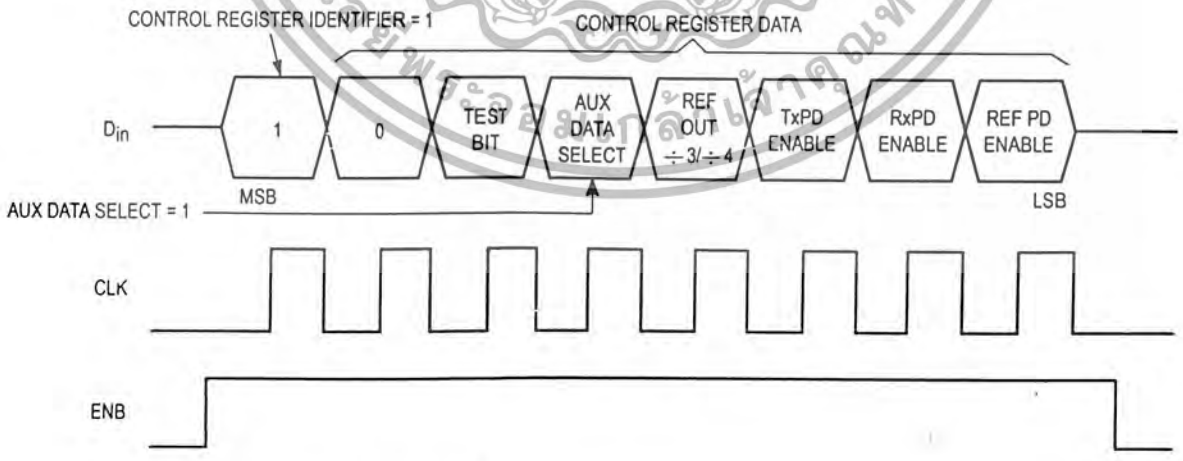
NOTE: ENB must be high during the serial transfer.

Figure 12. Programming Format for Control Register (3–Pin Interfacing Scheme)



NOTE: ENB must be low during the serial transfer.

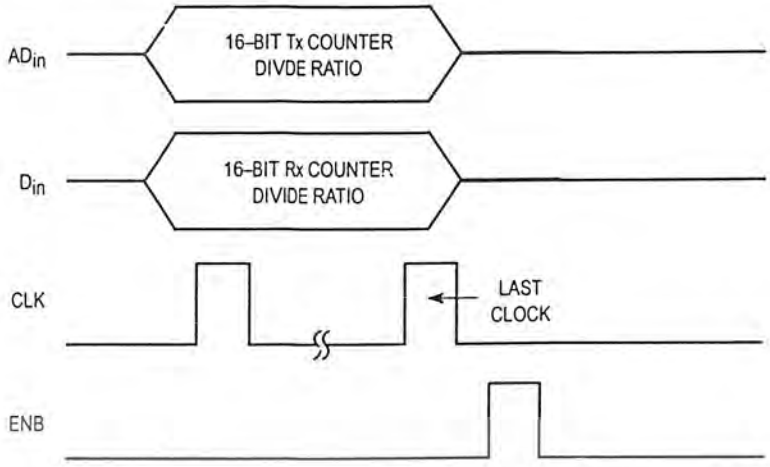
Figure 13. Programming Format for Transmit and Receive Counters (3–Pin Interfacing Scheme)



NOTE: ENB must be high during the serial transfer.

Figure 14. Programming Format for Control Register (4–Pin Interfacing Scheme)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



NOTE: ENB must be low during the serial transfer.

Figure 15. Programming Format for Transmit and Receive Counters (4–Pin Interfacing Scheme)

Table 3. Global CT–1 Reference Frequency Setting vs Channel Frequencies

Country	Channels Frequency	f_{R1}	f_{R2}
U.S.A.	46/49 MHz (10, 15, 25 Channels)	5.0 kHz	—
France	26/41 MHz	6.25 kHz/12.5 kHz	—
Spain	31/41 MHz	5.0 kHz	—
Australia	30/39 MHz	5.0 kHz	—
U.K.	1.7/47 MHz	6.25 kHz	1.0 kHz
New Zealand	1.7/34/40 MHz	6.25 kHz	1.0 kHz

REFERENCE FREQUENCY SELECTION AND PROGRAMMING

Figure 16 shows the bit function of the reference frequency programming word. The user can either select the "fixed" reference frequency for all channels accordingly or provide a specific reference frequency for a particular channel by using two reference frequency counters (e.g., for an application in France, the base set transmit channel common fixed reference frequency is 6.25 kHz or 12.5 kHz). (See Table 3 and Figure 6 for reference frequencies for various countries.) However, transmit channels 6, 8, and 14 can be set to 25 kHz, and channel 8 reference frequency can be set to 50 kHz. But this reference frequency may not be applied to the receiving side; therefore, the receiving side reference frequency must be generated by another reference frequency counter. The higher the reference frequency, the better the phase noise performance and faster the lock time, but the PLL consumes more current if both reference frequency counters are in operation.

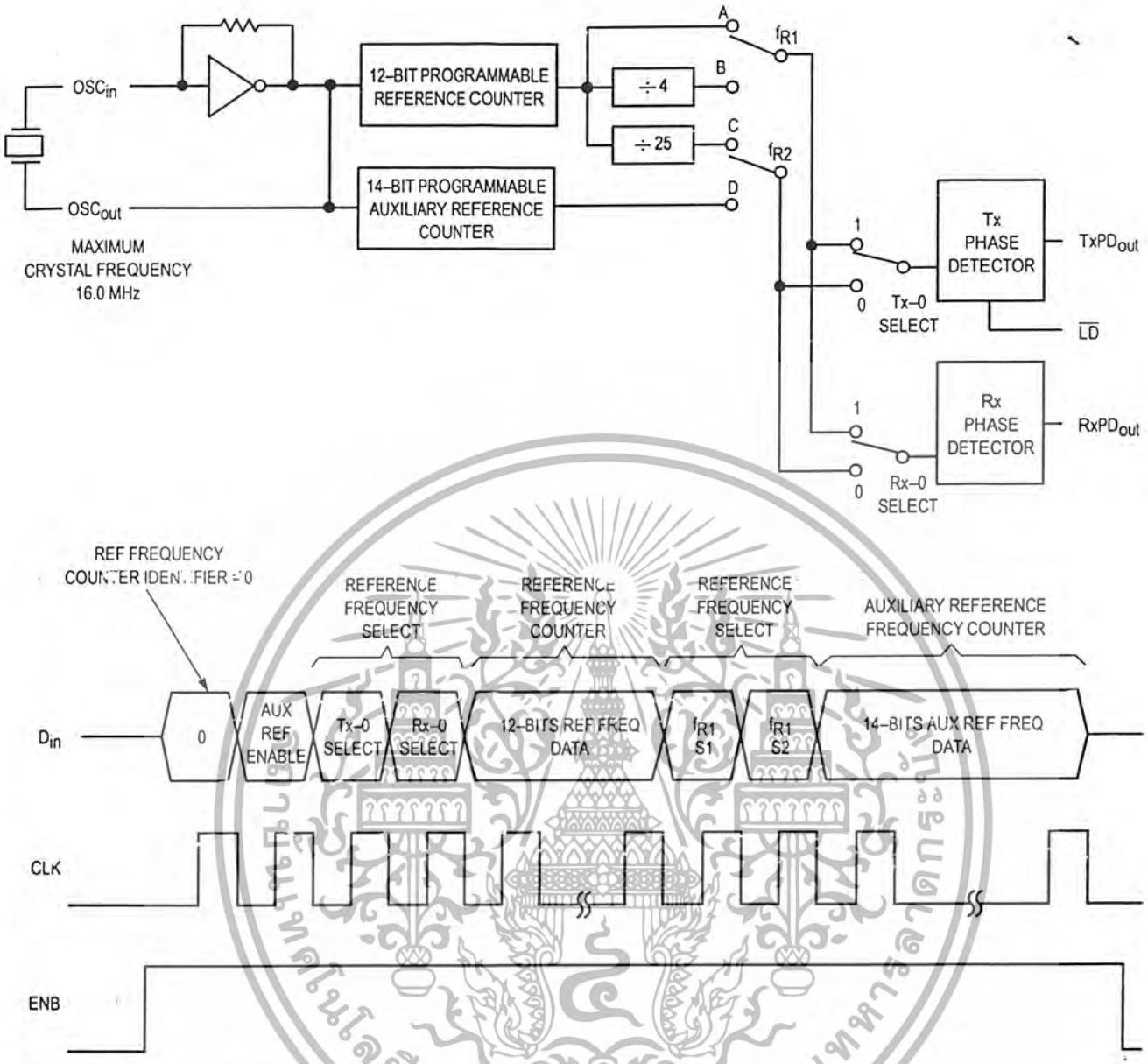
In general, the 12–bit reference frequency counter plus the ÷ 4 and ÷ 25 module can offer all the reference frequencies for global CT–1 transmit and receive channel requirements. Users can select their own reference frequency by introducing the additional 14–bit auxiliary reference frequency counter.

Again, the 14–bit auxiliary reference frequency counter can be shut down by the auxiliary reference enable bit in the reference counter programming word by setting the bit to 0. At this state, the f_{R2} is automatically connected to point C (the ÷ 25 block output), and f_{R1} can be connected to point A or B by setting the f_{R1}–S1 and f_{R1}–S2 bits in the reference counter program word. The 14–bit auxiliary reference frequency counter data will be in "Don't Care" state.

If the 14–bit auxiliary reference frequency counter is enabled (auxiliary reference enable = 1), then f_{R2} is automatically connected to point D (14–bit counter output), and f_{R1} can be selected to connect to point A, B, or C, depending on the bit setting of f_{R1}–S1 and f_{R1}–S2.

Table 4 and Figure 16 describe the functions of the auxiliary reference enable bit and the f_{R1}–S1 and f_{R1}–S2 bits selection.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



NOTE: ENB must be high during the serial transfer.

Figure 16. Reference Frequency Counter/Selection Programming Mode

Table 4. Bit Function and the Reference Frequency Selection Bit Setting of the Reference Frequency Counter Programming Word

AUX REF Enable	Auxiliary Reference Frequency Counter Mode	Module Select	f_{R1} S1	f_{R1} S2	f_{R1} Routing
0	14–Bit Auxiliary Reference Frequency Counter Disable	$f_{R2} \rightarrow C$	0	0	N/A
			0	1	$f_{R1} \rightarrow A$
			1	0	$f_{R1} \rightarrow B$
			1	1	N/A
1	14–Bit Auxiliary Reference Frequency Counter Enable	$f_{R2} \rightarrow D$	0	0	N/A
			0	1	$f_{R1} \rightarrow A$
			1	0	$f_{R1} \rightarrow B$
			1	1	$f_{R1} \rightarrow C$

N/A = Not Applicable

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

POWER SAVING OPERATION

This PLL has a programmable power–saving scheme. The transmit and receive counters and the reference frequency counter can be powered down individually by setting the TxPD enable, RxPD enable, and Ref PD enable bits of the control register. The functions of the power down control bits are explained in Table 2 and the programming format is in Figure 8.

The output pins TxPS/f_{Tx} and RxPS/f_{Rx} output the status of the internal power saving setting. If the bit TxPD enable is set "high" (transmit counter is set to power–down mode), then the TxPS/f_{Tx} pin will also output a "high" state. This TxPS/f_{Tx} output can control an external power switch to switch off the transmitter, as shown in Figure 17. This scheme can be applied to the RxPS/f_{Rx} output to control the receiver power saving operation as required.

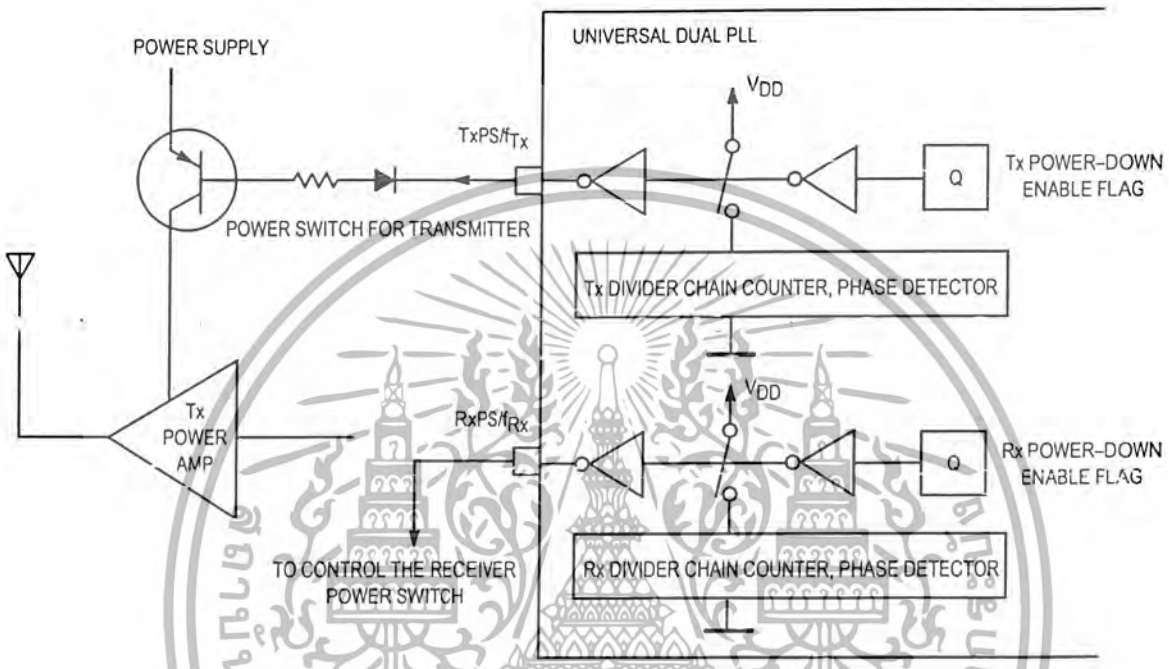


Figure 17. TxPS/f_{Tx} and RxPS/f_{Rx} Outputs to Control Power Switches of the Transmitter and the Receiver

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Tx/Rx CHANNEL COUNTER TEST

In normal applications, the TxPS/f_{Tx} and the RxPS/f_{Rx} output pins indicate the power saving mode status. However, the user can examine the Tx and Rx channel counter outputs by setting the Test bit in the control register to 1. The final value of the transmit–channel counter and the receive–channel counter multiplex out to TxPS/f_{Tx} and RxPS/f_{Rx} respectively. The user can verify the divided–down output waveform associated with the RF input level in the PLL circuitry implementation (Figure 18).

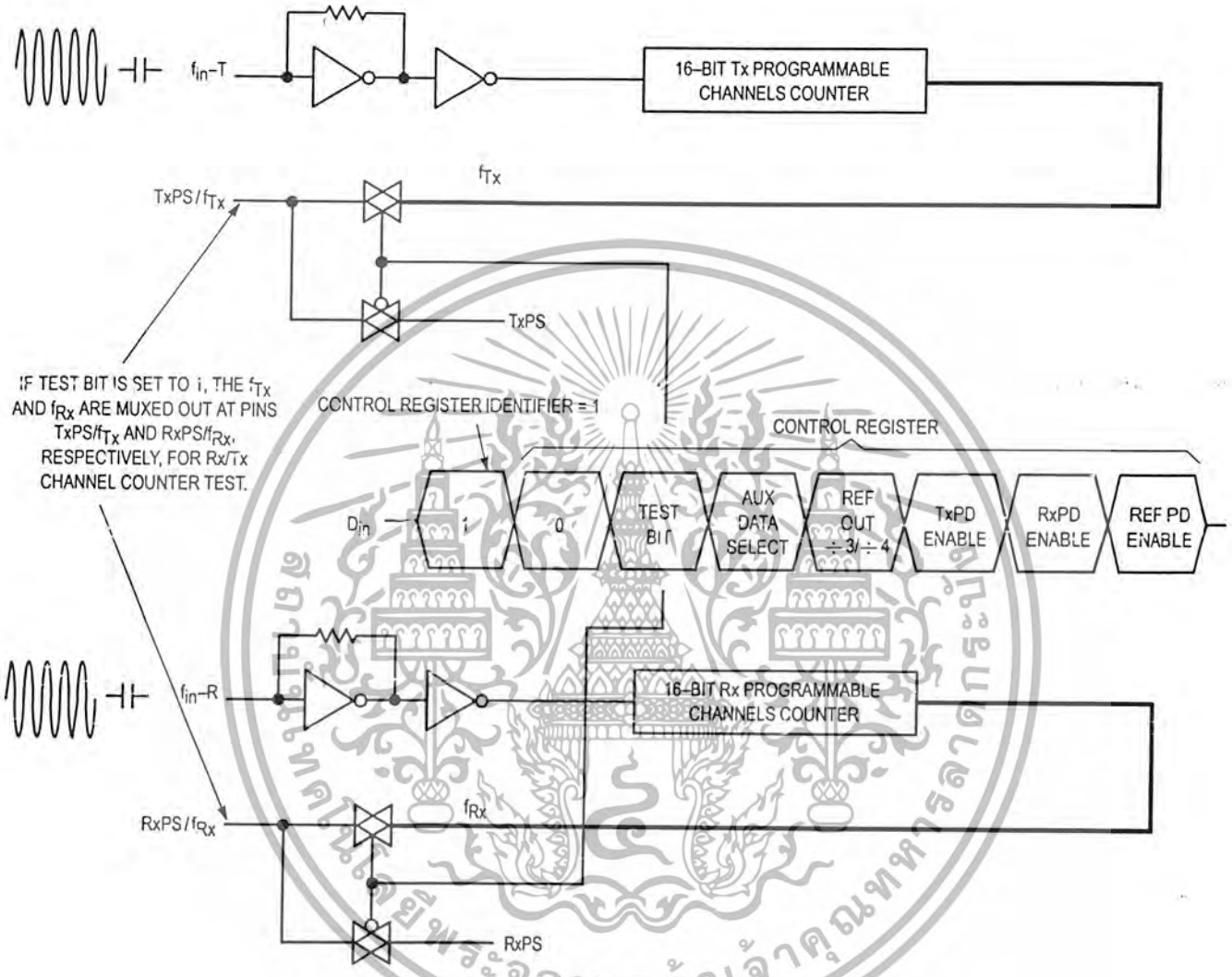


Figure 18. RF Buffer Sensitivity

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้