

วงจรรองความถี่เชิงเลข

DIGITAL FILTER



โดย
นาย พรเทพ ศรีแสงอยู่
นาย วีระศักดิ์ การุณย์
นาย สุเวศ นวนวัน

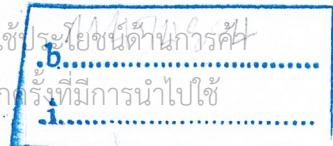
ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต
สาขาอิเล็กทรอนิกส์
คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เลขหมู่นี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานปีการศึกษา 2546 ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

เลขทะเบียน 55486 ห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วัน,เดือน,ปี 10 พ.ค. 2548



วงจรรองความถี่เชิงเลข

DIGITAL FILTER

จัดทำโดย

นาย พรเทพ ศรีแสงอยู่ รหัส 44015246

นาย วีระศักดิ์ การุณย์ รหัส 44015254

นาย สุเวศ นวนวัน รหัส 44015261

อาจารย์ที่ปรึกษา

รศ.ดร. มนต์ ตั้งวรศิลป์

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญาโทปีการศึกษา 2546

ภาควิชาอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

โครงการเรื่อง วงจรกรองความถี่เชิงเลข

DIGITAL FILTER

จัดทำโดย

นาย พรเทพ ศรีแสงอยู่ รหัส 44015246

นาย วีระศักดิ์ การุณย์ รหัส 44015254

นาย สุเวศ นวนวัน รหัส 44015261



ลงชื่อ.....อาจารย์ที่ปรึกษา

(รศ.ดร. มนัส ถังวรศิลป์)

วันที่.....

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โครงการเรื่อง วงจรรองความถี่เชิงเลข
 DIGITAL FILTER

จัดทำโดย นาย พรเทพ ศรีแสงอยู่ รหัส 44015246
 นาย วีระศักดิ์ การุณย์ รหัส 44015254
 นาย สุเวช นวนวัน รหัส 44015261

อาจารย์ที่ปรึกษา รศ.ดร. มนัส ตั้งวรศิลป์



รายงานฉบับนี้ได้ผ่านการตรวจสอบโดยอาจารย์ที่ปรึกษาแล้ว

ลงชื่อ.....อาจารย์ที่ปรึกษา

(รศ.ดร. มนัส ตั้งวรศิลป์)

วันที่.....

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรรองสัญญาณเชิงเลข

นายพรเทพ ศรีแสงอยู่
นายวีระศักดิ์ การุณย์
นายสุเวศ นวนวัน
รศ.ดร.มนัส สัจจวิทย์
ปีการศึกษา 2546

บทคัดย่อ

รายงานนี้เสนอการสร้างวงจรรองสัญญาณเชิงเลขแบบต่างๆ ได้แก่ วงจรรองความถี่ต่ำผ่าน (Low Pass Filter) ,วงจรรองความถี่สูงผ่าน(High Pass Filter) , วงจรรองแถบความถี่ผ่าน (Band Pass filter) และ วงจรกำจัดแถบความถี่ (Band Reject Filter) โดยการประยุกต์ใช้งานอุปกรณ์ FPGA ซึ่งเป็นอุปกรณ์ในลักษณะของ Programmable Device ที่เราสามารถโปรแกรมตัวมันให้สามารถทำงานเป็นวงจรดิจิทัลใดๆได้ ในการออกแบบวงจรดิจิทัลภายในอุปกรณ์ FPGA จะใช้การวาดวงจร (Schematic) ร่วมกับการเขียน โปรแกรมบรรยายเชิงพฤติกรรมของฮาร์ดแวร์ (Hardware Description Language) ด้วยภาษา VHDL

การออกแบบวงจรรองสัญญาณเชิงเลขต่างๆในรายงานนี้ ใช้วิธีทางหน้าต่างไอเชอร์ ซึ่งเป็นวิธีการออกแบบที่สามารถทำการปรับความถี่ของแถบผ่านและการลดทอนของแถบหยุดได้ ทำให้วงจรรองสัญญาณเชิงเลขที่ออกแบบสามารถออกแบบให้ แถบหยุด แถบผ่าน และอันดับการกรอง สามารถปรับได้ตามต้องการ

DIGITAL FILTER

Mr.Promthep Srisangyoo

Mr.Weerasak Karoon

Mr.Suweat Nuanwan

Assoc.Prof.Dr.Manas Sangworasil (Advisor)

ABSTRACT

This paper presents the design of Digital Filter such as Low Pass filter(LPF),High Pass Filter (HPF), Band Pass Filter(BPF) and Band Reject Filter (BRF) which is applied to FPGA chip. That used in term of Programmable Device, we can program it to be any variety of digital circuit. To design digital circuit in FPGA chip , we have to draw the schematics along with the Hardware Description Language (VHDL).

The principle of design is base on the Kaiser Window method that we can adjust pass band ripple(δ_{pass}) and stop band attenuation (A_{stop}). It cause this Digital Filter can be designed to adjustable pass band ripple(δ_{pass}), stop band attenuation (A_{stop}) and filter order.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

เรื่อง	หน้า
บทที่ 1 บทนำ	1
1.1 วัตถุประสงค์	1
1.2 แนวคิดและโครงสร้างของงาน	1
บทที่ 2 ทฤษฎีและหลักการ	2
2.1 โครงสร้างและสถาปัตยกรรมของ FPGA	2
2.2 ทฤษฎีการสุ่มตัวอย่าง	10
2.3 Linear Time Invariant System	11
2.4 คุณสมบัติของ Time Invariant System	12
2.5 CONVOLUTION SUM	13
2.6 ชนิดของ FILTER แบบต่างๆ	16
2.7 Windows Function	17
2.8 Kaiser Window ในการออกแบบ FILTER แบบ FIR	19
2.9 การออกแบบ FILTER อื่นๆ	22
2.10 วงจร Analog to Digital	22
2.11 วงจร Digital to Analog	28
บทที่ 3 การออกแบบและการสร้าง	32
3.1 การออกแบบส่วนของ Hardware	32
3.2 การออกแบบส่วนของ Software	36
3.3 SOFTWARE ที่ใช้ในการคำนวณค่าสัมประสิทธิ์	45
บทที่ 4 ผลการทดลอง	47
บทที่ 5 สรุปผลการทดลอง	55
ภาคผนวก	

บรรณานุกรม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1

บทนำ (Introduction)

ในปัจจุบันความก้าวหน้าทางเทคโนโลยีอิเล็กทรอนิกส์มีการพัฒนาไปเร็วมาก รวมถึงการพัฒนาทางด้านอุปกรณ์อิเล็กทรอนิกส์ที่ต้องการให้มีขนาดเล็กลงแต่ประสิทธิภาพสูงขึ้นและใช้พลังงานต่ำ มีเสถียรภาพในการทำงานสูงใช้งานง่าย FPGA (Field Programmable Gate Array) ก็เป็นอุปกรณ์ชนิดหนึ่งที่ได้มีการพัฒนาขึ้นมาเพื่อให้ผู้ใช้สามารถสร้างวงจรที่ต้องการลงในอุปกรณ์ได้เองโดยไม่ต้องสร้างวงจรทางานาลอกใหญ่ๆ โดยที่ปัจจุบันมีเครื่องมือที่ช่วยในการออกแบบ การจำลองการทำงาน จนถึงการจัดสร้างวงจรลงในตัวอุปกรณ์ ทำให้ปัจจุบันได้มีการใช้ FPGA กันมากขึ้น

ความเป็นมาของโครงการ

จากความต้องการที่จะพัฒนางจรกรองสัญญาณให้มีประสิทธิภาพมากขึ้นมีการทำงานเข้าใกล้วงจรกรองสัญญาณในอุดมคติ เราจำเป็นต้องพัฒนาการออกแบบรวมทั้งอันดับการกรองให้สูงขึ้น ซึ่งถ้าเป็นการพัฒนาเชิงอนาลอกจะยุ่งยากในการสร้างมาก ดังนั้นวงจรกรองสัญญาณเชิงเลขจึงเป็นทางเลือกที่ดีในการออกแบบ โดยการใช้วงจรกรองสัญญาณเชิงเลขแบบ FIR (Finite Impulse Response) ซึ่งมีผลการตอบสนองทางเฟสคงที่ ซึ่งสามารถสร้างโดยอุปกรณ์ FPGA

1.1 วัตถุประสงค์

- เพื่อศึกษาการออกแบบวงจรกรองสัญญาณเชิงเลข
- เพื่อศึกษาการใช้งานอุปกรณ์ FPGA
- เพื่อศึกษาภาษา VHDL ที่ใช้ในการออกแบบวงจรดิจิทัล

1.2 แนวคิดและโครงสร้างของงาน

แนวคิดคือ การนำอุปกรณ์ FPGA มาใช้งานเป็นวงจรกรองสัญญาณเชิงเลข โดยหลักการคอนโวลูชัน (Convolution) โดยทำการสุ่มสัญญาณอินพุตมาทำการแปลงจากอนาลอกเป็นดิจิทัลแล้วเก็บไว้ในหน่วยความจำชั่วคราว (RAM) จากนั้นนำมาประมวลผลบน FPGA กับสัมประสิทธิ์ของวงจรกรองสัญญาณตามหลักการคอนโวลูชัน จากนั้นนำสัญญาณที่ได้มาแปลงกลับเป็นสัญญาณอนาลอก เพื่อส่งออกเป็นสัญญาณเอาต์พุตของวงจรต่อไป

บทที่ 2

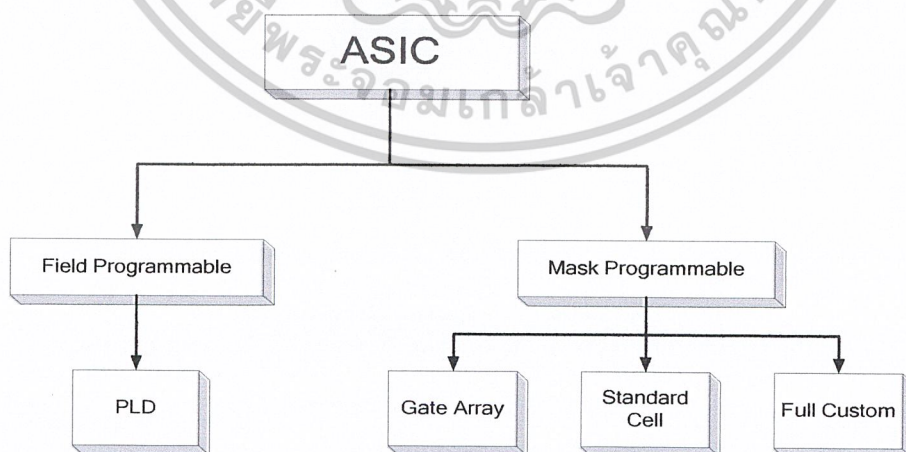
ทฤษฎีและหลักการ

2.1 โครงสร้างและสถาปัตยกรรมของ FPGA (Field Programming Gate Array)

ความก้าวหน้าของเทคโนโลยีอิเล็กทรอนิกส์ในปัจจุบัน ทำให้เกิดการพัฒนาด้านความสามารถของอุปกรณ์อิเล็กทรอนิกส์ต่างๆ มากมาย ซึ่งทำให้อุปกรณ์อิเล็กทรอนิกส์ มีขนาดที่เล็กลง ใช้งานง่ายขึ้น และราคาถูกลง ทำให้เกิดการลดค่าใช้จ่ายและใช้พลังงานน้อยลง ในขณะเดียวกันก็ได้มีการเพิ่มประสิทธิภาพและระดับความเชื่อถือได้ของวงจรรวมที่สูงขึ้น เห็นได้ชัดจากเทคโนโลยีไมโครโปรเซสเซอร์และหน่วยความจำในปัจจุบัน ในการพัฒนางจรรวมอิเล็กทรอนิกส์เราจะพิจารณาออกเป็น 2 ส่วน ส่วนที่ 1 เป็นการพัฒนาทางด้านวงจรรวมอนาล็อก ซึ่งการพัฒนาในส่วนนี้เมื่อเราออกแบบวงจรรวมออกมาได้แล้ว จำเป็นจะต้องนำไป Fabrication ซึ่งจะต้องทราบเทคโนโลยีที่จะใช้ในการสร้าง มีค่าใช้จ่ายสูงและใช้ระยะเวลานาน ส่วนที่ 2 เป็นการพัฒนาทางด้านวงจรรวมดิจิทัล ในปัจจุบันนี้เทคโนโลยีการผลิตอุปกรณ์อิเล็กทรอนิกส์ ได้มีความก้าวหน้ามากขึ้นซึ่งเมื่อเราออกแบบวงจรรวมดิจิทัลแล้วเราสามารถที่จะ Implement ลงบนชิปไอซี ได้เลยซึ่งจะกล่าวต่อไป

ในการพัฒนางจรรวมดิจิทัลแบบเก่าซึ่งใช้ดิจิทัลไอซีมาต่อวงจรจะเห็นว่ามีความยุ่งยากมากทั้งขนาดและการทดสอบความถูกต้องในการทำงานทำให้เกิดช่องว่างระหว่างไอซีมาตรฐานและวงจรรวมมากยิ่งขึ้นในการพัฒนางจรรวมทางดิจิทัลได้เพิ่มความหนาแน่นและจำนวนฟังก์ชันลอจิก (Function Logic) ที่เหมาะสม นักออกแบบอุปกรณ์ทางด้านดิจิทัลได้พิจารณาถึงการผลิตให้มีปริมาณมากๆ และในการผลิตวงจรรวมเฉพาะงาน

ASIC: Application Specific Integrated Circuit จะแบ่งตามการสร้างออกเป็น 2 กลุ่ม คือ



รูปที่ 2.1 แสดงแผนผังการแบ่งกลุ่มของวงจรรวม ASIC

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้拿去ใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.1.1 Mask Programmable

การใช้งานวงจรรวมเฉพาะงาน ASIC ในเชิงพาณิชย์ จำเป็นต้องใช้วงจรรวมเฉพาะงาน ASIC แบบ Mask Programmable เนื่องจากต้นทุนต่อเนื่องต่อนึ่งตัวจะต่ำกว่าวงจรรวมแบบ Field Programmable ASIC. ในกรณีที่ปริมาณการผลิตสูงนับพันนับหมื่นตัวขึ้นไป ตัวอย่างเช่น วงจร CPLD ตัวหนึ่งอาจสูงถึงหนึ่งพันบาท ในขณะที่ถ้าผลิตวงจรรวมที่มีคุณสมบัติเหมือนกันทุกประการโดยใช้ Mask Programmable แล้ว ราคาตัวหนึ่งจะลดลงเหลือเพียงไม่ถึงหนึ่งร้อยบาท การใช้งานวงจรรวมแบบ Mask Programmable จึงมีบทบาทสำคัญในการผลิตสินค้าอิเล็กทรอนิกส์ในเชิงพาณิชย์ในปัจจุบัน

วงจรรวมเฉพาะงานประเภทนี้ หลังจากผู้ใช้ออกแบบวงจรและตรวจสอบการทำงานจนเป็นที่น่าพอใจแล้ว ต้องส่งให้ผู้ผลิตทำการเจือสาร ไม่สามารถโปรแกรมได้ด้วยตนเองเหมือนกับวงจรรวมเฉพาะงานแบบ Field Programmable ช่วงเวลาการผลิตออกใช้งานจึงใช้เวลานานนับเดือนและมีค่าใช้จ่ายเบื้องต้นในการเจือสารสูง วงจรรวมเฉพาะงานแบบ Mask Programmable ASIC ในปัจจุบันได้แก่ เกตอะเรย์ , เซลล์มาตรฐานและฟูลคัสตัม (Full Custom)

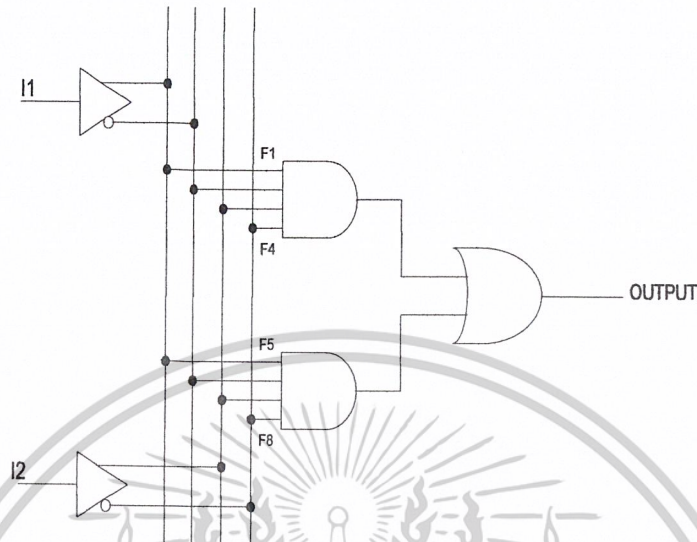
2.1.2 Field Programmable

อุปกรณ์วงจรรวมเฉพาะงาน ASIC แบบ Field Programmable มีอยู่มากมายหลายชนิด แต่มีลักษณะการสร้างหรือกำหนดการทำงานของวงจรที่เหมือนกัน กล่าวคือ ผู้ใช้งานสามารถออกแบบและสร้างวงจรที่ต้องการใช้ลงในตัวอุปกรณ์ได้เองโดยไม่ต้องไปโรงงานเพื่อผลิต โดยเฉพาะอย่างยิ่งในปัจจุบันนี้มีเครื่องมือที่ใช้ช่วยในการออกแบบ และสร้างวงจรร่วมกับไมโครคอมพิวเตอร์ที่มีความสามารถสูงในการพัฒนาตั้งแต่ขั้นการออกแบบ การจำลองการทำงานจนถึงจัดสร้างวงจรลงในอุปกรณ์ รวมทั้งอุปกรณ์ Field Programmable เหล่านี้สามารถหาซื้อได้ง่าย ทำให้การสร้างวงจรรอิเล็กทรอนิกส์จนถึงระบบไมโครโปรเซสเซอร์หันมาใช้อุปกรณ์จำพวกนี้เป็นอุปกรณ์ประกอบในวงจรแทนอุปกรณ์ย่อยๆ แยกชิ้น (Discrete Component)

2.1.3 พีแอลดี (PLD: Programmable Logic Device)

ภายในอุปกรณ์พีแอลดีถูกเตรียมเป็นวงจรพื้นฐาน ทางด้านลอจิกต่อกันอยู่เป็นกลุ่มมีทั้งวงจรคอมไบเนชัน (Combination) และซีควENTIAL (Sequential) ซึ่งมีส่วนประกอบเป็นวงจรรวมในเทคโนโลยีของวงจรที่ใช้สร้างพีแอลดีมีทั้ง ทีทีแอล (TTL) อีซีแอล (ECL) และ ซีเอ็มอส (CMOS) ตามความเหมาะสมของแต่ละระบบ อุปกรณ์พีแอลดีทุกชนิดมีหลักการพื้นฐานของวงจรรวมในที่เหมือนกัน โดยมีวงจรคอมไบเนชันที่ให้ผลเป็นผลคูณร่วมบวก (Sum of product) ประกอบไปด้วยชุดของแอนด์เกตที่ต่อร่วมกับออคเกต การโปรแกรมคือการเลือกว่าจะให้มีการต่ออินพุตภายในของแอนด์เกตกับสัญญาณอินพุตใดบ้าง ซึ่งมีทั้งจากภายนอกและสัญญาณป้อนกลับจากเอาต์พุตภายในเอง การติดต่ออินพุตของออคเกตกับเอาต์พุตของ แอนด์เกต ตัวต่างๆ วิธีการเลือกหรือการโปรแกรมทางกายภาพ อินพุตต่างๆของอุปกรณ์ทุกตัวจะถูกต่อผ่านพิวส์เข้ากับแหล่งสัญญาณ ซึ่งถ้าไม่เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

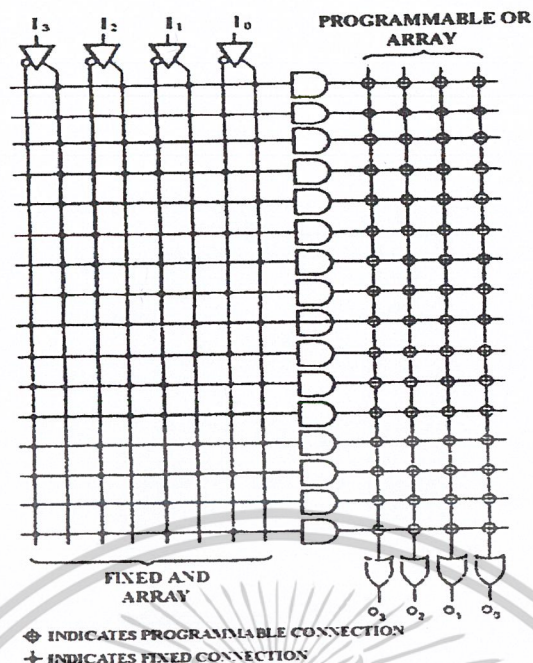
ต้องการใช้สัญญาณใดจะตัดพีวส์ทำให้สามารถโปรแกรมได้ครั้งเดียว อุปกรณ์พีแอลดีบางชนิดใช้มอสทรานซิสเตอร์แทนพีวส์ทำให้สามารถโปรแกรมโดยใช้กระแสไฟฟ้า และสามารถลบและโปรแกรมใหม่เข้าไปได้อีก



รูปที่ 2.2 แสดงวงจรพื้นฐานของอุปกรณ์พีแอลดีซึ่งอยู่ในรูปผลคูณร่วมบวก

2.1.4 พรอม (PROM: Programmable Read Only Memory)

พรอมคือหน่วยความจำรอม (ROM) โปรแกรมได้ ซึ่งนับว่าเป็นอุปกรณ์พีแอลดี ชนิดหนึ่ง ซึ่งวงจรภายในของพรอมเสมือนกับประกอบไปด้วย แถวลำดับของแอนด์และออเกต (And/Or Array) ผลเอาต์พุตที่ขาเอาต์พุตสามารถแสดงในสมการของฟังก์ชันผลคูณร่วมบวก (Sum of Product) ของสัญญาณอินพุตที่ขาแอนด์เรส รูปที่ 3 แสดงถึงลักษณะการต่อเป็นแถวลำดับของแอนด์เกตและออเกตของพรอมขนาด 16×4 บิต วงจรทางด้านซ้ายบนสุดเป็น แอนด์เกตที่ให้ผลเป็นผลคูณ (Product) ของกรณีนินพุตเป็น 0000 แอนด์เกตที่อยู่ถัดลงมาเป็นผลคูณของกรณีนินพุตเป็น 0001, 0010, ... จนถึงตัวล่างสุดคือผลคูณในกรณีนินพุตเป็น 1111 ที่เอาต์พุตแต่ละบิตของหน่วยความจำ สามารถเลือกได้ว่าจะให้เป็น 1 ในกรณีนินพุตจากแอนด์เรส เป็นอย่างไรบ้าง เหมือนกันเป็นจากนำเอาต์พุตจากผลคูณที่ต้องการให้เอาต์พุตแต่ละบิตเป็น 1 ไปออกกันจึงเปรียบเหมือนกับว่าในพรอมมีจำนวนแอนด์เกตเท่ากับจำนวนตำแหน่งความจำ และมีออเกตจำนวนเท่ากับจำนวนบิตของสัญญาณข้อมูลออก (Data output) อินพุตออเกตทุกตัวสามารถต่อเข้ากับแอนด์เกตตัวใดก็ได้ทุกตัว ซึ่งอาจเรียกได้ว่าเป็นพีแอลดีแบบ Fixed AND / Programmable OR

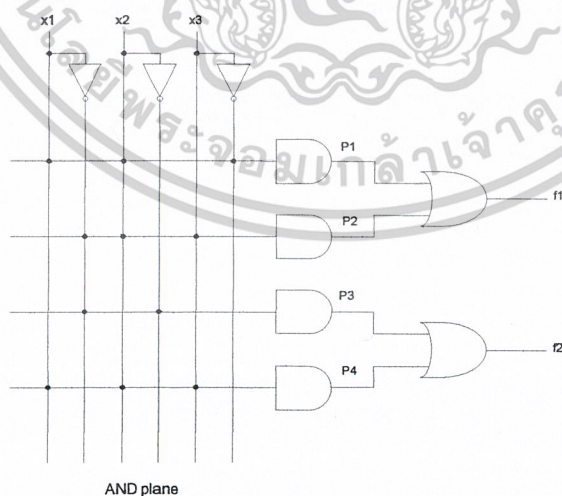


รูปที่ 2.3 แสดงลักษณะของพอร์มเมื่อเปรียบเทียบเป็นวงจรในรูปผลคูณร่วมบวก

2.1.5 พีเอแอล (PAL: Programmable Array Logic)

ในช่วงกลางปี ค.ศ. 1970 บริษัทเอ็มเอ็มไอ (MMI : Monolithic Memory) ในประเทศสหรัฐอเมริกา ได้พัฒนาอุปกรณ์พีเอแอล เป็นพีเอแอลชนิดใหม่โดยใช้เทคโนโลยีแบบแอลเอสไอ (LSI : Large Scale Integration) สามารถโปรแกรมเลือกวงจรภายใน โดยใช้ฟิวส์ที่เชื่อมต่ออยู่ระหว่างสัญญาณอินพุตภายนอก และการป้อนกลับจากภายในกับแอนด์เกตที่ต่อเป็นฟังก์ชันผลคูณ (Product) อยู่ในตัววงจรรวม

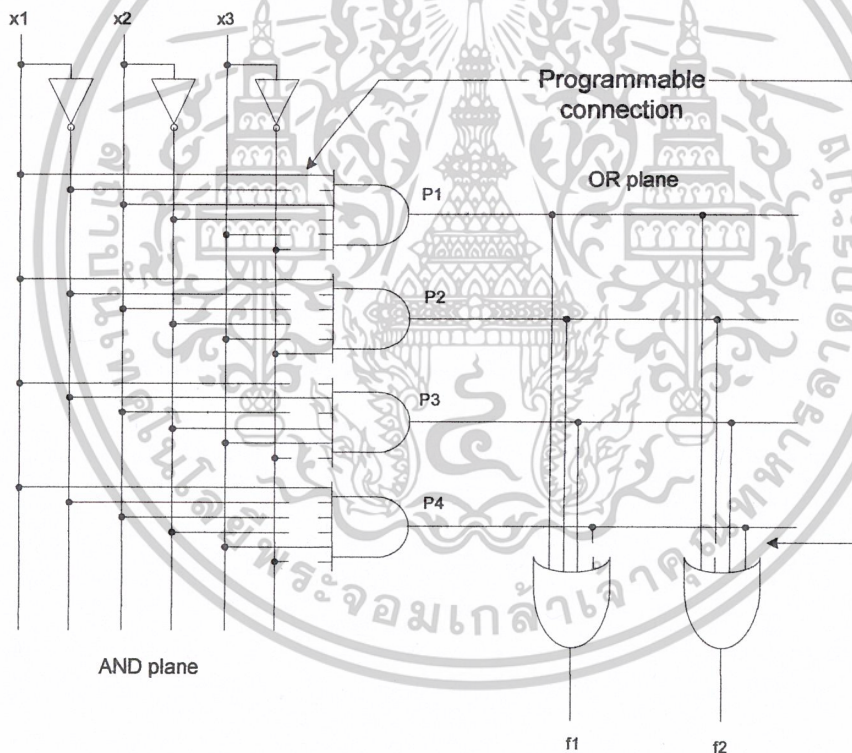
รูปที่ 2.4 แสดงโครงสร้างภายในของพีเอแอล



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.1.6 พีแอลเอ (PLA: Programmable Logic Array)

อุปกรณ์ที่สามารถโปรแกรมได้แบบพีแอลเอเกิดขึ้นเมื่อปี ค.ศ. 1975 โดยบริษัท ซิกเนติกส์ (Signetics) สหรัฐอเมริกา ซึ่งเป็นบริษัทผู้ผลิตวงจรรวมรายใหญ่รายหนึ่ง ผลิตและนำเสนออุปกรณ์โดยใช้ชื่อว่า เอฟพีแอลเอ (FPLA : Field Programmable Logic Array) สามารถโปรแกรมการต่อลอจิกทั้งทางด้านแอนด์เกตและออร์เกตได้ และยังสามารถเลือกเอาต์พุตเป็น Active High หรือ Active Low โดยต่อผ่านเอ็กคูลส์บอเกต ให้ทำหน้าที่เป็นอินเวอร์เตอร์หรือเป็นอินเวอร์เตอร์แล้วแต่ภายในของพีแอลเอ ต่อมาปี ค.ศ. 1979 บริษัทซิกเนติกส์ ได้สร้างเอฟพีแอลเอใหม่ที่มีเรจิสเตอร์ต่ออยู่ในวงจรเพิ่มขึ้น รวมทั้งสามารถเลือกสัญญาณอินพุตที่มาจากการป้อนกลับจากรีจิสเตอร์ได้ด้วย ทำให้สามารถใช้อุปกรณ์พีแอลเอใหม่นี้สร้างวงจร State Machine ได้ อุปกรณ์ใหม่ที่มีเรจิสเตอร์ อยู่ด้วยนี้ถูกตั้งชื่อใหม่เป็น เอฟพีแอลเอส (FPLS: Field Programmable Logic Sepucncer) มีทั้งที่เป็นพีแอลและซีมอส



รูปที่ 2.5 แสดงวงจรพื้นฐานภายในของพีแอลเอ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้拿去ใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.1.7 FPGA (Field Programmable Gate Array)

FPGA เป็นชิพในลักษณะของ Programmable Device ที่เราสามารถโปรแกรมตัวมันให้สามารถเป็นวงจรดิจิทัลใดๆก็ได้ โครงสร้างข้างในประกอบด้วย อาร์เรย์ของลอจิกเกตต่างๆมากมาย ซึ่งในปัจจุบันความจุเกตภายในตัวชิพ FPGA ได้เพิ่มขึ้นในระดับไม่กี่ปันตัว จนถึงล้านตัว ดังนั้นจึงรองรับวงจรดิจิทัลที่มีความสลับซับซ้อนเป็นอย่างมาก และรวมถึงความเร็วในการทำงานที่ได้เปรียบอย่างมากเมื่อเปรียบเทียบกับไมโคร โปรเซสเซอร์ นอกจากนี้ในด้านการออกแบบพัฒนาและทดสอบก็ทำได้ง่าย เนื่องจากเราสามารถโปรแกรมได้เองและสามารถโปรแกรมหลายๆครั้ง จึงไม่มีความเสี่ยงใดๆทั้งสิ้น และในปัจจุบันการออกแบบที่เป็น FPGA Base IC Design นั้นก็เป็นที่ยอมรับกันและมีแนวโน้มที่จะนำมาใช้งานมากขึ้นเรื่อยๆ

2.1.8 เทคโนโลยีของ FPGA

เนื่องจากเป็นลักษณะของชิพที่สามารถโปรแกรมได้นั้นก็คือ สามารถกำหนดจุดเชื่อมต่อต่างๆภายในได้ เพื่อประกอบเป็นลักษณะของวงจรตามที่เรารต้องการได้ ซึ่งเราสามารถแบ่งลักษณะของจุดเชื่อมต่อต่างๆได้ดังนี้

1. Physical Changing

1.1 Fused สามารถโปรแกรมได้เพียงครั้งเดียว หลังจากโปรแกรมจุดเชื่อมต่อขาดจากกัน

1.2 Anty Fuse สามารถโปรแกรมได้เพียงครั้งเดียว หลังจากโปรแกรม จุดเชื่อมต่อจะเชื่อมถึงกัน

2. Memory Base

EEPROM – Base FPGA

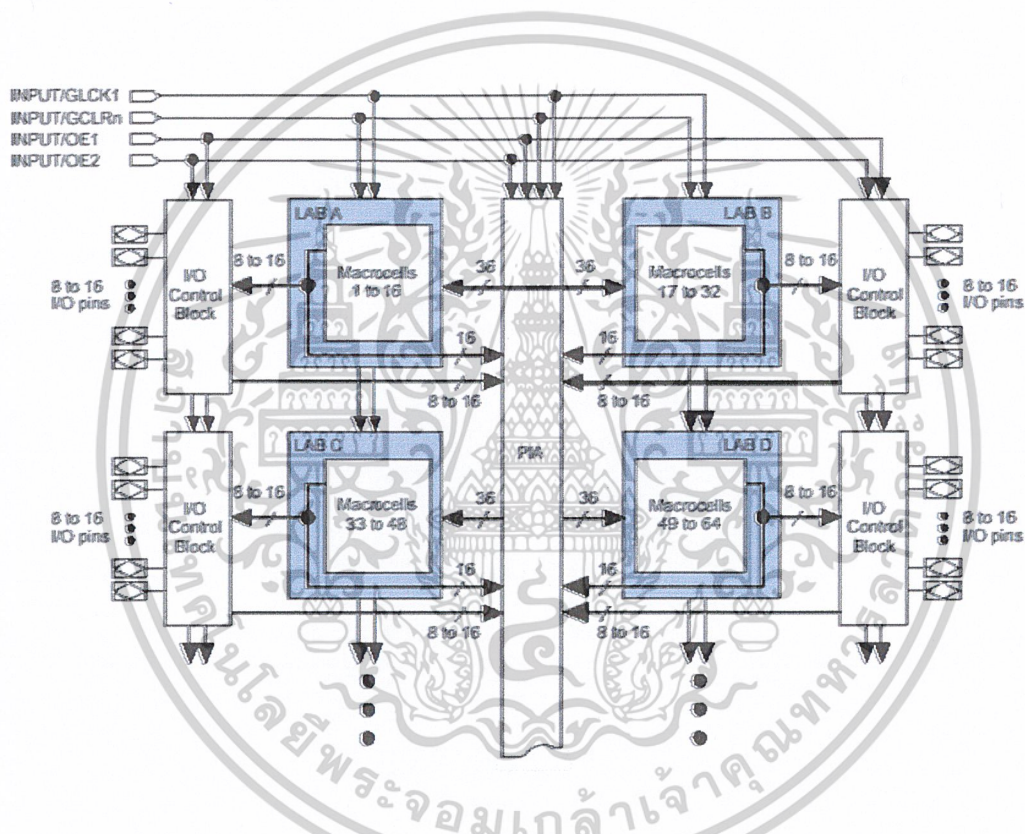
มักเรียก FPGA ประเภทนี้ว่า CPLD จะใช้เทคโนโลยีเหมือนกับ EEPROM ในการโปรแกรม ซึ่งจะทำให้มีความจุของเกตต่ำ โดยทั่วไปจะน้อยกว่า 20,000 เกต แต่ข้อดีของ EEPROM-Base FPGA ก็คือสามารถเก็บข้อมูลที่โปรแกรมลงไปได้โดยไม่จำเป็นต้องมีไฟเลี้ยง และในการโปรแกรม จะใช้ทรานซิสเตอร์ 1 ตัวต่อ 1 บิต สามารถโปรแกรมได้ประมาณ 10,000 ครั้ง มักจะมีการจัดสถาปัตยกรรมในรูปแบบอาร์เรย์ ใช้ AND- OR Plane ในการทำลอจิกฟังก์ชัน

SRAM - Base FPGA

จะใช้เทคโนโลยีเหมือน SRAM ในการโปรแกรม ซึ่งจะสามารถทำให้โปรแกรมซ้ำได้ไม่จำกัดจำนวนครั้ง มีความจุของเกตปานกลางถึงสูงมาก (ประมาณ 10,000 – 1,000,000 เกต) จะใช้ Look-Up Table ในการทำลอจิกฟังก์ชัน (Logic Function) และจะมีการจัดทรัพยากรภายในโครงสร้างแบบอาร์เรย์ ข้อดีของ SRAM - Base FPGA ก็คือใช้เวลาในการโปรแกรมน้อย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้拿去ใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

(ในระดับ ms) การโปรแกรมจะทำได้ง่ายเทียบเท่ากับการเขียน SRAM ทัวไป และไม่จำกัดจำนวนครั้งในกระบวนการผลิตจะทำได้ง่ายและเหมาะสมสำหรับการออกแบบวงจรที่มีความสลับซับซ้อน ข้อเสียก็คือไม่สามารถเก็บโปรแกรมในภาวะที่ไม่มีไฟเลี้ยงได้ มักจะใช้ FPGA ชนิดนี้ควบคู่กับ ROM เพื่อเก็บโปรแกรมและจะโหลดโปรแกรมเข้าในตัวชิพเมื่อเริ่มต้นใช้งาน ลักษณะโครงสร้างภายใน แสดงในรูปที่ 2.6



รูปที่ 2.6a. โครงสร้างภายในของ FPGA ตระกูล MAX7000S

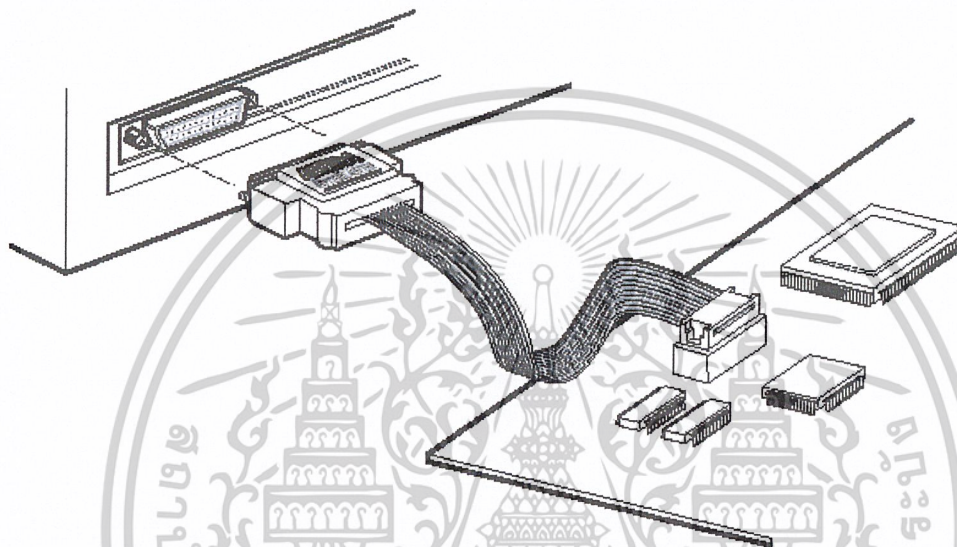
รูปที่ 2.6 โครงสร้างภายในของ FPGA ตระกูล FLEK10K

ทำไมการออกแบบถึงทำได้ง่ายและสะดวกรวดเร็ว

1. ในการออกแบบเราไม่จำเป็นต้องรู้ถึงโครงสร้างภายในของตัวชิพ เพียงแต่รู้ขั้นตอนการออกแบบลอจิกก็พอไม่เหมือนไมโครโปรเซสเซอร์ที่เราจำเป็นต้องรู้โครงสร้างภายในรวมถึงการศึกษาการเขียนภาษา Assembly ซึ่งแต่ละตัวก็ไม่เหมือนกันด้วย
2. การใช้ภาษาในการอธิบายการทำงานของวงจร ที่เรียกว่า HDL (Hardware Description Language) จะช่วยได้มากสำหรับการออกแบบ เนื่องจากเป็นวิธีการที่มีความยืดหยุ่นสูง ทำได้เร็วและไม่จำเป็นต้องรู้ลักษณะของวงจรที่จะออกแบบว่าต่อกันอย่างไร เพียงแต่กำหนดลักษณะการเอกสารนี้เป็นเอกสารที่ส่งมอบไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นับญาติให้เข้าไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทำงานให้มัน และตัวซอฟต์แวร์จะทำ Synthesis and Optimize ให้เราเอง นอกจากนี้ภาษาที่ใช้ ยังเป็นมาตรฐานเดียวกัน สามารถใช้ได้กับชิปทุกตัวและทุกบริษัท

3. การโปรแกรมสามารถทำได้เองและใช้เวลาไม่นาน โดยเพียงแค่ส่งข้อมูลผ่านสายควาน์ โหลดทางพอร์ตของคอมพิวเตอร์ก็สามารถโปรแกรมตัวชิปได้ขณะที่อยู่ในระบบโดยไม่ต้องถอดมาโปรแกรมข้างนอก ดังรูปที่ 2.7 และที่สำคัญสามารถโปรแกรมได้หลายครั้ง จึงทำให้ง่ายในการแก้ไขและพัฒนาโดยที่ไม่ต้องเสียค่าใช้จ่ายเพิ่มแต่อย่างใด



รูปที่ 2.7 การโปรแกรมลงในชิป

การออกแบบโดยใช้ภาษาอธิบายพฤติกรรมของฮาร์ดแวร์ (HDL)

ในการออกแบบวงจรดิจิทัลนั้นสามารถทำได้โดยการวาดวงจร (Schematic) หรือใช้ภาษาอธิบายพฤติกรรม (Hardware Description Language) ของฮาร์ดแวร์ ในกรณีของการออกแบบวงจรด้วย ASIC เราจะต้องเขียนวงจรด้วย Schematic แล้วนำวงจรมานั้นไป Simulate หากผลออกมาเป็นที่พอใจก็จะต้อง Layout เป็นชั้นสาร และในการออกแบบ ASIC จำเป็นจะต้องรู้ว่าจะใช้เทคโนโลยีอะไรเช่นที่ NECTEC ใช้อยู่ จะใช้เทคโนโลยีของ ALCATEL 0.5 μm . เมื่อได้ชั้น Layout เสร็จสมบูรณ์ ก็จะส่งไป Fabrication เป็นชิปไอซี แล้วจึงจะนำมาใช้งานได้ แต่ในการออกแบบวงจรด้วย FPGA โดยการใช้ Schematic หรือใช้ภาษาอธิบายการทำงานของวงจรจะทำได้สะดวกกว่า เพราะการทำวิธีนี้ ผู้ออกแบบไม่ต้องคำนึงถึงเทคโนโลยีที่จะใช้และที่สำคัญ การออกแบบโดยวิธีนี้สามารถแก้ไขโมเดล (Model) หรือเปลี่ยนแปลงเทคโนโลยีได้สะดวกกว่า เพราะไม่ต้องวาดวงจรใหม่ นั่นคือการออกแบบโดยใช้ภาษาอธิบายฮาร์ดแวร์ จะทำให้โมเดลที่ได้ไม่ขึ้นกับเทคโนโลยี สำหรับภาษาที่ใช้สำหรับอธิบายพฤติกรรมของฮาร์ดแวร์ที่ใช้กันก็มี VHDL,

AHDL, Verilog

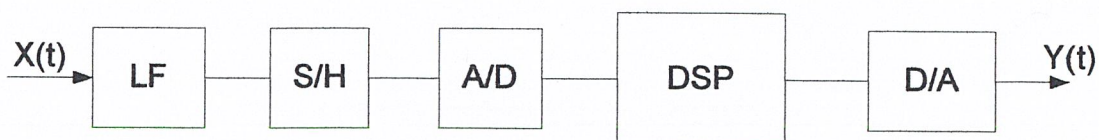
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้拿去ใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.1.9 การสังเคราะห์วงจร (Logic Synthesis)

ในขั้นตอนนี้จะใช้ซอฟต์แวร์ในการสังเคราะห์วงจร (Synthesis Tools) ทำการสังเคราะห์พฤติกรรมของวงจรที่ได้จากการออกแบบด้วย Schematic หรือ VHDL ซึ่งต้องทำการตรวจสอบด้วยว่าซอฟต์แวร์นั้นสนับสนุนเทคโนโลยี FPGA (FPGA Library) ที่ต้องการหรือไม่ ตัวอย่างเช่น FPGA ของบริษัท XILINX และบริษัท ALTERA จะมีซอฟต์แวร์หลายตัวที่สามารถใช้ได้ เช่น Max+Plus II ในขั้นตอนนี้ซอฟต์แวร์สังเคราะห์วงจรจะทำการแปลงโค้ด VHDL และทำการ Optimize เพื่อให้ได้วงจรตามเทคโนโลยีที่เลือกใช้ ในการสังเคราะห์วงจรรุ่นวงจรระดับเกต (Gate Level) จะไม่เหมาะสมกับโครงสร้างที่มีอยู่ในอุปกรณ์ FPGA ดังนั้นในการ Optimize ซอร์ฟแวร์สังเคราะห์วงจร จะต้องทำการ Optimize ให้ได้เป็นวงจรที่ประกอบด้วยกลุ่มของลอจิกที่เหมาะสมกับอุปกรณ์ FPGA นั้นๆ จึงทำให้ผลที่ได้มีประสิทธิภาพและในขั้นตอนการสังเคราะห์วงจรรุ่นผู้ออกแบบสามารถกำหนดข้อบังคับสำหรับโมเดลแต่ละตัวได้ เช่น ข้อบังคับในเรื่องเวลา (Timing Constraints) หรือข้อบังคับในเรื่องของพื้นที่ (Area) หรือกำหนดชนิดและตำแหน่งของ I/O ซึ่งข้อบังคับเหล่านี้จะถูกนำไปใช้ในขั้นตอน Optimize เพื่อให้วงจรที่ได้เป็นไปตามที่กำหนด ส่วนสำคัญในการ Optimize คือการเทียบ (Mapping) โมเดลให้เข้ากับเทคโนโลยีที่ใช้เพื่อให้ได้วงจรที่เหมาะสมกับโครงสร้างและสถาปัตยกรรมภายในอุปกรณ์ FPGA เมื่อทำการสังเคราะห์วงจรเสร็จแล้ว ซอร์ฟแวร์ การสังเคราะห์วงจรก็จะมีรายงานผลว่าโมเดลที่ออกแบบไปนั้นเป็นอย่างไร เช่นมีค่าความหน่วง (Delay) เท่าไหร่ ใช้ทรัพยากรต่างๆใน FPGA อะไรบ้าง เมื่อมาถึงขั้นตอนนี้ผู้ออกแบบก็จะทราบว่าโมเดลเป็นไปตามข้อบังคับหรือไม่ ถ้าไม่ก็สังเคราะห์ใหม่จนกว่าจะเป็นไปตามที่กำหนด

2.2 ทฤษฎีการสุ่มตัวอย่าง

อาจกล่าวได้ว่า สัญญาณในธรรมชาติส่วนมาก เช่น สัญญาณเสียง สัญญาณสั่นสะเทือนของพื้นโลก คลื่นหัวใจ หรือ การแปรค่าไปของอุณหภูมิ เหล่านี้เป็นไปในลักษณะที่มีความสัมพันธ์กับเวลาที่เปลี่ยนแปลง หรือ กล่าวได้ว่าเป็นสัญญาณ Analog การนำสัญญาณเหล่านี้ ไปประมวลผลในลักษณะของ Digital หรือ Discrete Signal Processing ได้ จะต้องใช้ระบบการประมวลผล ดังรูปที่ 2.8



รูปที่ 2.8 ระบบการประมวลผลสัญญาณ Analog โดยใช้ DSP

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้拿去ใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ซึ่งตามรูป วงจร S/H เป็นวงจรสุ่มและคงค่าสัญญาณไว้ เพื่อให้วงจร A/D ทำการแปลงสัญญาณจาก Analog เป็น Digital เป็น Digital อีกทีหนึ่ง

ในการแปลงสัญญาณ Analog เป็นสัญญาณ Digital ความถี่ในการสุ่มนั้นจะต้องมากพอที่จะไม่ทำให้สัญญาณสูญเสียข้อมูลที่สำคัญไป

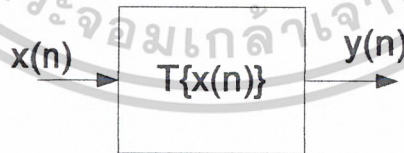
ทฤษฎีการสุ่ม (Sampling Theory) ของ Shannon กล่าวว่าไว้ว่า ถ้าหากมี Analog Signal $x(t)$ ที่ทำการแปลง Fourier หรือ Power Spectrum ของสัญญาณมีแถบความถี่ปฏิบัติงานเท่ากับ f_0 แล้วเราจะสามารถทำการสุ่มโดยที่สัญญาณไม่สูญเสียเนื้อหาที่สำคัญก็ต่อเมื่อความถี่ในการสุ่ม f_s มีค่ามากกว่าสองเท่าของความถี่ f_0 หรือ

$$f_s \geq 2f_0 \quad (2.1)$$

โดยทั่วไปเราอาจสุ่มด้วยความถี่ $f_s = 2f_0$ พอดี ค่าความถี่นี้เรียกว่า Nyquist Frequency แต่ในทางปฏิบัติเพื่อหลีกเลี่ยงการไม่เป็นเชิงเส้นของการสุ่ม เราจึงมักใช้ความถี่ในการสุ่มที่มีความมากกว่า Nyquist Frequency ขึ้นไป และความถี่ในการสุ่มที่ใช้นั้นขึ้นอยู่กับลักษณะงาน ไม่กำหนดขอบเขตที่แน่นอน ดังนั้นการสุ่มสัญญาณที่จะได้ผลถูกต้องนั้น เราจะต้องรู้แถบความถี่ปฏิบัติงานของสัญญาณ ดังนั้นในการประมวลผลสัญญาณเราอาจจะใช้ Low Pass Filter เป็นตัวกำหนดแถบความถี่ในการปฏิบัติงานของสัญญาณก่อนที่จะสัญญาณจะเข้าสู่วงจร S/H

2.3 Linear Time Invariant System

โดยปกติแล้วในการประมวลผลสัญญาณ ระบบนั้นหมายถึง ขั้นตอนวิธี หรือกระบวนการที่ใช้ในการแปลงคุณสมบัติของลำดับสัญญาณอันหนึ่งไปอีกอันหนึ่ง เราสามารถเขียนแผนภาพได้ดังนี้



รูปที่ 2.9 ตัวต้นแบบเชิงคณิตศาสตร์ของระบบ

สัญญาณทั้งสองมีความสัมพันธ์กันตามสมการ

$$y(n) = T\{x(n)\} \quad (2.2)$$

ซึ่ง $T\{\}$ หมายถึง ตัวดำเนินการ (Operator) ที่ใช้แทนขั้นตอนวิธีแบบต่าง ๆ ซึ่งอาจอยู่ในรูปแบบของโปรแกรม วงจร หรือผสมกันระหว่างโปรแกรมและวงจร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้拿去ใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.4 คุณสมบัติของ Time Invariant System

2.4.1 ความเป็นเชิงเส้น ระบบ $T\{.\}$ เป็นระบบเชิงเส้น (Linear System) ก็ต่อเมื่อ ถ้ามี ลำดับเข้า $x_1(n)$ และ $x_2(n)$ และถ้าให้

$$x_1(n) \text{ ----} \rightarrow y_1(n) \text{ หรือ } T\{x_1(n)\} = y_1(n)$$

และ

$$x_2(n) \text{ ----} \rightarrow y_2(n) \text{ หรือ } T\{x_2(n)\} = y_2(n)$$

ดังนั้นถ้าสัญญาณเข้าเป็น

$$ax_1(n) + bx_2(n) \text{ ----} \rightarrow ay_1(n) + by_2(n)$$

หรือ

$$T\{ax_1(n) + bx_2(n)\} = ay_1(n) + by_2(n) \quad (2.3)$$

โดยที่ a และ b เป็นค่าคงที่ใด ๆ

หมายเหตุ คุณสมบัติที่กล่าวมาในข้างต้นความจริงแล้วก็คือ คุณสมบัติตามหลักซ้อนทับ (Superposition Principle) ซึ่งได้กล่าวไว้ว่า ถ้าหากมีระบบ หรือ วงจร ใครง่าย ที่ถูกกระตุ้น สัญญาณ Input เข้าหลาย ๆ สัญญาณ โดยที่แต่ละสัญญาณกระตุ้นมีการคูณค่าคงที่ใดๆ อยู่ด้วย การตอบสนองของระบบสามารถหาได้ โดยการเอาผลตอบสนองที่เกิดจากการแยกกระตุ้นทีละ Input ที่คูณด้วยค่าคงที่มารวมกัน หลักการซ้อนทับมีอยู่ 2 บทแทรกที่นำกล่าวถึง คือ-

2.4.1.1 คุณสมบัติการบวก (Additivity) ถ้า a_1 และ a_2 เป็นค่าใด ๆ และให้ $a_1 = a_2 = 1$ ดังนั้น

จาก

$$T\{x_1(n) + x_2(n)\} = T\{x_1(n)\} + T\{x_2(n)\} = y_1(n) + y_2(n) \quad (2.4)$$

2.4.1.2 คุณสมบัติการเป็นเอกพันธ์ (Homogeneity) กล่าวไว้ว่า ถ้า $a_1 \neq 0$ และ $a_2 = 0$ ผลการตอบสนองของระบบจะเป็น

$$T\{a_1 x_1(n)\} = a_1 T\{x_1(n)\} = a_1 y_1(n) \quad (2.5)$$

2.4.1 ความเป็น Time Invariant ระบบ $T\{.\}$ จะเป็น Time Invariant ก็ต่อเมื่อ

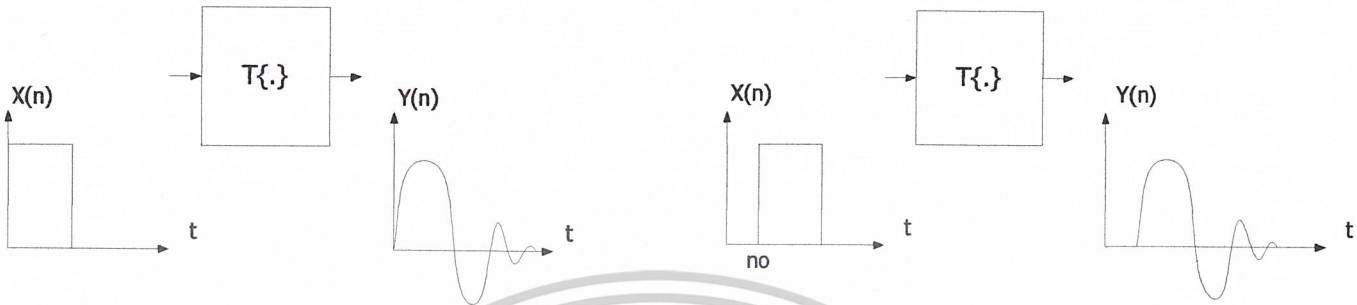
$$x(n) \text{ ----} \rightarrow y(n) \text{ หรือ } T\{x(n)\} = y(n)$$

$$x(n-n_0) \text{ ----} \rightarrow y(n-n_0) \text{ หรือ } T\{x(n-n_0)\} = y(n-n_0) \quad (2.6)$$

สำหรับทุก ๆ ค่าของ k

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้拿去ใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คุณสมบัติข้อนี้หมายความว่า ผลตอบสนองของระบบ จะไม่เปลี่ยนแปลงรูปร่างไปตามเวลาที่ป้อน สัญญาณกระตุ้น ดังรูปที่ 2.10



รูปที่ 2.10 แสดงคุณสมบัติความเป็น Time Invariant of system

2.5 CONVOLUTION SUM

จากคุณสมบัติของ Time Invariant system ถ้าเราให้ $x(n]$ และ $y(n]$ เป็นลำดับ Input และลำดับ Output ของระบบ $T\{.\}$ ตามสมการ

$$x(n) = \sum_{m=-\infty}^{\infty} x(m)\delta(n-m) \quad (2.7)$$

จะได้ผลตอบสนองของระบบ คือ

$$y(n) = T\{x(n)\} = T\left\{\sum_{m=-\infty}^{\infty} x(m)\delta(n-m)\right\} \quad (2.8)$$

เนื่องจากเราต้องการดูผลตอบสนองของระบบ ดังนั้นถ้าพิจารณาให้ $x(n]$ ในแต่ละขณะเป็นค่าคงที่ จะเขียนสมการได้ว่า

$$y(n) = \sum_{m=-\infty}^{\infty} x(m)\delta(n-m) \quad (2.9)$$

ถ้าให้ $h(n]$ เป็น Impulse Response ของระบบ หรือ

$$h(n) = T\{\delta(n)\} \quad (2.10)$$

จะเขียนสมการใหม่ได้เป็น

$$y(n) = \sum_{m=-\infty}^{\infty} x(m)h(n-m)$$

หรือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$y(n) = \sum_{m=-\infty}^{\infty} h(m) \cdot x(n-m) \quad (2.11)$$

สมการนี้เรียกว่า Convolution Sum สมการนี้จะมีประโยชน์มากในการประยุกต์ใช้งานในระบบ DSP นี้มากจะเห็นได้ว่าเนื่องจากสัญญาณ Input $x(n)$ เป็นลำดับที่ถูก $h(n)$ ทำการแปลงระบบเพื่อให้เป็น $y(n)$ ดังนั้นอาจสรุปได้ว่า $h(n)$ หรือ Impulse Response เป็นตัวกำหนดคุณสมบัติของ Time Invariant system หรืออาจกล่าวได้ว่า การออกแบบระบบนั้น จะทำได้โดยการกำหนดคุณสมบัติของ $h(n)$ สมการในข้างต้นนี้จะเขียนได้อีกแบบหนึ่ง คือ

$$y(n) = x(n) * h(n) \quad (2.12)$$

โดยที่สัญลักษณ์ * แทนการ Convolution

ตัวอย่างที่ 2.1 แสดงการคำนวณ Linear Convolution

ถ้าให้ลำดับ $h(n)=[4,3,2,1,0]$ และลำดับ $x(n)=[4,4,4,2,0]$ ให้คำนวณหา

ผลของ Linear Convolution ของลำดับต่อไปนี้

วิธีทำ เนื่องจากข้อมูลมีอยู่ 5 ค่า ตัวแปร n จึงแปรค่าจาก 0,.....,4 และ

$$y(n) = \sum_{m=-4}^4 x(m) \cdot h(n-m)$$

กระจายหา $y(n) = [y(0), y(1), y(2), y(3), y(4), \dots, y(8)]$

$$y(0) = x(0) \cdot h(0)$$

$$y(1) = x(0) \cdot h(1) + x(1) \cdot h(0)$$

$$y(2) = x(0) \cdot h(2) + x(1) \cdot h(1) + x(2) \cdot h(0)$$

$$y(3) = x(0) \cdot h(3) + x(1) \cdot h(2) + x(2) \cdot h(1) + x(3) \cdot h(0)$$

$$y(4) = x(0) \cdot h(4) + x(1) \cdot h(3) + x(2) \cdot h(2) + x(3) \cdot h(1) + x(4) \cdot h(0)$$

$$y(7) = x(3) \cdot h(4) + x(4) \cdot h(3)$$

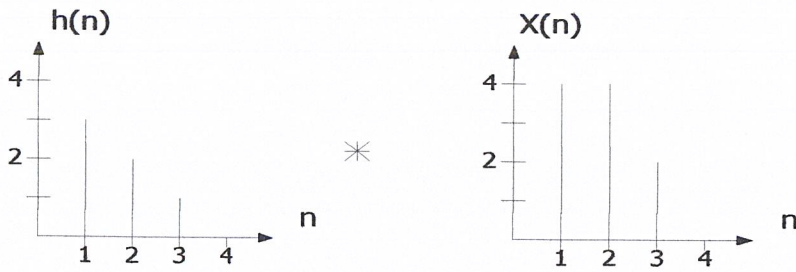
$$y(8) = x(4) \cdot h(4)$$

ซึ่งเมื่อแทนค่าของลำดับ $x(n)$ และ $h(n)$ จากโจทย์ทำให้ได้

$$y(0) = 16 ; y(1) = 28 ; y(2) = 36 ; y(3) = 32 ; y(4) = 18 ;$$

$$y(5) = 14 ; y(6) = 4 ; y(7) = 0 ; y(8) = 0$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



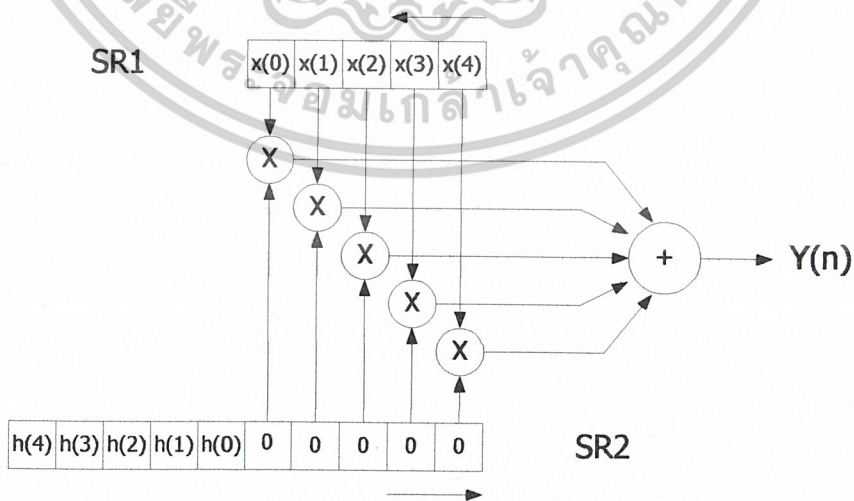
(a) ลำดับ $X(n) * h(n)$



(b) ผลลัพธ์จากการประสานของลำดับ

รูปที่ 2.11 ผลการ Convolution ของลำดับในตัวอย่าง

พิจารณาจากตัวอย่าง ซึ่งคำนวณโดยการกระจาย เราสามารถเขียนแผนภาพแทน ลำดับ ขั้นตอนการคำนวณ ได้ดังรูปคือรูปที่ 2.6 แผนภาพการ Convolution



รูปที่ 2.12 แผนภาพการ Convolution

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.6 ชนิดของ FILTER แบบต่างๆ

Low Pass Filter

$$\begin{aligned} H_d(\omega) &:= 1 \cdot e^{-j\alpha\omega} & |\omega| \leq \omega_c \\ &= 0 & \omega_c \leq |\omega| \leq \pi \end{aligned} \quad (2.13)$$

High Pass Filter

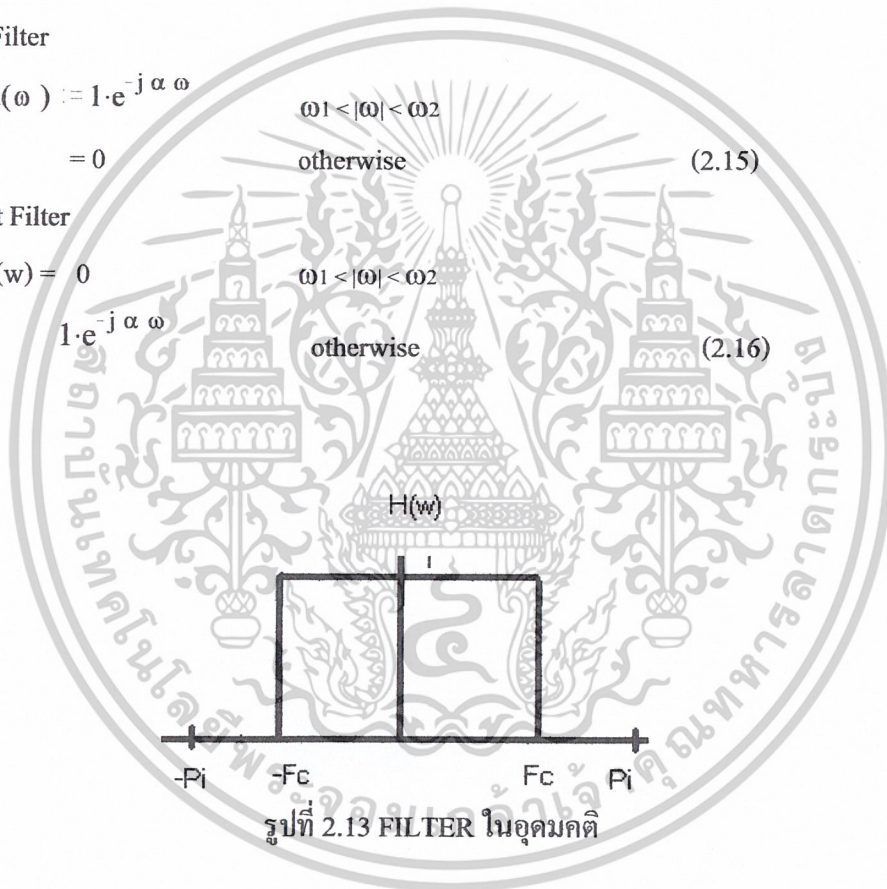
$$\begin{aligned} H_d(\omega) &= 0 & |\omega| < \omega_c \\ &= 1 \cdot e^{-j\alpha\omega} & \omega_c < |\omega| < \pi \end{aligned} \quad (2.14)$$

Band Pass Filter

$$\begin{aligned} H_d(\omega) &:= 1 \cdot e^{-j\alpha\omega} & \omega_1 < |\omega| < \omega_2 \\ &= 0 & \text{otherwise} \end{aligned} \quad (2.15)$$

Band Reject Filter

$$\begin{aligned} H_d(\omega) &= 0 & \omega_1 < |\omega| < \omega_2 \\ &= 1 \cdot e^{-j\alpha\omega} & \text{otherwise} \end{aligned} \quad (2.16)$$



โดยที่ ω_c คือ ความถี่ Cut Off ของ Filter และมี Linear Phase α เป็นค่าคงที่ทางเฟสของการตอบสนองทางความถี่ในทางอุดมคติ การออกแบบนั้นเราจะนำค่าทางอุดมคตินี้ไปออกแบบโดยใช้ สมการทางคณิตศาสตร์เช่น Fourier Series หรือ Fourier Transform เป็นต้น ในการคำนวณจะกล่าวในขั้นต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.7 Windows Function

ส่วนของทฤษฎีจะใช้ Windows Function ในการควบคุมค่าของ Transition Band,Ripple มี Windows Function ซึ่งมีอยู่หลายแบบเช่น Rectangular,Hamming,Hanning,Bartlett,Keiser ในแต่ละแบบจะมีผลที่ออกมาไม่เหมือนกันเช่น การลด PassBand Ripple,Stop Band Ripple ที่ไม่เท่ากัน แสดงถึงชนิด Windows แบบต่างๆ

Rectangular Windows

$$w(n) = \begin{cases} 1 & -\omega < \omega < \omega_c \\ 0 & \text{elsewhere} \end{cases} \quad (2.13)$$

Hanning Windows

$$w(n) := 0.5 \left[1 - \cos \left(2\pi \cdot \frac{n}{N-1} \right) \right] \quad 0 < n < N-1 \quad (2.14)$$

Hamming Windows

$$w(n) := 0.54 - 0.46 \cos \left(2\pi \cdot \frac{n}{N-1} \right) \quad 0 < n < N-1 \quad (2.15)$$

Bartlett

$$w(n) := 1 - 2 \cdot \frac{n - \frac{(N-1)}{2}}{N-1} \quad 0 < n < N-1 \quad (2.16)$$

Blackman

$$w(n) := 0.42 + 0.5 \cos \left(2\pi \cdot \frac{n}{N-1} \right) + 0.08 \cos \left(4\pi \cdot \frac{n}{N-1} \right) \quad 0 < n < N-1 \quad (2.17)$$

Kaiser

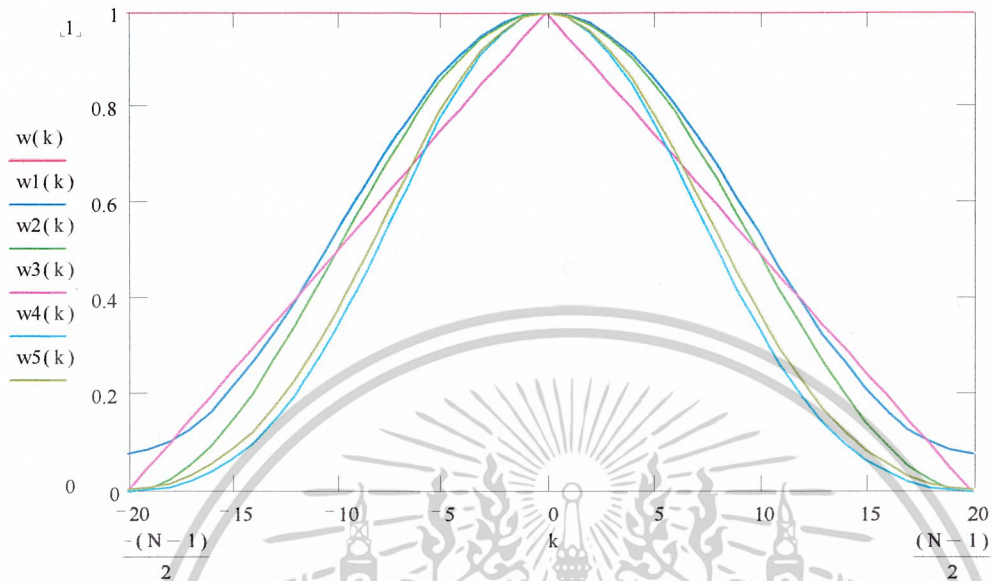
$$w_5(n) := \begin{cases} I_0(\beta) \cdot \sqrt{1 - \left[\frac{(n) - \frac{(N-1)}{2}}{N-1} \right]^2} & \text{for } 0 < n < (N-1) \\ 0 & \text{otherwise} \end{cases} \quad (2.18)$$

โดยที่ β เป็นพารามิเตอร์ในการควบคุม Transition Band และ Pass Band Ripple , Stop Band Ripple ได้

$$I_0(x) := 1 + \sum_{k=1}^L \left[\left(\frac{1}{k!} \right) \cdot \left(\frac{x}{2} \right)^k \right]^2 \quad (2.19)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากกราฟข้างล่างคือกราฟ Windows ชนิดต่างๆ



รูปที่ 2.14 กราฟ Windows แบบต่างๆ

การนำ Windows ไปใช้ทำได้โดยนำ Windows Function ไปคูณกับ Impulse Function $h(k)$ ตารางแสดงถึง Transition Band และการลดทอน แต่ละ Windows

ตารางที่ 5.2 แสดงคุณสมบัติของแต่ละ Windows

Type of Windows	Transition Band	Attend (dB)
Retangular	$1.8\pi/N$	20.9
Bartlett	$6.1\pi/N$	25
Hanning	$6.2\pi/N$	43.9
Hamming	$6.6\pi/N$	54.5
Blackman	$11\pi/N$	75.3
Kaiser*	Variable	Variable

* จะกล่าวในรายละเอียดต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.8 Kaiser Windows ในการออกแบบ FILTER แบบ FIR

Rectangular windows และ Hamming Windows เป็นการออกแบบที่ค่อนข้างสะดวกแต่เราไม่สามารถที่จะควบคุมและกำหนดพารามิเตอร์ บางตัวของ FILTER ได้ Windows ที่กล่าวมานั้นจะมี Ripple ที่คงที่ สำหรับ Rectangular windows มี Ripple = 8.9% ส่วน Hamming = 0.2% และเราไม่สามารถที่จะเปลี่ยนแปลงได้มากนัก

แต่สำหรับ Kaiser Windows นั้นเราสามารถกำหนดค่าต่างของ FILTER เช่น Pass Band Ripple Stop Band Ripple และ Transition Band ได้

$$f_c := \frac{1}{2} (f_{pass} + f_{stop}) \quad (2.20)$$

$$\Delta f := f_{stop} - f_{pass} \quad (2.21)$$

โดยที่ f_c ถูกเลือกให้อยู่ที่ตรงกลางระหว่าง f_{pass} และ f_{stop} และเปลี่ยนกับเป็น

$$f_{pass} := f_c - \frac{\Delta f}{2} \quad f_{stop} := f_c + \frac{\Delta f}{2} \quad \omega_{pass} := \frac{2\pi f_{pass}}{f_s} \quad \omega_{stop} := \frac{2\pi f_{stop}}{f_s}$$

$$A_{pass} := 20 \cdot \log \left(\frac{1 + \delta_{pass}}{1 - \delta_{pass}} \right) \quad (2.22)$$

$$A_{stop} := -20 \cdot \log(\delta_{stop}) \quad (2.23)$$

ถึงแม้ว่า δ_{pass} และ δ_{stop} สามารถที่จะกำหนดได้อย่างอิสระ มันเป็นคุณสมบัติของการออกแบบ ในทุก Windows ว่าสุดท้ายแล้วจะต้องมีค่า $\delta_{pass} = \delta_{stop}$ อยู่ดีเราจึงใช้ค่าที่ต่ำสุดแทนจึงได้เป็น

$$\delta := \min(\delta_{pass}, \delta_{stop}) \quad (2.24)$$

เพราะฉะนั้นการออกแบบ FILTER จะมี Pass Band และ Stop Band = δ . เราสามารถทำให้ อยู่ในเทอมของ dB

$$A := -20 \cdot \log(\delta) \quad \delta := 10^{-\frac{A}{20}} \quad (2.25)$$

นำค่า A ที่ได้มาคำนวณหา β ได้จาก

$$\beta = \begin{cases} 0.1102(A-8.7) & \text{if } A \geq 50 \\ 0.5842(A-21)^{0.4} + 0.07886(A-21) & \text{if } 21 < A < 50 \\ 0 & \text{if } A \leq 21 \end{cases} \quad (2.26)$$

พร้อมทั้งหาค่า D โดยคำนวณจาก A

$$D = \begin{cases} (A-7.95)/14.36 & \text{if } A > 21 \\ 0.922 & \text{if } A \geq 21 \end{cases} \quad (2.27)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทำการหา Order ของFILTER จาก

$$N = (Dfs/\Delta f) + 1 \quad (2.28)$$

ตัวอย่างที่ 3 การใช้ Kaiser Windows ในการออกแบบ FIR FILTER

ให้ทำการออกแบบ Low Pass Filter ตามค่าที่กำหนดดังต่อไปนี้

$$f_s = 20 \text{ kHz}$$

$$f_{\text{pass}} = 4 \text{ kHz} \quad f_{\text{stop}} = 5 \text{ kHz}$$

$$A_{\text{pass}} = 0.1 \text{ dB} \quad A_{\text{stop}} = 80 \text{ dB}$$

Solution ขั้นแรกให้เราหา δ_{pass} และ δ_{stop} จากสมการ 5.16 และ 5.17

$$\delta_{\text{pass}} = \frac{10^{\frac{0.1}{20}} - 1}{10^{\frac{0.1}{20}} + 1} = 0.0058 \quad \delta_{\text{stop}} = 10^{\frac{-80}{20}} = 0.0001$$

ดังนั้น $\delta = \min(\delta_{\text{pass}}, \delta_{\text{stop}}) = 0.0001$ ในทางเดซิเบล ได้เป็น $A = -20 \log(0.0001) = 80 \text{ dB}$

คำนวณหาค่าของ D และ β

$$\beta = 0.1102(A - 8.7) = 0.1102(80 - 8.7) = 7.857, \quad D = (A - 7.95)/14.36 = 5.017$$

ความกว้างของ Transition Width เป็น

$$\Delta f = (f_{\text{stop}} - f_{\text{pass}}) = 1 \text{ kHz}, \quad f_c = 0.5(f_{\text{stop}} + f_{\text{pass}}) = 4.5 \text{ kHz}, \quad \omega_c = 2\pi f_c / f_s = 0.45\pi$$

หาความยาวของ FILTER เมื่อคำนวณแล้ว ให้ปัดเศษ ขึ้น ไปเป็นเลขคี่

$$N = (Df_s/\Delta f) + 1 = 101.35$$

$$N = 103$$

ผลสุดท้ายจะได้ Kaiser Windows ตามต้องการ

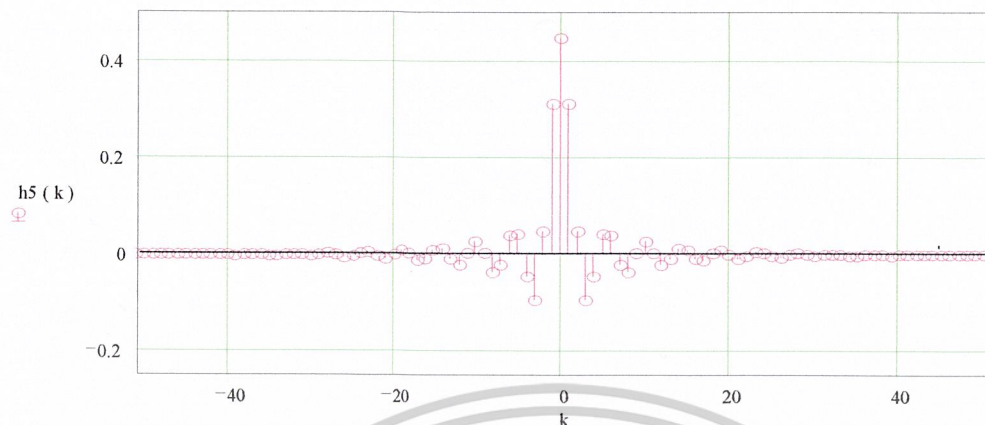
$$w(k) := \frac{I_0 \left[7.857 \cdot \sqrt{1 - \left(\frac{k}{51} \right)^2} \right]}{I_0(7.857)}$$

โดยที่ $I_0(x)$ หาได้จาก ใช้ $L=100$

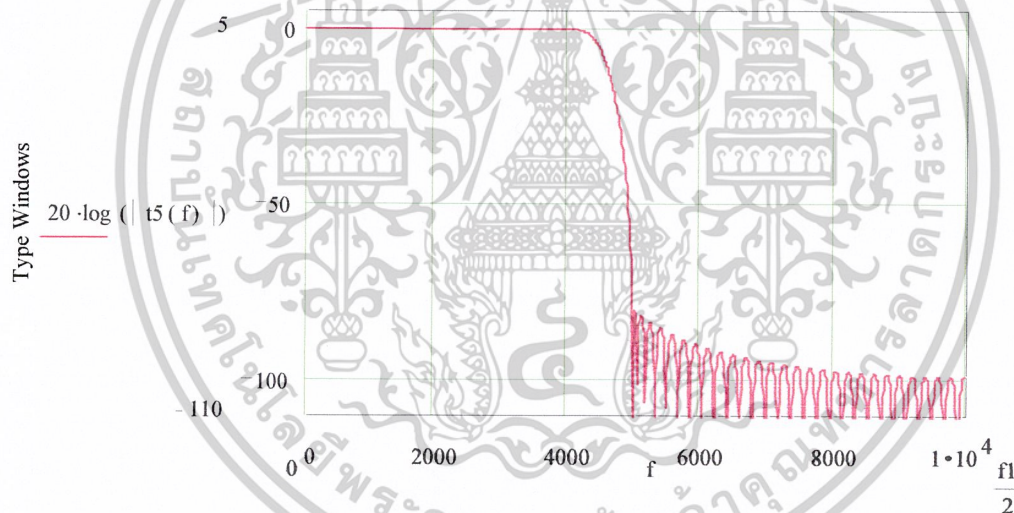
$$I_0(x) := 1 + \sum_{k=1}^L \left[\left(\frac{1}{k!} \right) \cdot \left(\frac{x}{2} \right)^{k^2} \right]$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

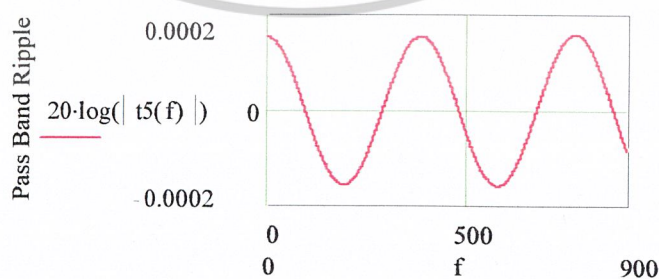
$$h(k) := \frac{1}{\pi \cdot k} \cdot \sin(0.45 \cdot \pi \cdot k) \cdot w(k)$$



รูปที่ 2.14 Impulse Response $h(k)$



รูปที่ 2.15 กราฟการตอบสนองทางความถี่ของ Kaiser Windows $N=103$



รูปที่ 2.16 แสดงส่วนของ Pass Band Ripple ของ FILTER $\delta=0.0003$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.9 การออกแบบ FILTER อื่นๆ

High Pass Filter

$$H_{hp}(\omega) = 1 - H_{lp}(\omega) \quad -\pi < \omega < \pi \quad (2.29)$$

เพราะฉะนั้น ทำการ Inverse Fourier ได้จากสมการที่ 5.5

$$h_{hp}(k) = \delta(k) - h_{lp}(k)$$

โดยที่ $h_{lp}(k) = (1/k\pi) \text{Sin}(\omega ck)$

Band Pass Filter

$$h_{bp}(k) = (1/k\pi) (\text{Sin}(\omega bk) - \text{Sin}(\omega ak)) \quad (2.30)$$

โดยที่ ωb เป็นความถี่ Cut Off ด้าน High Frequency ส่วน ωa เป็นความถี่ด้าน Low Frequency

Band Reject Filter

$$H_{bj}(\omega) = 1 - H_{bp}(\omega) \quad -\pi < \omega < \pi \quad (2.31)$$

เพราะฉะนั้น ทำการ Inverse Fourier ได้จากสมการที่ 5.5

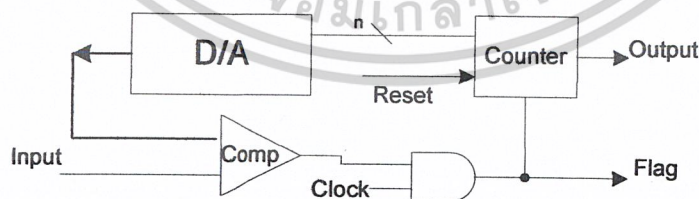
$$h_{bjp}(k) = \delta(k) - h_{bp}(k)$$

โดยที่ $\omega = 2\pi f/f_s$

2.10 วงจร Analog to Digital

2.10.1 เกาท์นิงคองเวอร์เตอร์ (Counting Converter)

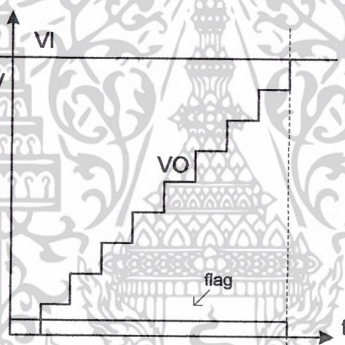
Counting Converter เป็นวิธีที่ง่ายที่สุดของการแปลงสัญญาณอนาล็อก เป็นสัญญาณดิจิทัล โดยใช้ฮัลทกริทม การนับค่าเพิ่มขึ้นเรื่อยๆ แล้วนำผลที่ได้จากการนับ ไปเปรียบเทียบกับค่าที่ต้องการที่ตั้งไว้ ลักษณะการทำงานเป็นดังรูปที่ 2.17



รูปที่ 2.17 ลักษณะการทำงานของวงจรแปลงอนาล็อกเป็นดิจิทัล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากวงจร Counter เป็นอุปกรณ์นับค่าที่เพิ่มขึ้นทีละหนึ่ง แล้วส่งค่าที่ได้ให้ D/A มีขา Reset รับสัญญาณ Reset เมื่อต้องการให้เริ่มนับใหม่ D/A เมื่อรับค่าที่นับเพิ่มขึ้นทีละหนึ่งจากตัวนับ ก็แปลงค่าให้เป็นสัญญาณ อนาล็อกที่มีค่าความต่างศักย์ค่าๆ หนึ่ง แล้วส่งต่อเข้าไปที่อุปกรณ์ตัวเปรียบเทียบ(Comparator) Comparator จะเป็นอุปกรณ์ตัวเปรียบเทียบค่าความต่างศักย์ ของอินพุต และค่าจากที่ตัวนับ ถ้าหากทั้งสองสัญญาณมีค่าเท่ากันส่งค่าความต่างศักย์ “0” โวลต์ออกมา(ลอจิก 0) ถ้าไม่เท่ากันก็จะส่งความต่างศักย์ที่ไม่ใช่ 0 โวลต์ออกมา(ลอจิก 1) ซึ่งค่าความต่างศักย์ที่ออกมาจะนำมาเข้าลอจิกเกต "และ" กับ สัญญาณนาฬิกา จะได้ค่าลอจิกออกมา ถ้าผลลัพธ์ออกมาเป็นสัญญาณนาฬิกาแสดงว่ายังไม่ได้ผลลัพธ์เท่าที่ต้องการ สัญญาณนาฬิกา ก็จะไปทำให้ตัวนับนับเพิ่มขึ้นต่อไป และเมื่อได้ค่าผลลัพธ์ดิจิทัลที่ต้องการแล้ว ค่าที่ได้จาก ตัวเปรียบเทียบจะให้ค่าความต่างศักย์เป็น “0” (ลอจิก 0) ซึ่งเมื่อนำมาเข้าลอจิกเกต "และ" กับสัญญาณนาฬิกาแล้ว ก็จะทำให้ลอจิก 0 ซึ่งทำให้ตัวนับไม่นับเพิ่มอีก ก็จะได้ค่าดิจิทัลจากตัวนับที่ต้องการ จากคำอธิบายข้างต้นจะได้กราฟของ V_{out} ดังนี้



รูปที่ 2.18 กราฟแสดงแรงดันของวงจรแปลงอนาล็อกเป็นดิจิทัล

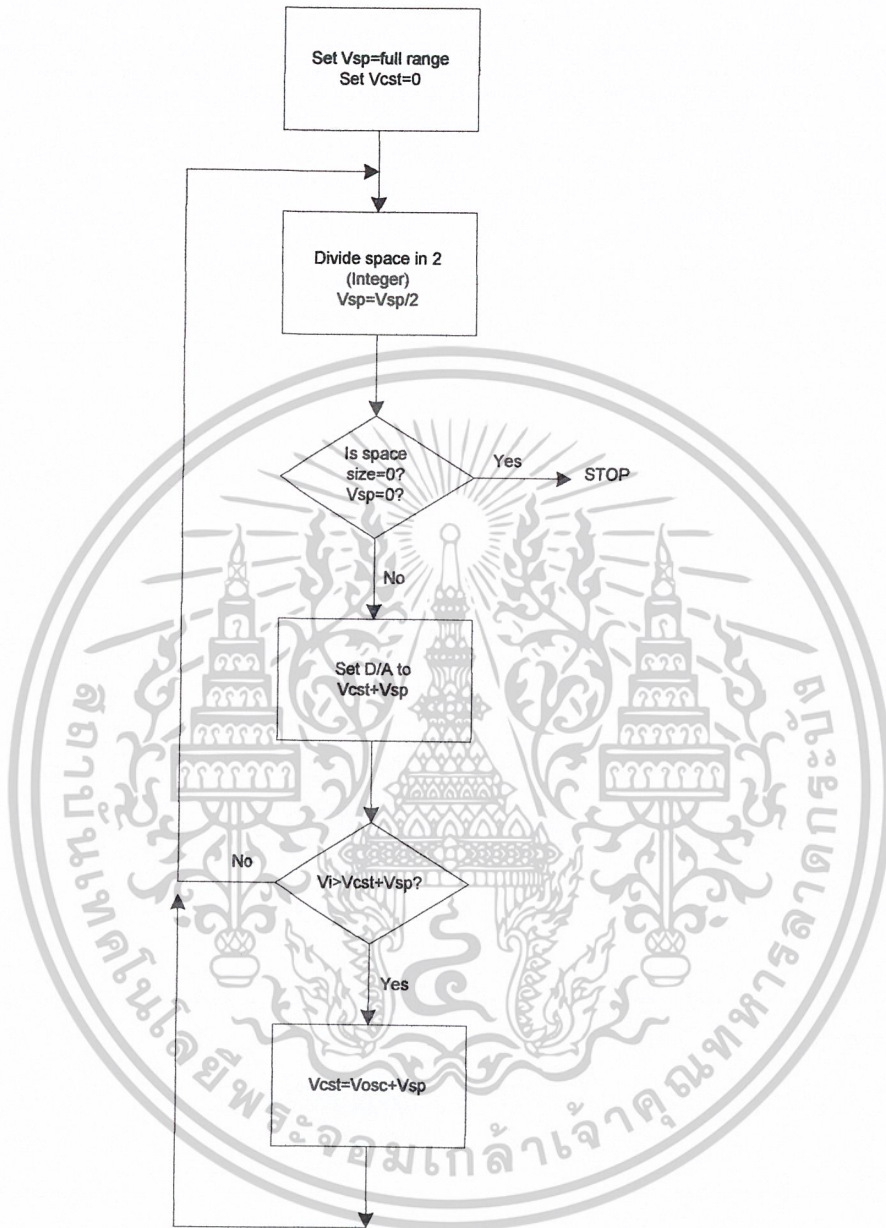
ข้อเสียของวิธีนี้ คือ การนับต้องเริ่มนับที่ “0” เสมอ และนับเพิ่มขึ้นเรื่อยๆ ทำให้ช้า เอาท์พุตที่ได้จะมี delay จึงไม่ค่อยนิยมใช้เท่าที่ควร จึงได้เปลี่ยนตัวนับเป็นแบบนับลงได้ด้วย ซึ่งจะอ้างอิงระดับจากระดับเก่า ทำให้ไม่จำเป็นต้องนับ “0” ใหม่ เมื่อมีการเปลี่ยนอินพุตใหม่ แต่ให้อ้างอิงกับผลลัพธ์เดิม ทำให้ได้ผลลัพธ์เร็วขึ้น

2.10.2 Successive Approximation

ใช้หลักการของ "binary search" ในการหาคำตอบ โดยนำค่าผลลัพธ์มาเปรียบเทียบกับค่ากึ่งกลางของช่วง เพื่อให้ทราบว่าเป็นค่าที่มากกว่า หรือน้อยกว่า โดยจะปรับช่วงให้แคบลงมาเรื่อยๆ แล้วเปรียบเทียบผลลัพธ์กับค่ากึ่งกลางของช่วงไปเรื่อยๆ จนได้ผลลัพธ์ที่ต้องการ เช่น เลขที่เป็นคำตอบคือ 3 จากช่วงของคำตอบที่ 0-7 ครั้งแรกเอาค่า $(0+7)/2 = 4$ มาเปรียบเทียบ ได้ผลว่า คำตอบที่ต้องการอยู่ในช่วงที่น้อยกว่า 4 ครั้งที่ 2 ก็เลือกค่า $(0+4)/2 = 2$ มาเปรียบเทียบ ได้ผลว่าคำตอบที่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

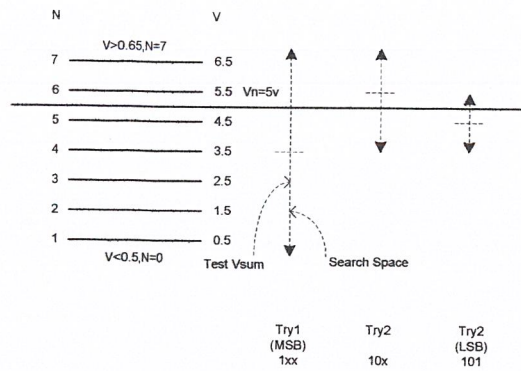
ต้องการอยู่ในช่วงที่มากกว่า 2 แต่น้อยกว่า 4 ครั้งที่ 3 ก็เลือกค่า $(2+4)/2 = 3$ มาเปรียบเทียบ ได้ผลว่าคำตอบที่ต้องการ จากหลักการที่กล่าวมาอาจเขียน flow chart ได้ดังนี้



รูปที่ 2.19 หลักการของไบนารีเซิร์ท

ข้อดีของวิธีนี้ คือ เวลาที่ใช้ในการหาคำตอบ n รอบแน่นอน (สำหรับ n bit converter ซึ่งอ้างอิงได้ 2^n ระดับ และระดับ V_{in} ที่คงที่) ซึ่งใช้เวลาน้อยกว่าแบบ "Counting Algorithm" แต่มีข้อเสียคือถ้า V_{in} เปลี่ยนทันทีทันใด ขณะที่กำลังทำ binary search อยู่ นั่น คำตอบที่ได้จะผิดพลาด ตัวอย่างเช่น เปลี่ยน V_{in} จาก 5 Volt เป็น 2 Volt

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.20 ตัวอย่างของผลที่ได้จากวิธีการ ไบนารีเซิร์ท

ช่วงของ V_{in} คือ 1-7 ใช้ $n=3$ (เพราะว่า $2^3=8$)

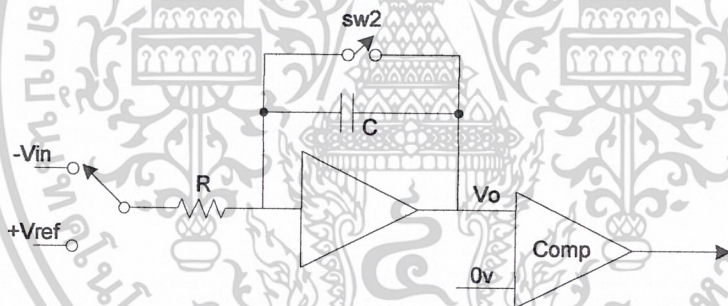
ครั้งแรก ใช้ 4 เปรียบเทียบกับ V_{in} (ซึ่งเท่ากับ 5 โวลต์) พบว่า อยู่ในช่วง lower ได้ 1xx

ครั้งที่ 2 ใช้ 2 เปรียบเทียบกับ V_{in} (ซึ่งเท่ากับ 5 โวลต์) พบว่า อยู่ในช่วง upper ได้ 10x

ครั้งที่ 3 ใช้ 3 เปรียบเทียบกับ V_{in} (ซึ่งเท่ากับ 5 โวลต์) พบว่า ผลลัพธ์ที่ได้จะผิดพลาด ได้ 100

2.10.3 Dual-Slope ADC

ใช้หลักการของวงจร Integrator ทำงานร่วมกับตัว Comparator ดังรูป



รูปที่ 2.21 วงจรแปลงอนาล็อกเป็นดิจิตอล แบบ ดูอัลสโลป

แรงดันอินพุท มี 2 ตัว คือ ค่าความต่างศักย์อนาล็อกที่ต้องการแปลงเป็นดิจิตอล ($-V_{in}$) และความต่างศักย์ที่คงที่ค่าหนึ่ง (V_{ref}) และมีสวิตช์ SW1 ซึ่งทำหน้าที่เลือกค่าสัญญาณ จากวงจรตอนเริ่มต้นสวิตช์ SW2 ทำหน้าที่คายประจุของตัวเก็บประจุ C แล้วจึงเปิด SW2 ออก เมื่อสวิตช์ SW1 สัมมาที่ $-V_{in}$ จากวงจร Integrator จะพิสูจน์สมการได้ดังนี้

$$I = C \frac{dV_o}{dt}$$

$$-V_{in} + iR - V_o + V_o = 0$$

$$-V_{in} + RC \frac{dV_o}{dt} = 0$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้拿去ใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$V_{in} = RC \frac{dV_o}{dt}$$

$$\int dV_o = \int \frac{V_{in}}{RC} dt$$

$$V_o = \frac{V_{in}(t)}{RC}$$

slope มีค่าเท่ากับ $\frac{V_{in}}{RC}$

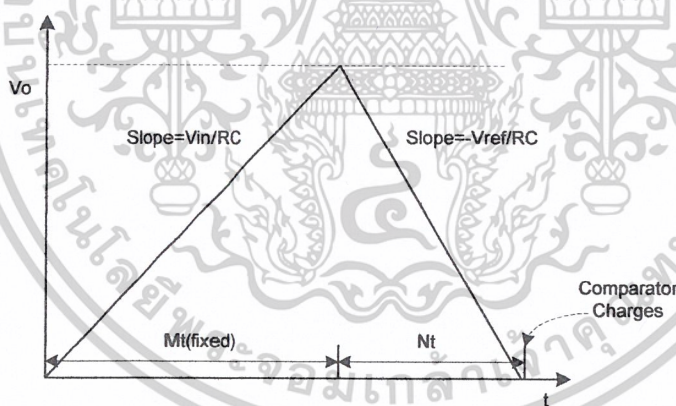
ค่า t ที่ใช้มีค่าคงที่ t_m

เมื่อ t เพิ่มจากศูนย์ถึง t_m ให้ SW1 สับไปที่ V_{ref}

จะได้สมการ $V_o = \frac{V_{ref}(t)}{RC}$

slope มีค่า $\frac{V_{ref}}{RC}$

สมมติ ช่วงเวลาตั้งแต่ความต่างศักย์ที่ t_m จนความต่างศักย์เป็น "0" มีค่าเท่ากับ t_n ได้ดังแสดงในกราฟ

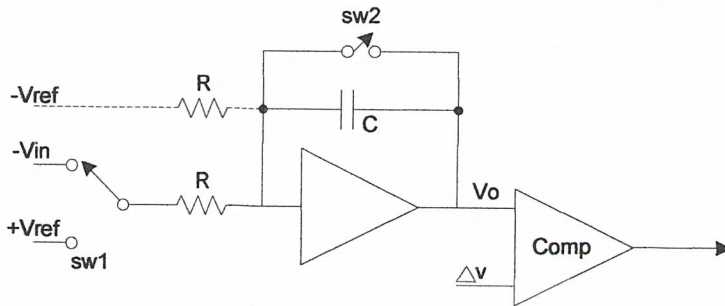


รูปที่ 2.22 เอาท์พุทของวงจรคู่ออสโลป

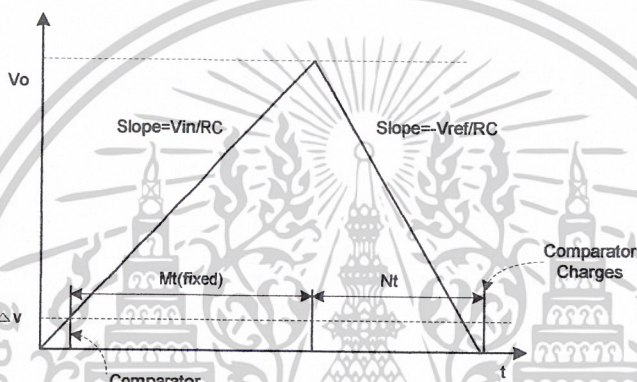
จากหลักของสามเหลี่ยมคล้าย จะได้สมการ $V_{in} = V_{ref} \frac{t_n}{t_m}$ เนื่องจาก V_{ref} และ t_n มีค่าคงที่

สัญญาณอนาล็อกขึ้นกับค่า t_n เพราะการควบคุมการเปลี่ยนสัญญาณดิจิทัล ที่ขึ้นกับค่า t_n การแปลงเป็นสัญญาณดิจิทัลจะทำโดยจับคู่ค่า t_n กับเอาต์พุตค่าๆ หนึ่ง ตามความเหมาะสมสำหรับ V_{ref} นั้นๆ เหมือนการเทียบค่าในตาราง ความเร็วของการแปลงสัญญาณแบบนี้ ขึ้นอยู่กับ V_{in} และ Slope ของวงจร integrator โดยธรรมชาติแล้ว ลักษณะของตัวเปรียบเทียบเองนั้น จะไม่เป็นอุดมคติ คือจะมีผลต่างของความต่างศักย์อยู่ V โวลต์ แม้ว่าจะต่ออินพุตทั้งสองลงกราวด์แล้วก็ตาม ซึ่งถ้า V_{ref} ที่ใช้อยู่มีค่าน้อยกว่าค่าผลต่างของความต่างศักย์ที่เกิดจากตัวเปรียบเทียบ ความชันก็จะน้อย ทำให้เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นิยมนำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เวลา t_m ใช้เวลานานมาก กว่าที่จะฟื้นค่าความต่างศักย์ที่เกิดจากตัวเปรียบเทียบ เราจึงต้องนำค่าความต่างศักย์มาเพิ่มให้กับ V_{ref} เพื่อหาผลลัพธ์ ดังรูป

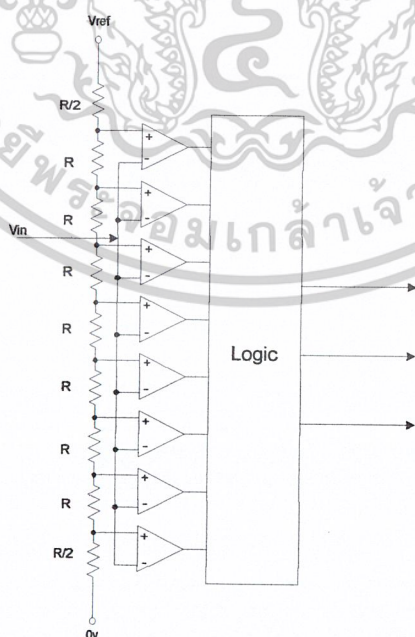


รูปที่ 2.23 วงจรเต็มของวงจรดูอัลสโลป



รูปที่ 2.24 เอกลักษณ์ของวงจรดูอัลสโลปที่เพิ่มค่าความต่างศักย์ให้กับ V_{ref}

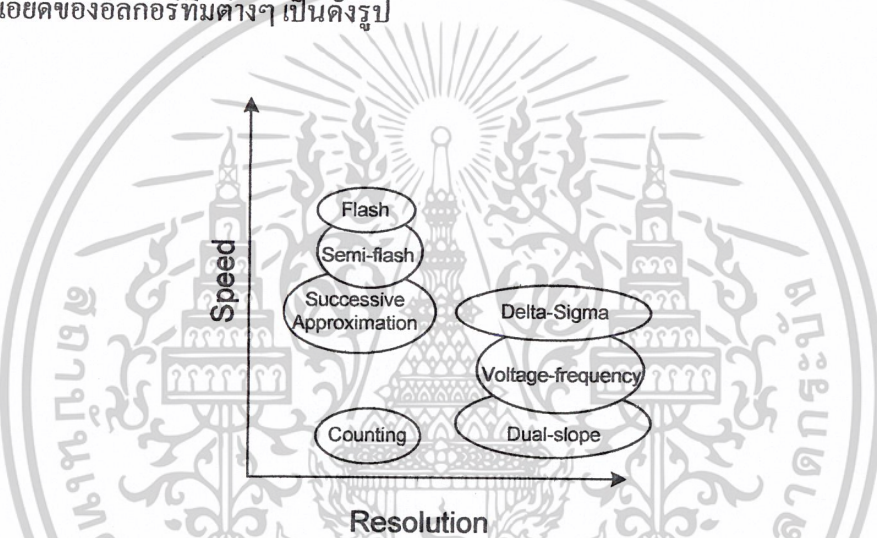
2.10.4 Flash Converter



รูปที่ 2.25 แฟลชคอนเวอร์เตอร์

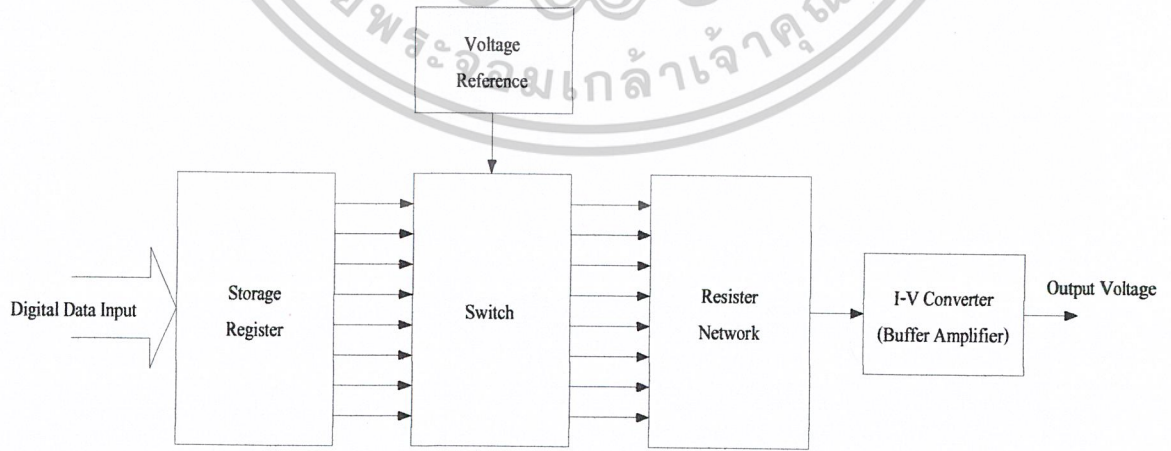
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หลักการทำงานของ Flash Converter คือการใช้การแบ่งแรงดันเป็นแรงดัน หลายๆ ค่า แล้วเปรียบเทียบกับ V_{in} เป็นคู่ๆ พร้อมกัน แล้วกระทำทาง logic จากรูปมี แรงดัน เปรียบเทียบ 8 bit ค่าความต่างศักย์จะเพิ่มขึ้นเรื่อยๆ จากค่าความต้านทานที่ต่อเพิ่มขึ้น ความต่างศักย์ที่ได้นั้น เมื่อนำไปเปรียบเทียบกับ V_{in} แล้วมากกว่าก็จะปล่อยลอจิกออกมา ถ้ามากกว่าก็จะให้ลอจิก “1” ถ้าน้อยกว่าหรือเท่ากันก็จะให้ลอจิก “0” วิธี Flash Converter นี้จะเร็วที่สุด แต่ใช้อุปกรณ์ทาง Hardware มากกว่าแบบอื่นๆ การแปลงสัญญาณอนาล็อก เป็นสัญญาณดิจิทัล มีประโยชน์มากในการควบคุมอุปกรณ์สวิตซ์ ซึ่งมีลักษณะการแปลงสัญญาณได้หลายวิธี แต่ละวิธีจะมีอัลกอริทึม ความรวดเร็วในการทำงาน และการใช้อุปกรณ์ฮาร์ดแวร์ต่างกันด้วย ทำให้ขนาด และราคาต่างกัน ขึ้นกับความ ต้องการของผู้ใช้ที่จะต้องเลือกให้เหมาะสมกับงานที่ใช้ และงบประมาณที่มีอยู่ ลำดับของความเร็ว และความละเอียดของอัลกอริทึมต่างๆ เป็นดังรูป



รูปที่ 2.26 ลำดับของความเร็ว และความละเอียดของอัลกอริทึม

2.11 วงจรแปลงสัญญาณดิจิทัลเป็นสัญญาณอนาลอก (Digital to Analog Converter)

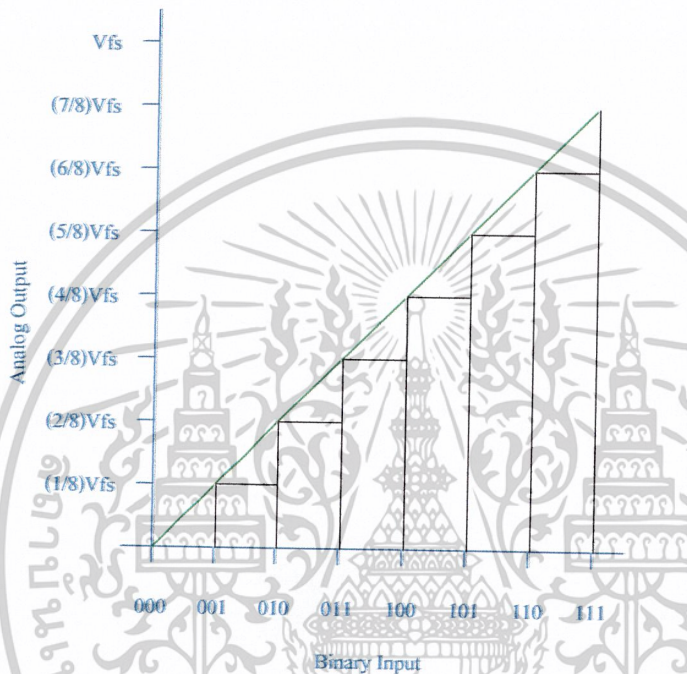


รูปที่ 2.27

ระบบแปลงสัญญาณดิจิทัลเป็นสัญญาณอนาลอก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นิยมนำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ส่วนสำคัญของ วงจรแปลงสัญญาณดิจิทัลเป็นสัญญาณอนาลอกคือ อาเรย์สวิตช์ที่ควบคุมด้วยลอจิกซึ่งมีจำนวน N ชุดเท่ากับจำนวน ไบนารีบิต(Binary Bit) สวิตช์เหล่านี้จะตัดต่อแรงดันอ้างอิงขนาดหนึ่งเข้ากับวงจรอาเรย์รีซิสเตอร์(Array Resistor)ค่าต่าง ๆ ที่กำหนดน้ำหนักตามรหัสไบนารี(Binary Code)เป็นระดับของกระแส จากนั้นกระแสจะถูกแปลงเป็นแรงดันที่สัมพันธ์ต่อกัน ด้วย บัฟเฟอร์แอมพลิไฟเออร์(Buffer Amplifier)



รูปที่ 2.28 ทราสเฟอ์ฟังก์ชันในอุดมคติของ DAC ขนาด 3 บิต

จากรูป จะเห็นว่าเป็นความสัมพันธ์ของแรงดันอนาลอก กับ รหัสไบนารี 3 บิต ซึ่งเมื่อรหัสไบนารีเพิ่มขึ้นแรงดันอนาลอกก็จะเพิ่มขึ้น ในลักษณะขั้นบันได ขนาดของแต่ละขั้นจะหาได้จาก

$$\text{Resolution} = V_{FS}/2^N$$

เมื่อ V_{FS} คือ ระดับแรงดันเอาต์พุตสูงสุด

N คือ จำนวนบิตของอินพุต

ถ้าเพิ่มจำนวนบิต ความละเอียดของ DAC จะเพิ่มขึ้น เช่น เมื่อใช้ DAC ขนาด 12 บิต และ $V_{FS} = 5 \text{ V}$ ความละเอียดจะเท่ากับ $5 \text{ V} / 4096 = 1.22 \text{ mV}$ ซึ่งจะมากกว่า DAC ขนาด 8 บิตถึง 16 เท่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้拿去ใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.11.1 ความถูกต้องของ DAC

ความถูกต้องของ DAC จะขึ้นกับหลายส่วน เช่น

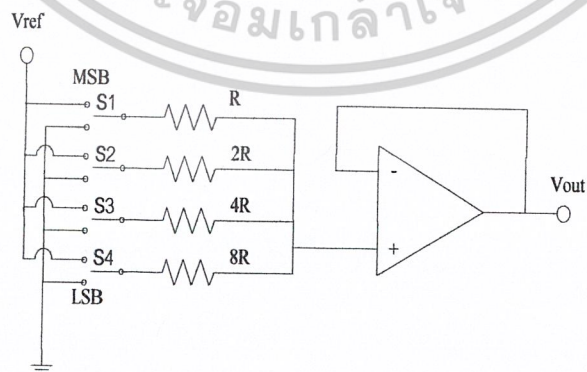
ควอนไทเซชันเออร์เรอร์(Quantization Error) DAC บิต $V_{FS} = 5.0 \text{ V}$ เอาต์พุตจะมีความละเอียด 19.53 mV ถ้าต้องการเอาต์พุต 4.00 V DAC จะให้เอาต์พุตได้ใกล้เคียงที่สุดคือ 4.04 V ($19.53 \text{ mV} \times 205$) ผิดพลาด 4 mV โดยทั่วไปค่าผิดพลาดจะเท่ากับ $\pm 0.5 \text{ LSB}$ (least significant bit) ตัวอย่างเช่น DAC 8 บิต ความผิดพลาดจะเป็น 1 ใน 512 หรือ $\pm 0.195 \%$

ออฟเซ็ทเออร์เรอร์และเกนเออร์เรอร์(Offset Error and Gain Errors) เมื่ออินพุต ไปนารีเท่ากับ 0 แต่เอาต์พุตของ DAC ไม่เป็น 0 เรียกว่า offset error และอาจเกิดร่วมกับ gain error ความผิดพลาดเหล่านี้ จะทำให้ ทรานสเฟอร์ฟังก์ชันของ DAC โค้งขึ้น หรือลง ขึ้นอยู่กับความไม่สมดุขภายใน DAC อย่างไรก็ดี ตาม offset error และ gain error จะแก้ไขได้โดยใช้ความต้านทานปรับค่าได้ต่อไว้ภายนอก

ความไม่เป็นเชิงเส้น(Nonlinearity Error) คือค่าความคลาดเคลื่อนสูงสุดของ ทรานสเฟอร์ฟังก์ชันของ DAC เทียบกับเส้นตรงจากจุดศูนย์และจุดสูงสุด ซึ่งจะขึ้นอยู่กับความผิดพลาดของส่วนประกอบภายใน DAC ในดาต้าชีต (Data Sheet) ของ DAC จะระบุเป็นเปอร์เซ็นต์เทียบกับค่าสูงสุด หรือ ระบุเป็นเศษส่วนของ LSB (โดยทั่วไปคือ $\pm 0.5 \text{ LSB}$)

เวลาเซ็ทติง(Settling time) คือช่วงเวลานับแต่ให้อินพุตจนกระทั่ง DAC ให้ เอาต์พุต วัตเมื่อเอาต์พุตที่ได้ผิดพลาดจากค่าจริง น้อยกว่า 0.5 LSB ค่าเวลานี้อาจน้อยกว่า 100 ns สำหรับ DAC ความเร็วสูง และอาจมากกว่า 100 us สำหรับ DAC ราคาถูก

2.11.2 วงจร DAC แบบ Binary Weight Ladder

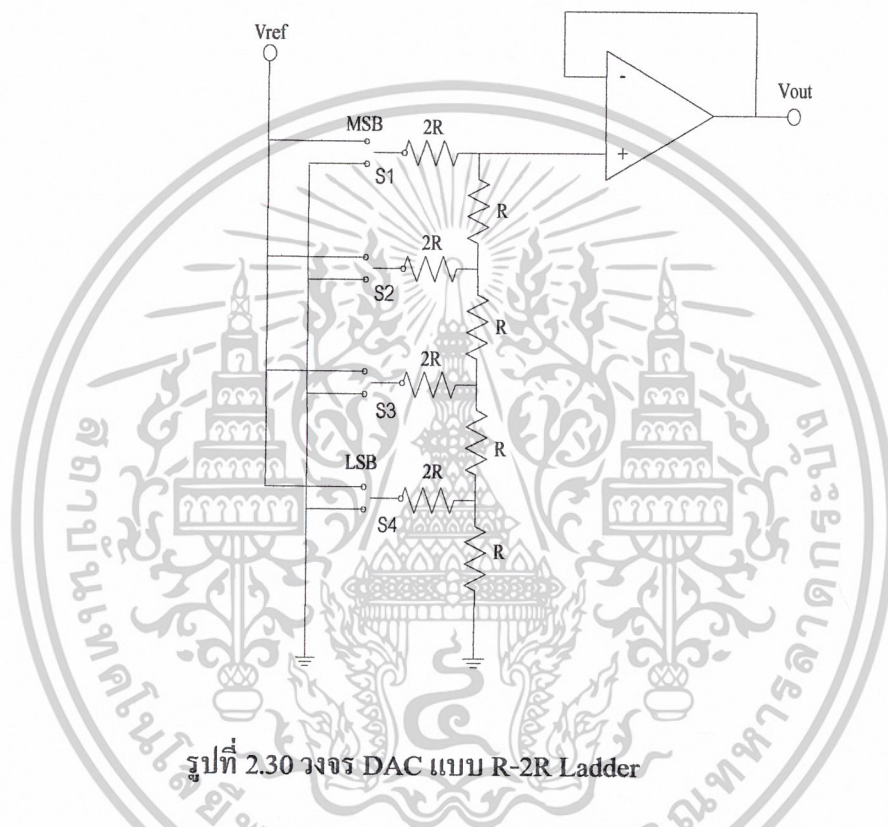


รูปที่ 2.29 วงจร DAC แบบ Binary Weight Ladder

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้拿去ใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูป เป็นวงจรอย่างง่ายในการแปลงสัญญาณดิจิทัลเป็นสัญญาณอนาลอก ซึ่งจะเห็นว่า มีความต้านทานค่า $2R$, $4R$ และ $8R$ เพื่อให้ กระแสที่ผ่านความต้านทานแต่ละตัวมีค่าลดลงเป็น 2 เท่า จากนั้น ออปแอมป์ ที่เอาต์พุต จะทำหน้าที่เปลี่ยนกระแสรวมให้เป็นแรงดัน โดยจะได้แรงดัน เป็น $V_o = (V_{ref} / 2^{N-1})(8S_4 + 4S_3 + 2S_2 + S_1)$; S ปิด = 1, S เปิด = 0

2.11.3 วงจร DAC แบบ R-2R Ladder



รูปที่ 2.30 วงจร DAC แบบ R-2R Ladder

การจัดวงจรแบบ R-2R นี้ จะช่วยลดความยุ่งยากในการผลิตบนชิปวงจรรวม เนื่องจากใช้ ตัวต้านทานเพียง 2 ค่า ในวงจรนี้สวิตช์จะตัดต่อให้แรงดันอ้างอิงต่อเข้ากับวงจร Ladder หรือต่อ Ladder ลงกราวด์ที่ค่า $2R$ ทำให้แรงดันเอาต์พุตเพิ่มและลดตามรหัสดิจิทัล คือ

$$\Delta V = V_{ref} / (2^N - 1)$$

และแรงดันที่เอาต์พุตจะเป็นไปตามสมการ

$$V_o = (V_{ref} / 2^N)(8S_4 + 4S_3 + 2S_2 + S_1) ; S \text{ ปิด} = 1, S \text{ เปิด} = 0$$

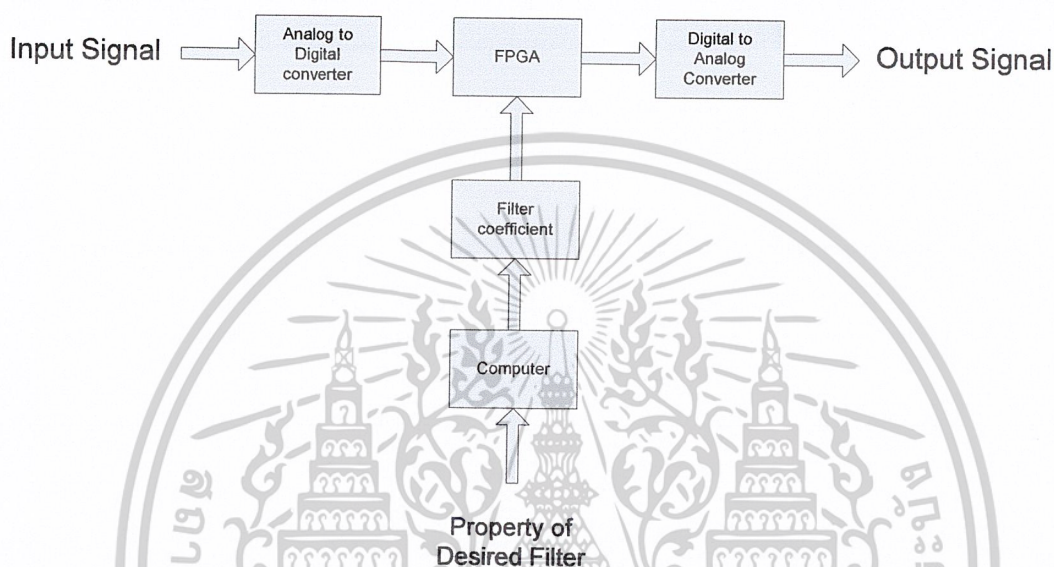
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้拿去ใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3

การออกแบบและการสร้าง

3.1 การออกแบบส่วนของ Hardware

ส่วนประกอบหลักของ Digital Filter



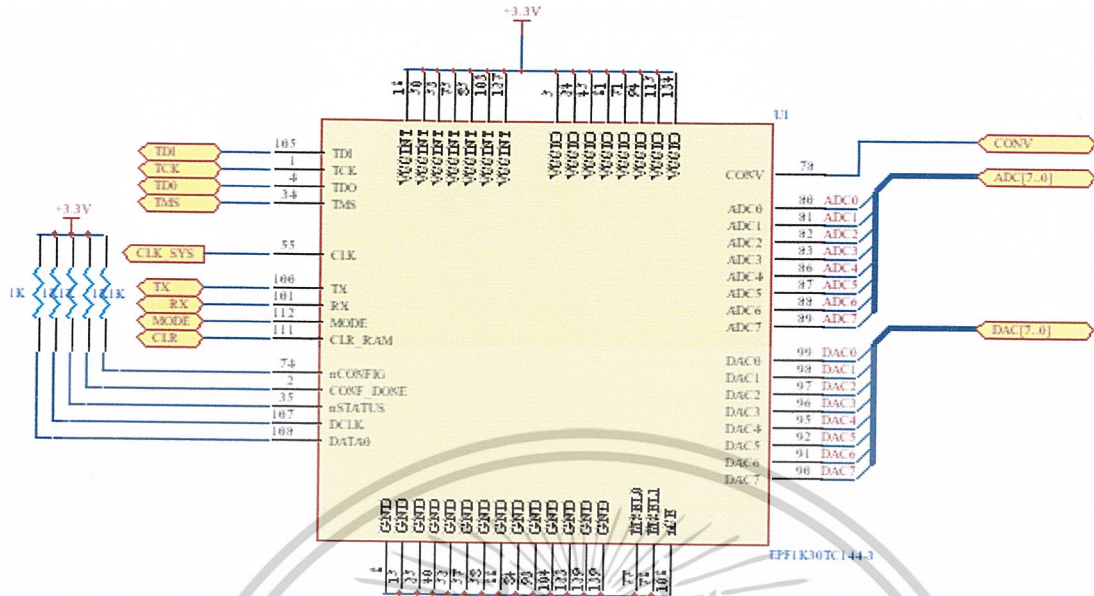
รูปที่ 3.1 ส่วนประกอบหลักของ Digital Filter

การทำงานในส่วนหลักนี้จะประกอบด้วยภาคแปลงสัญญาณอินพุตมาเป็นสัญญาณทางดิจิทัล (ADC) โดยใช้ IC เบอร์ ADC0820 การแปลงสัญญาณนั้นจะใช้ CLK ตัว FPGA มาทำการแปลงสัญญาณที่ทำการทดลองใช้ Sampling Frequency = 60kHz เมื่อได้ข้อมูลมาจะนำเข้าไปประมวลผลภายใน FPGA ซึ่งในตัวของ FPGA นั้นมีวงจรที่ใช้สำหรับ Convolution ตัวสัญญาณอินพุต $x(n)$ กับค่าสัมประสิทธิ์ $h(n)$ ด้วยความถี่ 24MHz เมื่อทำการ Convolution เสร็จแล้วจะส่งข้อมูลที่ได้ออกไปยังอุปกรณ์แปลงสัญญาณดิจิทัลเป็นอนาลอก (DAC)

อีกส่วนหนึ่งนั้นส่วนคำนวณค่าสัมประสิทธิ์เราจะใช้โปรแกรมที่เขียนขึ้นมาเองมาทำการคำนวณค่าสัมประสิทธิ์แล้วดาวโหลดลงแรมภายใน FPGA เพื่อทำการ Convolution ต่อไปในการคำนวณนั้นจะใช้ Windows Method เพื่อหาค่าสัมประสิทธิ์ออกมาสามารถที่จะเลือกค่า Cutoff Freq, Stop Band ได้ โปรแกรมนี้ถูกเขียนขึ้นมาด้วย Visual Basic 6.0 ในรายละเอียดของส่วนต่าง ๆ นั้นจะกล่าวแยกย่อยในแต่ละส่วนต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้拿去ใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.1.1 วงจร FPGA ในส่วนของ Programming และการเชื่อมต่อกับอุปกรณ์ภายนอก



รูปที่ 3.2 การต่อส่วนของ FPGA

วงจรมีเป็นส่วนหลักของโครงการนี้ โดยเราใช้ FPGA เบอร์ EPF1K30TC144-3 มีความจุเกต 30,000 เกต มีขาที่ใช้ 144 ขา มี Delay Time = 3 ns มี RAM ภายใน 24,576 Bits จากวงจรจะเห็นว่า มีขาที่ใช้สำหรับ Program คือ ขา TMS, TDI, TDO, TCK

CLK_SYS : ใช้ต่อกับตัว CRYSTAL MODUAL 48MHz

TX, RX : ใช้สำหรับเชื่อมต่อกับคอมพิวเตอร์ทาง SERIAL PORT ในโหมดรับค่าสัมประสิทธิ์

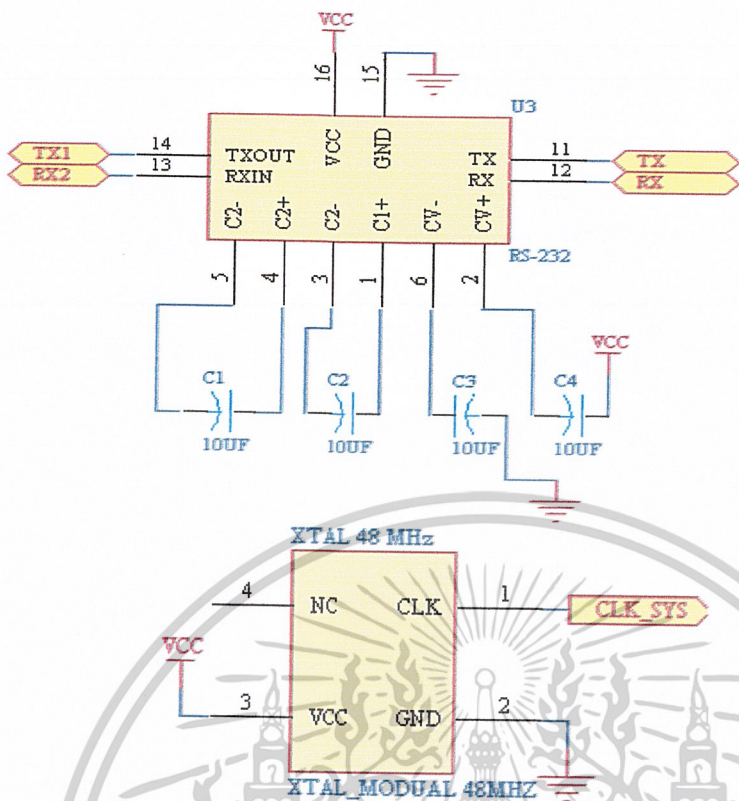
MODE : เป็นตัวเลือกโหมด ถ้าเป็น '1' จะเป็นโหมดรับค่าสัมประสิทธิ์ ถ้าเป็น '0' จะเป็นโหมด Convolution

CLR : ใช้สำหรับ Clear ค่าในแรมให้เป็น "0" ให้หมด

DAC[7..0] : ใช้ส่งผลลัพธ์ออกทาง DAC0808

ADC[7..0] : ใช้รับค่าอินพุตที่ถูกส่งมาเข้าไป Convolution กับ สัมประสิทธิ์

CONV : ส่งสัญญาณส่งออกไปยัง ADC0820 เพื่อทำการแปลงสัญญาณ

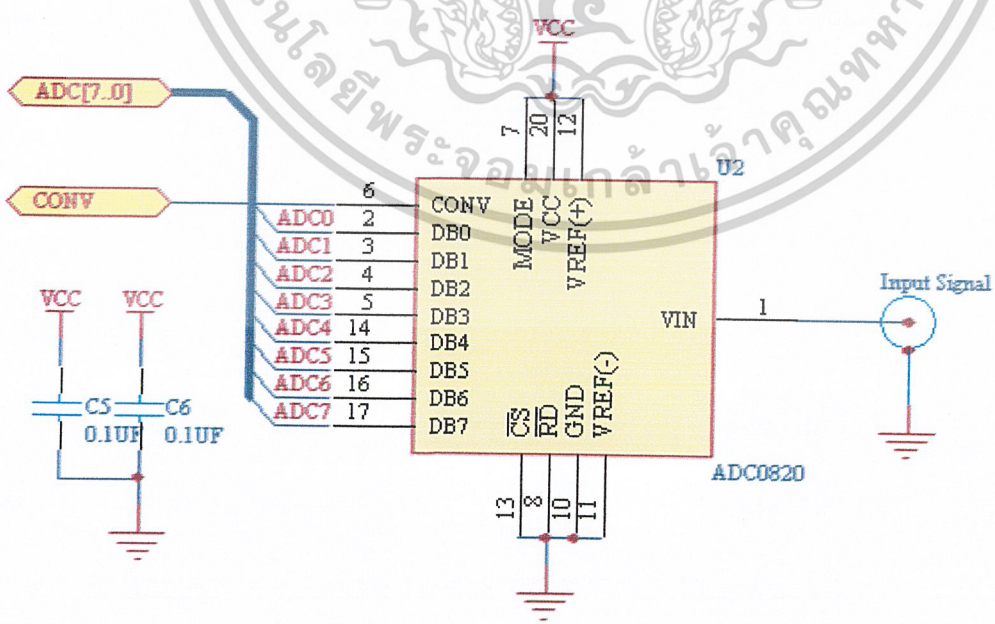


รูปที่ 3.3 RS-232 โดยใช้ IC MAX232 และ Crystal Module 48MHz

ส่วนนี้จะเป็นส่วนของการเชื่อมต่อกับSerial Port และCRYSTAL MODULE 48MHz

ส่วนของMAX232 นั้นจะเปลี่ยนระดับแรงดันจาก 5V โวลท์เป็น -12 V และ 0V เป็น 12V

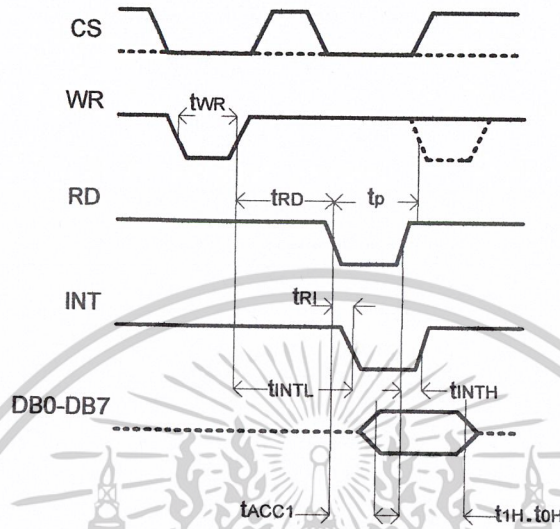
3.1.2 วงจร Analog to Digital



รูปที่ 3.4 ส่วนวงจร ADC0820

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้拿去ไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

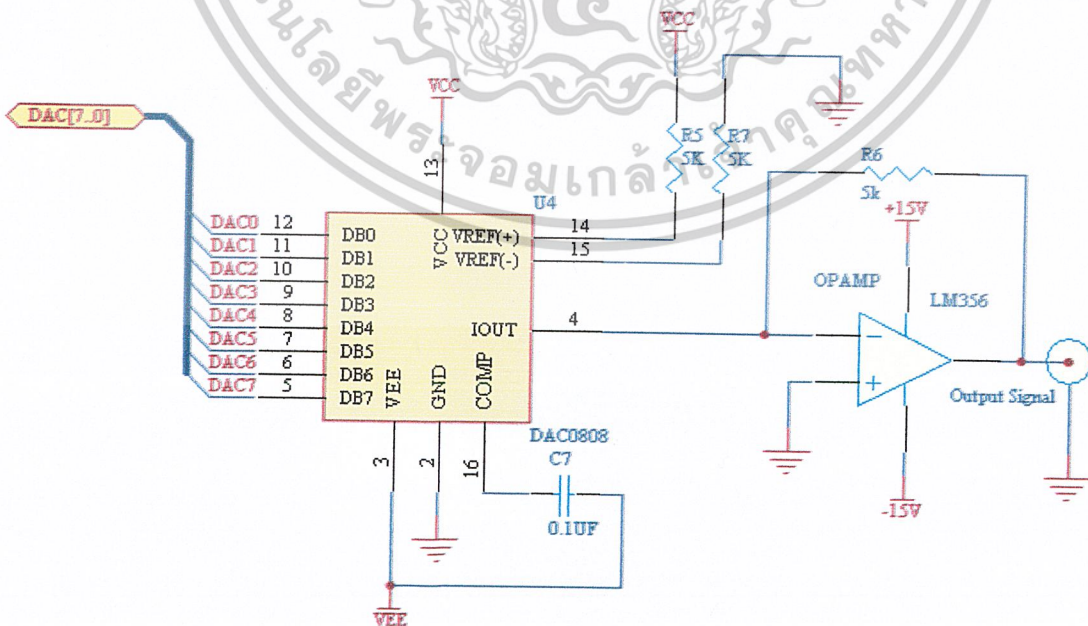
ส่วนของวงจรแปลงสัญญาณอนาล็อกเป็นดิจิตอลใช้ ATOD เบอร์ ADC0820 มาใช้ร่วมกับ FPGA การทำงานนั้นแสดงในรูปที่ 3.5 แสดงถึง Timming Diagram ของ ADC0820



รูปที่ 3.5 แสดงการทำงานของ ADC0820 ในโหมด RD-WR

ในโหมดของ RD-WR นั้นจะมีเวลาการแปลงสัญญาณเท่ากับ 1.5 us เพราะฉะนั้นความถี่สูงสุดที่ใช้ได้คือ $1/1.5\mu s = 666.66\text{KHz}$ แต่ที่ใช้ในโครงการนี้เพียง 60KHz เท่านั้นจึงเพียงพอที่ใช้ได้ การใช้งานคือส่งสัญญาณจากตัวFPGA มายัง ADC0820 แล้วรอข้อมูลที่ออกมาเป็นสัญญาณต่าง ๆ นั้นจะอยู่ในภาคผนวก ADC0820 นี้จะรับอินพุตได้ 0-5V แล้วแปลงไปเป็นบิตดิจิตอล 00H-FFH

3.1.3 วงจร Digital to Analog Converter



รูปที่ 3.6 ส่วนวงจร DAC0808

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้拿去ไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรแปลงสัญญาณดิจิทัลเป็นอนาลอกโดยข้อมูลจะไหลออกมาจากตัวFPGA (เมื่อConvolution เสร็จแล้ว) มันจะนำค่าที่ได้ไปแปลงเป็นสัญญาณอนาลอกแต่ค่าที่ออกมามันเป็นกระแส จึงต้องต่อOPAMP มาเป็นตัวเปลี่ยนเป็นแรงดัน 0- VREF(+) โครงสร้างภายในของDACตัวนั้นเป็นแบบ R2R-LADDER จึงมีความเร็วในการแปลงสัญญาณได้เร็วมาก

IOUT ที่ออกมาจาก DAC จะสามารถคำนวณโดยใช้สมการ

$$I_O = K \left(\frac{A_1}{2} + \frac{A_2}{4} + \frac{A_3}{8} + \frac{A_4}{16} + \frac{A_5}{32} + \frac{A_6}{64} + \frac{A_7}{128} + \frac{A_8}{256} \right)$$

$$\text{where } K = \frac{V_{REF}}{R_{14}}$$

โดยที่ R14 คือ ค่าความต้านทานที่ขา REF(+), A[1..8] คือ บิตของข้อมูล นำ IOUT ที่ได้ไปคูณกับค่าความต้านทาน $R_F = 5 \text{ K}$

จะได้ $V_{OUT} = R_F \times I_{OUT}$

ถ้า $V_{REF} = 5\text{V}$, $V_{OUT \text{ MAX}} = 5\text{V}$

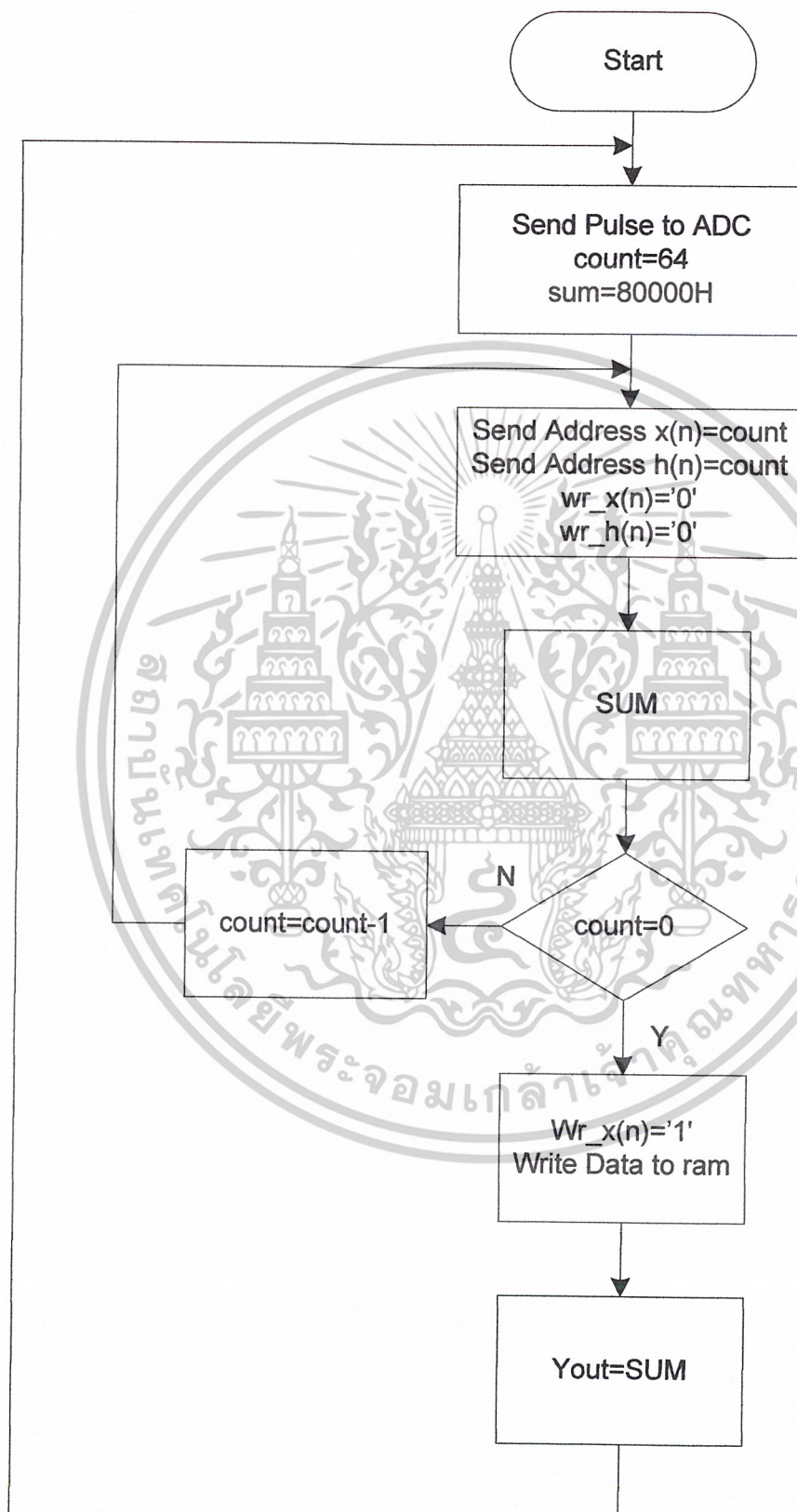
3.2 การออกแบบส่วน Soft Ware

3.2.1 โปรแกรมในส่วนของ FPGA (EPF1K30TC144-3)

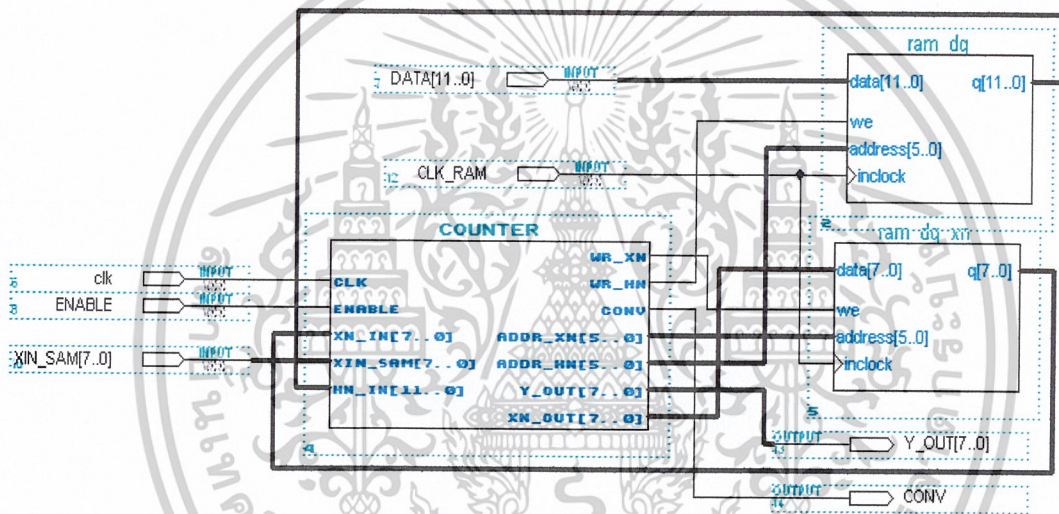
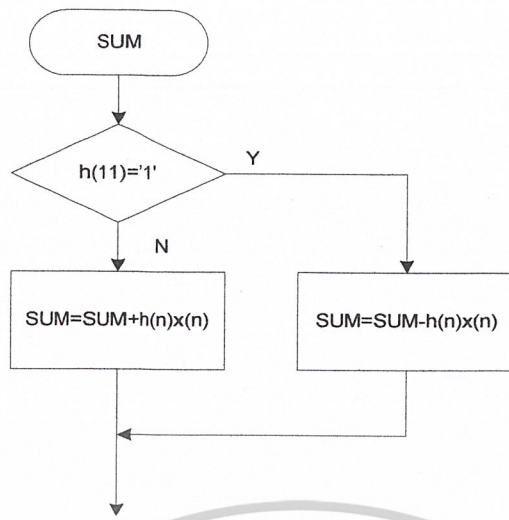
CONVOLUTION

ส่วนนี้จะเป็นส่วนคำนวณของโครงงานนี้โดยที่อินพุต $x(n)$ จะเข้ามาทาง Port XIN_SAM[7..0] และมีสัญญาณสุ่มโดยขา CONV ตามรูปที่ 7.6 เมื่อมีข้อมูลมาแล้ว ส่วนนี้จะทำการอ่านข้อมูลเข้ามา จากนั้นจะเขียนข้อมูลนี้ลงไว้ภายใน RAM ของ CHIP ที่ชื่อ RAM_DQ_XN โดยมีขนาดของ ADDRESS[4..0] สามารถที่จะเก็บอินพุตได้ 64 ค่าซึ่งก็คืออันดับของตัวกรองนั่นเอง จากนั้นมันจะเพิ่ม ADDRESS ของ RAM_DQ_XN และ RAM_DQ ซึ่งใช้เก็บค่าของสัมประสิทธิ์ $h(n)$ แล้วอ่านค่าออกมาแล้วทำการคูณกันระหว่าง $x(n)$ กับ $h(n)$ แล้วเก็บผลลัพธ์ไว้ทำการเพิ่ม ADDRESS ไปเรื่อยๆจนหมดที่ ADDRESS 3FH เป็นอันเสร็จสิ้นกระบวนการ Convolution ในครั้งที่ 1 แล้วส่งออกไปยังเอาพุต DTOA แล้วส่งสัญญาณสุ่มไปใหม่ ทำเช่นนี้ไปเรื่อยๆ

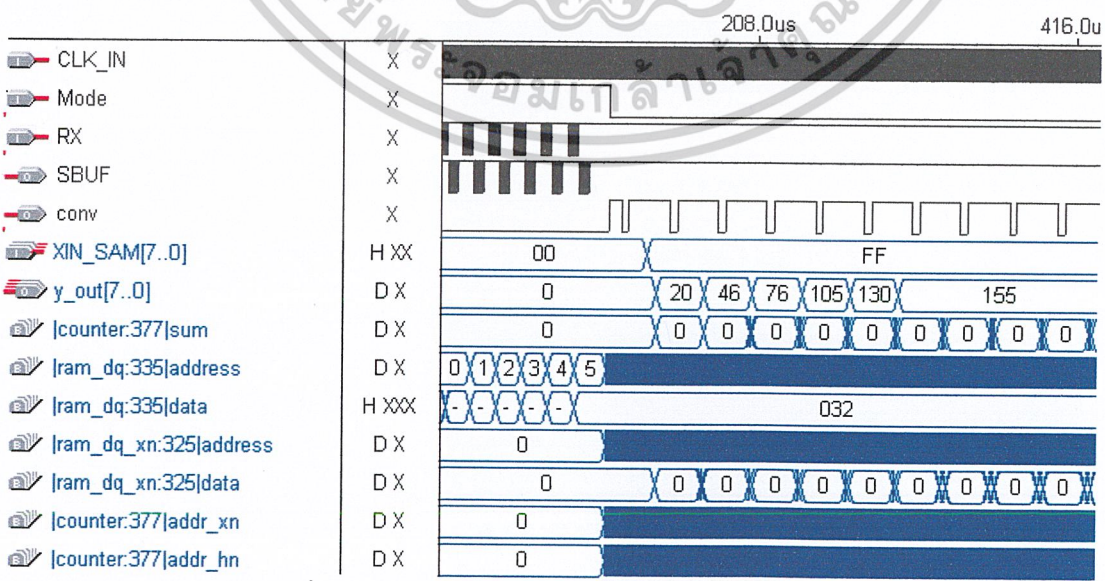
FLOW CHART CONVOLUTION OF FPGA



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.7 CONVOLUTION



รูปที่ 3.8 แสดงผลจากการทดลองในMAXPULSE //

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นิยมนำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 3.8 จะเห็นได้ว่าหลังจากกระบวนการรับค่าสัมประสิทธิ์แล้ว (MODE=1) เราจะส่งสัญญาณสุ่มไปยังADC0820 จนได้ค่าข้อมูลออกมาสมมติให้เป็น FFH เป็น สัญญาณ UNIT STEP เข้ามามันจะทำการเพิ่มADDRESS ขึ้นไปเรื่อยๆดังค่า ADDRESS_XN,ADDRESS_HN แล้วทำการอ่านค่าจาก RAM ทุกครั้งที่อ่านแล้วนำมาคูณกันเก็บไว้ที่ SUM พอนับเสร็จก็จะส่งค่าออกที่ Y_OUT[7..0] เป็นอย่างนี้เรื่อยไป ค่าของ XIN_SAM[7..0] ที่รับเข้ามานั้นจะถูกเลื่อนไป ADDRESS ถัดไปแล้วนำค่าใหม่ใส่เข้าไปแทนการทำลักษณะนี้เหมือนกับการทำ DELAY ใน โครงสร้าง FIR FILTER

COEFFICIENT RECEIVING (h(n))

ส่วนนี้จะทำหน้าที่รับค่าสัมประสิทธิ์จาก SOFTWARE บนคอมพิวเตอร์ผ่านทาง RS232 ตำแหน่งขาและหน้าที่การทำงาน

BUAD_RATE : เป็นขาคำหรับรับความถี่ของการรับส่งของระบบ RS-232 โดยออกแบบไว้ที่ 9600 Bits/Sec

Enable : ทำหน้าที่เป็นตัวเลือกMODE

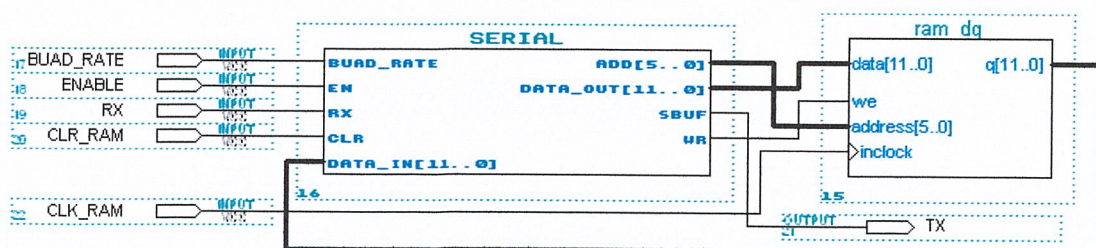
RX : ทำหน้าที่รับข้อมูลที่ส่งมาจากคอมพิวเตอร์

CLR_RAM : ทำหน้าที่ล้างข้อมูลที่มีอยู่ใน RAM_DQ ในกรณีที่โหลดสัมประสิทธิ์ใหม่

CLK_RAM : เป็น CLK ให้กับ RAM_DQ 48MHz

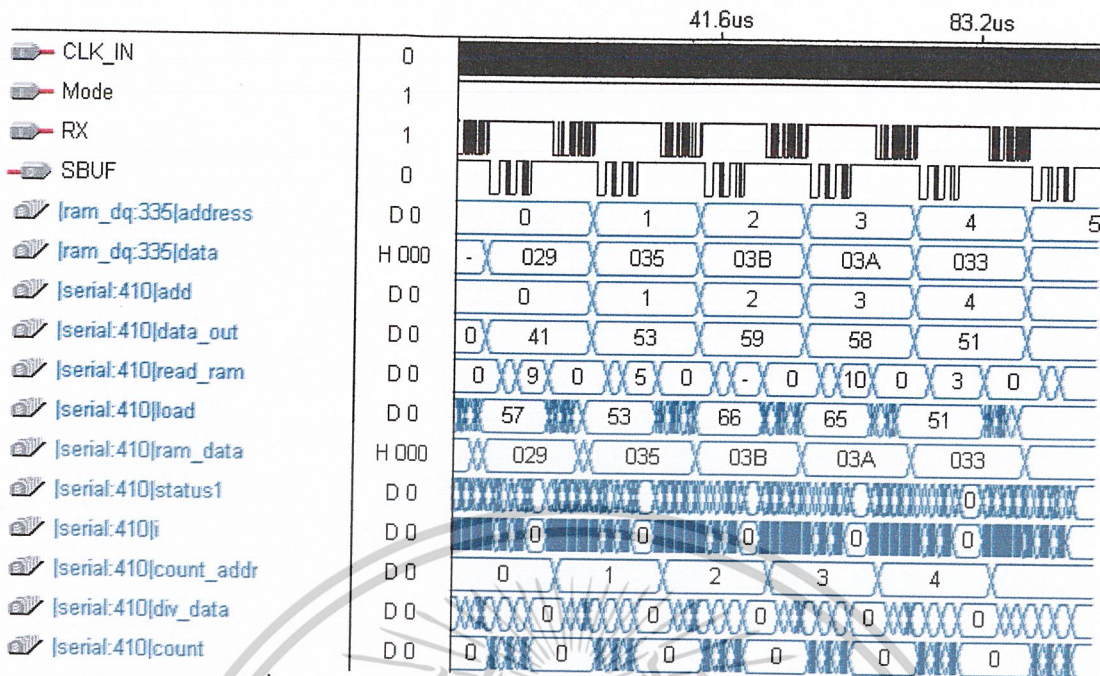
TX : ทำหน้าที่ส่งข้อมูลขึ้นไปตรวจสอบว่าข้อมูลถูกต้องหรือไม่

การทำงานคือข้อมูลจะเข้ามาทาง ขา RX โดยที่BUAD RATE ต้องตรงกันด้วยเมื่อรับข้อมูลเข้ามาแล้วโดยค่าสัมประสิทธิ์ที่ส่งมานั้นจะมีทั้งหมด3 ชุดข้อมูลส่งต่อกันมาเพราะฉะนั้นต้องวนรับข้อมูล 3 รอบ เสร็จแล้วทำการเขียนลงRAM_DQ ต่อมาก็อ่านข้อมูลออกมาแล้วส่งออกไปยัง TX ผ่านRS-232 เพื่อขึ้นไปตรวจสอบว่าค่าที่รับได้นั้นถูกต้องหรือไม่ ถ้าข้อมูลถูกต้องก็จะทำการเพิ่ม ADDRESS RAM แต่ถ้าไม่ก็จะส่งข้อมูลกลับมาอีก ทำเช่นนี้ไปจนหมด



รูปที่ 3.9 ส่วนการรับค่าสัมประสิทธิ์จากคอมพิวเตอร์

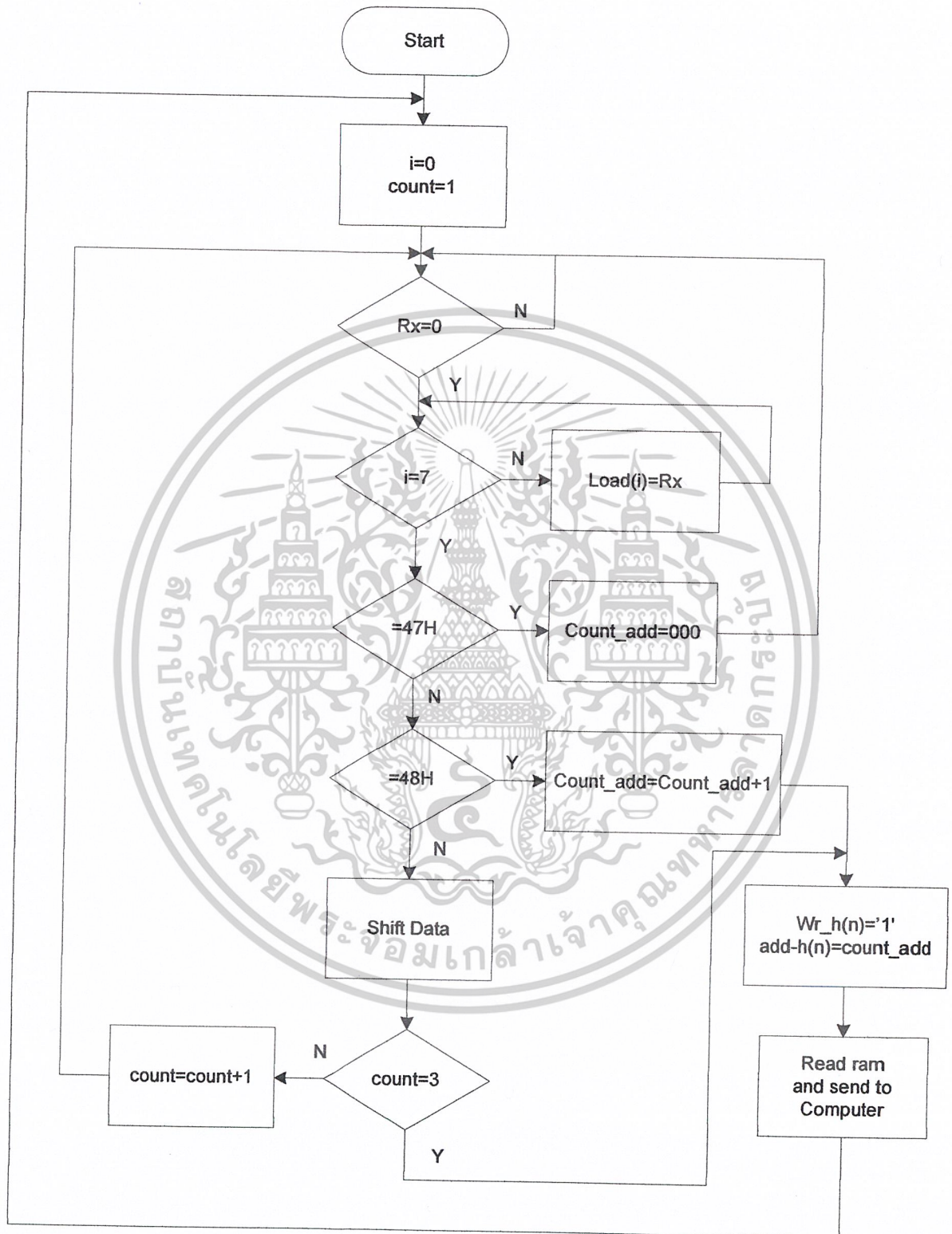
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้拿去ใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



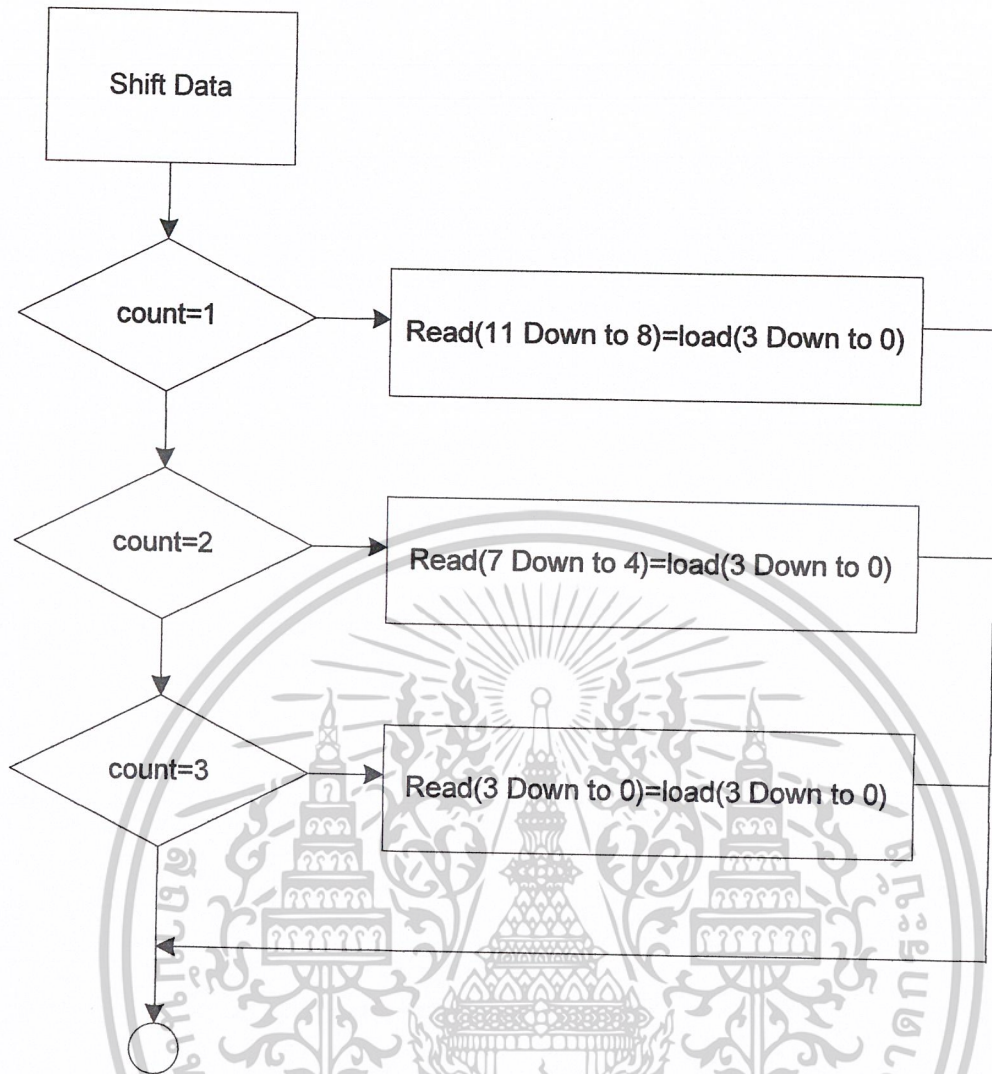
รูปที่ 3.10 แสดงผลของการทดลองส่วนรับค่าสัมประสิทธิ์

จะเห็นว่าเมื่อเราทำการใส่ข้อมูลที่เรา RX = 029H ในแบบอนุกรม ลงไปเมื่อจำลองการทำงานแล้วที่ค่าของ Ram_dq:335|data จะเป็น 029H ในช่วงนี้มันจะอ่านค่าจากRAMแล้วส่งออกมาทาง SBUF (TX) เพื่อขึ้นไปตรวจสอบว่าข้อที่เขียนเข้าไปนั้นถูกต้องหรือไม่ถ้าถูกต้องมันจะเพิ่ม ADDRESS ของRAM ขึ้นดัง รูปที่ 3.10 ในตัวแปร ram_dq:335|address

FLOW CHART COEFFICIENT RECEIVING

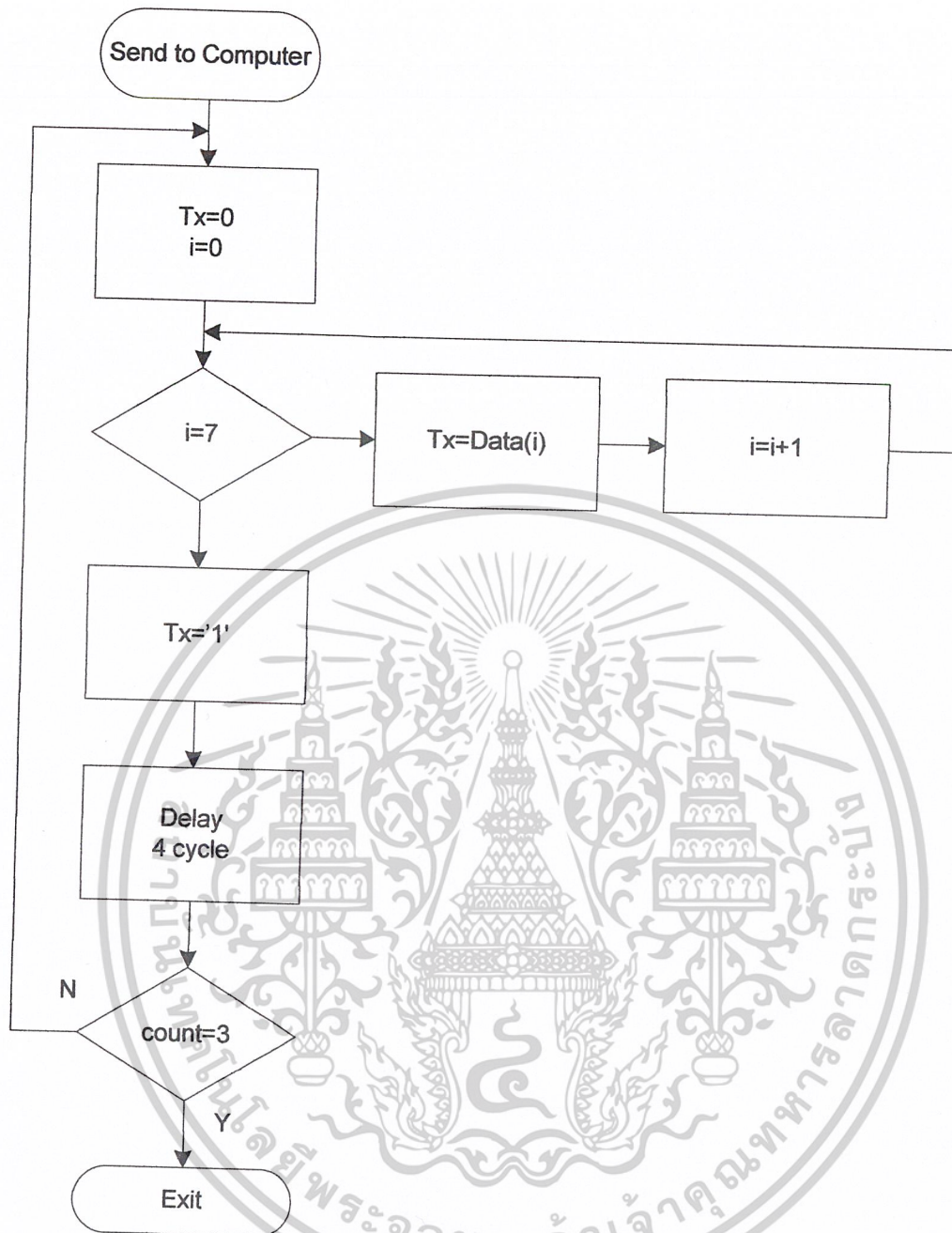


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



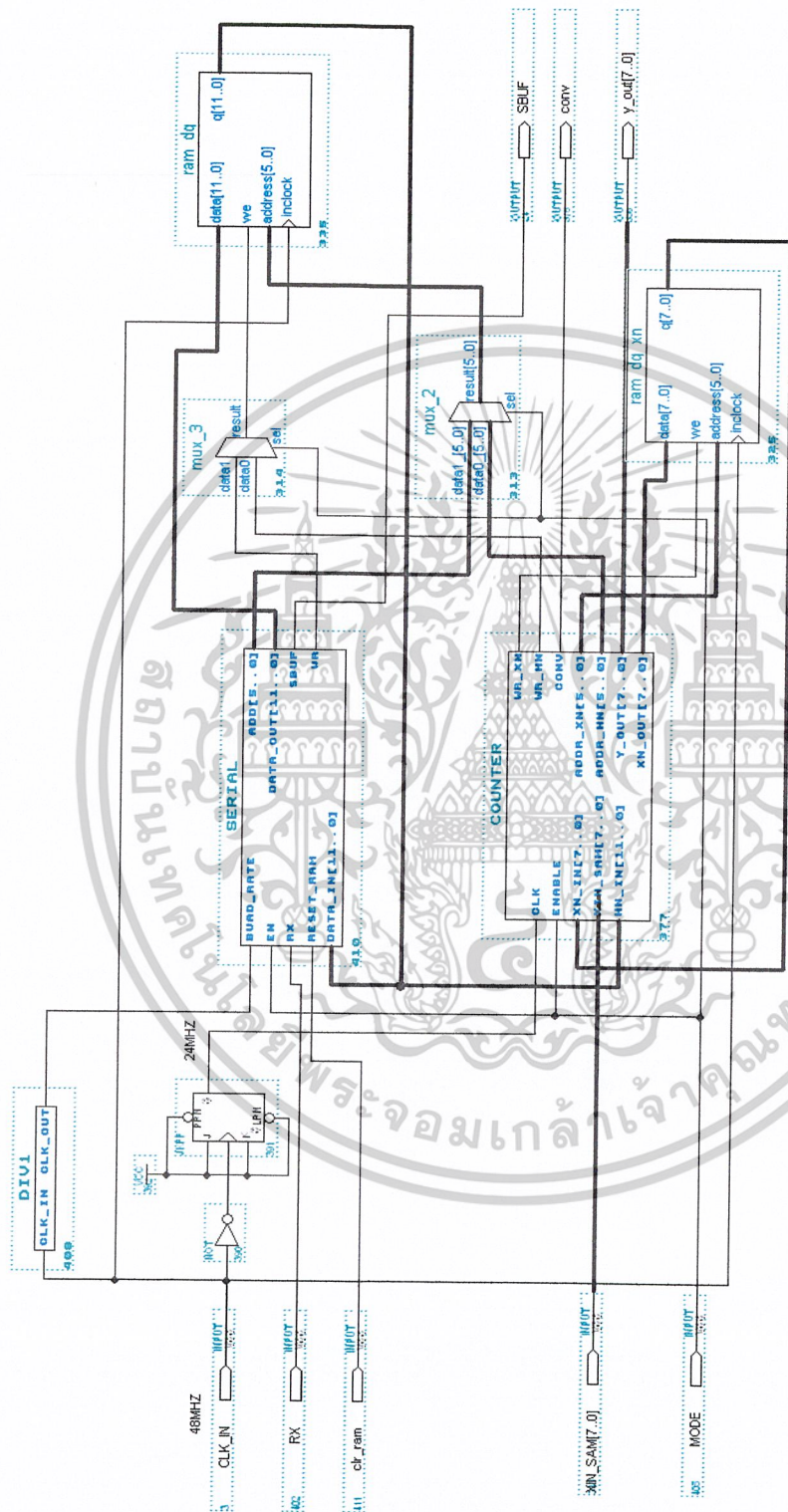
FLOW CHART READ DATA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



FLOW CHART SEND DATA TO COMPUTER

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

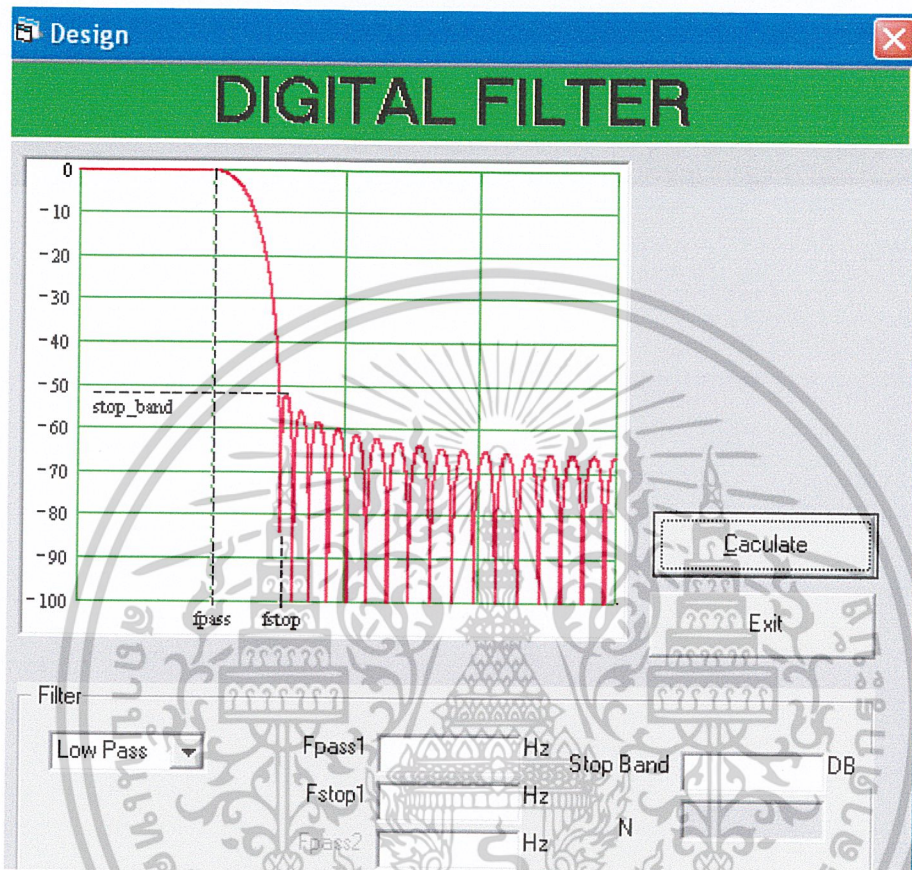


รูปที่ 3.11 เมื่อนำทั้ง CONVOLUTION และ SERIAL มารวมกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้拿去ไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3 SOFTWARE ที่ใช้ในการคำนวณค่าสัมประสิทธิ์

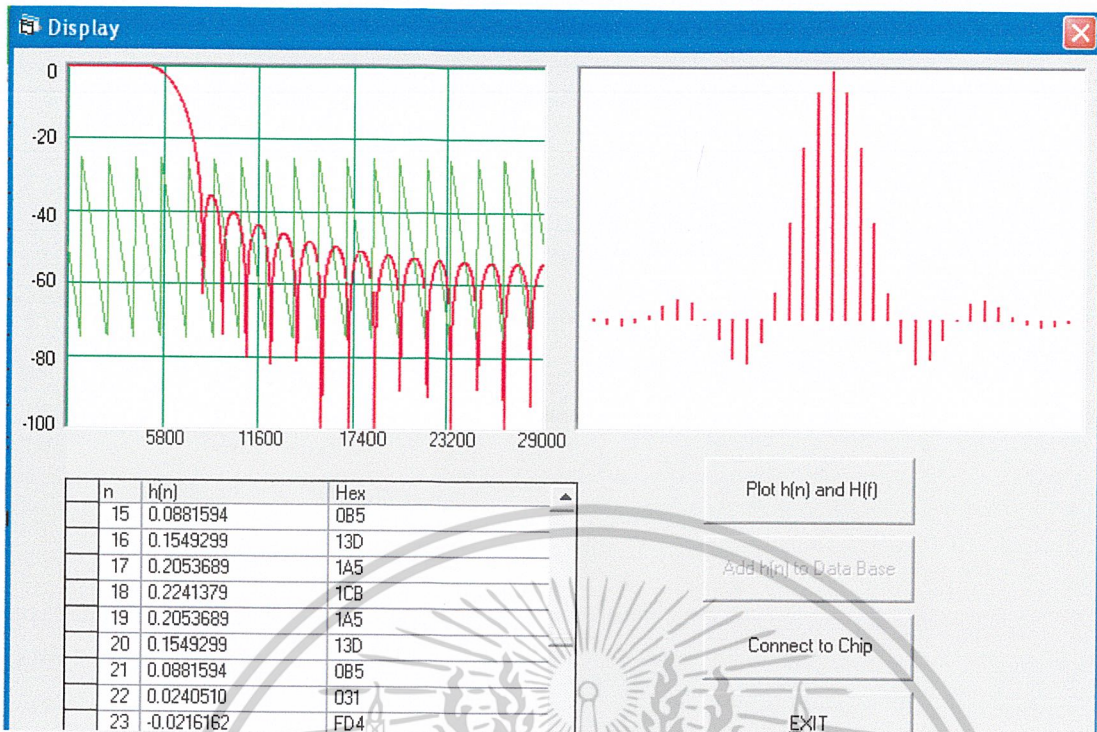
ในการคำนวณหาค่าสัมประสิทธิ์นั้นเราจะใช้ Windows มาทำการออกแบบ
เป็นไปดังรูป 3.12



รูปที่ 3.12 โปรแกรมที่ใช้สำหรับสร้างสัมประสิทธิ์

เมื่อทำการใส่ค่าต่างๆลงไปแล้วให้กดปุ่ม Calculate จะได้ค่าสัมประสิทธิ์ดังรูปข้างล่าง
มันจะนำค่าของ Pass Band Frequency, Stop Frequency, Stop Band Loss ไปคำนวณหา
โดยใช้หลักการของ Windows เสร็จแล้วเราจะได้ $h(n)$ ออกมาแต่มันยังอยู่ในรูปของจุดทศนิยม
ต้องทำการแปลงเป็นจำนวนเต็มโดยการคูณ 2^{11} เข้าไปแล้วแปลงเป็นเลขฐานสิบหกจึงจะเสร็จ
สมบูรณ์เมื่อคำนวณเสร็จแล้วจะเป็นดังรูปที่ 3.13

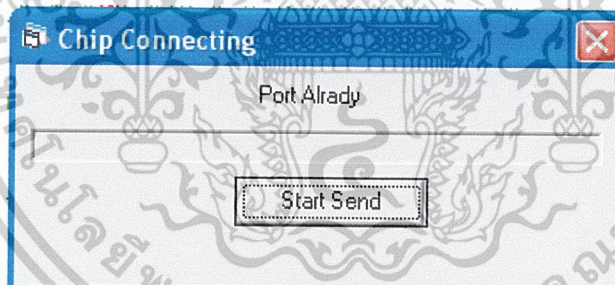
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้拿去ใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.13 แสดงค่าสัมประสิทธิ์เมื่อคำนวณเสร็จแล้ว

ขั้นตอนต่อไปคือโหลดค่าสัมประสิทธิ์ที่ได้ลงบนตัวCHIP FPGA

โดยกดปุ่ม Connect to Chip จะมีหน้าต่างออกมาให้กดปุ่ม Start Send



รูปที่ 3.14 แสดงการเชื่อมต่อกับFPGA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

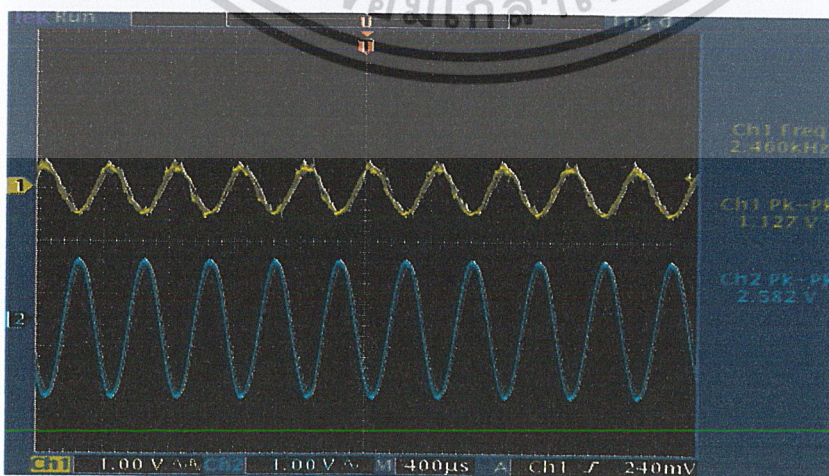
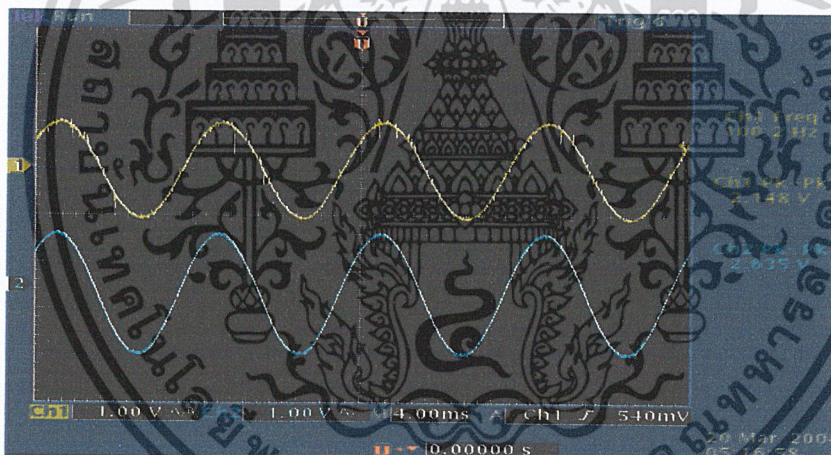
บทที่ 4

ผลการทดลอง

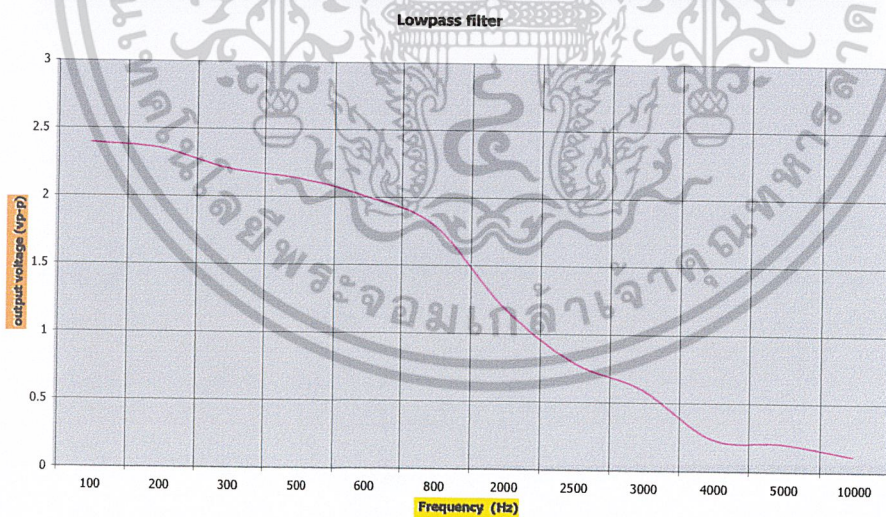
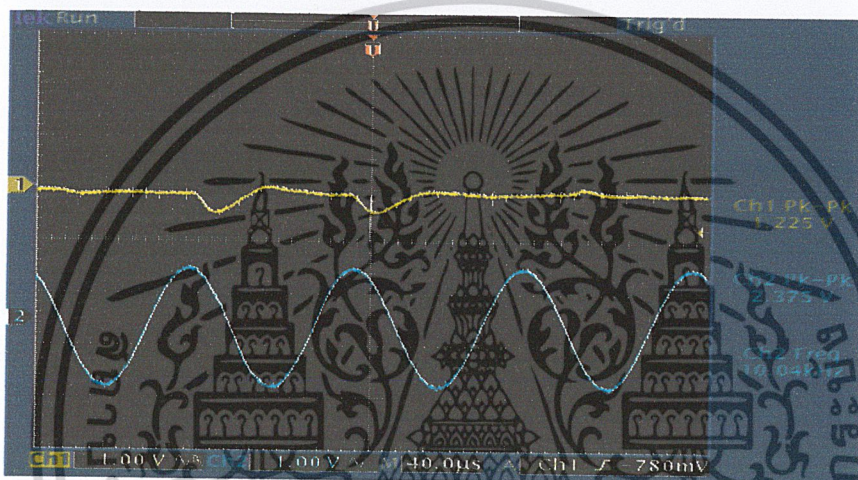
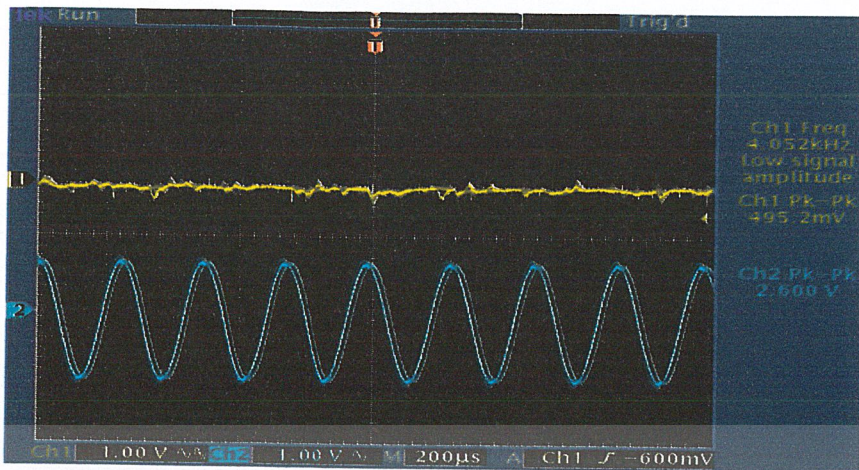
การทดลอง

ในการทดลองวงจรกรองสัญญาณเชิงเลขนี้ จะเป็นการทดลองเพื่อดูผลการทำงานจริงว่าเป็นไปตามที่ได้ออกแบบหรือไม่ โดยในการทดลองจะเริ่มจากการจ่ายไฟเลี้ยงเข้าวงจรและโหลดโปรแกรมจากคอมพิวเตอร์ลงสู่อุปกรณ์ FPGA หลังจากนั้นจ่ายสัญญาณไซน์เวฟ ค่าความถี่ตั้งแต่ 100 Hz ถึง 15 Hz ขนาดแรงดัน 2.3 Vp-p โดยใช้ออสซิลโลสโคป แชนแนล (Channel) ที่ 1 วัดสัญญาณที่เข้าที่พุทของวงจรและ แชนแนลที่ 2 วัดสัญญาณที่ออกพุทของวงจร โดยผลที่ได้จากการทดลอง จะแสดงเฉพาะบางช่วงความถี่เท่านั้นและจากนั้นจะนำผลที่ได้จากการทดลองมาพล็อตกราฟแสดงให้ดูเพื่อให้ง่ายต่อการเข้าใจ

ผลการทดลองวงจรกรองความถี่ต่ำผ่าน



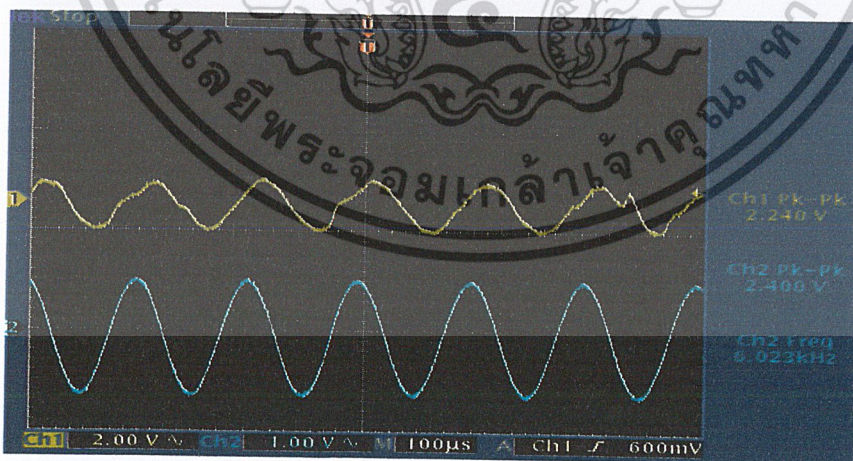
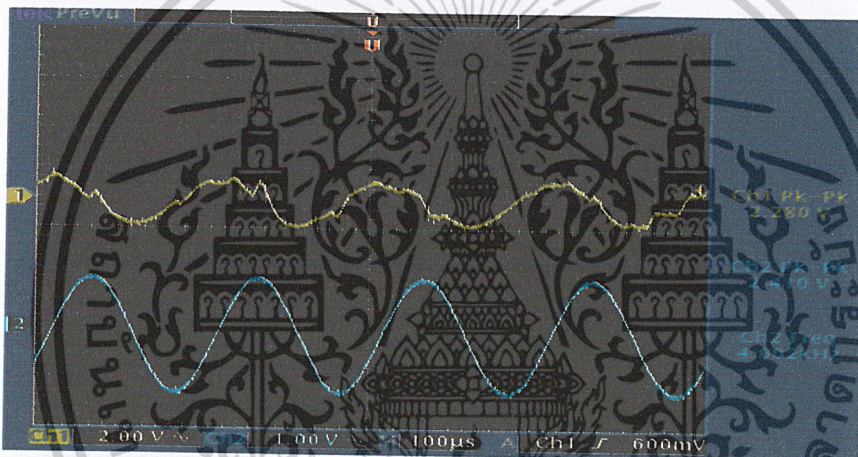
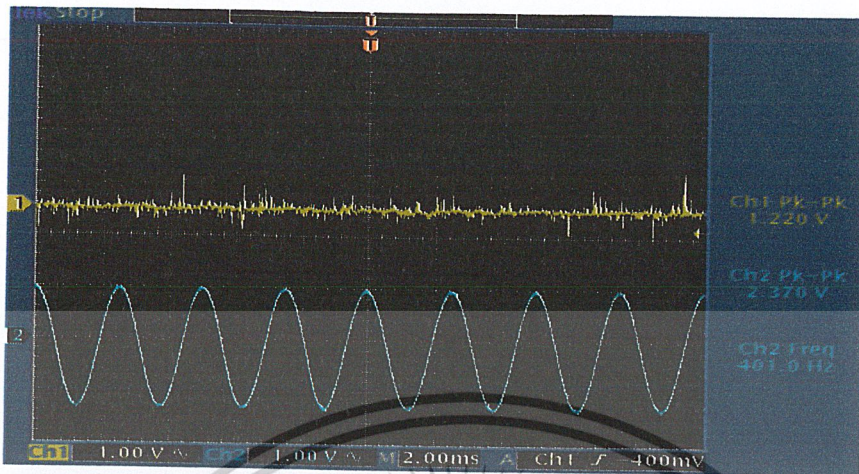
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้拿去ไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



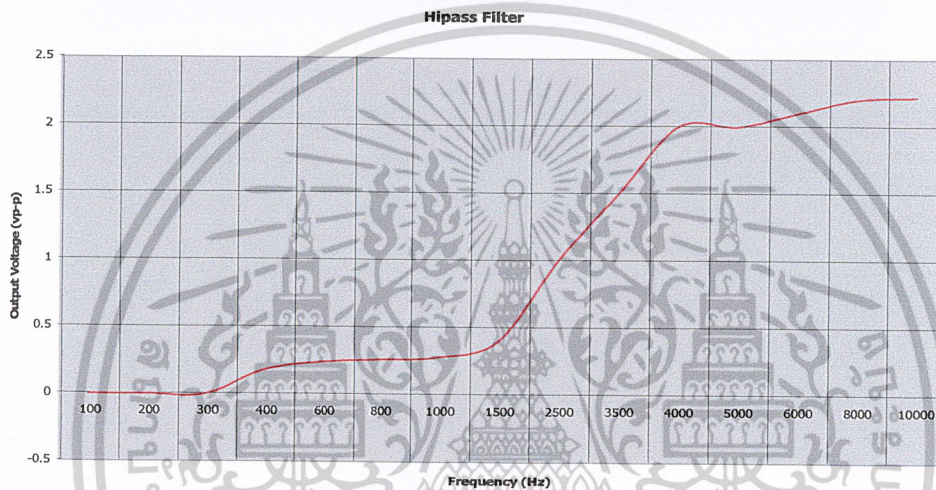
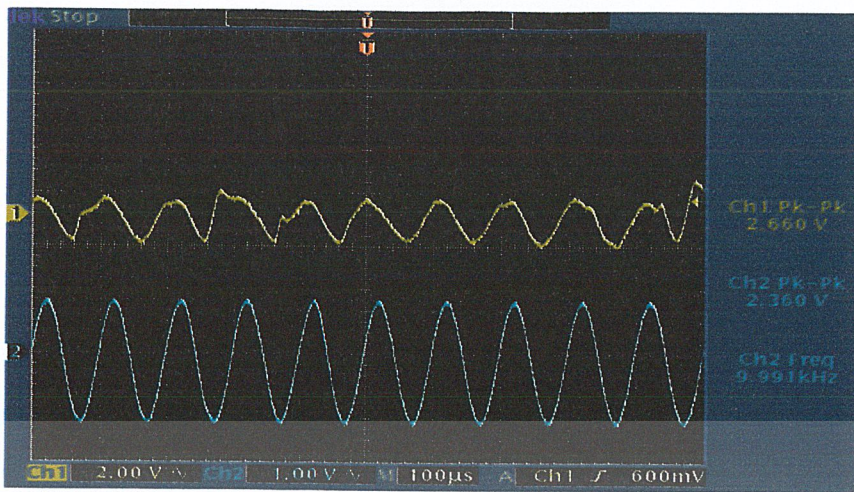
รูปที่ 4.1 กราฟแสดงผลการทดลองวงจรกรองความถี่ต่ำผ่าน ($f_{pass} = 500 \text{ Hz}$ $f_{stop} = 4\text{KHz}$)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ผลการทดลองวงจรกรองความถี่สูงผ่าน

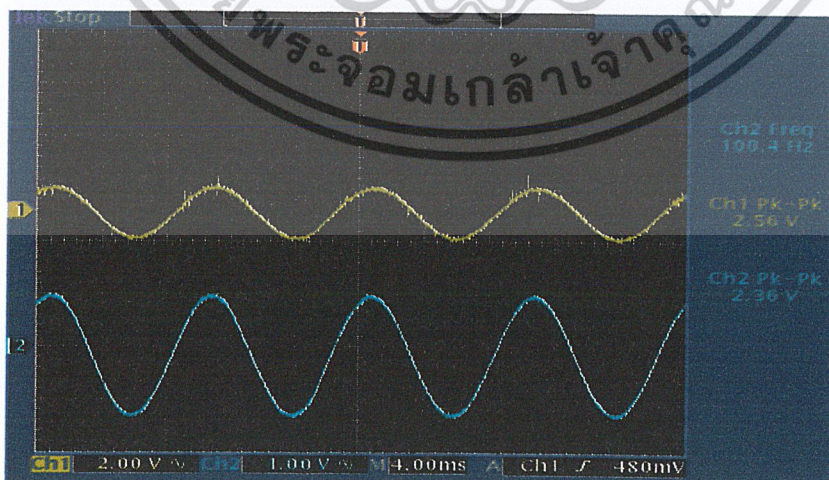


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้拿去ใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

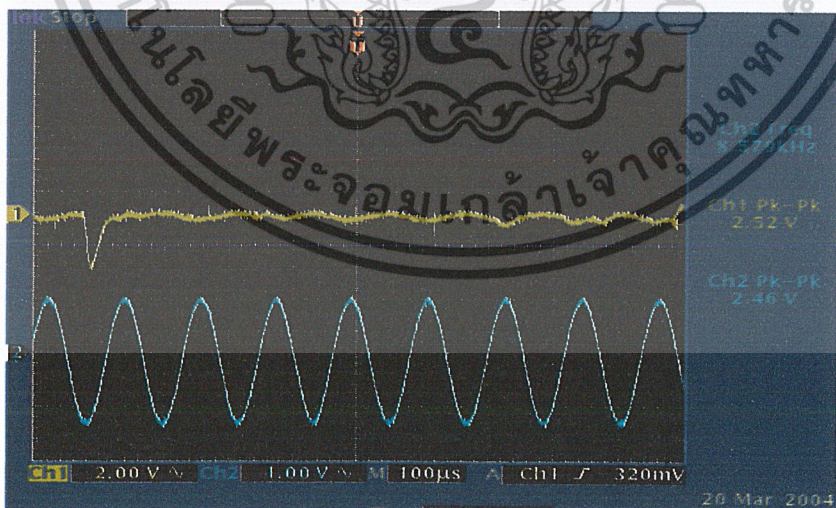
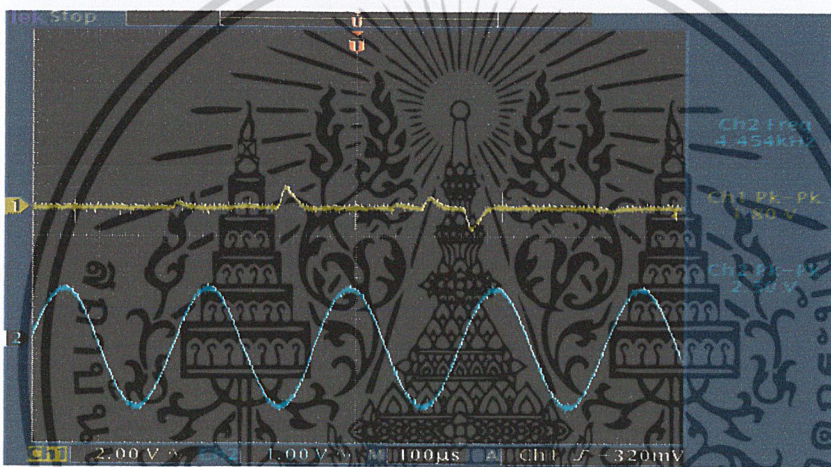
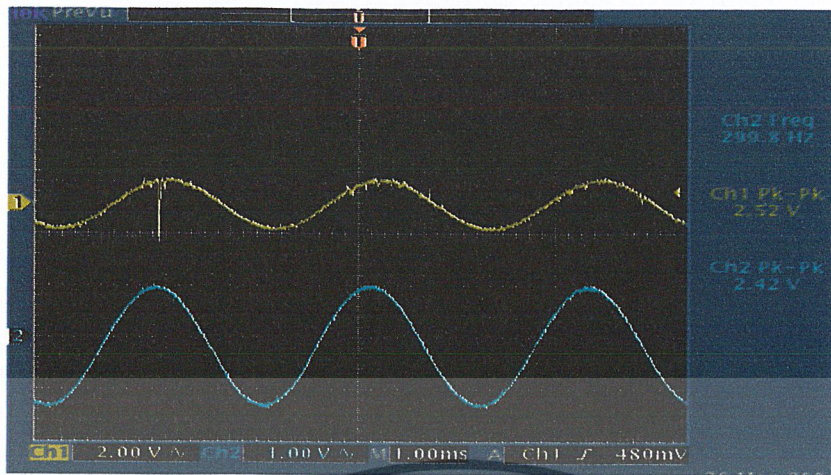


รูปที่ 4.2 กราฟแสดงผลการทดลองวงจรกรองความถี่สูงผ่าน ($f_{stop} = 400\text{Hz}$, $f_{pass} = 4\text{kHz}$)

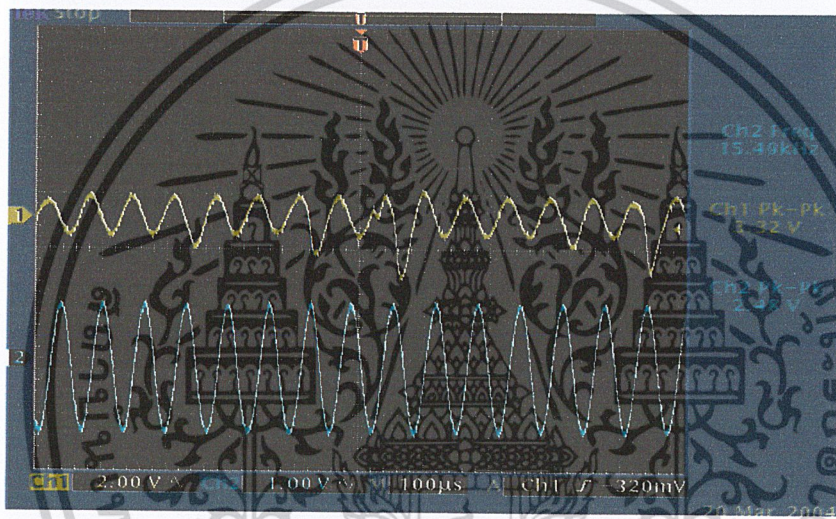
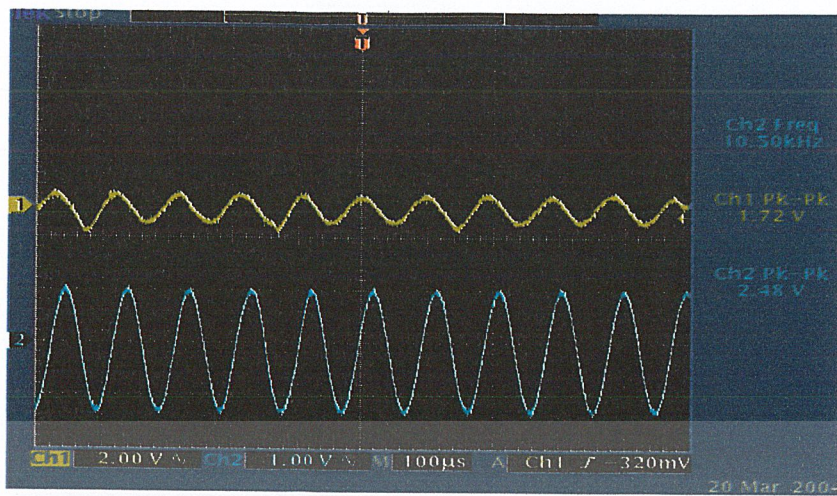
ผลการทดลองวงจรกำจัดแถบความถี่ผ่าน (BAND REJECT FILTER)



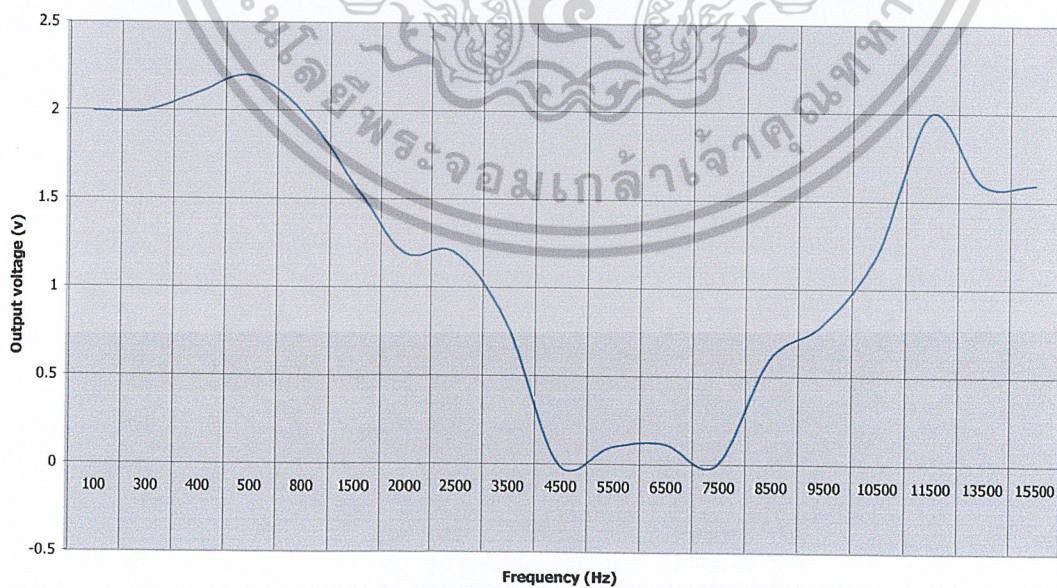
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้拿去ใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



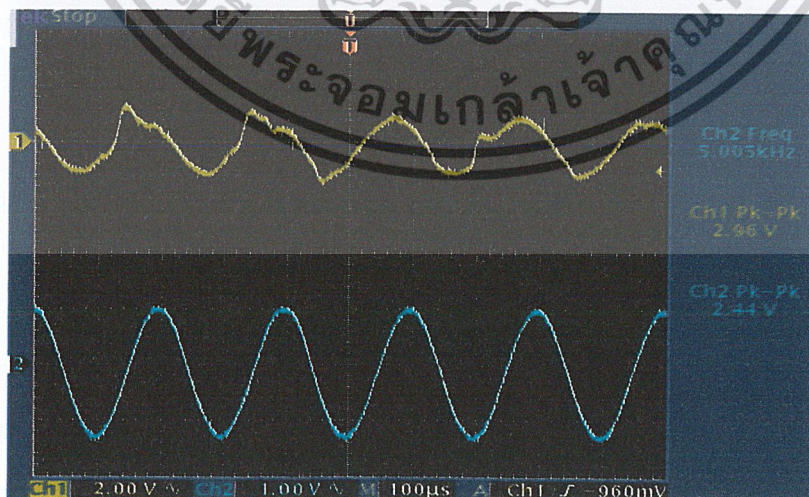
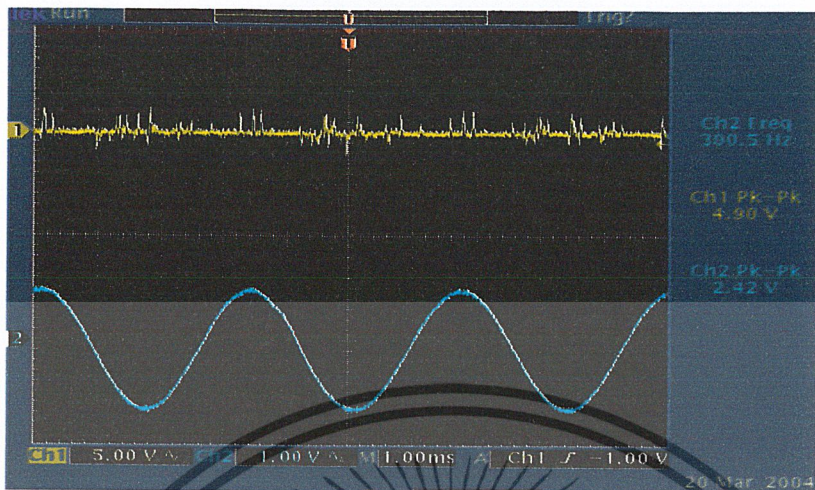
Band reject filter



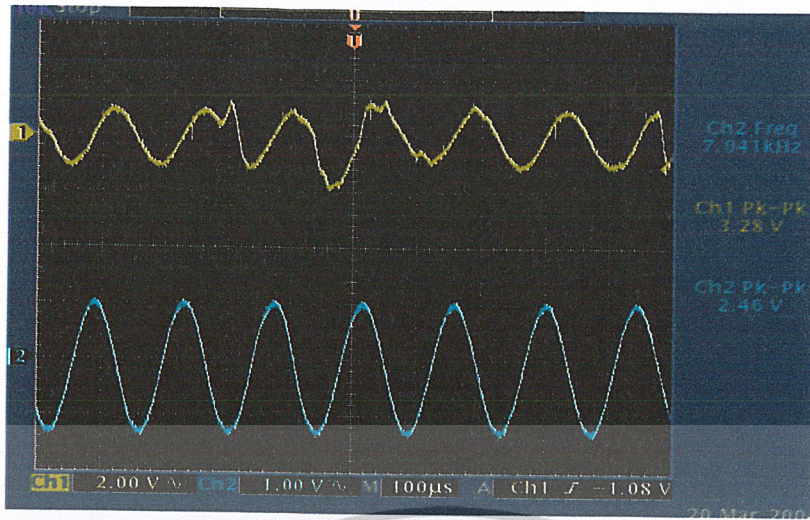
รูปที่ 4.3 กราฟแสดงผลการทดลองวงจร BAND REJECT FILTER (4KHz- 8KHz)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้拿去ใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

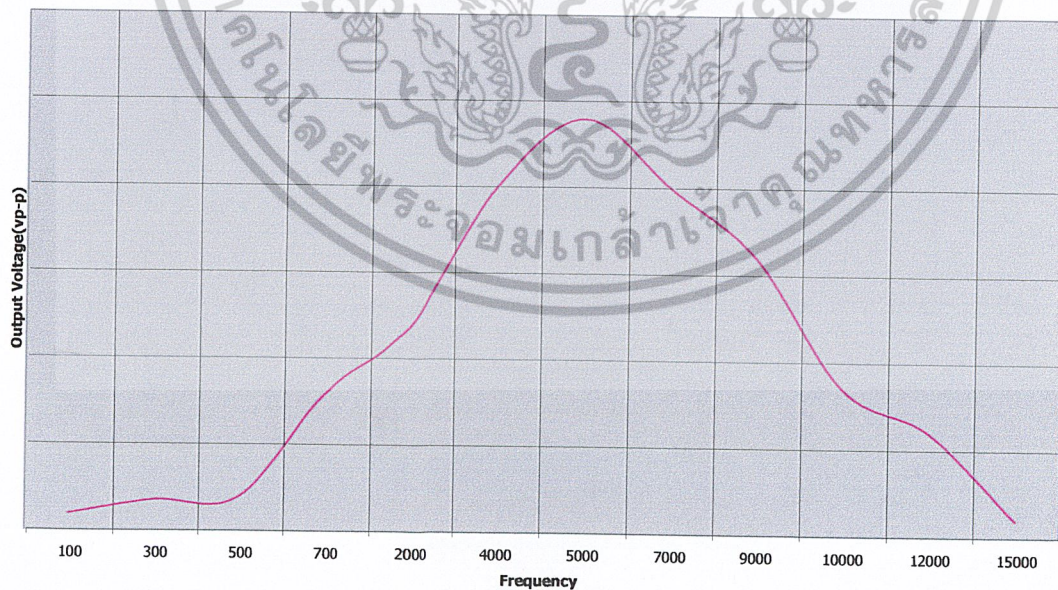
ผลการทดลองวงจรกรองแถบความถี่ผ่าน(BAND PASS FILTER)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้拿去ใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Bandpass



รูปที่ 4.4 กราฟแสดงผลการทดลองวงจรกรองแถบความถี่ผ่าน (BANDPASS FILTER 4KHz-8KHz)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้拿去ใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5

สรุปผลการทดลอง

สรุป ผลการทดลองเราสามารถออกแบบ FILTER ได้โดยใช้ FPGA และสามารถที่จะปรับเปลี่ยนค่า Freq Pass band ได้ และ Freq Stop Band ได้โดยผ่านทาง SOFTWARE ด้วยความถี่สุ่ม 125 KHz จากผลที่ได้ออกมาในแต่ละชนิดนั้นตรงกับได้ที่ออกแบบไว้ แต่โครงการใช้ gate ไปค่อนข้างมาก ซึ่งใช้ไปถึง 2/3 ของ Gate ทั้งหมด การพัฒนาต่อไป เราอาจจะนำไปสร้าง FILTER ที่ซับซ้อนได้ หรืออาจ FILTER ได้ที่ความถี่สูงๆได้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DAC0808

8-Bit D/A Converter

General Description

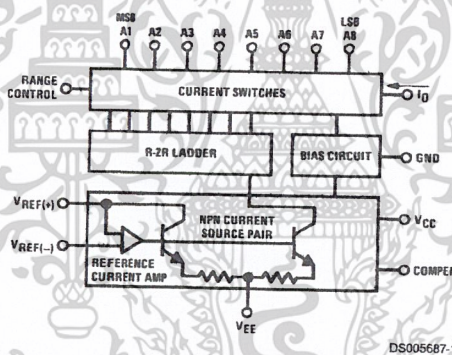
The DAC0808 is an 8-bit monolithic digital-to-analog converter (DAC) featuring a full scale output current settling time of 150 ns while dissipating only 33 mW with $\pm 5V$ supplies. No reference current (I_{REF}) trimming is required for most applications since the full scale output current is typically ± 1 LSB of $255 I_{REF}/256$. Relative accuracies of better than $\pm 0.19\%$ assure 8-bit monotonicity and linearity while zero level output current of less than $4 \mu A$ provides 8-bit zero accuracy for $I_{REF} \geq 2$ mA. The power supply currents of the DAC0808 is independent of bit codes, and exhibits essentially constant device characteristics over the entire supply voltage range.

The DAC0808 will interface directly with popular TTL, DTL or CMOS logic levels, and is a direct replacement for the MC1508/MC1408. For higher speed applications, see DAC0800 data sheet.

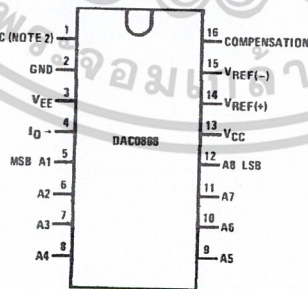
Features

- Relative accuracy: $\pm 0.19\%$ error maximum
- Full scale current match: ± 1 LSB typ
- Fast settling time: 150 ns typ
- Noninverting digital inputs are TTL and CMOS compatible
- High speed multiplying input slew rate: 8 mA/ μs
- Power supply voltage range: $\pm 4.5V$ to $\pm 18V$
- Low power consumption: 33 mW @ $\pm 5V$

Block and Connection Diagrams



Dual-In-Line Package

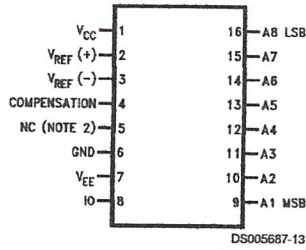


Top View
Order Number DAC0808
See NS Package M16A or N16A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Block and Connection Diagrams (Continued)

Small-Outline Package



Ordering Information

ACCURACY	OPERATING TEMPERATURE RANGE	N PACKAGE (N16A) (Note 1)		SO PACKAGE (M16A)
		DAC0808LCN	MC1408P8	DAC0808LCM
8-bit	$0^{\circ}\text{C} \leq T_A \leq +75^{\circ}\text{C}$			

Note 1: Devices may be ordered by using either order number.



Absolute Maximum Ratings (Note 2)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/ Distributors for availability and specifications.

Power Supply Voltage	
V_{CC}	+18 V_{DC}
V_{EE}	-18 V_{DC}
Digital Input Voltage, V_5 - V_{12}	-10 V_{DC} to +18 V_{DC}
Applied Output Voltage, V_O	-11 V_{DC} to +18 V_{DC}
Reference Current, I_{14}	5 mA
Reference Amplifier Inputs, V_{14} , V_{15}	V_{CC} , V_{EE}
Power Dissipation (Note 4)	1000 mW
ESD Susceptibility (Note 5)	TBD

Storage Temperature Range	-65°C to +150°C
Lead Temp. (Soldering, 10 seconds)	
Dual-In-Line Package (Plastic)	260°C
Dual-In-Line Package (Ceramic)	300°C
Surface Mount Package	
Vapor Phase (60 seconds)	215°C
Infrared (15 seconds)	220°C

Operating Ratings

Temperature Range	$T_{MIN} \leq T_A \leq T_{MAX}$
DAC0808	$0 \leq T_A \leq +75^\circ C$

Electrical Characteristics

($V_{CC} = 5V$, $V_{EE} = -15 V_{DC}$, $V_{REF}/R_{14} = 2 mA$, and all digital inputs at high logic level unless otherwise noted.)

Symbol	Parameter	Conditions	Min	Typ	Max	Units
E_r	Relative Accuracy (Error Relative to Full Scale I_O)	(Figure 4)				%
	DAC0808LC (LM1408-8)				± 0.19	%
	Settling Time to Within 1/2 LSB (Includes t_{PLH})	$T_A = 25^\circ C$ (Note 7), (Figure 5)		150		ns
t_{PLH} , t_{PHL}	Propagation Delay Time	$T_A = 25^\circ C$, (Figure 5)		30	100	ns
TCI_O	Output Full Scale Current Drift			± 20		ppm/°C
MSB	Digital Input Logic Levels	(Figure 3)				
	High Level, Logic "1"		2			V_{DC}
V_{IH}	Low Level, Logic "0"				0.8	V_{DC}
MSB	Digital Input Current	(Figure 3)				
	High Level	$V_{IH} = 5V$		0	0.040	mA
	Low Level	$V_{IL} = 0.8V$		-0.003	-0.8	mA
I_{15}	Reference Input Bias Current	(Figure 3)		-1	-3	μA
	Output Current Range	(Figure 3)				
		$V_{EE} = -5V$	0	2.0	2.1	mA
		$V_{EE} = -15V$, $T_A = 25^\circ C$	0	2.0	4.2	mA
I_O	Output Current	$V_{REF} = 2.000V$, $R_{14} = 1000\Omega$, (Figure 3)	1.9	1.99	2.1	mA
	Output Current, All Bits Low	(Figure 3)		0	4	μA
	Output Voltage Compliance (Note 3)	$E_r \leq 0.19\%$, $T_A = 25^\circ C$			-0.55, +0.4	V_{DC}
		$V_{EE} = -5V$, $I_{REF} = 1 mA$			-5.0, +0.4	V_{DC}
		V_{EE} Below -10V				
SRI_{REF}	Reference Current Slew Rate	(Figure 6)	4	8		mA/ μs
	Output Current Power Supply Sensitivity	$-5V \leq V_{EE} \leq -16.5V$		0.05	2.7	$\mu A/V$
I_{CC}	Power Supply Current (All Bits Low)	(Figure 3)		2.3	22	mA
				-4.3	-13	mA
V_{CC}	Power Supply Voltage Range	$T_A = 25^\circ C$, (Figure 3)	4.5	5.0	5.5	V_{DC}
			-4.5	-15	-16.5	V_{DC}
V_{EE}	Power Dissipation					

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้拿去ใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Electrical Characteristics (Continued)

($V_{CC} = 5V$, $V_{EE} = -15V_{DC}$, $V_{REF}/R14 = 2\text{ mA}$, and all digital inputs at high logic level unless otherwise noted.)

Symbol	Parameter	Conditions	Min	Typ	Max	Units
	All Bits Low	$V_{CC} = 5V$, $V_{EE} = -5V$		33	170	mW
		$V_{CC} = 5V$, $V_{EE} = -15V$		106	305	mW
	All Bits High	$V_{CC} = 15V$, $V_{EE} = -5V$		90		mW
		$V_{CC} = 15V$, $V_{EE} = -15V$		160		mW

Note 2: Absolute Maximum Ratings indicate limits beyond which damage to the device may occur. DC and AC electrical specifications do not apply when operating the device beyond its specified operating conditions.

Note 3: Range control is not required.

Note 4: The maximum power dissipation must be derated at elevated temperatures and is dictated by T_{JMAX} , θ_{JA} , and the ambient temperature, T_A . The maximum allowable power dissipation at any temperature is $P_D = (T_{JMAX} - T_A)/\theta_{JA}$ or the number given in the Absolute Maximum Ratings, whichever is lower. For this device, $T_{JMAX} = 125^\circ\text{C}$, and the typical junction-to-ambient thermal resistance of the dual-in-line J package when the board mounted is 100°C/W . For the dual-in-line N package, this number increases to 175°C/W and for the small outline M package this number is 100°C/W .

Note 5: Human body model, 100 pF discharged through a 1.5 k Ω resistor.

Note 6: All current switches are tested to guarantee at least 50% of rated current.

Note 7: All bits switched.

Note 8: Pin-out numbers for the DAL080X represent the dual-in-line package. The small outline package pinout differs from the dual-in-line package.

Typical Application

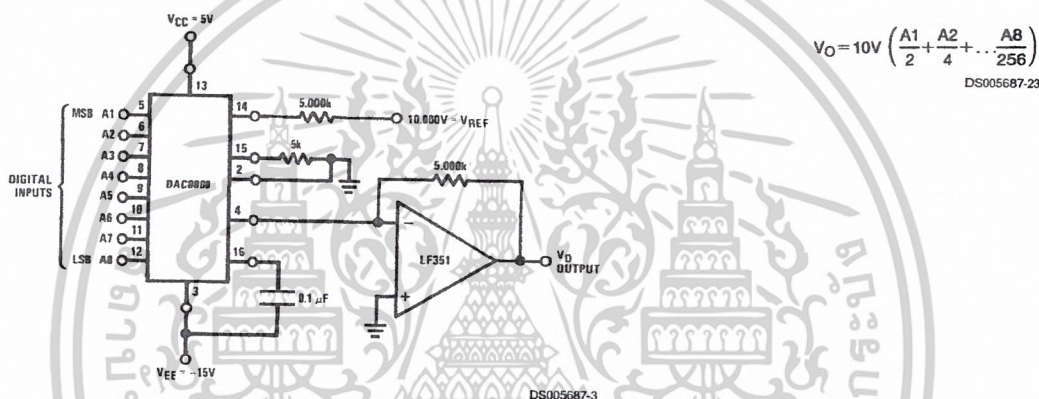
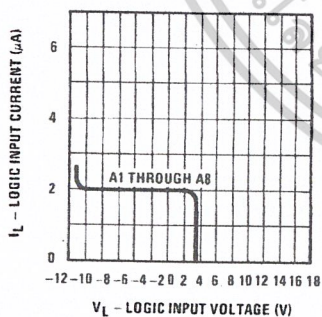


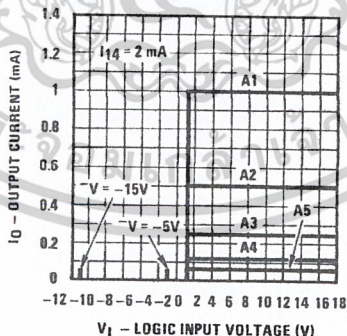
FIGURE 1. +10V Output Digital to Analog Converter (Note 8)

Typical Performance Characteristics $V_{CC} = 5V$, $V_{EE} = -15V$, $T_A = 25^\circ\text{C}$, unless otherwise noted

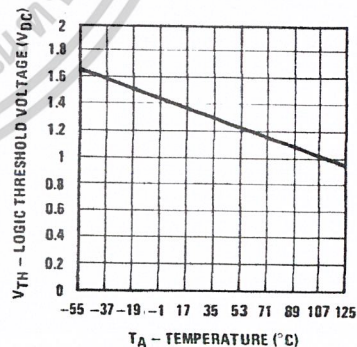
Logic Input Current vs Input Voltage



Bit Transfer Characteristics



Logic Threshold Voltage vs Temperature



ADC0820

8-Bit High Speed μ P Compatible A/D Converter with Track/Hold Function

General Description

By using a half-flash conversion technique, the 8-bit ADC0820 CMOS A/D offers a 1.5 μ s conversion time and dissipates only 75 mW of power. The half-flash technique consists of 32 comparators, a most significant 4-bit ADC and a least significant 4-bit ADC.

The input to the ADC0820 is tracked and held by the input sampling circuitry eliminating the need for an external sample-and-hold for signals moving at less than 100 mV/ μ s.

For ease of interface to microprocessors, the ADC0820 has been designed to appear as a memory location or I/O port without the need for external interfacing logic.

Key Specifications

- Resolution
- Conversion Time
- Low Power
- Total Unadjusted Error

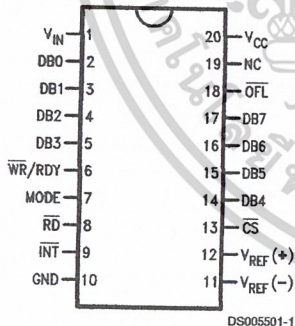
8 Bits
 2.5 μ s Max (RD Mode)
 1.5 μ s Max (WR-RD Mode)
 75 mW Max
 $\pm 1/2$ LSB and ± 1 LSB

Features

- Built-in track-and-hold function
- No missing codes
- No external clocking
- Single supply—5 V_{DC}
- Easy interface to all microprocessors, or operates stand-alone
- Latched STRI-STATE output
- Logic inputs and outputs meet both MOS and T²L voltage level specifications
- Operates ratiometrically or with any reference value equal to or less than V_{CC}
- 0V to 5V analog input voltage range with single 5V supply
- No zero or full-scale adjust required
- Overflow output available for cascading
- 0.3" standard width 20-pin DIP
- 20-pin molded chip carrier package
- 20-pin small outline package
- 20-pin shrink small outline package (SSOP)

Connection and Functional Diagrams

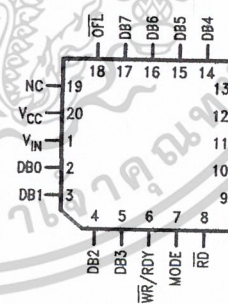
Dual-In-Line, Small Outline and SSOP Packages



Top View

DS005501-1

Molded Chip Carrier Package



DS005501-33

Connection and Functional Diagrams (Continued)

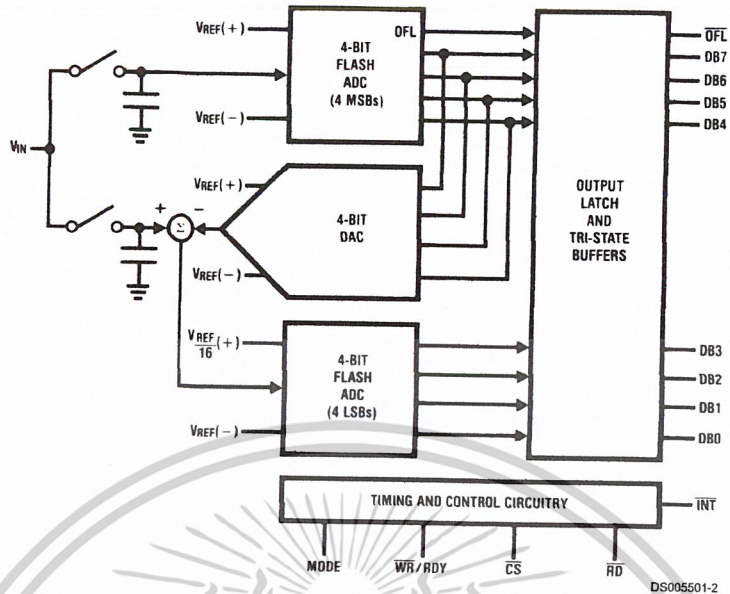


FIGURE 1.

Ordering Information

Part Number	Total Unadjusted Error	Package	Temperature Range
ADC0820BCV	$\pm \frac{1}{2}$ LSB	V20A—Molded Chip Carrier	0°C to +70°C
ADC0820BCWM		M20B—Wide Body Small Outline	0°C to +70°C
ADC0820BCN		N20A—Molded DIP	0°C to +70°C
ADC0820CCJ	± 1 LSB	J20A—Cerdip	-40°C to +85°C
ADC0820CCWM		M20B—Wide Body Small Outline	0°C to +70°C
ADC0820CIWM		M20B—Wide Body Small Outline	-40°C to +85°C
ADC0820CCN		N20A—Molded DIP	0°C to +70°C

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้拿去ใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings (Notes 1, 2)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Supply Voltage (V_{CC})	10V
Logic Control Inputs	-0.2V to V_{CC} +0.2V
Voltage at Other Inputs and Output	-0.2V to V_{CC} +0.2V
Storage Temperature Range	-65°C to +150°C
Package Dissipation at $T_A = 25^\circ\text{C}$	875 mW
Input Current at Any Pin (Note 5)	1 mA
Package Input Current (Note 5)	4 mA
ESD Susceptibility (Note 9)	1200V
Lead Temp. (Soldering, 10 sec.)	
Dual-In-Line Package (plastic)	260°C

Dual-In-Line Package (ceramic)	300°C
Surface Mount Package	
Vapor Phase (60 sec.)	215°C
Infrared (15 sec.)	220°C

Operating Ratings (Notes 1, 2)

Temperature Range	$T_{MIN} \leq T_A \leq T_{MAX}$
ADC0820CCJ	-40°C $\leq T_A \leq$ +85°C
ADC0820CIWM	-40°C $\leq T_A \leq$ +85°C
ADC0820BCN, ADC0820CCN	0°C $\leq T_A \leq$ 70°C
ADC0820BCV	0°C $\leq T_A \leq$ 70°C
ADC0820BCWM, ADC0820CCWM	0°C $\leq T_A \leq$ 70°C
V_{CC} Range	4.5V to 8V

Converter Characteristics

The following specifications apply for RD mode (pin 7=0), $V_{CC}=5V$, $V_{REF(+)}=5V$, and $V_{REF(-)}=GND$ unless otherwise specified. **Boldface limits apply from T_{MIN} to T_{MAX}** ; all other limits $T_A=T_I=25^\circ\text{C}$.

Parameter	Conditions	ADC0820CCJ			ADC0820BCN, ADC0820CCN ADC0820BCV, ADC0820BCWM ADC0820CCWM, ADC0820CIWM			Limit Units
		Typ	Tested	Design	Typ	Tested	Design	
		(Note 6)	Limit (Note 7)	Limit (Note 8)	(Note 6)	Limit (Note 7)	Limit (Note 8)	
Resolution			8		8	8	8	Bits
Total Unadjusted Error (Note 3)	ADC0820BCN, BCWM ADC0820CCJ ADC0820CCN, CCWM, CIWM, ADC0820CCMSA		± 1		$\pm 1/2$	± 1	± 1	LSB LSB LSB LSB
Minimum Reference Resistance		2.3	1.00		2.3	1.2		k Ω
Maximum Reference Resistance		2.3	6		2.3	5.3	6	k Ω
Maximum $V_{REF(+)}$ Input Voltage			V_{CC}			V_{CC}	V_{CC}	V
Minimum $V_{REF(-)}$ Input Voltage			GND			GND	GND	V
Minimum $V_{REF(+)}$ Input Voltage			$V_{REF(-)}$			$V_{REF(-)}$	$V_{REF(-)}$	V
Maximum $V_{REF(-)}$ Input Voltage			$V_{REF(+)}$			$V_{REF(+)}$	$V_{REF(+)}$	V
Maximum V_{IN} Input Voltage			$V_{CC}+0.1$			$V_{CC}+0.1$	$V_{CC}+0.1$	V
Minimum V_{IN} Input Voltage			GND-0.1			GND-0.1	GND-0.1	V
Maximum Analog Input Leakage Current	$\overline{CS} = V_{CC}$ $V_{IN} = V_{CC}$ $V_{IN} = GND$		3 -3			0.3 -0.3	3 -3	μA μA
Power Supply Sensitivity	$V_{CC}=5V \pm 5\%$	$\pm 1/16$	$\pm 1/4$		$\pm 1/16$	$\pm 1/4$	$\pm 1/4$	LSB

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้拿去ใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DC Electrical Characteristics

The following specifications apply for $V_{CC}=5V$, unless otherwise specified. **Boldface limits apply from T_{MIN} to T_{MAX}** ; all other limits $T_A=T_J=25^\circ C$.

Parameter	Conditions	ADC0820CCJ			ADC0820BCN, ADC0820CCN ADC0820BCV, ADC0820BCWM ADC0820CCWM, ADC0820CIWM			Limit Units	
		Typ (Note 6)	Tested Limit (Note 7)	Design Limit (Note 8)	Typ (Note 6)	Tested Limit (Note 7)	Design Limit (Note 8)		
$V_{IN(1)}$, Logical "1" Input Voltage	$V_{CC}=5.25V$ \overline{CS} , \overline{WR} , \overline{RD} Mode		2.0			2.0	2.0	V	
				3.5			3.5	3.5	V
$V_{IN(0)}$, Logical "0" Input Voltage	$V_{CC}=4.75V$ \overline{CS} , \overline{WR} , \overline{RD} Mode		0.8			0.8	0.8	V	
				1.5			1.5	1.5	V
$I_{IN(1)}$, Logical "1" Input Current	$V_{IN(1)}=5V$; \overline{CS} , \overline{RD} $V_{IN(1)}=5V$; \overline{WR} $V_{IN(1)}=5V$; Mode		0.005	1		0.005	1	μA	
				0.1	3		0.1	0.3	μA
				50	200		50	170	200
$I_{IN(0)}$, Logical "0" Input Current	$V_{IN(0)}=0V$; \overline{CS} , \overline{RD} , \overline{WR} , Mode		-0.005	-1		-0.005		-1	μA
$V_{OUT(1)}$, Logical "1" Output Voltage	$V_{CC}=4.75V$, $I_{OUT}=-360 \mu A$; DB0-DB7, \overline{OFL} , \overline{INT} $V_{CC}=4.75V$, $I_{OUT}=-10 \mu A$; DB0-DB7, \overline{OFL} , \overline{INT}			2.4			2.8	2.4	V
				4.5			4.6	4.5	V
$V_{OUT(0)}$, Logical "0" Output Voltage	$V_{CC}=4.75V$, $I_{OUT}=1.6 mA$; DB0-DB7, \overline{OFL} , \overline{INT} , RDY			0.4			0.34	0.4	V
I_{OUT} , TRI-STATE Output Current	$V_{OUT}=5V$; DB0-DB7, RDY $V_{OUT}=0V$; DB0-DB7, RDY		0.1	3		0.1	0.3	3	μA
				-0.1	-3		-0.1	-0.3	-3
I_{SOURCE} , Output Source Current	$V_{OUT}=0V$; DB0-DB7, \overline{OFL} , \overline{INT}		-12	-6		-12	-7.2	-6	mA
				-9	-4.0		-9	-5.3	-4.0
I_{SINK} , Output Sink Current	$V_{OUT}=5V$; DB0-DB7, \overline{OFL} , \overline{INT} , RDY		14	7		14	8.4	7	mA
I_{CC} , Supply Current	$\overline{CS}=\overline{WR}=\overline{RD}=0$		7.5	15		7.5	13	15	mA

AC Electrical Characteristics

The following specifications apply for $V_{CC}=5V$, $t_r=t_f=20 ns$, $V_{REF(+)}=5V$, $V_{REF(-)}=0V$ and $T_A=25^\circ C$ unless otherwise specified.

Parameter	Conditions	Typ (Note 6)	Tested Limit (Note 7)	Design Limit (Note 8)	Units
t_{CRD} , Conversion Time for RD Mode	Pin 7 = 0, Figure 2	1.6		2.5	μs
t_{ACC0} , Access Time (Delay from Falling Edge of \overline{RD} to Output Valid)	Pin 7 = 0, Figure 2	$t_{CRD}+20$		$t_{CRD}+50$	ns
t_{CWR-RD} , Conversion Time for WR-RD Mode	Pin 7 = V_{CC} ; $t_{WR} = 600 ns$, $t_{RD}=600 ns$; Figures 3, 4			1.52	μs
t_{WR} , Write Time	Min			600	ns
	Max		50		μs
t_{RD} , Read Time	Min			600	ns
t_{ACC1} , Access Time (Delay from Falling Edge of \overline{RD} to Output Valid)	Pin 7 = V_{CC} , $t_{RD} < t_r$; Figure 3 $C_L=15 pF$	190		280	ns
	$C_L=100 pF$	210		320	ns

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้拿去ใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC Electrical Characteristics (Continued)

The following specifications apply for $V_{CC}=5V$, $t_r=t_f=20$ ns, $V_{REF(+)}=5V$, $V_{REF(-)}=0V$ and $T_A=25^\circ C$ unless otherwise specified.

Parameter	Conditions	Typ (Note 6)	Tested Limit (Note 7)	Design Limit (Note 8)	Units
t_{ACC2} , Access Time (Delay from Falling Edge of \overline{RD} to Output Valid)	Pin 7 = V_{CC} , $t_{RD} > t_i$; Figure 4 $C_L = 15$ pF	70		120	ns
	$C_L = 100$ pF	90		150	ns
t_{ACC3} , Access Time (Delay from Rising Edge of RDY to Output Valid)	$R_{PULLUP} = 1k$ and $C_L = 15$ pF	30			ns
t_i , Internal Comparison Time	Pin 7 = V_{CC} ; Figures 4, 5 $C_L = 50$ pF	800		1300	ns
t_{1H} , t_{0H} , TRI-STATE Control (Delay from Rising Edge of \overline{RD} to Hi-Z State)	$R_L = 1k$, $C_L = 10$ pF	100		200	ns
t_{INTL} , Delay from Rising Edge of \overline{WR} to Falling Edge of \overline{INT}	Pin 7 = V_{CC} , $C_L = 50$ pF $t_{RD} > t_i$; Figure 4			t_i	ns
	$t_{RD} < t_i$; Figure 3	$t_{RD} + 200$		$t_{RD} + 290$	ns
t_{INTH} , Delay from Rising Edge of RD to Rising Edge of \overline{INT}	Figures 2, 3, 4 $C_L = 50$ pF	125		225	ns
t_{INTHWR} , Delay from Rising Edge of \overline{WR} to Rising Edge of \overline{INT}	Figure 5, $C_L = 50$ pF	175		270	ns
t_{RDY} , Delay from \overline{CS} to RDY	Figure 2, $C_L = 50$ pF, Pin 7 = 0	50		100	ns
t_{ID} , Delay from \overline{INT} to Output Valid	Figure 5	20		50	ns
t_{RI} , Delay from \overline{RD} to \overline{INT}	Pin 7 = V_{CC} , $t_{RD} < t_i$ Figure 3	200		290	ns
t_P , Delay from End of Conversion to Next Conversion	Figures 2, 3, 4, 5 (Note 4) See Graph			500	ns
Slew Rate, Tracking		0.1			V/ μ s
C_{VIN} , Analog Input Capacitance		45			pF
C_{OUT} , Logic Output Capacitance		5			pF
C_{IN} , Logic Input Capacitance		5			pF

Note 1: Absolute Maximum Ratings indicate limits beyond which damage to the device may occur. DC and AC electrical specifications do not apply when operating the device beyond its specified operating conditions.

Note 2: All voltages are measured with respect to the GND pin, unless otherwise specified.

Note 3: Total unadjusted error includes offset, full-scale, and linearity errors.

Note 4: Accuracy may degrade if t_{WR} or t_{RD} is shorter than the minimum value specified. See Accuracy vs t_{WR} and Accuracy vs t_{RD} graphs.

Note 5: When the input voltage (V_{IN}) at any pin exceeds the power supply rails ($V_{IN} < V^-$ or $V_{IN} > V^+$) the absolute value of current at that pin should be limited to 1 mA or less. The 4 mA package input current limits the number of pins that can exceed the power supply boundaries with a 1 mA current limit to four.

Note 6: Typicals are at $25^\circ C$ and represent most likely parametric norm.

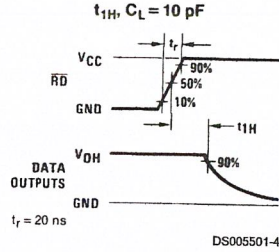
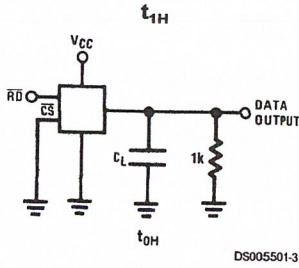
Note 7: Tested limits are guaranteed to National's AOQL (Average Outgoing Quality Level).

Note 8: Design limits are guaranteed but not 100% tested. These limits are not used to calculate outgoing quality levels.

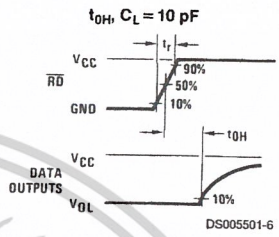
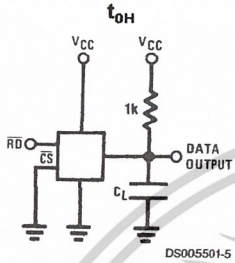
Note 9: Human body model, 100 pF discharged through a 1.5 k Ω resistor.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้拿去ใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TRI-STATE Test Circuits and Waveforms

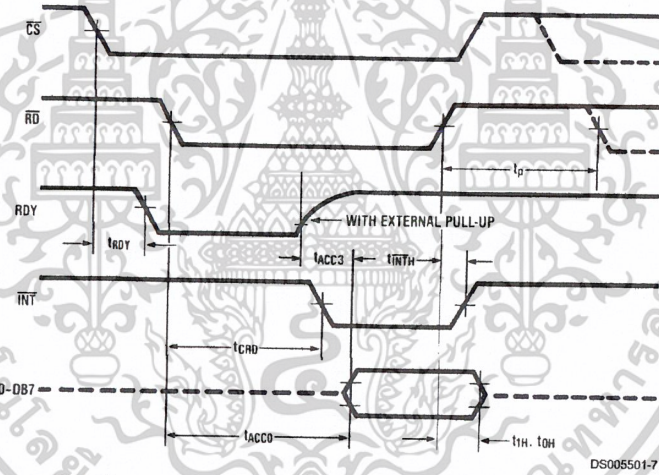


$t_r = 20 \text{ ns}$



$t_r = 20 \text{ ns}$

Timing Diagrams



Note: On power-up the state of INT can be high or low.

FIGURE 2. RD Mode (Pin 7 is Low)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้拿去ใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Timing Diagrams (Continued)

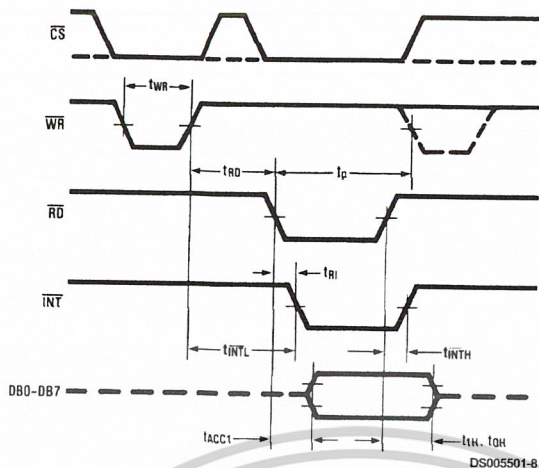


FIGURE 3. WR-RD Mode (Pin 7 is High and $t_{RD} < t_i$)

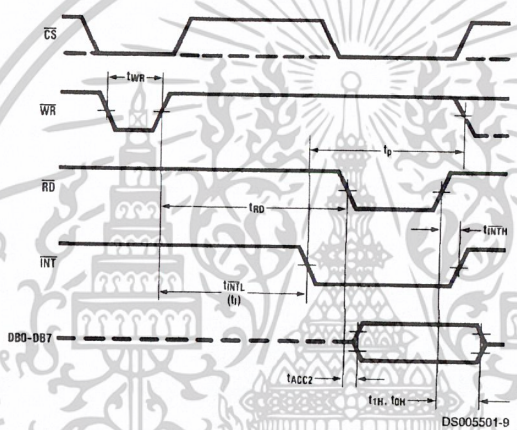


FIGURE 4. WR-RD Mode (Pin 7 is High and $t_{RD} > t_i$)

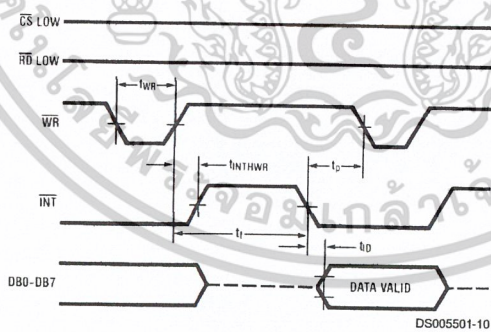


FIGURE 5. WR-RD Mode (Pin 7 is High) Stand-Alone Operation

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บรรณานุกรม

1. David J Defatta , Joseph G.Lucas , William S .Hodgkiss “Digital Signal Processing”
2. Sanjit K. Mitra . “Digital Signal Processing”, Mcgraw-Hall International Edition
3. Sophocles J. Orfanidis, “Introduction to Signal Processing”
4. John G.Proakis, Dimtris G. Manolakis “Digital Signal Processing”, Third Edition, Prentice Hall International



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้