สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

วงจรขยายกำลังแบบสวิทช์

SWITCHING POWER AMPLFIER

T055451

โดย

นายสุรโชค ธนพิทักษ์

นายโสพส ดวงมี

นายอุดมสุข ใหม่เอี่ยม

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2546

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เลขหมู่ 5545 1

เลขทะเบียน

วัน,เดือน,ปี - 9 พ.ค. 2548

b

i

วงจรขยายกำลังแบบสวิทช์

SWITCHING POWER AMPLFIER

โดย

นายสุรโชค ธนพิทักษ์ 43010497

นายโสพส ดวงมี 43010510

นายอุดมสุข ใหม่เอี่ยม 43010550

อาจารย์ที่ปรึกษา

รศ.พิชัย คูศิริวานิชกร

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2546

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ ปีการศึกษา 2546

ภาควิชาอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง วงจรขยายกำลังแบบสวิทช์

ผู้จัดทำ

1. นายสุรโชค ธนพิทักษ์ 43010497
2. นายโสพส ดวงมี 43010510
3. นายอุดมสุข ใหม่เอี่ยม 43010550

.....อาจารย์ที่ปรึกษา

(รศ. พิชัย คูศิริวานิชกร)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ชื่อโครงงานภาษาไทย วงจรขยายกำลังแบบสวิทช์

ชื่อโครงงานภาษาอังกฤษ SWITCHING POWER AMPLIFIER

ผู้จัดทำ

1. นายสุรโชค ธนพิทักษ์ 43010497
2. นายโสพส ดวงมี 43010510
3. นายอุดมสุข ใหม่เอี่ยม 43010550

โครงงานได้รับการตรวจสอบแล้ว พร้อมที่จะทำการสอบได้

.....

(รศ.พิชัย คูศิริวานิชกร)

อาจารย์ที่ปรึกษา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรขยายกำลังแบบสวิทช์

นายสุรโชค ธนพิทักษ์
นายโสพส ดวงมี
นายอุดมสุข ใหม่เอี่ยม
รศ.พิชัย คูศิริวานิชกร อาจารย์ที่ปรึกษา
ปีการศึกษาที่ 2546

บทคัดย่อ

วงจรขยายมีบทบาทสำคัญในระบบที่เกี่ยวกับเสียงซึ่งมีหน้าที่ขยายสัญญาณเสียงที่ทางเข้าให้มีระดับกำลังงานที่เหมาะสม เพื่อที่จะไปใช้ขับลำโพง และได้สัญญาณเสียงเดิมออกมา ในช่วงเวลาที่ผ่านมา วงจรขยายแบบคลาสเอบีดูเหมือนว่ามีความโดดเด่นในตลาดเครื่องเสียง อย่างไรก็ดีเมื่อตลาดเครื่องเสียงมุ่งสู่เรื่องประสิทธิภาพของวงจรขยายแบบคลาสดี ซึ่งมีประสิทธิภาพที่ดีกว่าเมื่อเปรียบเทียบกับวงจรขยายทั่วไป (วงจรขยายคลาสเอ , คลาสบี และคลาสเอบี)

ในโครงงานนี้นำเสนอการออกแบบและการสร้างวงจรขยายกำลังแบบสวิทช์ซึ่งประกอบไปด้วย 3 ภาค คือ ภาคพัลส์วิดธ์มอดูเลเตอร์ , ภาคขยายกำลังแบบสวิทช์ และภาคดีมอดูเลเตอร์ฟิลเตอร์ ด้วยการใช้เทคนิคบางประการ เพื่อปรับปรุงประสิทธิภาพของวงจรขยายกำลังแบบสวิทช์ เช่น เทคนิคแบบ Interleaved และ เทคนิคแบบ Unipolar PWM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SWITCHING POWER AMPLIFIER

Mr Surachoke Tanapitak

Mr. Solos Duangmee

Mr. Udomsuk Maieiam

Assoc.Prof. Pichai Koosirivanichakorn Advisor

2003

Abstract

Amplifier plays an important role in an audio system. As it simply amplify the input audio signal to a certain power level to drive the speaker to bring the original desired signal to live. In recent market, class AB amplifier seem to be dominating the audio market. However, when it come to the power efficiency class D amplifier have a better output efficiency compare to these classical amplifier (such as class A,B and AB) .

This project presents designing and implementation of a switching power amplifier which consist of three stage an pulse width modulator stage , power switch stage and demodulation filter stage. Some techniques of modulation are introduced for improving the performance of switching power amplifier such as Interleaved technique and Unipolar PWM technique.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

	หน้า
บทที่ 1 บทนำ	1
1.1 ขอบเขตการทำงาน	2
1.2 หลักการทำงานของวงจรขยายกำลังแบบสวิทช์ (Class D Power Amplifier Operation)	2
บทที่ 2 ส่วนทฤษฎี	4
2.1 ทฤษฎีการชักตัวอย่าง (Sampling)	4
2.2 DC-to-DC Converter	8
2.2.1 Buck Chopper	8
2.2.2 ความสัมพันธ์ของแรงดัน (Voltage Relation)	9
2.2.3 กระแสของวงจร (Circuit Current)	11
2.2.4 เงื่อนไขกระแสต่อเนื่อง (Continuous Current Condition)	12
2.3 การมอดูเลตความกว้างพัลส์แบบคลื่นรูปไซน์ (Sinusoidal PWM Method , SPWM)	12
2.3.1 Sinusoidal PWM with Bipolar Voltage Switching Scheme	12
2.3.2 Sinusoidal PWM with Unipolar Voltage Switching Scheme	14
2.4 Interleaved Techniques	16
2.5 โครงสร้าง Parallel Converter	18
2.6 วงจรเปรียบเทียบแรงดัน (Voltage Comparators)	19
2.6.1 การนำวงจรเปรียบเทียบแรงดันไปใช้ในวงจรพัลส์วิดท์มอดูเลเตอร์	20
2.7 วงจรกรอง (Filter)	21
2.7.1วงจรกรองแบบต่างๆ	23
2.7.1.1 วงจรกรองความถี่ต่ำผ่าน (Low Pass Filter)	23
2.7.1.2 วงจรกรองความถี่สูงผ่าน (High Pass Filter)	24
2.7.1.3 วงจรกรองแถบความถี่ผ่าน (Band Pass Filter)	24
2.7.1.4 วงจรกรองแถบความถี่หยุด (Band Reject Filter)	25
2.7.2 วงจรกรองความถี่ต่ำผ่านแบบบัตเตอร์เวิร์ธ (Butterworth Low Pass Filter)	26
2.7.3 การหาค่าอุปกรณ์เพื่อใช้ในการออกแบบ	26
2.7.4 การออกแบบวงจรดีมอดูเลชั่นฟิลเตอร์	27
บทที่ 3 ส่วนออกแบบ	30
3.1 ส่วนวงจรสร้างสัญญาณพาหะรูปสามเหลี่ยมแบบเฟสเลื่อน 90 องศา	30
3.2 วงจรภาคพัลส์วิดท์มอดูเลเตอร์แบบ Unipolar PWM	32
3.3 ส่วนวงจรภาคดีมอดูเลเตอร์ฟิวเตอร์ที่ใช้การประมาณแบบ Butterworth	34
3.4 ส่วนวงจรภาคเพาเวอร์สวิทช์ที่นำหลักการ Buck Converter มาใช้	35
3.5 วงจรป้อนกลับรวมแบบลบ	40

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ (ต่อ) หน้า

บทที่ 4 ผลการทดลอง 42
4.1 ประสิทธิภาพของวงจรขยายกำลัง 46
4.2 ผลตอบสนองทางความถี่ของวงจรที่ออกแบบ 48
4.3 ผลตอบสนองทางเวลาของสัญญาณที่ทางออก 51
บทที่ 5 สรุปและวิจารณ์ 58
5.1 บทสรุป 58
5.2 แนวทางแก้ไขปัญหา 58
5.3 แนวทางการพัฒนาต่อ 58

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูปภาพ

	หน้า
รูปที่1.1 วงจรคลาสดีพื้นฐาน	2
รูปที่2.1 แสดงสเปกตรัมของสัญญาณที่ถูกชักตัวอย่าง	5
รูปที่2.2 สเปกตรัมของสัญญาณที่เกี่ยวเนื่องกับรูปที่ 2.1 เมื่อใช้ช่วงเวลาในการสุ่มค่าสัญญาณต่างๆ	7
รูปที่2.3 วงจรของ Buck Chopper	8
รูปที่2.4 รูปแสดงวงจร Buck Chopper ขณะเปิดและปิดสวิทช์	9
รูปที่2.5 กราฟแสดงกระแสและแรงดันของวงจร Buck Chopper	10
รูปที่2.6 รูปแบบของ SPWM แบบ Bipolar	12
รูปที่2.7 Harmonic spectrum ของ Bipolar SPWM ที่ M ค่าต่างๆ	13
รูปที่2.8 กราฟแสดงการเปลี่ยนขนาดของความถี่ Fundamental จากการเปลี่ยนค่า M	14
รูปที่2.9 Block Diagram ของ SPWM แบบ Unipolar	14
รูปที่2.10 รูปแบบของ SPWM แบบ Unipolar	15
รูปที่2.11 แถบความถี่ของสัญญาณ SPWM แบบ Unipolar	15
รูปที่2.12 สัญญาณสามเหลี่ยมที่มีเฟสเลื่อน	16
รูปที่2.13 สัญญาณที่ทางเข้าเทียบกับสัญญาณพาหะสามเหลี่ยมทั้งสี่	17
รูปที่2.14 สัญญาณ PWM รวมเทียบกับสัญญาณที่ทางเข้า	17
รูปที่2.15 FFT. ของสัญญาณ PWM รวมเทียบกับสัญญาณสามเหลี่ยม	18
รูปที่2.16 รูปแบบของ Parallel Converter	18
รูปที่2.17 วงจรเสมือนของ Half Bridge ขนานกัน N ตัว	19
รูปที่2.18 แสดงวงจรเปรียบเทียบแรงดัน	20
รูปที่2.19 แสดงวงจรเปรียบเทียบแรงดัน เมื่อนำไปใช้ในการควบคุมค่าดิวตี้ไซเคิล	20
รูปที่2.20 แสดงผลตอบสนองทางขนาดของวงจรกรองความถี่ต่ำผ่าน	23
รูปที่2.21 แสดงผลตอบสนองทางขนาดของวงจรกรองความถี่สูงผ่าน	24
รูปที่2.22 แสดงผลตอบสนองทางขนาดของวงจรกรองแถบความถี่ผ่าน	23
รูปที่2.23 แสดงผลตอบสนองทางขนาดของวงจรกรองแถบความถี่หยุด	25
รูปที่2.24 รูปคลื่นสัญญาณการตอบสนองความถี่ของวงจรกรองแบบบัตเตอร์เวิร์ธ	26
รูปที่2.25 แสดงวงจรฟิลเตอร์แบบ n-order LC Low Pass Filter	28
รูปที่3.1 วงจรสร้างสัญญาณสี่เหลี่ยมที่ใช้	30
รูปที่3.2 วงจร OP – AMP Integrator	31
รูปที่3.3 Block Diagram ของวงจรขยายกลับเฟสและไม่กลับเฟส	32
รูปที่3.4 วงจกลับเฟสและไม่กลับเฟสที่ใช้	33

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป (ต่อ) หน้า

รูปที่3.5 วงจร Voltage Comparator และวงจรเพิ่มระดับแรงดันที่ใช้ 34
รูปที่3.6 วงจรเสมือนภาคเพาเวอร์สวิทช์ที่ออกแบบ 35
รูปที่3.7 วงจรขณะที่ Sp ปิดและ Sn เปิด 36
รูปที่3.8 วงจรขณะที่ Sp เปิดและ Sn ปิด 36
รูปที่3.9 วงจรขณะที่ Sp และ Sn ปิด 37
รูปที่3.10 วงจรสมมูลของการเปิดและปิดทั้ง 4 แบบ 37
รูปที่3.11 วงจรภาค Power Mosfet ที่ได้ 38
รูปที่3.12 ก. วงจรขับ Power Mosfet P - ch 38
รูปที่3.12 ข. วงจรขับ Power Mosfet N - ch 38
รูปที่3.13 วงจร Power Mosfet ที่นำวงจร Power Mosfet 2 ชุดมาต่อขนานกัน 39
รูปที่3.14 วงจรรับสัญญาณป้อนกลับ 40
รูปที่4.1 Block Diagram ที่ใช้วัดประสิทธิภาพของวงจรขยาย 46
รูปที่4.2 ผลการตอบสนองทางความถี่ของวงจรที่ได้จากการจำลองผล 49
รูปที่4.3 ผลการตอบสนองเฟสของวงจรมี่ได้จากการจำลองผล 50
รูปที่4.4 แสดงสัญญาณที่ทางเข้าขนาด 0.5 Vp และสัญญาณที่ทางออก ณ ความถี่ 1kHz. 51
รูปที่4.5 แสดงสัญญาณที่ทางเข้าขนาด 1 Vp และสัญญาณที่ทางออก ณ ความถี่ 1kHz. 51
รูปที่4.6 แสดงสัญญาณที่ทางเข้าขนาด 1.5 Vp และสัญญาณที่ทางออก ณ ความถี่ 1kHz. 52
รูปที่4.7 แสดงสัญญาณที่ทางเข้าขนาด 2.0 Vp และสัญญาณที่ทางออก ณ ความถี่ 1kHz. 52
รูปที่4.8 แสดงสัญญาณที่ทางเข้าขนาด 0.5 Vp และสัญญาณที่ทางออก ณ ความถี่ 20kHz. 53
รูปที่4.9 แสดงสัญญาณที่ทางเข้าขนาด 1 Vp และสัญญาณที่ทางออก ณ ความถี่ 20kHz. 53
รูปที่4.10 แสดงสัญญาณที่ทางเข้าขนาด 1.5 Vp และสัญญาณที่ทางออก ณ ความถี่ 20kHz. 54
รูปที่4.11 แสดงสัญญาณที่ทางเข้าขนาด 2.0 Vp และสัญญาณที่ทางออก ณ ความถี่ 20kHz. 54
รูปที่4.12 แสดง FFT. ของสัญญาณที่ทางเข้าขนาด 1 Vp กับสัญญาณที่ทางออก ณ ความถี่ 1 kHz. 55
รูปที่4.13 แสดง FFT. ของสัญญาณที่ทางเข้าขนาด 1 Vp กับสัญญาณที่ทางออก ณ ความถี่ 20 kHz. 55
รูปที่4.14 ผลตอบสนองทางเวลาที่ความถี่ 1kHz. ของวงจรที่ได้จากการจำลองผล 56
รูปที่4.15 ผลตอบสนองทางเวลาที่ความถี่ 20kHz. ของวงจรที่ได้จากการจำลองผล 57

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

วงจรขยายกำลัง (Power Amplifier) คืออุปกรณ์ที่ทำการส่งผ่านและขยายกำลังงานของสัญญาณที่ทางเข้าของวงจรที่มีกำลังต่ำไปยังทางออกตามที่ต้องการ ในอุดมคติแล้ววงจรขยายกำลังนั้นจะไม่มีความสูญเสียเกิดขึ้น ซึ่งในที่นี้เราพิจารณาวงจรขยายกำลังที่ใช้งานในย่านความถี่เสียง (Audio Power Amplifier) โดยประกอบไปด้วยวงจรขยายกำลังแบบดั้งเดิม คือวงจรขยายกำลังแบบเชิงเส้น (Linear Power Amplifier) เช่นวงจรขยายแบบคลาสเอหรือคลาสเอบีเป็นต้นซึ่งสามารถทำประสิทธิภาพได้สูงสุดประมาณ 60 – 70 % ในทางทฤษฎี อย่างไรก็ตามวงจรขยายกำลังแบบสวิทช์ (Switching Amplifier) หรือเรียกว่าวงจรขยายกำลังแบบคลาสดี (Class D - Amplifier) สามารถมีประสิทธิภาพได้สูงสุดถึง100% ในทางทฤษฎีซึ่งเป็นจุดเด่นของวงจรขยายกำลังแบบคลาสดี

อย่างไรก็ดีวงจรขยายกำลังแบบคลาสดีนั้นจะมีปัญหาสำคัญดังนี้ คือ

- การตอบสนองของสัญญาณตลอดย่านของความถี่เสียงนั้น ไม่ราบเรียบเสมอกันเช่นวงจรขยายกำลังเชิงเส้นที่มีการตอบสนองของสัญญาณตลอดย่านของความถี่เสียงที่เรียบเสมอกันตลอดย่านความถี่เสียง
- ปัญหาเรื่องความเพี้ยนของสัญญาณที่ทางออก เนื่องจากการกระบวนการมอดูเลตในส่วนของภาคพัลส์วิดธ์มอดูเลเตอร์เกิดความไม่เป็นเชิงเส้น และในส่วนวงจรภาคเพาเวอร์สวิทช์ที่ต้องมีการควบคุมสัญญาณที่จะนำมาทำการเปิด – ปิด output เพาเวอร์ทรานซิสเตอร์ ให้มีช่วงเวลาหน่วง (Dead Time หรือ Blanking Time) เพื่อป้องกันไม่ให้ output เพาเวอร์ทรานซิสเตอร์ทำงานพร้อมกัน ซึ่งถ้าช่วงเวลาหน่วงนี้ไปซ้อนทับกับช่วงเวลาของการสวิทช์เดิมของสัญญาณพัลส์วิดธ์มอดูเลชั่น จะเป็นสาเหตุให้ความเพี้ยนของสัญญาณเกิดขึ้น
- ปัญหาเรื่องความถี่พาหะ (Carrier Frequency) ที่ใช้ในภาคพัลส์วิดธ์มอดูเลเตอร์ซึ่งต้องการให้สัญญาณพาหะห่างกับช่วงแถบความถี่เสียงมากที่สุด ซึ่งในวงจรขยายกำลังแบบคลาสดีทั่วไปต้องทำการเพิ่มความถี่พาหะให้สูงขึ้นซึ่งจะมีปัญหาตามมาคือการสูญเสียกำลังเนื่องจากความถี่ในการสวิทช์ จะสูงขึ้นตามความถี่ที่เพิ่มขึ้น และปัญหาสัญญาณรบกวนจะมากขึ้นด้วย

ซึ่งในปริญญานิพนธ์ชิ้นนี้พยายามแก้ปัญหาเหล่านี้ เพื่อลดข้อเสียของวงจรขยายกำลังแบบคลาสดีซึ่งจะกล่าวถึงโดยละเอียดในบทที่ 3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.1 ขอบเขตของการทำงาน

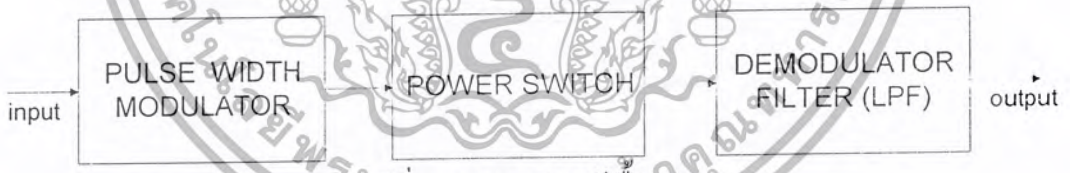
สำหรับปริญญานิพนธ์ชิ้นนี้เป็นปริญญานิพนธ์ต่อเนื่อง 2 ภาคการศึกษา คือ ภาคการศึกษาที่ 2546 / 1 และภาคการศึกษาที่ 2546 / 2 โดยจะศึกษาเกี่ยวกับ

- การศึกษาทฤษฎีของพัลส์วิดธ์มอดูเลชั่นแบบยูนิโพล่าร์ (Unipolar PWM) โดยปรับปรุงโดยใช้ เทคนิคการใช้คลื่นพาหะสามเหลี่ยมที่มีเฟสเลื่อน (Carrier Phase Shift PWM) **[1,2]** และวิธีการแปลงแบบ Interleaved (Interleaved Conversion) **[3]** เพื่อการนำไปสร้างเป็นวงจรภาคพัลส์-วิดธ์มอดูเลเตอร์ที่มีความถี่พาหะเสมือน (Effective Carrier Frequency) ที่ 1 MHz. โดยที่ประสิทธิภาพรวมของวงจรยังเท่ากับการใช้ความถี่พาหะสามเหลี่ยมที่ 250 kHz.

- การศึกษาทฤษฎี Step – Down Converter แบบ Buck เพื่อนำไปสร้างเป็นวงจรภาคเพาเวอร์สวิทช์ โดยนำโครงสร้างของ Parallel Converter [4] มาประยุกต์ใช้

1.2 หลักการทำงานวงจรขยายกำลังแบบสวิทช์ (Class D Power Amplifier Operation)

หลักการทำงานทั่วไปของวงจรขยายกำลังแบบคลาสดี จากรูปที่ 1.1 ประกอบด้วยองค์ประกอบหลัก 3 ส่วน ได้แก่ ภาคพัลส์วิดธ์มอดูเลเตอร์ (Pulse Width Modulator) ภาคเพาเวอร์สวิทช์ (Power Switch) และภาคดีมอดูเลเตอร์ฟิลเตอร์ (Demodutator Filter)



รูปที่ 1.1 วงจรคลาสดีพื้นฐาน

สัญญาณ Analog จะถูกขยายแรงดันและแปลงไปเป็นสัญญาณสี่เหลี่ยมที่มีความถี่สูง ซึ่งสัญญาณสี่เหลี่ยมนี้จะมี Duty Cycle แปรผันตามสัญญาณ Analog ในอีกนัยหนึ่งขบวนสัญญาณสี่เหลี่ยมนี้เป็นพาหะให้กับสัญญาณ Analog นั้นเอง ในที่สุดสัญญาณสี่เหลี่ยมนี้จะถูก Integrate ก็จะได้สัญญาณ Analog กลับคืนมา ขบวนการแปลงสัญญาณ Analog เป็นสัญญาณรูปสี่เหลี่ยมนี้เรียกว่า Pulse Width Modulation ซึ่งมีข้อได้เปรียบเรื่องประสิทธิภาพในการขยาย เนื่องจากอุปกรณ์ส่วน Output ทำงานแบบสวิทช์ความถี่สูง แทนที่จะทำงานในย่านเชิงเส้น ซึ่งในทางทฤษฎีจะมีประสิทธิภาพได้ถึง 100 %

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากที่กล่าวมาข้างต้นถึงข้อดีทางประสิทธิภาพของวงจรขยายแบบคลาสดี แต่ผลโดยภาพรวมของวงจรขยายกำลังชนิดนี้ยังไม่สามารถมีคุณภาพทัดเทียมวงจรขยายแบบเชิงเส้น เพื่อที่จะได้ความเป็นเชิงเส้นอย่างถูกต้อง ความถี่พาหะของสี่เหลี่ยมจะต้องมีค่ามากกว่า 10 เท่าของความถี่สูงสุดในย่านความถี่เสียง ดังนั้นความถี่อย่างต่ำที่จะใช้คือ 200 kHz. ปัญหาที่ตามมาก็คือการแพร่กระจายของสัญญาณความถี่สูงซึ่งเป็นปัญหาที่เกิดจากการสวิทช์ที่ความถี่สูง เพื่อที่จะให้ได้ Bandwidth และความเป็นเชิงเส้นที่ดี ซึ่งอยู่ในระดับเครื่องเสียงคุณภาพสูงนั้น ความถี่ของสัญญาณ PWM ควรมีค่าประมาณ 1 MHz. ซึ่งอุปกรณ์ที่ทางออกที่จะทำการสวิทช์ที่ความถี่ 1 MHz. จะเกิดปัญหาความร้อนที่สูญเสียตามความถี่สวิทช์ที่เพิ่มขึ้น ซึ่งเป็นตัวลดประสิทธิภาพของวงจรขยายแบบสวิทช์

โดยภาพรวมแล้วข้อด้อยของวงจรขยายแบบ Class D คือ

1. Bandwidth เป็นการง่ายที่จะได้ Bandwidth เกิน 50 kHz. ในวงจรขยายแบบเชิงเส้น ซึ่ง Bandwidth ที่กว้างจะมีผลต่อการตอบสนองแบบ Transient ซึ่งในวงจรขยายแบบ Class D จะมี Bandwidth ที่แคบกว่า

2. Sensitivity to output impedance วงจรขยาย Class D จำเป็นต้องมี Output Impedance ที่เสถียร ซึ่งเป็นไปได้ยากที่จะหาได้ในระบบลำโพงทั่วไป

3. Distortion ที่ความถี่ในย่านเสียงที่มีค่าสูง (15 – 20 kHz.) สัญญาณที่ถูกขยายของวงจรขยายกำลังแบบ Class D จะมีความเพี้ยนทางฮาร์โมนิกส์ที่สูงกว่าวงจรขยายแบบเชิงเส้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
ส่วนทฤษฎี

2.1 ทฤษฎีการชักตัวอย่าง (Sampling)

สัญญาณที่เกิดอย่างต่อเนื่องตลอดเวลาที่เรียกกันว่า สัญญาณแอนะล็อก (Analog signal) นั้นถ้าค่าความหนาแน่นสเปกตรัมของมันเกิดอยู่ในแบนด์วิดที่จำกัดแล้ว เราจะพบว่าในโดเมนเวลานั้น สัญญาณแอนะล็อกที่มีคุณสมบัติดังกล่าวจะมีข้อมูลที่มีความซ้ำซ้อนเกิดความจำเป็นรวมอยู่ด้วยมากในระหว่างเวลาที่ส่งสัญญาณนั้น ดังนั้นถ้าเราเลือกชักค่าตัวอย่าง (Sampling) ของสัญญาณนั้นขณะเวลาต่างๆที่อยู่ห่างกันอย่างเหมาะสมแล้ว เพียงจากค่าตัวอย่างของสัญญาณที่ชักออกมาได้นี้ ก็สามารถเก็บข้อมูลของสัญญาณได้อย่างเหมาะสม จะทำให้เราสามารถลดความซ้ำซ้อน หรือความฟุ่มเฟือยของการใช้ค่าสัญญาณลงได้ เพราะฉะนั้นเราจึงสามารถนำเอาช่วงเวลาที่ไม่ตรงกับขณะเวลาที่มีการชักค่าสัญญาณไปใช้ประโยชน์อย่างอื่นได้ และเราสามารถใช้เพียงข้อมูลเท่าที่เราชักค่ามาได้ซึ่งขึ้นอยู่กับค่าตัวอย่างของสัญญาณแอนะล็อกที่ช่วงเวลาขณะเวลาที่ทำการชักค่าสัญญาณนั้น ไปจัดการประมวลผลตามต้องการได้สะดวก เนื่องจากค่าตัวอย่างของสัญญาณที่ชักออกมานั้น เกิดที่เวลาห่างกันเป็นห้วงๆ ไม่ติดต่อกัน เราจึงเรียกค่าสัญญาณที่เกิดจากการชักค่าตัวอย่างสัญญาณนี้ว่า สัญญาณดิสครีตทางเวลา หรือนิยมเรียกสั้นๆว่า สัญญาณดิสครีต (Discrete signal) ตัวทฤษฎีสำคัญที่บอกความสัมพันธ์ในการกำหนดคาบเวลาสำหรับการชักตัวอย่างสัญญาณอนาล็อก เพื่อสร้างสัญญาณดิสครีตที่มีข้อมูลสำหรับสัญญาณแอนะล็อกเดิมอยู่ครบถ้วนคือ ทฤษฎีการชักตัวอย่าง (Sampling Theorem) ซึ่งมีใจความดังต่อไปนี้คือ

ถ้าสัญญาณใดๆที่มีค่าฟังชั่นมีความหนาแน่นสเปกตรัมอยู่ในช่วงความถี่ที่มีแบนด์วิดท์ไม่เกิน B Hz แล้ว การชักค่าตัวอย่างของสัญญาณนั้น ที่ขณะเวลาที่ห่างกันอย่างสม่ำเสมอเป็นคาบไม่เกิน $\frac{1}{2B}$ วินาที จะทำให้สามารถกำหนดค่าสัญญาณแอนะล็อกเดิม กลับคืนมาได้จากค่าตัวอย่างสัญญาณเหล่านั้น

เมื่อลองพิจารณาเกี่ยวกับเรื่องทฤษฎีการชักตัวอย่างนี้ให้ละเอียดขึ้น โดยการสมมุติว่าสัญญาณแอนะล็อก $f(t)$ เป็นสัญญาณที่มีค่าความหนาแน่นเชิงสเปกตรัมอยู่ไม่เกินความถี่ B Hz แสดงดังรูป 2.1(ก) ถ้าเราทำการชักค่าตัวอย่างของ $f(t)$ ที่ทุกขณะเวลาที่ห่างกัน T วินาที โดยกำหนดให้สัญญาณที่เกิดจากค่าชักตัวอย่างของ $f(t)$ นี้คือ $f_s(t)$ แล้วทำการอธิบายในเชิงของคณิตศาสตร์ได้ว่า

$$f_s(t) = f(t)\,\delta_T(t) \qquad (2.1)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

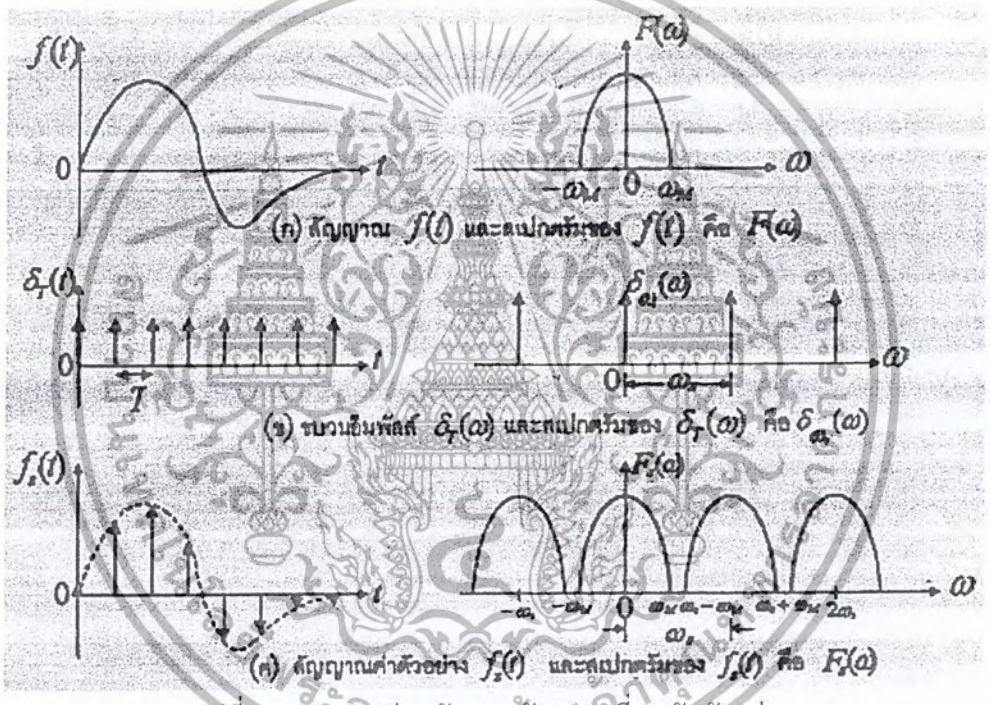
โดยในที่นี้ $\delta_T(t)$ คือขบวนอิมพัลส์ (Impulse Train) ที่มีการนิยามว่า

$$\delta_T(t) = \sum_{n=-\infty}^{\infty} \delta(t - nT) \qquad (2.2)$$

โดยอาศัยคุณสมบัติของฟังชั่นอิมพัลส์และทำให้สามารถเขียนได้เป็น

$$f_s(t) = \sum_{n=-\infty}^{\infty} f(nT)\delta(t - nT) \qquad (2.3)$$

สมการที่ 2.3 แสดงให้เห็นแน่นอนว่า $f_s(t)$ คือ สัญญาณ $f(t)$ ที่มีค่าเพียงแต่ที่ขณะเวลา $t = nT$, $(n = 1,2,....)$ เท่านั้น



รูปที่ 2.1 แสดงสเปกตรัมของสัญญาณที่ถูกชักตัวอย่าง

และถ้าแปลง $\delta_T \leftrightarrow \delta_{\omega_s}(\omega)\omega_s$ (2.4)

โดยที่ $\omega_s = \dfrac{2\pi}{T}$

ถ้ากำหนดให้ $f_s(t) \leftrightarrow F_s(\omega)$ และ $f(t) \leftrightarrow F(\omega)$ จะได้

$$F_s(\omega) = \frac{1}{2\pi} F(\omega) \otimes \delta_{\omega_s}(\omega)\omega_s$$

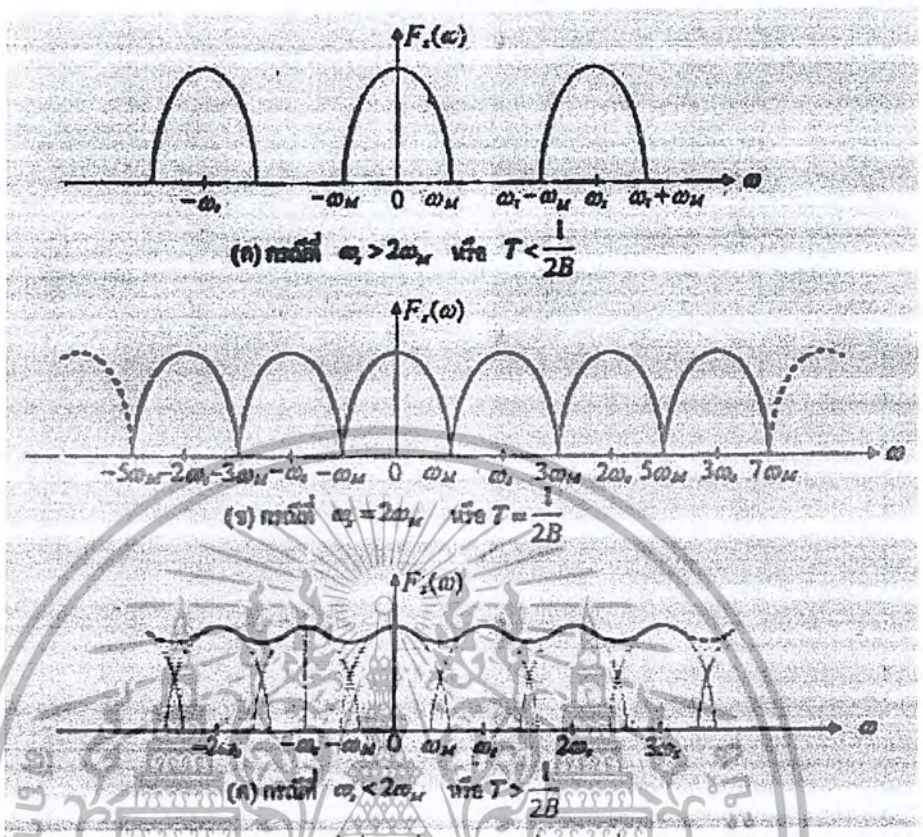
$$= \frac{\omega_s}{2\pi} \int_{-\infty}^{\infty} \sum_{n=-\infty}^{\infty} F(Z)\delta(\omega - n\omega_s - Z)\,dZ$$

$$= \frac{1}{T} \sum_{n=-\infty}^{\infty} F(\omega - n\omega_s) \qquad (2.5)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากสมการที่ 2.5 จะทำให้เรารู้ว่า $f_s(t)$ หรือสัญญาณดิสครีตที่เกิดจากการชักตัวอย่างของ $f(t)$ จะมีฟังชั่นความหนาแน่นเชิงสเปกตรัมที่มีรูปร่างเหมือนฟังชั่นความหนาแน่นเชิงสเปกตรัมของสัญญาณ $f(t)$ แต่จะเกิดอยู่ซ้ำกันทุกคาบความถี่ ω_s ดังแสดงดังรูป 2.1(ค) เมื่อ $f(t)$ มีองค์ประกอบของความถี่สูงสุด คือ B Hz ค่าความถี่เชิงมุมที่ตรงกันกับค่าความถี่สูงสุดนี้จะมีค่า $F(\omega)\ \omega_M = 2\pi B$ เรเดียนต่อวินาที จะพบว่าถ้า $\omega_s > 2\omega_M$ หรือ $T < \frac{1}{2B}$ แล้ว $F_s(\omega)$ จะมีลักษณะเหมือนกับการเอา $F(\omega)$ มาเรียงกันห่างๆบนแกนความถี่ ω ดังแสดงในรูป 2.1(ค) หรือรูป 2.2(ก) แต่เมื่อ $\omega_s = 2\omega_M$ หรือ $T = \frac{1}{2B}$ จะพบว่า $F_s(\omega)$ มีลักษณะเหมือนกับการเอา $F(\omega)$ มาเรียงชิดติดๆกันพอดีบนแกน ω ดังแสดงในรูปที่ 2.2(ข) และถ้า $\omega_s < 2\omega_M$ หรือ $T > \frac{1}{2B}$ แล้วจะทำให้ $F_s(\omega)$ มีลักษณะที่เกิดจากผลรวมของ $F(\omega)$ ที่มาเรียงเหลื่อมทับกันดังแสดงในรูปที่ 2.2(ค) การเกิดเหลื่อมทับกันของ $F(\omega)$ ตามรูปที่ 2.2(ค) ทำให้ผลเทียบเท่ากับการพับกลับ (Fold Over) ขององค์ประกอบของสัญญาณที่มีความถี่สูงเกิน $\frac{\omega_s}{2}$ ซึ่งจะมาทับกับองค์ประกอบของสัญญาณ $F_s(\omega)$ ที่มีความถี่ต่ำ และรวมตัวกัน จึงทำให้มีสเปกตรัมผิดเพี้ยนไปจากเดิม ปรากฏการณ์ที่เกิดการเหลื่อมทับหรือการพับกลับของส่วนประกอบของสเปกตรัมดังกล่าวนี้ มีคำศัพท์เรียกเฉพาะว่า การเกิดเอเลียสซิง (Aliasing)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.2 สเปกตรัมของสัญญาณที่เกี่ยวเนื่องกับรูปที่ 2.1 เมื่อช่วงเวลาในการสุ่มค่าต่าง ๆ

จากรูปที่ 2.2 จะเห็นว่าหากคาบเวลาของการชักตัวอย่างสัญญาณ T น้อยกว่า $\frac{1}{2B}$ วินาที แล้ว เราจะสามารถใช้วงจรกรองความถี่มาแยกเอาส่วนของสเปกตรัมเฉพาะส่วนที่มีความถี่ต่ำของ $F_s(\omega)$ ซึ่งเหมือนกับ $F(\omega)$ ออกมาได้โดยสะดวก เมื่อทำเช่นนี้ได้ก็เท่ากับว่าเราสามารถแยกหรือตรวจจับ (Detect) เอา $f(t)$ จาก $f_s(t)$ ได้โดยใช้วงจรกรองความถี่เป็นอุปกรณ์ที่ใช้ช่วยแยกสัญญาณได้ แต่อย่างไรก็ตามในกรณีที่ T มากกว่า $\frac{1}{2B}$ แล้ว จะทำให้เกิดมีการทับซ้อนกันของส่วนประกอบความถี่ดังรูปที่ 2.2(ค) ทำให้เราไม่สามารถใช้วงจรกรองความถี่แยกเอา $F(\omega)$ จาก $F_s(\omega)$ ได้เลย การใช้รูปแบบทางคณิตศาสตร์มาช่วยวิเคราะห์ผลดังกล่าว ทำให้เราสามารถมองลึกลงไปว่า ทำไมทฤษฎีการชักตัวอย่าง จึงกล่าวว่าคาบเวลาของการชักตัวอย่างสัญญาณ จึงต้องมีค่าไม่เกิน $\frac{1}{2B}$ วินาที และจะเห็นว่าในกรณีที่ $T = \frac{1}{2B}$ พอดี ฟังชั่นความหนาแน่นเชิงสเปกตรัม $F_s(\omega)$ จะเกิดจาก $F(\omega)$ ที่มาเรียงชิดกันดังแสดงในรูปที่ 2.2(ข) ทำให้เรารู้ว่าในกรณีนี้มีแต่วงจรกรองความถี่ในอุดมคติเท่านั้นที่สามารถแยกเอาแต่สเปกตรัมในช่วงความถี่ที่ต้องการคือ $F(\omega)$ ออกมาได้ ปกติในทางปฏิบัติวงจรกรองความถี่หาได้มีคุณสมบัติที่แยกส่วนของความถี่ได้อย่างเฉียบพลันไม่ กล่าวคือ มันต้องมีการโรลออฟ (Roll Off) หรือการค่อยๆ ลดลงของค่าฟังชั่น

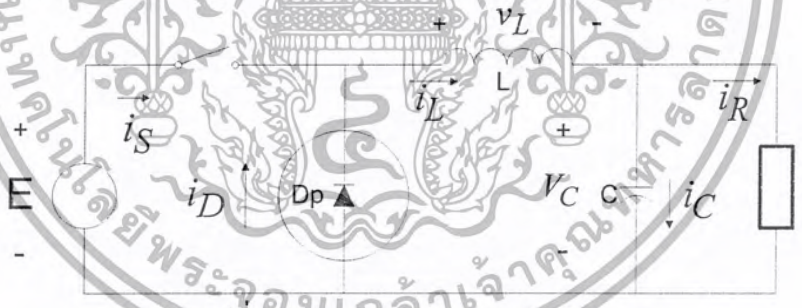
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ฟังชั่นถ่ายโอน อยู่บริเวณใกล้จุดตัด (Cutoff) ความถี่ ดังนั้นในทางปฏิบัติจึงมักจะเลือกใช้คาบเวลาการชักตัวอย่าง T ให้น้อยกว่า $\frac{1}{2B}$ เสมอค่า $T = \frac{1}{2B}$ นี้มีความสำคัญในทางทฤษฎี เพราะมันเป็นค่าวิกฤตที่จะบอกว่าการชักตัวอย่างสัญญาณนั้นจะมีผลกระทบต่อการแยกตรวจจับสัญญาณในภายหลังหรือไม่ ค่าคาบเวลา $T = \frac{1}{2B}$ นี้มีชื่อเฉพาะเรียกว่า ช่วงเวลาการชักตัวอย่างไนควิสต์ หรือบางครั้งก็นิยมเรียกสั้นๆว่า ช่วงเวลาไนควิสต์ (Nyquist Interval) และค่าความถี่ $f = 2B$ นี้มีชื่อว่า ความถี่การชักตัวอย่างไนควิสต์ (Nyquist Sampling Frequency) หรือบางครั้งก็นิยมเรียกสั้นๆว่า ความถี่ไนควิสต์ (Nyquist Rate) ของการชักตัวอย่างสัญญาณ

2.2 DC-to-DC Converter

2.2.1 Buck Chopper

หลักการพื้นฐานของ buck chopper จะให้แรงดันเฉลี่ยที่ทางออก ซึ่งจะน้อยกว่าแรงดันที่ทางเข้า ซึ่งวงจรจะประกอบด้วยส่วน switch และ ส่วน energy storage ซึ่งลักษณะวงจรดังรูปที่ 2.3



รูปที่ 2.3 วงจรของ Buck Chopper

ขดลวดเหนี่ยวนำและตัวเก็บประจุ ต่อในลักษณะ Low pass filter โดยการพิจารณาสถานะของวงจรจะขึ้นอยู่กับขนาดของลวดเหนี่ยวนำ ถ้าค่าของขดลวดเหนี่ยวนำมีขนาดใหญ่พอที่จะกระแสไหลผ่านขดลวดเหนี่ยวนำไม่เป็นศูนย์ สถานะที่ได้อธิบาย นั้นเรียกว่าเป็น " กระแสขดลวดเหนี่ยวนำคงที่ " (continuous inductor current) แต่ถ้าขดลวดเหนี่ยวนำมีขนาดเล็กกว่าในสถานะแรก และกระแสที่ไหลผ่านขอลวดเหนี่ยวนำเป็นศูนย์ในแต่ละคาบเวลา สถานะในการทำงานแบบนี้จะเรียกว่า " กระแสขดลวดเหนี่ยวนำไม่คงที่ " (discontinuous inductor current) การวิเคราะห์วงจรทั้งสองสถานะนั้นไม่เหมือนกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2.2 ความสัมพันธ์ของแรงดัน (Voltage Relation)

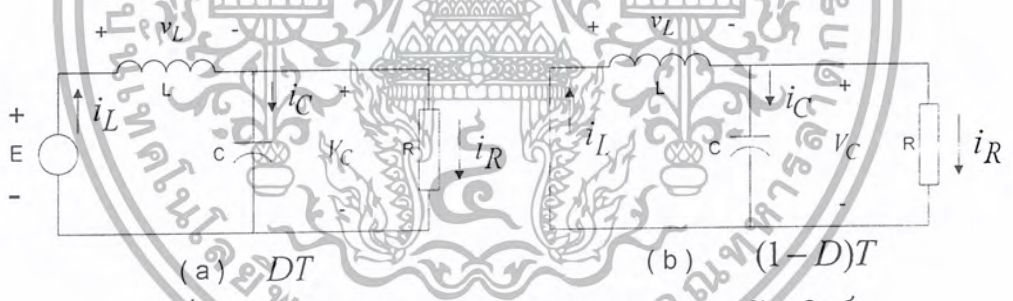
จากรูปที่ 2.4 ถ้า สวิทช์ S ถูกเปิดและปิด อย่างเป็นคาบเวลา โดยคาบเวลาทั้งหมดเป็นเวลา T และ ส่วนหนึ่งของเวลาซึ่ง สวิทช์ถูกปิด คือ D และอีกส่วนหนึ่งของเวลาซึ่ง สวิทช์ถูกเปิดคือ $1-D$ ในการวิเคราะห์วงจร ณ จุดนี้ เราสมมติว่า ตัวเก็บประจุในวงจรมีขนาดใหญ่เพียงพอที่จะไม่นำผลของแรงดันกระเพื่อมที่ตัวเก็บประจุ (v_c) มาพิจารณา และให้แรงดันของตัวเก็บประจุที่ค่าไม่เปลี่ยนแปลง แทนด้วย V_C

ช่วงเวลาที่ สวิทช์ปิดลักษณะของวงจรจะเป็นไปในรูปที่ 2.3 สำหรับเวลาที่สวิทช์เปิดกระแสของขดลวดเหนี่ยวนำจะไหลผ่าน ไดโอด แสดงในวงจรรูปที่ 2.4 สมการของแรงดันในวงจรระหว่างเวลาที่ สวิทช์ปิดนั้นจะได้ตามสมการที่ 2.6

$$E = v_L + V_C \qquad (2.6)$$

$$E = L\frac{di_L}{dt} + V_C \qquad (2.7)$$

$$\frac{di_L}{dt} = \frac{E - V_C}{L} \qquad (2.8)$$



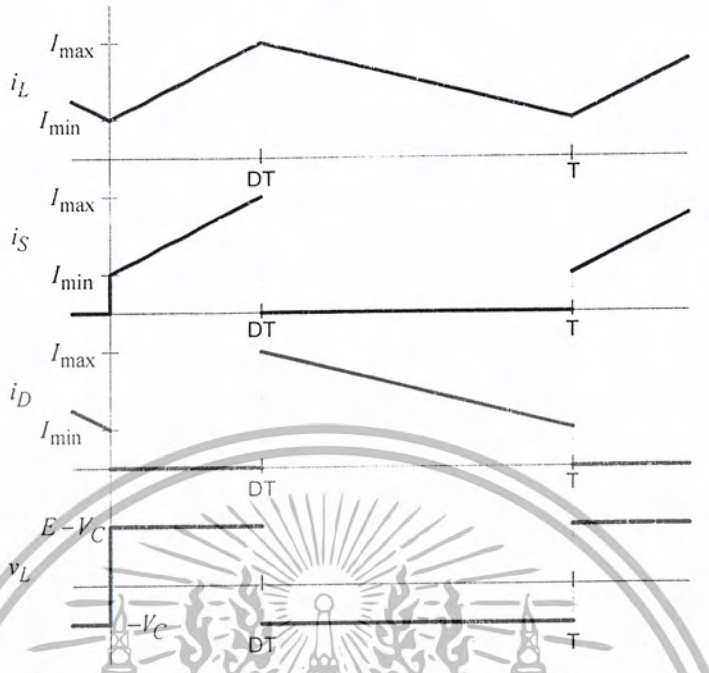
รูปที่2.4 รูปแสดงวงจร Buck Chopper ขณะเปิดและปิดสวิทช์

ระหว่างช่วงเวลา DT กระแสของขดลวดเหนี่ยวนำ จะเพิ่มขึ้นด้วยความชันที่คงที่ (แสดงในรูปที่ 2.5) โดยกระแสของขดลวดเหนี่ยวนำจะเริ่มต้นที่ค่าเงื่อนไขเริ่มต้น (initial condition) ค่า $I_{\min}$ และ เปลี่ยนไปยัง ค่า $I_{\max}$ ที่จุดสิ้นสุดของช่วงเวลาที่สวิทช์ปิด

สำหรับช่วงเวลาที่สวิทช์เปิด ลักษณะของวงจรจะเป็นไปตามรูปที่ 2.4 ช่วงเวลานี้ของวงจร สมการแรงดันจะเป็นไปตามสมการที่ 2.9

$$O = v_L + V_C \qquad (2.9)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.5 กราฟแสดงกระแสและแรงดันของวงจร Buck Chopper

จากสมการที่ 4 จะถูกขยาย และ จัดรูปใหม่ได้เป็นสมการที่ 2.10 และ 2.11

$$O = L\frac{di_L}{dt} + V_C \qquad (2.10)$$

$$\frac{di_L}{dt} = -\frac{V_C}{L} \qquad (2.11)$$

ดังนั้นในช่วงเวลา $(1-D)T$ กระแสของขดลวดเหนี่ยวนำลดลงด้วยอัตราคงที่จาก I_{max} ไปยัง I_{min} ค่าสุดท้าย จะต้องเป็นค่าเดียวกับค่าเริ่มต้น ของคาบเวลาเนื่องจากลักษณะการเปิด – ปิด สวิทช์ นั้นเป็นคาบเวลา การเปลี่ยนแปลงในช่วงเวลาสวิทช์ปิด จะต้องเหมือนกับช่วงเวลาที่สวิทช์เปิด เงื่อนไขนี้จะเป็นจริง ซึ่ง I_{min} มีค่ามากกว่าหรือเป็นศูนย์ เพราะเป็นการสมมติว่ากระแสขดลวดเหนี่ยวนำต่อเนื่อง จากเงื่อนไปนี้จะแสดงในสมการที่ 2.12 และ 2.13

$$I_{max} - I_{min} = \frac{(E - V_C)DT}{L} \qquad (2.12)$$

$$I_{min} - I_{max} = \frac{(-V_C)(1-D)T}{L} \qquad (2.13)$$

จากการแก้สมการที่ 2.12 และ 2.13 จะได้ว่า

$$\frac{(E - V_C)DT}{L} = V_C(1-D)T \qquad (2.14)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$(E - V_C)DT = V_C(1 - D) \quad (2.15)$$

$$V_C = DE \quad (2.16)$$

จากสมการที่ 2.16 จะพบว่าแรงดันของตัวเก็บประจุขึ้นอยู่กับช่วงเวลาที่สวิทช์ปิดเพียงอย่างเดียว และพิจารณากระแสของขดลวดเหนี่ยวนำเป็นไปอย่างต่อเนื่อง

2.2.3 กระแสของวงจร (Circuit Current)

จากรูปที่ 2.5 เราสามารถหาค่าเฉลี่ยของกระแสขดลวดเหนี่ยวนำอย่างง่ายๆ โดยวิเคราะห์จากรูปคลื่นสัญญาณ ค่านี้จะเป็นไปตามสมการที่ 2.17

$$I_L = \frac{I_{\max} + I_{\min}}{2} \quad (2.17)$$

สมการกระแสที่โหลดความต้านทาน จะเป็นไปตามสมการที่ 2.18 เนื่องจากค่าเฉลี่ยของกระแสตัวเก็บประจุเป็นศูนย์ในช่วงคาบเวลา ผลจากสมการที่ 2.19 อาจจะเขียนด้วยการเฉลี่ย เทอมสมการที่ 2.18 มากกว่า 1 ช่วงคาบเวลา

$$i_L = i_C + i_R \quad (2.18)$$

$$I_L = I_R \quad (2.19)$$

ค่าของ I_R เป็นไปตามสมการที่ 2.20 I_R การรวมกันของสมการนี้จะทำให้ได้ สมการ $I_{\max} + I_{\min}$ ในสมการที่ 2.21

$$I_R = \frac{V_C}{R} \quad (2.20)$$

$$I_{\max} - I_{\min} = \frac{2V_C}{R} \quad (2.21)$$

แก้สมการ บนค่า $I_{\max}$ และ $I_{\min}$ จากสมการที่ 2.12 และ 2.21 จะได้ว่า

$$I_{\max} = DE\left[\frac{1}{R} + \frac{(1-D)T}{2L}\right] \quad (2.22)$$

$$I_{\min} = DE\left[\frac{1}{R} - \frac{(1-D)T}{2L}\right] \quad (2.23)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2.4 เงื่อนไขกระแสต่อเนื่อง (Continuous Current Condition)

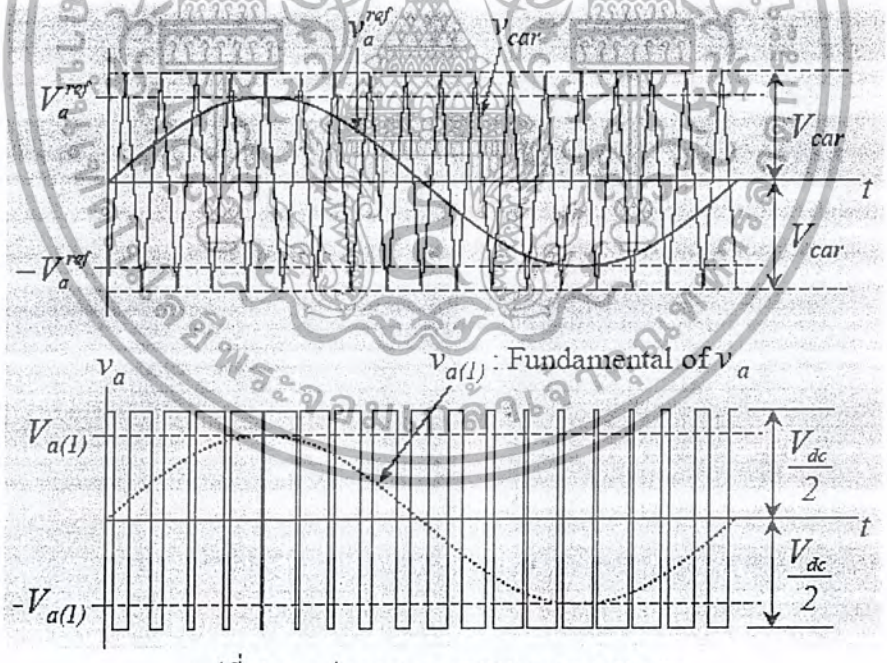
จากการแก้สมการ 2.18 โดยให้ค่า I_{min} เป็นศูนย์จะได้ความสัมพันธ์ สำหรับค่าขดลวดเหนี่ยวนำต่ำสุด จะเกิดกระแสต่อเนื่อง ได้ตามสมการที่ 2.24

$$L = \frac{(TR)(1-D)}{2} \qquad (2.24)$$

2.3 การมอดูเลตความกว้างพัลส์แบบคลื่นรูปไซน์ (Sinusoidal PWM Method , SPWM)

2.3.1 Sinusoidal PWM with Bipolar Voltage Switching Scheme

เป็นการนำสัญญาณที่เป็นรูป sine ที่มีความถี่ f_1 มาควบคุมการทำงาน (ในที่นี้เรียกสัญญาณนี้ว่า $V_{control}$) มาเปรียบเทียบกับสัญญาณพาหะรูปสามเหลี่ยม เพื่อที่จะได้สัญญาณแบบสวิทช์ดังรูปที่ 2.6 จะพบว่าความถี่พาหะนี้จะเป็นความถี่ของการสวิทช์ด้วย



รูปที่ 2.6 รูปแบบของ SPWM แบบ Bipolar

โดย Amplitude modulation ratio $(M) = \frac{V_{control}}{V_{tri}}$ (2.25)

จากสมการที่ 2.25 $V_{control}$ คือขนาดสูงสุดของสัญญาณที่ต้องการเปรียบเทียบ และ V_{tri} คือ ขนาดสูงสุดของพาหะคลื่นสามเหลี่ยม และจะได้ว่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\text{Frequency modulation ratio } (m_f) = \frac{f_s}{f_{control}} \qquad (2.26)$$

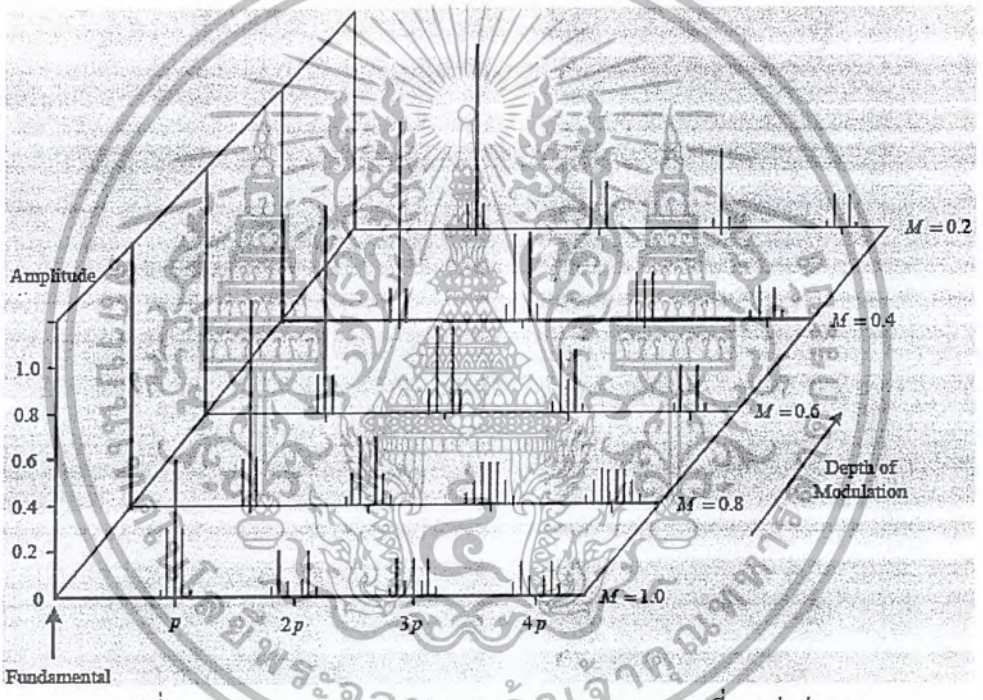
โดยที่ f_s คือ ความถี่ของคลื่นพาหะรูปสามเหลี่ยม

$f_{control}$ คือ ความถี่ของสัญญาณที่ใช้ควบคุมการสวิทช์

จะพบว่าเมื่อ $V_{control} > V_{tri}$; $V_{out} = +V_d$ และ

$V_{control} < V_{tri}$; $V_{out} = -V_d$

ลักษณะสัญญาณสวิทช์ที่ได้จะมีแถบความถี่ (Spectrum) แสดงดังรูปที่ 2.7



รูปที่ 2.7 Harmonic Spectrum ของ Bipolar SPWM ที่ M ค่าต่าง ๆ

ขนาดสูงสุดของของสัญญาณความถี่ fundamental ที่เป็นองค์ประกอบของสัญญาณสวิทช์เป็นไปตามสมการที่ 2.27 คือ

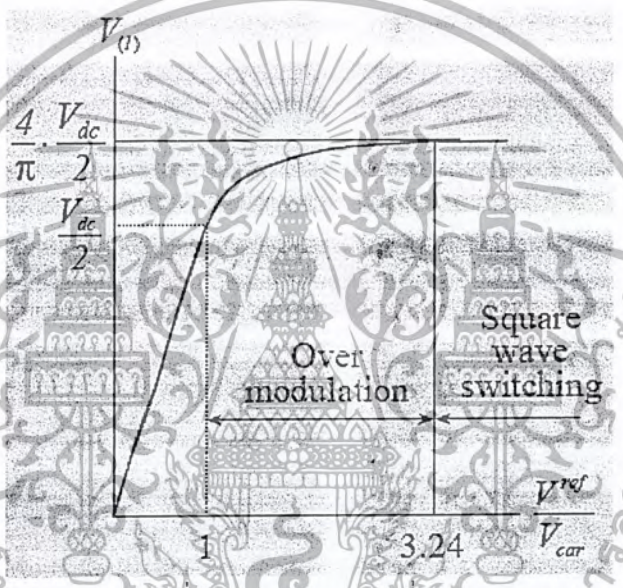
$$\hat{V}_{01} = M \bullet V_d \qquad (2.27)$$

จากสมการที่ 2.27 พบว่าขนาดของสัญญาณความถี่ fundamental แปรผันตรงกับ M ในช่วงที่ $M \le 1$ เป็นย่านเชิงเส้น (linear range) Harmonics ที่สัญญาณสวิทช์จะเป็นลักษณะ sideband ของความถี่พาหะ และผลคูณของความถี่พาหะ เช่น $m_f, 2m_f, 3m_f, \ldots\ m_f$ ควรจะเป็นเลขจำนวนเต็มคี่ (odd - integer) เพื่อที่ว่า Harmonics จะได้เป็น Harmonics คี่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จะเป็นการง่ายกว่าที่จะทำการกรองความถี่ที่เป็น Harmonics ออกที่ความถี่สูง ๆ ซึ่งก็จะมีผลเสียตามมาก็คือ ความร้อนสูญเสียในการสวิทช์ (Switching Loss) ก็จะเพิ่มตามความถี่ที่ไปด้วย

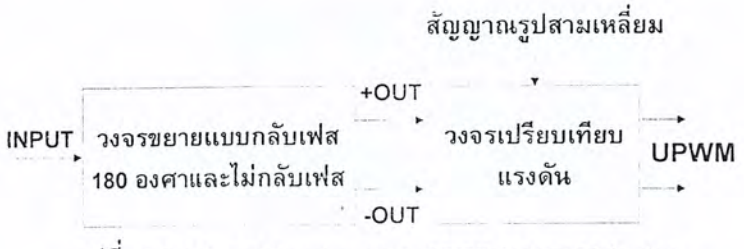
สำหรับ SPWM ที่ $M < 1$ จะอยู่ในช่วงเชิงเส้น ขนาดของสัญญาณความถี่พื้นฐานจะแปรผันตรงกับ M แต่เมื่อ M เพิ่มขึ้นเกิน 1.0 ขนาดของสัญญาณความถี่พื้นฐานจะไม่แปรผันตรงกับ M เรียกช่วงนี้ว่า Over modulation ที่สัญญาณสวิทช์จะมี harmonic ที่ไม่ใช้เป็น sideband ของ carrier เพิ่มขึ้นขนาดของสัญญาณความถี่ fundamental ที่ normalized $\hat{V}_{AO1}/V_d$ จะเป็นฟังก์ชั่นของอัตราส่วน modulation M แสดงดังรูปที่ 2.8



รูปที่ 2.8 กราฟแสดงผลการเปลี่ยนขนาดของความถี่ Fundamental จากการเปลี่ยน M

2.3.2 Sinusoidal PWM with Unipolar Voltage Switching Scheme

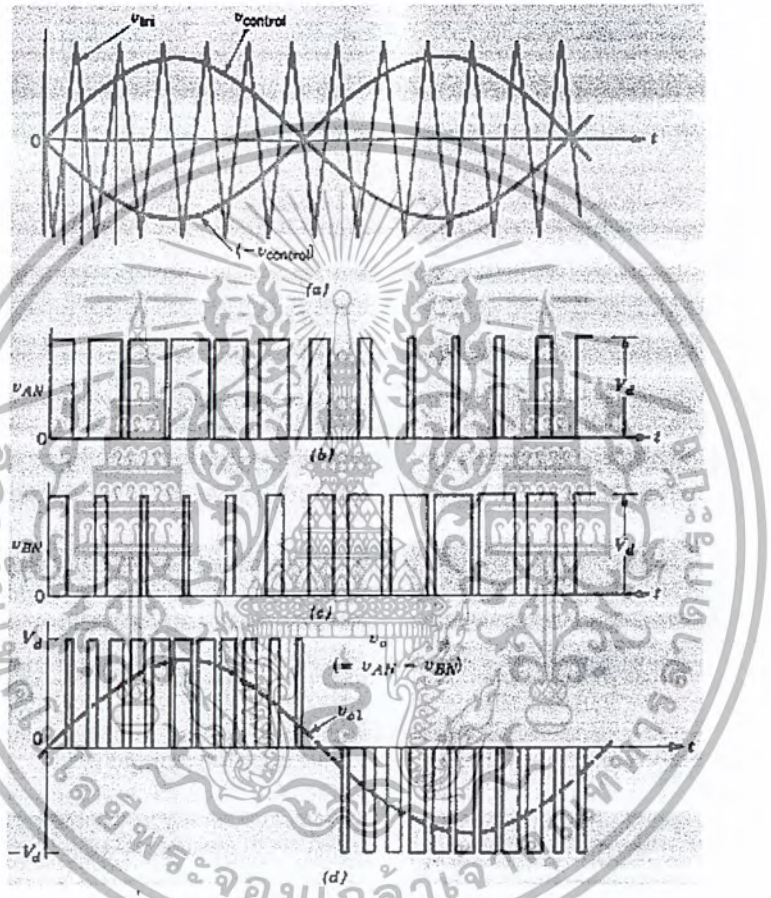
เป็นการใช้สัญญาณพาหะรูปสามเหลี่ยมมาเปรียบเทียบกับสัญญาณควบคุมสองตัว คือ สัญญาณ-ควบคุมเดิมและสัญญาณควบคุมเดิมที่ถูกกลับเฟสไป 180 องศา ซึ่งแสดง Block-Diagram ได้ดังรูปที่ 2.9



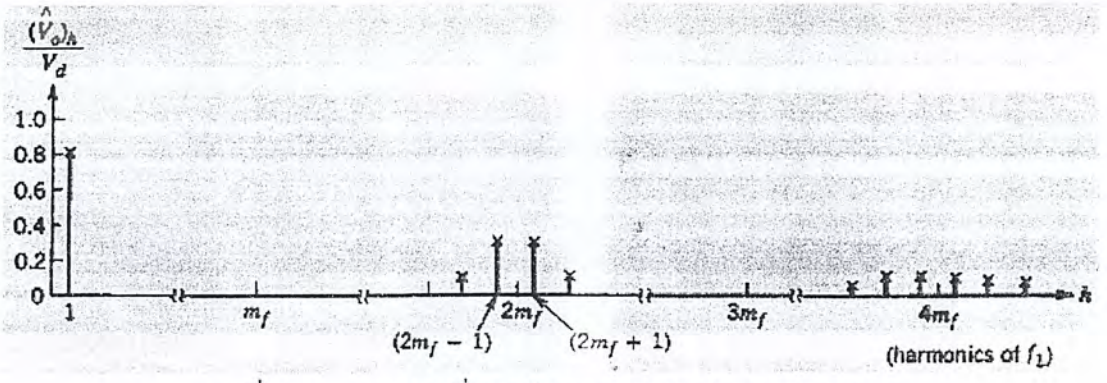
รูปที่ 2.9 Block Diagram ของ SPWM แบบ Unipolar

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

พบว่าเมื่อนำสัญญาณที่ได้จากการเปรียบเทียบจากวงจรในรูปที่ 2.9 มาหักล้างกันจะพบว่าสัญญาณที่เกิดจากการหักล้างกันนี้ จะมีความถี่ในการสวิทช์เลื่อนเพิ่มขึ้นไปจากเดิมเป็นสองเท่าของความถี่สวิทช์ที่เป็นความถี่ของคลื่นพาหะรูปสามเหลี่ยม ดังในรูปที่ 2.10 และแสดงในรูปแถบความถี่ดังรูปที่ 2.11



รูปที่ 2.10 รูปแบบของ SPWM แบบ Unipolar



รูปที่ 2.11 แถบความถี่ของสัญญาณ SPWM แบบ Unipolar

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.4 Interleaved Techniques

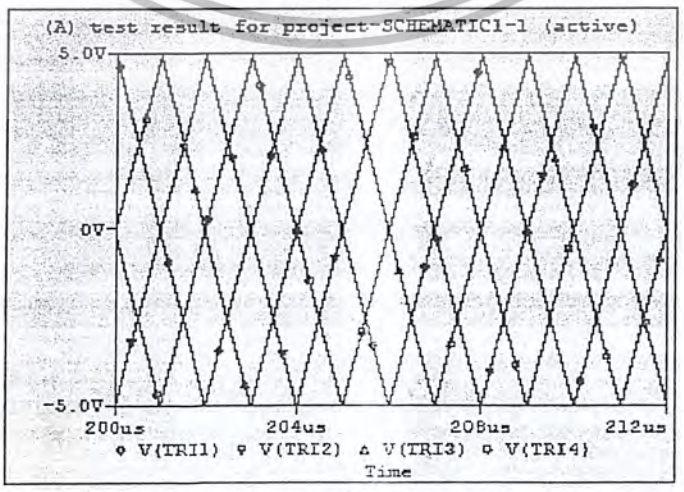
เป็นวิธีการในการเชื่อมต่อกันของ Switching Cell หลายๆ ตัว ซึ่งความถี่ในการแปลงจะเท่ากันทุกประการ แต่การสวิทช์ของแต่ละ Switching Cell นั้นจะมีการเลื่อนเฟสอย่างเป็นลำดับในแต่ละช่วงของการสวิทช์ ซึ่งลักษณะวงจรแบบนี้ลดขนาดของความถี่กระเพื่อม (Ripple Frequency) และเพิ่มความถี่กระเพื่อมเสมือน (Effective Ripple Frequency) ของตัวแปลงโดยรวม โดยไม่ได้เพิ่มความสูญเสียที่เกิดจากการสวิทช์และความเครียดในอุปกรณ์ ระบบที่ใช้วิธีการแบบ Interleave นั้นเป็นที่เข้าใจได้ว่าลดขนาดของวงจรกรองและความละเอียดในการแปลงโดยไม่ส่งผลกระทบต่อประสิทธิภาพของวงจร

เทคนิคแบบ Interleave นี้จะใช้สัญญาณพาหะรูปสามเหลี่ยมที่มีการเลื่อนเฟสไปที่มีค่าเป็น

$$\phi = \frac{2\pi}{N} \qquad (2.28)$$

โดยที่ N คือจำนวน Switching Converter Cell ที่ต่อรวมกันอยู่และนำสัญญาณพาหะรูปสามเหลี่ยมที่มีเฟสเลื่อนนี้ไปใช้เปรียบเทียบกับสัญญาณที่ทางเข้าซึ่งผลที่ได้จากการเปรียบเทียบในแต่ละส่วนจะเป็นสัญญาณ PWM ซึ่งเมื่อนำสัญญาณทั้งหมดมารวมกันแล้วจะได้สัญญาณ PWM รวมที่มีความถี่ของพาหะเสมือนเพิ่มขึ้นเป็น N เท่า

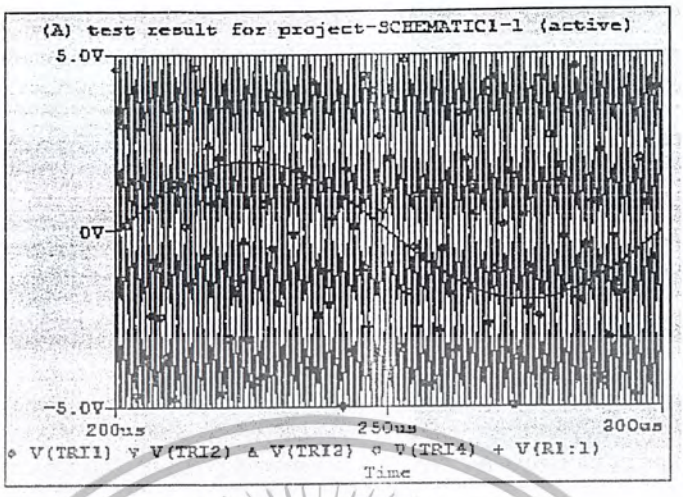
ยกตัวอย่างเช่น ถ้าเราต้องการเชื่อมต่อ Switching Cell ทั้งหมดจำนวน 4 Cell ดังนั้นเราจะต้องสร้างพาหะสามเหลี่ยมที่แต่ละตัวมีเฟสเลื่อนไปเป็นค่า $\frac{2\pi}{4} = 90^\circ$ ซึ่งลักษณะของสัญญาณรูปสามเหลี่ยมที่มีเฟสเลื่อนไป 90 องศานั้นแสดงดังรูปที่ 2.12 และนำสัญญาณพาหะที่ได้แต่ละตัวนี้ไปทำการเปรียบเทียบแรงดันกับสัญญาณที่ทางเข้าดังรูปที่ 2.13



รูปที่ 2.12 สัญญาณสามเหลี่ยมที่มีเฟสเลื่อน 90 องศา

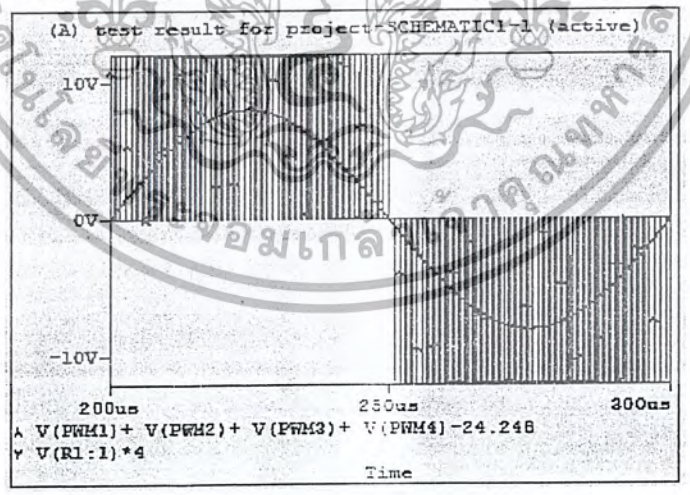
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง



รูปที่ 2.13 สัญญาณที่ทางเข้าเทียบกับสัญญาณพาหะสามเหลี่ยมทั้ง 4

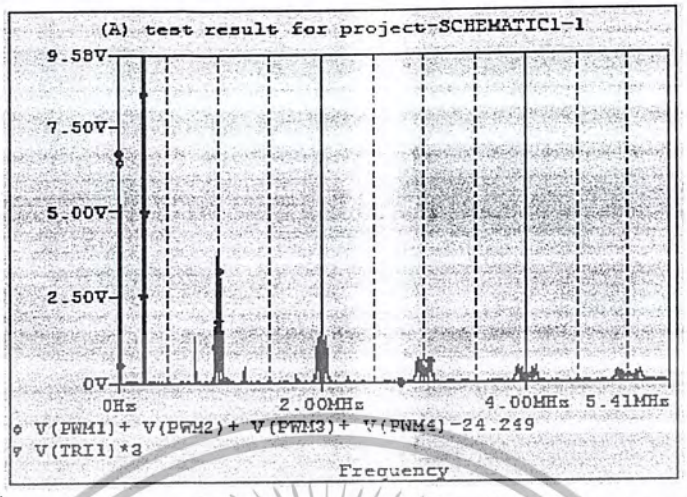
ซึ่งในที่สุดจะได้สัญญาณ PWM ทั้ง 4 ตัว ซึ่งถ้าทำการรวมสัญญาณ PWM ทั้งสี่ตัวเข้าด้วยกันแล้วจะสัญญาณรวมดังรูปที่ 2.14 ที่มีความถี่ของพาหะเสมือนว่าเพิ่มขึ้นเป็น 4 เท่า ดังรูปที่ 2.15



รูปที่ 2.14 สัญญาณ PWM รวมเทียบกับสัญญาณที่ทางเข้า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

55451



รูปที่ 2.15 FFT. ของสัญญาณ PWM รวมเทียบกับสัญญาณสามเหลี่ยม

2.5 โครงสร้างของ Parallel Converter

รูปที่ 2.16 รูปแบบของ Parallel Converter

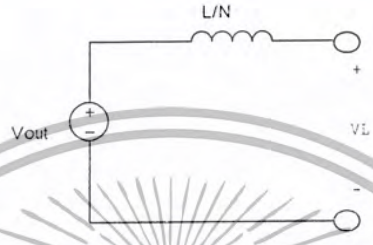
รูปแบบของวงจร Parallel Converter ดังแสดงในรูปที่ 2.16 เป็นการนำ Converter แบบ Half Bridge 2 ตัวมาต่อรวมกัน โดยการต่อรวมกันนั้นจะทำการเชื่อมต่อระหว่าง Converter แต่ละตัวด้วยขดลวดเหนี่ยวนำ และใช้จุดที่เป็นจุดร่วมกันนี้เป็น Output ของวงจรรวมทั้งหมด โดยจะได้ว่าแรงดันที่ทางออก คือ

$$V_{out} = \left(\frac{V_1 + V_2}{2}\right) \qquad (2.29)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปแบบวงจรนี้เราสามารถสร้างแรงดันซีกบวกได้โดยการ On SW1 และ SW3 และในทางตรงกันข้าม การ On SW2 และ SW4 จะเป็นการสร้างแรงดันซีกลบ ส่วนแรงดันระดับกราวนด์สามารถสร้างได้ด้วยการ On SW1 กับ SW4 หรือ SW2 กับ SW3

สำหรับกรณีที่มี Half Bridgeต่อขนานร่วมกัน N ตัวจะได้ลักษณะวงจรเสมือนดังรูปที่ 2.17



รูปที่ 2.17 วงจรเสมือนของ Half Bridge ขนานกัน N ตัว

โดยดังรูปที่ 2.17 นั้น ค่า L/N คือค่าของขดลวดเหนี่ยวนำเสมือนของวงจรรวม และ L คือค่าขดลวดเหนี่ยวนำของ Half Bridge แต่ละตัวที่นำมาขนานกัน และสามารถหาความสัมพันธ์ของแรงดันที่ทางออกของ Half Bridge ที่ต่อขนานกัน N ตัวได้เป็น

$$V_{OUT} = \frac{1}{N}\sum_{i=1}^{N} V_i \qquad (2.30)$$

ค่าสูงสุดของแรงดันและกระแสของสวิทช์ที่อยู่ในรูปแบบขนานกัน N ตัว แบบ Half Bridge จะเป็นไปตามสมการที่ 2.31

$$V_T = 2V_{cp}$$
$$I_T = \frac{i_{L-peak}}{N} \qquad (2.31)$$

2.6 วงจรเปรียบเทียบแรงดัน (Voltage Comparators)

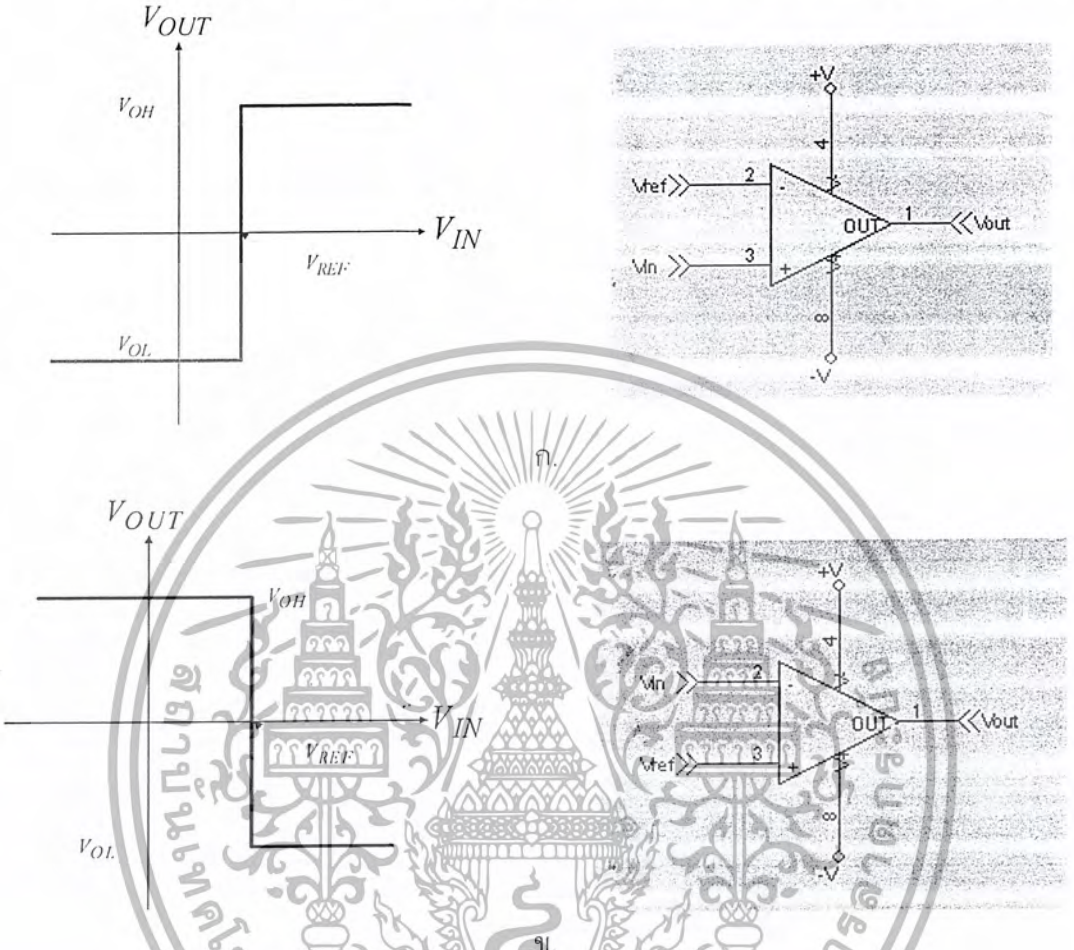
หน้าที่ของวงจรเปรียบเทียบแรงดัน คือ การเปรียบเทียบแรงดันอินพุทที่ป้อนให้วงจรกับแรงดันอ้างอิงที่ตั้งไว้แล้วทำให้เกิดแรงดันเอาท์พุทของวงจรเปลี่ยนแปลงอยู่สองสภาวะ คือ สภาวะสูง (High) กับ สภาวะต่ำ (Low) เท่านั้น วงจรเปรียบเทียบแรงดันและกราฟคุณสมบัติของวงจรแสดงได้ดังรูปที่ 2.18 ซึ่งการทำงานของวงจรมีความสัมพันธ์สรุปได้ดังนี้คือ

รูปที่ 2.18 (ก) $V_{out} = V_{OH}$ เมื่อ $V_{in} > V_{REF}$ (2.32)

รูปที่ 2.18(ข) $V_{out} = V_{OL}$ เมื่อ $V_{in} < V_{REF}$ (2.33)

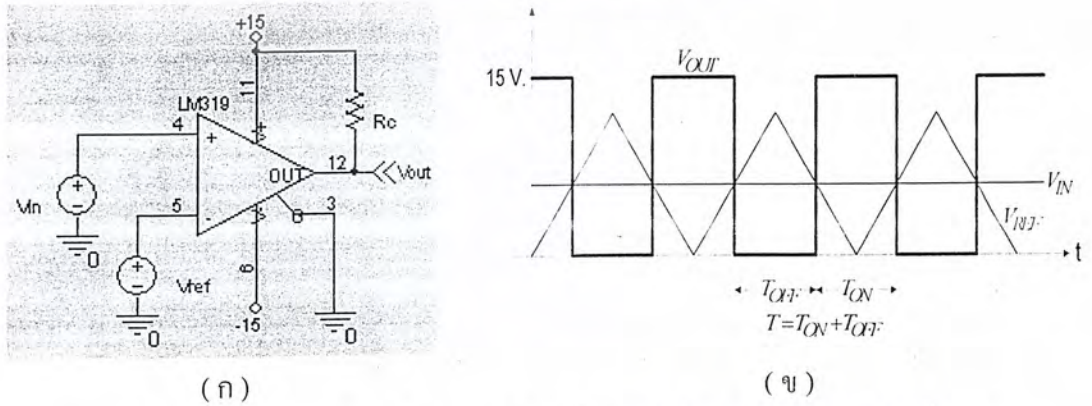
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อ V_{OH} และ V_{OL} คือแรงดันเอาท์พุทอิ่มตัวของออปแอมป์ในสภาวะสูงและต่ำตามลำดับ



รูปที่ 2.18 แสดงวงจรเปรียบเทียบแรงดัน

2.6.1 การนำวงจรเปรียบเทียบแรงดันไปใช้เป็นวงจรพัลส์วิดท์มอดูเลเตอร์



รูปที่ 2.19 แสดงวงจรเปรียบเทียบแรงดัน เมื่อนำไปใช้ในการควบคุมค่าดิวตี้ไซเคิล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การนำวงจรเปรียบเทียบแรงดันไปใช้เป็นวงจรพัลส์วิดท์มอดูเลเตอร์แสดงได้ดังรูป 2.19 เมื่อค่าดิวตี้ไซเคิล (duty cycle , d) ของรูปคลื่นตามคาบ (periodic wave) ใดๆก็ตามถูกกำหนดโดยความสัมพันธ์ระหว่างช่วงเวลา T_{on} กับ T_{off} ดังนี้คือ

$$\%d = \left(\frac{T_{on}}{T_{on}+T_{off}}\right)\times 100 \qquad (2.34)$$

เช่น สัญญาณรูปคลื่นรูปสี่เหลี่ยมที่มี T_{on} = 2.5mS และ T_{off} = 1.5 mS จะมีคาบเวลา T เท่ากับ T_{on} + T_{off} = 2.5+1.5 = 4 mS และดิวตี้ไซเคิล d = (2.5/4) × 100 = 62.50 % ดังนั้นจากตัวอย่างสัญญาณรูปคลื่นของวงจรในรูปที่ 2.13 จะเห็นว่าค่าดิวตี้ไซเคิล d ของวงจรสามารถควบคุมได้อย่างง่ายและเป็นเชิงเส้นโดยการแปลงแรงดันอินพุท V_m และถ้าเป็นสัญญาณรูปคลื่นตามคาบใดๆ อาทิเช่น สัญญาณสามเหลี่ยม (Triangular waveform) สัญญาณฟันเลื่อย (Sawtooth waveform) เป็นต้น ความสัมพันธ์ระหว่างค่า d และ V_m ของวงจรจะมีคุณสมบัติเป็นเชิงเส้นด้วย หรือเขียนใหม่ได้เป็น

$$\%d = \frac{V_{in}}{V_m}\times 100 \qquad (2.35)$$

โดยที่ V_m คือขนาดแรงดันสูงสุด (Peak value) ของสัญญาณ นั้นคือถ้าแรงดันอินพุทของวงจรแปรค่าในช่วง ($0<V_{in}<V_m$) จะทำให้ค่าดิวตี้ไซเคิลมีค่าเปลี่ยนแปลงอยู่ในช่วง ($0\%<d<100\%$) เช่นกัน และถ้าให้ $V_{in} = V_m/2$ ก็จะได้ d = 50%

2.7 วงจรกรอง (Filter)

วงจรกรอง (Filter) คืออุปกรณ์ที่ทำหน้าที่เป็นตัวเลือกผ่านสัญญาณ โดยวงจรกรองจะยอมให้สัญญาณเฉพาะบางย่านความถี่ผ่านไปได้เท่านั้น เราจะเรียกย่านความถี่ที่วงจรกรองยอมให้ผ่านว่า ย่านความถี่ผ่าน (Passband) . และย่านความถี่ที่วงจรกรองจะกั้นไว้ไม่ให้ผ่านว่า ย่านความถี่หยุด (Stopband)

วงจรกรองเป็นอุปกรณ์ที่สำคัญมากในงานทางด้านวิศวกรรมอิเล็กทรอนิกส์หลายๆด้าน เช่น- ใช้ในเครื่องขยายภาคต้น (Pre-amplification) วงจรปรับเท่า (Equalizer) และตัวปรับเสียง (Tone-Control) ของระบบเครื่องเสียง (Audio System)

- ใช้ในวงจรกำจัดสัญญาณรบกวน (Noise) ที่ไม่ต้องการในระบบสื่อสาร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- ใช้ในการกำจัดไซด์แบนด์ (Sideband) ในระบบสื่อสารแบบไซด์แบนด์เดี่ยว (Single Sideband)

- ใช้ในการดีมอดดูเลต (Demodulate) สัญญาณ

- ใช้ในการตรวจจับ (Detect) สัญญาณที่ถูกมอดดูเลตแบบดิจิตอล โดยเราเรียกวงจรกรองที่ทำหน้าที่นี้ว่า Matched Filter

- ใช้ในระบบสื่อสารมัลติเพล็กซ์แบบแบ่งเวลา (Time-Division Multiplexing) และแบบแบ่งความถี่ (Frequency-Division Multiplexing)

- ใช้แก้ปัญหาการทับซ้อน (Aliasing) ที่อาจเกิดขึ้นจากการชักตัวอย่าง (Sampling) สัญญาณแอนะล็อกในการประมวลผลแบบดิจิตอล (Digital Signal Processing)

- ใช้ในการแปลงสัญญาณที่ได้จากการชักตัวอย่าง (Sampled Signals) ไปเป็นสัญญาณแอนะล็อก

- ใช้ในการสังเคราะห์สัญญาณ

- ใช้ในการแก้ปัญหาการรบกวนข้ามสัญลักษณ์ (Intersymbol Interference : ISI) ในการส่งข้อมูลดิจิตอล โดยเราเรียกวงจรกรองที่ทำหน้าที่นี้ว่า วงจรกรองส่วนผ่านข้อมูล (Data Transmission Filter)

- ใช้แก้ปัญหาการสูญเสีย (Loss) ในการส่งสัญญาณในสายส่ง (Transmission Line) และสายเคเบิล

- ใช้ในอุปกรณ์ชีวการแพทย์ (Biomedical Equipment) เช่น เยื่อประสาทหูเทียม (Artificial Cochlea)

เราสามารถแบ่งวงจรกรองได้ตามลักษณะของอุปกรณ์ที่ใช้ในการสร้างได้ดังนี้

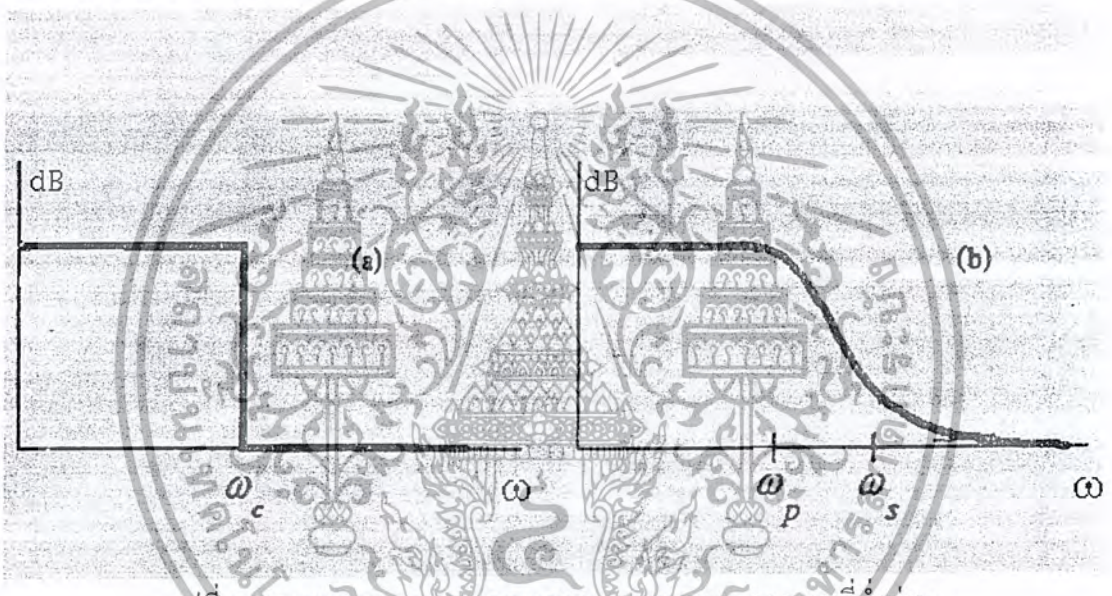
- **วงจรกรองความถี่แบบพาสซีฟ (Passive Filter)** เป็นวงจรกรองสัญญาณแบบต่อเนื่องที่ประกอบไปด้วยตัวต้านทาน ตัวเก็บประจุ และขดลวดเหนี่ยวนำ วงจรกรองประเภทนี้สามารถใช้ในการกรองสัญญาณที่มีความถี่ตั้งแต่สัญญาณไฟตรง (DC) ไปจนถึงประมาณ 300 MHz อย่างไรก็ตามเราไม่นิยมใช้วงจรกรองแบบพาสซีฟในย่านความถี่ต่ำ เนื่องจากจะต้องใช้ขดลวดเหนี่ยวนำขนาดใหญ่ซึ่งมีความสูญเสียมาก ดังนั้นโดยทั่วไปวงจรกรองแบบพาสซีฟจะถูกใช้งานตั้งแต่ย่านความถี่เสียง (Audio Frequency) ความถี่สัญญาณภาพ (Vedio Frequency) ไปจนถึงย่านความถี่วิทยุสูงมาก (VHF)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- **วงจรกรองความถี่แบบแอ็คทีฟ (Active Filter)** เป็นวงจรกรองสัญญาณแบบต่อเนื่องที่ใช้อุปกรณ์ประเภทแอ็กทีฟร่วมกับตัวต้านทานและ/หรือตัวเก็บประจุ วงจรกรองแบบแอ็คทีฟที่นิยมใช้กันในปัจจุบันได้แก่วงจรกรอง active RC และวงจรกรองตัวเก็บประจุสวิทซ์ (ซึ่งวงจรกรองทั้งสองแบบสามารถใช้งานในย่านความถี่ไฟตรง - 500 kHz) ส่วนวงจรกรองแบบ Gm-C นั้นสามารถใช้งานในช่วงความถี่สูงกว่านี้ได้

2.7.1 วงจรกรองแบบต่างๆ

2.7.1.1วงจรกรองความถี่ต่ำผ่าน (Low Pass Filter)



รูปที่ 2.20 แสดงผลตอบสนองทางขนาดของวงจรกรองความถี่ต่ำผ่าน

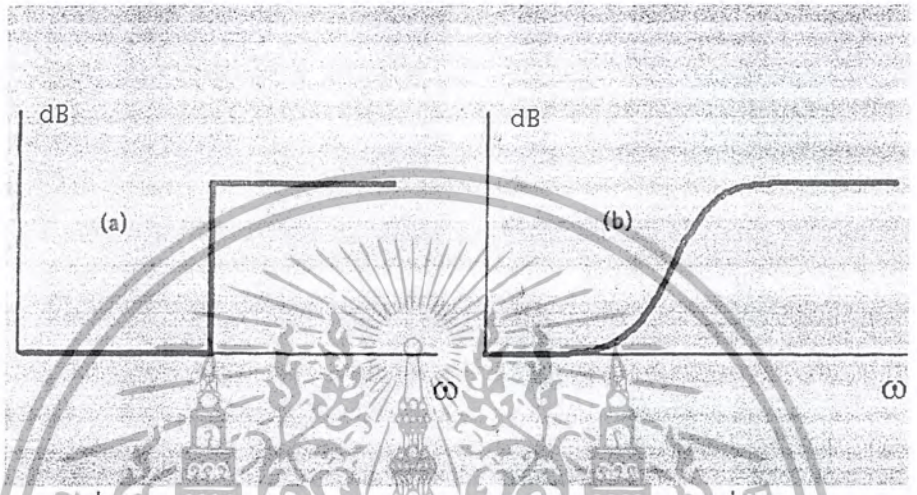
วงจรกรองความถี่ต่ำผ่านเป็นวงจรที่ยอมให้สัญญาณความถี่ต่ำผ่านแต่จะกั้นสัญญาณความถี่สูงเอาไว้ ดังรูปที่ 2.20(a) แสดงผลตอบสนองความถี่ของวงจรกรองความถี่ต่ำผ่านในอุดมคติ โดยนิยามเราเรียกย่านความถี่ที่วงจรกรองยอมให้ผ่านว่า ย่านความถี่ผ่าน (Passband) หรือแบนด์วิดธ์ (Bandwidth) ของวงจร ส่วนย่านความถี่ที่วงจรไม่ยอมให้ผ่านไปเรียกว่า ย่านความถี่หยุด (Stopband)

ในทางปฏิบัติเราไม่สามารถสร้างวงจรกรองที่มีผลตอบสนองเป็นดังรูปที่ 2.20(a)ได้ รูปที่ 2.20(b) แสดงผลตอบสนองของวงจรกรองที่ได้มาจากการประมาณผลตอบสนองในอุดมคติโดยนิยามแบนด์วิดธ์ใหม่ว่า คือ ย่านความถี่ที่อัตราขยายของวงจรยังตกลงมาจากอัตราขยายสูงสุด (สังเกตุว่าค่าอัตราขยายสูงสุดสำหรับวงจรกรองความถี่ต่ำผ่านอาจจะไม่ใช้อัตราขยายสัญญาณไฟตรงของวงจร) ไม่เกินค่าที่กำหนด (โดยปกติจะกำหนดให้ตกลงมาได้ไม่เกิน 3 dB) จะเห็นว่าย่านความถี่ผ่านของวงจรจะอยู่ระหว่าง 0 ถึง ω_p และย่านความถี่หยุดของวงจรจะเป็นช่วงความถี่ที่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

มากกว่า ω_s ส่วนย่านความถี่ที่อยู่ระหว่าง ω_p และ ω_s นั้นเราจะเรียกว่า ย่านความถี่เปลี่ยน (Transition Band)

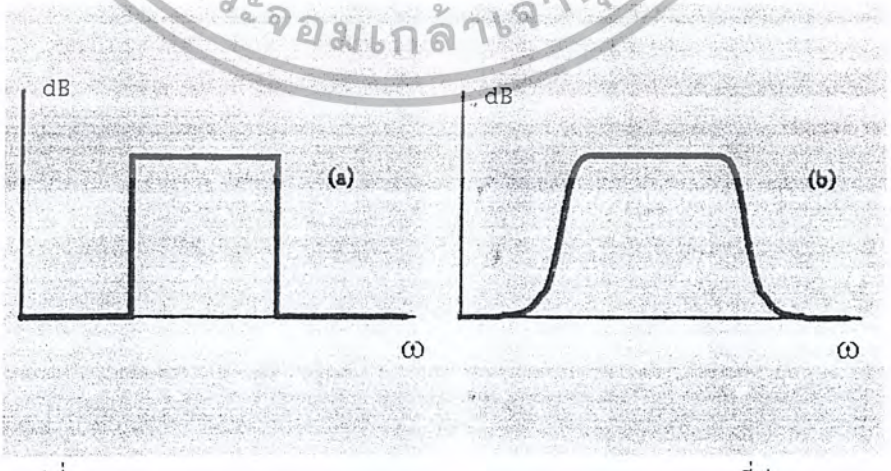
2.7.1.2 วงจรกรองความถี่สูงผ่าน (High-Pass Filter)



รูปที่ 2.21 แสดงผลตอบสนองทางขนาดของวงจรกรองความถี่สูงผ่าน

วงจรกรองความถี่สูงผ่านเป็นวงจรที่ยอมให้สัญญาณความถี่สูงผ่านแต่จะกั้นสัญญาณความถี่สูงไว้ รูปที่ 2.21(a) แสดงผลตอบสนองทางความถี่ของวงจรกรองความถี่สูงผ่านในอุดมคติ ส่วนรูปที่ 2.21(b) แสดงผลตอบสนองของวงจรกรองความถี่สูงผ่านที่มีลักษณะเป็นโมโนโทนิกอย่างสมบูรณ์

2.7.1.3 วงจรกรองแถบความถี่ผ่าน (Band-Pass Filter)



รูปที่ 2.22 แสดงผลตอบสนองทางขนาดของวงจรกรองแถบความถี่ผ่าน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรกรองแถบความถี่ผ่านเป็นวงจรที่ยอมให้สัญญาณในช่วงความถี่ใดๆผ่านได้ แต่จะไม่ยอมให้สัญญาณที่มีความถี่ต่ำหรือสูงกว่าความถี่นั้นผ่านได้ รูปที่ 2.22 แสดงผลตอบสนองทางความถี่ของวงจรกรองแถบความถี่ผ่านแบบต่างๆโดยทั้งนี้ถ้าให้ ω_1 และ ω_2 เป็นจุดปลายของย่านความถี่ผ่านของวงจรโดย $\omega_2 < \omega_1$ เราจะพบว่าแบนด์วิดธ์ของวงจรคือ

$$BW = \omega_2 - \omega_1 \qquad (2.36)$$

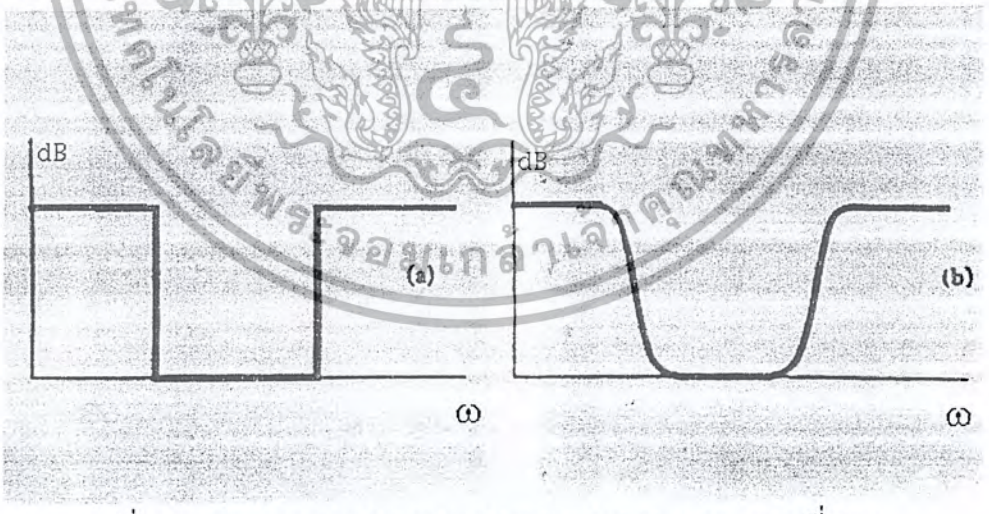
และเราได้นิยามความถี่กึ่งกลาง (Center Frequency) : ω_0 ว่าคือ

$$\omega_0 = \sqrt{\omega_1 \omega_2} \qquad (2.37)$$

ซึ่งโดยทั่วไปเราจะกำหนดให้ BW ของวงจรกรองความถี่ผ่านคือ แถบความถี่ที่สัญญาณสามารถผ่านไปได้โดยมีการลดทอนไม่เกิน 3 dB นั้นคือ $BW = BW_{-3dB}$

รูปที่ 2.22(a) แสดงผลตอบสนองของวงจรกรองความถี่ผ่านในอุดมคติ รูปที่ 2.22(b) แสดงผลตอบสนองของวงจรกรองแถบความถี่ผ่านที่มีอัตราขยายลดลงเรื่อยๆจากจุดสูงสุดที่ความถี่

2.7.1.4 วงจรกรองแถบความถี่หยุด (Band-Reject Filter)



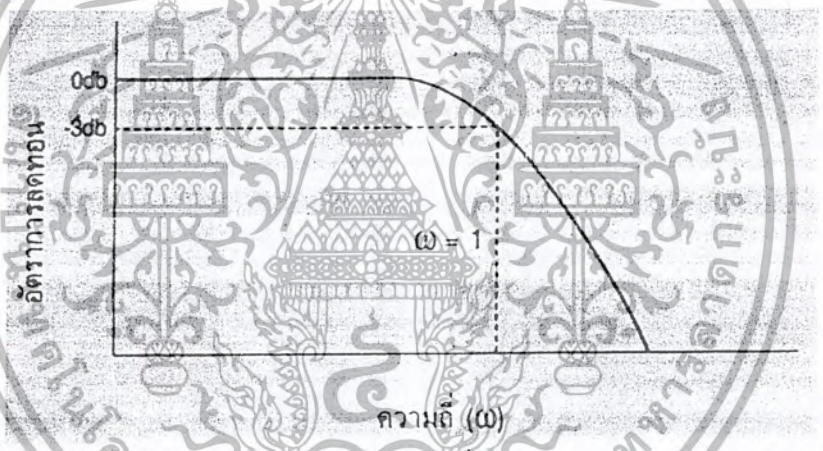
รูปที่ 2.23 แสดงผลตอบสนองทางขนาดของวงจรกรองแถบความถี่หยุด

วงจรกรองแถบความถี่หยุดจะทำหน้าที่ตรงข้ามกับวงจรกรองแถบความถี่ผ่าน กล่าวคือ วงจรกรองแถบความถี่หยุดจะกั้นไม่ให้สัญญาณ ณ ช่วงความถี่ใดๆผ่านไปได้ แต่ยอมให้สัญญาณที่มีความถี่ต่ำหรือสูงกว่าช่วงความถี่นั้นผ่านไปได้ ดังรูปที่ 2.23

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.7.2 วงจรกรองความถี่ต่ำผ่านแบบบัตเตอร์เวิร์ธ (Butterworth Low-Pass Fiiter)

วงจรกรองแบบนี้จะมีค่า Q อยู่ที่ระดับปานกลาง (Medium - Q) จึงทำให้มีลักษณะพิเศษตรงที่ให้อัตราการขยายของการตอบสนองความถี่มีค่าเท่ากันตลอดย่านความถี่ที่ผ่านไปได้ (มีความราบเรียบสม่ำเสมอตลอดย่าน) และไม่มีการเกิดสัญญาณกระเพื่อมให้ได้เห็นกันดังนั้น ลักษณะของรูปคลื่นสัญญาณที่ผ่านจากวงจรนี้จึงมีลักษณะดังรูปที่ 2.24 จึงนับได้ว่ามีความราบเรียบของแถบความถี่สูงที่สุดในบรรดาวงจรกรองความถี่ชนิดต่างๆ แต่วงจรกรองแบบนี้ก็มีข้อเสียคือตรงที่ช่วงของการลดทอนสัญญาณไม่ค่อยชัน (เส้นกราฟที่หลังจากผ่านจุดตัดความถี่) จึงทำให้เกิดการส่งผ่านของแถบความถี่ (Transition) ขึ้นมา ซึ่งจุดนี้เราสามารถแก้ไขได้โดยการเพิ่มจำนวนของอุปกรณ์ที่มีคุณสมบัติทางรีแอกแตนซ์เข้าไปอีกและจากคุณสมบัติต่างๆนี้เอง จึงมีการเรียกวงจรชนิดนี้ว่า "การออกแบบในเส้นทางระดับปานกลาง"



รูปที่ 2.24 รูปคลื่นสัญญาณการตอบสนองความถี่ของวงจรกรองแบบบัตเตอร์เวิร์ธ

2.7.3 การหาค่าอุปกรณ์เพื่อใช้ในการออกแบบ

ค่าของอุปกรณ์นั้นเราจะอ้างอิงกับพื้นฐานของวงจรกรองความถี่ต่ำผ่านแบบบัตเตอร์เวร์ธที่มีการต่ออยู่ระหว่างแหล่งจ่ายกับโหลดที่มีค่าอิมพีแดนซ์ 1 โอห์มโดยได้ค่า General Form : Hn คือ

$$Hn = 1 \text{ or } (S+1) \prod_{k} (S^2 + 2COS\psi_k S + 1) \qquad (2.38)$$

ทำให้ได้ Butterworth Approximation Function ของวงจรกรองแบบบัตเตอร์เวิร์ธที่อันดับต่างๆดังตารางที่ 2.1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

N	H(S)
1	$S+1$
2	$S^2+1.414S+1$
3	$(S^2+S+1)(S+1)$
4	$(S^2+0.76527S+1)(S^2+1.84776S+1)$
5	$(S^2+0.61802S+1)(S^2+1.61802S+1)(S+1)$

ตารางที่ 2.1 แสดงค่า Butterworth Approximation Function ของ Butterworth Low-Pass Filter

จากตารางทำให้ทราบค่านอร์มอลไลซ์ของอุปกรณ์ค่าต่างๆดังตาราง

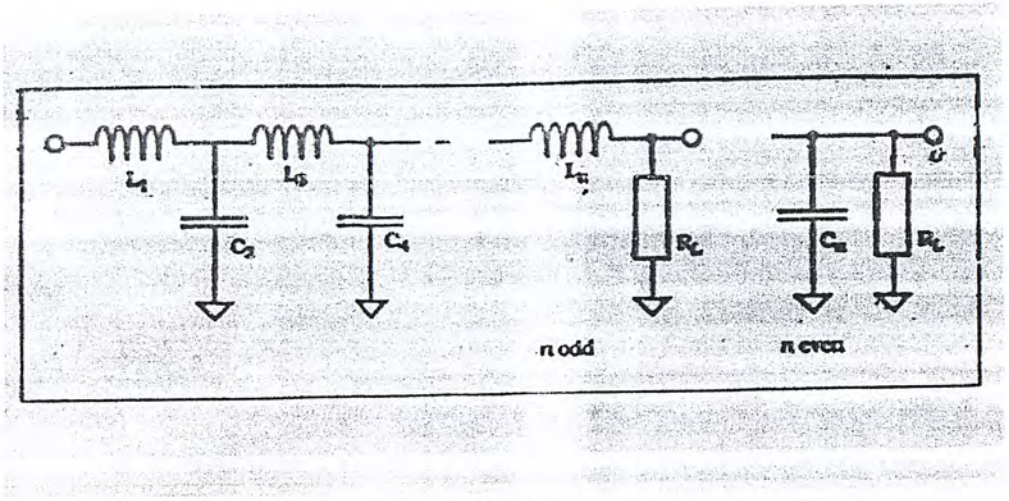
N	L1	C2	L3	C4	L5
2	1.4142	0.7071			
3	1.5000	1.3333	0.5000		
4	1.5307	1.5772	1.0824	0.3827	
5	1.5451	1.6944	1.3820	0.8944	0.3090

ตารางที่ 2.2 แสดงนอร์มอลไลซ์ของค่าอุปกรณ์ต่างๆที่ใช้ในวงจร Butterworth Low-Pass Filter

2.7.4 การออกแบบวงจรดีมอดดูเลชั่นฟิลเตอร์ (Demodulation Filter Design)

อีกส่วนหนึ่งของระบบเพาเวอร์แอมป์ที่มีความสำคัญมากที่สุดคือ ภาคดีมอดดูเลชั่นฟิลเตอร์ (Demodulation Filter) หน้าที่หลักของมันก็คือ เป็นวงจรฟิลเตอร์ที่จะนำมาตัดหรือลดทอนองค์ประกอบของสัญญาณที่มีความถี่สูงให้หมดไปจากสัญญาณ PWM ที่ขับออกจากเอาท์พุตก่อนส่งสัญญาณไปขับลำโพงต่อไป ดังนั้นเพื่อทำให้ระบบทำงานโดยมีประสิทธิภาพสูงสุดเท่าที่เป็นไปได้ วงจรฟิลเตอร์นั้นจะต้องมีการสูญเสียน้อยที่สุด หรืออีกความหมายหนึ่งก็คือมันต้องมีความเป็นตัวต้านทานน้อยที่สุดหรือไม่มีเลย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.25 แสดงวงจรฟิลเตอร์แบบ n-order LC Low-Pass Filter

วงจรในรูปที่ 2.25 แสดงวงจรฟิลเตอร์แบบ n-th order LC Low-Pass Filter โดยที่ค่าอิมพีแดนซ์ของแหล่งจ่าย (Source Impedance) ของวงจรฟิลเตอร์นี้ (เมื่อต่อกับภาคขยายของแอมป์) จะมีค่าประมาณเท่ากับค่าความต้านทานขณะทำงานของแต่ละเพาเวอร์สวิตช์ (On-Resister Power Switch)ในภาคเพาเวอร์สเตจซึ่งในทางปฏิบัติแล้วมีค่าน้อยมาก ค่าตัวเหนี่ยวนำ (L) และค่าของตัวเก็บประจุ (C) ของวงจรฟิลเตอร์จะขึ้นอยู่กับค่าโหลดอิมพีแดนซ์ (Load Impedance) หรือ R_L และค่าความถี่คัตออฟ (Cutoff Frequency) หรือ ω_0 และชนิดของวงจรฟิลเตอร์เช่นแบบ Butterworth หรือแบบ Chebyshev เป็นต้น แต่โดยทั่วไปมักจะใช้เป็นวงจรฟิลเตอร์แบบ LC Butterworth ที่ออร์เดอร์ที่ 2 หรือ 4

วิธีที่ง่ายที่สุดในการกำหนดค่าของอุปกรณ์ในแต่ละตัวคือการใช้ตารางกำหนดค่าอุปกรณ์แบบนอร์มอลไลซ์ (Normalized Element Value Table) ในตารางที่ 2.2 ซึ่งในตารางนี้จะแสดงค่านอร์มอลไลซ์ของค่าอุปกรณ์ต่างๆที่ใช้ในวงจรฟิลเตอร์แบบ Butterworth ตั้งแต่ออร์เดอร์ที่ 2-5 ค่าต่างๆที่แสดงในตารางเป็นค่าที่อ้างอิงมาจากวงจรฟิลเตอร์ที่มีค่าความถี่คัทออฟ $\omega_0 = 1$ rad/s และที่โหลดอิมพีแดนซ์ $R_L =$ 1 โอห์ม ดังนั้นการออกแบบจึงต้องทำการดีนอร์มอลไลซ์ (Denomalization) ก่อนโดยการคำนวนค่าจากการางใหม่ด้วยสูตรสเกลลิ่งแฟกเตอร์ (Scaling Factor) ดังนี้

$$L_n = l_n \times \left(R_L/\omega_0\right) c_n \times \left(1/\left(R_L \times \omega_0\right)\right) \qquad (2.39)$$

$$C_n = c_n \times \left(1/\left(R_L \times \omega_0\right)\right) \qquad (2.40)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อพิจารณาจากความต้องการของระบบพาวเวอร์แอมป์ที่เราจะนำวงจรฟิลเตอร์ไปใช้จะพบว่าวงจรแอมป์นี้ต้องสามารถขับโหลดที่ค่า 4 โอห์ม และ 8 โอห์มได้ (เพราะโหลดเป็นลำโพงขนาด 4 โอห์ม หรือ 8 โอห์มเป็นส่วนใหญ่) การออกแบบฟิลเตอร์ให้รองรับโหลดอิมพีแดนซ์ที่น่าจะเหมาะสมที่สุดในกรณีนี้ก็คือ การนำค่าเฉลี่ยของค่าสูงที่สุดกับค่าต่ำที่สุดของโหลดอิมพีแดนซ์มาคำนวน ซึ่งในกรณีนี้คือ 6 โอห์ม

ดังนั้นเมื่อนำวงจรฟิลเตอร์นี้ไปเชื่อมต่อกับโหลดที่มีอิมพีแดนซ์สูงกว่าที่เราออกแบบไว้มันจะทำให้เกิดค่าพีค (Peak) ขึ้นที่บริเวณช่วงความถี่สูงเนื่องจากฟิลเตอร์อยู่ในภาวะอันเดอร์แดมป์ (Underdamped) แต่เมื่อนำฟิลเตอร์ไปเชื่อมต่อกับโหลดที่มีค่าอิมพีแดนซ์ต่ำกว่ามันจะเกิดการโอเวอร์แดมป์ (Overdamped) อยู่บ้างในช่วงความถี่สูงแต่ไม่มากจนเกิดไป ส่วนการเลือกจุดตัดคัตออฟของวงจรฟิลเตอร์นั้นควรเลือกค่าสูงกว่าค่าสูงสุดของความถี่เสียง (Audio Frequency) ทั่วไป ซึ่งผลจากการเกิดอันเดอร์แดมป์และโอเวอร์แดมป์ของวงจรฟิลเตอร์นี้จะไม่ส่งผลต่อการตอบสนองความถี่ที่ต้องการแต่อย่างใด ดังนั้นค่าที่เหมาะสมที่จะเลือกเป็นจุดตัดความถี่คัตออฟของวงจรฟิลเตอร์จึงมีค่าอยู่ที่ประมาณ 40 KHz

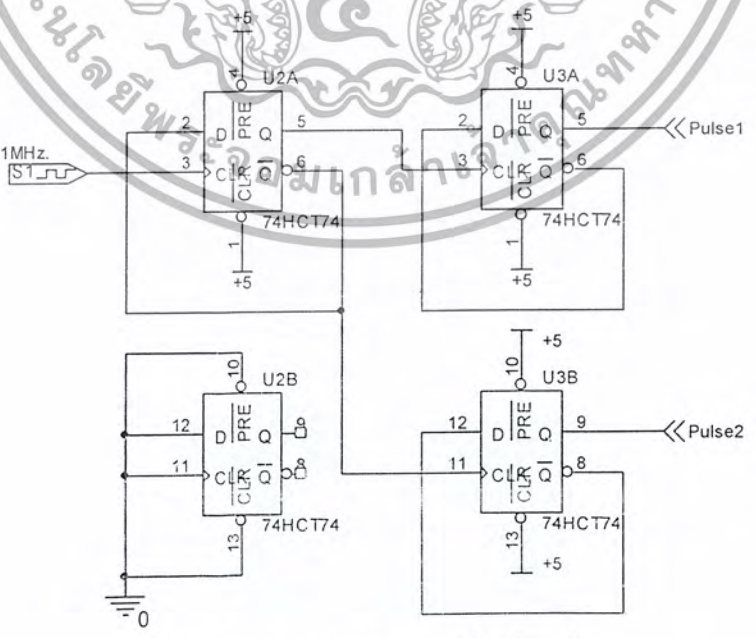
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3
ส่วนออกแบบ

3.1 ส่วนวงจรสร้างสัญญาณพาหะรูปสามเหลี่ยมแบบเฟสเลื่อน 90 องศา

เพื่อที่จะสร้างสัญญาณ PWM สัญญาณเสียง ที่ทางเข้าจะถูกเปรียบเทียบได้เป็นสัญญาณ PWM ที่มีความถี่คงที่ ซึ่งสัญญาณที่ใช้ในการเปรียบเทียบนี้ก็คือ สัญญาณสามเหลี่ยม ส่วนประกอบที่สำคัญอื่นๆ ในการออกแบบก็คือ ความถี่ของสัญญาณพาหะที่ใช้ การเลือกให้ความถี่ในการสวิทช์สูงขึ้นจะทำให้ Harmonic ของสัญญาณสวิทช์ถูกเลื่อนออกไปห่างจากช่วงความถี่เสียง แต่ก็จะมีข้อเสียตามมาคือจะเป็นการเพิ่มความสูญเสียเนื่องจากการสวิทช์ที่ความถี่สูงขึ้น และยังทำให้เกิดผลการแพร่กระจายของ EMI , RFI (Electro Magnetic Interference , Radio Frequency Interference) ซึ่งเป็นสิ่งที่ต้องเลือกระหว่างสิ่งกันและกัน

โดยวงจรสร้างสัญญาณสามเหลี่ยมในรายงานฉบับนี้ จะใช้สัญญาณสี่เหลี่ยมมาทำการอินทิเกรตให้เป็นสัญญาณสามเหลี่ยม สัญญาณความถี่ 1 MHz. จาก Crystal Oscillator จะถูกหารความถี่ลงให้เหลือสัญญาณสี่เหลี่ยมที่มีความถี่ 250 kHz. ซึ่งใช้วงจรหารความถี่ซึ่งเป็น D – Filp Flop ซึ่ง D – Filp Flop สามารถหารครึ่งความถี่ที่ทางเข้า ซึ่งในที่นี้ต้องการหาร 4 จึงใช้ D – Filp Flop 2 ตัว ต่ออนุกรมกัน และจะได้วงจรตามรูปที่ 3.1

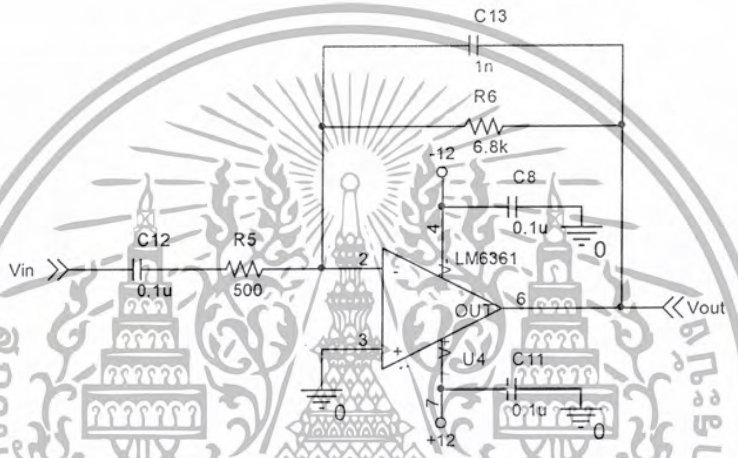


รูปที่ 3.1 วงจรสร้างสัญญาณสี่เหลี่ยมที่ใช้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรดังรูปที่ 3.1 D – Filp Flop ภาครองสุดท้ายซึ่ง Output Q และ $\overline{Q}$ (ทั้งกลับเฟสและไม่กลับเฟส) จะถูกป้อนเข้าสู่ D – Filp Flop ชุดสุดท้ายเพื่อสร้างสัญญาณสี่เหลี่ยมที่มีเฟสเลื่อน 90 องศา โดยสัญญาณจาก D – Filp Flop ที่จะนำไปสร้างเป็นสัญญาณสามเหลี่ยมต่อไปจะใช้เป็นสัญญาณไม่กลับเฟส (ขาQของ D – Filp Flop ภาคสุดท้าย)

ซึ่งสัญญาณสี่เหลี่ยมที่มีเฟสต่าง 90 องศานี้จะนำไปผ่านวงจรอินทิเกรเตอร์ จะได้สัญญาณสามเหลี่ยมที่มีเฟสเลื่อนซึ่งกันและกัน 90 องศา ซึ่งแสดงดังรูปที่ 3.2



รูปที่ 3.2 วงจร OP-AMP อินทิเกรเตอร์

จากรูปที่ 3.2 จะได้ความสัมพันธ์ระหว่าง V_{OUT} และ V_{IN} คือ

$$V_{OUT} = \frac{-1}{R_1 C_1} \int V_{IN} dt \qquad (3.1)$$

สมการที่ 3.1 นี้แสดงวิธีการทางคณิตศาสตร์ที่ออกแบบวงจร Integrator ซึ่งสามารถหาสมการอีกสมการหนึ่งเพื่อกำหนดค่าของอุปกรณ์ที่เหมาะสมกับการออกแบบดังสมการที่ 3.2

$$\begin{aligned} R_1 C_1 &= V_{IN} \bullet \frac{\Delta t}{\Delta V_{OUT}} \\ &= V_{IN,p} \bullet \frac{T}{2} \bullet \frac{1}{V_{tri,pp}} \end{aligned} \qquad (3.2)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยการเลือกค่าตัวแปรในสมการที่ 3.2 ในการออกแบบจะกำหนดให้สัญญาณสามเหลี่ยมมีขนาด 10 V_{pp} และ $R_1 = 500\Omega$ เราสามารถหาค่าตัวเก็บประจุ C_1 ที่เหมาะสมได้จากสมการที่ 3.2 คือ $C_1 = 1nF$

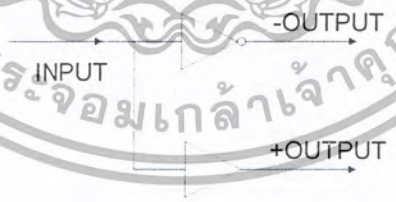
เพื่อที่จะมั่นใจได้ว่า DC Gain ของวงจรอินทิเกรเตอร์จะมีค่าจำกัด R_2 จึงถูกนำมาต่อขนานกับ C_1 เพื่อเป็นการจำกัด Gain ของวงจรอินทิเกรเตอร์ และทำหน้าที่เป็นวงจรกรองความถี่ต่ำลำดับที่หนึ่ง ซึ่งจะมีความถี่ Cut Off ตามสมการที่ 3.3

$$f_O = \frac{1}{2\pi R_2 C_1} \qquad (3.3)$$

ซึ่งค่าความถี่นี้จะต้องมีค่าน้อยกว่า 250 KHz. เพื่อจะทำให้การอินทิเกรตของสัญญาณสี่เหลี่ยมเป็นไปได้โดยสมบูรณ์ โดย $f_O = 25KHz.$ (หนึ่งในสิบของความถี่สามเหลี่ยม) ซึ่งจะได้ค่า $R_2 = 6.8k\Omega$

3.2 วงจรภาคพัลส์วิดธ์มอดูเลเตอร์แบบ Unipolar PWM

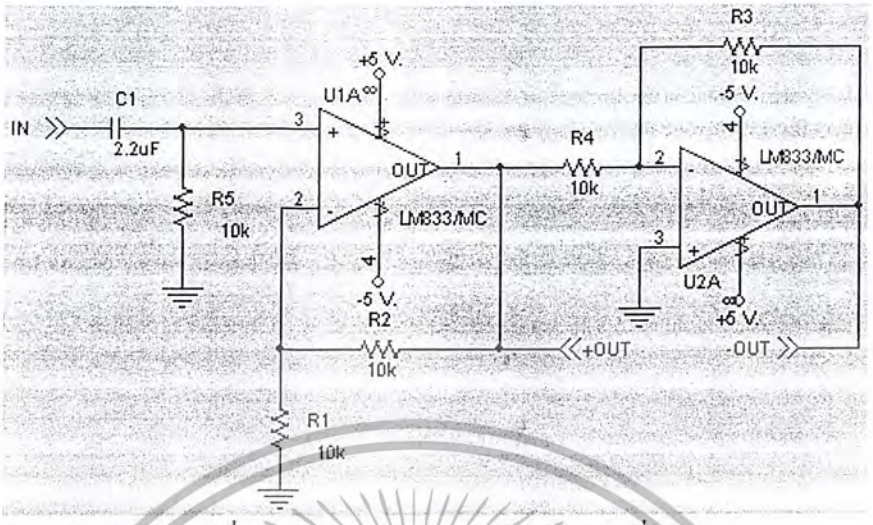
จากหลักการของพัลส์วิดธ์มอดูเลเตอร์แบบ Unipolar PWM ซึ่งต้องใช้ 2 ตัว คือ สัญญาณที่เหมือน input และสัญญาณที่กลับเฟส 180 องศากับสัญญาณ input ดังนั้นจะแสดง Block Diagram ของวงจรในส่วนในดังรูปที่ 3.3



รูปที่ 3.3 Block Diagram ของวงจรขยายแบบกลับเฟสและไม่กลับเฟส

จากรูปที่ 3.3 เราสามารถนำไปสร้างได้โดยใช้วงจรแบบ Non – Inverting และ Invering ต่อแบบ Cascade และให้วงจรในภาคนี้มีอัตราขยายแรงดันเท่ากับ 2 เท่า และเนื่องจากวงจรในส่วนนี้เป็นภาคแรกของวงจรขยาย จึงเลือกใช้ OPAMP ที่มีคุณสมบัติสัญญาณรบกวนต่ำ และเหมาะสมกับการประยุกต์ใช้งานในย่านความถี่เสียง คือ OPAMP LM – 833 ซึ่งแสดงวงจรดังรูปที่ 3.4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.4 วงจรกลับเฟสและไม่กลับเฟสที่ใช้

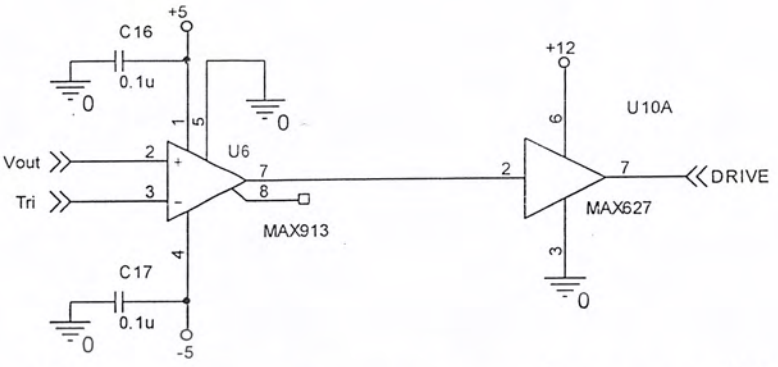
ในส่วน input ของวงจรดังรูปที่ 3.4 เป็นการต่อในลักษณะ High Pass Filter เพื่อกำหนดค่าความถี่ต่ำสุดที่สามารถผ่านไปได้ ซึ่งในการใช้งานในย่านความถี่เสียงนั้น เสียงที่ความถี่ต่ำที่สุดในย่านนี้คือ 20 Hz.ดังนั้นต้องออกแบบให้วงจรกรองความถี่ในส่วนนี้สามารถลดทอนความถี่ที่ต่ำกว่า 20 Hz. ลงไป ซึ่งคำนวณได้จากสมการที่ 3.1

$$f_{-3dB} = \frac{1}{2\pi R_{in} C_{in}} \qquad (3.4)$$

ซึ่งต้องการให้ความถี่ตั้งแต่ 20 Hz. เป็นต้นไป ดังนั้นความถี่นี้ควรเผื่อค่าให้น้อยกว่าความถี่ 20 Hz. เพื่อให้ความถี่ตั้งแต่ 20 Hz. มีอัตรขยายเท่ากันตลอดช่วงความถี่เสียง จึงเลือกให้ความถี่ในการคำนวณประมาณ 10 Hz.กำหนดใช้ค่า $C_{in} = 2.2\mu F$ จากการคำนวณจะได้ว่าต้องใช้ค่า $R_{in} \geq 7.234k\Omega$ ดังนั้นจึงเลือกใช้ค่า $R_{in} = 10k\Omega$ ซึ่งจะได้ $f_{-3dB} = 7.2343Hz.$

เมื่อได้สัญญาณดังกล่าวที่มีทั้งสัญญาณที่กลับเฟสและไม่กลับของสัญญาณทางเข้าแล้ว จึงนำสัญญาณทั้งสองตัวนี้ มาเข้าวงจร Voltage Comparator โดยเลือก Comparator ที่มี Rise Time และ Fall Time น้อยที่สุดเท่าที่จะเป็นไปได้ จึงได้เลือก Comparator แบบ TTL Output ที่มี Rise Time และ Fall Time 10 ns. เบอร์ MAX913 แต่เนื่องจากขนาดแรงดันที่ทางออกของ Comparator นี้มีขนาดเพียงแรงดันระดับ TTL จึงต้องเพิ่มระดับแรงดันจากระดับ TTL ให้เพิ่มขึ้นเป็น 12 V. เพื่อให้เพียงพอต่อการขับ Power Mosfet ต่อไป จึงใช้ IC MAX 627 เป็นตัวเพิ่มระดับแรงดันนี้ดังรูปที่ 3.5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.5 วงจร Voltage Comparator และวงจรเพิ่มระดับแรงดันที่ใช้

3.3 ส่วนวงจรภาคดีมอดูเลเตอร์ฟิลเตอร์ที่ใช้การประมาณแบบ Butterworth

เนื่องจากความต้องการให้การตอบสนองความเที่ยงย่านเสียงเรียบตลอดย่านความถี่ดังนั้น จึงเลือกออกแบบส่วนวงจรภาคดีมอดูเลเตอร์ฟิลเตอร์ซึ่งมีลักษณะเป็นวงจรกรองความถี่ต่ำผ่านด้วยการประมาณค่าแบบ Butterworth เนื่องด้วยจากคุณสมบัติที่เป็น Maximally Flat ตามที่ได้กล่าวถึงในบทที่ 2 แล้ว

การกำหนดคุณสมบัติของ Butterworth LPF ที่ต้องการออกแบบมีดังต่อไปนี้

- กำหนดความถี่ -3dB ที่ความถี่ 60 kHz. ($f_{-3dB} = 60kHz.$)
- กำหนดโหลดที่ใช้ คือ 8 Ohm ($R_L = 8\Omega$)

จากได้สมการการประมาณแบบ Butterworth Normalized order 2 ว่า

$$L = \frac{\sqrt{2} \times R_L}{2\pi \times f_{-3dB}} \qquad (3.5)$$

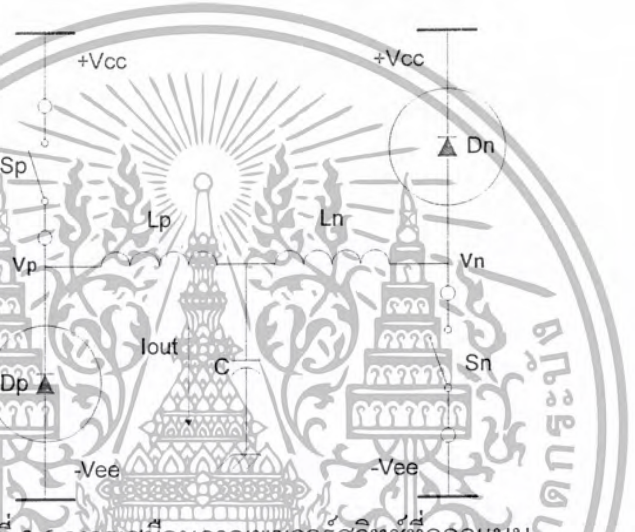
$$C = \frac{1}{2\sqrt{2}\pi \times f_{-3dB} \times R_L} \qquad (3.6)$$

ซึ่งเมื่อแทนค่าคุณสมบัติที่กำหนดไว้ตามที่ต้องการจะได้ค่า $L = 30\mu H$ และ $C = 234nF.$ ดังนั้นค่า C ที่ได้นั้นไม่สามารถหาได้ตามท้องตลาด จึงเลือกค่าใกล้เคียงมากที่สุดคือ $C = 220nF.$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.4 ส่วนวงจรภาคเพาเวอร์สวิทช์ที่นำหลักการของ Buck Converter มาใช้

จากที่ได้อธิบายถึงหลักการของวงจร PWM Step – Down Converter (BUCK) ไปในบทที่ 2 นั้น ความต้องการของผู้ออกแบบคือ ต้องการให้สัญญาณ PWM ที่นำมาขับวงจรภาคเพาเวอร์สวิทช์นั้นไม่ต้องผ่านวงจรหน่วงเวลา (Dead Time Circuit) ดังนั้นวงจรภาคเพาเวอร์สวิทช์ที่ต้องออกแบบนั้น เมื่อ Power Mosfet ทั้งสองตัว on พร้อมกันต้องไม่เกิดกระแส Cross Conduction ซึ่งจะทำให้วงจรภาคนี้เสียหายได้ ดังนั้นพิจารณาวงจรเสมือนในรูปที่ 3.6

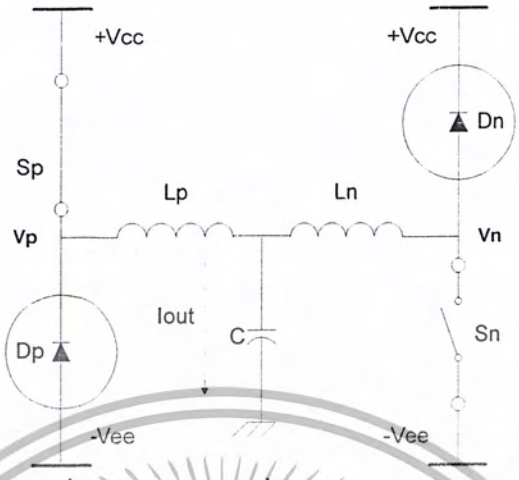


รูปที่ 3.6 วงจรเสมือนภาคเพาเวอร์สวิทช์ที่ออกแบบ

จากวงจรในรูปที่ 3.6 ถ้าพิจารณา Combination ของการ On – Off ของสวิทช์ Sn และ Sp จะได้ว่ามีได้ทั้งหมด 4 รูปแบบคือ (Sn off , Sp off) , (Sn off , Sp on) , (Sn on , Sp off) และ (Sn – on , Sp – on) โดยพิจารณาทั้งสี่กรณีนี้ว่าทิศทางของกระแสที่ทางออกจะเป็นอย่างไร

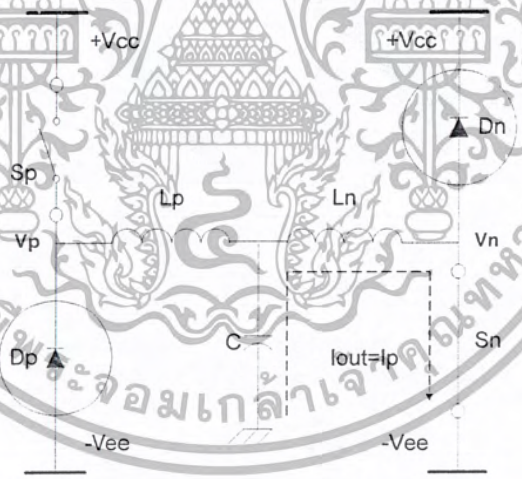
- กรณี Sn – off และ Sp – off ดังรูปที่ 3.6 จะไม่มีกระแสไหลในวงจร ทำให้ Iout = 0
- กรณี Sn – off และ Sp – on ดังรูปที่ 3.7 กระแสที่ไหลในวงจรจะเดินทางจาก +Vcc ผ่าน Lp เข้าสู่โหลด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.7 วงจรขณะที่ Sp ปิด และ Sn เปิด

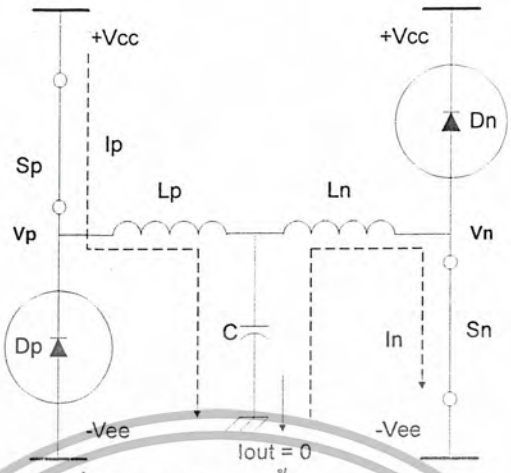
- กรณี Sn – on และ Sp – off ดังรูปที่ 3.8 กระแสที่ไหลในวงจรจะเดินทางจากกราวนด์ผ่าน โหลด เข้าสู่ Ln และผ่านไปยัง –Vee



รูปที่ 3.8 วงจรขณะ Sp เปิด และ Sn ปิด

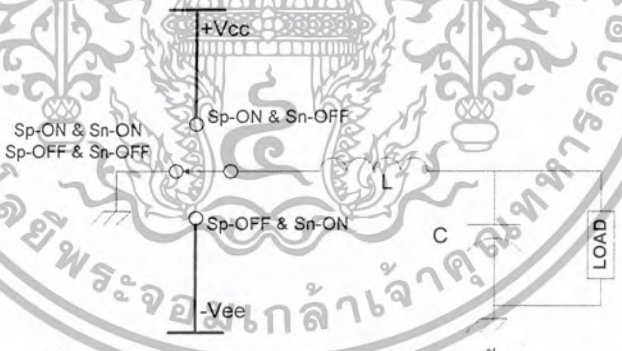
- กรณี Sn – on และ Sp – on ดังรูปที่ 3.9 กระแสที่ไหลในวงจรมีทั้งจาก +Vcc ไปยังกราวนด์ ซึ่งก็คือ Ip และมีกระแสจากกราวนด์ ไปยัง - Vee ซึ่งก็คือ In ดังนั้นกระแสทั้งสองตัวจึงหักล้างกันพอดี จึงเสมือนว่าไม่มีกระแสไหลในวงจร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.9 วงจรขณะทั้ง Sp และ Sn ปิด

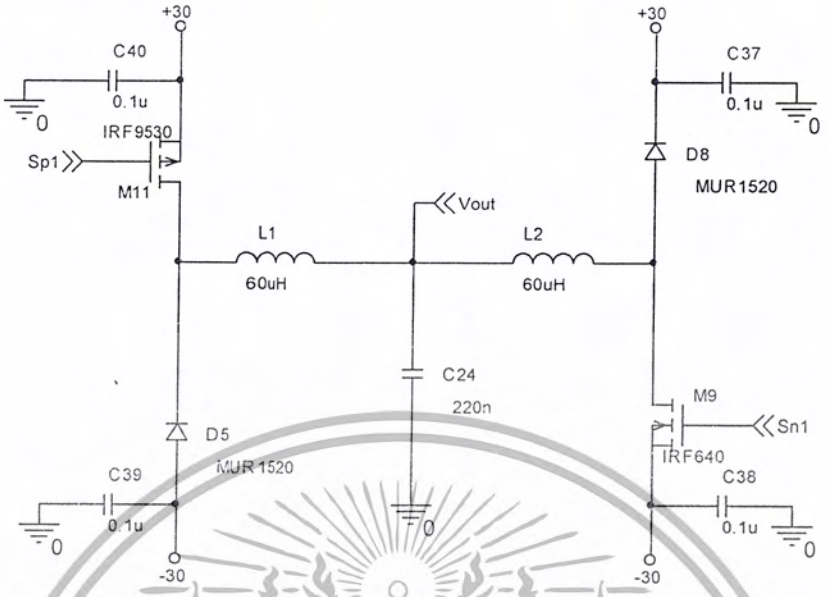
ลักษณะการเปิด – ปิดของ Sp และ Sn แรงดันที่จุด Vn และ Vp เปลี่ยนแปลงตามการเปิด – ปิดด้วย โดยลักษณะวงจรตั้งแต่รูป 3.6 ถึง 3.9 จะมีลักษณะเป็นการนำวงจร Buck Converter 2 ตัวมาต่อร่วมกัน โดยไดโอดที่ใส่ในแต่ละด้านนั้นทำหน้าที่เป็น Free Wheeling Diode ตามที่กล่าวมาในบทที่ 2 แล้ว



รูปที่ 3.10 วงจรสมมูลของการเปิด – ปิดทั้งสี่แบบ

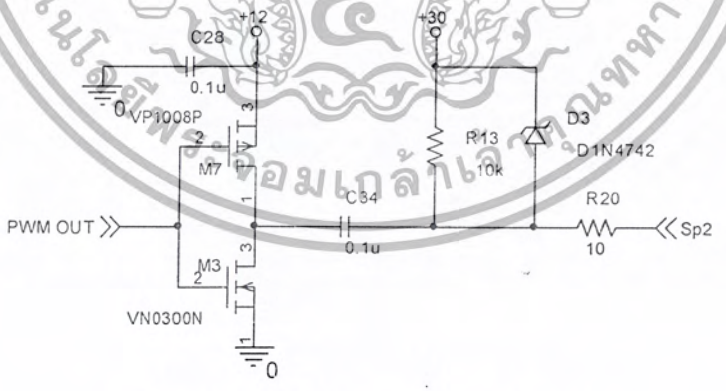
ดังนั้นวงจรในภาคเพาเวอร์สวิทช์นั้น ในส่วนที่เป็นสวิทช์ เปิด – ปิด เราสามารถนำ Power Mosfet ทั้งชนิด N-Ch และ P – Ch มาใช้แทนในส่วนที่เป็นสวิทช์ได้ โดยสวิทช์ Sp จะใช้ Mosfet P – Ch มาใช้และส่วนสวิทช์ Sn จะนำ Mosfet N – Ch มาใช้ โดยลักษณะการต่อของ Power Mosfet ทั้งสองตัวนั้นจะต่อในลักษณะวงจรคอมมอนซอร์ส คือให้ขาซอร์สของ Power Mosfet ต่อเข้ากับไฟเลี้ยงข้างใดข้างหนึ่ง โดย Sn นั้น Mosfet N – Ch จะต่อขาซอร์สเข้ากับไฟเลี้ยงค่าลบ ส่วน Sp นั้น Mosfet P – Ch จะต่อขาซอร์สเข้ากับไฟเลี้ยงค่า ลักษณะของวงจรในส่วนนี้แสดงดังรูปที่ 3.11

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



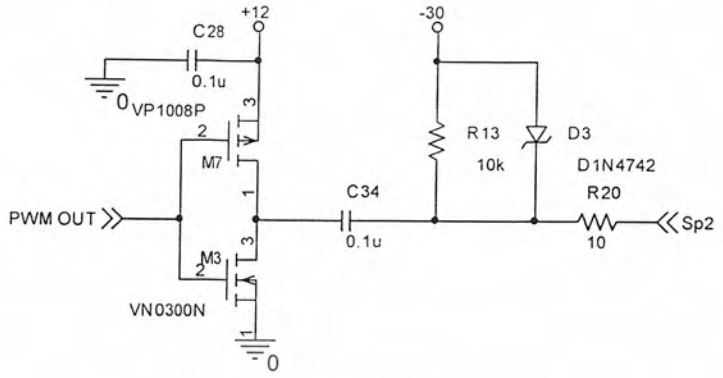
รูปที่ 3.11 วงจรภาค Power Mosfet ที่ได้

ส่วนในการออกแบบวงจร Drive Power Mosfet ซึ่งมีทั้ง N – ch และ P – ch ซึ่งในส่วนของ Power Mosfet P – ch นั้นต้องใช้วงจรรูปที่ 3.12 ก. ซึ่งเป็นวงจร Drive ในซีกบวก และส่วนของ N – ch จะใช้วงจรในรูปที่ 3.12 ข. ซึ่งเป็นวงจร Drive ในซีกลบ



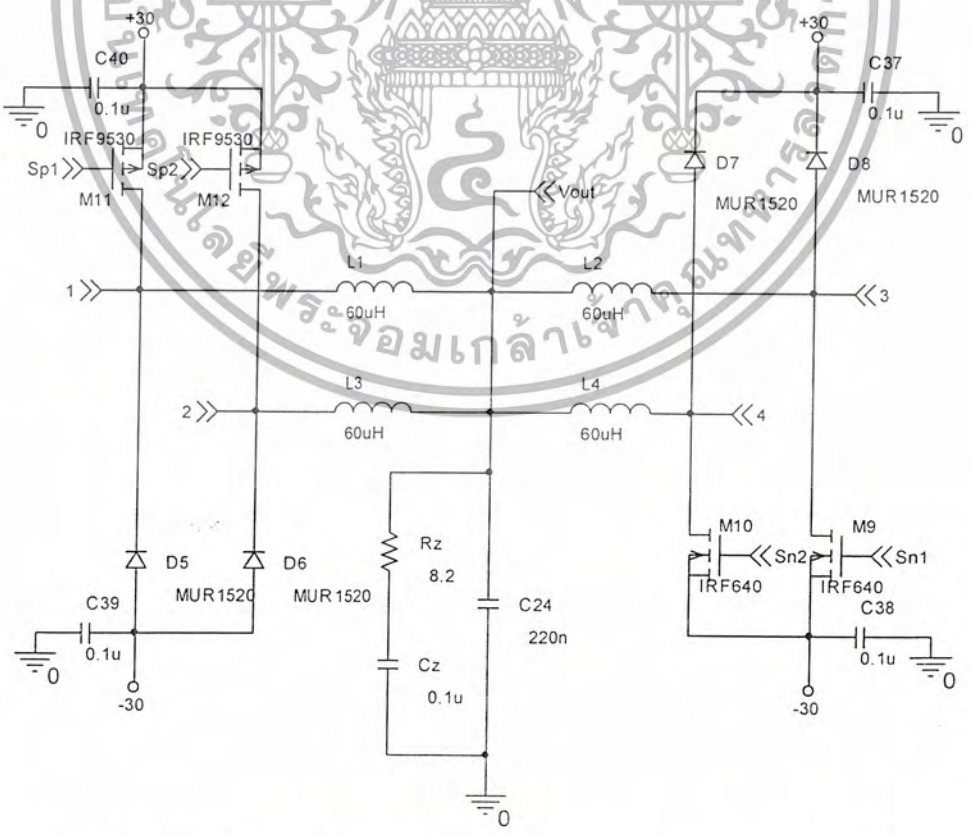
รูปที่ 3.12 ก. วงจรขับ Power Mosfet P – ch

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.12 ข. วงจรขับ Power Mosfet N – ch

แต่เนื่องจากการออกแบบข้างต้นนั้นใช้พาหะรูปสามเหลี่ยมจำนวน 2 ตัวที่มีเฟสเลื่อนห่างซึ่งกันและกัน 90 องศา ดังนั้นในการออกแบบจึงต่อนำวงจรภาค Power Mosfet ดังรูปที่ 3.11 มาต่อขนานกัน 2 ชุด แต่ค่าของ L และ C ที่ออกแบบไว้ในหัวข้อ 3.3 คือ $L = 30\mu H.$ และ $C = 220nF.$ แต่เนื่องจากรูปแบบวงจรที่ต่อแบบขนานนั้นตามหัวข้อที่ 2.5 ดังนั้นค่า L ของวงจร Power Mosfet แต่ละส่วนจะต้องมีค่าเป็น 2 เท่าของค่า L คือ $L = 60\mu H.$ ดังแสดงในรูป 3.13



รูปที่ 3.13 วงจร Power Mosfet ที่นำวงจร Power Mosfet 2 ชุดมาต่อขนานกัน

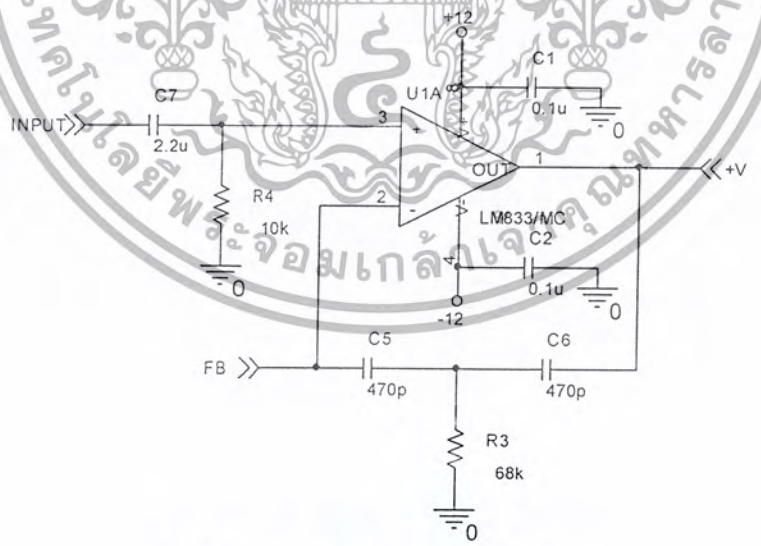
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.5 วงจรป้อนกลับรวมแบบลบ

เนื่องจากระบบที่กล่าวมาตั้งแต่หัวข้อที่ 3.1 ถึง 3.4 เป็นการต่อรวมกันในทิศทางไปข้างหน้าอย่างเดียว ซึ่งปัญหาที่อาจจะตามมาเมื่อโหลดมีค่าเปลี่ยนแปลง ซึ่งอาจทำอัตราขยายแรงดันไม่คงที่ หรือความไม่เป็นเชิงเส้นที่อาจจะเกิดขึ้นในแต่ละภาคนั้น จึงจำเป็นต้องมีการป้อนกลับรวมแบบลบ (Negative Feedback)

ในวงจรการป้อนกลับแบบลบที่ใช้ในปริญญานิพนธ์ชิ้นนี้ จะไม่ใช้จุดที่โหลดในการป้อนกลับแบบลบ เนื่องจากที่โหลดอาจจะเกิดเฟสเลื่อนซึ่งจะส่งผลให้การป้อนกลับแบบลบไม่มีเสถียรภาพได้ ซึ่งจุดที่ใช้ในการป้อนกลับคือ จุดที่สัญญาณก่อนถูกกรองความถี่ด้วยวงจรกรองความถี่ต่ำผ่านนั่นเอง โดยจุดที่ก่อนการกรองความถี่ต่ำผ่านมีทั้งหมด 4 จุด (จุดที่ 1 , 2 , 3 และ 4 ในรูปที่ 3.13) ซึ่งจะใช้การรวมสัญญาณสี่เหลี่ยมทั้งสี่จุดนี้เข้าด้วยกัน แล้วค่อยทำการป้อนกลับไปที่ทางเข้า

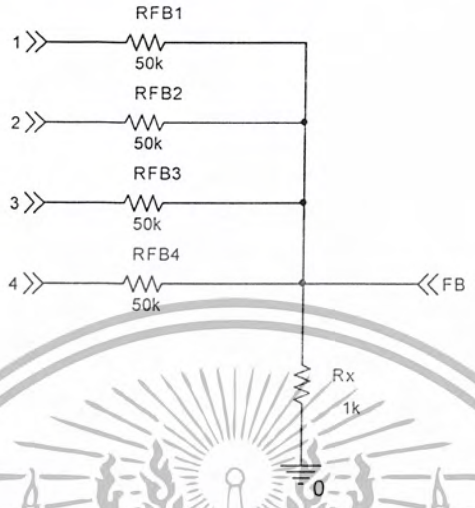
ดังนั้นวงจรที่รับสัญญาณที่รวมกันทั้ง 4 จุดและถูกป้อนกลับนี้จะทำการอินทิเกรตสัญญาณที่ป้อนกลับมาให้เป็นสัญญาณเดิม ซึ่งจากวงจรในรูปที่ 3.4 นั้น เราจะทำการเปลี่ยน OPAMP ตัวแรกให้เป็นวงจรอินทิเกรเตอร์ใหม่ได้ดังรูปที่ 3.14



รูปที่ 3.14 วงจรรับสัญญาณป้อนกลับ

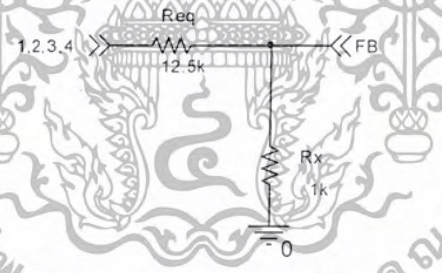
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ส่วนในโครงข่ายป้อนกลับนั้น แสดงดังรูปที่ 3.15



รูปที่ 3.15 โครงข่ายการป้อนกลับแบบลบ

จากรูปที่ 3.15 การขนานความต้านทานทั้งสี่ตัวนี้จะได้ค่าความต้านทานเสมือนได้ตามรูปที่ 3.16 และสามารถหาค่า R_{eq} ตามสมการที่ 3.7



รูปที่ 3.16 วงจรเสมือนของโครงข่ายป้อนกลับ

$$R_{eq} = R_{FB1} // R_{FB2} // R_{FB3} // R_{FB4} \qquad (3.7)$$

ซึ่งสามารถคำนวณได้ค่า $R_{eq} = 12.5k\Omega$ และสามารถคำนวณอัตราขยายแรงดันของวงจรได้ทั้งหมดได้จากสมการที่ 3.8 คือ

$$A_V = (1 + \frac{R_{eq}}{R_X}) \qquad (3.8)$$

และจากรูปที่ 3.16 สามารถคำนวณหาค่าอัตราขยายรวมได้เท่ากับ 13.5 เท่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

ผลการทดลอง

จากวงจรสำเร็จที่ทำการสร้างขึ้นในบทที่ 3 การวัดผลการทดลองในบทที่ 4 นี้จะเน้นวัด parameter สำคัญ 3 อย่างในวงจรขยายกำลังทั่วไป ซึ่งในปริญญานิพนธ์ชิ้นนี้ผู้จัดทำได้ทำการวัดผลทั้งในโปรแกรมจำลองวงจร คือโปรแกรม ORCAD เปรียบเทียบกับการสร้างวงจรจริง ซึ่งมีผลการทดลองที่สำคัญดังต่อไปนี้

OUTPUT FILE ที่ความถี่ทางเข้า 1 kHz.

TOTAL POWER DISSIPATION 1.89E+00 WATTS

**** 03/15/04 18:50:54 ******** PSpice 9.1 (Mar 1999) ******** ID# 0 ********

** circuit file for profile: Test of 1KHz Transient

**** FOURIER ANALYSIS TEMPERATURE = 27.000 DEG C

****

FOURIER COMPONENTS OF TRANSIENT RESPONSE V(VOUT)

DC COMPONENT = -3.806235E-03

HARMONIC NO	FREQUENCY (HZ)	FOURIER COMPONENT	NORMALIZED COMPONENT	PHASE (DEG)	NORMALIZED PHASE (DEG)
1	1.000E+03	2.704E+01	1.000E+00	-2.439E-01	0.000E+00
2	2.000E+03	4.901E-03	1.812E-04	1.295E+02	1.299E+02
3	3.000E+03	9.662E-03	3.573E-04	3.303E+01	3.376E+01
4	4.000E+03	5.045E-03	1.865E-04	3.091E+01	3.189E+01
5	5.000E+03	2.800E-02	1.035E-03	-9.880E+00	-8.661E+00
6	6.000E+03	6.550E-03	2.422E-04	1.596E+02	1.611E+02
7	7.000E+03	1.690E-02	6.250E-04	1.276E+01	1.447E+01
8	8.000E+03	2.935E-03	1.085E-04	5.203E+01	5.398E+01
9	9.000E+03	2.349E-02	8.686E-04	1.632E+02	1.654E+02
10	1.000E+04	3.688E-03	1.364E-04	9.165E+01	9.409E+01
11	1.100E+04	3.400E-02	1.257E-03	5.200E+01	5.469E+01
12	1.200E+04	3.185E-03	1.178E-04	4.994E+01	5.287E+01

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

13	1.300E+04	1.856E-02	6.862E-04	1.631E+02	1.662E+02
14	1.400E+04	2.578E-03	9.532E-05	-7.868E+01	-7.527E+01
15	1.500E+04	2.887E-02	1.068E-03	-1.581E+02	-1.545E+02
16	1.600E+04	9.726E-04	3.596E-05	7.234E+01	7.624E+01
17	1.700E+04	7.563E-03	2.797E-04	-1.452E+02	-1.411E+02
18	1.800E+04	4.078E-03	1.508E-04	9.086E+01	9.525E+01
19	1.900E+04	5.436E-03	2.010E-04	9.626E+01	1.009E+02
20	2.000E+04	2.582E-03	9.549E-05	1.149E+02	1.197E+02
21	2.100E+04	1.199E-02	4.435E-04	9.512E+01	1.002E+02
22	2.200E+04	1.858E-03	6.871E-05	9.339E+01	9.875E+01
23	2.300E+04	4.001E-03	1.479E-04	9.670E+01	1.023E+02
24	2.400E+04	4.141E-03	1.531E-04	-1.156E+02	-1.098E+02
25	2.500E+04	3.226E-03	1.193E-04	8.283E+01	8.893E+01
26	2.600E+04	2.617E-03	9.677E-05	1.514E+02	1.577E+02
27	2.700E+04	2.365E-03	8.747E-05	1.554E+02	1.620E+02
28	2.800E+04	1.718E-03	6.351E-05	1.589E+02	1.658E+02
29	2.900E+04	7.099E-03	2.625E-04	-1.306E+02	-1.235E+02
30	3.000E+04	3.736E-03	1.382E-04	1.428E+02	1.501E+02
31	3.100E+04	4.784E-03	1.769E-04	-1.331E+02	-1.256E+02
32	3.200E+04	1.850E-03	6.841E-05	9.261E+00	1.706E+01
33	3.300E+04	1.616E-03	5.975E-05	1.482E+02	1.562E+02
34	3.400E+04	1.884E-03	6.967E-05	8.879E+01	9.708E+01
35	3.500E+04	9.400E-03	3.476E-04	8.468E+01	9.322E+01
36	3.600E+04	4.335E-03	1.603E-04	8.207E+01	9.085E+01
37	3.700E+04	4.126E-03	1.526E-04	1.409E+02	1.499E+02
38	3.800E+04	2.241E-03	8.288E-05	-7.131E+01	-6.205E+01
39	3.900E+04	1.550E-03	5.732E-05	-2.309E+01	-1.358E+01
40	4.000E+04	8.243E-03	3.048E-04	-1.420E+02	-1.323E+02
41	4.100E+04	7.191E-03	2.659E-04	-1.383E+02	-1.283E+02
42	4.200E+04	2.342E-03	8.659E-05	4.531E+01	5.556E+01

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

43	4.300E+04	8.817E-03	3.261E-04	4.889E+01	5.937E+01
44	4.400E+04	1.044E-03	3.859E-05	-1.513E+02	-1.406E+02
45	4.500E+04	1.404E-02	5.193E-04	1.277E+02	1.387E+02
46	4.600E+04	2.019E-02	7.464E-04	3.980E+01	5.102E+01
47	4.700E+04	7.226E-02	2.672E-03	5.914E+00	1.737E+01
48	4.800E+04	1.418E-02	5.243E-04	1.157E+00	1.286E+01
49	4.900E+04	6.893E-02	2.549E-03	-1.713E+02	-1.593E+02
50	5.000E+04	8.958E-03	3.312E-04	1.859E+01	3.078E+01

TOTAL HARMONIC DISTORTION = 4.646579E-01 PERCENT

OUTPUT FILE ที่ความถี่ทางเข้า 20 kHz.

TOTAL POWER DISSIPATION 1.89E+00 WATTS

**** 03/15/04 10:29:28 ********* PSpice 9.1 (Mar 1999) ******** ID# 0 ********

** circuit file for profile: Transient @ 20kHz **

**** FOURIER ANALYSIS TEMPERATURE = 27.000 DEG C

****

FOURIER COMPONENTS OF TRANSIENT RESPONSE V(VOUT)

DC COMPONENT = -6.983745E-03

HARMONIC NO	FREQUENCY (HZ)	FOURIER COMPONENT	NORMALIZED COMPONENT	PHASE (DEG)	NORMALIZED PHASE (DEG)
1	2.000E+04	2.795E+01	1.000E+00	-1.618E+01	0.000E+00
2	4.000E+04	1.320E-02	4.722E-04	-1.705E+02	-1.381E+02
3	6.000E+04	9.693E-02	3.468E-03	1.214E+01	6.067E+01
4	8.000E+04	1.779E-02	6.366E-04	1.776E+01	8.247E+01
5	1.000E+05	1.050E-01	3.756E-03	1.521E+02	2.329E+02
6	1.200E+05	1.122E-02	4.014E-04	3.634E+01	1.334E+02
7	1.400E+05	1.104E-02	3.951E-04	-1.271E+02	-1.387E+01
8	1.600E+05	2.937E-03	1.051E-04	1.513E+02	2.808E+02
9	1.800E+05	7.230E-02	2.587E-03	-1.180E+02	2.761E+01
10	2.000E+05	2.133E-02	7.634E-04	-6.979E+01	9.197E+01

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

11	2.200E+05	9.560E-02	3.421E-03	-1.233E+02	5.460E+01
12	2.400E+05	7.075E-02	2.531E-03	1.081E+02	3.022E+02
13	2.600E+05	6.962E-02	2.491E-03	1.027E+02	3.130E+02
14	2.800E+05	4.222E-02	1.511E-03	-8.875E+01	1.377E+02
15	3.000E+05	1.188E-02	4.250E-04	1.553E+02	3.979E+02
16	3.200E+05	3.638E-03	1.302E-04	1.097E+02	3.685E+02
17	3.400E+05	6.436E-03	2.303E-04	4.837E+01	3.234E+02
18	3.600E+05	8.397E-03	3.004E-04	-9.871E+01	1.925E+02
19	3.800E+05	1.486E-02	5.318E-04	-1.771E+02	1.303E+02
20	4.000E+05	4.030E-03	1.442E-04	7.736E+01	4.009E+02
21	4.200E+05	9.780E-03	3.499E-04	1.735E+02	5.132E+02
22	4.400E+05	9.805E-03	3.508E-04	1.726E+02	5.285E+02
23	4.600E+05	1.219E-02	4.361E-04	9.038E+01	4.624E+02
24	4.800E+05	8.310E-03	2.973E-04	2.202E+00	3.904E+02
25	5.000E+05	5.653E-03	2.023E-04	-3.889E+01	3.655E+02
26	5.200E+05	9.539E-03	3.413E-04	-1.718E+02	2.487E+02
27	5.400E+05	3.343E-03	1.196E-04	3.706E+01	4.738E+02
28	5.600E+05	7.416E-03	2.654E-04	-7.304E+01	3.799E+02
29	5.800E+05	4.816E-03	1.723E-04	1.730E+02	6.421E+02
30	6.000E+05	3.291E-03	1.178E-04	1.548E+02	6.401E+02
31	6.200E+05	5.242E-03	1.876E-04	7.573E+01	5.772E+02
32	6.400E+05	2.424E-03	8.672E-05	-1.019E+02	4.158E+02
33	6.600E+05	6.105E-03	2.184E-04	3.560E+01	5.694E+02
34	6.800E+05	6.630E-03	2.372E-04	9.008E+01	6.401E+02
35	7.000E+05	1.486E-02	5.318E-04	-3.273E+01	5.334E+02
36	7.200E+05	5.403E-03	1.933E-04	-7.256E+01	5.098E+02
37	7.400E+05	1.690E-03	6.046E-05	5.878E+01	6.573E+02
38	7.600E+05	3.874E-03	1.386E-04	8.386E+01	6.985E+02
39	7.800E+05	2.283E-03	8.169E-05	-8.210E+01	5.488E+02
40	8.000E+05	5.501E-03	1.968E-04	-9.305E+01	5.540E+02

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

41	8.200E+05	7.517E-03	2.690E-04	7.686E+01	7.401E+02
42	8.400E+05	1.684E-03	6.024E-05	4.043E+01	7.198E+02
43	8.600E+05	1.732E-02	6.197E-04	7.311E+00	7.029E+02
44	8.800E+05	9.813E-04	3.511E-05	7.868E+01	7.904E+02
45	9.000E+05	5.319E-02	1.903E-03	8.389E+00	7.363E+02
46	9.200E+05	1.406E-03	5.031E-05	-7.042E+01	6.737E+02
47	9.400E+05	2.894E-02	1.036E-03	1.475E+00	7.617E+02
48	9.600E+05	1.158E-03	4.144E-05	7.980E+01	8.562E+02
49	9.800E+05	4.580E-02	1.639E-03	1.798E+02	9.724E+02
50	1.000E+06	9.120E-04	3.263E-05	-9.000E+01	7.188E+02

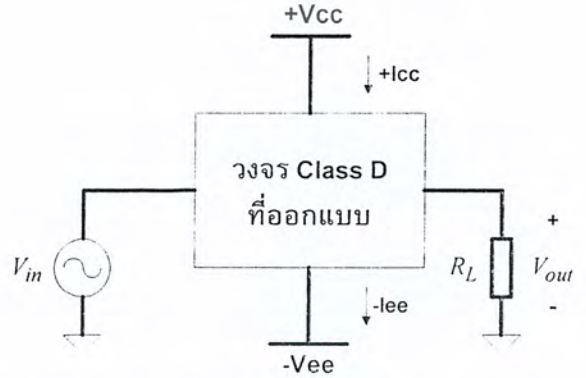
TOTAL HARMONIC DISTORTION = 8.414172E-01 PERCENT

4.1 ประสิทธิภาพของวงจรขยายกำลัง

เนื่องจากวงจรที่ผู้ออกแบบได้ออกแบบนั้นเป็นวงจรขยายแบบคลาสดี ซึ่งมีคุณสมบัติสำคัญที่โดดเด่นคือ มีประสิทธิภาพของสูง จึงเป็น parameter สำคัญตัวแรกที่ต้องทำการวัดผล โดยนิยามของประสิทธิภาพตามสมการที่ 4.1 คือ

$$Efficiency(\eta) = \frac{P_{out}}{P_{in}} \times 100\ \% \qquad (4.1)$$

ซึ่งจากวงจรสำเร็จที่ได้ทำการออกแบบนั้น P_{out} คือกำลังส่งผ่านไปทางโหลด ส่วน P_{in} คือกำลังที่วงจรได้รับจากแหล่งจ่ายไฟที่จ่ายให้กับวงจร โดยจากวงจรสำเร็จสามารถเขียนเป็น Block Diagram ได้ดังรูปที่ 4.1



รูปที่ 4.1 Block Diagram ที่ใช้วัดประสิทธิภาพของวงจรขยาย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในการทดลองจะทำการป้อนสัญญาณอินพุทรูปไซน์ ที่ความถี่ 1 kHz. และ 20 kHz. ขนาดต่าง ๆ ตามตารางที่ 4.1 และทำการวัดค่าของ V_{out} และกระแสทางด้านไฟเลี้ยงบวก และกระแสทางด้านไฟเลี้ยงลบ โดยใช้ R_L เป็นความต้านทานขนาด 8Ω และสามารถคำนวณค่ากำลังที่ทางเข้าและกำลังที่ทางออกได้จากสมการที่ 4.2 และ 4.3

$$P_{IN}(DC) = V_{cc}I_{cc} + V_{ee}I_{ee} \qquad (4.2)$$

$$P_{OUT} = \frac{(V_{rms})^2}{R_L} \qquad (4.3)$$

4.1.1 ผลการทดลองจากวงจรจริง

ตารางที่4.1ผลการวัดประสิทธิภาพของวงจรที่สัญญาณรูปไซน์ความถี่ 1kHz.

$V_{CC} = 30\ V.\ V_{EE} = -30\ V.$

$V_{in}\ (V_{pp})$	$I_{cc}(A.)$	$I_{ee}(A.)$	$P_{IN}(W.)$	$V_{out}(rms)$	$P_{OUT}(W.)$	$\eta(\%)$
1	0.19	0.24	12.9	5.041	3.176	24.62
2	0.3	0.34	19.2	9.404	11.054	57.57
3	0.65	0.68	39.9	13.99	24.465	61.31
4	0.97	0.95	57.6	18.73	43.85	76.12

ตารางที่4.2ผลการวัดประสิทธิภาพของวงจรที่สัญญาณรูปไซน์ความถี่ 20kHz.

$V_{CC} = 30\ V.\ V_{EE} = -30\ V.$

$V_{in}\ (V_{pp})$	$I_{cc}(A.)$	$I_{ee}(A.)$	$P_{IN}(W.)$	$V_{out}(rms)$	$P_{OUT}(W.)$	$\eta(\%)$
1	0.19	0.23	12.6	5.02	3.15	25
2	0.29	0.33	18.6	9.467	11.2	60.2
3	0.67	0.69	40.8	14.47	26.172	64.14
4	0.91	0.93	55.2	19.21	46.128	83.56

4.1.2 ผลการทดลองจากการจำลองวงจร

- ที่ความถี่ 1kHz. มี $V_{OUT} = 27.04\ V_P = 19.12\ V_{RMS}$ และมี $P_{LOSS} = 1.89\ W.$ ดังนั้นจะมี $P_{OUT} = 45.6975\ W.$ และจะมีประสิทธิภาพ $\eta = 96.028\%$
- ที่ความถี่ 20 kHz. มี $V_{OUT} = 27.95\ V_P = 19.763\ V_{RMS}$ และมี $P_{LOSS} = 1.89\ W.$ ดังนั้นจะมี $P_{OUT} = 48.825\ W.$ และจะมีประสิทธิภาพ $\eta = 96.2733\%$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2 ผลตอบสนองทางความถี่ของวงจรที่ออกแบบ

เนื่องจากผลตอบสนองทางความถี่เป็น parameter อีกตัวหนึ่งที่สำคัญของ Audio Power Amplifier โดยการทดลองในส่วนนี้ทดสอบโดยป้อนสัญญาณอินพุทคงที่รูปไซน์ขนาด $3V_{pp}$ และวัดขนาดของสัญญาณที่ทางออก ณ ความถี่อินพุทค่าตั้งแต่ 5 Hz. ถึง 100 KHz. บันทึกผลลงในตารางที่ 4.3 และแสดงรูปกราฟผลตอบสนองทางความถี่ในรูปที่ 4.2

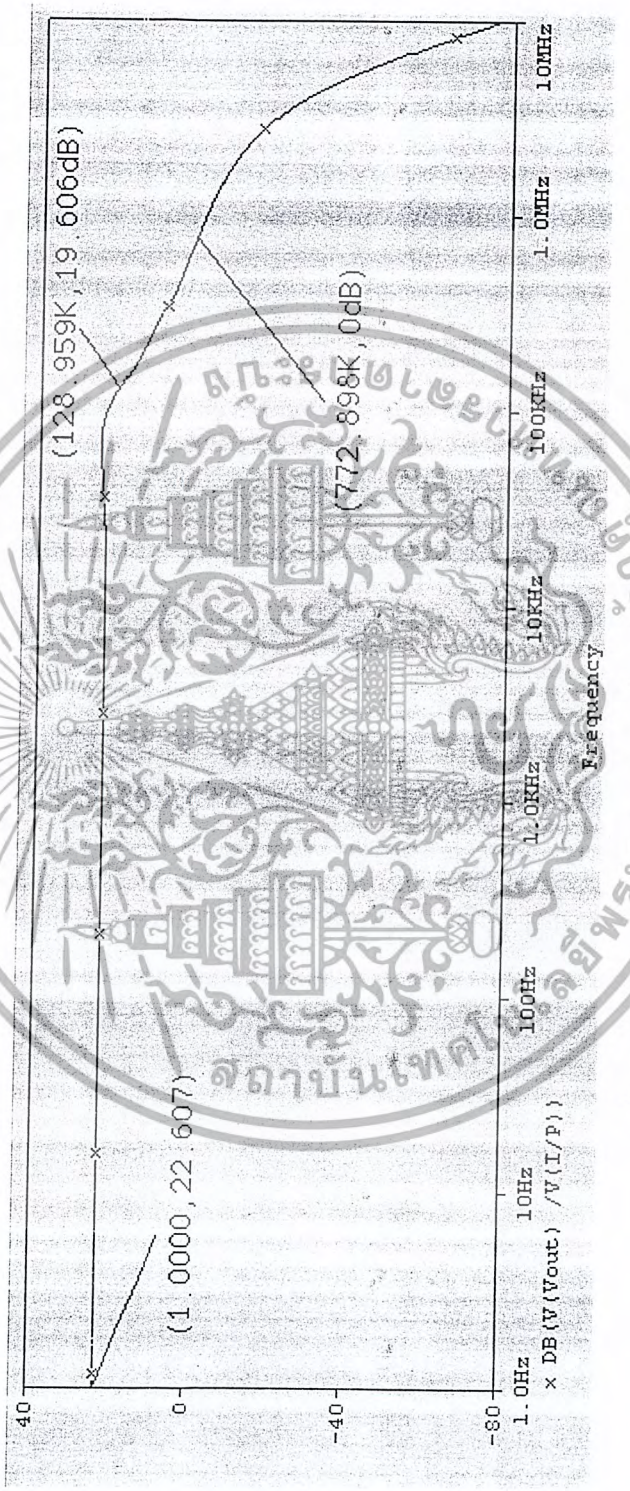
4.2.1 ผลตอบสนองที่วัดจากการทดลอง

ตารางที่ 4.3 ผลการตอบสนองความถี่โดย $V_{in} = 1\ V_{p}$.

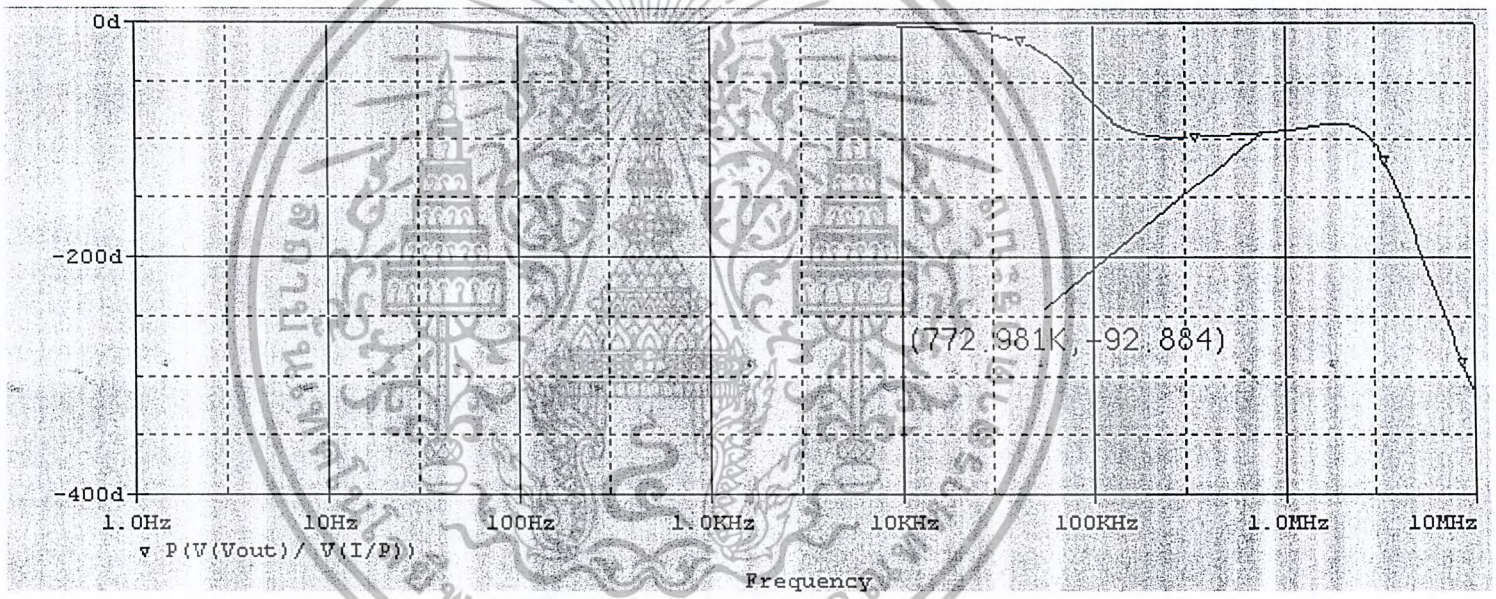
$f(Hz.)$	$V_{out}(V_{pp})$	$A_V\ (dB.)$	$f(Hz.)$	$V_{out}(V_{pp})$	$A_V\ (dB.)$	$f(Hz.)$	$V_{out}(V_{pp})$	$A_V\ (dB.)$
5	7.73	17.763	100	13.46	22.58	6k	13.5	22.6
6	8.68	18.77	200	13.5	22.6	7k	13.57	22.65
7	9.5	19.55	300	13.3	22.47	8k	13.59	22.66
8	10.5	20.4237	400	13.4	22.54	9k	13.6	22.67
9	10.98	20.81	500	13.5	22.6	10k	13.6	22.67
10	11.08	20.89	600	13.5	22.6	20k	14.1	22.98
20	12.5	21.93	700	13.5	22.6	30k	14.60	23.28
30	13.13	22.365	800	13.45	22.57	40k	15.34	23.71
40	13.29	22.47	900	13.55	22.63	50k	16.09	24.13
50	13.62	22.68	1k	13.5	22.6	60k	16.72	24.46
60	13.45	22.57	2k	13.5	22.6	70k	16.8	24.5
70	13.5	22.6	3k	13.5	22.6	80k	16.3	24.24
80	13.4	22.54	4k	13.5	22.6	90k	15.5	23.8
90	13.4	22.54	5k	13.5	22.6	100k	13.63	22.68

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2.2 ผลตอบสนองทางความถี่ที่ได้จากการจำลองวงจร



รูปที่ 4.2 ผลการตอบสนองทางความถี่ของวงจรที่ได้จากการจำลองผล

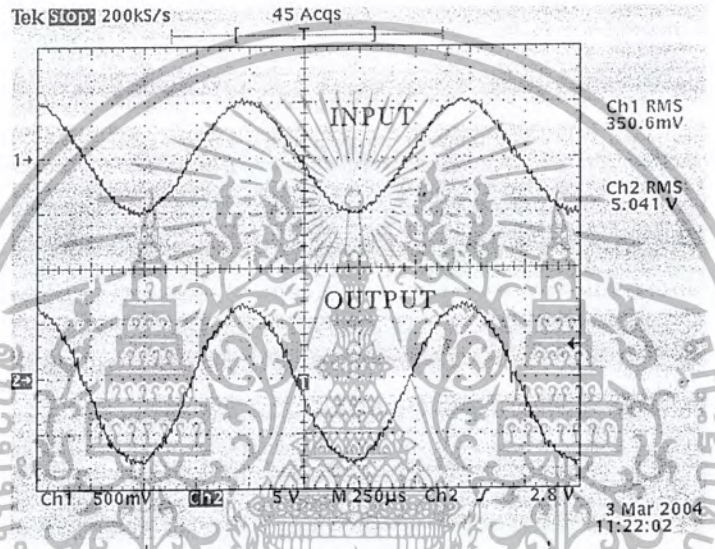


รูปที่ 4.3 ผลตอบสนองทางเฟสของวงจรที่ได้จากการจำลองผล

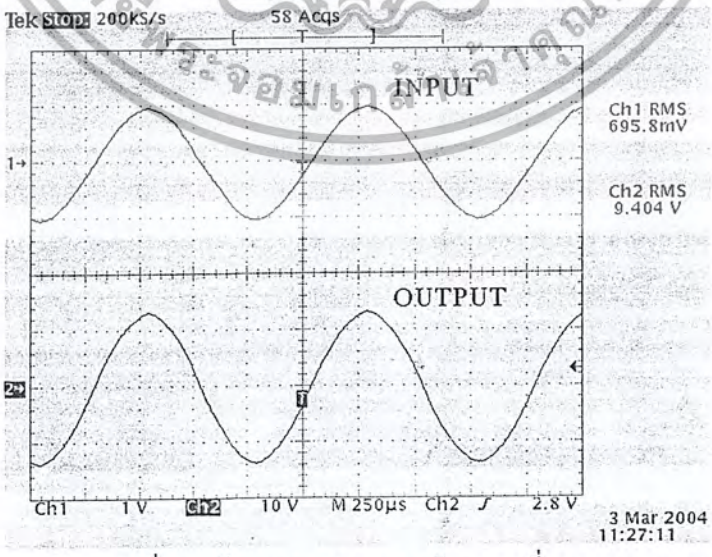
4.3 ผลตอบสนองทางเวลาของสัญญาณที่ทางออก

4.3.1 ผลตอบสนองทางเวลาที่ได้จากการทดลอง

ในการทดลองในส่วนนี้ได้ทำการป้อนสัญญาณ input ขนาด 0.5,1,1.5 และ2Vp ที่ความถี่ 1kHz. และ 20kHz. ซึ่งแสดงรูปสัญญาณที่ทางออกเปรียบเทียบกับสัญญาณที่ทางเข้า และ Fast Fourier Transform (FFT.) ของสัญญาณที่ทางเข้าเทียบกับสัญญาณที่ทางออก ดังรูปที่

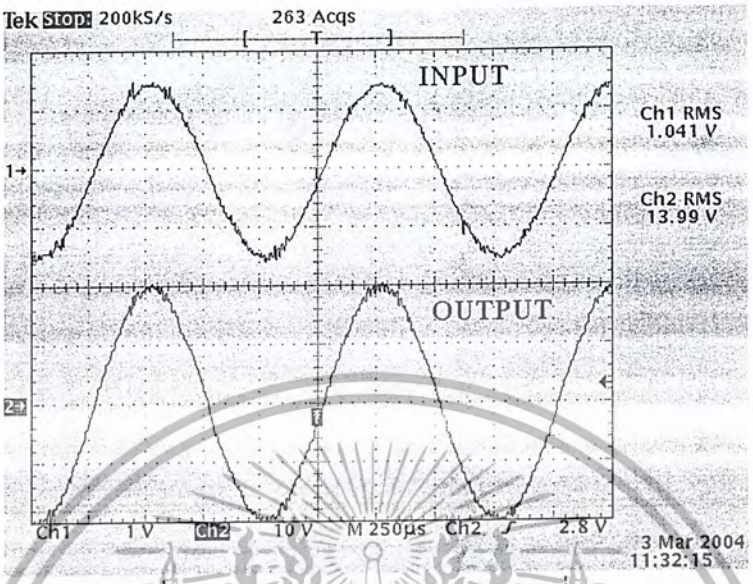


รูปที่ 4.4 แสดงสัญญาณที่ทางเข้าขนาด 0.5 Vp และสัญญาณที่ทางออก ณ ความถี่ 1 kHz.

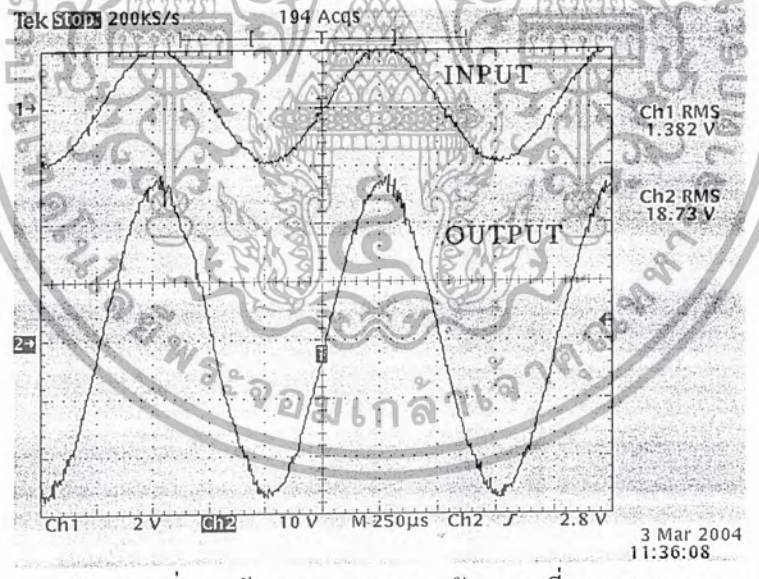


รูปที่ 4.5 แสดงสัญญาณที่ทางเข้าขนาด 1 Vp และสัญญาณที่ทางออก ณ ความถี่ 1 kHz.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

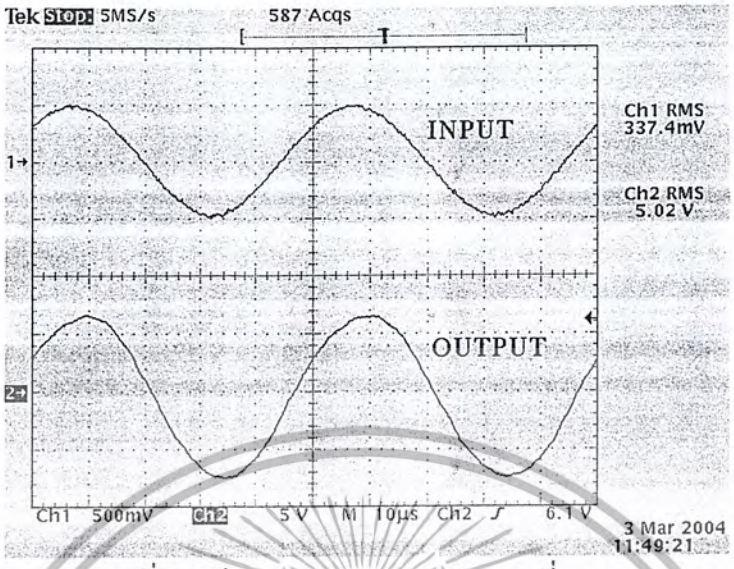


รูปที่ 4.6 แสดงสัญญาณที่ทางเข้าขนาด 1.5 Vp และสัญญาณที่ทางออก ณ ความถี่ 1 kHz.

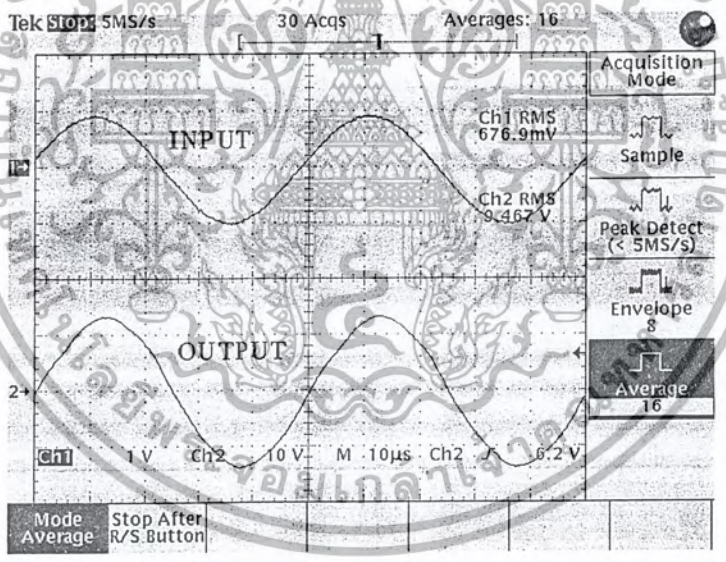


รูปที่ 4.7 แสดงสัญญาณที่ทางเข้าขนาด 2 Vp และสัญญาณที่ทางออก ณ ความถี่ 1 kHz.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

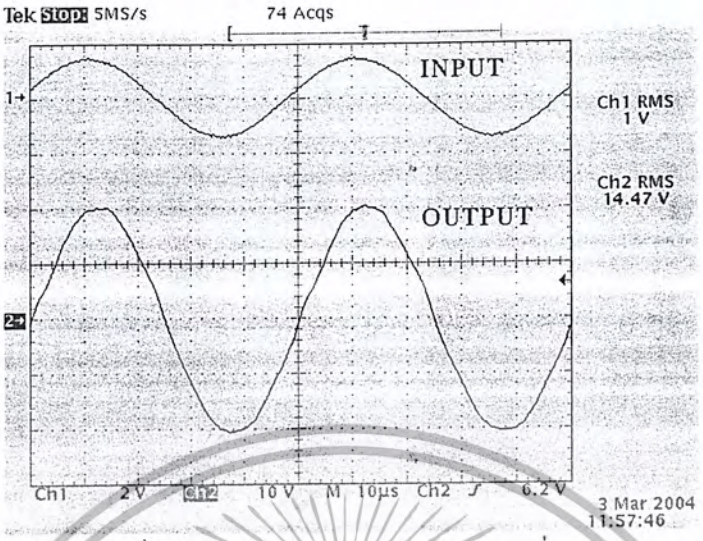


รูปที่ 4.8 แสดงสัญญาณที่ทางเข้าขนาด 0.5 Vp และสัญญาณที่ทางออก ณ ความถี่ 20 kHz.

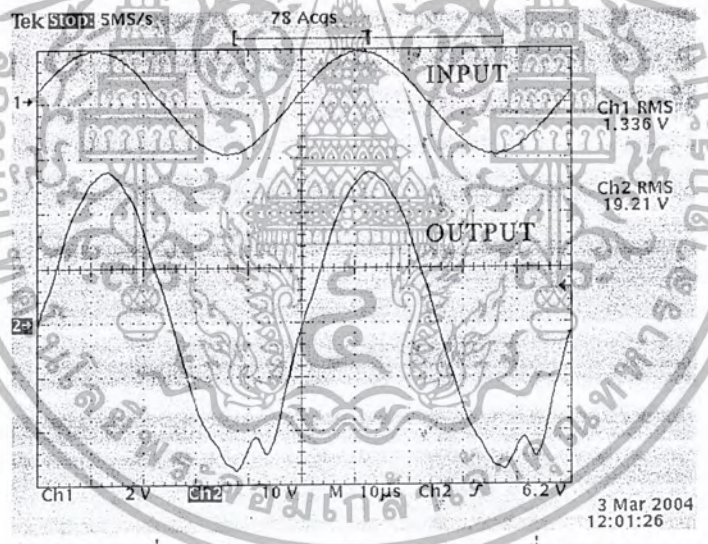


รูปที่ 4.9 แสดงสัญญาณที่ทางเข้าขนาด 1 Vp และสัญญาณที่ทางออก ณ ความถี่ 20 kHz.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

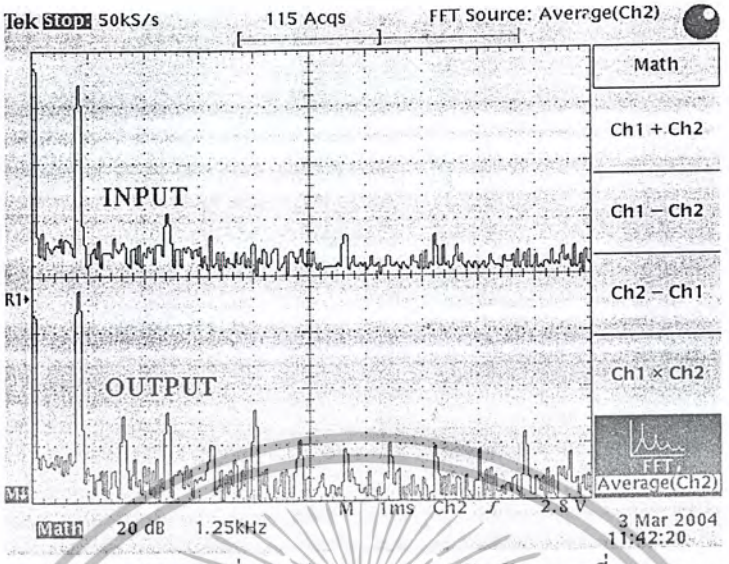


รูปที่ 4.10 แสดงสัญญาณที่ทางเข้าขนาด 1.5 Vp และสัญญาณที่ทางออก ณ ความถี่ 20 kHz.

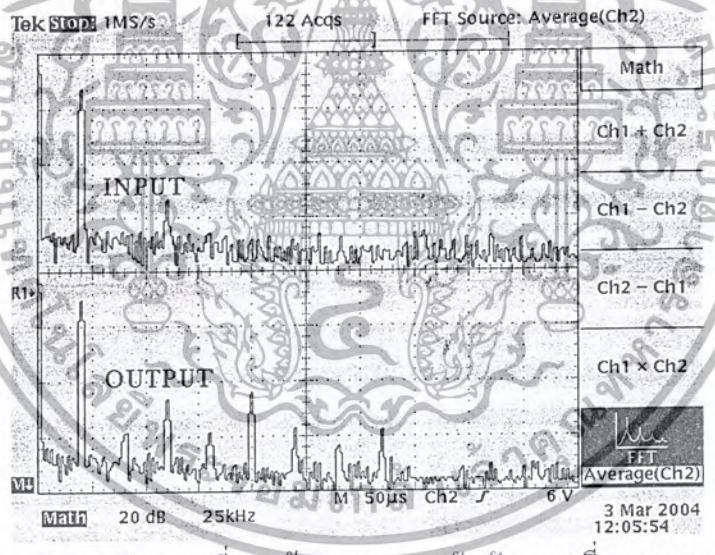


รูปที่ 4.11 แสดงสัญญาณที่ทางเข้าขนาด 2 Vp และสัญญาณที่ทางออก ณ ความถี่ 20 kHz.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



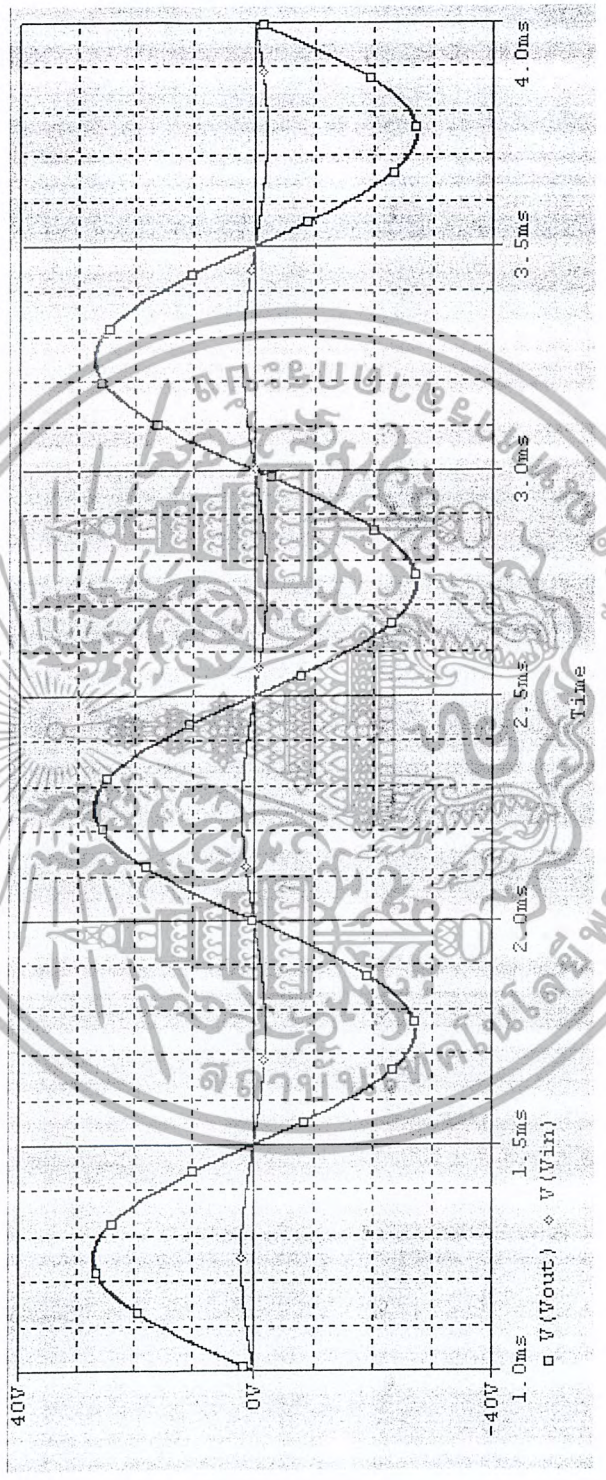
รูปที่ 4.12 แสดง FFT. ของสัญญาณที่ทางเข้าขนาด 1 Vp กับสัญญาณที่ทางออก ณ ความถี่ 1 kHz.



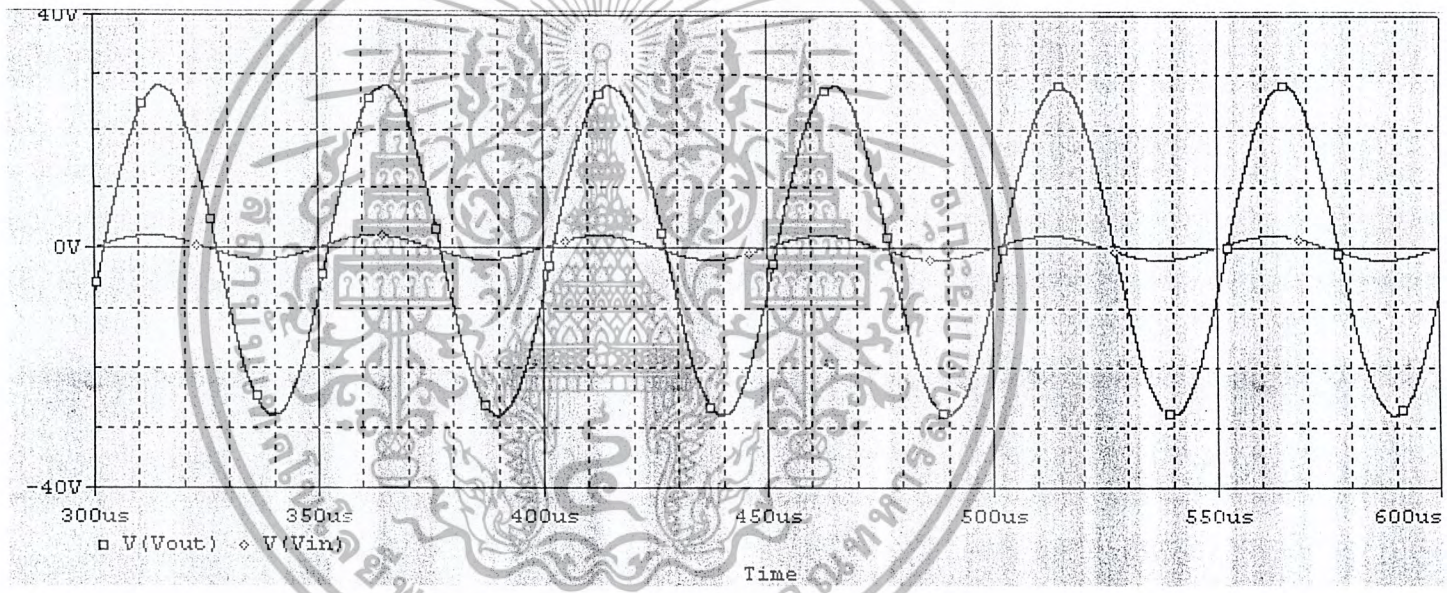
รูปที่ 4.13 แสดง FFT. ของสัญญาณที่ทางเข้าขนาด 1 Vp กับสัญญาณที่ทางออก ณ ความถี่ 20 kHz.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.3.2 ผลตอบสนองทางเวลาที่ได้จากการจำลองวงจร



รูปที่ 4.14 ผลตอบสนองทางเวลาที่ความถี่ 1kHz. ของวงจรที่ได้จากการจำลองผล



รูปที่ 4.15 ผลตอบสนองทางเวลาที่ความถี่ 20kHz. ของวงจรที่ได้จากการจำลองผล

บทที่ 5
สรุปและวิจารณ์

5.1 บทสรุป

- จากการทดลองในส่วนการวัดประสิทธิภาพของวงจร พบว่าวงจรขยายกำลังแบบสวิทช์ในโครงงานชิ้นนี้มีประสิทธิภาพสูงสุดที่วัดได้คือ 83.56 %
- จากที่มีการเพิ่มวงจรป้อนกลับแบบลบนั้นเมื่อเปรียบเทียบกับวงจรที่ไม่มีส่วนการป้อนกลับแบบลบจะพบว่าแรงดัน Offset ในวงจรที่ไม่มีการป้อนกลับแบบลบมีค่ามากกว่าวงจรที่มีการป้อนกลับแบบลบ
- อัตราขยายแรงดันในช่วงย่านกลางของวงจรมีค่าคงที่ประมาณ 13.5 เท่า เนื่องจากผลของการป้อนกลับแบบลบเช่นกัน
- ที่ความถี่ที่ทางเข้า 20 kHz. จะมีความผิดเพี้ยนทาง Harmonic มากกว่าที่ความถี่ 1 kHz.

5.2 แนวทางการแก้ไขปัญหา

- ที่ความถี่ที่ 20 kHz. ซึ่งจะพบว่ามีปัญหาเรื่องผิดเพี้ยนของสัญญาณมากกว่าที่ความถี่ 1 kHz. ซึ่งอาจจะเกิดมาจากผลของการ Sampling สัญญาณซึ่งอาจจะแก้ไขได้โดยเพิ่มความถี่ของพาหะสามเหลี่ยมให้เพิ่มขึ้น แต่ต้องคำนึงถึงผลของความสูญเสียที่เกิดจากการสวิทช์ด้วย
- โดยภาพรวมแล้วความผิดเพี้ยนทาง Harmonics ของวงจรขยายแบบสวิทช์ยังคงมีค่าที่สูงอยู่เมื่อเทียบกับวงจรขยายแบบเชิงเส้น ซึ่งอาจมีสาเหตุมาจากการความไม่เป็นเชิงเส้นของบางส่วนในระบบ เช่น ความไม่เป็นเชิงเส้นของแกนขดลวดเหนี่ยวนำ ความไม่เป็นเชิงเส้นของสัญญาณสามเหลี่ยม

5.3 แนวทางการพัฒนาต่อ

- เพื่อความสะดวกและลดต้นทุนของวงจร การใช้ไฟเลี้ยงเพียงชุดเดียวเป็นสิ่งที่ง่ายและจำเป็น ซึ่งวงจรขยายแบบสวิทช์สามารถใช้ไฟเลี้ยงเพียงชุดเดียวและสามารถใช้ Power Mosfet ที่ใช้เป็นสวิทช์เป็นชนิด N – ch ทั้งหมดได้ด้วยการออกแบบวงจรภาค Power Switch ให้เป็นแบบ Bridge และวงจรภาค Power Switch ที่มีลักษณะแบบ Bridge นั้นโหลดไม่ได้ต่อที่กราวนด์ซึ่งเป็นการต่อแบบ Differential ซึ่งสัญญาณรบกวนที่เหมือนกันจะถูกหักล้างหมด ซึ่งเป็นประโยชน์ข้อสำคัญของวงจรแบบ Bridge

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- ในการออกแบบส่วน PWM นั้น ถ้าไม่ต้องการออกแบบด้วยวิธีการแบบ Unipolar Pulse Width Modulation นั้น สามารถออกแบบด้วยการสร้างสัญญาณพาหะรูปสามเหลี่ยมมีจำนวนเท่ากับจำนวน Switching Cell
- ในการนำวงจรนี้ไปใช้จริงจำเป็นต้องมีส่วนป้องกันกระแสเกินและป้องกันลำโพงเพื่อความปลอดภัยในการนำไปใช้งานจริง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

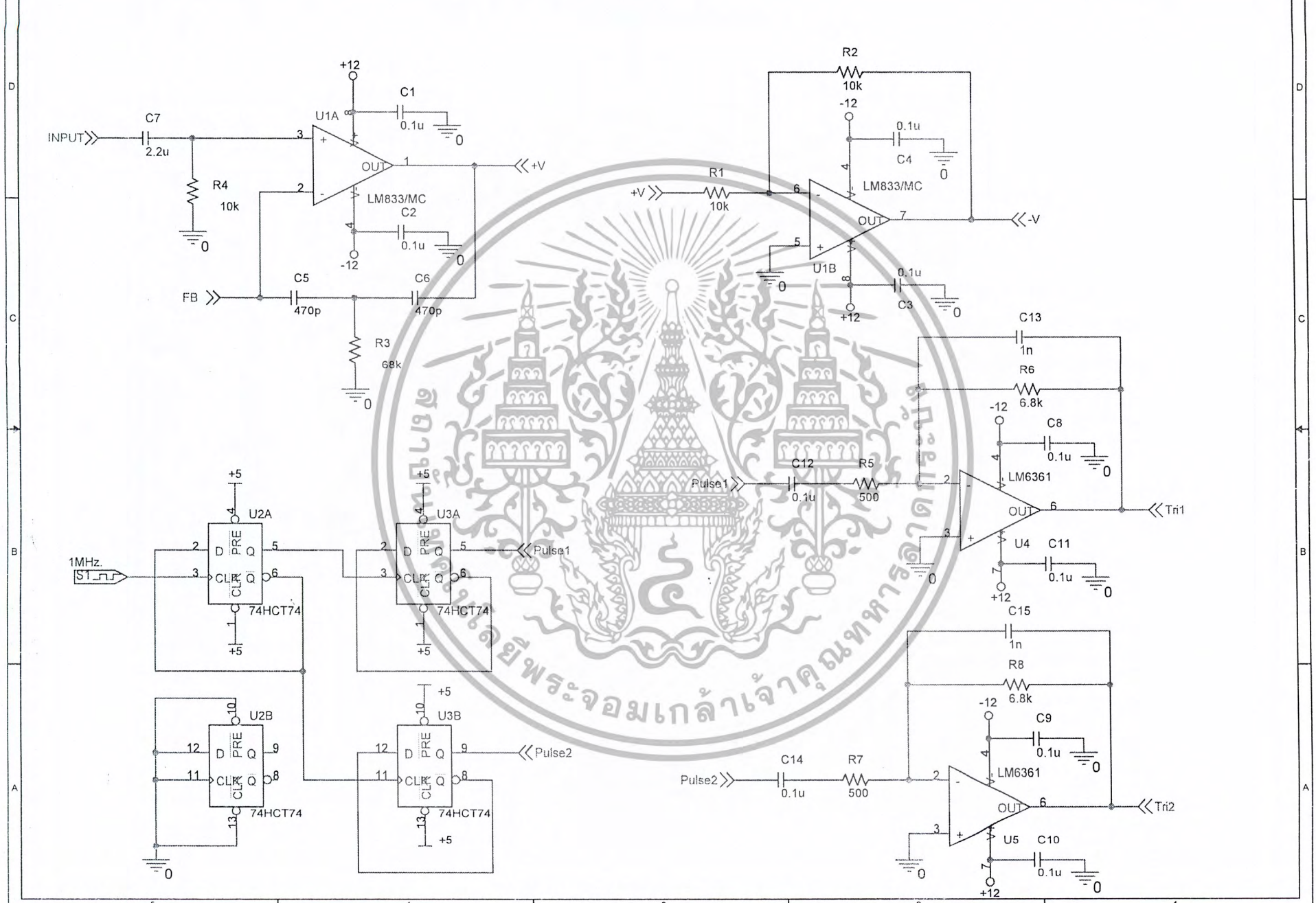
หนังสืออ้างอิง

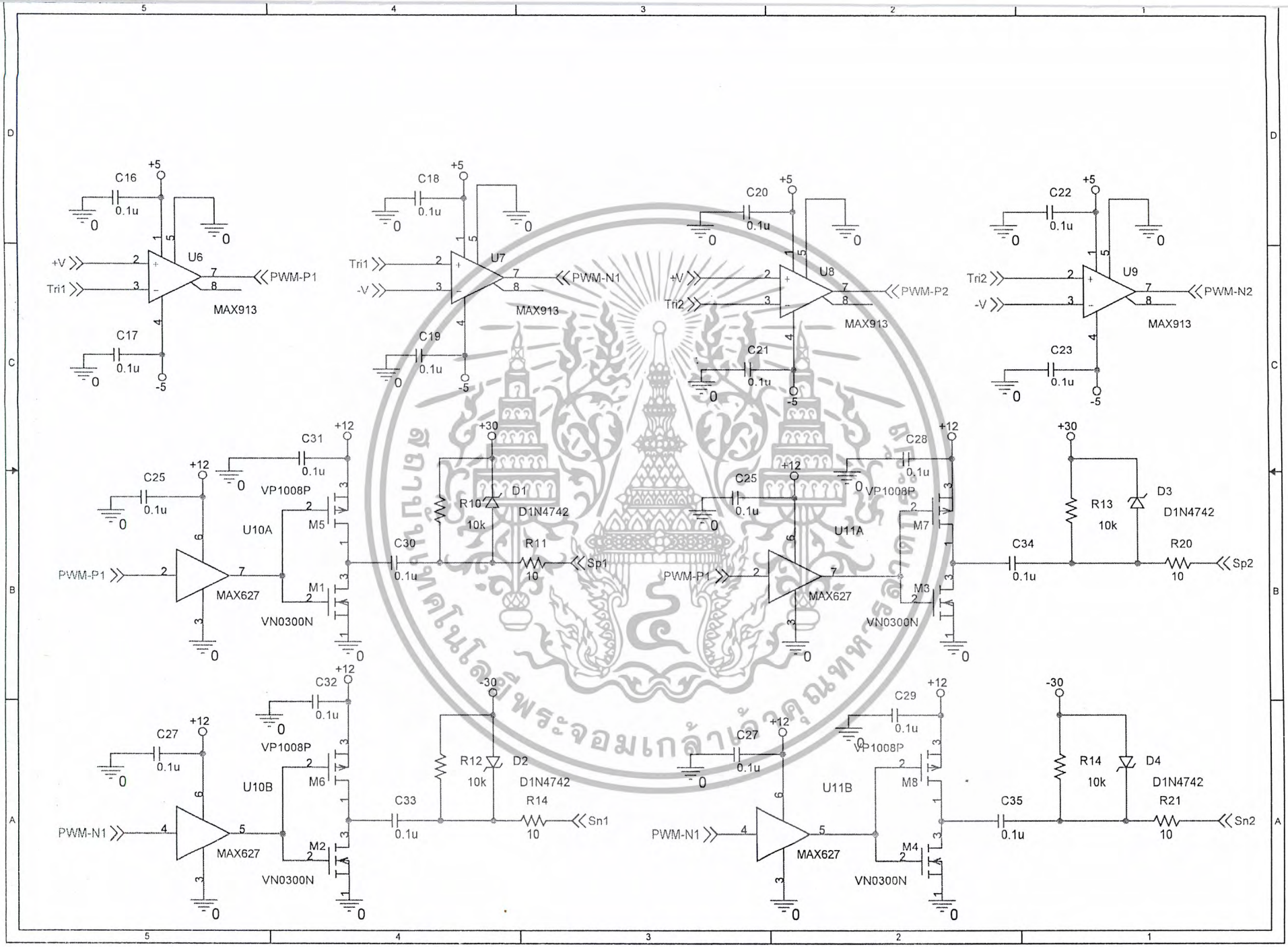
1. Li Jianlin , Wang Liqiao , Li Yiling and Zhang Zhongchao , " A Novel Current – Source Converter With Carrier Phase Shift SPWM for Active Power Filter , " IEEE TENCON-2003: Proceedings of the Conference on Convergent Technologies for the Asia Pacific.
2. Li Jianlin , Hu Changsheng , Wang Liqiao and Zhang Zhongchao " APF Based on Multilevel Voltage Source Cascade Converter with Carrier Phase Shifted SPWM , " IEEE TENCON-2003: Proceedings of the Conference on Convergent Technologies for the Asia Pacific.
3. Brett A. Miwa , David M. Otten and Martin F. Schlecht , M.E. , 1992 " High Efficiency Power Factor Correction Using Interleaving Techniques , " IEEE Applied Power Electronics Conference Proc. , p. 557-568.
4. Qin Jiang "The Application of Parallel Inverter For PV Based Remote Area Power Supplies," AUPEC 2000
5. Slone, G. Randy. " High Power Audio Amplifier Construction Manual ", McGraw – Hill International Enterprise.
6. Donald E. Pauly. "High Fidelity Switching Audio Amplifier Using TMOS Power MOSFET" , AN1042 / D ON Semiconductor Application Note.
7. Chiew Tiam Boon " Switch Mode Multilevel (Class D) Power Amplifier " Bachelor Degree Thesis, Department Of Information Technology and Electrical Engineering, The University Of Queensland.
8. ผศ.วรพงศ์ ตั่งศรีวัฒน์ , " ออปแอมป์และการประมวลผลสัญญาณแอนะล็อก (OP-AMPS and Analog Signal Processing) "บริษัท ว. เพ็ชรสุกุล จำกัด
9. ดร.จิรยุทธ์ มหัทธนกุล , " การออกแบบวงจรกรองแอนะล็อก (Active and Passive Analog Filter Design) ", แมคกรอฮิลอินเตอร์เนชั่นแนล เอ็นเตอร์ไพรส์
10. วิศวกรรมการสื่อสาร (Communication Engineering) , ศาสตราจารย์วิวัฒน์ กิรานนท์ , สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
11. Keith H. Billings, " Handbook of Switchmode Power Supplies," McGrow – Hill Publishing Company
12. " Modern Power Electronics and AC Driver ," Pearson Education , Int 2002

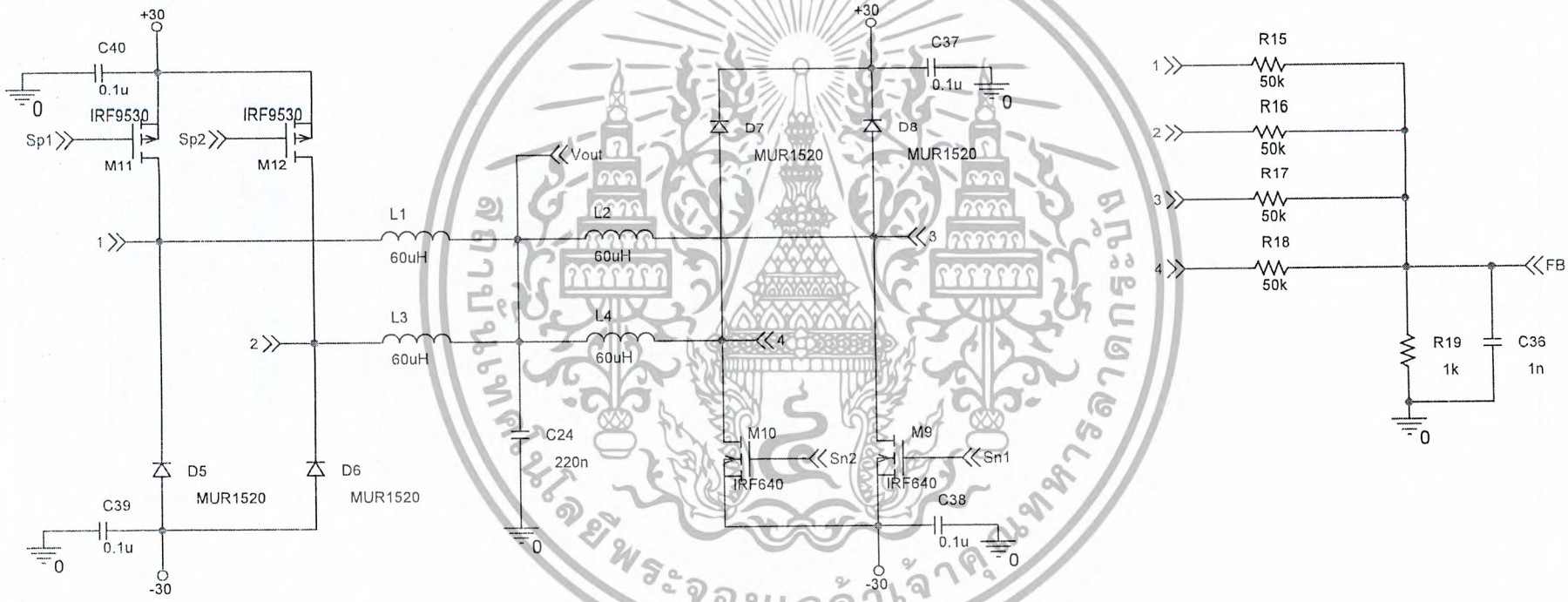
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้


+12
C1
0.1u
U1A
INPUT
C7
2.2u
OUT
+V
R4
10k
LM833/MC
C2
0.1u
-12
FB
C5
470p
C6
470p
R3
68k
R2
10k
-12
0.1u
C4
R1
+V
10k
LM833/MC
OUT
-V
U1B
0.1u
C3
+12
C13
1n
R6
6.8k
-12
C8
0.1u
Pulse1
C12
0.1u
R5
500
LM6361
OUT
Tri1
U4
C11
0.1u
+12
C15
1n
R8
6.8k
-12
C9
0.1u
Pulse2
C14
0.1u
R7
500
LM6361
OUT
Tri2
U5
C10
0.1u
+12
1MHz.
S1
U2A
U3A
74HCT74
Pulse1
U2B
U3B
74HCT74
Pulse2
+5
0


U6
MAX913
C16
0.1u
C17
0.1u
+V
Tri1
PWM-P1
U7
MAX913
C18
0.1u
C19
0.1u
Tri1
-V
PWM-N1
U8
MAX913
C20
0.1u
C21
0.1u
+V
Tri2
PWM-P2
U9
MAX913
C22
0.1u
C23
0.1u
Tri2
-V
PWM-N2
U10A
MAX627
VN0300N
VP1008P
C25
0.1u
C31
0.1u
M5
M1
R10
10k
D1
D1N4742
R11
10
C30
0.1u
Sp1
PWM-P1
U11A
MAX627
VN0300N
VP1008P
C25
0.1u
C28
0.1u
M7
M3
R13
10k
D3
D1N4742
R20
10
C34
0.1u
Sp2
U10B
MAX627
VN0300N
VP1008P
C27
0.1u
C32
0.1u
M6
M2
R12
10k
D2
D1N4742
R14
10
C33
0.1u
Sn1
PWM-N1
U11B
MAX627
VN0300N
VP1008P
C27
0.1u
C29
0.1u
M8
M4
R14
10k
D4
D1N4742
R21
10
C35
0.1u
Sn2
PWM-N1
+5
-5
+12
-30
+30
0

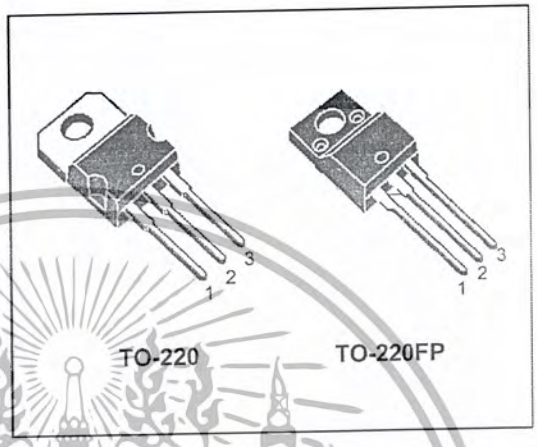

+30
C40
0.1u
0
IRF9530
Sp1
M11
IRF9530
Sp2
M12
1
2
L1
60uH
L3
60uH
L2
60uH
L4
60uH
Vout
3
4
C24
220n
0
D5
MUR1520
D6
MUR1520
C39
0.1u
0
-30
+30
C37
0.1u
0
D7
MUR1520
D8
MUR1520
M10
IRF640
Sn2
M9
IRF640
Sn1
C38
0.1u
0
-30
R15
50k
R16
50k
R17
50k
R18
50k
FB
R19
1k
C36
1n
0

IRF640
IRF640FP

N - CHANNEL 200V - 0.150Ω - 18A TO-220/TO-220FP MESH OVERLAY™ MOSFET

TYPE	V_{DSS}	$R_{DS(on)}$	I_D
IRF640	200 V	< 0.18 Ω	18 A
IRF640FP	200 V	< 0.18 Ω	18 A

- TYPICAL $R_{DS(on)}$ = 0.150 Ω
- EXTREMELY HIGH dV/dt CAPABILITY
- VERY LOW INTRINSIC CAPACITANCES
- GATE CHARGE MINIMIZED



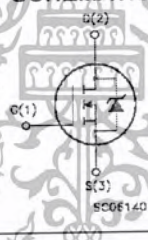
DESCRIPTION

This power MOSFET is designed using he company's consolidated strip layout-based MESH OVERLAY™ process. This technology matches and improves the performances compared with standard parts from various sources.

APPLICATIONS

- HIGH CURRENT SWITCHING
- UNINTERRUPTIBLE POWER SUPPLY (UPS)
- DC/DC COVERTERS FOR TELECOM, INDUSTRIAL, AND LIGHTING EQUIPMENT.

INTERNAL SCHEMATIC DIAGRAM



ABSOLUTE MAXIMUM RATINGS

Symbol	Parameter	Value		Unit
		IRF640	IRF640FP	
V_{DS}	Drain-source Voltage (V_{GS} = 0)	200		V
V_{DGR}	Drain- gate Voltage (R_{GS} = 20 kΩ)	200		V
V_{GS}	Gate-source Voltage	± 20		V
I_D	Drain Current (continuous) at T_c = 25 °C	18	18(**)	A
I_D	Drain Current (continuous) at T_c = 100 °C	11	11(**)	A
I_{DM}(•)	Drain Current (pulsed)	72	72	A
P_{tot}	Total Dissipation at T_c = 25 °C	125	40	W
	Derating Factor	1.0	0.32	W/°C
dv/dt(1)	Peak Diode Recovery voltage slope	5	5	V/ns
V_{ISO}	Insulation Withstand Voltage (DC)	—	2000	V
T_{stg}	Storage Temperature	-65 to 150		°C
T_j	Max. Operating Junction Temperature	150		°C

(•) Pulse width limited by safe operating area
(1) I_{SD} ≤ 18A, di/dt ≤ 300 A/µs, V_{DD} ≤ $V_{(BR)DSS}$, Tj ≤ T_{JMAX}
First Digit of the Datecode Being Z or K Identifies Silicon Characterized in this Datasheet
(**) Limited only by Maximum Temperature Allowed

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

THERMAL DATA

			TO-220	TO-220FP	
$R_{thj\text{-}case}$	Thermal Resistance Junction-case	Max	1.0	3.12	°C/W
$R_{thj\text{-}amb}$	Thermal Resistance Junction-ambient	Max	62.5		°C/W
$R_{thc\text{-}sink}$	Thermal Resistance Case-sink	Typ	0.5		°C/W
T_l	Maximum Lead Temperature For Soldering Purpose		300		°C

AVALANCHE CHARACTERISTICS

Symbol	Parameter	Max Value	Unit
I_{AR}	Avalanche Current, Repetitive or Not-Repetitive (pulse width limited by T_j max)	18	A
E_{AS}	Single Pulse Avalanche Energy (starting T_j = 25 °C, I_D = I_{AR}, V_{DD} = 50 V)	280	mJ

ELECTRICAL CHARACTERISTICS (T_{case} = 25 °C unless otherwise specified)

OFF

Symbol	Parameter	Test Conditions	Min.	Typ.	Max.	Unit
$V_{(BR)DSS}$	Drain-source Breakdown Voltage	I_D = 250 µA V_{GS} = 0	200			V
I_{DSS}	Zero Gate Voltage Drain Current (V_{GS} = 0)	V_{DS} = Max Rating V_{DS} = Max Rating T_c = 125 °C			1 10	µA µA
I_{GSS}	Gate-body Leakage Current (V_{DS} = 0)	V_{GS} = ± 20 V			± 100	nA

ON (*)

Symbol	Parameter	Test Conditions	Min.	Typ.	Max.	Unit
$V_{GS(th)}$	Gate Threshold Voltage	V_{DS} = V_{GS} I_D = 250 µA	2	3	4	V
$R_{DS(on)}$	Static Drain-source On Resistance	V_{GS} = 10V I_D = 9 A		0.15	0.18	Ω
$I_{D(on)}$	On State Drain Current	V_{DS} > $I_{D(on)}$ x $R_{DS(on)max}$ V_{GS} = 10 V	18			A

DYNAMIC

Symbol	Parameter	Test Conditions	Min.	Typ.	Max.	Unit
g_{fs} (*)	Forward Transconductance	V_{DS} > $I_{D(on)}$ x $R_{DS(on)max}$ I_D = 9 A	7	11		S
C_{iss} C_{oss} C_{rss}	Input Capacitance Output Capacitance Reverse Transfer Capacitance	V_{DS} = 25 V f = 1 MHz V_{GS} = 0		1200 200 60	1560 260 80	pF pF pF

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS (continued)

SWITCHING ON

Symbol	Parameter	Test Conditions	Min.	Typ.	Max.	Unit
$t_{d(on)}$ t_r	Turn-on Time Rise Time	V_{DD} = 100 V I_D = 9 A R_G = 4.7 Ω V_{GS} = 10 V (see test circuit, figure 3)		13 27	17 35	ns ns
Q_g Q_{gs} Q_{gd}	Total Gate Charge Gate-Source Charge Gate-Drain Charge	V_{DD} = 160 V I_D = 18 A V_{GS} = 10V		55 10 21	72	nC nC nC

SWITCHING OFF

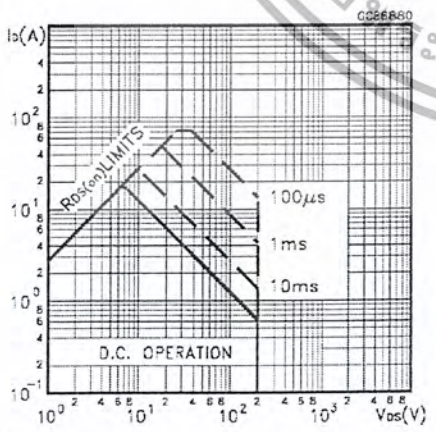
Symbol	Parameter	Test Conditions	Min.	Typ.	Max.	Unit
$t_{r(Voff)}$ t_f t_c	Off-voltage Rise Time Fall Time Cross-over Time	V_{DD} = 160 V I_D = 18 A R_G = 4.7 Ω V_{GS} = 10 V (see test circuit, figure 5)		21 25 50	27 32 65	ns ns ns

SOURCE DRAIN DIODE

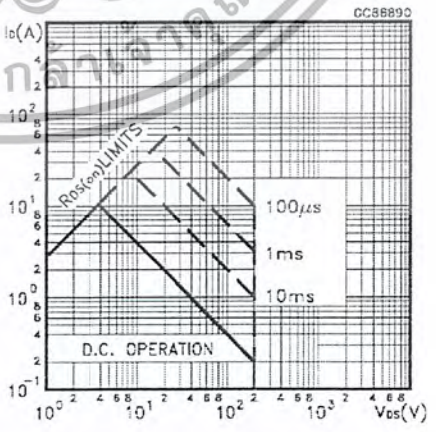
Symbol	Parameter	Test Conditions	Min.	Typ.	Max.	Unit
I_{SD} I_{SDM}(•)	Source-drain Current Source-drain Current (pulsed)				18 72	A A
V_{SD} (*)	Forward On Voltage	I_{SD} = 18 A V_{GS} = 0			1.5	V
t_{rr}	Reverse Recovery Time	I_{SD} = 18 A di/dt = 100 A/µs V_{DD} = 50 V T_j = 150 °C		240		ns
Q_{rr}	Reverse Recovery Charge	(see test circuit, figure 5)		1.8		µC
I_{RRM}	Reverse Recovery Current			15		A

(*) Pulsed: Pulse duration = 300 µs, duty cycle 1.5 %
(•) Pulse width limited by safe operating area

Safe Operating Area for TO-220



Safe Operating Area for TO-220FP



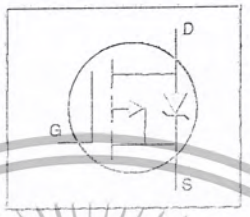
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

International IOR Rectifier

IRF9530

HEXFET® Power MOSFET

- Dynamic dv/dt Rating
- Repetitive Avalanche Rated
- P-Channel
- 175°C Operating Temperature
- Fast Switching
- Ease of Paralleling
- Simple Drive Requirements



V_{DSS} = -100V

$R_{DS(on)}$ = 0.30Ω

I_D = -12A

Description

Third Generation HEXFETs from International Rectifier provide the designer with the best combination of fast switching, ruggedized device design, low on-resistance and cost-effectiveness.

The TO-220 package is universally preferred for all commercial-industrial applications at power dissipation levels to approximately 50 watts. The low thermal resistance and low package cost of the TO-220 contribute to its wide acceptance throughout the industry.

TO-220AB

DATA SHEETS

Absolute Maximum Ratings

	Parameter	Max.	Units
I_D @ T_C = 25°C	Continuous Drain Current, V_{GS} @ -10 V	-12	A
I_D @ T_C = 100°C	Continuous Drain Current, V_{GS} @ -10 V	-8.2	
I_{DM}	Pulsed Drain Current ①	-48	
P_D @ T_C = 25°C	Power Dissipation	88	W
	Linear Derating Factor	0.59	W/°C
V_{GS}	Gate-to-Source Voltage	±20	V
E_{AS}	Single Pulse Avalanche Energy ②	400	mJ
I_{AR}	Avalanche Current ①	-12	A
E_{AR}	Repetitive Avalanche Energy ①	8.8	mJ
dv/dt	Peak Diode Recovery dv/dt ③	-5.5	V/ns
T_J T_{STG}	Operating Junction and Storage Temperature Range	-55 to +175	°C
	Soldering Temperature, for 10 seconds	300 (1.6mm from case)	
	Mounting Torque, 6-32 or M3 screw	10 lbf-in (1.1 N-m)	

Thermal Resistance

	Parameter	Min.	Typ.	Max.	Units
$R_{\theta JC}$	Junction-to-Case	—	—	1.7	°C/W
$R_{\theta CS}$	Case-to-Sink, Flat, Greased Surface	—	0.50	—	
$R_{\theta JA}$	Junction-to-Ambient	—	—	62	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Electrical Characteristics @ T_J = 25°C (unless otherwise specified)

	Parameter	Min.	Typ.	Max.	Units	Test Conditions
$V_{(BR)DSS}$	Drain-to-Source Breakdown Voltage	-100	—	—	V	V_{GS}=0V, I_D=-250μA
$\Delta V_{(BR)DSS}/\Delta T_J$	Breakdown Voltage Temp. Coefficient	—	-0.10	—	V/°C	Reference to 25°C, I_D=-1mA
$R_{DS(on)}$	Static Drain-to-Source On-Resistance	—	—	0.30	Ω	V_{GS}=-10V, I_D=-7.2A ④
$V_{GS(th)}$	Gate Threshold Voltage	-2.0	—	-4.0	V	V_{DS}=V_{GS}, I_D=-250μA
g_{fs}	Forward Transconductance	3.7	—	—	S	V_{DS}=-50V, I_D=-7.2A ④
I_{DSS}	Drain-to-Source Leakage Current	—	—	-100	μA	V_{DS}=-100V, V_{GS}=0V
		—	—	-500		V_{DS}=-80V, V_{GS}=0V, T_J=150°C
I_{GSS}	Gate-to-Source Forward Leakage	—	—	-100	nA	V_{GS}=-20V
	Gate-to-Source Reverse Leakage	—	—	100		V_{GS}=20V
Q_g	Total Gate Charge	—	—	38	nC	I_D=-12A
Q_{gs}	Gate-to-Source Charge	—	—	6.8		V_{DS}=-80V
Q_{gd}	Gate-to-Drain ("Miller") Charge	—	—	21		V_{GS}=-10V See Fig. 6 and 13 ④
$t_{d(on)}$	Turn-On Delay Time	—	12	—	ns	V_{DD}=-50V
t_r	Rise Time	—	52	—		I_D=-12A
$t_{d(off)}$	Turn-Off Delay Time	—	31	—		R_G=12Ω
t_f	Fall Time	—	39	—		R_D=3.9Ω See Figure 10 ④
L_D	Internal Drain Inductance	—	4.5	—	nH	Between lead, 6 mm (0.25in.) from package and center of die contact
L_S	Internal Source Inductance	—	7.5	—		
C_{iss}	Input Capacitance	—	860	—	pF	V_{GS}=0V
C_{oss}	Output Capacitance	—	340	—		V_{DS}=-25V
C_{rss}	Reverse Transfer Capacitance	—	93	—		f=1.0MHz See Figure 5

Source-Drain Ratings and Characteristics

	Parameter	Min.	Typ.	Max.	Units	Test Conditions
I_S	Continuous Source Current (Body Diode)	—	—	-12	A	MOSFET symbol showing the integral reverse p-n junction diode.
I_{SM}	Pulsed Source Current (Body Diode) ①	—	—	-48		
V_{SD}	Diode Forward Voltage	—	—	-6.3	V	T_J=25°C, I_S=-12A, V_{GS}=0V ④
t_{rr}	Reverse Recovery Time	—	120	240	ns	T_J=25°C, I_F=-12A
Q_{rr}	Reverse Recovery Charge	—	0.46	0.92	μC	di/dt=100A/μs ④
t_{on}	Forward Turn-On Time	Intrinsic turn-on time is negligible (turn-on is dominated by L_S+L_D)				

Notes:

① Repetitive rating; pulse width limited by max. junction temperature (See Figure 11)

② V_{DD}=-25V, starting T_J=25°C, L=4.2mH R_G=25Ω, I_{AS}=-12A (See Figure 12)

③ I_{SD}≤-12A, di/dt≤140A/μs, V_{DD}≤$V_{(BR)DSS}$, T_J≤175°C

④ Pulse width ≤ 300 μs; duty cycle ≤2%.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MUR1510, MUR1515, MUR1520, MUR1540, MUR1560

Preferred Devices

SWITCHMODE™ Power Rectifiers

. . . designed for use in switching power supplies, inverters and as free wheeling diodes, these state–of–the–art devices have the following features:

- Ultrafast 35 and 60 Nanosecond Recovery Time
- 175°C Operating Junction Temperature
- Popular TO–220 Package
- High Voltage Capability to 600 Volts
- Low Forward Drop
- Low Leakage Specified @ 150°C Case Temperature
- Current Derating Specified @ Both Case and Ambient Temperatures

Mechanical Characteristics:

- Case: Epoxy, Molded
- Weight: 1.9 grams (approximately)
- Finish: All External Surfaces Corrosion Resistant and Terminal Leads are Readily Solderable
- Lead Temperature for Soldering Purposes: 260°C Max. for 10 Seconds
- Shipped 50 units per plastic tube
- Marking: U1510, U1515, U1520, U1540, U1560

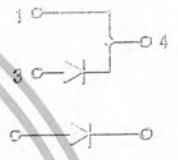
MAXIMUM RATINGS

Please See the Table on the Following Page

ON Semiconductor™

http://onsemi.com

ULTRAFAST RECTIFIERS 15 AMPERES 100–600 VOLTS



TO–220AC
CASE 221B
PLASTIC

MARKING DIAGRAM

U15xx = Device Code
xx = 10, 15, 20, 40 or 60

ORDERING INFORMATION

Device	Package	Shipping
MUR1510	TO–220	50 Units/Rail
MUR1515	TO–220	50 Units/Rail
MUR1520	TO–220	50 Units/Rail
MUR1540	TO–220	50 Units/Rail
MUR1560	TO–220	50 Units/Rail

Preferred devices are recommended choices for future use and best overall value.

© Semiconductor Components Industries, LLC, 2000

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MAXIMUM RATINGS

Rating	Symbol	MUR					Unit
		1510	1515	1520	1540	1560	
Peak Repetitive Reverse Voltage Working Peak Reverse Voltage DC Blocking Voltage	V_{RRM} V_{RWM} V_R	100	150	200	400	600	Volts
Average Rectified Forward Current (Rated V_R)	$I_{F(AV)}$	15 @ T_C = 150°C				15 @ T_C = 145°C	Amps
Peak Rectified Forward Current (Rated V_R, Square Wave, 20 kHz)	I_{FRM}	30 @ T_C = 150°C				30 @ T_C = 145°C	Amps
Nonrepetitive Peak Surge Current (Surge applied at rated load conditions halfwave, single phase, 60 Hz)	I_{FSM}	200			150		Amps
Operating Junction Temperature and Storage Temperature Range	T_J, T_{stg}	–65 to +175					°C

THERMAL CHARACTERISTICS

Maximum Thermal Resistance, Junction to Case	$R_{\theta JC}$	1.5	°C/W

ELECTRICAL CHARACTERISTICS

Maximum Instantaneous Forward Voltage (Note 1.) (i_F = 15 Amps, T_C = 150°C) (i_F = 15 Amps, T_C = 25°C)	v_F	0.85 1.05	1.12 1.25	1.20 1.50	Volts
Maximum Instantaneous Reverse Current (Note 1.) (Rated dc Voltage, T_C = 150°C) (Rated dc Voltage, T_C = 25°C)	i_R	500 10	500 10	1000 10	µA
Maximum Reverse Recovery Time (I_F = 1.0 Amp, di/dt = 50 Amps/µs)	t_{rr}	35	60		ns

1. Pulse Test: Pulse Width = 300 µs, Duty Cycle ≤ 2.0%.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

P-Channel 80- and 100-V (D-S) MOSFETs

PRODUCT SUMMARY				
Part Number	$V_{(BR)DSS}$ Min (V)	$r_{DS(on)}$ Max (Ω)	$V_{GS(th)}$ (V)	I_D (A)
VP0808L	–80	5 @ V_{GS} = –10 V	–2 to –4.5	–0.28
VP1008L	–100	5 @ V_{GS} = –10 V	–2 to –4.5	–0.28

FEATURES

- High-Side Switching
- Low On-Resistance: 2.5 Ω
- Moderate Threshold: –3.4 V
- Fast Switching Speed: 40 ns
- Low Input Capacitance: 75 pF

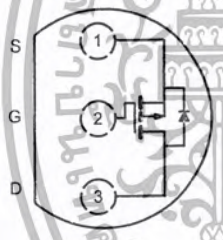
BENEFITS

- Ease in Driving Switches
- Low Offset (Error) Voltage
- Low-Voltage Operation
- High-Speed Switching
- Easily Driven Without Buffer

APPLICATIONS

- Drivers: Relays, Solenoids, Lamps, Hammers, Displays, Memories, Transistors, etc.
- Battery Operated Systems
- Power Supply, Converter Circuits
- Motor Control

TO-226AA
(TO-92)



Top View

VP0808L
Device Marking
Front View

"S" = Siliconix Logo
xxyy = Date Code

VP1008L
Device Marking
Front View

"S" = Siliconix Logo
xxyy = Date Code

ABSOLUTE MAXIMUM RATINGS (T_A = 25°C UNLESS OTHERWISE NOTED)					
Parameter		Symbol	VP0808L	VP1008L	Unit
Drain-Source Voltage		V_{DS}	–60	–100	V
Gate-Source Voltage		V_{GS}	±30	±30	
Continuous Drain Current (T_J = 150°C)	T_A = 25°C	I_D	–0.28	–0.28	A
	T_A = 100°C		–0.17	–0.17	
Pulsed Drain Current[a]		I_{DM}	–3	–3	
Power Dissipation	T_A = 25°C	P_D	0.8	0.8	W
	T_A = 100°C		0.32	0.32	
Thermal Resistance, Junction-to-Ambient		R_{thJA}	156	156	°C/W
Operating Junction and Storage Temperature Range		T_J, T_{stg}	–55 to 150		°C

Notes
a. Pulse width limited by maximum junction temperature.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SPECIFICATIONS (T_A = 25°C UNLESS OTHERWISE NOTED)

Parameter	Symbol	Test Conditions	Typ[a]	Limits VP0808L Min	Limits VP0808L Max	Limits VP1008L Min	Limits VP1008L Max	Unit
Static								
Drain-Source Breakdown Voltage	$V_{(BR)DSS}$	V_{GS} = 0 V, I_D = –10 µA	–110	–80		–100		V
Gate-Threshold Voltage	$V_{GS(th)}$	V_{DS} = V_{GS}, I_D = –1 mA	–3.4	–2	–4.5	–2	–4.5	
Gate-Body Leakage	I_{GSS}	V_{DS} = 0 V, V_{GS} = ±20 V			±100		±100	nA
		T_J = 125°C			±500		±500	
Zero Gate Voltage Drain Current	I_{DSS}	V_{DS} = –80 V, V_{GS} = 0 V			–10			µA
		T_J = 125°C			–500			
		V_{DS} = –100 V, V_{GS} = 0 V					–10	
		T_J = 125°C					–500	
On-State Drain Current[b]	$I_{D(on)}$	V_{DS} = –15 V, V_{GS} = –10 V	–2	–1.1		–1.1		A
Drain-Source On-Resistance[b]	$r_{DS(on)}$	V_{GS} = –10 V, I_D = –1 A	2.5		5		5	Ω
		T_J = 125°C	4.4		8		8	
Forward Transconductance[b]	g_{fs}	V_{DS} = –10 V, I_D = –0.5 A	325	200		200		mS
Common Source Output Conductance[b]	g_{os}	V_{DS} = –7.5 V, I_D = –0.1 A	0.45					
Dynamic								
Input Capacitance	C_{iss}	V_{DS} = –25 V, V_{GS} = 0 V f = 1 MHz	75		150		150	pF
Output Capacitance	C_{oss}		40		60		60	
Reverse Transfer Capacitance	C_{rss}		18		25		25	
Switching[c]								
Turn-On Time	$t_{d(on)}$	V_{DD} = –25 V, R_L = 47 Ω I_D ≅ –0.5 A, V_{GEN} = –10 V R_G = 25 Ω	11		15		15	ns
	t_r		30		40		40	
Turn-Off Time	$t_{d(off)}$		20		30		30	
	t_f		20		30		30	

Notes
a. For DESIGN AID ONLY, not subject to production testing.
b. Pulse test: PW ≤ 300 µs duty cycle ≤ 2%.
c. Switching time is essentially independent of operating temperature.

VPDV10

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

N-Channel 20-, 30-, 40-V (D-S) MOSFETs

PRODUCT SUMMARY				
Part Number	$V_{(BR)DSS}$ Min (V)	$r_{DS(on)}$ Max (Ω)	$V_{GS(th)}$ (V)	I_D (A)
TN0201L	20	1.2 @ V_{GS} = 10 V	0.5 to 2	0.64
TN0401L	40	1.2 @ V_{GS} = 10 V	0.5 to 2	0.64
VN0300L	30	1.2 @ V_{GS} = 10 V	0.8 to 2.5	0.64
VN0300LS	30	1.2 @ V_{GS} = 10 V	0.8 to 2.5	0.67

FEATURES

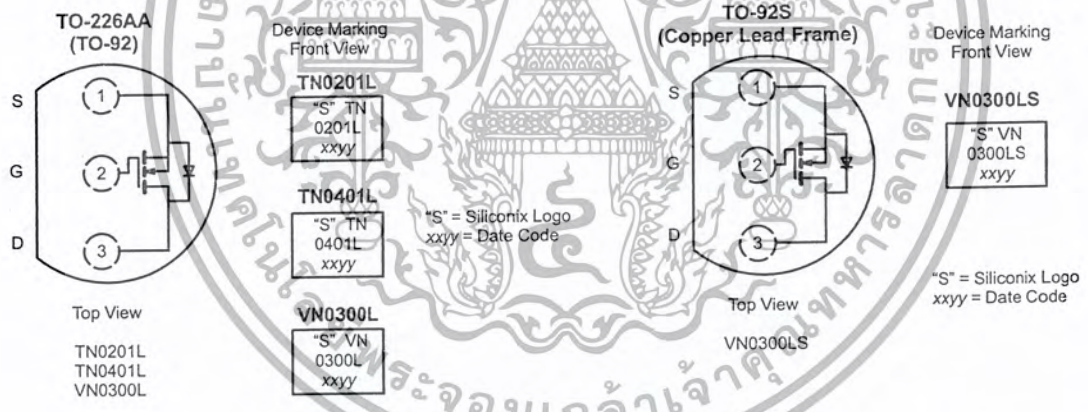
- Low On-Resistance: 0.85 Ω
- Low Threshold: 1.4 V
- Low Input Capacitance: 38 pF
- Fast Switching Speed: 9 ns
- Low Input and Output Leakage

BENEFITS

- Low Offset Voltage
- Low-Voltage Operation
- Easily Driven Without Buffer
- High-Speed Circuits
- Low Error Voltage

APPLICATIONS

- Direct Logic-Level Interface: TTL/CMOS
- Drivers: Relays, Solenoids, Lamps, Hammers, Displays, Memories, Transistors, etc.
- Battery Operated Systems
- Solid-State Relays



ABSOLUTE MAXIMUM RATINGS (T_A = 25°C UNLESS OTHERWISE NOTED)							
Parameter		Symbol	TN0201L	TN0401L	VN0300L	VN0300LS	Unit
Drain-Source Voltage		V_{DS}	20	40	30	30	V
Gate-Source Voltage		V_{GS}	±20	±20	±30	±30	
Continuous Drain Current (T_J = 150°C)	T_A= 25°C	I_D	0.64	0.64	0.64	0.67	A
	T_A= 100°C		0.38	0.38	0.38	0.43	
Pulsed Drain Current[a]		I_{DM}	1.5	1.5	3	3	
Power Dissipation	T_A= 25°C	P_D	0.8	0.8	0.8	0.9	W
	T_A= 100°C		0.32	0.32	0.32	0.4	
Thermal Resistance, Junction-to-Ambient		R_{thJA}	156	156	156	156	°C/W
Operating Junction and Storage Temperature Range		T_J, T_{stg}	–55 to 150				°C

Notes
a. Pulse width limited by maximum junction temperature.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SPECIFICATIONS (T_A = 25°C UNLESS OTHERWISE NOTED)

Parameter	Symbol	Test Conditions		Typ[a]	Limits TN0201L TN0401L Min	Limits TN0201L TN0401L Max	Limits VN0300L VN0300LS Min	Limits VN0300L VN0300LS Max	Unit
Static									
Drain-Source Breakdown Voltage	$V_{(BR)DSS}$	V_{GS} = 0 V, I_D = 10 µA	TN0201L	55	20				V
			TN0401L	55	40				
							30		
Gate-Threshold Voltage	$V_{GS(th)}$	V_{DS} = V_{GS}, I_D = 0.25 mA		1.4	0.5	2			
		V_{DS} = V_{GS}, I_D = 1 mA		1.5			0.8	2.5	
Gate-Body Leakage	I_{GSS}	V_{DS} = 0 V, V_{GS} = ±20 V				±10			nA
		V_{DS} = 0 V, V_{GS} = ±30 V						±100	
Zero Gate Voltage Drain Current	I_{DSS}	V_{DS} = 30 V, V_{GS} = 0 V						10	µA
			T_J = 125°C					500	
		V_{DS} = 0.8 x $V_{(BR)DSS}$, V_{GS} = 0 V				1			
			T_J = 125°C			100			
On-State Drain Current[b]	$I_{D(on)}$	V_{DS} = 10 V, V_{GS} = 4.5 V		0.9	0.25				A
		V_{DS} = 10 V, V_{GS} = 10 V		3.5	1		1		
Drain-Source On-Resistance[b]	$r_{DS(on)}$	V_{GS} = 3.5 V, I_D = 0.05 A		1.8		4			Ω
		V_{GS} = 5 V, I_D = 0.3 A		1.2				3.3	
		V_{GS} = 4.5 V, I_D = 0.25 A		1.4		2			
			T_J = 125°C	2.6		4			
		V_{GS} = 10 V, I_D = 1 A		0.85		1.2		1.2	
			T_J = 125°C	1.6				2.4	
Forward Transconductance[b]	g_{fs}	V_{DS} = 10 V, I_D = 0.5 A		500	200		200		mS
Dynamic									
Input Capacitance	C_{iss}	V_{DS} = 15 V, V_{GS} = 0 V, f = 1 MHz		38		60		100	pF
Output Capacitance	C_{oss}			33		50		95	
Reverse Transfer Capacitance	C_{rss}			8		15		25	
Switching[c]									
Turn-On Time	t_{ON}	V_{DD} = 15 V, R_L = 14 Ω, I_D ≅ 1 A, V_{GEN} = 10 V, R_G = 25 Ω		10		30		30	ns
Turn-Off Time	t_{OFF}			13		30		30	

Notes
a. For DESIGN AID ONLY, not subject to production testing..
b. Pulse test: PW ≤ 300 µs duty cycle ≤ 2%.
c. Switching time is essentially independent of operating temperature.

VNDQ03

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

19-0157; Rev 1; 1/94

MAX912/MAX913

Single/Dual, Ultra-Fast, Low-Power, Precision TTL Comparators

General Description

The MAX913 single and MAX912 dual high-speed, low-power comparators have differential inputs and complementary TTL outputs. Fast propagation delay (10ns typ), extremely low supply current, and a wide common-mode input range that includes the negative rail make the MAX912/MAX913 ideal for low-power, high-speed, single +5V (or ±5V) applications such as V/F converters or switching regulators.

The MAX912/MAX913 outputs remain stable through the linear region. This feature eliminates output instability common to high-speed comparators when driven with a slow-moving input signal.

The MAX912/MAX913 can be powered from a single +5V supply or a ±5V split supply. The MAX913 is an improved plug-in replacement for the LT1016. It provides significantly wider input voltage range and equivalent speed at a fraction of the power. The MAX912 dual comparator has equal performance to the MAX913 and includes independent latch controls.

Applications

Zero-Crossing Detectors
Ethernet Line Receivers
Switching Regulators
High-Speed Sampling Circuits
High-Speed Triggers
Extended Range V/F Converters
Fast Pulse Width/Height Discriminators

Features

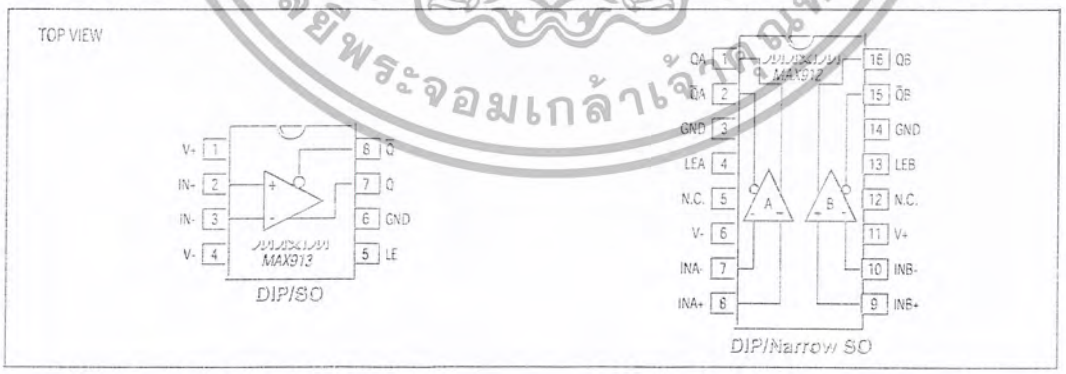
- Ultra Fast (10ns)
- Single +5V or Dual ±5V Supply Operation
- Input Range Extends Below Negative Supply
- Low Power: 6mA (+5V) Per Comparator
- No Minimum Input Signal Slew-Rate Requirement
- No Power-Supply Current Spiking
- Stable in the Linear Region
- Inputs Can Exceed Either Supply
- Low Offset Voltage: 0.8mV

Ordering Information

PART	TEMP. RANGE	PIN-PACKAGE
MAX912CPE	0°C to +70°C	16 Plastic DIP
MAX912CSE	0°C to +70°C	16 Narrow SO
MAX912C/D	0°C to +70°C	Dice*
MAX912EPE	-40°C to +85°C	16 Plastic DIP
MAX912ESE	-40°C to +85°C	16 Narrow SO
MAX912MJE	-55°C to +125°C	16 CERDIP
MAX913CPA	0°C to +70°C	8 Plastic DIP
MAX913CSA	0°C to +70°C	8 SO
MAX913C/D	0°C to +70°C	Dice*
MAX913EPA	-40°C to +85°C	8 Plastic DIP
MAX913ESA	-40°C to +85°C	8 SO
MAX913MJA	-55°C to +125°C	8 CERDIP

*Dice are specified at TA = +25°C, DC parameters only.

Pin Configurations



Call toll free 1-800-998-8800 for free samples or literature.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Single/Dual, Ultra-Fast, Low-Power, Precision TTL Comparators

ABSOLUTE MAXIMUM RATINGS

Positive Supply Voltage 7V
Negative Supply Voltage ..... -7V
Differential Input Voltage ..... ±15V
Input Voltage (Referred to V-) ..... - 0.3V to 15V
Latch Pin Voltage ..... Equal to Supplies
Continuous Output Current ..... ±20mA
Continuous Power Dissipation (T_A = +70°C)
8-Pin Plastic DIP (derate 9.09mW/°C above +70°C) ... 727mW
8-Pin SO (derate 5.88mW/°C above +70°C) 471mW
8-Pin CERDIP (derate 8.00mW/°C above +70°C) 640mW
16-Pin Plastic DIP (derate 10.53mW/°C above +70°C) ... 842mW
16-Pin Narrow SO (derate 8.70mW/°C above +70°C) ... 696mW
16-Pin CERDIP (derate 10.00mW/°C above +70°C) 800mW
Operating Temperature Ranges:
MAX91_ C_ _ ..... 0°C to +70°C
MAX91_ E_ _ ..... -40°C to +85°C
MAX91_ MJ_ ..... -55°C to +125°C
Storage Temperature Range ..... -65°C to +150°C
Lead Temperature (soldering, 10sec) ..... +300°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS

(V+ = +5V, V- = -5V, V_Q = 1.4V, V_{LE} = 0V, T_A = T_{MIN} to T_{MAX}, unless otherwise noted. Typical values are at T_A = +25°C.)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
Input Offset Voltage (Note 1)	V_{OS}	$R_S \le 100\Omega$	T_A = +25°C		0.8	2	mV
			T_A = T_{MIN} to T_{MAX}			3	
Offset Drift	TCV_{OS}				2		µV/°C
Input Offset Current (Note 1)	I_{OS}		T_A = +25°C		0.3	0.5	µA
			T_A = T_{MIN} to T_{MAX}			0.8	
Input Bias Current	I_B		T_A = +25°C		3	5	µA
		C, E temp. ranges				8	
		M temp. range				10	
Input Voltage Range	V_{CM}	C, E temp. ranges		-5.2		+3.5	V
		M temp. range		-5.0		+3.5	
		Single +5V	C, E temp. ranges	-0.2		+3.5	
			M temp. range	0		+3.5	
Common-Mode Rejection Ratio	CMRR	-5.0V ≤ V_{CM} ≤ +3.5V		80	110		dB
Power-Supply Rejection Ratio	PSRR	Positive supply: 4.5V ≤ V+ ≤ 5.5V		60	85		dB
		Negative supply: -2V ≥ V- ≥ -7V		80	100		
Small-Signal Voltage Gain	A_V	1V ≤ V_Q ≤ 2V, T_A = +25°C		1500	3500		V/V
Output Voltage	V_{OH}	V+ ≥ 4.5V	I_{OUT} = 1mA	2.7	3.4		V
			I_{OUT} = 10mA	2.4	3.0		
	V_{OL}	I_{SINK} = 4mA			0.3	0.5	
		T_A = +25°C, I_{SINK} = 10mA			0.4		
Positive Supply Current Per Comparator	I+	C, E temp. ranges			6	10	mA
		M temp. range				12	
Negative Supply Current Per Comparator	I-				0.4	2	mA
Latch-Pin High Input Voltage	V_{IH}			2.0			V
Latch-Pin Low Input Voltage	V_{IL}					0.8	V
Latch-Pin Current	I_{IL}	V_{LE} = 0V				-20	µA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS (continued)

(V+ = +5V, V- = -5V, V_Q = 1.4V, V_{LE} = 0V, T_A = T_{MIN} to T_{MAX}, unless otherwise noted).

PARAMETER	SYMBOL	CONDITIONS			MIN	TYP	MAX	UNITS
Propagation Delay (Note 2)	t_{PD+}, t_{PD-}	ΔV_{IN} = 100mV, V_{OD} = 5mV	T_A = +25°C			10	14	ns
			T_A = T_{MIN} to T_{MAX}				16	
		ΔV_{IN} = 100mV, V_{OD} = 20mV	T_A = +25°C			9	12	
			T_A = T_{MIN} to T_{MAX}				15	
Differential Propagation Delay (Note 2)	Δt_{PD}	ΔV_{IN} = 100mV, V_{OD} = 5mV	T_A = +25°C	MAX913		2	3	ns
				MAX912		3	5	
Channel-to-Channel Propagation Delay (Note 2)		ΔV_{IN} = 100mV, V_{OD} = 5mV (MAX912 only)	T_A = +25°C			500		ps
Latch Setup Time (Note 3)	t_{SU}				2	0		ns
Latch Hold Time (Note 3)	t_H				3	2		ns
Latch Propagation Delay (Note 4)	t_{LPD}					7		ns

Note 1: Input Offset Voltage (V_{OS}) is defined as the average of the two input offset voltages, measured by forcing first one output, then the other to 1.4V. Input Offset Current (I_{OS}) is defined the same way.

Note 2: Propagation Delay (t_{PD}) and Differential Propagation Delay (Δt_{PD}) cannot be measured in automatic handling equipment with low input overdrive values. The MAX912/MAX913 are sample tested to 0.1% AQL with a 1V step and 500mV overdrive at +25°C only. Correlation tests show that t_{PD} and Δt_{PD} can be guaranteed with this test, if additional DC tests are performed to guarantee that all internal bias conditions are correct. For low overdrive conditions, V_{OS} is added to the overdrive. Differential Propagation Delay is defined as: Δt_{PD} = t_{PD+} − t_{PD-}.

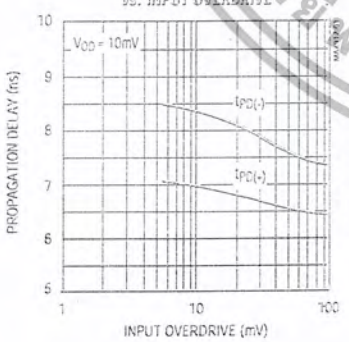
Note 3: Input latch setup time (t_{SU}) is the interval in which the input signal must be stable prior to asserting the latch signal. The hold time (t_H) is the interval after the latch is asserted in which the input signal must be stable. These parameters are guaranteed by design.

Note 4: Latch Propagation Delay (t_{LPD}) is the delay time for the output to respond when the latch-enable pin is deasserted. See Timing Diagram.

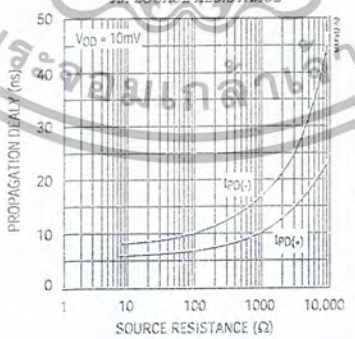
Typical Operating Characteristics

(V+ = 5V, V- = -5V, V_{LE} = 0V, C_L = 15pF, T_A = +25°C, unless otherwise noted.)

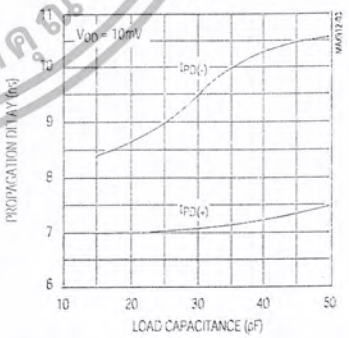
PROPAGATION DELAY vs. INPUT OVERDRIVE



PROPAGATION DELAY vs. SOURCE RESISTANCE



PROPAGATION DELAY vs. LOAD CAPACITANCE



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

May 1999

National Semiconductor

LM6161/LM6261/LM6361
High Speed Operational Amplifier

General Description

The LM6161 family of high-speed amplifiers exhibits an excellent speed-power product in delivering 300 V/µs and 50 MHz unity gain stability with only 5 mA of supply current. Further power savings and application convenience are possible by taking advantage of the wide dynamic range in operating supply voltage which extends all the way down to +5V.

These amplifiers are built with National's VIP™ (Vertically Integrated PNP) process which provides fast PNP transistors that are true complements to the already fast NPN devices. This advanced junction-isolated process delivers high speed performance without the need for complex and expensive dielectric isolation.

Features

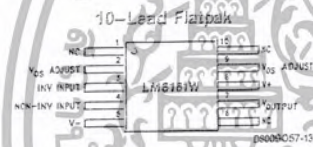
- High slew rate 300 V/µs
- High unity gain freq 50 MHz
- Low supply current 5 mA
- Fast settling 120 ns to 0.1%
- Low differential gain <0.1%
- Low differential phase 0.1°
- Wide supply range 4.75V to 32V
- Stable with unlimited capacitive load
- Well behaved; easy to apply

Applications

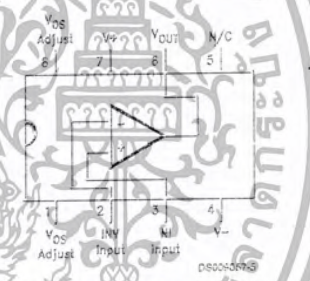
- Video amplifier
- High-frequency filter
- Wide-bandwidth signal conditioning
- Radar
- Sonar

Connection Diagrams

10-Lead Flatpak



See NS Package Number W10A



See NS Package Number J08A, M08E or M08A

Temperature Range			Package	NSC Drawing
Military $-55°C \le T_A \le +125°C$	Industrial $-25°C \le T_A \le +85°C$	Commercial $0°C \le T_A \le +70°C$		
	LM6261N	LM6361N	8-Pin Molded DIP	N08E
LM6161J/883 5962-8962101PA		LM6361J	8-Pin Ceramic DIP	J08A
	LM6261M	LM6361M	8-Pin Molded Surface Mt.	M08A
LM6161WG/883 5962-8962101XA			10-Lead Ceramic SOIC	WG10A
LM6161W/883 5962-8962101HA			10-Pin Ceramic Flatpak	W10A

VIP™ is a trademark of National Semiconductor Corporation.

© 1999 National Semiconductor Corporation

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings (Note 12)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/ Distributors for availability and specifications.

Supply Voltage ($V^+ - V^-$)	36V
Differential Input Voltage (Note 8)	±8V
Common-Mode Voltage Range (Note 10)	$(V^+ - 0.7V)$ to $(V^- + 0.7V)$
Output Short Circuit to GND (Note 1)	Continuous
Soldering Information	
Dual-In-Line Package (N, J) Soldering (10 sec.)	260°C
Small Outline Package (M)	
Vapor Phase (60 sec.)	215°C
Infrared (15 sec.)	220°C

See AN-450 "Surface Mounting Methods and Their Effect on Product Reliability" for other methods of soldering surface mount devices.

Storage Temp Range	−65°C to +150°C
Max Junction Temperature	150°C
ESD Tolerance (Notes 6, 7)	±700V

Operating Ratings (Note 12)

Temperature Range (Note 2)	
LM6161	$-55°C \le T_J \le +125°C$
LM6261	$-25°C \le T_J \le +85°C$
LM6361	$0°C \le T_J \le +70°C$
Supply Voltage Range	4.75V to 32V

DC Electrical Characteristics

The following specifications apply for Supply Voltage = ±15V, $V_{CM} = 0$, $R_L \ge 100\ k\Omega$ and $R_S = 50\Omega$ unless otherwise noted. *Boldface limits apply for* $T_J = T_{MIN}$ to T_{MAX}; *all other limits* $T_J = 25°C$.

Symbol	Parameter	Conditions	Typ	LM6161 Limit (Notes 3, 11)	LM6261 Limit (Note 3)	LM6361 Limit (Note 3)	Units
V_{OS}	Input Offset Voltage		5	7	7	20	mV
				10	9	22	Max
V_{OS} Drift	Input Offset Voltage Average Drift		10				µV/°C
I_b	Input Bias Current		2	3	3	5	µA
				6	5	6	Max
I_{OS}	Input Offset Current		150	350	350	1500	nA
				800	500	1900	Max
I_{OS} Drift	Input Offset Current Average Drift		0.4				nA/°C
R_{IN}	Input Resistance	Differential	325				kΩ
C_{IN}	Input Capacitance	$A_V = +1$ @ 10 MHz	1.5				pF
A_{VOL}	Large Signal Voltage Gain	$V_{OUT} = \pm 10V$	750	550	550	400	V/V
		$R_L = 2\ k\Omega$ (Note 9)		300	300	350	Min
		$R_L = 10\ k\Omega$ (Note 9)	2900				V/V
V_{CM}	Input Common-Mode Voltage Range	Supply = ±15V	+14.6	+13.9	+13.9	+13.8	Volts
				+13.8	+13.8	+13.7	Min
			−13.2	−12.9	−12.9	−12.8	Volts
				−12.7	−12.7	−12.7	Min
		Supply = +5V (Note 4)	4.0	3.9	3.9	3.8	Volts
				3.8	3.8	3.7	Min
			1.6	2.0	2.0	2.1	Volts
				2.2	2.2	2.2	Max
CMRR	Common-Mode Rejection Ratio	$-10V \le V_{CM} \le +10V$	94	80	80	72	dB
				74	76	70	Min
PSRR	Power Supply Rejection Ratio	$\pm 10V \le V^{\pm} \le \pm 16V$	90	80	80	72	dB
				74	76	70	Min

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DC Electrical Characteristics (Continued)

The following specifications apply for Supply Voltage = ±15V, V_{CM} = 0, $R_L \geq 100\ k\Omega$ and $R_S = 50\Omega$ unless otherwise noted. *Boldface* limits apply for $T_J = T_{MIN}$ to T_{MAX}; all other limits $T_J = 25°C$.

Symbol	Parameter	Conditions	Typ	LM6161	LM6261	LM6361	Units
				Limit (Notes 3, 11)	Limit (Note 3)	Limit (Note 3)	
V_O	Output Voltage Swing	Supply = ±15V and R_L = 2 kΩ	+14.2	+13.5	+13.5	+13.4	Volts
				+13.3	+13.3	+13.3	Min
			−13.4	−13.0	−13.0	−12.9	Volts
				−12.7	−12.8	−12.8	Min
		Supply = +5V and R_L = 2 kΩ (Note 4)	4.2	3.5	3.5	3.4	Volts
				3.3	3.3	3.3	Min
			1.3	1.7	1.7	1.8	Volts
				2.0	1.9	1.9	Max
	Output Short Circuit Current	Source	65	30	30	30	mA
				20	25	25	Min
		Sink	65	30	30	30	mA
				20	25	25	Min
I_S	Supply Current		5.0	6.5	6.5	6.8	mA
				6.8	6.7	6.9	Max

AC Electrical Characteristics

The following specifications apply for Supply Voltage = ±15V, V_{CM} = 0, $R_L \geq 100\ k\Omega$ and $R_S = 50\Omega$ unless otherwise noted. *Boldface* limits apply for $T_J = T_{MIN}$ to T_{MAX}; all other limits $T_J = 25°C$.

Symbol	Parameter	Conditions	Typ	LM6161	LM6261	LM6361	Units
				Limit (Notes 3, 11)	Limit (Note 3)	Limit (Note 3)	
GBW	Gain-Bandwidth Product	@ f = 20 MHz	50	40	40	35	MHz
				30	33	32	Min
		Supply = ±5V	35				MHz
SR	Slew Rate	A_V = +1 (Note 8)	300	200	200	200	V/µs
				180	180	180	Min
		Supply = ±5V (Note 8)	200				V/µs
PBW	Power Bandwidth	V_{OUT} = 20 V_{PP}	4.5				MHz
t_s	Settling Time	10V Step to 0.1% A_V = −1, R_L = 2 kΩ	120				ns
ϕm	Phase Margin		45				Deg
A_D	Differential Gain	NTSC, A_V = +4	<0.1				%
ϕD	Differential Phase	NTSC, A_V = +4	0.1				Deg
e_{np-p}	Input Noise Voltage	f = 10 kHz	15				nV/√Hz
i_{np-p}	Input Noise Current	f = 10 kHz	1.5				pA/√Hz

Note 1: Continuous short-circuit operation at elevated ambient temperature can result in exceeding the maximum allowed junction temperature of 150°C.

Note 2: The typical junction-to-ambient thermal resistance of the molded plastic DIP (N) is 105°C/W, the molded plastic SO (M) package is 155°C/W, and the cerdip (J) package is 125°C/W. All numbers apply for packages soldered directly into a printed circuit board.

Note 3: Limits are guaranteed by testing or correlation.

Note 4: For single supply operation, the following conditions apply: V^+ = 5V, V^- = 0V, V_{CM} = 2.5V, V_{OUT} = 2.5V. Pin 1 & Pin 8 (Vos Adjust) are each connected to Pin 4 (V^-) to realize maximum output swing. This connection will degrade V_{OS}, V_{OS} Drift, and Input Voltage Noise.

Note 5: $C_L \leq 5$ pF.

Note 6: In order to achieve optimum AC performance, the input stage was designed without protective clamps. Exceeding the maximum differential input voltage results in reverse breakdown of the base-emitter junction of one of the input transistors and probable degradation of the input parameters (especially Vos, Ios, and Noise).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

August 2000

National Semiconductor

LM833
Dual Audio Operational Amplifier

General Description

The LM833 is a dual general purpose operational amplifier designed with particular emphasis on performance in audio systems.

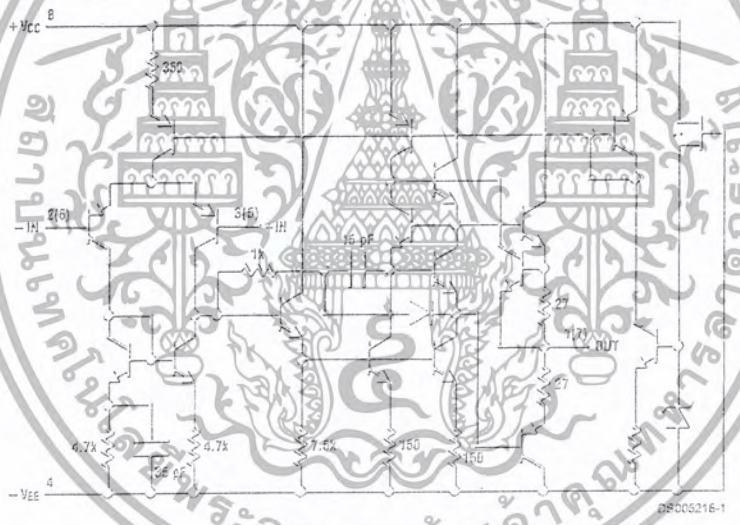
This dual amplifier IC utilizes new circuit and processing techniques to deliver low noise, high speed and wide bandwidth without increasing external components or decreasing stability. The LM833 is internally compensated for all closed loop gains and is therefore optimized for all preamp and high level stages in PCM and HiFi systems.

The LM833 is pin-for-pin compatible with industry standard dual operational amplifiers.

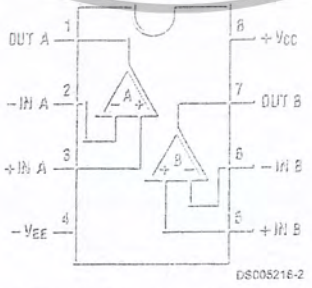
Features

⌟ Wide dynamic range:	140dB
⌟ Low input noise voltage:	4.5nV/√Hz
⌟ High slew rate:	7 V/µs (typ); 5V/µs (min)
⌟ High gain bandwidth:	15MHz (typ); 10MHz (min)
⌟ Wide power bandwidth:	120KHz
⌟ Low distortion:	0.002%
⌟ Low offset voltage:	0.3mV
⌟ Large phase margin:	60°
⌟ Available in 8 pin MSOP package	

Schematic Diagram (1/2 LM833)



Connection Diagram



Order Number LM833M, LM833MX, LM833N, LM833MM or LM833MMX
See NS Package Number
M08A, N08E or MUA08A

© 2000 National Semiconductor Corporation

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings (Note 1)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/ Distributors for availability and specifications.

Supply Voltage $V_{CC}-V_{EE}$	36V
Differential Input Voltage (Note 3) V_I	±30V
Input Voltage Range (Note 3) V_{IC}	±15V
Power Dissipation (Note 4) P_D	500 mW
Operating Temperature Range T_{OPR}	−40 ~ 85°C
Storage Temperature Range T_{STG}	−60 ~ 150°C

Soldering Information

Dual-In-Line Package Soldering (10 seconds)	260°C
Small Outline Package (SOIC and MSOP)	
Vapor Phase (60 seconds)	215°C
Infrared (15 seconds)	220°C

See AN-450 "Surface Mounting Methods and Their Effect on Product Reliability" for other methods of soldering surface mount devices.

ESD tolerance (Note 5) 1600V

DC Electrical Characteristics (Notes 1, 2)

(T_A = 25°C, V_S = ±15V)

Symbol	Parameter	Conditions	Min	Typ	Max	Units
V_{OS}	Input Offset Voltage	R_S = 10Ω		0.3	5	mV
I_{OS}	Input Offset Current			10	200	nA
I_B	Input Bias Current			500	1000	nA
A_V	Voltage Gain	R_L = 2 kΩ, V_O = ±10V	90	110		dB
V_{OM}	Output Voltage Swing	R_L = 10 kΩ	±12	±13.5		V
		R_L = 2 kΩ	±10	±13.4		V
V_{CM}	Input Common-Mode Range		±12	±14.0		V
CMRR	Common-Mode Rejection Ratio	V_{IN} = ±12V	80	100		dB
PSRR	Power Supply Rejection Ratio	V_S = 15–5V, −15–−5V	80	100		dB
I_Q	Supply Current	V_O = 0V, Both Amps		5	8	mA

AC Electrical Characteristics

(T_A = 25°C, V_S = ±15V, R_L = 2 kΩ)

Symbol	Parameter	Conditions	Min	Typ	Max	Units
SR	Slew Rate	R_L = 2 kΩ	5	7		V/μs
GBW	Gain Bandwidth Product	f = 100 kHz	10	15		MHz

Design Electrical Characteristics

(T_A = 25°C, V_S = ±15V)

The following parameters are not tested or guaranteed.

Symbol	Parameter	Conditions	Typ	Units
$\Delta V_{OS}/\Delta T$	Average Temperature Coefficient of Input Offset Voltage		2	μV/°C
THD	Distortion	R_L = 2 kΩ, f = 20–20 kHz, V_{OUT} = 3 Vrms, A_V = 1	0.002	%
e_n	Input Referred Noise Voltage	R_S = 100Ω, f = 1 kHz	4.5	$nV/\sqrt{Hz}$
i_n	Input Referred Noise Current	f = 1 kHz	0.7	$pA/\sqrt{Hz}$
PBW	Power Bandwidth	V_O = 27 V_{pp}, R_L = 2 kΩ, THD ≤ 1%	120	kHz
f_U	Unity Gain Frequency	Open Loop	9	MHz
ϕ_M	Phase Margin	Open Loop	60	deg
	Input Referred Cross Talk	f = 20–20 kHz	−120	dB

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Dual D-type flip-flop with set and reset; positive-edge trigger

74HC74; 74HCT74

FEATURES

- Wide supply voltage range from 2.0 to 6.0 V
- Symmetrical output impedance
- High noise immunity
- Low power dissipation
- Balanced propagation delays
- ESD protection:
  HBM EIA/JESD22-A114-A exceeds 2000 V
  MM EIA/JESD22-A115-A exceeds 200 V.

GENERAL DESCRIPTION

The 74HC/HCT74 is a high-speed Si-gate CMOS device and is pin compatible with low power Schottky TTL (LSTTL). They are specified in compliance with JEDEC standard no. 7A.

The 74HC/HCT74 are dual positive-edge triggered, D-type flip-flops with individual data (D) inputs, clock (CP) inputs, set ($\overline{SD}$) and reset ($\overline{RD}$) inputs; also complementary Q and $\overline{Q}$ outputs.

The set and reset are asynchronous active LOW inputs and operate independently of the clock input. Information on the data input is transferred to the Q output on the LOW-to-HIGH transition of the clock pulse. The D inputs must be stable one set-up time prior to the LOW-to-HIGH clock transition for predictable operation.

Schmitt-trigger action in the clock input makes the circuit highly tolerant to slower clock rise and fall times.

QUICK REFERENCE DATA

GND = 0 V; T_{amb} = 25 °C; $t_r = t_f$ = 6 ns

SYMBOL	PARAMETER	CONDITIONS	TYPICAL		UNIT
			HC	HCT	
t_{PHL}/t_{PLH}	propagation delay	C_L = 15 pF; V_{CC} = 5 V			
	nCP to nQ, n$\overline{Q}$		14	15	ns
	n$\overline{SD}$ to nQ, n$\overline{Q}$		15	18	ns
	n$\overline{RD}$ to nQ, n$\overline{Q}$		16	18	ns
f_{max}	maximum clock frequency		76	59	MHz
C_I	input capacitance		3.5	3.5	pF
C_{PD}	power dissipation capacitance per flip-flop	notes 1 and 2	24	29	pF

Notes

1. C_{PD} is used to determine the dynamic power dissipation (P_D in µW).
   $P_D = C_{PD} \times V_{CC}^2 \times f_i \times N + \Sigma(C_L \times V_{CC}^2 \times f_o)$ where:
   f_i = input frequency in MHz;
   f_o = output frequency in MHz;
   C_L = output load capacitance in pF;
   V_{CC} = supply voltage in Volts;
   N = total load switching outputs;
   $\Sigma(C_L \times V_{CC}^2 \times f_o)$ = sum of the outputs.
2. For 74HC74 the condition is V_I = GND to V_{CC}.
   For 74HCT74 the condition is V_I = GND to V_{CC} − 1.5 V.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PINNING

PIN	SYMBOL	DESCRIPTION
1	$1\overline{R}D$	asynchronous reset-direct input (active LOW)
2	1D	data input
3	1CP	clock input (LOW-to-HIGH, edge-triggered)
4	$1\overline{S}D$	asynchronous set-direct input (active LOW)
5	1Q	true flip-flop output
6	$1\overline{Q}$	complement flip-flop output
7	GND	ground (0 V)
8	$2\overline{Q}$	complement flip-flop output
9	2Q	true flip-flop output
10	$2\overline{S}D$	asynchronous set-direct input (active LOW)
11	2CP	clock input (LOW-to-HIGH, edge-triggered)
12	2D	data input
13	$2\overline{R}D$	asynchronous reset-direct input (active LOW)
14	V_{CC}	positive supply voltage

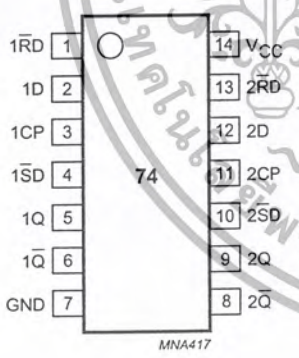
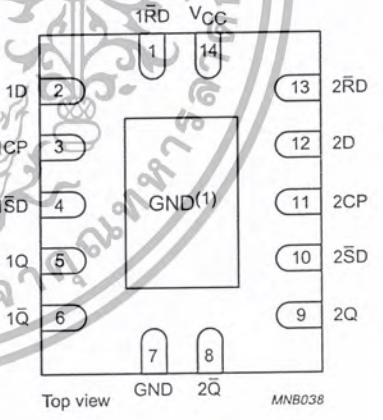


Fig.1 Pin configuration DIP14, SO14 and (T)SSOP14.



(1) The die substrate is attached to this pad using conductive die attach material. It can not be used as a supply pin or input.

Fig.2 Pin configuration DHVQFN14.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

RECOMMENDED OPERATING CONDITIONS

SYMBOL	PARAMETER	CONDITIONS	74HC74			74HCT74			UNIT
			MIN.	TYP.	MAX.	MIN.	TYP.	MAX.	
V_{CC}	supply voltage		2.0	5.0	6.0	4.5	5.0	5.5	V
V_I	input voltage		0	–	V_{CC}	0	–	V_{CC}	V
V_O	output voltage		0	–	V_{CC}	0	–	V_{CC}	V
T_{amb}	operating ambient temperature		–40	+25	+125	–40	+25	+125	°C
t_r, t_f	input rise and fall times	V_{CC} = 2.0 V	–	–	1000	–	–	500	ns
		V_{CC} = 4.5 V	–	6.0	500	–	6.0	500	ns
		V_{CC} = 6.0 V	–	–	400	–	–	500	ns

LIMITING VALUES

In accordance with the Absolute Maximum Rating System (IEC 60134); voltages are referenced to GND (ground = 0 V).

SYMBOL	PARAMETER	CONDITIONS	MIN.	MAX.	UNIT
V_{CC}	supply voltage		–0.5	+7.0	V
I_{IK}	input diode current	$V_I < -0.5$ V or $V_I > V_{CC} + 0.5$ V; note 1	–	±20	mA
I_{OK}	output diode current	$V_O < -0.5$ V or $V_O > V_{CC} + 0.5$ V; note 1	–	±20	mA
I_O	output source or sink current	-0.5 V $< V_O < V_{CC} + 0.5$ V; note 1	–	±25	mA
I_{CC}, I_{GND}	V_{CC} or GND current		–	±100	mA
T_{stg}	storage temperature		–65	+150	°C
P_{tot}	power dissipation	T_{amb} = –40 to +125 °C; note 2	–	500	mW

Notes

1. The input and output voltage ratings may be exceeded if the input and output current ratings are observed.
2. For SO14 packages: above 70 °C derate linearly with 8 mW/K.
   For SSOP14 and TSSOP14 packages: above 60 °C derate linearly with 5.5 mW/K.
   For DHVQFN14 packages: above 60 °C derate linearly with 4.5 mW/K.
   For DIP14 packages: above 70 °C derate linearly with 12 mW/K.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DC CHARACTERISTICS

Family 74HC

At recommended operating conditions; voltages are referenced to GND (ground = 0 V).

SYMBOL	PARAMETER	TEST CONDITIONS		MIN.	TYP.	MAX.	UNIT
		WAVEFORMS	V_{CC} (V)				
T_{amb} = –40 to +85 °C; note 1							
V_{IH}	HIGH-level input voltage		2.0	1.5	1.2	–	V
			4.5	3.15	2.4	–	V
			6.0	4.2	3.2	–	V
V_{IL}	LOW-level input voltage		2.0	–	0.8	0.5	V
			4.5	–	2.1	1.35	V
			6.0	–	2.8	1.8	V
V_{OH}	HIGH-level output voltage	V_I = V_{IH} or V_{IL}					
		I_O = –4.0 mA	4.5	3.84	4.32	–	V
		I_O = –5.2 mA	6.0	5.34	5.81	–	V
V_{OL}	LOW-level output voltage	V_I = V_{IH} or V_{IL}					
		I_O = 4.0 mA	4.5	–	0.15	0.33	V
		I_O = 5.2 mA	6.0	–	0.16	0.33	V
I_{LI}	input leakage current	V_I = V_{CC} or GND	6.0	–	–	±1.0	μA
I_{CC}	quiescent supply current	V_I = V_{CC} or GND; I_O = 0	6.0	–	–	40	μA
T_{amb} = –40 to +125 °C							
V_{IH}	HIGH-level input voltage		2.0	1.5	–	–	V
			4.5	3.15	–	–	V
			6.0	4.2	–	–	V
V_{IL}	LOW-level input voltage		2.0	–	–	0.5	V
			4.5	–	–	1.35	V
			6.0	–	–	1.8	V
V_{OH}	HIGH-level output voltage	V_I = V_{IH} or V_{IL}					
		I_O = –4.0 mA	4.5	3.7	–	–	V
		I_O = –5.2 mA	6.0	5.2	–	–	V
V_{OL}	LOW-level output voltage	V_I = V_{IH} or V_{IL}					
		I_O = 4.0 mA	4.5	–	–	0.4	V
		I_O = 5.2 mA	6.0	–	–	0.4	V
I_{LI}	input leakage current	V_I = V_{CC} or GND	6.0	–	–	±1.0	μA
I_{CC}	quiescent supply current	V_I = V_{CC} or GND; I_O = 0	6.0	–	–	80	μA

Note

1. All typical values are measured at T_{amb} = 25 °C.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Family 74HCT

At recommended operating conditions; voltages are referenced to GND (ground = 0 V).

SYMBOL	PARAMETER	TEST CONDITIONS		MIN.	TYP.	MAX.	UNIT
		WAVEFORMS	V_{CC} (V)				
T_{amb} = –40 to +85 °C; note 1							
V_{IH}	HIGH-level input voltage		4.5 to 5.5	2.0	1.6	–	V
V_{IL}	LOW-level input voltage		4.5 to 5.5	–	1.2	0.8	V
V_{OH}	HIGH-level output voltage	V_I = V_{IH} or V_{IL}; I_O = –4.0 mA	4.5	3.84	4.32	–	V
V_{OL}	LOW-level output voltage	V_I = V_{IH} or V_{IL}; I_O = 4.0 mA	4.5	0.33	0.15	–	V
I_{LI}	input leakage current	V_I = V_{CC} or GND	5.5	–	–	±1.0	µA
I_{CC}	quiescent supply current	V_I = V_{CC} or GND; I_O = 0	5.5	–	–	40	µA
ΔI_{CC}	additional quiescent supply current per input	V_I = V_{CC} –2.1 V other inputs at V_{CC} or GND; I_O = 0	4.5 to 5.5	–	100	450	µA
T_{amb} = –40 to +125 °C							
V_{IH}	HIGH-level input voltage		4.5 to 5.5	2.0	–	–	V
V_{IL}	LOW-level input voltage		4.5 to 5.5	–	–	0.8	V
V_{OH}	HIGH-level output voltage	V_I = V_{IH} or V_{IL}; I_O = –4.0 mA	4.5	3.7	–	–	V
V_{OL}	LOW-level output voltage	V_I = V_{IH} or V_{IL}; I_O = 4.0 mA	4.5	–	–	0.4	V
I_{LI}	input leakage current	V_I = V_{CC} or GND	5.5	–	–	±1.0	µA
I_{CC}	quiescent supply current	V_I = V_{CC} or GND; I_O = 0	5.5	–	–	80	µA
ΔI_{CC}	additional quiescent supply current per input	V_I = V_{CC} –2.1 V other inputs at V_{CC} or GND; I_O = 0	4.5 to 5.5	–	–	490	µA

Note

1. All typical values are measured at T_{amb} = 25 °C.

Remark to HCT types

The value of additional quiescent supply current (ΔI_{CC}) for a unit load of 1 is given here. To determine ΔI_{CC} per input, multiply this value by the unit load coefficient shown in the table.

INPUT	UNIT LOAD COEFFICIENT
nD	0.70
n$\overline{RD}$	0.70
n$\overline{SD}$	0.80
nCP	0.80

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC CHARACTERISTICS

Family 74HC

GND = 0 V; $t_r = t_f$ = 6 ns; C_L = 50 pF.

SYMBOL	PARAMETER	TEST CONDITIONS		MIN.	TYP.	MAX.	UNIT
		WAVEFORMS	V_{CC} (V)				
T_{amb} = –40 to +85 °C							
t_{PHL}/t_{PLH}	propagation delay nCP to nQ, n$\overline{Q}$	see Fig.7	2.0	–	47	220	ns
			4.5	–	17	44	ns
			6.0	–	14	37	ns
	propagation delay n$\overline{SD}$ to nQ, n$\overline{Q}$	see Fig.8	2.0	–	50	250	ns
			4.5	–	18	50	ns
			6.0	–	14	43	ns
	propagation delay n$\overline{RD}$ to nQ, n$\overline{Q}$	see Fig.8	2.0	–	52	250	ns
			4.5	–	19	50	ns
			6.0	–	15	43	ns
t_{THL}/t_{TLH}	output transition time	see Fig.7	2.0	–	19	95	ns
			4.5	–	7	19	ns
			6.0	–	6	16	ns
t_W	clock pulse width HIGH or LOW	see Fig.7	2.0	100	19	–	ns
			4.5	20	7	–	ns
			6.0	17	6	–	ns
	set or reset pulse width LOW	see Fig.8	2.0	100	19	–	ns
			4.5	20	7	–	ns
			6.0	17	6	–	ns
t_{rem}	removal time set or reset	see Fig.8	2.0	40	3	–	ns
			4.5	8	1	–	ns
			6.0	7	1	–	ns
t_{su}	set-up time nD to nCP	see Fig.7	2.0	75	6	–	ns
			4.5	15	2	–	ns
			6.0	13	2	–	ns
t_h	hold time nCP to nD	see Fig.7	2.0	3	–6	–	ns
			4.5	3	–2	–	ns
			6.0	3	–2	–	ns
f_{max}	maximum clock pulse frequency	see Fig.7	2.0	4.8	23	–	MHz
			4.5	24	69	–	MHz
			6.0	28	82	–	MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Family 74HCT

GND = 0 V; $t_r = t_f$ = 6 ns; C_L = 50 pF.

SYMBOL	PARAMETER	TEST CONDITIONS		MIN.	TYP.	MAX.	UNIT
		WAVEFORMS	V_{CC} (V)				
T_{amb} = −40 to +85 °C							
t_{PHL}/t_{PLH}	propagation delay nCP to nQ, n$\overline{Q}$	see Fig.7	4.5	–	18	44	ns
	propagation delay n$\overline{SD}$ to nQ, n$\overline{Q}$	see Fig.8	4.5	–	23	50	ns
	propagation delay n$\overline{RD}$ to nQ, n$\overline{Q}$	see Fig.8	4.5	–	24	50	ns
t_{THL}/t_{TLH}	output transition time	see Fig.7	4.5	–	7	19	ns
t_W	clock pulse width HIGH or LOW	see Fig.7	4.5	23	9	–	ns
	set or reset pulse width LOW	see Fig.8	4.5	20	9	–	ns
t_{rem}	removal time set or reset	see Fig.8	4.5	8	1	–	ns
t_{su}	set-up time nD to nCP	see Fig.7	4.5	15	5	–	ns
t_h	hold time nCP to nD	see Fig.7	4.5	+3	−3	–	ns
f_{max}	maximum clock pulse frequency	see Fig.7	4.5	22	54	–	MHz
T_{amb} = −40 to +125 °C							
t_{PHL}/t_{PLH}	propagation delay nCP to nQ, n$\overline{Q}$	see Fig.7	4.5	–	–	53	ns
	propagation delay n$\overline{SD}$ to nQ, n$\overline{Q}$	see Fig.8	4.5	–	–	60	ns
	propagation delay n$\overline{RD}$ to nQ, n$\overline{Q}$	see Fig.8	4.5	–	–	60	ns
t_{THL}/t_{TLH}	output transition time	see Fig.7	4.5	–	–	22	ns
t_W	clock pulse width HIGH or LOW	see Fig.7	4.5	27	–	–	ns
	set or reset pulse width LOW	see Fig.8	4.5	24	–	–	ns
t_{rem}	removal time set or reset	see Fig.8	4.5	9	–	–	ns
t_{su}	set-up time nD to nCP	see Fig.7	4.5	18	–	–	ns
t_h	hold time nCP to nD	see Fig.7	4.5	3	–	–	ns
f_{max}	maximum clock pulse frequency	see Fig.7	4.5	18	–	–	MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

HIGH EFFICIENCY POWER FACTOR CORRECTION USING INTERLEAVING TECHNIQUES

BRETT A. MIWA DAVID M. OTTEN MARTIN F. SCHLECHT

Laboratory for Electromagnetic and Electronic Systems
Massachusetts Institute of Technology

ABSTRACT — A highly efficient 1.5 kW power factor correction converter for computer applications is presented. Eight boost-topology switching cells are interleaved to meet stringent EMI input ripple specifications while operating at a very low switching frequency (25 kHz per cell) to minimize switching losses. The result is a system with very high conversion efficiency (94%–97%, including input bridge, bias supply, and EMI filter losses) over the 93 to 264 VAC input range. Key implementation details, including discontinous inductor current operation, a combination of linear and bang-bang control algorithms for fast dynamic load response, and extended (100 ms) power outage ridethrough capability, are described.

I. INTRODUCTION

This paper describes a 1.5 kW power factor correcting AC-DC converter for office environment computer applications. Eight boost-topology switching cells are operated in the discontinuous conduction mode (DCM) to eliminate diode reverse recovery losses and are switched at a low frequency (25 kHz per cell) to achieve very high conversion efficiency (94%–97%, including input bridge, bias supply, and EMI filter losses). A combination of linear and bang-bang control algorithms permits fast dynamic response to load changes with minimal transient output voltage excursion.

Additional converter characteristics include a universal 93 to 264 VAC input voltage range, 100 ms power outage ridethrough capability, and IEC 555-2 Class A input current conformance. The overall converter is designed to meet VDE 0871-B conducted emissions standards and UL safety isolation requirements and to exhibit stability under constant power loading. The PFC converter achieves a power conversion density (including heatsink, energy storage, and EMI filter) of more than 5 W/in^3 with minimal external cooling.

A. *Brief Review of PFC Techniques*

Converters for so-called "universal input" PFC applications are designed to accept the full range of Japanese, North American, and European utility voltages over low- to high-line conditions, a voltage range spanning approximately 93 to 264 VAC. This 3:1 range, which together with the crest factor (1.4) of a sinusoidal input waveform requires at least a six times over-rating of the active device *VA* product compared to the converter input power, severely limits the number of high power (1–3 kW) universal input PFC options. Boost-derived converter topologies become the preferred choice, due to their reduced voltage stresses compared to buck-boost or flyback topologies.

A typical universal-input boost-topology PFC front end in the 1.5 kW range that satisfies both IEC 555-2 line harmonic and VDE 0871B conducted EMI emissions standards exhibits <90% conversion efficiency at low-line and ~10 W/in^3 conversion density with 0–20 ms hold-up energy storage. Further performance improvements in power density and efficiency are difficult, due to several well-understood interactions.

First, the input bridge rectifier of a 1.5 kW PFC converter is responsible for nearly 30 W, or two percentage points in efficiency, at low line (93 VAC). Second, the relatively large peak high-line input voltage (373 V) requires a large boost converter output voltage, typically 385–390 V, and hence a 500–600 V bipolar switching diode. The reverse recovery energy of this diode, combined with the transistor's switching loss and gate drive energies, sets an upper bound on the boost converter's efficiency for a given switching frequency. The switching frequency in turn sets the minimum inductor energy storage necessary for compliance with EMI standards. While numerous tradeoffs are possible, overall improvements are minimal due to technology limitations such as magnetic material hysteresis and the *RC* product of modern MOSFET devices.

B. *Contributions of this Paper*

Converter operation in the discontinuous conduction mode (DCM) permits significant increases in converter efficiency by eliminating the losses associated with the bipolar diode's reverse recovery. This approach is generally avoided in high power applications due to the large associated ripple of the input current and the resultant EMI filtration requirements. It will be shown here that such problems can be overcome by using multiple boost-

0-7803-0485-3 92 $3.00 © 1992 IEEE

I

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

topology switching cells in an interleaved configuration to cancel the ripple. Losses in the resultant PFC converter are reduced by a factor of two over comparable continuous conduction mode (CCM) solutions, while power conversion density and waveform quality are preserved.

This paper also addresses control and system architecture issues related to interleaved conversion and power factor correction which are of particular concern to design engineers. It is demonstrated that one benefit of DCM interleaving lies in simplified control implementation of the high-speed inner (current control) feedback loop. In addition, a practical method for rapidly responding to load current transients is implemented and the results are reported.

Tight regulation of the PFC stage output voltage in turn permits a two-stage cascaded converter architecture wherein an open-loop step-down isolation stage is highly optimized for maximum conversion efficiency. This architecture and its benefits are described in detail. Complementing this architecture, a method for more efficiently reclaiming energy stored for system hold-up during line power outages is demonstrated.

II. INTERLEAVED CONVERSION

Interleaved power conversion refers to the strategic interconnection of multiple switching cells for which the conversion frequency is identical, but for which the internal switching instants are sequentially phased over equal fractions of a switching period. This arrangement lowers the net ripple amplitude and raises the effective ripple frequency of the overall converter without increasing switching losses or device stresses. An interleaved system can therefore realize a savings in filtration and energy storage requirements, resulting in greatly improved power conversion densities without sacrificing efficiency.

A. Basic Concept

The benefits of interleaving can be understood intuitively using a simple graphical analysis. Consider the dual converter configuration shown in Fig. 1 consisting of two boost switching cells connected in parallel. Such a system might be constructed in high power applications where the device ratings were a limiting factor, with paralleling occurring at the device level.

For simultaneous synchronous operation (wherein the commutation instances of the two controlled switches are identical), the circuit performance is equivalent to a single boost converter with equal total energy storage and equal total semiconductor die area. The inductor and diode ripple current waveforms that result are shown in Fig. 2 as solid lines.

If these same converter cells are interleaved, such that the commutation instances of the second switch are delayed relative to those of the first switch by half a switching period, the resultant ripple waveforms are

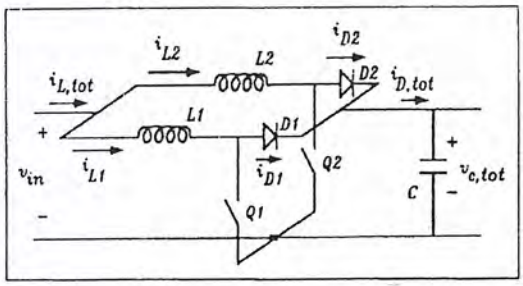


Figure 1: Parallel-Interleaving Two Boost-Topology Switching Cells

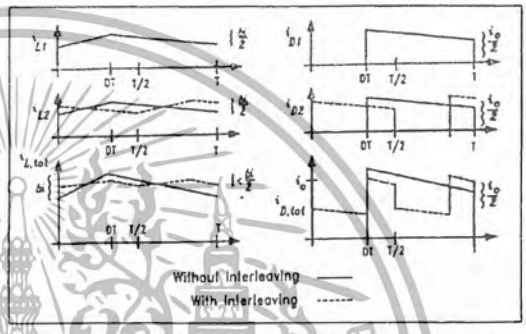


Figure 2: Dual Boost Converter Ripple Waveforms

those shown as dashed lines in Fig. 2. Compared to the non-interleaved case with equal energy storage, the interleaved ripple waveforms have smaller amplitudes and increased frequencies, reducing the filtration requirements. While several underlying assumptions have been made for this illustration, the results are a fair representation of the value of interleaving. Furthermore, the concept extends directly to configurations of more than two cells and to other converter topologies.

B. Previous Work

The concept of interleaving several switching cells is not new, and was originally used as a method for overcoming the limitations of ordinary power conversion techniques and device technologies [1]. Recognition of the general merits of interleaved conversion has prompted a diverse variety of subsequent investigations, as reflected in the literature. A representative sampling of this work would include: a two-cell forward converter system for avionic applications [2]; a four-cell boost converter system for active PFC [3]; a four-cell 600 W flyback converter system [4]; an eight-cell 5 HP forward converter motor controller for space applications [5]; and two generalized series-resonant converter analyses [6, 7].

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

The previous citations incorporate a wide range of terminology to describe the phenomenon of interleaved power conversion. Several authors adopted either **multiphase conversion** [6, 5] or **staggered phase conversion** [5, 7]; both expressions originated in [1], where they were used interchangeably. However, a number of additional expressions have been coined, including **interdigitating and polyphase chopping** [3], **interleaving, staggered clock timing** [8], **ripple current cancellation** [2], and **phase-shifted parallel** [4] and **phased-synchronous conversion**. For clarity and consistency, the term **interleaving** has been used throughout this paper and also to reference other sources where the original terminology may have been different.

C. *Analysis Techniques*

The introductory illustration of interleaving offered in Section II.A is insufficient as a tool for circuit design. Among the previously mentioned implementations of interleaved conversion, three authors [3, 6, 7] employed some method for quantifying the expected amount of ripple reduction. In [6], the straight-forward approach of simulation was used. The ripple waveform of a single converter was first determined from analytical equations. A set of such waveforms, shifted in time by the appropriate amount, were then superimposed. The peak-to-peak input and output ripple amplitudes were extracted from this waveform and tabulated for N, the number of interleaved cells, ranging from one to ten. One significant shortcoming of this approach is the lack of methodology for selecting an operating point for worst-case design purposes.

An alternative analysis method is to superimpose the harmonic amplitudes in the frequency domain after first determining the Fourier coefficients of the ripple waveforms. This technique can be used to reconstruct the peak-to-peak ripple amplitudes or to predict the amplitudes of individual harmonics. Reference [7] used this method to study the series-resonant converter operating in both the continuous and discontinuous conduction modes. One interesting theoretical result of this work was a demonstration that the optimal inter-cell phase angle is not necessarily $2\pi/N$.

This result can be illustrated by constructing an example. Consider a case where the ripple spectrum is dominated by even harmonics of the switching frequency fundamental. Interleaving two cells with the standard 180° phase shift cancels the weaker odd harmonics while doubling the evens (in the non-interleaved case, all harmonics are doubled). The resultant harmonic composition is equivalent to that produced by simultaneous synchronous operation of a multi-cell system with a sub-harmonic mismatch between cells. In contrast, a 90° phase shift between cells doubles only every fourth harmonic (fourth, eighth, twelveth, etc.), while eliminating the second, sixth, tenth, etc. harmonics and while increasing the odd harmonics by only root two. For commonly encountered ripple waveforms with monotonically decreasing ripple amplitude envelopes, however, such an effect is avoided and the optimal inter-cell phase angle remains $2\pi/N$.

The author of reference [3] performed a similar frequency domain harmonic analysis on a PFC converter using the boost topology. Unfortunately, several valid but non-general simplifications were used which limit the results of that discussion. For example, only CCM operation was considered, and effects of inductor scaling with N were implicitly included in the calculations.

In response to these observations, a generalized analysis precedure for quantifying the net ripple produced by interleaved converter cells has been proposed [15]. The procedure consists of deriving three factors which when multiplied together describe the net interleaved ripple amplitude. A brief description of this approach will be given here, followed by results for the boost converter input ripple.

The first of the three factors expresses the net ripple produced by interleaving N cells in terms of the amplitude of a single cell's ripple, and will be referred to as the "normalized interleaving function," $\mathcal{F}_I$. The magnitude of this interleaving function varies with the waveform type (square, triangular, etc.), the duty ratio, the number of interleaved cells, and the amount of phase shift between cells. The function can be calculated numerically using frequency domain techniques, although in many cases, particularly when square-wave switching is involved, geometric derivations require fewer operations. Once the interleaving function for a given waveform type is known, it need not be recalculated for circuit parameter changes unless such changes result in a new waveform type.

The interleaving function is normalized to the amplitude of a single cell's ripple because the latter amplitude changes as a function of operating point (duty ratio). A second factor, referred to as the "amplitude modulation function," $\mathcal{F}_{AM}$, accounts for these variations. It expresses the ripple amplitude of a single cell in terms of the duty ratio and the circuit elements. The amplitude modulation function can in turn be normalized to the the circuit element values, resulting in a function which, like the interleaving function, is unaffected by circuit element adjustments.

The net ripple of the interleaved system is given by the product of these two normalized functions times a "circuit element factor," $\mathcal{F}_{CE}$. This scaling factor accounts for the effects of circuit element values and conversion frequency selection, as well as for changes in load. It can also be made to reflect the inverse relationship between the number of cells and the power per cell, for a constant load power. With these three factors, the reduction in ripple afforded by interleaving can be computed.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

D. Analysis Results

The above analysis procedure for quantifying the net ripple after interleaving made it possible to design the PFC converter for conformance with conducted EMI regulations. The results of this analysis, as applied to the boost converter input current, are summarized below. Both the CCM and DCM cases are considered in order to permit comparisons.

The normalized interleaving function for the CCM boost converter input current, $\mathcal{F}_I^{CCM}$, is shown in Fig. 3 for various numbers of cells N ranging from two to eight. The significant result illustrated by this function is that the amplitude of the composite ripple never exceeds that of a single constituent cell, regardless of N. Further characteristics of the interleaving function can be described as follows.

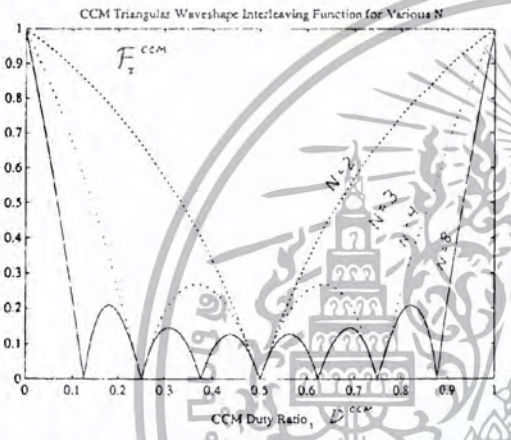


Figure 3: Normalized Interleaving Function, $\mathcal{F}_I^{CCM}$, for the CCM Triangular Waveshape (various N).

For triangular ripple waveforms with significant asymmetry ($\mathcal{D}^{CCM} \sim 0$ or $\mathcal{D}^{CCM} \sim 1$), the reduction in ripple amplitude due to interleaving is minimal. For highly symmetric triangular ripple ($\mathcal{D}^{CCM} \sim 0.5$), the reduction is large. For certain combinations of N and waveshape (e.g. N=3 and $\mathcal{D}^{CCM}$ =0.333 or 0.667), the cancellation is total. The greater the number of interleaved ripple sources, the larger the range of duty ratios experiencing near-total ripple cancellation and the larger the number of operating points yielding complete cancellation.

The corresponding graph for $\mathcal{F}_I^{DCM}$, the DCM interleaving function, is shown in Fig. 4 as a function of the duty ratios $\mathcal{D}_L^{DCM}$ and $\mathcal{D}_Q^{DCM}/\mathcal{D}_L^{DCM}$. The duty ratio $\mathcal{D}_Q^{DCM}$ corresponds to the on-time of the switch, while the duty ratio $\mathcal{D}_L^{DCM}$ is the fraction of the switching period during which the inductor current is non-zero. Because the ripple amplitude in this case is a function of two variables, the resultant interleaving function is three-dimensional. For clarity, only the single example N=3 is presented. Again, the significant result is that under no condition is the net ripple sum greater than the amplitude of a single contributing source.

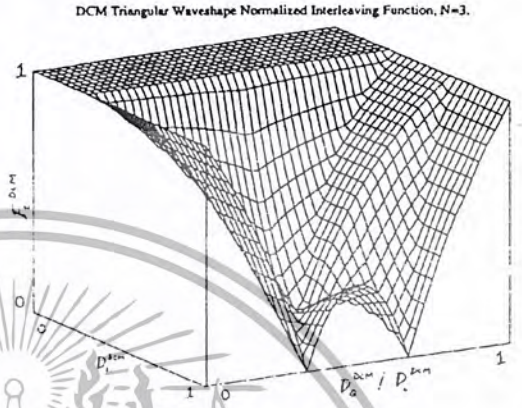


Figure 4: Normalized Interleaving Function, $\mathcal{F}_I^{DCM}$, for the DCM Triangular Waveshape (N=3).

As with the CCM case, additional characteristics of the DCM interleaving function $\mathcal{F}_I^{DCM}$ can be identified. For small inductor duty ratios ($\mathcal{D}_L^{DCM} < 1/N$) where the ripple waveforms from interleaved cells do not overlap, no ripple cancellation occurs. As the overlap grows, the ripple cancellation increases, reaching a point (at the boundary between DCM and CCM operation, when $\mathcal{D}_L^{DCM} = 1$) where the cancellation versus $\mathcal{D}_Q^{DCM}$ is identical to the CCM case.

Having determined the relationship between the amplitude of a single ripple source and the result of interleaving N such sources, the amplitude variation of this single source is now considered. The amplitude modulation function for the input current of the kth boost topology switching cell is expressed by

$$\Delta I_k^{CCM} = \frac{V_{BUS}}{L_k f_{sw}} \mathcal{D}^{CCM}(1 - \mathcal{D}^{CCM}) \qquad (1)$$

This can be normalized by dividing by

$$\frac{V_{BUS}}{4 L_k f_{sw}} \qquad (2)$$

and results in the function $\mathcal{F}_{AM}^{CCM}$ graphed in Fig. 5. The important characteristic of this function is that for duty ratio extremes ($\mathcal{D}^{CCM} \sim 0$ or $\mathcal{D}^{CCM} \sim 1$), the ripple amplitude approaches zero, while for duty ratios near 0.5, the ripple is its largest.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

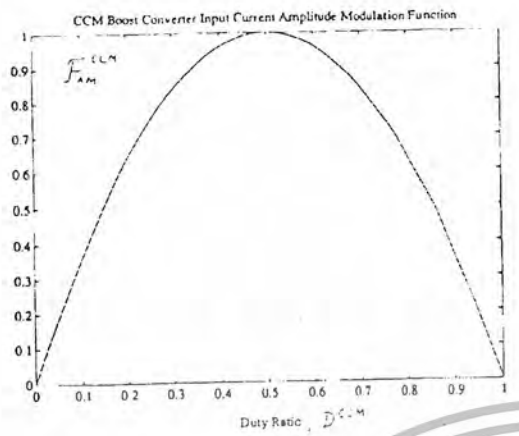


Figure 5: Input Current Ripple Amplitude Modulation Function, $\mathcal{F}_{AM}^{CCM}$, for the CCM Boost Topology

The corresponding function for the DCM case is expressed by

$$\Delta I_k^{DCM} = \frac{V_{BUS}}{L_k f_{sw}} \left(1 - \frac{\mathcal{D}_Q^{DCM}}{\mathcal{D}_L^{DCM}}\right) \frac{\mathcal{D}_Q^{DCM}}{\mathcal{D}_L^{DCM}} \mathcal{D}_L^{DCM} \quad (3)$$

This can also be normalized using the relationship given in (2). The resultant amplitude modulation function $\mathcal{F}_{AM}^{DCM}$ is graphed in Fig. 6. The function has a maximum normalized magnitude of unity at the operating point $\{\mathcal{D}_Q^{DCM}/\mathcal{D}_L^{DCM} = 0.5, \mathcal{D}_L^{DCM} = 1\}$.

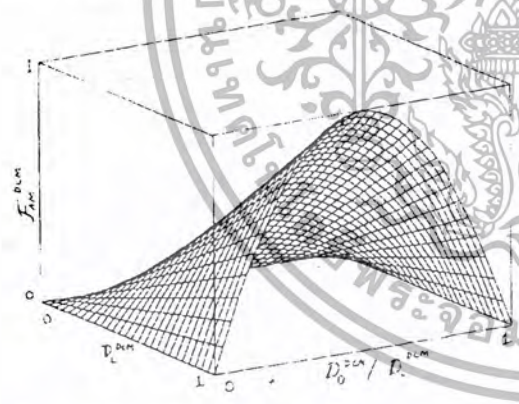


Figure 6: Input Current Ripple Amplitude Modulation Function, $\mathcal{F}_{AM}^{DCM}$, for the DCM Boost Topology

Up to this point, the effect of N on the total power delivered by the system has not been considered. For a constant system power rating, the power (and hence average current) per cell is inversely proportional to N. This scaling also affects the ripple amplitude.

To permit comparisons between CCM designs with differing numbers of cells, it is useful to hold the total inductor energy storage capacity constant. Due to the dependence of inductive energy storage upon the square of the current, this results in a per-cell inductance L_k^{CCM} which *increases* in proportion to N, as shown by

$$\frac{1}{2} L_o (I_p)^2 = N \left[\frac{1}{2} L_k^{CCM} \left(\frac{I_p}{N}\right)^2\right] \quad (4)$$

This expression reduces to

$$L_k^{CCM} = N L_o \quad (5)$$

for the kth inductor in the CCM case. Substituting this into (2) results in the circuit element factor

$$\mathcal{F}_{CE}^{CCM} = \frac{V_{BUS}}{4 N L_o f_{sw}} \quad (6)$$

which indicates that, for constant energy storage, the per-cell ripple amplitude decreases in proportion to the number of interleaved cells.

A similar argument applies to the DCM case and results in the circuit element factor

$$\mathcal{F}_{CE}^{DCM} = \frac{V_{BUS}}{4 N L_o f_{sw}} \quad (7)$$

for DCM operation. This outcome is intuitively satisfying: the average DCM ripple current is proportional to the peak current; dividing the average current among N cells should therefore result in a reduction in the per-cell ripple by N, as well.

The above interleaving and amplitude modulation functions can be combined with the circuit element factor to yield the net ripple amplitude ΔI_{net} as a function of the duty ratio(s). These expressions

$$\Delta I_{net}^{CCM}(\mathcal{D}^{CCM}) = \mathcal{F}_I^{CCM} \mathcal{F}_{AM}^{CCM} \mathcal{F}_{CE}^{CCM} \quad (8)$$

$$\Delta I_{net}^{DCM}(\mathcal{D}_Q^{DCM}, \mathcal{D}_L^{DCM}) = \mathcal{F}_I^{DCM} \mathcal{F}_{AM}^{DCM} \mathcal{F}_{CE}^{DCM} \quad (9)$$

are shown in Figs. 7–8, normalized by (2), for the CCM and DCM cases with $N = 8$ and $N = 3$, respectively.

The interleaving function $\mathcal{F}_I^{CCM}$ for N=8 and the amplitude modulation function $\mathcal{F}_{AM}^{CCM}$ are also shown in Fig. 7 for the CCM case. While each of these original functions range between zero and unity, their product ranges only up to $1/N$. The circuit element factor introduces a second $1/N$ term due to inductor scaling, resulting in a net ripple whose maximum amplitude decreases as $1/N^2$.

A similar effect occurs in the DCM case. The product of the interleaving and amplitude modulation functions

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

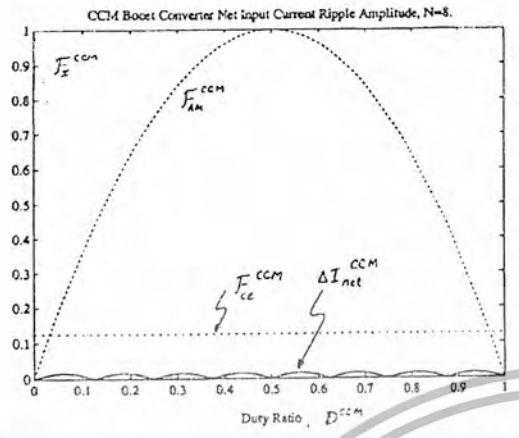


Figure 7: Input Current Net Ripple Amplitude, ΔI_{net}^{CCM}, for the CCM Boost Topology

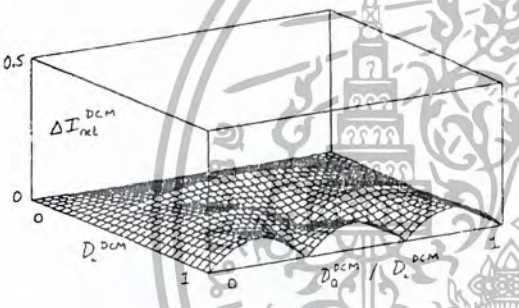


Figure 8: Input Current Net Ripple Amplitude, ΔI_{net}^{DCM}, for the DCM Boost Topology

results in a surface whose peak amplitudes have magnitude $1/N$. Combined with the circuit element factor, this again results in a net ripple with maximum amplitudes that are reduced by $1/N^2$ compared to the single-cell peak amplitude.

In summary, this section has shown how to quantify the input ripple amplitude which results when an arbitrary number of boost converters are paralleled. Under constant energy storage conditions, there is a reduction in per-cell ripple amplitude proportional to N. Because the net interleaved ripple never exceeds the amplitude of a single cell's ripple, this results in an interleaved ripple amplitude reduction of at least N times. In addition, because the maximum reduction from the interleaving function occurs over the duty ratio range when the ripple is largest, the worst-case interleaved ripple amplitude is reduced from the worst-case non-interleaved ripple amplitude by a further factor of N, for a total N^2 reduction in worst-case ripple amplitude.

E. *Tradeoffs Offered by Interleaving*

In addition to reducing the net ripple amplitude of multiple converter cells, interleaving can also offer the benefit of increased design flexibility. This is important in cases where the ripple may already be small, such that further reductions are of limited benefit. In such cases, a different set of tradeoffs can be made. For example, it becomes possible to reduce the switching frequency by a factor of N (to increase conversion efficiency) and to reduce the inductance per cell by a factor of N (to reduce converter size). The resulting system will have a per-cell ripple N^2 times larger than a single-cell converter, but the net interleaved ripple will remain unchanged. In this manner, interleaving can be used to increase conversion efficiency and power conversion density as well as to reduce ripple amplitude.

In many cases, a moderate reduction in ripple amplitude might be combined with a sizeable reduction in inductance and a slightly lower switching frequency in a balanced set of tradeoffs. To illustrate this process, consider as an example the present problem of designing a 1.5 kW PFC converter with very high efficiency. The design process begins with an estimated power dissipation budget to satisfy the 94–95% worst-case conversion efficiency design specification. A rough itemization of the power dissipation per converter component is shown in Table 1.

COMPONENT	% LOSS	POWER
input bridge	2%	32 W
MOSFETs	1%	16 W
diodes	1%	16 W
inductors	1%	16 W
control & drive	0.5%	8 W
TOTAL	5.5%	88 W

Table 1: Preliminary Power Dissipation Budget

With a 93 VAC low line, the peak amplitude of the sinusoidal input current is over 24 A. For a balanced split between conduction and switching losses (8 W each), six Hex-6 or eight Hex-5 500 V parallel MOSFETs operating below 50 kHz would be required. Even at this frequency, the combined diode dissipations (assuming CCM operation) due to forward drop plus reverse recovery exceed the budgeted 16 W. A standard single-cell boost converter would require a 25 A inductor, capable of maintaining CCM operation with a 390 V bus when switching at 50 kHz, that dissipates only 16 W. With a necessary

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

inductance of ~5 mH, this 1.5 J of magnetic energy storage would not readily fit into the allotted system volume.

Although the above dissipation budget serves only as a starting point, it illustrates the difficult nature of the efficiency specification. While more die area could be added to reduce conduction losses, switching losses would increase as a result, and the switching frequency lower limit of 20 kHz is essentially unbreachable. Similarly, the already difficult inductor design gets worse with decreasing frequency, while diode reverse recovery losses discourage any significant frequency increase.

Interleaved conversion is the ideal technique for addressing this problem. It permits a significant reduction in the magnetic energy storage requirements necessary to achieve a fixed net input ripple. Alternatively, a portion of this savings can be used to reduce the switching frequency, thereby increasing the conversion efficiency. Because the design already calls for multiple switches and fast-recovery diodes, the number of additional power components is limited to the magnetics. In practice, however, a single 1.5 kW inductor might also be constructed with multiple cores to simplify manufacturing and thermal management and to reduce the converter's profile. Thus, the penalty for interleaving can be minimal, while the benefits are significant.

One consideration which has been ignored so far is the selection between the CCM and DCM operating modes. The argument which resulted in the selection of DCM operation for this application is as follows. First, it is desirable to operate with significant inductor ripple when the number of converters is large to take full advantage of the effects of interleaving. Unfortunately, as the number of cells increases, the average per-cell current decreases, even though the allowable (from a net system ripple viewpoint) per-cell ripple grows. For only a moderate (N=4) number of cells, it becomes difficult to reduce the energy storage and still maintain CCM operation. Furthermore, operating in heavy-ripple CCM mode results in significant core losses in the magnetics (if powdered iron is used) or very large gapped ferrite cores. These reasons, combined with the elimination of diode reverse recovery losses and the simplification of achieving current sharing between cells (to be discussed later), make DCM the preferred choice in this case.

F. PFC Converter Design Optimization Process

While the preceding analysis of interleaving has provided a tool for improving the performance of conventional PFC converters, it significantly complicates the design process. An optimization method was therefore developed to aid in the evaluation of various design options [15]. The interleaving analysis functions were combined with equations describing the losses that occur in PFC boost converters. Losses due to conduction, switching, diode reverse recovery, core hysteresis, and other parasitics were expressed as a function of the device parameters, the converter operating point, and the number of interleaved cells. Simultaneously, quantitative expressions for the net interleaved ripple were compared to the VDE0871B conducted EMI specifications to size the EMI filter elements.

This information was used to develop a computer anaylsis program, written in MATLAB, which performs a magnetics design optimization and solves for the worst-case conversion efficiency. This program enables a detailed examination of the converter losses as a function of N, the number of switching cells. The "optimal" switching frequency for each design was determined, based upon conversion efficiency criteria. A comparison was also made between the continuous and discontinuous conduction operating modes. The results of this study were used to establish a final design for the power train, and are summarized here.

Several designs with six Hex-6 or eight Hex-5 MOSFETs were found to have similar performance; the Hex-5 designs were preferred due to the roughly 4:1 cost savings (per device). It was calculated that eight interleaved DCM cells would meet the conducted EMI regulations without adding significant input capacitance (which would compromise power factor) or EMI filtration (which would increase size); the corresponding number for CCM operation was four cells (with two MOSFETs per cell), but the inductors were physically much larger. The DCM operating mode was found to be superior in terms of conversion efficiency, due mainly to the elimination of diode reverse recovery and reduced inductor energy storage. A switching frequency of 25 kHz yielded the highest worst-case conversion efficiency for the selected components and operating mode. The projected worst-case conversion efficiency was 94.3%, with the dissipation breakdown given in Table 2.

COMPONENT	MECHANISM	POWER	% LOSS
input bridge	conduction	29 W	1.8 %
MOSFETs	total	22 W	1.4 %
	conduction	11 W	
	switching	7 W	
	output cap	4 W	
diodes	conduction	6 W	0.4 %
inductors	total	24 W	1.5 %
	conduction	19 W	
	core	5 W	
control		5 W	0.3 %
EMI filter		5 W	0.3 %
TOTAL		91 W	5.7 %

Table 2: Estimated Worst-Case Power Dissipation Breakdown For Eight Interleaved DCM Boost Cells (V_{in} = 93 VAC, P_{out} = 1.5 kW)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

III. PFC CONTROL ISSUES

The control of active power factor correction circuits incorporating the standard boost topology has been described at length in the literature [9, 10, 11, 12]. A simplified block diagram depicting the PFC converter control system is shown in Fig. 9. It consists of five major sections: 1) a sine wave current reference generator with feedforward line voltage compensation; 2) an inner-loop current error amplifier; 3) an eight-unit interleaved PWM generator; 4) an outer-loop voltage error amplifier; and 5) a bang-bang controller. The first four sections are described briefly below; the bang-bang control is described in detail.

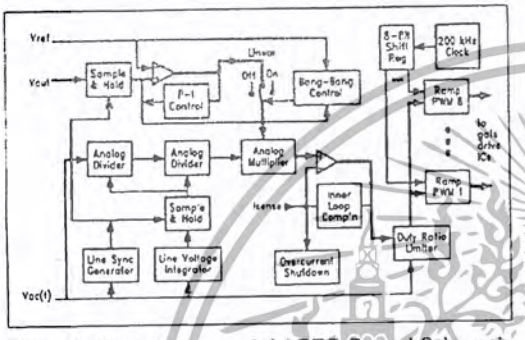


Figure 9: Block Diagram of the PFC Control Schematic

A. *Sine Wave Reference Generator*

The current waveform reference is derived from the sinusoidal input voltage in the standard manner. However, the average input voltage is extracted using line-locked, sampled integration, which results in a faster response time than typical low-pass filter averaging approaches. This is particularly important during line transients, when a sudden input voltage surge might otherwise result in excessive input current or outer-loop instability.

B. *Inner-Loop Error Amplifier*

For all multi-module conversion schemes it is necessary to insure that the individual interleaved switching cells share the load current equally. This is particularly straightforward in the case of DCM inductor operation because the reset interval between cycles insures that any minor mismatch errors between inductor currents do not accumulate. Design and compensation of the inner loop is then reduced to the standard DCM boost converter, which lacks the problematic right half-plane singularity of its CCM counterpart. Inner-loop compensation is further simplified by the use of a single current sense mechanism common to all eight cells which provides a net current measurement with greatly reduced ripple amplitude and thereby facilitates average current-mode control.

C. *Interleaved PWM Generator*

The generation of the eight interleaved duty ratio commands is accomplished using eight PWM units which are controlled by an eight-bit shift register. This register sequentially resets each PWM ramp and corresponding output latch, resulting in a phase delay between PWM signals of $2\pi/8$. Each PWM generator contains a transistor current source charging a timing capacitor, a comparator, and a reset switch.

D. *Outer-Loop Error Amplifier*

The outer voltage loop consists of an error amplifier with proportional-integral (P-I) compensation and a low frequency (20 Hz) crossover point. The excursion of this amplifier is limited (by zener clamps) to the maximum output power range. In addition, the output voltage is obtained through a line-locked sample-and-hold, which suppresses the 120 Hz output voltage ripple component to prevent modulation of the sinusoidal input current.

E. *Bang-Bang Control*

One of the problems associated with PFC circuits lies in their slow reaction to load changes. The low outer-loop crossover frequency necessary for rejection of the output voltage 120-Hz ripple component limits the control loop response time. In recognition of this fact, several methods for increasing the effective speed of the loop have been proposed [13]. One of the limitations of such techniques lies in their need for signal multiplication functions and load current sensing.

This project explores the use of a combination of linear and bang-bang control algorithms to reduce the reaction time of the controller to step changes in load. Typical bang-bang control schemes compare the control variable (in this case, output voltage) to a setpoint, issuing a binary-state on/off command in response to the sign of the error. This type of control has the advantage of being simple and fast, but tends to "chatter" around the nominal operating point if the load range is large. The following approach exploits the inherent speed while addressing the chatter instability.

During steady-state operation, the output voltage is controlled using the standard P-I compensation linear feedback method described above. Simultaneously, the output voltage is compared to two threshold voltages corresponding to the output voltage plus-or-minus a tolerance greater than the nominal 120 Hz ripple. If the output voltage rises above the higher threshold, the command current amplitude is immediately reduced to zero, in a manner analogous to typical overvoltage protection schemes. Similarly, an undervoltage condition increases the command to "full on." In the latter case, this results in the drawing of a sine wave of current whose full power amplitude is an inverse function of the input line voltage. This technique results in a more rapid return to the tolerance band than that given by linear control methods

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

alone.

When the output voltage returns to within the linear operating region, control of the current is restored to the integrator. If the load transient continues and the integrator output is slow to slew to the correct current command value, the voltage will again leave the linear region, being returned each time by the bang-bang control. This process repeats until the integrator reaches the correct current command value and the output voltage returns to the center of the linear control region. Providing moderate hysteresis levels at the edges of the linear region can limit the transition speed between the linear and bang-bang control regions.

Because the comparators can operate without low-pass filtering to suppress the 120 Hz modulation, the resultant control system has much faster response than the slow integrator loop. Yet, due to the linear operating region, the system exhibits no chatter phenomenon in the steady state. A discussion of the conditions for stability of this type of control under steady-state and dynamic conditions is beyond the scope of the present paper, but the hardware results demonstrate its "first-order" transient response. The result is a system with greatly reduced output voltage excursions during load transients but no additional harmonic distortion. The implementation is also straightforward, requiring few additional components.

IV. HARDWARE CONSTRUCTION AND TEST RESULTS

A hardware prototype of the PFC converter was constructed to verify the design. The construction is described here, followed by performance measurements.

A. *Power Train Description*

The PFC converter was constructed using standard printed circuit board (PCB) technologies and off-the-shelf components. The completed four-layer 2-oz copper FR-4 board used for the power train measures 8 in. by 11 in. by 2 in. high, and is shown in Fig. 10. The heatsink cover (normally flush with the top of the hold-up capacitors) has been removed to reveal the eight interleaved inductors, constructed using standard PQ3230 gapped ferrite cores with machine-insertable bobbins. The ample space between cores simplifies automated insertion and insures adequate cooling with minimal forced air cooling.

Eight plastic-package 500 V MOSFETs are mounted along the inside of one aluminum header, back-to-back against the complementary 600 V fast-recovery diodes along the outside; four stud-mount rectifier diodes are mounted on the other header. Surrounding these headers on both ends are the bus filter and bulk energy storage capacitors. In addition, line filter 'X'-capacitors, transient and inrush protection, and several buffered sense amplifiers are included on the board.

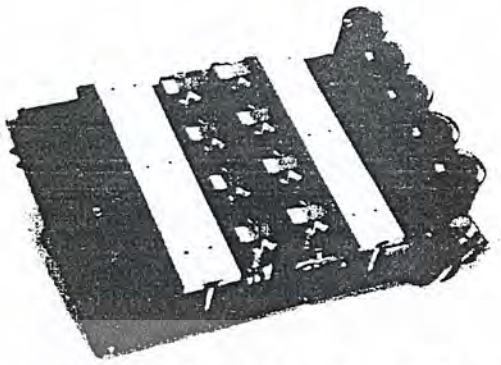


Figure 10: Photo of the PFC Power Train with Heatsink Removed

B. *Control Board Description*

The control/logic circuitry was built on a 5.5 in. by 6.75 in. two-layer PCB. It consists of discrete parts for the eight interleaved PWM generators, analog multiplier ICs for deriving the current command, and standard CMOS gates for performing the logic functions. Synthesizing, buffering, and latching the eight interleaved PWM signals requires approximately 2 in. by 4 in., or 20%, of the total control board area. The remaining area is consumed by functions common to all of the interleaved converters, suggesting that the additional controller area required for interleaved conversion is minimal. Integrating these few discrete components onto a single general-purpose interleaved PWM chip would further reduce this area while improving matching (although matching was not identified as a problem in this case).

C. *Measured Performance*

The overall power conversion efficiency of the PFC converter closely matches the prediction of the optimization program. Full power (1.5 kW out) efficiency for the PFC converter (including EMI filter, bridge rectifier, and gate drive and control power) is greater than 94.5% at low line, and exceeds 97% at high line. An estimate of the dissipation breakdown was given previously in Table 2. The conversion efficiencies at 1.4 kW and 1.5 kW are graphed in Fig. 11 as functions of input voltage. Efficiency is slightly higher at the higher power, except at the low line extreme.

The warmest components in the converter are the magnetics, due mainly to harmonic current conduction losses in the windings. The full power temperature rise of the inductor located farthest from the air inlet is plotted in Fig. 11 against the input voltage. The temperature rise reaches a maximum of 21 C at low line. The worst-case semiconductor temperature rise, shown on the same graph, is below 10 C. Airflow velocity is estimated at

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

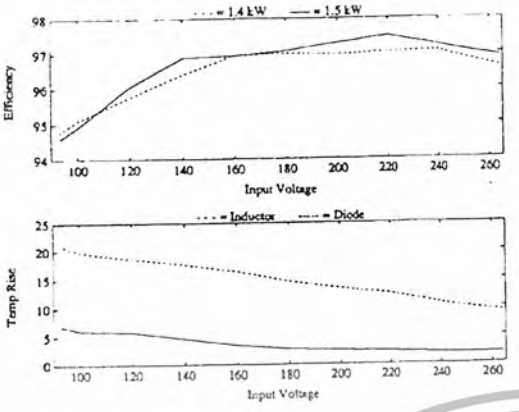


Figure 11: Efficiency and Temperature Rise vs. Line Voltage: Full Power

100–150 lfm.

The nominal power factor exceeds 0.99 at 1.5 kW, with a worst-case power factor of 0.98 at high line. Most of the reduction in power factor is due to phase shift through the EMI filter. The worst-case THD is <7% and occurs at high line with a line voltage THD of 2%. The worst-case line current harmonics are well below IEC 555-2 limits, as shown in Fig. 12 with a logarithmic ordinate axis.

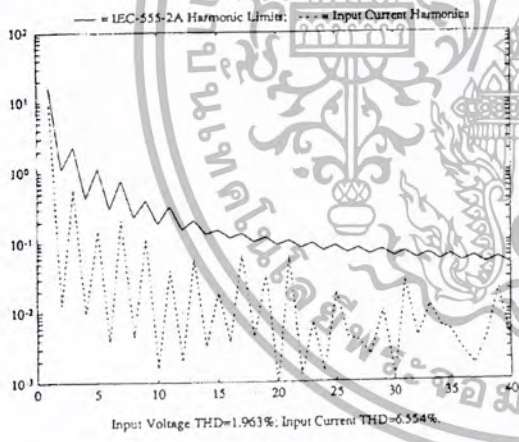


Figure 12: Worst-Case Input Current Harmonics (full power, high line)

Performance of the bang-bang control section is superb. The output voltage transient response for a 10% to 90% step change in load current is shown in Fig. 13, ac-coupled with a scale of 10 V per division. The accompanying waveform, the reference current scale factor, is seen to alternate between the first-order response of the linear control section and the full-on command of the bang-bang controller. The output voltage remains within the bang-bang control set-points (±20 V) at all times.

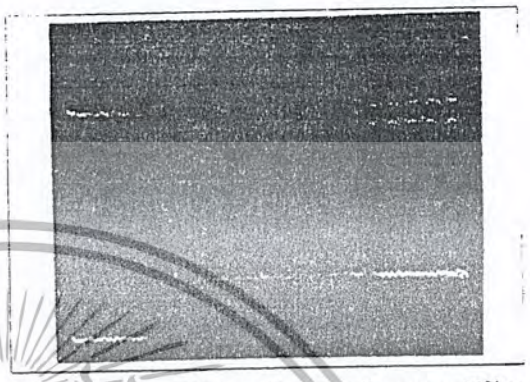


Figure 13: Output Voltage Transient Response: 10% to 90% Load Change, Low Line

The width of this linear-mode band was originally selected to accommodate the output regulation of a high-gain proportional controller. The addition of P-I control reduced load regulation to below 250 mV. In addition, further output capacitance was added to reduce the 120 Hz ripple component below 4 V peak. The width of this linear-mode band could therefore be reduced for improved transient response without causing instability. However, the present performance of the system was found to be sufficient for the application.

V. SYSTEM ARCHITECTURE

The tight output voltage regulation achieved by the PFC converter resulted in a redesign of the remainder of the power supply. The downstream converter was optimized for a relatively narrow 390 V ±5% input range, greatly reducing semiconductor VA ratings and increasing magnetics device utilization. A preferred system architecture for distributed power conversion that delivers PFC, safety isolation, and line outage ride-through is shown in block diagram form in Fig. 14.

The main power path flows from the utility input into the PFC converter to create the 390 VDC intermediate bus, where the 120 Hz ripple is filtered. The safety isolation stage then steps this voltage down to the distribution voltage, in this case 50 VDC. Board-mounted power supplies convert this to the final voltages at the point-of-load, in classic distributed conversion style [8].

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

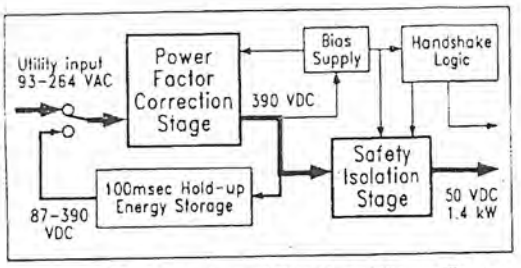


Figure 14: Block Diagram of Distributed Power Conversion Front End Architecture

Energy storage sufficient for 100 ms of line outage ride-through is provided by a separate set of bulk capacitors, which are trickle charged to the high intermediate bus voltage. Additional system elements include an internal bias supply and handshaking logic for status communication with the host computer.

A. *Safety Isolation Stage*

A key feature of this architecture lies in the implementation of the safety isolation stage, described in [14]. This stage provides full UL-rated safety isolation in addition to impedance transformation (voltage step-down). Tight output voltage regulation provided by the PFC stage permits the isolation stage to be run open-loop. Regulation of the 50 VDC output bus is then accomplished indirectly by the PFC section, through control of the 390 VDC intermediate bus. Because the point-of-load (POL) converters fed by the 50 VDC output bus have internal closed-loop regulation and a sufficient input voltage range to accommodate the small load regulation (<5%) and 120 Hz ripple (<2% pk-pk) on the output bus, no penalty is paid for this approach. Furthermore, the resultant system eliminates negative impedance loading interactions between cascaded converter stages.

Because the isolation stage always operates with a fixed voltage conversion ratio of approximately 8:1, a special converter topology can be employed. This topology, a resonant-transition square wave half-bridge which switches at a frequency of 125 kHz, can then be optimized for 100% duty ratio operation, resulting in maximum device utilization and high (96%) conversion efficiency [14].

B. *Ride-Through Energy Storage*

Division of the power processing into two stages, with a constant high voltage intermediate bus, guarantees a maximum energy reserve for line outage ride-through purposes. This is a common approach in power factor corrected systems. However, during a power outage, the stored energy in this system is not drawn directly from the bus filter capacitors by the isolation stage, an approach which would lower the bus voltage and force either the isolation stage or the downstream POL converters to operate over a wide input voltage range. Instead, the energy is recycled through the PFC stage (through an SCR), which can drain the bulk capacitors while holding the intermediate bus voltage constant with minimal transient disturbances. In this manner, the isolation stage is guaranteed a fixed input voltage during line outage situations, a condition not possible with ordinary hold-up schemes. A simplified schematic of the power train which illustrates this connection is shown in Fig. 15.

A significant savings in energy storage capacity results from this approach, despite power processing by two sequential stages. Typical isolation stages capable of operating over a 2:1 input voltage range might achieve efficiencies of 90% at comparable power conversion densities. With only 75% of the stored capacitor energy being consumed, the resultant net stored energy usage would be below 68%. In contrast, the described cascaded conversion scheme achieves a combined 92% conversion efficiency during hold-up, and can drain more than 95% of the stored bulk capacitor energy. This results in a stored energy usage of more than 87%, for a capacitance savings of 22%.

Several further benefits result. First, problems associated with bus capacitor surge charging during line power returns are eliminated. This permits a graceful return to line power following a short (<100 ms) outage, for a true power outage ridethrough function. Second, by diode-connecting the bulk capacitors to the intermediate bus in a manner that assures that the bus never drops below the bulk voltage, the full ride-through energy storage capacity can be added to the transient response hold-up capability. This connection is also shown in Fig. 15. This system therefore exhibits no increase in transient droop due to load changes, as compared to typical energy storage approaches, independent of the implementation of bang-bang control.

The full system shown in the block diagram of Fig. 14 was installed in a custom enclosure, along with a circuit breaker, an EMI filter, and the necessary I/O connectors. The enclosure dimensions are 5 in. by 8 in. by 11 in. The combined PFC converter plus isolation stage system achieves universal input voltage power factor correction better than 0.98 and supplies 1.4 kW output power at 50 VDC with 100 ms hold-up. The combined worst-case conversion efficiency exceeds 90% at low line with full safety isolation. In addition, the system has been designed to provide IEEE/ANSI input surge rating protection, VDE-0871B EMI conformance, and full UL and VDE safety isolation.

VI. CONCLUSIONS

The design and performance of a highly efficient power factor correction converter have been described. Due to the use of standard components and a strict conformance to safety certification guidelines, the converter can be

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

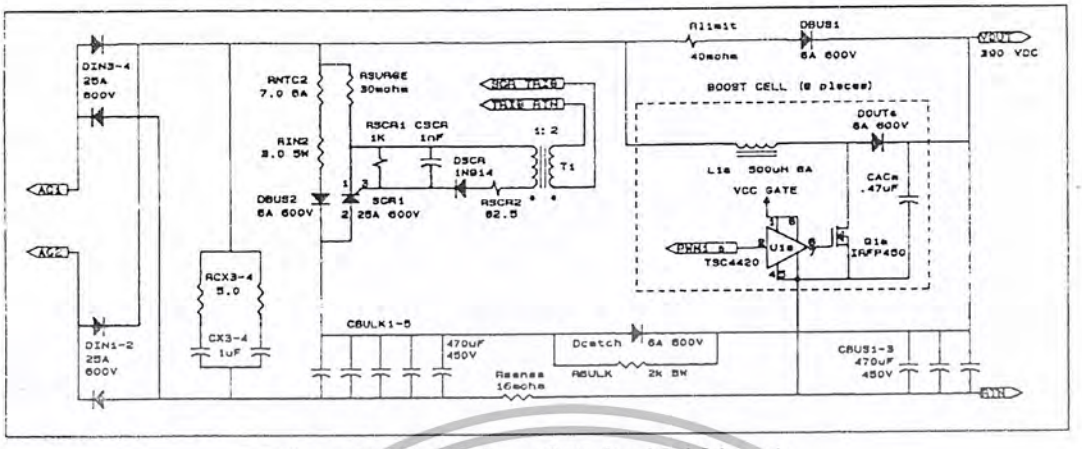


Figure 15: PFC FEU Power Train Simplified Schematic

considered a viable product prototype with direct relevance to the commercial marketplace. The use of interleaving permits DCM operation, resulting in a higher conversion efficiency compared to non-interleaved CCM designs. A method for analyzing interleaved converters to predict ripple amplitudes has been demonstrated and applied as a design tool, enabling optimization of the conversion efficiency.

The practical implementation of a combination of linear and bang-bang control algorithms has been shown to greatly improve the converter transient response, resulting in tighter output voltage regulation. The resultant system architecture for distributed power conversion enables highly efficient safety isolation and voltage transformation in conjunction with power factor correction. In addition, the system design achieves a more efficient extraction of the hold-up capacitor energy during a line outage.

Acknowledgements

The authors gratefully acknowledge the support provided by the DEC Power Systems Division and the IBM Power Products Group.

References

[1] D. R. Garth, W. J. Muldoon, G. C. Benson, and E. N. Costague, "Multi-Phase, 2 Kilowatt, High Voltage, Regulated Power Supply," *IEEE Power Conditioning Specialists Conference Record*, pp. 110–116, 1971.

[2] Kurt K. Hedel, "High-Density Avionic Power Supply," *IEEE Transactions on Aerospace and Electronic Systems*, Vol. AES-16, No. 5, pp. 615–619, September 1980.

[3] Wally E. Rippel, "Optimizing Boost Chopper Charger Design," *Solid-State Power Conversion Conference Proceedings*, pp. D1-1–D1-20, 1979.

[4] D. J. Shortt, W. T. Michael, R. L. Avant, and R. E. Palma, "A 600 Watt Four Stage Phase-Shifted-Parallel DC-to-DC Converter," *IEEE Power Electronics Specialists Conference Record*, pp. 136–143, June 1985.

[5] "Low-Inductance Wiring for Parallel Switching Transistors," *NASA Tech Briefs*, No. MFS-28387, pp. 1–6, 1985.

[6] Vietson Nguyen, John Dhyanchand, and Pierre Tholot, "A Multiphase Topology of Series Resonant DC-DC Converter," *Power Conversion International Magazine*, pp. 46–49, March 1986.

[7] J. B. Klaassens, W. L. F. H. A. Moize de Chateleux, and M. P. N. van Wesenbeeck, "Phase-Staggering Control of a Series-Resonant DC-DC Converter with Paralleled Power Modules," *IEEE Transactions on Power Electronics*, Vol. 3, No. 2, pp. 154–173, April 1988.

[8] B. Carpenter *et al*, "A Distributed Power System for Military VLSI Applications," *High Frequency Power Conversion Conference Proceedings*, pp. 430–441, May 1988.

[9] M. Schlecht, "Time Varying Feedback Gains for Power Circuits with Active Waveshaping," *IEEE Power Electronics Specialists Conference Record*, 1981, pp. 52-59.

[10] A. Busse *et al*, "Multiloop Control of a Unity Power Factor Fast Switching AC to DC Converter," *IEEE Power Electronics Specialists Conference Record*, 1982, pp. 171-179.

[11] J. B. Williams, "Design of Feedback Loop in Unity Power Factor AC to DC Converter," *IEEE Power Electronics Specialists Conference Record*, 1989, pp. 959-967.

[12] George Verghese, "Linear Averaged and Sampled Data Models for Large Signal Control of High Power Factor AC-DC Converters," *IEEE Power Electronics Specialists Conference Record*, 1990.

[13] Aleksandar M. Stankovic, George C. Verghese, Xiaojun Liu, and Joseph Thottuvelil, "Fast Controllers for High-Power Factor AC-DC Converters, *European Conference on Power Electronics and Applications*, Florence Italy, September 1991.

[14] L. H. Mweene, D. M. Otten, and M. F. Schlecht, "A High-Frequency, High Efficiency 1.5 kW, 390–50 V Half-Bridge Converter Operated At 100% Duty Ratio," *IEEE Applied Power Electronics Conference*, 1992.

[15] Brett A. Miwa, "Interleaved Conversion Techniques for High Density Power Suplies," Doctoral Thesis, *Massachusetts Institute of Technology*, June 1992.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

THE APPLICATION OF PARALLEL INVERTERS FOR PV BASED REMOTE AREA POWER SUPPLIES

Qin Jiang
School of Communications & Informatics
Victoria University of Technology
P.O.Box 14428, Melbourne, Vic 8001, Australia
Email: jq@cabsav.vu.edu.au

Abstract

In this paper, the parallel combination of half bridge and full bridge inverters for the PV based Remote Area Power (PVRAP) supplies are proposed. PVRAP has a number of unique characteristics which make them challenging to design. For example, even under normal operating conditions the load often varies from zero to significant overload or short circuits. Parallel inverters particularly suit these needs as each single inverter can readily be switched out of service under light load conditions while maintaining the same output voltage. In addition, paralleled inverters share a common DC supply, which makes grounding requirements for PV array straightforward. The efficiency of the proposed topology is the main concerned of the paper. The loss analysis of the topologies and switching strategy proposed to cause harmonic cancellation between paralleled inverter legs are discussed. Simulation results are presented in the paper.

1. INTRODUCTION

Among the renewable power sources, solar has experienced a remarkably rapid growth in the past 10 years. It is a pollution free source of abundant power. Additionally, it generates power near the load centers, hence reducing the need for running high voltage transmission lines through rural and urban landscapes. At present, the cost of solar photovoltaic (PV) electricity is still high, in the neighborhood of 15 to 25 cents (US) per kWh. With the consumer cost of electrical utility power ranging from 5 to 10 cents (US) per kWh nationwide, photovoltaics cannot economically compete directly with utility power as yet, except in remote markets where this power is not available and the transmission line costs would be prohibitive [1]. Globally, the PV based Remote Area Power (PVRAP) installed in rural and remote areas account for approximately 50% of the total installed photovoltaic generating capacity. The PVRAP supplies have a number of unique characteristics which make them challenging to design. For example, even under normal operating conditions the load often varies from zero to significant overload or short circuits. This can include high transient loads which must be supplied, for example, to start motors, and wide variations in normal operating load because of usage needs [2].

There is a major research effort to bring down the PV energy cost by improving the efficiency and reduce the capital cost of the overall system. Much progress has been made in the area of photovoltaic cells, particularly with recent advances in reduced manufacturing costs for large scale production of solar cells. Limited improvements can be achieved by further increasing the efficiency of power conversion devices, such as the inverter or the solar controller, mainly by reducing the losses at part load operation.

In this paper, the parallel combination of half bridge (HB) and full bridge (FB) inverters for PVRAP supplies are proposed. Parallel inverters particularly suit these needs because they require inductors between the load and the inverter as part of their topology, and this automatically helps to limit transient surges. Also, paralleled inverters can readily be switched out of service under light load conditions while maintaining the same output voltage (in contrast, series cascaded inverters maintain constant output current with a reduced voltage if some inverters are switched out of service). In addition, paralleled inverters share a common DC bus from the PV array, which makes grounding requirements straightforward. Also parallel inverter topologies offer potential for EMI reduction by eliminating switching harmonics, but avoid large transient current steps which cause EMI because the load current is shared between multiple inverters.

Several topologies of multilevel series cascaded voltage source inverters for grid connected PV systems were reviewed in [3]. The series cascaded inverters have the characteristic of an increased AC output voltage, so that they can be directly interfaced with the grid without the need of a transformer. Thus the loss and cost of a transformer can be saved in such a transformerless PV system. However, as each PV array needs to be isolated for the series operation, the leakage currents in the transformerless PV system can be high, due to the capacitance between the PV array and earth, potential differences imposed in the

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

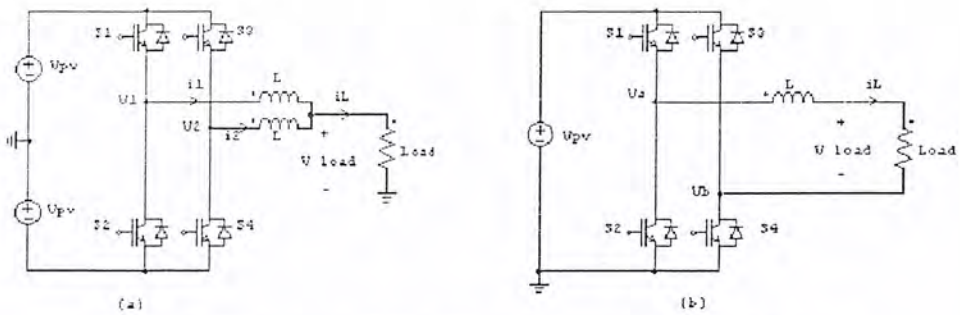


Fig.1 Schematics of (a) two parallel half bridges (b) one full bridge

capacitance through switching actions of the inverter inject a capacitive earth current. The PV array earth capacitance is then part of a resonant circuit consisting of the PV array, DC and AC filter elements and grid impedance. In addition, the installation of non-grounding PV array is prohibited in the US standard (IEEE,1998) and restricted in the European standards (International Electrotechnical commission, 1997)[3].

There has been little research into either the modulation and control of paralleled voltage source inverters (VSL). In [4], a composite PWM method applied to a parallel combination of two three-phase normal GTO bridge inverters for a grid-connected PV systems is discussed. In this paper however, a general analytical solution for carrier based PWM to mathematically identify the harmonic cancellation [7] is applied to the parallel combination of half bridge and full bridge inverters respectively. It is then possible to determine the most effective switching method to modulate the different switched levels, so that the best possible reduction in harmonics for a given switching frequency can be achieved. The analytical solutions are confirmed by the simulation results. The loss analysis of HB and FB are also given in this paper.

2. PARALLEL COMBINATIONS OF VSL

2.1 Half bridges in parallel

Fig.1(a) shows the parallel combination of two half bridge inverters (HB2) of single phase. Here two equal PV arrays are connected in series across the dc input and their junction is a mid-potential which can be grounded to eliminated capacitor earth currents. The output of each HB is at its midpoint which is connected to an inductor before being parallel combined as the ac output terminal. The combined switching output of the inverter is $V_{out} = (V_1 + V_2)/2$. A positive V_{pv}, can be created with the switching on two upper switches S_1 and S_3. Switching on two lower switches S_2 and S_4 generates a negative V_{pv}. A zero voltage can be generated by switching on the two diagonal pairs, either S_1/S_4 or S_2/S_3.

For the case of N half bridges in parallel, the switched output of each phase leg V_i ($i = 1,2, \ldots N$) is represented by a voltage source, the resulting equivalent circuit as shown in Fig.2 can be formed by circuit analysis.

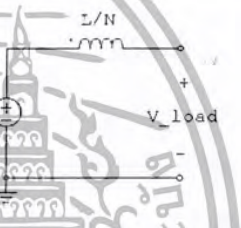


Fig.2 The equivalent circuit of N HB's in parallel.

In Fig.2 L/N is the equivalent inductance and L is the filter inductance of each half bridge. The open circuit voltage of the inverter can be written as:

$$V_{out} = \frac{1}{N}\sum_{i=1}^{N} V_i \qquad (1)$$

where the expression of V_i will be detailed in Sec. 4.

The peak voltage and current rating of the switches for the inverter of N paralleled half bridges are

$$V_T = 2V_{pv} \quad \text{and} \quad I_T = \frac{i_{L_peak}}{N} \qquad (2)$$

where V_{pv} is the output voltage of one solar PV array, and i_{L_peak} is the peak value of the load current.

2.2 Full bridges in parallel

Fig.1 (b) shows the topology of a full bridge (FB1) supplied with one PV array. The negative voltage rail can be grounded to eliminate capacitor earth currents. Contrary to HB2, positive and negative V_{pv} of FB1 are created with the switching on two diagonally opposed switches S_1/S_4 and S_2/S_3 respectively. By switching two switches on the same side of the dc bus S_2/S_4 or S_1/S_3, a zero output voltage can be generated.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Fig.3 gives the schematic of two full bridges in parallel (FB2), switches S_1, S_2, S_3 and S_4 consist of one full bridge and generate an output of V_{a1}-V_{b1}. Switches S_1', S_2', S_3' and S_4' represent the second set of full bridge, which outputs V_{a2}-V_{b2}. The midpoint of each one-leg is connected to an ac filter inductor L before being parallel combined to the output terminal. This configuration can be extended to N full bridges in parallel.

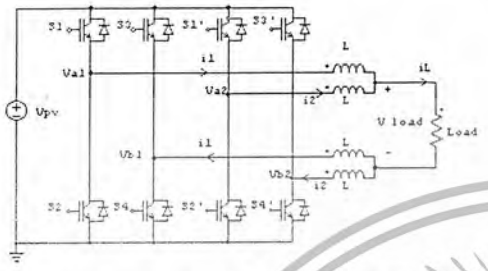


Fig.3 Schematics of two full bridges in parallel.

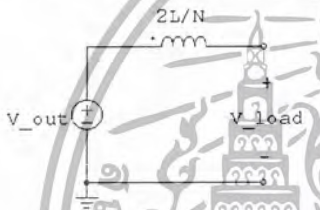


Fig.4 The equivalent circuit of N FB's in parallel.

The equivalent circuit for N full bridges in parallel can be found as shown in Fig.4. Where 2L/N is the equivalent inductance seen by the load, and the open circuit voltage V_{out} of the inverter is

$$V_{out} = \frac{1}{N}\sum_{i=1}^{N}(V_{ai} - V_{bi}) \qquad (3)$$

where V_{ai} - V_{bi} is the switched output voltage of i^{th} full bridge. Their expressions will be detailed in Sec.4.

The peak voltage and current rating of the switches, for N paralleled full bridges, are as follows:

$$V_T = V_{pv} \quad \text{and} \quad I_T = \frac{i_{L_peak}}{N} \qquad (4)$$

In comparison of (2) with (4), the voltage rating of switches for both HB and FB equal to the total DC input voltage, V_{DC}. In Fig.1 V_{DC} of HB is twice that of FB1.

2.3 Loss comparisons between HB2 and FB1

The loss comparisons between half bridges and full bridges are made for cases of HB2 and FB1 of Fig. 1, as each topology employs identical number of switching devices and the same voltage is delivered to the load. Their parameters concerned are summarized here for easy reference:

	HB2	FB1
V_{DC} (DC supply voltage)	$2V_{pv}$	V_{pv}
V_T (Voltage rating of a switch)	$2V_{pv}$	V_{pv}
I_o (Current rating of a switch)	$\frac{1}{2} I_{L_peak}$	I_{L_peak}

If the switching device is the IGBT type (Insulated Gate Bipolar Transistors) and its switching characteristics are as shown in [4], then the switching loss and conduction loss per switching IGBT can be estimated based on the following formula [5]:

Conduction loss :

$$p_{c_loss} = V_{CE(on)} I_o \left(\frac{1}{8} + \frac{D}{3\pi}\cos(\theta)\right) \qquad (5)$$

Switching loss:

$$p_{sw_loss} = \left(V_{DC} I_o (t_{ri} + t_{fv} + t_{rv} + t_{fi}) + V_{CHoih} I_o (t_{fv} + t_{rv})\right) f_{sw} \frac{1}{2\pi} \qquad (6)$$

Where: $V_{CE(on)}$ - IGBT saturation voltage drop at I_o

D - PWM duty factor

θ - Phase angle between output voltage and current

f_{sw} - switching frequency for every inverter arm-switch

t_{rv}, t_{fv}- Rising and falling time of the switch voltage V_{CE}

t_{ri}, t_{fi}- Rising and falling time of the switch current i_D

Comparisons between IGBT losses of HB2 and FB1, in terms of equations (5) and (6), are made as follows:

1. The conduction losses of HB2 is 50% that of FB1. In (5) the conduction loss is proportional to $V_{CE(on)} I_o$, of which HB2 is 50% less than that of FB1 for the same voltage output, if the same $V_{CE(on)}$ is assumed for different value of I_o.
2. The switching loss of HB2 is slightly less than FB1. In (6) the switching loss is proportional mainly to $V_{DC} I_o$, and slightly to $V_{CE(on)} I_o$. While $V_{DC} I_o$ of the two is identical, $V_{CE(on)} I_o$ of HB2 is 50% less than that of FB1.

In total, HB2 has less IGBT loss than FB1. However, losses associated with extra components required for HB2 need to be taken into account:

1. The solar array used in HB2 is twice that of FB1 for the same voltage output to the load. The losses in the extra solar array should be considered;
2. Two inductors of 2L are used for HB2, compared with one inductor of L of FB1, for the same output inductors (refer to figures 2 and 4). That is, total $L_{HB2} = 4L_{FB1}$. The extra losses in L_{HB2} should be evaluated.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

The voltage ratio $V_{CE(on)}/V_{out}$ of the two topologies is examined, for it is proportional to the baseband harmonics of V_{out}. The ratio is found to be $V_{CE(on)}/V_{pv}$ for HB2 and $2V_{CE(on)}/V_{pv}$ for FB1. This means that HB2 has lower baseband harmonics than FB1, unless V_{DC} of FB1 is increased to from V_{pv} to $2V_{pv}$, being the same value as that of HB2.

3. DETERMINE SWITCHED OUTPUT VOLTAGE OF ONE-LEG INVERTER

It can be seen in (1) and (3) that, expression of V_{out} depends on V_i, the switched output of each one-leg inverter. The one-leg inverter, which has the structure of a half bridge, serves as the basic building block of voltage source type inverters. A common analytical approach to determine closed form solutions of the various PWM switched output of a one-leg inverter is published in [7], which gives the general harmonic form of the switched output waveform of i^{th} one-leg inverter controlled by any carrier based PWM scheme.

$$V_i(t) = \sum_{n=1}^{\infty} \{C_{0n} \cos(n[\omega_o t + \theta_{oi}])\} + \sum_{m=1}^{\infty} \sum_{n=-\infty}^{\infty} \{C_{mn} \cos(m[\omega_c t + \theta_{ci}] + n[\omega_o t + \theta_{oi}])\} \quad (7)$$

where ω_o and ω_c are angular frequencies for fundamental and the carrier waveforms respectively, θ_{oi} and θ_{ci} are arbitrary phase offsets for fundamental and the carrier waveforms respectively. C_{0n} and C_{mn} are complex Fourier coefficients determined by the specific PWM strategy in use. The two summation terms represent fundamental/baseband harmonics and carrier/sideband harmonics, respectively.

The naturally sampled PWM is selected here as a case study. The switched output of one-leg under this switching strategy is given as follows [8]:

$$V_i(t) = V_{DC}\left\{\frac{\pi}{4}\sum_{m=1}^{\infty}\sum_{\substack{n=-\infty \\ n\neq 0}}^{\infty}\frac{1}{m}\begin{Bmatrix} M\cos(\omega_o t+\theta_{oi}) + \\ \sin([m+n]\frac{\pi}{2})J_n\left(m\frac{\pi}{2}M\right)\times \\ \cos(m[\omega_c t+\theta_{ci}]+n[\omega_o t+\theta_{oi}]) \end{Bmatrix}\right\} \quad (8)$$

Where M is the modulation index ($0 \le M \le 1$) and J_n is the Bessel function. By selecting phase offsets θ_{oi} and θ_{ci} for each one-leg, it is possible to achieve harmonic cancellation between one-leg's.

4. HARMONIC CANCELLATION FOR MULTI-LEVEL INVERTERS

The challenge for multi-level inverters is to determine the most effective method to modulate the switched levels to achieve the best possible reduction in harmonics for a given switching frequency, which has a major influence on the performance of a power inverter. Essentially, efficiency decreases with an increase in switching frequency because of increased switching losses, while harmonic distortion decreases with switching frequency because the higher frequency harmonics that are produced are easier to filter. So, increasing an inverter's efficiency by reducing switching frequency also increases harmonic distortion and output filter losses. Multi-level inverter topologies improve this dilemma compared to two level inverters by achieving reduced levels of harmonic distortion for the same effective switching frequency, because of the harmonic cancellation that occurs between the various switching levels of the inverter. In what follows, the method of harmonic cancellation is detailed for cases of half bridge and full bridge respectively.

4.1 Carrier phase shift for N HB's in parallel

To achieve harmonic cancellation among N paralleled half bridges, the carrier phase offset, θ_{ci} needs to be shifted properly. If the carrier waveform for i^{th} one-leg is now phase shifted by

$$\theta_{ci} = \frac{2[i-1]\pi}{N} \quad \text{for } i = 1, 2 \ldots N \quad (9)$$

Since we have

$$\sum_{i=1}^{N}\cos\left(\alpha + m\frac{2[i-1]\pi}{N}\right) = \begin{cases} 0 & m \neq kN \\ N\cos\alpha & m = kN \end{cases} \quad \text{for } k = 1, 2, 3 \quad (10)$$

where α represents the identical angle portion of V_i's, V_{out} can be found by substituting Eqs.(9) into (8) with $\theta_{oi}=\theta$, and the resulting equation into (1), let $m=kN$

$$V_{out}(t) = \frac{V_{DC}}{N}\left\{\frac{\pi}{4}\sum_{k=1}^{\infty}\sum_{\substack{n=-\infty \\ n\neq 0}}^{\infty}\frac{1}{k}\begin{Bmatrix} NM\cos(\omega_o t) + \\ \sin([kN+n]\frac{\pi}{2})J_n\left(kN\frac{\pi}{2}M\right)\times \\ \cos(kN\omega_c t + n\omega_o t) \end{Bmatrix}\right\} \quad (11)$$

where n takes all odd values. The only harmonics remaining in V_{out} will be sideband harmonic components centered around carrier multiples $kN\omega_c$.

For the case of HB2 (N=2), its carrier phase offsets are found, using (9), to be 0° and 180° for V_1 and V_2 respectively. The fundamental waveform is the same for each one-leg, hence, there is no phase shift between θ_{oi}. The lowest carrier multiple of V_{out} is $2\omega_c$. A useful application is to use a three phase inverter module as a single phase one with three paralleled half bridges (HB3). A carrier phase shift of 120° is needed between θ_{ci}, say 0°, 120°, 240°, to have the lowest sideband harmonics centered around $3\omega_c$ at its output.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2 Carrier phase shift for N FB's in parallel

First the open circuit voltage of i^{th} full bridge, V_i ($=V_{ai}-V_{bi}$) is calculated using (8). There is no carrier phase shift, instead a fundamental phase shift of 180° is required according to the operation principle. For $\theta_{oa} = 0°$ and $\theta_{ob} = 180°$, we can write

$$V_i(t) = V_{DC}\left\{\frac{\pi}{4}\sum_{m=1}^{\infty}\sum_{\substack{n=-\infty \\ n\neq 0}}^{\infty}\frac{1}{m}\left\{\begin{matrix}\sin(2m+n\frac{\pi}{2})J_n(m\pi M)\times \\ \cos(2m[\omega_c t+\theta_{ci}]+n\omega_o t)\end{matrix}\right\}\right\} \quad \begin{matrix}2M\cos(\omega_o t)+\\ \end{matrix} \tag{12}$$

where n takes all odd values. It can be seen in (12) that, unlike HB, the odd carrier multiple sideband harmonics are already eliminated at the output of a single full bridge. The carrier phase shift required for i^{th} full bridge should be a half of that for the half bridge to achieve the same harmonic cancellation as the latter. That is

$$\theta_{ci} = \frac{[i-1]\pi}{N} \quad \text{for} \quad i = 1, 2 \quad N \tag{13}$$

Substituting (13) into (12) for θ_{ci}, and the resulting equation into (3), let $m = kN$, the combined V_{out} of the N full bridges can be written as:

$$V_{out}(t) = \frac{V_{DC}}{N}\left\{\frac{\pi}{4}\sum_{K=1}^{\infty}\sum_{\substack{n=-\infty \\ n\neq 0}}^{\infty}\frac{1}{k}\left\{\begin{matrix}\sin(2kN+n\frac{\pi}{2})J_n(k_2N\pi M)\times \\ \cos(2kN\omega_c t+n\omega_o t)\end{matrix}\right\}\right\} \quad \begin{matrix}2NM\cos(\omega_o t)+\\ \end{matrix} \tag{14}$$

where n takes all odd values. It is clear in (14) that the minimum carrier multiple remaining in V_{out} will be $2N\omega_c$, being twice that for N paralleled half bridges.

As an example, V_{out}'s of HB2 and FB1 in Fig.1 are calculated in terms of (11) and (14) respectively. Let N=2, $V_{DC} = 2V_{pv}$ in (11) to find V_{out} of HB2, and N=1, $V_{DC} = V_{pv}$ in (14) for V_{out} of FB1, the resulting expressions are found exactly the same as each other, with a peak value of V_{pv} and the minimum carrier multiple of $2\omega_c$. This is confirmed by simulation results as given in Sec. 5.

If two full bridges (FB2) are paralleled as shown in Fig.3 with a switching frequency of 5 kHz, the lowest carrier frequency sidebands will be centered around 20 kHz, which is above the audible noise limit of 15 kHz. The same improvement is attainable for four half bridges in parallel (HB4) with the same switching frequency. This is a significant improvement over a single full bridge operation, which would produce sideband harmonics centered around 10 kHz for the switching frequency of 5 kHz.

5. SIMULATION RESULTS

Device level simulation was carried out using PSIM for HB2 and FB1 of Fig.1 respectively. Each solar PV array is modeled by its Thevenized circuit, having an internal resistor of 0.1 Ω and a terminal voltage V_c. This allows for the observation of ripple voltages across the solar array. The naturally sampled PWM is used. The simulation time step is 4μs. Parameters concerned are listed in Table 1.

Table 1. Simulation parameters

	HB2	FB1
L	10 mH	5 mH
V_{DC}	100 V	50 V
R_L	6Ω	6Ω
M	0.8	0.8
f_o	50 Hz	50 Hz
f_c	1050 Hz	1050 Hz
θ_o	0°, 0°	0°, 180°
θ_c	0°, 180°	0°, 0°

The simulation results for HB2 and FB1 are shown in Figs. 5 and 6 respectively. From the top trace downwards, waveforms of V_c, i_1 and i_3, i_L are displayed respectively in both figures. The following comments are made based on these figures.

1. In Fig. 5, the waveform of V_c indicates that two solar PV arrays work at a 50% duty cycle alternatively for HB2, compared with one solar array of a full duty cycle for FB1 in Fig.6. Both have the same ripple voltage of 0.7 V;
2. The magnitude of the switch currents, i_{s1} and i_{s3}, of HB2 is a half of those for FB1, the minimum carrier multiples of the two currents are ω_c, not $2\omega_c$;
3. HB2 s waveform of i_{s3} is different from FB1 s. This is expected, as switches S_1 and S_3 of HB2 operate the same way as S_1 and S_4, not S_1 and S_3 of FB1.
4. Both have the same output currents i_L with a minimum carrier multiple of $2\omega_c$. This means that the same harmonic cancellation are achieved using proposed switching strategy for the two different topologies.

To verify the harmonic cancellation in the switched output, the FFT analysis of i_L is carried out. As the waveform of i_L is identical for both HB2 and FB1, either one can be used for the analysis of harmonic spectra, the results are as shown in Fig.7. It can be seen that with the switching frequency of 1050 Hz, the lowest carrier multiples is 2100 Hz ($2\omega_c$), around which the sideband harmonic components are centered.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

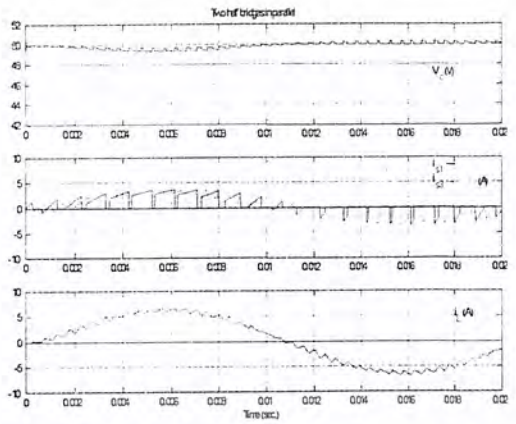


Fig.5 Simulation results of HB2.

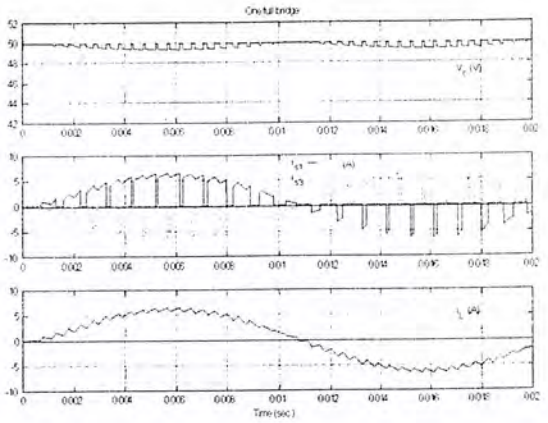


Fig.6 Simulation results of FB1.

Fig.7 Simulated harmonic spectra of i_L.

6. CONCLUSION

IGBT losses of two half bridge and one full bridge are analyzed and compared for the case of same voltage output. Although two half bridges have less IGBT losses than one full bridge, due to the use of an additional DC source, the increased losses associated with the extra source as well as increased filter inductance for paralleled half bridges need to be considered in practice.

Harmonic reduction in paralleled half bridges and full bridges are mathematically evaluated. The analytical solutions are confirmed by simulation results. Parallel inverters offer potential for significant reduction in the output voltage harmonics by achieving harmonic cancellations within each inverter. There should also be a consequential reduction in EMI for parallel inverters. The particular aim is to apply recent developments in modulation theory to parallel cascaded multi-level converters, since this topology offers many advantages for PVRAP systems. Under a low load condition of PVRAP, the parallel combination allows for either single inverter operation with rest of the inverter switched out, or running all inverters in parallel for best harmonic cancellation to minimize losses of the system.

Acknowledgements — The author wishes to acknowledge the valuable discussions with Dr. D. G. Holmes, Mr. B. P. McGrath and Mr. M. Newman of Power Electronics Group, Dept of Electrical and Computer Systems Engineering, Monash University, Clayton Campus, Melbourne, Australia.

7. REFERENCE

[1] Mukund, R. P., "Wind and Solar Power Systems", CRC Press LLC, 1999.

[2] Brown, J., "Power Electronics and Control for Solar Battery Systems", Proceedings of Solar PV Energy Workshop'97, Melb., 1997, pp.52-56.

[3] Calais, M., Agelidis, V.G. and Meinhardt, M., "Multilevel converters for Single Phase Grid Connected Photovoltaic Systems: An Overview", the Official Journal of the International Solar Energy Society, Vol.66, No.5, 1999, pp.325-335.

[4] Mohan, N., Undeland, T. M., and Robbins, W. P., "Power Electronics: Converters, Applications, and Design", NewYork: Wiley, 1995, pp.634-35.

[5] 'IGBT MODULE, Applications and Technical Data Book', Powerex, pp.1-39.

[6] Nonaka, S., "A Composite PWM Method of Three-Phase Voltage Source Inverter for High-Power Applications", IEEE PESC'98, Conference record, Vol. 2, 1998, pp.1899-1905.

[7] Holmes, D.G., "A General Analytical Method for Determining the Theoretical Harmonic Components of Carrier Based PWM Strategies", IEEE Industrial Applications Society Annual Meeting, 1998, pp.1207-1214.

[8] Holmes, D.G., and McGrath, B. P., "Opportunities for Harmonic Cancellation with Carrier Based PWM for Two-level and Multi-Level Cascaded Inverters", Proceedings of the IEEE Industrial Applications Society Annual Meeting, 1999, pp.781-788.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

APF Based on Multilevel Voltage Source Cascade Converter with Carrier Phase Shifted SPWM

Li Jianlin
Hu Changsheng
Wang Liqiao
Zhang Zhongchao
Electrical Engineering Dept. Zhejiang University
Hangzhou, China 310027
0571-87952887
zjuljl@163.com
zhangzc@public1.zju.edu.cn

Abstract: Multilevel voltage source cascade converter (ML-VSCC) with carrier phase-shifted SPWM (CPS-SPWM) technique has been proposed. Compared with the traditional multi-level converter, this kind of converter utilizes fewer power switches and has a balance load, a good linearity between input and output and a perfect feature of control. A novel modulation strategy for ML-VSCC, Sample Time Staggered Space Vector Modulation (STS-SVM) is adopted. The equivalent switching frequency is improved and the harmonic component is greatly decreased under this technique. Active Power Filter with this technique has been simulated. It can be verified that this technique is very promising.

1. INTRODUCTION

Cascade multi-level converters is an attractive choice due to its simple layout and the reduced number of components .Their use may avoid the bulky transformers required by lower voltage converters, achieving significant benefits in terms of space, cost and performance. The structure of cascade multi-level converters is shown in Fig.1. Compared with diode-clamped multi-level converters and flying-capacitor multi-level converters, cascade multi-level converters have many advantages [1].

In this paper, we propose a novel multi-level voltage-source cascade converter (ML-VSCC) based carrier phase shifted SPWM (CPS-SPWM) for active power filter (APF). This technique synthesizes the advantages of the ML-VSCC as well as CPS-SPWM. By this technique, the load of each device is balanced and the equivalent switching frequency is high together with much low device frequency. With the technique, the same harmonic elimination can be achieved at a lower switching frequency compared to SPWM. The CPS-SPWM principle that was proposed in [3], [4] for SVG and SMES was also called phase-shifted SPWM. Analysis shows that our technique has several advantages:

(1) Due to low switching frequency , the switching loss could be reduced greatly.
(2) Soft-switching can be used in this structure to avoid bulky and lossy resistor-capacitor-diode snubbers.
(3) Requires the least number of components among all multilevel converters to achieve the same of voltage levels.
(4) With CPS-SPWM, the undesirable harmonics in the output are decreased considerably.

2. Principle of ML-VSCC based CPS-SPWM

Figs.1 and 2 shows a single-phase structure of an m-level ML-VSCC and the power circuit for one phase leg of it with four cells in each phase receptively. As for triangle carrier signals ($T_{r1}, T_{r2}, \cdots T_m$), they have been shifted evenly by $\Delta\theta = 2\pi/(N \cdot K)$, as shown in Fig.3. Here N equals to 4. Fig.3(b) shows the individual outputs of N converter numbers. The above N outputs are overlapped as output of the whole multi-modular converter, as shown in Fig.3(c).

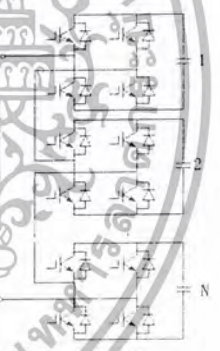


Fig.1 Main structure of ML-VSCC

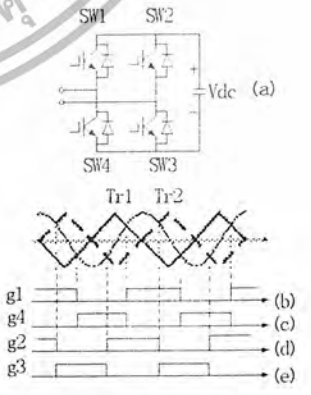


Fig.2 The control signals of full bridge module

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

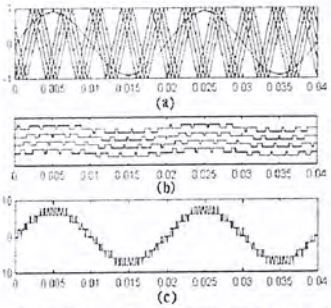
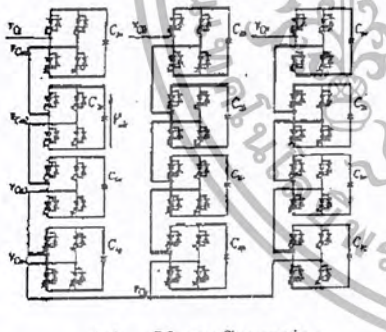


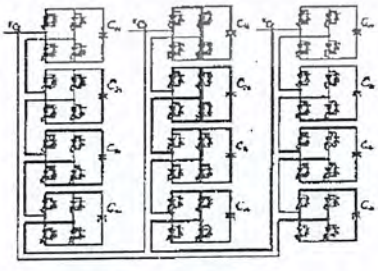
Fig.3 Principle of phase-shifting in half cycle

The resulting phase voltage is synthesized by the addition of the voltages generated by the different cells. each single-phase full-bridge converter generates three voltages at the output: +Vdc, 0, and –Vdc by connecting the dc source to the ac output by different combinations of the four switches, S1,S2,S3, and S4. To obtain +vdc, switches S1 and S3 are turned on. Turning on switches S2 and S4 yields –Vdc. By turning on S1 and S2 or S3 and S4, the output voltage is 0.. This is made possible by connecting the capacitors sequentially to the as side via the four power switches. The resulting output ac voltage swings from -4 Vdc to +4Vdc with nine levels, and the staircase waveform is nearly sinusoidal, even without filtering.

As shown in Fig.4, for a three phase system, the output voltages of the three cascaded converters can be connected in either Y-or Δ-configuration.



(a) Y-configuration



(b) Δ-configuration

Fig.4 Three-phase structure of the 9-level ML-VSCC for APF

3.APF based ML-VCC Converter with CPS-SPWM

As shown in Fig.5, we propose a novel multi-level voltage-source cascade converter (ML-VSCC) based carrier phase shifted SPWM (CPS-SPWM) for active

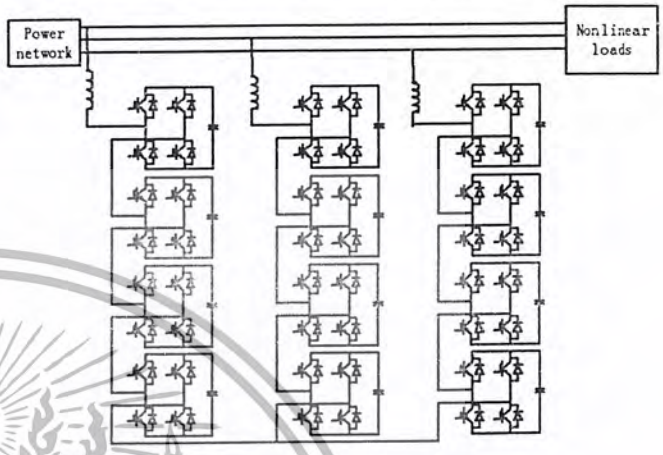


Fig.5 proposed configuration of APF

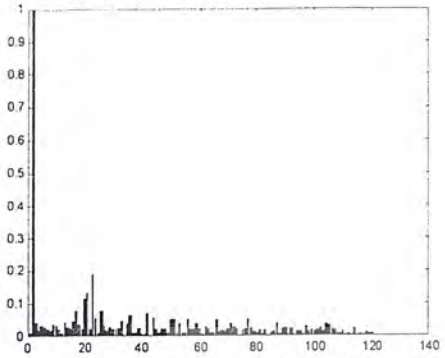
4. Modulation strategy

AS for modulation strategies for ML-VSCC, multi-level space vector modulation (ML-SVM) in ref [5][6] is an available way, which is natural extension of the classical two-level SVM to n-level converter. However, under deep modulation in use of ML-SVM, the device load will be unbalanced [9]. In this paper, a novel modulation strategy-Sample Time Staggered SVM (STS-PWM) is presented.

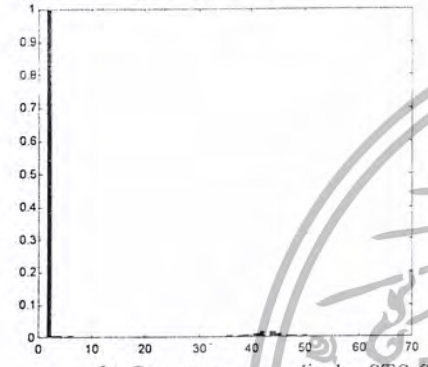
To be brief, the principle of STS-SVM is to stagger the sampling time for each converter unit. The left leg and the right leg of each converter unit are modulated respectively by SVM. The amplitude modulation index M and the frequency modulation index K are the same of either leg. However, the distribution of discrete space vectors for either leg is different. The dispersion of either θ is $\theta_m = \pi/k$. Each converter unit can generate a three-level output under such modulation. The same side leg of each converter unit of each level is also modulated as above-mentioned. The amplitude modulation index M and the frequency modulation index K are the same. The dispersion of the θ for each level is $\theta_{out} = \pi/k*N$, where N is the number of the converter units of each phase. Under such modulation, a 2N+1-level output waveform is summarized for each phase. The equivalent switching frequency is 2N times as that of each device.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

The output line voltage of the three-level converter is a five-level waveform. The output line voltage waveform and of three-level converter under ML-SVM are shown in Fig. 5, where K=21 and M=0.7.



(a) Output spectrum under ML-SVM



(b) Output spectrum under STS-SVM

Fig.6 Output line voltage spectrums through a LPF(K=21, M=0.7)

Through a simple low-pass filter with upper-limit passing frequency at 1kHz, the output line voltage spectrums of three-level converter under a ML-SVM and STS-SVM are shown in Fig.6 (a), (b) respectively. With the same frequency modulation index and the same amplitude modulation index, but the THD of them is different, the former is 0.1260 while the latter is 0.0327. The equivalent switching frequency of STS-SVM is 2N times as that of ML-SVM. Form the spectrums, the largest harmonic component is located at the 2N·K times fundamental harmonic under STS-SVM and so is located at the K times fundamental harmonic under ML-SVM. The equivalent switching frequency of the converter is higher and the harmonic component is better under STS-SVM.

5.Experimental Result

A experimental prototype under STS-SVM by Power MOSFET IRFP460 is accomplished. The experimental setup is implemented by two chips of TMS320F2407 DSP. The line voltage waveform and its spectrum with K=21 and M=1.0 are shown in Fig.7 and Fig.8. The experimental result is in a full agreement with the analysis

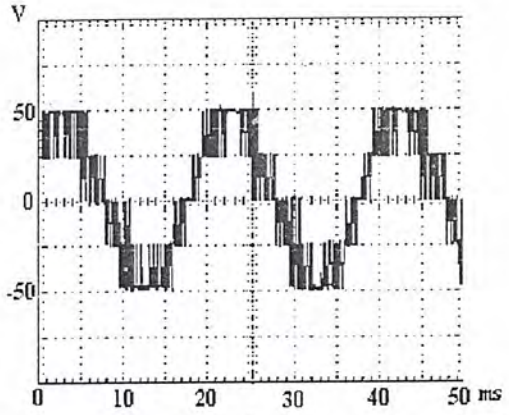


Fig.7 The output line voltage of experimental prototype

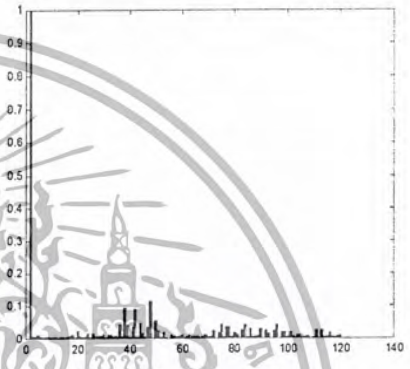


Fig.8 spectrum of the output line voltage of experimental prototype

6. Simulation Results

As shown in Fig.9, in order to simulate system shown in Fig.5, we built the whole control system of APF with four-modular converters. Some typical waveforms are shown as Fig.10. Satisfactory compensation has been obtained under relative low frequency(600Hz)

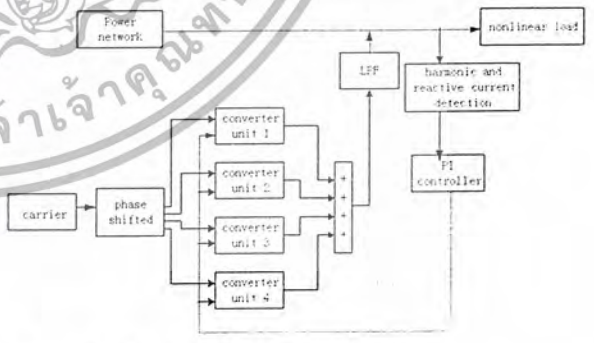
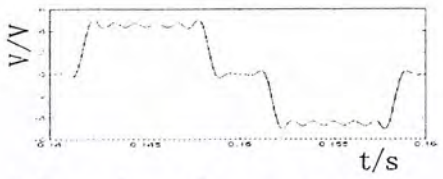
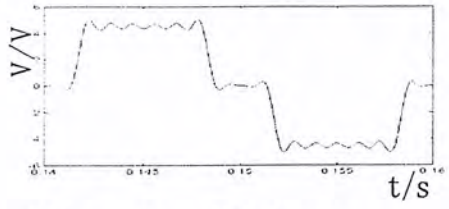


Fig. 9 schematic diagram of simulation system

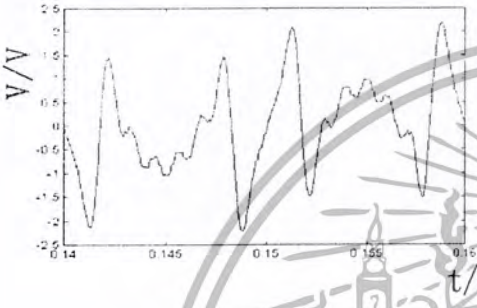
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(a) waveforms of power network

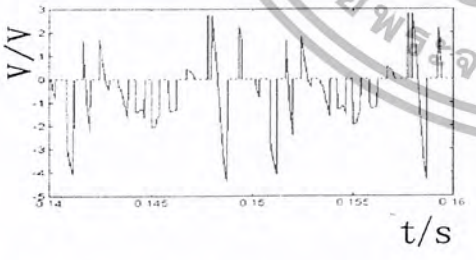


(b) waveforms of load current



(c)output waveforms of APF (t/s)

(d) waveforms of compensated current(i_{out}) (t/s)



(e)Waveforms of DC capacitor current

Fig.10 working waveforms of APF

7. Conclusions

We proposed ML-VCC based CPS-SPWM for APF with satisfactory performance. It could reduce harmonic and reactive power components of load current resulting in sinusoidal and unity power factor source currents under transient and steady state conditions. In addition to the ML-VCC advantage, it is also observed that

1) It reduces the single converter's switching frequency and switching loss, cancels the undesirable switching harmonic, improves the output wave [7];
2) The technique is based on SPWM, so that the existing control strategy used in the general SPWM can be introduced;
3) CPS-SPWM technique can be easily implemented in large power applications, such as APF;
4) The linear transportation between the input and output is approved with a wide bandwidth, which is more promising to APF.

REFERENCES

[1] Lai Jih-Sheng, Peng Fang Zheng, "Multi-level Converters——A New Breed of Power Converters" , IEEE Trans. on Ind. Appl. Vol.32.No.3,509~517,1996.

[2] Peng F.Z., Lai J.S. A multi-level voltage source converter with separate DC source for static Var generation. IEEE-T-IA, 32(5),1130~1137,1996.

[3] Zhang Z. C, Kuang J B and Ooi B T. "Forced commutated HVDC and SVC Based on Phase-Shifted Multi-Converter Modules," *IEEE Trans on PD*, 712~718, April 1993.

[4] Zhang Z.C, Ooi B.T, "Multi-modular Current-Source SPWM Converters for Superconducting a Magnetic Energy Storage System", IEEE. Trans. on. Power Electron. Vol.8.No.3,250~256,1993.

[5] Dengming Peng, Lee, F.C. and Boroyevich, D.,"A novel SVM algorithm for multilevel three-phase converters" PESC. 2002, IEEE 33rd Annual. Vol.2, no.2 , 509 -513, 2002.

[6] N. Celenovic, D. Borojevich," A fast space-vector modulation algorithm for multilevel three-phase converters", IEEE Transactions on Industry Applications, Vol.37 no. 2 , 637 -641 ,2001.

[7] Kazerani Mehrdad, Zhang Zhong-Chao and Ooi Boon-Teck, "Linearly Controllable Boost Voltages from Tri-level PWM Current Source Converter" IEEE Trans. on Ind. Electronics. Vol.42.No.1,72~77,1995.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

A Novel Current-source Converter with Carrier Phase Shifted SPWM for Active Power Filter

Li Jianlin
Wang Liqiao
Li Yuling
Zhang Zhongchao

Electrical Engineering Dept. Zhejiang University
Hangzhou, China 310027
0571-87952887
zjuljl@163.com
zhangzc@public1.zju.edu.cn

Abstract— A novel current-source active power filter (APF) based on multi-modular converter with carrier phase-shifted SPWM (CPS-SPWM) technique has been proposed. With this technique, the effect of equivalent high switching frequency converter has been obtained with low switching frequency converter. It is very promising in current-source APF, which adopt superconducting magnetic energy storage component.

1. INTRODUCTION

Active power filters (APF)[1] is a power conversion system for compensating the harmonic and reactive power from nonlinear load. The block diagram of a general APF is shown in Fig.1, where i_{sj} is the injected harmonic current, i_1 is fundamental current, i_L is load current, i_h is the harmonic current, which is drawn by the nonlinear load, and i_{out} is the resulting input current. If we apply Kirchhoff's current law to the conjunction node between the APF and the nonlinear load, the current equations of the node would be:

$$i_{out} = i_L + i_{sj} \quad (1)$$

$$i_L = i_1 + i_h \quad (2)$$

The basic idea of APF is to make the magnitude and phase of i_{sj} exactly the same as i_h, as listed in the following:

$$i_{sj} = -i_h \quad (3)$$

Combine (1), (2) and (3), we could get the following:

$$i_{out} = i_1 \quad (4)$$

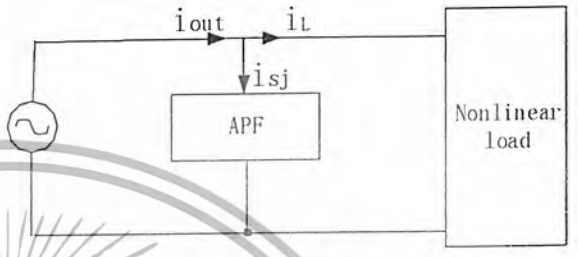


Fig.1 Block diagram of the general APF

The resulting i_{out} is sinusoidal and high quality. In this way, APF could provide the harmonic current, which is an essential requirement of the nonlinear load. APF can be divided into different types [2] ac cording to their system configurations.With the remarkable progress of self-turn off switching devices, attention has been focused on the active power using a current-source or voltage-source PWM converter [3], [4]. As shown in Fig.2 and Fig.3, respectively, the current-source APF has a dc inductor with a constant DC current, while the voltage-source APF has a capacitor on the DC side with a constant DC voltage. Although the voltage-source filters are better in regard to switching loss and the capacity to eliminate PWM carrier harmonics, the current-source filters, which can directly output harmonic current, are better concerning reliability and protection. Furthermore, considering the use of a superconducting magnet in the near future, the current-source filters may be a more practical solution, especially when the active filter is required to compensate not only the ordinary harmonics but also the sub-and super-harmonics related to the variation of the APF[5].

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

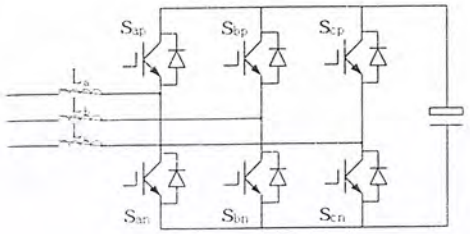


Fig.2 Voltage-source APF

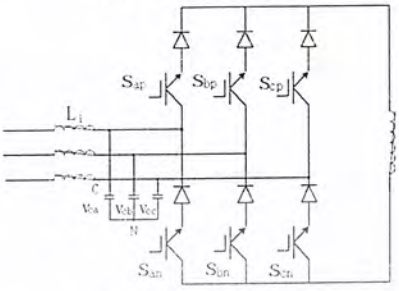


Fig.3 Current-source APF

In this paper, we propose a novel current-source converter based carrier phase shifted SPWM (CPS-SPWM) for active power filters. With the technique, the same harmonic elimination can be achieved at a lower switching frequency compared to SPWM. The CPS-SPWM principle that was proposed in [6] for SVG and SMES was also called phase-shifted SPWM. Analysis shows that our technique has several advantages:

(1) The semiconductor device can be used in a comparatively low switching frequency so that the switching loss could be reduced greatly.

(2) Since the converter system can directly output harmonic current at a low switching rate, with a reasonable bandwidth of the modulating signal, it is easy to apply different controls.

(3) With CPS-SPWM, the undesirable harmonics in the output are decreased considerably. In this way, the quality of the power system can be ameliorated to a great extent.

All of the above show that, the new current-source APF, which combines CPS-SPWM and SMES technique, is promising. The results of the simulation and experimentation verification would further prove our observation. We believe that the new technique would have a wide usage in very high power converter systems in the near future.

2. Principle of CPS-SPWM

2.1 Bi-logic Principle of CPS-SPWM

Fig. 4 shows a single-phase voltage-source CPS-SPWM converter with N units. Based on the bi-logic PWM principle, the shifted-phase of the triangular carrier signal is $\Delta\theta$ ($\Delta\theta = \theta/N$). Fig.5(b) shows the individual outputs of N converter numbers. All N outputs are added up to generate the output of the whole multi-modular converter, as shown in Fig.5(c). The spectrums of the multi-modular converters' output and of the individual converters' output, shown in Fig. 5(e) and Fig. 5(d) respectively, are calculated through FFT. The spectrum of multi-modular converter's output has much lower harmonics than that of any converter member.

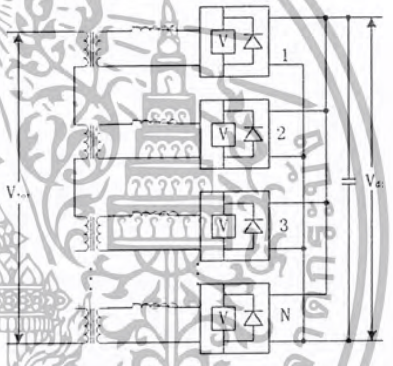


Fig.4 Topology schematic single- phase of phase-shifting

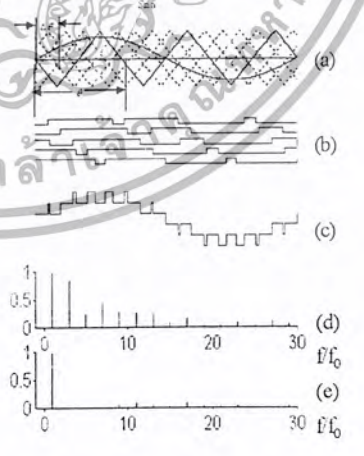


Fig.5 Bi-Logic principle of multi-Modular phase-shifting

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

voltage SPWM converter

Therefore, with the multi-modular CPS- SPWM converter, the bandwidth of a common converter with frequency ratio $N*K$ can be obtained at a very low switching frequency, which is an advantage over the current APF. This technique can also be applied in the current-source APF on multi-modular converter [7]. However, transition from 2-level PWM to 3-level PWM would be necessary for the current-source converter.

2.2 Current-source Converter based CPS-SPWM for APF

The topology of the three-phase current-source APF presented in this paper is shown in Fig.6. Although, harmonic component of nonlinear load current i_L is not negligible, if the APF current i_{sj} is made to follow the nonlinear load harmonic current, the source current i_{out} will consist only of the fundamental component of the load current i_L. The three-phase active power filter, again, is composed of N current-source converters. Here, each current-source converter is a 3-phase common current-source converter. The N converters are connected in parallel on the AC side to build the current-source multi-modular converter. The switch is composed of such devices as GTO and IGBT in series of diodes. The 2-order low pass filter is composed of L and C to filter out switching frequency harmonics. R represents parasitical resistance in the inductor L and the circuit, not the real resistance. As the CPS-SPWM be applied low switching frequency modulations of SPWM are implemented in the N converters, which are characterized by the same frequency ratio "k", amplitude ratio "m" and input harmonic current signal "S_m" (S_{ma}, S_{mb}, S_{mc}).

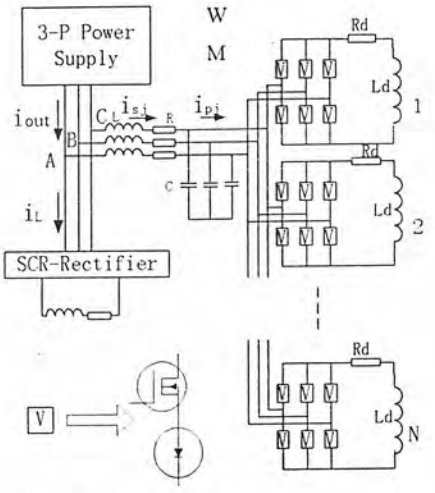


Fig.6 main circuit structure of proposed APF

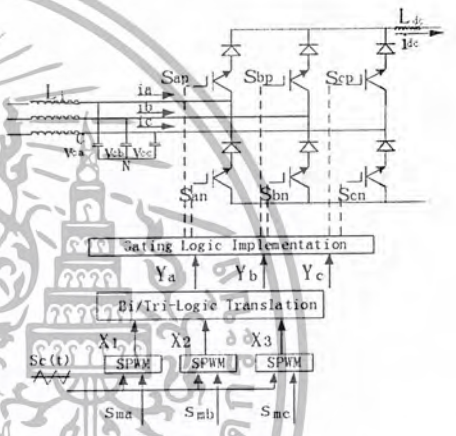


Fig.7 Current-source converter with tri-logic PWM control

Fig.7 shows the structure of a single unit of current-source APF in Fig.6, the currents $i_a(t)$, $i_b(t)$, $i_c(t)$ and the corresponding switching state should follow the tri-logic SPWM principle in [8]. Fig.7 also includes the block diagram of signal processing logic that is used to control these currents with the input signals *Sma*, *Smb* and *Smc*. As illustrated in Fig.7, this is achieved by the SPWM using triangular carrier signals *Sc(t)*. The bi-logic PWM signals $X_1(t)$,$X_2(t)$ and $X_3(t)$ are then translated into tri-logic PWM signals Ya(t), Yb(t) and Yc(t). The translation block is easily implemented by summers and proportional amplifiers. The tri-logic PWM signals are finally fed to the gating

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

logic block to switch the valve.The formula for translating the biologic PWM variables $X_1(t)$, $X_2(t)$, $X_3(t)$ (which have values +1 or -1) to the tri-logic PWM variables $Y_a(t)$, $Y_b(t)$, $Y_c(t)$ is based on the linear mapping[8]:

$$\begin{bmatrix} Ya(t) \\ Yb(t) \\ Yc(t) \end{bmatrix} = \frac{1}{2}[C]\begin{bmatrix} X_1(t) \\ X_2(t) \\ X_3(t) \end{bmatrix} \quad (5)$$

where,

$$[C] = \begin{bmatrix} 1 & -1 & 0 \\ 0 & 1 & -1 \\ -1 & 0 & 1 \end{bmatrix} \quad (6)$$

3. Control Circuit Design

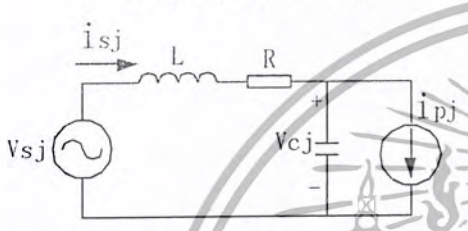


Fig.8 Equivalent circuit of current-source APF

Fig.8 is a simplified version of Fig.6. The *L*, *R* and *C* in both figures are identical. The current-source CPS-SPWM multi-modular converter is drawn as the current-source i_{pj}. The voltage source *Vsj* represents the 3-phase power system. Additional resistances in series with the inductors can damp these oscillations. However, this solution will lead to considerable energy consumption, which is not acceptable in large power systems. State feedback that is based on the pole-placement control is introduced in Fig.9. Poles of original system are placed to increase damping.

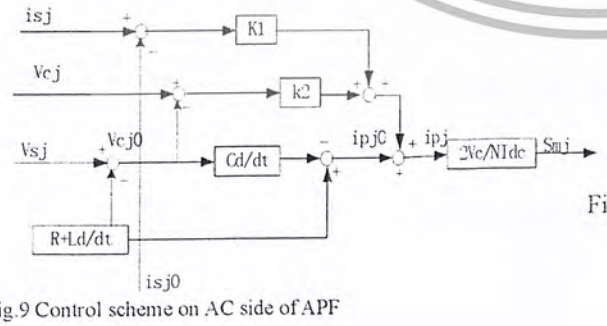


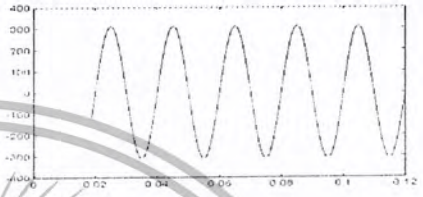
Fig.9 Control scheme on AC side of APF

(V_{cj0}. i_{sj0}. i_{pj0} are steady values of APF.

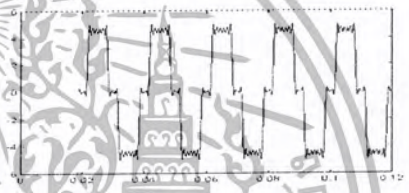
4.Result

4.1 Simulation Results

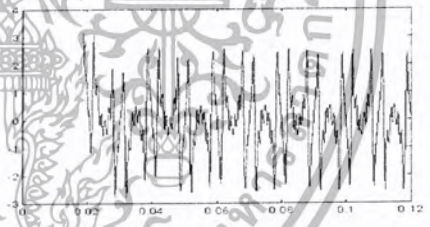
In order to simulate system shown in Fig.6, we built the whole control system of APF with four-modular current-source converters. Some typical waveforms are shown as Fig.11 under the following conditions: C=48μF, L=0.8mH, f_0=812Hz, R=1Ω, Ld=160mH. Satisfactory compensation has been obtained under relative low frequency (900Hz).



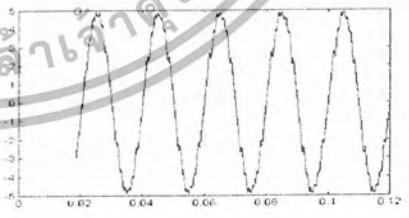
(a) waveforms of power network (V_A)



(b) waveforms of load current(i_L)



(c)output waveforms of APF(i_{sj})



(d) waveforms of compensated current(i_{out})

Fig.11 working waveforms of APF

(switching frequency: 900 Hz)

4.2 Experimentation verification

The validity of the proposed control system is proved by the simulation result. Additionally, a

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5-*kVA* experimental equipment shown in Fig.6 with the same component parameter as in simulation has been finished, in which DSP (TMS320C203) is adopted to carry out the control system. Experimental waveform and Spectrum of compensated current are shown Fig.13 and Fig.14 respectively, under the same setup as the simulation in 4.1.

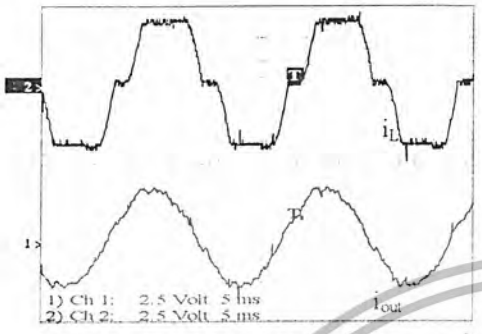


Fig.12 Experimental waveforms of APF

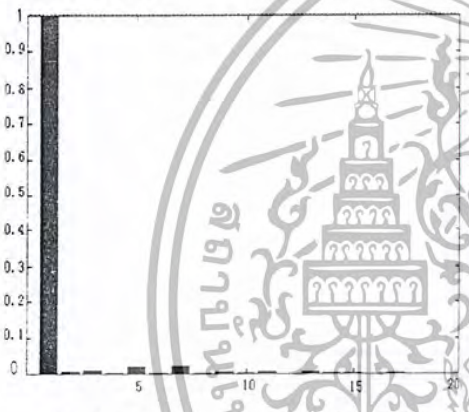


Fig.13 Spectrum of compensated current(i_{out})
i_L: load current i_{out} : compensated current

5. Conclusions

We proposed a current-source multi-modular converter based CPS-SPWM for APF with satisfactory performance. It could reduce harmonic and reactive power components of load current resulting in sinusoidal and unity power factor source currents under transient and steady state conditions. It is also observed that

1) It reduces the single converter's switching frequency and switching loss, cancels the undesirable switching harmonic, improves the output wave;
2) The CPS-SPWM technique can be easily implemented in large power applications, such as APF.
3) The technique is based on SPWM, so the existing control strategy used in general SPWM can be introduced.
4) The linear transportation between the input and output is approved with a wide bandwidth, which is more promising to APF.

Reference

[1] W. M. Grady, M.J. Samotyj and A. H. Noyola, "Survey of Active Line conditioning Methodologies" *IEEE Trans. on PD*, 1536-1542, March 1990.

[2] Akagi H, "New Trends in Active Filters for Power conditioning", *IEEE Trans. on PD*, 1312-1322, June 1996, IA-32.

[3] H. Kawahira, et al., "Active power filters," in Proc. *IIEE IPEC-Tokyo*, 981-988,1983.

[4] H. Akagi N. Nabae and S. Atoh, "control strategy of active power filters using multiple voltage-source PWM converters," Proc, *IEEE/IAS Annual Meeting*, 460-466,1985.

[5] T. Ishikawa, S. Akita and H. Taniguchi, "Power system stabilization by SMES using current-fed PWM power conditioner, " Proc. *IEEE PESC '88*, 334-341,1988.

[6] Zhang Z C, Kuang J B and Ooi B T. "Forced commutated HVDC and SVC Based on Phase-Shifted Multi-Converter Modules," *IEEE Trans on PD*, 712~718, April 1993.

[7] .Zhang Z.C, Ooi B.T, "Multi-modular Current-Source SPWM Converters for Superconducting a Magnetic Energy Storage System", IEEE. Trans. on. Power Electron. Vol.8,No.3,250~256,1993.

[8] Xiao Wang and Boon-Teck Ooi, "Unity PF Current-source Rectifier Based on Dynamic Trilogic PWM," IEEE Trans. on PE, 288-294, March 1993.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ความสำเร็จทุกอย่างย่อมมีที่มา และมีราคาเสมอ ราคาในที่นี้มิใช่เงินหรือทรัพย์สินที่เป็นรูปธรรม แต่เป็นความใฝ่รู้ความพยายามมุ่งมั่น – ตั้งใจจริง และทุ่มเท นั้นคือที่มาของความสำเร็จที่แท้จริง เช่นเดียวกับการดำเนินงานในโครงงานชิ้นนี้ซึ่งผู้ปฏิบัติต้องนำองค์ความรู้ทั้งหมดที่ผ่านกระบวนการเรียนรู้ - พิจารณาไตร่ตรองด้วยสติ – และนำสิ่งที่ค้นพบจากการไตร่ตรองนำมาใช้ได้อย่างมีประโยชน์ เพราะถ้าความรู้ที่ผ่านกระบวนการศึกษามาไม่สามารถนำมาใช้ได้ กระบวนการศึกษาที่ผ่านมานั้นย่อมไม่เกิดประโยชน์อะไร

ในโครงงานนี้ ผู้จัดทำมีความสำนึกในความอนุเคราะห์เป็นอย่างสูงต่อหน่วยงานที่ผู้จัดทำได้ทำการฝึกงานภาคฤดูร้อน (2545) คือบริษัทการท่าอากาศยานแห่งประเทศไทย จำกัด (มหาชน) ที่ทำให้ผู้จัดทำสามารถมีเวลาในการจัดหาข้อมูลที่มีผลทำให้โครงงานชิ้นสามารถเป็นรูปเป็นร่างได้ ขอขอบคุณอาจารย์ที่ปรึกษา รศ.พิชัย คูศิริวานิชกร ผู้ซึ่งกรุณาเป็นอย่างสูงในการให้คำแนะนำที่เป็นประโยชน์ต่อผู้จัดทำ เพื่อนพ้องผู้มีน้ำใจที่ช่วยเหลือในการหยิบยืมทั้งอุปกรณ์ต่างๆ และคำปรึกษาที่มีประโยชน์ สุดท้ายคือบุคคลอีกท่านมีส่วนสำคัญในความเป็นไปของโครงงานชิ้นนี้ และสิ่งที่สำคัญที่ผู้จัดทำจะลืมเสียไม่ได้ คือ บุพการีของผู้จัดทำ ผู้ซึ่งมีพระคุณที่สุดของผู้จัดทำเอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้