สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

# เครื่องวัดอัตราบิตผิดพลาด

# BIT ERROR RATE INSTRUMENT

โดย

นายกฤษฎา สุขดำ

นายนิคม คำภีระ

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาวิศวกรรมโทรคมนาคม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2546

เลขหมู่
เลขทะเบียน 54932
วัน,เดือน,ปี - 1 ต.ค. 2548

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# เครื่องวัดอัตราบิตผิดพลาด

# BIT ERROR RATE INSTRUMENT


โดย

นายกฤษฎา สุขดำ 44015048

นายนิคม คำภีระ 44015063

อาจารย์ที่ปรึกษา

รศ.ณรงค์ เหมกรณ์

รศ.นิภา ลีลารุจิ


ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาวิศวกรรมโทรคมนาคม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2546


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# เครื่องวัดอัตราบิตผิดพลาด

# BIT ERROR RATE INSTRUMENT

โดย นายกฤษฎา สุขดำ 44015048
นายนิคม คำภีระ 44015063

**อาจารย์ที่ปรึกษา** รศ.ณรงค์ เหมกรณ์
รศ.นิภา ลีลารุจิ

**บทคัดย่อ**

โครงงานนี้ศึกษาและสร้างเครื่องวัดอัตราบิตผิดพลาด ซึ่งเป็นเครื่องมือที่ใช้วัดคุณภาพของระบบการสื่อสารแบบดิจิตอลที่อัตราความเร็ว 2.048 เมกะบิตต่อวินาที การตรวจสอบว่าระบบการรับส่งสัญญาณดิจิตอลมีคุณภาพดีเพียงใดนั้น สามารถพิจารณาได้จากการผิดพลาดของบิตข้อมูลที่ทำการรับส่งที่เกิดขึ้นในระบบดังกล่าว เครื่องวัดอัตราบิตผิดพลาดที่สร้างขึ้นนี้จึงมีประโยชน์สำหรับจุดประสงค์ดังกล่าว

**ABSTRACT**

This project studies and constructs Bit Error Rate measuring equipment used for measurement the quality of digital communication system at 2.048 Mbit/s bit rate. Digital communication system good or bad quality, can be considered from bit error rate that occur in the system. This Bit Error Rate measuring equipment is then useful for this purpose.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ปีการศึกษา 2546

ภาควิชาวิศวกรรมโทรคมนาคม

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง **เครื่องวัดอัตราบิตผิดพลาด**

**BIT ERROR RATE INSTRUMENT**


ผู้จัดทำ

**1. นายกฤษฎา สุขดำ 44015048**

**2. นายนิคม คำภีระ 44015063**

.....

( รศ.ณรงค์ เหมกรณ์ ) อาจารย์ที่ปรึกษา

.....

( รศ.นิภา ลีลารุจิ ) อาจารย์ที่ปรึกษา


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ


| เรื่อง | หน้า |
|---|---|
| บทคัดย่อ | |
| บทที่ 1 บทนำ | 1 |
| บทที่ 2 ทฤษฎีและหลักการ | 2 |
| 2.1 ระบบสื่อสารดิจิตอล | 2 |
| 2.2 ต้นกำเนิดของความผิดพลาด | 3 |
| 2.3 การวัดคุณสมบัติในการใช้งานในระบบสื่อสารดิจิตอล | 6 |
| 2.3.1 กฎเกณฑ์คุณสมบัติการใช้งาน | 6 |
| 2.3.2 พารามิเตอร์ของคุณสมบัติการใช้งาน | 8 |
| 2.4 การแสดงความผิดพลาด | 9 |
| 2.4.1 การแสดงความผิดพลาดโดยใช้การทดสอบลำดับ | 10 |
| 2.4.2 สัญญาณทดสอบแบบลำดับดิจิตอล | 11 |
| 2.4.3 การวัดอัตราความผิดพลาดแบบบิต | 17 |
| 2.5 จิตเตอร์ | 19 |
| 2.6 มาตรฐานการวัดอัตราการผิดพลาดของข้อมูล (G.821) | 20 |
| 2.7 การส่งสัญญาณพีซีเอ็ม (PCM Transmission) | 23 |
| 2.7.1 หลักการของการส่งพีซีเอ็ม | 23 |
| 2.7.2 หลักการทำงานเบื้องต้นของระบบการรวมสัญญาณพีซีเอ็ม | 24 |
| บทที่ 3 การคำนวณและการสร้าง | 28 |
| 3.1 หลักการของเครื่องวัดอัตราบิตผิดพลาด | 28 |
| 3.2 การออกแบบเครื่องวัดอัตราความผิดพลาด | 29 |
| 3.3 วงจรกำเนิดสัญญาณทดสอบและวงจรกำเนิดสัญญาณเปรียบเทียบ | 29 |
| 3.4 วงจรกำเนิดสัญญาณนาฬิกา | 35 |
| 3.5 วงจรตรวจสอบบิตผิดพลาด | 35 |
| 3.5.1 วงจรสร้างสัญญาณเปรียบเทียบ | 35 |
| 3.5.2 วงจรสวิตซ์ | 36 |
| 3.5.3 วงจรควบคุมสวิตซ์ | 36 |
| 3.6 วงจรเข้ารหัสสัญญาณ NRZ/HDB-3 | 42 |
| 3.7 วงจรถอดรหัส HDB3/NRZ | 46 |
| 3.8 วงจรกู้สัญญาณนาฬิกา | 49 |
| 3.9 วงจรภาคแสดงผล | 49 |
| 3.9.1 ลำดับขั้นตอนการทำงานของโปรแกรมการแสดงผล | 51 |



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**สารบัญ (ต่อ)**


| เรื่อง | หน้า |
|---|---|
| บทที่ 4 การทดลองและผลการทดลอง | 52 |
| 4.1 ผลการทดลองวงจรกำเนิดสัญญาณนาฬิกา | 52 |
| 4.2 ผลการทดลองวงจรกำเนิดสัญญาณทดสอบและเปรียบเทียบ | 52 |
| 4.3 ผลการทดลองวงจรเข้ารหัส NRZ/HDB-3 | 53 |
| 4.4 ผลการทดลองวงจรถอดรหัส HDB-3/NRZ | 56 |
| 4.5 ผลการทดลองวงจรกู้สัญญาณนาฬิกา | 57 |
| 4.6 ผลการทดลองวงจรตรวจสอบการผิดพลาดของบิต | 58 |
| 4.7 ผลการทดลองวงจรภาคแสดงผล | 59 |
| 4.8 การตรวจสอบข้อมูลทางเทคนิค | 60 |
| 4.9 การทดสอบเครื่องวัดอัตราบิตผิดพลาด | 61 |
| บทที่ 5 บทสรุปและวิจารณ์ | 65 |
| 5.1 บทสรุป | 65 |
| 5.2 บทวิจารณ์ | 65 |
| 5.3 แนวทางการพัฒนาโครงงาน | 66 |
| ภาคผนวก | |
| กิตติกรรมประกาศ | |
| บรรณานุกรม | |



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# สารบัญรูปภาพ


| รูป | หน้า |
|---|---|
| รูปที่ 2.1 ส่วนประกอบโดยทั่วไปของระบบการสื่อสารดิจิตอล | 2 |
| รูปที่ 2.2 ความเป็นไปได้ในระบบดิจิตอล | 4 |
| รูปที่ 2.3 ความสัมพันธ์ระหว่างกฎเกณฑ์คุณสมบัติการใช้งานกับเฟสเพื่อติดต่อ | 8 |
| รูปที่ 2.4 ความสัมพันธ์ระหว่างกฎเกณฑ์ | 9 |
| รูปที่ 2.5 การทดสอบระบบแบบต่างๆ | 11 |
| รูปที่ 2.6 บล็อกไดอะแกรมการทำงานของวงจรกึ่งแรนดอม | 12 |
| รูปที่ 2.7 ตัวอย่างของตัวแยกความผิดพลาดแบบอัตโนมัติ | 14 |
| รูปที่ 2.8 ตัวอย่างของวงจรแยกความผิดพลาดแบบซิงค์โครนัสธรรมดา | 15 |
| รูปที่ 2.9 การแยกความผิดพลาดสำหรับตัวแยกความผิดพลาดแบบอัตโนมัติ | 16 |
| รูปที่ 2.10 หลักการวัดความผิดพลาดของบิต | 18 |
| รูปที่ 2.11 ความเบี่ยงเบนของสัญญาณเวลาซึ่งมีผลจากฐานเวลาที่ผิดพลาดไปรู้จักในชื่อของจิตเตอร์ | 19 |
| รูปที่ 2.12 รูปอายแพทเทิร์นแสดงสัญญาณรบกวนและการเบี่ยงเบนของเวลาในสัญญาณดิจิตอล | 20 |
| รูปที่ 2.13 ช่วงเวลาที่ใช้ได้ | 21 |
| รูปที่ 2.14 ช่วงเวลาที่ใช้ไม่ได้ | 21 |
| รูปที่ 2.15 ช่วงเวลาทั้งหมดที่ใช้ได้และช่วงเวลาที่ใช้ไม่ได้ | 21 |
| รูปที่ 2.16 หลักการของการส่งสัญญาณพีซีเอ็ม | 23 |
| รูปที่ 2.17 โครงสร้างของเฟรมและช่องของช่วงเวลา | 24 |
| รูปที่ 2.18 แสดงการเชื่อมต่อ | 25 |
| รูปที่ 2.19 บล็อกไดอะแกรมอุปกรณ์เชื่อมต่อสถานี | 25 |
| รูปที่ 2.20 สัญญาณที่ได้รับการปรับปรุง | 26 |
| รูปที่ 3.1 ก) บล็อกไดอะแกรมภาคส่งของเครื่องวัดอัตราบิตผิดพลาด<br>ข) บล็อกไดอะแกรมภาครับของเครื่องวัดอัตราบิตผิดพลาด | 28 |
| รูปที่ 3.2 บล็อกไดอะแกรมของการเกิดสัญญาณพีซีดูแรนดอมซีเควนซ์ | 30 |
| รูปที่ 3.3 ตัวอย่างบล็อกไดอะแกรมของสัญญาณพีซีดูที่ได้จากสมการ | 32 |
| รูปที่ 3.4 วงจรการใช้งานจริงของภาคกำเนิดสัญญาณ | 33 |
| รูปที่ 3.5 วงจรกำเนิดสัญญาณทดสอบและเปรียบเทียบ | 34 |
| รูปที่ 3.6 วงจรกำเนิดสัญญาณนาฬิกา 2.048 เมกะบิตต่อวินาที | 35 |
| รูปที่ 3.7 วงจรสวิตซ์ | 36 |
| รูปที่ 3.8 บล็อกไดอะแกรมการทำงานวงจรควบคุมสวิตซ์ | 37 |


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูปภาพ (ต่อ)


| รูป | หน้า |
|---|---|
| รูปที่ 3.9 วงจรควบคุมสวิตช์ | 38 |
| รูปที่ 3.10 แผนผังเวลาวงจรนับ 5 ของไอซีเบอร์ 74LS390 (U1B) | 39 |
| รูปที่ 3.11 แผนผังเวลาวงจรนับ 10 ของไอซีเบอร์ 74LS160 (U2) | 39 |
| รูปที่ 3.12 แผนผังเวลาวงจรนับ 10 ของไอซีเบอร์ 74LS390 (U1A) ในส่วนของการนับ 100 | 39 |
| รูปที่ 3.13 แผนผังเวลาวงจรนับ 10 ของไอซีเบอร์ 74LS160 (U3) ในส่วนของการนับ 100 | 40 |
| รูปที่ 3.14 แผนผังเวลาวงจรนับ 16 | 40 |
| รูปที่ 3.15 วงจรตรวจสอบบิตผิดพลาด | 41 |
| รูปที่ 3.16 แผนผังเวลาการเข้ารหัส HDB-3 | 42 |
| รูปที่ 3.17 บล็อกไดอะแกรมของการเข้ารหัส HDB-3 | 43 |
| รูปที่ 3.18 การทำงานการเข้ารหัส HDB-3 | 44 |
| รูปที่ 3.19 วงจรเข้ารหัส HDB-3 | 45 |
| รูปที่ 3.20 บล็อกไดอะแกรมการถอดรหัส HDB-3 | 46 |
| รูปที่ 3.21 การทำงานการถอดรหัส HDB-3 | 47 |
| รูปที่ 3.22 วงจรถอดรหัส HDB-3 | 48 |
| รูปที่ 3.23 วงจรกู้สัญญาณนาฬิกา | 49 |
| รูปที่ 3.24 วงจรภาคแสดงผล | 50 |
| รูปที่ 3.25 ลำดับขั้นตอนการทำงานของโปรแกรมการแสดงผล | 51 |
| รูปที่ 4.1 CH1 สัญญาณที่ได้จากคริสตอล 4.096 เมกะเฮิรตซ์ | 52 |
| CH2 สัญญาณนาฬิกาความถี่ 2.048 เมกะเฮิรตซ์ | |
| รูปที่ 4.2 CH1 สัญญาณนาฬิกาความถี่ 2.048 เมกะเฮิรตซ์ | 53 |
| CH2 สัญญาณพีซีดูแรนดอม | |
| รูปที่ 4.3 CH1 สัญญาณพีซีดูแรนดอม | 53 |
| CH2 สัญญาณ HDB-3 | |
| รูปที่ 4.4 CH1 สัญญาณพีซีดูแรนดอม | 54 |
| CH2 สัญญาณเอาต์พุตที่ขา S1 ของ 74LS194 | |
| รูปที่ 4.5 CH1 สัญญาณเอาต์พุตที่ขา 8 ของ 74LS04 | 54 |
| CH2 สัญญาณเอาต์พุตที่ขา 6 ของ 74LS10 | |
| รูปที่ 4.6 CH1 สัญญาณเอาต์พุตที่ขา 8 ของ 74LS04 | 55 |
| CH2 สัญญาณ HDB-3 | |
| รูปที่ 4.7 CH1 สัญญาณเอาต์พุตที่ขา 6 ของ 74LS10 | 55 |
| CH2 สัญญาณ HDB-3 | |


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูปภาพ (ต่อ)


| รูป | หน้า |
|---|---|
| รูปที่ 4.8 CH1 สัญญาณ HDB-3<br>CH2 สัญญาณ NRZ | 56 |
| รูปที่ 4.9 CH1 สัญญาณเอาต์พุตขา 7 ของ LM319<br>CH2 สัญญาณเอาต์พุตขา 11 ของ LM319 | 56 |
| รูปที่ 4.10 CH1 สัญญาณ HDB-3<br>CH2 สัญญาณนาฬิกาที่กู้ได้ | 57 |
| รูปที่ 4.11 CH1 สัญญาณนาฬิกาด้านอินพุท<br>CH2 สัญญาณนาฬิกาที่กู้ได้จากสัญญาณ HDB-3 | 57 |
| รูปที่ 4.12 CH1 และ CH2 สัญญาณพีซีดูแรนดอมขณะไม่ซิงค์ | 58 |
| รูปที่ 4.13 CH1 และ CH2 สัญญาณพีซีดูแรนดอมขณะซิงค์ | 58 |
| รูปที่ 4.14 CH1 สัญญาณบิตผิดพลาดขณะไม่ซิงค์<br>CH2 สัญญาณเอาต์พุตขณะซิงค์ | 59 |
| รูปที่ 4.15 จำนวนบิตที่ภาคแสดงผลนับได้ใน 1 วินาที | 59 |
| รูปที่ 4.16 ค่า Bit error rate ที่ได้จากการนำจำนวนบิตที่ผิดพลาดหารจำนวนบิตทั้งหมดที่ส่งไปเมื่อจำนวนบิตที่ผิดพลาดเป็นศูนย์ | 60 |
| รูปที่ 4.17 แสดงระยะเวลาในการทดสอบระบบเมื่อเริ่มกดรีสตาร์ท เป็นเวลา 1นาที 43 วินาที | 60 |
| รูปที่ 4.18 บล็อกไดอะแกรมของระบบส่งสัญญาณดิจิตอลอัตราความเร็ว 2.048 เมกะบิตต่อวินาทีของบริษัท กสท. โทรคมนาคม จำกัด (มหาชน) | 61 |
| รูปที่ 4.19 เครื่องวัดอัตราบิตผิดพลาด INTERCEPTOR 1402 | 62 |
| รูปที่ 4.20 บล็อกไดอะแกรมการเชื่อมต่อเครื่องวัดอัตราบิตผิดพลาดที่สร้างขึ้นกับเครื่องวัดอัตราบิตผิดพลาด INTERCEPTOR 1402 ของบริษัท กสท. โทรคมนาคม จำกัด (มหาชน) | 62 |
| รูปที่ 4.21 แสดงการเชื่อมต่อเครื่องวัดอัตราบิตผิดพลาดที่สร้างขึ้นกับเครื่องวัดอัตราบิตผิดพลาด INTERCEPTOR 1402 ของบริษัท กสท. โทรคมนาคม จำกัด (มหาชน) | 63 |
| รูปที่ 4.22 แสดงการซิงค์โครไนซ์ระหว่างเครื่องวัดอัตราบิตผิดพลาดที่สร้างขึ้นกับเครื่องวัดอัตราผิดพลาด INTERCEPTOR 1402 ของบริษัท กสท. โทรคมนาคม จำกัด (มหาชน) และค่าความผิดพลาด | 63 |
| รูปที่ 4.23 แสดงการเชื่อมต่อเครื่องวัดอัตราบิตผิดพลาดกับระบบการส่งสัญญาณดิจิตอลอัตราความเร็ว 2.048 เมกะบิตต่อวินาทีของบริษัท กสท. โทรคมนาคม จำกัด (มหาชน) เพื่อทำการทดสอบว่าเครื่องวัดที่สร้างขึ้นสามารถส่งข้อมูลเข้าไปในระบบได้หรือไม่ | 64 |


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# สารบัญตาราง


| ตาราง | หน้า |
|---|---|
| ตารางที่ 2.1 ตัวอย่างของแหล่งกำเนิด | 12 |
| ตารางที่ 2.2 ตัวอย่างของตัวแยกความผิดพลาดแบบอัตโนมัติ | 14 |
| ตารางที่ 2.3 ตัวอย่างของวงจรแยกความผิดพลาดแบบซิงค์โครนัสธรรมดา | 15 |
| ตารางที่ 2.4 การแยกความผิดพลาดสำหรับตัวแยกความผิดพลาดแบบอัตโนมัติ | 16 |
| ตารางที่ 2.5 ข้อเสนอแนะของ CCITT เพื่อวัดอัตราความผิดพลาดโดยใช้พีซีดู แรนดอมไบนารี่ซีเควนซ์ | 17 |
| ตารางที่ 3.1 ตัวอย่างบล็อกไดอะแกรมของสัญญาณพีซีดูที่ได้จากสมการ | 33 |



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# บทที่ 1
# บทนำ

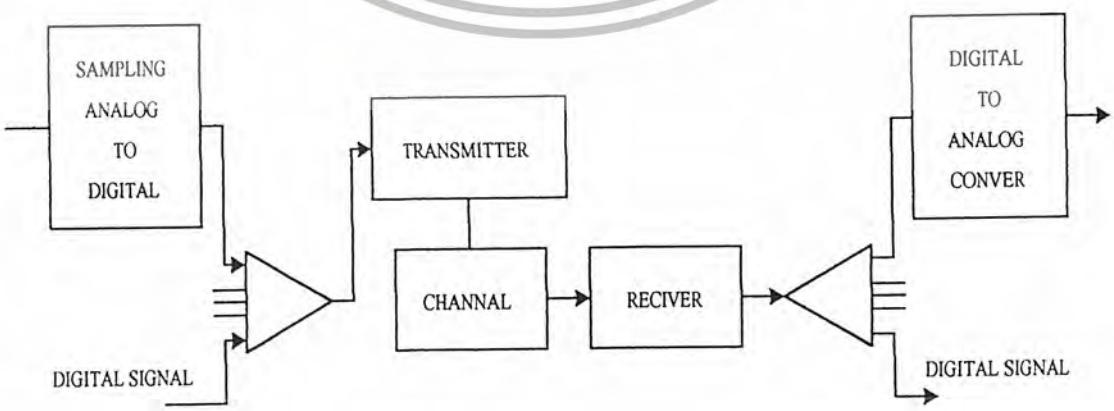
ข้อสำคัญในการพิจารณาการออกแบบระบบสื่อสาร (Communication System) คือการกำหนดคุณสมบัติในการใช้งานของระบบในระหว่างเวลาที่ระบบนั้นทำงานอยู่ แม้ว่าคุณสมบัติในการใช้งานนั้นอาจจะต้องปฏิบัติให้เป็นสิ่งที่พอใจแก่ผู้ใช้งานก็ตาม ในระบบสื่อสารดิจิตอล (Digital Communication System) ตัวแปรตัวหนึ่งที่พิจารณาก็คืออัตราความผิดพลาด (Bit Rate) ซึ่งอัตราความผิดพลาดคืออัตราส่วนของจำนวนหน่วยข่าวสาร (Information Unit) ที่รับมาไม่ถูกต้องต่อจำนวนหน่วยข่าวสารทั้งหมดที่รับได้ ในปัจจุบันระบบสื่อสารอนาล็อก (Analog Communication System) ได้ถูกแทนที่โดยการรวมระบบดิจิตอลกับระบบอนาล็อกเข้าด้วยกันหรืออาจจะเป็นระบบดิจิตอลโดยสิ้นเชิง ยิ่งกว่านั้นเป็นช่วงการเปลี่ยนจากการสื่อสารรูปแบบเสียงสู่แบบข้อมูล ความสำคัญของการแสดงคุณสมบัติในการใช้งานก็เพิ่มขึ้น สัญญาณเสียงที่ส่งในรูปแบบของดิจิตอลจะมีความถูกต้องสูงคืออัตราความผิดพลาดในระดับ 10 (หนึ่งในสิบล้านบิต) หรืออาจต่ำกว่านี้ ในบางระบบก็ยิ่งมีความต้องการการแสดงผลมากขึ้นโดยทั่วไปในระบบสื่อสารดิจิตอลเวลาเกิดการรบกวนขึ้นภายในระบบเพียงเล็กน้อยคุณลักษณะคุณสมบัติในการใช้งานระบบจะไม่เปลี่ยนอย่างทันทีทันใด ต้นเหตุอันนี้เป็นปัญหาในการกำหนดคุณสมบัติการใช้งานเวลาเปรียบเทียบกับการส่งอนาล็อกการผิดเพี้ยนในสัญญาณอนาล็อกจะส่งผลโดยตรงกับคุณสมบัติการใช้งานสำหรับผู้ใช้และสามารถแสดงผลการผิดเพี้ยนได้อย่างง่ายดาย แต่การผิดเพี้ยนของสัญญาณดิจิตอลจะไม่มีผลเด่นชัดต่อคุณสมบัติการใช้งาน จนกระทั่งเกิดการผิดพลาดขึ้นเพราะว่าจะมีช่วงเล็กน้อยเท่านั้นระหว่างจุดเริ่มต้นการผิดพลาดกับคุณสมบัติการใช้งานยอมรับไม่ได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# บทที่ 2
# ทฤษฎีหรือหลักการ

## 2.1 ระบบสื่อสารดิจิตอล (Digital Communication System)

จุดมุ่งหมายของระบบสื่อสาร คือการส่งข่าวสารจากจุดหนึ่งไปยังจุดอื่นๆ โดยข่าวสารนี้อยู่ในรูปของสัญญาณไฟฟ้าในแบบอนาล็อกหรือดิจิตอล สัญญาณอนาล็อก (Analog Signal) คือสัญญาณที่มีค่าต่อเนื่องตลอดเวลาในขณะที่สัญญาณดิจิตอล (Digital Signal) คือสัญญาณที่มีค่าแน่นอนและมีจำนวนจำกัด ตัวอย่างของสัญญาณอนาล็อกคือเสียงที่รับได้โดยไมโครโฟน และตัวอย่างของสัญญาณดิจิตอลคือสัญญาณข้อมูลที่ส่งออกจากคอมพิวเตอร์ ส่วนประกอบเบื้องต้นของระบบสื่อสารดิจิตอลแสดงให้เห็นในรูปที่ 1โดยสัญญาณขาเข้า (Input Signal ) อาจจะมีลักษณะรูปแบบเดียวกับข้อมูลคอมพิวเตอร์หรือสัญญาณอนาล็อกจะทำการแปลงให้เป็นสัญญาณดิจิตอลโดยการสุ่มตัวอย่าง (Sampling ) และการจัดระดับ (Quantization) สัญญาณแต่ละแบบที่เข้ามาจะถูกส่ง (Transmitter) รวมสถานะแน่นอนของสัญญาณดิจิตอลทั้งหมดเข้าเป็นรูปแบบซึ่งเหมาะสมสำหรับช่องสัญญาณ (Channel) ระหว่างตัวส่งกับตัวรับ โดยที่ช่องสัญญาณจะมีรูปแบบที่แตกต่างกันออกไปขึ้นอยู่กับโครงสร้างทางฟิสิกซ์ เช่นสายคู่ขนาน (Wire Pair) สายโคแอ็กเชียล (Coaxial) เส้นใยแสง (Optical Fibers) และชั้นบรรยากาศ สำหรับการส่งด้วยคลื่นวิทยุซึ่งแตกต่างไปตามความต้องการของตัวส่ง โดยทั่วไปช่องสัญญาณจะทำให้เกิดการผิดเพี้ยน (Distortion) ไปจากสัญญาณที่ส่งเนื่องจากการบวกสัญญาณรบกวน (Noise) ที่หลีกเลี่ยงไม่ได้ทำให้เครื่องรับต้องทำงานหนักในการกู้ (Recover) เอาสัญญาณที่ถูกต้องกลับมาถ้าช่องสัญญาณมีระยะทางไกล การลดทอน (Attenuation) สัญญาณที่ส่งก็จะสูงทำให้ต้องมีตัวทบทวนสัญญาณ (Repeater) ระหว่างตัวส่งกับตัวรับเพื่อให้ปรับคุณลักษณะของสัญญาณถูกต้อง รูปแบบง่ายๆ ของตัวทวนสัญญาณคือแอมปลิฟลายซึ่งใช้ในระบบอนาล็อก ซึ่งจะทำหน้าที่ขยายสัญญาณที่รับเข้ามาแล้วส่งออกไป แต่วิธีนี้สัญญาณรบกวนก็จะถูกขยายด้วยซึ่งไม่ได้เป็นการจำกัดการผิดเพี้ยนของสัญญาณ ส่วนตัวทวนสัญญาณระบบดิจิตอลจะทำการสร้างสัญญาณขึ้นมาใหม่จากสัญญาณเดิมแล้วทำการส่งต่อไป




**รูปที่ 2.1 ส่วนประกอบโดยทั่วไปของระบบการสื่อสารดิจิตอล**

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ความสามารถในการสร้างสัญญาณใหม่เป็นข้อได้เปรียบของระบบดิจิตอล ในการสื่อสารระบบอนาล็อกตัวทวนสัญญาณจะทำหน้าที่ขยายอย่างเดียวโดยที่เครื่องรับจะทำการประมาณรูปร่างของสัญญาณให้ตรงกับสัญญาณที่ส่ง การวัดคุณสมบัติในการใช้งานของระบบจะวัดในเทอมของการเหมือนกันระหว่างสัญญาณที่ส่งกับสัญญาณที่รับ

ในการสื่อสารดิจิตอลเครื่องรับจะพิจารณาความคล้ายคลึงของจำนวนที่เป็นไปได้ของสัญญาณที่ส่งมายกเว้นสถานะของสัญญาณผิดรูปไปหลายครั้ง การพิจารณาความถูกต้องทำให้สามารถสร้างสัญญาณที่ส่งมาได้สมบูรณ์ จากการกู้สัญญาณส่วนหนึ่งของหน่วยข่าวสารที่กู้ไม่ถูกต้องอัตราความผิดพลาดจะนำมาใช้ในการวัดจำนวนปริมาณของคุณสมบัติในการใช้งานระบบ จะเห็นว่าคุณสมบัติในการใช้งานของระบบสื่อสารดิจิตอลจะไม่เกี่ยวข้องกับระยะทางของช่องสัญญาณ จากความแตกต่างของการวัดคุณสมบัติในการใช้งานของระบบทั้งสองนี้ เป็นจุดที่นำไปใช้ในการออกแบบอย่างกว้างๆ ระบบดิจิตอลที่เริ่มเข้ามาระบบแรกคือระบบพาหะดิจิตอลที่1 (T1 Digital Carrier System)

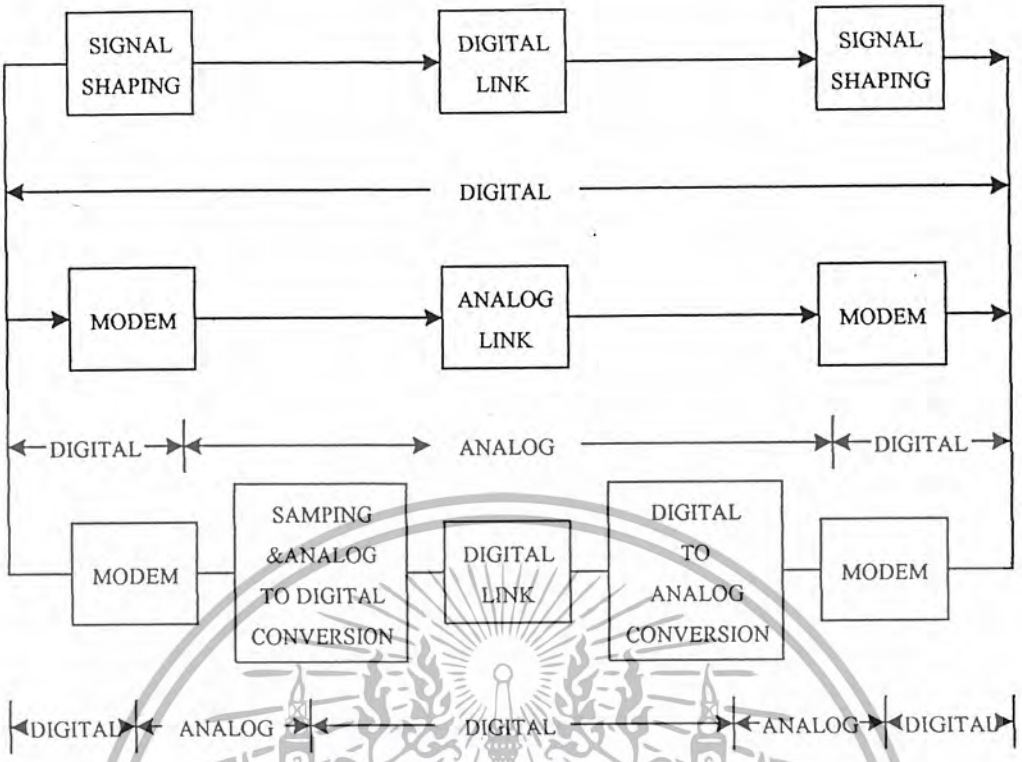
โดยระบบนี้จะใช้เบสแบนด์พัลซ์ ( Base Band Pulse) สำหรับส่งสัญญาณดิจิตอลสองระดับด้วยสายคู่ขนานและมีตัวทวนสัญญาณทุกๆ กิโลเมตร ตั้งแต่นั้นมาจำนวนของระบบดิจิตอลก็มีเพิ่มขึ้น โดยมีอัตราการส่งข้อมูลสูงสุดและใช้ตัวกลางในการส่งที่แตกต่างไป เช่นคลื่นวิทยุและเส้นใยแสง

ในช่วงต่อมาได้นำเอากฎเกณฑ์ของระบบอนาล็อกมาใช้ในการกำหนดคุณสมบัติการใช้งานระบบสื่อสารดิจิตอลด้วย โดยส่วนใหญ่การพัฒนาระบบดิจิตอลนี้มีรูปแบบมาจากรูปแบบการส่งข้อมูลอนาล็อก ในปัจจุบันเพื่อความสะดวกในการใช้งานจึงได้มีการออกแบบการสื่อสารอนาล็อกเพื่อการส่งสัญญาณดิจิตอลผ่านเข้าไปในระบบ โครงข่ายของอนาล็อกแต่ละระบบ สัญญาณดิจิตอลจะถูกทำการผสมสัญญาณ (Modulate) ในลักษณะเช่นเดียวกันกับผสมสัญญาณอนาล็อก และที่ด้านรับสัญญาณดิจิตอลจะถูกแยกออกจากพาหะ อุปกรณ์ที่ทำหน้าที่นี้เรียกว่าโมเดม (Modem) ซึ่งมาจากคำว่า Modulator Demodulator ย่านความถี่ส่วนใหญ่ของสัญญาณที่ใช้ในการส่งของข่ายสายสัญญาณโทรศัพท์จะมีย่านความถี่ 300 - 3400 เฮิรตซ์เรียกย่านนี้ว่าย่านข้อมูลเสียง (Voice Band Data Or VBD) ซึ่งความกว้างของย่านช่องสัญญาณนี้จะขึ้นอยู่กับชนิดของตัวกลางในการส่งและ วิธีการของการสื่อสารดิจิตอล จะอ้างถึงสัญญาณดิจิตอลที่ส่งในรูปแบบของอนาล็อก การรวมระบบสื่อสารดิจิตอลและอนาล็อกเข้าด้วยกันเป็นระบบผสมซึ่งมีใช้อยู่ ในปัจจุบันสามารถแสดงให้ดูได้ดังรูปที่ 2.2

## 2.2 ต้นกำเนิดของความผิดพลาด (Sources of Error)

โดยทั่วไปในระบบสื่อสารดิจิตอลเปอร์เซ็นต์การรบกวนจากช่องสัญญาณ จะมีน้อยกว่าระบบอนาล็อก แต่ถ้าความผิดพลาดที่เกิดขึ้นในขั้นตอนสุดท้ายมีมากก็จะทำให้คุณสมบัติในการใช้งานลดลง ในแต่ละวิธีของการส่งสัญญาณข้อมูลดิจิตอลจะเป็นการส่งข้อมูลในรูปแบบของสัญญาณอนาล็อก โดยทั่วไปในการส่งข่าวสารข้อมูลผลต่างจะอยู่ที่การใช้ตัวทวนสัญญาณในระบบดิจิตอลจะทำการแยกระบบออกเป็นการเชื่อมโยงจุดย่อยทำให้ความสามารถคำนวณการผิดเพี้ยนของสัญญาณได้ และสามารถทำการกำจัดออกไปก่อนที่จะเกิดการผิดเพี้ยนที่สูง ชนิดของการผิดเพี้ยนที่เป็นสาเหตุให้เกิดการกู้ข้อมูลผิดพลาดแบ่งเป็น 2 กลุ่มคือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 2.2 ความเป็นไปได้ในระบบดิจิตอล

กลุ่มแรก เป็นกลุ่มที่เกิดจากการคาดการณ์ไว้ล่วงหน้าและความไม่สมดุลย์ของช่องสัญญาณซึ่งผลอันนี้จะไม่นำมาคิด

กลุ่มสอง กลุ่มที่สองเป็นกลุ่มที่เกิดจากการรบกวน ในรูปแบบที่ไม่สามารถคาดการณ์ได้และเป็นผลจากการรบกวนจากภายนอก

ความผิดพลาดที่เกิดขึ้นในระบบดิจิตอลนั้นไม่ได้เกิดจากสาเหตุเดียว แต่เกิดจากหลายสาเหตุรวมกันซึ่งเป็นผลให้เกิดความแตกต่างของรูปร่างคลื่นในแต่ละจุด ความผิดพลาดที่เกิดขึ้นมีผลมาจากการบวกผลของสัญญาณรบกวนเข้าไป สองสาเหตุสำคัญที่ทำให้เกิดการผิดพลาดขึ้นคือความไม่สมบูรณ์ในคุณลักษณะของขนาด (Amplitude) และเฟส (Phase) เนื่องจากย่านที่จำกัดของช่องสัญญาณการผิดเพี้ยนทางขนาดเกิดจากการเปลี่ยนแปลงความสัมพันธ์และขนาดของส่วนประกอบของสัญญาณในความถี่ต่างๆ ที่เปลี่ยนไป และการผิดเพี้ยนทางเฟสเกิดจากการเปลี่ยนแปลงที่เกี่ยวข้องกับเวลาในการส่งแต่ละรูปแบบของการทำให้สัญญาณที่รับผิดเพี้ยนเป็นฟังก์ชั่นของค่าสัญญาณที่ส่งมาก่อนที่เฉพาะจุดในเวลานั้นๆ ผลอันนี้เรียกว่าการรบกวนทางสัญลักษณ์ (Inter Symbol Interference) ถ้าเกิดการเลื่อนของช่องสัญญาณกับการแยกช่องสัญญาณจะทำให้เกิดการแปลสถานะของข่าวสารที่รับได้ผิดไป

คุณลักษณะของขนาดและเฟสในตัวกลางที่ส่งบางตัวไม่ว่าจะเป็นสายคู่ขนาน หรือสายโคแอ็กเชียลจะสัมพันธ์กับค่าคงที่ของเวลา และสามารถแก้ไขได้โดยการเปลี่ยนช่วงตอบสนองของวงจรในการส่งแต่ละแบบไม่ว่าจะเป็นการส่งคลื่นวิทยุผ่านชั้นบรรยากาศ คุณลักษณะของช่องสัญญาณจะเปลี่ยนแปลงไปตลอดเวลา สาเหตุของการรบกวนเกิดจากการเปลี่ยนช่วงของระบบมีหลายสาเหตุที่แสดงอาการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คล้ายกันและเราสามารถแยกเอาสัญญาณรบกวนนี้ออกไปได้ โดยใช้ตัวกรองความถี่ (Filter) ถ้ากำลังของสัญญาณมีขนาดเท่ากับกำลังสัญญาณรบกวน จะทำให้เกิดการแปลงสัญญาณที่รับได้ผิดไปและอัตราความผิดพลาดก็จะมีค่าสูง ดังนั้นระดับของสัญญาณรบกวนจะถูกคำนวณในขนาดที่สัญญาณเดินทางผ่านช่องสัญญาณ และจะถูกกำจัดออกไปก่อนที่สัญญาณรบกวนจะมีขนาดใหญ่จากเทคนิคอันนี้ทำให้ค่าอัตราความผิดพลาดน้อยลง อย่างไรก็ตามผลของสัญญาณรบกวนจะต้องนำมาคิดที่ตัวรับด้วยชนิดของการรบกวนแบบธรรมดา คือผลชั่วคราวที่เกิดจากอิมพัลซ์นอยส์ (Impulse Noise) และการหยุดชะงัก อิมพัลซ์นอยส์มีคุณลักษณะของการรบกวนเป็นยอดแหลมที่เกิดขึ้นอย่างรวดเร็ว และ มีระดับพลังงานเทียบเท่าระดับของสัญญาณซึ่งเป็นสาเหตุอันหนึ่งที่ทำให้ อัตราความผิดพลาดเพิ่มขึ้น การหยุดชะงักของระบบมีลักษณะเช่นเดียวกับการสูญหายของสัญญาณข้อมูลในช่วงสั้นๆ เป็นผลให้เกิดผิดพลาดซึ่งอัตราความผิดพลาดที่เกิดจากสาเหตุทั้งสองนี้เป็นเรื่องธรรมดาในระบบการสื่อสารดิจิตอล เวลาเกิดปัญหานี้ขึ้นจะทำการแก้ไขโดยการส่งข้อมูลซ้ำ

โดยทั่วไปเวลาที่เกิดพัลซ์จนถึงเวลาที่พัลซ์หยุดเกิดและไปเริ่มเกิดพัลซ์ลูกใหม่นั้น จะมีค่าเวลาที่แน่นอนเมื่อสัญญาณถูกรับมาจะแสดงค่าสูงสุดที่พ้นจากสัญญาณรบกวน และนี่คือเวลาที่จะตัดสินใจว่าควรจะแสดงค่าสัญญาณดิจิตอล การกำหนดเวลาที่เปลี่ยนไปในเครื่องรับนั้นสามารถนำมาเป็นออฟเซ็ต (Offset) คงที่จากการสุ่มที่เหมาะสมที่สุด ในแต่ละกรณีของความผิดพลาดที่อยู่ข้างหน้าขอบนั้นจะถูกทำให้ลดลง สัญญาณรบกวนที่มีระดับต่ำเป็นสาเหตุของความผิดพลาดได้จำนวนของการสั่นทางเฟสที่เกิดจากการสุ่มตัวอย่างเป็นสาเหตุหนึ่งของความผิดพลาด ซึ่งจะต้องทำการกู้ข้อมูลซ้ำและสร้างสัญญาณใหม่สามารถทำได้จากการสุ่มตัวอย่างโดยการกำหนดเวลาสัญญาณขึ้นใหม่

ปัญหาการกำหนดเวลาอาจเกิดขึ้นถ้าเครื่องรับเกิดการสูญเสียการติดตามจำนวนหน่วยข่าวสารรับในหลายแบบของการพาข่าวสารไปบนช่องสัญญาณ อาจจะกำหนดในแต่ละเวลาที่แคบบนช่องสัญญาณเป็นช่วงๆ ขบวนการนี้เรียกว่าการแบ่งช่วงเวลาในการส่ง (Time Division Multiplexing) ถ้าเครื่องรับไม่มีเอกลักษณ์ของช่วงเวลาที่แคบในการเริ่มต้นรับข่าวสารก็ไม่สามารถแบ่งแยกได้อย่างถูกต้อง และไม่มีประโยชน์เว้นแต่ข่าวสารหนึ่งหน่วยจะถูกรับเข้ามาเฉพาะที่ถูกต้องเท่านั้น ธรรมดาการออกแบบการสื่อสารระบบดิจิตอลคือการเลือกช่องสัญญาณให้มีลักษณะที่เหมาะสมสำหรับการส่งข้อมูล แต่ไม่ใช่สำหรับย่านข้อมูลเสียง (Voice Band Data) อย่างไรก็ตามช่องสัญญาณที่กล่าวถึงเป็นการเริ่มต้นออกแบบสำหรับการสื่อสารสัญญาณเสียง สำหรับการส่งข้อมูลย่านเสียงเราอาจจะแนะนำสาเหตุที่ทำให้การผสมสัญญาณข้อมูลผิดเพี้ยนแต่ไม่ทำให้ระบบการการสื่อสารผิดเพี้ยนซึ่งมีดังนี้

1. การผิดเพี้ยนที่ไม่เป็นเชิงเส้น (Non Linear Distortion) เป็นการพูดถึงฮาร์โมนิค (Harmonics) ของความถี่สัญญาณขาเข้าในสัญญาณขาออก มักจะเกิดจากส่วนประกอบของช่องสัญญาณทำให้เอาต์พุทไม่เป็นฟังก์ชั่นเชิงเส้นกับสัญญาณอินพุทและทำให้เกิดการรบกวนทางสัญญาณ

2. ความถี่ออฟเซ็ต (Offset Frequency) เป็นการเลื่อนของความถี่เล็กน้อยด้วยค่าคงที่ในความถี่ทั้งหมดที่ได้รับ ซึ่งเป็นค่าความแตกต่างของความถี่พาหะที่ใช้ในการผสมคลื่นกับการแปลงข้อมูล (Demodulation)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3. ลิสทีนเนอร์เอ็กโค่ (Listener Echo) เป็นการบวกในช่วงเวลาที่หน่วงด้วยสัญญาณตัวมันเองจะเกิดการสะท้อนที่ไม่ต่อเนื่องในทางเดินการส่ง

4. การรบกวนจากความถี่ (Single Frequency Interference) เป็นการบวกสัญญาณโทนเสียงเข้ากับสัญญาณอินพุต

5. อัตราการขยายและเฟสฮิท (Gain And Phase Hit) เป็นการเปลี่ยนแปลงอย่างรวดเร็วในขนาดหรือเฟสของสัญญาณที่รับโดยมีสาเหตุจากช่องสัญญาณ

แม้ว่าสาเหตุของการผิดพลาดในระบบการสื่อสารคือความไม่สมบูรณ์ของช่องสัญญาณ ซึ่งผลที่เกิดขึ้นกับสัญญาณจะมากหรือน้อยขึ้นอยู่กับส่วนประกอบของความไม่สมบูรณ์นั้นๆ โดยทั่วไปอัตราความผิดพลาดจะสูง และข้อมูลที่รับได้จะใช้ไม่ได้ในช่วงการส่งที่ไม่สำเร็จนี้ ถ้าระบบมีเครื่องตรวจสอบก็จะทำให้ผู้ใช้งานสามารถพบได้ในเวลาอันสั้น

2.3 การวัดคุณสมบัติในการใช้งานในระบบสื่อสารดิจิตอล

2.3.1 กฎเกณฑ์คุณสมบัติการใช้งาน (Performance Criteria)

ในการกำหนดชนิดความสามารถของระบบการสื่อสารที่จะพาข่าวสารและเปรียบเทียบระบบนั้นกับระบบอื่นๆ คือการตั้งกฎเกณฑ์คุณสมบัติในการใช้งานที่ดี ซึ่งเป็นสิ่งที่ต้องการแต่ละกฎเกณฑ์เหมาะสำหรับการใช้งานอย่างง่ายและคุณลักษณะของคุณสมบัติในการใช้งานระบบนั้นต้องสมบูรณ์และรายละเอียดภายนอกจะขึ้นอยู่กับโครงสร้างของระบบ ข้อกำหนดมีความจำเป็นสำหรับผู้ออกแบบหรือผู้ใช้ระบบสื่อสาร เพื่อให้สามารถทำการเปรียบเทียบความแตกต่างของวิธีการส่งข่าวสาร และสามารถที่จะนำมาใช้งานจริงๆ ได้ ตัวอย่างอันหนึ่งของการเลือกที่จะทำการสื่อสารข้อมูลการส่งจะส่งในรูปแบบของดิจิตอลหรืออนาล็อก ทางเดินที่ดีของข่าวสารจากแหล่งกำเนิดถึงผู้ใช้อาจจะติดตั้งถาวรสำหรับการเชื่อมต่อระหว่างจุดถึงจุด หรืออาจจะตั้งขึ้นชั่วคราวเฉพาะเวลาที่ต้องการ

จำนวนกฎเกณฑ์คุณสมบัติในการใช้งานที่มีแนะนำใช้ช่วงเวลาที่ผ่านมาส่วนใหญ่จะเกี่ยวข้องกับคุณสมบัติในการสื่อสารข้อมูลที่พิจารณาดูที่จุดของผู้ใช้งานในแต่ละระบบ อย่างไรก็ตามกฎเกณฑ์ที่แนะนำไว้สามารถที่จะนำไปประยุกต์ เข้ากับการส่งสัญญาณเสียงที่ได้รับการแปลงให้เป็นดิจิตอลในรูปแบบอื่นๆ ได้ กฎเกณฑ์อีกอันหนึ่งที่เกี่ยวข้องกับคุณสมบัติในการใช้งานก็คือการรับผิดชอบและการบำรุงรักษา กฎเกณฑ์อันนี้เป็นผลดีในการเพิ่มคุณสมบัติการใช้งานขึ้นอีกข้อเสนอแนะอักแรกที่ยอมรับก็คือข้อเสนอแนะของสมาคมมาตรฐานแห่งชาติอเมริกา (America National Standards Institute Or ANSI) ซึ่งพิจารณาคุณสมบัติการใช้งานในเทอมของเฟสที่ใช้สำหรับการติดต่อ (Call Phase) เฟสที่ใช้สำหรับติดต่อสามารถแบ่งออกได้เป็น 5 เฟสคือ

1. เฟสที่ใช้สำหรับการเชื่อมต่อ (Connection Phase)

2. เฟสที่ใช้สำหรับการเชื่อมโยง (Link Phase) สัญญาณเฟสทั้งสองจะเกิดขึ้นในเวลาที่มีการส่งข่าวสารผ่านช่องสัญญาณ โดยเฟสที่ 1 จะใช้สำหรับวงจรสวิทช์ (Switch Circuit) เพื่อทำการตัดต่อช่องสัญญาณและเฟสที่ 2 ใช้ในการเตรียมสำหรับการรับส่งข่าวสาร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3. เฟสการส่งข่าวสาร (Information Transfer Phase) เป็นเฟสที่แสดงถึงการเริ่มต้นการส่งข่าวสารและสิ้นสุดการส่งข่าวสาร

4. และ 5. (Connection Clearing Phase) เป็นเฟสที่ใช้ในการเคลียการเชื่อมต่อต่าง ๆ เมื่อสิ้นสุดการส่งข่าวสาร

สมาคมมาตรฐานแห่งชาติอเมริกาได้ให้คำจำกัดความของกฎเกณฑ์ 4 ข้อที่กำหนดคุณสมบัติในการใช้งานของทางเดินข่าวสาร (Information Path) โดยประกอบด้วย

1. อัตราการส่งบิตข่าวสาร (Transfer Rate of Information)

2. เวลาที่ใช้ในการส่ง (Transfer Overhand Time)

3. อัตราความผิดพลาดที่ปรากฏ (Residual Error Rate)

4. กฎเกณฑ์ที่เป็นประโยชน์อื่น ๆ (Availability)

อัตราการส่งบิตข่าวสารแสดงโดยอัตราส่วนระหว่างจำนวนบิตในระหว่างช่วงเวลาของเฟสการส่งข่าวสาร ซึ่งแสดงในรูปของบิตต่อวินาทีและที่ใช้ในการส่งข่าวสารหารด้วยจำนวนของบิตข่าวสารที่รับ คือ

TOT = T1+T2+T4+T5 / (NUMBER OF INFORMATION BITS ACCEPTED BY RECEIVER)

โดยที่ Ti คือระยะเวลาของเฟส i ในหน่วยเวลาและ อัตราความผิดพลาดเป็นอัตราส่วนระหว่างจำนวนหน่วยข่าวสารที่ไม่ถูกต้องต่อจำนวนหน่วยข่าวสารทั้งหมดที่เครื่องรับ จากผลเหล่านี้เป็นส่วนหนึ่งของการตัดสินใจเลือกช่วงคาบเวลาซึ่งจะทำให้ทางเดินข่าวสารมีความสามารถในทางปฏิบัติตามที่กำหนดมาซึ่งในรูปที่ 2.3 แสดงความสัมพันธ์ระหว่างกฎเกณฑ์คุณสมบัติในการใช้งานกับเฟสที่ใช้สำหรับติดต่อ

แม้ว่าความหมายของกฎเกณฑ์จะเป็นการแนะนำเกี่ยวกับข้อควรระวังและผู้ใช้งานสามารถตรวจสอบได้ง่ายๆ อย่างไรก็ตามกฎเกณฑ์คือการแยกเอาการเสื่อมลงของคุณสมบัติในการใช้งานออกและบ่งบอกถึงสาเหตุของเหตุการณ์ที่เกิดขึ้น กฎเกณฑ์คุณสมบัติการใช้งาน 7 ข้อที่ควรพิจารณา

1. ความสามารถ (Accessibility) เป็นการวัดความสามารถในการใช้งานหรือการติดต่อด้วยระบบสื่อสารที่สามารถหาบริการได้ง่าย

2. ผลประโยชน์ (Availability) เป็นการวัดความน่าจะเป็นของการบริการในขั้นตอนสุดท้าย

3. ความถูกต้อง (Accuracy) เป็นการวัดความผิดพลาดที่เกิดจากการส่งข่าวสาร

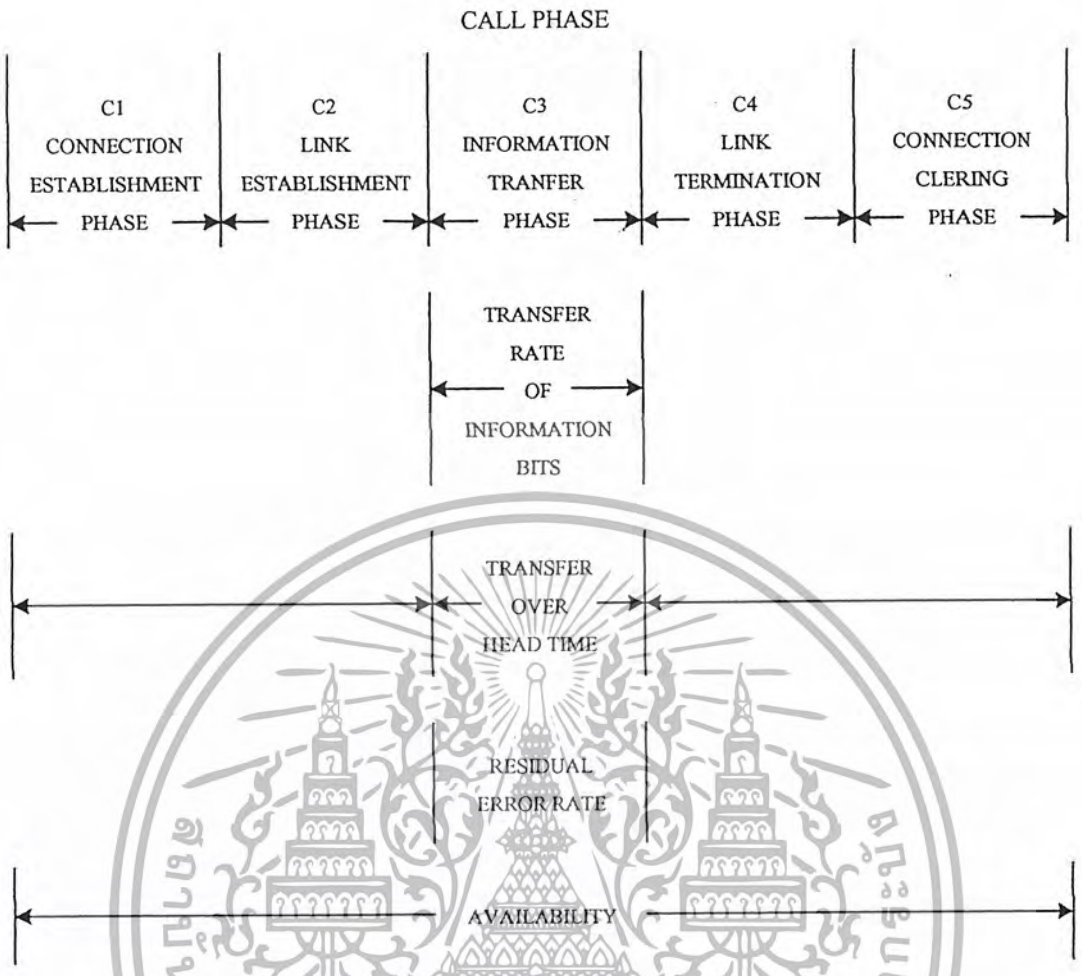
4. การหน่วงเวลา (Delay) การวัดเวลาที่ผ่านไปที่เกิดขึ้นกับแหล่งกำเนิดข่าวสาร หรือผู้ใช้เป็นช่วงเวลาระหว่างการเริ่มต้นส่งข่าวสารของแหล่งกำเนิดหรือช่วงเวลาที่บิตแรกถึงผู้ใช้งาน

5. การแสดงผล (Efficiency) การแสดงความสามารถซึ่งระบบจะหาหนทางคล้ายคลึงสำหรับการส่งข่าวสาร

6. ความปลอดภัย (Security) เป็นการวัดระดับความสามารถของระบบที่จะไม่ทำให้ข้อมูลถูกทำลาย

7. การเปลี่ยนแปลง (Transparency) คือความสามารถที่จะเปลี่ยนแปลงในการส่งข้อมูลได้กว้าง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



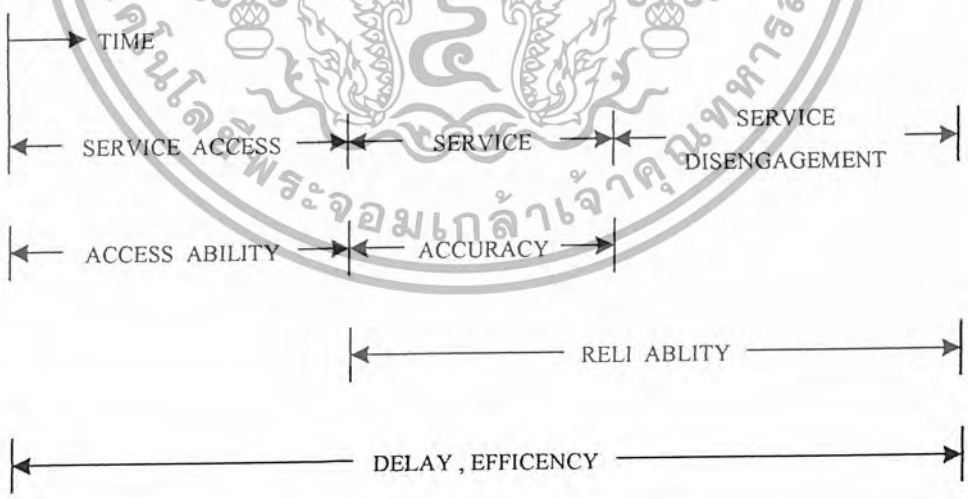

รูปที่ 2.3 ความสัมพันธ์ระหว่างกฎเกณฑ์คุณสมบัติการใช้งานกับเฟสเพื่อติดต่อ

2.3.2 พารามิเตอร์ของคุณสมบัติการใช้งาน (Performance Parameter)

กฎเกณฑ์คุณสมบัติโดยทั่วไปที่มีอยู่เป็นธรรมดาที่จะค่อนข้างจะเป็นเรื่องย่อๆ และจะไม่สามารถทำการวัดได้โดยตรงถ้าต้องการแสดงค่าออกมาเป็นตัวเลขพารามิเตอร์ ในการใช้งานจะถูกจำกัดและวัดเฉพาะคุณสมบัติที่มีอิทธิพลต่อการใช้งาน ซึ่งแต่ละกฎเกณฑ์นั้นอาจจะสัมพันธ์กับพารามิเตอร์ย่อยๆ และสามารถกำหนดค่าได้ ถ้าสูตรที่คำนวณนั้นรวมผลของตัวแปรนั้นด้วยการไม่เหมือนกันของกฎเกณฑ์คุณสมบัติการใช้งานกับพารามิเตอร์ซึ่งจะเป็นการวัดความเหมาะสมในระบบ และเป็นเครื่องชี้ความแตกต่างระหว่างผู้เลือกใช้พารามิเตอร์ที่เหมาะสมโดยจะวัดผลประโยชน์ของข่าวสารที่จุดปลายของระบบสื่อสารดิจิตอล และการจัดการหรือเก็บรักษาพารามิเตอร์ที่เหมาะสมซึ่งจะวัดแต่ละส่วนประกอบของแต่ละระบบ ส่วนพารามิเตอร์ของผู้ใช้งานจะเกี่ยวข้องกับการตรวจสอบคุณสมบัติในการใช้งานที่พบในความเป็นจริงทั้งหมด และพารามิเตอร์นี้จะใช้วัดการตรวจสอบการทำงานของส่วนที่จัดไว้และใช้ค่าพารามิเตอร์หาจุดของปัญหาที่เกิดขึ้น แต่ในที่นี้เราจะพิจารณาพารามิเตอร์ที่มีความสัมพันธ์กับอัตราความผิดพลาดเท่านั้น ส่วนใหญ่วิธีการวัดความแน่นอนของพารามิเตอร์จะอยู่ในรูปแบบของการแสดงอัตราความผิดพลาด ซึ่งหาได้จากการนับจำนวนหน่วยข่าวสารที่ผิด (NE) แล้วหารด้วยจำนวนหน่วยข่าวสารทั้ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หมด (NI) ในช่วงเวลาที่วัดได้ ER = NE / NI ซึ่งค่าอันนี้จะนำไปใช้ในการประมาณความน่าจะเป็นของการเกิดความผิดพลาด โดยทั่วไปแล้วจำนวนข่าวสารที่รับจะเท่ากับจำนวนข่าวสารที่ส่งแต่ในระบบจะมีการเสียหายของข้อมูลในช่องสัญญาณและรูปแบบการจำลองผิดพลาดก็จะนับได้เหมือนกับการคำนวณอัตราการผิดพลาด มีความเป็นไปได้ที่จะคำนวณเนื้อหาความเสียหายและจำลองหน่วยข่าวสารเพื่อหาความผิดพลาด ข่าวสารดิจิตอลอาจจะตรวจสอบความผิดพลาดในหน่วยของบิตและอัตราบิตผิดพลาดโดยข่าวสารจะมีโครงสร้างเป็นตัวอักษร (Character) หรือบล็อก (Block) ในระบบส่วนใหญ่เปอร์เซ็นต์ของการเกิดบิตผิดพลาดในรูปแบบตัวอักษรจะเกิดเป็นส่วนน้อย ดังนั้นอัตราความผิดพลาดจะแสดงในรูปของความผิดพลาดต่อตัวอักษรหรือบล็อกที่รับเข้ามา และอัตราความผิดพลาดที่เกิดขึ้นจะเปลี่ยนไปตามขนาดของตัวอักษรหรือบล็อก รูปแบบของการแสดงค่าอัตราความผิดพลาดจะต้องมีการกล่าวแนะนำด้วยบางระบบมีการบวกข่าวสารส่วนเกินเข้าไปในสัญญาณที่ส่ง โดยอยู่ในรูปของการบวกบิตข่าวสารเรียกว่าพาริตี้บิต (Parity Bit) ซึ่งค่าของมันจะถูกกำหนดจากบิตของข่าวสารอื่นๆ ผลที่นำเอาพาริตี้บิตมาใช้คือมันจะถูกใช้แสดงการเกิดความผิดพลาดของข้อมูลซึ่งอัตราพาริตี้ผิดพลาด (Parity Error Bit) สามารถแสดงได้เหมือนกับอัตราความผิดพลาดของบิต โดยการดีเท็คพาริตี้ (Detec Parity) แล้วหารด้วยจำนวนบิตทั้งหมด การวัดอัตราความผิดพลาดคือการแสดงจำนวนของการผิดพลาดที่เกิดขึ้นในช่วงของคาบเวลานั้น วิธีการหนึ่งที่เป็นไปได้ในการแสดงการกระจายคือ ช่วงเวลาอิสระที่เกิดความผิดพลาด (Error Free Interval) ซึ่งจะวัดในช่วงเวลาที่เกิดความผิดพลาดตัวแรกถึงความผิดพลาดตัวต่อไป ค่าช่วงเวลาที่ได้รับระหว่างเวลาที่ทำการวัด สามารถใช้เขียนกราฟแสดงเครื่องหมายระหว่างความผิดพลาดและช่วงเวลาที่เกิดความผิดพลาดสามารถวัดได้เหมือนกับการวัดบิตที่ผิดพลาดในช่วงเวลาหรือช่วงของตัวอักษร หรือบล็อกขึ้นอยู่กับความสะดวกของผู้ทำการวัด




รูปที่ 2.4 ความสัมพันธ์ระหว่างกฎเกณฑ์

2.4 การแสดงความผิดพลาด (Error Monitors)

ในการแสดงความผิดพลาดที่เกิดขึ้น เราสามารถแบ่งออกได้ 4 แบบ

1. การแสดงความผิดพลาดโดยใช้สัญญาณทดสอบ (Error Monitor Using Test Signals)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2. การแสดงความผิดพลาดโดยใช้พารามิเตอร์ (Error Monitors Measuring Parameters)

3. การแสดงความผิดพลาดโดยการแยกจุดเสียหาย (Error Monitors Using Violation Detection)

4. การแสดงความผิดพลาดโดยการใช้การแสดงความผิดพลาดปลอม (Error Monitor Using Pseudo Error Monitoring)

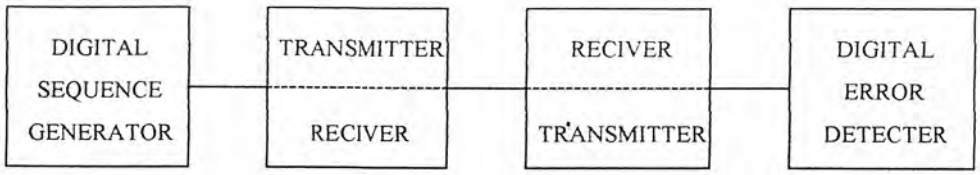
โดยสัญญาณทดสอบ (Test Signal) คือสัญญาณที่มีรูปแบบและระดับของสัญญาณที่รู้รูปแบบใช้เพื่อทำการทดสอบและการประมาณคุณสมบัติในการใช้งานระบบ หรือวัดอัตราความผิดพลาดสามารถทำการประมาณได้จากการวัดพารามิเตอร์ของสัญญาณ ซึ่งในการวัดจะวัดพารามิเตอร์ตัวใดขึ้นอยู่กับแต่ละกรณีบ่อยครั้งที่ข้อมูลจะถูกทำการเข้ารหัสก่อนที่จะทำการส่งเวลาที่เกิดความผิดพลาดขึ้นจะทำให้รูปแบบสัญญาณเปลี่ยนไป เราจะทำการตรวจสอบจำนวนจุดที่ถูกทำลายไปและประมาณความผิดพลาดที่เกิดขึ้น ส่วนการแสดงความผิดพลาดในแบบที่ 4 นั้นจะพิจารณาทางเดินของสัญญาณที่รองลงมากับการควบคุมจำนวนของการรบกวน และ ทำการบวกความผิดพลาดที่ได้เพิ่มซึ่งจะสัมพันธ์กับความผิดพลาดจริงๆ จากการวัดอัตราความผิดพลาดปลอมแสดงความผิดพลาดในแต่ละแบบนั้นปริญญานิพนธ์เล่มนี้เลือกพิจารณาเฉพาะการแสดงความผิดพลาดโดยใช้สัญญาณทดสอบ

2.4.1 การแสดงความผิดพลาดโดยใช้การทดสอบลำดับ (Error Monitoring Using Yeast Sequences)

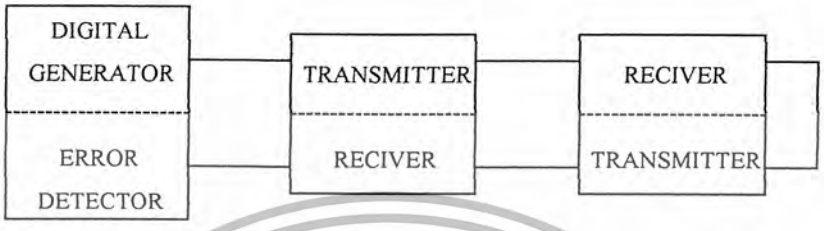
ส่วนวิธีที่แน่นอนของการกำหนดคุณภาพข่าวสารที่ส่งออกไปยังเครื่องมือรับคือการเปรียบเทียบข้อมูลที่ได้รับกับข้อมูลที่ส่ง ซึ่งข้อมูลพิเศษที่รู้รูปแบบจะถูกนำมาใช้ในการทดสอบหรืออาจจะใช้วิธีการป้อนกลับคือที่เครื่องรับทำการส่งข่าวสารที่รับได้กลับมายังแหล่งกำเนิด การตรวจสอบทำได้โดยเปรียบเทียบสัญญาณที่ส่งและรับทำให้รู้จำนวนของการผิดพลาดที่ได้เกิดขึ้นในระบบสื่อสาร ในการส่งข้อมูลทดสอบ (Test Sequences) จะทำจากข้อมูลดิจิตอล (Digital Sequences) โดยรวมให้ผ่านทางช่องสัญญาณจากแหล่งจ่ายถึงจุดทดสอบหรือสัญญาณตรวจสอบอนาล็อก (Analog Test Sequence) จะใช้ตรวจสอบส่วนของช่องสัญญาณอนาล็อกเท่านั้น โดยใช้หลักการตรวจสอบลำดับสัญญาณทดสอบในแต่ละส่วนของการสื่อสาร จะทำให้เราหาสาเหตุของการเสื่อมลงในระบบแต่ละส่วนนี่คือความจำเป็นในการตรวจซ่อมระบบถ้าหากระบบเกิดเปลี่ยนไป

รูปที่ 2.5 แสดงย่านของการตรวจสอบโดยใช้สัญญาณอนาล็อกและดิจิตอลตรวจสอบ โดยการส่งแบบทิศทางเดียวแบบมีการป้อนกลับ ในการส่งแบบทิศทางเดียวจะต้องมีอุปกรณ์ทดสอบและผู้เชี่ยวชาญในการทำงานที่ปลายทางถ้าใช้แบบย้อนกลับจะสามารถทำการทดสอบได้ไกลและแน่นอน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




(A) ONE WAY CHANNEL TEST




(B) TWO WAY CHANNEL TEST

รูปที่ 2.5 การทดสอบระบบแบบต่าง ๆ

2.4.2 สัญญาณทดสอบแบบลำดับดิจิตอล (Digital Test Sequences)

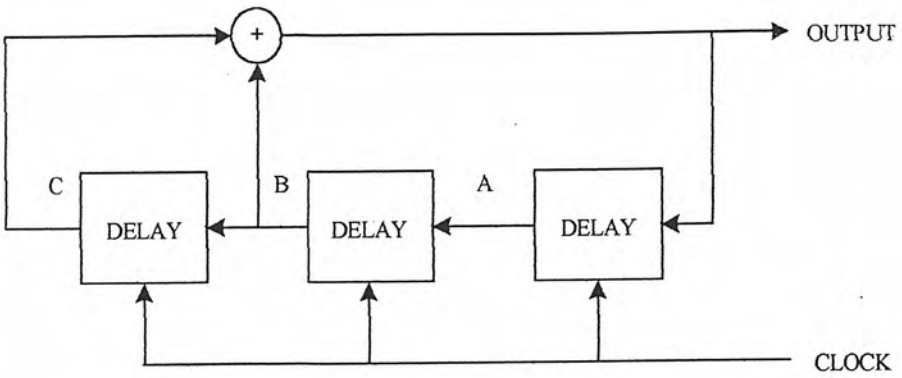
การทดสอบลำดับทดสอบแบบดิจิตอลหาค่าคุณสมบัติขนาดจำนวนการผิดพลาดในคาบเวลาหนึ่ง สามารถที่จะตรวจจับการผิดพลาดที่ระยะไกลได้ ในระหว่างที่วัดอยู่นั้นอุปกรณ์กำเนิดสัญญาณและตรวจจับความผิดพลาดจะทำหน้าที่ส่งข้อมูลแทนในการวัดความผิดพลาด โดยใช้สัญญาณการทดสอบแบบลำดับดิจิตอลแสดงผลโดยใช้ลำดับทดสอบดิจิตอลจะต้องรู้รูปแบบในการส่งข้อมูลที่ด้านรับปลายทางจะเอาข้อมูลที่ได้มาเปรียบเทียบค่าที่ได้ออกมาเป็นผลการผิดพลาด รูปแบบของข้อมูลจะอ่านจากส่วนที่เก็บลำดับทดสอบทั้งทางด้านส่งและด้านรับ ตัวอย่างเช่นเทปหรือหน่วยความจำแต่โดยทั่วไปจะใช้รีจิสเตอร์ (Register) ตัวอย่างของรูปแบบสัญญาณแสดงในรูปที่ 2.6 แต่ละตัวของรีจิสเตอร์จะเก็บ 1 หลักไบนารี่เท่ากับที่มันป้อนเข้าทางอินพุต เมื่อป้อนสัญญาณนาฬิกาข้อมูลจะถูกเลื่อนไปและจะนำไปบวกกับบิตที่ป้อนกลับจากเอาต์พุตรีจิสเตอร์หรือจากส่วนอื่นๆ โดยใช้ตัวเลือกที่เหมาะสมของตำแหน่งสำหรับทำการป้อนกลับและบวกกันมันจะให้คาบของการอนุกรม ซึ่งจะเป็นจุดประสงค์ของการตรวจสอบที่สามารถพิจารณาได้คาบของอนุกรมนี้จะกำหนดได้โดย N-Stage ของรีจิสเตอร์คือ $2^n$-1 คุณสมบัติอื่นๆ ของค่าคาบอนุกรมคือ

1. จะมีชิฟรีจิสเตอร์ (Shift Register) ที่ใช้งาน N บิตร่วมกันยกเว้นจุดเป็นศูนย์รวมกันและคาบของอนุกรมคือ $2^n$-1

2. แต่ละคาบเวลาของอนุกรมจะประกอบด้วย 1 หรือ 0 และจำนวนของ 1 และ 0 เกือบเท่ากันจะคาดว่าเป็นอนุกรมจริง

3. การเรียงกันของอนุกรมคือ –1/ N สำหรับทุกเวลาที่เลื่อน ยกเว้นเวลาที่เลื่อนไปที่ศูนย์ (Shift Of Zero) ลักษณะเช่นนี้อนุกรมจะใกล้เคียงคุณสมบัติของไวท์นอยส์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




3 ELEMENTS SHIFT REGISTER

รูปที่ 2.6 บล็อกไดอะแกรมการทำงานของวงจรกึ่งแรนดอม

ตารางที่ 2.1 ตัวอย่างของแหล่งกำเนิด (Pseudo Random Sequence)

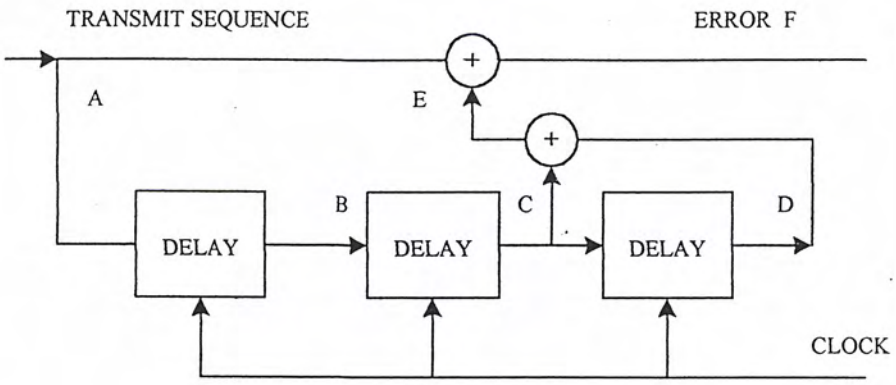
| TIME | VALUES AT POINTS | | | |
|---|---|---|---|---|
| | A | B | C | D |
| 0 | 1 | 1 | 1 | 0 |
| 1 | 0 | 1 | 1 | 0 |
| 2 | 0 | 0 | 1 | 1 |
| 3 | 1 | 0 | 0 | 0 |
| 4 | 0 | 1 | 0 | 1 |
| 5 | 1 | 0 | 1 | 1 |
| 6 | 1 | 1 | 0 | 1 |
| 7 | 1 | 1 | 1 | 0 |
| 8 | 0 | 1 | 1 | 0 |
| 9 | 0 | 0 | 1 | 1 |
| 10 | 1 | 0 | 0 | 0 |
| 11 | 0 | 1 | 0 | 1 |
| 12 | 1 | 0 | 1 | 1 |

ถ้า N เพิ่มขึ้นอนุกรมก็จะใกล้เคียงความเป็นจริงมากขึ้นมาตรฐานที่กำหนดไว้ของความยาวคือ 62, 511 และ 2407 บิต สำหรับการส่งความเร็วต่ำในย่านความถี่สูงถึง 2-3 ล้านบิตในการส่งที่มีความเร็วสูงอนุกรมยาวๆ ค่าจะใกล้เคียงกับข้อมูลที่ส่งมากกว่า การผิดพลาดในการรับข้อมูลสามารถตรวจได้โดยจะต้องรู้รูปแบบในอนุกรมและตำแหน่งในการรับข้อมูลแต่ละส่วนของอนุกรม ถ้ารูปแบบดิจิตอลที่ส่งและการตรวจวัดความผิดพลาดที่รับได้รวมกันต่อแบบป้อนกลับและเกิดการหน่วงเวลาตลอดช่องสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

และการตรวจวัดความผิดพลาดที่รับได้รวมกันต่อแบบป้อนกลับและเกิดการหน่วงเวลาตลอดช่องสัญญาณจะเล็กกว่าเวลาที่ส่งข้อมูลในระบบส่งแบบทิศทางเดียว การตรวจสอบและการวัดบนช่องสัญญาณจะแสดงการหน่วงเวลาอย่างไรก็ตามมันมักจะมีอิสระจากอนุกรมที่จะส่งและตรวจจับการผิดพลาด แหล่งกำเนิดในการส่งและรับมีการซิงค์ (Sync) ข้อมูลที่ได้แบบฟอร์มที่แน่นอนในลำดับทดสอบ โดยเฉพาะรูปแบบที่ยาวเป็นพันบิตนิยมใช้ชิฟรีจิสเตอร์เครื่องมือในรูปที่ 2.7 ที่ภาครับเป็นออโต้ซิงค์ (Auto Sync) ในการเข้ารหัสการทำงานแบบนี้จะแสดงผลการกู้ข้อมูลได้รวดเร็วจากการเสียของซิงค์ ถ้าสัญญาณถูกรบกวนไป 2-3 บิตทั้งบิตที่ความผิดพลาดและถูกต้องจะถูกเข้ารหัสด้วยความผิดพลาดแต่ละส่วนในด้านรับข้อมูลเป็นเหตุให้จำนวนของการวัดการผิดพลาดเกิดขึ้นในการแยกความผิดพลาดเดี่ยวๆ ออกจากระบบการวัดความผิดพลาดจะทำได้เมื่อเกิดการผิดพลาดจะแทปออฟ (Tapped Off) จากตัวเข้ารหัสนั้นถ้ามีเอ็กซ์แทป (X-Taps) วงจรเข้ารหัสแต่ละความผิดพลาดข้อมูลที่ได้รับจะให้ X นับจำนวนและตามความผิด วงจรตรวจความผิดพลาดแสดงในรูปที่ 2.8 เพื่อหลีกเลี่ยงปัญหาของความผิดพลาดที่เกิดขึ้น โดยใช้วงจรเข้ารหัสเอาต์พุตในระหว่างที่ก่อนอธิบายออโต้ซิงค์ N เซลล์ (N – Cells) ของรีจิสเตอร์จะโหลดด้วยข้อมูลที่ผิดพลาด สวิทช์จะผลักไปที่ขั้วอื่นและเอาต์พุตของวงจรเข้ารหัสจะซิงค์กับข้อมูลที่ได้รับและจะตรงโดยอนุกรมย่อย (Sub Sequent) ความผิดพลาดในอนุกรมรับผลที่ได้จะต่อสัญญาณผิดพลาด อย่างไรก็ตามการเข้ารหัสจะไม่ซิงค์ใหม่ถ้ามีการใส่หรือเอาออกจากอนุกรมรับในกรณีนี้จะเกิดขึ้นได้ การทำงานของอุปกรณ์ตรวจสอบต้องใช้การโหลดด้วยมือหรือสวิทช์ซึ่งจะตรงข้ามกับแบบอัตโนมัติ (Automatic) การรีซิงค์ (Resync) จะไม่ต้องการระหว่างการทำงานเมื่อเกิดความผิดพลาดอย่างมากมายในการทำงาน ในโหมดการทำงานด้วยมือ (Manual Mode) จะใช้ในการตรวจสั้นๆ ในการตรวจยาวๆ ต้องการความแน่นอนสูงใช้โหมดการทำงานแบบอัตโนมัติ (Automatic Mode) หลายครั้งการแสดงผลจะอธิบายเมื่อรวมกับประโยชน์ของโหมดธรรมดาและโหมดอัตโนมัติ การทำงานในการตรวจสอบขับความผิดพลาดใช้ออโต้รีซิงค์ (Auto Resync) เอาต์พุตเป็นรหัสของของแพทเทรินที่ผิดพลาด (Error Pattern) ในการเข้ารหัสใช้วงจรรูปที่ 2.9 เป็นไปได้ที่เกิดเปลี่ยนความผิดพลาดในการถอดรหัสและทำให้เกิดแพทเทรินที่ความผิดพลาดแทนที่แพทเทริน ซึ่งเป็นข้อเสียของระบบความเร็วสูงเมื่อเพิ่มวงจรมันจะทำการรีซิงค์โดยอัตโนมัติในการตรวจสอบความผิดพลาดในโหมดธรรมดา เครื่องมือที่ใช้ควรจะวัดได้แน่นอนระดับ 2000 หรือมากกว่าการตรวจจับความผิดพลาดใน 10000 บิตของข้อมูลนี้ควรจะกำจัดผลของการสูญเสียของซิงค์และการลดทอน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

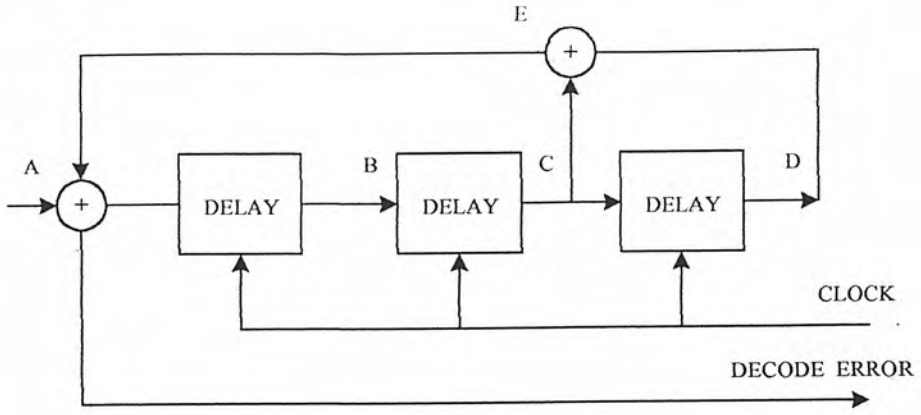



รูปที่ 2.7 ตัวอย่างของตัวแยกความผิดพลาดแบบอัตโนมัติ

ตารางที่ 2.2 ตัวอย่างของตัวแยกความผิดพลาดแบบอัตโนมัติ

| TIME | VALUES AT POINTS | | | | | | NOTES |
|---|---|---|---|---|---|---|---|
| | A | B | C | D | E | F | |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | TIME TO |
| 1 | 0 | 0 | 0 | 0 | 0 | 0 | LODE |
| 2 | 1 | 0 | 0 | 0 | 0 | 1 | SHIFT |
| 3 | 0 | 1 | 0 | 0 | 0 | 0 | REGISTER |
| 4 | 1 | 0 | 1 | 0 | 1 | 0 | |
| 5 | 1 | 1 | 0 | 1 | 1 | 0 | |
| 6 | 0 | 1 | 1 | 0 | 1 | 1 | |
| 7 | 0 | 0 | 1 | 1 | 0 | 0 | |
| 8 | 0 | 0 | 0 | 1 | 1 | 1 | ERROR |
| 9 | 1 | 0 | 0 | 0 | 0 | 1 | MULITPLI |
| 10 | 0 | 1 | 0 | 0 | 0 | 0 | CATION |
| 11 | 1 | 0 | 1 | 0 | 1 | 0 | |
| 12 | 1 | 1 | 0 | 1 | 1 | 0 | |

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 2.8 ตัวอย่างของวงจรแยกความผิดพลาดแบบซิงค์โครนัสธรรมดา

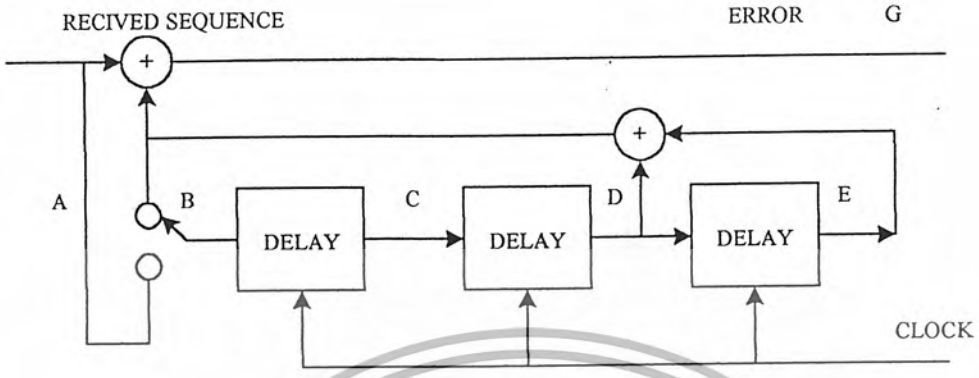
ตารางที่ 2.3 ตัวอย่างของวงจรแยกความผิดพลาดแบบซิงค์โครนัสธรรมดา

| TIME | VALUES AT POINTS | | | | | NOTES |
|---|---|---|---|---|---|---|
| | A | B | C | D | E | |
| T | 0 | 0 | 0 | 0 | 0 | |
| T+1 | 0 | 0 | 0 | 0 | 0 | |
| T+2 | 1 | 0 | 0 | 0 | 0 | SIGLE |
| T+3 | 0 | 1 | 0 | 0 | 0 | ERROR |
| T+4 | 1 | 0 | 1 | 0 | 1 | DETECTED |
| T+5 | 1 | 0 | 0 | 0 | 1 | |
| T+6 | 0 | 0 | 0 | 1 | 0 | |
| T+7 | 0 | 0 | 0 | 0 | 0 | |
| T+8 | 0 | 0 | 0 | 0 | 0 | DOUBLE |
| T+9 | 1 | 1 | 0 | 0 | 0 | ERROR |
| T+10 | 0 | 1 | 1 | 0 | 1 | DETECTED |
| T+11 | 1 | 0 | 1 | 1 | 0 | |
| T+12 | 1 | 1 | 0 | 1 | 1 | |

การนับจำนวนความผิดพลาดโดยอัตโนมัติการรีซิงค์จะประกอบด้วยค่าก่อนที่จะเสียซิงค์ โดยจะถูกปิดบังไว้เมื่อรีจิสเตอร์โหลดซึ่งเป็นผลที่ผิดเมื่ออัตราความผิดพลาดที่สูงมากๆ แน่นอนจะต้องระวังในการเข้าใจผิดในการทำการนับความผิดพลาด ข้อมูลที่แสดงการคาดคะเนของอัตราความผิดพลาดของอนุกรมทดสอบดิจิตอลจะส่งระยะที่ยาวในการตรวจจับจำนวนสูงสุดของการผิดพลาด ในรูปจะให้ข้อมูลเกี่ยวกับจำนวนของการนับบิตที่ผิดพลาดและจำนวนของบิตที่ถูกได้ในเวลาระหว่างการเกิดผิดพลาด การ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วัดย่านที่ผิดพลาดนี้สามารถยกเว้นได้ในระดับที่เมื่อจำนวนของความผิดพลาดเพิ่มขึ้นและย่านที่เชื่อถือได้ลดลงอย่างรวดเร็ว




รูปที่ 2.9 การแยกความผิดพลาดสำหรับตัวแยกความผิดพลาดแบบอัตโนมัติ

ตารางที่ 2.4 การแยกความผิดพลาดสำหรับตัวแยกความผิดพลาดแบบอัตโนมัติ

| TIME | VALUES AT POINTS | | | | | | | NOTES |
|---|---|---|---|---|---|---|---|---|
| | SW | A | B | C | D | E | F | G | |
| 0 | B | 0 | 0 | 0 | 0 | 0 | 0 | 0 | ERROR |
| 1 | B | 0 | 0 | 0 | 0 | 0 | 0 | 0 | LODE |
| 2 | B | 1 | 1 | 0 | 0 | 0 | 0 | 1 | SHIFT |
| 3 | B | 0 | 0 | 1 | 0 | 0 | 0 | 0 | REGISTER |
| 4 | A | 1 | 1 | 0 | 1 | 0 | 1 | 0 | |
| 5 | A | 1 | 1 | 1 | 0 | 1 | 0 | 0 | |
| 6 | A | 0 | 1 | 1 | 1 | 0 | 1 | 1 | |
| 7 | A | 0 | 0 | 1 | 1 | 1 | 1 | 0 | |
| 8 | A | 0 | 0 | 0 | 1 | 1 | 1 | 0 | ERROR |
| 9 | A | 1 | 1 | 0 | 0 | 1 | 0 | 0 | DETECTED |
| 10 | A | 0 | 0 | 1 | 0 | 0 | 0 | 0 | |
| 11 | A | 1 | 1 | 0 | 1 | 0 | 1 | 0 | |
| 12 | A | 0 | 1 | 1 | 0 | 1 | 1 | 0 | BIT SLIP |
| 13 | A | 1 | 1 | 1 | 1 | 0 | 1 | 1 | CAUSING |
| 14 | A | 1 | 0 | 0 | 1 | 1 | 0 | 1 | LOSS OF |
| 15 | A | 0 | 1 | 0 | 0 | 1 | 1 | 1 | SYNC |

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง


การแสดงผลโดยใช้ลำดับทดสอบดิจิตอลสามารถตรวจจับความผิดพลาดได้เร็วและถูกต้อง ถ้าการผิดพลาดต่ำมันจะต้องการเวลามากที่จะได้ผลการวัดจะอธิบายในการตรวจสอบเวลาโดยนับจำนวนของการผิดพลาดและจำนวนบิตที่รับได้จนกระทั่งเพียงพอ รูปและตารางที่ได้จะยอมให้เชื่อถือได้ในระหว่างที่พบในแต่ละส่วน

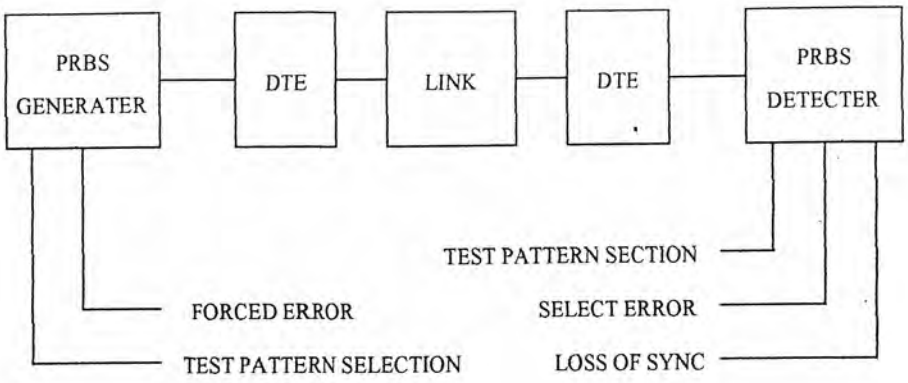
2.4.3 การวัดอัตราความผิดพลาดแบบบิต

ตามปกติสิ่งที่ชี้ถึงคุณภาพในการทดสอบระบบรับส่งสัญญาณดิจิตอลก็คือความผิดพลาดของบิต ซึ่งสามารถแสดงได้หลายรูปแบบเช่น ความผิดพลาดใน 1 วินาที (Error Seconds) ความผิดพลาดที่เป็นชุดหรือเป็นกลุ่ม (Error Block) และค่าเฉลี่ยความผิดพลาดของบิต ตามปกติค่าความผิดพลาดที่ใช้ในการวัดคุณภาพของระบบในข้อมูลจะเลือกให้เหมาะสมกับความผิดพลาดที่กำหนดไว้ในการออกแบบค่าความผิดพลาดโดยทั่วไปวัดได้ 2 แบบคือนอกจากการทำงาน (Out of Service) และในระหว่างการใช้งาน (In Service) ในกรณีของการวัดนอกการใช้งานข่าวสารที่ใช้งานอยู่จะถูกแทนด้วยรูปแบบสัญญาณทดสอบที่รู้แน่นอนก็คือ สัญญาณ PRBS (Pseudo Random Binary Sequence) แทนข่าวสารที่ใช้งานอยู่ทางด้านรับสัญญาณทดสอบทำการเปรียบเทียบกับสัญญาณข่าวสารที่สร้างขึ้น โดยมีรูปแบบเหมือนกับสัญญาณข่าวสารทดสอบที่ส่งมาโดยเปรียบเทียบบิตต่อบิตซึ่งความแตกต่างที่เกิดขึ้นก็คือความผิดพลาดของข้อมูล สัญญาณทดสอบที่สร้างขึ้นจะมีคาบเวลาที่ซ้ำกัน โดยมีค่าเท่ากับ $2^n$-1 เมื่อ n คือจำนวนของชิฟรีจิสเตอร์ ซึ่งจะเลือกให้เหมาะสมกับอัตราเร็วของข้อมูลนั้นๆ รูปแบบทั่วไปสำหรับอัตราเร็วข้อมูลที่เป็นมาตรฐานนั้นแสดงไว้ตามตารางที่ 2.5 ดังนั้นการวัดนอกจากการใช้งานซึ่งไม่มีการรับส่งข่าวสารจึงเหมาะสมกับการตรวจสอบและการทดลองระบบ

ตารางที่ 2.5 ข้อเสนอแนะของ CCITT เพื่อวัดอัตราความผิดพลาดโดยใช้พีซีดูแรนดอม ไบนารี่ซีเควนซ์

| APPLICATION BIT RATE | PATTERN LENGTH | CCITT RECOMMENDATION (1.2) |
|---|---|---|
| 20 Kb/S | $2^9$-1 | V.52 |
| 20-72 Kb/S | $2^{20}$-1 | V.57 |
| 1.544 Kb/S | $2^{15}$-1 | 0.151 |
| 2.048 Kb/S | $2^{15}$-1 | 0.151 |
| 6.312 Kb/S | $2^{15}$-1 | 0.151 |
| 8.448 Kb/S | $2^{15}$-1 | 0.151 |
| 32.064 Kb/S | $2^{15}$-1 | 0.151 |
| 34.368 Kb/S | $2^{23}$-1 | 0.151 |
| 44.736 Kb/S | $2^{15}$-1 | 0.151 |
| 139.264 Kb/S | $2^{23}$-1 | 0.151 |

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
54932

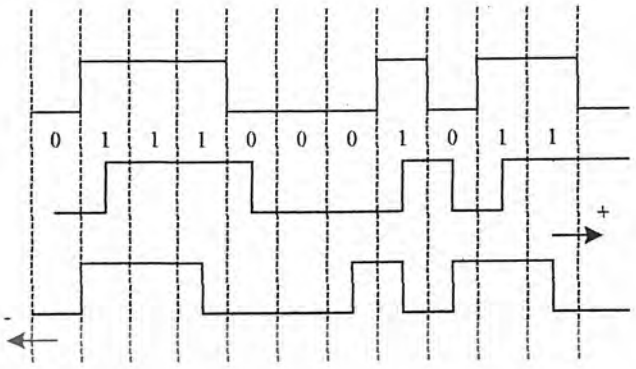



รูปที่ 2.10 หลักการวัดความผิดพลาดของบิต

รูปที่ 2.10 เป็นรูปที่แสดงให้เห็นสำหรับการวัดความผิดพลาดของบิตทางด้านส่งและรับแบบสัญญาณทดสอบ PRBS ที่กำหนดขึ้นมาและตัวตรวจจับก็จะเลือกรูปของสัญญาณที่ต้องการ ด้านรับนั้นจะมีการเลือกรูปแบบของการวัดความผิดพลาดที่เกิดขึ้น ซึ่งอาจจะเป็นความผิดพลาดทางพัลซ์ค่าเฉลี่ยอัตราความผิดพลาดของบิตความผิดพลาดในหนึ่งวินาทีหรือชุดความผิด โดยขึ้นอยู่กับการออกแบบสำหรับการออกแบบอัตราความผิดพลาดของบิตการวัดความผิดพลาดด้านคุณภาพของเครื่อง อาจแสดงให้เห็นด้วยสายตาและอาจอยู่ในรูปของการพิมพ์ออกมา โดยปกติแล้วชุดทดสอบจะมีความสามารถบางอย่างเช่น ความสามารถในการใส่ความผิดพลาดทางด้านส่งสัญญาณ และแสดงให้เห็นถึงการหายไปของซิงค์โครนัส (Synchronous) ได้ทางด้านรับ การผิดพลาดอิสระ (Error Free Second) เป็นรูปแบบหนึ่งของการวัดความผิดพลาดโดยการกำหนดเป็นเปอร์เซ็นต์ของความผิดพลาดที่วัดได้ในช่วงเวลาของ 1 วินาที การวัดความผิดพลาดทำได้ 2 อย่างคือแบบซิงค์โครนัส และอะซิงค์โครนัส (Asynchronous) ในลักษณะของแบบซิงค์โครนัสความผิดพลาดจะถูกกำหนดว่าในช่วง 1 วินาทีหลังจากเกิดความผิดพลาดครั้งแรกแล้ว ข้อดีของแบบซิงค์โครนัสก็คือการวัดกระทำได้ด้วยเครื่องมือที่แตกต่างกันแต่อ่านค่าได้เหมือนกันบนเส้นเชื่อมโยงเดียวกัน ผลเสียคือการวัดแบบซิงค์โครนัสค่าความผิดพลาดไม่เป็นไปตามผลของความผิดพลาดโดยตรง แต่ค่อนข้างจะเป็นค่าความผิดพลาดฟรีไทม์ (Error Free Time) ในแบบอะซิงค์โครนัสจะมีการตรวจสอบความผิดพลาดในแต่ละช่วงเวลา 1 วินาที ข้อดีคือให้ค่าความผิดพลาดโดยตรง ข้อเสียคืออุปกรณ์ที่แตกต่างกันอาจต้องใช้วิธีวัดที่แตกต่างกัน การวัดความผิดพลาดในระหว่างการใช้งานจะทำได้เมื่อรูปแบบของสัญญาณที่ใช้งานซ้ำกันอยู่เป็นประจำ สัญญาณนี้จะสามารถตรวจสอบความผิดพลาดนั้นได้ ดังนั้นวิธีการตรวจสอบในระหว่างการใช้งานอยู่เป็นเพียงค่าความผิดพลาดโดยประมาณ และผลที่ได้ก็ไม่ใช่การวัดที่แท้จริงวิธีนี้มีประโยชน์ในการตรวจสอบคุณภาพของอุปกรณ์ระหว่างที่ใช้งานอยู่ อย่างไรก็ตามการประเมินอัตราการผิดพลาดสามารถกระทำได้อย่างรวดเร็วเพียงพอ รูปแบบของการทดสอบในระหว่างการใช้งานสามารถใช้ควบคุมการทำงานของระบบสวิทช์ชิ่งที่สมบูรณ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.5 จิตเตอร์ (Jitter)



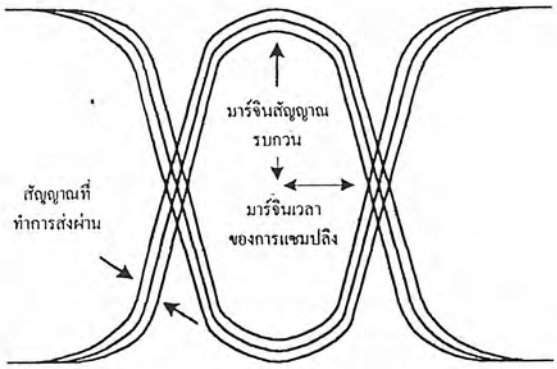

รูปที่ 2.11 ความเบี่ยงเบนของสัญญาณเวลาซึ่งมีผลจากฐานเวลาที่ผิดพลาดไปรู้จักในชื่อของจิตเตอร์

จากรูปที่ 2.11 จะช่วยให้มองเห็นความหมายของจิตเตอร์ได้ดีขึ้น โดยที่ดิจิตอลจิตเตอร์อาจให้นิยามได้ว่าเกิดจากการขยับของเวลาของสัญญาณนาฬิกา เมื่อเทียบกับตัวอ้างอิงในแบบเดิมที่ปราศจากจิตเตอร์จากภาพรูปสัญญาณของสองสัญญาณด้านล่างเพียงแต่เกิดการเลื่อนของเวลาออกไปจากภาพบนเท่านั้น ซึ่งแสดงให้เห็นถึงช่วงของเวลาของความไม่แน่นอนซึ่งอาจคลาดเคลื่นของเวลาในการเกิดขอบขาสัญญาณของพัลซ์ (White Phase Jitter) หรือมีความสัมพันธ์กับความกว้างของพัลส์ของสัญญาณนาฬิกา (White FM Jitter) หรือมีความสัมพันธ์กับเหตุการณ์ที่อาจเกิดขึ้นซ้ำๆ หรือเพียงครั้งเดียว (Correlated Jitter)

วิธีการอย่างหนึ่งที่ใช้ในการการวัดการตรวจสอบการเกิดจิตเตอร์คือการวัดด้วยการใช้ออสซิลโลสโคปในการแสดงรูปอายแพทเทริน (Eye Pattern) รูปดังดังรูปที่ 2.12 ซึ่งประกอบด้วยลูกคลื่นของสัญญาณดิจิตอลหลายลูกซ้อนทับกันอยู่ ค่าแอมปลิจูดที่เปลี่ยนแปลงไปอย่างไม่ชัดเจนเกิดจากสัญญาณรบกวน ในขณะที่การเลื่อนตำแหน่งของสัญญาณแสดงถึงจิตเตอร์ จากรูปจะเห็นว่าสัญญาณรบกวนจะปิดอายแพทเทรินในแนวตั้งส่วนจิตเตอร์จะปิดในแนวนอน

จากรูปอายแพทเทรินแสดงให้เห็นการเปลี่ยนแปลงที่เกิดขึ้นกับสัญญาณแต่ด้วยวิธีการที่มีประสิทธิภาพในการวิเคราะห์สัญญาณได้ดีกว่าคือการป้อนข้อมูลเข้าเครื่องเอฟเอ็มดีมอดูเลชั่น (FM Demodulation) ซึ่งถูกต่อเข้ากับเครื่องวิเคราะห์สเปกตรัมที่สามารถวิเคราะห์ชนิดของจิตเตอร์รวมทั้งแอมปลิจูดและความถี่ของการเกิดจิตเตอร์สุ่ม (Random Jitter) ซึ่งจะปรากฏเป็นแถบความถี่บรอดแบนด์ (Broadband Spectrum) และทำให้เกิดชั้นของสัญญาณรบกวนขึ้นในสัญญาณอนาล็อกที่ถูกสร้างใหม่จากสัญญาณดิจิตอล ในขณะที่สัญญาณจิตเตอร์รายคาบ (Periodic Jitter) จะเกิดเป็นลายสเปกตรัม (Spectrum Line) เส้นเดียวทางด้านความถี่ต่ำ สำหรับการเปลี่ยนแปลงสัญญาณนาฬิกาช้าๆ หรือทางด้านความถี่สูงเมื่อมีการเปลี่ยนแปลงอย่างรวดเร็ว สัญญาณที่ถูกสร้างขึ้นมาใหม่นั้นอาจประกอบด้วยการมอดูเลตทางความถี่ในแถบความถี่ด้านข้าง (FM Sideband) หรือการมอดูเลตสัญญาณรบกวน เครื่องมือสำหรับการวัดจิตเตอร์อาจบอกค่าเป็นระยะห่างระหว่างค่าสูงสุด – ต่ำสุด (Peak to Peak)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 2.12 รูปอายแพทเทรินแสดงสัญญาณรบกวนและการเบี่ยงเบนของเวลาในสัญญาณดิจิตอล

2.6 มาตรฐานการวัดอัตราการผิดพลาดของข้อมูล (G.821)

G.821 คือข้อกำหนดของ CCITT ที่เป็นกฎการแปลงจำนวนความผิดพลาดของบิตข้อมูล และอัตราบิตเออเรอเรท (BER) ให้เป็นผลลัพธ์ที่เข้าใจง่าย ตัวอย่างเช่นถ้าทราบว่าเกิดการผิดพลาดของบิตข้อมูลขึ้น 30408 บิตและมีค่าบิตเออเรอเรทเท่ากับ 3.67E-04 จะเห็นว่าเป็นค่าที่เข้าใจง่ายและอธิบายยากซึ่งจะทำให้ไม่รู้ว่าระบบที่ทดสอบดีหรือไม่ดี แต่ผลจาก CCITT Rec.G.821 จะเป็นผลที่เข้าใจง่ายและสามารถนำผลการวัดที่ได้มาเทียบกับค่ามาตรฐานที่กำหนด ก็จะทำให้ทราบว่าระบบที่วัดมีคุณภาพดีหรือไม่

ตามข้อกำหนดของ CCITT Rec.G.821 นั้นสามารถแยกเวลาในการวัดทั้งหมดออกเป็น 2 ส่วนคือ ช่วงเวลาที่ใช้ได้ (Available Seconds) และช่วงเวลาที่ใช้ไม่ได้ (Unavailable Seconds) โดยเวลาที่เราใช้ในการวัดทั้งหมดนับจากแพทเทรินท์เริ่มการทำงานพร้อมกันจนสิ้นสุดการวัดตามรูป และค่าต่างๆ ที่สำคัญในข้อกำหนดของ CCITT ข้อกำหนด G.821 มีดังต่อไปนี้ ช่วงเวลาที่ใช้ได้สำหรับช่วงเวลาที่ใช้ได้นั้นยังสามารถแยกออกเป็นค่าต่างๆ คือ

Error Free Second (EFS) คือเวลาในช่วงเวลาที่ใช้ได้ที่ไม่มีความผิดพลาดของข้อมูลเกิดขึ้นเลยใน 1 วินาที

Error Second (Error Sec) คือเวลาในช่วงเวลาที่ใช้ได้ที่เกิดความผิดพลาดของข้อมูลขึ้นอย่างน้อย 1 บิตใน 1 วินาที

Severely Error Second (SES) คือเวลาในช่วงเวลาที่ใช้ได้ที่มีค่าบิตเออเรอเรทเลวกว่า $10^{-3}$ ใน 1 วินาที

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

| SEC 20 | SEC 21 | SEC 22 | SEC 23 | SEC 24 | SEC 25 | SEC 26 | SEC 27 | SEC 28 | SEC 29 |
|---|---|---|---|---|---|---|---|---|---|
| BER | BER | BER | BER | BER | BER | BER | BER | BER | BER |
| <= | <= | <= | <= | <= | <= | > | > | > | <= |

ช่วงเวลาที่ใช้ได้ (AVALIABLE TIME)

รูปที่ 2.13 ช่วงเวลาที่ใช้ได้

ช่วงเวลาที่ใช้ไม่ได้คือช่วงที่เกิดบิทเออเรอเรทเลวกว่า $10^{-3}$ ติดต่อกัน 10 วินาทีเราจะนับ 10 วินาทีที่เกิดบิตเออเรอเรทเลวกว่า $10^{-3}$ ถือว่าเป็นช่วงเวลาที่ใช้ไม่ได้ แต่เมื่อบิตเออเรอเรทที่เกิดขึ้นดีกว่า $10^{-3}$ หรือไม่มีความผิดพลาดเกิดขึ้นหรือบิตเออเรอเรทเลวกว่า $10^{-3}$ แต่ไม่ต่อเนื่องกันนานถึง 10 วินาทีถือว่าเป็นช่วงเวลาที่ใช้ได้

| SEC 30 | SEC 31 | SEC 32 | SEC 33 | SEC 34 | SEC 35 | SEC 36 | SEC 37 | SEC 38 | SEC 39 |
|---|---|---|---|---|---|---|---|---|---|
| BER | BER | BER | BER | BER | BER | BER | BER | BER | BER |
| > | > | > | > | > | > | > | > | > | > |

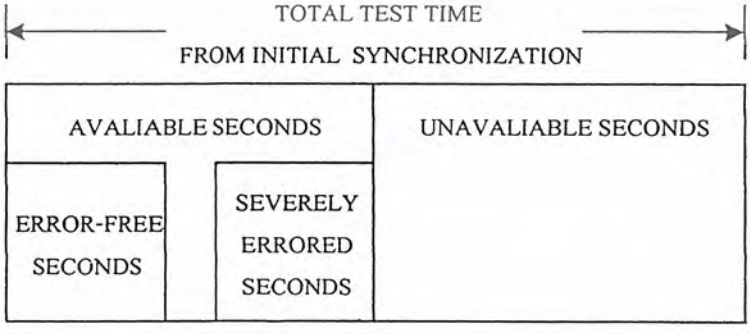
ช่วงเวลาที่ใช้ไม่ได้ (UNAVALIABLE TIME)

รูปที่ 2.14 ช่วงเวลาที่ใช้ไม่ได้

ค่าเวลาเฉลี่ย {Degraded Minutes (Deg Min)} คือค่าเฉลี่ยของบิตเออเรอเรทของช่วงเวลาที่เกิดขึ้นใน 60 วินาทีหรือ 1 นาทีที่มีค่าบิตเออเรอเรทเท่ากับ $10^{-6}$ หรือเลวกว่า โดยช่วงเวลา 1 นาทีได้มาจากการนับเวลาต่อเนื่องกัน 60 วินาที โดยหักช่วงเวลาที่ใช้ไม่ได้ออกจากเวลาที่วัดทั้งหมดช่วงเวลาที่ใช้ได้และช่วงเวลาที่ใช้ไม่ได้

ช่วงเวลาทั้งหมด = ช่วงเวลาที่ใช้ได้ทั้งหมด + ช่วงเวลาที่ใช้ไม่ได้ทั้งหมด

TOTAL SECONDS = TOTAL AVL SEC + TOTAL UNAVL SEC




รูปที่ 2.15 ช่วงเวลาทั้งหมดที่ใช้ได้และช่วงเวลาที่ใช้ไม่ได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขั้นตอนในการทดสอบความผิดพลาด

1. ต่อพอร์ตที่จะวัดเข้ากับอุปกรณ์ทดสอบที่สามารถวัดได้ตามมาตรฐาน CCITT ตามข้อกำหนด G.821

2. ตั้งข้อมูลกึ่งแรนดอม Pseudo Random Bit Sequence ที่เหมาะสมที่กำหนดตาม ITU-T ตามข้อกำหนด 0.151 คือ $2^{15}$-1 สำหรับระบบที่มีความเร็วต่ำ เช่น 2 เมกะบิตต่อวินาทีและ $2^{23}$-1 สำหรับระบบที่มีความเร็วสูง เช่น 35,45 และ 140 เมกะบิตต่อวินาทีตามลำดับ

3. แทรกบิตที่ผิดพลาดจากปลายด้านหนึ่งไปสู่ปลายอีกด้านหนึ่ง เพื่อเช็คดูว่าทั้งสองด้านวัดอยู่ที่พอร์ตเดียวกันหรือเปล่าโดยทำสลับกันทั้งสองด้าน

4. วัดความผิดพลาดทุกๆ 15 วินาทีตามมาตรฐาน CCITT ข้อกำหนด G.821

5. การวัดควรจะไม่มีความผิดพลาดของบิตข้อมูล, พายุแม่เหล็กไฟฟ้า และการเกิดช่วงเวลาที่ใช้ไม่ได้เกิดขึ้นในระหว่างการทดสอบ 15 นาที ถ้ามีเหตุการณ์ดังกล่าวเกิดขึ้น ถือว่าการทดสอบล้มเหลวจะต้องหาสาเหตุกันต่อไป

การตรวจวัดคุณภาพของระบบการส่งสัญญาณดิจิตอล ปัจจุบันระบบสื่อสารสัญญาณระบบดิจิตอลได้มีบทบาททางด้านการสื่อสารโทรคมนาคมแทบทุกสื่อไม่ว่าจะเป็นทางสายนำสัญญาณ เช่น สายนำสัญญาณโคแอกเชียล หรือสายนำสัญญาณไฟเบอร์ออฟติก (Opical Fiber Cable) หรือทางคลื่นความถี่วิทยุเช่น การเชื่อมต่อสัญญาณดิจิตอลผ่านไมโครเวฟ (Digital Microwave Linc) หรือทางระบบดาวเทียม และได้มีการพัฒนาเทคโนโลยีใหม่ๆ เพื่อให้ระบบดังกล่าวมีประสิทธิภาพสูงสุดอย่างไม่หยุดยั้งมาตลอดเวลา

แต่สิ่งสำคัญไม่ควรมองข้ามคือคุณภาพของระบบการรับส่งสัญญาณการที่จะตรวจสอบดูว่าระบบการรับส่งสัญญาณที่มีคุณภาพดีเพียงใดนั้น ก็สามารถพิจารณาได้จากการผิดพลาดของบิตข้อมูลที่ทำการรับส่งที่เกิดขึ้นในระบบดังกล่าวโดยที่สามารถวัดค่าความผิดพลาดของบิตข้อมูลได้ตามข้อกำหนดของ CCITT ในข้อกำหนด G.703 ซึ่งเป็นข้อกำหนดสำหรับระบบการรับส่งสัญญาณแบบ PDH

สาเหตุสำคัญที่ทำให้เกิดความผิดพลาดของบิตข้อมูลและเป็นผลทำให้การสื่อสารข้อมูลไม่เป็นผลสำเร็จหรือถ้าหากสำเร็จอาจมีความผิดพลาดเกิดขึ้นหลังจากที่รับข้อมูลทั้งหมดมาประมาณผลแล้ว ส่วนหลักๆ จะแยกออกได้ 4 ประการดังนี้

1. อุปกรณ์เสีย หลายๆ ครั้งที่มีความผิดพลาดเกิดขึ้นในทุก 2 เมกะบิตต่อวินาที มีสาเหตุมาจากอุปกรณ์เสียหรือนำอุปกรณ์ไปใช้ไม่ถูกที่ ข้อผิดพลาดที่เกิดจากอุปกรณ์เสียนั้นนอกจากจะทำให้เกิดความผิดพลาดของบิตข้อมูลแล้วยังเป็นสาเหตุที่ทำให้เกิดความผิดพลาดทางรหัส (Code Errors) ความผิดพลาดทางเฟรม ความผิดพลาดในการกระโดดข้ามของข้อมูล (Excessive Jitter) และการเลื่อนของข้อมูลดังตัวอย่าง เช่น ค่าความผิดพลาดทางรหัสสามารถเกิดขึ้นเนื่องจากวงจรของอุปกรณ์ทวนสัญญาณ (Repeater) เสียเป็นต้น

2. การเชื่อมต่อที่ไม่ถูกต้อง สาเหตุอีกอย่างหนึ่งของความผิดพลาดในการสื่อสัญญาณเกิดขึ้นจากการเชื่อมต่อที่ไม่ถูกต้อง ตัวอย่างเช่นการเกิดความผิดพลาดเป็นช่วงๆ (Intermittent Error) เกิดจากชิ้นส่วนหรือการเชื่อมต่อของสายเคเบิลหลวมหรือหลุดออก และความผิดทางค่าเวลาเกิดจากการต่อสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

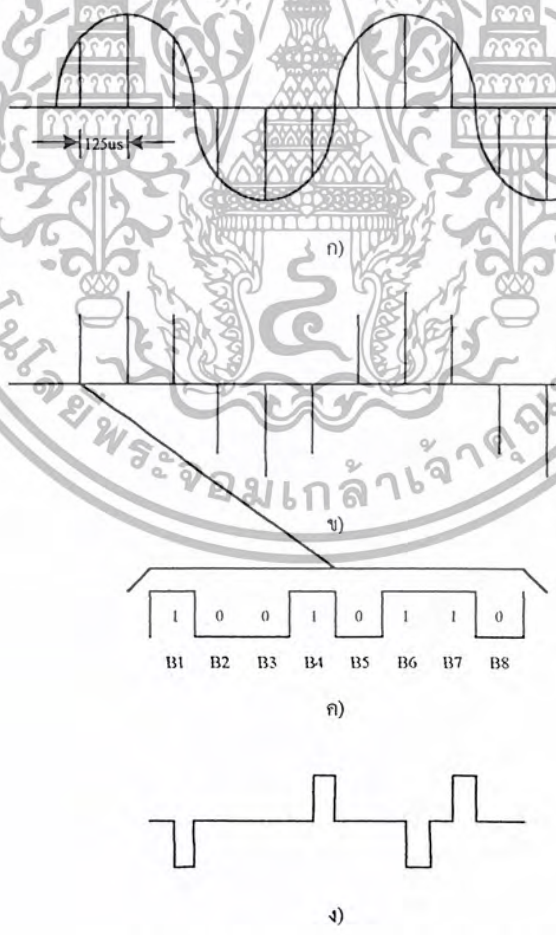
นาฬิกาที่ไม่เหมาะสมเข้าด้วยกัน ส่วนการเกิดความผิดพลาดเล็กๆ น้อยนั้นส่วนใหญ่เกิดจากการไม่ได้ต่อกราวด์หรือต่อกราวด์ไม่ดีเป็นต้น

3. สภาพแวดล้อม การติดตั้งอุปกรณ์ในที่เหมาะสมจะทำให้หลีกเลี่ยงการเกิดความผิดพลาดที่เกิดจากสภาพแวดล้อมที่ทำให้เกิดความผิดพลาดมีอยู่มากมาย เช่นพายุแม่เหล็กไฟฟ้า (Electric Storms), สายไฟฟ้า (Power Line), สัญญาณรบกวนแม่เหล็กไฟฟ้า (Electric Noise), การแทรกแซง (Interference) และการข้ามช่อง (Cross Talk) ระหว่างเส้นทางการสื่อสาร ซึ่งเป็นสาเหตุในการเกิดความผิดพลาดหลายอย่าง คือความผิดพลาดทางลอจิก (Logic Error) ความผิดพลาดในเฟรมและความผิดพลาดทางรหัสด้วย

4. การใช้ข้อมูลพิเศษ รูปแบบของข้อมูลที่เฉพาะเจาะจงหรือข้อมูลพิเศษที่ส่งซ้ำๆ นั้นสามารถทำให้อุปกรณ์เกิดแพทเทิรนดีพีเด็นจิตเตอร์ (Pattern Dependent Jitter) และความผิดพลาดของรหัสขึ้น แต่เหตุการณ์นี้จะไม่เกิดขึ้นในการทดสอบระบบสายส่งที่แต่ละส่วน (Test Transmission Path) เมื่อทำการส่งรูปแบบการรบกวนแบบสุ่ม มาตรฐาน

2.7 การส่งสัญญาณพีซีเอ็ม (PCM Transmission)

2.7.1 หลักการของการส่งพีซีเอ็ม



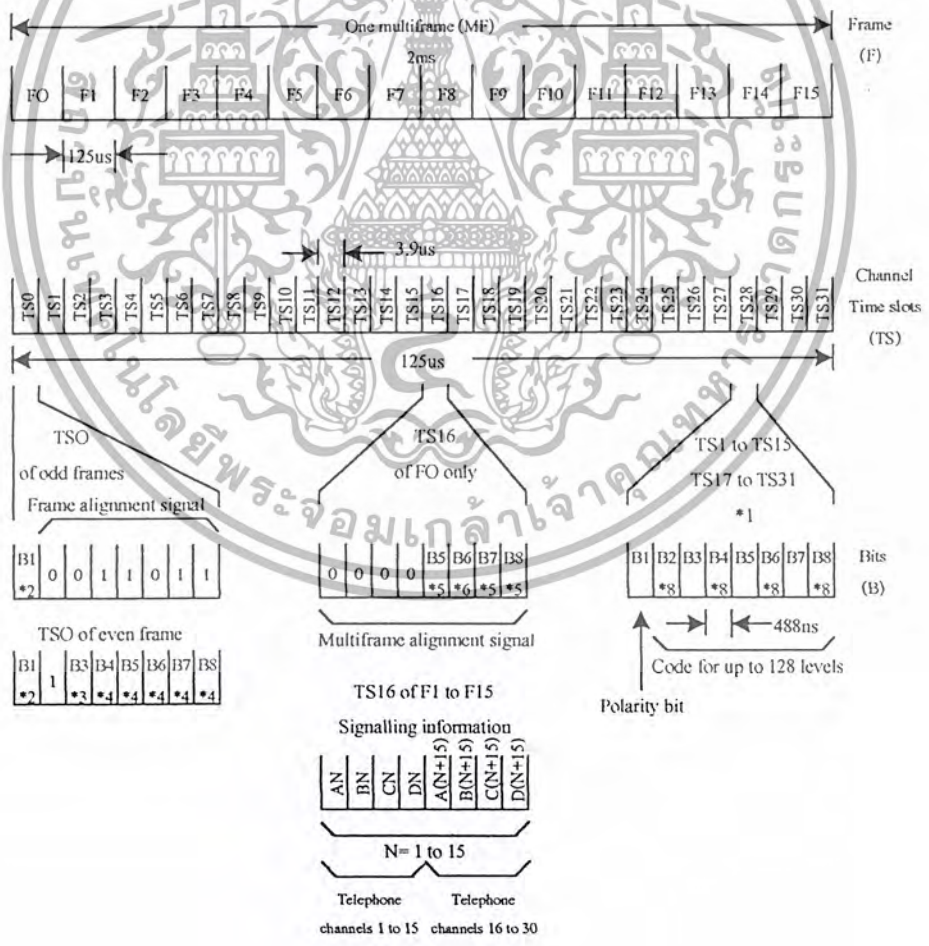

รูปที่ 2.16 หลักการของการส่งสัญญาณพีซีเอ็ม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณอนาล็อกจะถูกเปลี่ยนเป็นระดับการสุ่ม (Level Sampled) 8000 ครั้งต่อวินาทีดังรูปที่ 2.16 ก ทำให้ได้สัญญาณพัลส์แอมปลิจูดโมดูเลท (Pulse Amplitude Modulated : PAM) ดังรูปที่ 2.16 ข แต่ละสัญญาณที่ได้จากการสุ่มจะถูกเปลี่ยนไปเป็นสัญญาณพัลส์ โดยแทนด้วยรหัส 8 บิต โดยบิตแรก B1 เป็นบิตกำหนดขั้วของสัญญาณสุ่ม ส่วน 7 บิตที่เหลืออาจจะถูกใช้ทั้งแอมปลิจูดของสัญญาณสุ่มที่เป็นบวกและลบ บิตคู่ B2, B4,B6 และ B8 จะถูกกำหนดให้กลับกันเพื่อเพิ่มเวลาที่บรรจุภายใต้ช่องสัญญาณที่อยู่ในสภาพว่างจากการใช้งานดังรูปที่ 2.16 ค จากนั้นสัญญาณจะถูกส่งเข้ายังสายส่ง โดยเป็นสัญญาณการส่งชนิด HDB-3 ดังรูปที่ 2.16 ง

2.7.2 หลักการทำงานเบื้องต้นของระบบการรวมสัญญาณพีซีเอ็ม

แต่ละเฟรม (Frame) จะประกอบด้วย 32 ช่องของช่วงเวลา [Channel Time Slots (TS)] เริ่มจาก TS0 ถึง TS31 แต่ละช่องของช่วงเวลาบรรจุไว้ 8 บิต ซึ่งเป็นรหัสไบนารีของสัญญาณจากการสุ่มด้วยอัตรา 8000 บิตต่อวินาที 1 เฟรมจะมีความยาว 125 ไมโครวินาที ดังนั้นแต่ละช่องของช่วงเวลาจะเท่ากับ 3.9 ไมโครวินาที แต่ละบิตจะเท่ากับ 0.44 ไมโครวินาที อัตราความเร็วของบิตที่เกิดขึ้นในระบบจะเท่ากับ 8000x32x8 = 2048 กิโลบิตต่อวินาทีดังรูปที่ 2.17

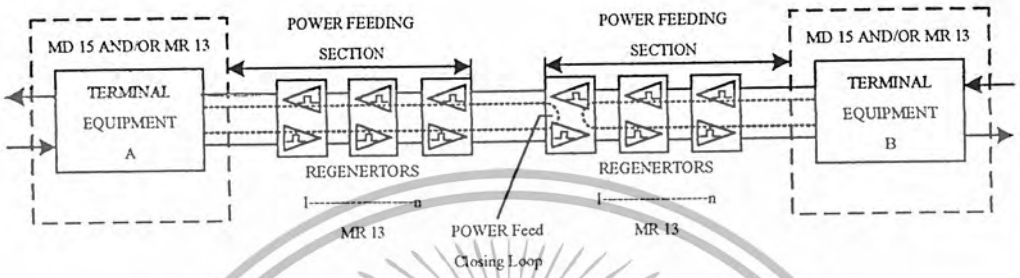



รูปที่ 2.17 โครงสร้างของเฟรมและช่องของช่วงเวลา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

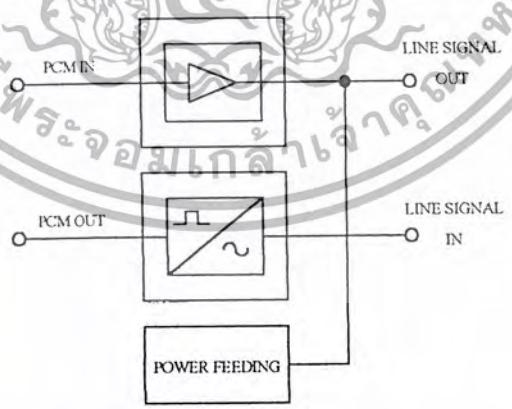
สัญญาณพีซีเอ็มมัลติเพล็กซ์ (PCM Multiplex) อัตราเร็ว 2048 กิโลบิตต่อวินาที จะถูกเข้ารหัสเป็น HDB-3 แล้วส่งเข้าสายส่งซึ่งเป็นคู่สายของทองแดง ในระบบการส่งตามข้อกำหนดของ CCITT จะประกอบด้วยอุปกรณ์ที่สำคัญ 2 ชนิดคือ

1. อุปกรณ์เชื่อมต่อสถานีหรืออุปกรณ์เชื่อมต่อปลายทาง (Terminal Station Equipment)
2. อุปกรณ์กำเนิดสัญญาณขึ้นมาใหม่ระหว่างสายส่ง (Line Regenerator Equipment)




รูปที่ 2.18 แสดงการเชื่อมต่อ

1) อุปกรณ์เชื่อมต่อสถานี ทำหน้าที่เชื่อมต่อระหว่างอุปกรณ์รวมและแยกสัญญาณพีซีเอ็มกับสายส่งซึ่งเป็นคู่สายทองแดง โดยอุปกรณ์เชื่อมต่อสถานีจะทำการปรับปรุงสัญญาณให้มีคุณภาพของสัญญาณทั้งด้านรับ และด้านส่งให้มีความเหมาะสมที่จะส่งเข้าไปยังสายส่งและที่รับมาให้กับอุปกรณ์แยกสัญญาณพีซีเอ็ม (PCM Demultiplex) ในส่วนของอุปกรณ์เชื่อมต่อสถานียังประกอบด้วยอุปกรณ์ที่จำเป็นแก่ระบบเมื่อมีการส่งสัญญาณเป็นระยะทางไกลๆ คือแหล่งจ่ายกำลังงานเข้าไปในสายส่งเพื่อป้อนให้กับอุปกรณ์กำเนิดสัญญาณขึ้นมาใหม่ระหว่างสายส่งและอุปกรณ์สังเกตการณ์ระยะไกล




รูปที่ 2.19 บล็อกไดอะแกรมอุปกรณ์เชื่อมต่อสถานี

2) อุปกรณ์กำเนิดสัญญาณขึ้นมาใหม่ระหว่างสายส่ง ในการส่งสัญญาณผ่านคู่ทองแดงคุณภาพของสัญญาณจะต่ำลงโดยอิทธิพลของสิ่งต่อไปนี้

1. การถูกลดทอนลงของระดับสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

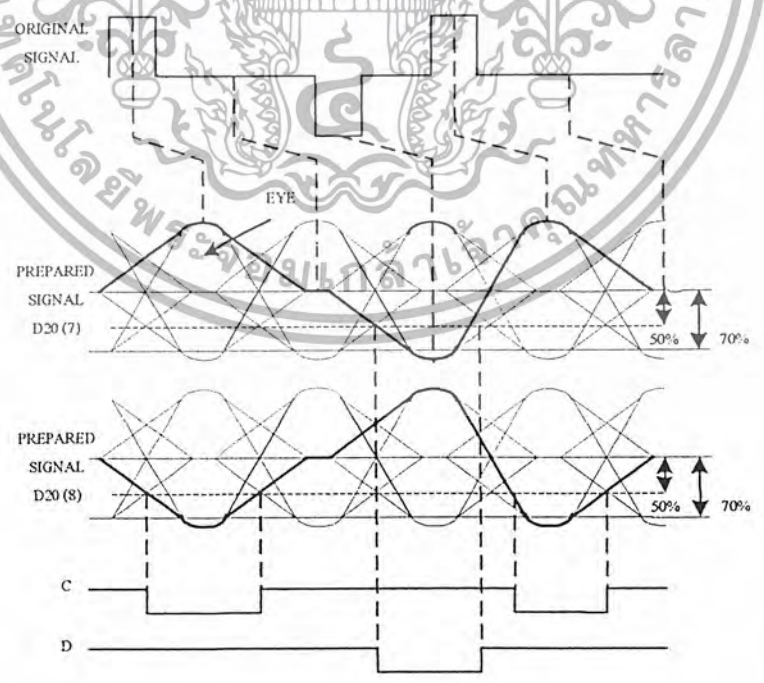
2. การผิดเพี้ยนของความถี่ในสเป็คตรัมกำลังงานของขบวนพัลส์

3. การสะสมของสัญญาณรบกวนซึ่งเป็นครอสทอล์ค (Crosstalk) จากการส่งสัญญาณอื่นๆ ในเคเบิ้ล

จากการที่คุณภาพของสัญญาณลดต่ำลงนี้เองเมื่อต้องการที่จะส่งสัญญาณเป็นระยะทางที่ไกลออกไป การกำเนิดสัญญาณขึ้นมาใหม่ก่อนที่จะส่งต่อไปจะช่วยให้สัญญาณมีคุณภาพดีกลับคืนมา โดยมีการผิดเพี้ยนของเวลาน้อยที่สุดมีการผิดพลาดของสัญญาณดิจิตอลน้อยที่สุด อุปกรณ์รีเจนเนอร์เรเตอร์จะเป็นตัวปรับปรุงสัญญาณของอุปกรณ์รีเจนเนอร์เรเตอร์จะประกอบด้วย

1) การลดทอนสัญญาณและการทำให้สัญญาณเท่ากัน เพื่อแยกเอาความถี่ซึ่งผิดเพี้ยนออกกรรมวิธีของการลดทอนและทำให้เท่ากันจะทำให้ได้รูปแบบของพัลส์ที่สม่ำเสมอกลับคืนมาแม้ว่ามันจะไม่ถึงกับเป็นสี่เหลี่ยมก็ตาม

2) การลดสัญญาณรบกวนซึ่งเป็นครอสทอล์ก เพื่อให้เหลือเฉพาะสัญญาณที่ต้องการโดยไม่มีผลกระทบสัญญาณลดลงของสัญญาณรบกวนซึ่งเป็นครอสทอล์ก เป็นผลมาจากการลดทอนสัญญาณเหนือความถี่ฮาฟบิตเรต (Half Bit Rat) ในสเป็คตรัมกำลังของสัญญาณด้วยเหตุผล เพราะว่าขบวนพัลส์มีการสลับกลับกันของมาร์ค (Attenuate Mark Inversion : AMI) ยกเว้นไวโอเลชันพัลส์ใน HDB-3 จะบรรจุไว้ด้วยความถี่พื้นฐานสูงสุด (Highest Fundamental Frequency) ตรงกับสัญญาณมาร์คทั้งหมดซึ่งเท่ากับครึ่งหนึ่งของอัตราเร็วของบิตข่าวสารได้ถูกเข้ารหัสกับสัญญาณมาร์คทั้งหมด ดังนั้นข่าวสารจึงถูกนำพาไปในแถบความถี่นี้ด้วยการอีควอไลเซชั่นจึงมีความจำเป็นต่อความถี่นี้อย่างยิ่ง ดังนั้นสัญญาณรบกวนในสเป็คตรัมส่วนเหนืออาจจะถูกลดทอนได้ด้วยการกรองสัญญาณ




รูปที่ 2.20 สัญญาณที่ได้รับการปรับปรุง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

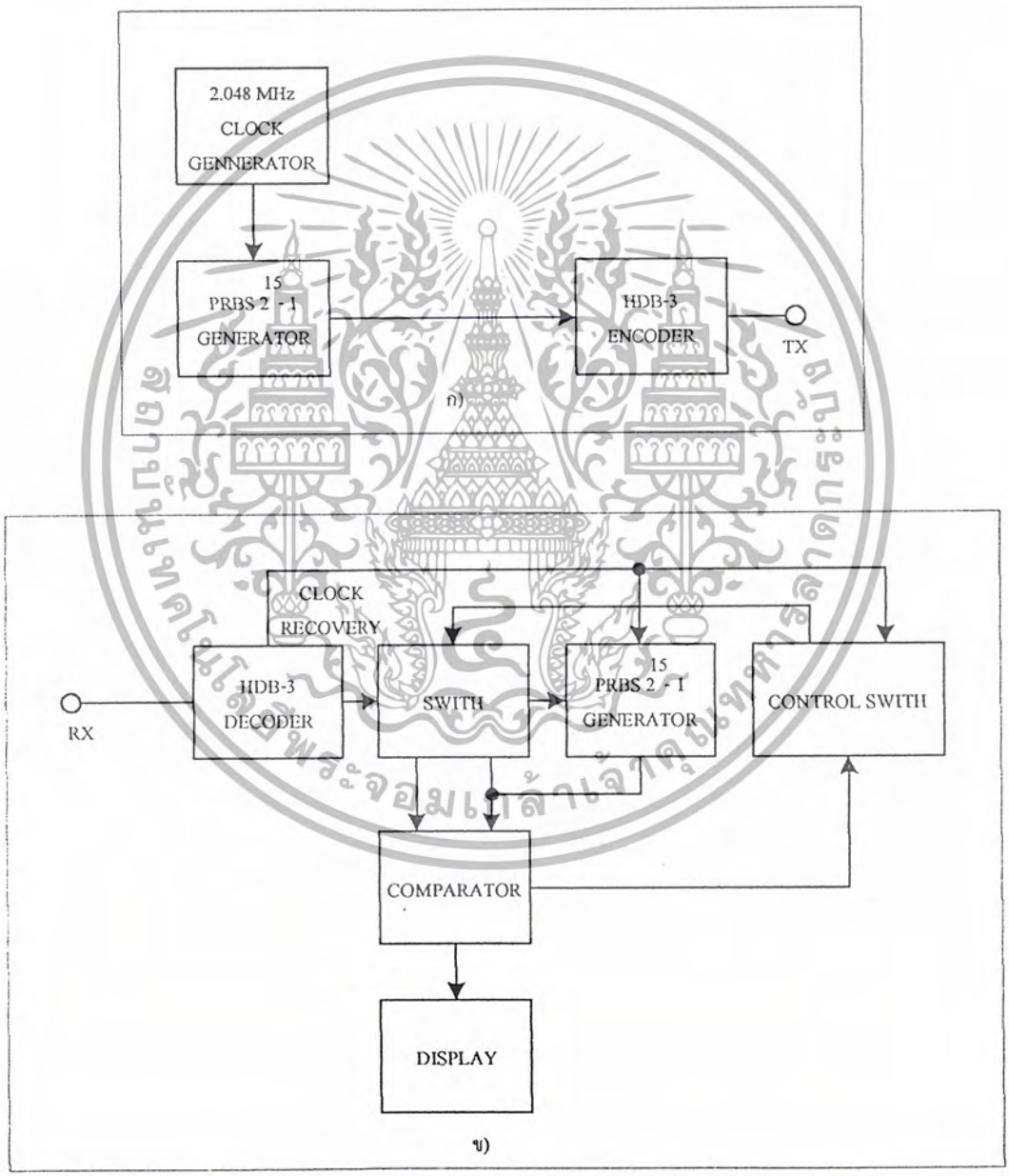
3) การขยายสัญญาณ สัญญาณจะถูกปรับปรุงเป็นขั้นสุดท้ายเมื่อแอมปลิจูดของมันถูกยกขึ้นในระดับที่มีการกำหนดไว้ตามต้องการ เพื่อกรรมวิธีของการกำเนิดสัญญาณขึ้นมาใหม่สัญญาณที่ได้รับการปรับปรุงแล้วได้มาจากคุณสมบัติของออสซิลโลแกรม (Characteristic Oscillogram) ซึ่งรู้จักในชื่อของอายไดอะแกรม (Eye Diagram) ซึ่งแสดงลักษณะทางอุดมคติดังรูปที่ 2.20 เส้นหนาเป็นผลมาจากขบวนพัลส์แสดงเหนือไดอะแกรมรูปร่างขึ้นอยู่กับการอีควอไลเซชั่นและการขยายสัญญาณอินพุตไปยังรีเจนเนอเรเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# บทที่ 3
# การคำนวณและการสร้าง

## 3.1 หลักการของเครื่องวัดอัตราบิตผิดพลาด

จากหลักการที่กล่าวมาแล้วข้างต้นเราจะเห็นว่าการแสดงอัตราความผิดพลาดที่เกิดขึ้นมีหลายวิธีที่จะใช้หาอัตราความผิดพลาด ซึ่งในปริญญานิพนธ์นี้เราได้เลือกเอาวิธีการหาค่าอัตราความผิดพลาด โดยการใช้การทดสอบลำดับของสัญญาณซึ่งมีหลักการดังนี้




รูปที่ 3.1 ก) บล็อกไดอะแกรมภาคส่งของเครื่องวัดอัตราบิตผิดพลาด
ข) บล็อกไดอะแกรมภาครับของเครื่องวัดอัตราบิตผิดพลาด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในการหาค่าอัตราความผิดพลาดด้วยวิธีนี้ ในการทดสอบทางด้านส่งจะส่งสัญญาณที่มีรูปแบบที่แน่นอนไปในระบบที่ต้องการทดสอบแล้วที่ด้านรับก็จะทำการตรวจสอบหาค่าความผิดพลาดที่เกิดขึ้นภายในระบบ โดยนำรูปแบบสัญญาณที่รับได้เปรียบเทียบกับรูปแบบของสัญญาณที่ใช้ส่ง ซึ่งจุดที่ไม่เหมือนกันจุดนั้นคือจุดที่ระบบทำให้เกิดความเสียหาย โดยวิธีการนี้ทางด้านรับก็จะต้องมีรูปแบบของสัญญาณที่จะใช้ทดสอบ การทดสอบอาจจะเป็นแบบทางเดียวหรือเป็นแบบสองทาง บล็อกไดอะแกรมเครื่องวัดอัตราความผิดพลาดแสดงดังรูปที่ 3.1

พิจารณาในทางด้านรับที่ตรวจสอบหาค่าอัตราความผิดพลาดบ้าง จากรูปที่ 3.1 สามารถที่จะอธิบายหลักการได้ดังนี้ เมื่อสัญญาณที่ใช้ในการทดสอบเข้ามาที่เครื่องรับก็จะถูกเปรียบเทียบกับสัญญาณที่เครื่องรับสร้างขึ้น โดยจะต้องมีการสร้างสัญญาณนาฬิกาขึ้นมาใหม่ที่เครื่องรับ เพื่อป้อนให้ภาคกำเนิดสัญญาณเปรียบเทียบสามารถสร้างสัญญาณในช่วงเวลาเดียวกัน เมื่อนำสัญญาณทั้งสองมาเปรียบเทียบกันจุดที่ไม่เหมือนกันก็คือความผิดพลาดที่เกิดขึ้น แต่เนื่องจากจุดเริ่มต้นในการสร้างสัญญาณทดสอบกับสัญญาณที่ใช้ในการเปรียบเทียบอาจจะไม่ตรงกัน จึงทำให้ต้องมีการเชื่อมโยงจุดเริ่มต้นให้เหมือนกันโดยจะใช้การตรวจดูอัตราความผิดพลาดที่เกิดขึ้น ถ้ามีค่าสูงแสดงว่ารูปแบบของสัญญาณทดสอบมีค่าไม่ตรงกับสัญญาณเปรียบเทียบก็จะทำการเชื่อมโยง ให้ภาคสร้างสัญญาณเปรียบเทียบไปรับรูปแบบที่ส่งมา เพื่อทำให้จุดเริ่มต้นในการสร้างรูปแบบของสัญญาณให้ตรงกัน โดยในการวัดอัตราความผิดพลาดเราอาจจะวัดในหน่วยของความผิดพลาดที่เกิดขึ้นต่อจำนวนสัญญาณที่รับเข้ามาได้ทั้งหมดในขอบเขตที่ตั้งไว้ เช่น อัตราความผิดพลาดในการส่งสัญญาณ 1 ล้านบิตหรืออาจจะวัดในรูปของจำนวนข้อมูลต่อจำนวนขบวนที่รับในหนึ่งหน่วยเวลา จากหลักการอันนี้ได้นำไปสร้างเครื่องมือวัดค่าอัตราความผิดพลาดที่เกิดขึ้น

3.2 การออกแบบเครื่องวัดอัตราบิตผิดพลาด

จากหลักการของเครื่องวัดในหัวข้อ 3.1 สามารถนำมาออกแบบเป็นเครื่องวัดอัตราบิตผิดพลาด โดยแบ่งวงจรออกเป็นส่วนใหญ่ๆ ดังนี้

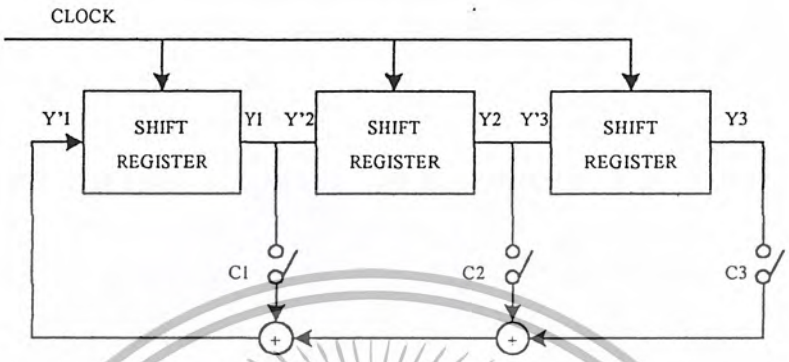
1. วงจรกำเนิดสัญญาณทดสอบและวงจรกำเนิดสัญญาณเปรียบเทียบ
2. วงจรกำเนิดสัญญาณนาฬิกา
3. วงจรตรวจสอบบิตผิดพลาด
4. วงจรเข้ารหัส
5. วงจรถอดรหัสและกู้สัญญาณนาฬิกา
6. วงจรนับบิตผิดพลาด
7. วงจรแสดงผล

3.3 วงจรกำเนิดสัญญาณทดสอบและวงจรกำเนิดสัญญาณเปรียบเทียบ

จากหลักการของเครื่องวัดอัตราบิตผิดพลาด จะเห็นว่าสัญญาณที่ใช้ทางด้านส่งเพื่อทดสอบกับสัญญาณที่ด้านรับที่นำมาเปรียบเทียบคือ สัญญาณที่มีรูปแบบเดียวกันซึ่งในปริญญานิพนธ์นี้จะใช้สัญญาณที่เรียกว่า พีซีดูแรนดอมซีเควนซ์ ซึ่งสัญญาณอันนี้มีหลักการกำเนิดโดยอาศัยการป้อนกลับจากสถานะที่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เกิดขึ้นภายในชิฟรีจิสเตอร์ จากตัวใดตัวหนึ่งป้อนกลับมาทางอินพุตเพื่อให้เกิดวงรอบของการกำเนิดสัญญาณ ความยาวของรูปแบบสัญญาณพีซีดูแรนคอมซีเควนนี้จะสัมพันธ์กับการนำเอาสถานะของชิฟรีจิสเตอร์คู่ใดมาบวกกันแล้วป้อนกลับ ซึ่งเราสามารถแสดงหลักการกำเนิดได้ดังนี้




รูปที่ 3.2 บล็อกไดอะแกรมของการเกิดสัญญาณพีซีดูแรนคอมซีเควนซ์

จากรูปที่ 3.2 จะได้สมการแสดงสถานะที่จุดต่างๆ ดังนี้

$$\begin{aligned} y1' &= c1y1 + c2y2 + c3y3 \\ y2' &= y1 \\ y3' &= y2 \end{aligned} \tag{3.1}$$

โดย $c1, c2, c3 = 1$ เมื่อสวิตช์ปิดวงจร

$= 0$ เมื่อสวิตช์เปิดวงจร

ซึ่งจากสมการที่ (3.1) เราจะเห็นว่า $y1', y2', y3'$ คือสถานะที่จะเกิดขึ้นถัดไปและจากสมการ (3.1) นำไปตั้งสมการเมตริก (Matrix) ได้ดังนี้

$$\begin{bmatrix} y1' \\ y2' \\ y3' \end{bmatrix} = \begin{bmatrix} c1 & c2 & c3 \\ 1 & 0 & 0 \\ 0 & 1 & 0 \end{bmatrix} \begin{bmatrix} y1 \\ y2 \\ y3 \end{bmatrix} \tag{3.2}$$

จากหลักการหาค่าไอเก็น (Eigan Value) กล่าวไว้ว่า

$$Ax = \phi x$$

$$(A - \phi)x = 0$$

และจากการหาค่าไอเก็นจะได้สมการคุณลักษณะโพลีโนเมียลจาก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CHARACTERISTIC POLYNOMAIL = DETREMINANCE $[A-\phi]$

หรือ = DETREMINANCE $[T+\phi I]$

โดยที่ $I$ คือ Identical Matrix

$T$ คือ เมตทริกของค่าคงที่

$$[T]=\begin{bmatrix} c1 & c2 & c3 \\ 1 & 0 & 1 \\ 0 & 1 & 0 \end{bmatrix}$$

จากสมการที่ (3.2) ทำให้สามารถหาค่าคุณลักษณะของโพลีโนเมี่ยลได้ดังนี้คือ

CHARACTERISTIC POLYNOMAIL = $|\ [T]+\phi[I]\ |$

$$=\begin{bmatrix} c1+\phi & c2 & c3 \\ 1 & \phi & 1 \\ 0 & 1 & \phi \end{bmatrix}$$

เนื่องจากเป็นการบวกแบบมอดูโล 2 ซึ่งจะไม่สนใจเครื่องหมายบวกหรือลบ

$$=\phi(\phi^2+c1\phi+c2)+c3$$

$$=\phi^3+c1\phi^2+c2\phi+c3$$

แทนค่า $\phi$ ด้วย $y$ และเนื่องจากเป็นการคูณแบบมอดูโล 2 จะได้ว่า $y=y^{-1}$ จะได้สมการ CHARACTERISTIC POLYNOMAIL คือ

$$1+c1y+c2y^2+c3y^3 \qquad (3.3)$$

จากสมการ CHARACTERISTIC POLYNOMAIL ที่ได้เราสามารถจับคู่ของตัวประกอบต่างๆ ได้ดังนี้

คีกรี 3 ประกอบด้วย

$$y^3=y^2(y)$$

$$y^3+y^2+y+1=(y+1)(y^2+1)$$

$$y^3+y^2+y=y(y^2+y+1)$$

$$y^3+y^2=y^2(y+1)$$

$$y^3+1=\text{ไม่สามารถแยกได้}$$

$$y^3+y^2+1=\text{ไม่สามารถแยกได้}$$

$$y^3+y+1=\text{ไม่สามารถแยกได้}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดีกรี 2 ประกอบด้วย

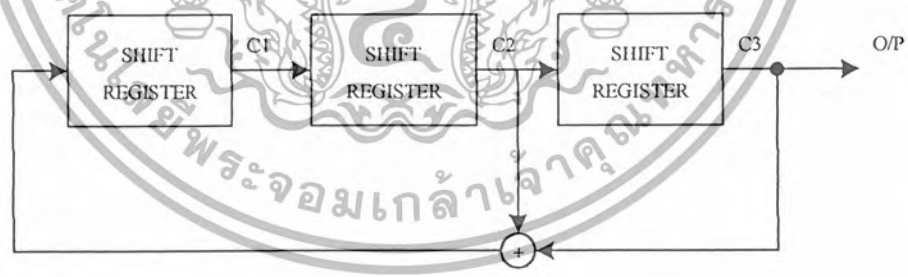
$$y^2 = y.y$$
$$(y^2+1) = (y^2+1)(y+1)$$
$$y^2 + y + 1 = \text{ไม่สามารถแยกได้}$$
$$y^2 + y = y(y+1)$$

ในการแยกตัวประกอบต้องคำนึงด้วยว่าเป็นการบวกมอดูโล 2 เพราะฉะนั้นค่าที่เหมือนกันเมื่อบวกกันแล้วมีค่าเท่ากับ 0 และสมการชุดใดที่ไม่สามารถแยกตัวประกอบได้ในเทอมนั้นจะให้ค่าลำดับของสัญญาณสูงสุด เนื่องจากความยาว (L) ของรูปแบบสัญญาณสามารถหาได้จากสมการ

$$L = 2^n - 1$$

โดยที่ $n$ คือค่าดีกรีสูงสุดในสมการที่นำมาสร้างรูปแบบของสัญญาณ สมมติเราต้องการ $L = 7$ เพราะฉะนั้นค่า $n$ ก็จะเท่ากับ 3 ซึ่งเป็นดีกรีของสมการ CHARACTERISTIC POLYNOMAIL แต่ในการที่จะให้ได้ความยาวในหนึ่งวงรอบเท่ากับ 7 นั้น จะต้องเลือกเอาเฉพาะสมการที่ไม่สามารถแยกตัวประกอบได้มาคิด จึงจะทำให้ได้ค่าความยาวของรูปแบบเท่ากับ 7 ตามที่คำนวณไว้

จากหลักการข้างต้นถ้าต้องการรูปแบบของสัญญาณมีความยาววงรอบเท่ากับ 7 ดังนั้นสมการที่จะต้องนำมาคิดก็คือ $x^3 + x^2 + 1$ หรือ $x^3 + x + 1$ จะทำให้ได้บล็อกไดอะแกรมดังรูปที่ 3.3 และจะได้สถานะต่างๆ ของการกำเนิดสัญญาณดังตารางที่ 3.1 เมื่อกำหนดให้สภาวะเริ่มต้นของชิฟรีจิสเตอร์ทุกตัวเป็น 1 หมด



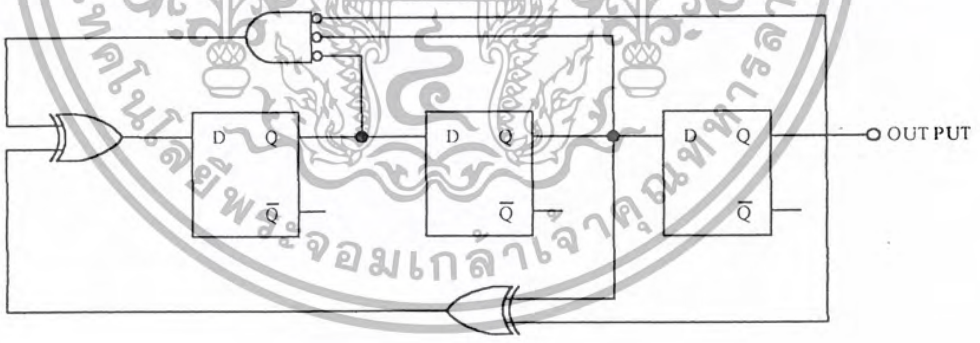

รูปที่ 3.3 ตัวอย่างบล็อกไดอะแกรมของสัญญาณพีซีดูที่ได้จากสมการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 3.1 ตัวอย่างบล็อกไดอะแกรมของสัญญาณพีซีคูที่ได้จากสมการ

| เวลาที่ T ใดๆ | 1 | 2 | 3 | O/P |
|---|---|---|---|---|
| T | 1 | 1 | 1 | 0 |
| T+1 | 0 | 1 | 1 | 0 |
| T+2 | 0 | 0 | 1 | 1 |
| T+3 | 1 | 0 | 0 | 0 |
| T+4 | 0 | 1 | 0 | 0 |
| T+5 | 1 | 0 | 1 | 1 |
| T+6 | 1 | 1 | 0 | 0 |
| T+7 | 1 | 1 | 1 | 1 |
| T+8 | 0 | 1 | 1 | 1 |
| T+9 | 0 | 0 | 1 | 1 |
| T+10 | 1 | 0 | 0 | 0 |
| T+11 | 0 | 1 | 0 | 0 |

แต่เนื่องจากในการใช้งานจริงจะต้องคำนึงถึงจุดที่จะเกิดสถานะศูนย์ในทุกชิฟรีจิสเตอร์ ซึ่งได้นำเอาสถานะของแต่ละตัวของชิฟรีจิสเตอร์มาสร้างเงื่อนไขไม่ให้เกิดขึ้นดังรูปที่ 3.4



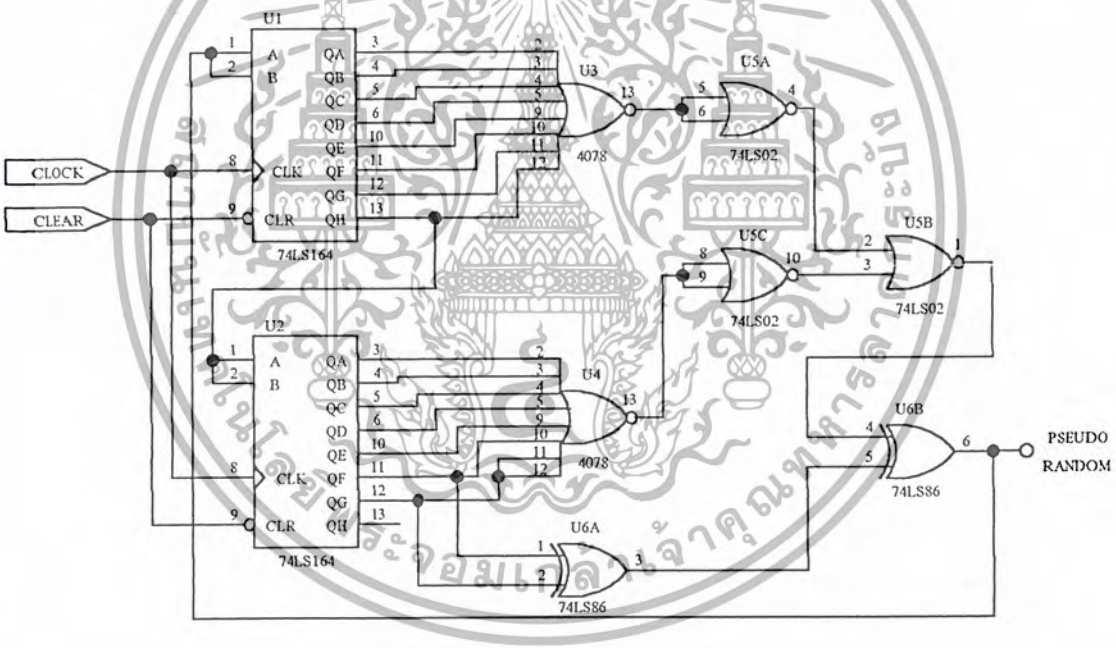

รูปที่ 3.4 วงจรการใช้งานจริงของภาคกำเนิดสัญญาณ

จากคุณสมบัติของออโตคอรีเลชั่น (Autocorrelation) ซึ่งใช้วัดคุณลักษณะการเหมือนกันของสัญญาณ เมื่อเวลาที่สัญญาณถูกเลื่อนไปจะพบว่าค่าออโตคอรีเลชั่นจะให้ค่าสูงสุด (มีค่าเหมือนกันทุกประการ) ที่คาบเวลาของออโตคอรีเลชั่นก็จะยิ่งสูง ซึ่งมีลักษณะใกล้เคียงกับสัญญาณไวท์น้อยส์ ซึ่งเราสามารถที่จะนำสัญญาณที่สร้างขึ้นมาใช้ทดสอบระบบก่อนการใช้งาน โดยใช้แทนข้อมูลข่าวสารจริงที่จะส่งซึ่งอัตราความผิดพลาดที่เกิดขึ้นก็จะมีค่าใกล้เคียงกับการที่ใช้ข่าวสารจริงส่ง ซึ่งค่าที่ได้จะเป็นค่าโดยประมาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากหลักการที่กล่าวมาข้างต้น การส่งข้อมูลที่มีความเร็ว 2.048 เมกะบิตต่อวินาที ซึ่งการเลือกขนาดของชิฟรีจิสเตอร์เพื่อสร้างข้อมูลกึ่งแรนดอม ให้มีความเข้มข้นของสเป็คตรัมกำลังที่เกิดขึ้นมีขนาดใกล้เคียงกับการส่งสัญญาณพีซีเอ็มเลือกขนาดชิฟรีจิสเตอร์เท่ากับ 15 โดยวงจรที่ใช้งานจริงแสดงได้ดังรูปที่ 3.5

วงจรประกอบด้วยวงจรรวม 74LS164 สองตัวซึ่งแต่ละตัวเป็นชิฟรีจิสเตอร์ขนาด 8 บิต การเลือกเท็ป (Tap) เพื่อให้เกิดซีเควนสูงสุดสำหรับสัญญาณข้อมูลกึ่งแรนดอมขนาด $2^{15}$-1 นั้นเลือกเท็ป 14 และ 15 ของชุดชิฟรีจิสเตอร์ $Q_F$ และ $Q_G$ ของวงจรรวม 74LS164 (U2) ตัวล่างในวงจรแล้วป้อนเข้าอินพุตของวงจรรวม 74LS86(U6A) ซึ่งเป็นเอ็กคลูซีฟออทำหน้าที่เป็นโมดูโล 2 สำหรับวงจรรวม 74LS86 (U6B) และ 74LS02 (U5A,U5B และ U5C) นอร์เกทที่เพิ่มเข้าไปในวงจร ใช้เพื่อป้องกันสภาวะที่เอาต์พุตของชิฟรีจิสเตอร์เป็น "0" พร้อมกันหมดซึ่งเมื่อเกิดสภาวะนี้แล้ว ทำให้ซีเควนเอาต์พุตที่เกิดขึ้นเป็น "0" ดังนั้นเมื่อเกิดสภาวะ "0" ที่ทุกๆ เอาต์พุตของชิฟรีจิสเตอร์แล้วที่เอาต์พุตของ 4078 (U3,U4) จะได้ลอจิก "1" ซึ่งจะทำให้ลอจิก "1" ป้อนกลับที่อินพุตของชิฟรีจิสเตอร์ ทำให้ไม่เกิดการค้างสภาวะ "0" ตลอดไป

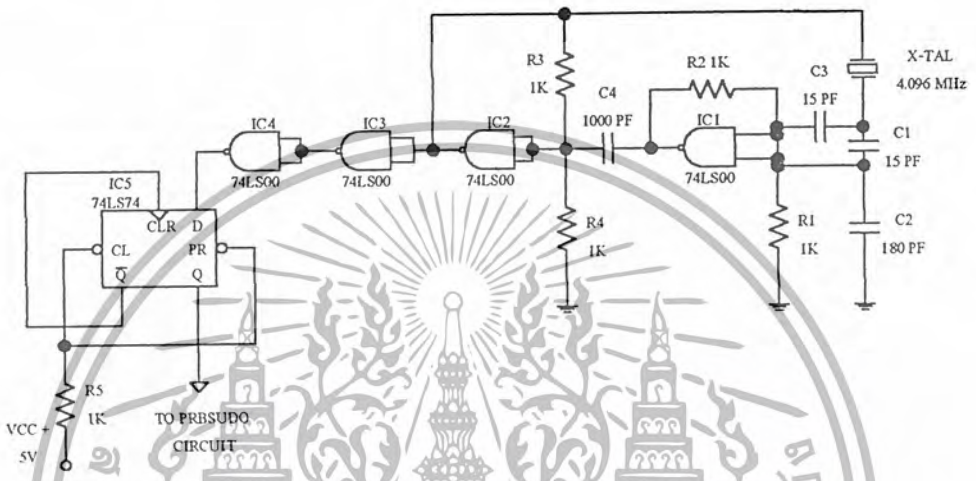



รูปที่ 3.5 วงจรกำเนิดสัญญาณทดสอบและเปรียบเทียบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.4 วงจรกำเนิดสัญญาณนาฬิกา

วงจรกำเนิดสัญญาณนาฬิกาจะกำเนิดสัญญาณนาฬิกา เพื่อใช้สำหรับการกำเนิดสัญญาณเปรียบเทียบออกแบบโดยใช้วงจรกำเนิดความถี่แบบ X-Tal ใช้ IC 74LS00 ทำหน้าที่ขับสัญญาณ X-Tal ใช้ความถี่ 4.096 เมกะเฮิรตซ์ความถี่ที่กำเนิดได้เมื่อผ่าน IC 74LS00 แล้วจะได้สัญญาณรูปสี่เหลี่ยมจตุรัส (Square Wave) เมื่อนำไปผ่านวงจรหารสองที่มี IC 74LS74 จะได้สัญญาณความถี่ 2.048 เมกะเฮิรตซ์ วงจรแสดงดังรูปที่ 3.6




รูปที่ 3.6 วงจรกำเนิดสัญญาณนาฬิกา 2.048 เมกะบิตเฮิรต์

3.5 วงจรตรวจสอบบิตผิดพลาด

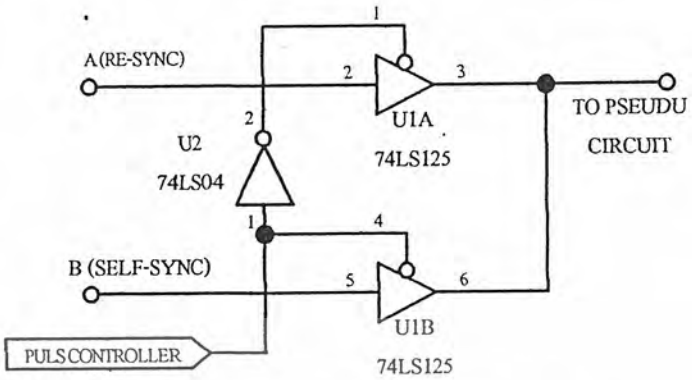
ทำหน้าที่ในการตรวจสอบดูความผิดพลาดที่เกิดขึ้น โดยปกติจุดเริ่มต้นของการสร้างรูปแบบของสัญญาณที่ภาคส่งกับภาครับจะไม่ตรงกัน ซึ่งเมื่อนำสัญญาณทั้งสองมาเปรียบเทียบกันก็จะทำให้เกิดความผิดพลาดอย่างมากมาย ซึ่งไม่ใช่ความผิดพลาดที่เป็นจริงดังนั้นจะต้องมีการซิ้งค์กันเพื่อให้วงจรภาครับกับภาคส่งมีจุดที่เริ่มสร้างแพทเทิร์นเดียวกัน โดยวงจรภาคนี้จะกำเนิดสัญญาณเพื่อไปควบคุมสวิตซ์ให้รับสัญญาณที่ส่งมาเข้าไปสร้างรูปแบบของสัญญาณ ให้มีจุดเริ่มต้นตรงกันและเมื่อจุดเริ่มต้นตรงกันแล้วก็จะควบคุมให้วงจรสร้างสัญญาณรับอินพุตที่ป้อนกลับจากตัวมันเอง ซึ่งวงจรตรวจสอบบิตผิดพลาดแบ่งออกเป็น 3 วงจรดังนี้

3.5.1 วงจรสร้างสัญญาณเปรียบเทียบ

วงจรนี้ทำหน้าที่สร้างสัญญาณขึ้นมาเปรียบเทียบกับภาคส่งโดยมีเทคนิคที่สำคัญคือ ต้องเท็ปให้ตรงกับทางด้านส่งหมายถึงการเลือกลำดับของรีจิสเตอร์โดยนำเอาต์พุตมาบวกกันแล้วป้อนกลับนั้น ต้องอยู่ตำแหน่งเดียวกับทางด้านส่งเพื่อให้มีลำดับการเกิดรหัสเหมือนกัน และจะใช้เอ็กคลูซีฟออร์เกตมาเป็นตัวบวกแบบมอดูโล 2 ซึ่งส่วนที่บวกนี้ก็เป็นการเปรียบเทียบนั่นเอง โดยมีลักษณะการทำงานคือถ้าอินพุตต่างกันก็ให้เอาต์พุตเป็น 1และบิต 1 นี้ก็คือบิตผิดที่ปนเข้ามาในสัญญาณส่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.5.2 วงจรสวิตช์



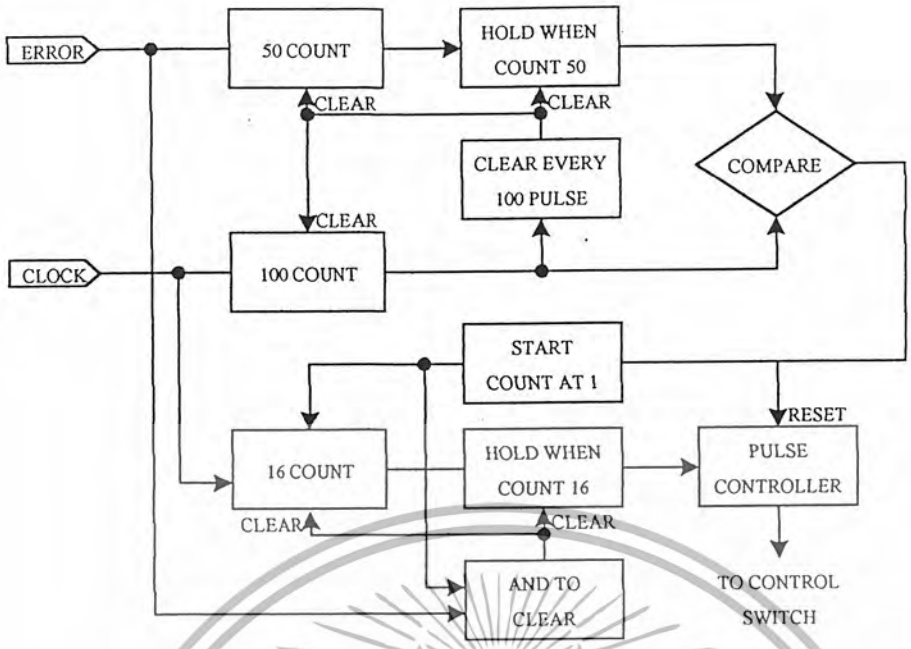

รูปที่ 3.7 วงจรสวิตช์

ในช่วงแรกนั้นต้องทำการซิงโครไนซ์ให้ได้ก่อน โดยสวิตช์ต้องสับลงมาที่ตำแหน่งที่จะรับสัญญาณมาจากด้านส่งโดยตรงเป็นการบรรจุชิฟรีจิสเตอร์ให้ครบจำนวน จากนั้นจึงจะสับกลับเพื่อป้อนกลับตัวเองทำให้ที่ภาครับสามารถผลิตสัญญาณได้เอง และมีลำดับของรหัสตรงกับทางส่งเรียกว่าเกิดการซิงโครไนซ์ในกรณีการสับสวิตช์ด้วยมือ ความเร็วของการเคลื่อนที่ของคอนแทคจากจุดหนึ่งไปยังอีกจุดหนึ่งต้องเร็ว หรือใช้เวลาน้อยกว่าคาบเวลาของคล็อกจึงจะไม่เกิดการผิดพลาดซึ่งในการส่งข้อมูลที่ความเร็วสูง เป็นไปไม่ได้ที่มือคนเราจะสับได้ทันดังนั้นในการออกแบบสวิตช์จึงต้องใช้บัฟเฟอร์มาแทนและจะทำงานซิงโครไนซ์กับชิฟรีจิสเตอร์คือจะทำงานที่ขอบขาขึ้นของคล็อก ในที่นี้ใช้ไอซีเบอร์ 74LS125 มาเป็นบัฟเฟอร์วงจรแสดงไว้ในรูปที่ 3.7 บัฟเฟอร์ 2 ตัวจะทำงานสลับกันเพราะมีการอินเวอร์สสัญญาณโดยนอทเกตเบอร์ 74LS04

3.5.3 วงจรควบคุมสวิตช์

เมื่อใดที่ควรจะทำการซิงโครไนซ์ใหม่เป็นคำถามที่ภาคนี้ต้องตอบให้ได้ เพราะวงจรนี้จะให้เอาต์พุต 2 สภาวะคือ 0 และ 1 เพื่อสับสวิตช์ให้ได้สองทางและตั้งแต่นี้ไปจะเรียกกรณีที่สวิตช์สับไปที่ตำแหน่งให้สัญญาณจากภาคส่งเข้ามาโดยตรงว่า ตำแหน่งรีซิงโครไนซ์และเรียกกรณีที่ให้สัญญาณจากตัวเองย้อนกลับว่าตำแหน่งซิงโครไนซ์ และวงจรควบคุมนี้จะต้องสับสวิตช์ไปที่ตำแหน่งรีซิงโครไนซ์ก็ต่อเมื่อไม่เกิดการซิงโครไนซ์ และสิ่งที่ทำให้เรารู้ได้ว่าไม่เกิดการซิงโครไนซ์ก็คือเกิดมีบิตผิดเข้ามาเกือบ 50 % ขึ้นไปและสาเหตุที่บิตผิดถึง 50 % ก็เพราะเอาต์พุตของวงจรดีเทคให้เอาต์พุตออกมาเป็นสัญญาณกึ่งแรนดอมและสาเหตุที่ทำให้เกิดการไม่ซิงโครไนซ์มี 2 สาเหตุคือ เมื่อเริ่มต้นบรรจุชิฟรีจิสเตอร์มีบิตผิดปนเข้าไปและเกิดอิมพัลซ์รบกวนทำให้ลำดับเปลี่ยนไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

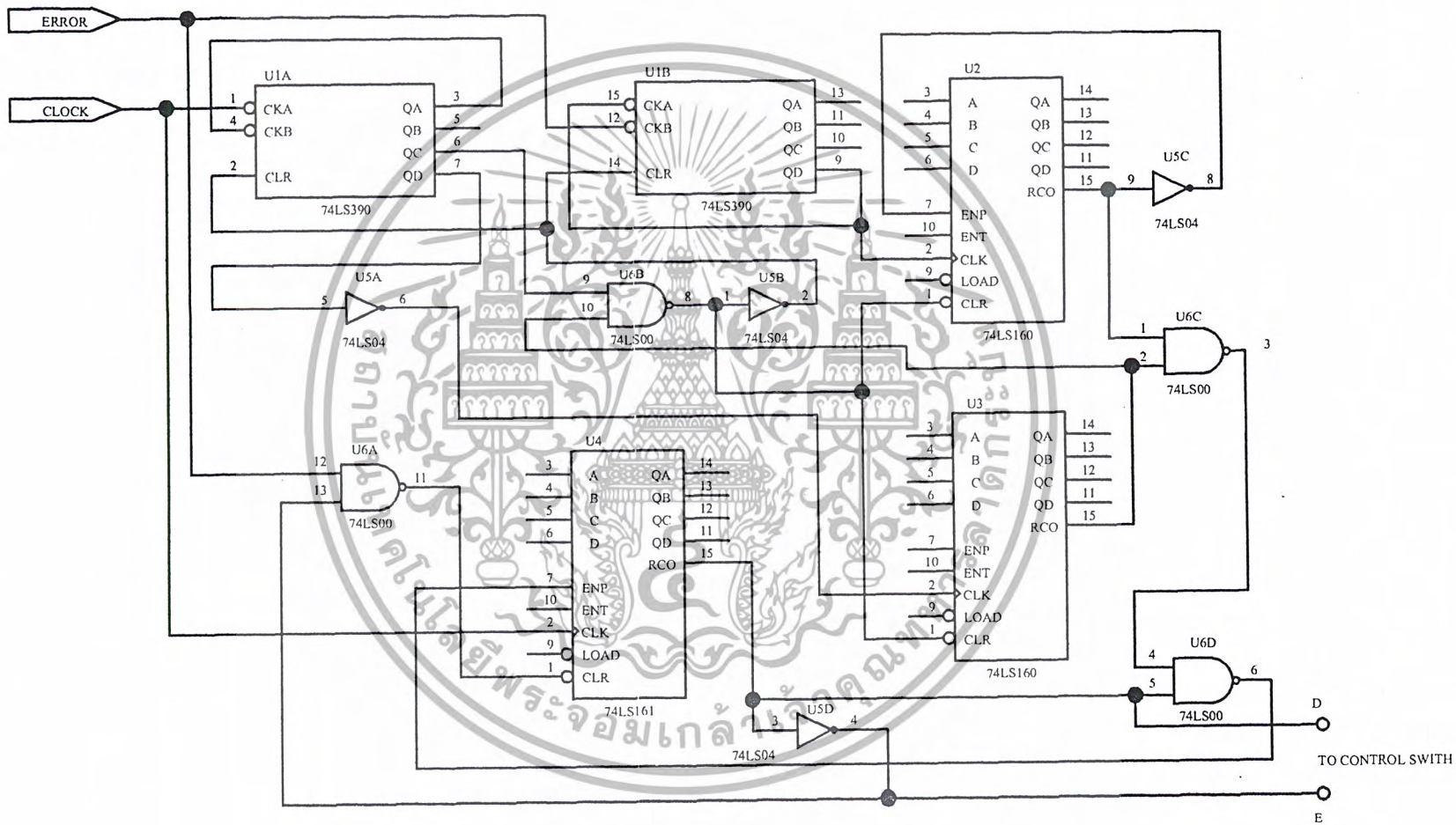



รูปที่ 3.8 บล็อกไดอะแกรมการทำงานวงจรควบคุมสวิตช์

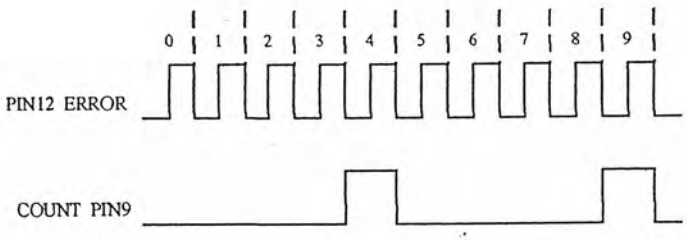
ในการทำงานของภาคนี้แสดงได้ด้วยบล็อกไดอะแกรมการทำงานในรูปที่ 3.8 หลักการคือมีการเปรียบเทียบจำนวนบิตผิดต่อจำนวนคล็อก ถ้าในช่วงคล็อก 100 ลูก มีบิตผิดถึง 50 บิตขึ้นไปแล้วจะส่งสัญญาณไปเซ็ตหน่วยควบคุมพัลส์ (Pulse Controller Unit) ให้ส่งสัญญาณไปสับสวิตช์ไปที่ตำแหน่งรีซิงโครไนซ์ทันที หลังจากนั้นวงจรนับ 16 บิตจะเริ่มนับเพื่อรอเวลาให้มีการบรรจุชิฟรีจิสเตอร์ได้ครบจำนวน ในที่นี้เผื่อไว้ถึง 16 บิตเมื่อวงจรนับ 16 นับครบ 16 จะส่งสัญญาณไปรีเซ็ตหน่วยควบคุมพัลซ์ให้สับสวิตซ์มาที่ตำแหน่งซิงโครไนซ์อย่างเดิม แต่ถ้าในช่วงเวลาที่รอบรรจุชิฟรีจิสเตอร์หรือช่วงเวลาที่กำลังนับ 16 อยู่นั้น เกิดมีบิตผิดขึ้นมาบิตผิดนี้จะไปรีเซ็ตให้เริ่มนับใหม่ เพื่อเป็นการป้องกันไม่ให้เกิดมีบิตผิดปนเข้าไปในชิฟรีจิสเตอร์ในช่วงบรรจุนั่นเอง สำหรับวงจรที่ใช้ในภาคนี้แสดงไว้ในรูปที่ 3.9

วงจรนับ 50 ประกอบด้วยวงจรนับ 5 ของไอซีเบอร์ 74LS390 (U1B) อนุกรมกับวงจรนับ 10 ของไอซีเบอร์ 74LS160 (U2) ไอซี 74LS390 (U1B) ขา 9 ต่อเข้ากับขา 15 เพราะเป็นการนับแบบไบไควนารี (Bi-Quinary) แล้วจะนำเอาต์พุตที่ได้จากการนับ 5 มาเข้าอินพุตของวงจรนับ 10 โดยมาต่อกับขา 2 ของ 74LS160 (U2) ทำให้เป็นวงจรนับ 50 นั่นคือเมื่อมีบิตผิดมานับ 50 บิต เอาต์พุตขา 15 ของ 74LS160 (U2) จะเป็นลอจิก 1 ที่ขอบขาขึ้นและจะถูกอินเวอร์สให้เป็น 0 ไปป้อนเข้าขาอินาเบิล (ขา 7) ทำให้หยุดนับและจะค้างสภาวะนี้ตลอดไปจนกว่าจะถูกเคลียร์จึงจะเริ่มนับใหม่

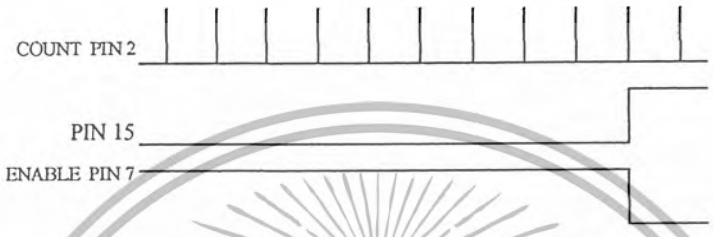
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 3.9 วงจรกำเนิดสัญญาณ

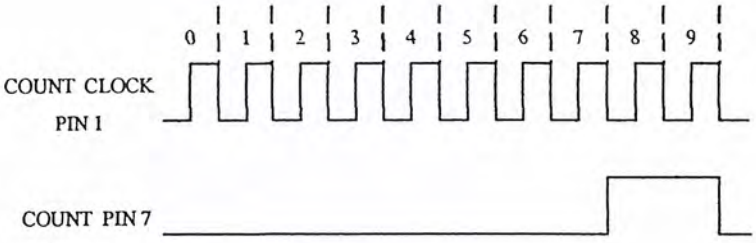



รูปที่ 3.10 แผนผังเวลาวงจรนับ 5 ของไอซีเบอร์ 74LS390 (U1B)



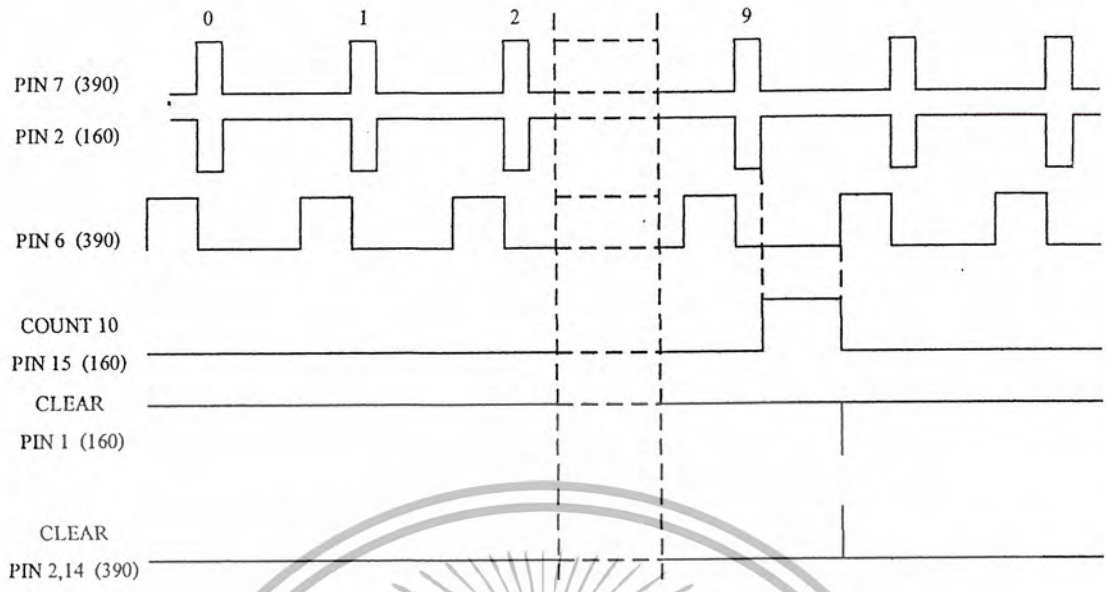

รูปที่ 3.11 แผนผังเวลาวงจรนับ 10 ของไอซีเบอร์ 74LS160 (U2)

วงจรนับ 100 ประกอบด้วยวงจรนับ 10 ของ 74LS390 (U1A) มาต่อเป็นการนับแบบบีซีดี (BCD Count Sequence) โดยนำขา 3 ต่อร่วมกับขา 4 ตามข้อกำหนดของไอซีเบอร์นี้ต่ออนุกรมกับวงจรนับ 10 ของไอซีเบอร์ 47LS160 (U3) ในวงจรนับ 100 เมื่อนับครบ 100 จะได้เอาต์พุตเป็นลอจิก 1 ที่ขา 15 ของ 74LS160 (U3) ไปจนกระทั่งถูกเคลียร์โดยขา 6 ของ 74LS390 (U1A) และจากผลต่อเนื่องนี้จะไปเคลียร์การนับของทั้งการนับ 100 และนับ 50 ทำให้มีการเริ่มนับใหม่ที่จุดนี้ และในกรณีที่วงจรนับ 50 นับได้ 50 ในช่วง 100 คล็อกนี้จะมีลอจิก 1 มาค้างอยู่ที่ขา 1 ของแนนเกตเบอร์ 74LS00 (U6C) และเมื่อวงนับ 100 ให้เอาต์พุต 1 มาที่ขา 2 ของ 74LS00 (U6C) ก็จะได้ลอจิก 1 ไปเซ็ตที่ขา 7 ของ 74LS161 (U4) ให้เริ่มนับ 16 และส่งลอจิก 0 ออกที่ขา 15 ของ 74LS161 (U4) เพื่อไปควบคุมสวิตช์ให้มาอยู่ที่ตำแหน่งรีซิงโครไนซ์ จากไดอะแกรมของวงจรนับ 16 ที่ขา 15 ของ 74LS161 (U4) ก็คือเอาต์พุตของหน่วยควบคุมพัลส์นั่นเอง จึงสรุปได้ว่าเมื่อหน่วยควบคุมพัลส์ให้เอาต์พุต 0 ก็หมายถึงการรีซิงโครไนซ์และจะมีส่วนป้องกันการเอาบิตผิดไปบรรจุชิฟรีจิสเตอร์คือนำบิตผิดมาเคลียร์เพื่อรีเซ็ตให้นับ 16 ใหม่ในไอซีเบอร์ 74LS161 (U4)

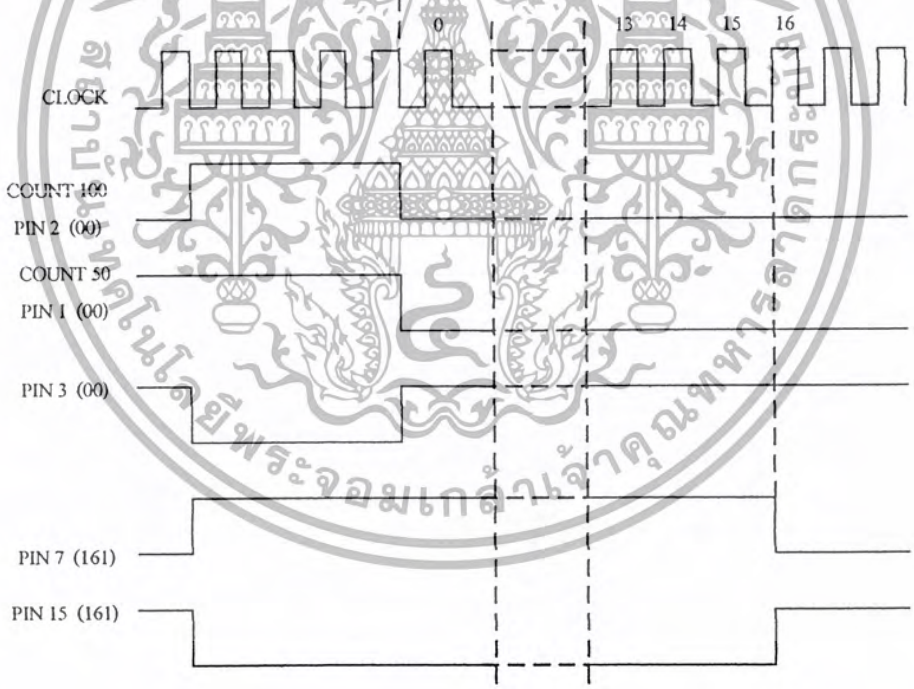



รูปที่ 3.12 แผนผังเวลาวงจรนับ 10 ของไอซีเบอร์ 74LS390 (U1A) ในส่วนของการนับ 100

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



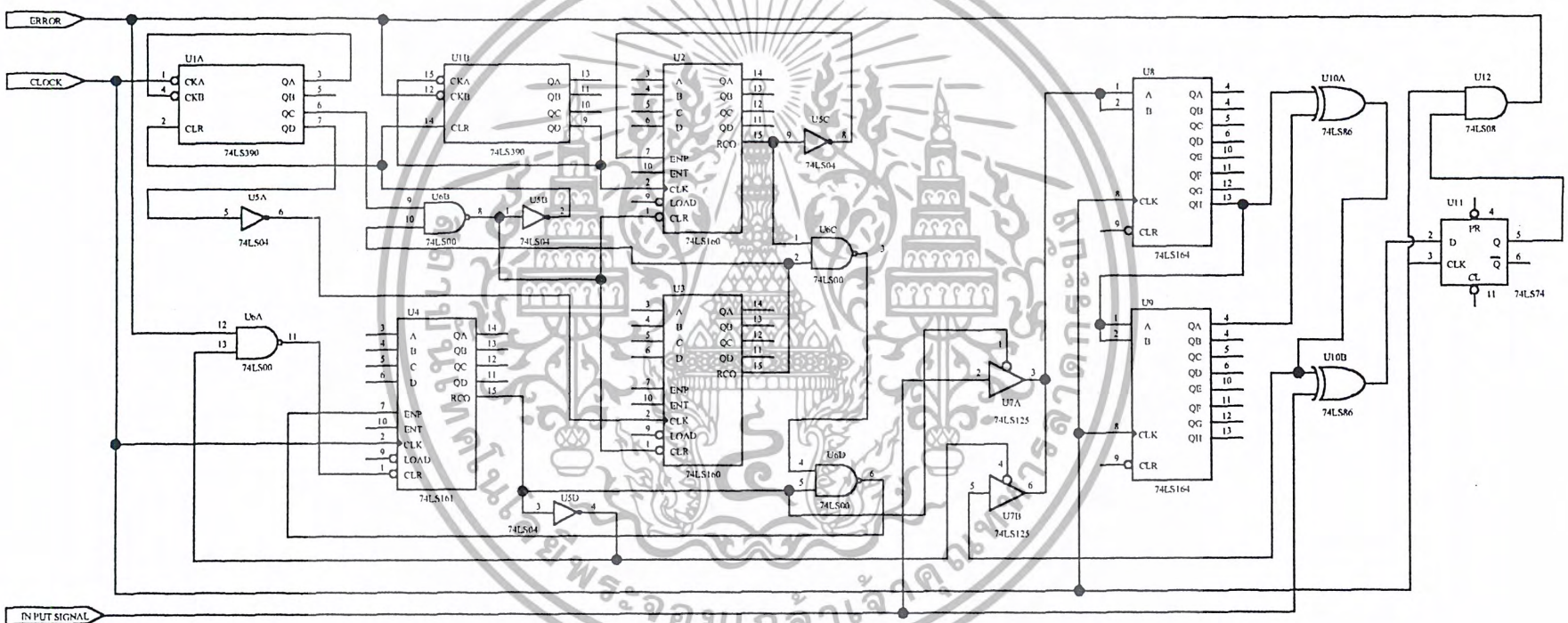

รูปที่ 3.13 แผนผังเวลาวงจรนับ 10 ของไอซีเบอร์ 74LS160 (U3) ในส่วนของการนับ 100




รูปที่ 3.14 แผนผังเวลาวงจรนับ 16

วงจรที่สมบูรณ์ของส่วนดีเทคบิตผิดนี้แสดงไว้ในรูปที่ 3.15 และยังมีส่วนปลีกย่อยที่ยังไม่ได้กล่าวถึงในวงจรคือไอซีเบอร์ 74LS74 (U11) และไอซีเบอร์ 74LS08 (U10) ไอซีเบอร์ 74LS74 (U11) นั้นจะเป็นดีฟลิปฟลอปทำหน้าที่กำจัดพัลส์เล็กๆ ที่เกิดจากการเหลื่อมกันในการบวกของเอ็กคลูซีฟออร์เกต เพราะพัลส์เล็กๆ นี้จะไม่ใช่บิตผิดแต่สามารถทำให้ชุดนับบิตที่ผิด เพื่อแสดงผลออกจอคอมพิวเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

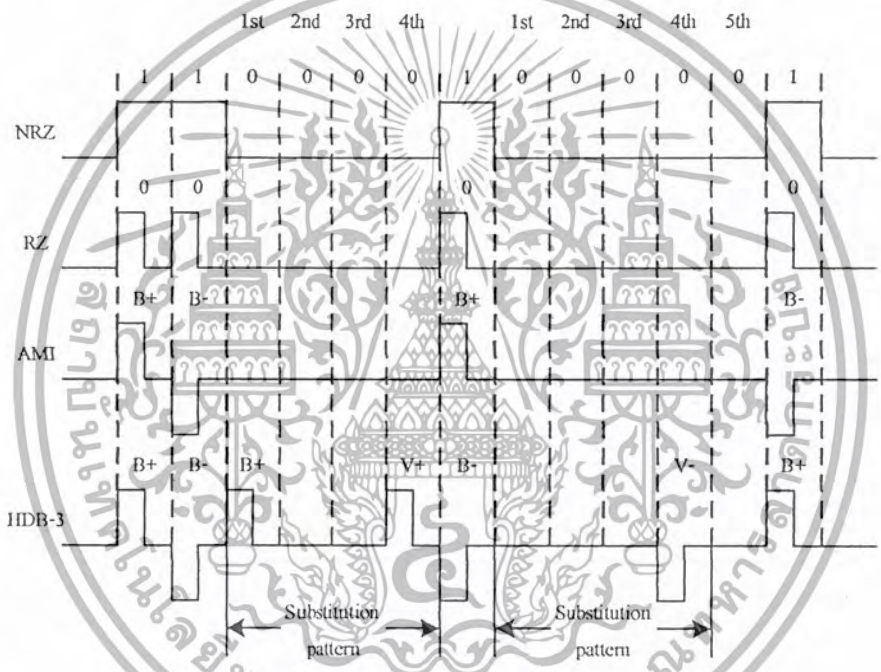



รูปที่ 3.15 วงจรตรวจสอบบิตพาริตี

สามารถนับค่าได้แต่ความจริงค่าที่นับได้นี้ไม่ใช่ความผิดพลาดในการสื่อสารข้อมูล ดังนั้นเพื่อป้องกันการผิดพลาดในจุดนี้เราจึงต้องกำจัดพัลส์เล็กๆ เหล่านี้ออกไป และแอนเกตเบอร์ 74LS08 (U10) ทำหน้าที่ให้มีช่องว่างระหว่างบิตผิดติดต่อกันเพื่อให้เกิดขอบของลอจิกในการนำเข้าไปนับ และสามารถทำได้โดยการแอนกับคล็อก

3.6 วงจรเข้ารหัสสัญญาณ NRZ/HDB-3

วงจรนี้มีหน้าที่ในการเปลี่ยนสัญญาณทดสอบพีซีดูแรนดอมซึ่งเป็น NRZ ไปเป็น HDB-3 เพื่อลดปัญหาและเพิ่มประสิทธิภาพของสัญญาณในการส่ง โดยเฉพาะการกู้สัญญาณนาฬิกากลับคืนมาทางด้านรับ ซึ่งหลักเกณฑ์ในการเปลี่ยนสัญญาณเป็น HDB-3 มีดังนี้




รูปที่ 3.16 แผนผังเวลาการเข้ารหัส HDB-3

จากรูปที่ 3.16 บิต "1" จะแทนด้วยพัลส์ "+" และ "-" สลับกันไป (โดยทำการปรับปรุงเป็นสัญญาณแบบ RZ 50%) ในลักษณะของไบโพลาบวกและลบ ส่วนบิต "0" แทนด้วยระดับ 0 โวลต์ แต่จะมีข้อกำหนดเฉพาะของกรณีบิต "0" ดังนี้

1. เมื่อมีบิต "0" เกิดขึ้นติดกันน้อยกว่า 4 บิต บิต "0" แต่ละบิตนั้นแทนด้วยระดับ 0 โวลต์

2. เมื่อมีบิต "0" เกิดขึ้นติดต่อกันเท่ากับ 4 บิต การเข้ารหัสจะขึ้นอยู่กับขั้วของพัลส์สุดท้ายและไวโอเลชั่นพัลซ์ก่อนหน้านั้นไวโอเลชั่นพัลซ์ คือพัลส์ซึ่งหักล้างหรือต่อต้านกฎเกณฑ์ของไบโพลาโดยที่ไวโอเลชั่นพัลส์จะมีขั้วเดียวกันกับพัลซ์ก่อนหน้านี้เช่น เมื่อพัลส์บวก (+) ไวโอเลชั่นพัลส์ก็จะเป็น "V+"ด้วย ถ้าพัลส์ก่อนหน้านั้นเป็นลบ (-) ไวโอเลชั่นพัลส์ก็จะเป็น "V-" ด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ก. ถ้าขั้วของพัลส์สุดท้ายเหมือนกับไวโอเลชั่นพัลส์ก่อนหน้านี้ บิต "0" ตัวที่หนึ่งแทนด้วยระดับ 0 โวลต์ ถ้าขั้วของพัลส์สุดท้ายเหมือนกับไวโอเลชั่นพัลส์ก่อนหน้านี้ บิต "0" ตัวที่หนึ่งจะถูกเปลี่ยนเป็นระดับ "1" ซึ่งสลับกันนั่นคือเป็น B+ หรือ B-

ข. บิต "0" บิตที่ 2 และ 3 จะถูกแทนด้วยระดับ 0 โวลต์เสมอ

ค. บิต "0" บิตที่ 4 (บิตสุดท้าย) จะถูกเปลี่ยนไวโอเลชั่นพัลส์เสมอโดยขั้วของ V+ หรือ V- จะต้านต่อกฎของไบโพลา

3. เมื่อมีบิต "0" ติดต่อกันมากกว่า 4 บิต มันจะถูกออกเป็นกลุ่มละ 4 บิต กลุ่มซึ่งมีครบ 4 บิต จะถูกดำเนินการตามข้อ (2) ส่วนกลุ่มที่น้อยกว่า 4 บิตจะถูกดำเนินการตามข้อ (1) บิต "0" ที่ติดต่อกันยาวมากจะถูกขจัด โดยการเข้ารหัส HDB-3 ซึ่งจะทำให้การแก้สัญญาณนาฬิกากลับคืนมาสามารถกระทำได้โดยง่าย

การออกแบบและการทำงานของวงจรเข้ารหัส NRZ/HDB-3 การเข้ารหัส HDB-3 สามารถแบ่งเป็นส่วนใหญ่ๆ ได้ดังนี้

1. ส่วนชิฟรีจิสเตอร์ขนาด 4 บิต
2. ส่วนตรวจสอบและควบคุม
3. ส่วนกำหนดสถานะเอาต์พุต
4. ส่วนชุดไดร์ฟ

รายละเอียดสามารถอธิบายได้ดังรูป

รูปที่ 3.17 บล็อกไดอะแกรมของการเข้ารหัส HDB-3

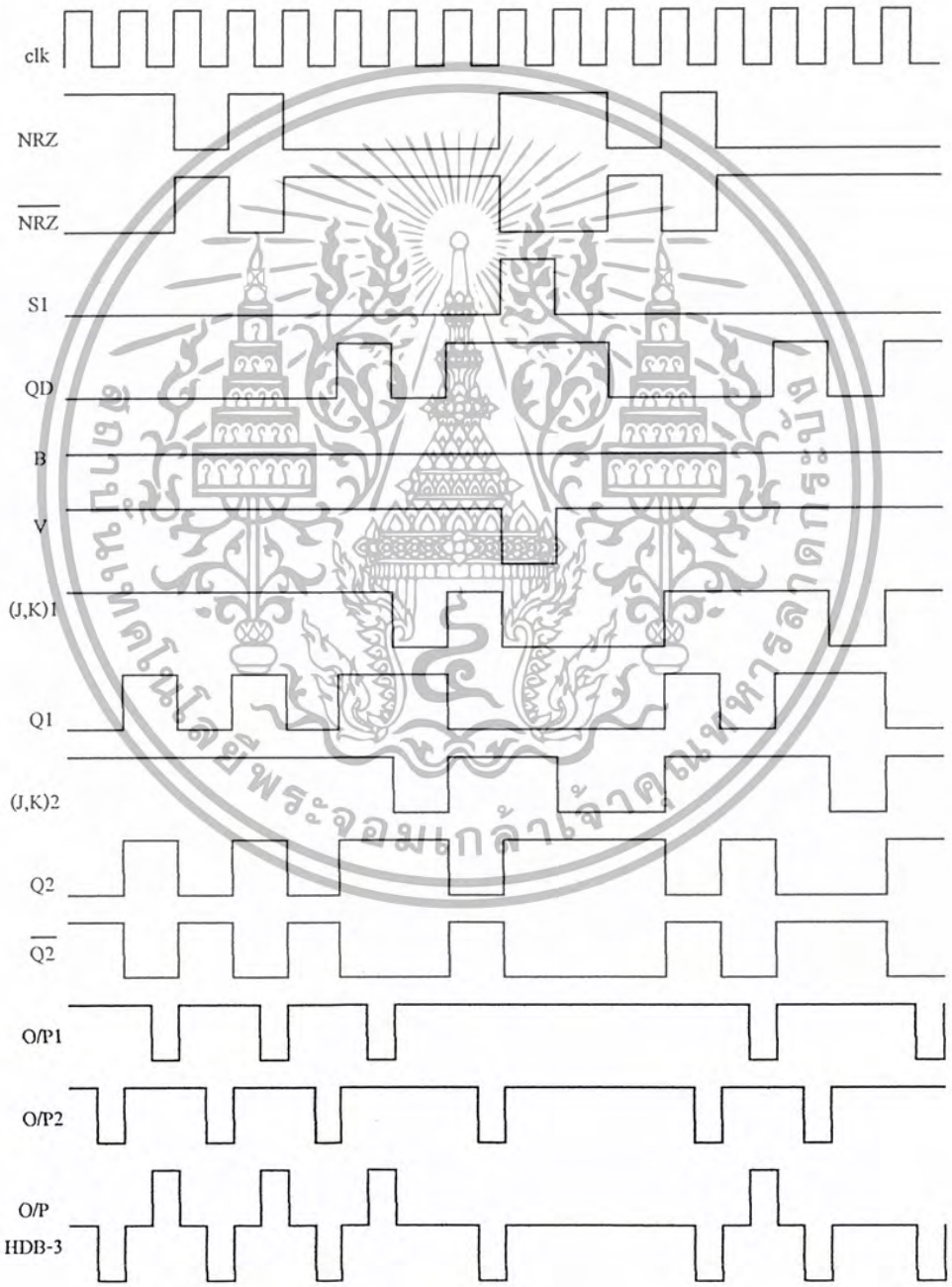
1. ส่วนชิฟรีจิสเตอร์ขนาด 4 บิต 74LS194 (U1) ทำหน้าที่เป็นหน่วยความจำและหน่วงเวลาอินพุตพัลส์ไว้ 4 บิต เพื่อทำการนับอินพุตพัลส์ที่เข้ามาว่ามีสถานะลอจิก "0" หรือลอจิก "1" เพื่อที่ส่วนตรวจสอบจะทำการตรวจสอบลอจิก "0"

2. ส่วนตรวจสอบและควบคุมประกอบด้วยแนนด์เกต (U5,U6A,U3C,U3D,U4A และ U4B) และ JKฟลิปฟลอป (U5,U6A และ U2A) จะทำการตรวจจับสถานะลอจิก "0" ที่ติดต่อกันจำนวน 4 บิตจากเอาต์พุตของชิฟรีจิสเตอร์ส่งเอาต์พุตที่ได้เข้า U3C และ U3D เพื่อทำการกำหนดสถานะการเติมบาลานซ์พัลส์กับไวโอเลชั่นพัลส์ U2A ทำหน้าที่นับจำนวนพัลส์ของสถานะลอจิก "1" ว่ามีจำนวนเป็นคู่หรือคี่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

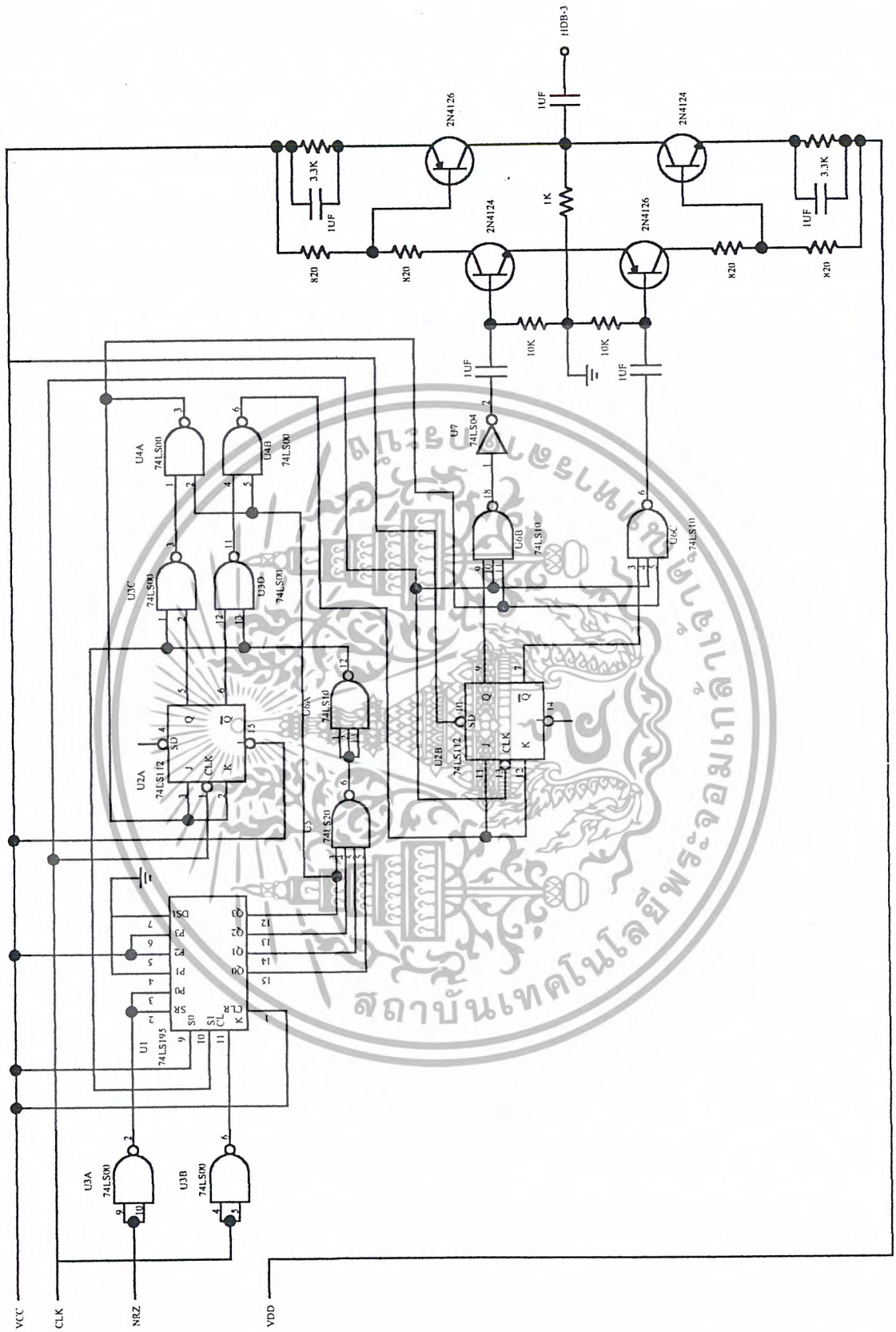
3. ส่วนกำหนดสถานะเอาต์พุตประกอบด้วย JK ฟลิปฟลอป (U2B) และแนนด์เกต (U6B,U6C) JK ฟลิปฟลอปทำหน้าที่กำหนดสถานะเอาต์พุตของสถานะลอจิก "1" ว่ามีสถานะพัลส์เป็น V+ หรือ V- แนนด์เกตทำหน้าที่แสดงสถานะพัลส์ที่เป็นแบบ Return to Zero เพื่อส่งต่อไปยังชุดไดร์ฟ

4. ส่วนชุดไดร์ฟประกอบด้วยทรานซิสเตอร์จำนวน 4 ตัวทำหน้าที่เป็นสวิตช์ทำการคัดเลือกเอาต์พุตพัลส์ โดยจะทำงานสลับกันระหว่างชุดบนและชุดล่างทรานซิสเตอร์ชุดบนจะทำการขยายพัลส์ V+ ส่วนทรานซิสเตอร์ชุดล่างจะทำการขยายพัลส์ V- เมื่อรวมกันจะได้สัญญาณเอาต์พุตเป็นสัญญาณ HDB-3 โดยรายละเอียดสามารถแสดงได้ดังรูปที่ 3.18




รูปที่ 3.18 การทำงานการเข้ารหัส HDB-3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



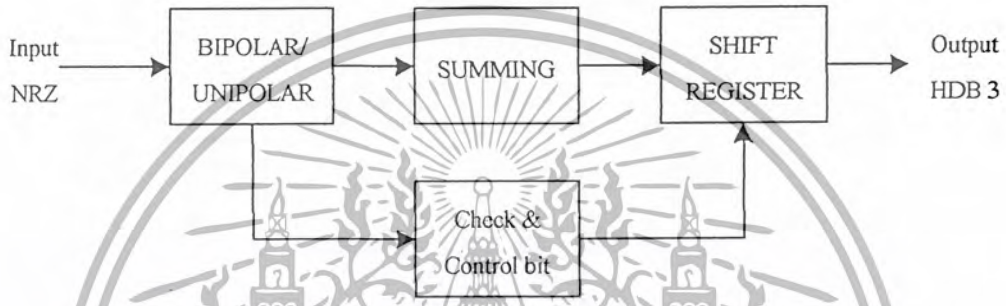

รูปที่ 3.19 วงจรเข้ารหัส HDB-3

3.7 วงจรถอดรหัส HDB3/NRZ

วงจรนี้ทำหน้าที่ถอดรหัสสัญญาณ HDB-3 เพื่อให้ได้สัญญาณพีซีดูแรนดอมซึ่งเป็นสัญญาณ NRZ กลับคืนมา การทำงานแสดงดังบล็อกไดอะแกรมดังรูปที่ 3.20 ประกอบด้วย 4 ส่วนคือ

1. ส่วนเร็กติไฟล์
2. ส่วนทำการรวมสัญญาณ
3. ส่วนทำหน้าที่ตรวจสอบและควบคุม
4. ส่วนชิฟรีจิสเตอร์

โดยมีรายละเอียดดังรูป




รูปที่ 3.20 บล็อกไดอะแกรมการถอดรหัส HDB-3

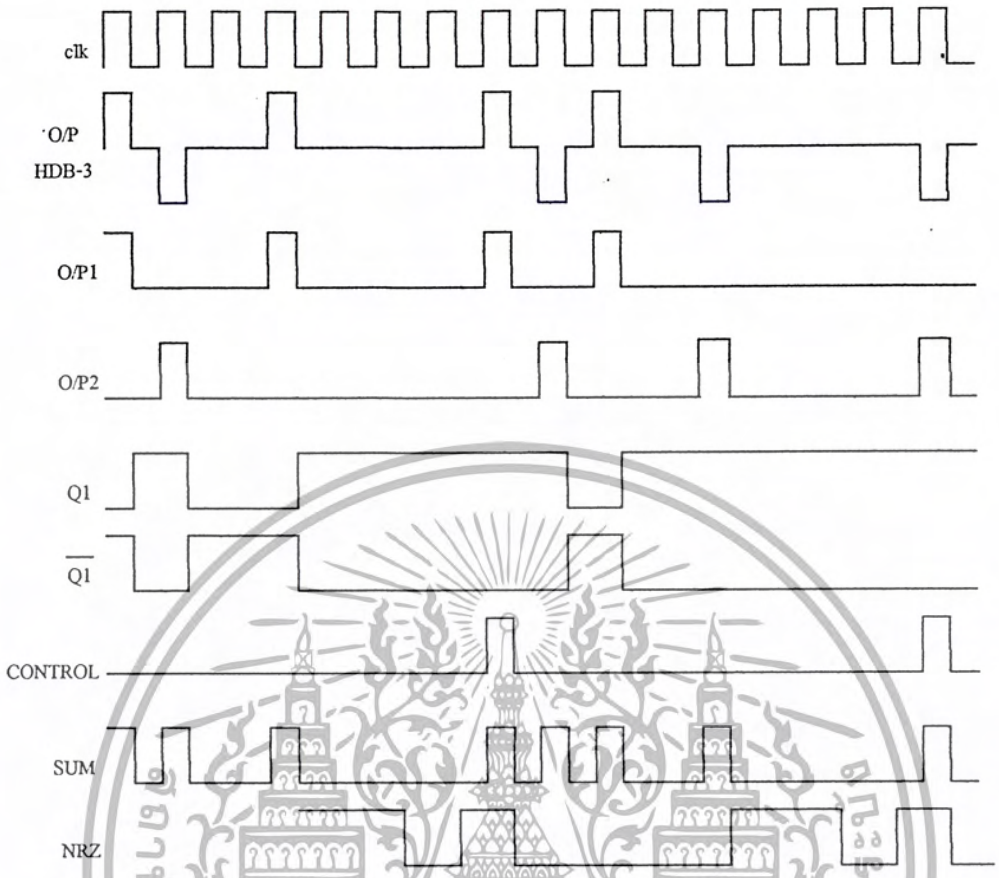
1. ส่วนเร็กติไฟล์ (LM319) ทำหน้าที่จัดเรียงพัลส์แบบสองขั้วให้เป็นสัญญาณแบบขั้วเดียว เพื่อส่งต่อไปยังส่วนทำการรวมสัญญาณ

2. ส่วนทำการรวมสัญญาณประกอบด้วยออร์เกต (U6A,U6B) ทำหน้าที่รวมสัญญาณทั้งสองให้อยู่บนฐานเวลาเดียวกันป้อนให้กับอินพุตชิฟรีจิสเตอร์

3. ส่วนทำหน้าที่ตรวจสอบและควบคุมประกอบด้วย JK ฟลิปฟลอปและแนนด์เกต (U2,U5A,U5B และ U5C) ทำหน้าที่ตรวจจับไวโอเลชั่นพัลส์เมื่อมีการเติมไวโอเลชั่นพัลส์เข้ามาในรหัส HDB-3 วงจรชุดนี้จะส่งสัญญาณคอนโทรลโหมดไปควบคุมการทำงานของชิฟรีจิสเตอร์ให้ทำหน้าที่เป็นการโหลดข้อมูล

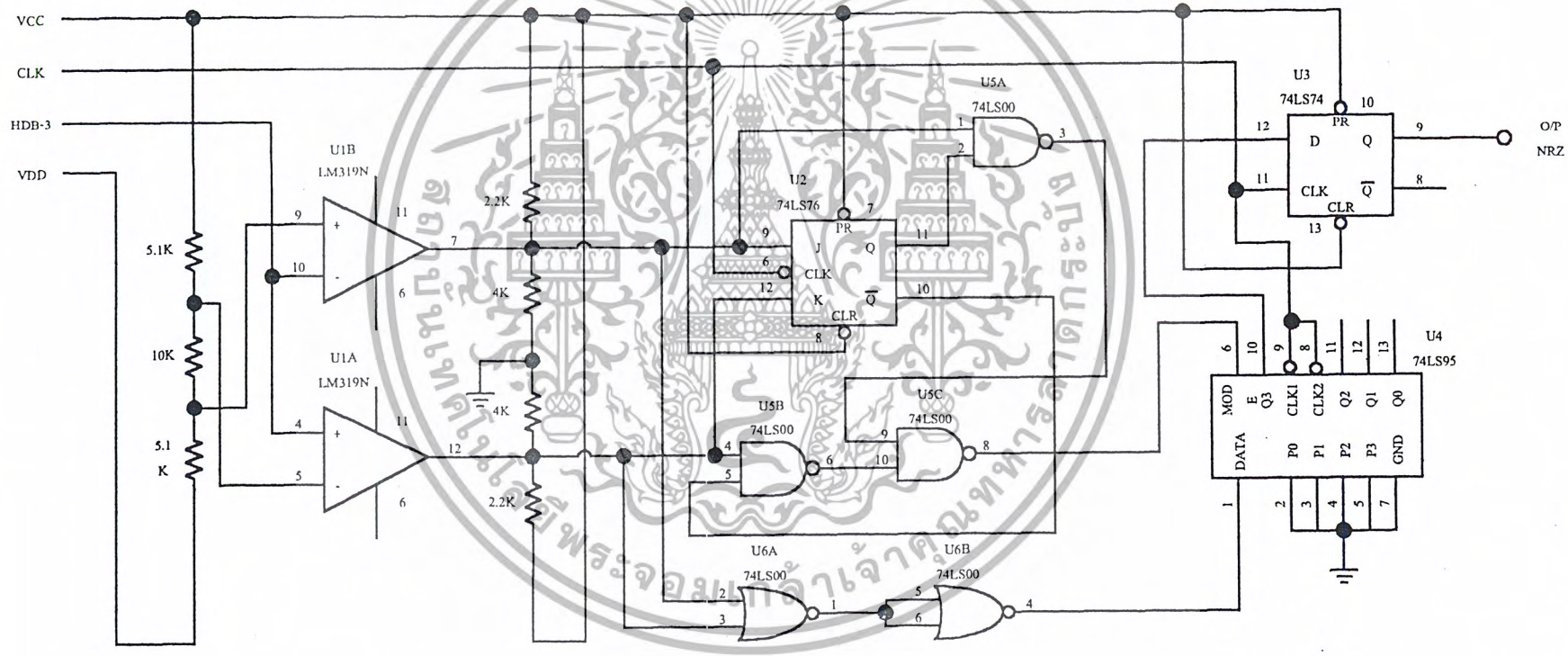
4. ส่วนชิฟรีจิสเตอร์ 7495(U4) ทำหน้าที่ชิฟข้อมูลที่เข้ามาทางอินพุตอนุกรมออกยังเอาต์พุตและจะทำหน้าที่โหลดข้อมูลจากอินพุตขนานออกเอาต์พุต เมื่อมีสัญญาณคอนโทรลโหมดเข้ามาควบคุมก็จะได้สัญญาณเอาต์พุต NRZ ออกมาดังรูปที่ 3.21

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 3.21 การทำงานการถอดรหัส HDB-3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 3.22 วงจรถอดรหัส HDB-3

3.8 วงจรกู้สัญญาณนาฬิกา

การทำงานของอุปกรณ์ทางด้านรับจะต้องสอดคล้องกับทางด้านส่ง โดยการควบคุมของสัญญาณนาฬิกาที่รับมาจากภาคส่ง วงจรนี้จะทำหน้าที่แยกสัญญาณนาฬิกาออกจากสัญญาณ HDB-3 วงจรซึ่งนำมาใช้งานประกอบด้วยวงจรรีโซแนนท์แบบขนาดซึ่งมีค่า Q >100 โดยวงจรจะถูกจูนไว้ที่ 2.048 เมกกะบิต/วินาที สัญญาณ HDB-3 ซึ่งถูกเรียงกระแสเป็นสัญญาณพัลส์เรคติไฟล์จากวงจรถอดรหัส HDB-3/NRZ จะถูกป้อนเข้าวงจรรีโซแนนท์แบบขนาน พลังงานของพัลส์ทำให้ได้แรงเคลื่อนของเอาท์พุทส่งไปยังวงจรซีโรทรายวิทชั่น ดีเทคเตอร์ซึ่งจะทำให้ได้สัญญาณนาฬิกา 2.048 เมกกะบิต/วินาที กลับคืนมาโดยระดับสัญญาณเป็นทีทีแอล

วงจรประกอบด้วยทรายซิสเตอร์ B109 ทำหน้าที่เป็นบัฟเฟอร์ วงจรรีโซแนนท์ประกอบด้วย R,L และ C ซึ่งคำนวณได้จากสูตร

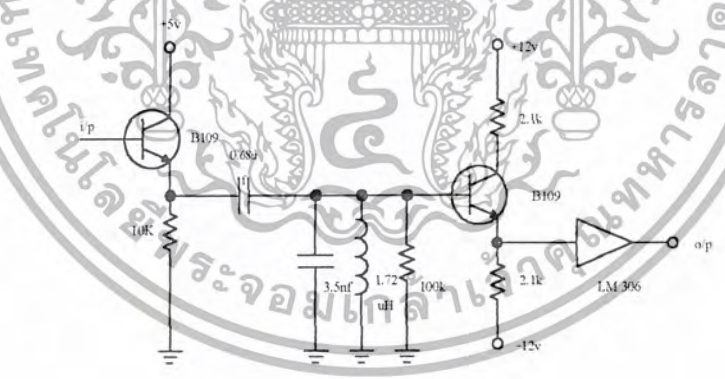
$$f = \frac{1}{2\pi\sqrt{LC}}$$

เมื่อ $f$ = 2.048 เมกกะเฮิร์ต

$C$ = 3.5 นาโนฟารัด

$L$ = 1.72 ไมโครเฮนรี่

ไอซีเบอร์ LM306 ทำหน้าที่เป็นซีโรไตรวิทชั่นดีเทคเตอร์ (Zerotrivition Detector) การทำงานของวงจรจะทำการเปรียบเทียบระดับแรงดันด้านอินพุตถ้าระดับแรงดันมากกว่าศูนย์เอาต์พุตจะให้ลอจิก 1 แต่ถ้าระดับแรงดันน้อยกว่าหรือเท่ากับศูนย์เอาต์พุตจะให้ลอจิก 0 วงจรใช้งานแสดงดังรูปที่ 3.23




รูปที่ 3.22 วงจรกู้สัญญาณนาฬิกา

3.9 วงจรภาคแสดงผล

การแสดงผลได้ออกแบบให้แสดงผลการนับจำนวนบิตที่ผิดพลาดโดยใช้อุปกรณ์ แอลซีดี (LCD) ซึ่งจะใช้การเขียนโปรแกรมไปควบคุมไมโครคอนโทรเลอร์ให้ทำการแสดงผลบนอุปกรณ์ แอลซีดี ดังนี้

1. จำนวนบิตที่ผิดพลาดทั้งหมดตลอดระยะเวลาที่ทำการทดสอบระบบ
2. ค่าเฉลี่ยของจำนวนบิตที่ผิดพลาดทั้งหมด
3. ระยะเวลาที่ทำการทดสอบระบบ

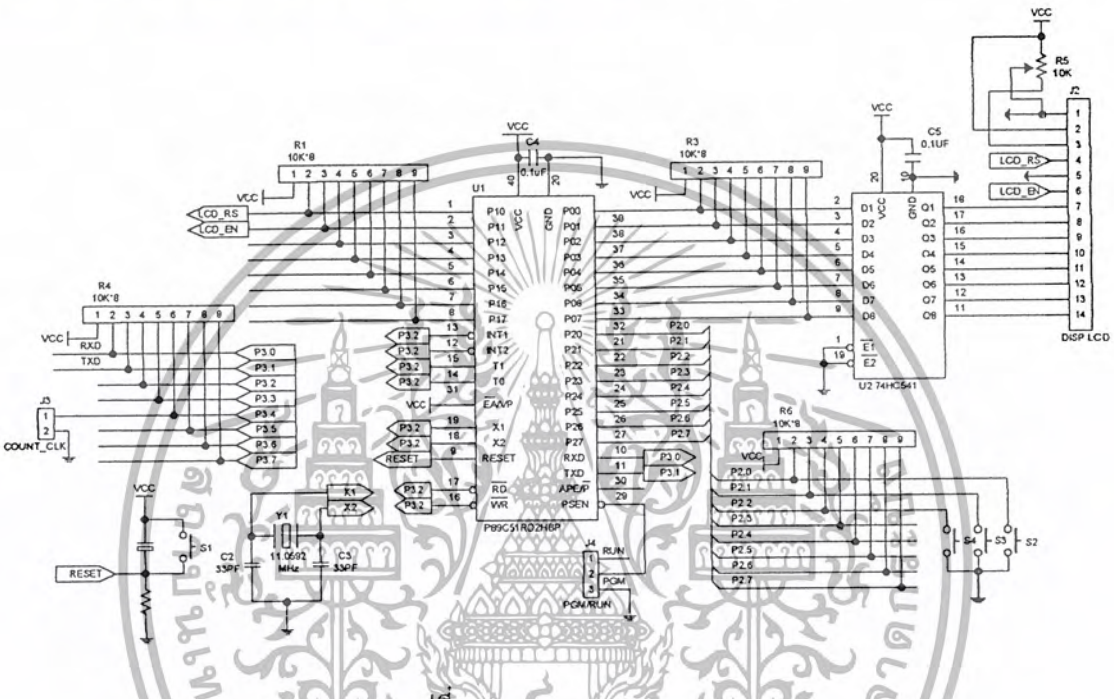
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

นอกจากนี้ยังประกอบด้วยแอลอีดี (LED) เพื่อแสดงสภาวะการนับในกรณีดังนี้

1. ไม่มีสัญญาณทางอินพุตเข้ามา แสดงอินพุต Alarm

2. เครื่องไม่สามารถซิงโครไนซ์ได้เนื่องจากมีค่าความผิดพลาดสูงในเส้นจะแสดงสภาวะด้วยแอลอีดี

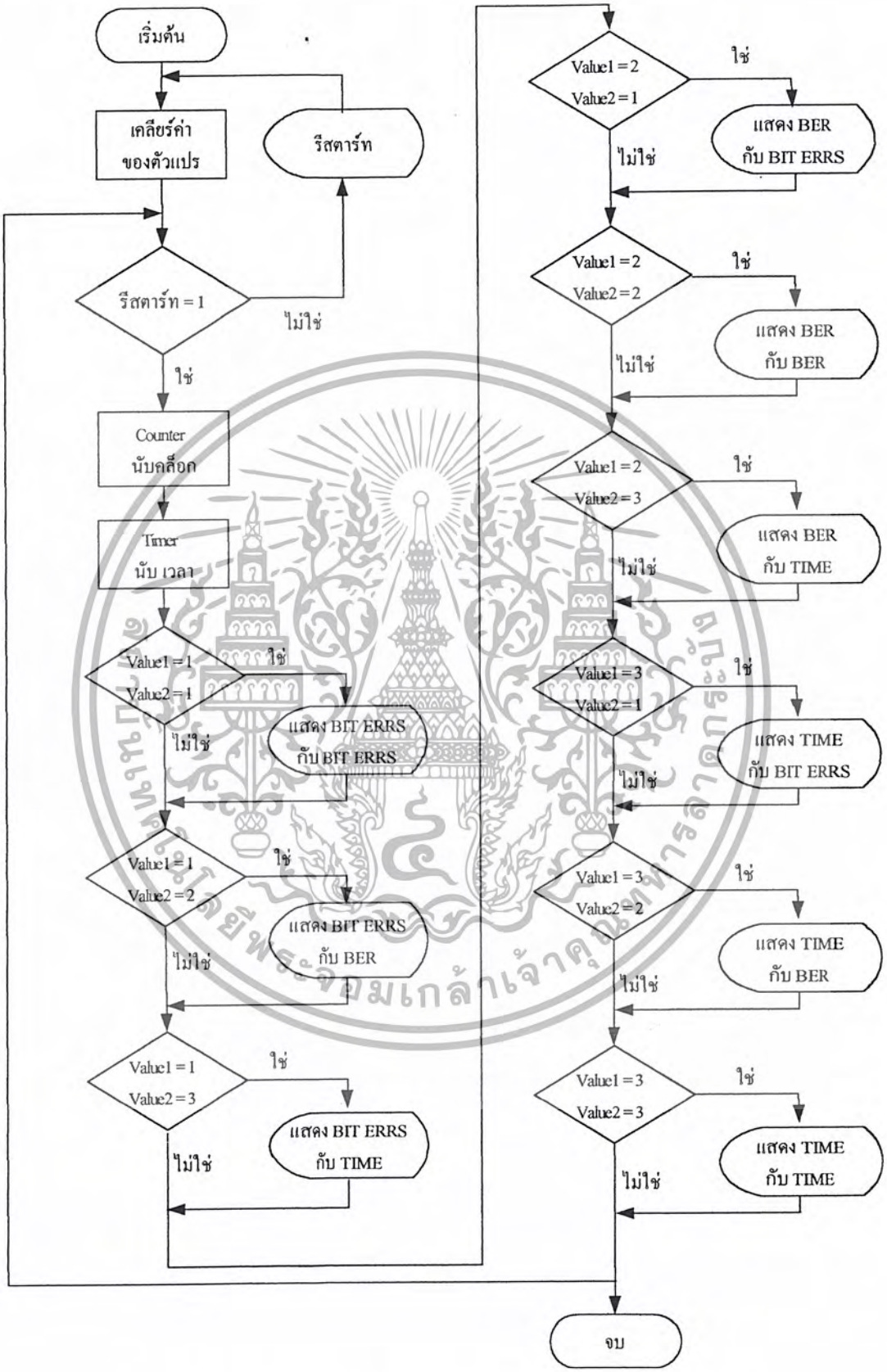
การเชื่อมต่อจอแสดงผลกับไมโครคอนโทรลเลอร์จะใช้พอร์ท 0 (P0.0-P0.7) ในการส่งผ่านข้อมูลแอดเดรส (Data address) และข้อมูลที่จะแสดงผล (Data) แสดงดังรูปที่ 3.24




รูปที่ 3.24 วงจรภาคแสดงผล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.9.1 ลำดับขั้นตอนการทำงานของโปรแกรมการแสดงผล




**รูปที่ 3.25 ลำดับขั้นตอนการทำงานของโปรแกรมการแสดงผล**

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# บทที่ 4
# การทดลองและผลการทดลอง

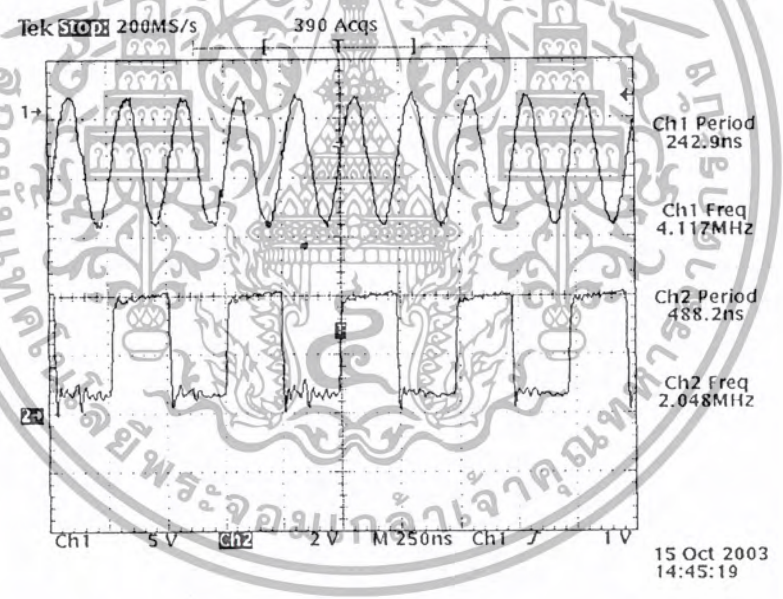
จากทฤษฎีและหลักการได้นำมาออกแบบวงจร ประกอบวงจรและทำการทดสอบการทำงานของแต่ละวงจรซึ่งผลการทดลองมีดังนี้

**อุปกรณ์ที่ใช้ในการทดลอง**

1. ออสซิลโลสโคป
2. แหล่งจ่ายไฟ
3. มัลติมิเตอร์

## 4.1 ผลการทดลองวงจรกำเนิดสัญญาณนาฬิกา

ทำการสร้างสัญญาณนาฬิกาความถี่ 2.048 เมกะเฮิรตซ์ เพื่อป้อนให้กับวงจรต่างๆ เอาต์พุตที่ได้แสดงดังรูปที่ 4.1

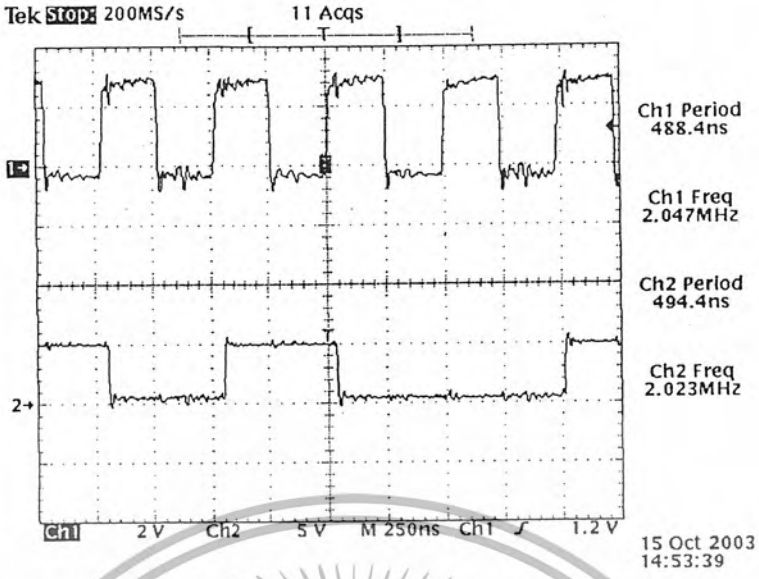



รูปที่ 4.1 CH1 สัญญาณที่ได้จากคริสตอล 4.096 เมกะเฮิรตซ์
CH2 สัญญาณนาฬิกาความถี่ 2.048 เมกะเฮิรตซ์

## 4.2 ผลการทดลองวงจรกำเนิดสัญญาณทดสอบและเปรียบเทียบ

ป้อนสัญญาณนาฬิกา 2.048 เมกะเฮิรตซ์ให้กับวงจรกำเนิดสัญญาณทดสอบ เอาต์พุตที่ได้แสดงดังรูปที่ 4.2

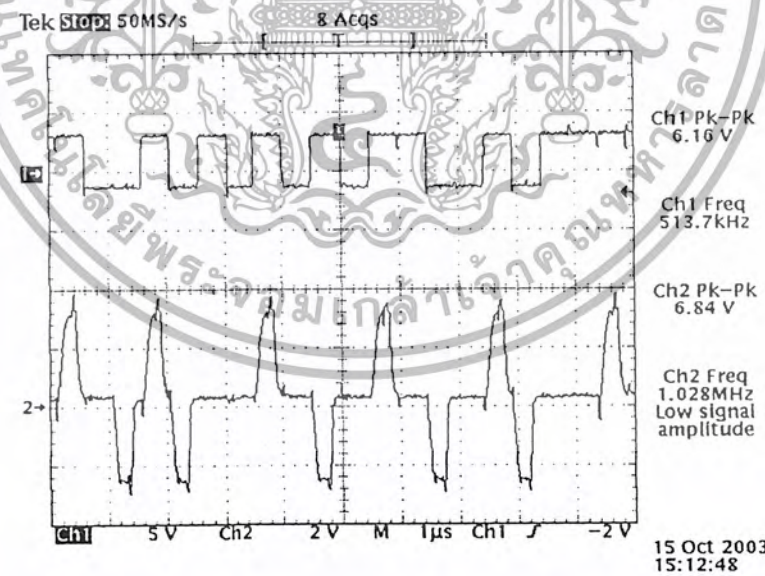
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 4.2 CH1 สัญญาณนาฬิกาความถี่ 2.048 เมกะเฮิรตซ์
CH2 สัญญาณพีซีดูแรนคอม

4.3 ผลการทดลองวงจรเข้ารหัส NRZ/HDB-3

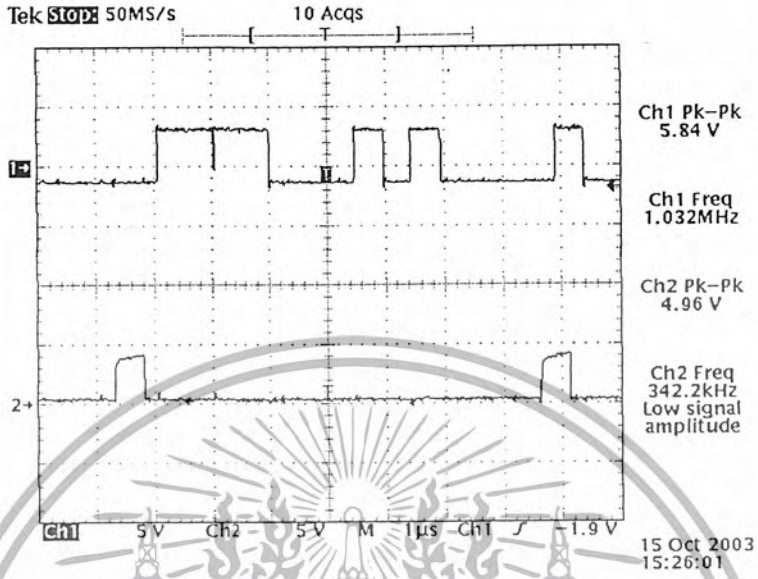
ป้อนสัญญาณนาฬิกา 2.048 เมกะเฮิรตซ์และสัญญาณพีซีดูแรนคอม ซึ่งเป็นสัญญาณ NRZ เข้าที่อินพุตของวงจรเข้ารหัส NRZ/HDB-3 เอาต์พุตของวงจรแสดงดังรูปที่ 4.3




รูปที่ 4.3 CH1 สัญญาณพีซีดูแรนคอม
CH2 สัญญาณ HDB-3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

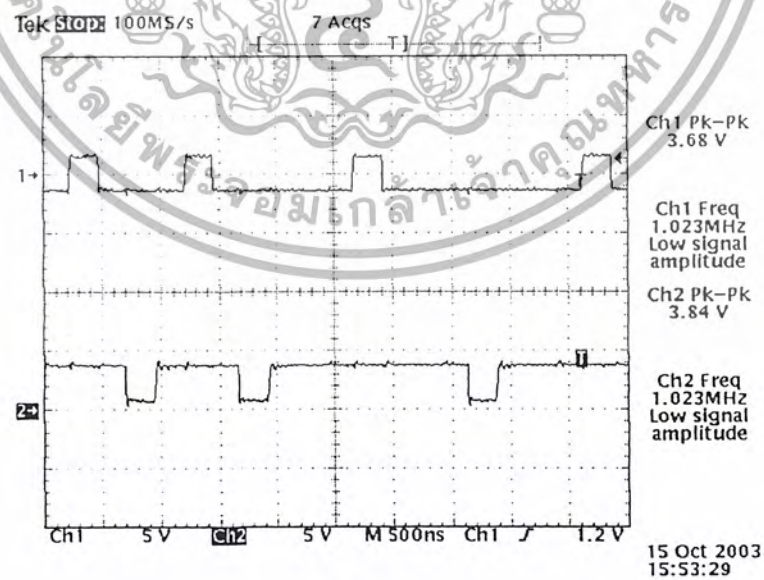
ขา S1 ของไอซี 74LS194 แสดงการเติมบาลานซ์พัลส์กับไวโอเลชั่นพัลส์เมื่อมีสถานะลอจิก "0" ติดต่อกัน 4 บิต




รูปที่ 4.4 CH1 สัญญาณพีซีดูแรนดอม

CH2 สัญญาณเอาต์พุตที่ขา S1 ของ 74LS194

ขา 8 ของไอซี 74LS04 แสดงสถานะพัลส์เป็น V+ และขา 6 ของไอซี 74LS10 แสดงสถานะพัลส์เป็น V-

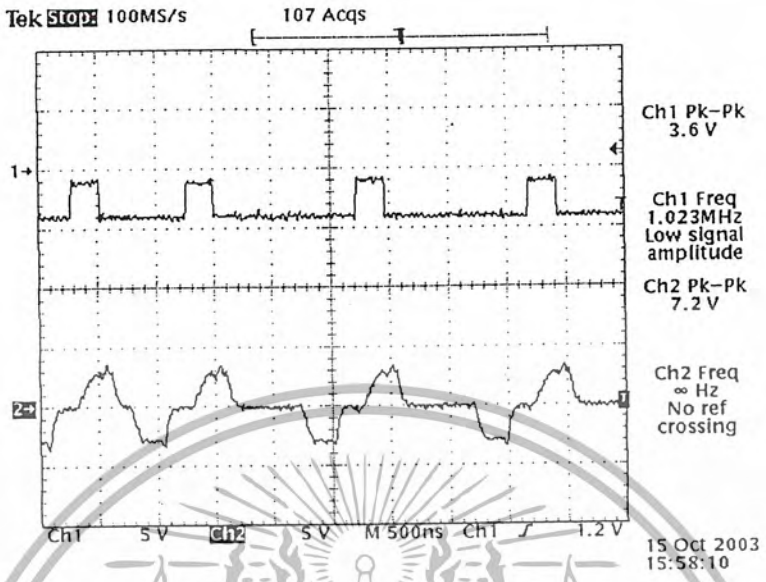



รูปที่ 4.5 CH1 สัญญาณเอาต์พุตที่ขา 8 ของ 74LS04

CH2 สัญญาณเอาต์พุตที่ขา 6 ของ 74LS10

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

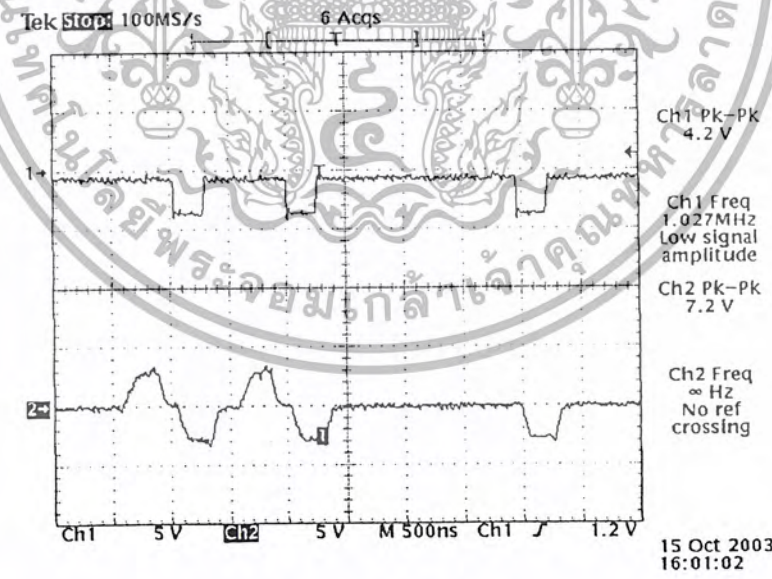
ขา 8 ของไอซี 74LS04 แสดงสถานะพัลส์เป็น V+ ของสัญญาณ HDB-3




รูปที่ 4.6 CH1 สัญญาณเอาต์พุตที่ขา 8 ของ 74LS04

CH2 สัญญาณ HDB-3

ขา 6 ของไอซี 74LS10 แสดงสถานะพัลส์เป็น V- ของสัญญาณ HDB-3



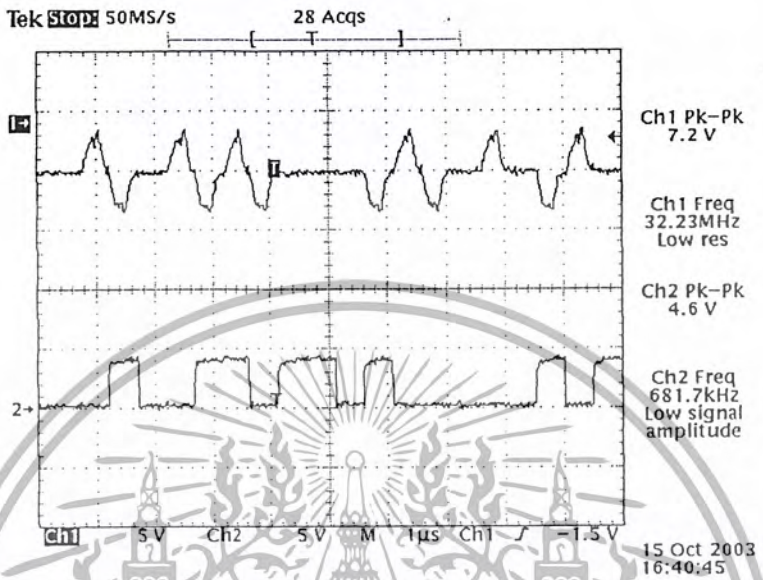

รูปที่ 4.7 CH1 สัญญาณเอาต์พุตที่ขา 6 ของ 74LS10

CH2 สัญญาณ HDB-3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.4 ผลการทดลองวงจรถอดรหัส HDB-3/NRZ

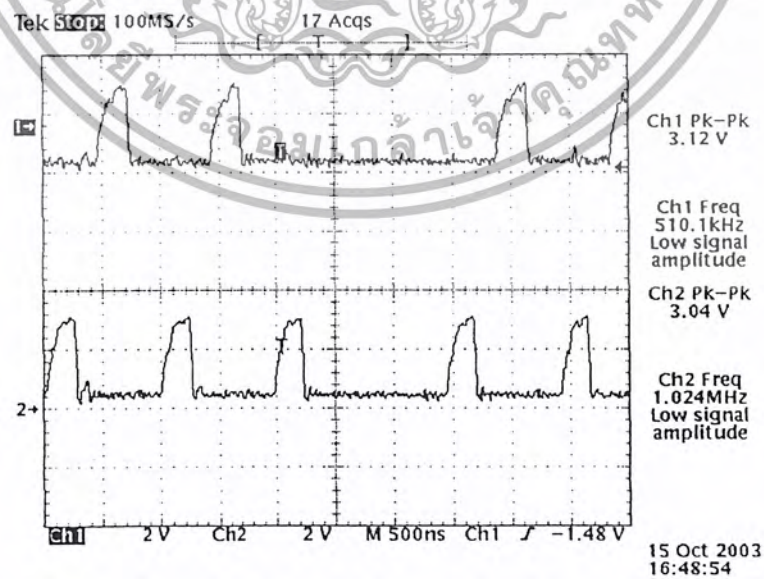
ป้อนสัญญาณ HDB-3 และสัญญาณนาฬิกา 2.048 เมกะเฮิรตซ์ที่กู้ได้เข้าที่อินพุตของวงจรถอดรหัส HDB-3/NRZ เอาต์พุตของวงจรแสดงดังรูปที่ 4.8




รูปที่ 4.8 CH1 สัญญาณ HDB-3

CH2 สัญญาณ NRZ

CH1 และ CH2 แสดงสัญญาณแบบขั้วเดียวซึ่งได้จากการจัดเรียงพัลส์แบบสองขั้วจากสัญญาณ HDB-3



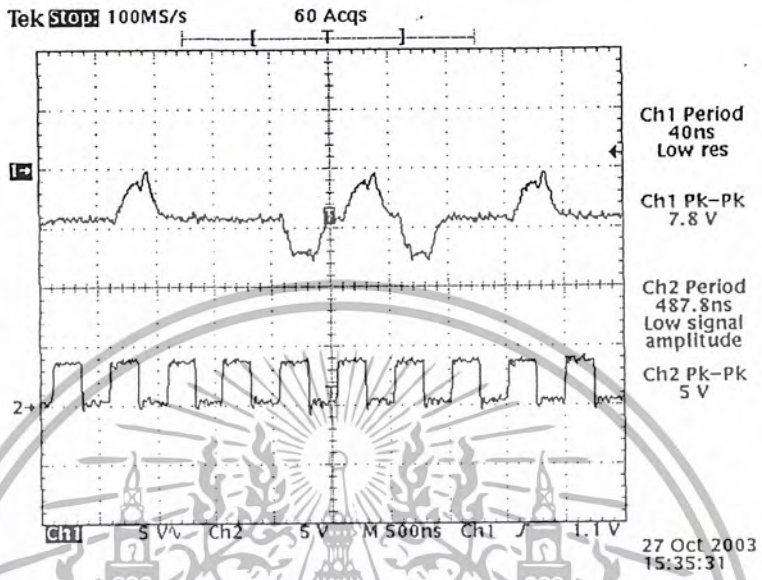

รูปที่ 4.9 CH1 สัญญาณเอาต์พุตขา 7 ของ LM319

CH2 สัญญาณเอาต์พุตขา 11 ของ LM319

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

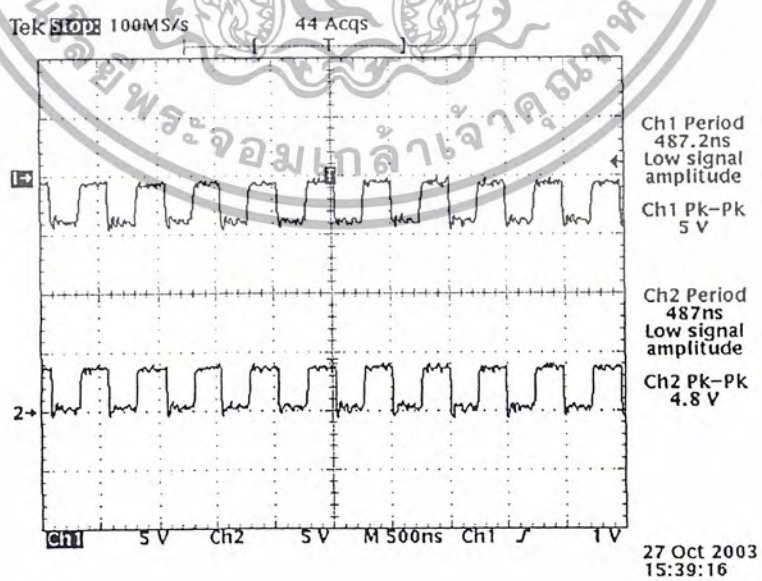
4.5 ผลการทดลองวงจรกู้สัญญาณนาฬิกา

จากรูปแสดงสัญญาณอินพุทซึ่งเป็นสัญญาณ HDB-3 และสัญญาณนาฬิกาซึ่งกู้ได้ของวงจรกู้สัญญาณทางเอาท์พุท




รูปที่ 4.10 CH1 สัญญาณ HDB-3
CH2 สัญญาณนาฬิกาที่กู้ได้

จากรูปแสดงสัญญาณนาฬิกาทางด้านอินพุทเปรียบเทียบกับสัญญาณนาฬิกาที่กู้ได้จากสัญญาณ HDB-3

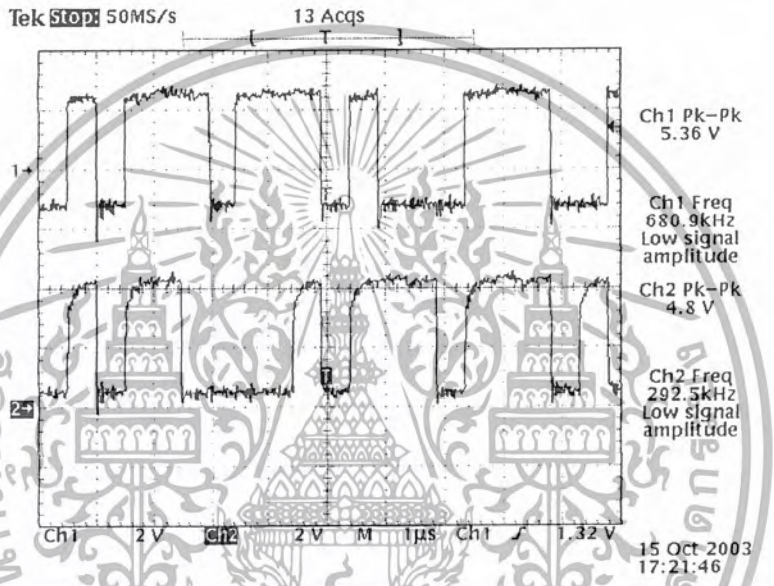



รูปที่ 4.11 CH1 สัญญาณนาฬิกาด้านอินพุท
CH2 สัญญาณนาฬิกาที่กู้ได้จากสัญญาณ HDB-3

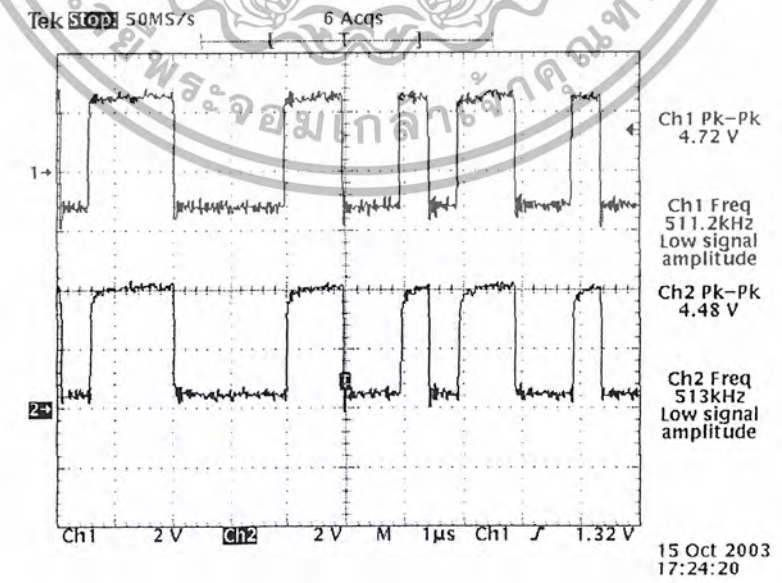
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.6 ผลการทดลองวงจรตรวจสอบการผิดพลาดของบิต

จากการทดลองโดยทำการป้อนสัญญาณทดสอบซึ่งมีรูปแบบตรงกันและไม่ตรงกัน เพื่อทดสอบการทำงานของวงจรในการควบคุมการซิงค์ของการรับและการส่ง ผลปรากฏว่าวงจรสามารถทำงานได้โดยมีรูปแบบของสัญญาณไม่ตรงกันแสดงดังรูปที่ 4.12 และเอาต์พุตของวงจรตรวจจับจะมีบิตที่ผิดปรากฏขึ้นแสดงดังรูปที่ 4.14 (CH1) และเมื่อมีจำนวนบิตที่ผิดเกิดขึ้นตามเงื่อนไขที่ตั้งไว้วงจรจะควบคุมให้วงจรกำเนิดสัญญาณเปรียบเทียบด้านรับรับสัญญาณจากด้านส่ง เพื่อนำมาผลิตสัญญาณที่มีรูปแบบตรงกันแสดงดังรูปที่ 4.13 เมื่อสัญญาณมีรูปแบบตรงกันเอาต์พุตของวงจรจะไม่มีบิตที่ผิดปรากฏขึ้นแสดงดังรูปที่ 4.14 (CH2) และวงจรจะควบคุมให้วงจรด้านรับกลับมารับสัญญาณป้อนกลับจากภายใน

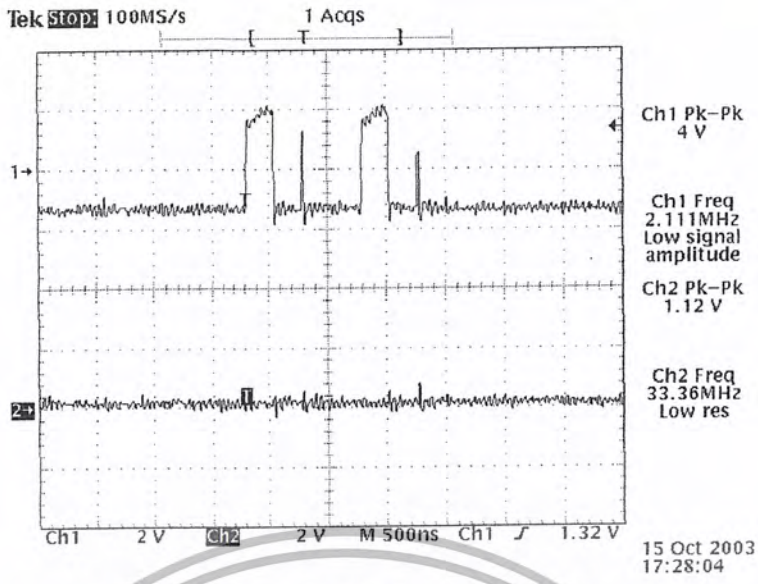



รูปที่ 4.12 CH1 และ CH2 สัญญาณพีซีดูแรนคอมขณะไม่ซิงค์




รูปที่ 4.13 CH1 และ CH2 สัญญาณพีซีดูแรนคอมขณะซิงค์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 4.14 CH1 สัญญาณบิตผิดพลาดขณะไม่ซิงค์

CH2 สัญญาณเอาต์พุตขณะซิงค์

4.7 ผลการทดลองวงจรภาคแสดงผล

เนื่องจากสัญญาณอินพุตของวงจรแสดงผลคือสัญญาณความผิดพลาดของบิตที่ได้จากวงจรตรวจสอบการผิดพลาดของบิต โดยภายในวงจรภาคแสดงผลจะทำการตรวจจับขอบขาขึ้นของสัญญาณนี้ แล้วทำการเขียนโปรแกรมควบคุมไมโครคอนโทรลเลอร์ให้ทำการนับขอบขาขึ้นของสัญญาณแล้วนำไปแสดงผลตามที่โปรแกรมทำการคำนวณไว้

การทดลองได้ทำการป้อนสัญญาณนาฬิกาที่มีอัตราความเร็ว 1 บิตต่อวินาทีเป็นอินพุตให้กับวงจรภาคแสดงผลแทนสัญญาณความผิดพลาดของบิต ปรากฏว่าวงจรภาคแสดงผลสามารถทำงานได้ตามที่ได้ออกแบบไว้ โดยสามารถนับสัญญาณนาฬิกาที่มีความเร็ว 1 บิตต่อวินาทีแล้วนำไปแสดงผลได้ดังรูปที่ 4.15 ซึ่งสัญญาณที่นับได้นี้คือจำนวนบิตที่ผิดพลาด

รูปที่ 4.15 จำนวนบิตที่ภาคแสดงผลนับได้ใน 1 วินาที

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในส่วนของการแสดงผลค่า Bit error rate จะได้จากการนำจำนวนบิตที่ผิดพลาดหารจำนวนบิตทั้งหมดที่ส่งไปโดยจะถูกคำนวณด้วยโปรแกรมที่เขียนไว้แสดงผลดังรูปที่ 4.16

รูปที่ 4.16 ค่า Bit error rate ที่ได้จากการนำจำนวนบิตที่ผิดพลาดหารจำนวนบิตทั้งหมดที่ส่งไปเมื่อจำนวนบิตที่ผิดพลาดเป็นศูนย์

ในส่วนการแสดงผลของเวลาคือการจับเวลาตั้งแต่เริ่มต้นการทดสอบระบบแสดงผลดังรูปที่ 4.17

รูปที่ 4.17 แสดงระยะเวลาในการทดสอบระบบเมื่อเริ่มกดรีสตาร์ท เป็นเวลา 1นาที 43 วินาที

จากผลการทดลองแสดงให้เห็นว่าวงจรภาคแสดงผลสามารถทำงานได้ตามที่ต้องการ

4.8 การตรวจสอบข้อมูลทางเทคนิค

เมื่อได้ทดสอบการทำงานของวงจรต่างๆ สามารถทำงานได้ตามที่ออกแบบไว้จากนั้นนำวงจรต่างๆ ประกอบขึ้นเป็นเครื่องวัดอัตราบิตผิดพลาดแสดงดังรูปซึ่งผลการตรวจสอบข้อมูลทางเทคนิคมีดังนี้

ด้านส่ง

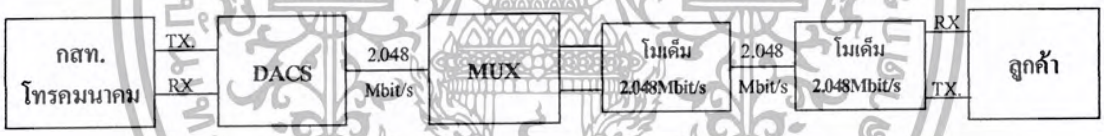
| | |
|---|---|
| Bit rate | 2.048 Mbit/s |
| Output Pattern | PRBS $2^{15}$-1 |
| Output Signal | BIPOLAR |
| Code | HDB-3 |
| Output Level | TTL LEVEL |

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

| | |
|---|---|
| Output Impedance | 75 OHM NOMINAL TO GROUND |
| ด้านรับ | |
| Bit rate | 2.048 Mbit/s |
| Input Pattern | PRBS $2^{15}$-1 |
| Input Signal | BIPOLAR |
| Code | HDB-3 |
| Input Level | TTL LEVEL |
| Detecting Error Pulse | BIT-BY-BIT |
| Error Count | 9999999999 BITS MASE |
| Input Impedance | 75 OHM NOMINAL TO GROUND |

4.9 การทดสอบเครื่องวัดอัตราบิตผิดพลาด

การทดสอบเครื่องวัดอัตราบิตผิดพลาดเพื่อให้มีความน่าเชื่อถือ ทางคณะผู้จัดทำจึงได้นำเครื่องวัดอัตราบิตผิดพลาดไปทำการทดสอบกับระบบส่งสัญญาณดิจิตอลอัตราความเร็ว 2.048 เมกะบิตต่อวินาทีของบริษัท กสท. โทรคมนาคม จำกัด (มหาชน) โดยทำการต่อเครื่องวัดอัตราบิตผิดพลาดเข้ากับระบบของบริษัท กสท. โทรคมนาคม จำกัด (มหาชน) ซึ่งมีการเชื่อมโยงของอุปกรณ์แสดงดังรูปที่ 4.18




รูปที่ 4.18 บล็อกไดอะแกรมของระบบส่งสัญญาณดิจิตอลอัตราความเร็ว 2.048 เมกะบิตต่อวินาทีของบริษัท กสท. โทรคมนาคม จำกัด (มหาชน)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เครื่องมือที่ใช้ทดสอบ

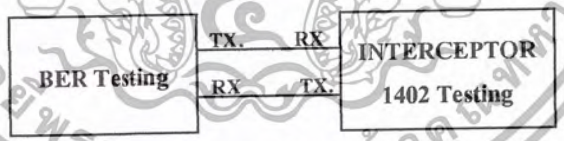
1. เครื่องวัดอัตราบิตผิดพลาด INTERCEPTOR 1402

2. ระบบส่งสัญญาณดิจิตอลอัตราความเร็ว 2.048 เมกะบิตต่อวินาทีของบริษัท กสท.โทรคมนาคม จำกัด (มหาชน)

รูปที่ 4.19 เครื่องวัดอัตราบิตผิดพลาด INTERCEPTOR 1402

วิธีการทดสอบ

วิธีที่ 1. ทำการเชื่อมต่อเครื่องวัดอัตราบิตผิดพลาดที่สร้างขึ้นกับเครื่องวัดอัตราบิตผิดพลาด INTERCEPTOR 1402 ของบริษัท กสท.โทรคมนาคม จำกัด (มหาชน) แสดงดังรูปที่ 4.20 เพื่อทดสอบว่าเครื่องวัดทั้งสองสามารถส่งข้อมูลระหว่างกันได้หรือไม่

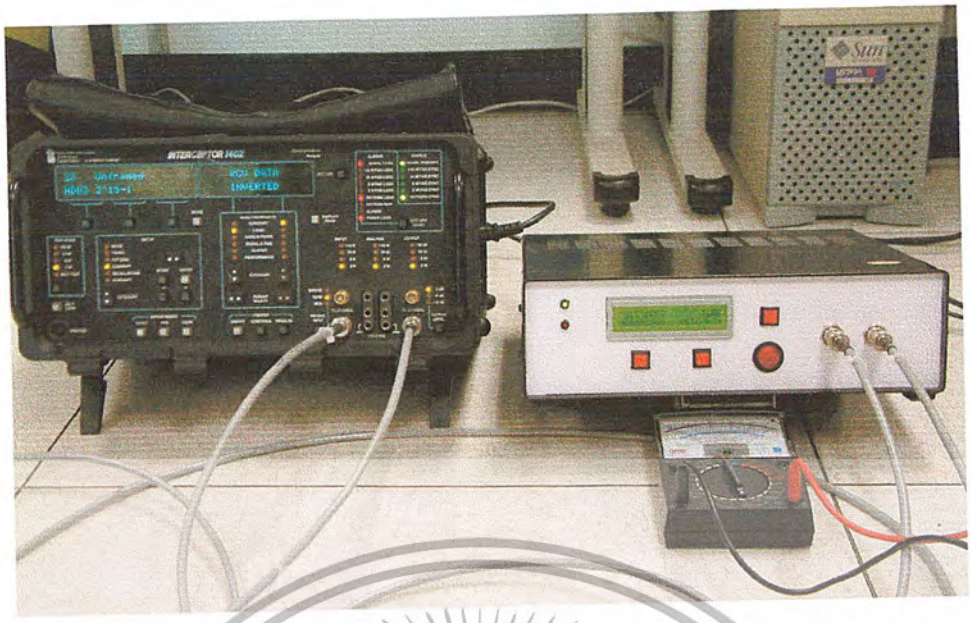



รูปที่ 4.20 บล็อกไดอะแกรมการเชื่อมต่อเครื่องวัดอัตราบิตผิดพลาดที่สร้างขึ้นกับเครื่องวัดอัตราบิตผิดพลาด INTERCEPTOR 1402 ของบริษัท กสท.โทรคมนาคม จำกัด (มหาชน)

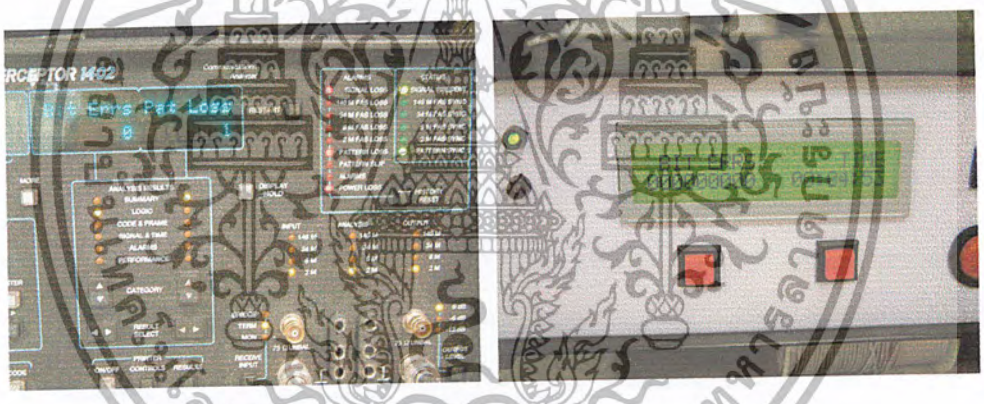
ผลการทดสอบ

เมื่อทำการเชื่อมต่อเครื่องมือวัดอัตราบิตผิดพลาดของข้อมูลที่ได้จัดทำขึ้นเข้ากับเครื่องมือวัดอัตราบิตผิดพลาดของข้อมูลที่บริษัท กสท.โทรคมนาคม จำกัด (มหาชน) ใช้งานอยู่ และทำการทดสอบส่งข้อมูลที่อัตราความเร็ว 2.048 เมกะบิตต่อวินาที โดยใช้ Test Pattern $2^{15}$-1 ปรากฏว่าเครื่องมือทดสอบทั้งสองเครื่องสามารถเชื่อมต่อกันได้โดยไม่มี Alarm และสามารถรับส่งข้อมูลระหว่างกันได้ เมื่อทำการทดลองส่งบิตผิดพลาดจากเครื่องมือวัดของบริษัท กสท.โทรคมนาคม จำกัด (มหาชน) เครื่องมือวัดที่นำมาทดสอบก็สามารถตรวจจับบิตผิดพลาดได้เช่นกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.21 แสดงการเชื่อมต่อเครื่องวัดอัตราบิตผิดพลาดที่สร้างขึ้นกับเครื่องวัดอัตราบิตผิดพลาด INTERCEPTOR 1402 ของบริษัท กสท.โทรคมนาคม จำกัด (มหาชน)



(ก) (ข)

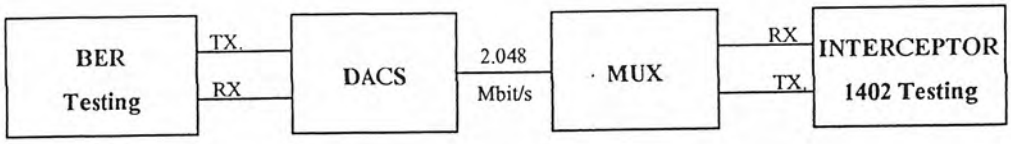
(ก) เครื่องวัดอัตราบิตผิดพลาด INTERCEPTOR 1402

(ข) เครื่องวัดอัตราบิตผิดพลาดที่สร้างขึ้น

รูปที่ 4.22 แสดงการซิงค์โครไนซ์ระหว่างเครื่องวัดอัตราบิตผิดพลาดที่สร้างขึ้นกับเครื่องวัดอัตราบิตผิดพลาด INTERCEPTOR 1402 ของบริษัท กสท.โทรคมนาคม จำกัด (มหาชน) และค่าความผิดพลาด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วิธีที่ 2. ทำการเชื่อมต่อเครื่องวัดอัตราบิตผิดพลาดเข้ากับระบบการส่งสัญญาณดิจิตอลอัตราความเร็ว 2.048 เมกะบิตต่อวินาทีของบริษัท กสท.โทรคมนาคม จำกัด (มหาชน) แสดงดังรูปที่ 4.23




รูปที่ 4.23 แสดงการเชื่อมต่อเครื่องวัดอัตราบิตผิดพลาดกับระบบการส่งสัญญาณดิจิตอลอัตราความเร็ว 2.048 เมกะบิตต่อวินาทีของบริษัท กสท.โทรคมนาคม จำกัด (มหาชน) เพื่อทำการทดสอบว่าเครื่องวัดที่สร้างขึ้นสามารถส่งข้อมูลเข้าไปในระบบได้หรือไม่

ผลการทดสอบ

เมื่อทำการป้อนสัญญาณข้อมูลจากเครื่องวัดอัตราบิตผิดพลาดที่สร้างขึ้นเข้าไปในระบบส่งสัญญาณดิจิตอลอัตราความเร็ว 2.048 เมกะบิตต่อวินาที ข้อมูลจะถูกส่งผ่านระบบมายังเครื่องวัดอัตราบิตผิดพลาด (INTERCEPTOR 1402) ของบริษัท กสท.โทรคมนาคม จำกัด (มหาชน) ซึ่งเครื่องวัดอัตราบิตผิดพลาด (INTERCEPTOR 1402) สามารถรับสัญญาณและส่งข้อมูลกลับมายังเครื่องวัดอัตราบิตผิดพลาดที่สร้างขึ้นได้ และเมื่อทำการทดลองส่งบิตผิดพลาดจากเครื่องมือวัดอัตราบิตผิดพลาด INTERCEPTOR 1402 ของบริษัท กสท.โทรคมนาคม จำกัด (มหาชน) เครื่องมือวัดอัตราบิตผิดพลาดที่นำมาทดสอบก็สามารถตรวจจับบิตผิดพลาดได้เช่นกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# บทที่ 5
# บทสรุปและวิจารณ์

## 5.1 บทสรุป

จากผลงานและผลการทดลองที่ได้ของโครงงานสรุปได้ว่าประสบความสำเร็จตามเป้าหมายดังนี้

5.1.1 เพื่อนักศึกษาได้รับความรู้ประสบการณ์และทักษะเป็นอย่างดี เนื่องจากในการที่จะออกแบบและสร้างผลงานได้จะต้องศึกษาค้นคว้าตำราต่างๆ เพื่อนำมาเป็นข้อมูลในทางปฏิบัติจะต้องศึกษาและลงมือปฏิบัติในการสร้างผลงานขึ้นมาเช่น ต้องออกแบบวงจรและทำแผ่นวงจรพิมพ์ ต้องประกอบอุปกรณ์ลงแผ่นวงจรพิมพ์ กรณีวงจรไม่ทำงานจะต้องแก้ไข รายละเอียดที่นำมาใช้จะต้องทดสอบการทำงานของวงจร ซึ่งจะทดสอบได้จะต้องมีความรู้ในการใช้เครื่องมือและมีความเข้าใจในการทำงานของวงจรเป็นต้น

5.1.2 เพื่อจำลองระบบการส่งสัญญาณดิจิตอลอัตราเร็ว 2.048 เมกะบิตต่อวินาที การจำลองระบบสามารถทำงานได้จริง โดยคณะทำงานได้นำเครื่องวัดอัตราบิตผิดพลาดไปเชื่อมต่อกับระบบการส่งสัญญาณของบริษัท กสท. โทรคมนาคม จำกัด (มหาชน) ซึ่งมีการใช้งานจริงจึงมีความเชื่อถือได้สูงในการทดสอบ

5.1.3 เพื่อสร้างเครื่องวัดอัตราบิตผิดพลาดของระบบการส่งสัญญาณดิจิตอลอัตราเร็ว 2.048 เมกะบิตต่อวินาที สามารถสร้างเครื่องได้สำเร็จซึ่งผลการทดสอบแสดงให้เห็นว่าเครื่องวัดอัตราบิตผิดพลาดสามารถทำงานได้จริง

5.1.4 สามารถเข้าใจวิธีการวัดความผิดพลาดของข้อมูลในแบบต่างๆ

## 5.2 บทวิจารณ์

ตลอดระยะเวลาการทำงานรวมถึงการเก็บผลการทดลองพบว่ามีปัญหาเกิดขึ้นอยู่หลายประการดังจะกล่าวต่อไปนี้

5.2.1 ปัญหาวงจรกำเนิดสัญญาณนาฬิกา

เนื่องจากสัญญาณนาฬิกาที่มีความเที่ยงตรงสูงมีความสำคัญมากในด้านประสิทธิภาพของเครื่องวัดอัตราบิตผิดพลาด ซึ่งในโครงงานจะใช้คริสตอลเป็นตัวกำเนิดสัญญาณนาฬิกาทำให้มีความเที่ยงตรงน้อย

5.2.2 ปัญหาวงจรเข้ารหัสและถอดรหัส

เนื่องจากส่งข้อมูลด้วยความเร็วสูงถ้าอุปกรณ์ที่ใช้ในวงจรทำงานไม่ทันก็จะทำให้สัญญาณเกิดความผิดเพี้ยน เมื่อทำการถอดรหัสสัญญาณโดยเฉพาะสัญญาณนาฬิกาที่กู้มาจากสัญญาณทางภาคส่งอาจเกิดการผิดเพี้ยน ทำให้สัญญาณที่ได้จากการถอดรหัสไม่ถูกต้องหรือช่วงเวลาไม่ตรงกัน

5.2.3 ปัญหาเรื่องอินพุตอิมพีแดนซ์และเอาต์พุตอิมพีแดนซ์

เนื่องจากอินพุตอิมพีแดนซ์และเอาต์พุตอิมพีแดนซ์ไม่แมตช์กับสายสัญญาณทำให้เกิดความสูญเสียในสายขึ้นทำให้สัญญาณเกิดความผิดเพี้ยนทำให้ภาครับไม่สามารถถอดรหัสที่ถูกต้องได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.2.4 ปัญหาเรื่องสัญญาณรบกวนและแหล่งจ่ายไฟ

ในการนับสัญญาณพัลส์ความถี่สูงๆ ของตัวไมโครคอนโทรลเลอร์จะมีความเร็วมากดังนั้นหากเกิดสัญญาณรบกวน หรือกระแสไฟไม่เรียบแล้วจะทำให้ตัวไมโครคอนโทรลเลอร์ทำงานผิดพลาดได้

5.3 แนวทางการพัฒนาโครงงาน

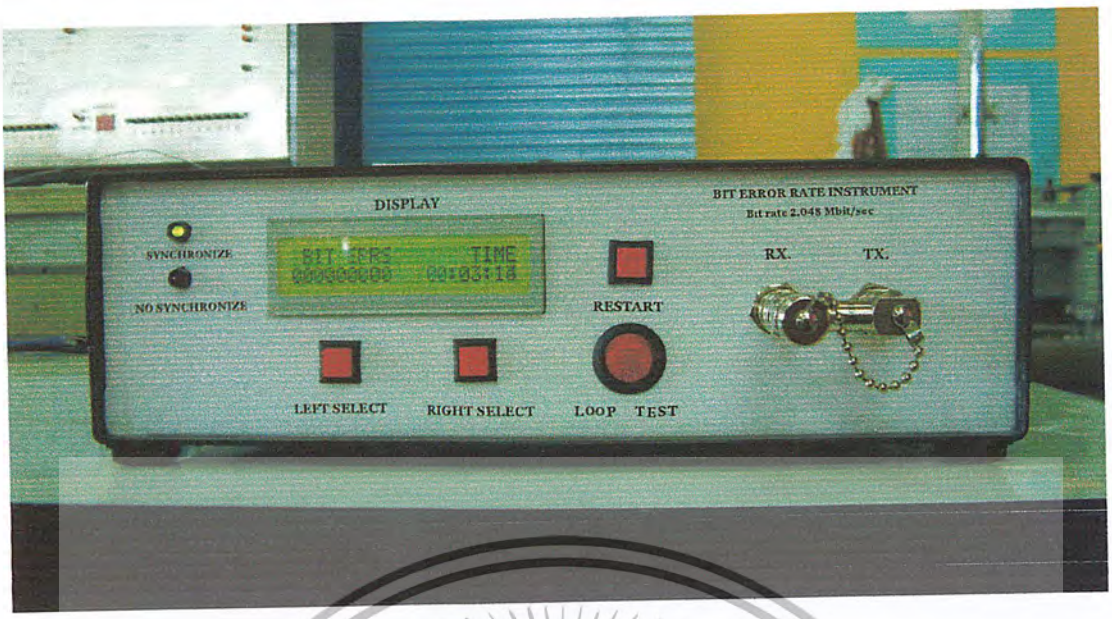
การพัฒนาและการปรับปรุงมีความจำเป็นอย่างยิ่งหากจะนำไปใช้งานนอกสถานที่ ได้แก่ขนาดของตัวเครื่องยังไม่เหมาะสมเนื่องจากมีขนาดใหญ่ การลดขนาดทำได้โดยการออกแบบวงจรพิมพ์ให้มีขนาดที่เล็กลง ก็สามารถทำให้ขนาดของตัวเครื่องเล็กลงได้

การนำไปใช้งานของเครื่องวัดอัตราบิตผิดพลาดที่ออกแบบและสร้างขึ้นนี้ยังแคบคือใช้ได้เพียงอัตราเร็ว 2.048 เมกะบิตต่อวินาทีเท่านั้น ซึ่งระบบการส่งนอกจากอัตราเร็ว 2.048 เมกะบิตต่อวินาทีแล้วยังมีอัตราเร็ว 8.448 เมกะบิตต่อวินาที, 34.368 เมกะบิตต่อวินาที, 139.264 เมกะบิตต่อวินาทีจึงสมควรที่จะมีการพัฒนาในส่วนนี้ต่อไป

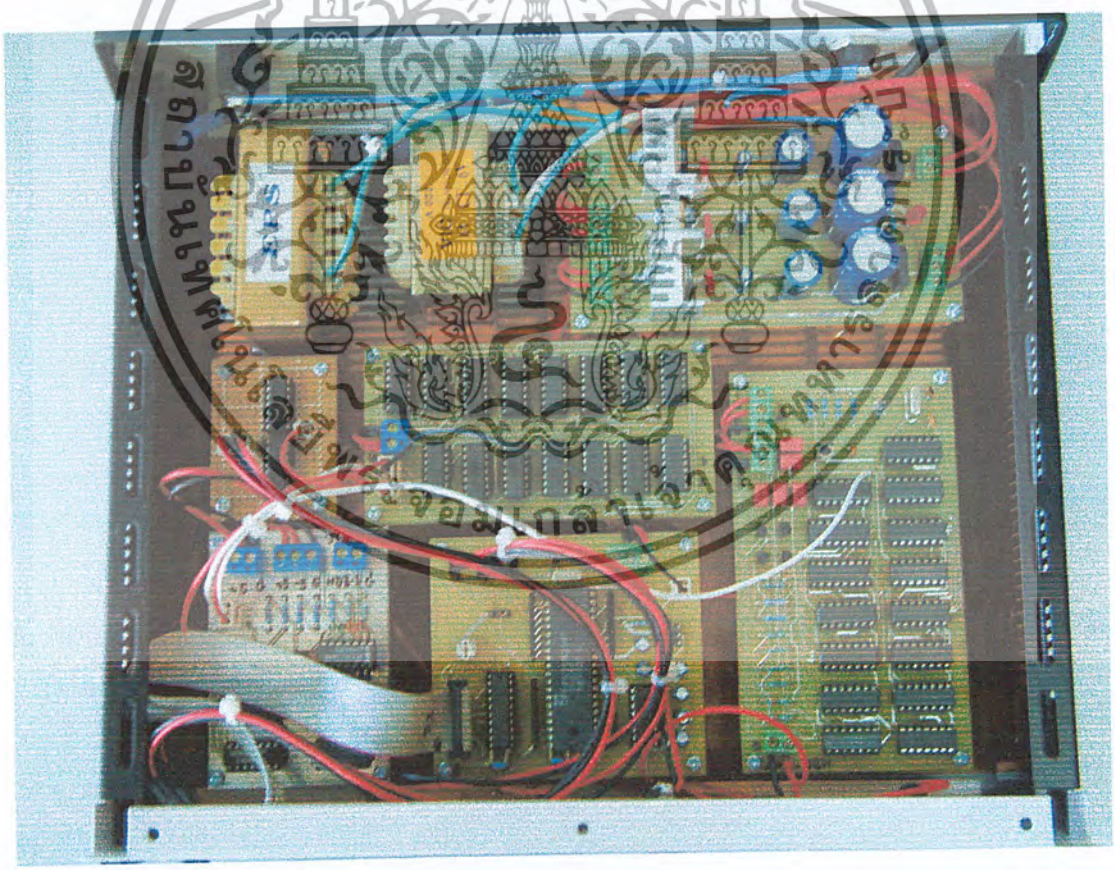
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# ภาคผนวก ก
# เครื่องต้นแบบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ ก.1 เครื่องสำเร็จของเครื่องวัดอัตราบิตผิดพลาด



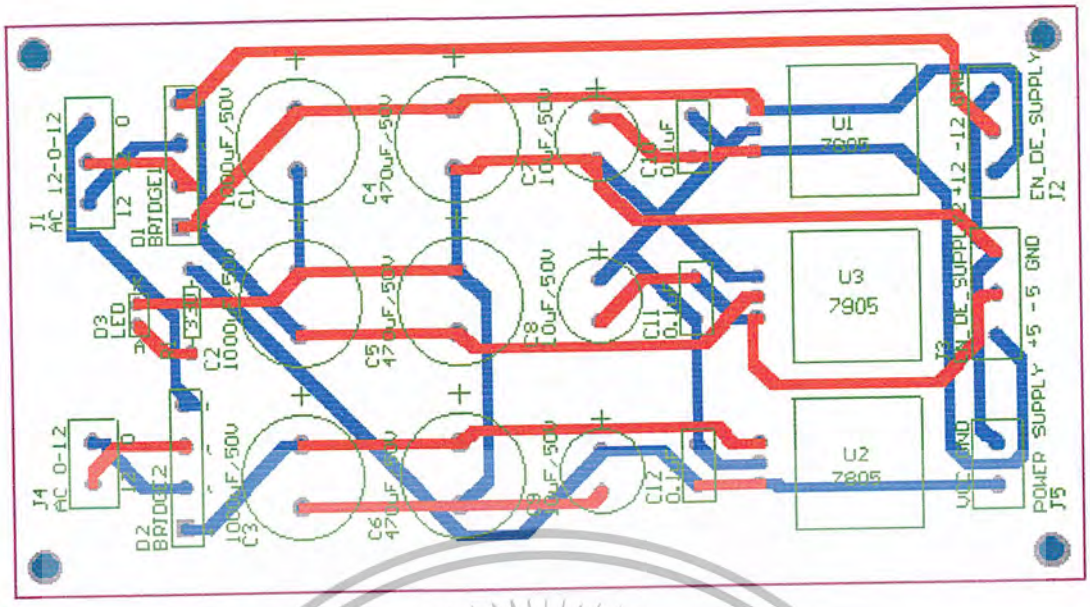
รูปที่ ก.2 การต่อวงจรภายในของเครื่องวัดอัตราบิตผิดพลาด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

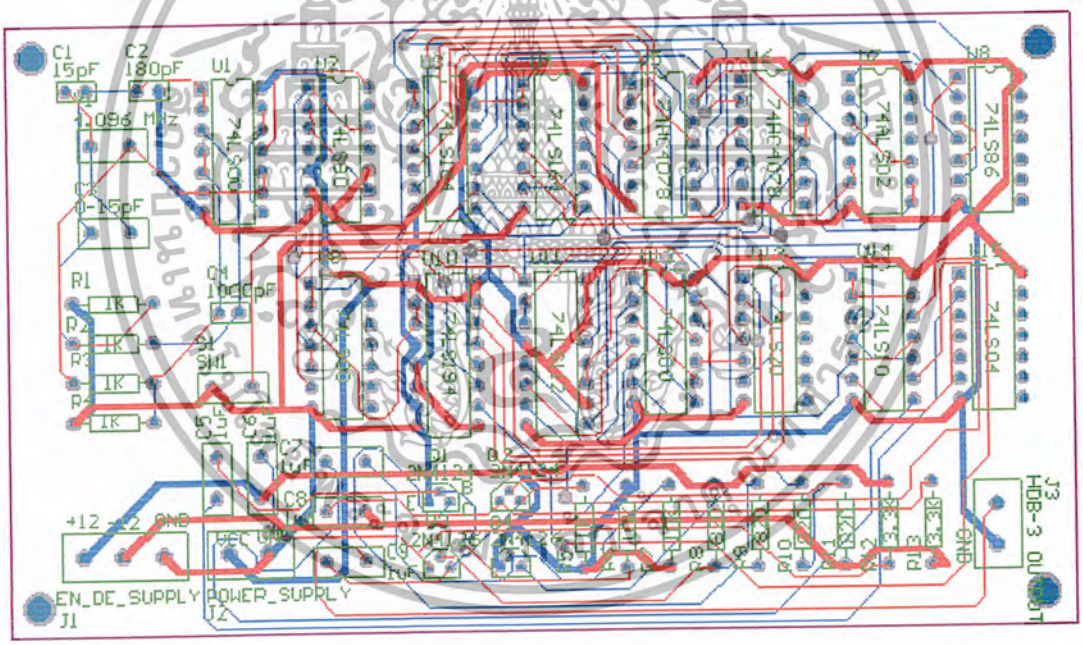
# ภาคผนวก ช

## วงจรและแผ่นวงจรพิมพ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

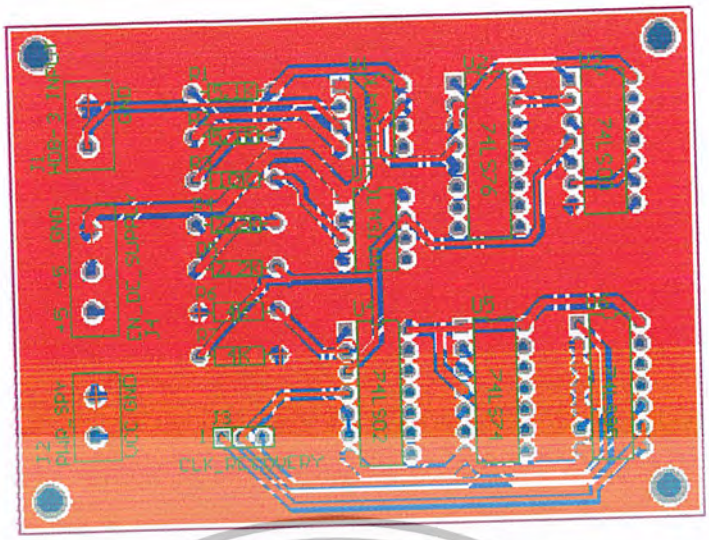



รูปที่ ข.1 แผ่นวงจรพิมพ์วงจรแหล่งจ่ายไฟ

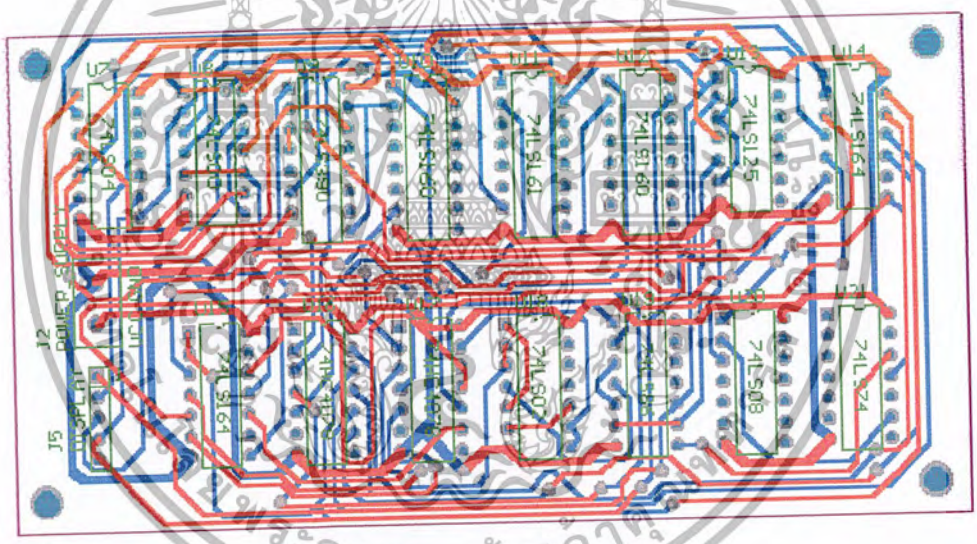



รูปที่ ข.2 แผ่นวงจรพิมพ์วงจรกำเนิดสัญญาณนาฬิกา, วงจรกำเนิดสัญญาณแรนดอม และวงจรเข้ารหัส HDB-3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

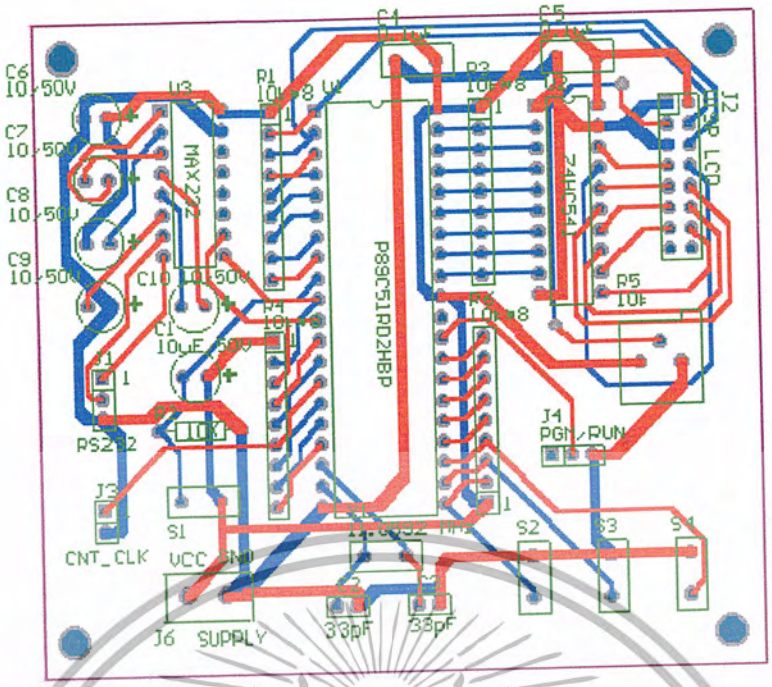


รูปที่ ข.3 แผ่นวงจรพิมพ์วงจรถอดรหัส HDB-3



รูปที่ ข.4 แผ่นวงจรพิมพ์วงจรควบคุมสวิตช์

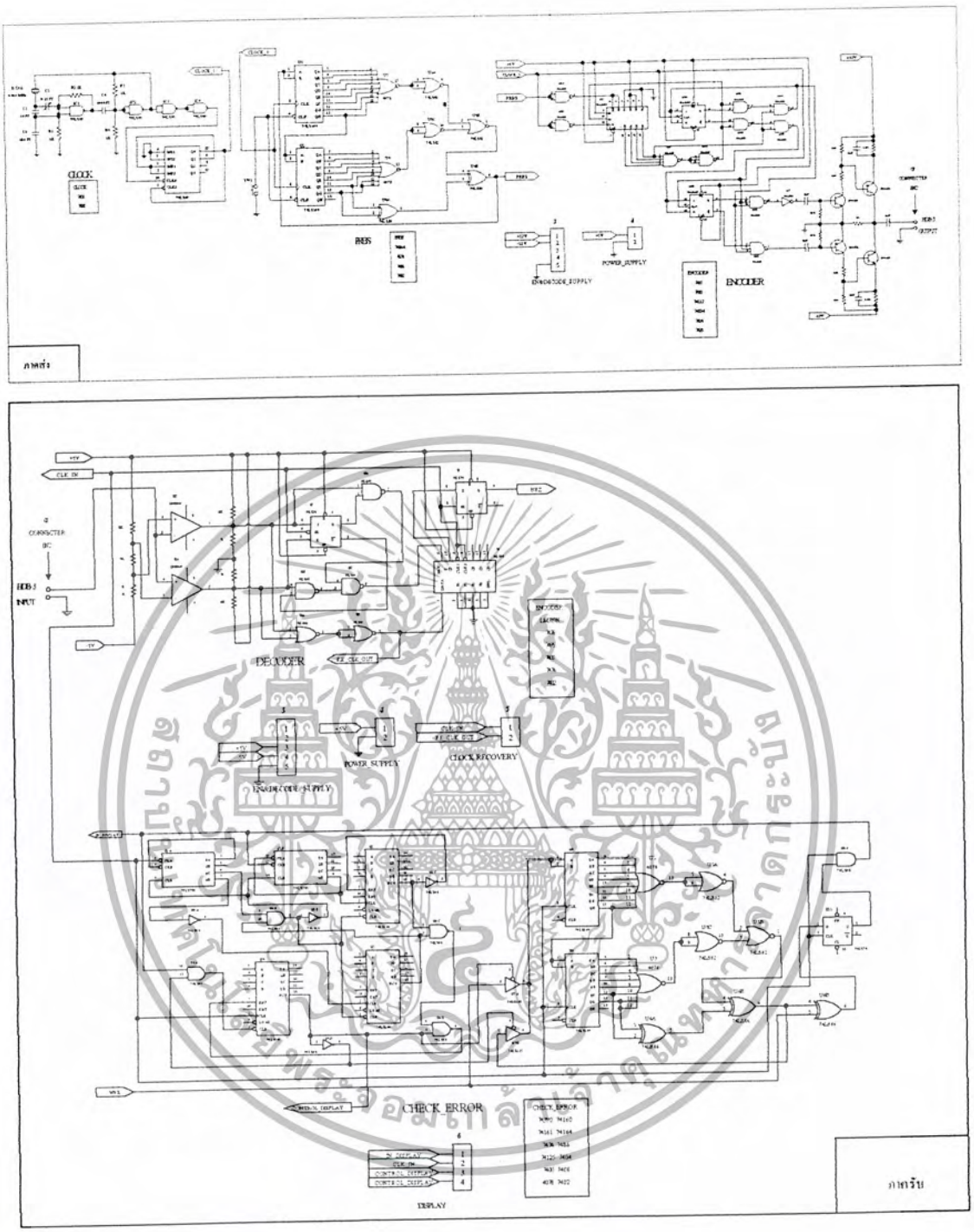
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ ข.5 แผ่นวงจรพิมพ์วงจรภาคแสดงผล

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ ข.6 วงจรรวมของเครื่องวัดอัตราบิตผิดพลาด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ค

โปรแกรม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
/* Bit Error Rate. */

#include <reg51RD2.h>
#include <absacc.h>
#include <ctype.h>
#include <intrins.h>
#include <math.h>
#include <stdarg.h>
#include <stdio.h>
#include <stdlib.h>
#include <string.h>

#include "LCD20.h"

sbit ReStart=P2^0;
sbit Select1=P2^1;
sbit Select2=P2^2;

unsigned char data LCDBUF[20];
unsigned char data ASCBUF[9];
unsigned char *StrBUF;

unsigned long xdata Pulse,BE,Clk;
float xdata Test,SR,BER;

bit IncValue1,IncValue2;

unsigned char Value1,Value2,Show1,Show2;
unsigned char i,TimeCount;
unsigned char Sec,Min,Hour;

void UpdateClock();
void ShowBitErrs(char N1);
void ShowTime(char N2);
void ShowBER(char N3);
void ScanKey();

void TimeDelay(void) interrupt 3
{
        TR0=0;
        TR1=0;

        TimeCount++;

        Pulse=(unsigned long)TH0;
        Pulse<<=8;
        Pulse|=(unsigned long)TL0;

    Clk+=Pulse;

        if(TimeCount==100)
        {
         UpdateClock();
                TimeCount=0;
                BE=Clk;
                SR++;
        }


        TH0=0x00;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        TL0=0x00;

        TH1=0xB7;
        TL1=0xAA;

        TR0=1;
        TR1=1;
}

void UpdateClock()
{
        Sec++;
        if(Sec>59)
        {
                Min++;
                Sec=0;
                if(Min>59)
                {
                        Hour++;
                        Min=0;
                }
        }
}

void ScanKey()
{
        if(Select1==0)
        {
                if(IncValue1==1)
                {
                        Show1=1;
                        Value1++;
                        if(Value1>3)
                                Value1=1;
                }
                IncValue1=0;
        }
        else
        {
                IncValue1=1;
        }

        if(Select2==0)
        {
                if(IncValue2==1)
                {
                        Show2=1;
                        Value2++;
                        if(Value2>3)
                                Value2=1;
                }
                IncValue2=0;
        }
        else
        {
                IncValue2=1;
        }
}

void ShowBitErrs(char N1)
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
{
        if(N1==1)
        {
                sprintf(ASCBUF,"%09ld",(unsigned long)BE);
                strncpy(LCDBUF,ASCBUF,20);
                display_LCD(0x40,LCDBUF);
        }

        if(N1==2)
        {
                sprintf(ASCBUF,"%09ld",(unsigned long)BE);
                strncpy(LCDBUF,ASCBUF,20);
                display_LCD(0x4B,LCDBUF);
        }
}

void ShowBER(char N2)
{
        if(SR>0)
                BER=((float)BE)/(SR*2048000);

        if(N2==1)
        {
                sprintf(ASCBUF,"%0.2e",BER);
                strncpy(LCDBUF,ASCBUF,20);
                display_LCD(0x40,LCDBUF);
        }

        if(N2==2)
        {
                sprintf(ASCBUF,"%0.2e",BER);
                strncpy(LCDBUF,ASCBUF,20);
                display_LCD(0x4B,LCDBUF);
        }

}

void ShowTime(char N3)
{
        if(N3==1)
        {
                sprintf(ASCBUF,"%02ld",(unsigned long)Hour);
                strncpy(LCDBUF,ASCBUF,20);
                display_LCD(0x41,LCDBUF);

                sprintf(ASCBUF,"%02ld",(unsigned long)Min);
                strncpy(LCDBUF,ASCBUF,20);
                display_LCD(0x44,LCDBUF);

                sprintf(ASCBUF,"%02ld",(unsigned long)Sec);
                strncpy(LCDBUF,ASCBUF,20);
                display_LCD(0x47,LCDBUF);
        }

        if(N3==2)
        {
                sprintf(ASCBUF,"%02ld",(unsigned long)Hour);
                strncpy(LCDBUF,ASCBUF,20);
                display_LCD(0x4C,LCDBUF);
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                sprintf(ASCBUF,"%02ld",(unsigned long)Min);
                strncpy(LCDBUF,ASCBUF,20);
                display_LCD(0x4F,LCDBUF);
                sprintf(ASCBUF,"%02ld",(unsigned long)Sec);
                strncpy(LCDBUF,ASCBUF,20);
                display_LCD(0x52,LCDBUF);
        }

}

void main(void)
{
        Init_LCD();     //Initial LCD 20*2.
        LCD_CLR();

        TimeCount=0;
        Sec=0;
        Pulse=0;
        BE=0;
        Clk=0;
        SR=0;
    Select1=1;
        Select2=1;
        ReStart=1;

        IncValue1=1;
        IncValue2=1;

        Value1=1;
        Value2=1;
        Show1=1;
        Show2=1;

        TH0=0x00;
        TL0=0x00;

        TH1=0xB7;
        TL1=0xAA;

        TMOD=0x15;
        IE=0x88;

        TR0=1;
        TR1=1;

        while(1)
        {
                while(ReStart==1)
                {

                        ScanKey();
                        if((Value1==1)&&(Value2==1))
                        {
                                if((Show1==1)||(Show2==1))
                                {
                                        LCD_CLR();

                                        strncpy(LCDBUF," BIT
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
ERRS   BIT ERRS",20);
                                        display_LCD(0x00,LCDBUF);

                                        Show1=0;
                                        Show2=0;
                                }
                                ShowBitErrs(1);
                                ShowBitErrs(2);
                        }

                        if((Value1==1)&&(Value2==2))
                        {
                                if((Show1==1)||(Show2==1))
                                {
                                        LCD_CLR();

                                        strncpy(LCDBUF," BIT
ERRS        BER",20);
                                        display_LCD(0x00,LCDBUF);

                                        Show1=0;
                                        Show2=0;
                                }
                                ShowBitErrs(1);
                                ShowBER(2);
                        }

                        if((Value1==1)&&(Value2==3))
                        {
                                if((Show1==1)||(Show2==1))
                                {
                                        LCD_CLR();

                                        strncpy(LCDBUF," BIT
ERRS        TIME",20);
                                        display_LCD(0x00,LCDBUF);

        strncpy(LCDBUF,"                :   :  ",20);
                                        display_LCD(0x40,LCDBUF);

                                        Show1=0;
                                        Show2=0;
                                }
                                ShowBitErrs(1);
                                ShowTime(2);
                        }

                        if((Value1==2)&&(Value2==1))
                        {
                                if((Show1==1)||(Show2==1))
                                {
                                        LCD_CLR();


        strncpy(LCDBUF,"       BER    BIT ERRS",20);
                                        display_LCD(0x00,LCDBUF);

                                        Show1=0;
                                        Show2=0;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                        }
                        ShowBER(1);
                        ShowBitErrs(2);
        }

                if((Value1==2)&&(Value2==2))
                {
                        if((Show1==1)||(Show2==1))
                        {
                                LCD_CLR();

strncpy(LCDBUF,"      BER          BER",20);
                                display_LCD(0x00,LCDBUF);

                                Show1=0;
                                Show2=0;
                        }
                        ShowBER(1);
                        ShowBER(2);
        }

                if((Value1==2)&&(Value2==3))
                {
                        if((Show1==1)||(Show2==1))
                        {
                                LCD_CLR();

strncpy(LCDBUF,"      BER          TIME",20);
                                display_LCD(0x00,LCDBUF);

strncpy(LCDBUF,"                :   :  ",20);
                                display_LCD(0x40,LCDBUF);

                                Show1=0;
                                Show2=0;
                        }
                        ShowBER(1);
                        ShowTime(2);
        }

                if((Value1==3)&&(Value2==1))
                {
                        if((Show1==1)||(Show2==1))
                        {
                                LCD_CLR();

strncpy(LCDBUF,"     TIME    BIT ERRS",20);
                                display_LCD(0x00,LCDBUF);

strncpy(LCDBUF,"   :   :              ",20);
                                display_LCD(0x40,LCDBUF);

                                Show1=0;
                                Show2=0;
                        }
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                        ShowTime(1);
                        ShowBitErrs(2);
        }

                if((Value1==3)&&(Value2==2))
                {
                        if((Show1==1)||(Show2==1))
                        {
                                LCD_CLR();


strncpy(LCDBUF,"      TIME          BER",20);
                                display_LCD(0x00,LCDBUF);


strncpy(LCDBUF,"    :  :                ",20);
                                display_LCD(0x40,LCDBUF);

                                Show1=0;
                                Show2=0;
                        }
                        ShowTime(1);
                        ShowBER(2);
        }

                if((Value1==3)&&(Value2==3))
                {
                        if((Show1==1)||(Show2==1))
                        {
                                LCD_CLR();


strncpy(LCDBUF,"      TIME          TIME",20);
                                display_LCD(0x00,LCDBUF);


strncpy(LCDBUF,"    :  :          :  :  ",20);
                                display_LCD(0x40,LCDBUF);

                                Show1=0;
                                Show2=0;
                        }
                        ShowTime(1);
                        ShowTime(2);
        }

    }
TR0=0;
TR1=0;

LCD_CLR();
strncpy(LCDBUF,"    Restarting...    ",20);
display_LCD(0x00,LCDBUF);

dmsec(1000);

LCD_CLR();

Show1=1;
Show2=1;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        Value1=1;
        Value2=1;
        Clk=0;
        Pulse=0;
        TimeCount=0;
        BE=0;
        SR=0;
        Sec=0;
        Min=0;
        Hour=0;
        BER=0;

        TH0=0x00;
        TL0=0x00;

        TH1=0xB7;
        TL1=0xAA;

        TR0=1;
        TR1=1;
        }
}
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# ภาคผนวก ง
# คู่มือและการใช้งาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# คู่มือการใช้งาน
# เครื่องวัดอัตราบิตผิดพลาด
# BIT ERROR RATE INSTRUMENT

**กล่าวนำ**

คู่มือนี้ได้นำเสนอการใช้งานและวิธีควบคุมการทำงานของเครื่องวัดอัตราบิตผิดพลาดเพื่อจะได้เข้าใจการทำงานและสามารถนำไปประยุกต์ใช้งานได้

**คู่มือการทำงานของเครื่องวัดอัตราบิตผิดพลาด**

รูปที่ ง.1 เครื่องสำเร็จของเครื่องวัดอัตราบิตผิดพลาด

จากรูปด้านซ้ายมือเราจะเห็นแอลอีดีอยู่ 2 ดวงสีเขียวและสีแดงแสดงสภาวะการซิงค์โครไนซ์และรีซิงค์โครไนซ์ ถัดมาจะเป็นจอแสดงผลแอลซีดี 20 หลัก 2 แถว ใช้แสดงผล 3 ค่าคือ BIT ERROR AVERATE BIT ERROR และ TIME ซึ่งจะแสดงผลเปรียบเทียบกัน โดยใช้สวิตช์ข้างล่าง 2 ตัวชนิดกดติดปล่อยดับเป็นตัวกดเลือกแสดงค่า ถัดมาจะเป็นสวิตช์รีสตาร์ทกดเพื่อเริ่มต้นการนับใหม่ส่วนสวิตช์ตัวล่างเป็นสวิตช์ LOOP TEST ส่วนทางขวามือจะเป็นหัวต่อบีเอ็นซีตัวรับและส่งสัญญาณ HDB-3 ด้านหลังเครื่องก็จะมีสวิตช์ปิด-เปิดเครื่องและ ฟิวส์

**วิธีการทำงานของเครื่องวัดอัตราบิตผิดพลาด**

ขั้นตอนการเตรียมเครื่องวัดอัตราบิตผิดพลาดก่อนใช้งาน

1. เสียบปลั๊กซ์ไฟเข้ากับไฟกระแสสลับ 220 โวลต์
2. กดสวิตช์เปิดข้างหลังเครื่อง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3. LED สีแดงจะสว่างแสดงว่าไม่เกิดการซิงค์โครไนซ์

4. จอแสดงผลจะแสดง BIT ERROR RATE ที่เกิดขึ้น ทั้ง2 ฝั่ง

5. กดสวิตช์ข้างล่างจอ แอลซีดี ได้ทั้งฝั่งซ้ายและฝั่งขวาเพื่อกดเลือกแสดงค่าเปรียบเทียบกัน

6. เมื่อต้องการเริ่มต้นการนับใหม่ ก็กดสวิตช์ รีสตาร์ท เครื่องก็จะเริ่มต้นการนับใหม่ทั้งหมด

7. กดสวิตช์ LOOP TEST เพื่อทดสอบความผิดพลาดของตัวมันเอง เมื่อทำการกดสวิตช์แอลอีดีสีเขียวจะสว่างแสดงสภาวะซิงค์โครไนซ์ กดสวิตช์รีสตาร์ทอีกครั้งจอแอลซีดีจะแสดงค่า BIT ERROR RATE เป็นศูนย์แสดงว่าเครื่องพร้อมใช้งานได้

ขั้นตอนการใช้งานของเครื่องวัดอัตราบิตผิดพลาด

1. ต้องทำการเตรียมเครื่องวัดอัตราบิตผิดพลาดก่อนทุกครั้งเพื่อความถูกต้อง

2. จากนั้นทำการปิดเครื่องวัดอัตราบิตผิดพลาด

3. นำสายนำสัญญาณมาต่อที่ขั้วต่อบีเอ็นซีทั้งตัวรับและตัวส่งของเครื่องวัดอัตราบิตผิดพลาดเพื่อจะทำการวัดอัตราบิตผิดพลาดของระบบ

4. นำสายนำสัญญาณไปต่อกับระบบที่ต้องการวัดอัตราบิตผิดพลาด

5. เปิดเครื่องวัดอัตราบิตผิดพลาด

6. จอ แอลซีดีจะติดและนับค่าความผิดพลาด

7. ต้องรอให้เกิดการซิงค์โครไนซ์ก่อนโดยแอลอีดีสีเขียวสว่าง

8. เมื่อเกิดการซิงค์โครไนซ์แล้วกดสวิตช์รีสตาร์ทเพื่อดูค่าความผิดพลาดที่ถูกต้อง

9. สามารถกดสวิตช์ซ้าย-ขวาเพื่อเลือกแสดงผลเปรียบเทียบกันได้

10. เมื่อทำการวัดอัตราบิตผิดพลาดเสร็จแล้วปิดเครื่องวัดอัตราบิตผิดพลาดและถอดสายนำสัญญาณเก็บให้เรียบร้อย

11.ถอดปลั๊กซ์ทุกครั้งเมื่อเลิกใช้งาน

หมายเหตุ ในการวัดอัตราบิตผิดพลาดที่ใช้ระยะเวลานานต้องระวังในการกดสวิตช์เลือกแสดงผลหากเผลอกดสวิตช์รีสตาร์ทจะเป็นการเริ่มต้นนับใหม่ทั้งหมด เสมือนเป็นการเปิดเครื่องใหม่ข้อมูลที่ทำการทดสอบมาจะหายไปหมด และในขณะที่มีการวัดอัตราบิตผิดพลาดห้ามกดสวิตช์ LOOP TEST หรือย้ายสายนำสัญญาณเพราะจะทำให้การวัดอัตราบิตผิดพลาดเกิดความผิดพลาดได้

**คุณสมบัติของเครื่องวัดอัตราบิตผิดพลาด**

ด้านส่ง

| | |
|---|---|
| Bit rate | 2.048 Mbit/s |
| Output Pattern | PRBS $2^{15}$-1 |
| Output Signal | BIPOLAR |
| Code | HDB-3 |
| Output Level | TTL LEVEL |

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

| | |
|---|---|
| Output Impedance | 75 OHM NOMINAL TO GROUND |

ด้านรับ

| | |
|---|---|
| Bit rate | 2.048 Mbit/s |
| Input Pattern | PRBS $2^{15}$-1 |
| Input Signal | BIPOLAR |
| Code | HDB-3 |
| Input Level | TTL LEVEL |
| Detecting Error Pulse | BIT-BY-BIT |
| Error Count | 9999999999 BITS MASE |
| Input Impedance | 75 OHM NOMINAL TO GROUND |

การประเมินผลการทดสอบ

การทดสอบระบบภายในประเทศเป็นเวลา 24 ชั่วโมง ค่า Bit Error Rate ต้องน้อยกว่า $2*10^{-8}$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# ภาคผนวก จ

## รายละเอียดและคุณสมบัติของอุปกรณ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# DATA SHEET

## P89C51RB2/P89C51RC2/P89C51RD2

80C51 8-bit Flash microcontroller family

16KB/32KB/64KB ISP/IAP Flash with 512B/512B/1KB RAM

Preliminary specification
Supersedes data of 2000 Jul 31
IC28 Data Handbook

2000 Aug 21

Philips Semiconductors

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## DESCRIPTION

The P89C51RB2/RC2/RD2 device contains a non-volatile 16kB/32kB/64kB Flash program memory that is both parallel programmable and serial In-System and In-Application Programmable. In-System Programming (ISP) allows the user to download new code while the microcontroller sits in the application. In-Application Programming (IAP) means that the microcontroller fetches new program code and reprograms itself while in the system. This allows for remote programming over a modem link. A default serial loader (boot loader) program in ROM allows serial In-System programming of the Flash memory via the UART without the need for a loader in the Flash code. For In-Application Programming, the user program erases and reprograms the Flash memory by use of standard routines contained in ROM.

This device executes one machine cycle in 6 clock cycles, hence providing twice the speed of a conventional 80C51. An OTP configuration bit lets the user select conventional 12 clock timing if desired.

This device is a Single-Chip 8-Bit Microcontroller manufactured in advanced CMOS process and is a derivative of the 80C51 microcontroller family. The instruction set is 100% compatible with the 80C51 instruction set.

The device also has four 8-bit I/O ports, three 16-bit timer/event counters, a multi-source, four-priority-level, nested interrupt structure, an enhanced UART and on-chip oscillator and timing circuits.

The added features of the P89C51RB2/RC2/RD2 makes it a powerful microcontroller for applications that require pulse width modulation, high-speed I/O and up/down counting capabilities such as motor control.

## FEATURES

- 80C51 Central Processing Unit
- On-chip Flash Program Memory with In-System Programming (ISP) and In-Application Programming (IAP) capability
- Boot ROM contains low level Flash programming routines for downloading via the UART
- Can be programmed by the end-user application (IAP)
- 6 clocks per machine cycle operation (standard)
- 12 clocks per machine cycle operation (optional)
- Speed up to 20 MHz with 6 clock cycles per machine cycle (40 MHz equivalent performance); up to 33 MHz with 12 clocks per machine cycle
- Fully static operation
- RAM expandable externally to 64 kB
- 4 level priority interrupt
- 7 interrupt sources
- Four 8-bit I/O ports
- Full-duplex enhanced UART
  - Framing error detection
  - Automatic address recognition
- Power control modes
  - Clock can be stopped and resumed
  - Idle mode
  - Power down mode
- Programmable clock out
- Second DPTR register
- Asynchronous port reset
- Low EMI (inhibit ALE)
- Programmable Counter Array (PCA)
  - PWM
  - Capture/compare

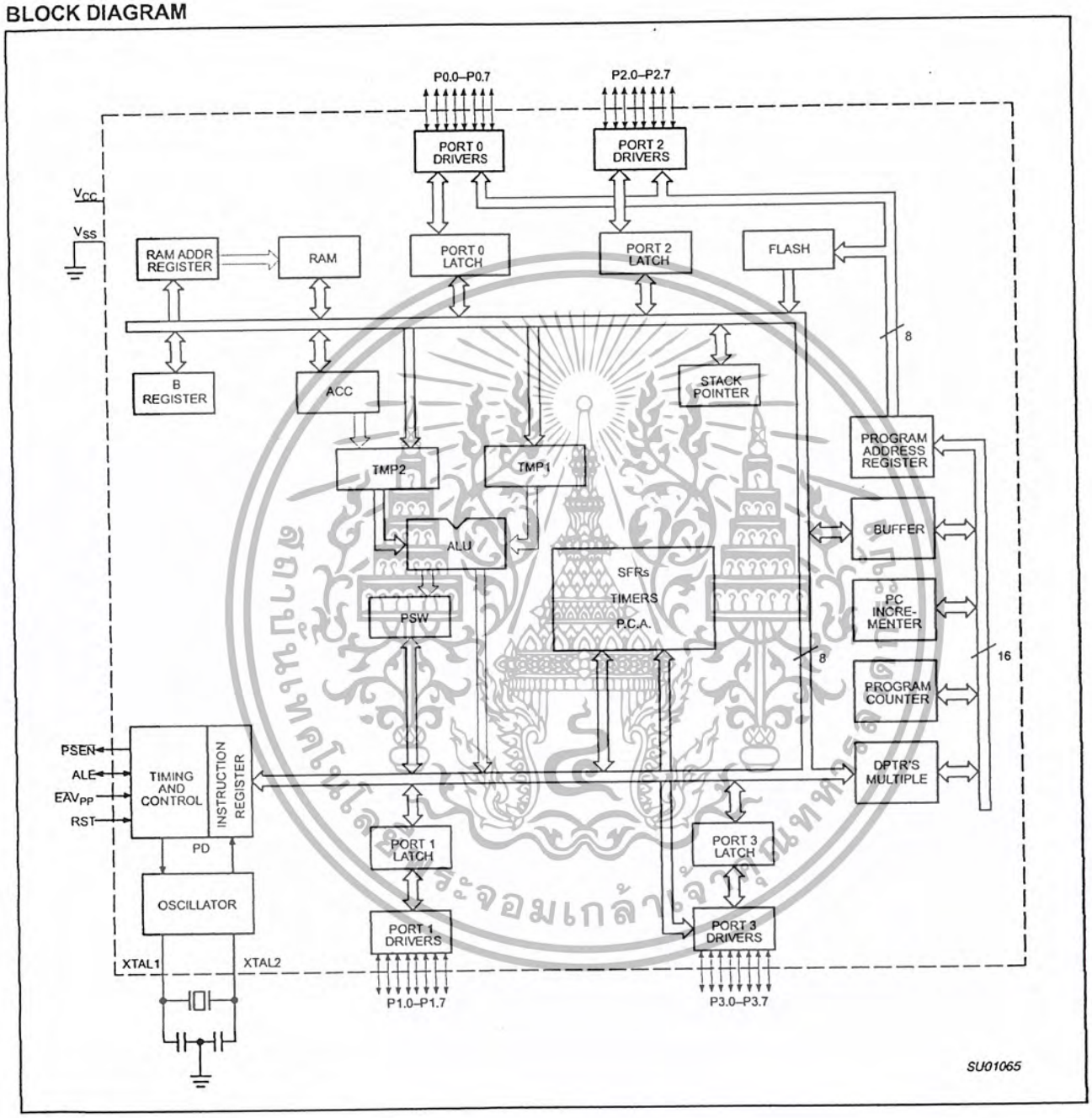
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## ORDERING INFORMATION

| | PHILIPS (EXCEPT NORTH AMERICA) PART ORDER NUMBER PART MARKING | PHILIPS NORTH AMERICA PART ORDER NUMBER | MEMORY | | TEMPERATURE RANGE (°C) AND PACKAGE | VOLTAGE RANGE | FREQUENCY (MHz) | | DWG # |
|---|---|---|---|---|---|---|---|---|---|
| | | | FLASH | RAM | | | 6 CLOCK MODE | 12 CLOCK MODE | |
| 1 | P89C51RB2HBA | P89C51RB2BA | 16 kB | 512 B | 0 to +70, PLCC | 4.5–5.5 V | 0 to 20 MHz | 0 to 33 MHz | SOT187-2 |
| 2 | P89C51RB2HBBD | P89C51RB2BBD | 16 kB | 512 B | 0 to +70, LQFP | 4.5–5.5 V | 0 to 20 MHz | 0 to 33 MHz | SOT389-1 |
| 3 | P89C51RC2HBP | P89C51RC2BP | 32 kB | 512 B | 0 to +70, PDIP | 4.5–5.5 V | 0 to 20 MHz | 0 to 33 MHz | SOT129-1 |
| 4 | P89C51RC2HBA | P89C51RC2BA | 32 kB | 512 B | 0 to +70, PLCC | 4.5–5.5 V | 0 to 20 MHz | 0 to 33 MHz | SOT187-2 |
| 5 | P89C51RC2HFA | P89C51RC2FA | 32 kB | 512 B | –40 to +85, PLCC | 4.5–5.5 V | 0 to 20 MHz | 0 to 33 MHz | SOT187-2 |
| 6 | P89C51RC2HBBD | P89C51RC2BBD | 32 kB | 512 B | 0 to +70, LQFP | 4.5–5.5 V | 0 to 20 MHz | 0 to 33 MHz | SOT389-1 |
| 7 | P89C51RC2HFBD | P89C51RC2FBD | 32 kB | 512 B | –40 to +85, LQFP | 4.5–5.5 V | 0 to 20 MHz | 0 to 33 MHz | SOT389-1 |
| 8 | P89C51RD2HBP | P89C51RD2BP | 64 kB | 1 kB | 0 to +70, PDIP | 4.5–5.5 V | 0 to 20 MHz | 0 to 33 MHz | SOT129-1 |
| 9 | P89C51RD2HBA | P89C51RD2BA | 64 kB | 1 kB | 0 to +70, PLCC | 4.5–5.5 V | 0 to 20 MHz | 0 to 33 MHz | SOT187-2 |
| 10 | P89C51RD2HBBD | P89C51RD2BBD | 64 kB | 1 kB | 0 to +70, LQFP | 4.5–5.5 V | 0 to 20 MHz | 0 to 33 MHz | SOT389-1 |

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## BLOCK DIAGRAM

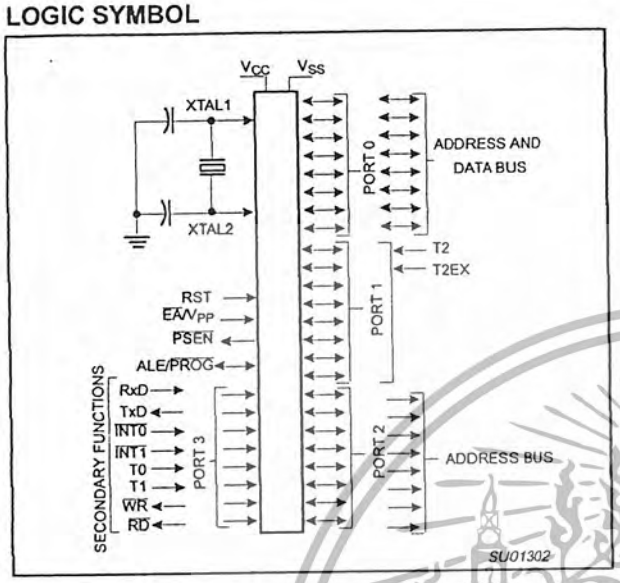



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

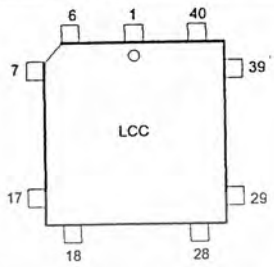


ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## LOGIC SYMBOL




## Plastic Leaded Chip Carrier



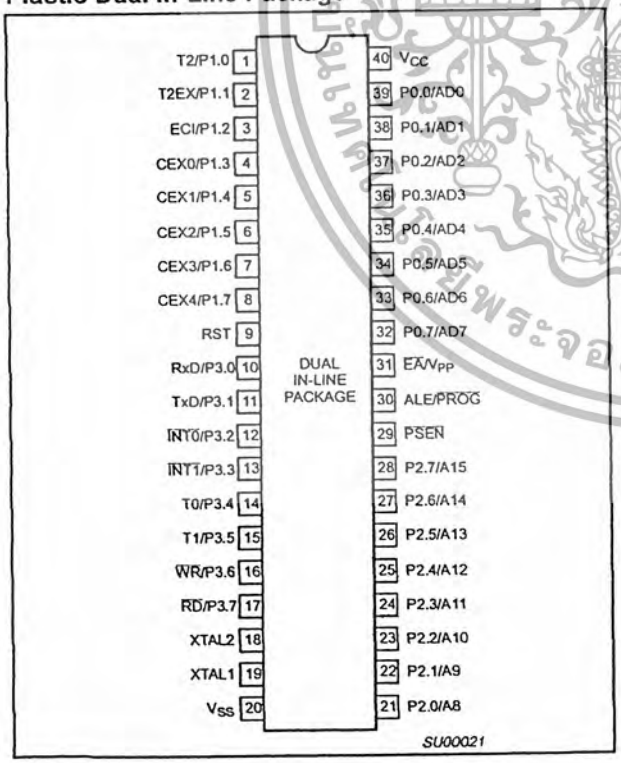

| Pin | Function | Pin | Function | Pin | Function |
|---|---|---|---|---|---|
| 1 | NIC* | 16 | P3.4/T0 | 31 | P2.7/A15 |
| 2 | P1.0/T2 | 17 | P3.5/T1 | 32 | PSEN |
| 3 | P1.1/T2EX | 18 | P3.6/WR | 33 | ALE/PROG |
| 4 | P1.2/ECI | 19 | P3.7/RD | 34 | NIC* |
| 5 | P1.3/CEX0 | 20 | XTAL2 | 35 | EA/VPP |
| 6 | P1.4/CEX1 | 21 | XTAL1 | 36 | P0.7/AD7 |
| 7 | P1.5/CEX2 | 22 | VSS | 37 | P0.6/AD6 |
| 8 | P1.6/CEX3 | 23 | NIC* | 38 | P0.5/AD5 |
| 9 | P1.7/CEX4 | 24 | P2.0/A8 | 39 | P0.4/AD4 |
| 10 | RST | 25 | P2.1/A9 | 40 | P0.3/AD3 |
| 11 | P3.0/RxD | 26 | P2.2/A10 | 41 | P0.2/AD2 |
| 12 | NIC* | 27 | P2.3/A11 | 42 | P0.1/AD1 |
| 13 | P3.1/TxD | 28 | P2.4/A12 | 43 | P0.0/AD0 |
| 14 | P3.2/INT0 | 29 | P2.5/A13 | 44 | VCC |
| 15 | P3.3/INT1 | 30 | P2.6/A14 | | |

* NO INTERNAL CONNECTION

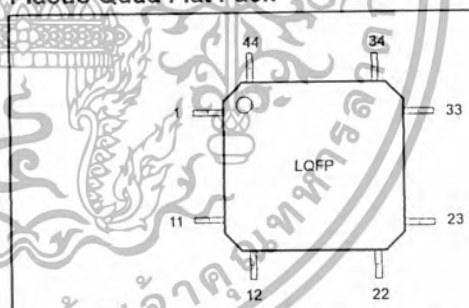
SU00023

## PINNING

### Plastic Dual In-Line Package




### Plastic Quad Flat Pack




| Pin | Function | Pin | Function | Pin | Function |
|---|---|---|---|---|---|
| 1 | P1.5/CEX2 | 16 | VSS | 31 | P0.6/AD6 |
| 2 | P1.6/CEX3 | 17 | NIC* | 32 | P0.5/AD5 |
| 3 | P1.7/CEX4 | 18 | P2.0/A8 | 33 | P0.4/AD4 |
| 4 | RST | 19 | P2.1/A9 | 34 | P0.3/AD3 |
| 5 | P3.0/RxD | 20 | P2.2/A10 | 35 | P0.2/AD2 |
| 6 | NIC* | 21 | P2.3/A11 | 36 | P0.1/AD1 |
| 7 | P3.1/TxD | 22 | P2.4/A12 | 37 | P0.0/AD0 |
| 8 | P3.2/INT0 | 23 | P2.5/A13 | 38 | VCC |
| 9 | P3.3/INT1 | 24 | P2.6/A14 | 39 | NIC* |
| 10 | P3.4/T0 | 25 | P2.7/A15 | 40 | P1.0/T2 |
| 11 | P3.5/T1 | 26 | PSEN | 41 | P1.1/T2EX |
| 12 | P3.6/WR | 27 | ALE/PROG | 42 | P1.2/ECI |
| 13 | P3.7/RD | 28 | NIC* | 43 | P1.3/CEX0 |
| 14 | XTAL2 | 29 | EA/VPP | 44 | P1.4/CEX1 |
| 15 | XTAL1 | 30 | P0.7/AD7 | | |

* NO INTERNAL CONNECTION

SU01400

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## PIN DESCRIPTIONS

| MNEMONIC | PIN NUMBER | | | TYPE | NAME AND FUNCTION |
|---|---|---|---|---|---|
| | PDIP | PLCC | LQFP | | |
| $V_{SS}$ | 20 | 22 | 16 | I | **Ground:** 0 V reference. |
| $V_{CC}$ | 40 | 44 | 38 | I | **Power Supply:** This is the power supply voltage for normal, idle, and power-down operation. |
| P0.0–0.7 | 39–32 | 43–36 | 37–30 | I/O | **Port 0:** Port 0 is an open-drain, bidirectional I/O port. Port 0 pins that have 1s written to them float and can be used as high-impedance inputs. Port 0 is also the multiplexed low-order address and data bus during accesses to external program and data memory. In this application, it uses strong internal pull-ups when emitting 1s. |
| P1.0–P1.7 | 1–8 | 2–9 | 40–44, 1–3 | I/O | **Port 1:** Port 1 is an 8-bit bidirectional I/O port with internal pull-ups on all pins except P1.6 and P1.7 which are open drain. Port 1 pins that have 1s written to them are pulled high by the internal pull-ups and can be used as inputs. As inputs, port 1 pins that are externally pulled low will source current because of the internal pull-ups. (See DC Electrical Characteristics: $I_{IL}$). |
| | | | | | Alternate functions for 89C51RB2/RC2/RD2 Port 1 include: |
| | 1 | 2 | 40 | I/O | **T2 (P1.0):** Timer/Counter 2 external count input/Clockout (see Programmable Clock-Out) |
| | 2 | 3 | 41 | I | **T2EX (P1.1):** Timer/Counter 2 Reload/Capture/Direction Control |
| | 3 | 4 | 42 | I | **ECI (P1.2):** External Clock Input to the PCA |
| | 4 | 5 | 43 | I/O | **CEX0 (P1.3):** Capture/Compare External I/O for PCA module 0 |
| | 5 | 6 | 44 | I/O | **CEX1 (P1.4):** Capture/Compare External I/O for PCA module 1 |
| | 6 | 7 | 1 | I/O | **CEX2 (P1.5):** Capture/Compare External I/O for PCA module 2 |
| | 7 | 8 | 2 | I/O | **CEX3 (P1.6):** Capture/Compare External I/O for PCA module 3 |
| | 8 | 9 | 3 | I/O | **CEX4 (P1.7):** Capture/Compare External I/O for PCA module 4 |
| P2.0–P2.7 | 21–28 | 24–31 | 18–25 | I/O | **Port 2:** Port 2 is an 8-bit bidirectional I/O port with internal pull-ups. Port 2 pins that have 1s written to them are pulled high by the internal pull-ups and can be used as inputs. As inputs, port 2 pins that are externally being pulled low will source current because of the internal pull-ups. (See DC Electrical Characteristics: $I_{IL}$). Port 2 emits the high-order address byte during fetches from external program memory and during accesses to external data memory that use 16-bit addresses (MOVX @DPTR). In this application, it uses strong internal pull-ups when emitting 1s. During accesses to external data memory that use 8-bit addresses (MOV @Ri), port 2 emits the contents of the P2 special function register.<br>P2.7 must be a "1" to program and erase the device. |
| P3.0–P3.7 | 10–17 | 11, 13–19 | 5, 7–13 | I/O | **Port 3:** Port 3 is an 8-bit bidirectional I/O port with internal pull-ups. Port 3 pins that have 1s written to them are pulled high by the internal pull-ups and can be used as inputs. As inputs, port 3 pins that are externally being pulled low will source current because of the pull-ups. (See DC Electrical Characteristics: $I_{IL}$). Port 3 also serves the special features of the 89C51RB2/RC2/RD2, as listed below: |
| | 10 | 11 | 5 | I | **RxD (P3.0):** Serial input port |
| | 11 | 13 | 7 | O | **TxD (P3.1):** Serial output port |
| | 12 | 14 | 8 | I | **$\overline{INT0}$ (P3.2):** External interrupt |
| | 13 | 15 | 9 | I | **$\overline{INT1}$ (P3.3):** External interrupt |
| | 14 | 16 | 10 | I | **T0 (P3.4):** Timer 0 external input |
| | 15 | 17 | 11 | I | **T1 (P3.5):** Timer 1 external input |
| | 16 | 18 | 12 | O | **$\overline{WR}$ (P3.6):** External data memory write strobe |
| | 17 | 19 | 13 | O | **$\overline{RD}$ (P3.7):** External data memory read strobe |
| RST | 9 | 10 | 4 | I | **Reset:** A high on this pin for two machine cycles while the oscillator is running, resets the device. An internal resistor to $V_{SS}$ permits a power-on reset using only an external capacitor to $V_{CC}$. |
| ALE | 30 | 33 | 27 | O | **Address Latch Enable:** Output pulse for latching the low byte of the address during an access to external memory. In normal operation, ALE is emitted twice every machine cycle, and can be used for external timing or clocking. Note that one ALE pulse is skipped during each access to external data memory. ALE can be disabled by setting SFR auxiliary.0. With this bit set, ALE will be active only during a MOVX instruction. |

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า



ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

| MNEMONIC | PIN NUMBER | | | TYPE | NAME AND FUNCTION |
|---|---|---|---|---|---|
| | PDIP | PLCC | LQFP | | |
| $\overline{PSEN}$ | 29 | 32 | 26 | O | **Program Store Enable:** The read strobe to external program memory. When executing code from the external program memory, $\overline{PSEN}$ is activated twice each machine cycle, except that two $\overline{PSEN}$ activations are skipped during each access to external data memory. $\overline{PSEN}$ is not activated during fetches from internal program memory. |
| $\overline{EA}/V_{PP}$ | 31 | 35 | 29 | I | **External Access Enable/Programming Supply Voltage:** $\overline{EA}$ must be externally held low to enable the device to fetch code from external program memory locations. If $\overline{EA}$ is held high, the device executes from internal program memory. The value on the $\overline{EA}$ pin is latched when RST is released and any subsequent changes have no effect. This pin also receives the programming supply voltage ($V_{PP}$) during Flash programming. |
| XTAL1 | 19 | 21 | 15 | I | **Crystal 1:** Input to the inverting oscillator amplifier and input to the internal clock generator circuits. |
| XTAL2 | 18 | 20 | 14 | O | **Crystal 2:** Output from the inverting oscillator amplifier. |

**NOTE:**
To avoid "latch-up" effect at power-on, the voltage on any pin (other than $V_{PP}$) must not be higher than $V_{CC}$ + 0.5 V or less than $V_{SS}$ – 0.5 V.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**Table 1. Special Function Registers**

| SYMBOL | DESCRIPTION | DIRECT ADDRESS | BIT ADDRESS, SYMBOL, OR ALTERNATIVE PORT FUNCTION MSB | | | | | | | LSB | RESET VALUE |
|---|---|---|---|---|---|---|---|---|---|---|---|
| ACC* | Accumulator | E0H | E7 | E6 | E5 | E4 | E3 | E2 | E1 | E0 | 00H |
| AUXR# | Auxiliary | 8EH | – | – | – | – | – | – | EXTRAM | AO | xxxxxx00B |
| AUXR1# | Auxiliary 1 | A2H | – | – | ENBOOT | – | GF2 | 0 | – | DPS | xxxxxxx0B |
| B* | B register | F0H | F7 | F6 | F5 | F4 | F3 | F2 | F1 | F0 | 00H |
| CCAP0H# | Module 0 Capture High | FAH | | | | | | | | | xxxxxxxxB |
| CCAP1H# | Module 1 Capture High | FBH | | | | | | | | | xxxxxxxxB |
| CCAP2H# | Module 2 Capture High | FCH | | | | | | | | | xxxxxxxxB |
| CCAP3H# | Module 3 Capture High | FDH | | | | | | | | | xxxxxxxxB |
| CCAP4H# | Module 4 Capture High | FEH | | | | | | | | | xxxxxxxxB |
| CCAP0L# | Module 0 Capture Low | EAH | | | | | | | | | xxxxxxxxB |
| CCAP1L# | Module 1 Capture Low | EBH | | | | | | | | | xxxxxxxxB |
| CCAP2L# | Module 2 Capture Low | ECH | | | | | | | | | xxxxxxxxB |
| CCAP3L# | Module 3 Capture Low | EDH | | | | | | | | | xxxxxxxxB |
| CCAP4L# | Module 4 Capture Low | EEH | | | | | | | | | xxxxxxxxB |
| CCAPM0# | Module 0 Mode | DAH | – | ECOM | CAPP | CAPN | MAT | TOG | PWM | ECCF | x0000000B |
| CCAPM1# | Module 1 Mode | DBH | – | ECOM | CAPP | CAPN | MAT | TOG | PWM | ECCF | x0000000B |
| CCAPM2# | Module 2 Mode | DCH | – | ECOM | CAPP | CAPN | MAT | TOG | PWM | ECCF | x0000000B |
| CCAPM3# | Module 3 Mode | DDH | – | ECOM | CAPP | CAPN | MAT | TOG | PWM | ECCF | x0000000B |
| CCAPM4# | Module 4 Mode | DEH | – | ECOM | CAPP | CAPN | MAT | TOG | PWM | ECCF | x0000000B |
| | | | DF | DE | DD | DC | DB | DA | D9 | D8 | |
| CCON*# | PCA Counter Control | D8H | CF | CR | – | CCF4 | CCF3 | CCF2 | CCF1 | CCF0 | 00x00000B |
| CH# | PCA Counter High | F9H | | | | | | | | | 00H |
| CL# | PCA Counter Low | E9H | | | | | | | | | 00H |
| CMOD# | PCA Counter Mode | D9H | CIDL | WDTE | – | – | – | CPS1 | CPS0 | ECF | 00xxx000B |
| DPTR: | Data Pointer (2 bytes) | | | | | | | | | | |
| DPH | Data Pointer High | 83H | | | | | | | | | 00H |
| DPL | Data Pointer Low | 82H | | | | | | | | | 00H |
| | | | AF | AE | AD | AC | AB | AA | A9 | A8 | |
| IE* | Interrupt Enable 0 | A8H | EA | EC | ET2 | ES | ET1 | EX1 | ET0 | EX0 | 00H |
| | | | BF | BE | BD | BC | BB | BA | B9 | B8 | |
| IP* | Interrupt Priority | B8H | – | PPC | PT2 | PS | PT1 | PX1 | PT0 | PX0 | x0000000B |
| | | | B7 | B6 | B5 | B4 | B3 | B2 | B1 | B0 | |
| IPH# | Interrupt Priority High | B7H | – | PPCH | PT2H | PSH | PT1H | PX1H | PT0H | PX0H | x0000000B |
| | | | 87 | 86 | 85 | 84 | 83 | 82 | 81 | 80 | |
| P0* | Port 0 | 80H | AD7 | AD6 | AD5 | AD4 | AD3 | AD2 | AD1 | AD0 | FFH |
| | | | 97 | 96 | 95 | 94 | 93 | 92 | 91 | 90 | |
| P1* | Port 1 | 90H | CEX4 | CEX3 | CEX2 | CEX1 | CEX0 | ECI | T2EX | T2 | FFH |
| | | | A7 | A6 | A5 | A4 | A3 | A2 | A1 | A0 | |
| P2* | Port 2 | A0H | AD15 | AD14 | AD13 | AD12 | AD11 | AD10 | AD9 | AD8 | FFH |
| | | | B7 | B6 | B5 | B4 | B3 | B2 | B1 | B0 | |
| P3* | Port 3 | B0H | $\overline{RD}$ | $\overline{WR}$ | T1 | T0 | $\overline{INT1}$ | $\overline{INT0}$ | TxD | RxD | FFH |
| PCON#[1] | Power Control | 87H | SMOD1 | SMOD0 | – | POF | GF1 | GF0 | PD | IDL | 00xxx000B |

* SFRs are bit addressable.
\# SFRs are modified from or added to the 80C51 SFRs.
– Reserved bits.
1. Reset value depends on reset source.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**Table 1. Special Function Registers** (Continued)

| SYMBOL | DESCRIPTION | DIRECT ADDRESS | BIT ADDRESS, SYMBOL, OR ALTERNATIVE PORT FUNCTION MSB LSB | | | | | | | | RESET VALUE |
|---|---|---|---|---|---|---|---|---|---|---|---|
| | | | D7 | D6 | D5 | D4 | D3 | D2 | D1 | D0 | |
| PSW* | Program Status Word | D0H | CY | AC | F0 | RS1 | RS0 | OV | F1 | P | 00000000B |
| RCAP2H# | Timer 2 Capture High | CBH | | | | | | | | | 00H |
| RCAP2L# | Timer 2 Capture Low | CAH | | | | | | | | | 00H |
| SADDR# | Slave Address | A9H | | | | | | | | | 00H |
| SADEN# | Slave Address Mask | B9H | | | | | | | | | 00H |
| SBUF | Serial Data Buffer | 99H | | | | | | | | | xxxxxxxxB |
| | | | 9F | 9E | 9D | 9C | 9B | 9A | 99 | 98 | |
| SCON* | Serial Control | 98H | SM0/FE | SM1 | SM2 | REN | TB8 | RB8 | TI | RI | 00H |
| SP | Stack Pointer | 81H | | | | | | | | | 07H |
| | | | 8F | 8E | 8D | 8C | 8B | 8A | 89 | 88 | |
| TCON* | Timer Control | 88H | TF1 | TR1 | TF0 | TR0 | IE1 | IT1 | IE0 | IT0 | 00H |
| | | | CF | CE | CD | CC | CB | CA | C9 | C8 | |
| T2CON* | Timer 2 Control | C8H | TF2 | EXF2 | RCLK | TCLK | EXEN2 | TR2 | C/T2 | CP/RL2 | 00H |
| T2MOD# | Timer 2 Mode Control | C9H | – | – | – | – | – | – | T2OE | DCEN | xxxxxx00B |
| TH0 | Timer High 0 | 8CH | | | | | | | | | 00H |
| TH1 | Timer High 1 | 8DH | | | | | | | | | 00H |
| TH2# | Timer High 2 | CDH | | | | | | | | | 00H |
| TL0 | Timer Low 0 | 8AH | | | | | | | | | 00H |
| TL1 | Timer Low 1 | 8BH | | | | | | | | | 00H |
| TL2# | Timer Low 2 | CCH | | | | | | | | | 00H |
| TMOD | Timer Mode | 89H | GATE | C/T | M1 | M0 | GATE | C/T | M1 | M0 | 00H |
| WDTRST | Watchdog Timer Reset | A6H | | | | | | | | | |

* SFRs are bit addressable.
\# SFRs are modified from or added to the 80C51 SFRs.
– Reserved bits.

## OSCILLATOR CHARACTERISTICS

XTAL1 and XTAL2 are the input and output, respectively, of an inverting amplifier. The pins can be configured for use as an on-chip oscillator.

To drive the device from an external clock source, XTAL1 should be driven while XTAL2 is left unconnected. Minimum and maximum high and low times specified in the data sheet must be observed.

This device is configured at the factory to operate using 6 clock periods per machine cycle, referred to in this datasheet as "6 clock mode". (This yields performance equivalent to twice that of standard 80C51 family devices). It may be optionally configured on commercially-available EPROM programming equipment to operate at 12 clocks per machine cycle, referred to in this datasheet as "12 clock mode". Once 12 clock mode has been configured, it cannot be changed back to 6 clock mode.

## RESET

A reset is accomplished by holding the RST pin high for at least two machine cycles (12 oscillator periods in 6 clock mode, or 24 oscillator periods in 12 clock mode), while the oscillator is running. To ensure a good power-on reset, the RST pin must be high long enough to allow the oscillator time to start up (normally a few milliseconds) plus two machine cycles. At power-on, the voltage on $V_{CC}$ and RST must come up at the same time for a proper start-up. Ports 1, 2, and 3 will asynchronously be driven to their reset condition when a voltage above $V_{IH1}$ (min.) is applied to RESET.

The value on the $\overline{EA}$ pin is latched when RST is deasserted and has no further effect.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

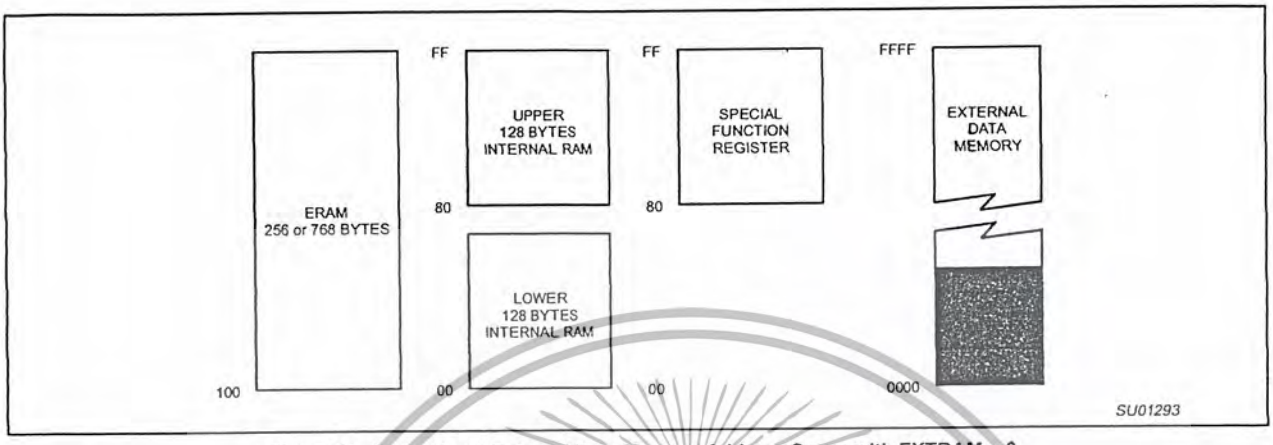



Figure 28. Internal and External Data Memory Address Space with EXTRAM = 0

## HARDWARE WATCHDOG TIMER (ONE-TIME ENABLED WITH RESET-OUT FOR P89C51RB2/RC2/RD2)

The WDT is intended as a recovery method in situations where the CPU may be subjected to software upset. The WDT consists of a 14-bit counter and the WatchDog Timer reset (WDTRST) SFR. The WDT is disabled at reset. To enable the WDT, user must write 01EH and 0E1H in sequence to the WDTRST, SFR location 0A6H. When WDT is enabled, it will increment every machine cycle while the oscillator is running and there is no way to disable the WDT except through reset (either hardware reset or WDT overflow reset). When WDT overflows, it will drive an output reset HIGH pulse at the RST-pin (see the note below).

### Using the WDT

To enable the WDT, user must write 01EH and 0E1H in sequence to the WDTRST, SFR location 0A6H. When WDT is enabled, the user needs to service it by writing to 01EH and 0E1H to WDTRST to avoid WDT overflow. The 14-bit counter overflows when it reaches 16383 (3FFFH) and this will reset the device. When WDT is enabled, it will increment every machine cycle while the oscillator is running. This means the user must reset the WDT at least every 16383 machine cycles. To reset the WDT, the user must write 01EH and 0E1H to WDTRST. WDTRST is a write only register. The WDT counter cannot be read or written. When WDT overflows, it will generate an output RESET pulse at the reset pin (see note below). The RESET pulse duration is $98 \times T_{OSC}$ (6 clock mode; 196 in 12 clock mode), where $T_{OSC} = 1/f_{OSC}$. To make the best use of the WDT, it should be serviced in those sections of code that will periodically be executed within the time required to prevent a WDT reset.

## ABSOLUTE MAXIMUM RATINGS[1, 2, 3]

| PARAMETER | RATING | UNIT |
|---|---|---|
| Operating temperature under bias | 0 to +70 or –40 to +85 | °C |
| Storage temperature range | –65 to +150 | °C |
| Voltage on $\overline{EA}/V_{PP}$ pin to $V_{SS}$ | 0 to +13.0 | V |
| Voltage on any other pin to $V_{SS}$ | –0.5 to +6.5 | V |
| Maximum $I_{OL}$ per I/O pin | 15 | mA |
| Power dissipation (based on package heat transfer limitations, not device power consumption) | 1.5 | W |

**NOTES:**

1. Stresses above those listed under Absolute Maximum Ratings may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or any conditions other than those described in the AC and DC Electrical Characteristics section of this specification is not implied.
2. This product includes circuitry specifically designed for the protection of its internal devices from the damaging effects of excessive static charge. Nonetheless, it is suggested that conventional precautions be taken to avoid applying greater than the rated maximum.
3. Parameters are valid over operating temperature range unless otherwise specified. All voltages are with respect to $V_{SS}$ unless otherwise noted.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## DC ELECTRICAL CHARACTERISTICS

$T_{amb}$ = 0°C to +70°C or –40°C to +85°C; 5 V ±10%; $V_{SS}$ = 0 V

| SYMBOL | PARAMETER | TEST CONDITIONS | LIMITS | | | UNIT |
|---|---|---|---|---|---|---|
| | | | MIN | TYP[1] | MAX | |
| $V_{IL}$ | Input low voltage | 4.5 V < $V_{CC}$ < 5.5 V | –0.5 | | $0.2V_{CC}$–0.1 | V |
| $V_{IH}$ | Input high voltage (ports 0, 1, 2, 3, $\overline{EA}$) | | $0.2V_{CC}$+0.9 | | $V_{CC}$+0.5 | V |
| $V_{IH1}$ | Input high voltage, XTAL1, RST | | $0.7V_{CC}$ | | $V_{CC}$+0.5 | V |
| $V_{OL}$ | Output low voltage, ports 1, 2, 3[8] | $V_{CC}$ = 4.5 V<br>$I_{OL}$ = 1.6 mA[2] | | | 0.4 | V |
| $V_{OL1}$ | Output low voltage, port 0, ALE, $\overline{PSEN}$[7, 8] | $V_{CC}$ = 4.5 V<br>$I_{OL}$ = 3.2 mA[2] | | | 0.45 | V |
| $V_{OH}$ | Output high voltage, ports 1, 2, 3[3] | $V_{CC}$ = 4.5 V<br>$I_{OH}$ = –30 µA | $V_{CC}$ – 0.7 | | | V |
| $V_{OH1}$ | Output high voltage (port 0 in external bus mode), ALE[9], $\overline{PSEN}$[3] | $V_{CC}$ = 4.5 V<br>$I_{OH}$ = –3.2 mA | $V_{CC}$ – 0.7 | | | V |
| $I_{IL}$ | Logical 0 input current, ports 1, 2, 3 | $V_{IN}$ = 0.4 V | –1 | | –75 | µA |
| $I_{TL}$ | Logical 1-to-0 transition current, ports 1, 2, 3[6] | $V_{IN}$ = 2.0 V<br>See Note 4 | | | –650 | µA |
| $I_{LI}$ | Input leakage current, port 0 | 0.45 < $V_{IN}$ < $V_{CC}$ – 0.3 | | | ±10 | µA |
| $I_{CC}$ | Power supply current (see Figure 36):<br>Active mode (see Note 5)<br>Idle mode (see Note 5)<br>Power-down mode or clock stopped (see Figure 42 for conditions)<br>Programming and erase mode | See Note 5<br><br><br>$T_{amb}$ = 0°C to 70°C<br>$T_{amb}$ = –40°C to +85°C<br>$f_{osc}$ = 20 MHz | | <1<br><br>60 | 40<br>50 | µA<br>µA<br>mA |
| $R_{RST}$ | Internal reset pull-down resistor | | 40 | | 225 | kΩ |
| $C_{IO}$ | Pin capacitance[10] (except $\overline{EA}$) | | | | 15 | pF |

**NOTES:**

1. Typical ratings are not guaranteed. The values listed are at room temperature, 5 V.
2. Capacitive loading on ports 0 and 2 may cause spurious noise to be superimposed on the $V_{OL}$s of ALE and ports 1 and 3. The noise is due to external bus capacitance discharging into the port 0 and port 2 pins when these pins make 1-to-0 transitions during bus operations. In the worst cases (capacitive loading > 100 pF), the noise pulse on the ALE pin may exceed 0.8 V. In such cases, it may be desirable to qualify ALE with a Schmitt Trigger, or use an address latch with a Schmitt Trigger STROBE input. $I_{OL}$ can exceed these conditions provided that no single output sinks more than 5 mA and no more than two outputs exceed the test conditions.
3. Capacitive loading on ports 0 and 2 may cause the $V_{OH}$ on ALE and $\overline{PSEN}$ to momentarily fall below the $V_{CC}$–0.7 specification when the address bits are stabilizing.
4. Pins of ports 1, 2 and 3 source a transition current when they are being externally driven from 1 to 0. The transition current reaches its maximum value when $V_{IN}$ is approximately 2 V.
5. See Figures 39 through 42 for $I_{CC}$ test conditions and Figure 36 for $I_{CC}$ vs Freq.
   Active mode: $I_{CC(MAX)}$ = (2.8 × FREQ. + 20)mA for all devices, in 6 clock mode; (1.4 × FREQ. + 20)mA in 12 clock mode.
   Idle mode: $I_{CC(MAX)}$ = (1.2 × FREQ. +1.0)mA in 6 clock mode; (0.6 × FREQ. +1.0)mA in 12 clock mode.
6. This value applies to $T_{amb}$ = 0°C to +70°C.
7. Load capacitance for port 0, ALE, and $\overline{PSEN}$ = 100 pF, load capacitance for all other outputs = 80 pF.
8. Under steady state (non-transient) conditions, $I_{OL}$ must be externally limited as follows:
   Maximum $I_{OL}$ per port pin: 15 mA (*NOTE: This is 85°C specification.)
   Maximum $I_{OL}$ per 8-bit port: 26 mA
   Maximum total $I_{OL}$ for all outputs: 71 mA
   If $I_{OL}$ exceeds the test condition, $V_{OL}$ may exceed the related specification. Pins are not guaranteed to sink current greater than the listed test conditions.
9. ALE is tested to $V_{OH1}$, except when ALE is off then $V_{OH}$ is the voltage specification.
10. Pin capacitance is characterized but not tested. Pin capacitance is less than 25 pF. Pin capacitance of ceramic package is less than 15 pF (except $\overline{EA}$ is 25 pF).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## AC ELECTRICAL CHARACTERISTICS (6 CLOCK MODE)

$T_{amb}$ = 0°C to +70°C or –40°C to +85°C, $V_{CC}$ = 5 V ±10%, $V_{SS}$ = 0V[1, 2, 3]

| SYMBOL | FIGURE | PARAMETER | VARIABLE CLOCK[4] | | 20 MHz CLOCK[4] | | UNIT |
|---|---|---|---|---|---|---|---|
| | | | MIN | MAX | MIN | MAX | |
| $1/t_{CLCL}$ | 29 | Oscillator frequency | 0 | 20 | 0 | 20 | MHz |
| $t_{LHLL}$ | 29 | ALE pulse width | $t_{CLCL}-40$ | | 10 | | ns |
| $t_{AVLL}$ | 29 | Address valid to ALE low | $0.5t_{CLCL}-20$ | | 5 | | ns |
| $t_{LLAX}$ | 29 | Address hold after ALE low | $0.5t_{CLCL}-20$ | | 5 | | ns |
| $t_{LLIV}$ | 29 | ALE low to valid instruction in | | $2t_{CLCL}-65$ | | 35 | ns |
| $t_{LLPL}$ | 29 | ALE low to $\overline{PSEN}$ low | $0.5t_{CLCL}-20$ | | 5 | | ns |
| $t_{PLPH}$ | 29 | $\overline{PSEN}$ pulse width | $1.5t_{CLCL}-45$ | | 30 | | ns |
| $t_{PLIV}$ | 29 | $\overline{PSEN}$ low to valid instruction in | | $1.5t_{CLCL}-60$ | | 15 | ns |
| $t_{PXIX}$ | 29 | Input instruction hold after $\overline{PSEN}$ | 0 | | 0 | | ns |
| $t_{PXIZ}$ | 29 | Input instruction float after $\overline{PSEN}$ | | $0.5t_{CLCL}-20$ | | 5 | ns |
| $t_{AVIV}$ | 29 | Address to valid instruction in | | $2.5t_{CLCL}-80$ | | 45 | ns |
| $t_{PLAZ}$ | 29 | $\overline{PSEN}$ low to address float | | 10 | | 10 | ns |
| **Data Memory** | | | | | | | |
| $t_{RLRH}$ | 30, 31 | $\overline{RD}$ pulse width | $3t_{CLCL}-100$ | | 50 | | ns |
| $t_{WLWH}$ | 30, 31 | $\overline{WR}$ pulse width | $3t_{CLCL}-100$ | | 50 | | ns |
| $t_{RLDV}$ | 30, 31 | $\overline{RD}$ low to valid data in | | $2.5t_{CLCL}-90$ | | 35 | ns |
| $t_{RHDX}$ | 30, 31 | Data hold after $\overline{RD}$ | 0 | | 0 | | ns |
| $t_{RHDZ}$ | 30, 31 | Data float after $\overline{RD}$ | | $t_{CLCL}-20$ | | 5 | ns |
| $t_{LLDV}$ | 30, 31 | ALE low to valid data in | | $4t_{CLCL}-150$ | | 50 | ns |
| $t_{AVDV}$ | 30, 31 | Address to valid data in | | $4.5t_{CLCL}-165$ | | 60 | ns |
| $t_{LLWL}$ | 30, 31 | ALE low to $\overline{RD}$ or $\overline{WR}$ low | $1.5t_{CLCL}-50$ | $1.5t_{CLCL}+50$ | 25 | 125 | ns |
| $t_{AVWL}$ | 30, 31 | Address valid to $\overline{WR}$ low or $\overline{RD}$ low | $2t_{CLCL}-75$ | | 25 | | ns |
| $t_{QVWX}$ | 30, 31 | Data valid to $\overline{WR}$ transition | $0.5t_{CLCL}-25$ | | 0 | | ns |
| $t_{WHQX}$ | 30, 31 | Data hold after $\overline{WR}$ | $0.5t_{CLCL}-20$ | | 5 | | ns |
| $t_{QVWH}$ | 31 | Data valid to $\overline{WR}$ high | $3.5t_{CLCL}-130$ | | 45 | | ns |
| $t_{RLAZ}$ | 30, 31 | $\overline{RD}$ low to address float | | 0 | | 0 | ns |
| $t_{WHLH}$ | 30, 31 | $\overline{RD}$ or $\overline{WR}$ high to ALE high | $0.5t_{CLCL}-20$ | $0.5t_{CLCL}+20$ | 5 | 45 | ns |
| **External Clock** | | | | | | | |
| $t_{CHCX}$ | 33 | High time | 20 | $t_{CLCL}-t_{CLCX}$ | | | ns |
| $t_{CLCX}$ | 33 | Low time | 20 | $t_{CLCL}-t_{CHCX}$ | | | ns |
| $t_{CLCH}$ | 33 | Rise time | | 5 | | | ns |
| $t_{CHCL}$ | 33 | Fall time | | 5 | | | ns |
| **Shift Register** | | | | | | | |
| $t_{XLXL}$ | 32 | Serial port clock cycle time | $6t_{CLCL}$ | | 300 | | ns |
| $t_{QVXH}$ | 32 | Output data setup to clock rising edge | $5t_{CLCL}-133$ | | 117 | | ns |
| $t_{XHQX}$ | 32 | Output data hold after clock rising edge | $t_{CLCL}-30$ | | 20 | | ns |
| $t_{XHDX}$ | 32 | Input data hold after clock rising edge | 0 | | 0 | | ns |
| $t_{XHDV}$ | 32 | Clock rising edge to input data valid | | $5t_{CLCL}-133$ | | 117 | ns |

**NOTES:**

1. Parameters are valid over operating temperature range unless otherwise specified.
2. Load capacitance for port 0, ALE, and $\overline{PSEN}$ = 100 pF, load capacitance for all other outputs = 80 pF.
3. Interfacing the microcontroller to devices with float times up to 45 ns is permitted. This limited bus contention will not cause damage to Port 0 drivers.
4. Parts are tested to 2 MHz, but are guaranteed to operate down to 0 Hz.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## AC ELECTRICAL CHARACTERISTICS (12 CLOCK MODE)

$T_{amb}$ = 0°C to +70°C or –40°C to +85°C, $V_{CC}$ = 5 V ±10%, $V_{SS}$ = 0 V[1, 2, 3]

| SYMBOL | FIGURE | PARAMETER | VARIABLE CLOCK[4] | | 33 MHz CLOCK[4] | | UNIT |
|---|---|---|---|---|---|---|---|
| | | | MIN | MAX | MIN | MAX | |
| $1/t_{CLCL}$ | 29 | Oscillator frequency | 0 | 33 | 0 | 33 | MHz |
| $t_{LHLL}$ | 29 | ALE pulse width | $2t_{CLCL}-40$ | | 21 | | ns |
| $t_{AVLL}$ | 29 | Address valid to ALE low | $t_{CLCL}-25$ | | 5 | | ns |
| $t_{LLAX}$ | 29 | Address hold after ALE low | $t_{CLCL}-25$ | | 5 | | ns |
| $t_{LLIV}$ | 29 | ALE low to valid instruction in | | $4t_{CLCL}-65$ | | 55 | ns |
| $t_{LLPL}$ | 29 | ALE low to $\overline{PSEN}$ low | $t_{CLCL}-25$ | | 5 | | ns |
| $t_{PLPH}$ | 29 | $\overline{PSEN}$ pulse width | $3t_{CLCL}-45$ | | 45 | | ns |
| $t_{PLIV}$ | 29 | $\overline{PSEN}$ low to valid instruction in | | $3t_{CLCL}-60$ | | 30 | ns |
| $t_{PXIX}$ | 29 | Input instruction hold after $\overline{PSEN}$ | 0 | | 0 | | ns |
| $t_{PXIZ}$ | 29 | Input instruction float after $\overline{PSEN}$ | | $t_{CLCL}-25$ | | 5 | ns |
| $t_{AVIV}$ | 29 | Address to valid instruction in | | $5t_{CLCL}-80$ | | 70 | ns |
| $t_{PLAZ}$ | 29 | $\overline{PSEN}$ low to address float | | 10 | | 10 | ns |
| **Data Memory** | | | | | | | |
| $t_{RLRH}$ | 30, 31 | $\overline{RD}$ pulse width | $6t_{CLCL}-100$ | | 82 | | ns |
| $t_{WLWH}$ | 30, 31 | $\overline{WR}$ pulse width | $6t_{CLCL}-100$ | | 82 | | ns |
| $t_{RLDV}$ | 30, 31 | $\overline{RD}$ low to valid data in | | $5t_{CLCL}-90$ | | 60 | ns |
| $t_{RHDX}$ | 30, 31 | Data hold after $\overline{RD}$ | 0 | | 0 | | ns |
| $t_{RHDZ}$ | 30, 31 | Data float after $\overline{RD}$ | | $2t_{CLCL}-28$ | | 32 | ns |
| $t_{LLDV}$ | 30, 31 | ALE low to valid data in | | $8t_{CLCL}-150$ | | 90 | ns |
| $t_{AVDV}$ | 30, 31 | Address to valid data in | | $9t_{CLCL}-165$ | | 105 | ns |
| $t_{LLWL}$ | 30, 31 | ALE low to $\overline{RD}$ or $\overline{WR}$ low | $3t_{CLCL}-50$ | $3t_{CLCL}+50$ | 40 | 140 | ns |
| $t_{AVWL}$ | 30, 31 | Address valid to $\overline{WR}$ low or $\overline{RD}$ low | $4t_{CLCL}-75$ | | 45 | | ns |
| $t_{QVWX}$ | 30, 31 | Data valid to $\overline{WR}$ transition | $t_{CLCL}-30$ | | 0 | | ns |
| $t_{WHQX}$ | 30, 31 | Data hold after $\overline{WR}$ | $t_{CLCL}-25$ | | 5 | | ns |
| $t_{QVWH}$ | 31 | Data valid to $\overline{WR}$ high | $7t_{CLCL}-130$ | | 80 | | ns |
| $t_{RLAZ}$ | 30, 31 | $\overline{RD}$ low to address float | | 0 | | 0 | ns |
| $t_{WHLH}$ | 30, 31 | $\overline{RD}$ or $\overline{WR}$ high to ALE high | $t_{CLCL}-25$ | $t_{CLCL}+25$ | 5 | 55 | ns |
| **External Clock** | | | | | | | |
| $t_{CHCX}$ | 33 | High time | 17 | $t_{CLCL}-t_{CLCX}$ | | | ns |
| $t_{CLCX}$ | 33 | Low time | 17 | $t_{CLCL}-t_{CHCX}$ | | | ns |
| $t_{CLCH}$ | 33 | Rise time | | 5 | | | ns |
| $t_{CHCL}$ | 33 | Fall time | | 5 | | | ns |
| **Shift Register** | | | | | | | |
| $t_{XLXL}$ | 32 | Serial port clock cycle time | $12t_{CLCL}$ | | 360 | | ns |
| $t_{QVXH}$ | 32 | Output data setup to clock rising edge | $10t_{CLCL}-133$ | | 167 | | ns |
| $t_{XHQX}$ | 32 | Output data hold after clock rising edge | $2t_{CLCL}-80$ | | 50 | | ns |
| $t_{XHDX}$ | 32 | Input data hold after clock rising edge | 0 | | 0 | | ns |
| $t_{XHDV}$ | 32 | Clock rising edge to input data valid | | $10t_{CLCL}-133$ | | 167 | ns |

**NOTES:**

1. Parameters are valid over operating temperature range unless otherwise specified.
2. Load capacitance for port 0, ALE, and $\overline{PSEN}$ = 100 pF, load capacitance for all other outputs = 80 pF.
3. Interfacing the microcontroller to devices with float times up to 45 ns is permitted. This limited bus contention will not cause damage to Port 0 drivers.
4. Parts are tested to 3.5 MHz, but guaranteed to operate down to 0 Hz.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## EXPLANATION OF THE AC SYMBOLS

Each timing symbol has five characters. The first character is always 't' (= time). The other characters, depending on their positions, indicate the name of a signal or the logical status of that signal. The designations are:

A – Address
C – Clock
D – Input data
H – Logic level high
I – Instruction (program memory contents)
L – Logic level low, or ALE
P – $\overline{PSEN}$
Q – Output data
R – $\overline{RD}$ signal
t – Time
V – Valid
W – $\overline{WR}$ signal
X – No longer a valid logic level
Z – Float

Examples: $t_{AVLL}$ = Time for address valid to ALE low.
$t_{LLPL}$ = Time for ALE low to $\overline{PSEN}$ low.

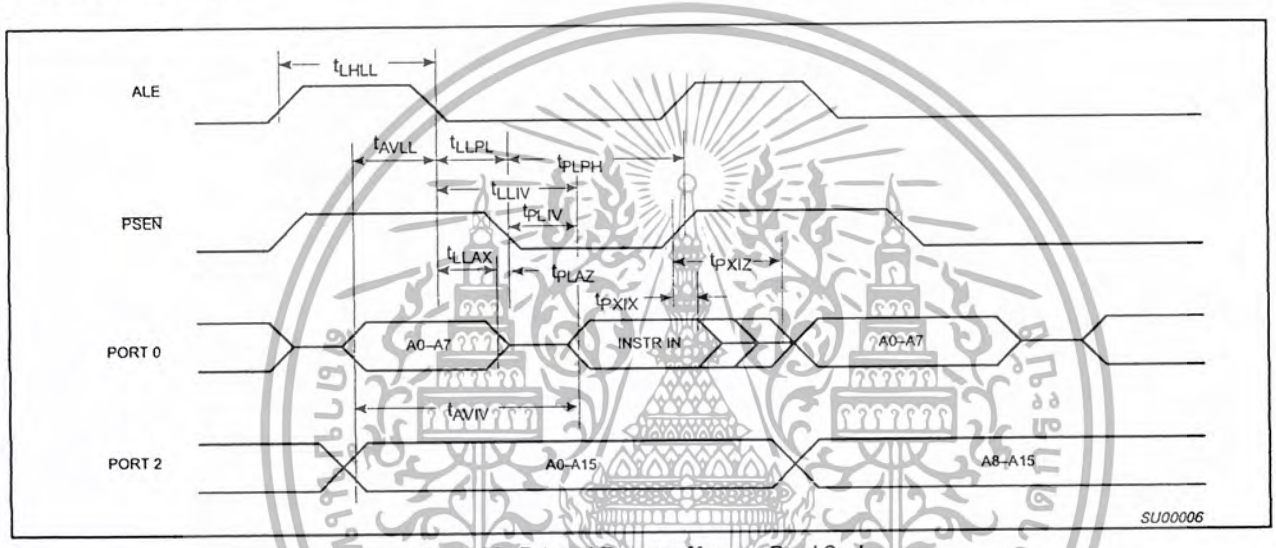



Figure 29. External Program Memory Read Cycle

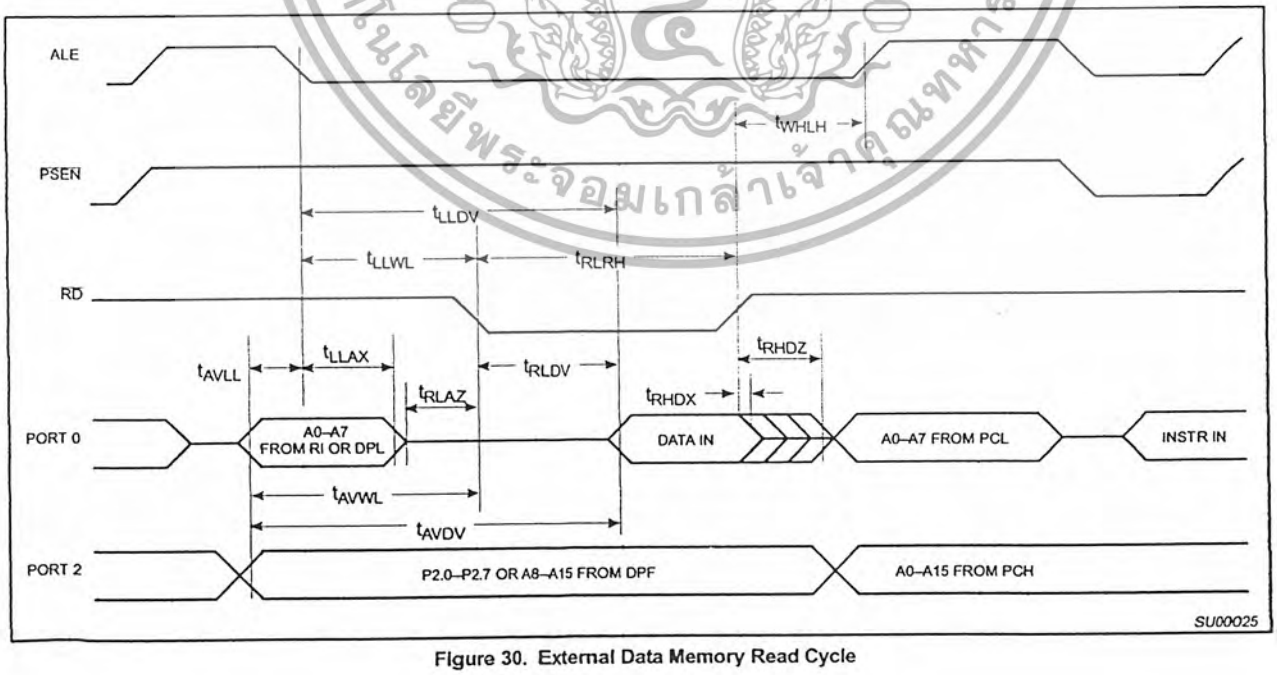



Figure 30. External Data Memory Read Cycle

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

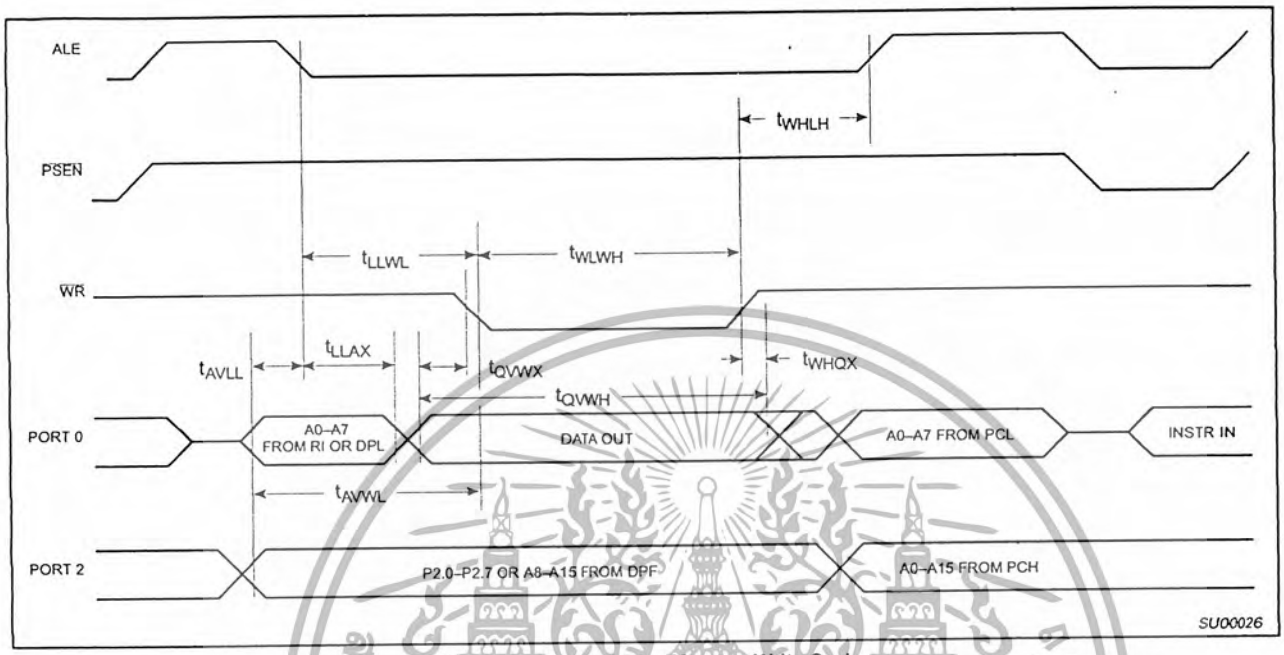



Figure 31. External Data Memory Write Cycle

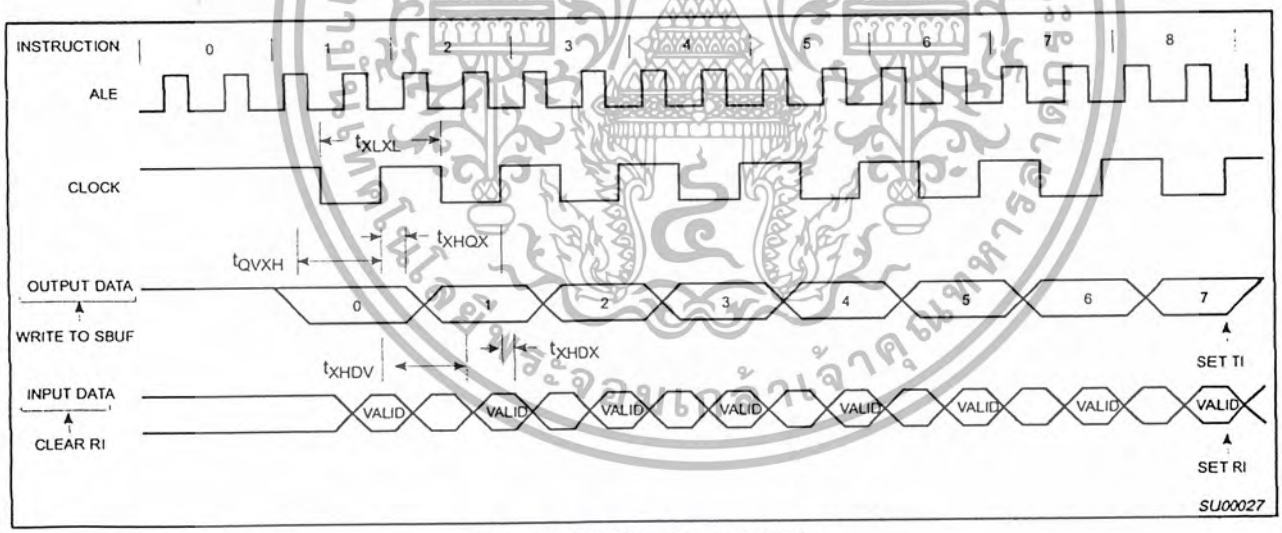



Figure 32. Shift Register Mode Timing

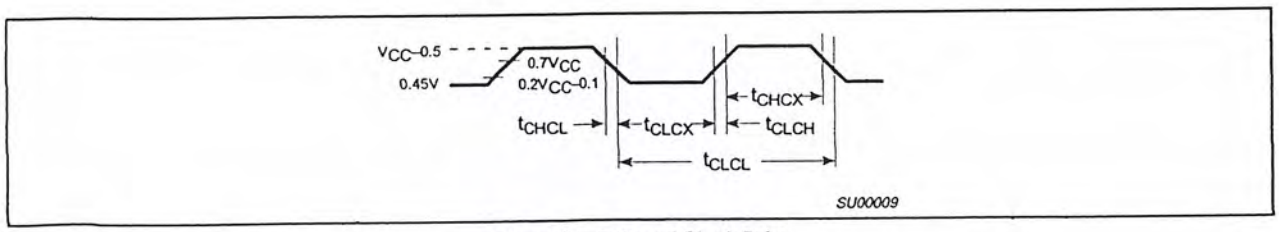



Figure 33. External Clock Drive

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

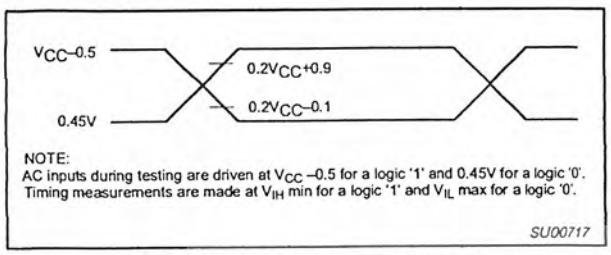



Figure 34. AC Testing Input/Output

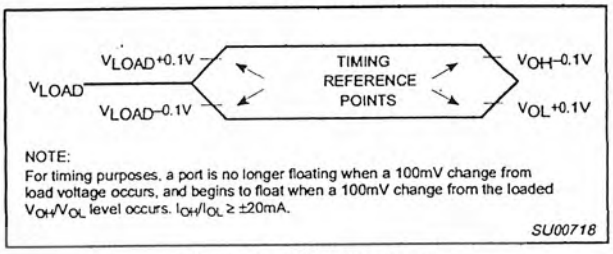



Figure 35. Float Waveform

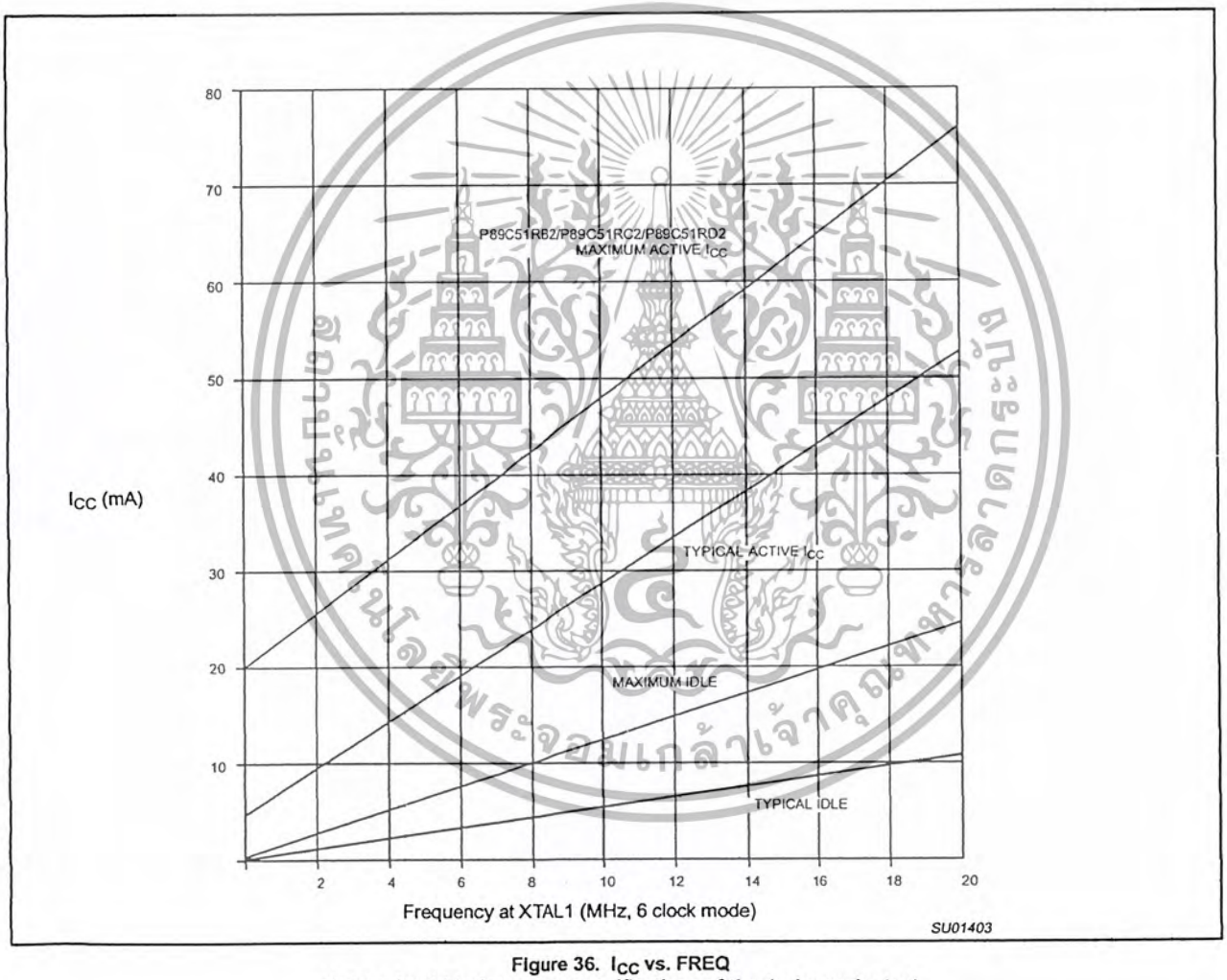



**Figure 36. $I_{CC}$ vs. FREQ**
**Valid only within frequency specifications of the device under test**

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

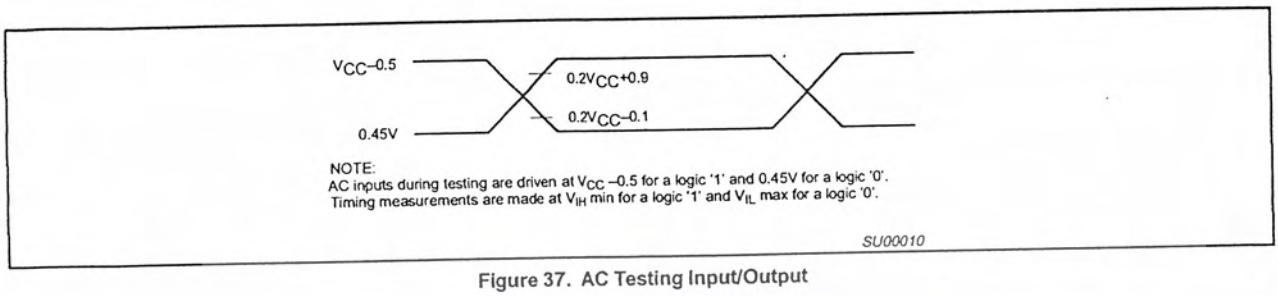



Figure 37. AC Testing Input/Output

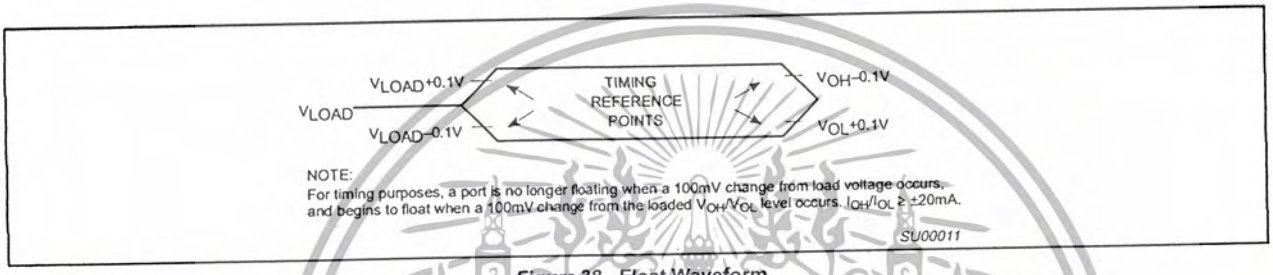



Figure 38. Float Waveform

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

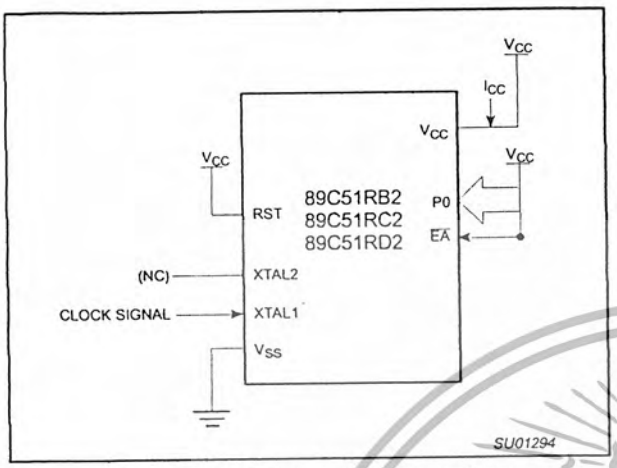



Figure 39. $I_{CC}$ Test Condition, Active Mode.
All other pins are disconnected

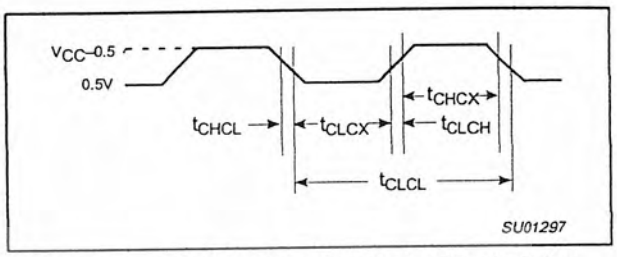



Figure 41. Clock Signal Waveform for $I_{CC}$ Tests in Active and Idle Modes.
$t_{CLCL} = t_{CHCL} = 10$ ns

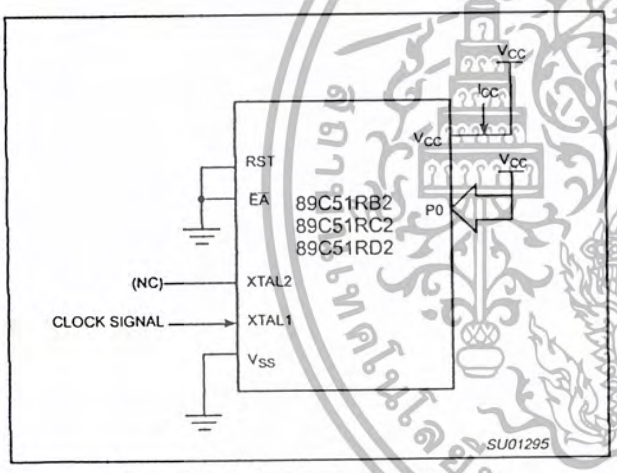



Figure 40. $I_{CC}$ Test Condition, Idle Mode.
All other pins are disconnected

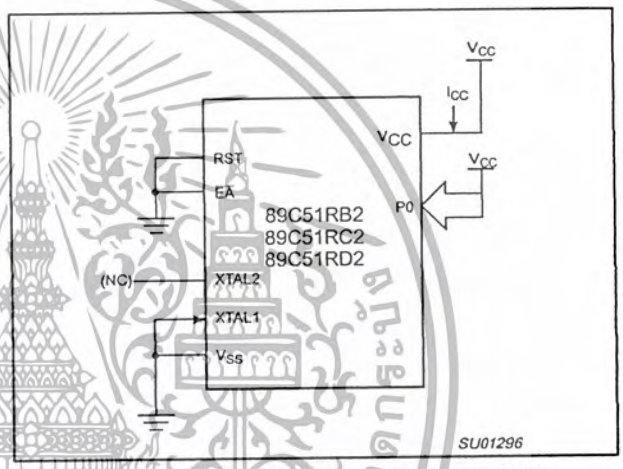
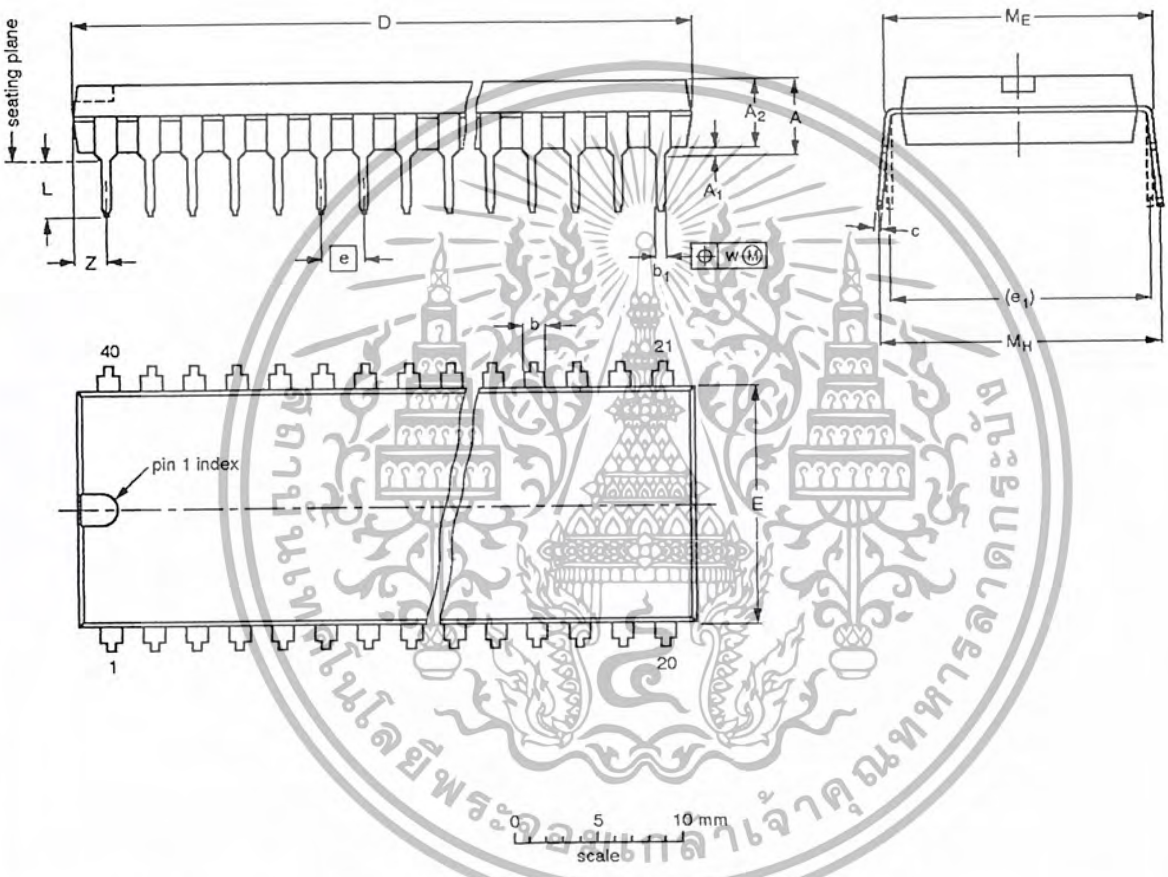



Figure 42. $I_{CC}$ Test Condition, Power Down Mode.
All other pins are disconnected; $V_{CC}$ = 2V to 5.5V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**DIP40: plastic dual in-line package; 40 leads (600 mil)** **SOT129-1**




**DIMENSIONS (inch dimensions are derived from the original mm dimensions)**

| UNIT | A max. | $A_1$ min. | $A_2$ max. | b | $b_1$ | c | $D^{(1)}$ | $E^{(1)}$ | e | $e_1$ | L | $M_E$ | $M_H$ | w | $Z^{(1)}$ max. |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| mm | 4.7 | 0.51 | 4.0 | 1.70<br>1.14 | 0.53<br>0.38 | 0.36<br>0.23 | 52.50<br>51.50 | 14.1<br>13.7 | 2.54 | 15.24 | 3.60<br>3.05 | 15.80<br>15.24 | 17.42<br>15.90 | 0.254 | 2.25 |
| inches | 0.19 | 0.020 | 0.16 | 0.067<br>0.045 | 0.021<br>0.015 | 0.014<br>0.009 | 2.067<br>2.028 | 0.56<br>0.54 | 0.10 | 0.60 | 0.14<br>0.12 | 0.62<br>0.60 | 0.69<br>0.63 | 0.01 | 0.089 |

**Note**

1. Plastic or metal protrusions of 0.25 mm maximum per side are not included.

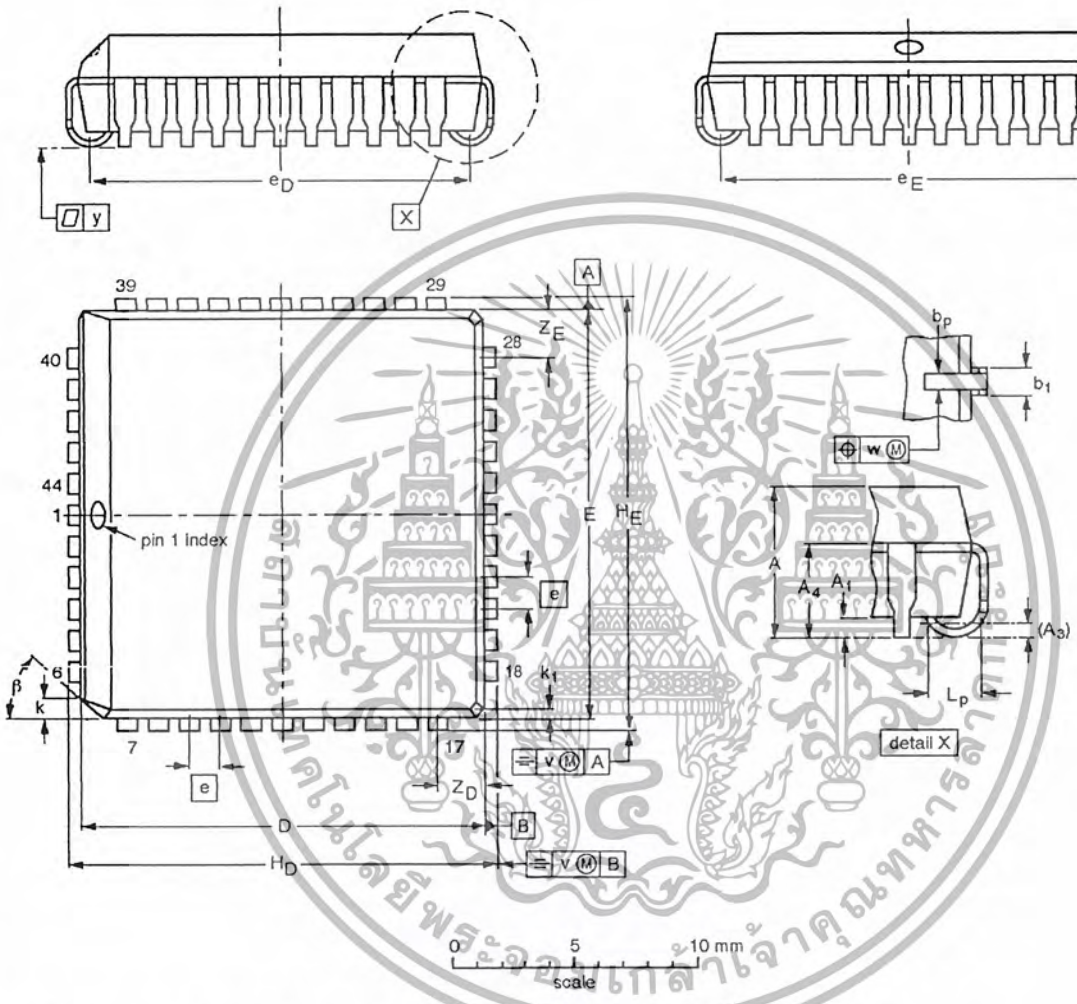
| OUTLINE VERSION | REFERENCES | | | | EUROPEAN PROJECTION | ISSUE DATE |
|---|---|---|---|---|---|---|
| | IEC | JEDEC | EIAJ | | | |
| SOT129-1 | 051G08 | MO-015 | SC-511-40 | | | ~~95-01-14~~<br>99-12-27 |

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า



ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**PLCC44: plastic leaded chip carrier; 44 leads** **SOT187-2**




**DIMENSIONS (millimetre dimensions are derived from the original inch dimensions)**

| UNIT | A | $A_1$ min. | $A_3$ | $A_4$ max. | $b_p$ | $b_1$ | $D^{(1)}$ | $E^{(1)}$ | e | $e_D$ | $e_E$ | $H_D$ | $H_E$ | k | $k_1$ max. | $L_p$ | v | w | y | $Z_D^{(1)}$ max. | $Z_E^{(1)}$ max. | β |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| mm | 4.57<br>4.19 | 0.51 | 0.25 | 3.05 | 0.53<br>0.33 | 0.81<br>0.66 | 16.66<br>16.51 | 16.66<br>16.51 | 1.27 | 16.00<br>14.99 | 16.00<br>14.99 | 17.65<br>17.40 | 17.65<br>17.40 | 1.22<br>1.07 | 0.51 | 1.44<br>1.02 | 0.18 | 0.18 | 0.10 | 2.16 | 2.16 | 45° |
| inches | 0.180<br>0.165 | 0.020 | 0.01 | 0.12 | 0.021<br>0.013 | 0.032<br>0.026 | 0.656<br>0.650 | 0.656<br>0.650 | 0.05 | 0.630<br>0.590 | 0.630<br>0.590 | 0.695<br>0.685 | 0.695<br>0.685 | 0.048<br>0.042 | 0.020 | 0.057<br>0.040 | 0.007 | 0.007 | 0.004 | 0.085 | 0.085 | |

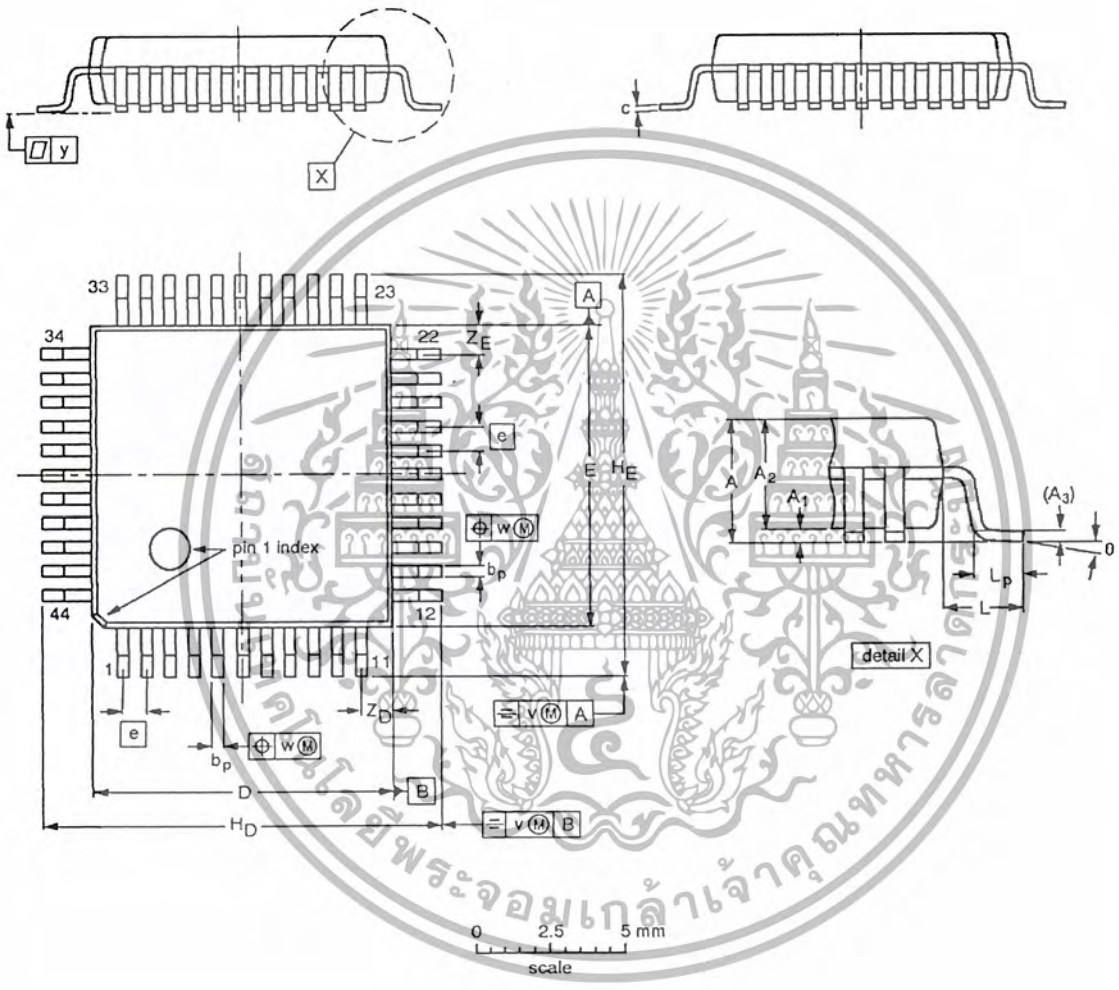
**Note**

1. Plastic or metal protrusions of 0.01 inches maximum per side are not included.

| OUTLINE VERSION | REFERENCES | | | | EUROPEAN PROJECTION | ISSUE DATE |
|---|---|---|---|---|---|---|
| | IEC | JEDEC | EIAJ | | | |
| SOT187-2 | 112E10 | MO-047 | | | | ~~97-12-16~~<br>99-12-27 |

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**LQFP44: plastic low profile quad flat package; 44 leads; body 10 x 10 x 1.4 mm** **SOT389-1**




**DIMENSIONS** (mm are the original dimensions)

| UNIT | A max. | $A_1$ | $A_2$ | $A_3$ | $b_p$ | c | $D^{(1)}$ | $E^{(1)}$ | e | $H_D$ | $H_E$ | L | $L_p$ | v | w | y | $Z_D^{(1)}$ | $Z_E^{(1)}$ | θ |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| mm | 1.60 | 0.15<br>0.05 | 1.45<br>1.35 | 0.25 | 0.45<br>0.30 | 0.20<br>0.12 | 10.10<br>9.90 | 10.10<br>9.90 | 0.80 | 12.15<br>11.85 | 12.15<br>11.85 | 1.0 | 0.75<br>0.45 | 0.20 | 0.20 | 0.10 | 1.14<br>0.85 | 1.14<br>0.85 | 7°<br>0° |

**Note**

1. Plastic or metal protrusions of 0.25 mm maximum per side are not included.

| OUTLINE VERSION | REFERENCES | | | | EUROPEAN PROJECTION | ISSUE DATE |
|---|---|---|---|---|---|---|
| | IEC | JEDEC | EIAJ | | | |
| SOT389-1 | 136E08 | MS-026 | | | | ~~99-12-17~~<br>00-01-19 |

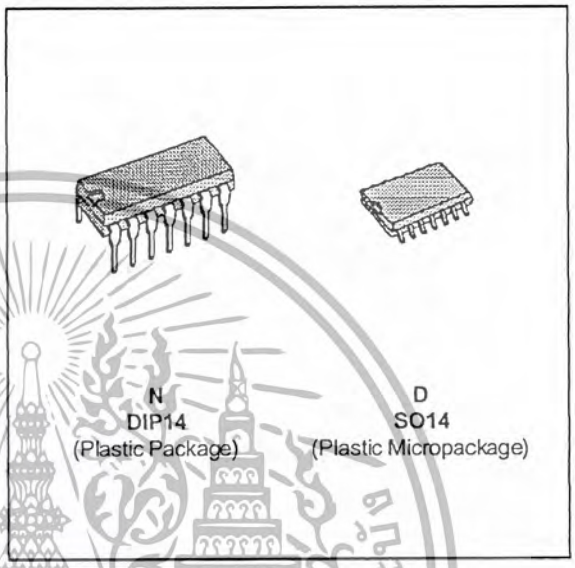
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SGS-THOMSON MICROELECTRONICS

# LM119 - LM219 LM319

## HIGH SPEED DUAL COMPARATORS

- TWO INDEPENDENT COMPARATORS
- OPERATES FROM A SINGLE +5V SUPPLY
- TYPICALLY 80ns RESPONSE TIME AT ±15V
- MINIMUM FAN-OUT OF 2 EACH SIDE
- MAXIMUM INPUT CURRENT OF 1μA OVER OPERATING TEMPERATURE RANGE
- INPUTS AND OUTPUTS CAN BE ISOLATED FROM SYSTEM GROUND
- HIGH COMMON-MODE SLEW RATE



N
DIP14
(Plastic Package)

D
SO14
(Plastic Micropackage)

### DESCRIPTION

These products are precision high speed dual comparators designed to operate over a wide range of supply voltages down to a single 5V logic supply and ground and have low input currents and high gains.

The open collector of the output stage makes compatible with TTL as well as capable of driving lamps and relays at currents up to 25mA.

Although designed primarily for applications requiring operation from digital logic supplies, are fully specified for power supplies up to ±15V.

They feature faster response than the LM111 at the expense of higher power dissipation. However, the high speed, wide operating voltage range and low package count make the much more versatile.

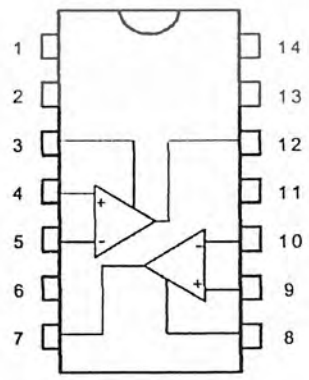
### ORDER CODES

| Part Number | Temperature Range | Package N | Package D |
|---|---|---|---|
| LM119 | -55, +125°C | • | • |
| LM219 | -40, +105°C | • | • |
| LM319 | 0, +70°C | • | • |

Example : LM219N

119-01.TBL

### PIN CONNECTIONS (top view)

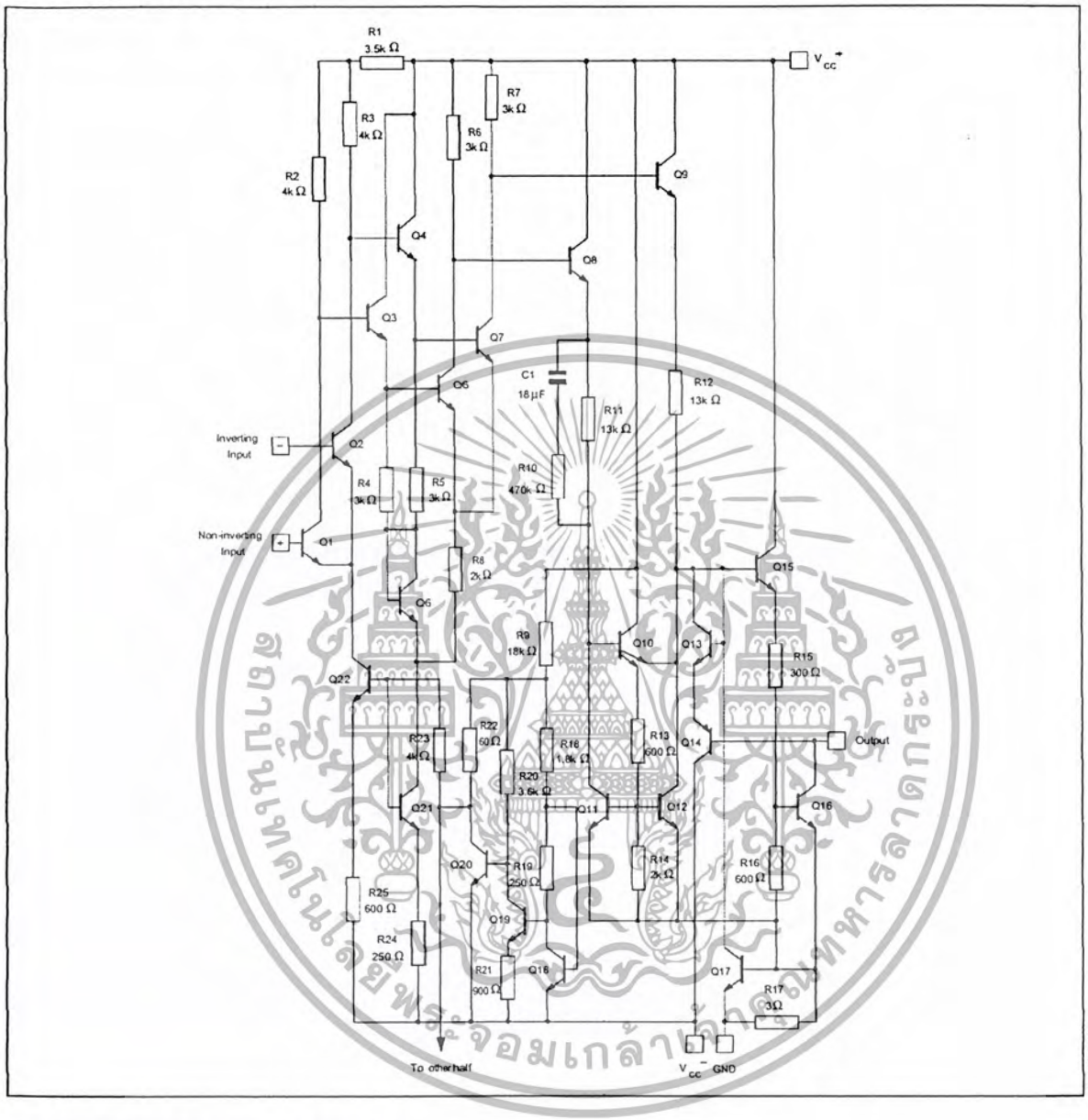



1 - N.C.
2 - N.C.
3 - Ground 1
4 - Non-inverting input 1
5 - Inverting input 1
6 - $V_{CC}^-$
7 - Output 2
8 - Ground 2
9 - Non-inverting input 2
10 - Inverting input 2
11 - $V_{CC}^+$
12 - Output 1
13 - N.C.
14 - N.C.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## SCHEMATIC DIAGRAM




## ABSOLUTE MAXIMUM RATINGS

| Symbol | Parameter | LM119 | LM219 | LM319 | Unit |
|---|---|---|---|---|---|
| $V_O - V_{CC}^-$ | Output to Negative Supply Voltage | 36 | 36 | 36 | V |
| $V_{CC}^-$ | Negative Supply Voltage | 25 | 25 | 25 | V |
| $V_{CC}^+$ | Positive Supply Voltage | 18 | 18 | 18 | V |
| $V_{id}$ | Differential Input Voltage | ±5 | ±5 | ±5 | V |
| $V_i$ | Input Voltage – (note 1) | ±15 | ±15 | ±15 | V |
| $P_{tot}$ | Power Dissipation | 500 | 500 | 500 | mW |
| $T_{oper}$ | Operating Free-air Temperature Range | –55 to +125 | –40 to +105 | 0 to +70 | °C |
| $T_{stg}$ | Storage Temperature Range | –65 to +150 | –65 to +150 | –65 to +150 | °C |

119-02.TBL



SGS-THOMSON MICROELECTRONICS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## ELECTRICAL CHARACTERISTICS

$V_{CC}$ = ±15V, $T_{amb}$ = 25°C(unless otherwise specified)

| Symbol | Parameter | LM119 - LM219 | | | LM319 | | | Unit |
|---|---|---|---|---|---|---|---|---|
| | | Min. | Typ. | Max. | Min. | Typ. | Max. | |
| $V_{io}$ | Input Offset Voltage ($R_S \leq 5k\Omega$) – (note 2)<br>$T_{amb}$ = +25°C<br>$T_{min.} \leq T_{amb} \leq T_{max.}$ | | 0.7 | 4<br>7 | | 2 | 8<br>10 | mV |
| $I_{io}$ | Input Offset Current – (note 2)<br>$T_{amb}$ = +25°C<br>$T_{min.} \leq T_{amb} \leq T_{max.}$ | | 30 | 75<br>100 | | 80 | 200<br>300 | nA |
| $I_{ib}$ | Input Bias Current – (note 2)<br>$T_{amb}$ = +25°C<br>$T_{min.} \leq T_{amb} \leq T_{max.}$ | | 150 | 500<br>1000 | | 250 | 1000<br>1200 | nA |
| $A_{vd}$ | Large Signal Voltage Gain | 10 | 40 | | 8 | 40 | | V/mV |
| $I_{CC}^+$ | Positive Supply Current<br>$V_{CC}$ = ±15V<br>$V_{CC}^+$ = +5V, $V_{CC}^-$ = 0V | | 8<br>4.3 | 11.5 | | 8<br>4.3 | 12.5 | mA |
| $I_{CC}^-$ | Negative Supply Current | | 3 | 4.5 | | 3 | 5 | mA |
| $V_{icm}$ | Input Common Mode Voltage Range<br>$V_{CC}$ = ±15V<br>$V_{CC}^+$ = +5V, $V_{CC}^-$ = 0V | ±12<br>1 | ±13 | 3 | ±12<br>1 | ±13 | 3 | V |
| $V_{id}$ | Differential Input Voltage | | | ±5 | | | ±5 | V |
| $V_{OL}$ | Low Level Output Voltage<br>$T_{amb}$ = +25°C, $I_O$ = 25mA<br>$V_I \leq -5mV$<br>$V_I \leq -10mV$<br>$T_{min.} \leq T_{amb} \leq T_{max.}$<br>$V_{CC}^+ \geq +4.5V$, $V_{CC}^-$ = 0V, $I_{O(sink)} < 3.2mA$<br>$V_I \leq -6mV$<br>$V_I \leq -10mV$ | | 0.75<br><br>0.23 | 1.5<br><br>0.4 | | 0.75<br><br>0.3 | 1.5<br><br>0.4 | V |
| $I_{OH}$ | High Level Output Current ($V_O$ = +35V)<br>$T_{amb}$ = +25°C $V_I \geq 5mV$<br>$V_I \geq 10mV$<br>$T_{min.} \leq T_{amb} \leq T_{max.}$ $V_I \geq 5mV$ | | 0.2<br><br>1 | 2<br><br>10 | | 0.2<br><br> | 10<br><br> | µA |
| $t_{re}$ | Response Time – (note 3) | | 80 | | | 80 | | ns |

119-03.TBL

**Notes :** 1. For supply voltages less than ±15V the absolute maximum input voltage is equal to the supply voltage.

2. These specifications apply for $V_{CC}$ = ±15V, unless otherwise stated. The offset voltage, offset current and bias current specifications apply for any supply voltage from a single +5V supply up to ±15V supplies. The offset voltages and offset current given are the maximum values required to drive the output down to 1V or up to +14V with a 1mA load current. Thus, these parameters define an error band and take into account the worst case effects of voltage gain and input impedance.

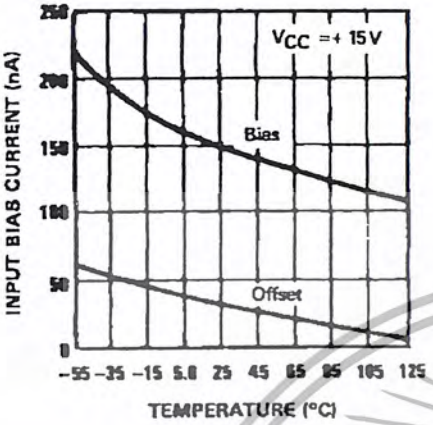
3. The response time specified is for a 100mV input step with 5mV overdrive.



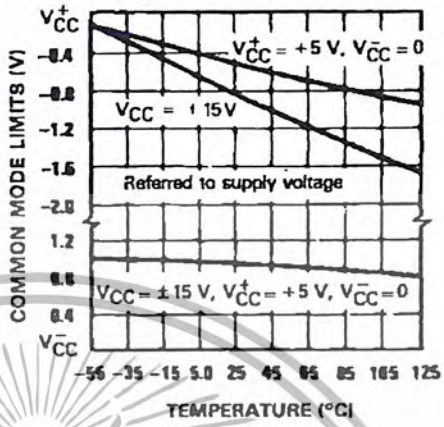
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

LM119-LM219

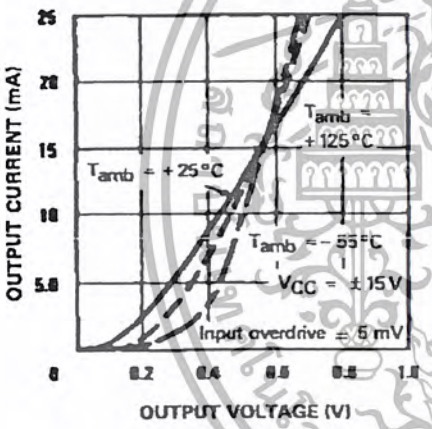
INPUT BIAS CURRENTS



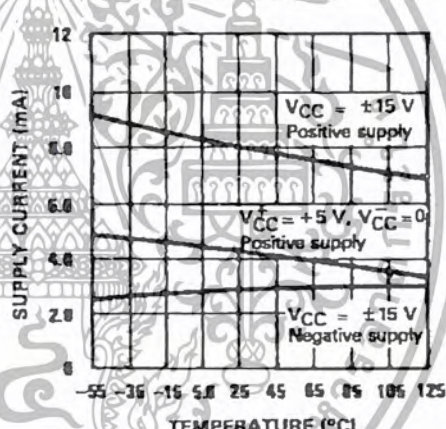

COMMON MODE LIMITS



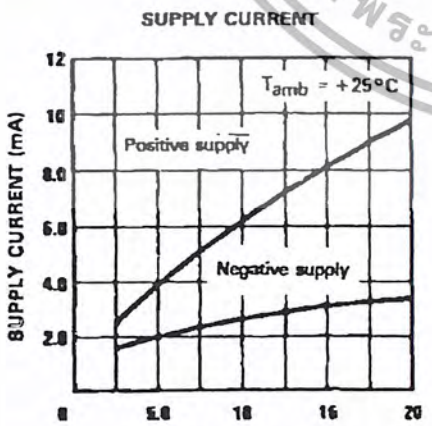

OUTPUT SATURATION VOLTAGE



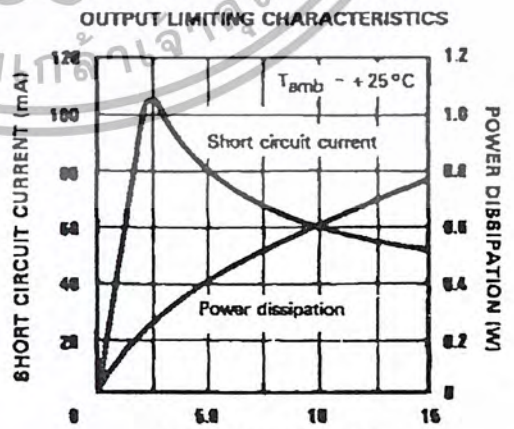

SUPPLY CURRENT




SUPPLY CURRENT




OUTPUT LIMITING CHARACTERISTICS




119-04.EPS

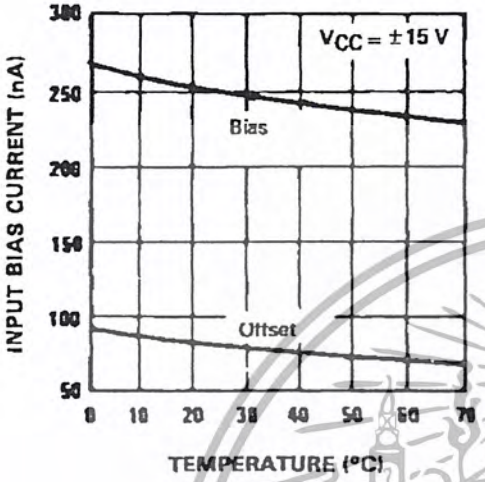


SGS-THOMSON MICROELECTRONICS

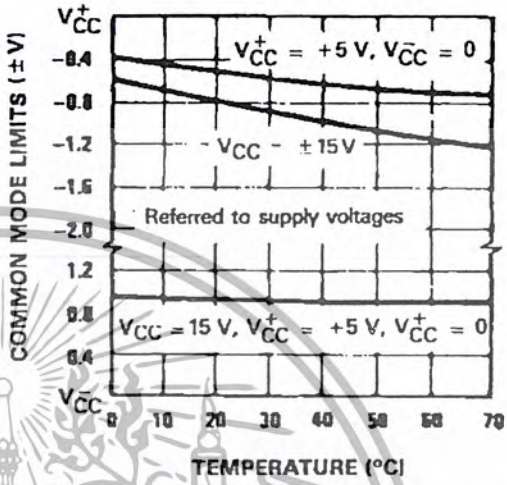
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## LM319

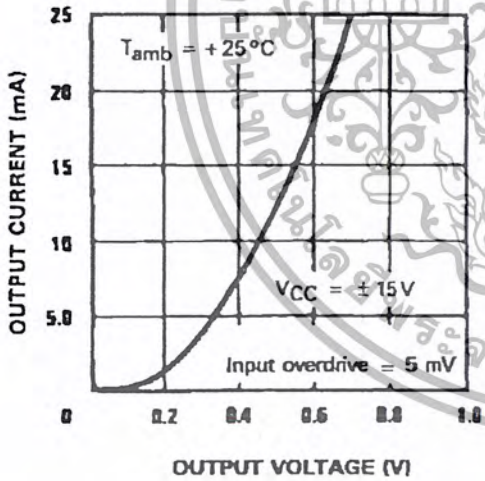
**INPUT BIAS CURRENTS**



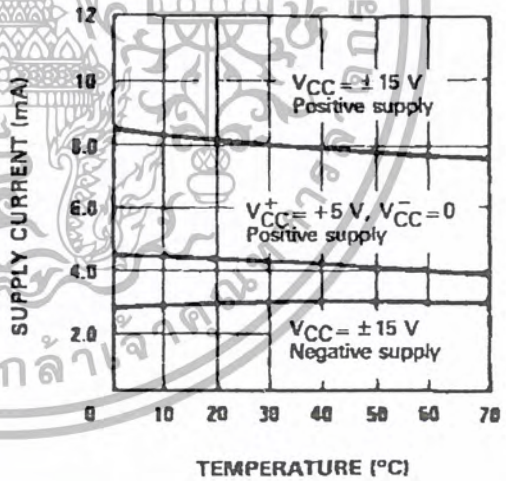

**COMMON MODE LIMITS**




**OUTPUT SATURATION VOLTAGE**




**SUPPLY CURRENT**

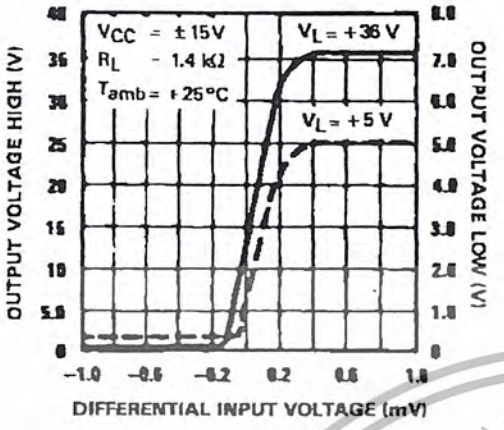



119-05 EPS

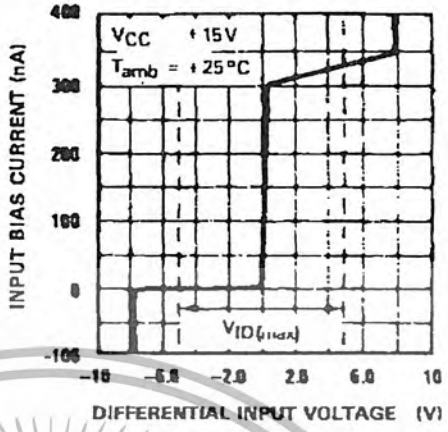


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

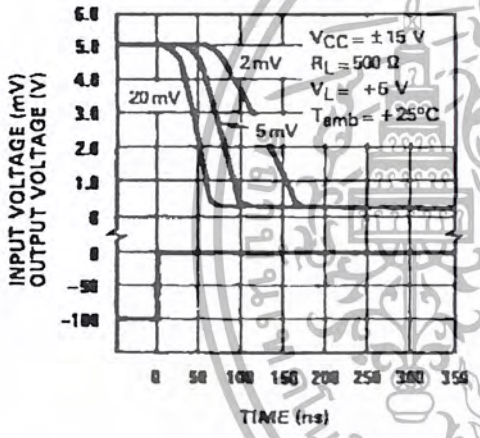
**TRANSFER FUNCTION**



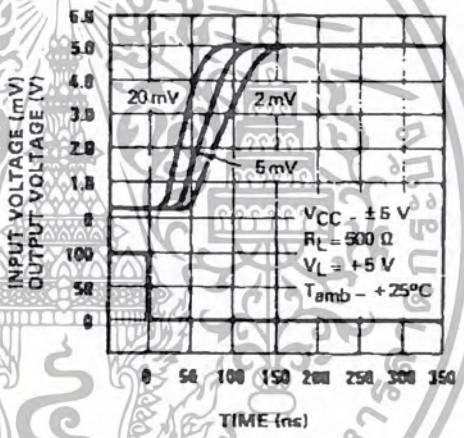

**INPUT CHARACTERISTICS**



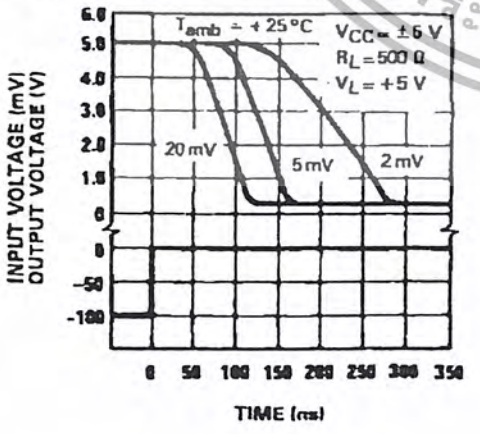

**RESPONSE TIME FOR VARIOUS INPUT OVERDRIVES**



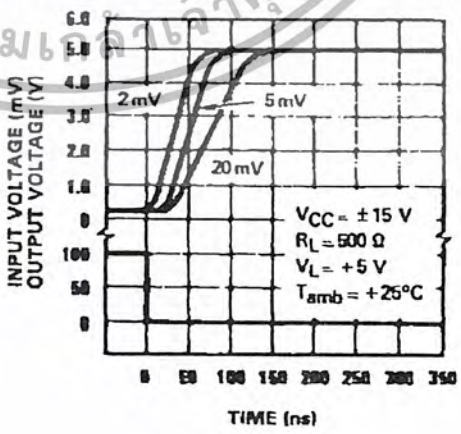

**RESPONSE TIME FOR VARIOUS INPUT OVERDRIVES**




**RESPONSE TIME FOR VARIOUS INPUT OVERDRIVES**




**RESPONSE TIME FOR VARIOUS INPUT OVERDRIVES**




119-06.EPS

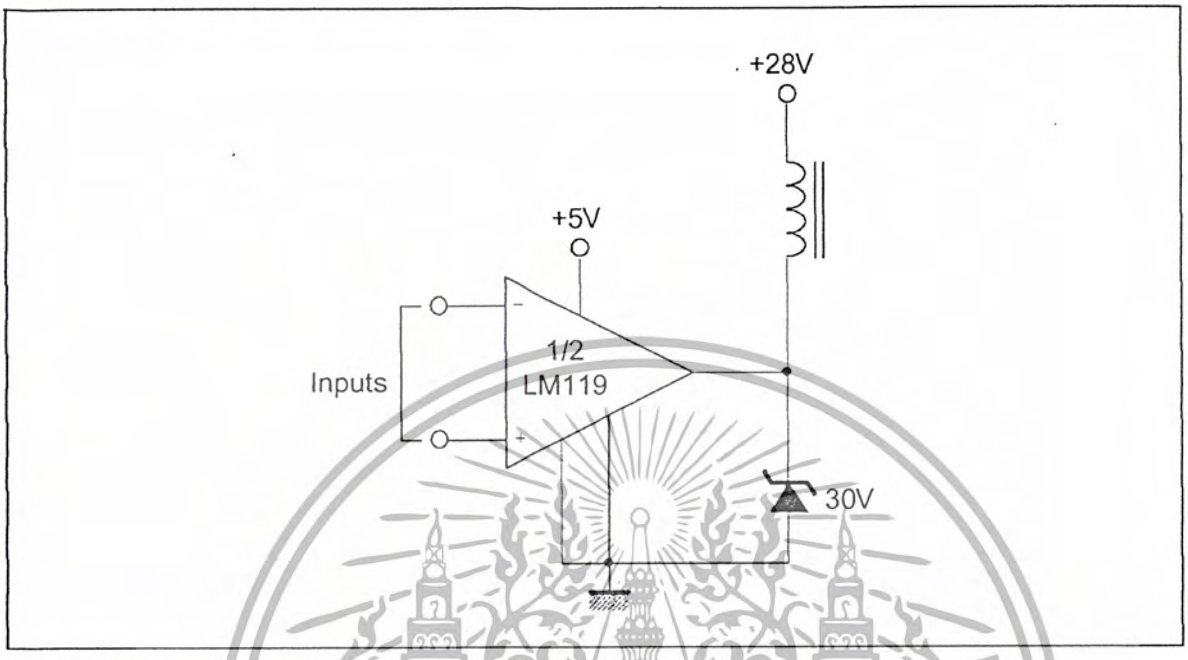


SGS-THOMSON MICROELECTRONICS

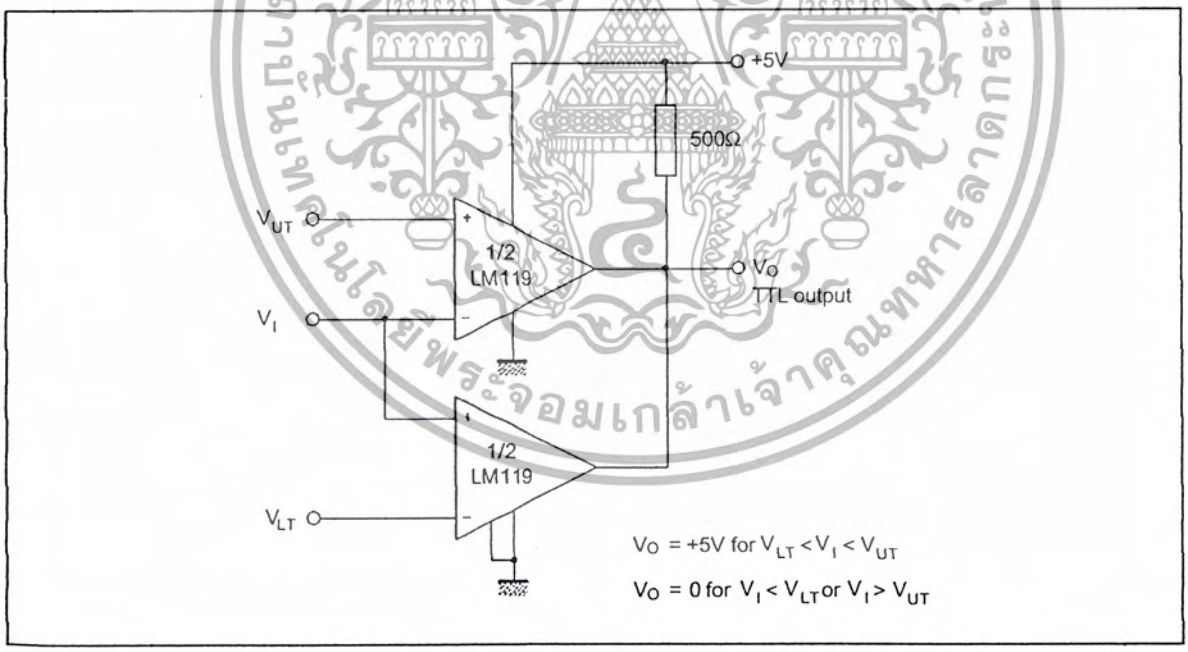
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## TYPICAL APPLICATION DIAGRAMS

RELAY DRIVER



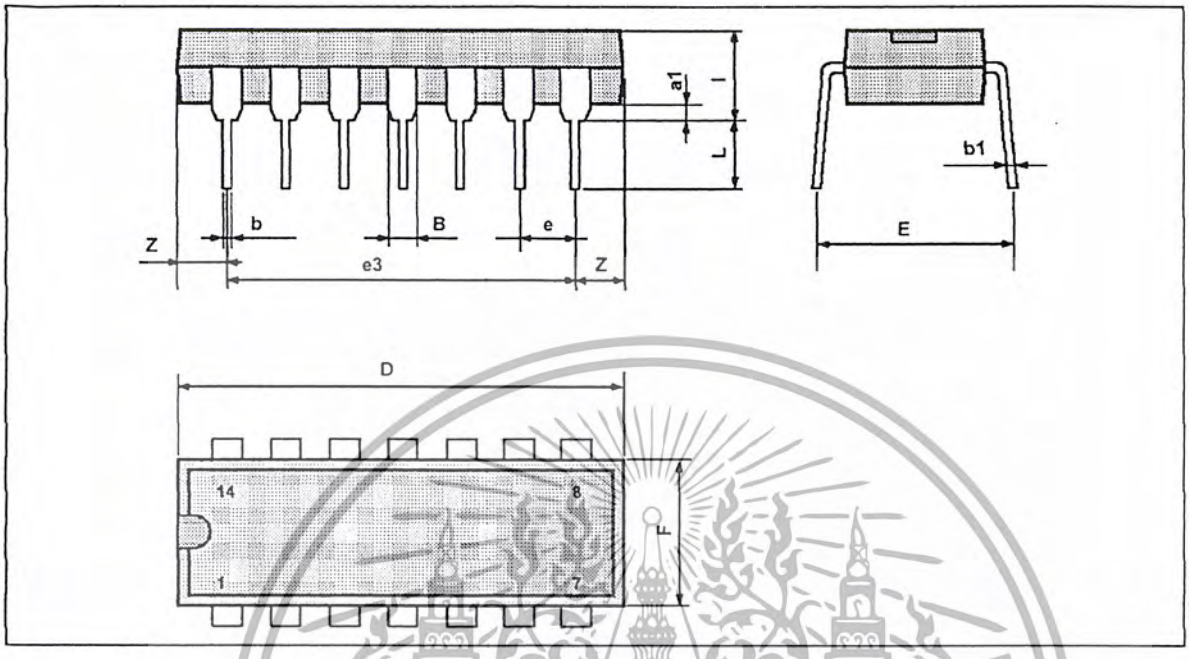

WINDOW DETECTOR






เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## PACKAGE MECHANICAL DATA
14 PINS – PLASTIC DIP OR CERDIP




| Dimensions | Millimeters | | | Inches | | |
|---|---|---|---|---|---|---|
| | Min. | Typ. | Max. | Min. | Typ. | Max. |
| a1 | 0.51 | | | 0.020 | | |
| B | 1.39 | | 1.65 | 0.055 | | 0.065 |
| b | | 0.5 | | | 0.020 | |
| b1 | | 0.25 | | | 0.010 | |
| D | | | 20 | | | 0.787 |
| E | | 8.5 | | | 0.335 | |
| e | | 2.54 | | | 0.100 | |
| e3 | | 15.24 | | | 0.600 | |
| F | | | 7.1 | | | 0.280 |
| i | | | 5.1 | | | 0.201 |
| L | | 3.3 | | | 0.130 | |
| Z | 1.27 | | 2.54 | 0.050 | | 0.100 |

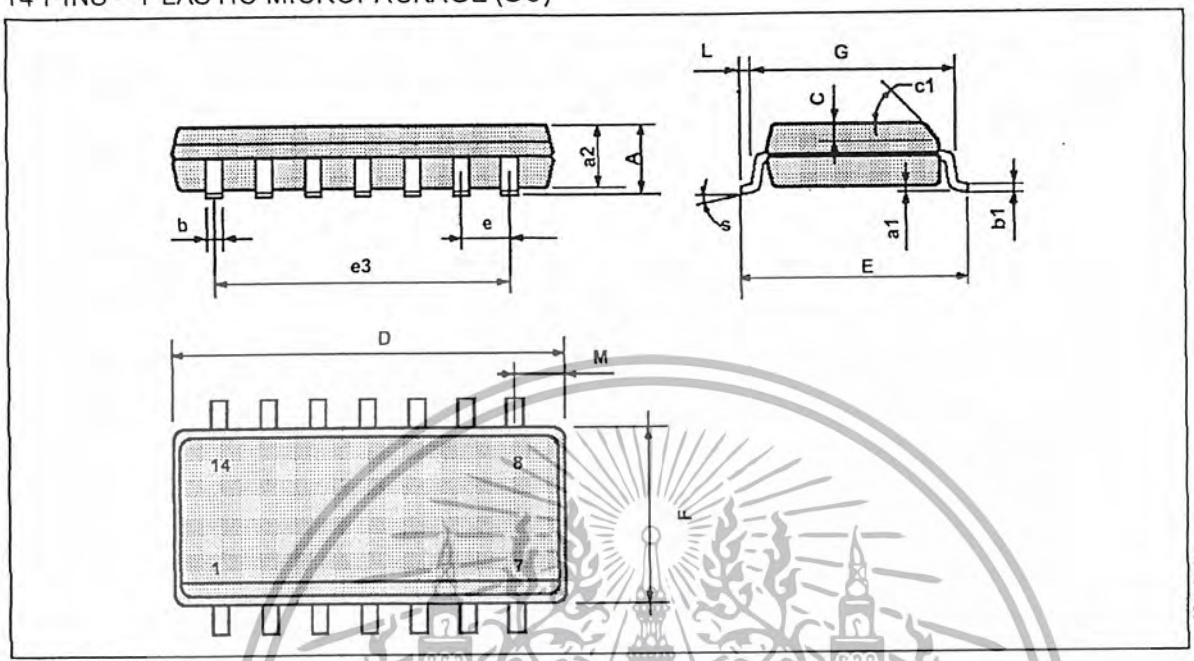
DIP14.TBL



SGS-THOMSON MICROELECTRONICS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## PACKAGE MECHANICAL DATA
14 PINS – PLASTIC MICROPACKAGE (SO)




PM-SO14.EPS

| Dimensions | Millimeters | | | Inches | | |
|---|---|---|---|---|---|---|
| | Min. | Typ. | Max. | Min. | Typ. | Max. |
| A | | | 1.75 | | | 0.069 |
| a1 | 0.1 | | 0.2 | 0.004 | | 0.008 |
| a2 | | | 1.6 | | | 0.063 |
| b | 0.35 | | 0.46 | 0.014 | | 0.018 |
| b1 | 0.19 | | 0.25 | 0.007 | | 0.010 |
| C | | 0.5 | | | 0.020 | |
| c1 | | | 45° (typ.) | | | |
| D | 8.55 | | 8.75 | 0.336 | | 0.334 |
| E | 5.8 | | 6.2 | 0.228 | | 0.244 |
| e | | 1.27 | | | 0.050 | |
| e3 | | 7.62 | | | 0.300 | |
| F | 3.8 | | 4.0 | 0.150 | | 0.157 |
| G | 4.6 | | 5.3 | 0.181 | | 0.208 |
| L | 0.5 | | 1.27 | 0.020 | | 0.050 |
| M | | | 0.68 | | | 0.027 |
| S | 8° (max.) | | | | | |

SO14.TBL

**Information furnished is believed to be accurate and reliable. However, SGS-THOMSON Microelectronics assumes no responsibility for the consequences of use of such information nor for any infringement of patents or other rights of third parties which may result from its use. No licence is granted by implication or otherwise under any patent or patent rights of SGS-THOMSON Microelectronics. Specifications mentioned in this publication are subject to change without notice. This publication supersedes and replaces all information previously supplied. SGS-THOMSON Microelectronics products are not authorized for use as critical components in life support devices or systems without express written approval of SGS-THOMSON Microelectronics.**

**© 1994 SGS-THOMSON Microelectronics - All Rights Reserved**

**SGS-THOMSON Microelectronics GROUP OF COMPANIES**

Australia - Brazil - France - Germany - Hong Kong - Italy - Japan - Korea - Malaysia - Malta - Morocco - The Netherlands
Singapore - Spain - Sweden - Switzerland - Taiwan - Thailand - United Kingdom - U.S.A.

ORDER CODE :



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# กิตติกรรมประกาศ

ปริญญานิพนธ์ฉบับนี้สำเร็จลุล่วงไปได้ด้วยดีเนื่องจากได้รับคำแนะนำปรึกษา และการช่วยเหลือด้านข้อมูลต่างๆ เป็นอย่างดียิ่งจากท่านอาจารย์ณรงค์ เหมกรณ์ อาจารย์นิภา ลีลารุจิ อาจารย์ที่ปรึกษาโครงงานนี้ และขอขอบคุณอาจารย์ทุกๆ ท่านที่ประสิทธิ์ประสาทวิชาโดยเฉพาะอย่างยิ่งคณาจารย์ในภาควิชาโทรคมนาคมทุกท่าน และขอขอบคุณพี่พนม อิสรทะ ผู้ดูแลที่ทำการสื่อสารข้อมูลของ บริษัท กสท. โทรคมนาคม จำกัด (มหาชน) ที่เอื้อเฟื้องเวลา ระบบและสถานที่ในการทดสอบโครงงานนี้ รวมทั้งเพื่อนๆ ตลอดจนผู้ที่เกี่ยวข้องทุกท่านที่คอยช่วยเหลือและให้กำลังใจในการทำปริญญานิพนธ์จนเสร็จสมบูรณ์ จึงขอขอบพระคุณไว้ ณ ที่นี้ด้วย สุดท้ายนี้ขอขอบพระคุณบิดามารดา เป็นอย่างยิ่งที่ให้การอบรมเลี้ยงดูสนับสนุนด้านทุนทรัพย์ และกำลังใจที่ดีเสมอมาในทุกๆ เรื่อง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# บรรณานุกรม


กฤดากร กล่อมการ. การออกแบบเครื่องวัดอัตราการผิดพลาด. กรุงเทพฯ : สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เขมะฑัต จิภาตะวะนิช และบัฑต โรจน์อารยานนท์. การออกแบบและสร้างอุปกรณ์ตรวจสอบการรับส่งข้อมูลในระบบสื่อสาร. กรุงเทพฯ : จุฬาลงกรณ์มหาวิทยาลัย

สุรวัตร์ มณีตานนท์. การออกแบบและสร้างเครื่องวัดอัตราการผิดพลาดของการรับส่งข้อมูล. วิทยานิพนธ์วิศวกรรมศาสตร์มหาบัณฑิต. กรุงเทพฯ : จุฬาลงกรณ์มหาวิทยาลัย



สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้