สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

การควบคุมอุณหภูมิด้วยเทคนิคพีไอดีร่วมกับฟัซซี่

TEMPERATURE CONTROL BASED ON PID-FUZZY TECHNIQUE

T055068

นายองอาจ บุญเรือง
นายอาทิตย์ รุ่งเจริญ
นายเอกพล สหพัฒนวนา

ปริญญานิพนธ์เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต
สาขาวิชาวิศวกรรมการวัดคุม
ภาควิชาวิศวกรรมการวัดคุม คณะวิศวกรรมศาสตร์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
ปีการศึกษา 2546

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เลขหมู่ 550t8
เลขทะเบียน 27 มี.ค. 2548
วัน,เดือน,ปี

b
i

TEMPERATURE CONTROL BASED ON PID-FUZZY TECHNIQUE

ONGART BOONRUENG

ARTHIT ROONGCHAROEN

AKAPOL SAHAPHATTANAWANA

A THESIS SUBMITTED IN PARTIAL FULFILLMENT

OF THE REQUIREMENT FOR THE DEGREE OF

BACHELOR OF ENGINEERING IN INSTRUMENTATION ENGINEERING

DEPARTMENT OF INSTRUMENTATION ENGINEERING

FACULTY OF ENGINEERING

KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG

2003

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาควิชาวิศวกรรมการวัดคุม

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ใบรับรองปริญญานิพนธ์

หัวข้อปริญญานิพนธ์ การควบคุมอุณหภูมิด้วยเทคนิคพีไอดีร่วมกับฟัซซี่

TEMPERATURE CONTROL BASED ON PID–FUZZY TECHNIQUE

นักศึกษาผู้จัดทำ

นายองอาจ	บุญเรือง	**รหัสประจำตัว**	44015496
นายอาทิตย์	รุ่งเจริญ	**รหัสประจำตัว**	44015502
นายเอกพล	สหพัฒนวนา	**รหัสประจำตัว**	44015504

ปริญญา วิศวกรรมศาสตรบัณฑิต

สาขาวิชา วิศวกรรมการวัดคุม

ปีการศึกษา 2546

อาจารย์ผู้ควบคุมปริญญานิพนธ์	**ลายมือชื่อ**
รศ. ประสิทธิ์ จุลเสรีวงศ์ อ. พิทยา ปานนิล อ. อัมพวัน ใจกล้า	

วัน/เดือน/ปี ที่สอบ วันพุธที่ 24 มีนาคม พ.ศ. 2547

สถานที่สอบ ณ ห้องสอบปริญญานิพนธ์ ภาควิชาวิศวกรรมการวัดคุม

ภาควิชารับรองแล้ว

(รศ. ประสิทธิ์ จุลเสรีวงศ์)

หัวหน้าภาควิชาวิศวกรรมการวัดคุม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อปริญญานิพนธ์ การควบคุมอุณหภูมิด้วยเทคนิคพีไอดีร่วมกับฟัซซี่
TEMPERATURE CONTROL BASED ON PID-FUZZY TECHNIQUE

นักศึกษาผู้จัดทำ นายองอาจ บุญเรือง
นายอาทิตย์ รุ่งเจริญ
นายเอกพล สหพัฒนวนา

อาจารย์ที่ปรึกษา รศ.ประสิทธิ์ จุลเสรีวงศ์
อ.พิทยา ปานนิล
อ.อัมพวัน ใจกล้า

ปีการศึกษา 2546

บทคัดย่อ

วัตถุประสงค์ของปริญญานิพนธ์นี้จะเป็นการนำเสนอตัวควบคุม ด้วยเทคนิคพีไอดีร่วมกับฟัซซี่สำหรับการควบคุมอุณหภูมิ โดยใช้ไมโครคอนโทรเลอร์ขนาด 8 บิทมาต่อร่วมกับวงจรแปลงสัญญาณอนาลอกเป็นดิจิตอล และวงจรแปลงสัญญาณดิจิตอลเป็นอนาลอก โดยในการควบคุมจะแบ่งเป็น 2 โหมด คือ โหมดการควบคุมด้วยฟัซซี่และพีไอดี โดยในโหมดฟัซซี่จะเป็นการควบคุมระดับหยาบเพื่อทำให้ผลตอบสนองของกระบวนการเข้าสู่เป้าหมายได้เร็ว ในส่วนโหมดพีไอดีนั้นจะเป็นการควบคุมระดับละเอียดเพื่อทำให้ผลตอบสนองไม่มีค่าพุ่งเกินและเพื่อลดค่าความผิดพลาดในสภาวะคงที่ การทดสอบสมรรถนะของตัวควบคุมที่นำเสนอจะทำการศึกษาคุณสมบัติต่างๆ ของตัวควบคุมโดยใช้ชุดทดลองการควบคุมอุณหภูมิของภาควิชาฯ จากผลการทดลองสามารถจะยืนยันได้ถึงสมรรถนะที่ดีของตัวควบคุม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Thesis Title	Temperature Control Based on PID-Fuzzy Technique
Authors	Mr. Ongart Boonrueng
	Mr. Arthit Rooncharoen
	Mr. Akapol Sahaphattanawana
Thesis Advisor	Assoc.Prof. Prasit Julsereewong
	Mr. Pittaya Pannil
	Ms. Amphawan Chaikla
Year	2003

ABSTRACT

This thesis presents a temperature controller based on the combined PID and Fuzzy technique. The implement method is based on the use of a commercial 8-bit microcontroller, the analog to digital converter, and digital to analog converter. The proposed controller has two modes to control the temperature of thermal process, one is fuzzy control mode and the other is PID mode. The fuzzy control is designed to reduce the delay time while the PID control is applied to achieve the target temperature without the overshoot and the error. The thermal plant model at Process Control Laboratory, Department of Instrumentation Engineering, is used to study the performances of the designed controller, i.e. rise time, fall time and overshoot. The experimental results included demonstrate the good performance of the proposed controller.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

โครงงานนี้สามารถสำเร็จลุล่วงตามวัตถุประสงค์ที่วางไว้ เนื่องจากได้รับคำแนะนำและความช่วยเหลือจากคณะอาจารย์หลายๆ ท่าน ทางคณะผู้จัดทำโครงงานขอขอบพระคุณอาจารย์ทุกๆ ท่านในภาควิชาวิศวกรรมการวัดคุมไว้เป็นอย่างสูง ณ.โอกาสนี้ด้วย

โครงงานนี้จำเป็นต้องมีการใช้ห้องทดลอง (Process Control Lab) ซึ่งท่านอาจารย์ได้ให้คำปรึกษาและความช่วยเหลือในการแก้ปัญหาที่เกิดขึ้น รวมถึงการอำนวยความสะดวกทางด้านสถานที่เครื่องมือและอุปกรณ์ต่างๆ และต้องขอขอบคุณเพื่อนๆ ทุกท่านที่ช่วยเหลือและให้กำลังใจ และหากมีข้อบกพร่องและความผิดพลาดของโครงงานนี้ ทางคณะผู้จัดทำขอน้อมรับผิดและขออภัยไว้ ณ.ที่นี้ด้วย ขอขอบคุณ

และสุดท้ายนี้ต้องขอขอบพระคุณบุคคลสำคัญที่สุดที่ทำให้ข้าพเจ้ามีวันนี้ ก็คือ บิดา มารดา อันเป็นที่เคารพรักยิ่ง ซึ่งได้เลี้ยงดูผู้เขียนมาเป็นอย่างดี พร้อมทั้งให้โอกาสในการศึกษาอย่างเต็มที่ และยังคงให้กำลังใจ เอาใจใส่เสมอมาในทุกๆ ด้านอันหาที่เปรียบมิได้ ข้าพเจ้าขอระลึกในพระคุณอันสุดประมาณ และขอกราบขอบพระคุณมา ณ ที่นี้

คณะผู้จัดทำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

หน้า

บทคัดย่อภาษาไทย.....I

บทคัดย่อภาษาอังกฤษ.....II

กิตติกรรมประกาศ.....III

สารบัญ.....IV

สารบัญตาราง.....VII

สารบัญภาพ.....VIII

บทที่ 1 บทนำ.....**1**

1.1 แนวคิดในการนำเสนอปริญญานิพนธ์.....1

1.2 วัตถุประสงค์ของปริญญานิพนธ์.....2

1.3 ขอบเขตของปริญญานิพนธ์.....2

บทที่ 2 ตัวควบคุมแบบป้อนกลับ.....**3**

2.1 ประวัติและความเป็นมาของตัวควบคุมแบบป้อนกลับ.....3

2.2 กริยาควบคุมแบบต่างๆ ที่ใช้ในการควบคุมอัตโนมัติ.....3

2.2.1 การควบคุมแบบ ON-OFF หรือ 2 ตำแหน่ง.....3

2.2.2 การควบคุมแบบ Proportional.....4

2.2.3 การควบคุมแบบ Integral.....6

2.2.4 การควบคุมแบบ Proportional + Integral (PI).....7

2.2.5 การควบคุมแบบ Proportional + Derivative (PD).....8

2.2.6 การควบคุมแบบ Proportional + Integral + Derivative (PID).....9

บทที่ 3 ทฤษฎีทางคณิตศาสตร์เกี่ยวกับฟัซซี่.....**10**

3.1 ฟัซซี่เซต (Fuzzy set).....10

3.1.1 ทฤษฎีเซตแบบดั้งเดิม (Crisp Set Theory).....10

3.1.2 ทฤษฎีฟัซซี่เซต (Fuzzy Set Theory).....12

3.2 ฟัซซี่ลอจิก (Fuzzy Logic).....15

3.3 ความสัมพันธ์ฟัซซี่ (Fuzzy Relation).....21

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ(ต่อ)

หน้า

3.4 การคอมโพสิชันแบบฟัซซี่ (Fuzzy Composition)……23

3.5 การอินเฟอร์เรนซ์แบบฟัซซี่ (Fuzzy Inference)……25

3.6 การฟัซซิฟิเคชัน (Fuzzification)……27

3.7 การดีฟัซซิฟิเคชัน (Defuzzification)……28

3.7.1 MAX Procedure……28

3.7.2 Mean of maximum (MOM)……28

3.7.3 Center of area (COA) / Center of gravity (COG)……29

3.7.4 Fuzzy Mean Method (FM)……30

3.7.5 Weight Fuzzy Mean Method (WFM)……30

3.7.6 Indexed Defuzzification method (IDFZ)……30

3.8 ตัวควบคุมฟัซซี่ (Fuzzy Controler)……31

3.8.1 หน่วยฟัซซิฟิเคชัน……31

3.8.2 ฐานกฎการควบคุมฟัซซี่……31

3.8.3 หน่วยอินเฟอเรนซ์……32

3.8.4 หน่วยดีฟัซซิฟิเคชัน……32

บทที่ 4 การออกแบบตัวควบคุมด้วยเทคนิคพีไอดีร่วมกับฟัซซี่……33

4.1 รายละเอียดชุดทดลองการควบคุมอุณหภูมิ……33

4.2 การออกแบบตัวควบคุมที่นำเสนอในปริญญานิพนธ์……34

4.3 การออกแบบตัวควบคุมด้วยเทคนิคฟัซซี่สำหรับการควบคุมระดับหยาบ……39

4.3.1 การกำหนดจำนวนตัวแปรอินพุทของตัวควบคุม ……39

4.3.2 การนอมอลไลซ์ (Normalize)……39

4.3.3 การดีนอมอลไลซ์ (Denormalize) ……40

4.3.4 การกำหนดค่า Gain ของตัวแปรอินพุทและเอาท์พุท……40

4.3.5 การเลือกวิธีและระดับควอนไตซ์ (Quantize)……40

4.3.6 วิธีการฟัซซิฟิเคชัน (Fuzzification)……41

4.3.7 การกำหนดจำนวนฟัซซี่เซตของตัวแปรอินพุทและเอาท์พุท……41

4.3.8 การกำหนดฟังก์ชันการเป็นสมาชิกของตัวแปรอินพุท……42

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ(ต่อ)

หน้า

4.3.9 การกำหนดจำนวนฟัซซี่เซตของตัวแปรเอาท์พุทบนเอกภพสัมพัทธ์ 43
4.3.10 การกำหนดฟังก์ชันของการเป็นสมาชิกของตัวแปรเอาท์พุท 43
4.3.11 การกำหนดรูปแบบของกฎการควบคุม 43
4.3.12 การเลือกวิธีอินเฟอเรนซ์.....44
4.3.13 การเลือกวิธีการดีฟัซซิฟิเคชัน.....44
4.4 การออกแบบตัวควบคุมด้วยเทคนิคพีไอดีสำหรับการควบคุมละดับละเอียด.....47
4.4.1 วิธี Process reaction curve.....47

บทที่ 5 การทดลองและผลการทดลอง.....49
5.1 การทดลองส่วนของวงจร Interface.....49
5.1.1 การทดลองทางด้านอินพุท 49
5.1.2 การทดลองทางด้านเอาท์พุท 49
5.2 ผลการทดลองที่ทดสอบกับกระบวนการ.....51

บทที่ 6 สรุปผลและแนวทางการพัฒนา.....58
6.1 สรุปผลการทดลอง.....58
6.2 ปัญหาที่พบ.....58
6.3 แนวทางการพัฒนา.....58

บรรณานุกรม.....59
ภาคผนวก ก รายละเอียดข้อมูล INTERFACE.....60
ภาคผนวก ข DATA SHEET.....63

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

ตารางที่ **หน้า**

3.1 ตารางความจริงสำหรับตัวปฏิบัติการฟัซซี่ลอจิกตามนิยามของ Zadeh.....17
3.2 ตารางความจริงสำหรับตัวปฏิบัติการฟัซซี่ลอจิกตามนิยามของ Baldwin.....18
3.3 ตารางผลของการหาข้อสรุปตามหลักการเหตุผลโดยใช้ GMP ด้วยหลักการของ Fukami.....20
3.4 ตารางผลของการหาข้อสรุปตามหลักการเหตุผลโดยใช้ GMT ด้วยหลักการของ Fukami.....21
4.1 แสดงกฎการควบคุมของฟัซซี่.....45
4.2 สูตรคำนวณหาค่าพารามิเตอร์ของพีไอดี..... 47
5.1 ผลการทดลองวงจร ADC โดยแปลง (0-5V) เป็น (0-255).....49
5.2 ผลการทดลองวงจร DAC โดยแปลง (0-255) เป็น (0-5V).....50
5.3 ผลการทดลองวงจรแปลงระดับสัญญาณโดยแปลง (0-5 V) เป็น (1-5V).....50
5.4 ผลการทดลองวงจรแปลงสัญญาณแรงดันเป็นกระแสโดยแปลง (1-5V) เป็น (4-20 mA).....50

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญภาพ

ภาพที่ **หน้า**

2.1 บล็อคไดอะแกรมของตัวควบคุมแบบ 2 ตำแหน่ง หรือแบบ ON-OFF.....4

2.2 บล็อคไดอะแกรมของตัวควบคุมแบบพี 5

2.3 ความสัมพันธ์ระหว่างช่วงของการวัดกับช่วงชักของวาล์วเมื่อมีค่า PB ตั้งแต่ 20 ถึง 500%.....5

2.4 บล็อคไดอะแกรมของตัวควบคุมแบบไอ.....6

2.5 ก) บล็อคไดอะแกรมของตัวควบคุมแบบพีไอ.....7

ข) อินพุทของตัวควบคุมซึ่งเป็นแบบ Step.....7

ค) เอาท์พุทของตัวควบคุมแบบพีไอ 7

2.6 ก) บล็อคไดอะแกรมของตัวควบคุมแบบ พีดี 8

ข) อินพุทของตัวควบคุมซึ่งเป็นแบบ Ramp 8

ค) เอาท์พุทของตัวควบคุมแบบพีดี 8

2.7 ก) บล็อคไดอะแกรมของตัวควบคุมแบบพีไอดี.....9

ข) อินพุทของตัวควบคุมซึ่งเป็นแบบ Ramp.....9

ค) เอาท์พุทของตัวควบคุมแบบพีไอดี.....9

3.1 การคอมโพสิชันของความสัมพันธ์ฟัซซี่.....23

3.2 การหาข้อสรุปจากหลักฐานโดยการใช้เงื่อนไขความสัมพันธ์ระหว่างเหตุและผล.....25

3.3 โครงสร้างพื้นฐานของตัวควบคุมฟัซซี่.....31

4.1 กระบวนการ.....33

4.2 รูปไดอะแกรมการทำงาน.....34

4.3 โครงสร้างของตัวควบคุมที่นำเสนอ.....37

4.4 ตัวควบคุม.....41

4.5 การเชื่อมต่อวงจรภายในตัวควบคุม.....35

4.6 แผนภาพโหมดการทำงานต่างๆ.....36

4.7 โปรแกรมหลัก.....37

4.8 การควบคุมโดยตัวควบคุมโหมดอัตโนมัติ.....38

4.9 โครงสร้างของตัวควบคุมแบบฟัซซี่.....39

4.10 ฟังก์ชันการเป็นสมาชิกเซตของตัวแปรอินพุท e และ Δ e.....43

4.11 แผนภาพแสดงการควบคุมด้วยเทคนิคฟัซซี่สำหรับระดับหยาบ.....46

4.12 แสดงวิธีการหาค่าพารามิเตอร์ของพีไอดีด้วยวิธีของ Process Reaction curve..... 48

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญภาพ(ต่อ)

ภาพที่ **หน้า**

5.1 ผลตอบสนองโดยควบคุมด้วยโหมดพีไอดีที่ Set Point 25%.....51
5.2 ผลตอบสนองโดยควบคุมด้วยโหมดพีไอดีที่ Set Point 50%.....52
5.3 ผลตอบสนองโดยควบคุมด้วยโหมดฟัซซี่ที่ Set Point 25%.....53
5.4 ผลตอบสนองโดยควบคุมด้วยโหมดฟัซซี่ที่ Set Point 50%.....54
5.5 ผลตอบสนองโดยควบคุมด้วยโหมดฟัซซี่ที่ Set Point 75%.....55
5.6 ผลตอบสนองโดยควบคุมด้วยโหมดพีไอดีร่วมกับฟัซซี่ที่ Set Point 25% 56
5.7 ผลตอบสนองโดยควบคุมด้วยโหมดพีไอดีร่วมกับฟัซซี่ที่ Set Point 50%.....57

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

1.1 แนวคิดในการนำเสนอปริญญานิพนธ์

โดยทั่วไปเป้าหมายของระบบควบคุมกระบวนการต่างๆในอุตสาหกรรมนั้นคือการรักษาปริมาณทางฟิสิกส์ได้แก่อุณหภูมิ (Temperature) ความดัน (Pressure) อัตราการไหล (Flow Rate) ระดับ (Level) และอื่นๆ ให้มีค่าใกล้เคียงกับเป้าหมาย (Set point) หรือค่าที่ต้องการมากที่สุดแม้ว่าสภาวะการทำงานและสภาพแวดล้อมอาจเปลี่ยนแปลงตลอดเวลาก็ตาม ซึ่งการควบคุมที่ดีย่อมเริ่มจากการเลือกรูปแบบการควบคุมที่เหมาะสม [1] จึงได้มีการสร้างเครื่องควบคุม (Controller) ขึ้นมาเพื่อใช้ในระบบควบคุมอัตโนมัติสำหรับควบคุมกระบวนการทางอุตสาหกรรมต่างๆ โดยทั่วไปสามารถใช้เครื่องควบคุมได้หลายชนิด แต่ว่าเครื่องควบคุมที่เป็นที่นิยมใช้และมีการศึกษากันมากคือ เครื่องควบคุมพีไอดี (PID)

เครื่องควบคุมแบบพีไอดีมีคุณสมบัติเป็นอุปกรณ์ชดเชยประเภทหนึ่งที่นิยมใช้ในกระบวนการอุตสาหกรรมโดยการปรับเครื่องควบคุมแบบนี้มีวิธีการเฉพาะที่แตกต่างจากการชดเชยระบบควบคุมโดยใช้อุปกรณ์ชดเชยแบบมุมนำ (Phase Load) และอุปกรณ์ชดเชยแบบมุมตาม (Phase Lag) ที่กล่าวมาแล้ว แต่เนื่องจากในกระบวนการอุตสาหกรรมส่วนใหญ่มักที่จะไม่ทราบฟังก์ชั่นการถ่ายโอน (Transfer Function) ของกระบวนการหรือระบบควบคุมทั้งหมดการชดเชยระบบควบคุมจึงไม่สามารถทำได้ การเลือกและปรับเครื่องควบคุมจึงต้องอาศัยผลการทดลองประสบการณ์และความชำนาญของผู้ปรับเครื่องควบคุม แต่อย่างไรก็ตามเครื่องควบคุมแบบพีไอดีก็ยังมีข้อเสียคือ การเข้าสู่สภาวะคงที่ (Steady State) ของกระบวนการที่ใช้เวลานานโดยเฉพาะกระบวนการนั้นเป็นการควบคุมอุณหภูมิจะยิ่งใช้เวลาที่นานมากจึงมีการค้นคว้าแนวคิดที่จะนำเครื่องควบคุมชนิดอื่นมาผสมผสานกับเครื่องควบคุมพีไอดีขึ้นมาโดยนำจุดเด่นของแต่ละชนิดมาใช้ร่วมกัน [4]

เครื่องควบคุมแบบฟัซซี่ (Fuzzy Control) ได้นำหลักการของฟัซซี่มาประยุกต์ใช้ในการออกแบบระบบควบคุม โดยแปลงความรู้ที่ได้จากประสบการณ์ในการควบคุมของผู้ปฏิบัติการที่อยู่ในรูปเงื่อนไข ถ้า.....แล้ว.....(IF.....THEN.....) ให้เป็นกฎการควบคุมที่มีตัวแปรเป็นฟัซซี่เซต (Fuzzy Set)โดยข้อดีของเครื่องควบคุมแบบฟัซซี่คือ กระบวนการเข้าสู่เป้าหมายเร็วแต่มีข้อเสียคือจะไม่เข้าสู่สภาวะคงที่เนื่องจากมีการแกว่งของสัญญาณตลอดเวลา หากต้องการลดการแกว่งจำเป็นต้องเพิ่มกฎ (Rule) แต่การเพิ่มกฎจะทำให้เสียเวลาในการคำนวณมาก [2], [3]

ดังนั้นแนวคิดของปริญญานิพนธ์คือ การนำคุณสมบัติของเครื่องควบคุมแบบฟัซซี่มาช่วยเพิ่มความสามารถของเครื่องควบคุมแบบพีไอดี เพื่อให้มีความเร็วในการเข้าสู่สภาวะคงที่เร็วขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยไม่มีค่าออฟเซต (Offset) หรือการแกว่งของสัญญาณเอาท์พุท ในปริญญานิพนธ์ จึงได้ศึกษาการออกแบบตัวควบคุมที่ใช้เทคนิคพีไอดีร่วมกับฟัซซี่

1.2 วัตถุประสงค์ของปริญญานิพนธ์

1. เพื่อศึกษาหลักการทำงานของการควบคุมอุณหภูมิแบบอัตโนมัติโดยใช้พีไอดี
2. เพื่อศึกษาเทคนิคการปรับแต่งค่าพารามิเตอร์ของพีไอดี
3. เพื่อศึกษาถึงทฤษฎีของการควบคุมแบบฟัซซี่
4. สามารถนำหลักการควบคุมแบบพีไอดีกับฟัซซี่มาประยุกต์ใช้งานร่วมกันได้
5. สามารถออกแบบตัวควบคุมอุณหภูมิโดยใช้ไมโครคอลโทรลเลอร์ (Microcontroller) ซึ่งอาศัยหลักการทำงานร่วมกันระหว่างพีไอดี และฟัซซี่

1.3 ขอบเขตของปริญญานิพนธ์

ปริญญานิพนธ์นี้ได้นำเสนอการออกแบบตัวควบคุมโดยการใช้ซอฟแวร์ (Software) บนตัวไมโครคอลโทรลเลอร์ ซึ่งแบ่งการควบคุมออกเป็น 2 ระดับ คือ ระดับหยาบและระดับละเอียดโดยตัวควบคุม [5] จะรับค่าจากกระบวนการซึ่งได้แก่ค่า Error (e) และ Chang of Error (Δe) แล้วทำการตัดสินใจว่าจะใช้การควบคุมระดับใด โดยพิจารณาจากค่า Error หากค่าของ Error อยู่นอกขอบเขต (Boundary) ที่กำหนดไว้จะใช้การควบคุมแบบหยาบ โดยจะใช้หลักการของฟัซซี่โดยนำค่า Error และ change of Error มาผ่านกระบวนการตัดสินใจเพื่อเลือกค่าที่เหมาะสม ณ. เวลานั้นส่งออกไปควบคุมกระบวนการต่อไป หากค่าของ Error อยู่ในขอบเขตที่กำหนดไว้ก็จะใช้การควบคุมระดับละเอียดซึ่งจะใช้หลักการของพีไอดีควบคุมโดยจะเลือกค่าพารามิเตอร์ที่เหมาะสมกับแต่ละช่วงของการควบคุมนอกจากนี้แล้วยังมีโหมดการควบคุมแบบ Manual อีกด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
ตัวควบคุมแบบป้อนกลับ

2.1 ประวัติและความเป็นมาของตัวควบคุมแบบป้อนกลับ

การควบคุมป้อนกลับแบบอัตโนมัติถูกเข้าใจว่าเป็นวิทยาการสมัยใหม่แต่ในความเป็นจริงแล้วระบบควบคุมแบบป้อนกับถูกคิดค้นขึ้นมาโดยชาวกรีซเมื่อ 250 ปีก่อนคริสตกาลเพื่อนำมาใช้ในการควบคุมระดับน้ำอย่างประสิทธิภาพ โดยมีหลักการทำงานเช่นเดียวกับตัวควบคุมระดับน้ำ (Level Regulator)ในสุขภัณฑ์ที่ใช้ในปัจจุบัน ต่อมาในปี ค.ศ. 1788 James Watt ได้ประดิษฐ์เครื่องควบคุมลูกลอย (Fly-Ball governor) เป็นครั้งแรกเพื่อใช้ในเครื่องจักรไอน้ำซึ่งเป็นพื้นฐานในการพัฒนาระบบพลังไอน้ำในเวลาต่อมา ในทศวรรษที่ 30 (ค.ศ. 1930-1939) การควบคุมแบบป้อนกลับมีบทบาทสำคัญในการพัฒนาวงจรออปแอมป์ (Operational Amplifier: Op-Amp) ที่มีอัตราขยายสูง ซึ่งต่อมาได้ถูกนำใช้งานอย่างกว้างขวางในอุปกรณ์อิเล็กทรอนิกส์ [1]

ตลอดทศวรรษที่ 30 นี้ตัวควบคุมพีไอดี [4] เริ่มจะมีการวางจำหน่ายในท้องตลาดและบทบาททางทฤษฎีเกี่ยวกับการควบคุมระบบได้ถูกตีพิมพ์เป็นครั้งแรกในช่วงทศวรรษนี้ในช่วงทศวรรษที่ 40 (ค.ศ. 1940-1949) ตัวควบคุมพีไอดี ได้เป็นที่ยอมรับในงานอุตสาหกรรมอย่างแพร่หลายและคู่มือวงจรอิเล็กทรอนิกส์ของตัวควบคุมชนิดนี้ได้เข้าสู่ท้องตลาดในช่วงทศวรรษที่ 50 (ค.ศ. 1950-1959) ในปลายทศวรรษนี้คอมพิวเตอร์ควบคุมกระบวนการในงานอุตสาหกรรมได้ถูกนำมาใช้เป็นครั้งแรก และตลอด 20 ปีที่ผ่านมานี้ฮาร์ดแวร์ (Hard Ware) ของดิจิตอลคอมพิวเตอร์ก็ได้ถูกนำใช้เป็นอุปกรณ์สำคัญในการทำงานของตัวควบคุมกระบวนการด้วยเช่นกัน

2.2 กริยาควบคุมแบบต่างๆ ที่ใช้ในการควบคุมอัตโนมัติ

1. ตัวควบคุมแบบ 2 ตำแหน่ง (Two-position) หรือแบบ On-Off
2. ตัวควบคุมแบบ Proportional
3. ตัวควบคุมแบบ Integral
4. ตัวควบคุมแบบ Proportional + Integral หรือ ตัวควบคุมแบบพีไอ
5. ตัวควบคุมแบบ Proportional + Derivative หรือ ตัวควบคุมแบบพีดี
6. ตัวควบคุมแบบ Proportional + Integral + Derivative หรือ ตัวควบคุมแบบพีไอดี

2.2.1 การควบคุมแบบ ON-OFF หรือ 2 ตำแหน่ง

ในระบบควบคุมแบบ 2 ตำแหน่ง การควบคุมจะทำงานในตำแหน่งที่คงที่เพียง 2 ตำแหน่งเท่านั้น ในบางครั้งจึงมีชื่อเรียกว่า ON และ OFF การควบคุมแบบ 2 ตำแหน่ง หรือแบบ ON-OFF นี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จะเป็นการควบคุมแบบง่ายๆ และราคาไม่แพง ดังนั้นจึงนิยมใช้กันอย่างกว้างขวางในงานควบคุมทางอุตสาหกรรม และในกรณีที่ผลจากการแกว่งของสัญญาณหรือ (Oscillate) นั้นเป็นที่ยอมรับได้

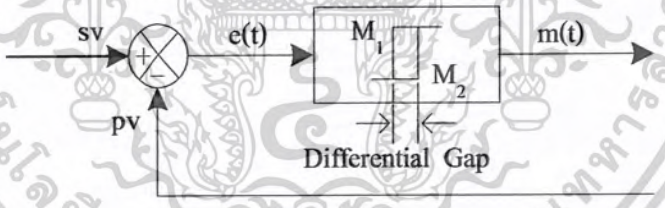
กำหนดให้สัญญาณเอาท์พุทของตัวควบคุมเป็น m(t) และให้สัญญาณค่าความคลาดเคลื่อนเป็น e(t) โดย e(t) = sv – pv เมื่อ sv คือ ค่าเป้าหมาย และ pv คือ ตัวแปรกระบวนการ ฉะนั้นในการควบคุมแบบ 2 ตำแหน่งนั้น สัญญาณ m(t) จะมีค่าอยู่เพียงค่าสูงสุด หรือค่าต่ำสุดเท่านั้นโดยขึ้นอยู่กับค่าสัญญาณค่าความเคลื่อนนั้นมีค่าเป็นบวก (+) หรือเป็นลบ (–) นั่นคือ

$$m(t) = M_1 \quad \text{สำหรับ } e(t) > 0 \tag{2.1}$$

$$m(t) = M_2 \quad \text{สำหรับ } e(t) < 0 \tag{2.2}$$

โดยที่ M_1 และ M_2 เป็นค่าคงที่

ภาพที่ 2.1 แสดงถึงบล็อคไดอะแกรม (Block Diagram) ของตัวควบคุมแบบ 2 ตำแหน่ง และสำหรับช่วงซึ่งสัญญาณค่าความคลาดเคลื่อนเปลี่ยนแปลงไป ก่อนเกิดการเปลี่ยนแปลงตำแหน่ง (Switching) ของการควบคุมนั้นเรียกว่า Differential Gap ดังแสดงในภาพที่ 2.1 ช่วง Differential Gap นี้บางครั้งเป็นการทำให้เกิดขึ้นเพื่อป้องกันการ ON-OFF บ่อยเกินไป



ภาพที่ 2.1 บล็อคไดอะแกรมของตัวควบคุมแบบ 2 ตำแหน่ง หรือแบบ ON-OFF

2.2.2 การควบคุมแบบ Proportional

ในกระบวนการบางอย่างการควบคุมแบบ 2 ตำแหน่งนั้นอาจจะไม่ใช่วิธีที่ดีดังเช่นกระบวนการควบคุมระดับน้ำ ดังนั้นถ้าต้องการความแน่นอนในการควบคุมพลังงานไหลเข้าเพื่อให้เป็นสัดส่วน (Proportional) กับค่าที่ต้องการจำเป็นต้องใช้การควบคุมแบบ Proportional ความสัมพันธ์ระหว่างสัญญาณควบคุม (หรือเอาท์พุทของตัวควบคุม) m(t) กับสัญญาณค่าความคลาดเคลื่อน e(t) คือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

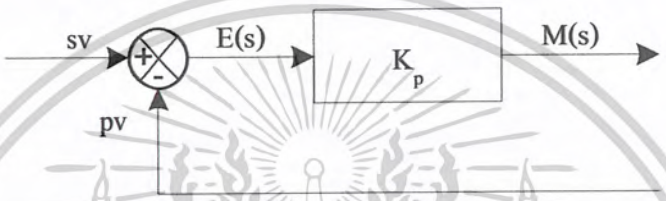
$$m(t) = K_p e(t)$$

หรือ

$$\frac{m(s)}{e(s)} = K_p e(t) \qquad (2.3)$$

โดยที่ K_p จะอยู่ในเทอมของ Proportional Sensitivity หรือ Gain

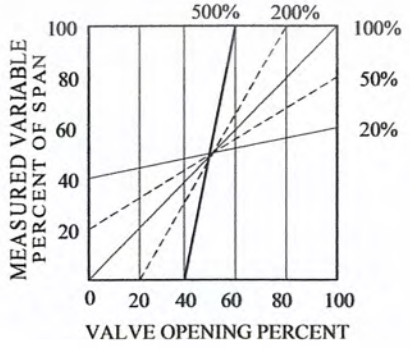
ตัวควบคุมแบบ Proportional จึงต้องเป็นตัวขยายสัญญาณที่จะสามารถปรับค่าของ Gain ได้ ดังภาพที่ 2.2 แสดงถึงบล็อคไดอะแกรม ของตัวควบคุมแบบ Proportional



ภาพที่ 2.2 บล็อคไดอะแกรมของตัวควบคุมแบบพี

สมมติว่าเอาท์พุทที่ได้จากตัวควบคุม นำไปควบคุมช่วงชักของวาล์ว (Valve) [1] ในการควบคุมแบบ Proportional นั้นโดยทั่วไปแล้วช่วงชักของวาล์วจะถูกแบ่งเป็นส่วนๆ เท่ากับจำนวนส่วนของการเพิ่มทีละส่วนในช่วงของการวัด เช่น ถ้าช่วงของการวัดมีค่า 100°F ค่าของการวัดจะเปลี่ยนแปลงทีละ 1°F ซึ่งหมายถึงว่า ช่วงของการวัดจะถูกแบ่งออกเป็น 100 ส่วน ดังนั้นช่วงชักวาล์วจะถูกแบ่งออกเป็น 100 ส่วนด้วย

ความสัมพันธ์ระหว่างช่วงของการวัดกับช่วงชักของวาล์วแบบอื่น สามารถแสดงได้ดังภาพที่ 2.3 ซึ่งมี Proportional Bands (PB) ต่างๆ กันตั้งแต่ 20% ถึง 500%



ภาพที่ 2.3 ความสัมพันธ์ระหว่างช่วงของการวัดกับช่วงชักของวาล์ว เมื่อมีค่าPBตั้งแต่20%ถึง500%

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตัวควบคุมแบบ Proportional คือ ตัวขยายสัญญาณตัวหนึ่งที่ต่ออยู่ระหว่างอุปกรณ์วัดกับวาล์วควบคุม เมื่อปรับค่าของ Proportional Band ก็เท่ากับปรับค่าของ Gain ของตัวขยายสัญญาณ ทั้งนี้เพราะค่าของ Gain คือ ส่วนกลับของ Proportional Band การปรับค่าของ Gain จะทำให้ค่าความสัมพันธ์ระหว่างช่วงของการวัดกับช่วงของวาล์วเปลี่ยนแปลงไปตามความต้องการได้

การเกิด ค่าออฟเซทเป็นคุณลักษณะของระบบควบคุมแบบ Proportional ทั้งหมด ทั้งนี้เนื่องจากการทำงานของระบบควบคุมแบบ Proportional นั้นไม่สามารถที่จะควบคุมระบบที่มีโหลด (Load) เปลี่ยนแปลงได้ดีเท่าที่ควร และในกรณีที่โหลดมีค่าคงที่แต่การเปลี่ยนแปลงค่าของระดับของเหลวที่ถูกควบคุมไปก็ได้ผลเช่นเดียวกัน คือ จะเกิดมีออฟเซทขึ้น และเมื่อระบบควบคุมที่มีการควบคุมแบบ Proportional เริ่มเข้าสู่สภาวะคงที่นั้นออฟเซทจะต้องมีขนาดไม่เกินครึ่งหนึ่งของ Proportional Band แล้ววาล์วควบคุมก็จะเปิดเต็มที่หรือปิดสนิท และตัวควบคุมก็จะไม่สามารถควบคุมกระบวนการได้อีก ดังนั้นในการควบคุมแบบ Proportional โดยทั่วไปจึงเหมาะสมกับกระบวนการที่ต้องการ Proportional Band ในช่วงแคบๆ

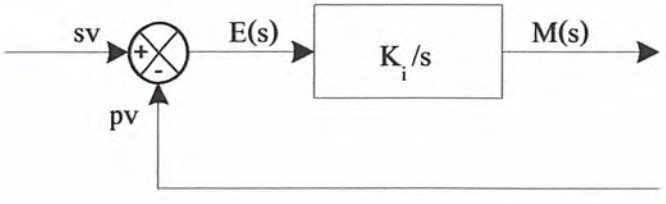
2.2.3 การควบคุมแบบ Integral

ในการควบคุมแบบ Integral หรือการควบคุมแบบไอ ค่าของเอาท์พุทของตัวควบคุม m(t) จะมีความสัมพันธ์กับค่าความคลาดเคลื่อน K_i ดังนี้

$$m(t) = K_i \int_0^t e(t)dt$$

โดยที่ K_i เป็นค่าที่คงที่สามารถปรับค่าได้

$$\frac{M(s)}{E(s)} = \frac{K_i}{s} \qquad (2.4)$$



ภาพที่ 2.4 บล็อคไดอะแกรมของตัวควบคุมแบบไอ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2.4 การควบคุมแบบ Proportional + Integral (PI)

กริยาการควบคุมแบบพีไอสามารถแสดงได้ด้วยสมการต่อไปนี้

$$m(t) = K_p e(t) + \frac{K_p}{T_i}\left[\int_0^t e(t)dt\right]$$

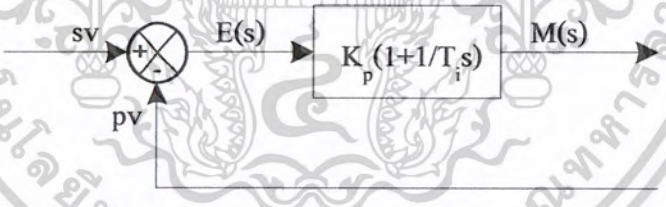
หรือ

$$\frac{M(s)}{E(s)} = K_p\left[1 + \frac{1}{T_i s}\right] \qquad (2.5)$$

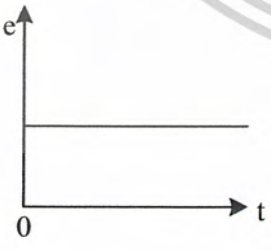
โดยที่ K_p เป็นค่าของ Proportional Sensitivity หรือ Gain

T_i เป็นค่าของ Integral Time

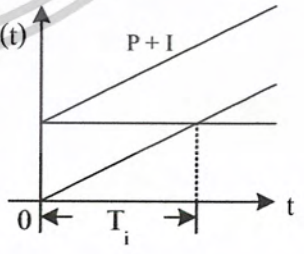
ทั้ง K_p และ T_i เป็นค่าที่ปรับได้ส่วนกลับของ T_i นั้นจะเรียกว่า "Reset rate" ภาพที่ 2.5 (ก) แสดงถึง บล็อคไดอะแกรมของตัวควบคุมแบบพีไอ ถ้าสัญญาณค่าความคลาดเคลื่อน e(t) เป็นสัญญาณแบบฟังก์ชันบันไดขนาดหนึ่งหน่วยดังแสดงในภาพที่ 2.5 (ข) แล้วสัญญาณเอาท์พุทของตัวควบคุมแบบ พีไอ จะแสดงได้ดังภาพที่ 2.5 (ค)



(ก)



(ข)



(ค)

ภาพที่ 2.5 ก) Block Diagram ของตัวควบคุมแบบพีไอ
ข) อินพุทของตัวควบคุมซึ่งเป็นแบบ Step
ค) เอาท์พุทของตัวควบคุมแบบพีไอ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2.5 การควบคุมแบบ Proportional + Derivative (PD)

กริยาการควบคุมแบบพีดีสามารถเขียนให้อยู่ในภาพของสมการได้ดังต่อไปนี้

$$m(t) = K_p e(t) + K_p T_d \frac{de(t)}{dt}$$

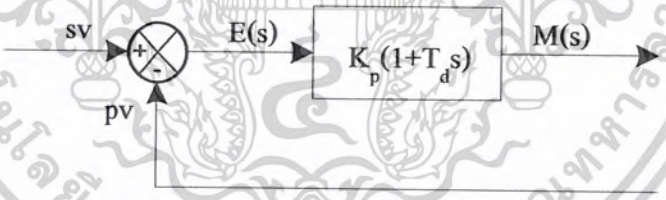
หรือ

$$\frac{M(s)}{E(s)} = K_p[1+T_d s] \qquad (2.6)$$

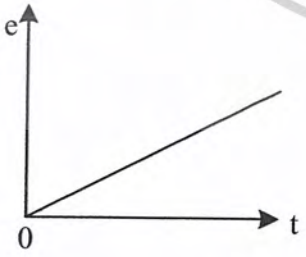
โดยที่ K_p เป็นค่าของ Proportional Sensitivity หรือ Gain

T_d เป็นค่าของ Derivative Time

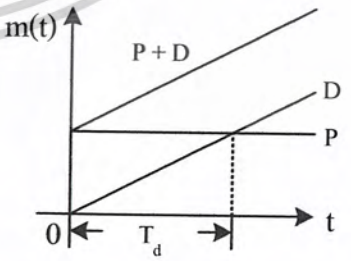
ค่าของ K_p และ T_d นั้นจะเป็นค่าที่สามารถปรับได้ และในบางครั้งจะเรียกกริยาควบคุมแบบ Derivative ว่า "rate Control" ทั้งนี้เพราะขนาดของสัญญาณเอาท์พุทของตัวควบคุมจะเป็นสัดส่วนกับอัตราการเปลี่ยนแปลงของสัญญาณค่าความคลาดเคลื่อนดังแสดงในภาพ 2.6 (ก) โดยจะแสดงถึงบล็อคไดอะแกรมของตัวควบคุมแบบพีดี ถ้าสัญญาณของค่าความคลาดเคลื่อน e(t) เป็น unit ramp ดังที่แสดงในภาพที่ 2.6 (ข) แล้วสัญญาณเอาท์พุท m(t) ของตัวควบคุมแบบพีดีนั้นจะเป็นแบบภาพที่ 2.6 (ค)



(ก)



(ข)



(ค)

ภาพที่ 2.6 ก) บล็อคไดอะแกรมของตัวควบคุมแบบพีดี
ข) อินพุทของตัวควบคุมซึ่งเป็นแบบ Ramp
ค) เอาท์พุทของตัวควบคุมแบบพีดี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กระบวนการจำนวนมากอาจจะมีความจุ และความต้านทานมากกว่าหนึ่ง ดังนั้นเมื่อมีการเปลี่ยนแปลงเกิดขึ้นในกระบวนการจึงอาจทำให้เกิดมี Time Lag ที่มีค่ามากพอได้ กระบวนการที่มีปัญหาเกี่ยวกับ Time Lag มาก ก็คือ กระบวนการที่เกี่ยวกับความร้อน (thermal Process) การควบคุมแบบ Derivative นี้จะแก้ไขเกี่ยวกับระบบที่มี Time Lag มากๆ ได้ ในบางครั้งกริยาควบคุมแบบ Derivative นี้เรียกว่า กริยาควบคุมแบบ “คาดการณ์ ล่วงหน้า”

2.2.6 การควบคุมแบบ Proportional + Integral + Derivative (PID)

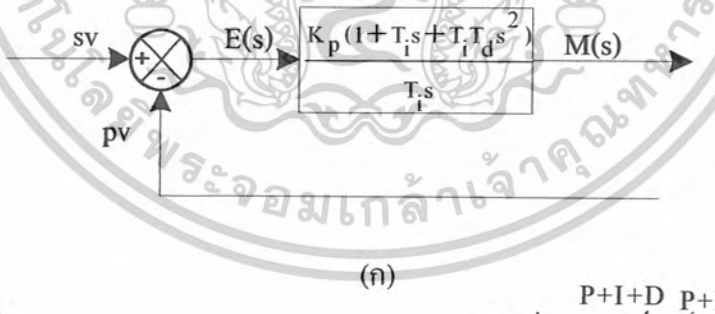
การควบคุมแบบพีไอดีนี้จะได้จากการเอากริยาควบคุมแบบ Proportional กริยาการควบคุมแบบ Integral และกริยาควบคุมแบบ Derivative รวมเข้าด้วยกัน กริยาการควบคุมแบบพีไอดีของตัวควบคุมอัตโนมัตินี้สามารถแสดงในภาพของสมการต่อไปนี้

$$m(t) = K_p e(t) + \frac{K_p}{T_i}\left[\int_0^t e(t)dt\right] + K_p T_d \frac{de(t)}{dt}$$

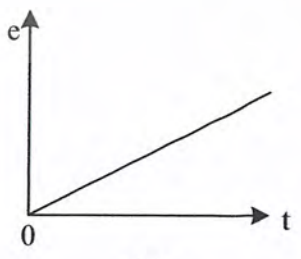
หรือ

$$\frac{M(s)}{E(s)} = K_p\left[1 + \frac{1}{T_i s} + T_d s\right] \qquad (2.7)$$

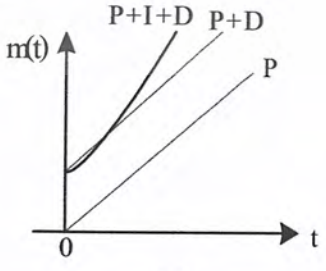
บล็อคไดอะแกรมอินพุต และเอาท์พุทของตัวควบคุมแบบพีไอดีแสดงได้ดังภาพที่ 2.7



(ก)



(ข)



(ค)

ภาพที่ 2.7 ก) บล็อคไดอะแกรมของตัวควบคุมแบบพีไอดี
ข) อินพุทของตัวควบคุมซึ่งเป็นแบบ Ramp
ค) เอาท์พุทของตัวควบคุมแบบพีไอดี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3
ทฤษฎีทางคณิตศาสตร์เกี่ยวกับฟัซซี่

ในการออกแบบตัวควบคุมฟัซซี่ต้องอาศัยความรู้ทางคณิตศาสตร์เกี่ยวกับฟัซซี่เพื่อนำไปใช้เป็นพื้นฐานในการทำความเข้าใจโครงสร้างและหลักการทำงานของตัวควบคุมฟัซซี่ และเพื่อใช้ในการกำหนดโครงสร้างและวิธีการออกแบบให้เหมาะสมกับลักษณะและการใช้งานฟัซซีลอจิกดังนั้นเนื้อหาในบทนี้กล่าวถึงทฤษฎีทางคณิตศาสตร์เกี่ยวกับฟัซซี่ โดยจะอธิบายถึงหลักการของฟัซซี่เซต ความสัมพันธ์ฟัซซี่ และหลักการต่างๆ ที่เกี่ยวข้องกับเทคนิคของฟัซซี่ [2] - [3] ซึ่งมีรายละเอียดดังต่อไปนี้

3.1 ฟัซซี่เซต (Fuzzy Set)

3.1.1 ทฤษฎีเซตแบบเดิม (Crisp Set Theory)

<u>นิยาม 1</u> คลิซป์เซต (Crisp Set)

คลิซป์เซต คือ กลุ่มสมาชิกที่มีคุณสมบัติตามข้อกำหนดซึ่งอาจจะมีจำนวนจำกัดหรือไม่จำกัดก็ได้

<u>นิยาม 2</u> เอกภพสัมพัทธ์ (Universe of Discourse : U)

เอกภพสัมพัทธ์ คือ เซตที่มีสมาชิกเป็นสมาชิกทั้งหมดของขอบเขตที่จะทำการพิจารณา กำหนดให้ u เป็นสมาชิกใดๆของ U เขียนแทนด้วยสัญลักษณ์ $u \in U$

<u>นิยาม 3</u> ฟังก์ชันการเป็นสมาชิก (Membership Function : μ)

ฟังก์ชันการเป็นสมาชิกของเซต เขียนแทนด้วยสัญลักษณ์ μ ถูกนิยาม ดังนี้

$\mu_A(u)$ มีค่าเท่ากับ 1 เมื่อ u เป็นสมาชิกของเซต A

$\mu_A(u)$ มีค่าเท่ากับ 0 เมื่อ u ไม่เป็นสมาชิกของเซต A

จะได้ว่า $\mu_A(u) : U \in \{0, 1\}$

$$\mu_A(u) = \begin{cases} 1; u \in A \\ 0; u \notin A \end{cases} \qquad (3.1)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

นิยาม 4 การเท่ากันของเซต

เซต A จะเท่ากับเซต B ก็ต่อเมื่อสมาชิกทุกตัวของเซต A เป็นสมาชิกของเซต B และสมาชิกทุกตัวของเซต B เป็นสมาชิกของเซต A เขียนแทนด้วยสัญลักษณ์ A = B

$$(A = B) \longleftrightarrow ((\forall a \in B) \wedge (\forall b \in A); a \in A, b \in B) \tag{3.2}$$

นิยาม 5 การเป็นสับเซต (Subset)

เซต A จะเป็นสับเซตของเซต B ก็ต่อเมื่อสมาชิกทุกตัวของเซต A เป็นสมาชิกของเซต B เขียนแทนด้วยสัญลักษณ์ $A \subseteq B$

$$(A \subseteq B) \longleftrightarrow ((\forall a \in B; a \in A) \tag{3.3}$$

เซต A จะเป็นสับเซตแท้ของเซต B ก็ต่อเมื่อสมาชิกทุกตัวของเซต A เป็นสมาชิกของเซต B และเซต A ไม่เท่ากับเซต B เขียนแทนด้วยสัญลักษณ์ $A \subset B$

$$(A \subset B) \longleftrightarrow ((\forall a \in B) \wedge (A \neq B); a \in A) \tag{3.4}$$

นิยาม 6 ปฏิบัติการพื้นฐานของเซต

คอมพลีเมนต์ (Complement) คือ ตัวปฏิบัติการในการที่สร้างเซตใหม่จากเซตเดิม โดยที่สมาชิกของเซตใหม่ คือ สมาชิกของเอกภพสัมพัทธ์ U ที่ไม่เป็นสมาชิกของเซตเดิมเขียนแทนด้วยสัญลักษณ์ดังนี้

$$A' = \{x \mid (x \in u) \wedge (x \notin A)\} \tag{3.5}$$

ยูเนียน (Union) คือตัวปฏิบัติการในการสร้างเซตใหม่จากส่วนเซตเดิมสองเซต โดยที่สมาชิกของเซตใหม่ได้จากการรวมสมาชิกทั้งหมดที่จะเป็นสมาชิกของเซตใดเซตหนึ่งหรือเป็นได้ทั้งสองเซตจะเขียนแทนด้วยสัญลักษณ์ดังนี้

$$A \cup B = \{x \mid (x \in A) \vee (x \in B)\} \tag{3.6}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อินเตอร์เซคชัน (Intersection) คือ ตัวปฏิบัติการการสร้างเซตใหม่จากเซตเดิมสองเซต โดยที่สมาชิกของเซตใหม่ได้มาจากการรวมสมาชิกทั้งหมดที่เป็นสมาชิกของเซตเดิมทั้งสองเซตเขียนแทนด้วยสัญลักษณ์ ดังนี้

$$A \cap B = \{ x \mid (x \in A) \wedge (x \in B) \} \tag{3.7}$$

3.1.2 ทฤษฎีฟัซซี่เซต (Fuzzy Set Theory)

นิยาม 7 ฟัซซี่เซต (Fuzzy Set)

ฟัซซี่เซต คือ เซตของคู่อันดับ u และฟังก์ชันการเป็นสมาชิก $\mu_A(u)$ โดยที่ u เป็นสมาชิกใดๆ ของเอกภพสัมพัทธ์ U เขียนแทนด้วยสัญลักษณ์ ดังนี้

$$A = \{ (u, \mu_A(u)) \mid u \in U \} \tag{3.8}$$

นิยาม 8 ฟังก์ชันการเป็นสมาชิกของฟัซซี่เซต (Membership Function of Fuzzy Set : $\mu_A(u)$)

ฟังก์ชันการเป็นสมาชิกของฟัซซี่เซตA ถูกนิยามให้มีค่าอยู่ในช่วง 0 ถึง 1 จะเขียนแทนด้วยสัญลักษณ์ $\mu_A(u)$

โดยที่ค่า $\mu_A(u)$ เป็นค่าที่ระบุถึงระดับความเป็นสมาชิกของ u ในฟัซซี่เซต A

ถ้า $\mu_A(u)$ มีค่าเท่ากับ 0 แสดงว่า u ไม่มีความเป็นสมาชิกของฟัซซี่เซต A

ถ้า $\mu_A(u)$ มีค่าน้อยกว่า 0 แสดงว่า u มีความเป็นสมาชิกของฟัซซี่เซต A น้อย

ถ้า $\mu_A(u)$ มีค่ามากกว่า 1 แสดงว่า u มีความเป็นสมาชิกของฟัซซี่เซต A มาก

ถ้า $\mu_A(u)$ มีค่าเท่ากับ 1 แสดงว่า u มีความเป็นสมาชิกของฟัซซี่เซต A อย่างสมบูรณ์

จะได้ว่า

$$\mu_A(u) : U \longrightarrow [0, 1] \tag{3.9}$$

นิยาม 9 การเท่ากันของฟัซซี่เซต

ฟัซซี่เซต A จะเท่ากับฟัซซี่เซต B ก็ต่อเมื่อสมาชิก u ทุกตัวในเอกภพสัมพัทธ์ U มีค่าฟังก์ชันการเป็นสมาชิกของฟัซซี่เซต A เท่ากับค่าฟังก์ชันการเป็นสมาชิกของฟัซซี่เซต B เขียนแทนด้วยสัญลักษณ์ A = B

$$(A = B) \longleftrightarrow (\mu_A(u) = \mu_B(u); \forall u \in U) \tag{3.10}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

นิยาม 10 การเป็นสับเซตของฟัซซี่เซต

ฟัซซี่เซต A จะเป็นสับเซตของฟัซซี่เซต B ก็ต่อเมื่อสมาชิก u ทุกตัวในเอกภพสัมพัทธ์ U มีค่าฟังก์ชันการเป็นสมาชิกของฟัซซี่เซต A น้อยกว่าหรือมีค่าเท่ากับ ค่าฟังก์ชันการเป็นสมาชิกของฟัซซี่เซต B เขียนแทนด้วยสัญลักษณ์ $A \subset B$

$$A \subset B \longleftrightarrow (\mu_A(u) \leq \mu_B(u);\ \forall u \in U) \tag{3.11}$$

นิยาม 11 ซัพพอร์ตของฟัซซี่เซต (Support : S(A))

ซัพพอร์ตของฟัซซี่เซต คือ เซตของสมาชิก u ในเอกภพสัมพัทธ์ U ที่มีค่าฟังก์ชันการเป็นสมาชิกของฟัซซี่เซตมากกว่า 0 เขียนแทนด้วยสัญลักษณ์ ดังนี้

$$S(A) = \{u \in U \mid \mu_A(u) > 0\} \tag{3.12}$$

นิยาม 12 ฟัซซี่ซิงเกิลตัน (Fuzzy Singleton)

ฟัซซี่ซิงเกิลตัน คือ ฟัซซี่เซตที่มีซัพพอร์ตของเซตมีสมาชิกเพียงตัวเดียวและมีค่าฟังก์ชันการเป็นสมาชิกเท่ากับ 1

นิยาม 13 เซต α - Level ของฟัซซี่เซต (A_α)

เซต α - Level ของฟัซซี่เซต A คือ เซตของสมาชิก u ในเอกภพสัมพัทธ์ U ที่มีค่าฟังก์ชันการเป็นสมาชิกของฟัซซี่เซต A มากกว่าหรือเท่ากับ α เขียนแทนด้วยสัญลักษณ์ ดังนี้

$$A_\alpha = \{u \in U \mid \mu_A(u) \geq \alpha\} \tag{3.13}$$

นิยาม 14 ความสูงของฟัซซี่เซต (Height of Fuzzy Set)

ความสูงของฟัซซี่เซต A คือ ค่าฟังก์ชันการเป็นสมาชิกสูงสุดของฟัซซี่เซต A จะเขียนแทนด้วยสัญลักษณ์ hgt(A)

$$hgt(A) = \max_{u \in U} \mu_A(u) \tag{3.14}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

นิยาม 15 คุณสมบัติการนอมอลไลซ์ของฟัซซี่เซต (Normalization)

ฟัซซี่เซต A จะมีคุณสมบัติการนอมอลไลซ์ก็ต่อเมื่อ ฟัซซี่เซต A มีความสูงเท่ากับ 1

$$\text{A is normalized.} \longleftrightarrow \text{Hgt(A)} = 1 \tag{3.15}$$

นิยาม 16 คุณสมบัติการคอนเวกซ์ของฟัซซี่เซต (Convexity)

ฟัซซี่เซต A จะมีคุณสมบัติการคอนเวกซ์ ก็ต่อเมื่อฟังก์ชันการเป็นสมาชิกของ A สอดคล้องตามเงื่อนไข ต่อไปนี้

$$\text{A is convex} \longleftrightarrow \mu_A(\lambda u_1 + (1-\lambda)\, u_2) \geq \min\{\mu_A(u_1), \mu_A(u_2)\};\ u_1, u_2 \in U,\ \lambda \in (0, 1) \tag{3.16}$$

นิยาม 17 ฟัซซี่นัมเบอร์ (Fuzzy number)

ฟัซซี่นัมเบอร์ คือ ฟัซซี่เซตที่มีคุณสมบัติการนอมอลไลซ์ และการคอนเวกซ์

นิยาม 18 คาร์ดินาลิตีของฟัซซี่เซต (Cardinality)

สกาลาร์คาร์ดินาลิตี (Scalar Cardinality) ของฟัซซี่เซต A บนเอกภพสัมพัทธ์ U คือผลบวกของค่าฟังชันการเป็นสมาชิคของ u ทุกตัวในฟังก์ชันเซต A เขียนแทนด้วยสัญลักษณ์ ดังนี้

$$|A| = \sum_{u \in U} \mu_A(u) \tag{3.17}$$

คาร์ดินาลิตีสัมพันธ์ (Relative Cardinality) ของฟัซซี่เซต A บนเอกภพสัมพัทธ์ของ U คือ อัตราส่วนระหว่างสกาลาร์คาร์ดินาลิตีของฟัซซี่เซต A กับ สกาลาร์คาร์ดินาลิตีของเอกภพสัมพัทธ์ U เขียนแทนด้วยสัญลักษณ์ ดังนี้

$$\|A\| = \frac{|A|}{|B|} \tag{3.18}$$

นิยาม 19 ปฏิบัติการพื้นฐานของฟัซซี่เซต

คอมพลีเมนต์ของฟัซซี่เซต A เขียนแทนด้วยสัญลักษณ์ A′ ถูกนิยามในรูปฟังก์ชันการเป็นสมาชิก ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\mu_{\bar{A}}(u) = 1 - \mu_A(u) \tag{3.19}$$

ยูเนียนของฟัซซี่เซต A เขียนแทนด้วยสัญลักษณ์ $A \cup B$ จะถูกนิยามในรูปฟังก์ชันการเป็นสมาชิก ดังนี้

$$\mu_{A\cup B}(u) = s(\mu_A(u), \mu_B(u)) \geq \max\{\mu_A(u), \mu_B(u)\} \tag{3.20}$$

โดยที่ s คือ ตัวปฏิบัติการ Triangular co-norms ตามนิยาม 21

อินเตอร์เซคชันของฟัซซี่เซต A เขียนแทนด้วยสัญลักษณ์ $A \cap B$ จะถูกนิยามในรูปฟังก์ชันการเป็นสมาชิก ดังนี้

$$\mu_{A\cap B}(u) = t(\mu_A(u), \mu_B(u)) \leq \min\{\mu_A(u), \mu_B(u)\} \tag{3.21}$$

โดยที่ t คือ ตัวปฏิบัติการ Triangular norms ตามนิยาม 20

3.2 ฟัซซี่ลอจิก

ฟัซซี่ลอจิกนั้นเป็นทฤษฎีทางตรรกศาสตร์ที่ขยายซึ่งมาจากทฤษฎีตรรกศาสตร์หลายค่า (Multivalued logic) โดยได้นิยามค่าความจริงของประพจน์เป็นตัวแปรลิงกวิสติกได้มีการนิยามการปฏิบัติการทางตรรกศาสตร์สำหรับทฤษฎีของฟัซซี่ลอจิกไว้ต่าง ๆ กันในวิทยานิพนธ์นี้จะอ้างอิงจากนิยามดั้งเดิมของ Zadeh ดัง ต่อไปนี้

นิยาม 28 ค่าความจริงของประพจน์ในทฤษฎีฟัซซี่ลอจิก

กำหนดให้ $V(A)$ เป็นฟัซซี่เซตในเอกภพสัมพัทธ์ $V = (0, 1)$ ซึ่งแทนค่าความจริงของประพจน์ A

จะได้ว่า

$$V(A) = \{(v_i, \mu_i) \mid i = 1, 2, \ldots, n;\ v_i \in (0, 1)\} \tag{3.22}$$

$$V(\text{not}A) = 1 - V(A) = \{(1-v_i, \mu_i) \mid i = 1, 2, \ldots, n;\ v_i \in (0, 1)\} \tag{3.23}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

นิยาม 29 การปฏิบัติการทางตรรกศาสตร์ในทฤษฎีฟัซซี่ลอจิก

กำหนดให้ $V(A) = \{(v, \mu_A(v)) \mid \mu_A(v) \in (0, 1); (v) \in (0, 1)\}$

$V(B) = \{(v, \mu_B(v)) \mid \mu_B(v) \in (0, 1); (v) \in (0, 1)\}$

จะได้ว่า

$$V(A) \wedge V(B) = V(A \text{ and } B) = \{(v, \min\{\mu_A(v), \mu_B(v)\})\} \quad (3.24)$$

$$V(A) \vee V(B) = V(A \text{ or } B) = \{(v, \max\{\mu_A(v), \mu_B(v)\})\} \quad (3.25)$$

$$-V(A) = \text{not } (V(A)) = \{(v, 1- \mu_A(v))\} \quad (3.26)$$

$$V(A) \rightarrow V(B) = V(A \rightarrow B) = - V(A) \vee V(B)$$

$$= \{(v, \max\{(1 - \mu_A(v)), \mu_B(v)\})\} \quad (3.27)$$

ในกรณีที่ $V(A) = \{(v_i, \alpha_i) \mid i = 1, 2, \ldots, n; v_i \in (0, 1); \alpha_i \in (0, 1)\}$

$V(B) = \{(\omega_i, \beta_i) \mid i = 1, 2, \ldots, n; \omega_i \in (0, 1); \beta_i \in (0, 1)\}$

จะได้ว่า

$$V(A) \wedge V(B) = V(A \text{and} B) = \left\{\left(\min\{v_i, \omega_i\}, \max_{\min\{v_i, \omega_i\}} \min\{\alpha_i, \beta_i\} \right)\right\} \quad (3.28)$$

$$V(A) \vee V(B) = V(A \text{or} B) = \left\{\left(\max\{v_i, \omega_i\}, \max_{\max\{v_i, \omega_i\}} \min\{\alpha_i, \beta_i\} \right)\right\} \quad (3.29)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

$$\nu(A) \rightarrow \nu(B) = \nu(A \longrightarrow B) = -\nu(A) \vee \nu(B)$$

$$= \left\{ \left(\min\{\nu_i, \omega_i\}, \max_{\max\{\nu_i, \omega_i\}} \min\{1-\alpha_i, \beta_i\} \right) \right\} \qquad (3.30)$$

Zadeh ได้เสนอตารางความจริงการพิจารณาค่าความจริงในการปฏิบัติการของฟัซซี่ลอจิก โดยการขยายจากตรรกศาสตร์บูลีนมาเป็นตรรกะ 3 ค่า คือ true (T), false (F) และ unknown (T + F) ได้ดังตารางที่ 3.1

ตารางที่ 3.1 ตารางความจริงสำหรับตัวปฏิบัติการฟัซซี่ลอจิกตามนิยามของ Zadeh

A	B	$\wedge$	$\vee$	-A
T	T	T	T	F
T	F	F	T	F
T	T+F	T+F	T	F
F	T	F	T	T
F	F	F	F	T
F	T+F	F	T+F	T
T+F	T	T+F	T	T+F
T+F	F	F	T+F	T+F
T+F	T+F	T+F	T+F	T+F

Baldwin ได้เสนอการสร้างตารางความจริงสำหรับทฤษฎีฟัซซี่ลอจิกโดยทำการนิยามเทอมและฟังก์ชันการเป็นสมาชิกของตัวแปรลิงกวิสติก "Truth" ซึ่งแสดงไว้ ดังนี้

$$\text{True} = \{(\nu, \mu_{true}(\nu) = \nu) \mid \nu \in (0,1)\}$$

$$\text{False} = \{(\nu, \mu_{false}(\nu) = 1 - \mu_{true}(\nu)) \mid \nu \in (0,1)\}$$

$$\text{very true} = \{(\nu, (\mu_{true}(\nu))^2) \mid \nu \in (0,1)\}$$

$$\text{very false} = \{(\nu, (1-\mu_{true}(\nu))^2) \mid \nu \in (0,1)\}$$

$$\text{fairly true} = \{(\nu, (\mu_{true}(\nu))^{1/2}) \mid \nu \in (0,1)\}$$

$$\text{fairly false} = \{(\nu, (1-\mu_{true}(\nu))^{1/2}) \mid \nu \in (0,1)\}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
550683

$$\text{undecided} = \{(v, 1) \mid v \in (0,1)\}$$

$$\text{absolutely true} = \{(v, \mu_{at}(v)) \mid v \in (0,1)\} ; \mu_{at}(v) = \begin{cases} 1; & v = 1 \\ 0; & v \neq 1 \end{cases}$$

$$\text{absolutely false} = \{(v, \mu_{af}(v)) \mid v \in (0,1)\} ; \mu_{af}(v) = \begin{cases} 1; & v = 0 \\ 0; & v \neq 0 \end{cases}$$

ดังนั้น $(\text{very})^k$ true $\longrightarrow$ absolutely true เมื่อ $k \longrightarrow \infty$

$(\text{very})^k$ false $\longrightarrow$ absolutely false เมื่อ $k \longrightarrow \infty$

$(\text{fairly})^k$ true $\longrightarrow$ undecided เมื่อ $k \longrightarrow \infty$

$(\text{fairly})^k$ false $\longrightarrow$ undecided เมื่อ $k \longrightarrow \infty$

นอกจากนี้ Baldwin ได้นิยามตัวปฏิบัติการ “and” และ “or” ด้วย minimum และ maximum ตามลำดับและสร้างตารางความจริงของการปฏิบัติการฟัซซี่ลอจิกได้ผลลัพธ์ดังแสดงในตารางที่ 3.2

ตารางที่ 3.2 ตารางความจริงสำหรับตัวปฏิบัติการฟัซซี่ลอจิกตามนิยามของ Baldwin

V(P)	V(Q)	V(P and Q)	V(P or Q)
false	False	false	false
true	False	false	true
true	true	true	true
undecided	false	false	undecided
undecided	true	undecided	true
undecided	undecided	undecided	undecided
true	very true	true	very true
true	fairly true	fairly true	true

การหาข้อสรุปตามหลักการเหตุผลโดยใช้ทฤษฎีฟัซซี่ลอจิกจะขยายนิยามของสัจจนิรันดร์ที่ใช้ในตรรกศาสตร์แบบเดิมใช้หาข้อสรุปตามหลักการเหตุผลของประพจน์ที่เป็นฟัซซี่เซต โดยจะทำการขยายนิยามของ Modus Ponens และ Modus Tollens สำหรับทฤษฎีของฟัซซี่ลอจิกนั้นจะเรียกว่า Generalized Modus Ponens : GMP และ Generalized Modus Tollens : GMT ดังแสดงในนิยาม 22 และนิยาม 23 ตามลำดับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

นิยาม 22 Generalized Modus Ponens : GMP

Generalized Modus Ponens คือ การหาข้อสรุปจากเหตุไปหาผล (forword data – driven)

GMP :	Premise	u is A'.
	Implication	If u is A then v is B.
	Conclusion	v is B'.

โดยที่ GMP Implication ถูกนิยามดังสมการ

$$A \longrightarrow B = \max \left\{ c \in (0, 1), t(A, c) \leq B \right\} \tag{3.31}$$

นิยาม 23 Generalized ModusTollens : GMT

Generalized Modus Tollens คือ การหาข้อสรุปจากผลไปหาเหตุ (backword goal – driven)

GMP :	Premise	v is B'
	Implication	If u is A then v is B
	Conclusion	u is A'

โดยที่ GMT Implication ถูกนิยามดังสมการ

$$A \longrightarrow B = \min \left\{ c \in (0, 1), s(B, c) \leq A \right\} \tag{3.32}$$

นิยาม 24 ฟัซซี่อิมพลิเคชัน (Fuzzy Implication)

ฟัซซี่อิมพลิเคชัน คือ เงื่อนไขความสัมพันธ์แบบฟัซซีระหว่างของส่วนเหตุ (Antecedent) และส่วนผล (Consequence) ที่ใช้หาข้อสรุปตามหลักการเหตุผลจากนิยามของ GMP Implication ตามนิยาม 22 จะเห็นว่าฟัซซี่อิมพลิเคชันขึ้นอยู่กับการเลือกใช้ตัวปฏิบัติการ t-norms และ s-norms ซึ่งมีผู้นำเสนอวิธีการทำฟัซซี่อิมพลิเคชันแบบต่าง ๆ กัน ตามตัวปฏิบัติการ t-norms และ s-norms ที่เลือกใช้ดังแสดงในตัวอย่าง ต่อไปนี้

Mamdani's Implication

$$R_m = AxB = \left\{ \left((u, v), \min\left\{ \mu_A(u), \mu_B(v) \right\} \right) \right\} \tag{3.33}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Larsen's Implication

$$R_L = AxB = \{((u, v), \{\mu_A(u), \mu_B(v)\})\} \quad (3.34)$$

Zadeh's Arithmetic Rule of Fuzzy Implication

$$Rz_a = (\text{not } AxV) \oplus (UxB) = \{((u, v), \min\{1-\mu_A(u)+ \mu_B(v)\})\} \quad (3.35)$$

Boolean Fuzzy Implication

$$R_B = (\text{not } A \text{ x } V) \cup (UxB) = \{((u, v), \max\{(1-\mu_A(u)), \mu_B(v)\})\} \quad (3.36)$$

Zadeh's Max-Min Rule of Fuzzy Implication

$$Rz_m = (AxB) \cup (\text{not } AxV) = \{((u, v), \max\{\min\{\mu_A(u), \mu_B(v), (1-\mu_A(u))\})\} \quad (3.37)$$

Standard Sequence Fuzzy Implication

$$R_S = A \text{ xV} \rightarrow UxB = \left\{ ((u,v), \mu_{R_S}(u,v)) \;\middle|\; \mu_{R_S}(u,v) = \begin{cases} 1; \ \mu_A(u) \le \mu_B(v) \\ 0; \ \mu_A(u) > \mu_B(v) \end{cases} \right\} \quad (3.38)$$

ในปี ค.ศ.1980 Fukamietal ได้พิสูจน์ถึงหลักในการเลือกฟังก์ชันสำหรับในการอิมพลิเคชันของ GMP และ GMT และทำการหาข้อสรุปตามหลักการเหตุผลได้ผลลัพธ์ดังตารางที่ 3.3 และตารางที่ 3.4 ตามลำดับ

ตารางที่ 3.3 ผลของการหาข้อสรุปตามหลักการเหตุผลโดยใช้ GMP ด้วยหลักการของ Fukami

Criteria	Premise (u is A')	Conclusion (v is B')
1	u is A	v is B
2a	u is (very A)	v is (very B)
2b	u is (very A)	v is B
3a	u is (more or less A)	v is (more or less B)
3b	u is (more or less A)	v is B
4a	u is (not A)	v is unknown
4b	u is (not A)	v is (not B)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 3.4 ผลของการหาข้อสรุปตามหลักการเหตุผลโดย GMT ด้วยหลักการของ Fukami

Criteria	Premise (u is B')	Conclusion (v is A')
1	v is (not B)	u is (not A)
2	v is (not very B)	u is (not very A)
3	v is (not more or less B)	u is (not more or less A)
4a	v is B	u is unknown
4b	v is B	u is A

3.3 ความสัมพันธ์ฟัซซี่ (Fuzzy Relation)

นิยาม 25 ผลคูณคาร์ทีเชียน (Cartesian Product)

กำหนดให้ $A_1, \ldots, A_n$ เป็นฟัซซี่เซตในเอกภพสัมพัทธ์ $U_1, \ldots, U_n$

โดยที่ $u_1, \ldots, u_n \in U_1, \ldots, U_n$ ตามลำดับ

ผลคูณคาร์ทีเชียนของ $A_1, \ldots, A_n$ คือ ฟัซซี่เซตในเอกภพสัมพัทธ์ $U_1, x \ldots x, U_n$ ที่มีฟังก์ชันการเป็นสมาชิก ดังนี้

$$\mu_{A1}x\ldots xA_n(U_1, \ldots, U_n) = \begin{cases} \min\left\{\mu_{A1}(u_1), \ldots, \mu_{An}u_n)\right\} & \text{min-intersection} \\ \mu_{A1}(u_1).\ \ldots\ .\ \mu_{An}u_n) & \text{algebraic product} \end{cases} \quad (3.39)$$

นิยาม 26 ความสัมพันธ์ฟัซซี่

กำหนดให้ R เป็นความสัมพันธ์ของฟัซซี่จากฟัซซี่เซต A ไปยังฟัซซี่เซต B โดยที่ A เป็นฟัซซี่เซตในเอกภพสัมพัทธ์ U; $u \in U$ และ B เป็นฟัซซี่เซตในเอกภพสัมพัทธ์ V; $v \in V$ จะได้ว่า

$$R_{UxV} = A \times B = \left\{\left((u, v), \mu_R(u, v)\right) \mid (u, v) \in UxV\right\} \quad (3.40)$$

$$\mu_R(u, v) = \mu_{AxB}(u,v) = \begin{cases} \min\left\{\mu_A(u), \mu_B(v)\right\} & \text{min-intersection} \\ \mu_A(u)\ .\ \mu_B(v) & \text{algebraic product} \end{cases} \quad (3.41)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ความสัมพันธ์ฟัซซี่ขนาด n มิติของฟัซซี่เซต $A_1, \ldots, A_n$ (เมื่อ $A_1, \ldots, A_n$ เป็นฟัซซี่เซตในเอกภพสัมพัทธ์ $U_1, \ldots, U_n$ ตามลำดับ) คือ ฟัซซี่สับเซตในเอกภพสัมพัทธ์ $U_1 x \ldots x U_n$ ที่ถูกกำหนดดังนี้

$$R_{U_1 x \ldots x U_n} = \left\{ \left((u_1, \ldots, u_n), \mu_R(u_1, \ldots u_n) \right) \mid (u_1, \ldots, u_n) \in U_1 x \ldots x U_n \right\} \tag{3.42}$$

$$\mu_R(u_1, \ldots, u_n) \leq \mu_{A_i}(u_i);\ i = 1, \ldots, n\ ;\ \forall (u_1, \ldots, u_n) \in U_1 x \ldots x U_n \tag{3.43}$$

นิยาม 27 การปฏิบัติการของความสัมพันธ์ฟัซซี่

กำหนดให้ R_1 และ R_2 เป็นความสัมพันธ์ฟัซซี่บนระนาบเดียวกัน คือ $U_1 x \ldots x U_n$ ยูเนียนนิยามโดยใช้ตัวปฏิบัติการ maximum ได้ดังนี้

$$\mu_{R_1 \cup R_2}(u_1, \ldots, u_n) = \max \left\{ \mu_{R_1}(u_1, \ldots, u_n), \mu_{R_2}(u_1, \ldots, u_n) \right\} \tag{3.44}$$

โดยที่ $(u_1, \ldots, u_n) \in U_1 x \ldots x U_n$

อินเตอร์เซคชันนิยามโดยใช้ตัวปฏิบัติการ minimum ได้ดังนี้

$$\mu_{R_1 \cap R_2}(u_1, \ldots, u_n) = \min \left\{ \mu_{R_1}(u_1, \ldots, u_n), \mu_{R_2}(u_1, \ldots, u_n) \right\} \tag{2.64}$$

โดยที่ $(u_1, \ldots, u_n) \in U_1 x \ldots x U_n$

นิยาม 28 คุณสมบัติของความสัมพันธ์ฟัซซี่

กำหนดให้ $R = \left\{ \left((u, v), \mu_R(u, v) \right) \mid (u, v) \in U \times V \right\}$ เป็นความสัมพันธ์ฟัซซี่

Reflexitivity R จะมีคุณสมบัติเป็น Reflexitivity ก็ต่อเมื่อ $\mu_R(u, v) = 1;\ \forall u \in U$

Irreflexitivity R จะมีคุณสมบัติเป็น Irreflexitivity ก็ต่อเมื่อ $\mu_R(u, v) = 0;\ \forall u \in U$

Symmetry R จะมีคุณสมบัติเป็น Symmetry ก็ต่อเมื่อ $R(u,v) = R(v, u)$

Antisymmetry R จะมีคุณสมบัติเป็น Antisymmetry ก็ต่อเมื่อ

ถ้า $u \neq v$ แล้ว $\mu_R(u, v) \neq \mu_R(v, u)$ หรือ $\mu_R(u, v) = \mu_R(v, u) = 0;\ \forall u,\ \forall v \in U$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Perfectly Antisymmetry R จะมีคุณสมบัติเป็น Antisymmetry อย่างสมบูรณ์ ก็ต่อเมื่อ

$$\text{ถ้า } u \neq v \text{ และ } \mu_R(u, v) > 0 \text{ แล้ว } \mu_R(v, u) = 0 \; ; \; \forall u, \forall v \in U$$

Transitivity R จะมีคุณสมบัติเป็น Transitivity ก็ต่อเมื่อ

$$R \circ R \subseteq R \text{ หรือ } \max_{v \in V} \left\{ \min \left[\mu_R(u, v), \mu_R(v, w) \right] \right\} \leq \mu_R(u, w)$$

นิยาม 29 โปรเจกชันของความสัมพันธ์ฟัซซี่ (Fuzzy Relation Projection)

กำหนดให้ $R = \left\{ \left((u, v), \mu_R(u, v) \right) \mid (u, v) \in UxV \right\}$ เป็นความสัมพันธ์ฟัซซี่โปรเจกชันของความสัมพันธ์ฟัซซี่ R ถูกนิยาม ดังนี้

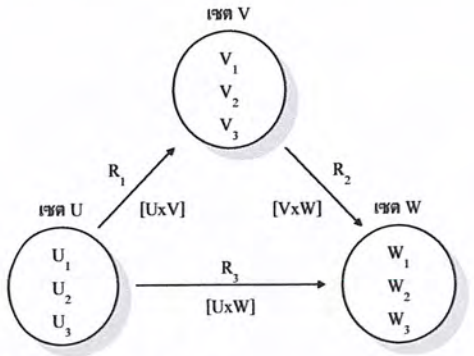
first projection : $$R^{(1)} = \left\{ (u, \max_{v \in V} \mu_R(u, v)) \mid (u, v) \in UxV \right\} \quad (3.46)$$

second projection: $$R^{(2)} = \left\{ (v, \max_{u \in U} \mu_R(u, v)) \mid (u, v) \in UxV \right\} \quad (3.47)$$

total projection: $$R^{(T)} = \left\{ ((u, v), \max_{u \in U} \max_{v \in V} \mu_R(u, v)) \mid (u, v) \in UxV \right\} \quad (3.48)$$

3.4 การคอมโพสิชันแบบฟัซซี่ (Fuzzy Composition)

กำหนดให้ $R_1(u, v)$ เป็นความสัมพันธ์จากเอกภพสัมพัทธ์ U ไป V โดยที่ $(u, v) \in UxV$ และ $R_2(v, w)$ เป็นความสัมพันธ์จากเอกภพสัมพัทธ์ V ไป W โดยที่ $(v, w) \in VxW$ การคอโพสิชันคือปฏิบัติการในการหาค่าความสัมพันธ์ $R_3(u, w)$ จากความสัมพันธ์ที่ถ่ายทอดต่อเนื่องกันเป็นลูกโซ่ $R_1(u, v)$ และ $R_2(v, w)$ ดังแสดงในภาพที่ 3.1



ภาพที่ 3.1 การคอมโพสิชันของความสัมพันธ์ฟัซซี่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กำหนดให้ $R_1(u, v)$ ซึ่งเป็นความสัมพันธ์ฟัซซี่บนระนาบ $U \times V$ โดยที่ $(u, v) U \times V$ และ $R_2(v, w)$ เป็นความสัมพันธ์ฟัซซี่ บนระนาบ $V \times W$ โดยที่ $(v,w) \in V \times W$

การคอมโพสิชันของความสัมพันธ์ฟัซซี่ถูกนิยาม ดังนี้

นิยาม 30 Max-Min Composition

$$R_3 = R_1 \circ R_2 = \left\{ \left((u,w), \max_{v \in V} \left\{ \min \left[\mu_{R_1}(u, v), \mu_{R_2}(v, w) \right] \right\} \right) \mid u \in U, v \in V, w \in W \right\} \quad (3.49)$$

นิยาม 31 Max-Product Composition

$$R_3 = R_1 * R_2 = \left\{ \left((u,w), \max_{v \in V} \left[\mu_{R_1}(u, v), \mu_{R_2}(v, w) \right] \right) \mid u \in U, v \in V, w \in W \right\} \quad (3.50)$$

นิยาม 32 Max-Average Composition

$$R_3 = R_1 av R_2 = \left\{ \left((u, w), \max_{v \in V} \left\{ \frac{\mu_{R_1}(u, v) + \mu_{R_2}(v, w)}{2} \right\} \right) \mid u \in U, v \in V, w \in W \right\} \quad (3.51)$$

นิยาม 33 Min-Max Composition

$$R_3 = R_1 \bullet R_2 = \left\{ \left((u,w), \max_{v \in V} \left\{ \max \left[\mu_{R_1}(u, v), \mu_{R_2}(v, w) \right] \right\} \right) \mid u \in U, v \in V, w \in W \right\} \quad (3.52)$$

วิธีการ max-min composition เป็นวิธีที่นิยมใช้มากที่สุด มีคุณสมบัติที่สำคัญ ดังนี้

1. $(R_1 \cup R_2) \circ R_3 = (R_1 \circ R_3) \cup (R_2 \circ R_3)$ Distributed w.r.t. union
2. $(R_1 \cap R_2) \circ R_3 \subset (R_1 \circ R_3) \cap (R_2 \circ R_3)$ Non - distributed w.r.t. intersection
3. $(R_1 \circ R_2) \circ R_3 = R_1 \circ (R_2 \circ R_3)$ Association property
4. ถ้า $R_1 \subset R_2$
   แล้ว $(R_1 \circ R_3) \subset (R_2 \circ R_3)$ Inclusion property
5. ถ้า R_1, R_2 มีคุณสมบัติเป็น Reflexitivity
   แล้ว $R_1 \circ R_2$ จะมีคุณสมบัติเป็น Reflexitiviy
6. ถ้า R_1, R_2 มีคุณสมบัติเป็น Symmetry และ $R_1 \circ R_2 = R_2 \circ R_1$
   แล้ว $R_1 \circ R_2$ จะมีคุณสมบัติเป็น Symmetry

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

7. ถ้า R_1, R_2 มีคุณสมบัติเป็น Transitivity และ $R_1 \circ R_2 = R_2 \circ R_1$

   แล้ว $R_1 \circ R_2$ จะมีคุณสมบัติเป็น Transitivity

8. ถ้า R มีคุณสมบัติเป็น Symmetry และ Transitivity

   แล้ว $\mu_R(u, v) \leq \mu_R(u, u)$; $\forall u, \forall v \in U$

9. ถ้า R มีคุณสมบัติเป็น Reflexitivity

   แล้ว $R \subset R \circ R$

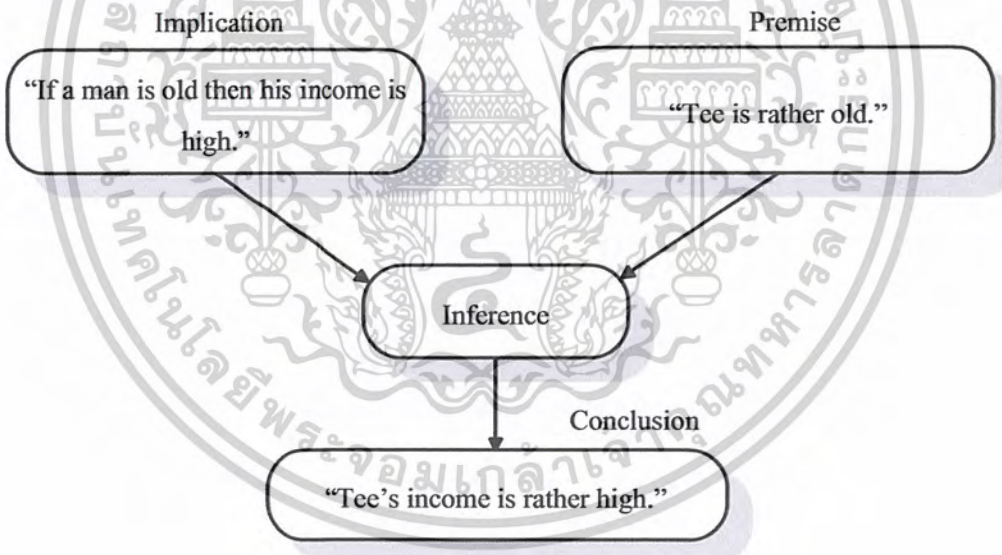
10. ถ้า R มีคุณสมบัติเป็น Reflexitivity และ Transitivity

    แล้ว $R \circ R = R$

3.5 การอินเฟอเรนซ์แบบฟัซซี่ (Fuzzy Inference)

นิยาม 34 การอินเฟอเรนซ์

การอินเฟอเรนซ์ คือกระบวนการในการหาข้อสรุป (Conclusion) จากหลักฐาน (Premise) โดยใช้เงื่อนไขความสัมพันธ์ระหว่างเหตุและผล (Implication) ดังแสดงในตัวอย่างดังภาพที่ 3.2



ภาพที่ 3.2 การหาข้อสรุปจากหลักฐานโดยใช้เงื่อนไขความสัมพันธ์ระหว่างเหตุและผล

นิยาม 35 กฎการคอมโพสิชันของการอินเฟอเรนซ์ (Compositional Rule of Inference : CRI)

กำหนดให้	Premise	u is A'.
	Implication	If u is A then v is B.
	Conclusion	u is B'.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อ A, A' เป็นฟัซซี่เซตในเอกภพสัมพัทธ์ U โดยที่ $u \in U$

B, B' เป็นฟัซซี่เซตในเอกภพสัมพัทธ์ V โดยที่ $v \in V$

ทำการแปลงอิมพลิเคชันเป็นความสัมพันธ์ฟัซซี่ R ใน UxV ดังนั้น จะหา B' ได้ดังนี้

$$B' = \begin{cases} A' \circ R & \text{max-min composition} \\ A' * R & \text{max-product composition} \\ A' \text{ av } R & \text{max-average composition} \\ A' \bullet R & \text{min-max composition} \end{cases} \tag{3.53}$$

วิธีการคอมโพสิชันที่นิยมใช้มากที่สุดในการอินเฟอเรนซ์ คือ CRI ของ Zadeh ซึ่งจะใช้ตัวปฏิบัติการ max และ min ในการปฏิบัติการ s-norm และ t-norm ตามลำดับสามารถที่จะหา B' ได้ดังสมการ ต่อไปนี้

$$B' = A' \circ R = \left\{ \left(v, \max_{A' \in U} \left\{ \min \left[\mu_A, (u), \mu_R(u, v) \right] \right\} \right) \middle| u \in U, v \in V \right\} \tag{3.54}$$

จากวิธีการอินเฟอเรนซ์ดังกล่าวข้างต้นทำให้สามารถหา B' จาก $A' \circ R$ ซึ่งเป็นความสัมพันธ์ฟัซซี่ที่สำคัญสำหรับการควบคุม แต่นอกจากนี้ยังพบปัญหาที่สำคัญอื่น ๆ คือ

1. ปัญหาในการสร้างโมเดลโดยการหาความสัมพันธ์ฟัซซี่ R จากฟัซซี่เซต A และ B
2. ปัญหาการออกแบบตัวควบคุมโดยการหาฟัซซี่เซต A จากความสัมพันธ์ฟัซซี่ R และฟัซซี่เซต B

ซึ่งจะเห็นได้ว่าการแก้ปัญหาทั้งสองนี้จะต้องใช้ตัวปฏิบัติการผกผัน (Inverse) ของการคอมโพสิชันจึงมีการนิยามตัวปฏิบัติการ $\varnothing$– composition สำหรับการคอมโพสิชันผกผัน ดังนี้

<u>นิยาม 36</u> ตัวปฏิบัติการ $\varnothing$– Composition

$\varnothing$–Composition คือ ตัวปฏิบัติการผกผันของการคอมโพสิชันนั้นเป็นฟังก์ชันที่มาจาก (0, 1)x(0, 1) ไปยัง (0, 1) ซึ่งถูกนิยาม ดังนี้

$$\varnothing = \max \left[c \in (0, 1) \middle| t(x, c) \leq y; x, y \in (0, 1) \right] \tag{3.55}$$

$\varnothing$– Composition ของความสัมพันธ์ฟัซซี่ R บนระนาบ UxV กับฟัซซี่เซต B ซึ่งถูกเขียนแทนด้วยสัญลักษณ์ $R \varnothing B'$ และถูกนิยามในรูปฟังก์ชันการเป็นสมาชิก ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\mu_{(R \varnothing B')}(u) = \min_{v \in B'} \left[\mu_R(u,v) \varnothing \mu_{B'}(v) \right] \tag{3.56}$$

นิยาม 37 คุณสมบัติของตัวปฏิบัติการ $\varnothing$– composition

1. $x \varnothing \max(y, z) \geq \max(x \varnothing y,\ x \varnothing z);\ z \in (0, 1)$
2. $t(x, (x \varnothing y)) \leq y$
3. $x \varnothing t(x, y) \geq y$
4. $A' \circ (A' \varnothing B') \subseteq B';\ \forall A', \forall B'$
5. $R \subseteq A' \varnothing (A' \circ R);\ \forall A, \forall B'$
6. $(R \varnothing B') \circ R \subseteq B';\ \forall A', \forall B'$
7. $A' \subseteq R \varnothing (A' \circ R);\ \forall A', \forall R \in (U \times V)$
8. $R = A' \varnothing B'$ คือคำตอบของการคอมโพสิชันผกผัน $A' = B' \circ R$
9. $A' = R \varnothing B'$ คือคำตอบของการคอมโพสิชันผกผัน $A' \circ R = B'$

3.6 การฟัซซิเคชัน (Fuzzification)

นิยาม 38 การฟัซซิฟิเคชัน

การฟัซซิฟิเคชัน คือ กระบวนการหาค่าฟัซซี่เซตบนเอกภพสัมพัทธ์ U ของอินพุทเพื่อเป็นตัวแทนของอินพุท ซึ่งมีค่าเป็นตัวเลข สำหรับใช้เป็นอินพุทของระบบฟัซซี่

การฟัซซิฟิเคชันสามารถทำได้ 3 วิธี ดังนี้

1. การฟัซซิฟิเคชัน โดยใช้ฟัซซี่ซิงเกิลตันจะได้ว่า Fuzzification (u_0) = A โดยที่ A จะเป็นฟัซซี่ซิงเกิลตันซึ่งมี $S(A) = \{u_0\}$

$$\mu_A(u) = \begin{cases} 1; & u = u_0 \\ 0; & u \neq u_0 \end{cases} \tag{3.57}$$

2. การฟัซซิฟิเคชัน โดยใช้ฟัซซี่นัมเบอร์จะได้ว่า Fuzzification (u_0) = A โดยที่ A เป็นฟัซซี่นัมเบอร์

โดย $\mu_A(u) = 1$ เมื่อ $u = u_0$

และ $\mu_A(u)$ ลดลง เมื่อ u อยู่ห่างออกไปจาก u_0

ตัวอย่างของการฟัซซิฟิเคชันโดยใช้ฟัซซี่นัมเบอร์เช่น

$$\mu_A(u) = \exp\left(\frac{(u-u_0)^T (u-u_0)}{\sigma^2} \right) \tag{3.58}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยที่ σ เป็นพารามิเตอร์ในการกำหนดรูปร่างของ $\mu_A(u)$

3. การฟัซซิฟิเคชัน โดยใช้ไฮบริดนัมเบอร์ (Hybrid Number) แล้ว Fuzzification (u_0) = A โดยที่ A เป็นไฮบริดนัมเบอร์ (ไฮบริดนัมเบอร์ คือ ฟัซซี่นัมเบอร์ ที่มีสมาชิกในเอกภพสัมพัทธ์เป็นแบบ Random Number)

$\mu_A(u) = 1$ เมื่อ $u = u_0$

และ $\mu_A(u)$ ลดลง เมื่อ u อยู่ห่างออกไปจาก u_0

3.7 การดีฟัซซิฟิเคชัน (Defuzzification)

<u>นิยาม 39</u> การดีฟัซซิฟิเคชัน

การดีฟัซซิฟิเคชัน คือ กระบวนการหาค่าเอาท์พุทเพียงค่าเดียว (ซิงเกิลตัน) ที่เหมาะสมที่สุดเพื่อเป็นตัวแทนของฟัซซี่เอาท์พุทมีค่าความเป็นไปได้กระจายอยู่บนเอกภพสัมพัทธ์ V ของเอาท์พุท กำหนดให้ R คือ ความสัมพันธ์ฟัซซี่จากเอกภพสัมพัทธ์ U ไป V ที่แสดงถึงความสัมพันธ์ระหว่างอินพุท u และเอาท์พุท v

u_0 คือ อินพุทที่วัดได้ เป็นฟัซซี่ซิงเกิลตัน

ในการคอมโพสิชันระหว่างฟัซซี่ซิงเกิลตัน u_0 กับความสัมพันธ์ฟัซซี่ R จะได้ผลลัพธ์เป็นฟัซซี่เซต B ซึ่งเป็นสับเซตของเอกภพสัมพัทธ์ V และเมื่อทำดีฟัซซิฟิเคชัน จะหาฟัซซี่ซิงเกิลตัน v_0 ซึ่งเป็นตัวแทนของฟัซซี่เอาท์พุท B เพื่อใช้เป็นเอาท์พุทที่แท้จริงของระบบได้

ตัวอย่างวิธีการดีฟัซซิฟิเคชันที่นิยมใช้ มีดังนี้

3.7.1 Max Procedure

เป็นวิธีการดีฟัซซิฟิเคชันโดยเลือกค่าเอาท์พุทที่มีค่าฟังก์ชันการเป็นสมาชิกมากที่สุดเพื่อใช้เป็นตัวแทนของฟัซซี่เอาท์พุท สามารถแสดงด้วยสมการดังนี้

$$v_0 = \max_{v \in V} \mu_B(v) \tag{3.59}$$

3.7.2 Mean of Maximum (MOM)

เป็นวิธีที่ขยายมาจากวิธี max procedure เพื่อจะใช้ในกรณีที่ค่าเอาท์พุทมีค่าฟังก์ชันการเป็นสมาชิกสูงสุดเท่ากันหลายค่าให้ทำการหาค่าเฉลี่ยของค่าเอาท์พุทที่มีค่าฟังก์ชันการเป็นสมาชิสูงสุดเท่ากันโดยใช้สมการ ดังนี้

$$v_0 = \mathrm{MOM}(B) = \frac{\sum_{j=1}^{J} v_j}{J} \tag{3.60}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อ v_j คือ ค่าเอาท์พุทแต่ละค่าที่มีค่าฟังก์ชันการเป็นสมาชิกสูงสุดเท่ากัน

J คือ จำนวนเอาท์พุทที่มีค่าฟังก์ชันการเป็นสมาชิกสูงสุดเท่ากัน

3.7.3 Centre of Area (COA) / Centre of Gravity (COG)

วิธี COA เป็นวิธีหาจุดศูนย์กลางของพื้นที่ได้กราฟของฟังก์ชันการเป็นสมาชิก เพื่อใช้เป็นตัวแทนของฟัซซี่เอาท์พุทซึ่งทำได้ โดยการที่แบ่งพื้นที่ใต้กราฟของฟังก์ชันการเป็นสมาชิกออกเป็นสองส่วนเท่าๆ กัน และค่า v_0 จะได้จากค่าของ v ที่ตำแหน่งของเส้นแบ่งครึ่งจะสามารถแสดงด้วยสมการ ดังนี้

$$\int_{-\infty}^{COA(B)} \mu_B(v)dv = \int_{COA(B)}^{\infty} \mu_B(v)dv \tag{3.61}$$

ในทางปฏิบัติการคำนวณโดยใช้สมการที่ (3.61) ทำได้ยากจึงทำการประมาณการคำนวณของวิธี COA โดยใช้วิธี COG ซึ่งเป็นการหาจุดศูนย์กลางการถ่วงน้ำหนักแทนการหาจุดศูนย์กลางของพื้นที่ใต้กราฟสมการของการดีฟัซซิฟิเคชันโดยใช้วิธี COG สามารถแสดง ดังนี้

$$v_0 = COG(B) = \frac{\int_V v\mu_B(v)dv}{\int_V \mu_B(v)dv} \tag{3.62}$$

ในกรณีที่เอกภพสัมพันธ์ V มีสมาชิกเป็นค่าที่ไม่ต่อเนื่อง (Discrete) สามารถหาค่า v_0 ได้จากสมการ ดังนี้

$$v_0 = COG(B) = \frac{\sum_{i=1}^{N_q} v_i \mu_B(v_i)}{\sum_{i=1}^{N_q} \mu_B(v_i)} \tag{3.63}$$

เมื่อ N_q คือ ระดับการควอนไตซ์

V_i คือ ค่าเอาท์พุทของแต่ละค่าในการควอนไตซ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.7.4 Fuzzy Mean Method (FM)

เป็นวิธีที่ปรับปรุงมาจากวิธี COG เพื่อลดเวลาในการคำนวณจะ โดยการลดระดับในการทำการควอนไตซ์ลงให้เท่ากับจำนวนเทอมของตัวแปรเอาท์พุท ในเอกภพสัมพัทธ์ V และจะใช้ค่าเฉลี่ยของแต่ละเทอมเป็นตัวแทนค่าเอาท์พุทแต่ละค่าของการควอนไตซ์ สมการของการดีฟัซซิฟิเคชันโดยใช้วิธี FM สามารถแสดงได้ ดังนี้

$$v_0 = FM(B) = \frac{\sum_{k=1}^{N_v} \gamma_k v_k}{\sum_{k=1}^{N_v} \gamma_k} \tag{3.63}$$

เมื่อ N_V คือ จำนวนฟัซซี่เซตของตัวแปรเอาท์พุทในเอกภพสัมพัทธ์ V

γ_k คือ ค่าเฉลี่ยที่ใช้เป็นตัวแทนของฟัซซี่เซตของตัวแปรเอาท์พุทแต่ละเทอมบนเอกภพสัมพัทธ์ V

v_k คือ ค่าระดับการเป็นสมาชิกของฟัซซี่เซตของตัวแปรเอาท์พุทแต่ละเทอมบนเอกภพสัมพัทธ์ V

3.7.5 Weighted Fuzzy Mean Method (WFM)

เป็นวิธีที่ปรับปรุงเพิ่มเติมมาจากวิธี FM โดยการเพิ่มการคูณสัมประสิทธิ์ถ่วงน้ำหนักของตัวแปรเอาท์พุทในแต่ละเทอม สมการของการดีฟัซซิฟิเคชันโดยใช้วิธี WFM สามารถแสดง ได้ดังนี้

$$v_0 = WFM(B) = \frac{\sum_{k=1}^{N_v} \omega_k \gamma_k v_k}{\sum_{k=1}^{N_v} \omega_k \gamma_k} \tag{3.64}$$

เมื่อ ω_k คือ สัมประสิทธิ์ถ่วงน้ำหนักของตัวแปรเอาท์พุทแต่ละเทอมในเอกภพสัมพัทธ์

3.7.6 Indexed Defuzzification Method (IDFZ)

เป็นวิธีที่ขยายมาจากการดีฟัซซิฟิเคชันแบบเดิม โดยที่ตัดเอาท์พุทบางส่วนที่มีค่าฟังก์ชันการเป็นสมาชิกน้อยกว่าค่าเทรชโฮลด์ (Threshold) ที่กำหนดโดยจะคำนวณเฉพาะค่าเอาท์พุทที่จะมีค่าฟังก์ชันการเป็นสมาชิกมากกว่าค่าเทรชโฮลด์ดังสมการ ต่อไปนี้

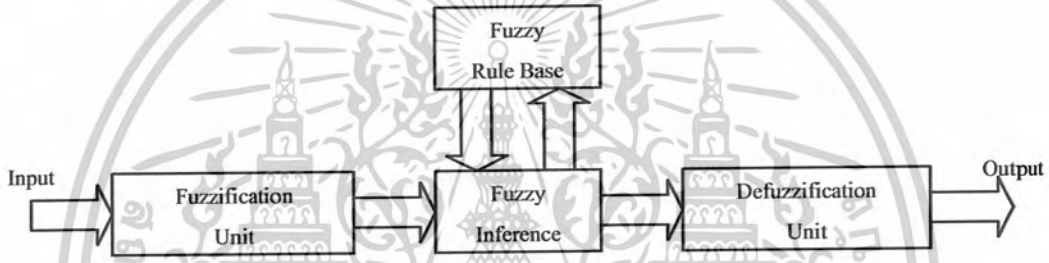
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$IDFZ(B, \alpha_i) = DFZ(\alpha\text{- cut}(B, \alpha_i)) \quad (3.66)$$

3.8 ตัวควบคุมฟัซซี่ (Fuzzy Controller)

โครงสร้างหลักของตัวควบคุมฟัซซี่ ประกอบด้วย 4 หน่วย คือ

1. หน่วยฟัซซิฟิเคชัน (Fuzzification Unit)
2. ฐานกฎการควบคุมฟัซซี่ (Fuzzy Rule Base)
3. หน่วยอินเฟอเรนซ์ (Fuzzy Inference)
4. หน่วยดีฟัซซิฟิเคชัน (Defuzzification Unit)



ภาพที่ 3.3 โครงสร้างพื้นฐานของตัวควบคุมฟัซซี่

3.8.1 หน่วยฟัซซิฟิเคชัน (Fuzzification Unit)

หน่วยฟัซซิฟิเคชันทำหน้าที่นอมอลไลซ์ตัวแปรสถานะของระบบ $x = [x_1, \ldots x_m]^T$ ที่จะใช้เป็นอินพุทของตัวควบคุมให้อยู่ใน เอกภพสัมพัทธ์ที่กำหนด และทำการแปลงตัวแปรอินพุท x ให้เป็นตัวแปรฟัซซี่ X' โดยใช้ฟัซซี่ซิงเกิลตันฟัซซี่นัมเบอร์ หรือไฮบริดนัมเบอร์

3.8.2 ฐานกฎการควบคุมฟัซซี่ (Fuzzy Rule Base)

ฐานกฎการควบคุมฟัซซี่เป็นหน่วยที่รวบรวมกฎการควบคุมแบบฟัซซี่ซึ่งอยู่ในรูปแบบของ IF... THEN....กำหนดให้กฎการควบคุมอยู่ในรูปแบบ สมการดังนี้

$$\text{IF } x \text{ is } X^k \text{ THEN } y \text{ is } Y^k \;;\; k = 1, 2, \ldots, M \quad (3.67)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยที่ x คือ ตัวแปรสถานะของกระบวนการ ซึ่งใช้เป็นอินพุทของตัวควบคุมฟัซซี่

X^k คือ ฟัซซี่เซตของตัวแปรอินพุทในส่วนเหตุของกฎการควบคุม

m คือ จำนวนตัวแปรอินพุทของตัวควบคุม

y คือ ตัวแปรเอาท์พุทของตัวควบคุมฟัซซี่

Y_k คือ ฟัซซี่เซตของตัวแปรเอาท์พุทในส่วนผสมของกฎของการควบคุมที่ k

M คือ จำนวนกฎการควบคุมทั้งหมดในฐานกฎการควบคุม

3.8.3 หน่วยอินเฟอเรนซ์ (Fuzzy Inference)

หน่วยอินเฟอเรนซ์ ทำหน้าที่หาค่าเอาท์พุท ของระบบฟัซซี่เซตจากค่าตัวแปรอินพุทแบบฟัซซี่ X' โดยวิธี GMP Implication หาค่าระดับการเป็นสมาชิก (Fire Strength) ของแต่ละกฎจากความสัมพันธ์ระหว่างตัวแปรอินพุทแบบฟัซซี่ X' กับฟัซซี่เซตในส่วนเหตุของแต่ละกฎ X^k แล้วจึงคำนวณหาค่าเอาท์พุท แบบฟัซซี่จาก ระดับการเป็นสมาชิกกับฟัซซี่เซตในส่วนผสมของแต่ละกฎ Y^k ตัวอย่างการอินเฟอเรนซ์ โดยใช้ CRI ของ Zadeh แสดงด้วยสมการ ดังนี้

$$\mu_{Y_k}(y) = \bigvee_{x \in U} [\mu_{x_k \to Y_k}(x,y) \wedge \mu_{X'}(x)] \tag{3.68}$$

3.8.4 หน่วยดีฟัซซิฟิเคชัน (Defuzzification Unit)

หน่วยดีฟัซซิฟิเคชัน ทำหน้าที่แปลงตัวแปรฟัซซี่เอาท์พุทให้เป็นค่าซิงเกิลตัน และทำการดีนอมอลไลซ์ ให้อยู่ในเอกภพสัมพัทธ์ที่ต้องการ เพื่อใช้เป็นค่าเอาท์พุทของตัวควบคุม โดยใช้วิธีการที่ได้กล่าวถึงในเรื่องการดีฟัซซิฟิเคชัน

ตัวอย่างของการดีฟัซซิฟิเคชัน โดยใช้วิธี FM แสดงดังสมการ

$$Y = \frac{\sum_{k=1}^{M} \bar{y}^k \mu_{Y^k}(\bar{y}^k)}{\sum_{k=1}^{M} \mu_{Y^k}(\bar{y}^k)} \tag{3.69}$$

เมื่อ $\mu_{Y^k}(\bar{y}^k)$ คือ ค่าระดับการเป็นสมาชิกของ $\bar{y}^k$ ในฟัซซี่เอาท์พุท Y^k

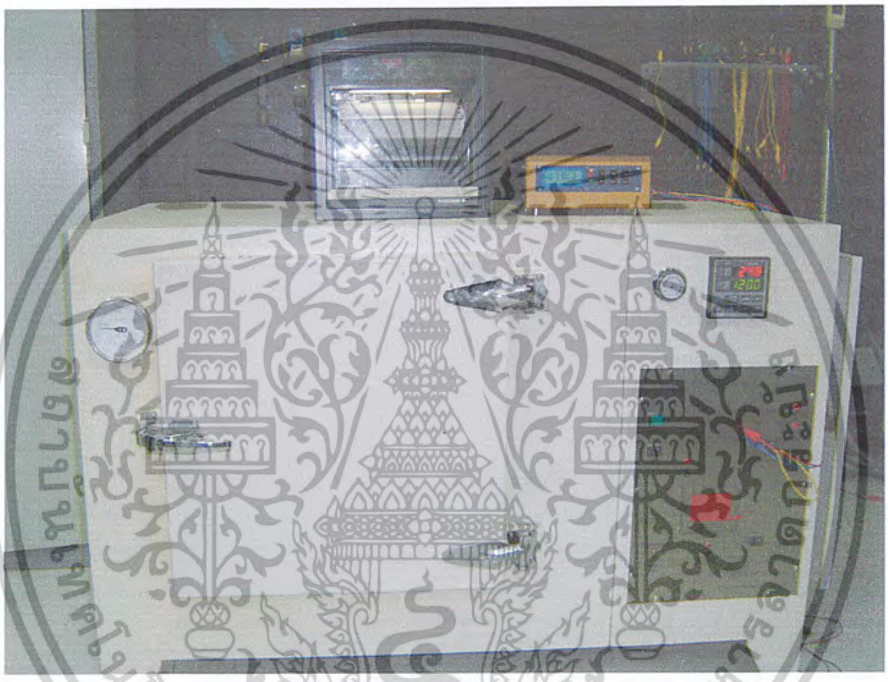
$\bar{y}^k$ คือ ค่าเฉลี่ยที่ใช้เป็นตัวแทนของฟัซซี่เซตเอาท์พุท Y^k ในส่วนผลของกฎที่ k

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4
การออกแบบตัวควบคุมด้วยเทคนิคพีไอดีร่วมกับฟัซซี่

4.1 รายละเอียดชุดทดลองการควบคุมอุณหภูมิ

ในการศึกษาการจำลองกระบวนการควบคุมอุณหภูมิ โดยที่ใช้ตัวควบคุมด้วยเทคนิคพีไอดีร่วมกับฟัซซี่ โดยการแสดงการเชื่อมต่อตัวควบคุมเข้ากับกระบวนการแสดงดังภาพที่ 4.1

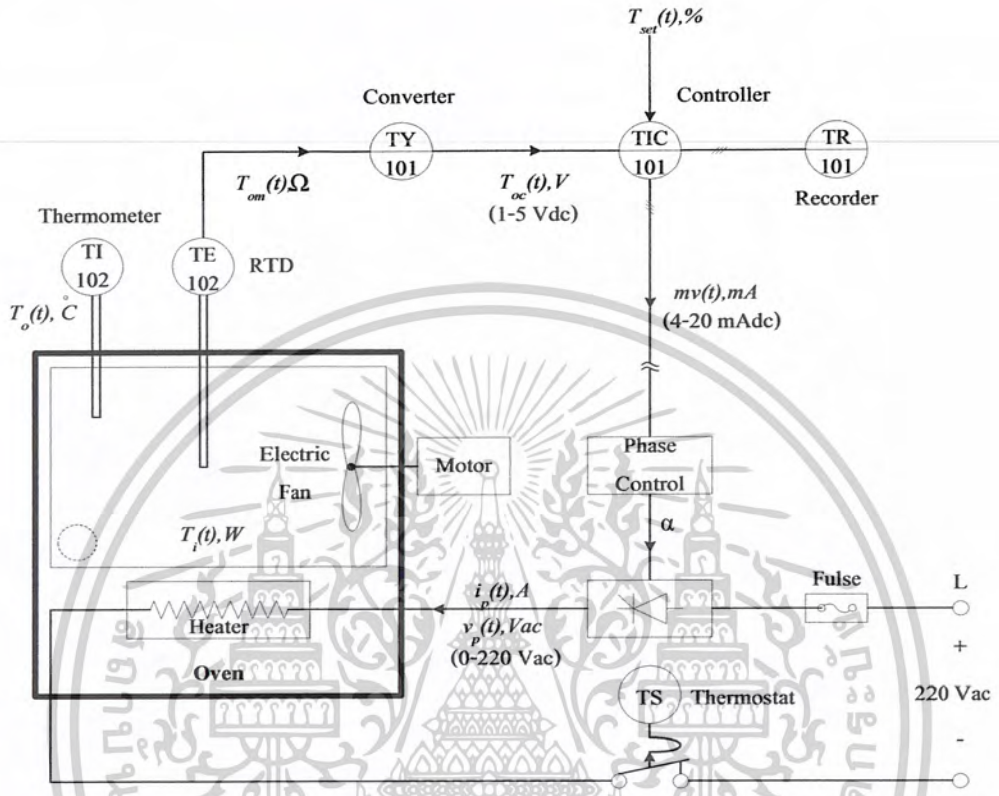


ภาพที่ 4.1 กระบวนการ

จากระบบควบคุมอุณหภูมิที่นำมาทดลองเป็นเตาอบซึ่งมีขดลวดไฟฟ้าเป็นตัวทำความร้อน และมีมอเตอร์พัดลมอยู่ด้านบนเพื่อกระจายอากาศทำให้ความร้อนกระจายไปทั่วทั้งเตา โดยด้านบนมีเทอร์โมมิเตอร์ (TI:Temperature Indicator) เพื่อแสดงค่าของอุณหภูมิ และมีตัวตรวจจับอุณหภูมิ (TE:Temperature Element) เพื่อวัดค่าของอุณหภูมิภายในเตาอบ แล้วแปลงเป็นสัญญาณไฟฟ้าด้วยตัว RTD โดยใช้หลักการเปลี่ยนแปลงของค่าความต้านทานเมื่ออุณหภูมิเปลี่ยนไป โดยภายใน RTD จะถูกต่อกับชุดวงจรบริดจ์เพื่อทำให้สัญญาณที่ได้ออกมาเป็นกระแส 4-20 mA จากนั้นทำการแปลงให้เป็นสัญญาณแรงดันมาตรฐาน 1-5 V โดยชุด Converter แล้วส่งไปยัง Recorder เพื่อบันทึกผล และ นำมาเป็นอินพุทของ Temperature Indicator Controller (TIC) เพื่อคำนวณหาสัญญาณควบคุม

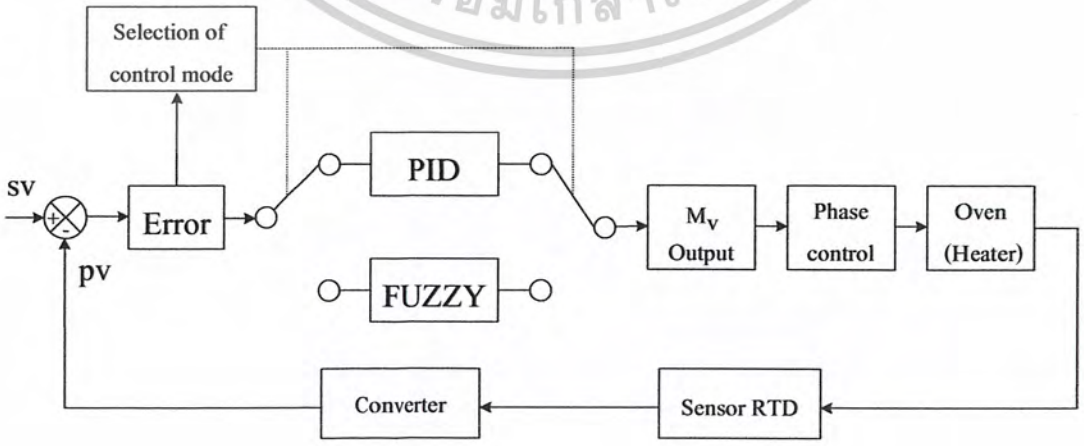
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ที่เหมาะสม 0-5V ไปยังชุดจุดฉนวนเพื่อเป็นตัวกำหนดช่วงเวลาการทำงานของขดลวดทำความร้อน เพื่อที่จะควบคุมอุณหภูมิภายในเตาอบให้ได้ตามค่าเป้าหมายที่ต้องการ แสดงไดอะแกรมการทำงาน ดังภาพที่ 4.1



ภาพที่ 4.1 รูปไดอะแกรมการทำงาน

4.2 การออกแบบตัวควบคุมที่นำเสนอในปริญญานิพนธ์

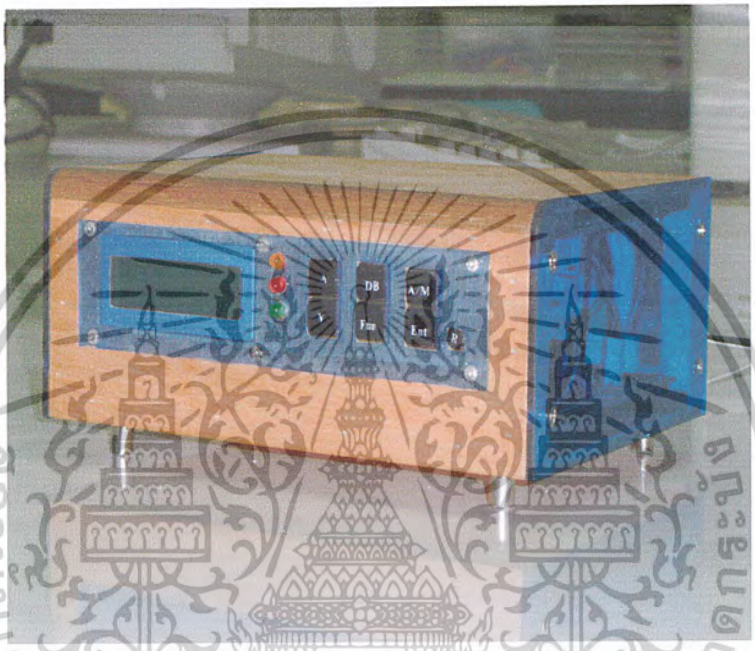


ภาพที่ 4.3 โครงสร้างของตัวควบคุมที่นำเสนอ

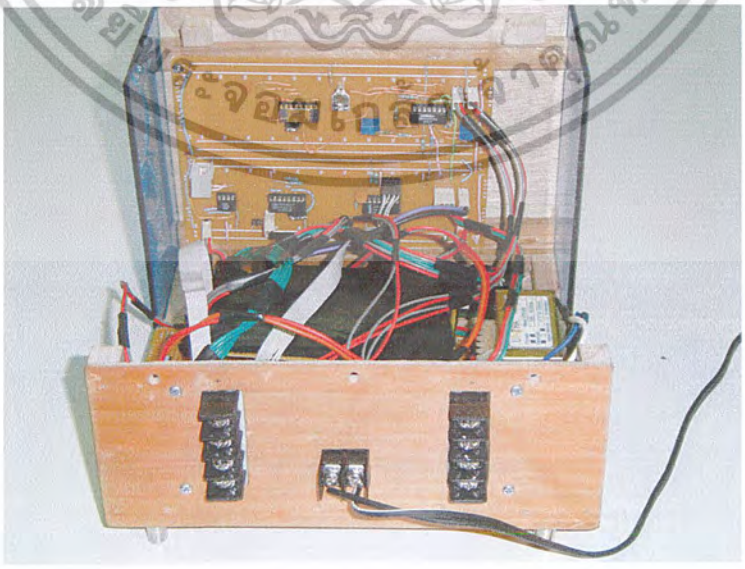
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตัวควบคุมที่นำเสนอในปริญญานิพนธ์นี้ แบ่งการควบคุมออกเป็น 2 ระดับ คือ การควบคุมระดับหยาบด้วยเทคนิคฟัซซี่ และการควบคุมระดับละเอียดด้วยเทคนิคพีไอดีดังแสดงในภาพที่ 4.3 โดยการกำหนดขอบเขตในการเปลี่ยนรูปแบบการควบคุมเป็นแบบละเอียดก็ต่อเมื่อค่าผิดพลาดของเอาท์พุทมีค่าเป็น ±5% ของสัญญาณควบคุม (0-100) ซึ่งเท่ากับ ±5

โดยที่ลักษณะของตัวควบคุมและการเชื่อมต่อของวงจรภายในแสดงให้ดูดังภาพที่ 4.4 และภาพที่ 4.5

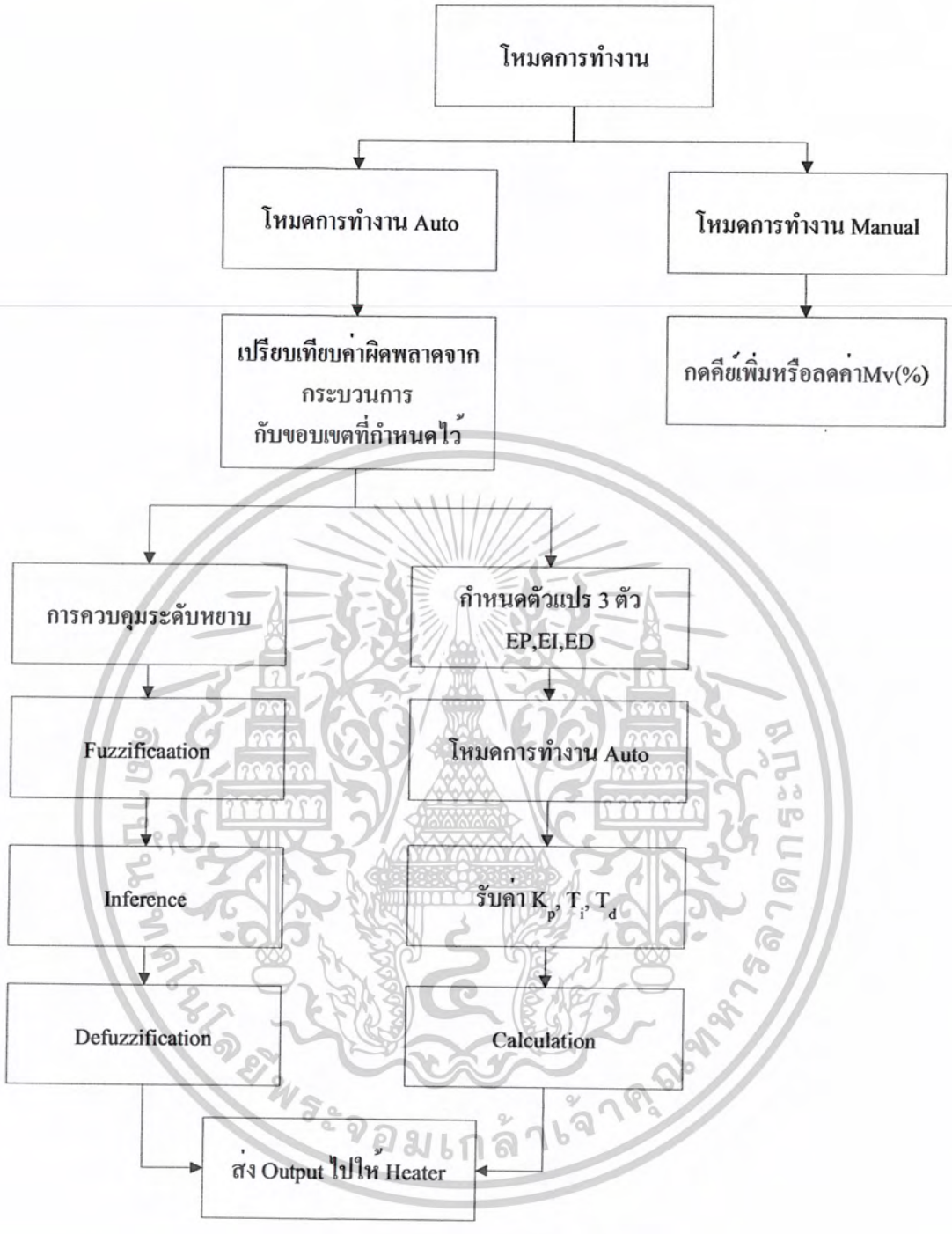


ภาพที่ 4.4 ตัวควบคุม



ภาพที่ 4.5 การเชื่อมต่อวงจรภายในตัวควบคุม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



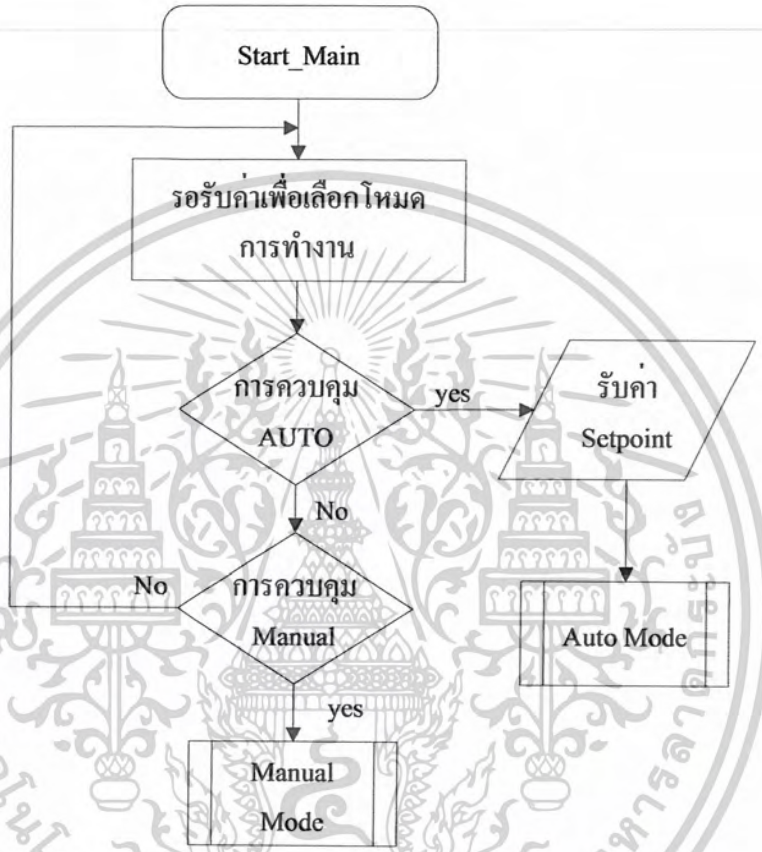
ภาพที่ 4.6 แผนภาพโหมดการทำงานต่างๆ

ลักษณะของโหมดการทำงานนั้นจากภาพที่ 4.6 สามารถแบ่งโหมดการทำงานออกเป็น 2 โหมดด้วยกันคือ

- <u>โหมด Manual</u> คือ ส่วนของโหมดการทำงานแบบ Manual หรือ Open loop test สามารถที่จะเพิ่ม หรือ ลดเปอร์เซ็นต์ค่าสัญญาณเอาท์พุทของตัวควบคุม เพื่อไปควบคุมการเพิ่ม หรือ ลดปริมาณความร้อนภายในเตาอบได้โดยตรงจากการป้อนค่าเข้าไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

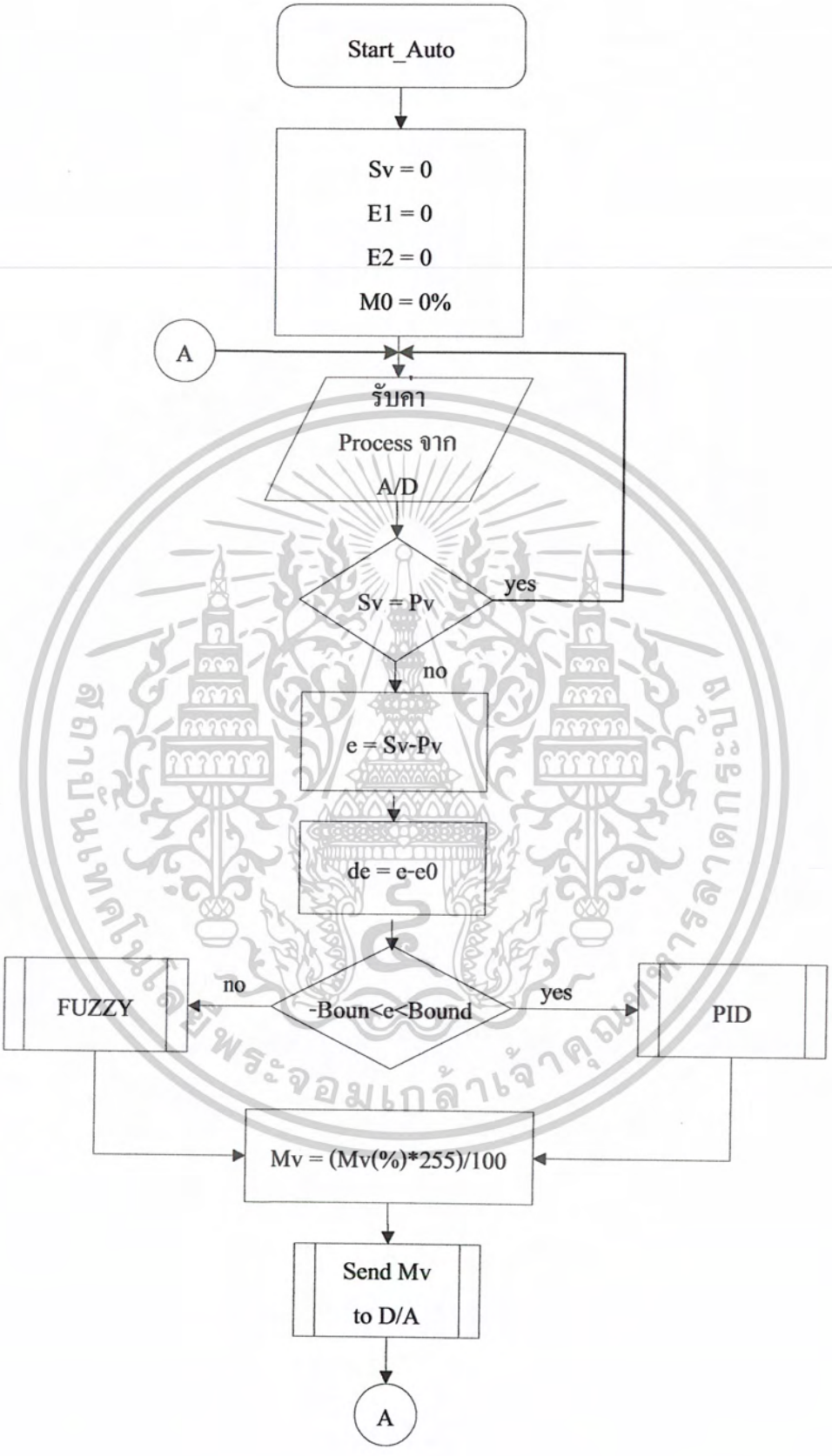
-<u>โหมด Auto</u> คือ เป็นส่วนที่สามารถปรับสัญญาณค่าเอาท์พุทของตัวควบคุม ที่จะส่งค่าไปควบคุมกระบวนการได้อย่างอัตโนมัติ เพื่อที่จะลดสัญญาณค่าความผิดพลาดที่เกิดขึ้น เพื่อให้ได้อุณหภูมิตามค่าที่ต้องการ ในส่วนของการควบคุมแบบอัตโนมัติสามารถแบ่งการควบคุมออกเป็นสองส่วนด้วยกัน คือ การควบคุมด้วยเทคนิคฟัซซี่ และการควบคุมด้วยเทคนิคพีไอดี



ภาพที่ 4.7 โปรแกรมหลัก

ในส่วนของโปรแกรมการทำงานของโปรแกรมหลักที่แสดงดังภาพที่ 4.7 จะมีลักษณะการทำงานดังนี้ ซึ่งจะรอรับค่าเพื่อเลือกโหมดการทำงานโดยพิจารณาว่าอยู่ในโหมดการทำงานแบบใด กรณีที่อยู่ในโหมดการควบคุมแบบ Manual ก็จะเรียกไปสู่ฟังชั่นย่อยของส่วน Manual แต่ถ้าอยู่ในกรณีของโหมดการควบคุมแบบอัตโนมัติก็จะรอรับค่าเป้าหมายจากการป้อนค่าเข้าไป จากนั้นก็จะเรียกไปสู่ฟังก์ชันย่อยของส่วนอัตโนมัติ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ภาพที่ 4.8 การควบคุมโดยตัวควบคุมโหมดอัตโนมัติ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ส่วนของโปรแกรมอัตโนมัติดังภาพที่ 4.8 ซึ่งมีลักษณะการทำงานดังนี้ คือ เริ่มแรกโดยการกำหนดค่าเริ่มต้นของตัวแปรจากนั้น จะรับค่าเอาท์พุทของกระบวนการซึ่งทำการแปลงจากสัญญาณอนาลอกไปเป็นสัญญาณดิจิตอลแล้วทำการเปรียบเทียบค่าเป้าหมาย กับค่าตัวแปรกระบวนการถ้ามีค่าไม่เท่ากันก็จะทำการคำนวณค่าของความผิดพลาดและค่าการเปลี่ยนแปลงความผิดพลาด จากนั้นพิจารณาค่าความผิดพลาดของกระบวนการที่เกิดขึ้นกับขอบเขตที่ได้กำหนดไว้ (Boundary) กรณีที่ค่าอยู่ในช่วงขอบเขตก็จะเรียกไปสู่ฟังก์ชันย่อยของการควบคุมแบบพีไอดี แต่กรณีที่ค่าอยู่นอกช่วงขอบเขตจะเรียกไปสู่ฟังก์ชันย่อยของการควบคุมแบบฟัซซี่ จากนั้นจะทำการประมวลผลเพื่อเลือกเอาท์พุทของตัวควบคุมที่เหมาะสม แล้วจะเข้าสู่การแปลงสัญญาณดิจิตอลไปเป็นสัญญาณอนาลอกเพื่อส่งสัญญาณที่ได้ไปควบคุมกระบวนการต่อไป

4.3 การออกแบบตัวควบคุมด้วยเทคนิคฟัซซี่สำหรับการควบคุมระดับหยาบ

ภาพที่ 4.9 โครงสร้างของตัวควบคุมแบบฟัซซี่

การควบคุมระดับหยาบมีจุดประสงค์หลักในการควบคุมคือ ต้องการให้สัญญาณเอาท์พุทของระบบลู่เข้าสู่ค่าเป้าหมาย หรือ Set point ได้เร็วที่สุด การออกแบบตัวควบคุมด้วยเทคนิคฟัซซี่มีวิธีการดังนี้

4.3.1 การกำหนดจำนวนตัวแปรอินพุทของตัวควบคุม

ซึ่งประกอบด้วย 2 อินพุทและ 1 เอาท์พุทโดยที่ตัวแปรอินพุทของตัวควบคุม คือตัวแปรสถานะที่อยู่ในรูปค่าผิดพลาดนั่นคือ e (Error) และค่าการเปลี่ยนแปลงของค่าผิดพลาดนั่นคือค่า Δe (Change of Error) ของระบบควบคุมและค่าตัวแปรเอาท์พุทของตัวควบคุม คือสัญญาณควบคุม (Control Signal); u

4.3.2 การนอมอลไลซ์ (Normalize)

การนอมอลไลซ์ตัวแปรอินพุทของตัวควบคุมให้อยู่ในเอกภพสัมพัทธ์ที่กำหนด จะทราบค่าช่วงหรือเอกภพสัมพัทธ์ของตัวแปรอินพุทในปริญญานิพนธ์นี้ได้กำหนดให้อยู่ในช่วง 0-100 ในการนอมอลไลซ์ตัวแปรอินพุทให้อยู่ในเอกภพสัมพัทธ์ x = (-1, 1) จึงทำโดยสมการดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$X_{norm} = \frac{X}{100} \tag{4.1}$$

เมื่อ X คือ ค่าตัวแปรอินพุทของตัวควบคุม (e และ Δ e)

X_{norm} คือ ค่าที่ได้จากการนอมอลไลซ์ตัวแปรอินพุทให้อยู่ในช่วง (-1, 1)

4.3.3 การดีนอมอลไลซ์ (Denormalize)

การดีนอมอลไลซ์ ตัวแปรเอาท์พุทให้อยู่ในช่วงของเอกภพสัมพัทธ์ที่กำหนดจะต้องทราบค่าช่วงหรือเอกภพสัมพัทธ์ที่แท้จริงของตัวแปรเอาท์พุท ซึ่งสามารถหาได้จากระดับสัญญาณไฟฟ้าที่มีค่า 4-20 mA เนื่องจากในการทดลองสำหรับปริญญานิพนธ์นี้ได้ใช้ตัวแปรแปลงสัญญาณดิจิตอลเป็นอนาลอก (Digital to Analog Converter : DAC) ขนาด 8 bit สำหรับสร้างสัญญาณควบคุมเอาท์พุทของตัวควบคุม จึงเป็นสัญญาณดิจิตอลในช่วง 0-255 ในการออกแบบได้กำหนดเอกภพสัมพัทธ์ของตัวแปรเอาท์พุทของตัวควบคุมที่สร้างโดยใช้ไมโครคอนโทรลเลอร์ให้อยู่ในช่วง (0-100) จึงต้องทำการดีนอมอลไลซ์ตัวแปรเอาท์พุท ให้อยู่ในช่วงระหว่าง (0, 255) ดังสมการที่ 4.2 แล้วจึงส่งออกไปเป็นสัญญาณควบคุมที่แท้จริง

$$U_{denorm} = \frac{u \times 255}{100} \tag{4.2}$$

เมื่อ u คือ ตัวแปรเอาท์พุทของตัวควบคุม

U_{denorm} คือ ค่าที่ได้จากการดีนอมอลไลซ์ตัวแปรเอาท์พุทให้อยู่ในช่วง (0, 255)

4.3.4 การกำหนดค่า Gain ของตัวแปรอินพุทและเอาท์พุท

ค่า Gain ของตัวแปรอินพุทและเอาท์พุท คือ ค่าสัมประสิทธิ์ในการถ่วงน้ำหนักเพื่อกำหนดความสำคัญของตัวแปรสถานะแต่ละตัวของกระบวนการ โดยจะเป็นตัวกำหนดค่าขอบเขตสูงสุดของตัวแปรสถานะแต่ละตัว

4.3.5 การเลือกวิธีและระดับควอนไตซ์ (Quantize)

การกำหนดควอนไตซ์จะขึ้นอยู่กับความต้องการของผู้ออกแบบและข้อจำกัดทางฮาร์ดแวร์ของอุปกรณ์ที่นำมาใช้ในการสร้างตัวควบคุมในกรณีที่ต้องการให้มีความถูกต้องสูงจะต้องใช้ระดับการควอนไตซ์ที่สูง ในขณะเดียวกันก็ต้องใช้เวลาและหน่วยความจำในการคำนวณมาก ดังนั้นในการออกแบบจึงต้องเลือกระดับที่เหมาะสมระหว่างความถูกต้องในการควบคุมและข้อจำกัดทางฮาร์ดแวร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในปริญญานิพนธ์นี้ได้ใช้เทคนิคฟัซซี่สำหรับการควบคุมในระดับหยาบจึงไม่จำเป็นต้องใช้ความละเอียดในการควอนไตซ์มากนักในที่นี้ได้กำหนดการควอนไตซ์แบบเชิงเส้นและระดับการควอนไตซ์มีค่าเท่ากับ 150

4.3.6 วิธีการฟัซซิฟิเคชัน (Fuzzification)

วิธีการฟัซซิฟิเคชันจะขึ้นอยู่กับลักษณะสัญญาณอินพุทของตัวควบคุม จากภาพที่ 4.3 จะได้ว่าสัญญาณนี้คือสัญญาณป้อนกลับจากกระบวนการซึ่งได้จากอุปกรณ์ตรวจจับ (Sensor) โดยมีหลักการเลือกดังนี้

4.3.6.1 ในกรณีที่สัญญาณจากการวัดเป็นซิงเกิลตันและมีระดับของสัญญาณรบกวนต่ำ ควรเลือกวิธีการฟัซซิฟิเคชันโดยใช้วิธีซิงเกิลตัน เนื่องจากเป็นวิธีที่ง่ายและให้ผลดีที่สุด

4.3.6.2 ในกรณีที่สัญญาณจากการวัดมีระดับสัญญาณการรบกวนสูง ควรเลือกใช้วิธีการของฟัซซีฟิเคชันนัมเบอร์ ซึ่งได้ผลดีกว่าเนื่องจากการฟัซซีฟิเคชันโดยใช้ฟัซซีนัมเบอร์มีความคงทนต่อสัญญาณรบกวน (Noise) สูงกว่าการใช้วิธีการซิงเกิลตันแต่ วิธีนี้จะใช้เวลาในการคำนวณมากกว่า

4.3.6.3 ในกรณีที่สัญญาณที่วัดได้เป็นสัญญาณในรูปการกระจายทางสถิติควรเลือกใช้วิธีการฟัซซิฟิเคชัน โดยใช้ไฮบริทนัมเบอร์ ซึ่งเป็นฟัซซินัมเบอร์ที่มีสมาชิกอยู่ในรูปการกระจายทางสถิติ ในระบบควบคุมที่ใช้ในการทดลองนี้สัญญาณที่วัดได้เป็นสัญญาณซิงเกิลตันและมีสัญญาณรบกวนไม่สูงมากนัก จึงเลือกใช้วิธีการฟัซซิฟิเคชันแบบซิงเกิลตัน ดังแสดงในสมการต่อไปนี้คือ

$$\mu_A = \begin{cases} 1; U = U_0 \\ 0; U \neq U_0 \end{cases} \qquad (4.3)$$

4.3.7 การกำหนดจำนวนฟัซซี่เซตของตัวแปรอินพุทและเอาท์พุท

เมื่อเป็นการกำหนด Control hypersurface โดยจำนวนฟัซซี่เซตของตัวแปรอินพุทแต่ละตัวจะมีผลต่อขนาดมาตรฐานกฎการควบคุมดังสมการดังต่อไปนี้

$$M = N_e \times N_{Ne} \qquad (4.4)$$

โดย M คือ ขนาดของฐานกฎการควบคุม

N_e คือ จำนวนเทอมของตัวแปรอินพุท e

N_{Ne} คือ จำนวนเทอมของตัวแปรอินพุท Δe

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.3.8 การกำหนดฟังก์ชันการเป็นสมาชิกของตัวแปรอินพุท

ในการกำหนดรูปร่างของฟังก์ชันการเป็นสมาชิกของตัวแปรอินพุทนั้น จะเป็นการกำหนดค่าของความสัมพันธ์ในการแมปปิ้ง (Mapping) ค่าของตัวแปรอินพุทในเอกภพสัมพัทธ์กับฟัซซี่เซตของตัวแปรอินพุท ถ้าต้องการให้ความสัมพัทธ์เป็นเชิงเส้นก็ต้องกำหนดรูปร่างของฟังก์ชันการเป็นสมาชิกแบบเชิงเส้น เช่น รูปสามเหลี่ยมหรือสี่เหลี่ยมคางหมู แต่ถ้าต้องการให้ความสัมพันธ์ที่ไม่เป็นเชิงเส้นควรกำหนดรูปร่างของฟังก์ชันการเป็นสมาชิกให้เป็นแบบไม่เป็นเชิงเส้น เช่น รูประฆังคว่ำดังนั้นการกำหนดการกระจายของฟัซซี่เซตบนเอกภพสัมพัทธ์ สามารถกำหนดได้ทั้งแบบที่เป็นเชิงเส้นและแบบไม่เป็นเชิงเส้นทั้งนี้ขึ้นอยู่กับความต้องการของผู้ออกแบบ โดยบริเวณที่มีค่าความหนาแน่นของฟังก์ชันการเป็นสมาชิกสูง จะแสดงถึงความสัมพันธ์ของตัวแปรอินพุทและตัวแปรเอาท์พุทที่มีความซับซ้อนมากเกินกว่าบริเวณที่มีค่าความหนาแน่นของฟังก์ชันการเป็นสมาชิกต่ำ

การซ้อนทับ (Over lap) ของฟังก์ชันการเป็นสมาชิกเป็นคุณสมบัติที่สำคัญอย่างหนึ่งของตัวควบคุมแบบฟัซซี่ เนื่องจากในการอินเฟอเรนซ์ของฟัซซี่ ต้องการให้เกิดกิริยาระหว่างกันของกฎการควบคุมมากกว่า 1 กฎ การกำหนดเปอร์เซ็นต์การซ้อนทับกันจะขึ้นอยู่กับความคลุมเครือหรือการซ้อนทับของระบบ การออกแบบให้ฟังก์ชันการเป็นสมาชิกของตัวแปรอินพุทมีการซ้อนทับกันมากกว่า 2 เซตจะทำให้ Control hyper surface มีความเรียบมากขึ้นแต่ในกรณีที่มีการเปลี่ยนแปลงกฎการควบคุมใดๆ จะมีผลกระทบต่อการควบคุมของกฎที่อยู่ติดกันมากทำให้เกิดการรบกวนกันของกฎการควบคุมดังนั้นในการออกแบบฟังก์ชันการเป็นสมาชิกของตัวแปรอินพุทจึงไม่ควรให้มีการซ้อนทับกันมากกว่า 2 เซตการกำหนดฟังก์ชันการเป็นสมาชิกของตัวแปรอินพุทมีแนวทางได้ดังต่อไปนี้

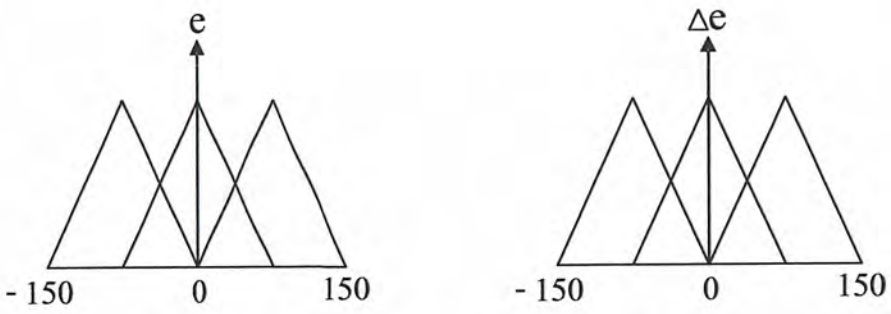
4.3.8.1 ในกรณีที่ต้องการเวลาในการคำนวณน้อยควรใช้รูปแบบฟังก์ชันของการเป็นสมาชิกเป็นรูปสามเหลี่ยมหรือรูปสี่เหลี่ยมคางหมู

4.3.8.2 การกำหนดการกระจายของฟัซซี่เซตบนเอกภพสัมพัทธ์ควรที่ต้องกำหนดให้สมมาตรกัน

4.3.8.3 การกำหนดฟังก์ชันการเป็นสมาชิกของตัวแปรอินพุทควรกำหนดให้มีการซ้อนทับกันของฟัซซี่ที่อยู่ติดกันเพื่อให้เกิดกิริยาร่วมกันระหว่างกฎการควบคุมและเพื่อให้มีการยืนยันว่าจะมีการควบคุมกันอย่างน้อยหนึ่งกฎรองรับสำหรับการสร้างสัญญาณควบคุมทุกสถานะของอินพุทซึ่งจะแสดงถึงความสมบูรณ์ของฐานกฎการควบคุมโดยปกติจะออกแบบให้มีเปอร์เซ็นต์การซ้อนทับของฟัซซี่เซต ประมาณ 15-25 %

ในปริญญานิพนธ์นี้ ได้ออกแบบตัวควบคุมโดยกำหนดให้รูปร่างของฟังก์ชันการเป็นสมาชิกของฟัซซี่เซตของตัวแปรอินพุท e และ Δe เป็นรูปสามเหลี่ยมโดยมีการกระจายของฟัซซี่เซตเป็นแบบเชิงเส้นและมีการซ้อนทับกันของฟัซซี่เซตภาพที่ 4.10 เมื่อ N คือ Negative, P คือ Positive และ Z คือ Zero

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ภาพที่ 4.10 ฟังก์ชันการเป็นสมาชิกเซตของตัวแปรอินพุท e และ Δ e

4.3.9 การกำหนดจำนวนฟัซซี่เซตของตัวแปรเอาท์พุทบนเอกภพสัมพัทธ์

เพื่อเป็นการกำหนดความละเอียดของผลการควบคุม แต่จะไม่ได้เป็นการกำหนดความละเอียดของสัญญาณควบคุมเนื่องจากความละเอียดของสัญญาณควบคุมขึ้นอยู่กับวิธีดีฟัซซิฟิเคชัน

4.3.10 การกำหนดฟังก์ชันของการเป็นสมาชิกของตัวแปรเอาท์พุท

จะมีแนวทางคล้ายกันกับในการกำหนดฟังก์ชันการเป็นสมาชิกในตัวแปรอินพุทแต่จากการทดลองพบว่าผลการทดลองจะขึ้นอยู่กับกฎการควบคุมมากกว่าฟังก์ชันการเป็นสมาชิกของตัวแปรเอาท์พุทในที่นี้กำหนดให้ฟัซซี่เซตของตัวแปรเอาท์พุท เป็นฟัซซี่ซิงเกิลตันเพื่อความสะดวกในการคำนวณ

4.3.11 การกำหนดรูปแบบของกฎการควบคุม

รูปแบบทั่วไปของกฎการควบคุมจะอยู่ในรูปของเงื่อนไข IF…. THEN… โดยในส่วนสาเหตุเป็นการกำหนดเงื่อนไขของตัวแปรอินพุทในรูปฟัซซี่เซต และในส่วนผลแสดงถึงผลลัพธ์ คือ ค่าของตัวแปรเอาท์พุทในรูปฟัซซี่เซตเมื่อตัวแปรอินพุทเป็นไปตามเงื่อนไขในส่วนสาเหตุ รูปแบบของกฎการควบคุมใช้กันทั่วไปเป็นกฎที่ถูกนิยามโดย Professor Mamdam มีรูปแบบดังนี้

$$\text{IF } (E \text{ is } E^k) \text{ AND } (\Delta E \text{ is } \Delta E^k) \text{ THEN U is } U^k;\ k = 1,\ldots, M$$

โดยที่ E ΔE คือ ตัวแปรฟัซซี่อินพุทได้จากฟัซซิฟิเคชันตัวแปรสถานะ e และ Δe

U คือ ตัวแปรฟัซซี่เอาท์พุท

$E, \Delta E, U^k$ คือ ฟัซซี่เซตของตัวแปร E, ΔE, U ตามลำดับ

M คือ จำนวนกฎการควบคุมทั้งหมดในที่นี้ M = 3*3 = 9 กฎ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในการคำนวณกฎการควบคุมจะถูกแทนที่ด้วยความสัมพันธ์ฟัซซี่ ซึ่งเป็นผลของคาร์ทีเซียนระหว่างฟัซซี่เซตของตัวแปรอินพุทในส่วนของกฎรูปแบบความสัมพันธ์ R ซึ่งแทนกฎการควบคุมของฟัซซี่แสดงได้ตามสมการ

$$R = \bigcup_{k=1}^{M} (E^k \times \Delta E^k) \times U^k \tag{4.5}$$

โดยที่ $\mu_R (E, \Delta E, U) = V_{1 \le k \le M} \{((\mu_{E^k}(E^k) \wedge \mu_{\Delta E^k}(\Delta E^k)) \mu_{U^k}(U^k)\}$

4.3.12 การเลือกวิธีอินเฟอเรนซ์

การเลือกวิธีอินเฟอเรนซ์ จะขึ้นอยู่กับการเลือกใช้ตัวปฏิบัติการ T-norm และ S-norm ในการในการคำนวณน้อยโดยจะใช้ตัวปฏิบัติการ max และ min ในการปฏิบัติ S-norm และ T-norm ตามลำดับ ซึ่งสามารถหาตัวแปรเอาท์พุทแบบฟัซซี่ จากสมการ คือทำ CRI วิธีที่นิยมใช้กันมากที่สุดคือวิธี CRI ของ Zadeh เนื่องจากสะดวกและใช้เวลาในการอินเฟอเรนซ์แบบฟัซซี่โดยใช้ตัวปฏิบัติการที่ไม่เป็นเชิงเส้น จะมีผลทำให้ Control hyper surface ไม่เป็นเชิงเส้นด้วย ดังนั้นถ้าต้องการให้ Control hyper surface เป็นเชิงเส้นควรจะเลือกใช้ตัวปฏิบัติการที่เป็นเชิงเส้น เช่น sum product แต่ทั้งนี้จะต้องสัมพันธ์กับการกำหนดฟังก์ชันการเป็นสมาชิกของตัวแปรอินพุท และตัวแปรเอาท์พุทการเลือกวิธีการฟัซซิฟิเคชัน และวิธีการดีฟัซซิฟิเคชันเนื่องจากหลักการของการควบคุมแบบฟัซซี่เซต เป็นการควบคุมที่ไม่เป็นเชิงเส้นจึงใช้วิธีการ CRI ของ Zedeh ดังสมการที่4.6

$$U' = \left[u, \max_{X' \in X} \left\{ \min \left[\mu_{X'}(x), \mu_r(x,u) \right] \right\} \right] \quad | X \in X, u \in U \tag{4.6}$$

4.3.13 การเลือกวิธีการดีฟัซซิฟิเคชัน

วิธีการดีฟัซซิฟิเคชันจะเป็นการกำหนดความละเอียดของสัญญาณเอาท์พุท โดยจะต้องสัมพันธ์กับการกำหนดฟังก์ชันการเป็นสมาชิกของตัวแปรอินพุทและตัวแปรเอาท์พุทการเลือกวิธีดีฟัซซิฟิเคชันจะขึ้นอยู่กับความต้องการของผู้ออกแบบที่จะต้องคำนึงถึงกระบวนการที่จะนำไปควบคุม ซึ่งจะข้อดี ข้อเสียต่างกันดังนี้

4.3.13.1 วิธี Max Procedure เป็นวิธีการที่สามารถหาได้ง่ายและรวดเร็วที่สุดแต่จะให้สัญญาณการควบคุมที่หยาบมากจึงไม่เหมาะสมกับการใช้งาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.3.13.2 วิธี MOM เป็นวิธีที่สามารถหาได้ง่ายและรวดเร็วซึ่งเป็นการดีฟัซซิฟิเคชันด้วยวิธีการดังนี้จะได้ผลเช่นเดียวกับการกำหนดฟังก์ชันการเป็นสมาชิกของตัวแปรเอาท์พุทเป็นฟัซซี่ซิงเกิลตันเนื่องจากค่าของตัวแปรอินพุทที่ตำแหน่งอื่นๆที่มีค่าระดับการเป็นสมาชิกต่ำกว่าการเป็นสมาชิกสูงสุดจะไม่มีผลต่อค่าเอาท์พุทวิธีนี้จะใช้สัญญาณการควบคุมที่หยาบและผลการควบคุมไม่ดี แต่จะถูกเลือกใช้ในกรณีที่มีการคำนวณน้อย และไม่ต้องการความถูกต้องมากนัก

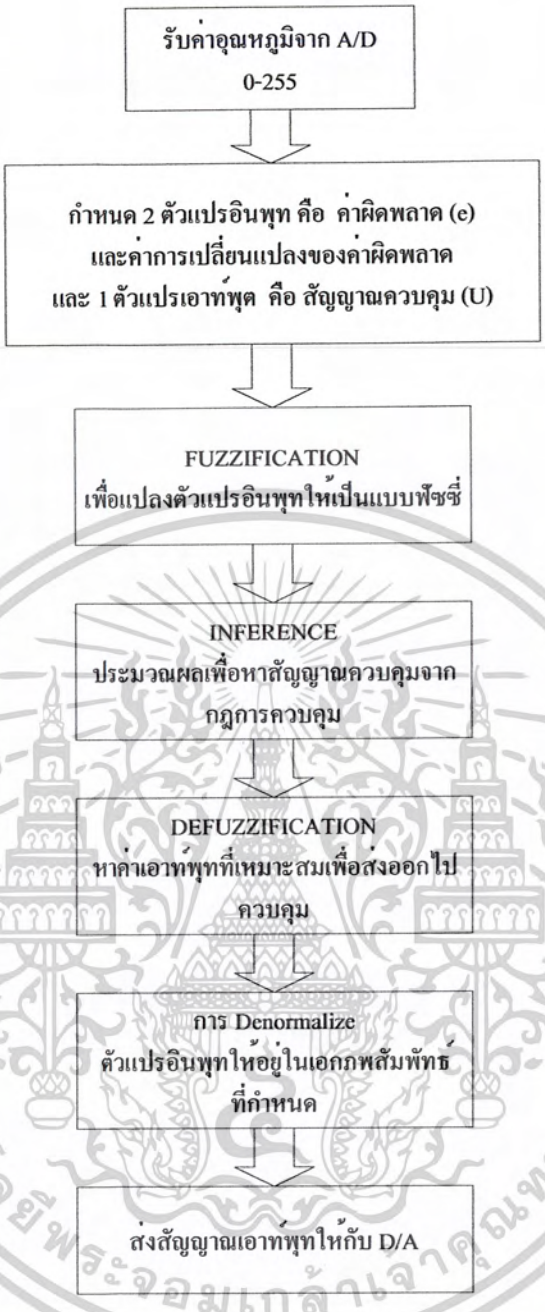
4.3.13.3 วิธี COG เป็นวิธีที่นิยมกันมากที่สุด เนื่องมาจากเป็นการหาจุดศูนย์กลางของเอาท์พุทที่แท้จริงโดยพิจารณาจากอินพุททุกตัวทำให้ได้ค่าที่ถูกต้องกว่าวิธีอื่นแต่ใช้เวลาในการคำนวณมาก

4.3.13.4 วิธี FM เป็นวิธีที่ดัดแปลงมาจากวิธี COG โดยใช้ระดับการดวอนไตซ์ที่น้อยกว่าเพื่อลดเวลาการคำนวณในการดีฟัซซิฟิเคชันด้วยวิธีนี้จะได้ผลเช่นเดียวกับการกำหนดค่าฟังก์ชันการเป็นสมาชิกของตัวแปรเอาท์พุทเป็นฟัซซี่ซิงเกิลตันแต่มีข้อจำกัด คือ ควรใช้การออกแบบตัวควบคุมโดยกำหนดค่าฟังก์ชันของการเป็นสมาชิกของตัวแปรเอาท์พุทแบบสมมาตรเท่านั้นทั้งนี้จากการดีฟัซซิฟิเคชันด้วยวิธีนี้จะใช้ค่าจุดกึ่งกลางของฟัซซี่เซตของตัวแปรเอาท์พุทเพื่อเป็นตัวแทนของแต่ละเซต ในโครงงานนี้จะใช้แบบ FM เพราะกำหนดให้ฟังก์ชันการเป็นตัวแปรของเอาท์พุทเป็นแบบซิงเกิลตัน

ตารางที่ 4.1 แสดงกฎการควบคุมของฟัซซี่

e \ Δe	N	Z	P
N	N	N	N
Z	N	Z	P
P	P	P	P

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ภาพที่ 4.11 แผนภาพแสดงการควบคุมด้วยเทคนิคฟัซซี่สำหรับระดับหยาบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.4 การออกแบบตัวควบคุมด้วยเทคนิคพีไอดีสำหรับการควบคุมละดับละเอียด

ในส่วนของลำดับในการทดลองแบบระดับละเอียดเป็นการควบคุมโดยใช้ตัวควบคุมแบบพีไอดีจุดประสงค์ก็เพื่อที่จะลดการเกิดค่าพุ่งเกิน (Overshoot) และการเกิดค่าความผิดพลาดในสภาวะคงที่โดยที่ทั้งนี้จะต้องหาค่าพารามิเตอร์ให้กับตัวควบคุมแบบพีไอดีเพื่อทำงานได้อย่างเหมาะสมโดยทำการหาค่าพารามิเตอร์ของกระบวนการตามวิธีที่ได้กล่าวมาในข้างต้นในที่นี้จะแสดงวิธีการหาค่าพารามิเตอร์พีไอดีโดยการใช้วิธี Process reaction curve [4] ดังนี้

4.4.1 วิธี Process reaction curve

1. ในการทดสอบนั้นจะใช้สัญญาณทดสอบแบบ Step และรอจนกระทั่งเข้าสู่สภาวะคงที่โดยการทดสอบจะทดสอบในโหมดการทำงานแบบ Manual หรือ Open loop test

2. บันทึกผลโดยการใช้เครื่องบันทึก (Recorder) โดยทำการตั้งค่าต่างๆ ของเครื่องบันทึกดังต่อไปนี้ โดยค่าสเกลอินพุท (โวลท์เตจ) 1.00 ถึง 5.00 V, สเกล 0 ถึง 100% และ จากความเร็วของกระดาษ 50 mm/hr นั่นคือ โดยทำการทดสอบกระบวนการที่ค่าเป้าหมาย 27.5% และวัดค่าต่างๆจากกราฟ ก็จะได้ t_0 = 180 sec, τ = 792 sec, Gain = $\Delta PV/\Delta MV$ = 0.71

3. จากนั้นนำค่าที่ได้ไปหาค่าพารามิเตอร์ของพีไอดีตามวิธีการของ Process reaction curve ดังนั้น สามารถที่จะคำนวณหาค่าพารามิเตอร์ของตัวควบคุมพีไอดี ได้จากตารางที่ 4.2

ตารางที่ 4.2 สูตรคำนวณหาค่าพารามิเตอร์ของพีไอดี

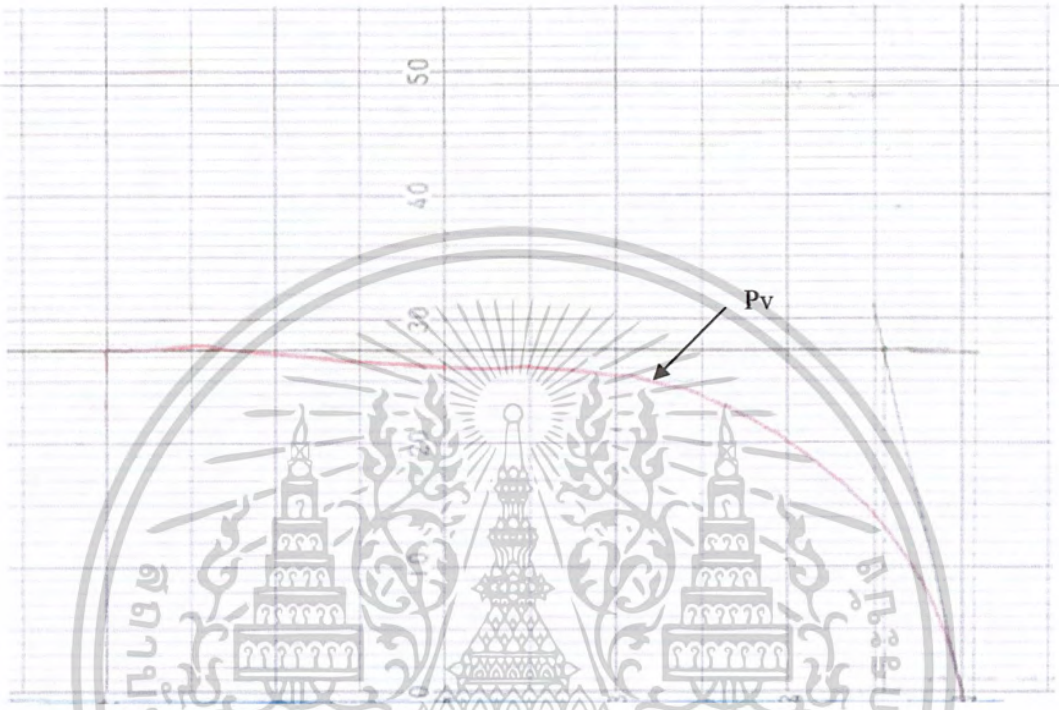
ชนิดของตัวควบคุม		K_p	T_i	T_d
Proportional only	P	$\frac{1}{K}\frac{\tau}{t_0}$	-	-
Proportional-Integral	PI	$\frac{0.9}{K}\frac{\tau}{t_0}$	$\frac{t_0}{0.3}$	-
Proportional-Integral-Derivative	PID	$\frac{1.2}{K}\frac{\tau}{t_0}$	$2.0t_0$	0.5τ

จากการทดลองจะได้ค่า $K_p = 11$, $T_i = 216$ sec, $T_d = 54$ sec

จากค่าที่ได้นี้เป็นค่าที่ได้จากการหาค่าพารามิเตอร์โดยประมาณในการที่จะนำค่าพารามิเตอร์ไปควบคุมกระบวนการต่อไปนั้นควรจะปรับเปลี่ยนค่าเพื่อเหมาะสมกับกระบวนการอีกครั้งหนึ่งก่อน โดยจะต้องคำนึงถึงผลของการเกิดค่าพุ่งเกินและค่า Rise Time รวมทั้งค่าความ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ผิดพลาดในสภาวะคงที่ (Error steady state) ด้วยในที่นี้เราใช้ค่าพารามิเตอร์ตามแต่ละค่าเป้าหมายที่เปลี่ยนแปลงไปโดยจะมีการปรับค่าพารามิเตอร์ของพีไอดี อีกทีหนึ่งเพื่อให้เหมาะสมกับแต่ค่าเป้าหมายอีกที



ภาพที่ 4.12 แสดงวิธีการหาค่าพารามิเตอร์ของพีไอดีด้วยวิธีของProcess Reaction curve

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5

การทดลองและผลการทดลอง

5.1 การทดลองส่วนของวงจร Interface

5.1.1 การทดลองทางด้านอินพุทมีการทดลองดังนี้

- ป้อนไฟให้กับวงจร Analog to Digital: ADC เพื่อแปลงสัญญาณอนาลอก (0-5 V) เป็นสัญญาณดิจิตอล(0-255) ผลการทดลองดังแสดงในตารางที่ 6.1

5.1.2 การทดลองทางด้านเอาท์พุทมีการทดสอบดังนี้

- วงจร Digital to Analog: DAC ซึ่งรับสัญญาณดิจิตอล (0-255) มาแล้วแปลงเป็นสัญญาณอนาลอก (0-5V) แล้วส่งสัญญาณให้กับวงจร Signal condition ผลการทดลองดังแสดงในตารางที่ 6.2
- วงจร Signal conditioner circuit ซึ่งแปลงสัญญาณจาก 0-5 Vเป็น 1-5 Vแล้วจึงส่งสัญญาณให้กับวงจร V/I ผลการทดลองดังแสดงในตารางที่ 6.3
- วงจร V/I จะแปลงสัญญาณ 1-5 V ที่ได้รับจากวงจร Signal conditioner circuit เป็นกระแส 4-20 mA ผลการทดลองดังแสดงในตารางที่ 6.4

ตารางบันทึกผลการทดลองวงจร Interface

ตารางที่ 5.1 ผลการทดลองวงจรADC แปลง (0-5 V) เป็น (0-255)

Vin (v)	Digital output	ค่าที่วัดได้	ค่าที่คำนวณ
0	0000 0001	1	0
1	0011 0011	52	51
2	0110 0110	102	102
3	1001 1001	153	153
4	1100 1100	204	204
5	1111 1111	255	255

Maximum Error = 0.39%

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 5.2 ผลการทดลองวงจร DAC แปลง (0-255) เป็น (0-5V)

Digital output	ค่าที่คำนวณ	ค่าที่วัดได้(V)	ค่าที่คำนวณ(V)
0000 0000	0	0.1	0
0110 0100	100	1.96	1.9607
1001 0110	150	2.98	2.9411
1111 1111	255	5.02	5

Maximum Error = 2%

ตารางที่ 5.3 ผลการทดลอง Signal Conditioner circuit แปลง (0-5 V) เป็น (1-5V)

Vin(V)	ค่าที่วัดได้(V)	ค่าที่คำนวณ(V)
0	1.01	1
1	1.65	1.8
2	2.48	2.6
3	3.31	3.4
4	4.16	4.2
5	5.02	5

Maximum Error = 3%

ตารางที่ 5.4 ผลการทดลองวงจร V to I แปลง (1-5 V) เป็น (4-20 mA)

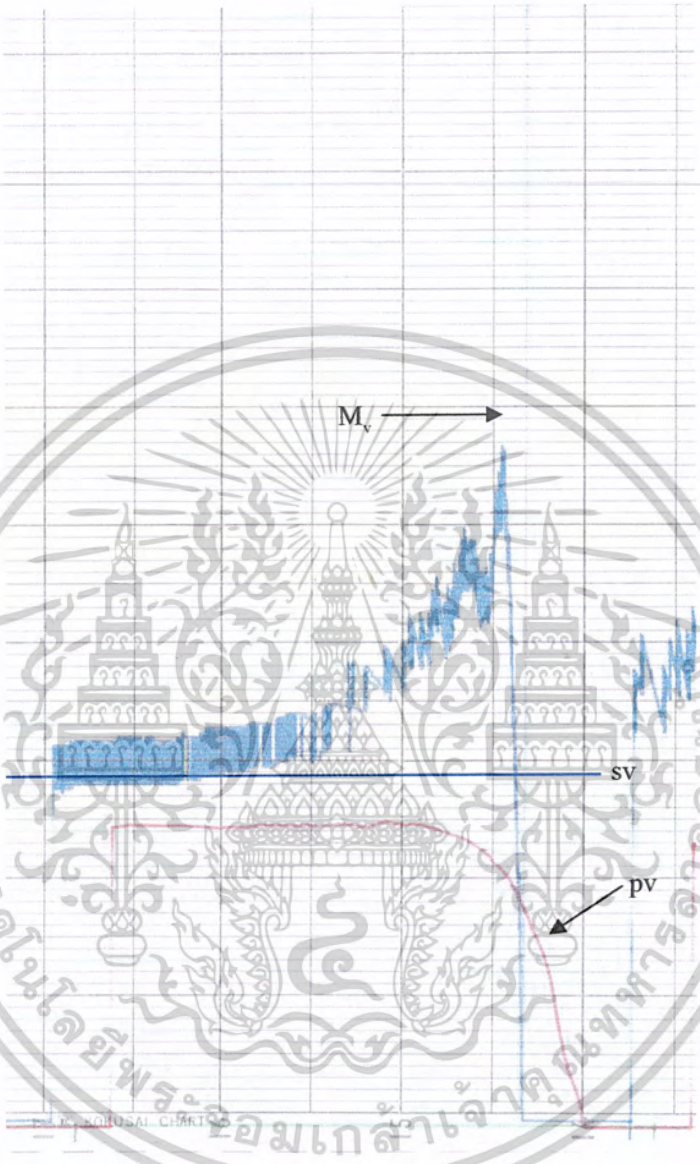
Vin(v)	ค่าที่วัดได้(mA)	ค่าที่คำนวณ(mA)
1	3.94	4
2	7.98	8
3	11.96	12
4	15.94	16
5	19.8	20

Maximum Error = 1.25%

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.2 ผลการทดลองที่ทดสอบกับกระบวนการ

หมายเหตุ Td = Delay Time,Tr = Rise Time, Tp = Peak Time, Ts = Setting Time

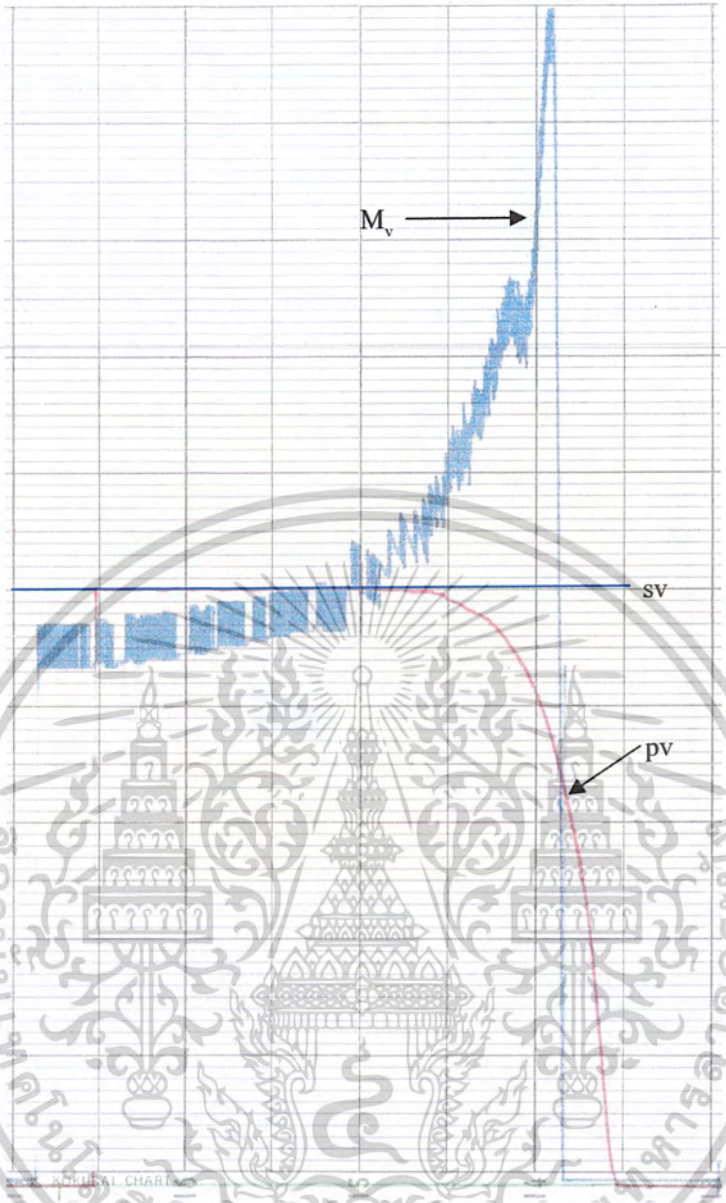


ภาพที่ 5.1 ผลตอบสนองโดยควบคุมด้วยโหมดพีไอดี

เมื่อกำหนดค่าพารามิเตอร์พีไอดีดังนี้ $K_p = 8$, $T_i = 212$ sec, $T_d = 38$ sec

- Feed = 100mm/hr, sv = 25%, Css = 24.5%
- Off Set = 0.5%
- Td = 180 Sec
- Tr = 450 Sec
- Ts(± 5%) = 594 Sec

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

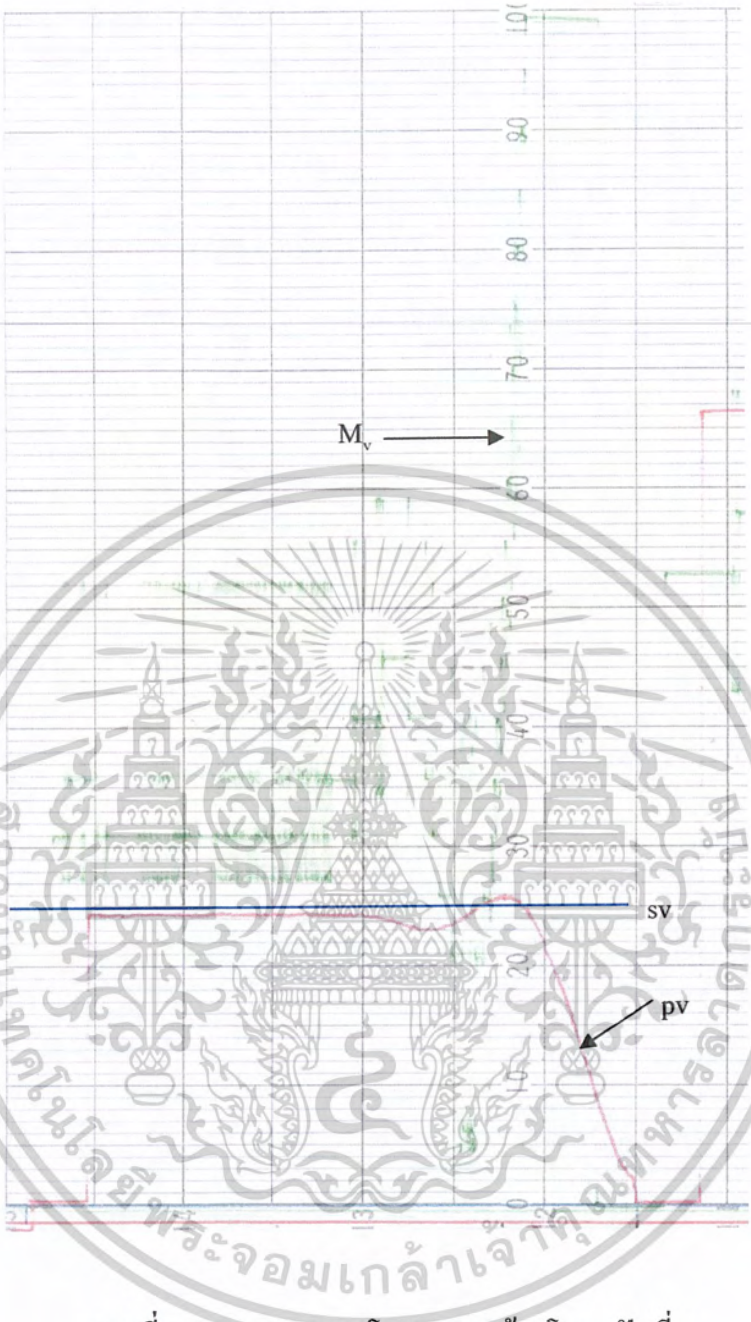


ภาพที่ 5.2 ผลตอบสนองโดยควบคุมด้วยโหมดพีไอดี

เมื่อกำหนดค่าพารามิเตอร์พีไอดีดังนี้ $K_p = 8$, $T_i = 251$ sec, $T_d = 36$ sec

- Feed = 100mm/hr, sv = 50%, Css = 50%
- Off Set = 0%
- Td = 180 Sec
- Tr = 511.2 Sec
- Ts(± 5%) = 648 Sec

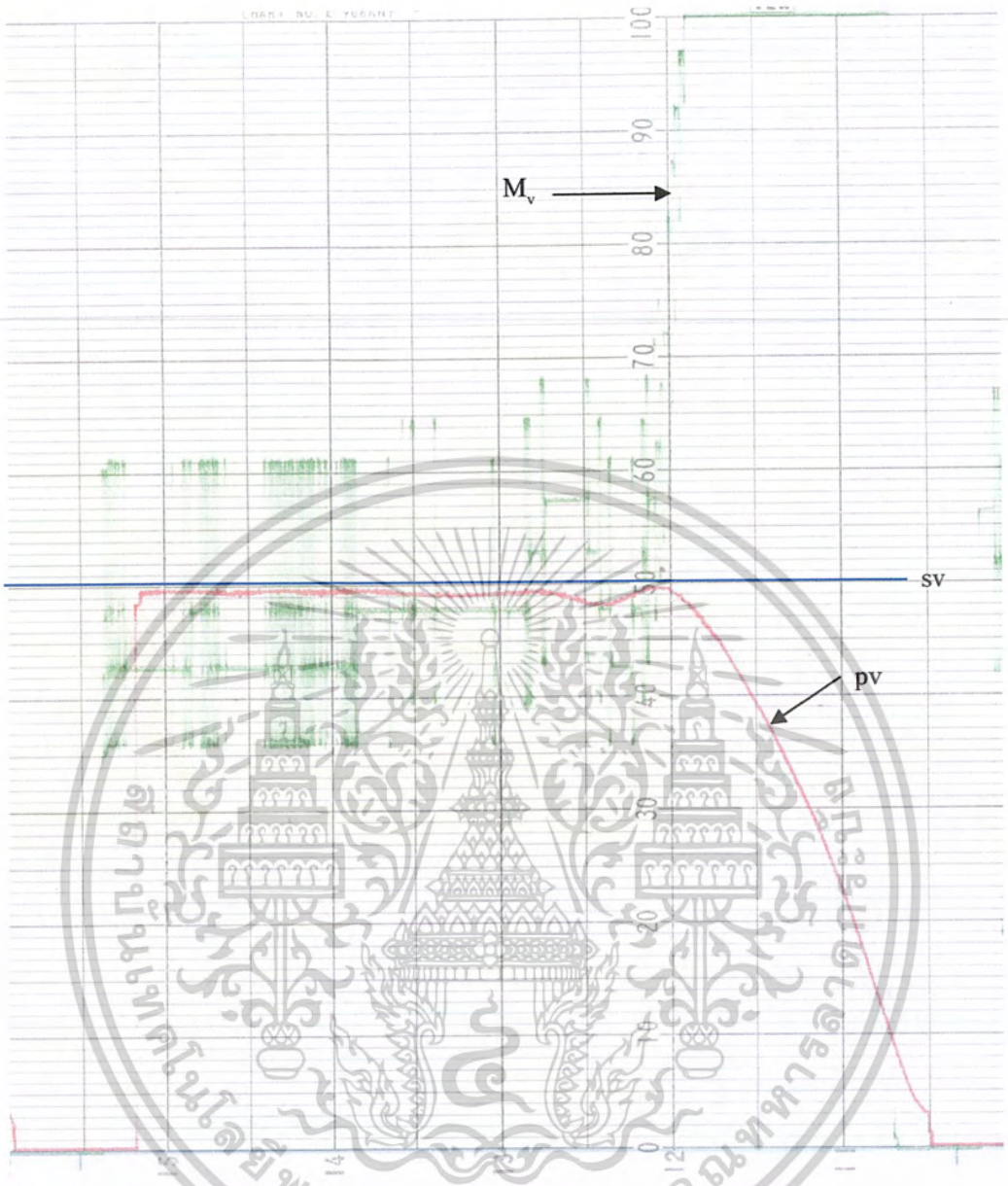
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ภาพที่ 5.3 ผลตอบสนองโดยควบคุมด้วยโหมดฟัซซี่

- Feed = 400mm/hr, sv = 25%, Css = 24.2%
- Overshoot = 25.5%
- Off Set = 0.8%
- Td = 58.5 Sec
- Tr = 103.5 Sec
- Ts(± 5%) = 126 Sec

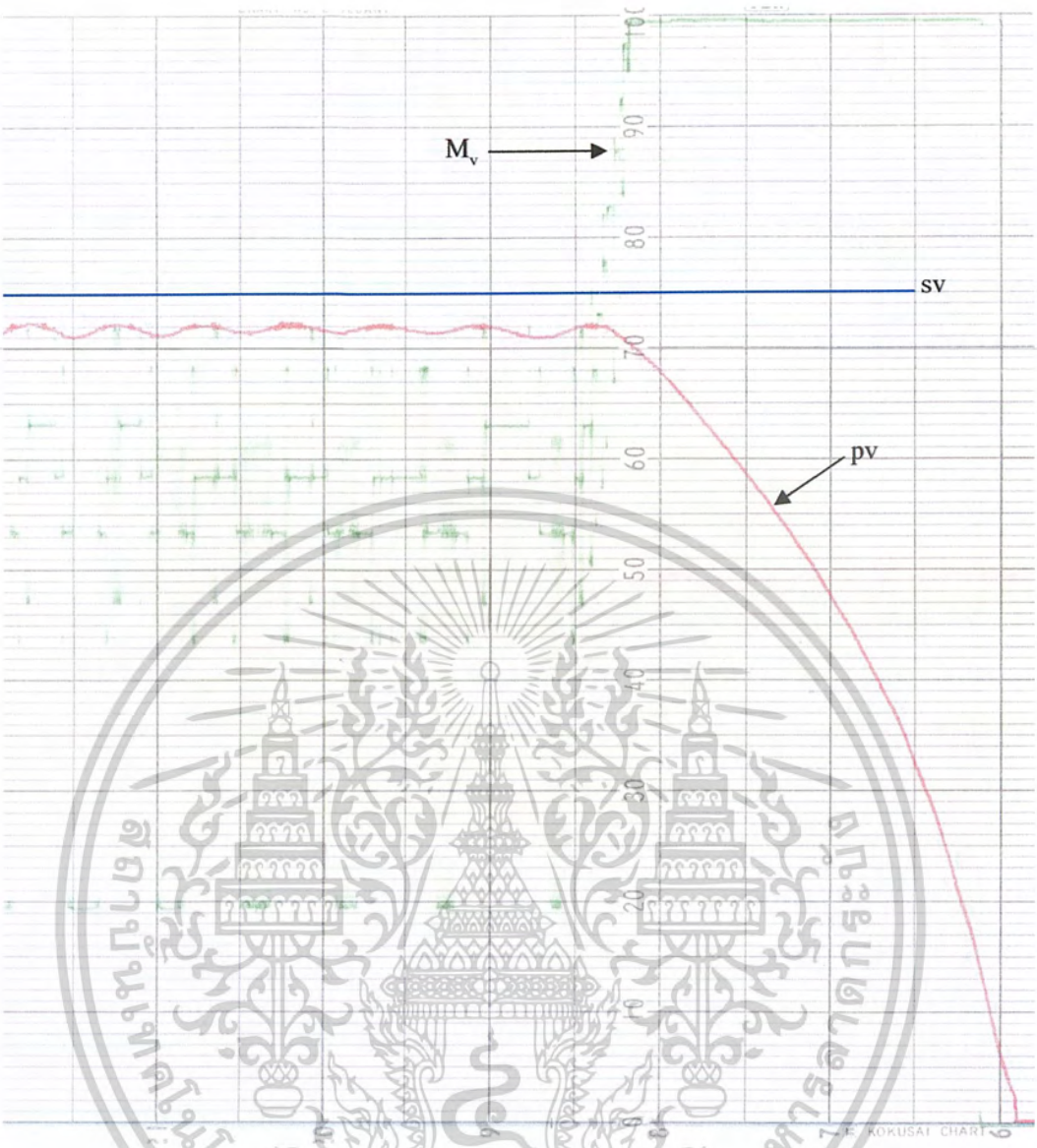
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ภาพที่ 5.4 ผลตอบสนองโดยควบคุมด้วยโหมดพีซซี่

- Feed = 400mm/hr, sv = 50%, Css = 49.5%
- Off Set = 0.5%
- Td = 130.5 Sec
- Tr = 261 Sec
- Ts(± 5%) = 310.5 Sec

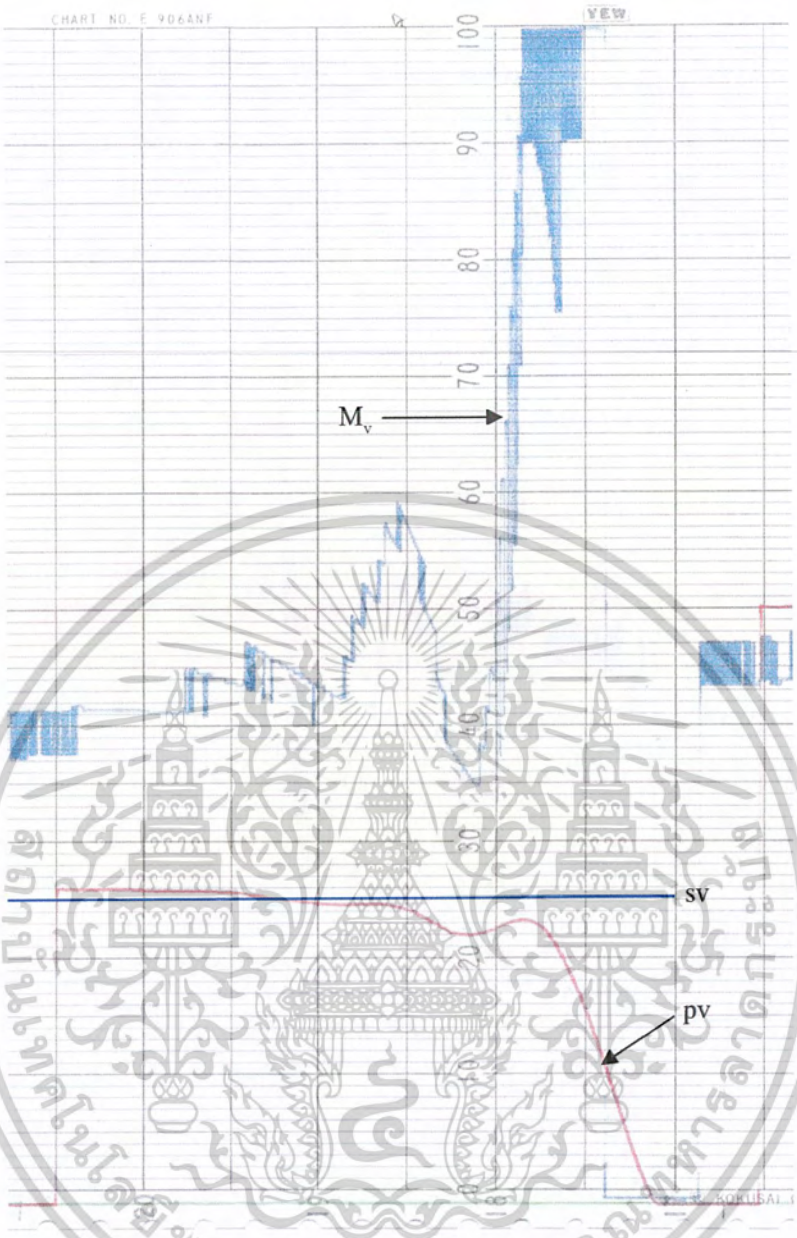
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ภาพที่ 5.5 ผลตอบสนองโดยควบคุมด้วยโหมดฟัซซี่

- Feed = 400mm/h, sv = 75%, Css = 72.2%
- Off Set = 2.8%
- Td = 148.5 Sec
- Tr = 405 Sec
- Ts(± 5%) = 432 Sec

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

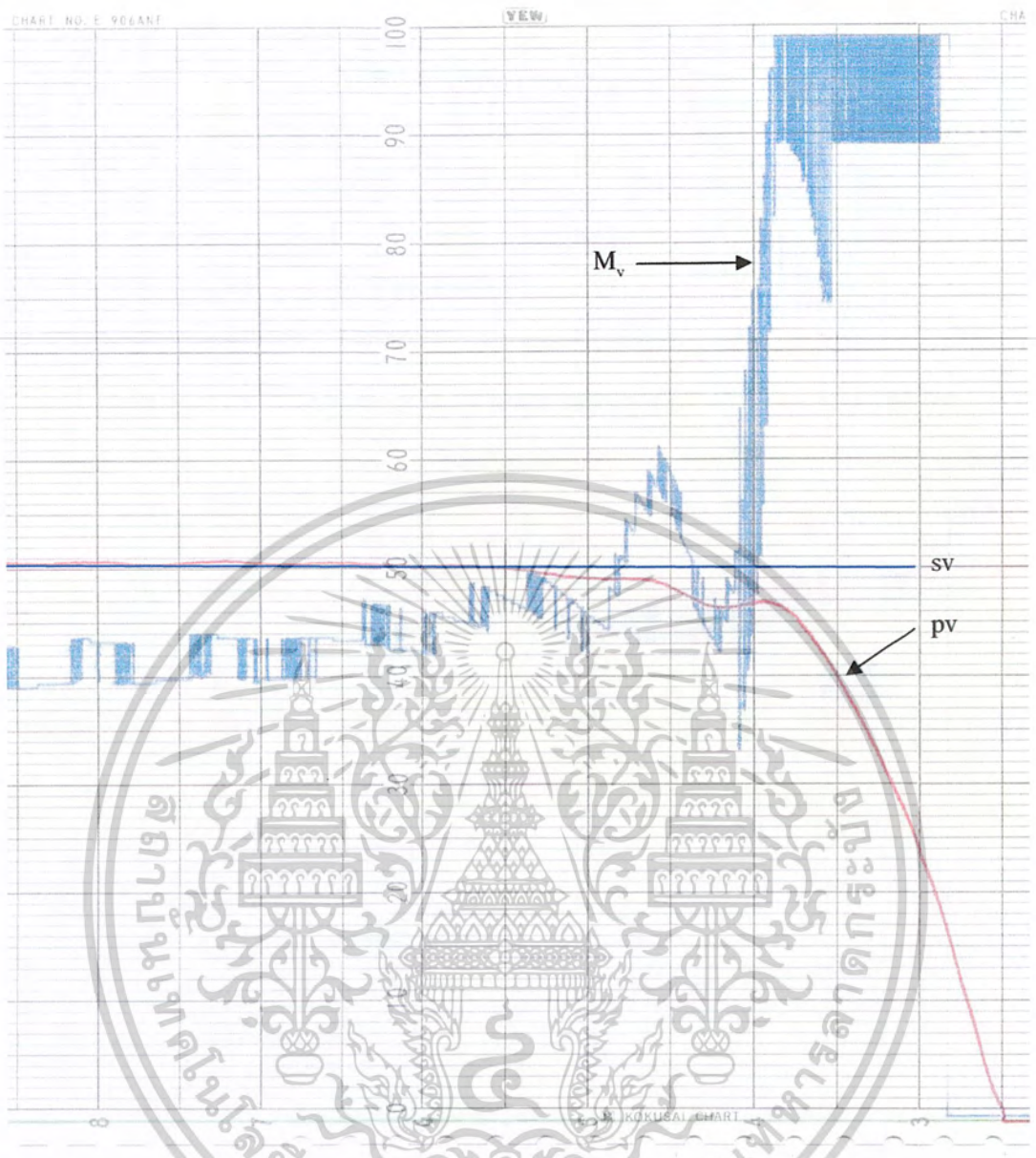


ภาพที่ 5.6 ผลตอบสนองโดยควบคุมด้วยโหมดพีไอดีร่วมกับฟัซซี่

เมื่อกำหนดค่าพารามิเตอร์พีไอดีดังนี้ $K_p = 8$, $T_i = 212$ sec, $T_d = 38$ sec

- Feed = 400mm/hr, sv = 25%, Css = 26%
- Off Set = 1%
- Td = 76 Sec
- Tr = 121.5 Sec
- Ts(± 5%) = 351 Sec

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ภาพที่ 5.7 ผลตอบสนองโดยควบคุมด้วยโหมดพีไอดีร่วมกับฟัซซี่

เมื่อกำหนดค่าพารามิเตอร์พีไอดีดังนี้ $K_p = 8$, $T_i = 251$ sec, $T_d = 36$ sec

- Feed = 400mm/hr, sv = 50%, Css = 50.5%
- Off Set = 0.5%
- Td = 126 Sec
- Tr = 261 Sec
- Ts(± 5%) = 441 Sec

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 6
สรุปผลและแนวทางการพัฒนา

6.1 สรุปผลการทดลอง

จากการทดลองควบคุมกระบวนการในเวลาจริงพบว่าตัวควบคุมสามารถควบคุมกระบวนการควบคุมระดับของอุณหภูมิโดยที่ค่าเอาท์พุทของระบบควบคุมลู่เข้าสู่ค่าอ้างอิงได้เร็ว โดยเกิดค่าผิดพลาดที่สภาวะคงที่ไม่สูงนักและสามารถปรับตัวเพื่อลดผลกระทบที่เกิดจากการรบกวนจากภายนอกได้ในระดับหนึ่ง

เมื่อเปรียบเทียบผลของการควบคุมระบบของตัวควบคุมแบบฟัซซี่กับการควบคุมโดยใช้ตัวควบคุมแบบพีไอดีพบว่าการควบคุมด้วยตัวควบคุมแบบฟัซซี่จะมีค่าเวลาไรซ์ไทม์น้อยกว่า แต่จะมีค่าพุ่งเกินสูงกว่า พบว่าระบบควบคุมแบบฟัซซี่เข้าสู่สภาวะคงตัวเร็วกว่าและในกรณีที่อยู่ในโหมดการควบคุมแบบพีไอดีร่วมกับฟัซซี่ก็จะทำให้เกิดประสิทธิภาพที่ดีกว่า โดยทั้งลดค่าเวลาไรซ์ไทม์และไม่ทำให้เกิดค่าพุ่งเกินและพบว่าเกิดการแกว่งรอบสัญญาณอ้างอิงน้อยมาก

6.2 ปัญหาที่พบ

1. อินพุทที่ป้อนให้กับตัวควบคุม ใช้ตัวแปลงสัญญาณ ADC ขนาด 8 bit ซึ่งจะให้ค่าความละเอียดเพียง 256 ค่ามีผลให้การควบคุมไม่ละเอียด และเกิดค่าผิดพลาดได้ง่าย

2. กระบวนการที่ใช้ในการทดลองนี้ เป็นแบบมีการปรับอุณหภูมิโดยใช้ฮีตเตอร์ซึ่งการเปลี่ยนของอุณหภูมิห้อง ที่เปลี่ยนแปลงไปมีผลทำให้การทดลองที่ซ้ำค่าเดิมมีค่าความคลาดเคลื่อนในระดับหนึ่ง

3. จากผลการทดลอง จะพบว่าเกิดการแกว่งรอบสัญญาณอ้างอิงหรือค่าเป้าหมายในการควบคุมกระบวนการแบบฟัซซี่อันเนื่อง การตั้งกฎของฟัซซี่ที่มีจำนวนกฎน้อยเพียง 9 กฎเท่านั้น

6.3 แนวทางการพัฒนา

1. อาจจะต้องมีการเพิ่มเติมฟังก์ชันการทำงานให้มากขึ้นกว่าเดิมเพื่อเพิ่มประสิทธิภาพและง่ายต่อการใช้งาน

2. อาจจะมีการนำเอาหลักการ Neuro Fuzzy มาใช้ร่วมกับฟัซซี่เพื่อที่จะทำให้ประสิทธิภาพของการควบคุมดีขึ้น

3. อาจจะนำเครื่องควบคุมนี้ไปใช้เพื่อควบคุมกระบวนการอื่นๆ อาทิเช่น Flow, Level หรือนำไปใช้ควบคุมระบบที่ประกอบด้วยกระบวนการหลายๆ กระบวนการได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บรรณานุกรม

[1] สมศักดิ์ กีรติวุฒิเศรษฐ์, "หลักการและการใช้งานเครื่องมือวัดทางอุตสาหกรรม", สสท T8404

[2] ธิดาพร พิทักษ์พรพันธุ์, "ตัวควบคุมฟัซซี่แบบสร้างและปรับแต่งพารามิเตอร์ด้วยตนเอง", วิศวลาดกระบัง 2538

[3] Fuzzy Control System, Crc Press, Inc.1994

[4] เลิศเลขา ธนะชัยขันธ์, "การออกแบบและสร้างตัวควบคุม PID แบบปรับค่าอัตโนมัติบนคอมพิวเตอร์ส่วนบุคคล", วิศวลาดกระบัง 2544

[5] วรพจน์ กรแก้ววัฒนกุล, ชัยวัฒน์ ลิ้มพรจิตวิไล, "ปฏิบัติการไมโครคอนโทรลเลอร์ MCS-51 ฉบับ P89C51RD2", บริษัท อินโนเวตีฟ เอ็กเพอริเมนต์ 2521

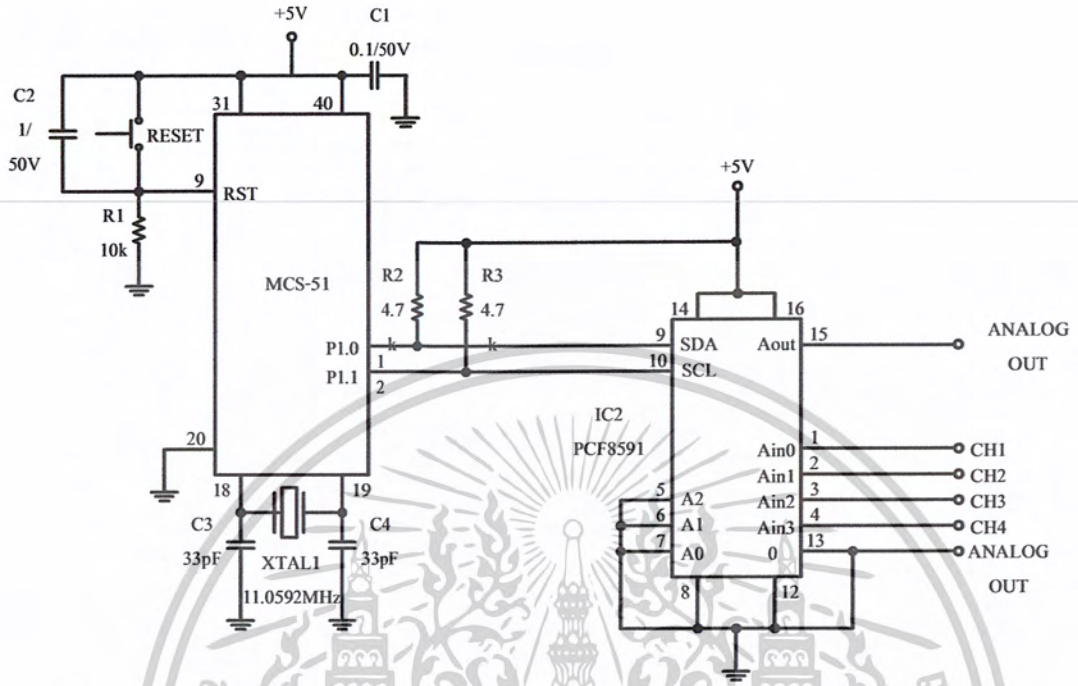
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ก.

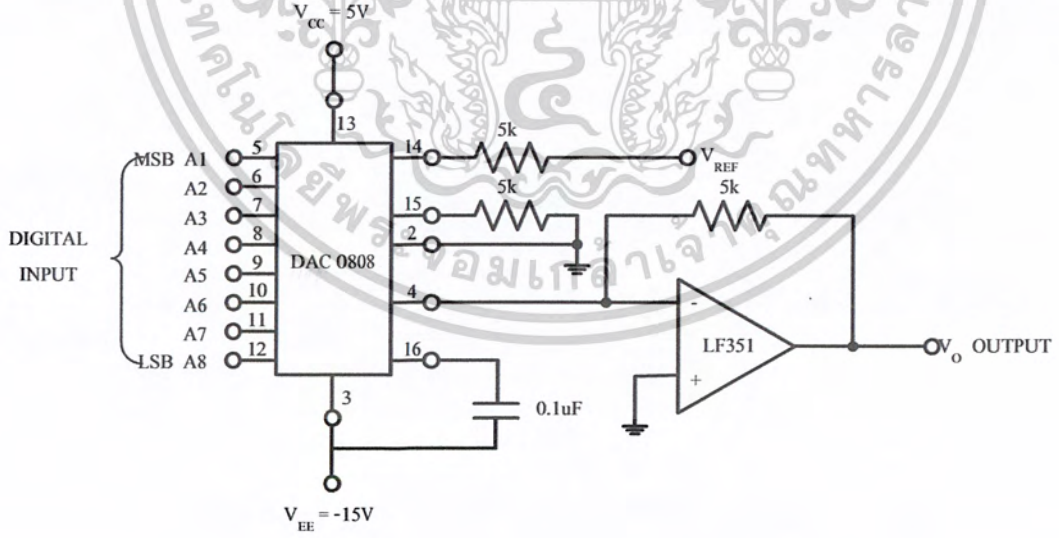
รายละเอียดข้อมูล INTERFACE

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปแสดงส่วนประกอบทางฮาร์ดแวร์

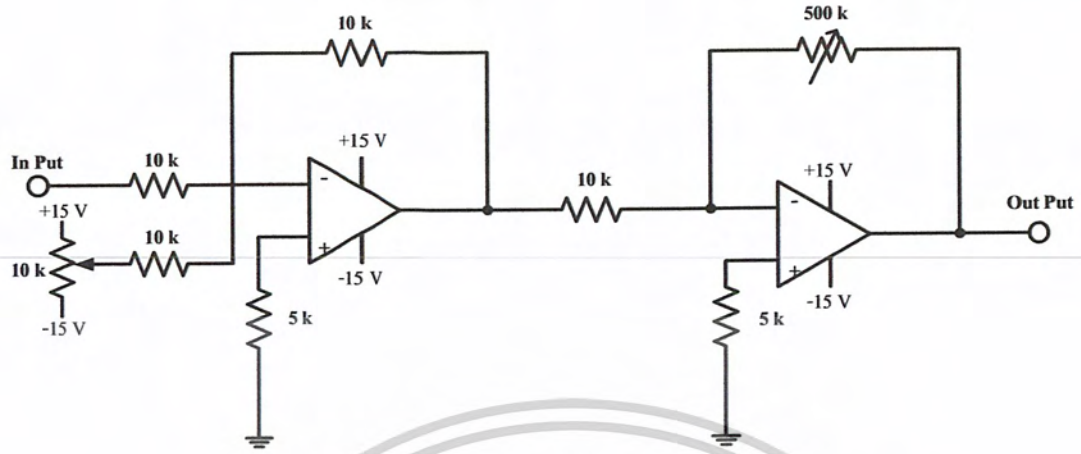


ภาพ ก-1 แสดงวงจรแปลงสัญญาณ ANALOG เป็น DIGITAL

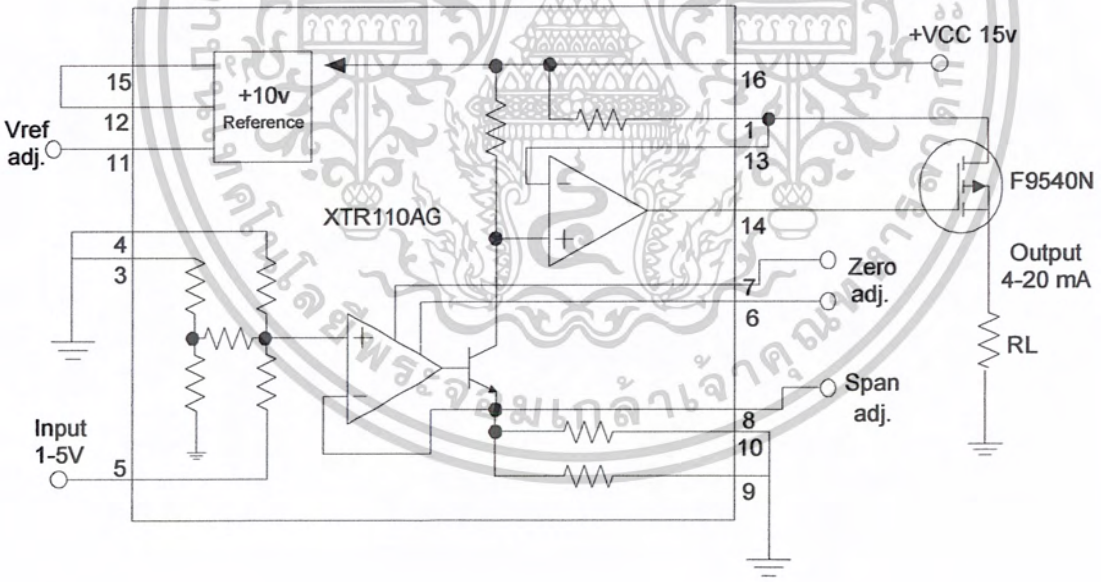


ภาพ ก-2 แสดงวงจรแปลงสัญญาณ DIGITAL เป็น ANALOG

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ภาพ ก-3 แสดงส่วน SIGNAL CONDITIONER CIRCUIT



ภาพ ก-4 แสดงวงจรส่วนแปลงแรงดันเป็นกระแส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ข.

DATA SHEET

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

May 1999

National Semiconductor

DAC0808
8-Bit D/A Converter

General Description

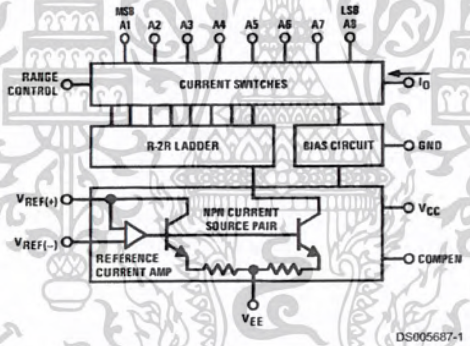
The DAC0808 is an 8-bit monolithic digital-to-analog converter (DAC) featuring a full scale output current settling time of 150 ns while dissipating only 33 mW with ±5V supplies. No reference current (I_{REF}) trimming is required for most applications since the full scale output current is typically ±1 LSB of 255 $I_{REF}/256$. Relative accuracies of better than ±0.19% assure 8-bit monotonicity and linearity while zero level output current of less than 4 µA provides 8-bit zero accuracy for $I_{REF} \geq 2$ mA. The power supply currents of the DAC0808 is independent of bit codes, and exhibits essentially constant device characteristics over the entire supply voltage range.

The DAC0808 will interface directly with popular TTL, DTL or CMOS logic levels, and is a direct replacement for the MC1508/MC1408. For higher speed applications, see DAC0800 data sheet.

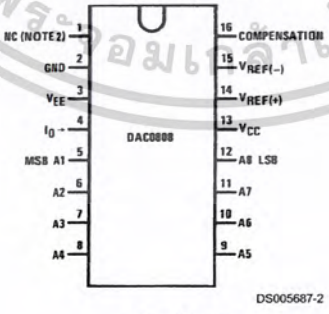
Features

- Relative accuracy: ±0.19% error maximum
- Full scale current match: ±1 LSB typ
- Fast settling time: 150 ns typ
- Noninverting digital inputs are TTL and CMOS compatible
- High speed multiplying input slew rate: 8 mA/µs
- Power supply voltage range: ±4.5V to ±18V
- Low power consumption: 33 mW @ ±5V

Block and Connection Diagrams



Dual-In-Line Package



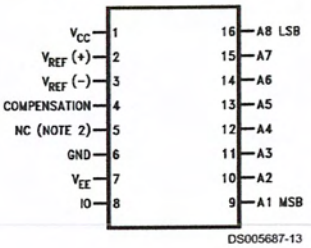
Top View
Order Number DAC0808
See NS Package M16A or N16A

© 2001 National Semiconductor Corporation

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Block and Connection Diagrams (Continued)

Small-Outline Package



DS005687-13

Ordering Information

ACCURACY	OPERATING TEMPERATURE RANGE	N PACKAGE (N16A) (Note 1)		SO PACKAGE (M16A)
8-bit	$0°C \leq T_A \leq +75°C$	DAC0808LCN	MC1408P8	DAC0808LCM

Note 1: Devices may be ordered by using either order number.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings (Note 2)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/ Distributors for availability and specifications.

Power Supply Voltage	
V_{CC}	+18 V_{DC}
V_{EE}	−18 V_{DC}
Digital Input Voltage, V5–V12	−10 V_{DC} to +18 V_{DC}
Applied Output Voltage, V_O	−11 V_{DC} to +18 V_{DC}
Reference Current, I_{14}	5 mA
Reference Amplifier Inputs, V14, V15	V_{CC}, V_{EE}
Power Dissipation (Note 4)	1000 mW
ESD Susceptibility (Note 5)	TBD
Storage Temperature Range	−65°C to +150°C
Lead Temp. (Soldering, 10 seconds)	
Dual-In-Line Package (Plastic)	260°C
Dual-In-Line Package (Ceramic)	300°C
Surface Mount Package	
Vapor Phase (60 seconds)	215°C
Infrared (15 seconds)	220°C

Operating Ratings

Temperature Range	$T_{MIN} \le T_A \le T_{MAX}$
DAC0808	$0 \le T_A \le +75°C$

Electrical Characteristics

(V_{CC} = 5V, V_{EE} = −15 V_{DC}, V_{REF}/R14 = 2 mA, and all digital inputs at high logic level unless otherwise noted.)

Symbol	Parameter	Conditions	Min	Typ	Max	Units
E_r	Relative Accuracy (Error Relative to Full Scale I_O)	(*Figure 4*)				%
	DAC0808LC (LM1408-8)				±0.19	%
	Settling Time to Within ½ LSB (Includes t_{PLH})	T_A=25°C (Note 7), (*Figure 5*)		150		ns
t_{PLH}, t_{PHL}	Propagation Delay Time	T_A = 25°C, (*Figure 5*)		30	100	ns
TCI_O	Output Full Scale Current Drift			±20		ppm/°C
MSB	Digital Input Logic Levels	(*Figure 3*)				
V_{IH}	High Level, Logic "1"		2			V_{DC}
V_{IL}	Low Level, Logic "0"				0.8	V_{DC}
MSB	Digital Input Current	(*Figure 3*)				
	High Level	V_{IH} = 5V		0	0.040	mA
	Low Level	V_{IL} = 0.8V		−0.003	−0.8	mA
I_{15}	Reference Input Bias Current	(*Figure 3*)		−1	−3	μA
	Output Current Range	(*Figure 3*)				
		V_{EE} = −5V	0	2.0	2.1	mA
		V_{EE} = −15V, T_A = 25°C	0	2.0	4.2	mA
I_O	Output Current	V_{REF} = 2.000V, R14 = 1000Ω, (*Figure 3*)	1.9	1.99	2.1	mA
	Output Current, All Bits Low	(*Figure 3*)		0	4	μA
	Output Voltage Compliance (Note 3)	$E_r \le 0.19\%$, T_A = 25°C				
	V_{EE}=−5V, I_{REF}=1 mA				−0.55, +0.4	V_{DC}
	V_{EE} Below −10V				−5.0, +0.4	V_{DC}
SRI_{REF}	Reference Current Slew Rate	(*Figure 6*)	4	8		mA/μs
	Output Current Power Supply Sensitivity	−5V ≤ V_{EE} ≤ −16.5V		0.05	2.7	μA/V
	Power Supply Current (All Bits Low)	(*Figure 3*)				
I_{CC}				2.3	22	mA
I_{EE}				−4.3	−13	mA
	Power Supply Voltage Range	T_A = 25°C, (*Figure 3*)				
V_{CC}			4.5	5.0	5.5	V_{DC}
V_{EE}			−4.5	−15	−16.5	V_{DC}
	Power Dissipation					

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Electrical Characteristics (Continued)

(V_{CC} = 5V, V_{EE} = −15 V_{DC}, V_{REF}/R14 = 2 mA, and all digital inputs at high logic level unless otherwise noted.)

Symbol	Parameter	Conditions	Min	Typ	Max	Units
	All Bits Low	V_{CC} = 5V, V_{EE} = −5V		33	170	mW
		V_{CC} = 5V, V_{EE} = −15V		106	305	mW
	All Bits High	V_{CC} = 15V, V_{EE} = −5V		90		mW
		V_{CC} = 15V, V_{EE} = −15V		160		mW

Note 2: Absolute Maximum Ratings indicate limits beyond which damage to the device may occur. DC and AC electrical specifications do not apply when operating the device beyond its specified operating conditions.

Note 3: Range control is not required.

Note 4: The maximum power dissipation must be derated at elevated temperatures and is dictated by T_{JMAX}, θ_{JA}, and the ambient temperature, T_A. The maximum allowable power dissipation at any temperature is $P_D = (T_{JMAX} - T_A)/\theta_{JA}$ or the number given in the Absolute Maixmum Ratings, whichever is lower. For this device, T_{JMAX} = 125˚C, and the typical junction-to-ambient thermal resistance of the dual-in-line J package when the board mounted is 100˚C/W. For the dual-in-line N package, this number increases to 175˚C/W and for the small outline M package this number is 100˚C/W.

Note 5: Human body model, 100 pF discharged through a 1.5 kΩ resistor.

Note 6: All current switches are tested to guarantee at least 50% of rated current.

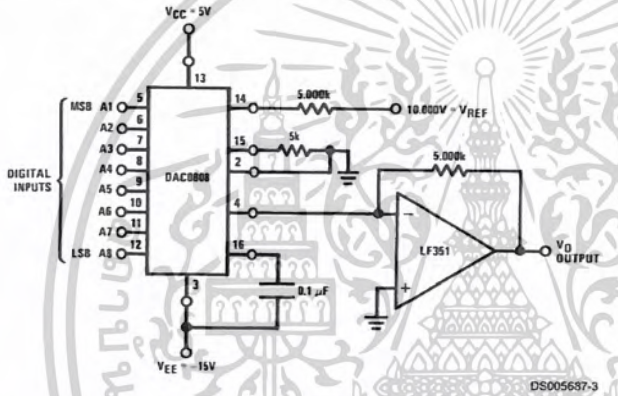
Note 7: All bits switched.

Note 8: Pin-out numbers for the DAL080X represent the dual-in-line package. The small outline package pinout differs from the dual-in-line package.

Typical Application

$$V_O = 10V\left(\frac{A1}{2} + \frac{A2}{4} + \cdots \frac{A8}{256}\right)$$

DS005687-23

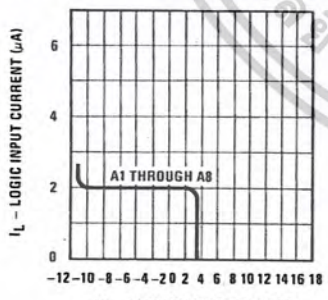


DS005687-3

FIGURE 1. +10V Output Digital to Analog Converter (Note 8)

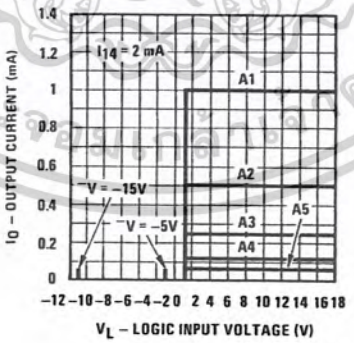
Typical Performance Characteristics V_{CC} = 5V, V_{EE} = −15V, T_A = 25˚C, unless otherwise noted

Logic Input Current vs Input Voltage



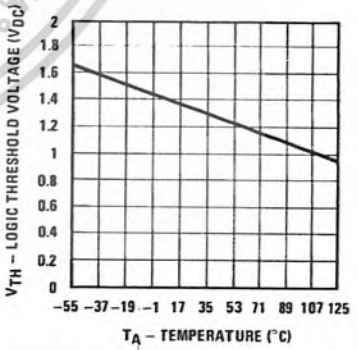
DS005687-14

Bit Transfer Characteristics



DS005687-15

Logic Threshold Voltage vs Temperature

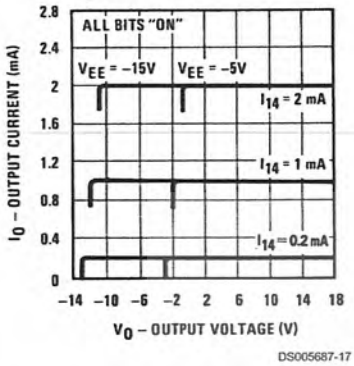


DS005687-16

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

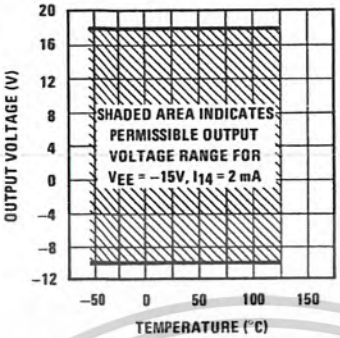
Typical Performance Characteristics V_{CC} = 5V, V_{EE} = −15V, T_A = 25°C, unless otherwise noted (Continued)

Output Current vs Output Voltage (Output Voltage Compliance)



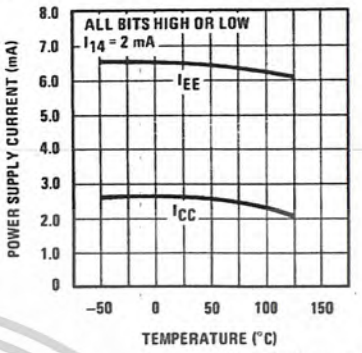
DS005687-17

Output Voltage Compliance vs Temperature



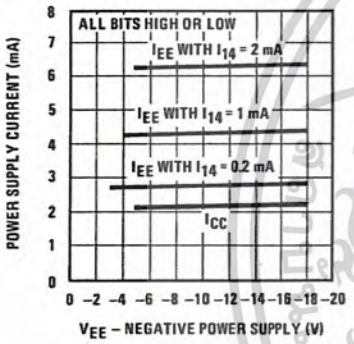
DS005687-18

Typical Power Supply Current vs Temperature



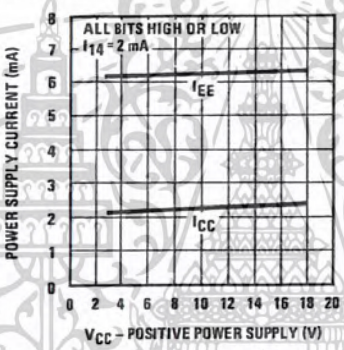
DS005687-19

Typical Power Supply Current vs V_{EE}



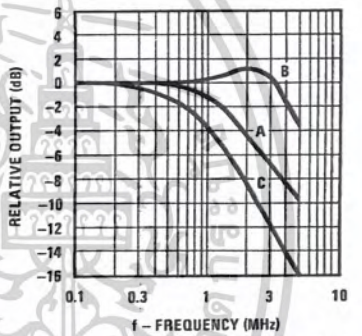
DS005687-20

Typical Power Supply Current vs V_{CC}



DS005687-21

Reference Input Frequency Response



DS005687-22

Unless otherwise specified: R14 = R15 = 1 kΩ, C = 15 pF, pin 16 to V_{EE}; R_L = 50Ω, pin 4 to ground.

Curve A: Large Signal Bandwidth Method of *Figure 7*, V_{REF} = 2 Vp-p offset 1V above ground.

Curve B: Small Signal Bandwidth Method of *Figure 7*, R_L = 250Ω, V_{REF} = 50 mVp-p offset 200 mV above ground.

Curve C: Large and Small Signal Bandwidth Method of *Figure 9* (no op amp, R_L = 50Ω), R_S = 50Ω, V_{REF} = 2V, V_S = 100 mVp-p centered at 0V.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

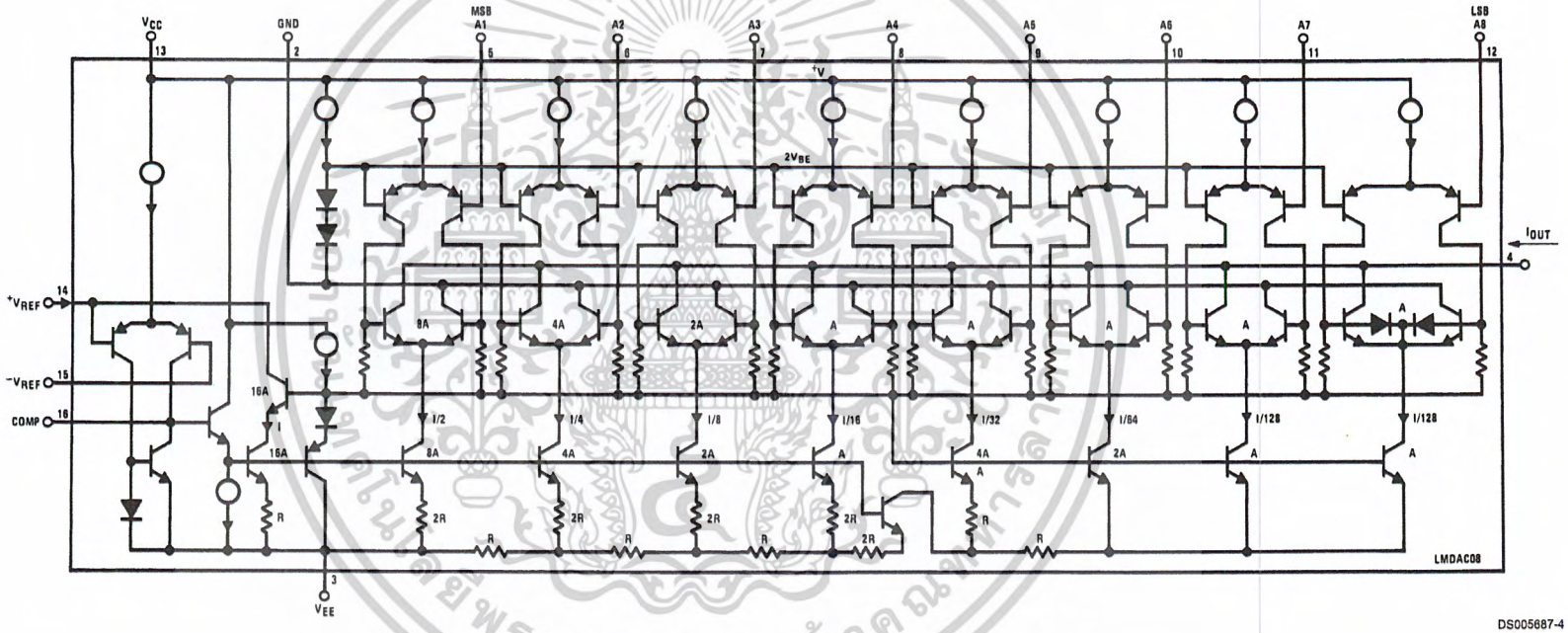
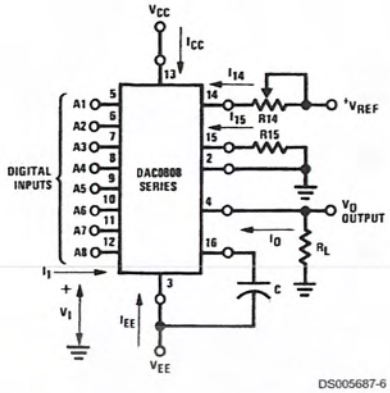


FIGURE 2. Equivalent Circuit of the DAC0808 Series (Note 8)

Test Circuits



DS005687-6

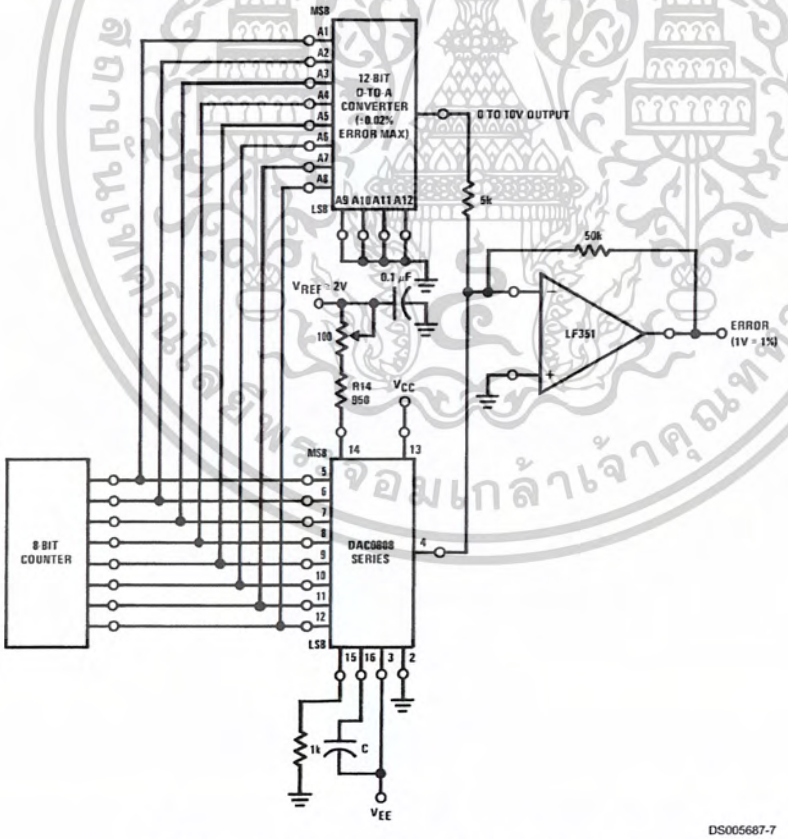
V_I and I_1 apply to inputs A1–A8.
The resistor tied to pin 15 is to temperature compensate the bias current and may not be necessary for all applications.

$$I_O = K\left(\frac{A1}{2} + \frac{A2}{4} + \frac{A3}{8} + \frac{A4}{16} + \frac{A5}{32} + \frac{A6}{64} + \frac{A7}{128} + \frac{A8}{256}\right)$$

$$\text{where } K \cong \frac{V_{REF}}{R14}$$

and A_N = "1" if A_N is at high level
A_N = "0" if A_N is at low level

FIGURE 3. Notation Definitions Test Circuit (Note 8)



DS005687-7

FIGURE 4. Relative Accuracy Test Circuit (Note 8)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Test Circuits (Continued)

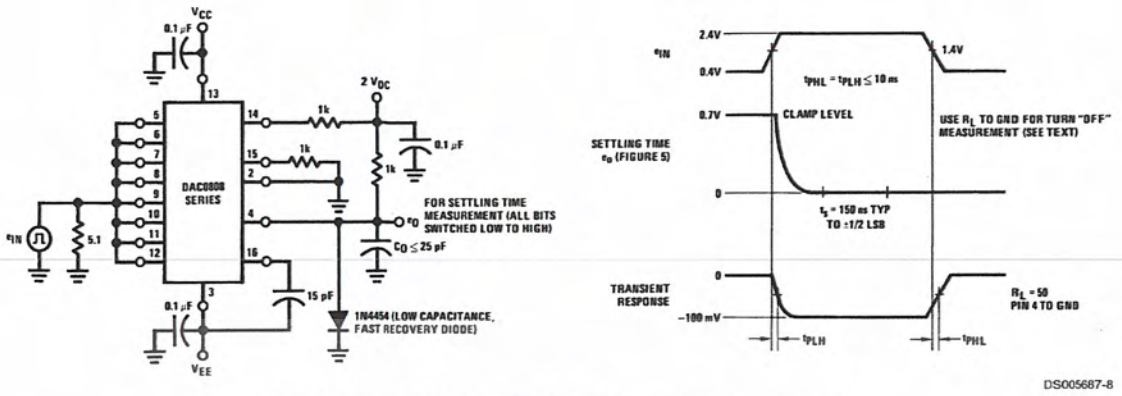


FIGURE 5. Transient Response and Settling Time (Note 8)

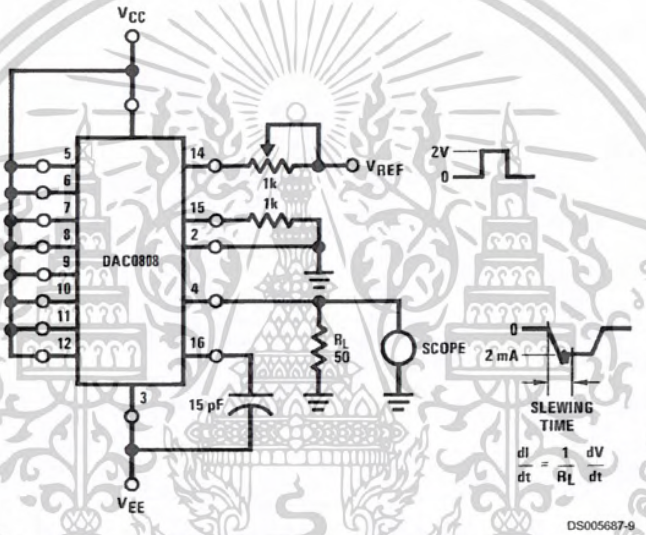


FIGURE 6. Reference Current Slew Rate Measurement (Note 8)

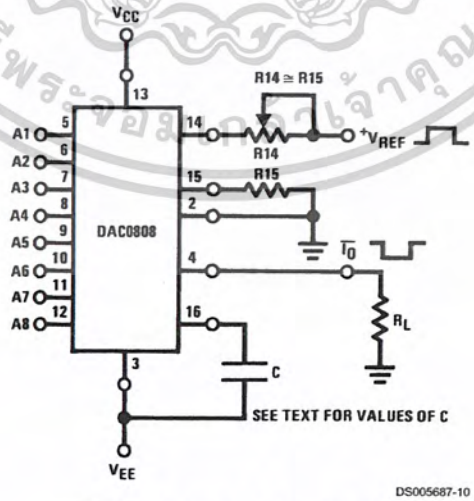


FIGURE 7. Positive V_{REF} (Note 8)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Test Circuits (Continued)

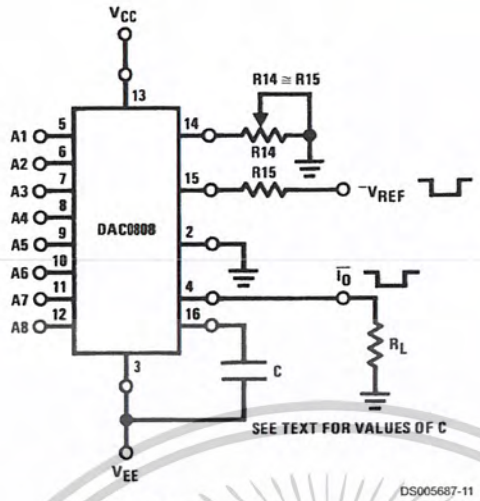


FIGURE 8. Negative V_{REF} (Note 8)

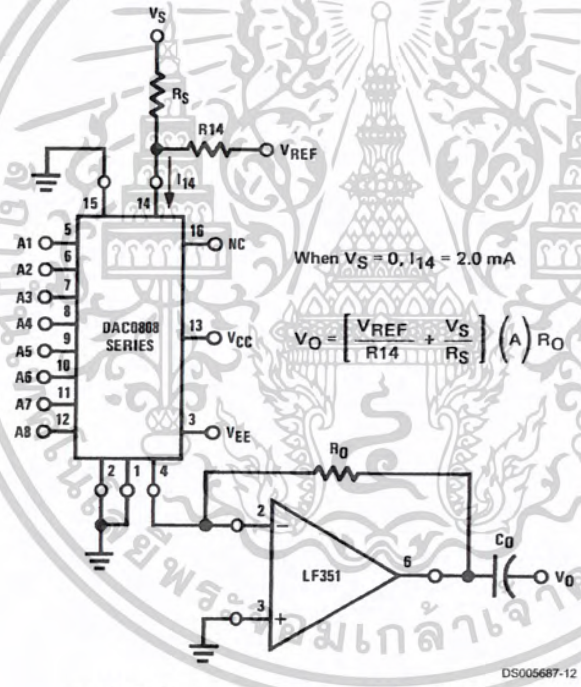


FIGURE 9. Programmable Gain Amplifier or Digital Attenuator Circuit (Note 8)

Application Hints

REFERENCE AMPLIFIER DRIVE AND COMPENSATION

The reference amplifier provides a voltage at pin 14 for converting the reference voltage to a current, and a turn-around circuit or current mirror for feeding the ladder. The reference amplifier input currrent, I_{14}, must always flow into pin 14, regardless of the set-up method or reference voltage polarity.

Connections for a positive voltage are shown in *Figure 7*. The reference voltage source supplies the full current I_{14}.

For bipolar reference signals, as in the multiplying mode, R15 can be tied to a negative voltage corresponding to the minimum input level. It is possible to eliminate R15 with only a small sacrifice in accuracy and temperature drift.

The compensation capacitor value must be increased with increases in R14 to maintain proper phase margin; for R14 values of 1, 2.5 and 5 kΩ, minimum capacitor values are 15, 37 and 75 pF. The capacitor may be tied to either V_{EE} or ground, but using V_{EE} increases negative supply rejection.

A negative reference voltage may be used if R14 is grounded and the reference voltage is applied to R15 as shown in *Figure 8*. A high input impedance is the main

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Application Hints (Continued)

advantage of this method. Compensation involves a capacitor to V_{EE} on pin 16, using the values of the previous paragraph. The negative reference voltage must be at least 4V above the V_{EE} supply. Bipolar input signals may be handled by connecting R14 to a positive reference voltage equal to the peak positive input level at pin 15.

When a DC reference voltage is used, capacitive bypass to ground is recommended. The 5V logic supply is not recommended as a reference voltage. If a well regulated 5V supply which drives logic is to be used as the reference, R14 should be decoupled by connecting it to 5V through another resistor and bypassing the junction of the 2 resistors with 0.1 µF to ground. For reference voltages greater than 5V, a clamp diode is recommended between pin 14 and ground.

If pin 14 is driven by a high impedance such as a transistor current source, none of the above compensation methods apply and the amplifier must be heavily compensated, decreasing the overall bandwidth.

OUTPUT VOLTAGE RANGE

The voltage on pin 4 is restricted to a range of −0.55 to 0.4V when V_{EE} = −5V due to the current switching methods employed in the DAC0808.

The negative output voltage compliance of the DAC0808 is extended to −5V where the negative supply voltage is more negative than −10V. Using a full-scale current of 1.992 mA and load resistor of 2.5 kΩ between pin 4 and ground will yield a voltage output of 256 levels between 0 and −4.980V. Floating pin 1 does not affect the converter speed or power dissipation. However, the value of the load resistor determines the switching time due to increased voltage swing. Values of R_L up to 500Ω do not significantly affect performance, but a 2.5 kΩ load increases worst-case settling time to 1.2 µs (when all bits are switched ON). Refer to the subsequent text section on Settling Time for more details on output loading.

OUTPUT CURRENT RANGE

The output current maximum rating of 4.2 mA may be used only for negative supply voltages more negative than −8V, due to the increased voltage drop across the resistors in the reference current amplifier.

ACCURACY

Absolute accuracy is the measure of each output current level with respect to its intended value, and is dependent upon relative accuracy and full-scale current drift. Relative accuracy is the measure of each output current level as a fraction of the full-scale current. The relative accuracy of the DAC0808 is essentially constant with temperature due to the excellent temperature tracking of the monolithic resistor ladder. The reference current may drift with temperature, causing a change in the absolute accuracy of output current. However, the DAC0808 has a very low full-scale current drift with temperature.

The DAC0808 series is guaranteed accurate to within ±½ LSB at a full-scale output current of 1.992 mA. This corresponds to a reference amplifier output current drive to the ladder network of 2 mA, with the loss of 1 LSB (8 µA) which is the ladder remainder shunted to ground. The input current to pin 14 has a guaranteed value of between 1.9 and 2.1 mA, allowing some mismatch in the NPN current source pair. The accuracy test circuit is shown in *Figure 4*. The 12-bit converter is calibrated for a full-scale output current of 1.992 mA. This is an optional step since the DAC0808 accuracy is essentially the same between 1.5 and 2.5 mA. Then the DAC0808 circuits' full-scale current is trimmed to the same value with R14 so that a zero value appears at the error amplifier output. The counter is activated and the error band may be displayed on an oscilloscope, detected by comparators, or stored in a peak detector.

Two 8-bit D-to-A converters may not be used to construct a 16-bit accuracy D-to-A converter. 16-bit accuracy implies a total error of ±½ of one part in 65,536 or ±0.00076%, which is much more accurate than the ±0.019% specification provided by the DAC0808.

MULTIPLYING ACCURACY

The DAC0808 may be used in the multiplying mode with 8-bit accuracy when the reference current is varied over a range of 256:1. If the reference current in the multiplying mode ranges from 16 µA to 4 mA, the additional error contributions are less than 1.6 µA. This is well within 8-bit accuracy when referred to full-scale.

A monotonic converter is one which supplies an increase in current for each increment in the binary word. Typically, the DAC0808 is monotonic for all values of reference current above 0.5 mA. The recommended range for operation with a DC reference current is 0.5 to 4 mA.

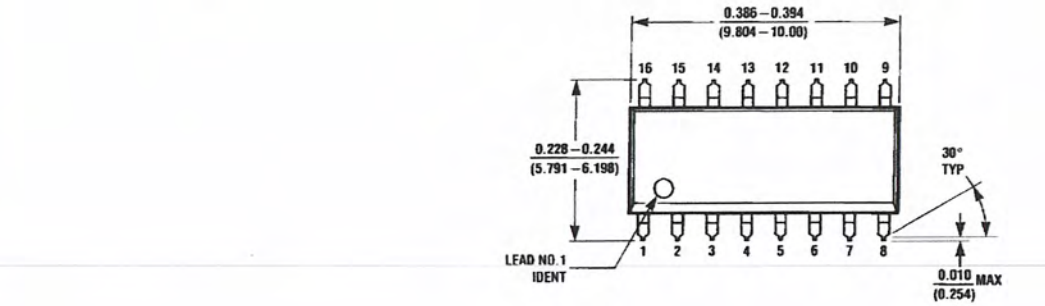
SETTLING TIME

The worst-case switching condition occurs when all bits are switched ON, which corresponds to a low-to-high transition for all bits. This time is typically 150 ns for settling to within ±½ LSB, for 8-bit accuracy, and 100 ns to ½ LSB for 7 and 6-bit accuracy. The turn OFF is typically under 100 ns. These times apply when $R_L \leq 500\Omega$ and $C_O \leq 25$ pF.

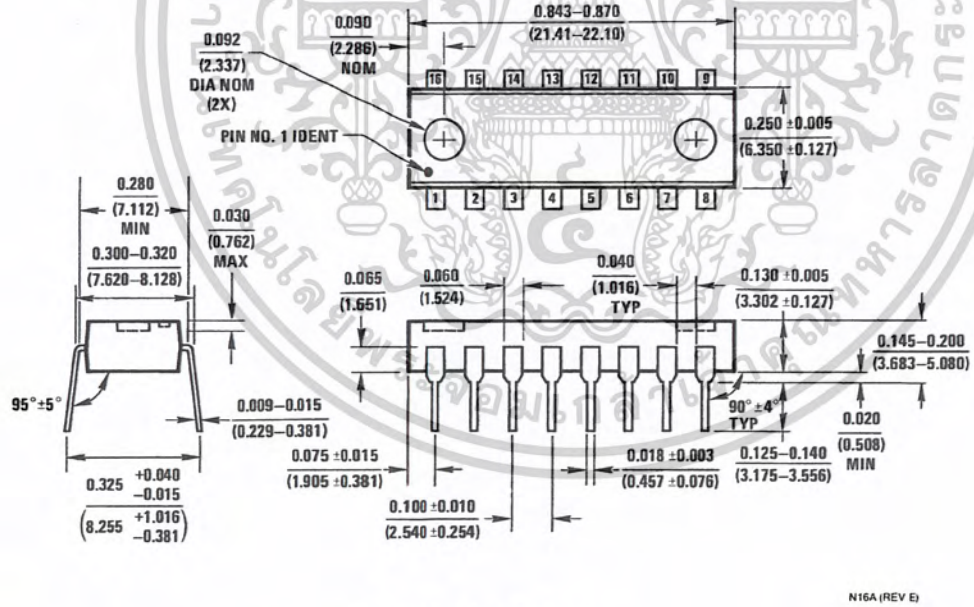
Extra care must be taken in board layout since this is usually the dominant factor in satisfactory test results when measuring settling time. Short leads, 100 µF supply bypassing for low frequencies, and minimum scope lead length are all mandatory.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Physical Dimensions inches (millimeters) unless otherwise noted



Small Outline Package
Order Number DAC0808LCM
NS Package Number M16A



Dual-In-Line Package
Order Number DAC0808
NS Package Number N16A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Notes

LIFE SUPPORT POLICY

NATIONAL'S PRODUCTS ARE NOT AUTHORIZED FOR USE AS CRITICAL COMPONENTS IN LIFE SUPPORT DEVICES OR SYSTEMS WITHOUT THE EXPRESS WRITTEN APPROVAL OF THE PRESIDENT AND GENERAL COUNSEL OF NATIONAL SEMICONDUCTOR CORPORATION. As used herein:

1. Life support devices or systems are devices or systems which, (a) are intended for surgical implant into the body, or (b) support or sustain life, and whose failure to perform when properly used in accordance with instructions for use provided in the labeling, can be reasonably expected to result in a significant injury to the user.
2. A critical component is any component of a life support device or system whose failure to perform can be reasonably expected to cause the failure of the life support device or system, or to affect its safety or effectiveness.

National Semiconductor Corporation
Americas
Email: support@nsc.com

www.national.com

National Semiconductor Europe
Fax: +49 (0) 180-530 85 86
Email: europe.support@nsc.com
Deutsch Tel: +49 (0) 69 9508 6208
English Tel: +44 (0) 870 24 0 2171
Français Tel: +33 (0) 1 41 91 8790

National Semiconductor Asia Pacific Customer Response Group
Tel: 65-2544466
Fax: 65-2504466
Email: ap.support@nsc.com

National Semiconductor Japan Ltd.
Tel: 81-3-5639-7560
Fax: 81-3-5639-7507

National does not assume any responsibility for use of any circuitry described, no circuit patent licenses are implied and National reserves the right at any time without notice to change said circuitry and specifications.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

BURR-BROWN®

OPA227
OPA2227
OPA4227
OPA228
OPA2228
OPA4228

For most current data sheet and other product information, visit www.burr-brown.com

High Precision, Low Noise OPERATIONAL AMPLIFIERS

FEATURES

- LOW NOISE: 3nV/√Hz
- WIDE BANDWIDTH:
  OPA227: 8MHz, 2.3V/µs
  OPA228: 33MHz, 10V/µs
- SETTLING TIME: 5µs
  (significant improvement over OP-27)
- HIGH CMRR: 138dB
- HIGH OPEN-LOOP GAIN: 160dB
- LOW INPUT BIAS CURRENT: 10nA max
- LOW OFFSET VOLTAGE: 75µV max
- WIDE SUPPLY RANGE: ±2.5V to ±18V
- OPA227 REPLACES OP-27, LT1007, MAX427
- OPA228 REPLACES OP-37, LT1037, MAX437
- SINGLE, DUAL, AND QUAD VERSIONS

APPLICATIONS

- DATA ACQUISITION
- TELECOM EQUIPMENT
- GEOPHYSICAL ANALYSIS
- VIBRATION ANALYSIS
- SPECTRAL ANALYSIS
- PROFESSIONAL AUDIO EQUIPMENT
- ACTIVE FILTERS
- POWER SUPPLY CONTROL

SPICE Model available for OPA227 at www.burr-brown.com

DESCRIPTION

The OPA227 and OPA228 series op amps combine low noise and wide bandwidth with high precision to make them the ideal choice for applications requiring both ac and precision dc performance.

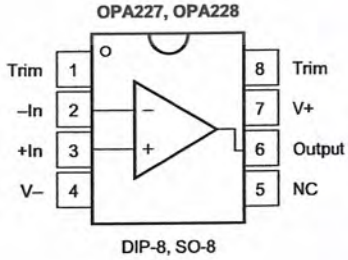
The OPA227 is unity gain stable and features high slew rate (2.3V/µs) and wide bandwidth (8MHz). The OPA228 is optimized for closed-loop gains of 5 or greater, and offers higher speed with a slew rate of 10V/µs and a bandwidth of 33MHz.

The OPA227 and OPA228 series op amps are ideal for professional audio equipment. In addition, low quiescent current and low cost make them ideal for portable applications requiring high precision.

The OPA227 and OPA228 series op amps are pin-for-pin replacements for the industry standard OP-27 and OP-37 with substantial improvements across the board. The dual and quad versions are available for space savings and per-channel cost reduction.

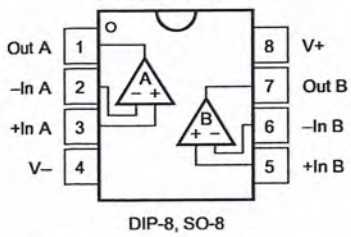
The OPA227, OPA228, OPA2227, and OPA2228 are available in DIP-8 and SO-8 packages. The OPA4227 and OPA4228 are available in DIP-14 and SO-14 packages with standard pin configurations. Operation is specified from –40°C to +85°C.

OPA227, OPA228



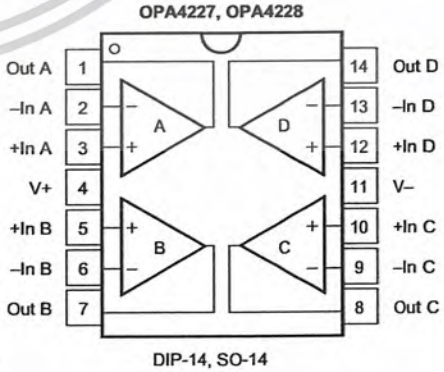
DIP-8, SO-8

OPA2227, OPA2228



DIP-8, SO-8

OPA4227, OPA4228



DIP-14, SO-14

International Airport Industrial Park • Mailing Address: PO Box 11400, Tucson, AZ 85734 • Street Address: 6730 S. Tucson Blvd., Tucson, AZ 85706 • Tel: (520) 746-1111
Twx: 910-952-1111 • Internet: http://www.burr-brown.com/ • Cable: BBRCORP • Telex: 066-6491 • FAX: (520) 889-1510 • Immediate Product Info: (800) 548-6132

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SPECIFICATIONS: V_S = ±5V to ±15V

OPA227 Series

At T_A = +25°C, and R_L = 10kΩ, unless otherwise noted.
Boldface limits apply over the specified temperature range, T_A = –40°C to +85°C.

PARAMETER	CONDITION	OPA227P, U OPA2227P, U			OPA227PA, UA OPA2227PA, UA OPA4227PA, UA			UNITS
		MIN	TYP	MAX	MIN	TYP	MAX	
OFFSET VOLTAGE								
Input Offset Voltage V_{OS}			±5	±75		±10	±200	µV
T_A = –40°C to +85°C				**±100**			**±200**	µV
vs Temperature dV_{OS}/dT			**±0.1**	**±0.6**		**±0.3**	**±2**	µV/°C
vs Power Supply PSRR	V_S = ±2.5V to ±18V		±0.5	±2		※	※	µV/V
T_A = –40°C to +85°C				**±2**			※	µV/V
vs Time			0.2			※		µV/mo
Channel Separation (dual, quad)	dc		0.2			※		µV/V
	f = 1kHz, R_L = 5kΩ		110			※		dB
INPUT BIAS CURRENT								
Input Bias Current I_B			±2.5	±10		※	※	nA
T_A = –40°C to +85°C				**±10**			※	nA
Input Offset Current I_{OS}			±2.5	±10		※	※	nA
T_A = –40°C to +85°C				**±10**			※	nA
NOISE								
Input Voltage Noise, f = 0.1Hz to 10Hz			90			※		nVp-p
			15			※		nVrms
Input Voltage Noise Density, f = 10Hz e_n			3.5			※		nV/√Hz
f = 100Hz			3			※		nV/√Hz
f = 1kHz			3			※		nV/√Hz
Current Noise Density, f = 1kHz i_n			0.4			※		pA/√Hz
INPUT VOLTAGE RANGE								
Common-Mode Voltage Range V_{CM}		(V–)+2		(V+)–2	※		※	V
Common-Mode Rejection CMRR	V_{CM} = (V–)+2V to (V+)–2V	120	138		※	※		dB
T_A = –40°C to +85°C		**120**			※			dB
INPUT IMPEDANCE								
Differential			10^7 ‖ 12			※		Ω ‖ pF
Common-Mode	V_{CM} = (V–)+2V to (V+)–2V		10^9 ‖ 3			※		Ω ‖ pF
OPEN-LOOP GAIN								
Open-Loop Voltage Gain A_{OL}	V_O = (V–)+2V to (V+)–2V, R_L = 10kΩ	132	160		※	※		dB
T_A = –40°C to +85°C		**132**			※			dB
	V_O = (V–)+3.5V to (V+)–3.5V, R_L = 600Ω	132	160		※	※		dB
T_A = –40°C to +85°C		**132**			※			dB
FREQUENCY RESPONSE								
Gain Bandwidth Product GBW			8			※		MHz
Slew Rate SR			2.3			※		V/µs
Settling Time: 0.1%	G = 1, 10V Step, C_L = 100pF		5			※		µs
0.01%	G = 1, 10V Step, C_L = 100pF		5.6			※		µs
Overload Recovery Time	V_{IN} • G = V_S		1.3			※		µs
Total Harmonic Distortion + Noise THD+N	f = 1kHz, G = 1, V_O = 3.5Vrms		0.00005			※		%
OUTPUT								
Voltage Output	R_L = 10kΩ	(V–)+2		(V+)–2	※		※	V
T_A = –40°C to +85°C	R_L = 10kΩ	**(V–)+2**		**(V+)–2**	※		※	V
	R_L = 600Ω	(V–)+3.5		(V+)–3.5	※		※	V
T_A = –40°C to +85°C	R_L = 600Ω	**(V–)+3.5**		**(V+)–3.5**	※		※	V
Short-Circuit Current I_{SC}			±45			※		mA
Capacitive Load Drive C_{LOAD}	See Typical Curve					※		
POWER SUPPLY								
Specified Voltage Range V_S		±5		±15	※		※	V
Operating Voltage Range		±2.5		±18	※		※	V
Quiescent Current (per amplifier) I_Q	I_O = 0		±3.7	±3.8		※	※	mA
T_A = –40°C to +85°C	I_O = 0			**±4.2**			※	mA
TEMPERATURE RANGE								
Specified Range		–40		+85	※		※	°C
Operating Range		–55		+125	※		※	°C
Storage Range		–65		+150	※		※	°C
Thermal Resistance θ_{JA}								
SO-8 Surface Mount			150			※		°C/W
DIP-8			100			※		°C/W
DIP-14			80			※		°C/W
SO-14 Surface Mount			100			※		°C/W

※ Specifications same as OPA227P, U.

เอกสารนี้จัดทำขึ้นไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SPECIFICATIONS: V_S = ±5V to ±15V

OPA228 Series

At T_A = +25°C, and R_L = 10kΩ, unless otherwise noted.
Boldface limits apply over the specified temperature range, T_A = –40°C to +85°C.

PARAMETER	CONDITION	OPA228P, U OPA2228P, U			OPA228PA, UA OPA2228PA, UA OPA4228PA, UA			UNITS
		MIN	TYP	MAX	MIN	TYP	MAX	
OFFSET VOLTAGE								
Input Offset Voltage V_{OS}			±5	±75		±10	±200	µV
T_A = –40°C to +85°C				**±100**			**±200**	µV
vs Temperature dV_{OS}/dT			**±0.1**	**±0.6**		**±0.3**	**±2**	µV/°C
vs Power Supply PSRR	V_S = ±2.5V to ±18V		±0.5	±2		※	※	µV/V
T_A = –40°C to +85°C				**±2**			※	µV/V
vs Time						※		µV/mo
Channel Separation (dual, quad)	dc		0.2			※		µV/V
	f = 1kHz, R_L = 5kΩ		0.2			※		dB
			110			※		
INPUT BIAS CURRENT								
Input Bias Current I_B			±2.5	±10		※	※	nA
T_A = –40°C to +85°C				**±10**			※	nA
Input Offset Current I_{OS}			±2.5	±10		※	※	nA
T_A = –40°C to +85°C				**±10**			※	nA
NOISE								
Input Voltage Noise, f = 0.1Hz to 10Hz			90			※		nVp-p
Input Voltage Noise Density, f = 10Hz e_n			15			※		nVrms
f = 100Hz			3.5			※		nV/√Hz
f = 1kHz			3			※		nV/√Hz
Current Noise Density, f = 1kHz i_n			0.4			※		nV/√Hz
						※		pA/√Hz
INPUT VOLTAGE RANGE								
Common-Mode Voltage Range V_{CM}		(V–)+2		(V+)–2	※		※	V
Common-Mode Rejection CMRR	V_{CM} = (V–)+2V to (V+)–2V	120	138		※	※		dB
T_A = –40°C to +85°C		**120**			※			dB
INPUT IMPEDANCE								
Differential			10^7 ‖ 12			※		Ω ‖ pF
Common-Mode	V_{CM} = (V–)+2V to (V+)–2V		10^9 ‖ 3			※		Ω ‖ pF
OPEN-LOOP GAIN								
Open-Loop Voltage Gain A_{OL}	V_O = (V–)+2V to (V+)–2V, R_L = 10kΩ	132	160		※	※		dB
T_A = –40°C to +85°C		**132**			※			dB
	V_O = (V–)+3.5V to (V+)–3.5V, R_L = 600Ω	132	160		※	※		dB
T_A = –40°C to +85°C		**132**			※			dB
FREQUENCY RESPONSE								
Minimum Closed-Loop Gain			5			※		V/V
Gain Bandwidth Product GBW			33			※		MHz
Slew Rate SR			11			※		V/µs
Settling Time: 0.1%	G = 5, 10V Step, C_L = 100pF, C_F =12pF		1.5			※		µs
0.01%	G = 5, 10V Step, C_L = 100pF, C_F =12pF		2			※		µs
Overload Recovery Time	$V_{IN} \cdot G = V_S$		0.6			※		µs
Total Harmonic Distortion + Noise THD+N	f = 1kHz, G = 5, V_O = 3.5Vrms		0.00005			※		%
OUTPUT								
Voltage Output	R_L = 10kΩ	(V–)+2		(V+)–2	※		※	V
T_A = –40°C to +85°C	R_L = 10kΩ	**(V–)+2**		**(V+)–2**	※		※	V
	R_L = 600Ω	(V–)+3.5		(V+)–3.5	※		※	V
T_A = –40°C to +85°C	R_L = 600Ω	**(V–)+3.5**		**(V+)–3.5**	※		※	V
Short-Circuit Current I_{SC}			±45					mA
Capacitive Load Drive C_{LOAD}			See Typical Curve			※		
						※		
POWER SUPPLY								
Specified Voltage Range V_S		±5		±15	※		※	V
Operating Voltage Range		±2.5		±18	※		※	V
Quiescent Current (per amplifier) I_Q	I_O = 0		±3.7	±3.8		※	※	mA
T_A = –40°C to +85°C	I_O = 0			**±4.2**			※	mA
TEMPERATURE RANGE								
Specified Range		–40		+85	※		※	°C
Operating Range		–55		+125	※		※	°C
Storage Range		–65		+150	※		※	°C
Thermal Resistance θ_{JA}								
SO-8 Surface Mount			150			※		°C/W
DIP-8			100			※		°C/W
DIP-14			80			※		°C/W
SO-14 Surface Mount			100			※		°C/W

※ Specifications same as OPA228P, U.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ABSOLUTE MAXIMUM RATINGS[1]

Supply Voltage	±18V
Signal Input Terminals, Voltage	(V–) –0.7V to (V+) +0.7V
Current	20mA
Output Short-Circuit[2]	Continuous
Operating Temperature	–55°C to +125°C
Storage Temperature	–65°C to +150°C
Junction Temperature	150°C
Lead Temperature (soldering, 10s)	300°C

NOTE: (1) Stresses above these ratings may cause permanent damage. Exposure to absolute maximum conditions for extended periods may degrade device reliability. (2) Short-circuit to ground, one amplifier per package.

ELECTROSTATIC DISCHARGE SENSITIVITY

This integrated circuit can be damaged by ESD. Burr-Brown recommends that all integrated circuits be handled with appropriate precautions. Failure to observe proper handling and installation procedures can cause damage.

ESD damage can range from subtle performance degradation to complete device failure. Precision integrated circuits may be more susceptible to damage because very small parametric changes could cause the device not to meet its published specifications.

PACKAGE/ORDERING INFORMATION

PRODUCT	OFFSET VOLTAGE max, µV	OFFSET VOLTAGE DRIFT max, µV/°C	PACKAGE	PACKAGE DRAWING NUMBER[1]	TEMPERATURE RANGE	ORDERING NUMBER[2]	TRANSPORT MEDIA
OPA227 Series							
Single							
OPA227PA	±200	±2	DIP-8	006	–40°C to +85°C	OPA227PA	Rails
OPA227P	±75	±0.6	DIP-8	006	–40°C to +85°C	OPA227P	Rails
OPA227UA	±200	±2	SO-8 Surface Mount	182	–40°C to +85°C	OPA227UA	Rails
"	"	"	"	"	"	OPA227UA/2K5	Tape and Reel
OPA227U	±75	±0.6	SO-8 Surface Mount	182	–40°C to +85°C	OPA227U	Rails
"	"	"	"	"	"	OPA227U/2K5	Tape and Reel
Dual							
OPA2227PA	±200	±2	DIP-8	006	–40°C to +85°C	OPA2227PA	Rails
OPA2227P	±75	±0.6	DIP-8	006	–40°C to +85°C	OPA2227P	Rails
OPA2227UA	±200	±2	SO-8 Surface Mount	182	–40°C to +85°C	OPA2227UA	Rails
"	"	"	"	"	"	OPA2227UA/2K5	Tape and Reel
OPA2227U	±75	±0.6	SO-8 Surface Mount	182	–40°C to +85°C	OPA2227U	Rails
"	"	"	"	"	"	OPA2227U/2K5	Tape and Reel
Quad							
OPA4227PA	±200	±2	DIP-14	010	–40°C to +85°C	OPA4227PA	Rails
OPA4227UA	±200	±2	SO-14 Surface Mount	235	–40°C to +85°C	OPA4227UA	Rails
"	"	"	"	"	"	OPA4227UA/2K5	Tape and Reel
OPA228 Series							
Single							
OPA228PA	±200	±2	DIP-8	006	–40°C to +85°C	OPA228PA	Rails
OPA228P	±75	±0.6	DIP-8	006	–40°C to +85°C	OPA228P	Rails
OPA228UA	±200	±2	SO-8 Surface Mount	182	–40°C to +85°C	OPA228UA	Rails
"	"	"	"	"	"	OPA228UA/2K5	Tape and Reel
OPA228U	±75	±0.6	SO-8 Surface Mount	182	–40°C to +85°C	OPA228U	Rails
"	"	"	"	"	"	OPA228U/2K5	Tape and Reel
Dual							
OPA2228PA	±200	±2	DIP-8	006	–40°C to +85°C	OPA2228PA	Rails
OPA2228P	±75	±0.6	DIP-8	006	–40°C to +85°C	OPA2228P	Rails
OPA2228UA	±200	±2	SO-8 Surface Mount	182	–40°C to +85°C	OPA2228UA	Rails
"	"	"	"	"	"	OPA2228UA/2K5	Tape and Reel
OPA2228U	±75	±0.6	SO-8 Surface Mount	182	–40°C to +85°C	OPA2228U	Rails
"	"	"	"	"	"	OPA2228U/2K5	Tape and Reel
Quad							
OPA4228PA	±200	±2	DIP-14	010	–40°C to +85°C	OPA4228PA	Rails
OPA4228UA	±200	±2	SO-14 Surface Mount	235	–40°C to +85°C	OPA4228UA	Rails
"	"	"	"	"	"	OPA4228UA/2K5	Tape and Reel

NOTE: (1) For detailed drawing and dimension table, please see end of data sheet, or Appendix C of Burr-Brown IC Data Book. (2) Products followed by a slash (/) are only available in Tape and Reel in the quantities indicated (e.g. /2K5 indicates 2500 devices per reel). Ordering 2500 pieces of "OPA227UA/2K5" will get a single 2500 piece Tape and Reel. For detailed Tape and Reel mechanical information, refer to Appendix B of Burr-Brown IC Data Book.

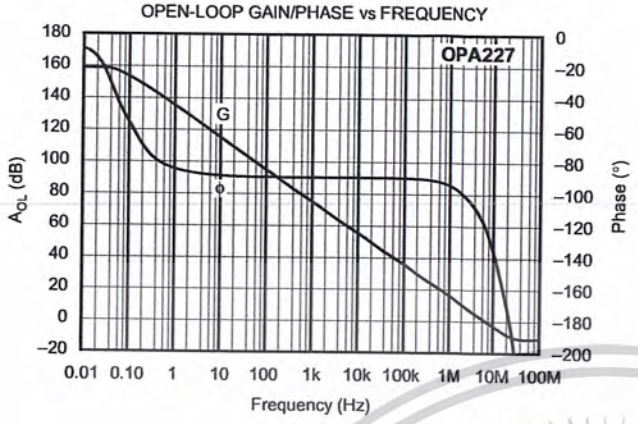
The information provided herein is believed to be reliable; however, BURR-BROWN assumes no responsibility for inaccuracies or omissions. BURR-BROWN assumes no responsibility for the use of this information, and all use of such information shall be entirely at the user's own risk. Prices and specifications are subject to change without notice. No patent rights or licenses to any of the circuits described herein are implied or granted to any third party. BURR-BROWN does not authorize or warrant any BURR-BROWN product for use in life support devices and/or systems.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

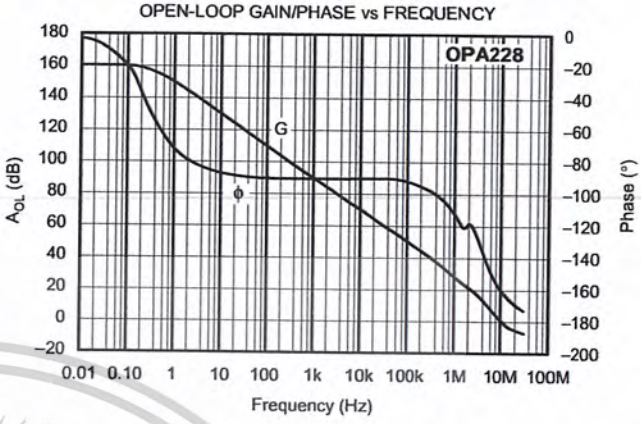
TYPICAL PERFORMANCE CURVES

At T_A = +25°C, R_L = 10kΩ, and V_S = ±15V, unless otherwise noted.

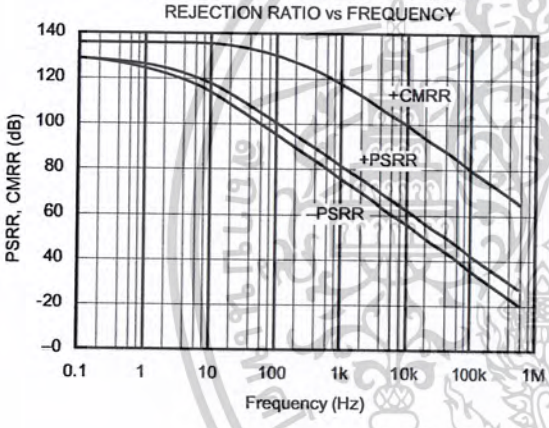
OPEN-LOOP GAIN/PHASE vs FREQUENCY



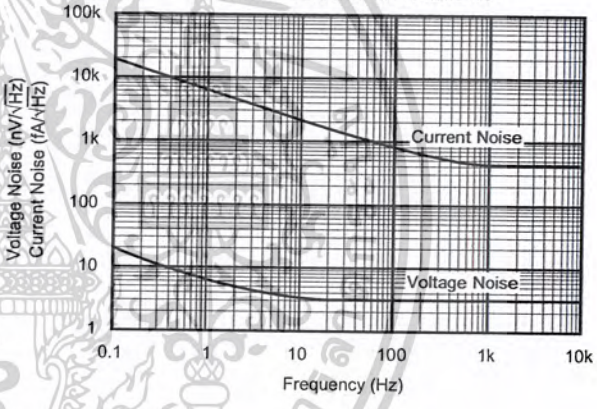
OPEN-LOOP GAIN/PHASE vs FREQUENCY



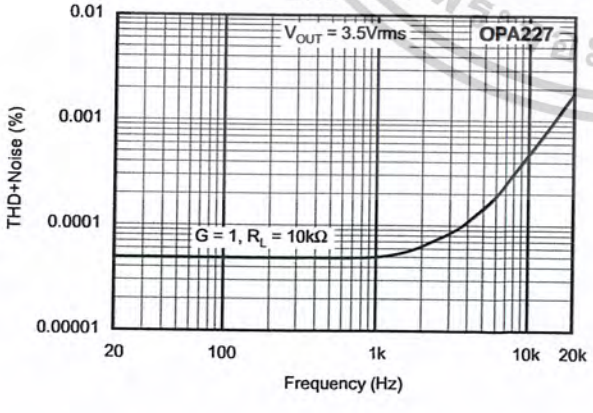
POWER SUPPLY AND COMMON-MODE REJECTION RATIO vs FREQUENCY



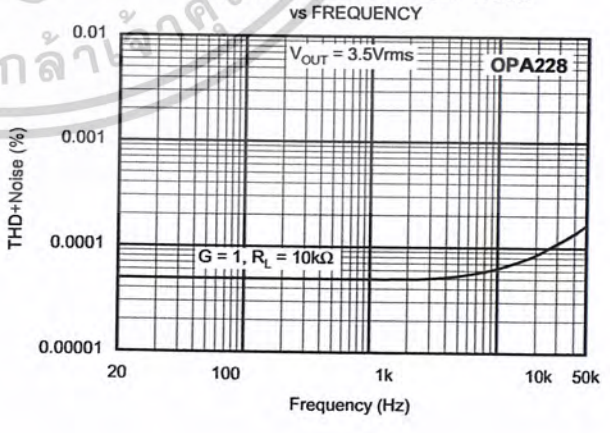
INPUT VOLTAGE AND CURRENT NOISE SPECTRAL DENSITY vs FREQUENCY



TOTAL HARMONIC DISTORTION + NOISE vs FREQUENCY



TOTAL HARMONIC DISTORTION + NOISE vs FREQUENCY

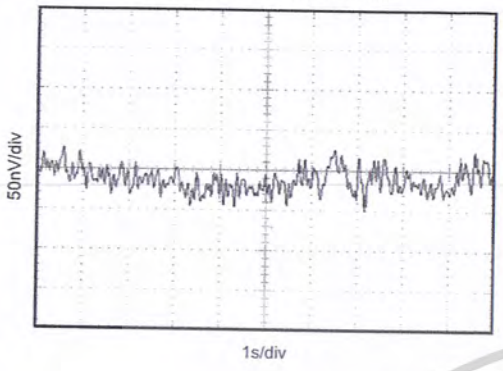


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

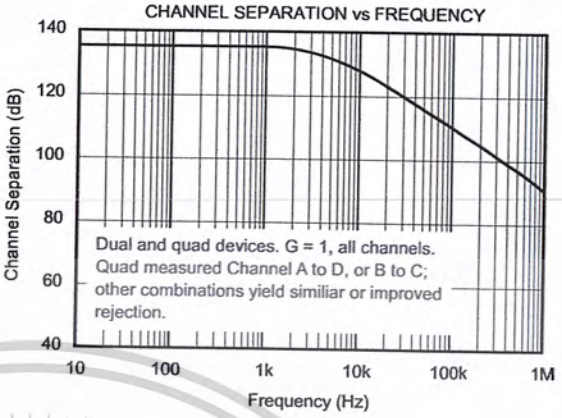
TYPICAL PERFORMANCE CURVES (CONT)

At T_A = +25°C, R_L =10kΩ, and V_S = ±15V, unless otherwise noted.

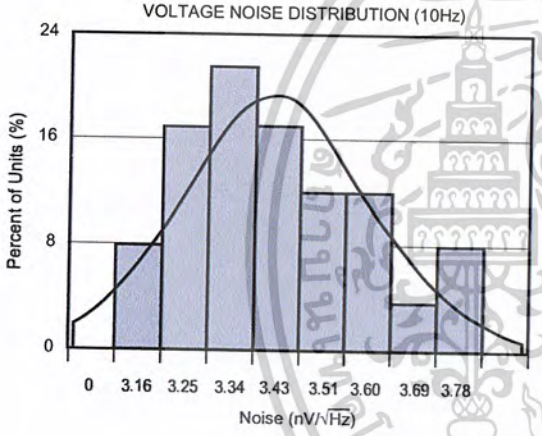
INPUT NOISE VOLTAGE vs TIME



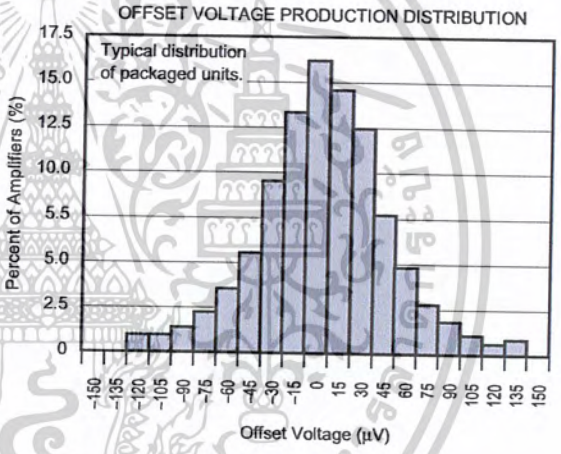
CHANNEL SEPARATION vs FREQUENCY



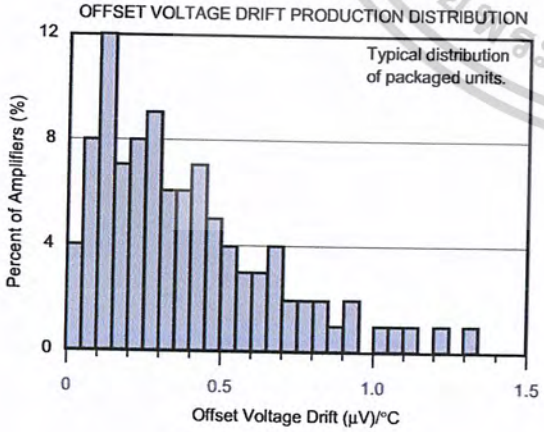
VOLTAGE NOISE DISTRIBUTION (10Hz)



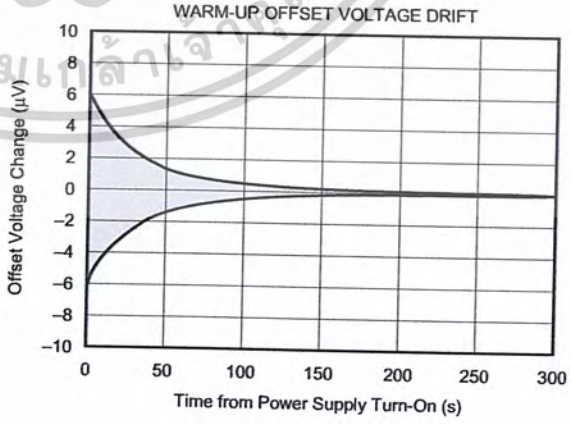
OFFSET VOLTAGE PRODUCTION DISTRIBUTION



OFFSET VOLTAGE DRIFT PRODUCTION DISTRIBUTION



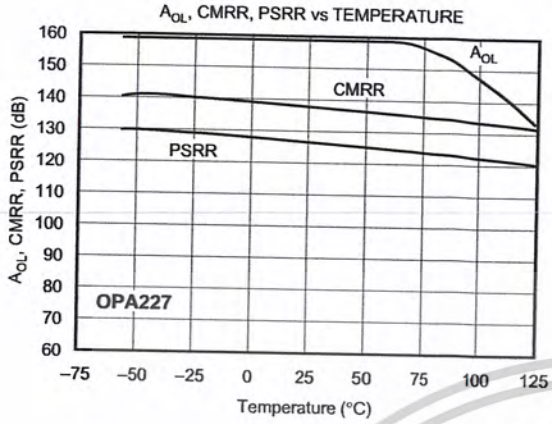
WARM-UP OFFSET VOLTAGE DRIFT

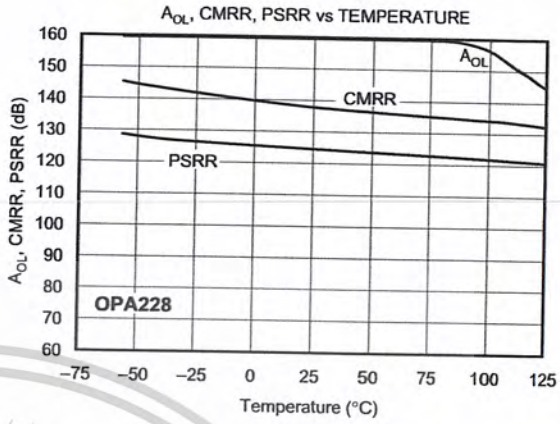


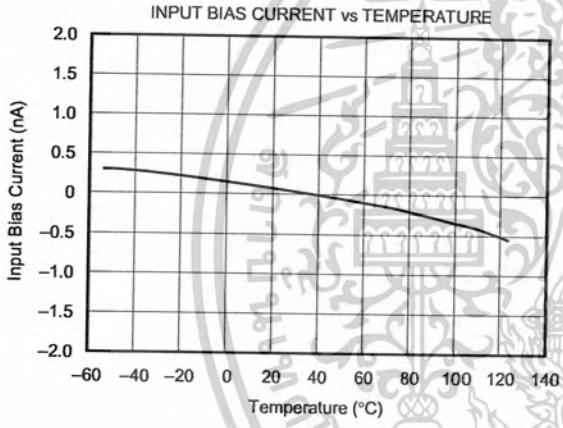
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

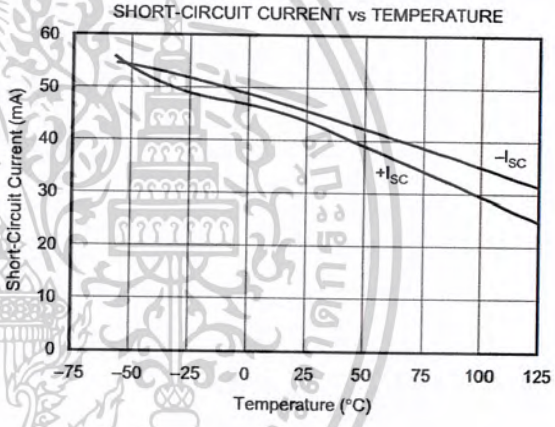
TYPICAL PERFORMANCE CURVES (CONT)

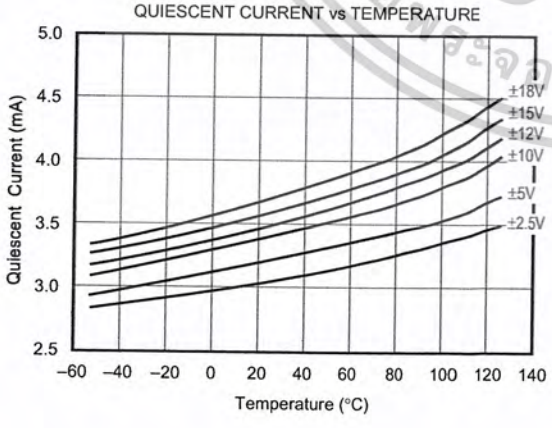
At T_A = +25°C, R_L = 10kΩ, and V_S = ±15V, unless otherwise noted.

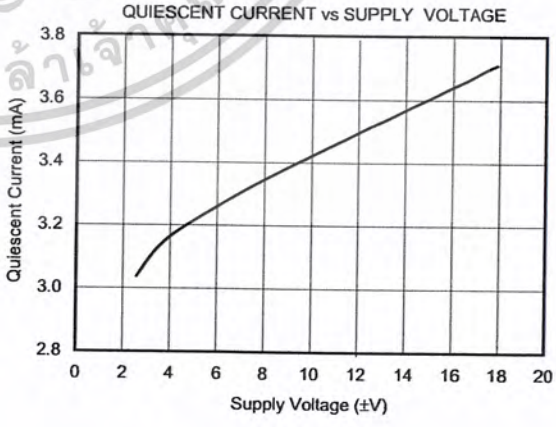










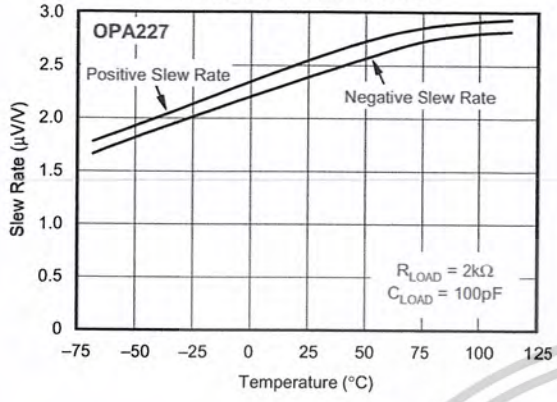


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

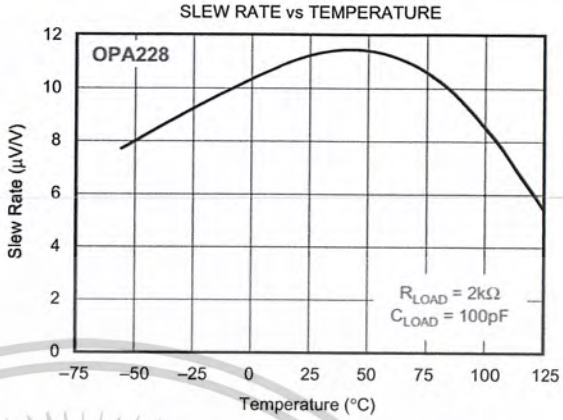
TYPICAL PERFORMANCE CURVES (CONT)

At T_A = +25°C, R_L = 10kΩ, and V_S = ±15V, unless otherwise noted.

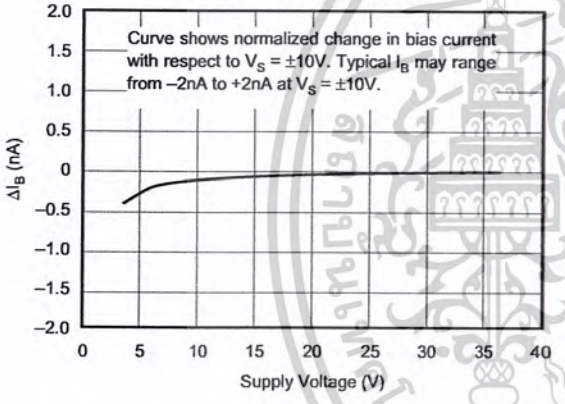
SLEW RATE vs TEMPERATURE



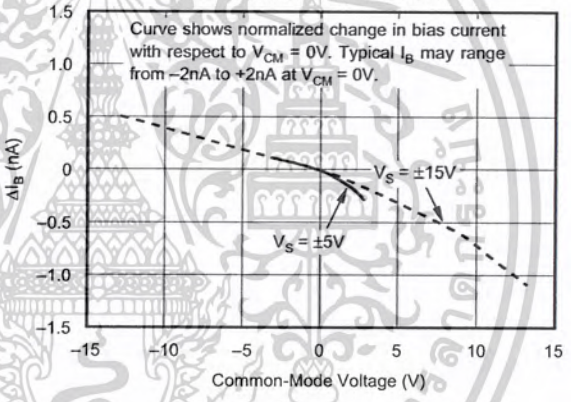
SLEW RATE vs TEMPERATURE



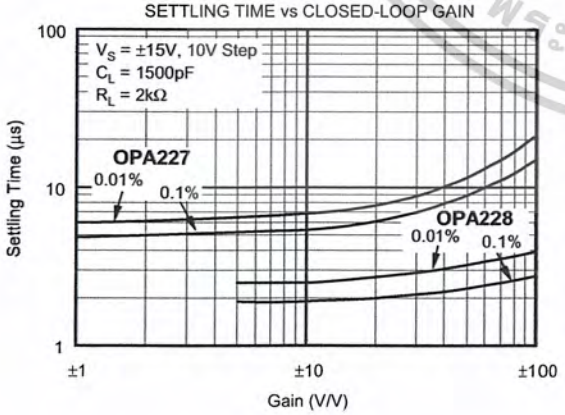
CHANGE IN INPUT BIAS CURRENT vs POWER SUPPLY VOLTAGE



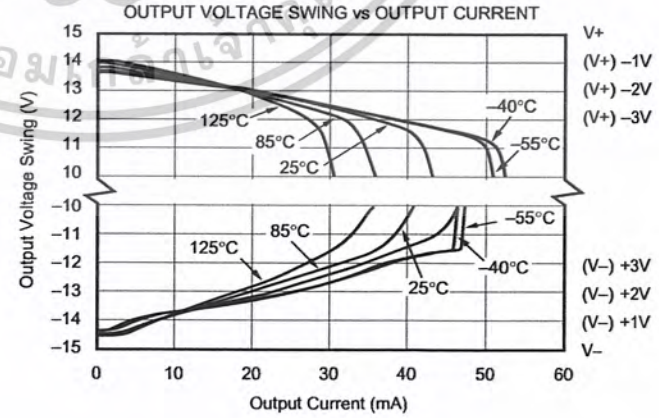
CHANGE IN INPUT BIAS CURRENT vs COMMON-MODE VOLTAGE



SETTLING TIME vs CLOSED-LOOP GAIN



OUTPUT VOLTAGE SWING vs OUTPUT CURRENT

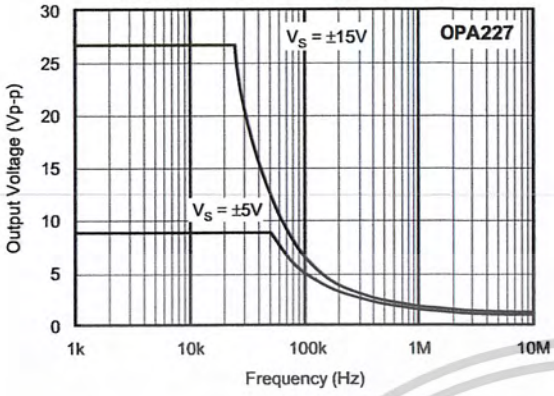


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

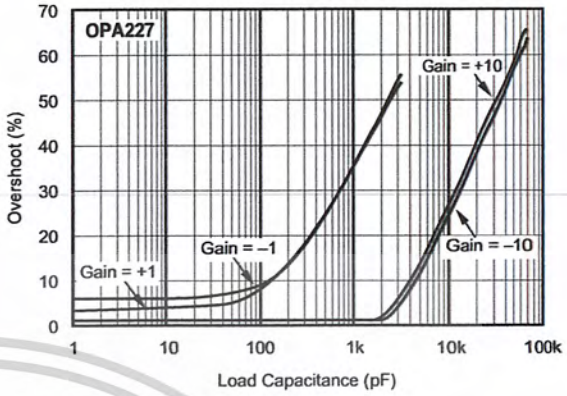
TYPICAL PERFORMANCE CURVES (CONT)

At T_A = +25°C, R_L = 10kΩ, and V_S = ±15V, unless otherwise noted.

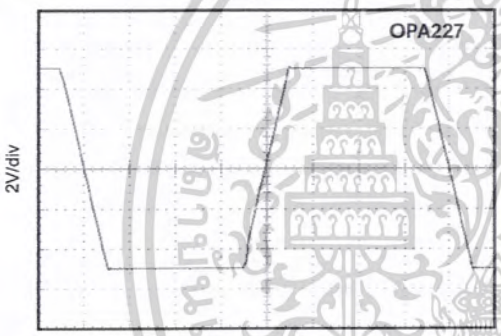
MAXIMUM OUTPUT VOLTAGE vs FREQUENCY



SMALL-SIGNAL OVERSHOOT vs LOAD CAPACITANCE

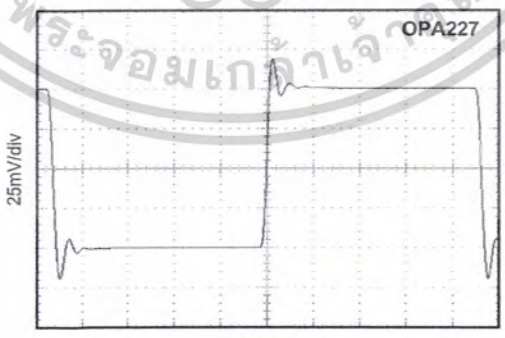


LARGE-SIGNAL STEP RESPONSE
G = –1, C_L = 1500pF



SMALL-SIGNAL STEP RESPONSE
G = +1, C_L = 1000pF

SMALL-SIGNAL STEP RESPONSE
G = +1, C_L = 5pF

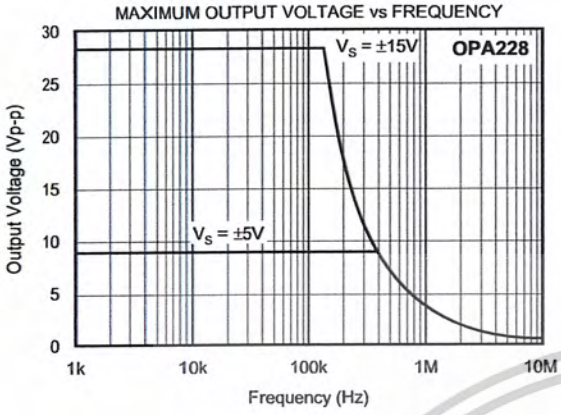


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

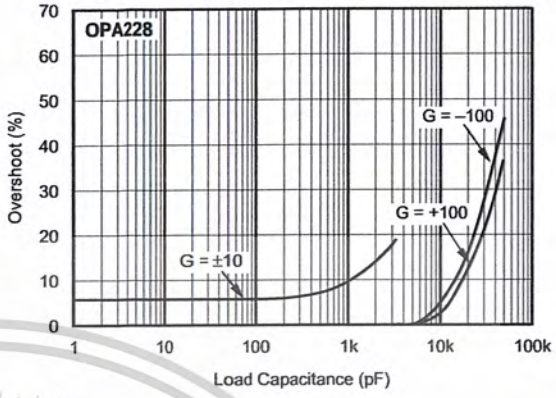
TYPICAL PERFORMANCE CURVES (CONT)

At T_A = +25°C, R_L = 10kΩ, and V_S = ±15V, unless otherwise noted.

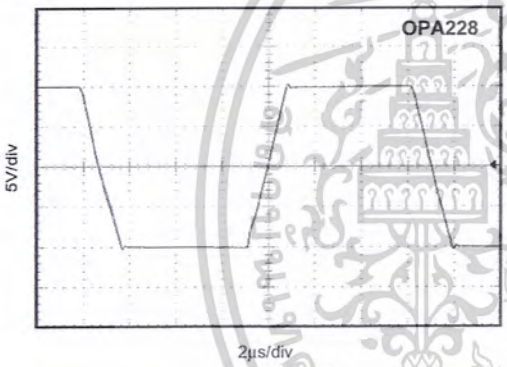
MAXIMUM OUTPUT VOLTAGE vs FREQUENCY



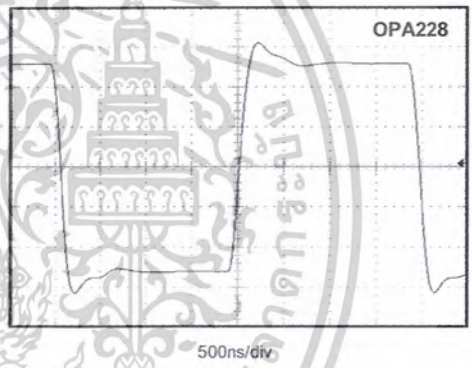
SMALL-SIGNAL OVERSHOOT vs LOAD CAPACITANCE



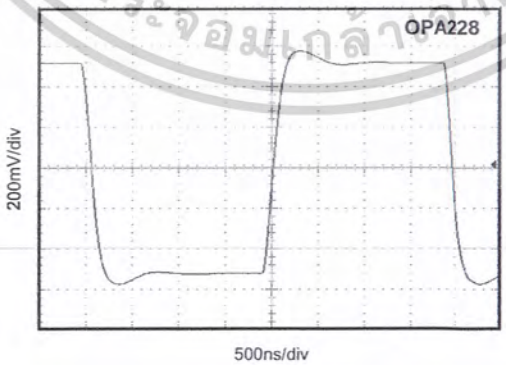
LARGE-SIGNAL STEP RESPONSE
G = –10, C_L = 100pF



SMALL-SIGNAL STEP RESPONSE
G = +10, C_L = 1000pF, R_L = 1.8kΩ



SMALL-SIGNAL STEP RESPONSE
G = +10, C_L = 5pF, R_L = 1.8kΩ



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

APPLICATIONS INFORMATION

The OPA227 and OPA228 series are precision op amps with very low noise. The OPA227 series is unity-gain stable with a slew rate of 2.3V/µs and 8MHz bandwidth. The OPA228 series is optimized for higher-speed applications with gains of 5 or greater, featuring a slew rate of 10V/µs and 33MHz bandwidth. Applications with noisy or high impedance power supplies may require decoupling capacitors close to the device pins. In most cases, 0.1µF capacitors are adequate.

OFFSET VOLTAGE AND DRIFT

The OPA227 and OPA228 series have very low offset voltage and drift. To achieve highest dc precision, circuit layout and mechanical conditions should be optimized. Connections of dissimilar metals can generate thermal potentials at the op amp inputs which can degrade the offset voltage and drift. These thermocouple effects can exceed the inherent drift of the amplifier and ultimately degrade its performance. The thermal potentials can be made to cancel by assuring that they are equal at both input terminals. In addition:

- Keep thermal mass of the connections made to the two input terminals similar.
- Locate heat sources as far as possible from the critical input circuitry.
- Shield op amp and input circuitry from air currents such as those created by cooling fans.

OPERATING VOLTAGE

OPA227 and OPA228 series op amps operate from ±2.5V to ±18V supplies with excellent performance. Unlike most op amps which are specified at only one supply voltage, the OPA227 series is specified for real-world applications; a single set of specifications applies over the ±5V to ±15V supply range. Specifications are guaranteed for applications between ±5V and ±15V power supplies. Some applications do not require equal positive and negative output voltage swing. Power supply voltages do not need to be equal. The OPA227 and OPA228 series can operate with as little as 5V between the supplies and with up to 36V between the supplies. For example, the positive supply could be set to 25V with the negative supply at –5V or vice-versa. In addition, key parameters are guaranteed over the specified temperature range, –40°C to +85°C. Parameters which vary significantly with operating voltage or temperature are shown in the Typical Performance Curves.

OFFSET VOLTAGE ADJUSTMENT

The OPA227 and OPA228 series are laser-trimmed for very low offset and drift so most applications will not require external adjustment. However, the OPA227 and OPA228 (single versions) provide offset voltage trim connections on pins 1 and 8. Offset voltage can be adjusted by connecting a potentiometer as shown in Figure 1. This adjustment should be used only to null the offset of the op amp. This adjustment should not be used to compensate for offsets created elsewhere in the system since this can introduce additional temperature drift.

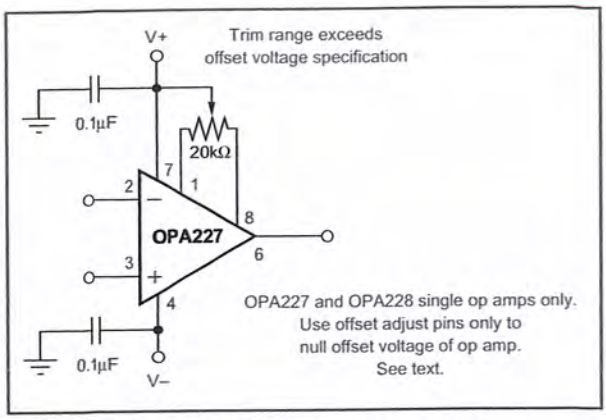


FIGURE 1. OPA227 Offset Voltage Trim Circuit.

INPUT PROTECTION

Back-to-back diodes (see Figure 2) are used for input protection on the OPA227 and OPA228. Exceeding the turn-on threshold of these diodes, as in a pulse condition, can cause current to flow through the input protection diodes due to the amplifier's finite slew rate. Without external current-limiting resistors, the input devices can be destroyed. Sources of high input current can cause subtle damage to the amplifier. Although the unit may still be functional, important parameters such as input offset voltage, drift, and noise may shift.

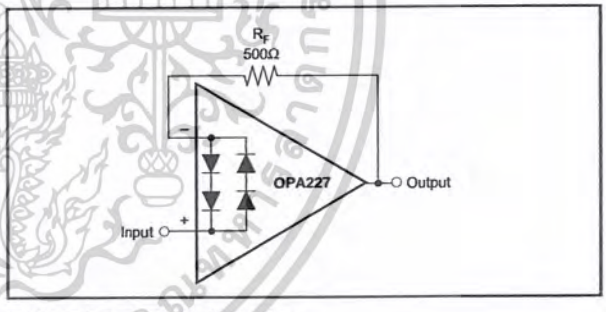


FIGURE 2. Pulsed Operation.

When using the OPA227 as a unity-gain buffer (follower), the input current should be limited to 20mA. This can be accomplished by inserting a feedback resistor or a resistor in series with the source. Sufficient resistor size can be calculated:

$$R_X = V_S/20mA - R_{SOURCE}$$

where R_X is either in series with the source or inserted in the feedback path. For example, for a 10V pulse (V_S = 10V), total loop resistance must be 500Ω. If the source impedance is large enough to sufficiently limit the current on its own, no additional resistors are needed. The size of any external resistors must be carefully chosen since they will increase noise. See the Noise Performance section of this data sheet for further information on noise calculation. Figure 2 shows an example implementing a current-limiting feedback resistor.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

INPUT BIAS CURRENT CANCELLATION

The input bias current of the OPA227 and OPA228 series is internally compensated with an equal and opposite cancellation current. The resulting input bias current is the difference between with input bias current and the cancellation current. The residual input bias current can be positive or negative.

When the bias current is cancelled in this manner, the input bias current and input offset current are approximately equal. A resistor added to cancel the effect of the input bias current (as shown in Figure 3) may actually increase offset and noise and is therefore not recommended.

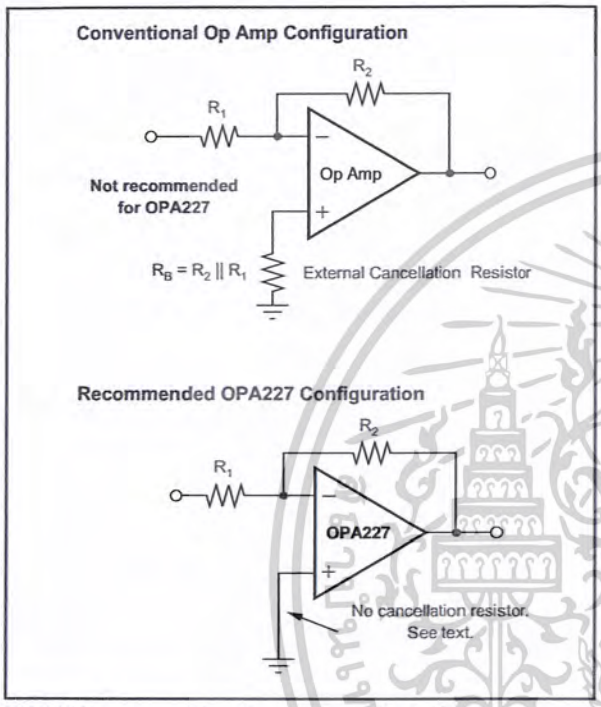


FIGURE 3. Input Bias Current Cancellation.

NOISE PERFORMANCE

Figure 4 shows total circuit noise for varying source impedances with the op amp in a unity-gain configuration (no feedback resistor network, therefore no additional noise contributions). Two different op amps are shown with total circuit noise calculated. The OPA227 has very low voltage noise, making it ideal for low source impedances (less than 20kΩ). A similar precision op amp, the OPA277, has somewhat higher voltage noise but lower current noise. It provides excellent noise performance at moderate source impedance (10kΩ to 100kΩ). Above 100kΩ, a FET-input op amp such as the OPA132 (very low current noise) may provide improved performance. The equation is shown for the calculation of the total circuit noise. Note that e_n = voltage noise, i_n = current noise, R_S = source impedance, k = Boltzmann's constant = $1.38 \cdot 10^{-23}$ J/K and T is temperature in K. For more details on calculating noise, see the insert titled "Basic Noise Calculations."

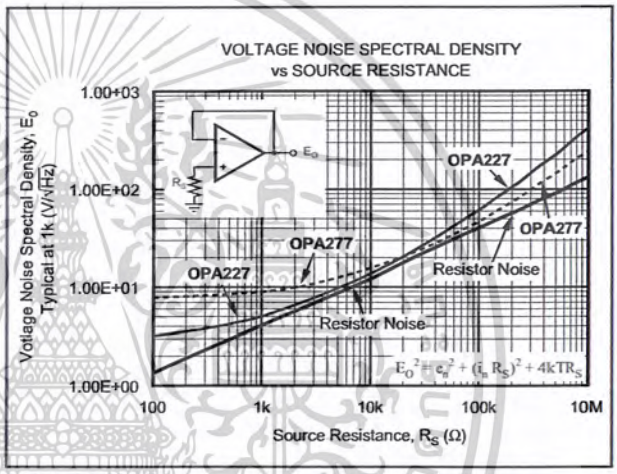


FIGURE 4. Noise Performance of the OPA227 in Unity-Gain Buffer Configuration.

BASIC NOISE CALCULATIONS

Design of low noise op amp circuits requires careful consideration of a variety of possible noise contributors: noise from the signal source, noise generated in the op amp, and noise from the feedback network resistors. The total noise of the circuit is the root-sum-square combination of all noise components.

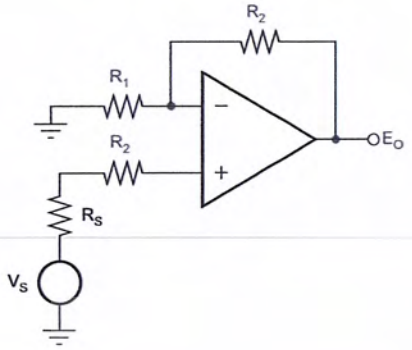
The resistive portion of the source impedance produces thermal noise proportional to the square root of the resistance. This function is shown plotted in Figure 4. Since the source impedance is usually fixed, select the op amp and the feedback resistors to minimize their contribution to the total noise.

Figure 4 shows total noise for varying source impedances with the op amp in a unity-gain configuration (no feedback resistor network and therefore no additional noise contributions). The operational amplifier itself contributes both a voltage noise component and a current noise component. The voltage noise is commonly modeled as a time-varying component of the offset voltage. The current noise is modeled as the time-varying component of the input bias current and reacts with the source resistance to create a voltage component of noise. Consequently, the lowest noise op amp for a given application depends on the source impedance. For low source impedance, current noise is negligible and voltage noise generally dominates. For high source impedance, current noise may dominate.

Figure 5 shows both inverting and noninverting op amp circuit configurations with gain. In circuit configurations with gain, the feedback network resistors also contribute noise. The current noise of the op amp reacts with the feedback resistors to create additional noise components. The feedback resistor values can generally be chosen to make these noise sources negligible. The equations for total noise are shown for both configurations.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Noise in Noninverting Gain Configuration



Noise at the output:

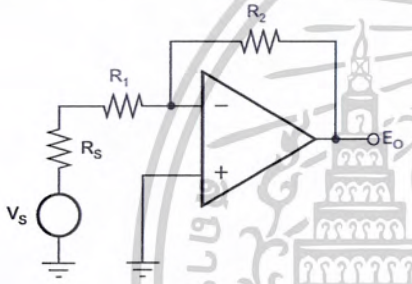
$$E_O^2 = \left(1+\frac{R_2}{R_1}\right)^2 e_n^2 + e_1^2 + e_2^2 + (i_n R_2)^2 + e_S^2 + (i_n R_S)^2 \left(1+\frac{R_2}{R_1}\right)^2$$

Where $e_S = \sqrt{4kTR_S} \bullet \left(1+\frac{R_2}{R_1}\right)$ = thermal noise of R_S

$e_1 = \sqrt{4kTR_1} \bullet \left(\frac{R_2}{R_1}\right)$ = thermal noise of R_1

$e_2 = \sqrt{4kTR_2}$ = thermal noise of R_2

Noise in Inverting Gain Configuration



Noise at the output:

$$E_O^2 = \left(1+\frac{R_2}{R_1+R_S}\right)^2 e_n^2 + e_1^2 + e_2^2 + (i_n R_2)^2 + e_S^2$$

Where $e_S = \sqrt{4kTR_S} \bullet \left(\frac{R_2}{R_1+R_S}\right)$ = thermal noise of R_S

$e_1 = \sqrt{4kTR_1} \bullet \left(\frac{R_2}{R_1+R_S}\right)$ = thermal noise of R_1

$e_2 = \sqrt{4kTR_2}$ = thermal noise of R_2

For the OPA227 and OPA228 series op amps at 1kHz, e_n = 3nV/√Hz and i_n = 0.4pA/√Hz.

FIGURE 5. Noise Calculation in Gain Configurations.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

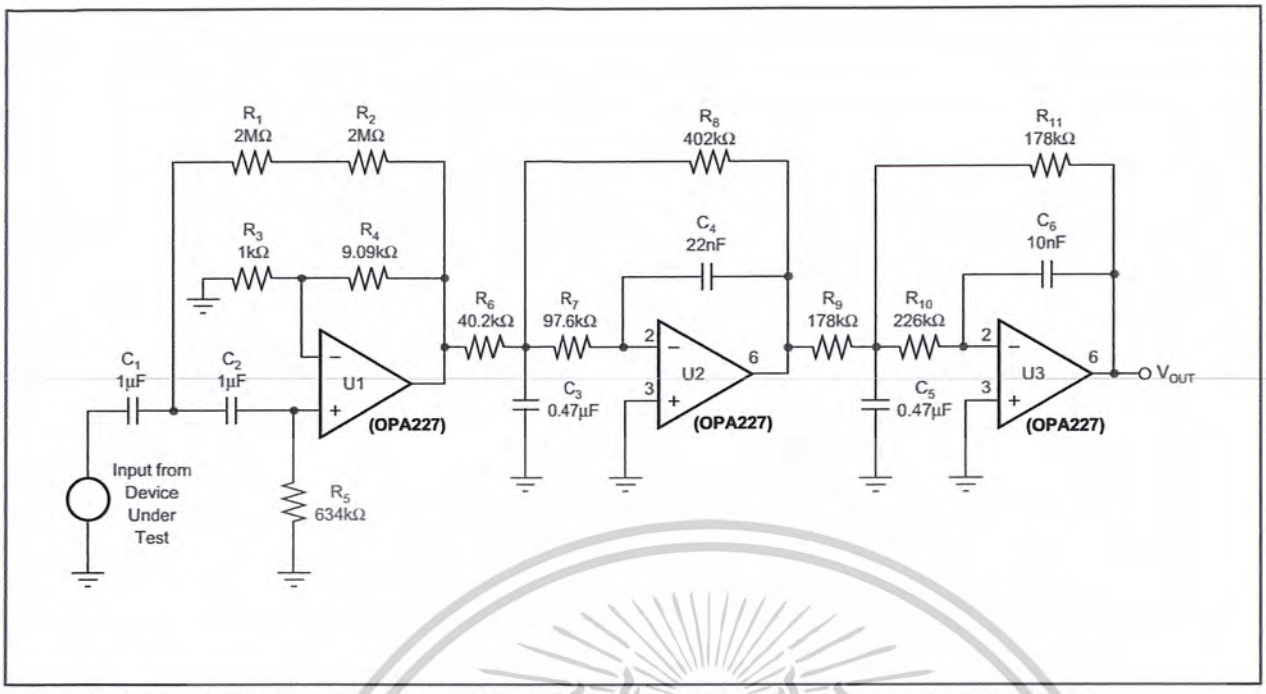


FIGURE 6. 0.1Hz to 10Hz Bandpass Filter Used to Test Wideband Noise of the OPA227 and OPA228 Series.

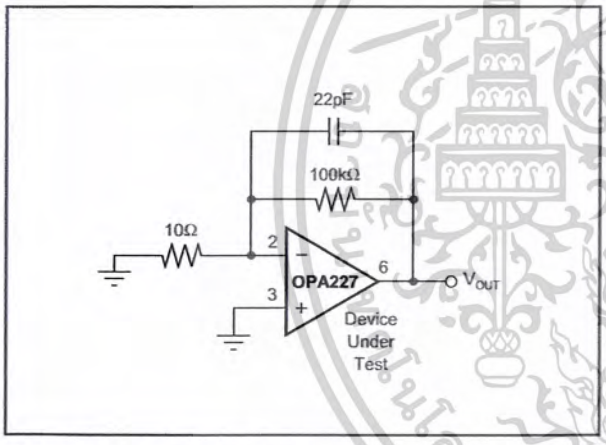


FIGURE 7. Noise Test Circuit.

Figure 6 shows the 0.1Hz 10Hz bandpass filter used to test the noise of the OPA227 and OPA228. The filter circuit was designed using Burr-Brown's FilterPro software (available at www.burr-brown.com). Figure 7 shows the configuration of the OPA227 and OPA228 for noise testing.

USING THE OPA228 IN LOW GAINS

The OPA228 family is intended for applications with signal gains of 5 or greater, but it is possible to take advantage of their high speed in lower gains. Without external compensation, the OPA228 has sufficient phase margin to maintain stability in unity gain with purely resistive loads. However, the addition of load capacitance can reduce the phase margin and destabilize the op amp.

A variety of compensation techniques have been evaluated specifically for use with the OPA228. The recommended configuration consists of an additional capacitor (C_F) in parallel with the feedback resistance, as shown in Figures 8 and 11. This feedback capacitor serves two purposes in compensating the circuit. The op amp's input capacitance and the feedback resistors interact to cause phase shift that can result in instability. C_F compensates the input capacitance, minimizing peaking. Additionally, at high frequencies, the closed-loop gain of the amplifier is strongly influenced by the ratio of the input capacitance and the feedback capacitor. Thus, C_F can be selected to yield good stability while maintaining high speed.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Without external compensation, the noise specification of the OPA228 is the same as that for the OPA227 in gains of 5 or greater. With the additional external compensation, the output noise of the of the OPA228 will be higher. The amount of noise increase is directly related to the increase in high frequency closed-loop gain established by the C_{IN}/C_F ratio.

Figures 8 and 11 show the recommended circuit for gains of +2 and –2, respectively. The figures suggest approximate values for C_F. Because compensation is highly dependent on circuit design, board layout, and load conditions, C_F should be optimized experimentally for best results. Figures 9 and 10 show the large- and small-signal step responses for the G = +2 configuration with 100pF load capacitance. Figures 12 and 13 show the large- and small-signal step responses for the G = –2 configuration with 100pF load capacitance.

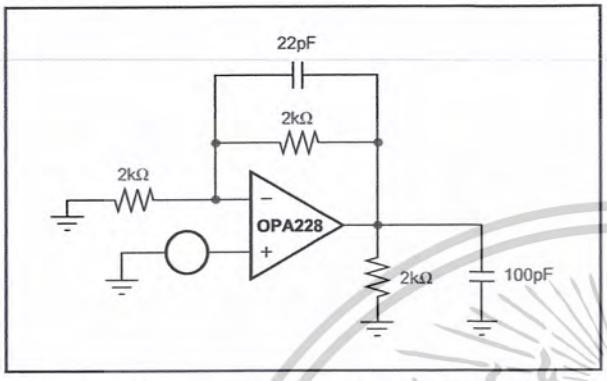


FIGURE 8. Compensation of the OPA228 for G = +2.

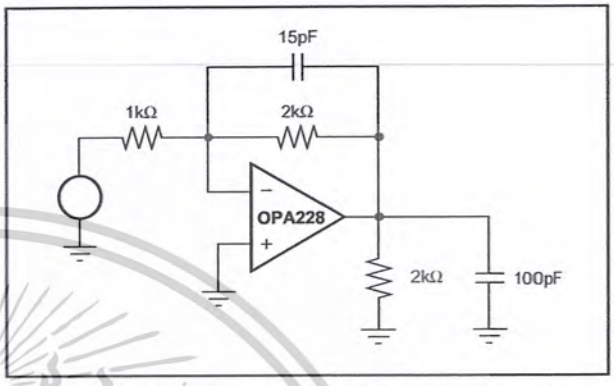


FIGURE 11. Compensation for OPA228 for G = –2.

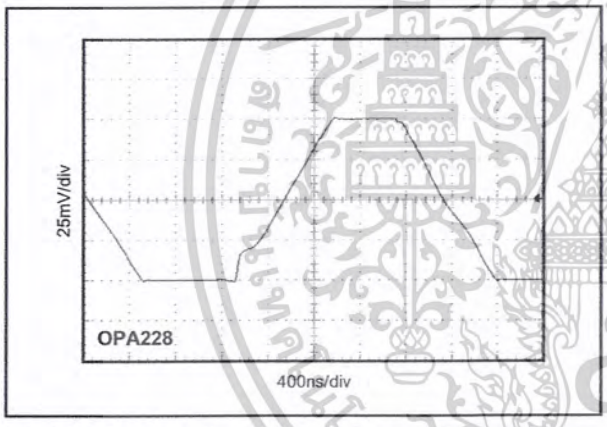


FIGURE 9. Large-Signal Step Response, G = +2, C_{LOAD} = 100pF, Input Signal = 5Vp-p.

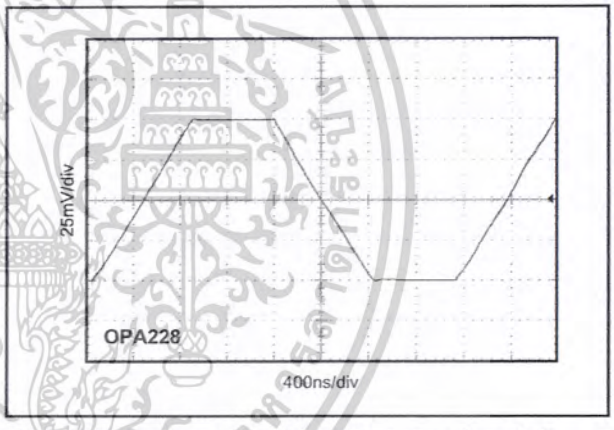


FIGURE 12. Large-Signal Step Response, G = –2, C_{LOAD} = 100pF, Input Signal = 5Vp-p.

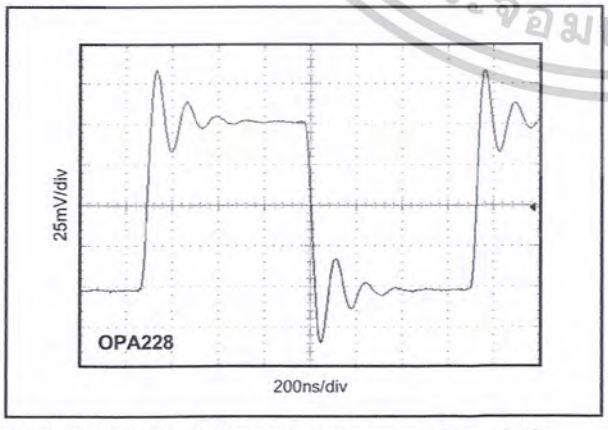


FIGURE 10. Small-Signal Step Response, G = +2, C_{LOAD} = 100pF, Input Signal = 50mVp-p.

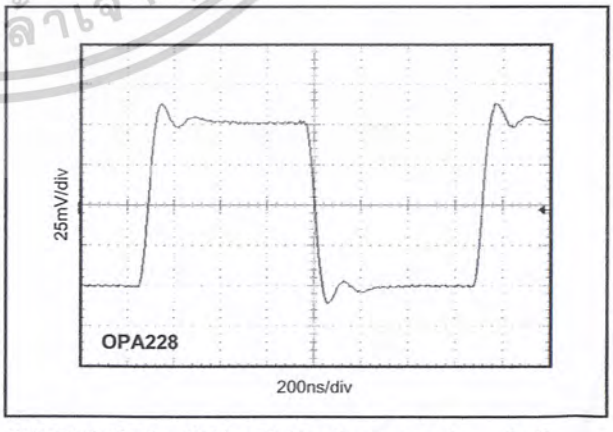


FIGURE 13. Small-Signal Step Response, G = –2, C_{LOAD} = 100pF, Input Signal = 50mVp-p.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

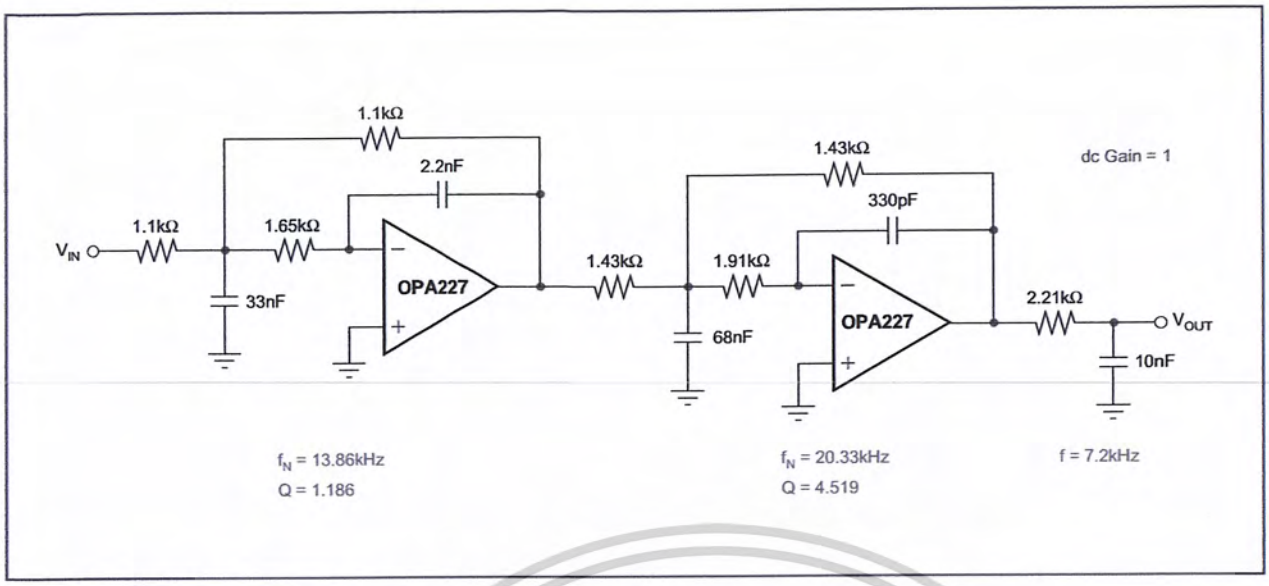


FIGURE 14. Three-Pole, 20kHz Low Pass, 0.5dB Chebyshev Filter.

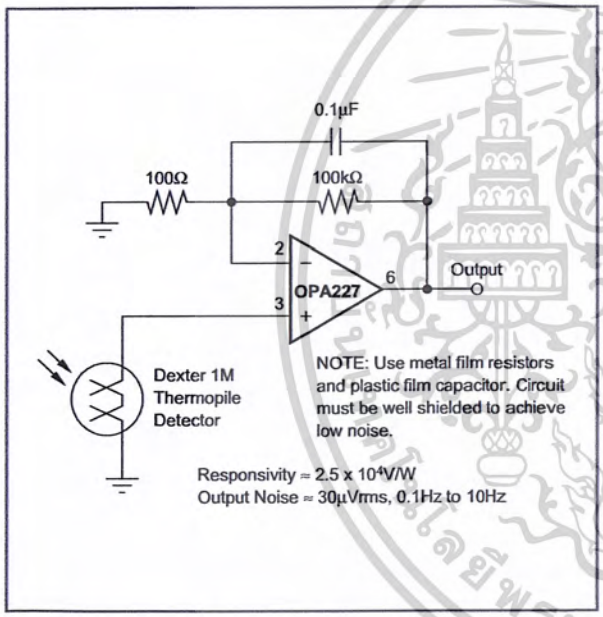


FIGURE 15. Long-Wavelength Infrared Detector Amplifier.

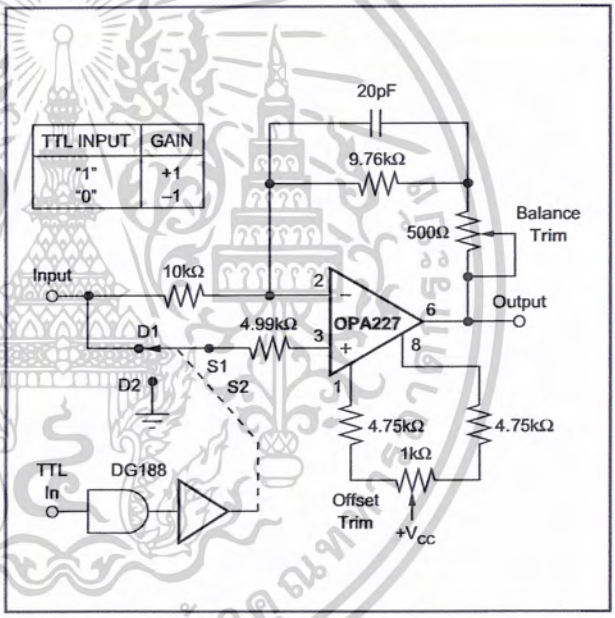


FIGURE 16. High Performance Synchronous Demodulator.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

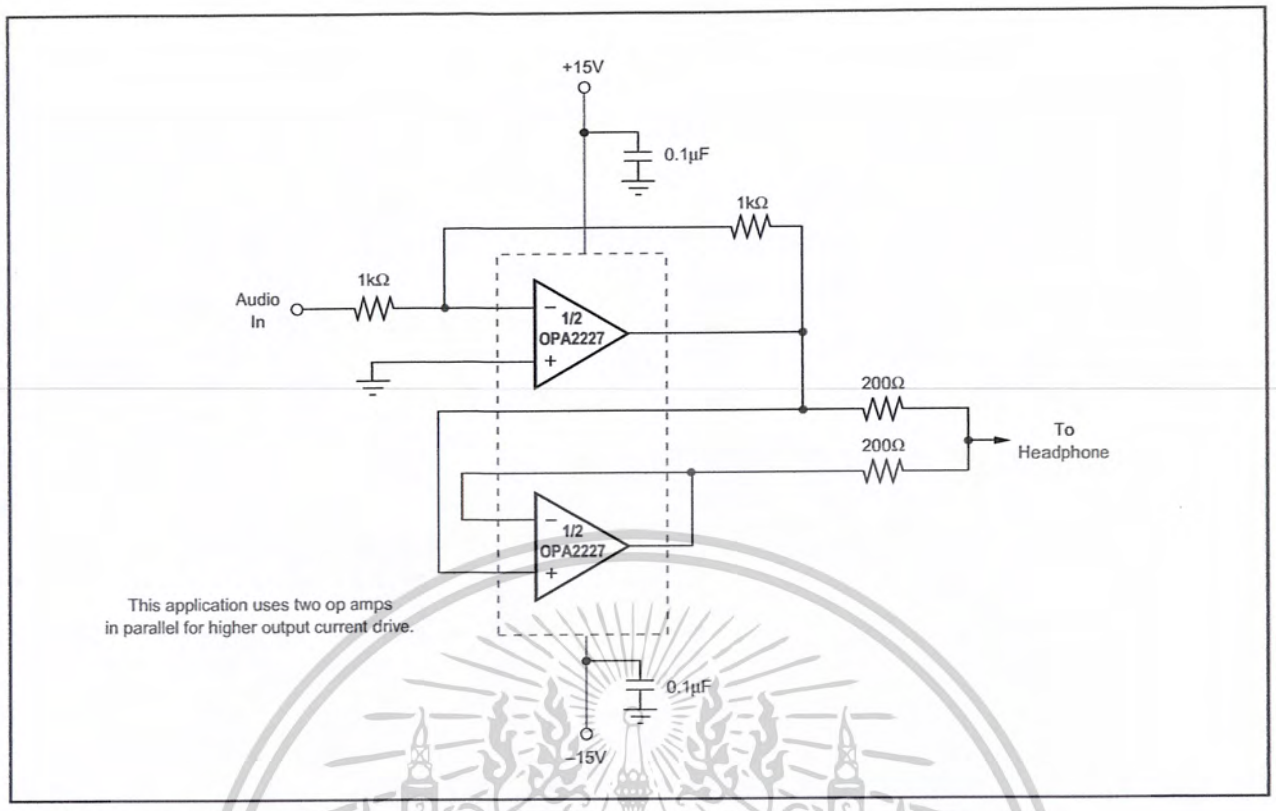


FIGURE 17. Headphone Amplifier.

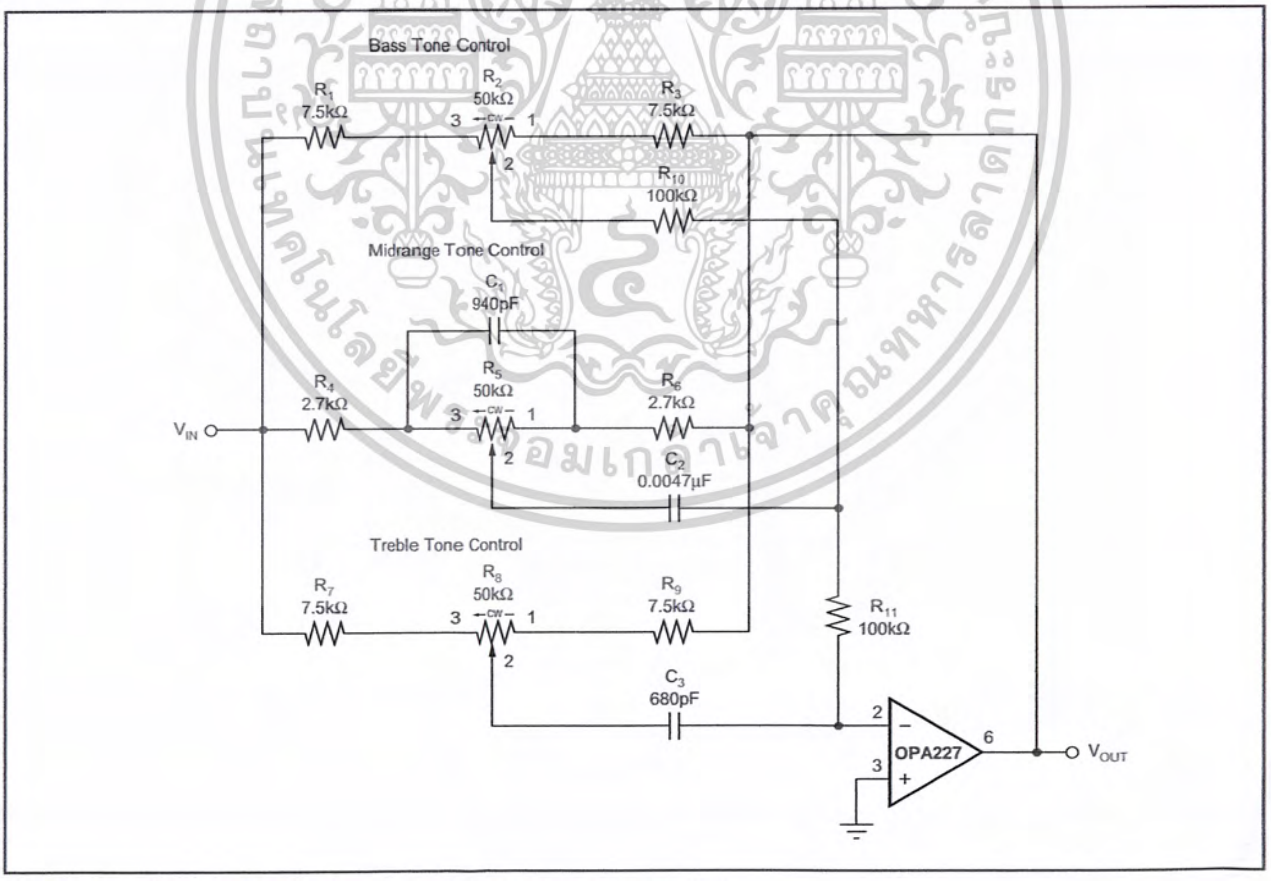


FIGURE 18. Three-Band ActiveTone Control (bass, midrange and treble).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Burr-Brown Products
from Texas Instruments

XTR110

SBOS141A – JANUARY 1984 – REVISED AUGUST 2003

PRECISION VOLTAGE-TO-CURRENT CONVERTER/TRANSMITTER

FEATURES

- 4mA TO 20mA TRANSMITTER
- SELECTABLE INPUT/OUTPUT RANGES:
  0V to +5V, 0V to +10V Inputs
  0mA to 20mA, 5mA to 25mA Outputs
  Other Ranges
- 0.005% MAX NONLINEARITY, 14 BIT
- PRECISION +10V REFERENCE OUTPUT
- SINGLE SUPPLY OPERATION
- WIDE SUPPLY RANGE: 13.5V to 40V

APPLICATIONS

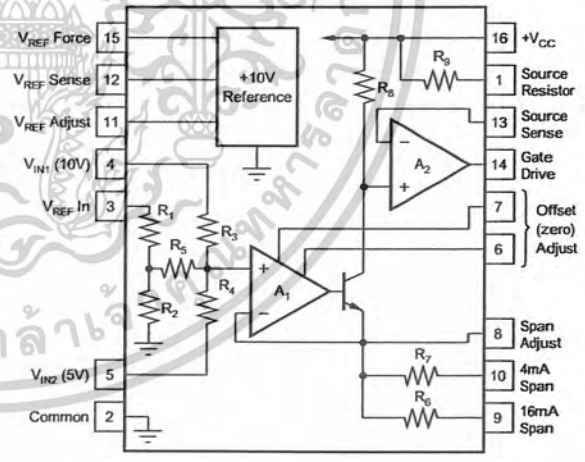
- INDUSTRIAL PROCESS CONTROL
- PRESSURE/TEMPERATURE TRANSMITTERS
- CURRENT-MODE BRIDGE EXCITATION
- GROUNDED TRANSDUCER CIRCUITS
- CURRENT SOURCE REFERENCE FOR DATA ACQUISITION
- PROGRAMMABLE CURRENT SOURCE FOR TEST EQUIPMENT
- POWER PLANT/ENERGY SYSTEM MONITORING

DESCRIPTION

The XTR110 is a precision voltage-to-current converter designed for analog signal transmission. It accepts inputs of 0 to 5V or 0 to 10V and can be connected for outputs of 4 to 20mA, 0 to 20mA, 5 to 25mA and many other commonly used ranges.

A precision on-chip metal film resistor network provides input scaling and current offsetting. An internal 10V voltage reference can be used to drive external circuitry.

The XTR110 is available in 16-pin plastic DIP, ceramic DIP and SOL-16 surface-mount packages. Commercial and industrial temperature range models are available.



Please be aware that an important notice concerning availability, standard warranty, and use in critical applications of Texas Instruments semiconductor products and disclaimers thereto appears at the end of this data sheet.

All trademarks are the property of their respective owners.

PRODUCTION DATA information is current as of publication date. Products conform to specifications per the terms of Texas Instruments standard warranty. Production processing does not necessarily include testing of all parameters.

Copyright © 1984-2003, Texas Instruments Incorporated

TEXAS INSTRUMENTS
www.ti.com

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SPECIFICATIONS

ELECTRICAL

At T_A = +25°C and V_{CC} = +24V and R_L = 250Ω**, unless otherwise specified.

PARAMETER	CONDITIONS	XTR110AG, KP, KU			XTR110BG			UNITS
		MIN	TYP	MAX	MIN	TYP	MAX	
TRANSMITTER								
Transfer Function			$I_O = 10\ [(V_{REF}In/16) + (V_{IN1}/4) + (V_{IN2}/2)]\ /R_{SPAN}$					
Input Range: V_{IN1}[5]	Specified Performance	0		+10	*		*	V
V_{IN2}	Specified Performance	0		+5	*		*	V
Current, I_O	Specified Performance[1]	4		20	*		*	mA
	Derated Performance[1]	0		40	*		*	mA
Nonlinearity	16mA/20mA Span[2]		0.01	0.025		0.002	0.005	% of Span
Offset Current, I_{OS}	I_O = 4mA[1]							
Initial	[1]		0.2	0.4		0.02	0.1	% of Span
vs Temperature	[1]		0.0003	0.005		*	0.003	% of Span/°C
vs Supply, V_{CC}	[1]		0.0005	0.005		*	*	% of Span/V
Span Error	I_O = 20mA							
Initial	[1]		0.3	0.6		0.05	0.2	% of Span
vs Temperature	[1]		0.0025	0.005		0.0009	0.003	% of Span/°C
vs Supply, V_{CC}	[1]		0.003	0.005		*	*	% of Span/V
Output Resistance	From Drain of FET (Q_{EXT})[3]		10×10^9			*		Ω
Input Resistance	V_{IN1}		27			*		kΩ
	V_{IN2}		22			*		kΩ
	V_{REF} In		19			*		kΩ
Dynamic Response								
Settling Time	To 0.1% of Span		15			*		µs
	To 0.01% of Span		20			*		µs
Slew Rate			1.3			*		mA/µs
VOLTAGE REFERENCE								
Output Voltage		+9.95	+10	+10.05	+9.98	*	+10.02	V
vs Temperature			35	50		15	30	ppm/°C
vs Supply, V_{CC}	Line Regulation		0.0002	0.005		*	*	%/V
vs Output Current	Load Regulation		0.0005	0.01		*	*	%/mA
vs Time			100			*		ppm/1k hrs
Trim Range		–0.100		+0.25	*		*	V
Output Current	Specified Performance	10			*			mA
POWER SUPPLY								
Input Voltage, V_{CC}		+13.5		+40	*		*	V
Quiescent Current	Excluding I_O		3	4.5		*	*	mA
TEMPERATURE RANGE								
Specification: AG, BG		–40		+85	*		*	°C
KP, KU		0		+70				°C
Operating: AG, BG		–55		+125	*		*	°C
KP, KU		–25		+85				°C

* Specifications same as AG/KP grades. ** Specifications apply to the range of R_L shown in Typical Performance Curves.

NOTES: (1) Including internal reference. (2) Span is the change in output current resulting from a full-scale change in input voltage. (3) Within compliance range limited by $(+V_{CC} - 2V) + V_{DS}$ required for linear operation of the FET. (4) For V_{REF} adjustment circuit see Figure 3. (5) For extended I_{REF} drive circuit see Figure 4. (5) Unit may be damaged. See section, "Input Voltage Range".

ABSOLUTE MAXIMUM RATINGS

Power Supply, $+V_{CC}$ 40V
Input Voltage, V_{IN1}, V_{IN2}, $V_{REF\ IN}$ ..... $+V_{CC}$
See text regarding safe negative input voltage range.
Storage Temperature Range: A, B ..... –55°C to +125°C
K, U ..... –40°C to +85°C
Lead Temperature
(soldering, 10s) G, P ..... 300°C
(wave soldering, 3s) U ..... 260°C
Output Short-Circuit Duration, Gate Drive
and V_{REF} Force ..... Continuous to common and $+V_{CC}$
Output Current Using Internal 50Ω Resistor 40mA

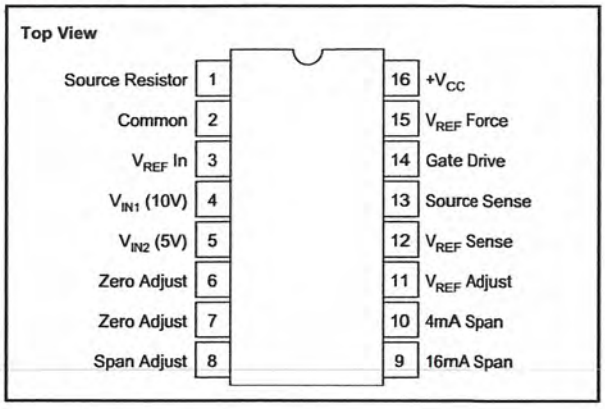
ELECTROSTATIC DISCHARGE SENSITIVITY

This integrated circuit can be damaged by ESD. Texas Instruments recommends that all integrated circuits be handled with appropriate precautions. Failure to observe proper handling and installation procedures can cause damage.

ESD damage can range from subtle performance degradation to complete device failure. Precision integrated circuits may be more susceptible to damage because very small parametric changes could cause the device not to meet its published specifications.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PIN CONFIGURATION



PACKAGE INFORMATION

PRODUCT	PACKAGE	PACKAGE DRAWING NUMBER(1)
XTR110AG	16-Pin Ceramic DIP	109
XTR110BG	16-Pin Ceramic DIP	109
XTR110KP	16-Pin Plastic DIP	180
XTR110KU	SOL-16 Surface-Mount	211

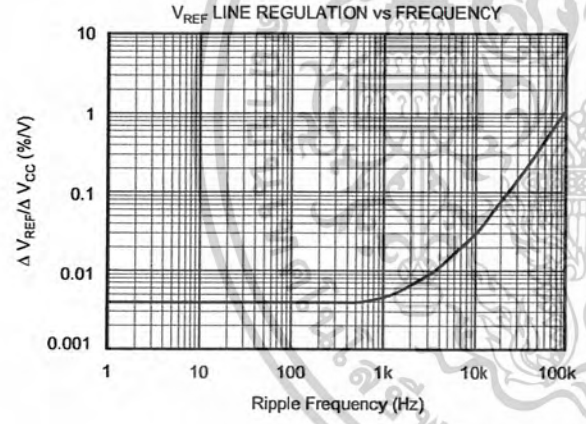
NOTE: (1) For detailed drawing and dimension table, please see end of data sheet, or Appendix C of Burr-Brown IC Data Book.

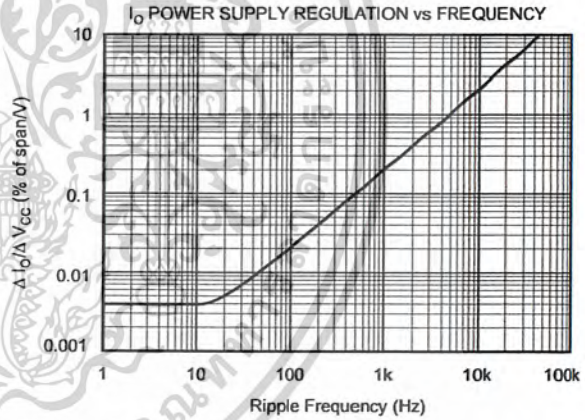
ORDERING INFORMATION

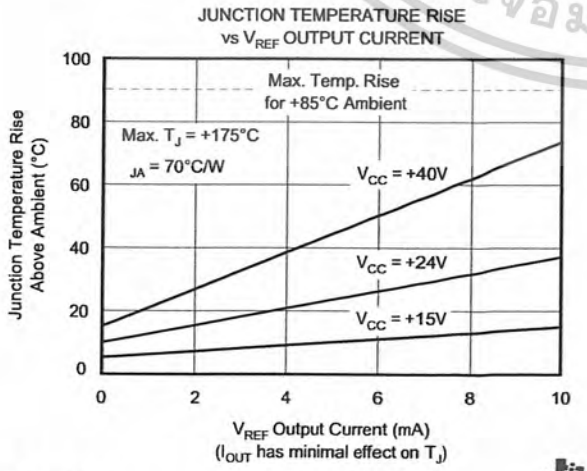
PRODUCT	PACKAGE	TEMPERATURE RANGE
XTR110AG	16-Pin Ceramic DIP	–40°C to +85°C
XTR110BG	16-Pin Ceramic DIP	–40°C to +85°C
XTR110KP	16-Pin Plastic DIP	0°C to +70°C
XTR110KU	SOL-16 Surface-Mount	0°C to +70°C

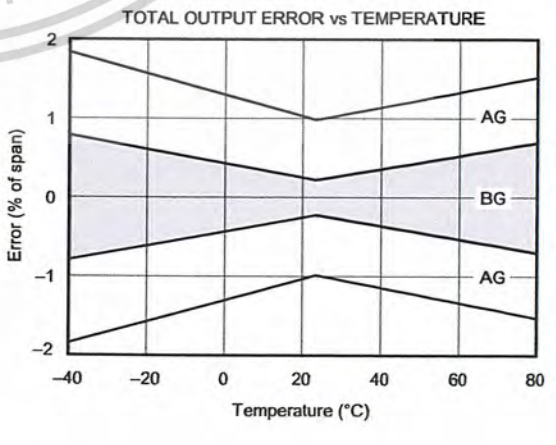
TYPICAL PERFORMANCE CURVES

T_A = +25°C, V_{CC} = 24VDC, R_L = 250Ω, unless otherwise noted.







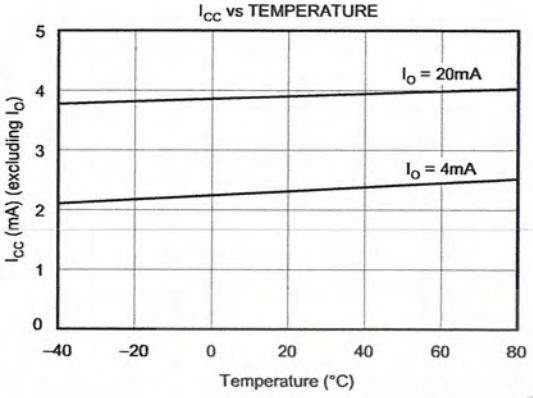


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

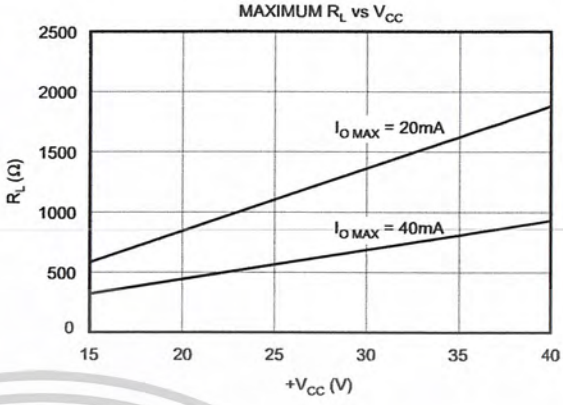
TYPICAL PERFORMANCE CURVES (CONT)

At T_A = +25°C, V_{CC} = 24VDC, R_L = 250Ω, unless otherwise noted.

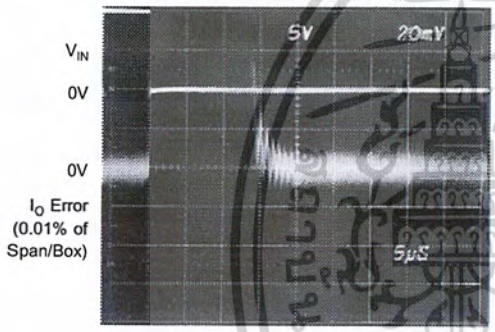
I_{CC} vs TEMPERATURE



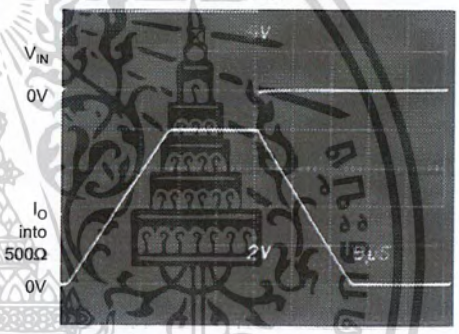
MAXIMUM R_L vs V_{CC}



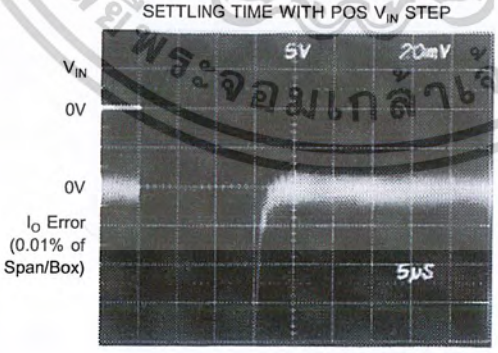
SETTLING TIME WITH NEG V_{IN} STEP



PULSE RESPONSE



SETTLING TIME WITH POS V_{IN} STEP



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

APPLICATIONS INFORMATION

Figure 1 shows the basic connections required for 0 to 10V input and 4 to 20mA output. Other input voltage and output current ranges require changes in connections of pins 3, 4, 5, 9 and 10 as shown in the table of Figure 1.

The complete transfer function of the XTR110 is:

$$I_O = \frac{10\left[\frac{(V_{REF\ IN})}{16} + \frac{(V_{IN1})}{4} + \frac{(V_{IN2})}{2}\right]}{R_{SPAN}} \qquad (1)$$

R_{SPAN} is the internal 50Ω resistor, R_9, when connected as shown in Figure 1. An external R_{SPAN} can be connected for different output current ranges as described later.

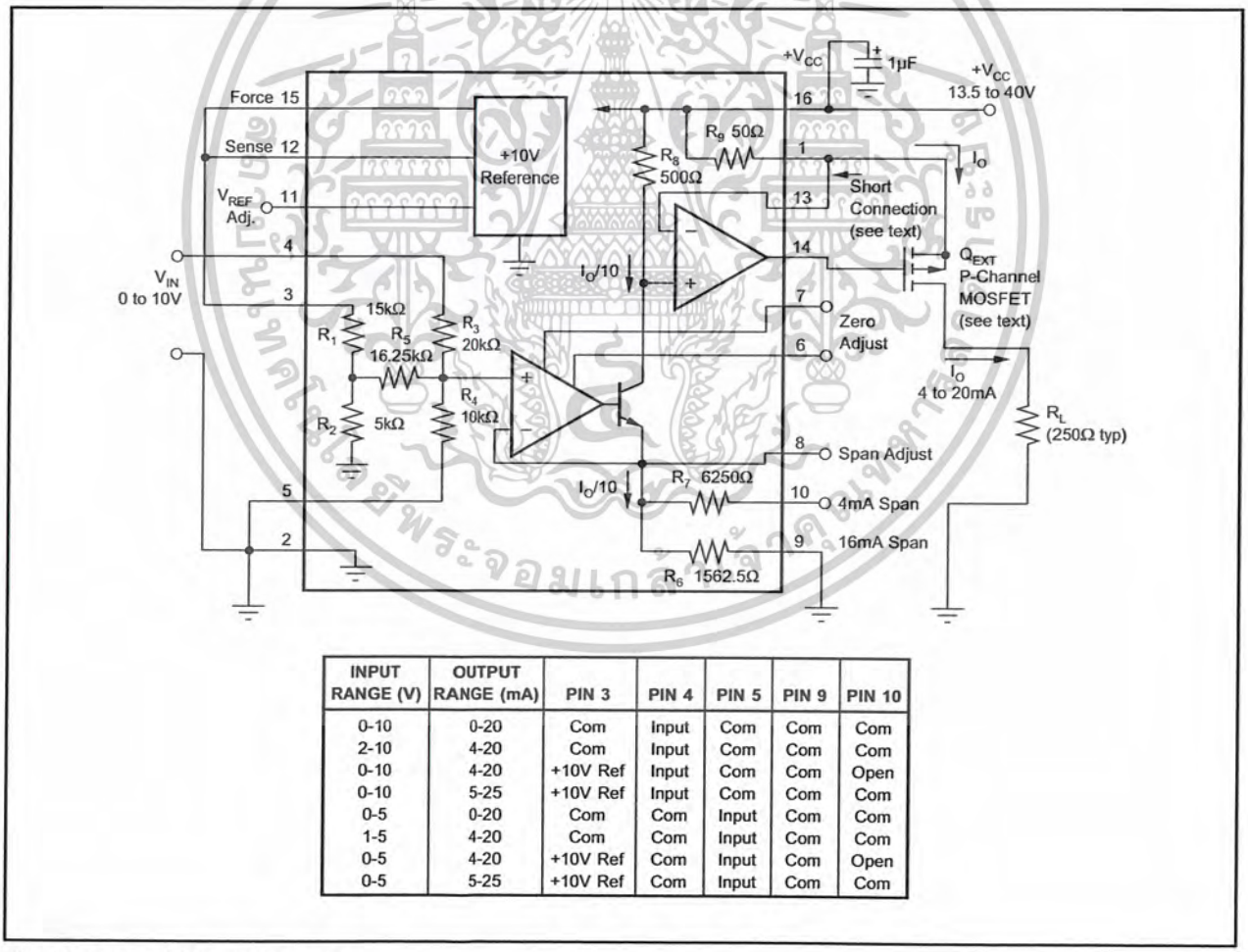
EXTERNAL TRANSISTOR

An external pass transistor, Q_{EXT}, is required as shown in Figure 1. This transistor conducts the output signal current. A P-channel MOSFET transistor is recommended. It must have a voltage rating equal or greater than the maximum power supply voltage. Various recommended types are shown in Table I.

MANUFACTURER	PART NO.	BV_{DSS}[1]	BV_{GS}[1]	PACKAGE
Ferranti	ZVP1304A	40V	20V	TO-92
	ZVP1304B	40V	20V	TO-39
	ZVP1306A	60V	20V	TO-92
	ZVP1306B	60V	20V	TO-39
International Rectifier	IRF9513	60V	20V	TO-220
Motorola	MTP8P08	80V	20V	TO-220
RCA	RFL1P08	80V	20V	TO-39
	RFT2P08	80V	20V	TO-220
Siliconix (preferred)	VP0300B	30V	40V	TO-39
	VP0300L	30V	40V	TO-92
	VP0300M	30V	40V	TO-237
	VP0808B	80V	40V	TO-39
	VP0808L	80V	40V	TO-92
	VP0808M	80V	40V	TO-237
Supertex	VP1304N2	40V	20V	TO-220
	VP1304N3	40V	20V	TO-92
	VP1306N2	60V	20V	TO-220
	VP1306N3	60V	20V	TO-92

NOTE: (1) BV_{DSS}—Drain-source breakdown voltage. BV_{GS}—Gate-source breakdown voltage.

TABLE I. Available P-Channel MOSFETs.



INPUT RANGE (V)	OUTPUT RANGE (mA)	PIN 3	PIN 4	PIN 5	PIN 9	PIN 10
0-10	0-20	Com	Input	Com	Com	Com
2-10	4-20	Com	Input	Com	Com	Com
0-10	4-20	+10V Ref	Input	Com	Com	Open
0-10	5-25	+10V Ref	Input	Com	Com	Com
0-5	0-20	Com	Com	Input	Com	Com
1-5	4-20	Com	Com	Input	Com	Com
0-5	4-20	+10V Ref	Com	Input	Com	Open
0-5	5-25	+10V Ref	Com	Input	Com	Com

FIGURE 1. Basic Circuit Connection.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

If the supply voltage, $+V_{CC}$, exceeds the gate-to-source breakdown voltage of Q_{EXT}, and the output connection (drain of Q_{EXT}) is broken, Q_{EXT} could fail. If the gate-to-source breakdown voltage is lower than $+V_{CC}$, Q_{EXT} can be protected with a 12V zener diode connected from gate to source.

Two PNP discrete transistors (Darlington-connected) can be used for Q_{EXT}—see Figure 2. Note that an additional capacitor is required for stability. Integrated Darlington transistors are not recommended because their internal base-emitter resistors cause excessive error.

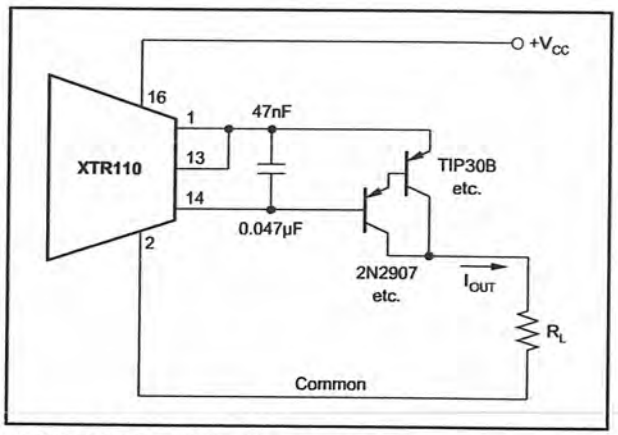


FIGURE 2. Q_{EXT} Using PNP Transistors.

TRANSISTOR DISSIPATION

Maximum power dissipation of Q_{EXT} depends on the power supply voltage and full-scale output current. Assuming that the load resistance is low, the power dissipated by Q_{EXT} is:

$$P_{MAX} = (+V_{CC})\ I_{FS} \qquad (2)$$

The transistor type and heat sinking must be chosen according to the maximum power dissipation to prevent overheating. See Table II for general recommendations.

PACKAGE TYPE	ALLOWABLE POWER DISSIPATION
TO-92	Lowest: Use minimum supply and at +25°C.
TO-237	Acceptable: Trade-off supply and temperature.
TO-39	Good: Adequate for majority of designs.
TO-220	Excellent: For prolonged maximum stress.
TO-3	Use if hermetic package is required.

TABLE II. External Transistor Package Type and Dissipation.

INPUT VOLTAGE RANGE

The internal op amp A_1 can be damaged if its non-inverting input (an internal node) is pulled more than 0.5V below common (0V). This could occur if input pins 3, 4 or 5 were driven with an op amp whose output could swing negative under abnormal conditions. The voltage at the input of A_1 is:

$$V_{A1} = \frac{(V_{REF\ IN})}{16} + \frac{(V_{IN1})}{4} + \frac{(V_{IN2})}{2} \qquad (3)$$

This voltage should not be allowed to go more negative than –0.5V. If necessary, a clamp diode can be connected from the negative-going input to common to clamp the input voltage.

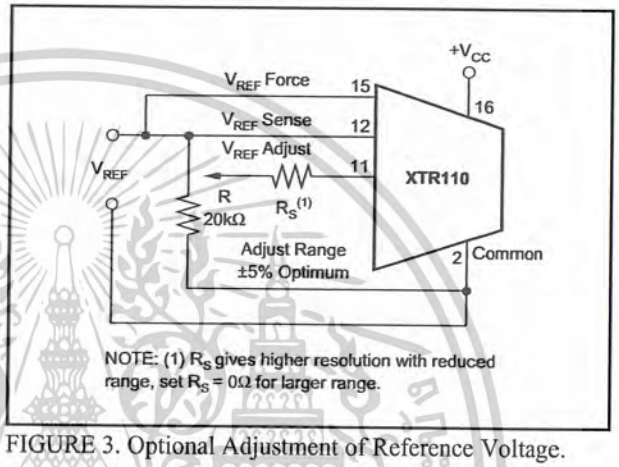


FIGURE 3. Optional Adjustment of Reference Voltage.

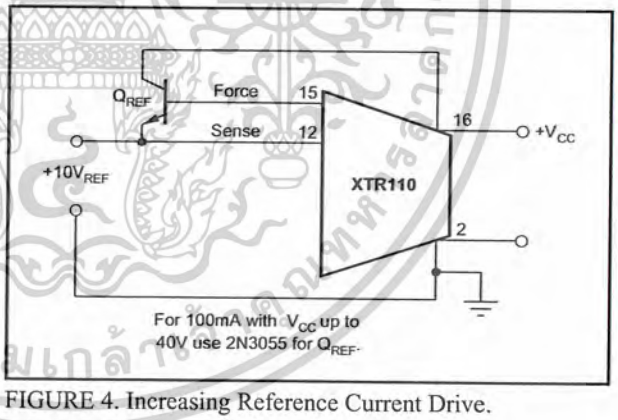


FIGURE 4. Increasing Reference Current Drive.

COMMON (Ground)

Careful attention should be directed toward proper connection of the common (grounds). All commons should be joined at one point as close to pin 2 of the XTR110 as possible. The exception is the I_{OUT} return. It can be returned to any point where it will not modulate the common at pin 2.

VOLTAGE REFERENCE

The reference voltage is accurately regulated at pin 12 ($V_{REF\ SENSE}$). To preserve accuracy, any load including pin 3 should be connected to this point. The circuit in Figure 3 shows adjustment of the voltage reference.

The current drive capability of the XTR110's internal reference is 10mA. This can be extended if desired by adding an external NPN transistor shown in Figure 4.

OFFSET (ZERO) ADJUSTMENT

The offset current can be adjusted by using the potentiometer, R_1, shown in Figure 5. Set the input voltage to zero and then adjust R_1 to give 4mA at the output. For spans starting

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

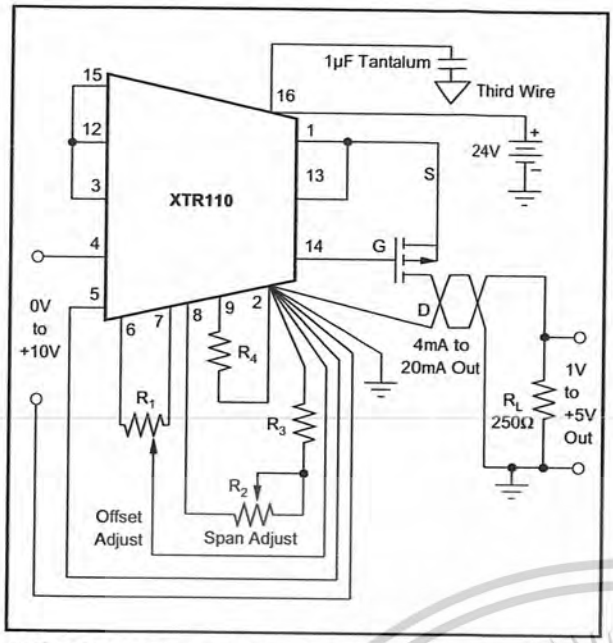


FIGURE 5. Offset and Span Adjustment Circuit for 0V to +10V Input, 4mA to 20mA Output.

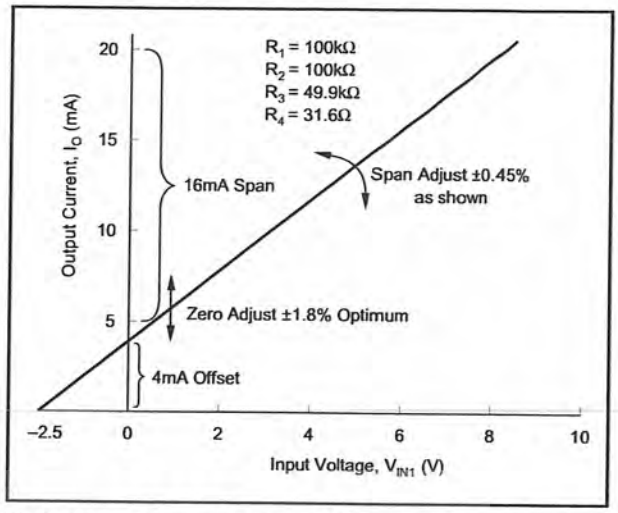


FIGURE 6. Zero and Span of 0V to +10V Input, 4mA to 20mA Output Configuration (see Figure 5).

at 0mA, the following special procedure is recommended: set the input to a small nonzero value and then adjust R_1 to the proper output current. When the input is zero the output will be zero. Figures 6 and 7 show graphically how offset is adjusted.

SPAN ADJUSTMENT

The span is adjusted at the full-scale output current using the potentiometer, R_2, shown in Figure 5. This adjustment is interactive with the offset adjustment, and a few iterations may be necessary. For the circuit shown, set the input voltage to +10V full scale and adjust R_2 to give 20mA full-scale output. Figures 6 and 7 show graphically how span is adjusted.

The values of R_2, R_3, and R_4 for adjusting the span are determined as follows: choose R_4 in series to slightly decrease the span; then choose R_2 and R_3 to increase the span to be adjustable about the center value.

LOW TEMPERATURE COEFFICIENT OPERATION

Although the precision resistors in the XTR110 track within 1ppm/°C, the output current depends upon the absolute temperature coefficient (TC) of any one of the resistors, R_6, R_7, R_8, and R_9. Since the absolute TC of the output current can have 20ppm/°C, maximum, the TC of the output current can have 20ppm/°C drift. For low TC operation, zero TC resistors can be substituted for either the span resistors (R_6 or R_7) or for the source resistor (R_9) but not both.

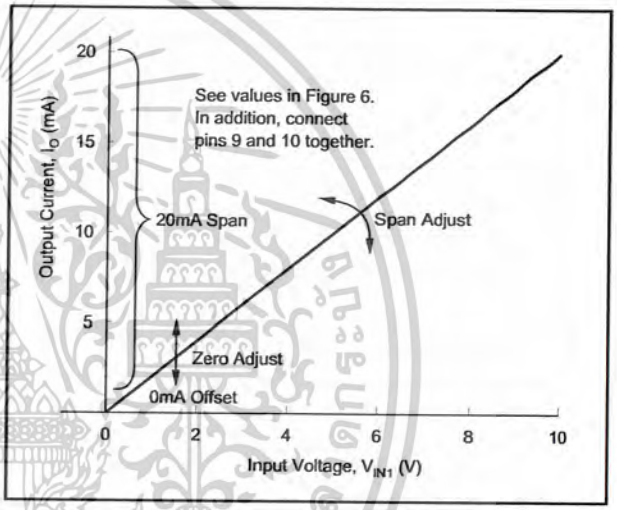


FIGURE 7. Zero and Span of 0V to +10V_{IN}, 0mA to 20mA Output Configuration (see Figure 5).

EXTENDED SPAN

For spans beyond 40mA, the internal 50Ω resistor (R_9) may be replaced by an external resistor connected between pins 13 and 16.

Its value can be calculated as follows:

$$R_{EXT} = R_9 \ (Span_{OLD}/Span_{NEW})$$

Since the internal thin-film resistors have a 20% absolute value tolerance, measure R_9 before determining the final value of R_{EXT}. Self-heating of R_{EXT} can cause nonlinearity. Therefore, choose one with a low TC and adequate power rating. See Figure 10 for application.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPICAL APPLICATIONS

The XTR110 is ideal for a variety of applications requiring high noise immunity current-mode signal transmission. The precision +10V reference can be used to excite bridges and transducers. Selectable ranges make it very useful as a precision programmable current source. The compact design and low price of the XTR110 allow versatility with a minimum of external components and design engineering expense.

Figures 8 through 10 show typical applications of the XTR110.

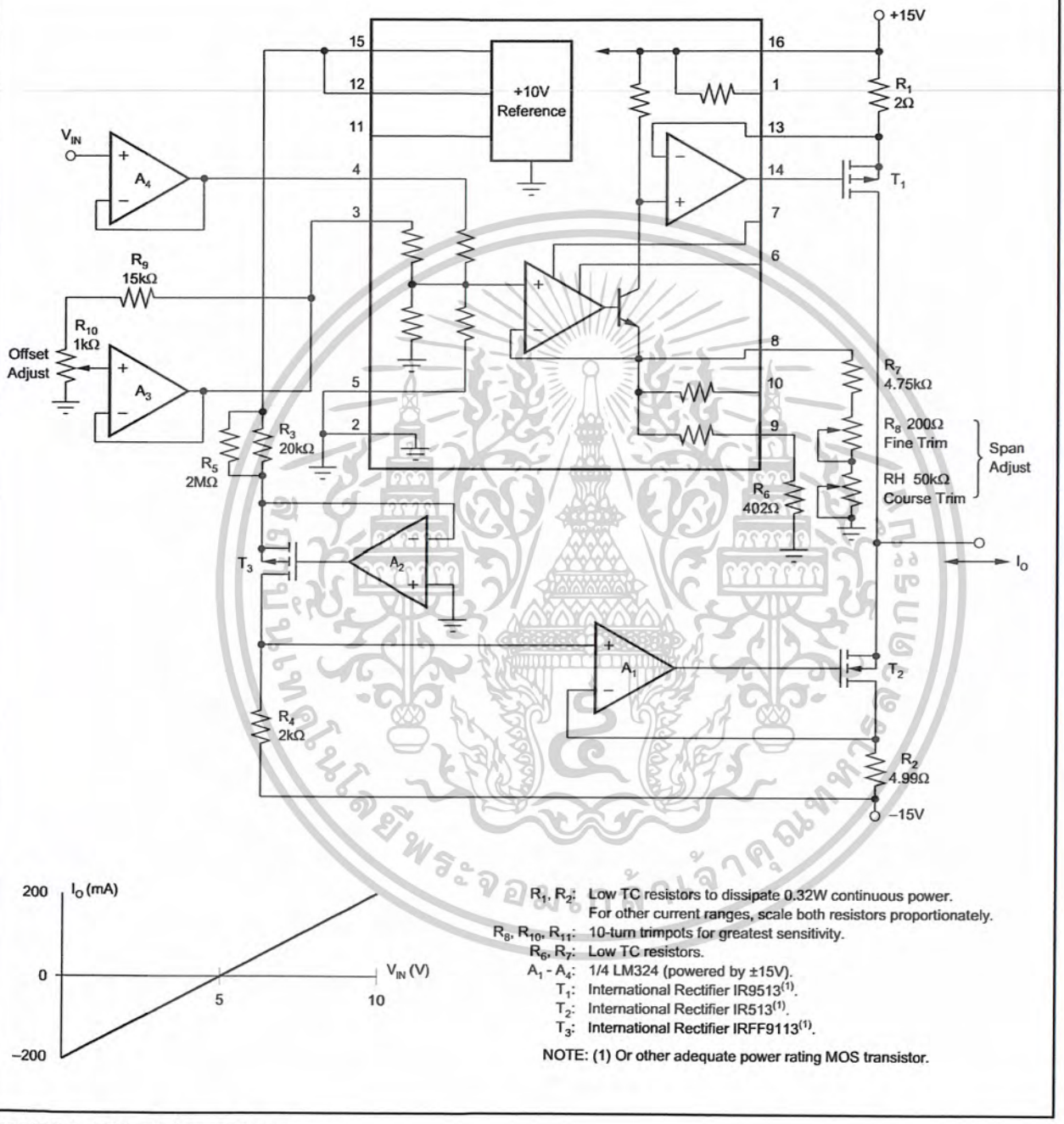


FIGURE 8. ±200mA Current Pump.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

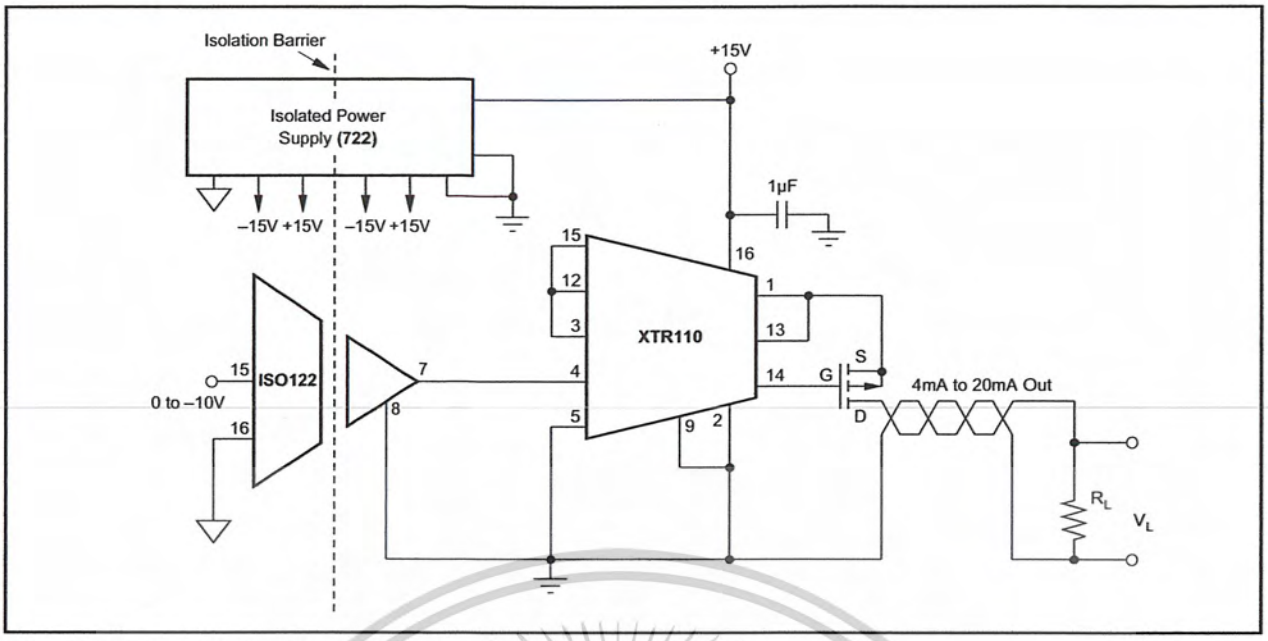


FIGURE 9. Isolated 4mA to 20mA Channel.

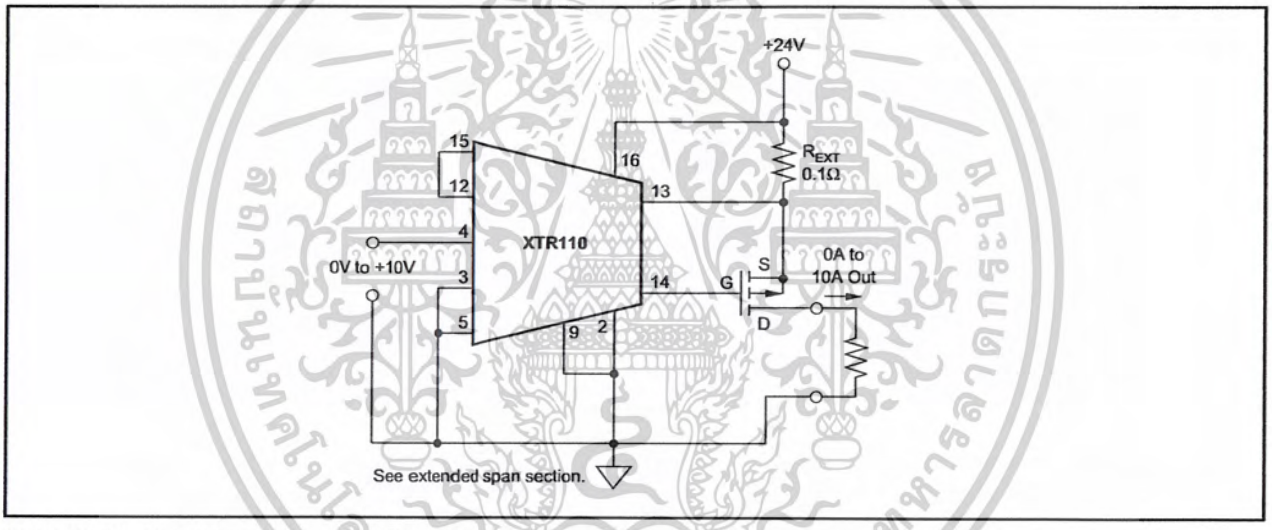
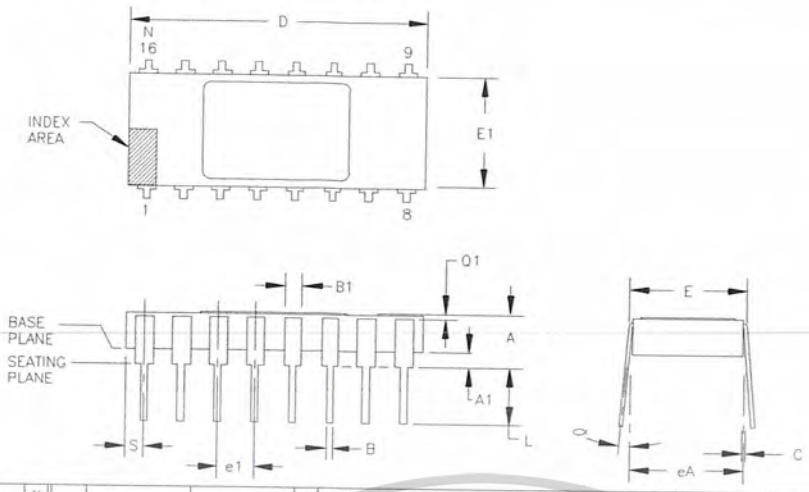


FIGURE 10. 0A to 10A Output Voltage-to-Current Converter.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PACKAGE DRAWINGS

Package Number 109 - 16-Lead, Ceramic Side Braze DIP, .300 Wide



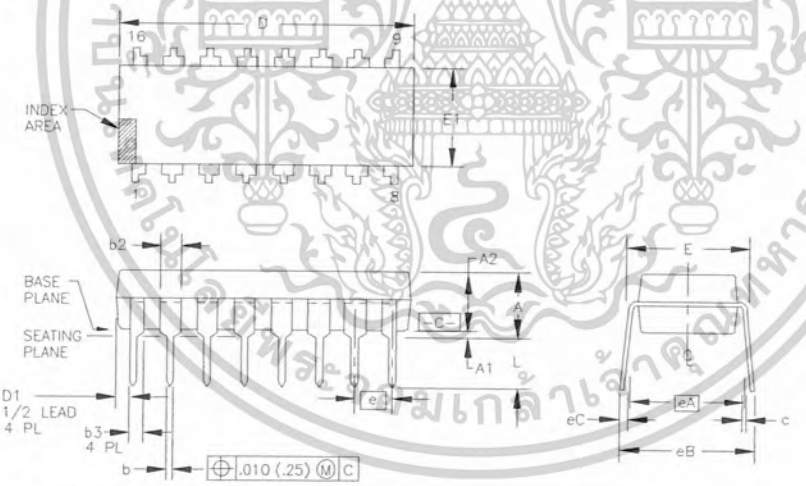
DIM	INCHES		MILLIMETERS		NOTE
	MIN.	MAX.	MIN.	MAX.	
A	.105	.175	2.67	4.45	
A1	.025	.055	0.64	1.40	
B	.015	.021	0.38	0.53	5
B1	.038	.060	0.97	1.52	5
C	.008	.012	0.20	0.30	
D	.770	.830	19.56	21.08	
E	.290	.325	7.37	8.26	
E1	.280	.310	7.11	7.87	6
e1	.100 TYP.		2.54 TYP.		2
eA	.300 TYP.		7.62 TYP.		2
L	.125	.175	3.18	4.45	
N	16		16		4
Q1	.010	--	0.25	--	
S	.020	.065	0.51	1.65	

DIM	INCHES		MILLIMETERS		NOTE
	MIN.	MAX.	MIN.	MAX.	
α	0°	15°	0°	15°	3

NOTES:
1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5-1973.
2. LEADS WITHIN .005 IN. (0.13mm) RADIUS OF TRUE POSITION (TP) AT GAUGE PLANE WITH MAXIMUM MATERIAL CONDITION AND UNIT INSTALLED.
3. α - APPLIES TO SPREAD LEADS PRIOR TO INSTALLATION.
4. N IS THE NUMBER OF TERMINAL POSITIONS.
5. OUTLINES ON WHICH THE SEATING PLANE IS COINCIDENT WITH THE PLANE (A1 = 0). TERMINALS LEAD STANDOFFS ARE NOT REQUIRED, AND B1 MAY EQUAL B ALONG ANY PART OF THE LEAD ABOVE THE SEATING/BASE PLANE.
6. E1 DOES NOT INCLUDE PARTICLES OF PACKING MATERIALS.
7. CONTROLLING DIMENSION: INCH.
8. A VISUAL INDEX FEATURE MUST BE LOCATED WITHIN THE CROSS-HATCHED AREA.

PACKAGE NUMBER: ZZ109	REV.: D
JEDEC NUMBER: MO-36-AD	

Package Number 180 - 16-Pin Plastic, Single-Wide DIP



DIM	INCHES		MILLIMETERS		NOTE
	MIN.	MAX.	MIN.	MAX.	
A	--	.210	--	5.33	3
A1	.015	--	0.38	--	3
A2	.115	.195	2.92	4.95	
b	.014	.022	0.36	0.56	
b2	.045	.070	1.14	1.78	9
b3	.030	.045	0.76	1.14	9
c	.008	.014	0.20	0.36	
D	.735	.775	18.67	21.34	4
D1	.005	--	0.13	--	4
E	.300	.325	7.62	8.26	5
E1	.240	.280	6.10	7.11	4
e	.100 BASIC		2.54 BASIC		
eA	.300 BASIC		7.63 BASIC		5
eB	--	.430	--	10.92	6

DIM	INCHES		MILLIMETERS		NOTE
	MIN.	MAX.	MIN.	MAX.	
eC	.000	.060	0.00	1.52	6
L	.115	.150	2.92	3.81	3
N	16		16		7

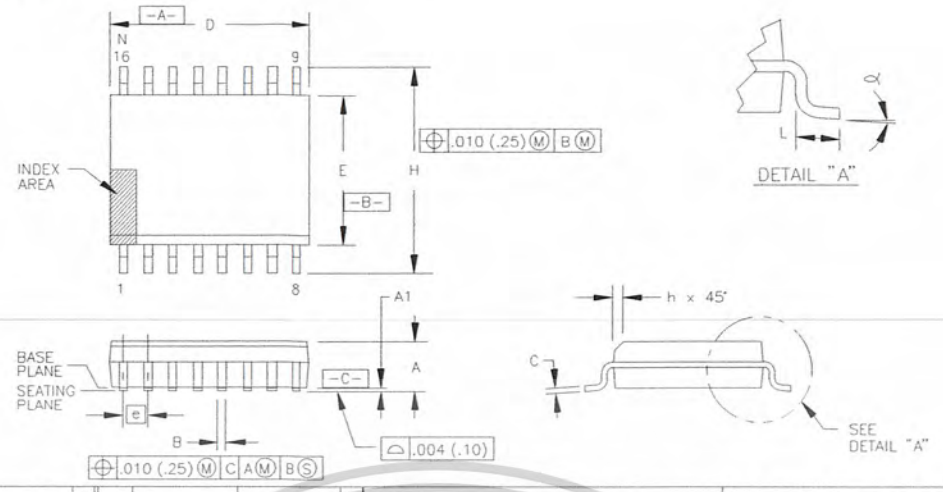
NOTES:
1. ALL DIMENSIONS ARE IN INCHES.
2. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M-1982.
3. DIMENSIONS A, A1, AND L ARE MEASURED WITH THE PACKAGE SEATED IN JEDEC SEATING PLANE GAUGE GS-3.
4. D, D1, AND E1 DIMENSIONS DO NOT INCLUDE MOLD FLASH OR PROTRUSIONS. MOLD FLASH OR PROTRUSIONS SHALL NOT EXCEED .010 (0.25mm).
5. E AND eA MEASURED WITH THE LEADS CONSTRAINED TO BE PERPENDICULAR TO DATUM -C-.
6. eB AND eC ARE MEASURED AT THE LEAD TIPS WITH THE LEADS UNCONSTRAINED.
7. N IS THE MAXIMUM OF TERMINAL POSITIONS.
8. POINTED OR ROUNDED LEAD TIPS ARE PREFERRED TO EASE INSERTION.
9. b2 AND b3 MAXIMUM DIMENSIONS DO NOT INCLUDE DAMBAR PROTRUSIONS. DAMBAR PROTRUSIONS SHALL NOT EXCEED .010 (0.25mm).
10. DISTANCE BETWEEN LEADS INCLUDING DAMBAR PROTRUSIONS TO BE .005 (0.13mm) MINIMUM.
11. A VISUAL INDEX FEATURE MUST BE LOCATED WITHIN THE CROSS-HATCHED AREA.
12. FOR AUTOMATIC INSERTION, ANY RAISED IRREGULARITY ON THE TOP SURFACE (STEP, MESA, ETC.) SHALL BE SYMMETRICAL ABOUT THE LATERAL AND LONGITUDINAL PACKAGE CENTERLINES.

PACKAGE NUMBER: ZZ180	REV.: F
JEDEC NUMBER: MS-001-BB	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PACKAGE DRAWINGS (CONT)

Package Number 211 - 16-Lead SOIC, .300 Wide



DIM	INCHES		MILLIMETERS		NOTE
	MIN.	MAX.	MIN.	MAX.	
A	.0926	.1043	2.35	2.65	
A1	.004	.0118	0.10	0.30	
B	.013	.020	0.33	0.51	7
C	.0091	.0125	0.23	0.32	
D	.3977	.4133	10.10	10.50	2
E	.2914	.2992	7.40	7.60	3
e	.050 BASIC		1.27 BASIC		
H	.394	.419	10.00	10.65	
h	.010	.029	0.25	0.75	4
L	.016	.050	0.40	1.27	5
N	16		16		6
α	0°	8°	0°	8°	

DIM	INCHES		MILLIMETERS		NOTE
	MIN.	MAX.	MIN.	MAX.	

NOTES:

1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M-1982.
2. DIMENSION D DOES NOT INCLUDE MOLD FLASH, PROTRUSIONS OR GATE BURRS. MOLD FLASH, PROTRUSIONS AND GATE BURRS SHALL NOT EXCEED .006 IN. (0.15 mm) PER SIDE.
3. DIMENSION E DOES NOT INCLUDE INTER-LEAD FLASH OR PROTRUSIONS. INTER-LEAD FLASH AND PROTRUSIONS SHALL NOT EXCEED .010 IN. (0.25 mm) PER SIDE.
4. THE CHAMFER ON THE BODY IS OPTIONAL. IF IT IS NOT PRESENT, A VISUAL INDEX FEATURE MUST BE LOCATED WITHIN THE CROSS-HATCHED AREA.
5. L IS THE LENGTH OF TERMINAL FOR SOLDERING TO A SUBSTRATE.
6. N IS THE NUMBER OF TERMINAL POSITIONS.
7. THE LEAD WIDTH B, AS MEASURED .014 IN. (0.36 mm) OR GREATER ABOVE THE SEATING PLANE, SHALL NOT EXCEED A MAXIMUM VALUE OF .024 IN. (0.61 mm).
8. LEAD TO LEAD COPLANARITY SHALL BE LESS THAN .004 IN. (0.10 mm) FROM SEATING PLANE.

PACKAGE NUMBER:	ZZ211	REV.:	F
JEDEC NUMBER:	MS-013-AA		

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PACKAGING INFORMATION

ORDERABLE DEVICE	STATUS(1)	PACKAGE TYPE	PACKAGE DRAWING	PINS	PACKAGE QTY
XTR110AG	NRND	CDIP SB	JD	16	24
XTR110BG	NRND	CDIP SB	JD	16	24
XTR110KP	ACTIVE	PDIP	N	16	25
XTR110KU	ACTIVE	SOIC	DW	16	48
XTR110KU/1K	ACTIVE	SOIC	DW	16	1000

(1) The marketing status values are defined as follows:
ACTIVE: Product device recommended for new designs.
LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.
NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.
PREVIEW: Device has been announced but is not in production. Samples may or may not be available.
OBSOLETE: TI has discontinued the production of the device.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

IMPORTANT NOTICE

Texas Instruments Incorporated and its subsidiaries (TI) reserve the right to make corrections, modifications, enhancements, improvements, and other changes to its products and services at any time and to discontinue any product or service without notice. Customers should obtain the latest relevant information before placing orders and should verify that such information is current and complete. All products are sold subject to TI's terms and conditions of sale supplied at the time of order acknowledgment.

TI warrants performance of its hardware products to the specifications applicable at the time of sale in accordance with TI's standard warranty. Testing and other quality control techniques are used to the extent TI deems necessary to support this warranty. Except where mandated by government requirements, testing of all parameters of each product is not necessarily performed.

TI assumes no liability for applications assistance or customer product design. Customers are responsible for their products and applications using TI components. To minimize the risks associated with customer products and applications, customers should provide adequate design and operating safeguards.

TI does not warrant or represent that any license, either express or implied, is granted under any TI patent right, copyright, mask work right, or other TI intellectual property right relating to any combination, machine, or process in which TI products or services are used. Information published by TI regarding third-party products or services does not constitute a license from TI to use such products or services or a warranty or endorsement thereof. Use of such information may require a license from a third party under the patents or other intellectual property of the third party, or a license from TI under the patents or other intellectual property of TI.

Reproduction of information in TI data books or data sheets is permissible only if reproduction is without alteration and is accompanied by all associated warranties, conditions, limitations, and notices. Reproduction of this information with alteration is an unfair and deceptive business practice. TI is not responsible or liable for such altered documentation.

Resale of TI products or services with statements different from or beyond the parameters stated by TI for that product or service voids all express and any implied warranties for the associated TI product or service and is an unfair and deceptive business practice. TI is not responsible or liable for any such statements.

Following are URLs where you can obtain information on other Texas Instruments products and application solutions:

Products		**Applications**	
Amplifiers	amplifier.ti.com	Audio	www.ti.com/audio
Data Converters	dataconverter.ti.com	Automotive	www.ti.com/automotive
DSP	dsp.ti.com	Broadband	www.ti.com/broadband
Interface	interface.ti.com	Digital Control	www.ti.com/digitalcontrol
Logic	logic.ti.com	Military	www.ti.com/military
Power Mgmt	power.ti.com	Optical Networking	www.ti.com/opticalnetwork
Microcontrollers	microcontroller.ti.com	Security	www.ti.com/security
		Telephony	www.ti.com/telephony
		Video & Imaging	www.ti.com/video
		Wireless	www.ti.com/wireless

Mailing Address: Texas Instruments
Post Office Box 655303 Dallas, Texas 75265

Copyright © 2003, Texas Instruments Incorporated

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้