สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

วงจรกรองกำลังแอคทีฟแบบขนานสามเฟสโดยใช้โครงข่ายประสาทเทียม และตัวประมวลผลสัญญาณดิจิตอล

A THREE-PHASE SHUNT ACTIVE POWER FILTER BASED ON NEURAL NETWORKS AND DIGITAL SIGNAL PROCESSOR

T051837

โดย

ลิขิต ชูทรัพย์

LIKIT CHOOSUB

วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรมหาบัณฑิต

สาขาวิชาวิศวกรรมไฟฟ้า

บัณฑิตวิทยาลัย

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

พ.ศ. 2547

ISBN 974-970-938-1

วท.
ล 4132
2547

เลขหมู่..............................
เลขทะเบียน 51837
วัน,เดือน,ปี 30 ก.ค. 2547

b. 11400079
i.

เอกสารนี้เป็นเอกสารที่สถาบันฯ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

A THREE-PHASE SHUNT ACTIVE POWER FILTER BASED ON NEURAL NETWORKS AND DIGITAL SIGNAL PROCESSOR

LIKIT CHOOSUB

A THESIS SUBMITTED IN PARTIAL FULFILLMENT

OF THE REQUIREMENT FOR THE DEGREE OF

MASTER OF ENGINEERING IN ELECTRICAL ENGINEERING

SCHOOL OF GRADUATE STUDIES

KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG

2004

ISBN 974-970-938-1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

COPYRIGHT 2004

SCHOOL OF GRADUATE STUDIES

KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อวิทยานิพนธ์	วงจรกรองกำลังแอคทีฟแบบขนานสามเฟสโดยใช้โครงข่ายประสาทเทียมและตัวประมวลผลสัญญาณดิจิตอล
นักศึกษา	นายลิขิต ชูทรัพย์
รหัสนักศึกษา	44061026
ปริญญา	วิศวกรรมศาสตรมหาบัณฑิต
สาขาวิชา	วิศวกรรมไฟฟ้า
พ.ศ.	2547
อาจารย์ผู้ควบคุมวิทยานิพนธ์	รศ. ดร. วิจิตร กิณเรศ

บทคัดย่อ

วิทยานิพนธ์นี้นำเสนอการวิเคราะห์และออกแบบวงจรกรองกำลังแอคทีฟแบบขนานสำหรับโหลดไม่เชิงเส้นในระบบ 3 เฟส 4 สาย ที่ใช้การตรวจจับกระแสด้วยโครงข่ายประสาทเทียม จุดประสงค์หลักของวงจรกรองกำลังแอคทีฟเพื่อใช้ในกำจัดกระแสฮาร์โมนิค, ปรับปรุงค่าตัวประกอบกำลังให้ดีขึ้นและแก้ปัญหากรณีโหลดไม่สมดุล ซึ่งข้อดีของเทคนิคนี้คือจะได้สัญญาณซายน์ที่ความถี่มูลฐานอย่างแท้จริงโดยไม่ทำให้เกิดการเลื่อนเฟสทางสัญญาณ, มีโครงสร้างที่ง่ายต่อการปรับแต่งและสามารถปรับตัวในสภาวะโหลดแบบต่างๆได้ดี นอกจากนี้ในงานวิจัยได้ทำการประยุกต์ใช้โครงข่ายประสาทเทียมในส่วนของการควบคุมกระแส เพื่อทำการเปรียบเทียบกับการควบคุมกระแสแบบขอบเขตฮีสเตอร์รีซีสพบว่าการควบคุมกระแสแบบโครงข่ายประสาทเทียมมีข้อดีกว่า เนื่องจากการควบคุมกระแสแบบนี้มีการสวิทช์ที่น้อยกว่าจึงเป็นผลให้เกิดการสูญเสียในการสวิทช์ที่น้อยกว่า ทั้งนี้ในงานวิจัยยังได้นำตัวควบคุมแบบพีไอมาใช้ในการรักษาระดับแรงดันให้คงที่

วิทยานิพนธ์นี้ได้ทำการออกแบบและจำลองการทำงานของวงจรโดยใช้โปรแกรม Matlab เพื่อนำมาศึกษาก่อนที่จะนำไปใช้งานจริงรวมทั้งเพื่อใช้ตรวจสอบว่าผลการทดลองจริงถูกต้องตามที่ได้ออกแบบไว้ โดยส่วนควบคุมการทำงานได้ใช้ตัวประมวลผลทางสัญญาณดิจิตอล (DSP)ในการประมวลผลทั้งหมด

ในตอนท้ายได้นำเครื่องต้นแบบวงจรกรองกำลังแอคทีฟที่ออกแบบไว้ไปทำการทดสอบกับระบบ 3 เฟส 4 สาย ที่ต่ออยู่กับโหลดชนิดไม่เป็นเชิงเส้นอาทิเช่น วงจรเรียงกระแสแบบไดโอด วงจรไทริสเตอร์ที่มีการปรับมุมจุดชนวน เพื่อทำการทดสอบการทำงานของวงจรกรองกำลังแอคทีฟ นอกจากนี้ได้ทำการทดสอบการทำงานภายใต้การตอบสนองที่สภาวะชั่วครู่แบบขั้น รวมทั้งได้ทดสอบการทำงานของวงจรกรณีที่ระบบต่ออยู่กับโหลดแบบไม่สมดุลและกรณีแหล่งจ่ายของระบบเกิดการไม่สมดุลด้วย จากผลทดสอบพบว่าการทำงานของวงจรที่ออกแบบปรากฏผลเป็นที่น่าพอใจ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Thesis Title	A Three-Phase Shunt Active Power Filter based on Neural Networks and Digital Signal Processor
Student	Mr. Likit Choosub
Student ID.	44061026
Degree	Master of Engineering in Electrical Engineering
Programme	Electrical Engineering
Year	2004
Thesis Advisor	Assoc.Prof.Dr. Vijit Kinnares

ABSTRACT

This thesis presents analysis and design of a shunt active power filter for the three-phase four-wire non-linear load system. Harmonic components of the current are detected by Artificial Neural Network (ANN). The main objectives of the active filter are to eliminate harmonics components, to improve the power factor and to correct the unbalanced voltage problem. Advantages of using ANN are the achievement of the fundamental sinusoidal current without harmfully phase shift and simplicity in adjustment and adaptability to various load conditions. Compare to the hystersis current control, the system has lower switching frequency. The dc link voltage is maintained by the PI controller. The computer simulation is performed to compare with the experimental results. The control units are implemented in the digital signal processor (DSP).

A prototype is built and tested with non-linear loads such as a diode rectifier and the thyrister circuit to observe the compensation operation. Also the tests are performed under various conditions such as step transient response, unbalance load and unbalance source to see the reliability. The results are giving satisfaction.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ผู้วิจัยขอขอบพระคุณ รศ.ดร. วิจิตร กิณเรศ อาจารย์ที่ผู้ควบคุมวิทยานิพนธ์เป็นอย่างสูง ที่ได้ให้คำปรึกษา และแนะนำต่างๆ จนกระทั่งงานวิทยานิพนธ์เล่นนี้สำเร็จลงได้

ขอขอบพระคุณภาควิชาวิศกรรมไฟฟ้า และห้องสมุดคณะวิศวกรรมศาสตร์ที่เป็นแหล่งสนับสนุนทางด้านตำรา เอกสารอ้างอิง รวมทั้งเครื่องมือ และอุปกรณ์ในการทำวิจัย

ขอขอบคุณท่านอาจารย์ ชัยทัต มณีอินทร์ อาจารย์ภาควิศกรรมไฟฟ้า ที่ให้ความรู้และอนุเคราะห์เกี่ยวกับข้อมูลการศึกษาที่เกี่ยวกับงานวิจัย และแนะนำอุปกรณ์การทำงานที่เกี่ยวกับงานวิจัยตลอด

ขอขอบคุณ พี่ๆ เพื่อนๆ และน้องๆ ทุกคนที่อยู่ประจำอาคารภาควิศวกรรมไฟฟ้าที่มีส่วนช่วยเหลือในการทำวิทยานิพนธ์

คุณค่าและประโยชน์ที่บังเกิดความรู้แด่ท่านที่ต้องการศึกษาหาข้อมูลจากวิทยานิพนธ์เล่มนี้ ผู้เขียนขอมอบแด่ คุณบิดา มารดา และผู้มีพระคุณทุกท่าน

ลิขิต ชูทรัพย์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

หน้า

บทคัดย่อภาษาไทย I
บทคัดย่อภาษาอังกฤษ II
กิตติกรรมประกาศ III
สารบัญ IV
สารบัญตาราง IX
สารบัญรูป X

บทที่ 1 บทนำ
1.1 ความเป็นมาและความสำคัญของปัญหา........1
1.2 ความมุ่งหมายและวัตถุประสงค์........3
1.3 วิธีการศึกษาและวิจัย........3
1.4 ขอบเขตของวิทยานิพนธ์........4
1.5 โครงสร้างของวิทยานิพนธ์........5
1.6 ประโยชน์ที่ได้จากวิทยานิพนธ์........5

บทที่ 2 ทฤษฎีการกำจัดกระแสฮาร์โมนิคและการวิเคราะห์คุณภาพรูปคลื่นกระแส
2.1 บทนำ........6
2.2 ประเภทวงจรกรองกำลังไฟฟ้า........6
2.2.1 วงจรกรองกำลังพาสซีฟ........6
2.2.2 วงจรกรองกำลังแอคทีฟ........7
2.2.2.1 วงจรกรองกำลังแอคทีฟแบบขนาน........8
2.2.2.2 วงจรกรองกำลังแอคทีฟแบบอนุกรม........8
2.3 การชดเชยกำลังงานรีแอคทีฟ........10
2.3.1 การปรับปรุงตัวประกอบกำลัง........10
2.3.2 ประโยชน์จากการชดเชยกำลังรีแอคทีฟ........12
2.4 การประเมินสมรรถนะของวงจรกรองกำลังแอคทีฟด้วยค่าดัชนีคุณภาพ........13
2.4.1 แรงดันและกระแสมูลฐานอาร์.เอ็ม.เอส........13
2.4.2 แรงดันและกระแสอาร์.เอ็ม.เอส........13
2.4.3 ค่าตัวประกอบกำลังด้านเข้า........13

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ(ต่อ)

หน้า

2.4.4 ค่าตัวประกอบความผิดเพี้ยน....13

2.4.5 ค่าตัวประกอบความผิดเพี้ยนรวมของฮาร์โมนิค....13

2.5 สรุป....14

บทที่ 3 ทฤษฎีพื้นฐานโครงข่ายประสาทเทียม

3.1 บทนำ....15

3.2 ลักษณะโครงสร้างเซล์ลประสาททางชีววิทยา....15

3.3 โครงข่ายประสาทเทียม....16

3.4 สถาปัตยกรรมโครงข่ายประสาทเทียม....17

3.4.1 โครงข่ายประสาทเทียมชนิดชั้นเดียว....18

3.4.2 โครงข่ายประสาทเทียมชนิดหลายชั้น....18

3.4.3 โครงข่ายประสาทเทียมชนิดแข่งขัน....19

3.5 การฝึกสอนโครงข่ายประสาทเทียม....19

3.5.1 การฝึกสอนแบบซุปเปอร์ไวซ์....19

3.5.2 การฝึกสอนแบบอันซุปเปอร์ไวซ์....20

3.5.3 การฝึกสอนแบบเสริม....20

3.5.4 ฟังก์ชั่นการเร่งเร้าโดยรวม....21

3.6 โครงข่ายประสาทเทียมแบบเชิงเส้นที่ปรับตัวเองได้....22

3.6.1 สัญญาณอินพุทและค่าถ่วงน้ำหนัก....22

3.6.2 ฟังก์ชั่นประเมินผลและเส้นโค้งการเรียนรู้....24

3.6.3 กระบวนการค่าเฉลี่ยกำลังสองต่ำสุด....26

3.6.4 การลู่เข้าของเวคเตอร์ค่าถ่วงน้ำหนัก....28

3.6.5 การประยุกต์ใช้ระบบปรับตัวเองเชิงเส้นในการกำจัดสัญญาณรบกวน....29

3.7 การเรียนรู้แบบแพร่กลับ....32

3.7.1 ตัวแปรต่างๆที่ใช้ในการเรียนรู้แบบแพร่กลับ....34

3.7.2 ขั้นตอนในกระบวนการเรียนรู้แบบแพร่กลับ....35

3.8 บทสรุป....37

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ(ต่อ)

หน้า

บทที่ 4 การวิเคราะห์และออกแบบวงจรกรองกำลังแอคทีฟแบบขนาน

4.1 บทนำ....38

4.2 การวิเคราะห์และหลักการสร้างกระแสอ้างอิง....38

4.3 การประยุกต์ใช้โครงข่ายประสาทเทียมในการตรวจจับกระแสฮาร์โมนิค....39

4.4 หลักการทำงานของวงจรกรองกำลังแอคทีฟ....43

4.4.1 การวิเคราะห์เทคนิคการควบคุมแบบขอบเขตฮีสเตอร์รีซีส....44

4.4.2 หลักการทำงานของโหมดการสวิทช์....47

4.4.2.1 โหมดการทำงานที่ 1....47

4.4.2.2 โหมดการทำงานที่ 2....48

4.4.2.3 โหมดการทำงานที่ 3....48

4.4.2.4 โหมดการทำงานที่ 4....49

4.5 การประยุกต์ใช้โครงข่ายประสาทเทียมกับวงจรควบคุมกระแส....49

4.6 การควบคุมระดับแรงดันเชื่อมโยงไฟตรงและแรงดันจุดกึ่งกลางไฟตรงให้คงที่....54

4.6.1 การควบคุมระดับแรงดันเชื่อมโยงไฟตรงให้คงที่....55

4.6.2 การควบคุมระดับแรงดันจุดกึ่งกลางไฟตรง....59

4.7 ผลการจำลองการทำงาน....61

4.8 บทสรุป....68

บทที่ 5 การออกแบบและสร้างวงจร

5.1 บทนำ....69

5.2 การออกแบบและสร้างวงจรแปลงผันพลังงาน....70

5.2.1 ตัวเก็บประจุไฟตรง....70

5.2.2 ตัวเหนี่ยวนำกรองกระแส....70

5.2.3 วงจรสวิทช์กำลัง....71

5.3 การออกแบบและสร้างวงจรประวิงเวลา....72

5.4 การออกแบบวงจรตรวจจับกระแสเกิน....74

5.5 การออกแบบวงจรป้องกันภาคกำลัง....75

5.6 การออกแบบวงจรตรวจจับสัญญาณของวงจรควบคุม....75

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ(ต่อ)

หน้า

5.6.1 วงจรตรวจจับระดับแรงดัน....................76

5.6.1.1 วงจรตรวจจับระดับแรงดันไฟสลับ....................76

5.6.1.2 วงจรตรวจจับระดับแรงดันไฟตรง....................77

5.6.2 วงจรตรวจจับกระแส....................78

5.7 ตัวประมวลผลสัญญาณดิจิตอล....................78

5.7.1 สถาปัตยกรรมของ TMS320LF2406A....................79

5.8 การออกแบบโครงสร้างทางซอฟต์แวร์สำหรับการควบคุม....................80

5.8.1 โปรแกรมการแปลงสัญญาณอะนาลอกเป็นดิจิตอล....................81

5.8.2 โปรแกรมการตรวจจับกระแสฮาร์โมนิค....................82

5.8.3 โปรแกรมตัวควบคุมแบบพีไอ....................83

5.8.4 โปรแกรมส่วนควบคุมและสร้างกระแส....................84

5.9 สรุป....................84

บทที่ 6 ผลการทดสอบการทำงานของวงจรกรองกำลังแอคทีฟ

6.1 บทนำ....................85

6.2 ผลการทดลองการตรวจจับกระแสฮาร์โมนิคด้วยโครงข่ายประสาทเทียมของวงจรกรองกำลังแอคทีฟ....................85

6.3 ผลการทดลองวงจรกรองกำลังแอคทีฟในกรณโหลดชนิดต่างๆ....................88

6.3.1 กรณีโหลดสมดุล....................88

6.3.2 กรณีโหลดไม่สมดุล....................94

6.3.3 กรณีแหล่งจ่ายแรงดันไม่สมดุล....................95

6.4 ผลการตอบสนองชั่วครู่ของการทำงาน....................97

6.5 ผลการทดลองระบบรักษาระดับแรงดันไฟตรง....................98

6.6 การประเมินสมรรถนะของวงจรกรองกำลังแอคทีฟ....................99

6.7 สรุป....................105

บทที่ 7 บทสรุปและข้อเสนอแนะ

7.1 สรุปผลการวิจัย....................106

7.2 ข้อเสนอแนะในการพัฒนางานวิจัยต่อไป....................107

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ(ต่อ)

หน้า

เอกสารอ้างอิง....................108

ภาคผนวค ก....................110

ภาคผนวก ข....................113

ภาคผนวก ค....................115

ภาคผนวก ง....................144

ภาคผนวก จ....................147

ประวัติผู้เขียน....................155

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

ตารางที่ หน้า

1.1 มาตรฐานข้อกำหนดฮาร์มอนิก IEC 61000-3-2 Class A 4
2.1 เปรียบเทียบวงจรกรองแพสซีฟและแอกทีฟ 9
2.2 เปรียบเทียบวงจรกรองกำลังแอคทีฟแบบขนานและอนุกรม 10
2.3 นิยามของดัชนีและประมาณที่กำหนดคุณสมบัติและคุณภาพรูปคลื่นและกระแสอินพุท 14
4.1 เงื่อนไขการเปลี่ยนแปลงแรงดันของตัวเก็บประจุ 49
4.2 รูปแบบอินพุทและสัญญาณที่ต้องการที่ใช้ในการสอนโครงข่ายประสาทเทียม 52
6.1 การทดลองวงจรกรองกำลังแอคทีฟที่มีโหลดเป็นวงจรไดโอดเรียงกระแสชนิดสามเฟสแบบเต็มคลื่น 99
6.2 การทดลองวงจรกรองกำลังแอคทีฟที่มีโหลดเป็นวงจรไทริสเตอร์ที่มีมุมจุดชนวน 30 องศา 100
6.3 การทดลองวงจรกรองกำลังแอคทีฟที่มีโหลดเป็นวงจรไทริสเตอร์ที่มีมุมจุดชนวน 60 องศา 101
6.4 การทดลองวงจรกรองกำลังแอคทีฟในสภาวะต่างๆ ในช่วงก่อนทำการชดเชยกระแสฮาร์โมนิค 102
6.5 การทดลองวงจรกรองกำลังแอคทีฟในสภาวะต่างๆ ในช่วงหลังทำการชดเชยกระแสฮาร์โมนิค 103
6.6 เปรียบเทียบปริมาณฮาร์โมนิคกรณีโหลดวงจรเรียงกระแสชนิดสามเฟสแบบเต็มคลื่น 103
6.7 เปรียบเทียบปริมาณฮาร์โมนิคกรณีโหลดวงจรวงจรไทริสเตอร์ที่มีมุมจุดชนวน 30 องศา 104
6.8 เปรียบเทียบปริมาณฮาร์โมนิคกรณีโหลดวงจรวงจรไทริสเตอร์ที่มีมุมจุดชนวน 60 องศา 105

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป

รูปที่ หน้า

1.1 วงจรกรองกำลังแอกทีฟขนานแบบ 3 เฟส 3 สาย....................2
1.2 วงจรกรองกำลังแอกทีฟขนานแบบ 3 เฟส 4 สาย....................3
2.1 วงจรกรองกำลังพาสซีฟแบบต่อขนานกับโหลดไม่เชิงเส้น....................7
2.2 วงจรกรองกำลังพาสซีฟแบบต่ออนุกรมกับโหลดไม่เชิงเส้น....................7
2.3 ลักษณะวงจรกรองกำลังแอกทีฟแบบขนาน....................8
2.4 ลักษณะวงจรกรองกำลังแอกทีฟแบบอนุกรม....................9
2.5 การปรับปรุงตัวประกอบกำลังไฟฟ้า....................11
3.1 (ก) แสดงส่วนประกอบของเซลล์ประสาท
(ข) แสดงจุดถ่ายสัญญาณ (Signal Transmission) จากเซลล์ประสาทหนึ่ง
ไปยังเซลล์ประสาทตัวอื่นๆ....................16
3.2 โครงข่ายประสาทเทียมที่สร้างขึ้นร่วมกับฟังก์ชั่นการเร่งเร้า....................17
3.3 โครงข่ายประสาทเทียมชนิดชั้นเดียว....................18
3.4 โครงข่ายประสาทเทียมชนิดหลายชั้น....................18
3.5 โครงข่ายประสาทเทียมชนิดชั้นแข่งขัน....................19
3.6 แสดงระบบการฝึกสอนแบบซุปเปอร์ไวซ์ (Supervised Learning)....................20
3.7 แสดงระบบการฝึกสอนแบบอันซุปเปอร์ไวซ์ (Unsupervised Learning)....................20
3.8 แสดงระบบการฝึกสอนแบบเสริม (Reinforcement Learning)....................20
3.9 (ก) ฟังก์ชั่นเอกลักษณ์ (ข) ฟังก์ชั่นแบบขั้นไบนารี
(ค) ฟังก์ชั่นซิกมอยด์ไบนารี (ง) ฟังก์ชั่นซิกมอยด์ไบโพลาร์....................21
3.10 รูปแบบของโครงข่ายประสาทเทียมแบบเชิงเส้นที่ปรับตัวเอง....................22
3.11 ปรับตัวเองเชิงเส้นแบบตัวกรองทรานซ์เวอร์ซอลที่มีอินพุทเดียว....................23
3.12 การปรับตัวเองเชิงเส้นแบบหลายอินพุท....................23
3.13 ระบบการปรับตัวเองเชิงเส้นแบบหลายอินพุทกับผลตอบสนองที่ต้องการและค่าผิดพลาด......24
3.14 พื้นที่ผิวค่าผิดพลาด 2 มิติ....................25
3.15 ตัวอย่างเส้นโค้งการเรียนรู้....................25
3.16 การลู่เข้าของระบบเมื่อรู้ค่าเกรเดียนท์ที่แน่นอน....................27
3.17 การลู่เข้าของระบบเมื่อใช้การประมาณค่าเกรเดียนท์....................28

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป(ต่อ)

รูปที่		หน้า
3.18	แสดงเส้นทางพื้นผิวค่าผิดพลาดและการปรับตัวของค่าถ่วงน้ำหนักเมื่อวิธีค่าเฉลี่ยยกกำลังสองน้อยที่สุด	29
3.19	หลักการของระบบกำจัดสัญญาณรบกวนปรับตัวเองเชิงเส้น	30
3.20	การเรียนรู้แบบแพร่กลับที่มีจำนวนชั้นซ่อน 1 ชั้น	33
3.21	ผังการทำงานของการเรียนรู้แบบแพร่กลับ	37
4.1	วงจรพื้นฐานของวงจรกรองกำลังแอคทีฟแบบขนาน	38
4.2	การประยุกต์ใช้โครงข่ายประสาทเทียมในตรวจจับกระแสฮาร์โมนิค	40
4.3	โครงสร้างของโครงข่ายประสาทเทียมที่นำมาใช้ตรวจจับกระแสฮาร์โมนิค	40
4.4	โครงสร้างของการตรวจจับกระแสฮาร์โมนิคที่เฟส A	42
4.5	โครงสร้างวงจรกำลังของวงจรกรองกำลังแอคทีฟ 3 เฟส 4 สาย ที่ใช้ในงานวิจัย	43
4.6	สัญญาณกระแสและการสวิทช์ของการควบคุมกระแสแบบติดตามขอบเขตฮีสเตอร์รีซีส	44
4.7	รูปคลื่นกระแสของอินเวอร์เตอร์ตามสภาวะโหมดการควบคุมของสวิทช์	47
4.8	การทำงานของสวิทช์ในโหมดการทำงานที่ 1	47
4.9	การทำงานของสวิทช์ในโหมดการทำงานที่ 2	48
4.10	การทำงานของสวิทช์ในโหมดการทำงานที่ 3	48
4.11	การทำงานของสวิทช์ในโหมดการทำงานที่ 4	49
4.12	(ก) การควบคุมกระแสโดยใช้วิธีขอบเขตฮีสเตอร์รีซีส (ข) การควบคุมกระแสโดยใช้วิธีโครงข่ายประสาทเทียม	50
4.13	โครงสร้างของโครงข่ายประสาทเทียมที่นำมาใช้กับวงจรควบคุมกระแส	50
4.14	แผนภาพของรูปในการสอนของการควบคุมกระแสที่ใช้โครงข่ายประสาทเทียม	51
4.15	โครงข่ายประสาทเทียมที่ได้หลังจากทำการฝึกสอนแล้ว	53
4.16	โครงสร้างของวงจรกรองกำลังแอคทีฟแบบขนาน 3 เฟส 4 สาย ที่มีการรักษาระดับแรงดันไฟตรง	54
4.17	บล็อกไดอะแกรมส่วนควบคุมแรงดันไฟตรงที่ใช้ในการออกแบบ	56
4.18	บล็อกไดอะแกรมส่วนควบคุมระดับแรงดันไฟตรงหลังจากประมาณเป็นระบบเชิงเส้น	56
4.19	แผนภูมิโบเดของระบบเมื่อยังไม่รวมส่วนควบคุมพีไอ	57
4.20	ช่วงปลอดภัยเชิงอัตราขยายและช่วงปลอดภัยเชิงเฟสของระบบควบคุมแรงดันไฟตรง	58

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป(ต่อ)

รูปที่ หน้า

4.21 ผลการตอบสนองของระบบการรักษาไฟตรงที่มีสัญญาณอินพุทเป็นสัญญาณยูนิตสเต็ป......58

4.22 การไหลของกระแสซีเควนซ์ศูนย์เพื่อควบคุมแรงดันจุดกึ่งกลางไฟตรง..............................59

4.23 บล็อกไดอะแกรมของการควบคุมแรงดันจุดกึ่งกลางไฟตรง..60

4.24 ช่วงปลอดภัยเชิงอัตราขยายและช่วงปลอดภัยเชิงเฟสของระบบควบคุมแรงดันที่จุดกึ่งกลางไฟตรง..61

4.25 ผลการตอบสนองของระบบการรักษาระดับไฟตรงจุดกึ่งกลางที่มีสัญญาณอินพุทเป็นสัญญาณยูนิตสเต็ป..61

4.26 รูปแบบของวงจรกรองกำลังไฟฟ้าแอคทีฟแบบขนานที่ใช้ในการจำลองการทำงานด้วยโปรแกรม Matlab & Simulink..62

4.27 ผลการจำลองการทำงานในส่วนของการตรวจจับกระแสฮาร์โมนิคที่ใช้โครงข่ายประสาทเทียม ของวงจรกรองกำลังแอคทีฟที่มีอัตราการเรียนรู้ต่างกันแล้วทำการเพิ่มโหลดที่เวลา 1 วินาที..63

4.28 โมเดลการจำลองการทำงานของตัวควบคุมกระแส...64

4.29 ผลการจำลองการทำงานของวงจรกรองกำลังแอคทีฟในช่วงสภาวะคงตัวที่ใช้ตัวควบคุมกระแสแบบติดตามขอบเขตฮีสเตอร์รีซีส..65

4.30 ผลการจำลองการทำงานของวงจรกรองกำลังแอคทีฟในช่วงสภาวะคงตัวที่ใช้ตัวควบคุมกระแสโครงข่ายประสาทเทียม...66

4.31 การแรงดันการสวิทช์และกระแสชดเชยของวงจรกำลังแอคทีฟ..66

4.32 แรงดันบัสไฟตรง..67

4.33 ผลการตอบสนองของวงจรกรองกำลังแอคทีฟที่มีการเพิ่มโหลดอย่างฉับพลัน..................68

5.1 โครงสร้างส่วนประกอบของวงจรกรองกำลังแอคทีฟแบบขนาน 3 เฟส 4 สาย....................69

5.2 โครงสร้างไอจีบีทีโมดูลกำลังเบอร์ PM25RSB120 (IPM)..71

5.3 วงจรแยกกราวด์ก่อนเข้าชุดขับเกตไอจีบีทีกำลัง...72

5.4 วงจรสร้างช่วงการประวิงเวลา (Dead time)..73

5.5 วงจรตรวจจับกระแสเกิน...74

5.6 วงจรป้องกันภาคกำลัง...75

5.7 วงจรตรวจจับแรงดันไฟสลับ..77

5.8 วงจรตรวจจับแรงดันไฟตรง...77

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป(ต่อ)

รูปที่ หน้า

5.9 วงจรตรวจจับกระแส....78

5.10 โครงสร้างของตัวประมวลผลสัญญาณดิจิตอลเบอร์ TMS320LF2406A 80

5.11 โครงสร้างโปรแกรมหลักที่ใช้ในการควบคุมของวงจรกรองกำลังแอคทีฟ....81

5.12 โครงสร้างโปรแกรมที่ใช้ในแปลงสัญญาณอะนาลอกเป็นดิจิตอล....82

5.13 โครงสร้างโปรแกรมการตรวจับกระแสฮาร์โมนิคทั้ง 3 เฟส....82

5.14 โครงสร้างหลักการทำงานของโปรแกรมตัวควบคุมแบบพีไอ....83

5.15 (ก) โครงสร้างโปรแกรมที่ใช้ในการควบคุมกระแสแบบขอบเขตฮีสเตอร์รีซีส
(ข) โครงสร้างโปรแกรมที่ใช้ในการควบคุมกระแสแบบโครงข่ายประสาทเทียม....84

6.1 การหาค่ากระแสฮาร์โมนิคของวงจรกรองกำลังแอคทีฟที่ใช้โครงข่ายประสาทเทียมจากตัวประมวลผลทางดิจิตอล และค่าถ่วงน้ำหนักในกรณีมีค่าอัตราการเรียนรู้ต่างกัน....86

6.2 การตอบสนองชั่วครู่ของกระแสโหลดแบบฉับพลันและค่าถ่วงน้ำหนักในกรณีมีอัตราการเรียนรู้ที่ต่างกัน....88

6.3 ผลการประมวลผลของตัวประมวลผลสัญญาณดิจิตอลและการชดเชยกระแสจริงของกระแสเฟส A กรณีโหลดเป็นวงจรไดโอดเรียงกระแสชนิดสามเฟสแบบเต็มคลื่น....89

6.4 รูปคลื่นกระแสและแรงดันที่จุดต่างๆในกรณีโหลดเป็นวงจรไดโอดเรียงกระแสชนิดสามเฟสแบบเต็มคลื่น....90

6.5 สเปกตรากระแสแหล่งจ่ายที่ได้จากรูปที่ 6.4 (ก) และรูปที่ 6.4 (ข) ตามลำดับ....90

6.6 ผลการประมวลผลของตัวประมวลผลสัญญาณดิจิตอลและการชดเชยกระแสจริงของกระแสเฟส A กรณีโหลดเป็นวงจรไทริสเตอร์ที่มีการปรับมุมจุดชนวนไว้ที่ 30 องศา....91

6.7 รูปคลื่นกระแสและแรงดันที่จุดต่างๆในกรณีโหลดเป็นวงจรไทริสเตอร์ที่มีการปรับมุมจุดชนวนไว้ที่ 30 องศา....92

6.8 สเปกตรากระแสแหล่งจ่ายที่ได้จากรูปที่ 6.7 (ก) และรูปที่ 6.7 (ข) ตามลำดับ....92

6.9 ผลการประมวลผลของตัวประมวลผลสัญญาณดิจิตอลและการชดเชยกระแสจริงของกระแสเฟส A กรณีโหลดเป็นวงจรไทริสเตอร์ที่มีการปรับมุมจุดชนวนไว้ที่ 30 องศา....92

6.10 รูปคลื่นกระแสและแรงดันที่จุดต่างๆในกรณีโหลดเป็นวงจรไทริสเตอร์ที่มีการปรับมุมจุดชนวนไว้ที่ 60 องศา....93

6.11 สเปกตรากระแสแหล่งจ่ายที่ได้จากรูปที่ 6.10 (ก) และรูปที่ 6.10 (ข) ตามลำดับ....94

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป(ต่อ)

รูปที่ หน้า

6.12 รูปคลื่นกระแสและแรงดันที่จุดต่างๆในกรณีโหลดเกิดการไม่สมดุล....................................95

6.13 รูปคลื่นกระแสและแรงดันที่จุดต่างๆในกรณีแหล่งจ่ายแรงดันเกิดการไม่สมดุล 1 เฟส.......96

6.14 รูปคลื่นกระแสและแรงดันที่จุดต่างๆในกรณีแหล่งจ่ายแรงดันเกิดการไม่สมดุล 2 เฟส.......96

6.15 ผลตอบสนองสภาวะชั่วครู่ขณะเพิ่มกระแสโหลดแบบฉับพลันที่มีโหลดเป็นวงจร ไดโอดเรียงกระแสชนิดสามเฟสแบบเต็มคลื่น...97

6.16 ผลตอบสนองสภาวะชั่วครู่ขณะเพิ่มกระแสโหลดแบบฉับพลันที่มีโหลดเป็นวงจร ไทริสเตอร์ที่มีการปรับมุมจุดชนวนแบบเต็มคลื่นซึ่งปรับมุมจุดชนวนที่ 30 องศา................97

6.17 ที่มีการปรับมุมจุดชนวนแบบเต็มคลื่นซึ่งปรับมุมจุดชนวนที่ 30 องศา ที่มีการปรับ มุมจุดชนวนแบบเต็มคลื่นซึ่งปรับมุมจุดชนวนที่ 60 องศา..98

6.18 ผลการทำงานของระบบรักษาระดับไฟตรง..98

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

1.1 ความเป็นมาและความสำคัญของปัญหา

ในปัจจุบันเทคโนโลยีและอุปกรณ์อิเล็กทรอนิกส์กำลังอาทิเช่น วงจรเรียงกระแส, อินเวอร์เตอร์ ฯลฯ ได้เข้ามามีบทบาทอย่างมากในวงการอุตสาหกรรม แต่อย่างไรก็ตามอุปกรณ์อิเล็กทรอนิกส์กำลังเหล่านี้ก่อให้เกิดฮาร์โมนิคขึ้นมาในระบบไฟฟ้ากำลัง[1] การที่กระแสไฟฟ้าจากแหล่งจ่ายอินพุทมีองค์ประกอบของฮาร์โมนิค ซึ่งจะส่งผลเสียต่ออุปกรณ์ไฟฟ้าที่เกี่ยวข้อง เช่น การทำงานผิดพลาดไปจากปกติ, การทำงานทำได้ไม่เต็มพิกัด, อาจส่งผลให้อายุการใช้งานของอุปกรณ์ต่ำกว่ามาตรฐาน และรบกวนการทำงานของอุปกรณ์อื่นๆที่อยู่ใกล้เคียงเป็นต้น ซึ่งพอจำแนกได้ดังต่อไปนี้

1. สายส่งและชุดตัวเก็บประจุไฟฟ้า จะเกิดความเครียดไดอิเล็กตริกสูงกว่าปกติทำให้อายุการใช้งานสั้นลง เกิดความผิดพลาดของระบบไฟฟ้าได้ง่าย หากระบบไฟฟ้านั้นมีสายนิวทรอลจะทำให้มีกระแสฮาร์โมนิคไหลในสายนิวทรอลเพิ่มขึ้น และกระแสฮาร์โมนิคยังสามารถทำให้สภาพความนำไฟฟ้าของสายตัวนำไฟฟ้าลดลงเนื่องจากปรากฏการณ์ทางผิว

2. หม้อแปลงไฟฟ้าเกิดการอิ่มตัวได้เมื่อจ่ายกระแสไฟฟ้าที่ผิดเพี้ยนไปจากรูปคลื่นซายน์ ทำให้การสูญเสียในขดลวดหม้อแปลงไฟฟ้าเพิ่มขึ้น เนื่องจากมีกระแสไหลวนเพิ่มขึ้น การป้อนกระแสไฟฟ้าที่มีองค์ประกอบฮาร์โมนิคปนอยู่ให้กับหม้อแปลงไฟฟ้า จึงเป็นเหตุให้หม้อแปลงไฟฟ้าไม่สามารถทำงานได้เต็มพิกัดที่กำหนด ดังนั้นจะต้องมีการลดขนาดพิกัดลง

3. มอเตอร์ไฟฟ้าที่มีกระแสฮาร์โมนิคไหลในขดลวดสเตเตอร์ จะทำให้อุณหภูมิขณะทำงานสูงกว่าปกติเนื่องจากกระแสไหลวนสูงขึ้น และแรงดันฮาร์โมนิคยังก่อให้เกิดการสั่นสะเทือนกับตัวมอเตอร์ส่งผลกระทบทางกลต่อเพลาและแบริ่ง จึงทำให้อายุการใช้งานจริงของมอเตอร์ต่ำกว่าปกติ

4. อุปกรณ์ป้องกันในระบบไฟฟ้าเช่น ฟิวส์ เซอร์กิตเบรคเกอร์ หรือ สวิทช์เกียร์ทำงานผิดไปจากคุณลักษณะการทำงานปกติ เช่น ตัดวงจรก่อนที่จะถึงค่าที่ตั้งไว้หรือไม่ทำงานเมื่อถึงจุดทำงานที่ตั้งไว้

5. ระบบสื่อสาร เครื่องมือแพทย์ และอุปกรณ์ในระบบควบคุมบางประเภทที่มีความไวในการทำงานสูงอาจถูกรบกวนจากคลื่นแม่เหล็กไฟฟ้า (EMI: electromagnetic interference) และจากคลื่นความถี่วิทยุ (RFI: radio frequency interference) ที่เกิดจากการสวิทช์ด้วยความเร็วสูงของสวิทช์อิเล็กทรอนิกส์ทำให้คุณภาพการสื่อสารลดลง จนถึงขั้นที่ระบบการสื่อสารนั้นไม่สามารถใช้งานได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำหรับแนวทางในการแก้ปัญหาของฮาร์โมนิคที่ผ่านมา ได้มีการนำเอาวงจรกรองกำลังแบบพาสซีฟเข้ามาติดตั้ง เพื่อที่จะกรองกระแสฮาร์โมนิคออกไปจากระบบ แต่การใช้วงจรกรองกำลังแบบพาสซีฟนั้นก็ยังมีข้อจำกัดอยู่หลายประการดังนี้[2]

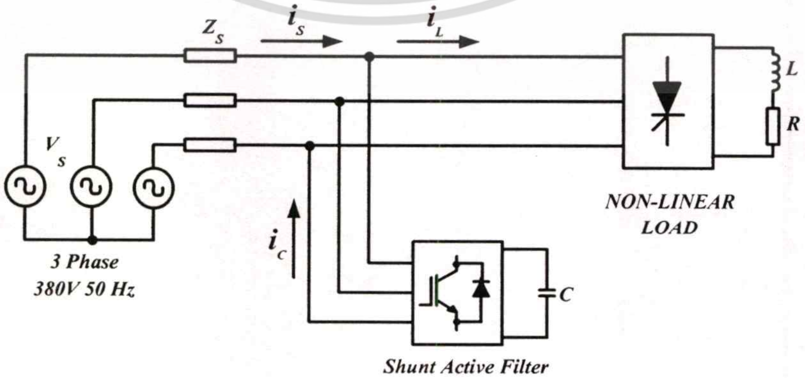
1. คุณสมบัติการกรองของวงจรกรองแบบพาสซีฟจะขึ้นอยู่กับอิมพีแดนซ์ของแหล่งจ่ายกำลังไฟฟ้า ซึ่งอาจมีการเปลี่ยนแปลงได้หากโครงสร้างของระบบกำลังมีการเปลี่ยนแปลง

2. วงจรกรองแบบพาสซีฟหนึ่งชุดเหมาะกับกระแสฮาร์โมนิคเพียงอันดับเดียวเท่านั้น

3. มีความซับซ้อนในการออกแบบเนื่องจากวงจรกรองแบบพาสซีฟจำเป็นต้องใช้อุปกรณ์ที่มีความแม่นยำสูง และจะต้องมีขนาดที่ใหญ่พอต่อการรับกระแสฮาร์โมนิค

4. อาจเกิดกระแสสูงไหลระหว่างแหล่งจ่ายกับวงจรกรองเมื่อเกิดเรโซแนนซ์ขนานกับอิมพีแดนซ์ของแหล่งจ่ายเมื่อมองจากทางด้านโหลด จึงทำให้อุปกรณ์ต่างๆในระบบเสียหายได้เนื่องจากเกิดแรงดันตกคร่อมโหลดสูง

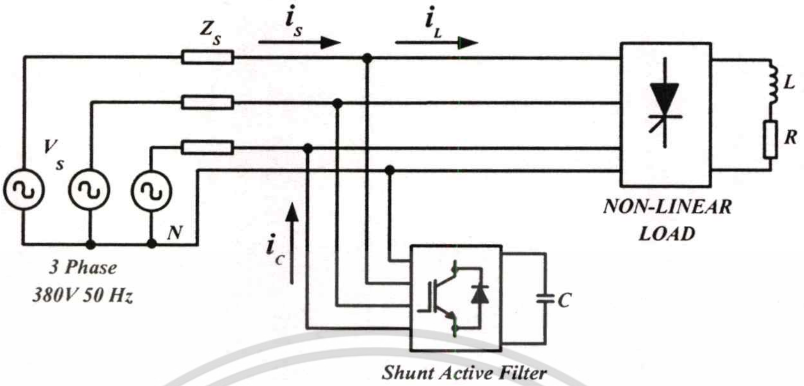
จากข้อจำกัดของวงจรกรองแบบพาสซีฟดังกล่าวจึงได้มีการพัฒนานำเอาวงจรกรองแบบแอคทีฟเข้ามาใช้ในการแก้ปัญหาฮาร์โมนิคของระบบไฟฟ้า ซึ่งวงจรกรองแบบแอคทีฟจะต่อขนานกับโหลด แล้วทำตัวเสมือนแหล่งจ่ายกระแสที่ผลิตกระแสในส่วนของฮาร์โมนิค ขึ้นมาหักล้างกับกระแสฮาร์โมนิคที่เกิดขึ้นจากโหลด จึงเป็นผลทำให้กระแสจากแหล่งจ่ายมีรูปร่างลักษณะใกล้เคียงซายน์มากขึ้น โดยวงจรกรองเหล่านี้ส่วนใหญ่จะเป็นการแก้ปัญหาให้กับระบบไฟฟ้ากำลังชนิด 3 เฟส 3 สายซึ่งมีวงจรดังรูปที่ 1.1 อย่างไรก็ดีในการใช้งานทางด้านอุตสาหกรรมหรือระบบจำหน่ายทั่วไปมักจะเป็นระบบไฟฟ้าแบบ 3 เฟส 4 สาย ซึ่งมีฮาร์โมนิคปะปนอยู่ด้วยจึงเป็นผลให้เกิดปัญหากระแสเกินในสายนิวทรอล หรือที่ขั้วต่อของหม้อแปลงระบบจำหน่ายเป็นผลให้เกิดความร้อนสูงเกิน การแก้ปัญหาฮาร์โมนิคสำหรับระบบไฟฟ้ากำลัง 3 เฟส 4 สาย จะไม่สามารถใช้วงจรกรองแอคทีฟแบบ 3 สายที่ไม่มีสายต่อกับนิวทรอลได้[3] เพราะว่ากระแสฮาร์โมนิคบางส่วนในสายเฟสจะไม่ถูกชดเชย และขนาดของกระแสฮาร์โมนิคในสายนิวทรอลก็ไม่ได้ลดลง



รูปที่ 1.1 วงจรกรองกำลังแอคทีฟขนานแบบ 3 เฟส 3 สาย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดังนั้นในวิจัยนี้จึงนำเสนอวงจรกรองแอคทีฟสำหรับระบบ 3 เฟส 4 สาย ซึ่งใช้กับแบบที่สายนิวทรอลต่อร่วมกับจุดกึ่งกลางของไฟตรง และใช้การตรวจจับกระแสฮาร์โมนิคทางด้านโหลด 3 สายโดยมีวงจรดังรูปที่ 1.2



รูปที่ 1.2 วงจรกรองกำลังแอคทีฟขนานแบบ 3 เฟส 4 สาย

1.2 ความมุ่งหมาย และวัตถุประสงค์

งานวิจัยนี้นำเสนอการวิเคราะห์ และออกแบบวงจรกรองกำลังไฟฟ้าแอคทีฟแบบขนานเพื่อใช้กับระบบไฟฟ้าชนิด 3 เฟส 4 สาย ซึ่งใช้การตรวจจับกระแสด้วยวิธีโครงข่ายประสาทเทียมทางด้านโหลด เพื่อทำการหากระแสชดเชยของระบบที่มีโหลดชนิดไม่เป็นเชิงเส้นและทำการประยุกต์ใช้โครงข่ายประสาทเทียมเข้ามาใช้กับการควบคุมการสร้างกระแสของวงจรกรองกำลังแอคทีฟ

1.3 วิธีการศึกษาและวิจัย

1.3.1 ค้นคว้า ศึกษาข้อมูล จากบทความ และตำราที่สามารถให้ข้อมูลเกี่ยวกับวิธีการกำจัดฮาร์โมนิคในระบบไฟฟ้าแบบต่างๆ

1.3.2 ศึกษาทฤษฎีโครงข่ายประสาทเทียมเพื่อนำมาประยุกต์ใช้กับวงจรกรองกำลังแอคทีฟ

1.3.3 จำลองการทำงานของวงจรกรองกำลังแอคทีฟแบบขนานด้วยโปรแกรมคอมพิวเตอร์ (Matlab-Simulink) เพื่อทดสอบทฤษฎีในการหากระแสฮาร์โมนิคและการควบคุมกระแสของวงจรกรองแอคทีฟด้วยวิธีโครงข่ายประสาทเทียม

1.3.4 สร้างวงจรต้นแบบขึ้นมาเพื่อทำการศึกษา และแก้ไขส่วนบกพร่อง

1.3.5 สรุปและวิจารณ์ผลการทดลอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.4 ขอบเขตของวิทยานิพนธ์

วิทยานิพนธ์นี้มีวัตถุประสงค์เพื่อทำการศึกษาวิธีกำจัดกระแสฮาร์โมนิคด้วยวงจรกรองกำลังแอคทีฟแบบขนานที่ใช้การตรวจจับกระแสด้วยโครงข่ายประสาทเทียม โดยใช้กับระบบไฟฟ้ากำลังแบบ 3 เฟส 4 สาย ที่มีโหลดเป็นวงจรเรียงกระแสสามเฟสและวงจรไทริสเตอร์แบบปรับมุมจุดชนวน ที่พิกัด 3 kVA ขนาดแรงดัน 380 V โดยที่วงจรสามารถทำงานได้ทั้งในกรณีที่กระแสโหลดสมดุลและไม่สมดุล รวมทั้งสามารถทำงานได้ในกรณีที่แรงดันเกิดการไม่สมดุลด้วย ซึ่งกระแสอินพุททางด้านแหล่งจ่ายหลังทำการชดเชยแล้วจะต้องมีค่าไม่เกินมาตรฐาน IEC 61000-3-2 (2000-08) Class A ในการเลือกใช้มาตราฐาน IEC 61000-3-2 เนื่องจากเป็นมาตราฐานที่มีการใช้อย่างแพร่หลาย และใช้งานได้ง่าย คือ เราจะทราบค่ากระแสฮาร์โมนิคที่สอดคล้องตามมาตราฐานได้จากการเทียบสัดส่วนจากค่ากระแสฐาน 16 A ดังตารางที่ 1.1

ตารางที่ 1.1 มาตราฐานข้อกำหนดฮาร์โมนิค IEC 61000-3-2 Class A

Harmonic Order N	Maximum permissible Harmonic current (A)
Odd Harmonics	
3	2.30
5	1.14
7	0.77
9	0.40
11	0.33
13	0.21
15 < n < 39	0.15 (15/n)
Even Harmonics	
2	1.08
4	0.43
6	0.30
8 < n < 40	0.23 (8/n)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.5 โครงสร้างของวิทยานิพนธ์

วิทยานิพนธ์นี้นำเสนอการวิเคราะห์และออกแบบวงจรกรองกำลังแอคทีฟแบบขนานที่มี การชดเชยกระแสฮาร์โมนิคในระบบ 3 เฟส 4 สาย โดยมีรายละเอียดเนื้อหาที่กล่าวถึงในวิทยานิพนธ์แบ่งเป็น 7 บท ดังต่อไปนี้

บทที่ 1 กล่าวถึงความเป็นมาและความสำคัญของปัญหา จุดมุ่งหมายและวัตถุประสงค์ของการศึกษา ขั้นตอน ขอบเขต ตลอดจนประโยชน์ที่ได้จากการวิจัย

บทที่ 2 กล่าวถึงทฤษฎีการกำจัดกระแสฮาร์โมนิคในแบบต่างๆ การวิเคราะห์รูปคลื่นสัญญาณ การประเมินกระแสด้วยค่าดัชนีคุณภาพ และสเปกตราฮาร์โมนิคของกระแสอินพุททางด้านแหล่งจ่าย

บทที่ 3 กล่าวถึงรายละเอียดของทฤษฎีโครงข่ายประสาทเทียมชนิดต่างๆ ข้อดีของโครงข่ายประสาทเทียม รวมทั้งการประยุกต์ใช้งานของโครงข่ายประสาทเทียม

บทที่ 4 วิเคราะห์และออกแบบพารามิเตอร์ที่มีผลต่อการทำงานของวงจรกรองกำลังแอคทีฟแบบขนาน พร้อมทั้งจำลองการทำงานด้วยโปรแกรม Matlab-Simulink

บทที่ 5 วงจรกำลัง และวงจรควบคุมการทำงานของวงจรกรองกำลังแอคทีฟแบบขนาน มีการอธิบายวงจรควบคุมในแต่ละส่วนและหลักการสร้างในเชิงปฏิบัติ ตลอดจนเทคนิคต่างๆ ในการแก้ปัญหาที่เกิดขึ้นในวงจร

บทที่ 6 การทดลองและผลการทดลองของวงจรกรองกำลังแอคทีฟแบบขนาน ที่ทำการทดสอบกับโหลดชนิดต่างๆ การเปรียบเทียบคุณสมบัติของวงจรกรอง ของกระแสอินพุททางด้านแหล่งจ่ายตามมาตรฐาน IEC 61000-3-2 Class A

บทที่ 7 บทสรุปและข้อเสนอแนะ

1.6 ประโยชน์ที่ได้จากวิทยานิพนธ์

1.6.1 เป็นเทคนิคใหม่ที่ใช้ในการตรวจจับกระแสฮาร์โมนิคของวงจรกรองกำลังแอคทีฟ อีกทั้งยังเป็นแนวทางในการพัฒนาวิธีการกำจัดกระแสฮาร์โมนิคสำหรับระบบไฟฟ้าแบบ 3 เฟส 4 สาย

1.6.2 เป็นข้อมูลทางเทคนิคในการประยุกต์การใช้งานของตัวประมวลผลสัญญาณดิจิตอล TMS320LF2406 สำหรับวงจรกรองกำลังแอคทีฟ

1.6.3 ผลการศึกษาและวิจัย สามารถที่จะนำไปพัฒนาต่อเพื่อนำใช้งานจริงในภาคอุตสาหกรรมอุตสาหกรรมได้

1.6.4 เป็นแนวทางพื้นฐานในการศึกษาถึงวิธีการกำจัดฮาร์โมนิค และสามารถเข้าใจถึงข้อดีและข้อเสียเมื่อเปรียบเทียบกับการใช้วงจรกรองแบบอื่น ๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
ทฤษฎีการกำจัดกระแสฮาร์โมนิกและการวิเคราะห์คุณภาพรูปคลื่นกระแส

2.1 บทนำ

บทนี้จะกล่าวถึงรายละเอียดของหลักการและทฤษฎีที่ใช้ในการกำจัดกระแสฮาร์โมนิคดังที่ได้กล่าวมาแล้วในบทที่ 1 โดยในบทนี้จะกล่าวถึงวิธีการกำจัดกระแสฮาร์โมนิคด้วยวงจรกรองชนิดต่างๆได้แก่ วงจรกรองกำลังพาสซีฟ, วงจรกรองกำลังแอคทีฟทั้งแบบขนานและแบบอนุกรม รวมถึงการวิเคราะห์คุณภาพรูปคลื่นกระแสอินพุททางด้านแหล่งจ่ายที่เกิดการผิดเพี้ยนเนื่องจากฮาร์โมนิคเพื่อใช้เป็นข้อมูลในการออกแบบวงจรกรองต่อไป

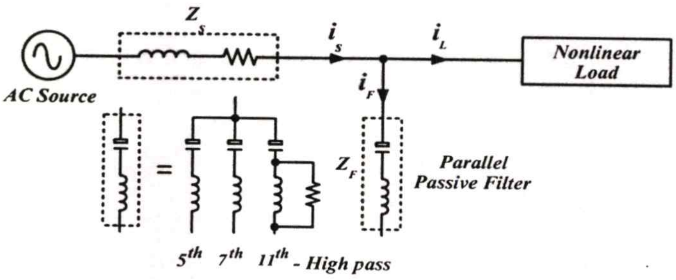
2.2 ประเภทวงจรกรองกำลังไฟฟ้า

โดยทั่วไปวงจรกรองกำลังไฟฟ้าที่นิยมใช้ในการกำจัดกระแสฮาร์โมนิคนั้นสามารถจำแนกได้เป็น 2 ชนิด คือ แบบพาสซีฟและแบบแอคทีฟ

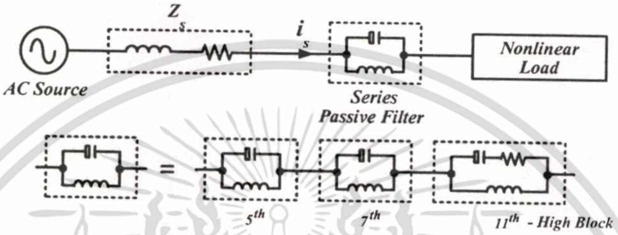
2.2.1 วงจรกรองกำลังพาสซีฟ

วงจรกรองกำลังในยุคแรกเริ่มจะมีลักษณะเป็น วงจรกรองกำลังพาสซีฟ (passive filter) หรือเรียกอีกอย่างว่า “ ฟิลเตอร์แบงค์ (filter bank)” ลักษณะของวงจรกรองกำลังพาสซีฟจะเป็นวงจรที่แสดงคุณสมบัติค่าอิมพีแดนซ์ต่ำที่กระแสฮาร์โมนิคลำดับต่าง ๆ โดยจะนำไปต่อในลักษณะขนานหรืออนุกรมกับวงจรที่มีโหลดชนิดไม่เป็นเชิงเส้นเพื่อให้กระแสฮาร์โมนิคไหลมาที่วงจรกรองกำลังพาสซีฟ และไม่ให้ไหลไปยังอินพุทของแหล่งจ่ายไฟ ซึ่งจะต้องคำนวณค่าของตัวเก็บประจุและตัวเหนี่ยวนำที่แน่นอน เพื่อทำหน้าที่กำจัดกระแสฮาร์โมนิคลำดับใดลำดับหนึ่ง ซึ่งวงจรกรองกำลังพาสซีฟจะประพฤติตัวเป็นค่าอิมพีแดนซ์ต่ำกรณีเป็นแบบขนาน ส่วนกรณีที่เป็นแบบอนุกรมจะประพฤติตัวเป็นค่าอิมพีแดนซ์สูง ที่ความถี่ฮาร์โมนิคที่ต้องการกำจัดจึงทำให้กระแสมีฮาร์โมนิคลดลงแสดงดังรูปที่ 2.1 และรูปที่ 2.2 เป็นวงจรกรองพาสซีฟแบบขนานและอนุกรมกับโหลดชนิดไม่เป็นเชิงเส้นตามลำดับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.1 วงจรกรองกำลังพาสซีฟแบบต่อขนานกับโหลดชนิดไม่เป็นเชิงเส้น



รูป 2.2 วงจรกรองกำลังพาสซีฟแบบต่ออนุกรมกับโหลดชนิดไม่เป็นเชิงเส้น

2.2.2 วงจรกรองกำลังแอคทีฟ

วงจรกรองกำลังแอคทีฟ คือ วงจรที่มีคุณสมบัติในการกำจัดกระแสหรือแรงดันฮาร์โมนิคในระบบไฟฟ้า โดยทำการควบคุมวงจรแปลงผันกำลังงาน (Power Convertor) ที่เชื่อมต่อระหว่างแหล่งจ่ายไฟฟ้ากับโหลดที่สร้างฮาร์โมนิคให้กับระบบ โดยวงจรกรองแอคทีฟจะทำหน้าที่จ่ายแรงดันหรือกระแสป้อนเข้าสู่ระบบอย่างเหมาะสม จึงทำให้กระแสฮาร์โมนิคไม่ไหลย้อนกลับไปแหล่งจ่ายหรือแก้ไขความเพี้ยนของแรงดันในระบบได้ วงจรกรองกำลังแอคทีฟโดยทั่วไปจะประกอบด้วยส่วนหลักๆ คือ

1. ส่วนตรวจจับกระแสหรือแรงดันฮาร์โมนิค ส่วนนี้จะทำหน้าที่คอยตรวจจับกระแสหรือแรงดันของระบบ แล้วจึงนำมาทำการคำนวณหาค่าองค์ประกอบฮาร์โมนิคในระบบโดยอาศัยวิธีการต่างๆ

2. ส่วนควบคุมค่ากระแสหรือแรงดันฮาร์โมนิคที่คำนวณได้จากส่วนของการตรวจจับ ซึ่งส่วนนี้จะถูกนำมาใช้ในการกำหนดหาค่าแรงดันหรือกระแสของวงจรกรองกำลัง โดยวงจรจะต้องจ่ายกระแสหรือแรงดันเข้าสู่ระบบเพื่อทำการกำจัดฮาร์โมนิคตามที่ต้องการ

3. วงจรแปลงผันกำลัง จะเป็นส่วนที่ทำการควบคุมแรงดันหรือกระแสของวงจรกรองให้มีค่าเป็นไปตามที่ส่วนควบคุมกำหนด โดยวงจรในส่วนนี้ทั่วไปแล้วจะเป็นวงจรอินเวอร์เตอร์ที่ทำหน้าที่แปลงแรงดันไฟตรงเชื่อมโยงให้เป็นแรงดันไฟสลับซึ่งใช้เทคนิคของการปรับความกว้าง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

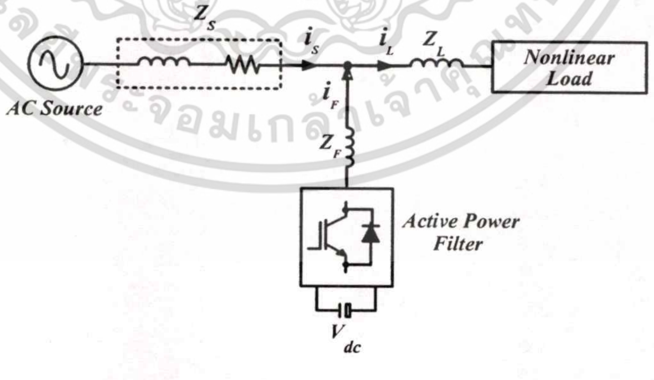
พัลส์ และมีวงรอบการควบคุมกระแสรวมอยู่ด้วย สวิทช์กำลังที่ใช้ส่วนใหญ่จะเป็น IGBT (Insulated Gate Bipolar Transistor) หรือ GTO (Gate Turn- Off Transistor) โดยมีความถี่ในการสวิทช์จะอยู่ที่ประมาณ 1 – 20 kHz.

4. วงจรเชื่อมต่อระหว่างอินเวอร์เตอร์กับแหล่งจ่าย เนื่องจากวงจรกรองกำลังแอคทีฟจะมีการเชื่อมต่อกันระหว่างแหล่งจ่ายไฟผ่านตัวเหนี่ยวนำ และวงจรกรองระลอกคลื่นความถี่การสวิทช์ ในกรณีที่ใช้กับระดับแรงดันสูงก็อาจมีการต่อผ่านหม้อแปลงหรือตัวเก็บประจุเพื่อลดขนาดแรงดันที่ตัวอุปกรณ์อิเล็กทรอนิกส์กำลังลง

วงจรกรองกำลังแอคทีฟมีข้อดีหลายประการเมื่อเทียบกับวงจรกรองกำลังพาสซีฟประกอบกับปัญหาฮาร์โมนิคที่เพิ่มมากขึ้นและราคาอุปกรณ์ที่มีแนวโน้มลดลง จึงทำให้มีการนำเอาวงจรกรองกำลังแอคทีฟเข้ามาใช้เป็นจำนวนเพิ่มมากขึ้น ซึ่งคุณสมบัติการกรองของวงจรกรองกำลังแอคทีฟจะอยู่ในระดับ 80-95% ซึ่งเราสามารถจำแนกชนิดของวงจรกรองกำลังแอคทีฟตามวิธีการติดตั้งได้เป็น 2 ชนิด คือ

2.2.2.1 วงจรกรองกำลังแอคทีฟแบบขนาน

วงจรกรองกำลังแอคทีฟที่ต่อแบบขนานเป็นวงจรที่ได้รับความนิยมค่อนข้างสูงในการกำจัดสัญญาณกระแสฮาร์โมนิค, ชดเชยกำลังไฟฟ้ารีแอคทีฟและทำให้กระแสไฟฟ้าในแต่ละเฟสสมดุลกัน ซึ่งลักษณะการต่อวงจรกรองกำลังแอคทีฟแบบขนานแสดงได้ดังรูป 2.3 โดยวงจรกรองกำลังจะประพฤติตัวเป็นแหล่งจ่ายกระแส ที่จ่ายกระแสฮาร์โมนิคในทิศทางตรงกันข้ามกับกระแสฮาร์โมนิคจากโหลดหรือกล่าวอีกนัยหนึ่ง คือ วงจรกรองกำลังแอคทีฟจะจ่ายกระแสฮาร์โมนิคให้กับโหลดแทนแหล่งจ่าย



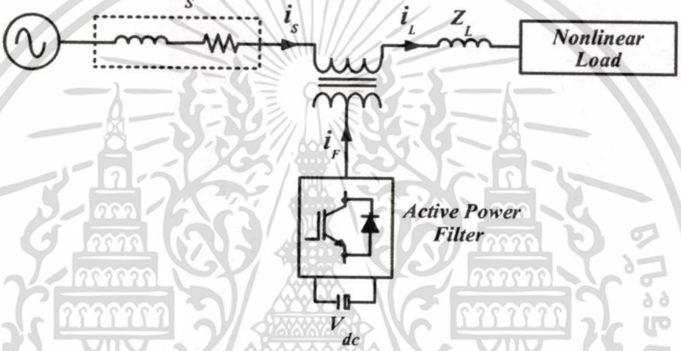
รูปที่ 2.3 ลักษณะวงจรกรองกำลังแอคทีฟแบบขนาน

2.2.2.2 วงจรกรองกำลังแอคทีฟแบบอนุกรม

วงจรกรองกำลังแอคทีฟแบบอนุกรมจะมีลักษณะคล้ายกับวงจรกรองกำลังแอคทีฟแบบขนาน ต่างกันตรงที่การต่อกับจุดต่อร่วม คือ วงจรกรองกำลังแอคทีฟแบบขนานจะต่อกับจุดต่อร่วมโดยตรงแต่วงจรกรองกำลังแอคทีฟแบบอนุกรมจะต่อกับจุดต่อร่วมผ่านทางหม้อแปลง โดย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ห้ามมิให้นำไปใช้ในเชิงพาณิชย์ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จุดต่อร่วมจะอยู่ระหว่างแหล่งจ่ายกับโหลดชนิดไม่เป็นเชิงเส้นดังรูปที่ 2.4 วงจรกรองกำลังแอคทีฟแบบอนุกรมจะใช้เพื่อกำจัดสัญญาณแรงดันฮาร์โมนิคส์, รักษาสมดุลและคงค่าแรงดันไฟฟ้าที่ขั้วของด้านโหลดหรือด้านแหล่งจ่าย วงจรกรองแบบอนุกรมนี้จะทำการตรวจจับกระแสฮาร์โมนิคที่ไหลในระบบแล้วนำไปสร้างแรงดันของวงจรกรองที่มีเฟสตรงกันกับกระแสฮาร์โมนิค วงจรกรองจึงประพฤติตัวเสมือนความต้านทานค่าสูงเฉพาะที่ความถี่ฮาร์โมนิค จึงทำให้กระแสฮาร์โมนิคจะถูกกั้นไม่ให้ไหลไปยังแหล่งจ่ายได้ ในทางกลับกันกระแสฮาร์โมนิคจากแหล่งจ่ายก็ไม่สามารถไหลไปทางด้านโหลดด้วย ซึ่งจะช่วยแก้ปัญหาในกรณีที่แหล่งจ่ายมีความเพี้ยนของแรงดันและโหลดมีอิมพีแดนซ์ที่ความถี่ฮาร์โมนิคต่ำ วงจรกรองกำลังแอคทีฟแบบอนุกรมจึงทำหน้าที่เป็นตัวแยกฮาร์โมนิคระหว่างแหล่งจ่ายกับโหลด สำหรับข้อดีและข้อเสียของวงจรกรองแต่ละชนิดสามารถแสดงได้ตามตารางที่ 2.1



รูป 2.4 ลักษณะวงจรกรองกำลังแอคทีฟแบบอนุกรม

ตารางที่ 2.1 เปรียบเทียบวงจรกรองกำลังพาสซีฟและแอคทีฟ[4]

คุณสมบัติ	วงจรกรองกำลังพาสซีฟ	วงจรกรองกำลังแอคทีฟ
การกำจัดฮาร์โมนิค	แยกกำจัดแต่ละลำดับได้ แต่ต้องติดตั้งวงจรกรองเรียบลำดับต่ำเสมอเพื่อป้องกันการเกิดรีโซแนนซ์	แยกกำจัดลำดับใดๆก็ได้ (ไม่ต้องเรียง) หรือจะกำจัดหมดก็ได้
ความสามารถในการกำจัดฮาร์โมนิค	ขึ้นอยู่กับค่าอิมพีแดนซ์ของแหล่งจ่าย ออกแบบให้ค่า Q สูงยาก	ไม่ขึ้นอยู่กับค่าอิมพีแดนซ์ของแหล่งจ่าย
ความเปลี่ยนแปลงของความถี่แหล่งจ่าย	คุณสมบัติการกรองลดลง โดยเฉพาะเมื่อค่า Q สูง	คุณสมบัติไม่เปลี่ยนแปลง
ปัญหาเรโซแนนซ์กับอิมพีแดนซ์แหล่งจ่าย	อาจเกิดเรโซแนนซ์แบบขนานเมื่อมองจากโหลดหรือ เกิดเรโซแนนซ์แบบอนุกรมเมื่อมองจากแหล่งจากทำให้เกิดกระแส และแรงดันเกินในวงจร	มีโอกาสเกิดเรโซแนนซ์แบบขนานเมื่อมองจากโหลดได้น้อยกว่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 2.1(ต่อ) เปรียบเทียบวงจรกรองกำลังพาสซีฟและแอคทีฟ

คุณสมบัติ	วงจรกรองกำลังพาสซีฟ	วงจรกรองกำลังแอคทีฟ
ปริมาณกำลังงานรีแอคทีฟ	จ่ายกำลังงานรีแอคทีฟเสมอ ซึ่งอาจเกินความต้องการ	สามารถเลือกให้จ่ายกำลังงานรีแอคทีฟหรือไม่จ่ายก็ได้ตามที่ผู้ใช้กำหนด
การวิเคราะห์อิมพีแดนซ์ของระบบ	ต้องวิเคราะห์อย่างละเอียด	ในกรณีทั่วไปไม่จำเป็น
การออกแบบ	ต้องออกแบบเป็นกรณีๆไป	ในกรณีทั่วไปใช้ได้ไม่ต้องออกแบบ
ขนาด	ใหญ่	เล็กกว่า
ราคา	ถูกกว่า	แพงกว่า

ตารางที่ 2.2 เปรียบเทียบวงจรกรองกำลังแอคทีฟแบบขนานและอนุกรม

คุณสมบัติ	วงจรกรองกำลังแอคทีฟแบบขนาน	วงจรกรองกำลังแอคทีฟแบบอนุกรม
ขนาดกระแส/แรงดัน	แก้ได้ดีเฉพาะกรณีที่โหลดมีอิมพีแดนซ์สูงเทียบกับแหล่งจ่าย	แก้ได้โดยอาศัยวงจรกรองพาสซีฟช่วย
แรงดันแหล่งจ่ายมีฮาร์โมนิค	แก้ไม่ได้	แก้ได้
ความน่าเชื่อถือ	สูงเพราะต่อขนานกับระบบเหมือนโหลดทั่วไป	ต่ำเพราะต้องต่ออนุกรมกับระบบ
หลักการทำงาน	ทำตัวเป็นแหล่งจ่ายกระแส	ทำตัวเป็นแหล่งจ่ายแรงดัน

2.3 การชดเชยกำลังงานรีแอคทีฟ

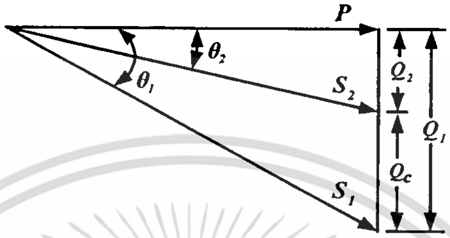
เนื่องจากโหลดในระบบจำหน่ายส่วนใหญ่จะมีตัวประกอบกำลังแบบล้าหลัง(lagging) ดังนั้นกระแสโหลดจะมีค่ามากขึ้นกว่าที่ต้องการกำลังไฟฟ้าจริงจากแหล่งจ่ายเพียงอย่างเดียว นอกจากนี้กำลังไฟฟ้าจริงเท่านั้นที่ใช้ประโยชน์ในการเปลี่ยนรูปพลังงานส่วนกระแสโหลดที่เกิดจะเป็นส่วนที่สูญเปล่า ซึ่งไม่เพียงแต่จะต้องเสียค่าใช้จ่ายในการใช้สายที่มีขนาดใหญ่แล้วยังก่อเกิดความสูญเสียในรูปพลังงานความร้อนที่สายอีกด้วย ด้วยเหตุนี้จำเป็นต้องติดตั้งอุปกรณ์ที่สามารถจ่ายกำลังไฟฟ้ารีแอคทีฟเพิ่มเติมจากการจ่ายไฟของการไฟฟ้า

2.3.1 การปรับปรุงตัวประกอบกำลัง

โดยทั่วไปการปรับปรุงตัวประกอบกำลังนิยมใช้ตัวเก็บประจุ เพราะมีราคาค่อนข้างถูก ไม่ต้องทำการบำรุงรักษามากและมีกำลังสูญเสียในตัวเองต่ำมาก โดยจะทำการควบคุมให้ตัว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เก็บประจุจ่ายกำลังไฟฟ้าให้มีค่ากำลังไฟฟ้ารีแอคทีฟใกล้เคียงกับที่โหลดต้องการจนทำให้ค่าตัวประกอบกำลังใกล้เคียงหนึ่ง แต่จะมีปัญหาเมื่อมีการใช้โหลดที่ไม่เป็นเชิงเส้นอาจทำให้เกิดสภาวะเรโซแนนซ์ขึ้น ซึ่งจะทำให้เกิดการขยายของกระแสฮาร์โมนิคที่ไหลในระบบจำหน่ายจนเกินค่าพิกัดของโหลดต่างๆที่ต่อร่วมอยู่ เป็นผลทำให้โหลดต่างๆได้รับความเสียหาย ดังนั้นจึงใช้ตัวกรองกระแสฮาร์โมนิคแทนตัวเก็บประจุเพราะตัวกรองกระแสฮาร์โมนิคจะทำหน้าที่ทั้งการชดเชยกำลังรีแอคทีฟและจำกัดกระแสฮาร์โมนิคที่ไหลเข้าระบบจำหน่ายได้



รูปที่ 2.5 การปรับปรุงตัวประกอบกำลังไฟฟ้า

จากรูปที่ 2.5 สามเหลี่ยมกำลังของโหลดประกอบด้วยกำลังไฟฟ้าจริง (P) กำลังไฟฟ้ารีแอคทีฟแบบล้าหลัง (Q) และกำลังไฟฟ้าปรากฏ (S_1) จากความสัมพันธ์สามารถหาค่าตัวประกอบกำลังได้ดังสมการ

$$cos\theta_1 = \frac{P}{S_1} \tag{2.1}$$

เมื่อต่อตัวกรองกระแสฮาร์โมนิคขนานกับโหลด ทำให้ค่าตัวประกอบกำลังถูกปรับปรุงเปลี่ยนจาก $cos\,\theta_1$ เป็น $cos\,\theta_2$ โดยที่

$$cos\theta_2 = \frac{P}{S_2}$$

$$= \frac{P}{\left[P^2 + \left(Q_1 - Q_C\right)^2\right]^{1/2}} \tag{2.2}$$

จากรูปที่ 2.5 จะได้ว่ากำลังไฟฟ้าปรากฏและกำลังไฟฟ้ารีแอคทีฟมีค่าลดลงจาก S_1 เป็น S_2 และเปลี่ยนจาก Q_1 เป็น Q_2 (โดยการจ่ายกำลังงานรีแอคทีฟของ Q_C) ตามลำดับ ซึ่งทำให้กระแสรวมทั้งหมดลดลง จึงทำให้ระบบจำหน่ายไฟฟ้ามีคุณภาพและประสิทธิภาพดีขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3.2 ประโยชน์จากการชดเชยกำลังรีแอคทีฟ

1. **หม้อแปลงไฟฟ้าสามารถรับโหลดได้เพิ่มขึ้น เมื่อปรับปรุงค่าตัวประกอบกำลังของระบบให้สูงขึ้น จะทำให้กระแสของระบบลดลงนั่นคือกำลังไฟฟ้าปรากฏของโหลดรวมลดลงทำให้ระบบสามารถจ่ายโหลดได้มากขึ้น** ค่ากำลังไฟฟ้าปรากฏที่เพิ่มขึ้นคือ

$$kVA = kW \times \left(\frac{1}{\cos\theta_1} - \frac{1}{\cos\theta_2} \right) \tag{2.3}$$

2. ปรับปรุงระดับแรงดันของระบบจำหน่ายดีขึ้นและลดแรงดันตกคร่อมในสายส่งหม้อแปลง

3. กำลังสูญเสียของระบบลดลง เนื่องจากกำลังสูญเสียในสายตัวนำไฟฟ้าของระบบเป็นสัดส่วนกับกำลังสองของกระแส เมื่อปรับปรุงค่าตัวประกอบกำลังให้สูงขึ้นจึงทำให้กระแสลดลง ดังนั้นกำลังสูญเสียจึงเป็นสัดส่วนกลับกับค่าตัวประกอบกำลังสอง

$$\%P_{loss} = \left| \frac{PF_1}{PF_2} \right|^2 \times 100\% \tag{2.4}$$

$$\%\Delta P_{loss} = \left(1 - \left| \frac{PF_1}{PF_2} \right|^2 \right) \times 100\% \tag{2.5}$$

$$\%P_{loss2} = P_{loss1} \times \left(1 - \left| \frac{PF_1}{PF_2} \right|^2 \right) \tag{2.6}$$

เมื่อ PF_1 คือ ค่าตัวประกอบกำลังก่อนทำการปรับปรุง

PF_2 คือ ค่าตัวประกอบกำลังหลังทำการปรับปรุง

P_{loss1} คือ กำลังไฟฟ้าสูญเสียก่อนทำการปรับปรุง

P_{loss2} คือ กำลังไฟฟ้าสูญเสียหลังทำการปรับปรุง

กำลังสูญเสียในสายไฟฟ้า $= I^2R$ ดังนั้นเมื่อกระแสลดลงทำให้กำลังสูญเสียในสายลดลงด้วย

4. กำลังสูญเสียในหม้อแปลงลดลง กำลังสูญเสียในหม้อแปลงประกอบด้วย 2 ส่วน คือ กำลังสูญเสียในแกนเหล็ก และกำลังสูญเสียในขดลวดทองแดง ซึ่งกำลังสูญเสียในขดลวด

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทองแดงนี้จะแปรผันตามกระแสกำลังสอง เมื่อปรับปรุงค่าตัวประกอบกำลังให้สูงขึ้นแล้ว กระแสที่ไหลผ่านหม้อแปลจะลดลงทำให้กำลังสูญเสียเนื่องจากความต้านทานในขดลวดทองแดงลดลง

5. ลดขนาดสายส่งกำลังและสายของหม้อแปลงให้มีขนาดเล็กลง
6. ไม่ต้องเสียค่าปรับให้การไฟฟ้า ฯ

2.4 การประเมินสมรรถนะของวงจรกรองกำลังแอคทีฟด้วยค่าดัชนีคุณภาพ

ดัชนีคุณภาพที่ใช้ในงานวิจัยนี้เพื่อทำการประเมินสัญญาณกระแสอินพุททางด้านแหล่งจ่าย และเป็นตัวที่บ่งชี้ถึงสมรรถนะของวงจรกรองในการกำจัดกระแสฮาร์โมนิคประกอบด้วย

2.4.1 แรงดันและกระแสมูลฐานอาร์.เอ็ม.เอส

ค่า อาร์.เอ็ม.เอส.ขององค์ประกอบความถี่มูลฐานของแรงดัน (V_{1rms}) และกระแส (I_{1rms}) เป็นค่าระดับแรงดันและกระแสอาร์.เอ็ม.เอส ที่ความถี่มูลฐานซึ่งเป็นความถี่ของระบบสั่งจ่าย องค์ประกอบนี้เป็นองค์ประกอบที่สร้างกำลังไฟฟ้าและเป็นองค์ประกอบที่ต้องการใช้งาน

2.4.2 แรงดันและกระแสอาร์.เอ็ม.เอส

ค่าอาร์.เอ็ม.เอส.ของแรงดัน (V_{rms}) และกระแส (I_{rms}) อินพุทเป็นค่าระดับแรงดันและกระแสอาร์.เอ็ม.เอส.ของสัญญาณอินพุท ซึ่งเป็นค่ารวมขององค์ประกอบทุกตัวทั้งความถี่มูลฐานและฮาร์โมนิค

2.4.3 ค่าตัวประกอบกำลังด้านเข้า (Input Power Factor : PF)

ลักษณะรูปคลื่นกระแสและมุมต่างเฟสของกระแสและแรงดันจะเป็นตัวกำหนดค่าตัวประกอบกำลังของวงจร ซึ่งโดยรวมแล้วค่าตัวประกอบกำลังของวงจรจะเป็นตัวบ่งชี้ถึงประสิทธิภาพของวงจร กล่าวคือ ถ้าคิดที่กำลังไฟฟ้า (Watt) เดียวกันวงจรที่มีค่า PF สูงจะมีกระแสไหลในวงจรน้อยกว่าวงจรที่มีค่า PF ต่ำ ดังนั้นวงจรที่มีค่า PF สูง ทำให้สามารถลดพิกัดกระแสของอุปกรณ์ที่ต่อร่วมในระบบลงได้ โดยยังคงสามารถจ่ายกำลังไฟฟ้าเท่าเดิม

2.4.4 ค่าตัวประกอบความผิดเพี้ยน (Distortion Factor : DF)

สำหรับค่า DF ที่นิยามในวิทยานิพนธ์นี้ เป็นค่าตัวประกอบความผิดเพี้ยนซึ่งหาได้จากอัตราส่วนของกระแสอินพุท อาร์.เอ็ม.เอส ที่ความถี่มูลฐานต่อกระแส อาร์.เอ็ม.เอส ที่รวมผลของฮาร์โมนิคโดยอัตราส่วนจะมีค่าสูงสุดเท่ากับ 1 นั่นหมายถึงสัญญาณนั้นไม่มีความผิดเพี้ยน ส่วนกรณีที่ค่าตัวประกอบความผิดเพี้ยนมีค่าต่ำ ๆ แสดงว่าเกิดการผิดเพี้ยนของสัญญาณกระแสมาก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.4.5 ค่าองค์ประกอบความผิดเพี้ยนรวมของฮาร์โมนิค (Total Harmonic Distortion : THD)

ค่า Total Harmonic Distortion ของกระแส (THD_i) เป็นดัชนีที่ใช้ในการบ่งชี้ถึงความผิดเพี้ยนของรูปคลื่นสัญญาณกระแสอินพุททางด้านแหล่งจ่ายที่แตกต่างไปจากองค์ประกอบกระแสความถี่มูลฐานในการหาค่า THD_i นี้จะต้องอาศัยการวิเคราะห์โดยใช้ทฤษฎีฟูเรียร์ เพื่อทำการหาองค์ประกอบความถี่มูลฐานและฮาร์โมนิคของรูปคลื่นสัญญาณกระแสอินพุททางด้านแหล่งจ่ายจึงสามารถนำไปเข้าสูตรและหาค่าออกมาได้ โดยค่าดัชนีคุณภาพสามารถสรุปได้ดังตารางที่ 2.3

ตารางที่ 2.3 นิยามของดัชนีและปริมาณที่กำหนดคุณสมบัติและคุณภาพรูปคลื่นกระแสอินพุท

ค่า	นิยาม	ค่า	นิยาม
V_{1rms}	$\frac{V_{peak}}{\sqrt{2}}$	I_{1rms}	$\frac{I_{peak}}{\sqrt{2}}$
V_{rms}	$\sqrt{\sum_{h=1}^{\infty} V_h^2}$	I_{rms}	$\sqrt{\sum_{h=1}^{\infty} I_h^2}$
PF	$\frac{I_{1rms}}{I_{rms}} \cos\phi$	DF	$\frac{I_{1rms}}{I_{rms}}$
$\% THD_I$	$\frac{100}{I_1}\sqrt{\sum_{n=2}^{\infty} I_n^2}$		

เมื่อ V_h คือ ขนาดของแรงดันไฟฟ้าที่ฮาร์โมนิคอันดับที่ h

I_h คือ ขนาดของกระแสไฟฟ้าที่ฮาร์โมนิคอันดับที่ h

DF คือ ค่าตัวประกอบความผิดเพี้ยนของกระแส (Distortion Factor)

PF คือ ค่าตัวประกอบกำลังไฟฟ้าทางด้านอินพุท (Input Power Factor)

THD_i คือ ค่าองค์ประกอบความผิดเพี้ยนรวมกระแสฮาร์โมนิค (Total Harmonics Distortion)

2.5 สรุป

ในบทนี้ได้กล่าวถึงทฤษฎีและหลักการกำจัดกระแสฮาร์โมนิคด้วยวงจรกรองกำลังแบบต่างๆ ซึ่งได้แก่ วงจรกรองกำลังแบบขนาน วงจรกรองกำลังแบบอนุกรม รวมทั้งข้อดีและข้อเสียของวงจรกรองกำลังทั้งสองชนิด ในส่วนของการชดเชยกำลังงานรีแอคทีฟได้ทำการอธิบายถึงหลักการปรับปรุงตัวประกอบกำลังให้ดีขึ้นและประโยชน์ของการชดเชยค่ากำลังงานรีแอคทีฟ ในการวิเคราะห์คุณภาพของรูปคลื่นจะเป็นการอธิบายถึงนิยามต่างๆเพื่อเป็นใช้การประเมินค่าสัญญาณทางไฟฟ้า ซึ่งบทต่อไปจะกล่าวถึงทฤษฎีของโครงข่ายประสาทเทียมเพื่อนำไปประยุกต์ใช้ในการตรวจจับกระแสฮาร์โมนิคในระบบต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3
ทฤษฎีพื้นฐานโครงข่ายประสาทเทียม

3.1 บทนำ

ในบทนี้จะกล่าวถึงทฤษฎีและความเป็นมาของโครงข่ายประสาทเทียม (Neural Network) หรือที่เรียกอีกชื่อหนึ่งว่า " นิวรอลเน็ตเวอร์ค " ซึ่งบทนี้จะกล่าวถึงโครงข่ายประสาทของสิ่งมีชีวิต และโครงข่ายประสาทเทียม รวมทั้งข้อดีที่ได้จากการเรียนรู้และจดจำโดยโครงข่ายประสาทซึ่งเป็นวิธีการที่เลียนแบบโครงสร้างภายในให้คล้ายคลึงกับเซล์ลสมองของมนุษย์ถึงแม้จะไม่ดีเท่าสมองของมนุษย์

ความแตกต่างระหว่างคอมพิวเตอร์ธรรมดากับโครงข่ายประสาทเทียมอย่างหนึ่งคือ ในคอมพิวเตอร์ธรรมดา เมื่อต้องการให้การทำงานอย่างใดอย่างหนึ่งสามารถทำได้โดยการสร้างโปรแกรม แต่ในทางตรงข้ามโครงข่ายประสาทเทียมเมื่อต้องการให้ทำงานอย่างใดสามารถทำได้โดยการสอน (Training) ซึ่งการฝึกสอนนี้จะทำให้โครงข่ายประสาทเทียมนำบทเรียนที่ได้เข้าไปเก็บในโครงสร้างของประสาทเทียมและจากนั้นจะถูกเรียกกลับขึ้นมาใช้เมื่ออยู่ในระหว่างประมวลผล โดยคุณสมบัติและความสามารถที่เป็นประโยชน์ของโครงข่ายประสาทเทียม

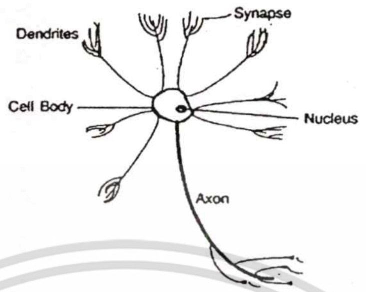
1. มีความยืดหยุ่นสูงจนสามารถจำลองขบวนการของปัญหาใดๆก็ได้
2. มีความสามารถในการจำชุดของคู่อินพุทและเอาท์พุทที่มีความซับซ้อนมากจนสามารถจำลองแบบในเชิงความน่าจะเป็นได้
3. มีความสามารถในการปรับตัวเข้ากับสิ่งแวดล้อมได้ดี
4. มีความสามารถในการตอบสนองข้อมูลที่ไม่เคยเห็น

3.2 ลักษณะโครงสร้างเซล์ลประสาททางชีววิทยา

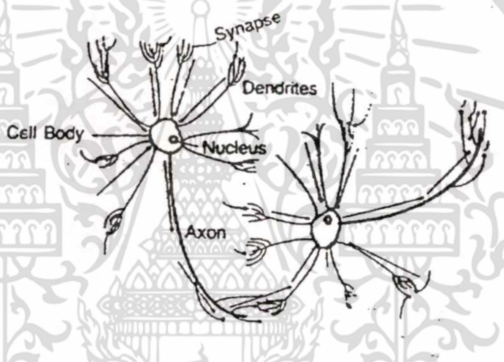
ระบบประสาทของมนุษย์ประกอบด้วยเซล์ลประสาทประมาณ 10^{11}เซล์ล โดยแต่ละเซล์ลจะประกอบด้วย 3 ส่วนใหญ่ๆ คือ เซล์ลประสาทหรือโซมา (Cell body or Soma) เดนไดรท์ (Dendrite) และแอกซอน (Axon) แสดงได้ดังรูปที่ 3.1(ก) เซล์ลประสาทหรือโซมาจะประกอบด้วยนิวเคลียส (Nucleus) ส่วนเดนไดรท์ (Dendrite) จะเป็นแขนงต่อออกจากเซล์ลประสาทที่มีหลายจุด และเมื่อออกจากเซล์ลประสาทก็จะแยกแขนงออกไปอีก สำหรับแอกซอนเป็นส่วนที่หนาและยาวต่อออกจากเซล์ลประสาทไปหาเซล์ลประสาทอื่นๆที่ทำงานร่วมกัน เซล์ลประสาทหนึ่งเซล์ลจะมีแอกซอนเพียงอันเดียวเท่านั้น แต่จะมีเดนไดรท์มาก สำหรับระบบการทำงานสัญญาณจะเข้ามาหาเซล์ลประสาททางเดนไดรท์ ด้วยจุดเชื่อมที่เรียกว่า Synapse จะถูกนำมารวมกันโดยจะมีค่าThreshold ค่าหนึ่ง หากผลรวมของสัญญาณนั้นมีค่ามากกว่า Threshold แล้วเซล์ลประสาทก็จะส่งสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขนาดหนึ่งโดยผ่านทางแอกซอนออกไปหาเซล์ลประสาทตัวอื่นๆแสดงดังรูปที่ 3.1(ข) ลักษณะการจัดเรียงชั้นและการเชื่อมโยงระหว่างเซล์ลประสาทในสมองของมนุษย์นั้นมีการจัดเรียงที่ซับซ้อนนอกนั้นยังมีการเรียนรู้ตลอดเวลา ฉะนั้นจึงยากที่จะสร้างโมดูลขึ้นมาเพื่อทำการเลียนแบบการทำงานของเซล์ลประสาทในสมองมนุษย์ให้ได้อย่างสมบูรณ์ครบถ้วน



(ก)



(ข)

รูปที่ 3.1 (ก) ส่วนประกอบของเซล์ลประสาท

(ข) แสดงจุดถ่ายสัญญาณ (Signal Transmission) จากเซล์ลประสาทหนึ่งไปยังเซล์ลประสาทเซล์ลอื่น ๆ

3.3 โครงข่ายประสาทเทียม

โครงข่ายประสาทเทียมนั่นได้จำลองการทำงานเพียงบางส่วนของเซล์ลประสาทในสมองมนุษย์โดยที่เซล์ลประสาทจะรับข้อมูลอินพุทจากเซล์ลประสาทอื่นๆ โดยที่แต่ละเซล์ลจะมีจุดเชื่อมโยงระหว่างอินพุทและเอาท์พุทดังรูปที่ 3.2 ซึ่งแสดงลักษณะโครงสร้างของการจำลองโครงข่ายประสาทในหนึ่งเซล์ลประสาท ซึ่งมี m อินพุท คือ $x_1, x_2, x_3, \ldots, x_m$ และมี 1 เอาท์พุท คือ y_i ส่วนของอินพุทที่เข้ามาจะมีการเชื่อมโยงด้วยค่าน้ำหนัก (weight) คือ $w_{i,1}, w_{i,2}, w_{i,3}, \ldots, w_{i,m}$ ซึ่งสามารถปรับค่าได้ ในส่วนที่ทำหน้าที่รวมเอาอินพุทที่เข้ามานั่นเราสามารถเขียนได้ดังนี้

$$net_i = w_{i,1}x_1 + w_{i,2}x_2 + \ldots + w_{i,m}x_m \tag{3.1}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำนักหอสมุดกลาง พระจอมเกล้าเจ้าคุณทหารลาดกระบัง

หรืออาจเขียนเป็นรูปของเวคเตอร์[5]จะได้ดังนี้

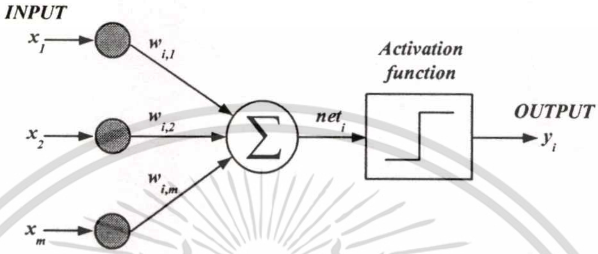
$$NET = XW \tag{3.2}$$

โดยที่

X คือ เวคเตอร์อินพุท

W คือ เวคเตอร์ของค่าน้ำหนัก

NET คือ เวคเตอร์ผลรวมจากอินพุทคูณกับค่าน้ำหนัก



รูปที่ 3.2 โครงข่ายประสาทเทียมที่สร้างขึ้นร่วมกับฟังก์ชั่นการเร่งเร้า

ในแต่ละโครงข่ายประสาทเทียมจะมีสถานะภายในที่เรียกว่า " ฟังก์ชั่นการเร่งเร้า" (Activation function or Threshold function) ฟังก์ชั่นการเร่งเร้าทั่วๆ ไปจะมีหลายรูปแบบซึ่งอาจมีลักษณะเป็นสมการเชิงเส้นหรือไม่เป็นเชิงเส้น

$$y_i = \mathrm{F}\left(net_i\right) = \mathrm{F}\left(\sum_{j=1}^{\infty} w_{ij} x_j\right) \tag{3.3}$$

โดยที่ F(.) เป็น Activation function หรือ Threshold function

3.4 สถาปัตยกรรมโครงข่ายประสาทเทียม

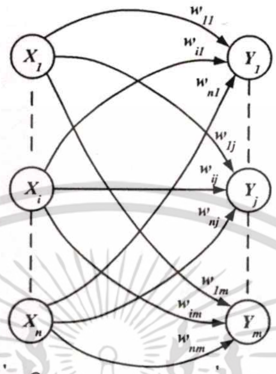
การจัดการของโครงข่ายประสาทเทียมภายในชั้น รูปแบบการเชื่อมต่อภายในและระหว่างชั้นเราเรียกว่า " สถาปัตยกรรมโครงข่าย " โดยทั่วไปโครงข่ายประสาทเทียมทั้งหลายประกอบด้วยชั้นอินพุท ซึ่งภายในแต่ละหน่วย (Unit) จะได้รับการเร่งเร้าเท่ากับสัญญาณอินพุทภายนอกโครงข่ายประสาทเทียมมักจะถูกจัดแบ่งเป็นโครงข่ายชั้นเดียวหรือหลายชั้น การกำหนดจำนวนของชั้น ส่วนที่เป็นหน่วยอินพุทจะไม่ถูกนับว่าเป็นหนึ่งชั้น ทั้งนี้เพราะว่าในส่วนนี้จะไม่มีการคำนวณ สำหรับจำนวนของชั้นในโครงข่ายสามารถแบ่งได้เป็นจำนวนของชั้นน้ำหนักที่เชื่อมต่อระหว่างโครงข่ายประสาทเทียม โดยสถาปัตยกรรมของโครงข่ายประสาทเทียม สามารถจัดแบ่งได้ตามลักษณะโครงสร้างของโครงข่าย หรือจัดแบ่งตามกระบวนวิธีการเรียนรู้ ซึ่งในหัวข้อนี้สามารถจำแนกตามลักษณะโครงสร้างที่ประกอบกันเป็นโครงข่ายประสาทเทียมได้เป็น 3 ประเภท[6]ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

51837

3.4.1 โครงข่ายประสาทเทียมชนิดชั้นเดียว (Single Layer)

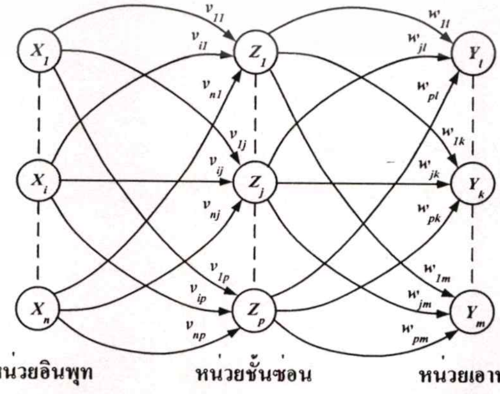
สถาปัตยกรรมของโครงข่ายประสาทเทียมชนิดนี้จะมีน้ำหนักเชื่อมต่อหนึ่งชั้นแสดงได้ดังรูปที่ 3.3 ประกอบด้วยหน่วยอินพุท ($X_1, \ldots, X_i, \ldots, X_n$) เชื่อมต่ออยู่กับหน่วยเอาท์พุท ($Y_1, \ldots, Y_i, \ldots, Y_m$)โดยมีน้ำหนักหนึ่งชั้น เป็นส่วนที่ปรับระดับสัญญาณอินพุท ค่าน้ำหนักที่ได้จะเป็นอิสระต่อกันไม่ส่งผลกระทบต่อการปรับค่าน้ำหนักตัวอื่น มักใช้กับการประมวลผลข้อมูลไม่ซับซ้อนมากนัก



รูปที่ 3.3 โครงข่ายประสาทเทียมชนิดชั้นเดียว

3.4.2 โครงข่ายประสาทเทียมชนิดหลายชั้น (Multi Layer)

สถาปัตยกรรมของโครงข่ายประสาทเทียมชนิดนี้เป็น โครงข่ายที่มีโหนดหลายชั้น เชื่อมต่อกันอยู่ระหว่างหน่วยอินพุทกับหน่วยเอาท์พุท ดังแสดงในรูปที่ 3.4 โดยมีชั้นซ่อนเป็นตัวเชื่อมระหว่างสองหน่วย โครงข่ายชนิดหลายชั้นสามารถใช้วิเคราะห์ปัญหาที่ซับซ้อนได้ดีกว่าโครงข่ายชนิดชั้นเดียว แต่การฝึกสอนอาจจะยุ่งยากกว่า ถึงอย่างไรก็ตามในการฝึกสอนอาจได้รับผลสำเร็จมากกว่า เป็นเพราะว่าในบางครั้งการแก้ปัญหาของโครงข่ายชนิดชั้นเดียว ไม่สามารถรับการฝึกสอนได้อย่างถูกต้องทุกปัญหา

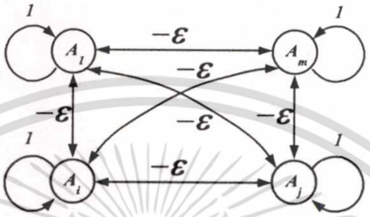


รูปที่ 3.4 โครงข่ายประสาทเทียมชนิดหลายชั้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.4.3 โครงข่ายประสาทเทียมชนิดแข่งขัน (Competitive Layer)

ลักษณะชั้นแข่งขันในส่วนนี้จะมีจำนวนของโครงข่ายประสาทเทียมมาก การเชื่อมต่อภายในระหว่างโครงข่ายประสาทเทียมด้วยกันในชั้นแข่งขันนี้มีสถาปัตยกรรม แสดงในรูปที่ 3.5 โครงข่ายย่อยที่ประกอบกันเป็นโครงข่ายใหญ่ จะเชื่อมต่อกันภายในด้วยน้ำหนัก (−ε) แต่ละโครงข่ายย่อยจะมีสถาปัตยกรรมภายในของตัวเอง เมื่อโครงข่ายย่อยประมวลผลภายในแล้วก็จะส่งสัญญาณเอาท์พุทไปยังสัญญาณอินพุทของโครงข่ายอื่น โดยอ่านค่าน้ำหนัก (−ε) จนกระทั่งเหลือเพียงโครงข่ายย่อยโครงข่ายเดียวที่ให้ค่าสัญญาณเอาท์พุทไม่เท่ากับศูนย์



รูปที่ 3.5 โครงข่ายประสาทเทียมชนิดชั้นแข่งขัน

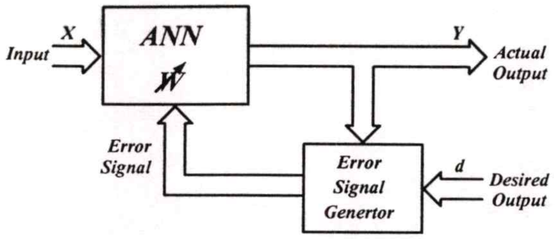
3.5 การฝึกสอนโครงข่ายประสาทเทียม

การกำหนดน้ำหนักของโครงข่ายประสาทเทียม มีวิธีการกำหนดค่าเริ่มต้นของน้ำหนัก (ในช่วงการฝึกสอน) เป็นการหาค่าน้ำหนักที่เหมาะสมให้แก่โครงข่าย ที่สามารถฝึกสอนให้โครงข่ายประสาทเทียมเกิดการเรียนรู้ได้โดยการป้อนอินพุทและเอาท์พุทตัวอย่างที่ถูกต้องให้กับโครงข่ายประสาทเทียมแต่ละเซลล์และโครงข่ายประสาทเทียมจะมีกระบวนการปรับค่าน้ำหนักในระบบให้สอดคล้องกับกลุ่มตัวอย่างของชุดข้อมูลอินพุทที่จุดเชื่อมโยงค่าน้ำหนักจะถูกปรับแต่งเป็นไปตามฟังก์ชั่นการทำงานของระบบ ตามลักษณะพิเศษของกลุ่มตัวอย่างที่ป้อนให้ ขั้นตอนนี้จำเป็นมากที่จะแบ่งแยกคุณลักษณะของโครงข่ายประสาทเทียม กระบวนการฝึกสอนจำแนกออกเป็น 3 กลุ่มใหญ่ๆ คือ การฝึกสอนแบบซุปเปอร์ไวซ์ (Supervised Training), การฝึกสอนแบบอันซุปเปอร์ไวซ์ (Unsupervised Training) และ การฝึกสอนแบบเสริม (Reinforcement Learning)

3.5.1 การฝึกสอนแบบซุปเปอร์ไวซ์ (Supervised Training)

เป็นการฝึกสอนแบบจับคู่กันระหว่างอินพุทและเอาท์พุทเป้าหมายที่ต้องการเราเรียกว่า" Input - Output pairs" **ที่มีความสัมพันธ์กัน โดยระบบการฝึกสอนแบบนี้แสดงได้ดังรูปที่** 3.6 **ถ้าให้** $(x_1, d_1), (x_2, d_2), \ldots, (x_k, d_k)$ **เป็นจำนวนคู่ที่ทำการฝึกสอนในเมื่อแต่ละอินพุท** x_k **ถูกส่งเข้ามาฝึกสอนในโครงข่ายประสาทเทียม เอาท์พุทจริง** y_k **ที่คำนวณออกมาจะถูกเอาไปเปรียบเทียบกับเป้าหมาย** d_k **เพื่อหาค่าผิดพลาดที่เกิดขึ้น จากนั้นจึงนำค่าที่ผิดพลาดป้อนกลับไปยังโครงข่ายเพื่อปรับค่าน้ำหนักทำให้ค่าเอาท์พุทจริง** y_k **มีแนวโน้มใกล้เคียงกับค่าเอาท์พุทเป้าหมาย** d_k

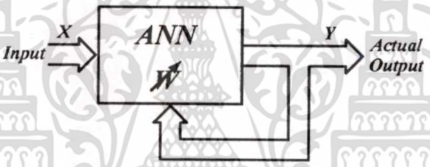
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.6 ระบบการฝึกสอนแบบซุปเปอร์ไวซ์ (Supervised Learning)

3.5.2 การฝึกสอนแบบอันซุปเปอร์ไวซ์ (Unsupervised Training)

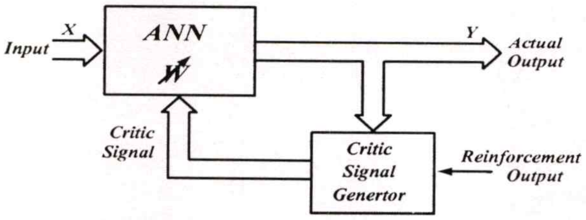
เป็นการฝึกสอนโดยไม่ต้องการเอาท์พุทเป้าหมายเข้ามาช่วยในการตัดสินใจแสดงดัง**รูปที่** 3.7 ซึ่งชุดการฝึกสอนจะมีเพียงอินพุทเท่านั้น ระบบการฝึกสอนในโครงข่ายจะมีการคำนวณปรับเปลี่ยนค่าของน้ำหนักเพื่อให้ได้เอาท์พุทคงที่ การคำนวณนี้เรียกว่า " Self orgainzing "



รูปที่ 3.7 ระบบการฝึกสอนแบบอันซุปเปอร์ไวซ์ (Unsupervised Learning)

3.5.3 การฝึกสอนแบบเสริม (Reinforcement Learning)

การฝึกสอนแบบซุปเปอร์ไวซ์ นั้นคือแต่ละอินพุทที่เข้ามาเราได้กำหนดเอาท์พุทเป้าหมายเป็นคู่ไว้ก่อนดังได้กล่าวมาแล้วในตอนต้น แต่บางครั้งเอาท์พุทจริงที่ออกมาอาจมีค่าผิดพลาดมากเกินไป ในกรณีนี้จะมีเพียงบิตหนึ่งอันเดียวเท่านั้นของข้อมูลที่จะป้อนกลับไปเพื่อชี้บอกว่าเอาท์พุทจริงถูกต้องหรือผิดพลาด การฝึกสอนแบบนี้เรียกว่า " Reinforcement Learning " โดยระบบการทำงานสามารถแสดงได้ดังรูปที่ 3.8 ซึ่งข้อมูลที่ป้อนกลับไปเรียกว่า " Reinforcement Signal "



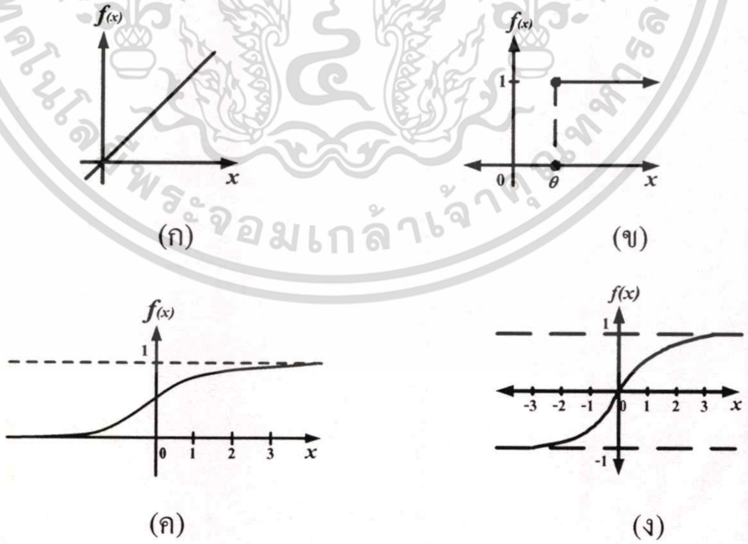
รูปที่ 3.8 ระบบการฝึกสอนแบบเสริม (Reinforcement Learning)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.5.4 ฟังก์ชั่นการเร่งเร้าโดยรวม

การดำเนินการขั้นพื้นฐานของเซล์ลโครงข่ายประสาทเทียม โดยรวมแล้วจะเกี่ยวข้องกับสัญญาณอินพุทที่ทำให้น้ำหนักได้รับการปรับตัวแล้วส่งผลไปยังเอาท์พุท สำหรับรูปที่ 3.9 (ก) เราฟังก์ชั่นนี้เรียกว่า “ ฟังก์ชั่นเอกลักษณ์ ” (Identity function)

โครงข่ายส่วนมากจะใช้ฟังก์ชั่นแบบขั้น ที่เราใช้กันทั่วไปจะมีอยู่ 3 แบบ คือแบบฟังก์ชั่นไบนารี่(Binary) ซึ่งฟังก์ชั่นแบบนี้มีค่าที่เป็นได้คือ 0 หรือ 1 โดยถ้าสัญญาณอินพุทที่รับเข้ามามีค่าน้อยกว่า θ ค่าเอาท์พุทที่ออกจากฟังก์ชั่นจะมีค่าเป็น 0 แต่ถ้าสัญญาณอินพุทที่รับเข้ามามีค่ามากกว่า θ ค่าเอาท์พุทที่ออกจากฟังก์ชั่นจะมีค่าเป็น 1 แสดงได้ดังรูปที่ 3.9 (ข) ส่วนฟังก์ชั่นต่อมาจะมีชื่อเรียกว่า ฟังก์ชั่นซิกมอยด์ โดยจะมีลักษณะเป็นเส้นโค้งรูป S ซึ่งเป็นฟังก์ชั่นการเร่งเร้าที่นำมาใช้ประโยชน์มากสำหรับในการใช้ฝึกสอนให้กับโครงข่ายประสาทเทียม ขอบเขตของฟังก์ชั่นการเร่งเร้าที่แสดงในรูปที่ 3.9 (ค) เราเรียกฟังก์ชั่นชนิดนี้ว่า “ ซิกมอยด์ไบนารี ” (Binary Sigmoid) ซึ่งรูปจะเห็นมีค่าอยู่ในช่วง 0 ถึง 1 โดยมีสมการเป็น $f(x) = 1/(1+e^{-x})$ และในรูปที่ 3.9 (ง) มีขอบเขตของฟังก์ชั่นอยู่ในช่วง -1,1 เรียกฟังก์ชั่นการเร่งเร้านี้ว่า “ ซิกมอยด์ไบโพลาร์ ” (Bipolar Sigmoid) ซึ่งมีสมการเป็น $f(x) = [2/(1+e^{-x})]-1$ ในการที่จะระบุว่าฟังก์ชั่นการเร่งเร้าใดนั้นมีคุณสมบัติดีที่สุดคงเป็นไปไม่ได้ เนื่องจากโครงข่ายประสาทเทียมมีโครงข่ายไม่แน่นอน นั้นก็หมายความว่าในโครงข่ายหนึ่งจะใช้กับปัญหาหนึ่งได้ดีที่สุดเท่านั้น เพราะฉะนั้นการเลือกฟังก์ชั่นการเร่งเร้าแบบใดจะต้องพิจารณาให้เหมาะสมกับปัญหานั้น ๆ ด้วย



รูปที่ 3.9 (ก) ฟังก์ชั่นเอกลักษณ์

(ข) ฟังก์ชั่นแบบขั้นไบนารี

(ค) ฟังก์ชั่นซิกมอยด์ไบนารี

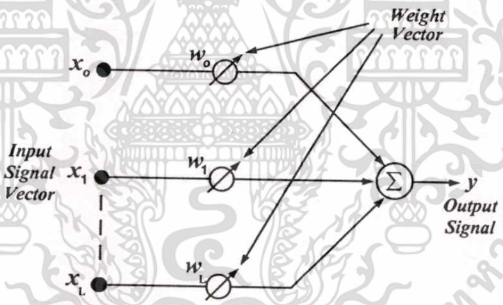
(ง) ฟังก์ชั่นซิกมอยด์ไบโพลาร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.6 โครงข่ายประสาทเทียมแบบเชิงเส้นที่ปรับตัวเอง (ADALINE)

โครงข่ายประสาทเทียมแบบเชิงเส้นที่ปรับตัวเอง[7] " Adaline (Adaptive Linear Neuron)" เป็นโครงข่ายประสาทเทียมแบบหนึ่งโดยตัวรวมในการปรับตัวเองเชิงเส้นนั้น เป็นพื้นฐานของวิธีการทางการประมวลผลสัญญาณแบบปรับตัวเอง (Adaptive Signal Processing) ซึ่งจะง่ายต่อการวิเคราะห์และเข้าใจ

พิจารณาจากรูปที่ 3.10 เป็นรูปแบบทั่วไปของการรวมในการปรับตัวเองเชิงเส้นที่มีเวคเตอร์สัญญาณอินพุท (Input Signal Vector) ที่ประกอบไปด้วยส่วนประกอบภายในเวคเตอร์ คือ x_0 , x_1 , ... , x_L โดยที่เวคเตอร์อินพุทจะสัมพันธ์กับเวคเตอร์ค่าถ่วงน้ำหนัก (Weight Vector) ที่มีส่วนประกอบภายในเวคเตอร์ คือ w_0 , w_1 , ... , w_L เมื่อทำการคูณเวคเตอร์ทั้งสองด้วยกันแล้ว จะได้ค่าออกมาเป็นค่าสเกลล่า คือ เอาท์พุท y ขั้นตอนที่ระบบทำการปรับค่าถ่วงน้ำหนักเราจะเรียกว่า " การปรับตัวเองเชิงเส้น " และขณะที่เวลา $t = k$ ใดๆนั้นการปรับตัวเองของนี้ระบบจะเป็นแบบเชิงเส้นเพราะว่าค่าถ่วงน้ำหนักจะคงที่ที่เวลานั้นๆ ดังนั้นสัญญาณเอาท์พุทจะเป็นการรวมกันแบบเชิงเส้นของส่วนประกอบเวคเตอร์สัญญาณ แต่อย่างไรก็ตามเมื่อค่าสัมประสิทธิ์อยู่ในระหว่างการปรับตัวเองเชิงเส้น ค่าสัมประสิทธิ์จะไม่คงที่และระบบจะไม่เชิงเส้นในระหว่างการปรับตัวเอง



รูปที่ 3.10 รูปแบบของโครงข่ายประสาทเทียมแบบเชิงเส้นที่ปรับตัวเอง

3.6.1 สัญญาณอินพุทและค่าถ่วงน้ำหนัก (Input Signal and Weight Vectors)

ในการพิจารณารูปแบบทั่วไปของการรวมของการปรับตัวเองเชิงเส้นดังรูปที่ 3.10 จะเห็นว่าอินพุทที่เข้าจะเหมือนมี $L+1$ แหล่ง แต่ในทางปฏิบัตินั้นอาจจะเป็นการสุ่มตัวอย่างสัญญาณจากแหล่งกำเนิดเพียงแหล่งเดียว แต่ทำการสุ่มตัวอย่างมาจำนวน $L+1$ ครั้งแทนเป็นค่าอินพุทที่ x_0 ถึง x_L

เราจะแบ่งสัญญาณอินพุทที่เข้ามาเป็นแบบหลายอินพุท (Multiple Input) และแบบอินพุทเดียว (Single Input) ซึ่งแสดงได้เป็น

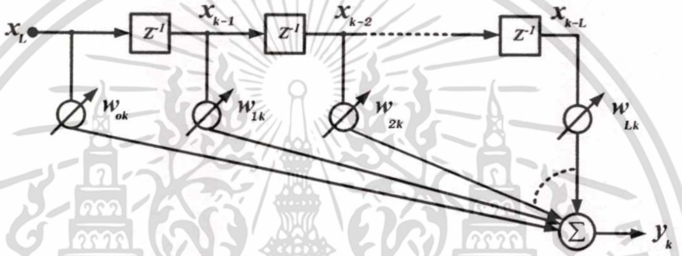
แบบหลายอินพุท : $$X_k = \begin{bmatrix} x_{0k} & x_{1k} & \cdots & x_{Lk} \end{bmatrix}^T \tag{3.4}$$

แบบอินพุทเดียว : $$X_k = \begin{bmatrix} x_k & x_{k-1} & \cdots & x_{k-L} \end{bmatrix}^T \tag{3.5}$$

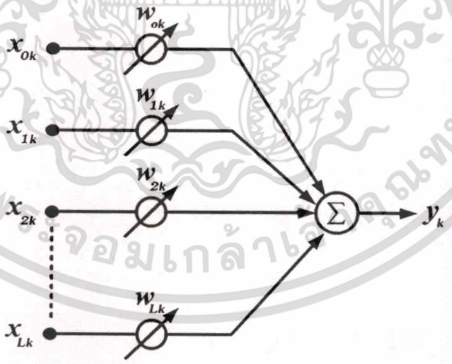
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในที่นี้ T คือทรานส์โพส (Transpose) ของเมตริกซ์ จึงทำให้ X_k เป็นเมตริกซ์คอลัมน์และค่า k คือ จำนวนครั้งในการสุ่มตัวอย่างที่เวลา $t = k$ ดังนั้นในกรณีแบบหลายอินพุท จะเป็นการสุ่มตัวอย่างจากอินพุทหลายแหล่งโดยในเวคเตอร์จะเก็บข้อมูลที่เวลาเดียวกัน แต่สำหรับกรณีที่อินพุทเดียวจะเป็นการสุ่มตัวอย่างจากสัญญาณแหล่งเดียวกัน แต่ถูกหน่วงสัญญาณไปเท่ากับเวลาที่ใช้ในการอ่านสัญญาณแต่ละครั้ง

ในกรณีที่อินพุทเดียวเราอาจจะมีการเพิ่มเติมด้วยตัวรวมที่ปรับตัวเชิงเส้นและอุปกรณ์การหน่วงสัญญาณหนึ่งหน่วยเวลาเข้าไปด้วยดังรูปที่ 3.11 มาประกอบกันซึ่งเรียกว่า " ตัวกรองปรับตัวเองแบบทรานซ์เวอร์ซอล (Adaptive Transversal Filter) " ซึ่งตัวห้อย k ที่เพิ่มเข้ามาที่ค่าถ่วงน้ำหนัก w เพื่อแสดงให้เห็นว่าตัวกรองแบบนี้แปรตามเวลา



รูปที่ 3.11 การปรับตัวเองเชิงเส้นแบบตัวกรองทรานซ์เวอร์ซอลที่มีอินพุทเดียว



รูปที่ 3.12 การปรับตัวเองเชิงเส้นแบบหลายอินพุท

เราจะเขียนความสัมพันธ์ของอินพุทและเอาท์พุททั้งสองกรณีได้โดย

แบบอินพุทเดียว : $$y_k = \sum_{l=0}^{L} w_{lk} x_{k-l} \tag{3.6}$$

แบบหลายอินพุท : $$y_k = \sum_{l=0}^{L} w_{lk} x_{lk} \tag{3.7}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

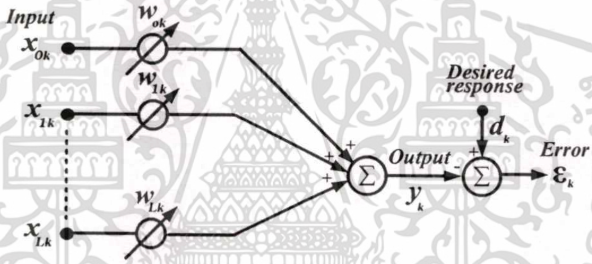
แล้วเราจะได้เวคเตอร์ค่าถ่วงน้ำหนักดังนี้

$$W_k = \begin{bmatrix} w_{0k} & w_{1k} & \cdots & w_{Lk} \end{bmatrix}^T \quad (3.8)$$

จากสมการ (3.6) และสมการ (3.7) จะได้ความสัมพันธ์

$$y_k = X_k^T W_k = W_k^T X_k \quad (3.9)$$

พิจารณาจากรูปที่ 3.13 จะเห็นว่ารูปแบบของการปรับตัวเองเชิงเส้นจะปรับตัวเองจนให้ได้ลักษณะของการตอบสนองดีที่สุดและพบว่าสัญญาณเอาท์พุท y_k นั้นจะขึ้นอยู่กับสัญญาณอินพุทและค่าถ่วงน้ำหนัก เมื่อมีการรวมกันของสัญญาณ d_k และ y_k จะเกิดค่าผิดพลาด ε_k ขึ้น ถ้าสัญญาณเอาท์พุท y_k ยังไม่เท่ากับ d_k จึงทำให้การปรับตัวเองของระบบจะขึ้นอยู่กับค่าความผิดพลาดที่มีผลต่อค่าถ่วงน้ำหนัก ดังนั้นจะเกิดการปรับค่าถ่วงน้ำหนักตามค่าผิดพลาดที่เกิดขึ้นจนกระทั่งค่าผิดพลาดที่เกิดขึ้นเป็นศูนย์



รูปที่ 3.13 ระบบการปรับตัวเองเชิงเส้นแบบหลายอินพุทกับผลตอบสนองที่ต้องการและค่าผิดพลาด

3.6.2 ฟังก์ชั่นประเมินผล (The Performance Function) และเส้นโค้งการเรียนรู้

ในหัวข้อนี้จะทำการหาค่าผิดพลาด โดยจะจัดรูปฟังก์ชั่นสัญญาณความผิดพลาดให้เป็นฟังก์ชั่นของค่าถ่วงน้ำหนัก

จากรูปที่ 3.13 สัญญาณความผิดพลาดที่เวลา k จะได้

$$\varepsilon_k = d_k - y_k \quad (3.10)$$

แทนค่า y_k ด้วยสมการที่ (3.9)

$$\varepsilon_k = d_k - X_k^T W = d_k - W^T X_k \quad (3.11)$$

ยกกำลังสองทั้งหมด

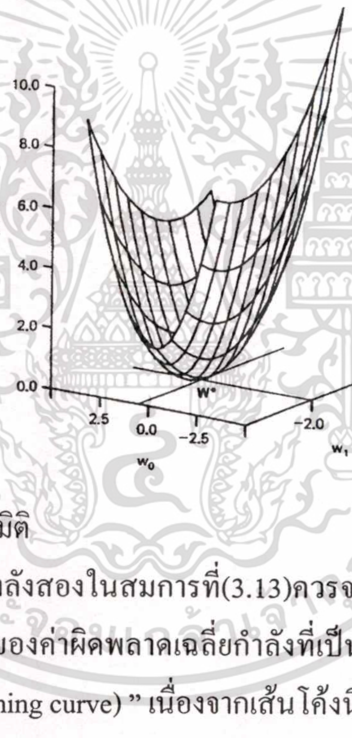
$$\varepsilon_k^2 = d_k^2 - W^T X_k X_k^T W - 2 d_k X_k^T W \quad (3.12)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยสมมุติว่า ε_d , d_k และ X_k มีค่าคงที่ทางสถิติ (statiscatiocally stationary) และเมื่ออาศัยการใช้ค่าคาดหวัง (expected value) ทั้งสองข้างของสมการ ซึ่งค่าความผิดพลาดเฉลี่ยกำลังสอง (mean-square error) คือ ค่าคาดหวังของความผิดพลาดกำลังสอง

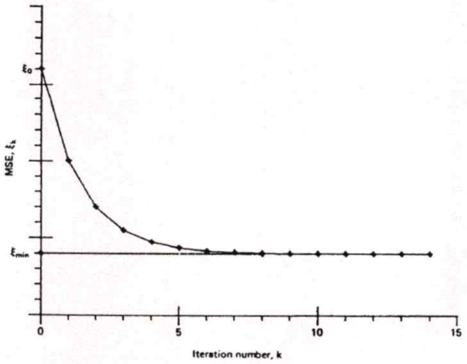
$$MSE \cong E\left[\varepsilon_k^2\right] = E\left[d_k^2\right] + W^T E\left[X_k X_k^T\right] W - 2E\left[d_k X_k^T\right] W \qquad (3.13)$$

ซึ่งในระบบปรับตัวเองเชิงเส้นเราต้องการปรับค่าถ่วงน้ำหนัก เพื่อให้ค่าความผิดพลาดเฉลี่ยกำลังสองนี้น้อยที่สุดและจากสมการข้างต้นจะพบว่า ค่าความผิดพลาดเฉลี่ยกำลังสองเป็นฟังก์ชั่นของค่าถ่วงน้ำหนักกำลังสอง โดยตัวอย่างของฟังก์ชั่นความผิดพลาดเฉลี่ยกำลังสองแบบสองมิติ (ค่าถ่วงน้ำหนักมี 2 ฟังก์ชั่น) แสดงดังรูปที่ 3.14 ซึ่งเป็นรูปพาราโบลอยด์ ที่มีก้นถ้วยเป็นจุดที่ค่าถ่วงน้ำหนักทำให้เกิดค่าผิดพลาดต่ำที่สุด (จุด W^*)



รูปที่ 3.14 พื้นที่ผิวค่าผิดพลาด 2 มิติ

ค่าความผิดพลาดเฉลี่ยกำลังสองในสมการที่(3.13)ควรจะมีค่าลดลงเรื่อยๆในขณะที่ระบบปรับสภาวะทำงาน ซึ่งรูปกราฟของค่าผิดพลาดเฉลี่ยกำลังที่เป็นฟังก์ชั่นของจำนวนการทำซ้ำ (*k*) เรียกว่า " เส้นโค้งการเรียนรู้ (learning curve) " เนื่องจากเส้นโค้งนี้แสดงความสามารถของระบบในการตามสัญญาณผลตอบสนองที่ต้องการ ตัวอย่างของเส้นโค้งการเรียนรู้แสดงได้ดังรูปที่ 3.15



รูปที่ 3.15 ตัวอย่างเส้นโค้งการเรียนรู้

เอกสารนี้เป็นเอกสารที่ใช้เพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.6.3 กระบวนการค่าเฉลี่ยกำลังสองต่ำสุด (Least Mean Square Error)

ในหัวข้อที่ผ่านมาได้กล่าวถึงฟังก์ชั่นการประเมินผล ซึ่งเป็นฟังก์ชั่นของค่าถ่วงน้ำหนัก และได้กล่าวถึงการทำงานของระบบปรับตัวเองเชิงเส้น โดยทำการปรับตัวแปรต่างๆเพื่อให้การทำงานของระบบเข้าสู่จุดต่ำสุดของฟังก์ชั่นการประเมินผล ในหัวข้อนี้จะพิจารณาวิธีการเข้าสู่จุดต่ำสุดของฟังก์ชั่นประเมินผล โดยวิธีค่าเฉลี่ยกำลังสองต่ำสุด (Least mean square algorithm) หรือ LMS algorithm โดย Widrow ได้ให้ความเห็นว่า " วิธี LMS algorithm เป็นวิธีที่ดีที่สุดสำหรับระบบที่มีโครงสร้างเป็นวงจรรวมแบบเชิงเส้น "

หลักการของการลู่เข้าสู่จุดต่ำสุดในฟังก์ชั่นประเมินผล (performance function) ของวงจรเชิงเส้นหรือตัวกรอง คือ ปรับค่าถ่วงน้ำหนักของตัวกรองเพื่อให้ค่าความผิดพลาดเฉลี่ย (ระหว่างผลการตอบสนองที่ต้องการกับเอาท์พุท) กำลังสองมีค่าน้อยที่สุด (mean square error) โดยปรับค่าถ่วงน้ำหนักแต่ละขณะเวลาตามทิศทางตรงข้ามกับเกรเดียนท์ของฟังก์ชั่นประเมินผล เขียนเป็นสมการได้ดังนี้

$$W_{k+1} = W_k - \mu \nabla_k \tag{3.14}$$

เมื่อ W_k คือ เวคเตอร์ค่าถ่วงน้ำหนักของตัวกรองที่เวลา $t = k$

เวคเตอร์ของค่าถ่วงน้ำหนัก : $$W_k = \left[w_0(k) \quad \cdots \quad w_L(k) \right]^T \tag{3.15}$$

เกรเดียนท์เวคเตอร์ : $$\nabla_k = \frac{\partial E\left[\varepsilon_k^2\right]}{\partial W_k}$$

$$= \left[\frac{\partial E\left[\varepsilon_k^2\right]}{\partial w_0(k)} \quad \cdots \quad \frac{\partial E\left[\varepsilon_k^2\right]}{\partial w_L(k)} \right]^T \tag{3.16}$$

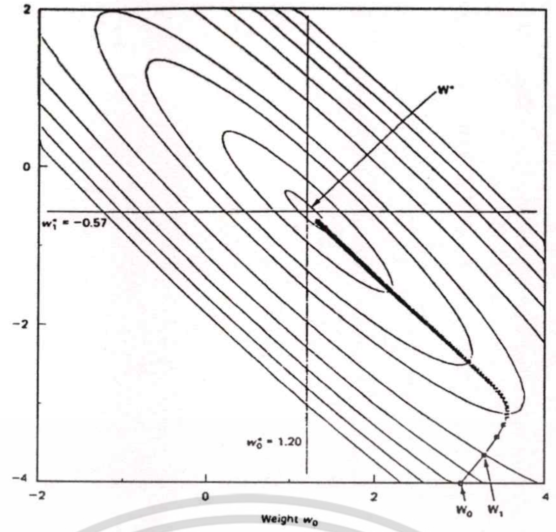
เมื่อ

μ คือ พารามิเตอร์ที่ควบคุมอัตราการลู่เข้าของระบบสู่จุดต่ำสุดของฟังก์ชั่นประเมินผล

ε_k^2 คือ ค่าผิดพลาดกำลังสองที่เวลา $t = k$

จากสมการที่ (3.14) เห็นได้ว่าค่าถ่วงน้ำหนักจะปรับตัวเองเป็นสัดส่วนกับลบเกรเดียนท์ ($-\nabla_k$) ของฟังก์ชั่นประเมินผล ดังนั้นเมื่อรู้ค่าเกรเดียนท์ ∇_k ที่ทุกๆค่า k ในระหว่างการปรับค่าถ่วงน้ำหนัก ก็จะทำให้ค่าความผิดพลาดเฉลี่ยกำลังสองมีค่าน้อยลงเรื่อยๆจนถึงจุดที่เกรเดียนท์เป็นศูนย์ คือ เมื่อค่าความผิดพลาดเฉลี่ยกำลังสองน้อยที่สุดค่าถ่วงน้ำหนักก็จะมีค่าคงที่ เพื่อรักษาสภาพความผิดพลาดที่น้อยที่สุดนั้นไว้ ตัวอย่างของการลู่เข้าสู่จุดต่ำที่สุดของฟังก์ชั่นประเมินผลเมื่อรู้ค่าเกรเดียนท์ที่แน่นอนแสดงได้ดังรูปที่ 3.16

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.16 การลู่เข้าของระบบเมื่อรู้ค่าเกรเดียนท์ที่แน่นอน

ในทางปฏิบัติจริงๆแล้ววิธีการปรับค่าถ่วงน้ำหนักตามสมการที่ (3.14) จะทำได้ยากหรือทำไม่ได้เพราะไม่สามารถที่จะรู้เกรเดียนท์ของฟังก์ชั่นประเมินผลได้ล่วงหน้า ดังนั้นจึงต้องใช้วิธีการประมาณค่าเกรเดียนท์ (gradient estimate) แทนในส่วนของค่าเกรเดียนท์ในสมการที่ (3.14)

การประเมินค่าเกรเดียนท์จะใช้ค่าผิดพลาดกำลังสองชั่วขณะ (instantaneous squared error) มาประมาณค่า

Gradient estimate :
$$\hat{\nabla} = \frac{\partial \varepsilon_k^2}{\partial W_k} \tag{3.17}$$

แทนค่า ε_k จากสมการที่ (3.10) ลงในสมการ (3.17) จะได้

$$\hat{\nabla} = 2\varepsilon_k \frac{\partial \left(d_k - y_k\right)}{\partial W_k} \tag{3.18}$$

เนื่องจากผลการตอบสนองที่ต้องการ (d_k) ไม่เป็นฟังก์ชั่นของค่าถ่วงน้ำหนัก และแทนค่า y_k ด้วยสมการ (3.9) จะได้

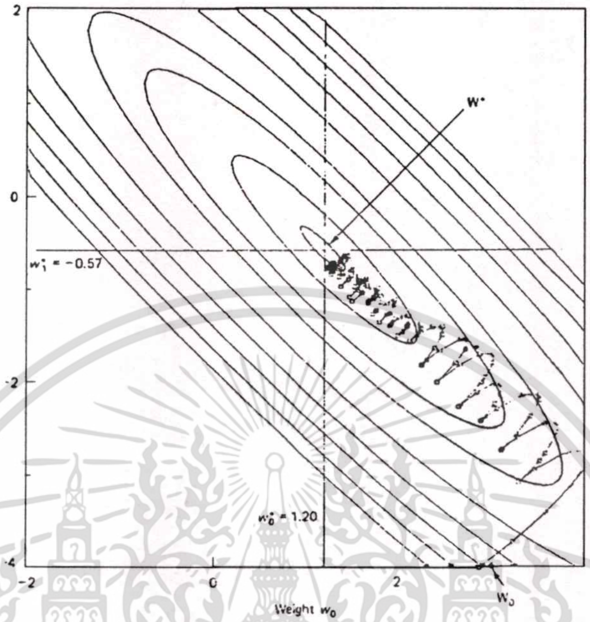
$$\hat{\nabla} = -2\varepsilon_k X_k \tag{3.19}$$

เมื่อ X_k เป็นเวคเตอร์ของสัญญาณอินพุท และเมื่อแทนค่า $\hat{\nabla}$ ลงในสมการที่ (3.22) และแทน ∇ จะได้สมการที่ (3.26) ซึ่งเป็นสมการตามหลักการ LMS algorithm ของระบบปรับตัวเองเชิงเส้นที่ได้ทำการศึกษาดังนั้น

$$W_{k+1} = W_k + 2\mu\varepsilon_k X_k \tag{3.20}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ผลการประมาณค่าเกรเดียนท์จะทำให้การทำงานของระบบปรับตัวเองเชิงเส้นที่เหมาะสมที่สุดได้โดยตรง เพราะความผิดพลาดจากการประมาณค่าเกรเดียนท์นี้ดังรูปที่ 3.17 แสดงตัวอย่างของระบบปรับตัวเองเชิงเส้นที่ใช้การประมาณค่าเกรเดียนท์ตามสมการที่ (3.17)



รูปที่ 3.17 การลู่เข้าของระบบเมื่อใช้การประมาณค่าเกรเดียนท์

พิจารณาจากสมการที่(3.20)พบว่าระบบปรับตัวเองเชิงเส้นสามารถทำงานได้โดยที่มีสัญญาณอินพุท (X_k) และสัญญาณผลตอบสนองที่ต้องการ (d_k) เพื่อหาค่าความผิดพลาด (ε_k) ก็จะสามารถทำงานได้ เหลือเพียงแต่กำหนดค่าพารามิเตอร์ของการลู่เข้า μ เท่านั้น

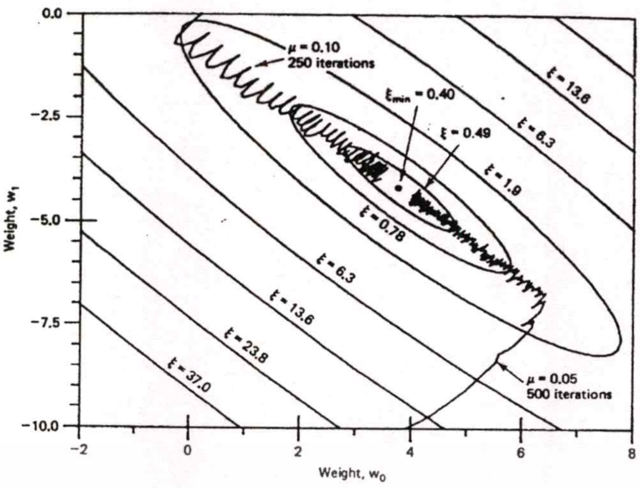
3.6.4 การลู่เข้าของเวคเตอร์ค่าถ่วงน้ำหนัก

กระบวนการแบบค่าเฉลี่ยกำลังสองน้อยที่สุดนี้ ค่า μ เป็นค่าคงที่ที่จะบอกความเร็วและเสถียรภาพในการปรับตัวเอง ดังนั้นเราจะกำหนดขอบเขตการลู่เข้าจากค่า

$$\frac{1}{\lambda_{max}} > \mu > 0 \qquad (3.21)$$

โดยที่ λ_{max} เป็นค่าไอเกนที่ใหญ่ที่สุด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.18 แสดงเส้นทางพื้นผิวค่าผิดพลาดและการปรับตัวของค่าถ่วงน้ำหนักเมื่อวิธีค่าเฉลี่ยยกกำลังสองน้อยที่สุด

ลองพิจารณารูปที่ 3.18 จะเป็นการเปรียบเทียบการใช้ค่า μ ที่ต่างกันจะมีผลอย่างไรต่อการปรับตัวเอง ซึ่งเราจะเห็นได้ว่า

กรณีแรกใช้ค่า $\mu = 0.10$ ค่าถ่วงน้ำหนักเริ่มต้น $w_0 = 0$, $w_1 = 0$ จะใช้จำนวนรอบในการวนซ้ำ 250 รอบ

กรณีที่สองใช้ค่า $\mu = 0.05$ ค่าถ่วงน้ำหนักเริ่มต้น $w_0 = 4$, $w_1 = -10$ จะใช้จำนวนรอบในการวนซ้ำ 500 รอบ

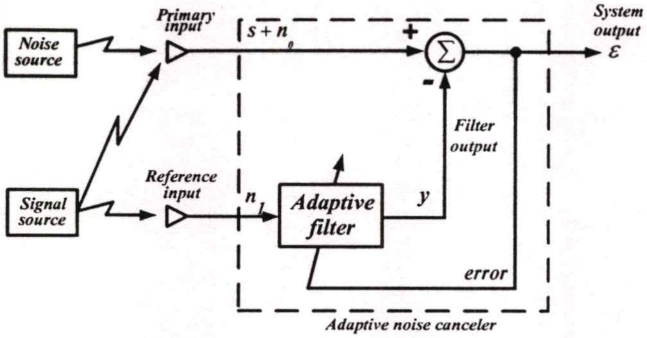
ซึ่งพบว่าค่า μ มีผลต่อการปรับตัวเอง ถ้าสังเกตุจากรูป 3.18 จะเห็นว่ากรณีที่ μ มีค่ามากจะมีการปรับตัวอย่างรวดเร็วและแต่ละครั้งจะเปลี่ยนแปลงมาก แต่ถ้าในกรณีที่ μ มีค่าน้อยจะมีการเปลี่ยนแปลงอย่างช้าๆ

ดังนั้นการเลือกค่า μ จึงมีผลต่อการปรับตัวเองเป็นอย่างมากโดยในใช้งานเราจะต้องทำการเลือกค่า μ ให้เหมาะสมกับงานนั้นๆ

3.6.5 การประยุกต์ใช้ระบบปรับตัวเองเชิงเส้นในการกำจัดสัญญาณรบกวน

วงจรกำจัดสัญญาณรบกวนปรับตัวเองเชิงเส้นแบบเบื้องต้นแสดงได้ดังรูปที่ 3.19 ซึ่งอุปกรณ์รับสัญญาณ (input sensors) จะเป็นชนิดใดก็ได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.19 หลักการของระบบกำจัดสัญญาณรบกวนปรับตัวเองเชิงเส้น

จากรูปที่ 3.19 แสดงระบบการกำจัดสัญญาณรบกวนที่ปรับตัวเองเชิงเส้น[8] โดยที่สัญญาณที่ต้องการ (signal) จะถูกส่งผ่านช่องทางสื่อสารใดๆเข้ามาทางอุปกรณ์รับสัญญาณที่ต้องการ (s) และถูกรบกวนโดยสัญญาณรบกวน (n_0) ที่ไม่มีความสัมพันธ์กับสัญญาณ s (signal s uncorrelated with noise n_0) ซึ่งสัญญาณ ($s+n_0$) นี้จะเข้ามาทางอินพุทหลัก (primary input) ของวงจรกำจัดสัญญาณรบกวนและในส่วนของอุปกรณ์รับตัวที่สองจะรับแต่เฉพาะสัญญาณรบกวน (n_1) โดยที่ n_1 จะไม่มีความสัมพันธ์กัน (uncorrelated) กับสัญญาณที่ต้องการ แต่มีความสัมพันธ์กัน (correlated) กับสัญญาณ n_0 เช่น เป็นสัญญาณรบกวนที่มาจากแหล่งเดียวกันหรือจากแหล่งที่มีลักษณะคล้ายกัน โดยที่สัญญาณ n_1 นี้จะเข้ามาทางอินพุทอ้างอิง (reference input) โดยสัญญาณรบกวน n_1 นี้จะถูกกรองโดยวงจรปรับตัวเองเชิงเส้น ซึ่งวงจรปรับตัวเองเชิงเส้นนี้จะพยายามทำให้เอาท์พุท y มีลักษณะใกล้เคียงกับ n_0 จากนั้นสัญญาณ y จะถูกนำไปลบออกจากสัญญาณอินพุทหลัก ($s+n_0$) จึงได้เป็นเอาท์พุทของระบบที่มีเท่ากับ ($s+n_0-y$)

ถ้าเราสามารถทราบได้ล่วงหน้าถึงลักษณะของสัญญาณรบกวนและลักษณะของช่องสัญญาณที่สัญญาณรบกวนถูกส่งมายังอุปกรณ์รับอินพุทหลัก และอุปกรณ์รับอินพุทอ้างอิงก็สามารถที่จะออกแบบวงจรกรองแบบธรรมดา ที่มีค่าถ่วงน้ำหนักเป็นค่าคงที่เพื่อทำให้วงจรกรองมีค่าเอาท์พุทเป็น $y = n_0$ และเมื่อนำเอาท์พุท y ไปลบออกจากสัญญาณอินพุทหลัก ($s+n_0$) จะเหลือเพียงสัญญาณที่ต้องการ (s) ออกที่เอาท์พุทของระบบกำจัดสัญญาณรบกวน

แต่เนื่องจากคุณสมบัติของช่องสัญญาณที่สัญญาณเดินทางผ่านมานั้น ไม่สามารถทราบได้ล่วงหน้าหรือลักษณะของช่องสัญญาณนี้เปลี่ยนแปลงตามเวลา การใช้วงจรกรองที่มีค่าถ่วงน้ำหนักคงที่ก็จะเป็นการไม่เหมาะสมถึงแม้ว่าเราจะสามารถออกแบบวงจรกรองได้ก็ตาม แต่ว่าก็จะยังยากที่จะปรับวงจรให้ถูกต้องตามการคำนวณทุกประการ ซึ่งวงจรที่เป็นระบบปรับตัวเองเชิงเส้นจะตัดความยุ่งยากเหล่านี้ออกไป เนื่องจากระบบจะทำการปรับตัวเองเข้าสู่จุดทำงานที่ดีที่สุดด้วยตัวเอง

จะเห็นได้ว่าสัญญาณต่างๆที่ใช้ในวงจรกำจัดสัญญาณรบกวนนี้ สัญญาณผลตอบสนองที่ต้องการ คือ สัญญาณอินพุทอ้างอิง ส่วนสัญญาณความผิดพลาดเป็นสัญญาณที่ใช้เป็นเอาท์พุทของ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ระบบ ซึ่งอาจดูสับสนแต่ถ้าพิจารณาให้ดีจะพบว่าวงจรกรองนี้จะพยายามปรับตัวให้สัญญาณรบกวนหักล้างกันให้มากที่สุด โดยทำให้สัญญาณรบกวนที่ผ่านวงจรกรองมีความคล้ายคลึงกับสัญญาณรบกวนที่ผสมมาในสัญญาณที่ต้องการมากที่สุด ส่วนที่เหลือจากการลบกันระหว่างสองสัญญาณนี้ จะได้แต่เฉพาะสัญญาณที่ต้องการ ดังนั้นจึงใช้สัญญาณความผิดพลาดมาเป็นเอาท์พุทของระบบ จากการใช้หลักการปรับตัวเองเชิงเส้นนี้มีข้อดีเหนือการใช้วงจรกรองแบบค่าถ่วงน้ำหนักคงที่มากำจัดสัญญาณรบกวน คือ ระบบปรับตัวเองเชิงเส้นไม่จำเป็นต้องรู้ถึงลักษณะของสัญญาณใดๆล่วงหน้าหรือไม่จำเป็นต้องรู้ความสัมพันธ์ระหว่างสัญญาณใดๆล่วงหน้าเลย

จากรูปที่ 3.19 สมมุติให้สัญญาณ s , n_0, n_1 และ y มีคุณลักษณะทางสถิติคงที่ แล้วต่างก็มีค่าเฉลี่ยเป็นศูนย์ โดยสมมุติว่าสัญญาณ s ไม่มีความสัมพันธ์กับสัญญาณ n_0 แล้วสมมุติว่า n_1 มีความสัมพันธ์กับสัญญาณ n_0 ดังนั้นเอาท์พุทจากวงจรกรองจะได้

$$\varepsilon = s + n_0 - y \tag{3.22}$$

ยกกำลังสองสมการที่ (3.22) จะได้

$$\varepsilon^2 = s^2 + (n_0 - y)^2 + 2s(n_0 - y) \tag{3.23}$$

หาค่าคาดหวังทั้งสองข้างของสมการ

$$E[\varepsilon^2] = E[s^2] + E[(n_0 - y)^2] + 2E[s(n_0 - y)] \tag{3.24}$$

เนื่องจาก s ไม่มีความสัมพันธ์กับ n_0, n_1 และ y โดยที่ทุกสัญญาณมีค่าเฉลี่ยเป็นศูนย์

$$E[\varepsilon^2] = E[s^2] + E[(n_0 - y)^2] \tag{3.25}$$

ค่ากำลังงานของสัญญาณที่ต้องการ $E[s^2]$ จะไม่เปลี่ยนแปลงจากการที่วงจรกรองทำการปรับค่าถ่วงน้ำหนัก เพื่อที่จะลดค่ากำลังงานของสัญญาณความผิดพลาด $E[\varepsilon^2]$ ดังนั้น กำลังงานของสัญญาณเอาท์พุทต่ำที่สุด คือ

$$E_{min}[\varepsilon^2] = E[s^2] + E_{min}[(n_0 - y)^2] \tag{3.26}$$

ดังนั้นเมื่อวงจรกรองทำการปรับค่าถ่วงน้ำหนัก เพื่อให้ $E[\varepsilon^2]$ มีค่าต่ำที่สุด จะทำให้เฉพาะ $E[(n_0 - y)^2]$ มีค่าต่ำที่สุด คือ ระบบอยู่ในสภาวะเหมาะสมที่สุด (Optimized) หมายความว่าเอาท์พุทของวงจรกรอง y เป็นค่ากำลังสองต่ำสุด (least squared estimate) และมีค่าถูกต้องที่สุดของสัญญาณรบกวนที่ผสมอยู่กับสัญญาณอินพุทหลักและจากการย้ายข้างของสมการที่ (3.22) จะได้

เอกสารนี้เป็นเอกสารที่สงวนไว้เฉพาะการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\varepsilon - s = n_0 - y \tag{3.27}$$

เมื่อยกกำลังสอง และหาค่าคาดหวังทั้งสองข้างของสมการที่ (3.27)

$$E\left[(\varepsilon - s)^2\right] = E\left[(n_0 - y)^2\right] \tag{3.28}$$

การทำให้ $E\left[(n_0 - y)^2\right]$ มีค่าต่ำที่สุดจะต้องทำให้ $E\left[(\varepsilon - s)^2\right]$ มีค่าต่ำที่สุดด้วยดังนั้น การทำให้ระบบเข้าสู่จุดเหมาะสมที่สุด (optimize) เป็นการทำให้สัญญาณความผิดพลาด ε เป็นค่าประมาณค่ากำลังสองที่ดีที่สุดของสัญญาณ s ที่ต้องการดังรูปที่ 3.19

จากสมการที่ (3.22) สัญญาณผิดพลาด ε เป็นเอาท์พุทของวงจรกรองที่ใช้กำจัดสัญญาณรบกวน โดยทั่วไปเอาท์พุทนี้จะมีสัญญาณ s ผสมมากับสัญญาณรบกวน $(n_0 - y)$

อัตราส่วนของสัญญาณต่อสัญญาณรบกวน (Signal to noise ratio) ที่เอาท์พุทของระบบกำจัดสัญญาณรบกวนแสดงได้ดังสมการ

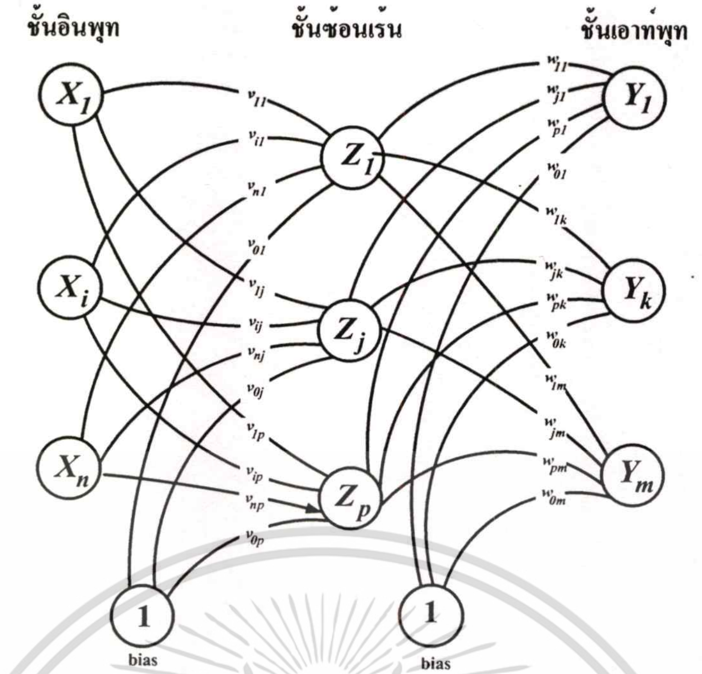
$$S / N = E\left[s^2\right] / E\left[(n_0 - y)^2\right] \tag{3.29}$$

กำลังงานของสัญญาณรบกวนที่เอาท์พุท $E\left[(n_0 - y)^2\right]$ จะถูกลดลงขณะที่ระบบลดกำลังงานของเอาท์พุท $E\left[\varepsilon^2\right]$ แต่กำลังงานของสัญญาณที่ต้องการ $E\left[s^2\right]$ ไม่ได้ถูกทำให้เปลี่ยนแปลงจากการทำงานของกระบวนการนี้ ดังนั้นการทำงานของระบบกำจัดสัญญาณรบกวนปรับตัวเองเชิงเส้นจึงเป็นการเพิ่มอัตราส่วนของสัญญาณต่อสัญญาณรบกวนที่เอาท์พุทของระบบ

3.7 การเรียนรู้แบบแพร่กลับ (Backpropagation learning)

การฝึกแบบซุปเปอร์ไวซ์ ซึ่งเป็นที่นิยมและสามารถใช้งานได้ดี คือ การเรียนรู้แบบแพร่กลับเนื่องจากสามารถใช้งานได้กับโครงข่ายแบบหลายชั้น โดยกระบวนการสำคัญของการเรียนรู้แบบแพร่กลับมี 3 ขั้นตอน คือ การส่งรูปแบบของอินพุทเข้าไปในโครงข่าย การคำนวณและแพร่กลับค่าผิดพลาดและการปรับค่าถ่วงน้ำหนักให้เหมาะสม[5] ดังตัวอย่างในรูปที่ 3.20

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.20 การเรียนรู้แบบแพร่กลับที่มีจำนวนชั้นซ่อน 1 ชั้น

รูปที่ 3.20 แสดงตัวอย่างง่ายๆของโครงข่ายประสาทเทียมแบบแพร่กลับที่มีโครงสร้างแบบหลายชั้นและมีจำนวนชั้นซ่อน (Hidden layer) Z จำนวน 1 ชั้น อยู่ระหว่างชั้นเอาท์พุท (Output layer) Y และชั้นอินพุท (Input layer) X

ค่าไบแอสที่ส่งให้หน่วยเอาท์พุท Y_k แทนด้วย w_{0k} และค่าไบแอสที่ส่งให้หน่วยซ่อน Z_j แทนด้วย v_{0j} ทิศทางการไหลของสัญญาณจะไหลไปข้างหน้าเมื่ออยู่ในช่วงของการทำงานแต่เมื่ออยู่ในช่วงของการแพร่กลับสัญญาณจะไหลย้อนทิศทางเดิม

ในระหว่างสัญญาณไหลไปข้างหน้า หน่วยอินพุทแต่ละตัว (X_i) ได้รับสัญญาณอินพุทและกระจายสัญญาณไปให้หน่วยซ่อนแต่ละตัว (Z_1 , ... , Z_p) เพื่อทำการคำนวณหาค่าระดับการเร่งเร้า (z_j) แล้วส่งให้หน่วยเอาท์พุทต่อไป จากนั้นหน่วยเอาท์พุทแต่ละตัว (Y_k) จะคำนวณหาค่าระดับการเร่งเร้า (y_k) เพื่อจัดเป็นผลตอบสนองของโครงข่ายที่มีต่อรูปแบบของอินพุทที่กำหนดให้

ในระหว่างการเรียนรู้หน่วยเอาท์พุทแต่ละตัวจะทำการเปรียบเทียบค่าระดับการเร่งเร้า (y_k) ที่คำนวณได้กับค่าเป้าหมาย เพื่อนำไปหาค่าผิดพลาดที่หน่วยนั้น ๆ ค่าผิดพลาดนี้ใช้สัญลักษณ์เป็น δ_k ($k = 1$, ... , m) โดยค่า δ_k เป็นค่าผิดพลาดของหน่วยเอาท์พุท Y_k นี้จะถูกส่งกลับไปให้ทุกหน่วยในชั้นก่อนหน้า ซึ่งก็คือหน่วยซ่อนที่เชื่อมต่อกับหน่วยเอาท์พุท Y_k จากนั้นจึงนำไปปรับปรุงค่าถ่วงน้ำหนักระหว่างชั้นเอาท์พุทกับชั้นซ่อนต่อไป

ในทำนองเดียวกันค่าผิดพลาด δ_j ($j = 1$, ... , p) จะถูกคำนวณที่แต่ละหน่วยซ่อน (Z_k) แต่ไม่จำเป็นต้องส่งค่ากลับไปยังชั้นอินพุท เพียงแต่นำไปปรับปรุงค่าถ่วงน้ำหนักระหว่างชั้นซ่อนและชั้นอินพุทเท่านั้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อได้ค่าผิดพลาด δ_j แล้วทำการปรับปรุงค่าถ่วงน้ำหนักสำหรับทุกชั้นจะเกิดขึ้นอย่างทันที โดยการปรับปรุงค่าถ่วงน้ำหนัก W_{jk} จากหน่วยซ่อน Z_k ไปยังหน่วยเอาท์พุท Y_k ภายใต้เงื่อนไขของค่าผิดพลาด δ_k และค่าระดับการเร่งเร้า z_j ของหน่วยซ่อน Z_j ส่วนการปรับปรุงค่าถ่วงน้ำหนัก v_{ij} จากหน่วยอินพุท X_i ไปยังหน่วยซ่อน Z_k นั้นจะทำภายใต้เงื่อนไขของค่าผิดพลาด δ_j และค่าระดับการเร่งเร้า x_i ของหน่วยอินพุท

3.7.1 ตัวแปรต่าง ๆ ที่ใช้ในการเรียนรู้แบบแพร่กลับ

x เวกเตอร์การฝึกอินพุท (input training vector) ดังสมการ

$$x = (x_1, \dots, x_i, \dots, x_n) \tag{3.30}$$

d เวกเตอร์เอาท์พุทเป้าหมาย (output targer vector) ดังสมการ

$$d = (d_1, \dots, d_k, \dots, d_m) \tag{3.31}$$

δ_k ค่าผิดพลาดเนื่องจากหน่วยเอาท์พุท Y_k ที่แพร่กลับมายังหน่วยซ่อน เพื่อนำไปปรังปรุงค่าถ่วงน้ำหนัก w_{jk}

δ_j ค่าผิดพลาดเนื่องจากหน่วยซ่อน Z_j เพื่อนำไปปรับปรุงค่าถ่วงน้ำหนัก v_{ij}

α อัตราการเรียนรู้

X_i หน่วยอินพุทที่ i

Z_j หน่วยซ่อนที่ j

Y_k หน่วยเอาท์พุทที่ k

v_{0j} ค่าไบแอสบนหน่วยซ่อนที่ j

w_{0k} ค่าไบแอสบนหน่วยเอาท์พุทที่ k

อินพุทลัพธ์ที่ส่งไปให้ Z_j ใช้สัญลักษณ์ z_in_j โดยหาค่าได้ดังสมการที่

$$z_in_j = v_{0j} + \sum_i x_i v_{ij} \tag{3.32}$$

สัญญาณเอาท์พุทหรือค่าระดับเร่งเร้าของ Z_j ใช้สัญลักษณ์ z_j ดังสมการที่

$$z_j = f(z_in_j) \tag{3.33}$$

อินพุทลัพธ์ที่ส่งไปให้ Y_k ใช้สัญลักษณ์ y_in_k หาค่าได้ดังสมการ

$$y_in_k = w_{0k} + \sum_j x_j w_{jk} \tag{3.34}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณเอาท์พุท หรือค่าระดับเร่งเร้าของ Y_k ใช้สัญลักษณ์ y_k ดังสมการ

$$y_k = f(y_in_k) \tag{3.35}$$

3.7.2 ขั้นตอนในกระบวนการเรียนรู้ แบบแพร่กลับ

ขั้นที่ 0 กำหนดค่าถ่วงน้ำหนักเริ่มต้น โดยทำการสุ่มค่าถ่วงน้ำหนัก

ขั้นที่ 1 ทดสอบเงื่อนไขของการสิ้นสุดการเรียนรู้ ถ้ายังไม่เป็นไปตามเงื่อนไขที่กำหนดไว้ ให้ทำตามขั้นตอนที่ 2 ถึง 9

ขั้นที่ 2 เลือกลำดับแต่ละคู่ของการฝึก (Training pair) แล้วทำตามขั้นตอนที่ 3 ถึง 8

- ช่วงสัญญาณไหลไปข้างหน้า

ขั้นที่ 3 แต่ละหน่วยอินพุท (X_i, $i = 1,....,n$) ได้รับสัญญาณอินพุท x_i และกระจายสัญญาณไปให้ชั้นถัดไป (หน่วยซ่อน)

ขั้นที่ 4 แต่ละหน่วยซ่อน (Z_j, $j = 1,..., p$) รวมผลคูณของค่าถ่วงน้ำหนักกับสัญญาณอินพุทตามสมการที่ (3.32) จากนั้นนำฟังก์ชั่นการเร่งเร้าไปคำนวณค่าสัญญาณเอาท์พุท เพื่อส่งสัญญาณนี้ให้ทุกหน่วยในชั้นถัดไป (หน่วยเอาท์พุท) ตามสมการที่ (3.33)

ขั้นที่ 5 แต่ละหน่วยเอาท์พุท (Y_k, $k = 1,..., m$) รวมค่าผลคูณของค่าถ่วงน้ำหนักกับสัญญาณอินพุทตามสมการที่ (3.34) จากนั้นนำฟังก์ชั่นการเร่งเร้าไปคำนวณหาค่าสัญญาณเอาท์พุทดังสมการที่ (3.35)

- ช่วงแพร่สัญญาณผิดพลาดกลับ

ขั้นที่ 6 แต่ละหน่วยเอาท์พุท (Y_k, $k = 1,..., m$) ได้รับรูปแบบเป้าหมายที่มีความสัมพันธ์กับรูปแบบการฝึกอินพุท แล้วนำไปคำนวณหาค่าผิดพลาด (δ_k) โดยค่า δ_k นี้ จะถูกส่งไปยังทุกหน่วยของชั้นที่ต่ำกว่าดังสมการที่

$$\delta_k = (d_k - y_k) f'(y_in_k) \tag{3.36}$$

คำนวณค่าถ่วงน้ำหนักที่ปรับปรุง (Δw_{jk}) รวมถึงค่าไบแอสที่ปรับปรุง (Δw_{0k}) เพื่อนำไปปรับปรุงค่าถ่วงน้ำหนักต่อไป ดังสมการที่ (3.37) และ (3.38)

$$\Delta w_{jk} = \alpha \delta_k z_j \tag{3.37}$$

$$\Delta w_{0k} = \alpha \delta_k \tag{3.38}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขั้นที่ 7 แต่ละหน่วยซ่อน (Z_j, $j = 1, ..., p$) จะรวมค่าผิดพลาดอินพุทของหน่วยนั้นๆ ที่ได้รับจากชั้นที่สูงกว่า ตามความสัมพันธ์ดังสมการ

$$\delta_in_j = \sum_{k=1}^{m} \delta_k w_{jk} \tag{3.39}$$

จากนั้นนำไปคำนวณค่าผิดพลาดของแต่ละหน่วยดังสมการ

$$\delta_j = \delta_in_j f'(z_in_j) \tag{3.40}$$

แล้วนำไปคำนวณหาค่าถ่วงน้ำหนักที่ถูกต้องและค่าไบแอสที่ถูกต้องหนักดังสมการที่(3.39) และ (3.40) เพื่อนำไปปรับปรุงค่าถ่วงน้ำหนักต่อไป

$$\Delta v_{ij} = \alpha \delta_j x_i \tag{3.41}$$

$$\Delta v_{0j} = \alpha \delta_j \tag{3.42}$$

- ช่วงปรับปรุงค่าถ่วงน้ำหนักและค่าไบแอส

ขั้นที่ 8 แต่ละหน่วยเอาท์พุท (Y_k, $k = 1, ..., m$) จะทำการปรับค่าไบแอสและค่าถ่วงน้ำหนัก ($j = 0, ..., p$) ดังสมการ

$$w_{jk}(t+1) = w_{jk}(t) + \Delta w_{jk} \tag{3.43}$$

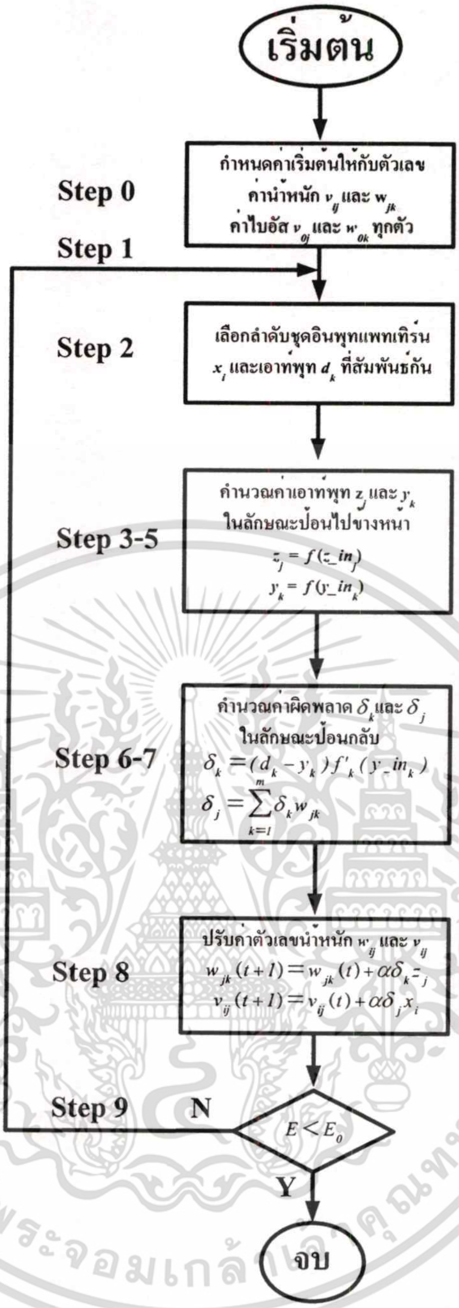
แต่ละหน่วยซ่อน (Z_j, $j = 1, ..., p$) จะทำการปรับค่าไบแอสและค่าถ่วงน้ำหนัก ($i = 0, ..., n$) ดังสมการ

$$v_{ij}(t+1) = v_{ij}(t) + \Delta v_{ij} \tag{3.44}$$

ขั้นที่ 9 สภาวะหยุดการทดสอบ

หลังจากหาค่าถ่วงน้ำหนัก และค่าไบแอสได้แล้วสามารถหาเอาท์พุทจากค่าอินพุท และค่าถ่วงน้ำหนักและค่าไบแอสที่ได้โดยใช้สมการที่ (3.32) ถึง (3.35)โดยค่าจาก สมการที่ (3.35) คือ ค่าเอาท์พุทที่ต้องการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.21 ผังการทำงานของการเรียนรู้แบบแพร่กลับ

3.8 บทสรุป

บทนี้ได้กล่าวถึงทฤษฎีพื้นฐานของโครงข่ายประสาทเทียม ได้แก่ ลักษณะโครงสร้างของโครงข่ายประสาทเทียม สถาปัตยกรรมโครงข่ายประสาทเทียม รวมทั้งชนิดการฝึกสอนแก่โครงข่ายประสาทเทียม และยังได้กล่าวถึงโครงข่ายประสาทเทียมแบบเชิงเส้นที่ปรับตัวเองซึ่งจะนำประยุกต์มาใช้ในการตรวจจับกระแสฮาร์โมนิค และส่วนสุดท้ายของบทนี้ได้อธิบายถึงวิธีการฝึกสอนโครงข่ายประสาทเทียมแบบแพร่กลับ โดยจะเป็นพื้นฐานในการนำไปประยุกต์ใช้กับตัวควบคุมกระแสของวงจรกรองกำลังแอคทีฟในบทต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

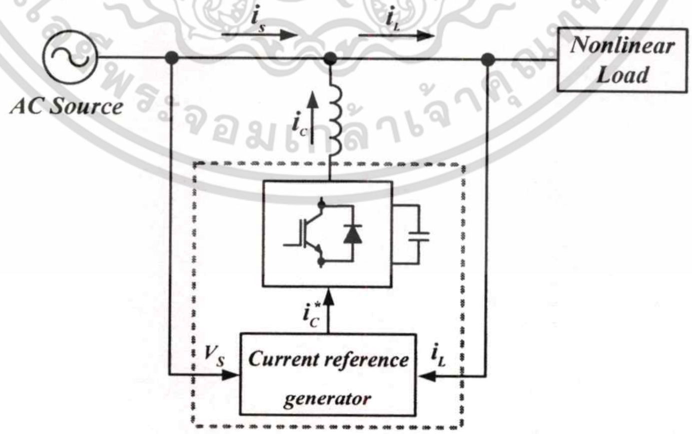
การวิเคราะห์และออกแบบวงจรกรองกำลังแอคทีฟแบบขนาน

4.1 บทนำ

วงจรกรองกำลังแอคทีฟแบบขนานที่นำเสนอนี้เป็นวิธีหนึ่งที่ใช้ทำการกำจัดกระแสฮาร์โมนิคที่เกิดขึ้นในระบบที่ต่ออยู่กับโหลดชนิดไม่เป็นเชิงเส้น โดยวงจรกรองกำลังแอคทีฟที่ออกแบบสำหรับงานวิจัยนี้จะใช้ในการชดเชยกระแสฮาร์โมนิคที่เกิดขึ้นในระบบ 3 เฟส 4 สาย ซึ่งจะกล่าวถึงการวิเคราะห์และออกแบบพารามิเตอร์ของวงจรกรองกำลังแอคทีฟ รวมทั้งได้ทำการจำลองการทำงานของวงจรกรองกำลังแอคทีฟด้วยโปรแกรม Matlab-Simulink เพื่อใช้ตรวจสอบการทำงานของวงจรและให้มั่นใจว่าวงจรที่ออกแบบมีความถูกต้องสอดคล้องกับทฤษฎีที่ได้ทำการวิเคราะห์ไว้

4.2 การวิเคราะห์และหลักการสร้างกระแสอ้างอิง

โครงสร้างพื้นฐานของวงจรกรองกำลังแอคทีฟแบบขนานสามารถแสดงดังรูปที่ 4.1โดยวงจรกรองกำลังแอคทีฟจะเป็นตัวควบคุมอินเวอร์เตอร์แบบแหล่งจ่ายแรงดันไฟฟ้า ซึ่งกระแสของแหล่งที่กำเนิดกระแสได้มาจากค่าเฉลี่ยของความกว้างพัลส์สัญญาณ จากรูปที่ 4.1 จะเห็นว่าวงจรกรองกำลังแอคทีฟต่ออยู่กับโหลดชนิดไม่เป็นเชิงเส้นในลักษณะขนาน โดยวงจรกรองกำลังแอคทีฟจะทำการสร้างกระแสฮาร์โมนิคเพื่อที่จะไปทำการชดเชยกระแสนั้น



รูปที่ 4.1 วงจรพื้นฐานของวงจรกรองกำลังแอคทีฟแบบขนาน

สมมุติว่าแหล่งจ่ายแรงดันไฟฟ้าเป็นสัญญาณซายน์ ดังนั้น

$$v_s(t) = v_m sin(\omega t) \quad (4.1)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กระแสแหล่งจ่ายที่มีการผิดเพี้ยนเนื่องจากโหลดไม่เป็นเชิงเส้น โดยกระแสโหลด $i_L(t)$ ประกอบไปด้วย 4 องค์ประกอบหลัก[9]คือ

$$i_L(t) = \sum_{n=0}^{\infty} I_n \sin(n\omega t + \phi_n) \tag{4.2}$$

โดยที่

$$i_L(t) = I_0 + I_1 \cos\phi_1 \sin(\omega t) + I_1 \sin\phi_1 \cos(\omega t) + \sum_{n=2}^{\infty} I_n \sin(n\omega t + \phi_n)$$

$$= i_0(t) + i_p(t) + i_q(t) + i_h(t) \tag{4.3}$$

เมื่อ $i_0(t)$ คือ องค์ประกอบไฟตรง

$i_p(t)$ คือ กระแสแอคทีฟ

$i_q(t)$ คือ กระแสรีแอคทีฟ

$i_h(t)$ คือ กระแสฮาร์โมนิค

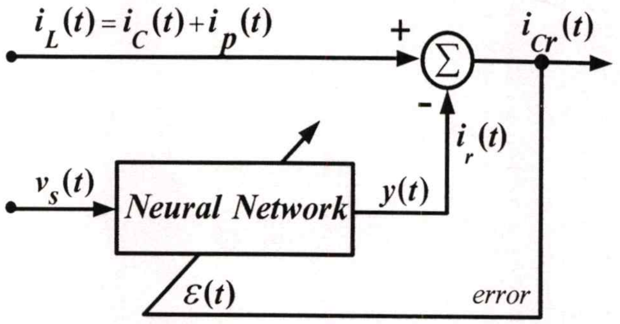
จากสมการที่(4.3) พบว่าถ้าวงจรกรองกำลังแอคทีฟสามารถสร้างกระแส $i_c(t)$ ซึ่งต้องมีค่าเท่ากับผลรวมของกระแส $i_q(t) + i_h(t)$ เป็นผลให้กระแสที่แหล่งจ่ายจะเหลือกระแสแอคทีฟเพียงอย่างเดียวที่เป็นสัญญาณรูปคลื่นลักษณะรูปซายน์และมีเฟสเดียวกันกับแหล่งจ่าย $v_s(t)$ ดังนั้น

$$i_C(t) = i_L(t) - i_p(t) \tag{4.4}$$

4.3 การประยุกต์ใช้โครงข่ายประสาทเทียมในการตรวจจับกระแสฮาร์โมนิค

เนื่องจากระบบต่ออยู่กับโหลดชนิดไม่เป็นเชิงเส้น จึงเป็นผลให้กระแสของแหล่งจ่ายเกิดกระแสฮาร์โมนิคขึ้นในระบบ ดังนั้นในหัวข้อนี้จะเป็นการตรวจหาค่ากระแสของฮาร์โมนิคที่เกิดขึ้นในระบบ สำหรับการหาค่ากระแสฮาร์โมนิคในปัจจุบันมีอยู่หลายวิธีซึ่งมีข้อดีและข้อเสียต่างๆกัน โดยงานวิจัยนี้ได้ใช้วิธีการตรวจจับกระแสฮาร์โมนิคด้วยวิธีโครงข่ายประสาทเทียม ซึ่งเป็นหลักการที่ง่ายๆไม่ซับซ้อน โครงข่ายประสาทเทียมที่นำมาประยุกต์ใช้นี้เป็นกระบวนการทางสัญญาณของ Widrow – Adaptive Noise Canceling Technology (ANCT) ซึ่งเป็นเทคนิคที่ใช้แยกสัญญาณที่ต้องการผสมรวมมากับสัญญาณรบกวนซึ่งได้กล่าวไว้แล้วดังบทที่ผ่านมา ในการนำโครงข่ายประสาทเทียมเข้ามาใช้ในการตรวจจับกระแสฮาร์โมนิค[10-14]มีโครงสร้างพื้นฐานดังรูปที่ 4.2

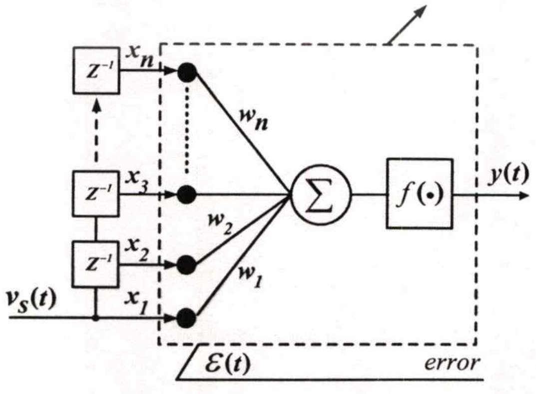
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.2 การประยุกต์ใช้โครงข่ายประสาทเทียมในตรวจจับกระแสฮาร์โมนิค

จากหลักการของเทคนิคการกำจัดสัญญาณรบกวนที่สามารถปรับตัวได้เอง เราสามารถนำไปประยุกต์ใช้กับวงจรกรองกำลังแอคทีฟ โดยแทนตัวกรองแบบปรับตัวได้ด้วยโครงข่ายประสาทเทียม (Neural Network) ซึ่งกระแส i_L จะนำมาแทนสัญญาณอินพุทหลัก ($s+n_0$) ส่วนกระแส i_{Cr} เป็นสัญญาณที่ออกมาจากระบบ (y), กระแส i_r แทนสัญญาณที่ออกมาจากโครงข่ายประสาทเทียม (n_0*)โดยที่สัญญาณอินพุทอ้างอิง (n_1) จะแทนด้วยกระแสจากแหล่งจ่ายที่ต้องการซึ่งอาจสมมุติให้มีลักษณะเหมือนกับแรงดัน v_s

ในส่วนของโครงข่ายประสาทเทียมที่ใช้จะเป็นแบบเชิงเส้นที่ปรับตัวได้เอง (ADALINE) ที่มีโครงสร้างของโครงข่ายประสาทเทียมแสดงดังรูปที่ 4.3 จะประกอบไปด้วย 2 ชั้น (Layer) คือ 1. ชั้นอินพุท (Input layer) 2. ชั้นเอาท์พุท (Output layer) โครงข่ายประสาทเทียมที่นำมาใช้นี้ประกอบไปด้วยสัญญาณอินพุท คือ x_1 , x_2 , x_3 , ………, x_n ตามลำดับ แต่ละข่ายเชื่อมโยงจะถูกเชื่อมโยงโดยค่าถ่วงน้ำหนัก (Weight) คือ w_1 , w_2 , w_3 , ………, w_n สำหรับโครงข่ายประสาทโดยทั่วไปนั้นค่าถ่วงน้ำหนักนี้จะถูกคูณกับสัญญาณอินพุทเพื่อส่งออกไปยังโครงข่ายประสาทเทียมถัดไป จากนั้นค่าที่รับมาจากการคูณของค่าถ่วงน้ำหนักจะนำรวมกันแล้วนำค่าที่ได้มาผ่านฟังก์ชั่นการเร่งเร้า (Activation function)



รูปที่ 4.3 โครงสร้างของโครงข่ายประสาทเทียมที่นำมาใช้ตรวจจับกระแสฮาร์โมนิค

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยอินพุทที่รับเข้ามาจะได้มาจากอินพุทอ้างอิง (v_s) และค่าที่หลังจากการผ่านการหน่วงของสัญญาณ ฟังก์ชั่นการเร่งเร้าที่ใช้ในโครงข่ายประสาทเทียมนี้ คือ ฟังก์ชั่นแบบเชิงเส้น จากสมการที่ (4.4) สามารถเขียนใหม่ได้เป็น

$$i_C(t) = i_L(t) - w.v_s(t) \tag{4.5}$$

เมื่อ

$$w = I_1 . \cos\phi_1 / V_s \tag{4.6}$$

โดยที่

$$\begin{aligned} \varepsilon(t) &= i_{Cr} = i_L - i_r \\ &= i_C + (i_p - i_r) \end{aligned} \tag{4.7}$$

ทำการยกกำลังสองทั้งสองข้าง

$$\varepsilon^2(t) = i^2_{Cr} = i^2_C + (i_p - i_r)^2 + 2i_c(i_p - i_r) \tag{4.8}$$

ถ้า i_C และ i_p ไม่มีความสัมพันธ์กัน โดยผลจาก orthogonal [15]ทางตรีโกรณมิติจะได้

$$\begin{aligned} E[\varepsilon^2(t)] &= E[i^2_{Cr}] = E[i^2_C] + E[(i_p - i_r)^2] + E[i_C(i_p - i_r)^2] \\ &= E[i^2_C] + E[(i_p - i_r)^2] \end{aligned} \tag{4.9}$$

เมื่อโครงข่ายประสาทเทียมจะต้องปรับตัวให้มี $E[i^2_{Cr}]$ ให้น้อยที่สุดจะมีค่าเป็น

$$E_{min}[i^2_{Cr}] = E[i^2_C] + E_{min}[(i_p - i_r)^2] \tag{4.10}$$

ดังนั้นเอาท์พุทของโครงข่ายประสาทเทียมจะได้ค่า i_r ที่ดีที่สุดจะต้อง

$$E[i^2_{Cr}] \approx E[i^2_C] \tag{4.11}$$

จากสมการที่ (4.11) จึงสรุปได้ว่าค่ากระแส i_{Cr} มีค่าประมาณกระแส i_C และหลักการในการเรียนรู้ของโครงข่ายประสาทเทียมใช้กระบวนการ LMS ซึ่งจะทำการปรับค่าถ่วงน้ำหนักของโครงข่ายประสาทให้มีค่าผิดพลาดที่น้อยที่สุดดังสมการ

อินพุท : $$x(k) = [v_s(k), v_s(k-1), \ldots.., v_s(k-m)]^T \tag{4.12}$$

เอาท์พุท : $$y(k) = \sum_{i=1}^{n} w_i(k).x_i(k) \tag{4.13}$$

โดยที่ $$w(k) = w(k-1) + \eta\, i^*_C(k-1).\, v_s(k-1) \tag{4.14}$$

เมื่อ k คือ อันดับการหน่วงของเวลาในการสุ่มสัญญาณ

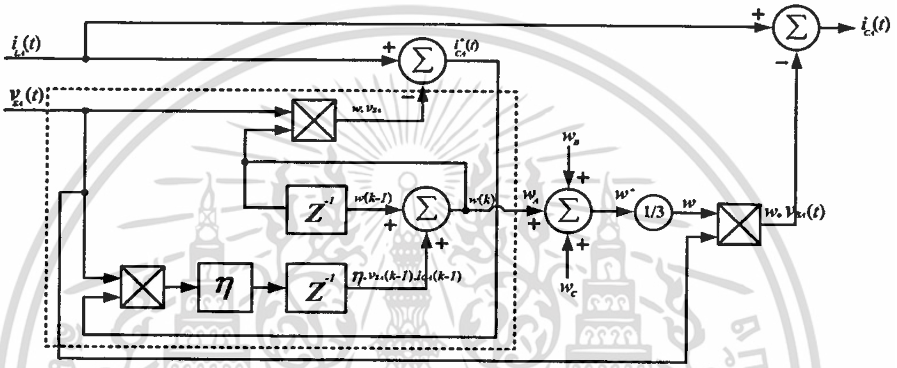
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

w คือ ค่าถ่วงน้ำหนัก

η คือ อัตราการเรียนรู้

การเลือกค่าอัตราการเรียนรู้เราจะออกแบบให้มีค่าอยู่ในช่วงตั้งแต่ 0.1 ถึง 1 เพราะว่าถ้าระบบมีอัตราการเรียนรู้ที่น้อยจะมีผลทำให้ระบบเข้าสู่สภาวะเสถียรภาพได้ช้า แต่ถ้าให้ระบบมีอัตราการเรียนรู้ที่มากเกินไปจะทำให้ระบบเกิดการไม่เสถียรภาพ ดังนั้นในการใช้งานเราจะต้องเลือกค่าอัตราการเรียนรู้ให้เหมาะสมกับงานนั้นๆ

$$0.1 < \eta < 1 \tag{4.15}$$



รูปที่ 4.4 โครงสร้างของการตรวจจับกระแสฮาร์โมนิคที่เฟส A

ในระบบแหล่งจ่ายกำลังแบบสามเฟสกรณีกระแสโหลดไม่สมดุล หรือ เกิดการผิดพลาดขึ้นในระบบ เราสามารถใช้หลักการอย่างง่ายๆสำหรับหาค่ากระแสฮาร์โมนิคในแต่ละเฟสของระบบ คือ สร้างระบบโครงข่ายประสาทเทียมขึ้นมาโดยแต่ละเฟสจะทำการคำนวณหาค่ากระแสฮาร์โมนิคแยกกันในแต่ละเฟสตามปกติ เพียงแต่จะนำค่าถ่วงน้ำหนักที่คิดได้ในแต่ละเฟส w_A, w_B, w_C มาเฉลี่ยกันตามสมการที่ (4.16) ถึง (4.19) ตามลำดับ

$$i_{pA} = w \,.\, v_{SA} \tag{4.16}$$

$$i_{pB} = w \,.\, v_{SB} \tag{4.17}$$

$$i_{pC} = w \,.\, v_{SC} \tag{4.18}$$

โดยที่

$$w = (w_A + w_B + w_C)/3 \tag{4.19}$$

และกระแสที่ทำการชดเชยในแต่ละเฟสคือ

$$i_{CrA} = i_{LA} - i_{pA} \tag{4.20}$$

$$i_{CrB} = i_{LB} - i_{pB} \tag{4.21}$$

$$i_{CrC} = i_{LC} - i_{pC} \tag{4.22}$$

เมื่อ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$i_{pA} = w \, . \, sin\,(\omega t) \tag{4.23}$$

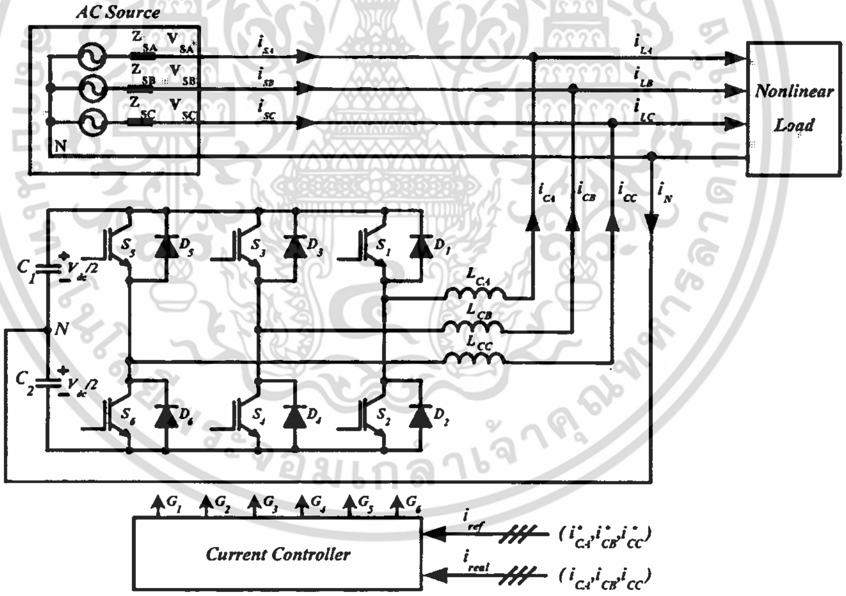
$$i_{pB} = w \, . \, sin\,(\omega t - 120^{o}) \tag{4.24}$$

$$i_{pA} = w \, . \, sin\,(\omega t - 240^{o}) \tag{4.25}$$

4.4 หลักการทำงานของวงจรกรองกำลังแอคทีฟ

การทำงานของวงจรกรองกำลังแอคทีฟจะเกิดขึ้นเมื่ออุปกรณ์สวิทชิ่งของวงจรอินเวอร์เตอร์เปลี่ยนสถานะสวิทช์และไดโอดจะถูกใช้เป็นส่วนควบคุมให้มีการถ่ายเทพลังงานระหว่างตัวเหนี่ยวนำและตัวเก็บประจุในรูปของการเปลี่ยนแปลงแรงดัน V_{dc} และกระแสชดเชย i_{cr} ตามลำดับ

โครงสร้างวงจรกำลังที่ใช้ในงานวิจัยนี้ประกอบไปด้วยอุปกรณ์ทำการสวิทช์ IGBT จำนวน 6 ตัว $S_1 , S_2 , \ldots , S_6$ ซึ่งสวิทช์ (S_1 , S_2), (S_3 , S_4), (S_5 , S_6) จะทำหน้าที่ในการควบคุมกระแสชดเชยเฟส A, เฟส B, เฟส C ตามลำดับ โดยจุดร่วมระหว่างตัวเก็บประจุ C_1 และ C_2 จะต่อไปยังสายนิวทรอลของระบบแสดงดังรูปที่ 4.5



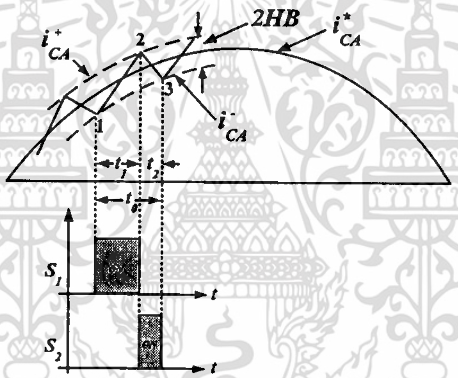
รูปที่ 4.5 โครงสร้างวงจรกำลังของวงจรกรองกำลังแอคทีฟ 3 เฟส 4 สาย ที่ใช้ในงานวิจัย

เทคนิคที่ใช้ควบคุมกระแสของวงจรกำลังในงานวิจัยนี้จะใช้หลักการควบคุมกระแสที่ใช้โครงข่ายประสาทเทียมมาทำการเปรียบเทียบกับการควบคุมกระแสแบบติดตามขอบเขตฮีสเตอร์รีซีสแบบเดิม ซึ่งการควบคุมกระแสที่ใช้โครงข่ายประสาทเทียมดีกว่าการควบคุมกระแสแบบฮีสเตอร์รีซีสตรงที่มีการสูญเสียในการสวิทช์ที่น้อยกว่า โดยแสดงให้เห็นในหัวข้อการจำลองการทำงานของวงจรกรองกำลังแอคทีฟในส่วนท้ายสุดของบท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.4.1 การวิเคราะห์เทคนิคการควบคุมกระแสแบบขอบเขตฮีสเตอร์รีซีส (Adaptive Hysteresis band current control)

การควบคุมกระแสที่ใช้เทคนิคการควบคุมกระแสแบบติดตามขอบเขตฮีสเตอร์รีซีสนั้นมีหลักการ คือ การนำสัญญาณอ้างอิง i^*_{CA} ที่ต้องการนำมาลบกับกระแสที่ตรวจจวัดได้จริง ซึ่งจะได้สัญญาณผิดพลาด (error) แล้วจึงนำไปทำการเปรียบเทียบกับขอบเขตฮีสเตอร์รีซีส โดยเมื่อสัญญาณกระแสจริง i_{CA} มีค่ามากกว่าขอบเขตฮีสเตอร์รีซีสด้านบนสวิทช์ S_2 ทำงานส่วนสวิทช์ S_1 จะหยุดทำงานจึงเป็นผลให้กระแสมีความชันลดลง แต่ในทางกลับกันถ้ากระแสจริง i_{CA} มีค่าน้อยกว่าขอบเขตฮีสเตอร์รีซีสด้านล่างสวิทช์ S_1 ทำงานส่วนสวิทช์ S_2 จะหยุดทำงานแทน จากหลักการนี้จะกระทำซ้ำๆกันตามเงื่อนไขที่ได้กล่าวมา โดยรูปสัญญาณกระแสของการควบคุมกระแสแบบติดตามขอบเขตฮีสเตอร์รีซีส[16]สามารถแสดงได้ดังรูปที่ 4.6



รูปที่ 4.6 สัญญาณกระแสและการสวิทช์ของการควบคุมกระแสแบบติดตามขอบเขตฮีสเตอร์รีซีส

จากรูปที่ 4.6 พบว่าในการวิเคราะห์หลักการทำงานของวิธีควบคุมกระแสแบบติดตามขอบเขตฮีสเตอร์รีซีสจะมีอยู่สองสถานะ คือ เมื่อกระแส i^+_{CA} เดินทางจากจุดที่ 1 ไปยังจุดที่ 2 โดยกระแส i_{CA} จะวิ่งจากขอบเขตล่างไปหาขอบเขตบนจึงทำให้ความชันของกระแสเป็นบวกและจากจุดที่ 2 ไปยังจุดที่ 3 กระแส i^-_{CA} ซึ่งมีความชันเป็นลบ ดังนั้นในการวิเคราะห์จากรูปที่ 4.6 สามารถเขียนเป็นสมการที่เกิดจากการสวิตช์ที่เวลา t_1 และ t_2 เมื่อ S_1 ทำงานและ S_2 ไม่ทำงานที่เวลา t_1

$$L\frac{di^+_{CA}}{dt} = V_{dc} \tag{4.26}$$

และเมื่อ S_2 ทำงานและ S_1 ไม่ทำงานที่เวลา t_2

$$L\frac{di^-_{CA}}{dt} = -V_{dc} \tag{4.27}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดังนั้นเมื่อนำ $t_1 + t_2$ จะได้

$$\frac{di_{CA}^{+}}{dt}+\frac{di_{CA}^{-}}{dt} = 0 \tag{4.28}$$

เมื่อ L คือ ตัวเหนี่ยวนำที่ต่ออยู่ระหว่างอินเวอร์เตอร์และแหล่งจ่าย

i_a^{+} คือ กระแสชดเชยที่มีความชันเป็นบวกเมื่อกระแสเดินทางไปชนขอบเขตบน

i_a^{-} คือ กระแสชดเชยที่มีความชันเป็นลบเมื่อกระแสเดินทางไปชนขอบเขตล่าง

HB^{+} คือ ขอบเขตบนของฮีสเตอร์รีซีส

HB^{-} คือ ขอบเขตล่างของฮีสเตอร์รีซีส

i_{CA} * คือ กระแสอ้างอิง

จากหลักการตรีโกณมิติในรูปที่ 4.6 สามารถเขียนสมการได้ดังนี้

$$\frac{di_{CA}^{+}}{dt}t_1 - \frac{di_{CA}^{*}}{dt}t_1 = 2HB \tag{4.29}$$

$$\frac{di_{CA}^{-}}{dt}t_2 - \frac{di_{CA}^{*}}{dt}t_2 = -2HB \tag{4.30}$$

$$t_1 + t_2 = T_C = \frac{1}{f_C} \tag{4.31}$$

เมื่อ t_1 และ t_2 คือ เวลาในการสวิตช์ของ IGBT แล้ว f_c คือ ความถี่สวิตช์ซึ่งเมื่อนำสมการที่ (4.29) และสมการที่ (4.30) มาบวกกันแล้วแทนในสมการ (4.31) สามารถเขียนเป็น

$$t_1\frac{di_{CA}^{+}}{dt}+t_2\frac{di_{CA}^{-}}{dt}-\frac{1}{f_C}\frac{di_{CA}^{*}}{dt} = 0 \tag{4.32}$$

แล้วนำสมการ (4.26) ลบกับสมการ (4.25) จะได้

$$t_1\frac{di_{CA}^{+}}{dt}-t_2\frac{di_{CA}^{-}}{dt}-\left(t_1-t_2\right)\frac{di_{CA}^{*}}{dt} = 4HB \tag{4.33}$$

นำสมการ (4.24) แทนลงในสมการ (4.29) จะได้

$$\left(t_1+t_2\right)\frac{di_{CA}^{+}}{dt}-\left(t_1-t_2\right)\frac{di_{CA}^{*}}{dt} = 4HB$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\frac{1}{f_C}\frac{di_{CA}^{+}}{dt}-\left(t_1-t_2\right)\frac{di_{CA}^{*}}{dt} = 4HB \tag{4.34}$$

เมื่อนำสมการ (4.21) แทนลงในสมการ (4.28) จะได้

$$t_1-t_2 = \frac{\left(\frac{di_{CA}^{*}}{dt}\right)}{f_C\left(\frac{di_{CA}^{+}}{dt}\right)} \tag{4.35}$$

เมื่อนำสมการ (4.29) แทนในสมการ (4.30) จะได้

$$\frac{1}{f_C}\left[\frac{di_{CA}^{+}}{dt}-\frac{\left(\frac{di_{CA}^{*}}{dt}\right)^2}{\frac{di_{CA}^{+}}{dt}}\right] = 4HB \tag{4.36}$$

เมื่อนำสมการ (4.22) แทนในสมการ (4.32) จะได้

$$\frac{0.25V_{dc}}{f_C\,L}\left[1-\frac{4m^2L^2}{V_{dc}^2}\right] = HB \tag{4.37}$$

ดังนั้น f_C มีค่าเท่ากับ

$$\frac{0.25V_{dc}}{(HB)L}\left[1-\frac{4m^2L^2}{V_{dc}^2}\right] = f_C \tag{4.38}$$

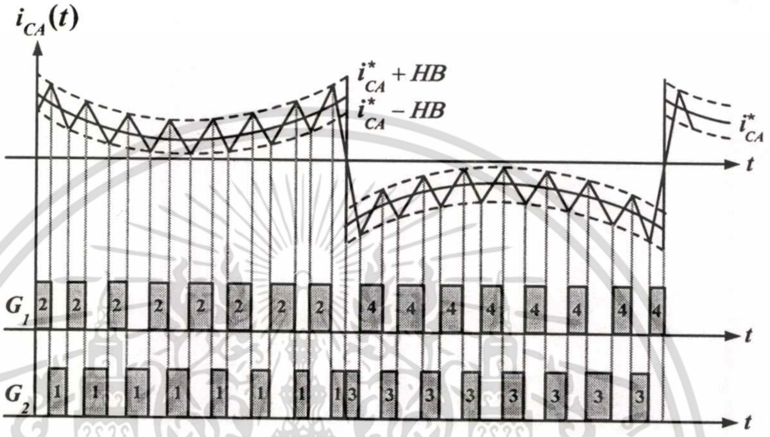
เมื่อกำหนดให้ $m=\frac{di_{CA}^{*}}{dt}$ คือ ความชันของกระแสอ้างอิง

จากสมการที่ (4.38) จะพบว่าขณะที่แรงดันตกคร่อมตัวเก็บประจุเป็นค่าคงที่ ดังนั้นความถี่ในการสวิทช์สูงสุดจะขึ้นอยู่กับขนาดของตัวเหนี่ยวนำและความกว้างขอบเขตฮีสเตอร์รีซีส ถ้าการควบคุมกระแสแบบติดตามขอบเขตฮีสเตอร์รีซีสนี้มีขนาดของตัวเหนี่ยวนำและความกว้างขอบเขตฮีสเตอร์รีซีสมีค่าน้อยจะทำให้ความถี่ในการสวิทช์สูง ซึ่งในทางปฏิบัติไม่สามารถใช้ความถี่ในการสวิทช์สูงมากเพราะทำให้ความถี่ในการสวิทช์สูงเกินพิกัดของอุปกรณ์การสวิทช์ จึงทำให้อุปกรณ์การสวิทช์เสียหายได้ แต่ถ้าให้ขนาดของตัวเหนี่ยวนำและความกว้างขอบเขตฮีสเตอร์รีซีสมีค่ามาก การตอบสนองต่อการสร้างกระแสช้า ดังนั้นในการเลือกขนาดของตัวเหนี่ยวนำและความกว้างขอบเขตฮีสเตอร์รีซีสจะต้องเลือกให้เหมาะสม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

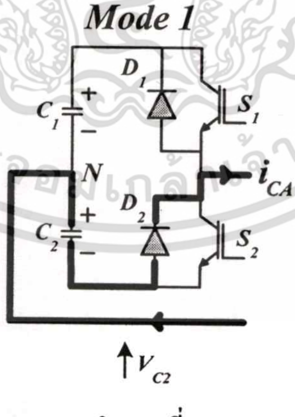
4.4.2 หลักการทำงานของโหมดการสวิทช์

จากรูปที่ 4.6 สามารถอธิบายหลักการทำงานการควบคุมกระแสของสวิทช์วงจรกรองกำลังแอคทีฟ โดยวงจรกรองกำลังแอคทีฟนั้นจะทำการควบคุมการส่งถ่ายกำลังงานไฟฟ้าระหว่างแหล่งจ่ายแรงดันกับอินเวอร์เตอร์ให้กระแสของอินเวอร์เตอร์ i^*_{CA} มีมุมต่างเฟสกับแรงดันแหล่งจ่าย V_s เป็นมุม 180^0 รูปแบบการทำงานของการสวิทช์แบ่งออกเป็น 4 โหมดการทำงานซึ่งสามารถอธิบายการทำงานได้ดังรูปที่ 4.7



รูปที่ 4.7 รูปคลื่นกระแสของอินเวอร์เตอร์ตามสภาวะโหมดการควบคุมของสวิทช์

4.4.2.1 โหมดการทำงานที่ 1

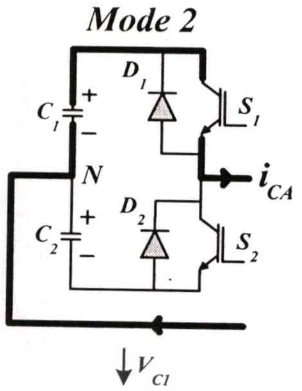


รูปที่ 4.8 การทำงานของสวิทช์ในโหมดการทำงานที่ 1

การทำงานในโหมดนี้จะทำงานอยู่ในช่วงมุมของกระแส 0^0 ถึง 180^0 (ซีกบวก) ดังนั้นจะส่งสัญญาณไปขับที่ขา G_2 ของสวิทช์ S_2 ส่วนสวิทช์ S_1 จะไม่มีการส่งสัญญาณไปขับที่ขา G_1 โดยที่ $V_s + V_L < V_{C1}$ จึงทำให้กระแส i_{CA} จะไหลจากตัวเก็บประจุ C_2 ไปยังไดโอด D_1 เป็นผลให้แรงดันที่ตัวเก็บประจุ C_2 มีค่าเพิ่มขึ้น เพราะฉะนั้นกระแสที่ไหลผ่านตัวเหนี่ยวนำ L มีอัตราการเปลี่ยนแปลงที่ลดลง ($di_{CA}/dt < 0$)

เอกสารนี้เป็นเอกสารที่เผยแพร่ไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

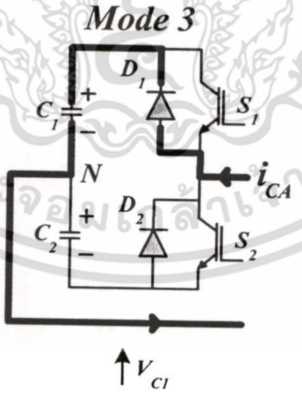
4.4.2.2 โหมดการทำงานที่ 2



รูปที่ 4.9 การทำงานของสวิทช์ในโหมดการทำงานที่ 2

การทำงานในโหมดนี้จะทำงานอยู่ในช่วงมุมของกระแส 0^0 ถึง 180^0 (ซีกบวก) ดังนั้นจะส่งสัญญาณไปขับที่ขา G_1 ของสวิทช์ S_1 ส่วนสวิทช์ S_2 จะไม่มีการส่งสัญญาณไปขับที่ขา G_2 โดยที่ $V_s + V_L < V_{C1}$ จึงทำให้กระแส i_{CA} จะไหลจากตัวเก็บประจุ C_1 ไปยังสวิทช์ S_1 เป็นผลให้แรงดันที่ตัวเก็บประจุ C_1 มีค่าลดลง เพราะฉะนั้นกระแสที่ไหลผ่านตัวเหนี่ยวนำ L มีอัตราการเปลี่ยนแปลงที่เพิ่มขึ้น ($di_{CA}/dt > 0$)

4.4.2.3 โหมดการทำงานที่ 3

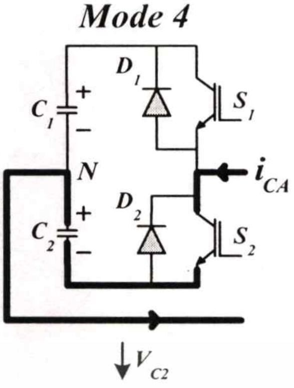


รูปที่ 4.10 การทำงานของสวิทช์ในโหมดการทำงานที่ 3

การทำงานในโหมดนี้จะทำงานอยู่ในช่วงมุมของกระแส 180^0 ถึง 360^0 (ซีกลบ) ดังนั้นจะส่งสัญญาณไปขับที่ขา G_1 ของสวิทช์ S_1 ส่วนสวิทช์ S_2 จะไม่มีการส่งสัญญาณไปขับที่ขา G_2 โดยที่ $V_s + V_L > V_{C1}$ จึงทำให้กระแส i_{CA} จะไหลจากไดโอด D_1 ไปยังตัวเก็บประจุ C_1 เป็นผลให้แรงดันที่ตัวเก็บประจุ C_1 มีค่าเพิ่มขึ้น เพราะฉะนั้นกระแสที่ไหลผ่านตัวเหนี่ยวนำ L มีอัตราการเปลี่ยนแปลงที่เพิ่มขึ้น ($di_{CA}/dt > 0$)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.4.2.4 โหมดการทำงานที่ 4



รูปที่ 4.11 การทำงานของสวิทช์ในโหมดการทำงานที่ 4

การทำงานในโหมดนี้จะทำงานอยู่ในช่วงมุมของกระแส 180^0 ถึง 360^0 (ซีกลบ) ดังนั้นจะส่งสัญญาณไปขับที่ขา G_2 ของสวิทช์ S_2 ส่วนสวิทช์ S_1 จะไม่มีการส่งสัญญาณไปขับที่ขา G_1 โดยที่ $V_s + V_L > V_{C1}$ จึงทำให้กระแส i_{CA} จะไหลจากสวิทช์ S_2 ไปยังตัวเก็บประจุ C_2 เป็นผลให้แรงดันที่ตัวเก็บประจุ C_2 มีค่าลดลง เพราะฉะนั้นกระแสที่ไหลผ่านตัวเหนี่ยวนำ L มีอัตราการเปลี่ยนแปลงที่ลดลง ($di_{CA}/dt < 0$)

จากโหมดการทำงานของการสวิทช์ในโหมดอินเวอร์เตอร์เราสามารถแบ่งออกเป็น 4 โหมดการทำงาน ซึ่งแต่ละโหมดการทำงานจะทำให้แรงดันที่ตัวเก็บประจุเกิดการเปลี่ยนแปลงเพิ่มขึ้นหรือลดลงขึ้นอยู่กับว่าในขณะนั้นวงจรมีการสวิทช์อยู่ในโหมดการทำงานใด โดยสามารถสรุปเงื่อนไขการเปลี่ยนแปลงแรงดันของตัวเก็บประจุได้ดังตารางที่ 4.1

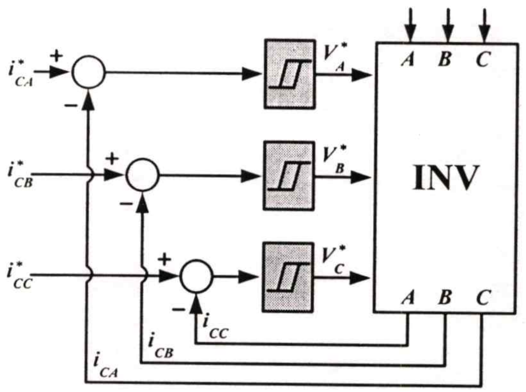
ตารางที่ 4.1 เงื่อนไขการเปลี่ยนแปลงแรงดันของตัวเก็บประจุ

เงื่อนไข	การเปลี่ยนแปลงแรงดันของตัวเก็บประจุ
$i_{CA} > 0$ และ $di_{CA}/dt < 0$	ค่าแรงดัน V_{C2} เพิ่มขึ้น
$i_{CA} < 0$ และ $di_{CA}/dt < 0$	ค่าแรงดัน V_{C2} ลดลง
$i_{CA} < 0$ และ $di_{CA}/dt > 0$	ค่าแรงดัน V_{C1} เพิ่มขึ้น
$i_{CA} > 0$ และ $di_{CA}/dt > 0$	ค่าแรงดัน V_{C1} ลดลง

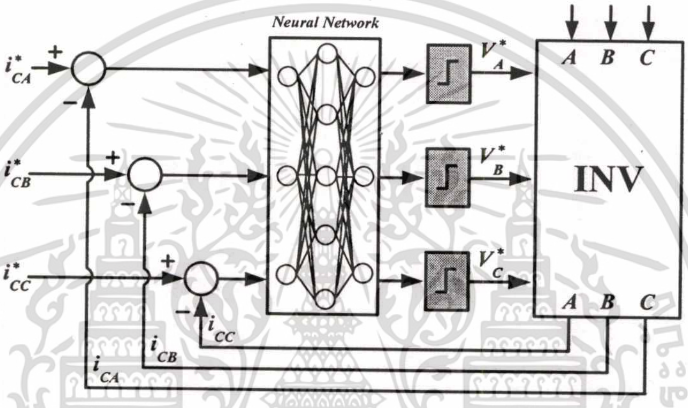
4.5 การประยุกต์ใช้งานโครงข่ายประสาทเทียมกับวงจรควบคุมกระแส

การนำโครงข่ายประสาทเทียมเข้ามาประยุกต์ใช้ในการควบคุมกระแสสำหรับงานวิจัยนี้ยังคงใช้หลักการของการควบคุมกระแสด้วยวิธีขอบเขตฮีสเตอร์รีซีสเป็นพื้นฐานในการออกแบบ โดยการควบคุมกระแสที่ใช้ตัวเปรียบเทียบแบบฮีสเตอร์รีซีสและการควบคุมกระแสที่ใช้โครงข่ายประสาทเทียม[17]สามารถแสดงได้ดังรูปที่ 4.12(ก) และ4.12(ข) ตามลำดับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ก)

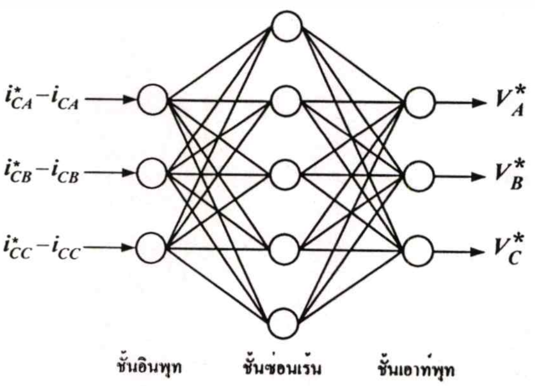


(ข)

รูปที่ 4.12 (ก) การควบคุมกระแสโดยใช้วิธีขอบเขตฮีสเตอร์รีซีส

(ข) การควบคุมกระแสโดยใช้วิธี โครงข่ายประสาทเทียม

โครงข่ายประสาทเทียมที่เลือกใช้ในงานวิจัยนี้เป็นโครงข่ายแบบป้อนไปข้างหน้า[18-19]ที่มีจำนวนชั้นอยู่ 3 ชั้น ประกอบไปด้วย ชั้นอินพุทที่มี 3 โหนด, ชั้นซ้อนเร้นที่มี 5 โหนด, ชั้นเอาท์พุทที่มี 3 โหนด แสดงดังรูปที่ 4.13 โดยให้ฟังก์ชั่นการเร่งเร้าเป็นแบบซิกมอยด์ไบนารี่ และมีการเรียนรู้แบบแพร่กลับ (Backpropagation Learning)



รูปที่ 4.13 โครงสร้างของโครงข่ายประสาทเทียมที่นำมาใช้กับวงจรควบคุมกระแส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เงื่อนไขการสอนโครงข่ายประสาทเทียมที่ใช้หลักของการควบคุมกระแสโดยวิธีติดตามขอบเขตฮีสเตอร์รีซีสมีเงื่อนไขดังนี้

กรณีที่ 1. ถ้า (กระแสอ้างอิง – กระแสจริง) > ค่าขอบเขตฮีสเตอร์รีซีสด้านบน (สภาวะเป็น ‘1’)

: สวิทช์กิ่งบน (S_1 หรือ S_3 หรือ S_5) ของแต่ละเฟสไม่ทำงาน

: สวิทช์กิ่งล่าง (S_2 หรือ S_4 หรือ S_6) ของแต่ละเฟสทำงาน

กรณีที่ 2. ถ้า (กระแสอ้างอิง – กระแสจริง) < ค่าขอบเขตฮีสเตอร์รีซีสด้านล่าง (สภาวะเป็น ‘0’)

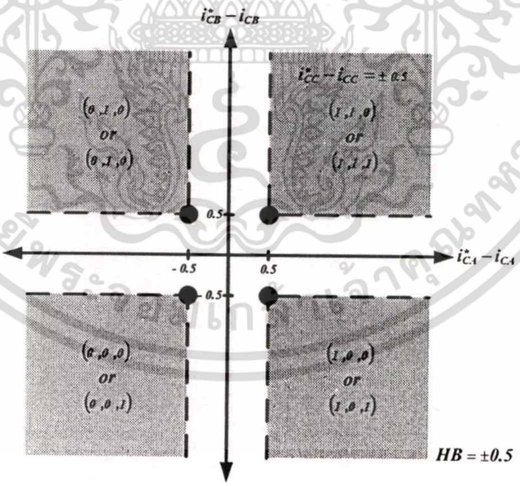
: สวิทช์กิ่งบน (S_1 หรือ S_3 หรือ S_5) ของแต่ละเฟสทำงาน

: สวิทช์กิ่งล่าง (S_2 หรือ S_4 หรือ S_6) ของแต่ละเฟสไม่ทำงาน

กรณีที่ 3. ถ้า (กระแสอ้างอิง – กระแสจริง) อยู่ในช่วงขอบเขตฮีสเตอร์รีซีส

: สวิทช์ทุกตัวคงสภาวะการทำงานเดิมไว้

โดยที่เงื่อนไขการสอนของโครงข่ายประสาทเทียมในการควบคุมกระแสจะพบว่ามีอยู่ 8 รูปแบบ ซึ่งสามารถเขียนเป็นแผนภาพ, ตารางของรูปแบบของอินพุทและสัญญาณที่ต้องการที่จะนำมาฝึกสอนโครงข่ายประสาทเทียมดังรูปที่ 4.14 และ 4.15 ตามลำดับ



รูปที่ 4.14 แผนภาพของรูปในการสอนของการควบคุมกระแสที่ใช้โครงข่ายประสาทเทียม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 4.2 รูปแบบอินพุทและสัญญาณที่ต้องการที่ใช้ในการสอนโครงข่ายประสาทเทียม

รูปแบบอินพุท			**รูปแบบเอาท์พุท**		
$i^*_{CA} - i_{CA}$	$i^*_{CB} - i_{CB}$	$i^*_{CC} - i_{CC}$	V^*_A	V^*_B	V^*_C
0.5	0.5	0.5	1	1	1
0.5	0.5	- 0.5	1	1	0
0.5	- 0.5	0.5	1	0	1
0.5	- 0.5	- 0.5	1	0	0
- 0.5	0.5	0.5	0	1	1
- 0.5	0.5	- 0.5	0	1	0
- 0.5	- 0.5	0.5	0	0	1
- 0.5	- 0.5	- 0.5	0	0	0

สำหรับการสอนโครงข่ายประสาทเทียมที่ใช้วิธีแพร่ย้อนกลับในนี้ได้ใช้โปรแกรม Matlab เข้ามาช่วยในการสอนเพื่อหาค่าถ่วงน้ำหนักและค่าไบอัส ซึ่งใช้รูปแบบในการสอนโครงข่ายประสาทเทียมโดยมีรูปแบบอินพุทและสัญญาณที่ต้องการตามตารางที่ 4.2 และเขียนโปรแกรมไว้ดังภาคผนวก ข.

จากการสอนโครงข่ายประสาทเทียมด้วยโปรแกรม Matlab โดยกำหนดค่าความผิดพลาดของเอาท์พุทสำหรับการฝึกสอนให้มีค่าไม่เกิน 0.001โดยฟังก์ชั่นการเร่งเร้าที่ใช้คือ " ซิกมอยด์ไบนารี " ซึ่งจะได้ค่าถ่วงน้ำหนักและค่าไบอัสในชั้นต่างๆ ดังนี้

ค่าถ่วงน้ำหนัก :

v_{11} = 1.0655 w_{11} = 2.6954

v_{21} = 3.3182 w_{21} = -0.1768

v_{31} = 9.7590 w_{31} = -9.1831

v_{12} = 3.0663 w_{41} = -4.8092

v_{22} = -9.7246 w_{51} = -6.4196

v_{32} = -1.6900 w_{12} = 0.5793

v_{13} = 8.4370 w_{22} = -8.8223

v_{23} = 6.0302 w_{32} = 4.0854

v_{33} = -0.2576 w_{42} = 3.2562

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ค่าถ่วงน้ำหนัก (ต่อ) :

$v_{14} = -5.9241$ $w_{52} = 0.6252$

$v_{24} = 4.4607$ $w_{13} = 5.3768$

$v_{34} = -5.9341$ $w_{23} = -0.2512$

$v_{15} = -3.1142$ $w_{33} = -3.8054$

$v_{25} = 4.2341$ $w_{43} = -4.2034$

$v_{35} = 8.8564$ $w_{53} = 6.1852$

ค่าไบอัส :

$v_{01} = 0.4718$ $w_{01} = -0.2421$

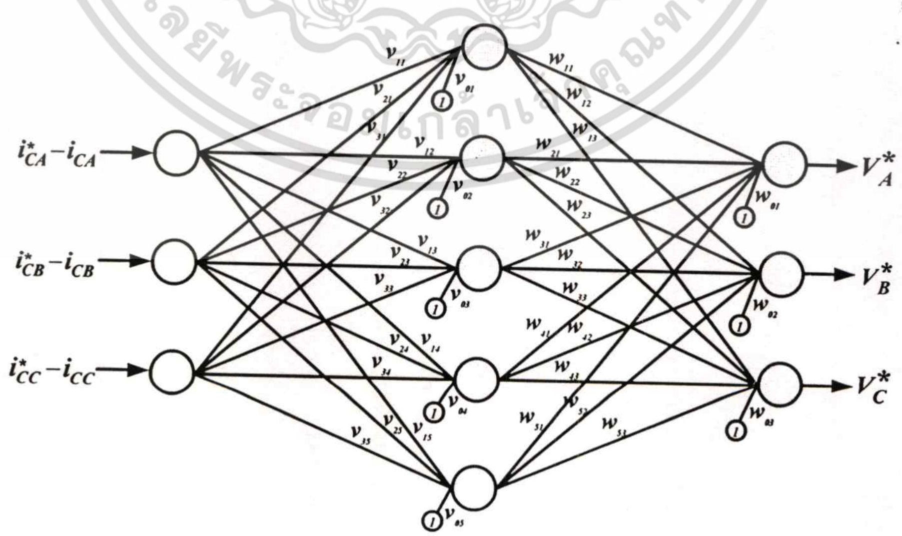
$v_{02} = 0.1070$ $w_{02} = -0.1767$

$v_{03} = 0.3377$ $w_{03} = -1.7445$

$v_{04} = 0.1381$

$v_{05} = 0.3691$

ดังนั้นสามารถเขียนรูปโครงข่ายประสาทเทียมใหม่จากรูปที่ 4.12 โดยแทนค่าถ่วงน้ำหนักและค่าไบอัสที่หาได้ดังรูปที่ 4.15

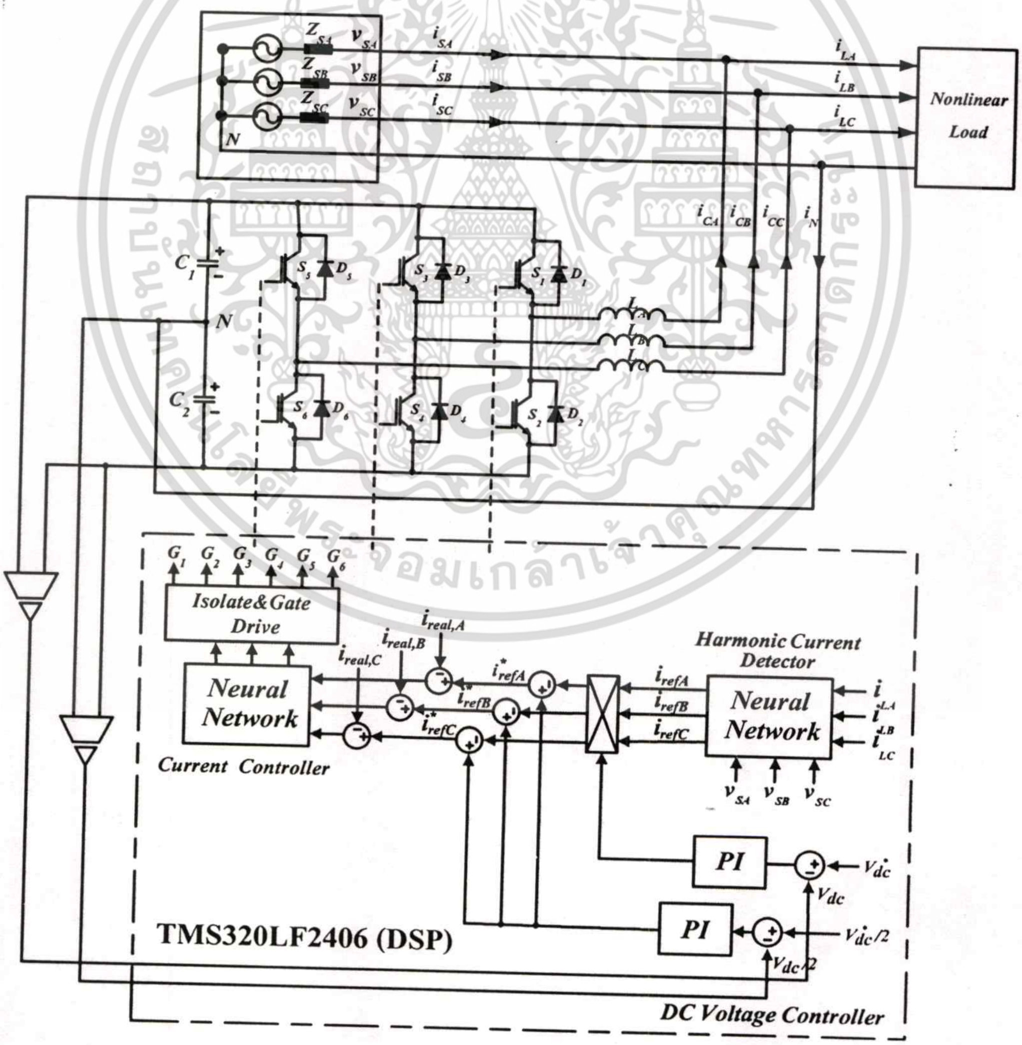


รูปที่ 4.15 โครงข่ายประสาทเทียมที่ได้หลังจากทำการฝึกสอนแล้ว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.6 การควบคุมระดับแรงดันเชื่อมโยงไฟตรง และแรงดันจุดกึ่งกลางไฟตรงให้คงที่

การควบคุมระดับแรงดันไฟตรงของอินเวอร์เตอร์ที่ใช้ในระบบ 3 เฟส 4 สายนอกจากจะต้องควบคุมระดับแรงดันไฟตรงเชื่อมโยงทั้งหมด ($V_{dc}=V_{C1}+V_{C2}$) ให้มีค่าเป็นไปตามที่ต้องการแล้วยังต้องควบคุมระดับแรงดันตัวเก็บประจุทั้งกิ่งบน (V_{C1}) และกิ่งล่าง (V_{C2}) ให้มีค่าเท่ากันด้วย เนื่องจากถ้าเราไม่ทำการควบคุมให้ระดับแรงดันให้คงที่นั้นแรงดันของตัวเก็บประจุจะไม่คงที่และจะขึ้นอยู่กับการสวิทช์ของวงจรกำลัง ถ้ากรณีที่เราไม่ทำการควบคุมแรงดันนี้อาจจะมีผลทำให้แรงดันที่ตัวเก็บประจุสูงเกินพิกัดแรงดันของตัวเก็บประจุจึงทำให้ตัวเก็บประจุเสียหายได้ แต่ในกรณีกลับกันถ้าเกิดแรงดันที่ตัวเก็บประจุมีค่าต่ำกว่าแรงดันยอด (V_p) ของแหล่งจ่ายไฟ จะมีผลทำให้วงจรกรองกำลังแอคทีฟไม่สามารถจ่ายกระแสชดเชยได้ ดังนั้นเราจำเป็นต้องทำการออกแบบในการควบคุมระดับแรงดันไฟตรงให้คงที่ โดยโครงสร้างของวงจรกรองกำลังแอคทีฟแบบขนาน 3 เฟส 4 สาย ที่มีการรักษาระดับตรงแสดงได้ดังรูปที่ 4.16



รูปที่ 4.16 โครงสร้างของวงจรกรองกำลังแอคทีฟแบบขนาน 3 เฟส 4 สาย ที่มีการรักษาระดับแรงดันไฟตรง

เอกสารนี้เป็นเอกสารที่จัดทำไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.6.1 การควบคุมระดับแรงดันบัสไฟตรงเชื่อมโยงให้คงที่

จากทฤษฎีกำลังงานรีแอคทีฟขณะใดๆจะพบว่ากำลังงานส่วนที่ทำให้เกิดกระแสฮาร์โมนิคนั้นจะเป็นองค์ประกอบไฟสลับ ดังนั้นค่ากำลังงานที่ไหลเข้าออกจากอินเวอร์เตอร์ของวงจรกรองแอคทีฟใน 1 คาบเวลาจึงมีค่าเป็นศูนย์ ด้วยเหตุนี้เองส่วนของอินเวอร์เตอร์ที่ใช้ในวงจรกรองกำลังแอคทีฟจึงไม่จำเป็นต้องมีวงจรเรียงกระแสเพื่อจ่ายกำลังงานให้กับตัวเก็บประจุไฟตรงเหมือนอินเวอร์เตอร์ทั่วไป อย่างไรก็ตามวงจรอินเวอร์เตอร์ในทางปฏิบัติจะมีกำลังสูญเสีย อันเนื่องมาจากสาเหตุต่างๆ เช่น กำลังสูญเสียจากการสวิตช์, กำลังสูญเสียขณะนำกระแสของสวิตช์กำลังฯลฯ จึงทำให้แรงดันไฟตรงที่ตัวเก็บประจุมีค่าลดลงได้ ดังนั้นเราจึงมีความจำเป็นที่จะต้องดึงเอากำลังงานจากแหล่งจ่ายของการไฟฟ้าเข้ามาเพื่อทำการชดเชยกำลังที่สูญเสียไปและทำให้เราสามารถควบคุมแรงดันไฟตรงให้มีค่าเฉลี่ยคงที่และมีค่าสูงเพียงพอต่อการทำงานของอินเวอร์เตอร์ได้ โดยอินเวอร์เตอร์จะทำการสร้างแรงดันเพื่อให้วงจรกรองกำลังแอคทีฟสร้างกระแสที่ความถี่มูลฐานที่มีเฟสเดียวกันกับแรงดันเพื่อที่จะดึงพลังงานเข้าสู่ระบบ พลังงานที่ถูกดึงเข้าสู่ระบบจะถูกนำไปสะสมในตัวเก็บประจุทำให้ค่าระดับแรงดันไฟตรงมีค่าสูงขึ้น ในขณะเดียวกันถ้าแรงดันไฟตรงมีค่าสูงกว่าค่าที่กำหนดวงจรกรองกำลังแอคทีฟจะสร้างกระแสที่ความถี่มูลฐานที่มีเฟสตรงกันข้ามกับแรงดันเพื่อทำการจ่ายพลังงานออกไปจากอินเวอร์เตอร์ทำให้แรงดันไฟตรงมีค่าลดลง ดังนั้นเราสามารถเขียนโครงสร้างของวงจรกรองกำลังแอคทีฟที่มีส่วนการควบคุมแรงดันบัสไฟตรงได้ดังรูปที่ 4.16 โดยจะป้อนกลับค่าแรงดันบัสไฟตรง V_{dc} เปรียบเทียบกับค่าอ้างอิง V_{dc}^* และควบคุมผ่านตัวควบคุมพีไอ ซึ่งทำหน้าที่กำหนดค่ากระแสคำสั่งที่จำเป็นในการควบคุมแรงดัน แล้วนำค่าที่ได้จากตัวควบคุมพีไอนี้มาทำการคูณกับสัญญาณกระแสอ้างอิงฮาร์โมนิคในแต่ละเฟส (i_{refA} , i_{refB} , i_{refC}) เพื่อเป็นกระแสอ้างอิงของส่วนตัวควบคุมกระแสต่อไป

การออกแบบตัวควบคุมพีไอจะเริ่มจากการเขียนแบบจำลองทางคณิตศาสตร์ของตัวเก็บประจุเป็นบล็อกไดอะแกรม เมื่อรวมกับบล็อกไดอะแกรมของส่วนควบคุมพีไอและวงจรกรองสัญญาณกระแสสามารถแสดงได้ดังรูปที่ 4.17 โดยการเขียนแบบจำลองทางคณิตศาสตร์ของตัวเก็บประจุเราจะอาศัยสมการพลังงาน[20]แสดงดังสมการ

$$P_{charge} - P_{loss} = E_m(t)\, i_{dc}(t) = V_{dc}(t)\, C_{dc} \frac{dV_{dc}(t)}{dt} = \frac{1}{2} C_{dc} \frac{dV_{dc}^2(t)}{dt} \qquad (4.39)$$

โดยที่ P_{charge} คือ กำลังงานที่ไหลเข้าอินเวอร์เตอร์

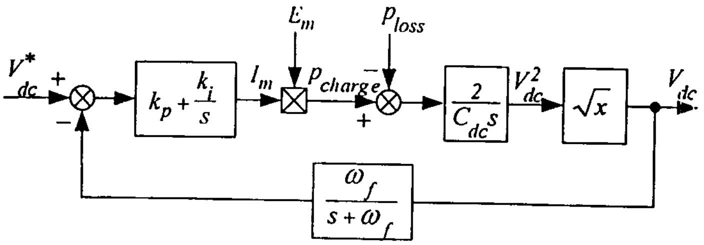
P_{loss} คือ กำลังงานสูญเสียต่างๆ ของอินเวอร์เตอร์

i_{dc} คือ กระแสที่ไหลเข้าออกจากอินเวอร์เตอร์

C_{dc} คือ ตัวเก็บประจุไฟตรง

E_m คือ ขนาดแรงดันของแหล่งจ่ายไฟ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับใช้ในการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.17 บล็อกไดอะแกรมส่วนควบคุมแรงดันไฟตรงที่ใช้ในการออกแบบ

จากบล็อกไดอะแกรมจะพบว่ามีส่วนของการถอดรากที่สองซึ่งเป็นส่วนที่ไม่เชิงเส้น ทำให้เกิดความยุ่งยากในการออกแบบ ดังนั้นเราจึงจะทำการประมาณระบบให้อยู่ในรูปแบบที่เป็นเชิงเส้น (Linearization)ในช่วงการทำงานแคบๆ โดยจะใช้อนุกรมเทย์เลอร์ถึงอันดับที่ 1 ในการประมาณการถอดรากที่สองให้เป็นความสัมพันธ์เชิงเส้น ณ จุดทำงานที่ $\sqrt{x_o} = V_{dc} = 700$ V สามารถแสดงได้ดังนี้

$$y(x) = \sqrt{x} = \sqrt{x_0 + \Delta x} \approx \sqrt{x_0} + \left.\frac{d\sqrt{x}}{dx}\right|_{x=x_0} \cdot \Delta x$$

$$\approx \sqrt{x_0} + \left.\frac{1}{2\sqrt{x}}\right|_{x=x_0} \cdot \Delta x$$

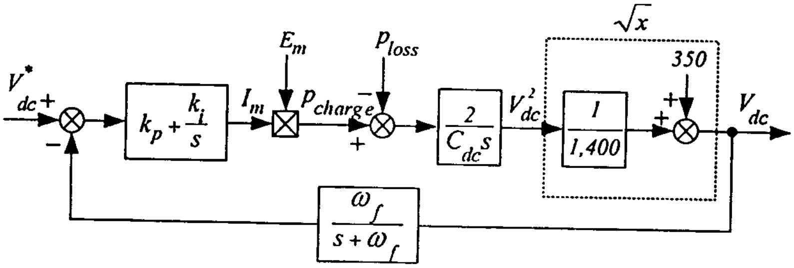
$$\approx \sqrt{x_0} + \frac{1}{2\sqrt{x}} \cdot (x - x_0) \tag{4.40}$$

เมื่อแทนค่า $\sqrt{x_o} = 700$ V ลงในสมการที่ (4.40) จะได้

$$y(x) \approx 700 + \frac{1}{1{,}400}(x - 700^2)$$

$$\approx 350 + \frac{1}{1{,}400}x \tag{4.41}$$

เมื่อประมาณเป็นเชิงเส้นแล้วสามารถเขียนเป็นบล็อกไดอะแกรมได้ดังรูปที่ 4.18 จากบล็อกไดอะแกรมสามารถเขียนฟังก์ชั่นโอนย้ายวงรอบเปิดได้ดังสมการ (4.42)



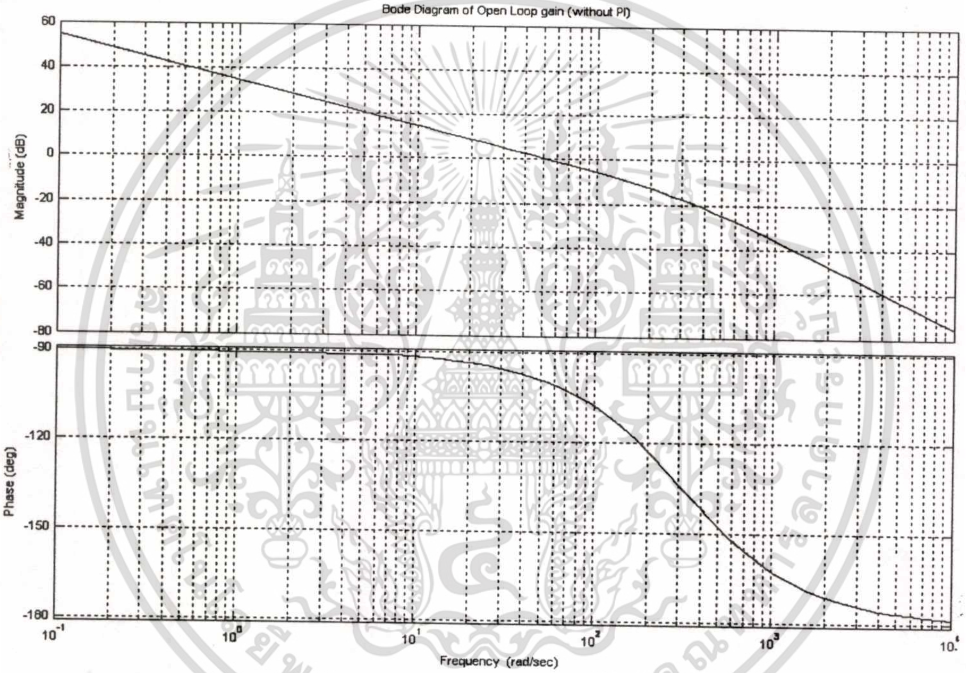
รูปที่ 4.18 บล็อกไดอะแกรมส่วนควบคุมระดับแรงดันไฟตรงหลังจากประมาณเป็นระบบเชิงเส้น

เอกสารนี้เป็นเอกสารที่จัดทำไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในการหาค่า k_p และ k_i เราจะพิจารณาจากบล็อกไดอะแกรมของระบบตามรูปที่ 4.18 ซึ่งจากรูปเราจะได้ฟังก์ชั่นโอนย้ายวงรอบเปิดมีสมการเป็น

$$G_0(s) = \left(k_p + \frac{k_i}{s}\right) \times E_m \times \left(\frac{\omega_f}{s+\omega_f}\right) \times \left(\frac{1}{700 \cdot C_{dc} s}\right) \tag{4.42}$$

โดยที่ค่าตัวแปรต่างๆของระบบมีค่าเป็น C_{dc} = 10,000 μF, E_m = 380 V , ω_f = 100π rad/s ซึ่งฟังก์ชั่นโอนย้ายวงรอบเปิดของระบบในขณะที่ยังไม่รวมส่วนควบคุมพีไอ สามารถเขียนแผนภูมิโบเดได้ดังรูปที่ 4.19



รูปที่ 4.19 แผนภูมิโบเดของระบบเมื่อยังไม่รวมส่วนควบคุมพีไอ

เมื่อเราพิจารณาเรื่องความเร็วในการตอบสนองของระบบแล้วแล้วเราไม่ควรออกแบบให้ระบบควบคุมแรงดันไฟตรง (V_{dc}) มีความเร็วในการตอบสนองถึงย่านความถี่ฮาร์โมนิคเพราะจะทำให้วงจรกรองกำลังแอคทีฟไม่สามารถชดเชยกระแสฮาร์โมนิคช่วงนั้นได้ ดังนั้นงานวิจัยนี้จึงเลือกความเร็วในการตอบสนองไว้ที่ประมาณ 2 วินาที โดยเลือกความถี่ตัดข้าม (cross over frequency) ที่ ω_0 = 12 rad/s และเลือกความถี่หักมุมของตัวควบคุมพีไอ (cut off frequency= k_p/k_i) ที่ ω_c = 2 rad/s โดยฟังก์ชั่นโอนย้ายวงรอบปิดที่มีตัวควบคุมพีไอมีสมการเป็น

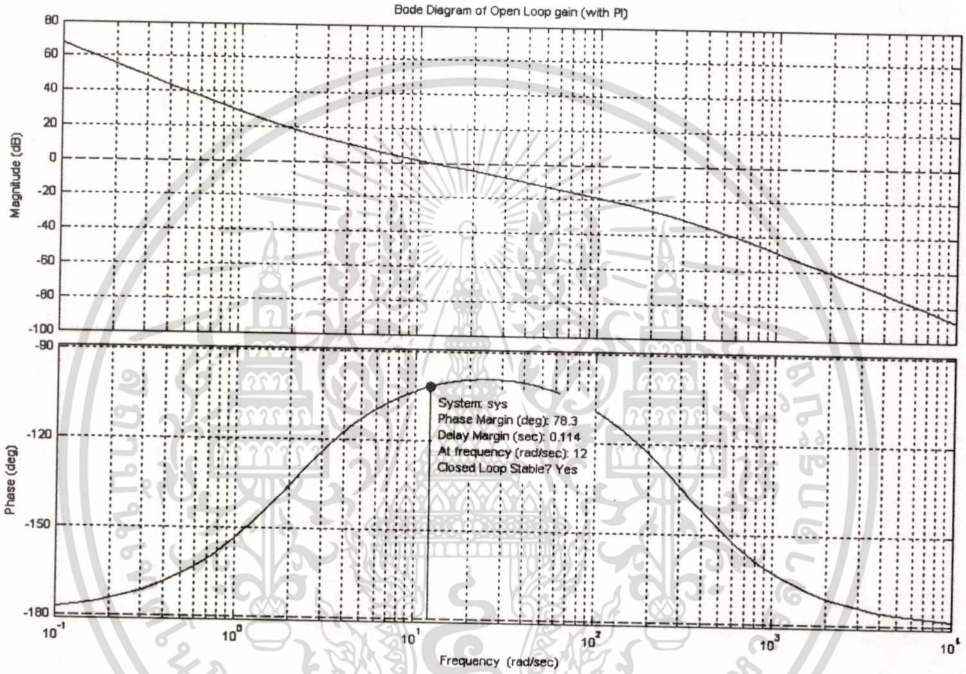
$$G_0(s) = \left(k_p + \frac{k_i}{s}\right) \times \left(\frac{17{,}054}{s(s+314.16)}\right) \tag{4.43}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อต้องการหาค่า k_p สามารถหาได้จากสมการที่ (4.43) โดยแทนค่า $s = j\omega_0 = j12$ ที่ความถี่นี้จะมีเกณฑ์การขยายเท่ากับ 1 ดังนั้นสามารถเขียนได้เป็น

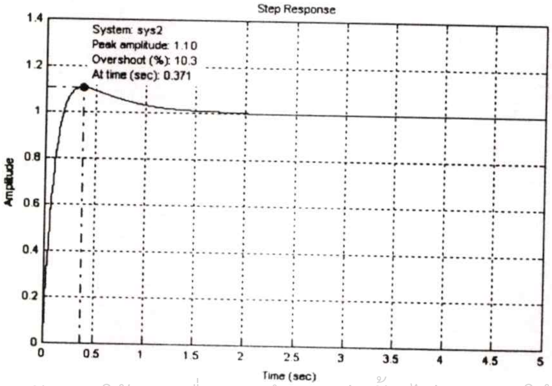
$$\left|G_0(j\omega_0)\right| = \left|\left(k_p + \frac{2k_p}{j12}\right) \times \left(\frac{17{,}054}{(j12)(j12+314.16)}\right)\right| = 1 \qquad (4.44)$$

ซึ่งจะได้ค่า $k_p = 0.21815$ และ $k_i = 0.43631$ เมื่อทำการเขียนแผนภาพโบเดจะได้ดังรูปที่ 4.20 และพบว่าระบบมีช่วงปลอดภัยเชิงเฟสของระบบ (Phase Margin) มีค่าเท่ากับ 78.3 °



รูปที่ 4.20 ช่วงปลอดภัยเชิงอัตราขยายและช่วงปลอดภัยเชิงเฟสของระบบควบคุมแรงดันไฟตรง

โดยผลการตอบสนองของระบบปิดที่มีการทดสอบด้วยสัญญาณยูนิตสเต็ปจะพบว่ามีผลการตอบสนองที่เวลา 2 วินาที ซึ่งเป็นไปตามที่ได้ออกแบบไว้ และมีค่าเปอร์เซ็นต์การโอเวอร์ชูตอยู่ที่ประมาณ 10 เปอร์เซ็นต์ ซึ่งเป็นค่าที่ยอมรับได้ในการใช้งาน แสดงได้ดังรูปที่ 4.21



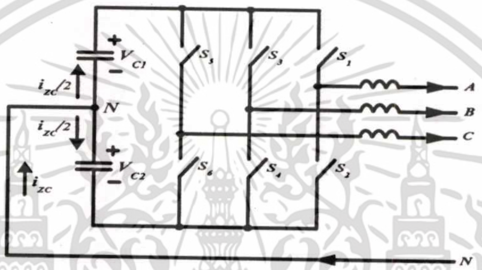
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

รูปที่ 4.21 ผลการตอบสนองของระบบการรักษาไฟตรงที่มีสัญญาณอินพุทเป็นสัญญาณยูนิตสเต็ป

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.6.2 การควบคุมระดับแรงดันจุดกึ่งกลางไฟตรง

ในการใช้งานวงจรกรองกำลังแอคทีฟในระบบไฟฟ้า 3 เฟส 4 สาย ที่มีสายนิวทรอลอยู่กึ่งกลางไฟตรง มีความเป็นไปได้ที่แรงดันตกคร่อมตัวเก็บประจุตัวบนและตัวล่างอาจมีค่าแรงดันต่างกันมากโดยเกิดจากการที่กระแสที่สายนิวทรอลไม่มีการควบคุม ดังนั้นเราจึงจำเป็นที่จะต้องทำการควบคุมแรงดันที่จุดกึ่งกลางไฟตรงนี้ โดยทำการควบคุมไหลของกระแสที่ในสายนิวทรอลและกำหนดให้เป็นกระแสซีเควนซ์ศูนย์ i_{ZC} ที่ไหลเข้ากึ่งกลางไฟตรง ซึ่งกระแสนี้จะแยกไหลออกเป็น 2 ส่วนคือ ที่ตัวเก็บประจุตัวบนกับที่ตัวเก็บประจุตัวล่างแสดงดังรูปที่ 4.22



รูปที่ 4.22 การไหลของกระแสซีเควนซ์ศูนย์เพื่อควบคุมแรงดันจุดกึ่งกลางไฟตรง

จากรูปที่ 4.23 จะพบว่า

$$V_{C1} + V_{C2} = V_{dc} \tag{4.45}$$

ถ้ากระแส i_{ZC} ไหลเข้าดังรูป 4.22 จะทำให้แรงดัน V_{C2} เพิ่มขึ้นและแรงดันจุดกึ่งกลางไฟตรง V_{C1} จะดังสมการ

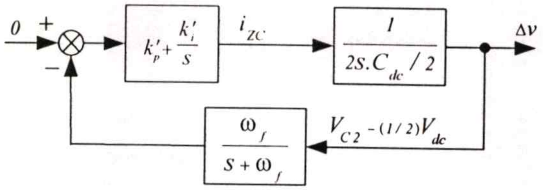
$$V_{C1} = V_{C1} + \Delta v \tag{4.46}$$

$$V_{C2} = V_{C2} + \Delta v \tag{4.47}$$

$$\Delta v = \frac{1}{C}\int \frac{i_{ZC}}{2}\,dt \tag{4.48}$$

จากสมการ (4.48) เมื่อเขียนบล็อกไดอะแกรมของการควบคุมแรงดันจุดกึ่งกลางไฟตรง จะได้ดังรูปที่ 4.23

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.23 บล็อกไดอะแกรมของการควบคุมแรงดันจุดกึ่งกลางไฟตรง

โดยที่

$V_{dc/2}$ คือ แรงดันที่จุดกึ่งกลางไฟตรง

$(1/2)V_{dc}$ คือ ค่าครึ่งหนึ่งของแรงดันไฟตรง

เมื่อพิจารณาในเรื่องความเร็วในการตอบสนองของการควบคุมแรงดันที่จุดกึ่งกลางไฟตรง เรามีควรออกแบบให้มีค่าเวลาในการตอบสนองที่เร็วเกินไป เพราะจะทำให้การจ่ายกระแสซีเควนซ์ศูนย์เพื่อทำการควบคุมแรงดันจุดกึ่งกลางไฟตรงเปลี่ยนค่าเร็วเกินไป และทำให้แรงดันที่สร้างโดยวงจรกรองกำลังแอคทีฟมีค่าแกว่งเร็วตามไปด้วย โดยในงานวิจัยนี้เราจึงเลือกค่าความเร็วในการตอบสนองประมาณ 1 วินาที โดยการเลือกความถี่ตัดข้ามของฟังก์ชั่นโอนย้ายวงรอบปิด ω'_0 = 24 rad/s และเลือกค่าความถี่หักมุมของตัวควบคุมพีไอ ω'_c = 4 rad/s ซึ่งเป็นค่าที่ทำให้ช่วงปลอดภัยเชิงเฟสเพียงพอในการควบคุม

การหาค่า k'_p และ k'_i เราจะพิจารณาจากโครงสร้างของระบบดังรูปที่ 4.23 จะได้ฟังก์ชั่นการโอนย้ายวงรอบปิดได้ดังสมการ

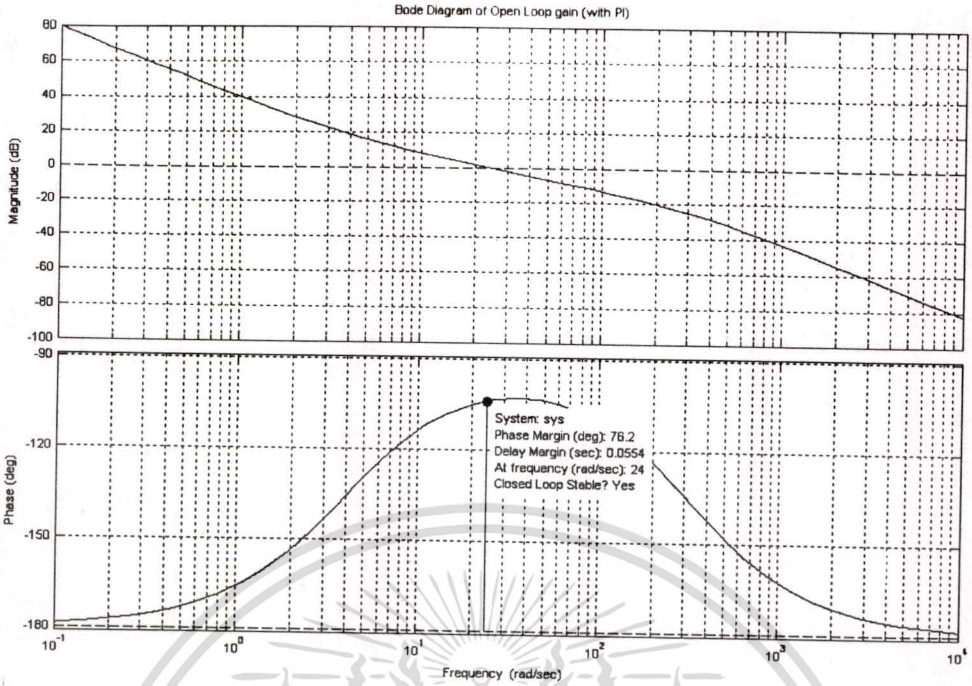
$$G_1(s) = \left(k'_p + \frac{k'_i}{s}\right) \times \left(\frac{\omega_f}{s+\omega_f}\right) \times \left(\frac{1}{2s.(C_{dc}/2)}\right) \tag{4.49}$$

และที่จุดความถี่ตัดข้าม ω_0 จะได้ความสัมพันธ์ที่ว่า

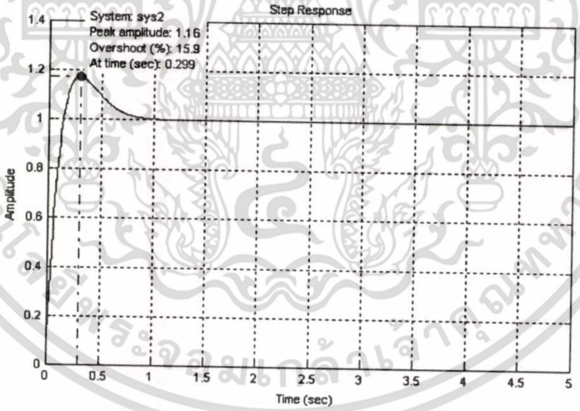
$$\left|G_1(j\omega'_0)\right| = 1 \tag{4.50}$$

จากค่า k'_p = 0.11671 และ k'_i =0.47484 ที่ได้เมื่อทำการเขียนแผนภูมิโบเดของฟังก์ชั่นโอนย้ายวงรอบปิดดังรูปที่ 4.24 จะสามารถหาค่าช่วงปลอดภัยเชิงอัตราขยายและช่วงปลอดภัยเชิงเฟสเป็น 76.2^0 โดยผลการตอบสนองของระบบที่มีสัญญาณอินพุทเป็นสัญญาณยูนิตสเต็ปซึ่งมีผลการตอบสนองดังที่ได้ออกแบบไว้สามารถแสดงได้ดังรูปที่ 4.24 และรูปที่ 4.25 ตามลำดับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.24 ช่วงปลอดภัยเชิงอัตราขยายและช่วงปลอดภัยเชิงเฟสของระบบควบคุมแรงดันที่จุดกึ่งกลางไฟตรง



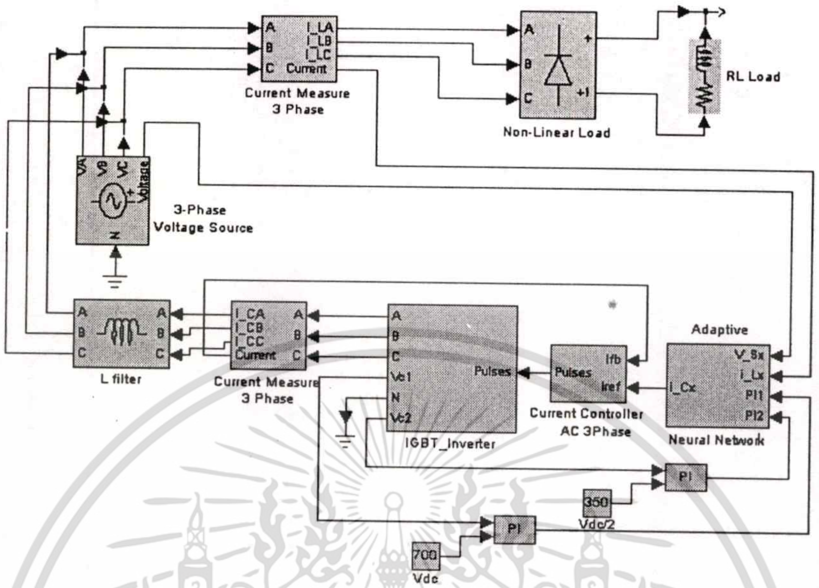
รูปที่ 4.25 ผลการตอบสนองของระบบการรักษาระดับไฟตรงจุดกึ่งกลางที่มีสัญญาณอินพุทเป็นสัญญาณยูนิตสเต็ป

4.7 ผลการจำลองการทำงาน

การจำลองของวงจรกรองกำลังไฟฟ้าแอคทีฟ 3 เฟส 4 สาย แบบขนานที่ใช้การตรวจจับกระแสด้วยทฤษฎีโครงข่ายประสาทเทียมสำหรับงานวิจัยนี้ จะเป็นการจำลองโดยใช้โปรแกรม Matlab & Simulink เพื่อที่จะทำการศึกษาหลักการทำงานและจึงนำไปใช้ในการออกแบบวงจรจริง ซึ่งมีตัวแปร $v_{s\,(line\text{-}neutral)}$= 220 โวลต์, V_{dc} = 700 โวลต์ , $C_1 = C_2$ = 20,000 ไมโครฟารัด, L_c = 8.5 มิลลิเฮนรี่, L_s = 0.25 มิลลิเฮนรี่, R_c = 0.1 โอหม์ , R_S = 0.05 โอหม์ ที่มีโหลดเป็นวงจรไดโอดเรียงกระแส

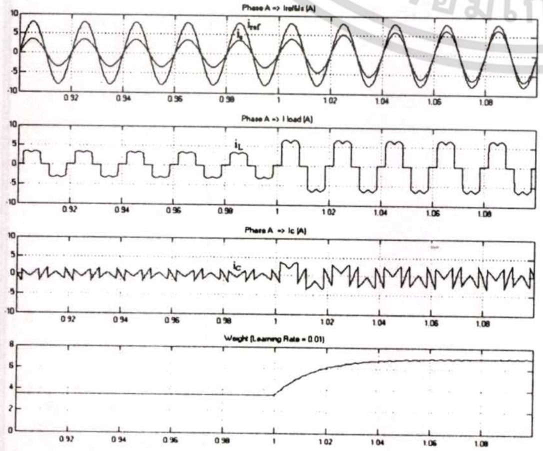
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สามเฟสชนิดเต็มคลื่นขนาด 3 kVA โดยรูปแบบที่ใช้ในการจำลองการทำงานของวงจรกรองกำลังแอคทีฟแสดงได้ดังรูปที่ 4.26

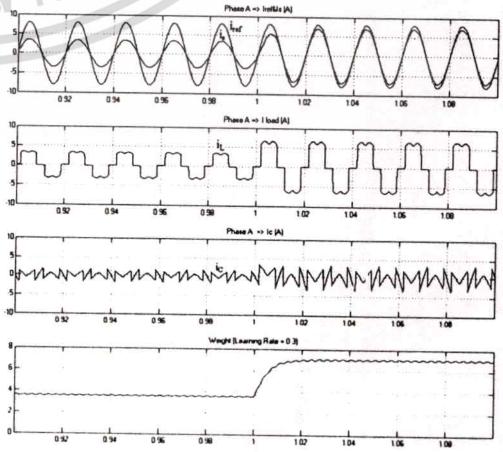


รูปที่ 4.26 รูปแบบของวงจรกรองกำลังไฟฟ้าแอคทีฟแบบขนานที่ใช้ในการจำลองการทำงานด้วยโปรแกรม Matlab & Simulink

จากรูปที่ 4.26 ได้ทำการจำลองการทำงานของการตรวจจับกระแสฮาร์โมนิคที่ใช้โครงข่ายประสาทเทียม โดยการจำลองนั้นได้กำหนดค่าอัตราการเรียนรู้ (learning rate) ไว้ต่างๆกันจำนวน 3 ค่า คือ 0.01, 0.3, 1.2 แล้วทำการเปลี่ยนแปลงโหลดอย่างฉับพลันจาก 1.5 kVA ไปเป็น3 kVA ที่เวลา 1 วินาที

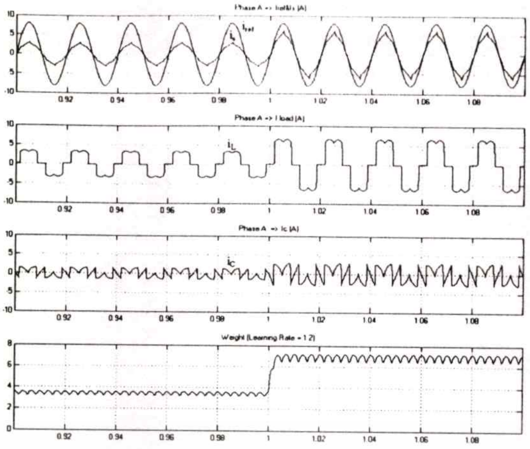


(ก) อัตราการเรียนรู้ 0.01



(ข) อัตราการเรียนรู้ 0.3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

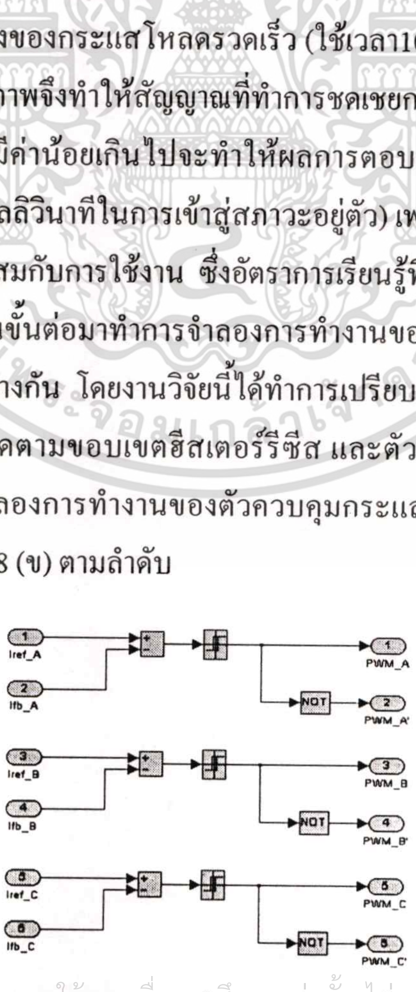


(ค) อัตราการเรียนรู้ 1.2

รูปที่ 4.27 ผลการจำลองการทำงานในส่วนของการตรวจจับกระแสฮาร์โมนิคที่ใช้โครงข่ายประสาทเทียมของวงจรกรองกำลังแอคทีฟที่มีอัตราการเรียนรู้ต่างกัน แล้วทำการเพิ่มโหลดที่เวลา 1 วินาที

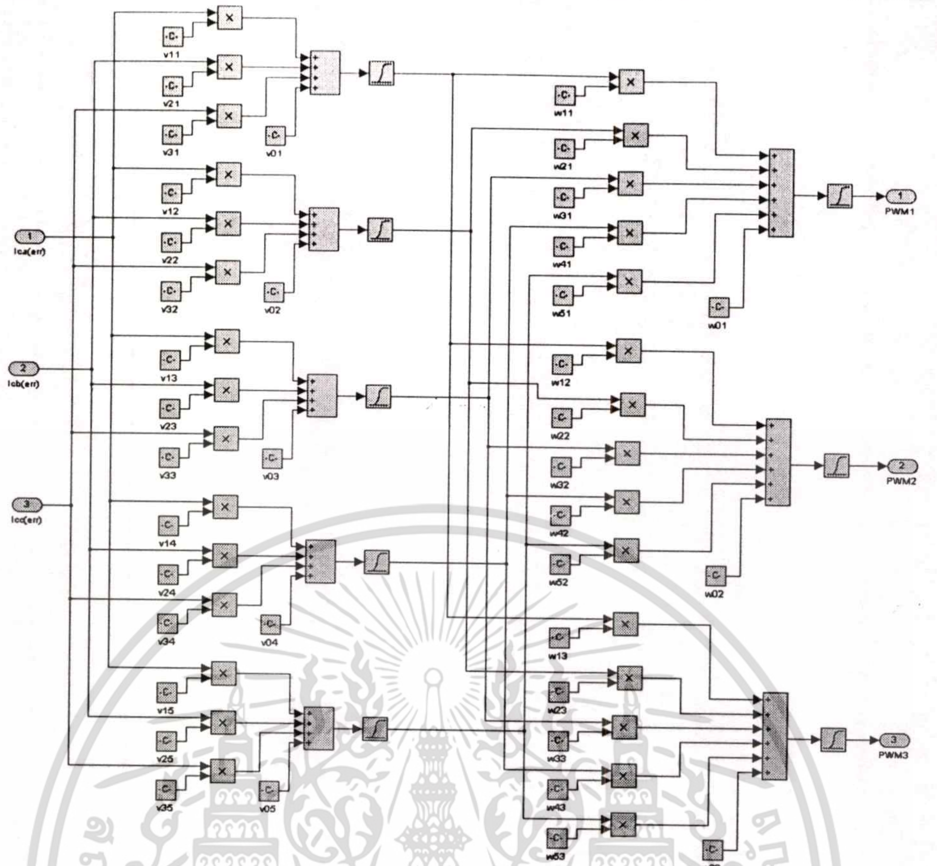
จากผลการจำลองการทำงานพบว่าการที่ให้ค่าอัตราการเรียนรู้มาก จะทำให้ผลการตอบสนองต่อการเปลี่ยนแปลงของกระแสโหลดรวดเร็ว (ใช้เวลา10 มิลลิวินาทีในการเข้าสู่สภาวะอยู่ตัว) แต่ระบบจะไม่เสถียรภาพจึงทำให้สัญญาณที่ทำการชดเชยกระแสฮาร์โมนิคนั้นผิดเพี้ยนไป ถ้าในกรณีที่อัตราการเรียนรู้มีค่าน้อยเกินไปจะทำให้ผลการตอบสนองต่อการเปลี่ยนแปลงของกระแสโหลดช้า (ใช้เวลา60 มิลลิวินาทีในการเข้าสู่สภาวะอยู่ตัว) เพราะฉะนั้นเราจึงต้องกำหนดค่าของอัตราการเรียนรู้ให้เหมาะสมกับการใช้งาน ซึ่งอัตราการเรียนรู้ที่เลือกใช้ในงานวิจัยนี้ คือ 0.3

การจำลองการทำงานขั้นต่อมาทำการจำลองการทำงานของวงจรกรองกำลังแอคทีฟแบบขนานที่ใช้ตัวควบคุมกระแสต่างกัน โดยงานวิจัยนี้ได้ทำการเปรียบเทียบตัวควบคุมกระแส 2 แบบ คือ ตัวควบคุมกระแสแบบติดตามขอบเขตฮีสเตอร์รีซีส และตัวควบคุมกระแสแบบโครงข่ายประสาทเทียม โมเดลการจำลองการทำงานของตัวควบคุมกระแสทั้งสองแบบสามารถแสดงได้ดังรูปที่ 4.28 (ก) และรูปที่ 4.28 (ข) ตามลำดับ



(ก) ตัวควบคุมกระแสแบบติดตามขอบเขตฮีสเตอร์รีซีส

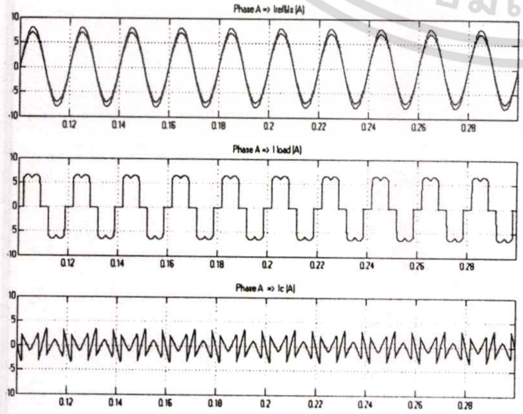
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



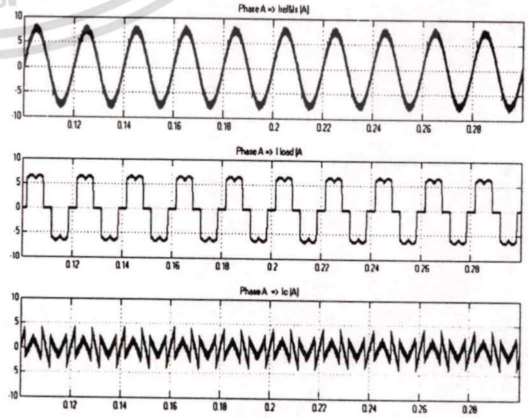
(ข) ตัวควบคุมกระแสแบบโครงข่ายประสาทเทียม

รูปที่ 4.28 โมเดลการจำลองการทำงานของตัวควบคุมกระแส

จากผลการจำลองการทำงานของตัวควบคุมกระแสทั้งสองแบบในช่วงสภาวะคงตัว สามารถแสดงได้ดังรูปที่ 4.29 และ รูปที่ 4.30

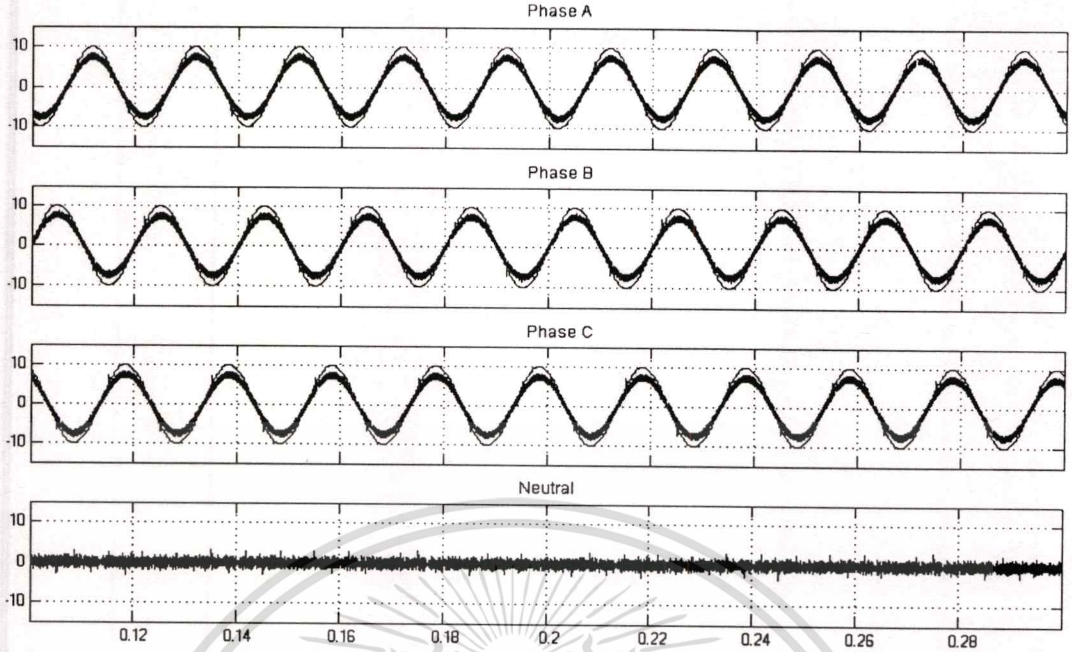


(ก) กระแสชดเชยที่ได้จากการตรวจจับกระแสฮาร์โมนิค

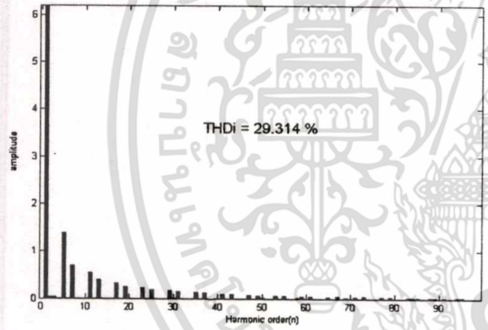


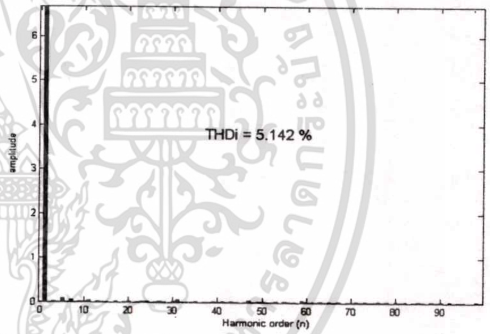
(ข) กระแสชดเชยที่ได้จากการจำลองการทำงานทั้งระบบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



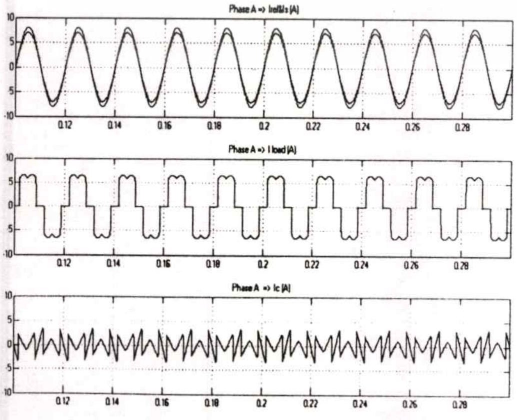
(ค) กระแสแหล่งจ่ายทั้งสามเฟสและกระแสนิวทรอลหลังจากทำการชดเชยกระแส

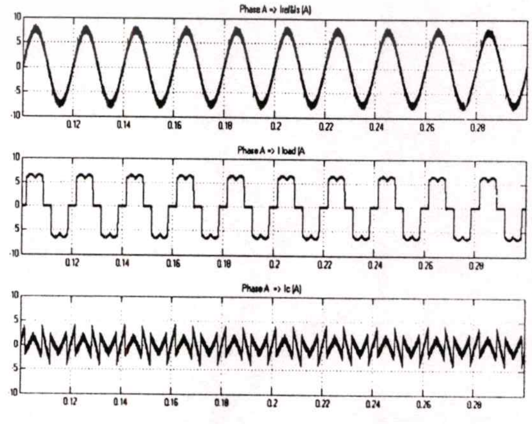




(ง) สเปกตรากระแสแหล่งจ่ายก่อนการชดเชย (จ) สเปกตรากระแสแหล่งจ่ายหลังการชดเชย

รูปที่ 4.29 ผลจำลองการทำงานของวงจรกรองกำลังแอคทีฟในช่วงสภาวะคงตัวที่ใช้ตัวควบคุมกระแสแบบติดตามขอบเขตฮีสเตอร์รีซีส

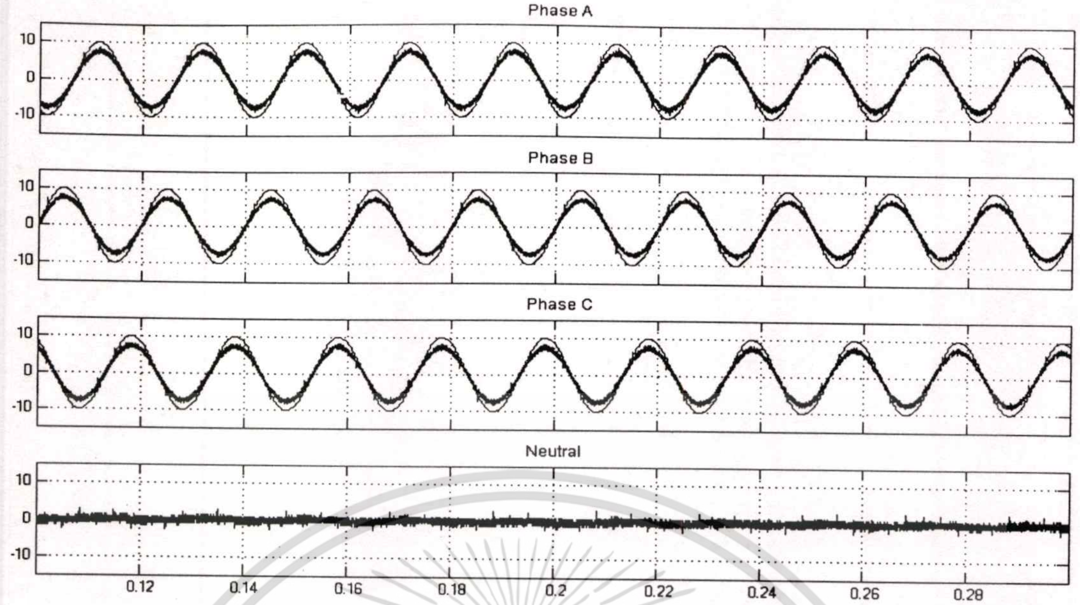




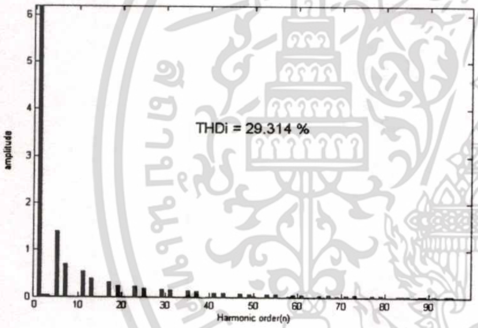
(ก) กระแสชดเชยที่ได้จากการตรวจจับกระแสฮาร์โมนิค

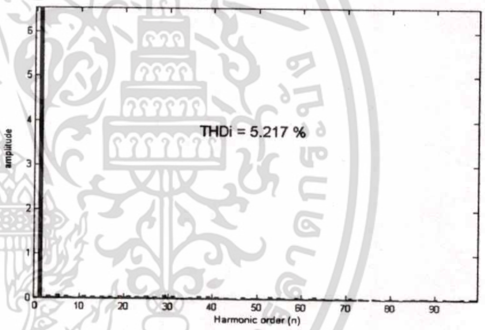
(ข) กระแสชดเชยที่ได้จากการจำลองการทำงานทั้งระบบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



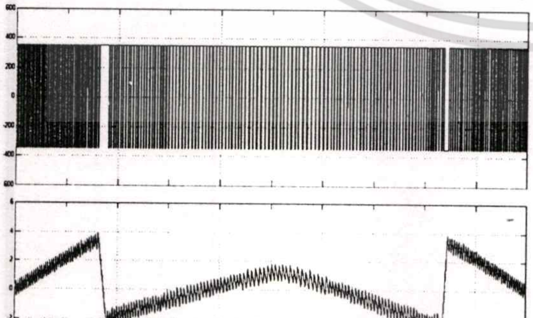
(ค) กระแสแหล่งจ่ายทั้งสามเฟสและกระแสนิวทรอลหลังจากทำการชดเชยกระแส

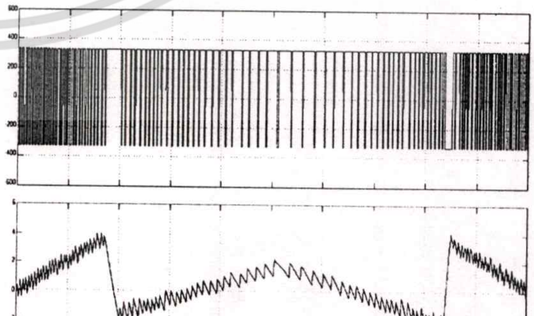




(ง) สเปกตรากระแสแหล่งจ่ายก่อนการชดเชย (จ) สเปกตรากระแสแหล่งจ่ายหลังการชดเชย

รูปที่ 4.30 ผลจำลองการทำงานของวงจรกรองกำลังแอคทีฟในช่วงสภาวะคงตัวที่ใช้ตัวควบคุมกระแส โครงข่ายประสาทเทียม

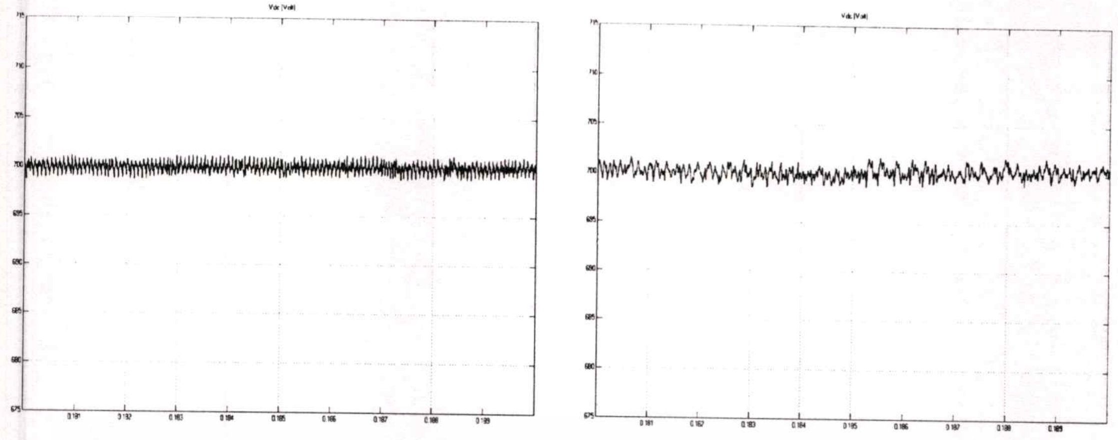




(ก) ตัวควบคุมกระแสแบบติดตามขอบเขตฮีสเตอร์รีซีส (ข) ตัวควบคุมกระแสแบบโครงข่ายประสาทเทียม

รูปที่ 4.31 แรงดันการสวิทช์และกระแสชดเชยของวงจรกำลังแอคทีฟ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

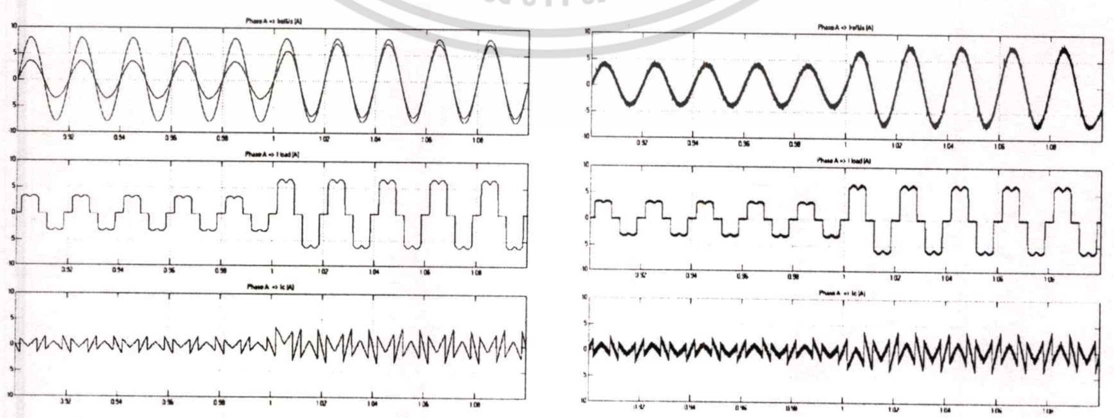


(ก) ตัวควบคุมกระแสแบบติดตามขอบเขตฮีสเตอร์รีซีส　　(ข) ตัวควบคุมกระแสแบบโครงข่ายประสาทเทียม

รูปที่ 4.32 แรงดันบัสไฟตรง

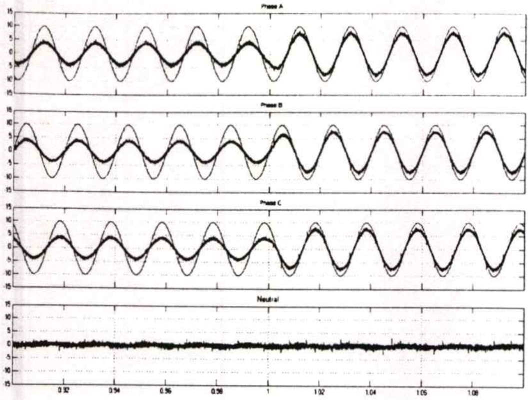
จากผลการจำลองการทำงานวงจรกรองกำลังแอคทีฟที่ใช้ตัวควบคุมกระแสแบบติดตามขอบเขตฮีสเตอร์รีซีสและตัวควบคุมกระแสแบบโครงข่ายประสาทเทียมจะพบว่า ค่าองค์ประกอบความผิดเพี้ยนรวมของฮาร์โมนิค (THDi) ของกระแสแหล่งจ่ายหลังจากการชดเชยกระแสแล้วทั้งสองแบบมีค่าใกล้เคียงกันโดยตัวควบคุมกระแสแบบติดตามขอบเขตฮีสเตอร์รีซีสมีค่าเท่ากับ 5.142 เปอร์เซ็นต์ ส่วนที่ใช้ตัวควบคุมกระแสแบบโครงข่ายประสาทเทียมมีค่าเท่ากับ 5.217 เปอร์เซ็นต์ แต่จะพบว่าตัวควบคุมกระแสแบบโครงข่ายประสาทเทียมนั้นมีการสวิทช์ที่น้อยกว่า ซึ่งดูได้จากรูปที่ 4.31 และรูปที่ 4.32 ตามลำดับ ดังนั้นในงานวิจัยนี้จึงได้เลือกใช้การควบคุมกระแสแบบโครงข่ายประสาทเทียมเนื่องจากมีสูญเสียการสวิทช์ที่น้อยกว่า

ในการจำลองการทำงานของวงจรกรองกำลังที่มีโหลดเปลี่ยนแปลงอย่างฉับพลันจาก 1.5 kVA ไปเป็น3 kVA ที่เวลา 1 วินาที สามารถแสดงได้ดังรูปที่ 4.33

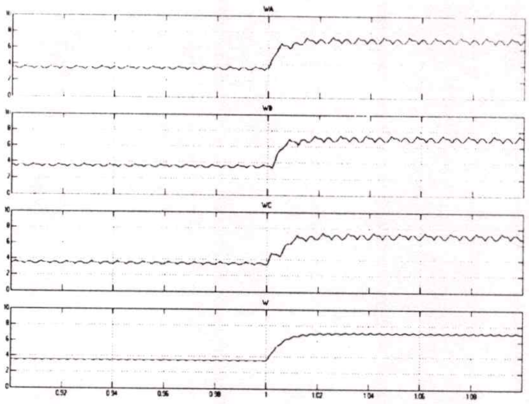


(ก) กระแสชดเชยที่ได้จากการตรวจจับกระแสฮาร์โมนิค　　(ข) กระแสชดเชยที่ได้จากการจำลองการทำงานทั้งระบบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ค) กระแสแหล่งทั้งสามเฟส และกระแสนิวทรอลหลังจากทำการชดเชยกระแส



(ง) การปรับตัวของค่าถ่วงน้ำหนักทั้งสามเฟส และค่าถ่วงน้ำหนักรวม

รูปที่ 4.33 ผลการตอบสนองของวงจรกรองกำลังแอคทีฟที่มีการเพิ่มโหลดอย่างฉับพลัน

4.8 บทสรุป

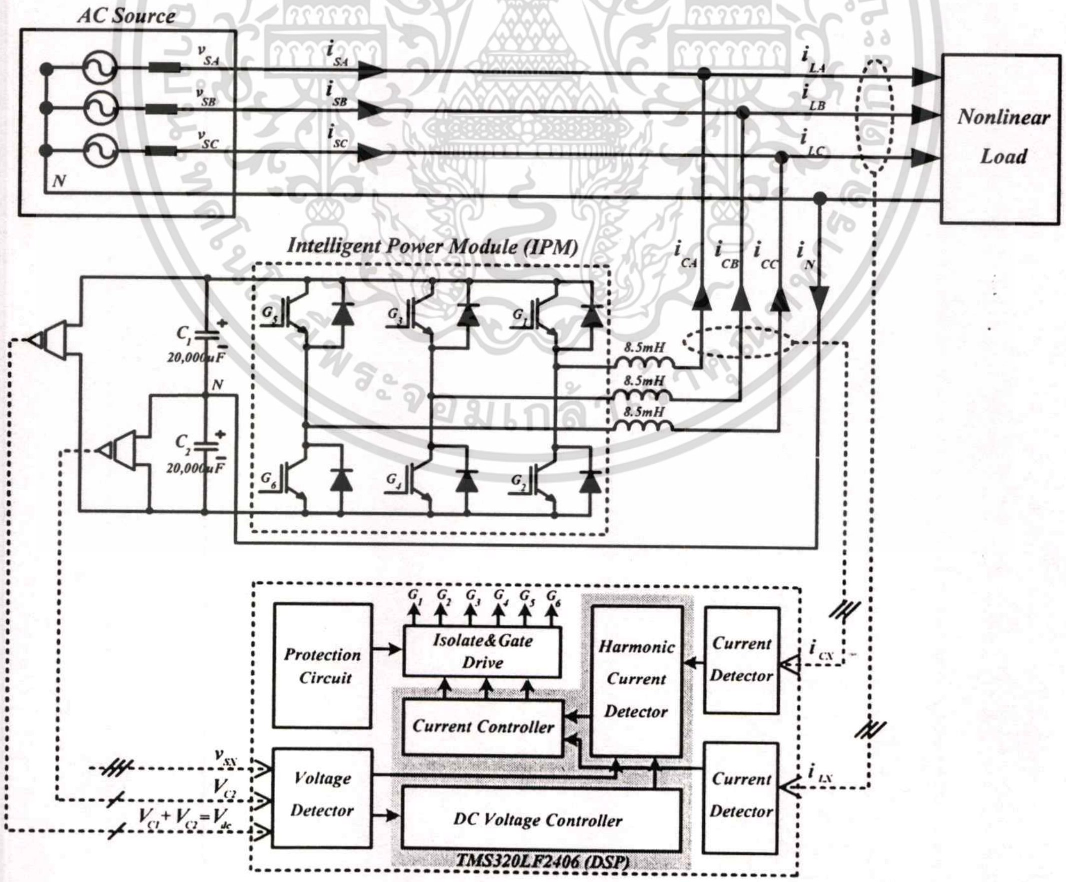
ในบทนี้อธิบายถึงหลักการวิเคราะห์และออกแบบวงจรกรองกำลังแอคทีฟแบบขนานที่ใช้หลักการตรวจจับกระแสฮาร์โมนิคด้วยโครงข่ายประสาทเทียมและการนำโครงข่ายประสาทเทียมเข้ามาประยุกต์ใช้กับตัวควบคุมกระแส พร้อมทั้งยังได้ทำการออกแบบตัวรักษาระดับแรงดันให้คงที่ด้วยตัวควบคุมแบบพีไอ และในบทนี้ได้นำเสนอการออกแบบและการจำลองการทำงานของวงจรกรองกำลังแอคทีฟด้วยโปรแกรม Matlab&Simulink เพื่อให้รู้ถึงพฤติกรรมและทำความเข้าใจการทำงานของวงจรเพื่อให้มั่นใจว่าวงจรที่ออกแบบมีความเป็นไปได้ตามทฤษฎี ก่อนที่จะนำไปสร้างวงจรจริงและทดสอบการทำงานในทางปฏิบัติต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
การออกแบบและสร้างวงจร

5.1 บทนำ

บทนี้จะกล่าวถึงลักษณะโครงสร้างของระบบควบคุมและวงจรกำลังของวงจรกรองกำลังแอคทีฟที่ได้ออกแบบ โดยเครื่องต้นแบบที่สร้างขึ้นประกอบด้วย วงจรการตรวจจับกระแสและแรงดัน, วงจรควบคุมหลักที่ควบคุมโดยตัวประมวลผลสัญญาณทางด้านดิจิตอล (DSP), วงจรป้องกันและวงจรกำลังของวงจรกรองกำลังแอกทีฟแบบขนานที่เป็นอินเวอร์เตอร์ชนิดแหล่งจ่ายแรงดันซึ่งจะทำหน้าที่สร้างกระแสชดเชยตามที่ได้คำนวณมาจากตัวประมวลผลสัญญาณทางด้านดิจิตอลเพื่อที่จะนำมาหักล้างกับกระแสฮาร์โมนิคที่เกิดจากโหลดไม่เป็นเชิงเส้นประเภทต่างๆ สามารถแสดงโครงสร้างส่วนประกอบวงจรกรองกำลังแอคทีฟแบบขนานที่ใช้ในงานวิจัยนี้ได้ดังรูปที่ 5.1



รูปที่ 5.1 โครงสร้างส่วนประกอบของวงจรกรองกำลังแอคทีฟแบบขนาน 3 เฟส 4 สาย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.2 การออกแบบและสร้างวงจรแปลงผันพลังงานไฟฟ้า

จากรูปที่ 5.1 พบว่าในการที่เราต้องการสร้างกระแสขึ้นมาเพื่อทำการชดเชยกระแสฮาร์โมนิคที่เกิดขึ้นเนื่องมาจากโหลดชนิดไม่เป็นลิเนียร์นั้น เราจำเป็นที่จะต้องมีวงจรกำลังเพื่อทำหน้าที่ในการแปรผันพลังงานจากไฟตรงไปเป็นกระแสสลับ ซึ่งจะมีส่วนประกอบดังนี้

5.2.1 ตัวเก็บประจุไฟตรง

ตัวเก็บประจุไฟตรงเป็นอุปกรณ์ที่ใช้ในการเก็บพลังงานให้กับวงจรกำลังของวงจรกรองกำลังแอคทีฟ เนื่องจากวงจรแปรผันพลังงานที่นำมาใช้ในการวิจัยนี้เป็นชนิดแหล่งจ่ายแรงดันที่ต่อขนานอยู่กับระบบ ขนาดของตัวเก็บประจุนั้นจะขึ้นอยู่กับพิกัดกำลังไฟฟ้าของวงจรกรองกำลังแอกทีฟและชนิดของโหลด สำหรับเครื่องต้นแบบได้เลือกใช้ค่าความของตัวเก็บประจุแต่ละตัว(C_1 และ C_2) เป็นขนาด 20,000 ไมโครฟารัด เนื่องจากในการทดสอบของเครื่องต้นแบบนี้ได้ทำการทดสอบในกรณีที่ไม่มีการรักษาระดับแรงดันไฟตรง จำเป็นต้องใช้ค่าความเก็บประจุที่มากพอเพื่อใช้ในจ่ายพลังงานให้แก่วงจรกรองกำลังในกรณีทำการทดสอบกับโหลดชนิดต่างๆ แต่ถ้าในกรณีที่มีการรักษาระดับแรงดันค่าความเก็บประจุของตัวเก็บประจุไม่จำเป็นต้องมีขนาดมากเท่ากับค่าที่ใช้ในงานวิจัยนี้

5.2.2 ตัวเหนี่ยวนำกรองกระแส

การเชื่อมโยงระหว่างวงจรอินเวอร์เตอร์กับแหล่งจ่ายไฟฟ้าจะทำการเชื่อมโยงผ่านตัวเหนี่ยวนำ ซึ่งหน้าที่ของตัวเหนี่ยวนำคือทำการกรองกระแสริปเปิลที่เกิดจากการสวิทช์ของวงจรอินเวอร์เตอร์ ทำให้กระแสชดเชยที่จ่ายจากอินเวอร์เตอร์มีความเรียบมากขึ้นแต่ในกรณีที่เราต้องการให้ผลตอบสนองทางไดนามิกที่ดีนั้นขนาดของตัวเหนี่ยวนำควรมีขนาดเล็ก แต่อย่างไรก็ตามในกรณีที่ตัวเหนี่ยวนำมีขนาดเล็กเกินไปจะมีผลทำให้กระแสริปเปิลที่เกิดจากการสวิทช์มาก ดังนั้นในการออกแบบตัวเหนี่ยวนำจึงควรออกแบบให้เหมาะสมกับการใช้งาน โดยค่าของตัวเหนี่ยวนำสามารถหาได้ดังสมการ

$$\frac{0.25V_{dc}}{(HB)L}\left[1-\frac{4m^2L^2}{V_{dc}^2}\right] = f_C \tag{5.1}$$

โดยที่

L คือ ตัวเหนี่ยวนำที่ต่ออยู่ระหว่างอินเวอร์เตอร์และแหล่งจ่ายไฟ

HB คือ ขอบเขตของฮีสเตอร์รีส

V_{dc} คือ แรงดันไฟตรงที่ตกคร่อมตัวเก็บประจุ

f_c คือ ความถี่ในการสวิทช์สูงสุด

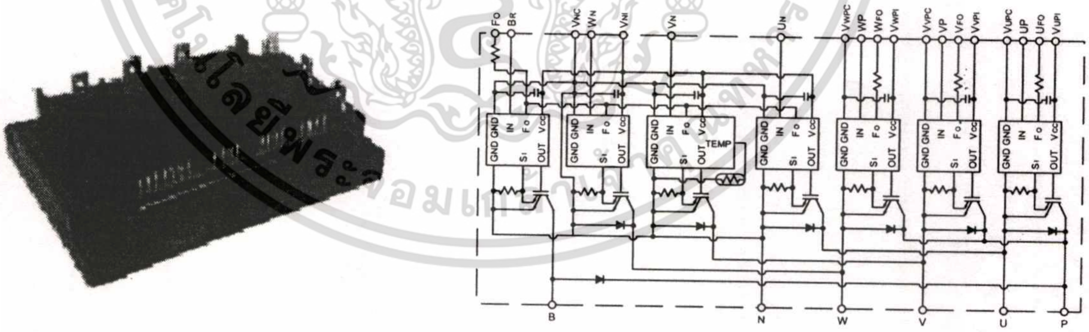
m คือ ความชันของกระแสอ้างอิง

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ให้ใช้อ้างอิงเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในการสวิทช์ซึ่งมีค่าเท่ากับ 20 กิโลเฮริตซ์ แล้วกำหนดให้อัตราความชันของกระแสอ้างอิงสูงสุดไม่เกิน 29.5 กิโลแอมป์ต่อวินาที ดังนั้นจะได้ค่าเหนี่ยวนำประมาณ 8.5 มิลลิเฮนรี่

5.2.3 วงจรสวิทช์กำลัง

วงจรสวิทช์กำลังเป็นส่วนในการทำหน้าที่แปลงแรงดันไฟตรงให้เป็นกระแสด้วยเทคนิคการปรับความกว้างพัลส์ โดยการสวิทช์นั้นจะถูกควบคุมจากส่วนของการควบคุมที่ได้กำหนดไว้จากตัวประมวลผลเพื่อใช้สำหรับการสร้างกระแสของวงจร โดยอุปกรณ์กำลังที่ทำหน้าที่ในการสวิทช์จะเป็นส่วนที่มีการเสียหายบ่อยที่สุดเพราะว่าเป็นส่วนที่ทำการแปลงจากสัญญาณควบคุมกำลังต่ำให้มาเป็นไฟกำลังงานสูง อุปกรณ์สวิทช์ที่จะนำมาใช้นี้ต้องคำนึงถึงพิกัดของขนาดแรงดัน, กระแสและความถี่ในการสวิทช์สูงสุดที่สามารถรองรับได้ ในส่วนของชุดสวิทช์กำลังนี้ได้เลือกใช้ไอจีบีทีโมดูลกำลังของบริษัทมิตซูบิชิเบอร์ PM25RSB120 (Intelligent Power Module : IPM) มีพิกัดแรงดัน 1,200โวลต์ รองรับพิกัดกระแส 25 แอมป์ โดยภายในของไอจีบีทีโมดูลกำลังประกอบไปด้วยไอจีบีทีกำลังทั้งหมด 7 ตัว ซึ่งออกแบบมาให้ใช้งานในการควบคุมพลังงานในลักษณะ 3 เฟส ไอจีบีทีโมดูลแบบนี้มีข้อดีกว่าไอจีบีทีแบบตัวเดี่ยว คือ สามารถส่งสัญญาณฟอล์ต (Fault) จากตัวไอจีบีทีโมดูลเพื่อใช้ในการหยุดสัญญาณขับเกตในกรณีที่เกิดการลัดวงจรภายในกิ่ง, กระแสเกินหรืออุณหภูมิภายในตัวเองมีค่าสูง ไอจีบีทีโมดูลนี้มีความสามารถในการรองรับความถี่สวิทช์สูงสุดได้ถึง 20 กิโลเฮิรตซ์ ซึ่งโครงสร้างของไอจีบีทีโมดูลนี้แสดงโครงสร้างดังรูปที่ 5.2



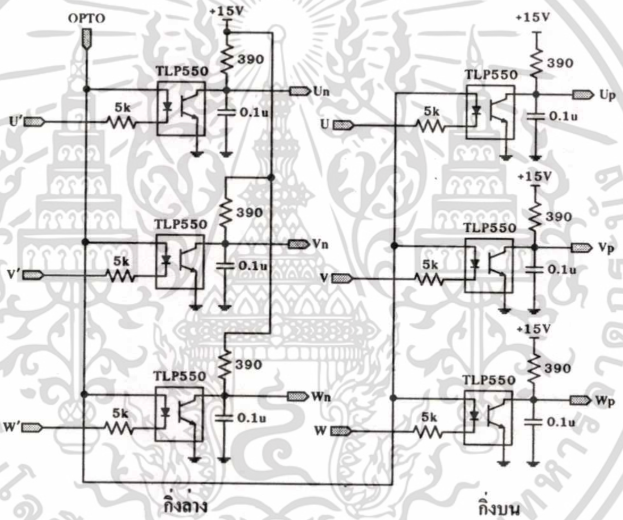
(ก) โครงสร้างภายนอกไอจีบีทีกำลัง (ข) โครงสร้างภายในไอจีบีทีกำลัง

รูปที่ 5.2 โครงสร้างไอจีบีทีโมดูลกำลังเบอร์ PM25RSB120 (IPM)

การควบคุมการทำงานของไอจีบีทีกำลังจำเป็นต้องใช้อุปกรณ์ที่ทำการแยกระหว่างสัญญาณขับเกตกับสัญญาณควบคุม ในการแยกกันของสัญญาณนี้เพื่อต้องการแยกกราวด์ไม่ให้ไอจีบีทีกำลังตัวบนและตัวล่างในกิ่งเดียวกันเกิดการลัดวงจรเนื่องจากใช้กราวด์ร่วมกันแสดงวงจรดังรูปที่ 5.3 ซึ่งอุปกรณ์ที่ใช้ในการแยกกราวด์ได้ใช้ออปโต้ (OPTO) เบอร์ HCPL4506 จำนวน 6 ตัว โดยออปโต้ที่ใช้ในการควบคุมสวิทซ์ 3 กิ่งบนจะต้องทำการแยกไฟเลี้ยงขนาด 15 โวลต์ ออกจาก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กันส่วนออปโต้ที่ใช้ในการควบคุมสวิทซ์ 3 กิ่งล่างจะรับไฟเลี้ยงขนาด 15 โวลต์ จากแหล่งจ่ายไฟชุดเดียวกัน สำหรับการควบคุมการทำงานของโมดูลสวิทช์นี้สามารถทำได้โดยการจ่ายแรงดันที่ขาออปโต้ (U,V,W,U′,V′,W′) ให้มีค่าเท่ากับศูนย์ ซึ่งเป็นผลทำให้มีกระแสไหลผ่านไดโอดเปล่งแสงที่อยู่ภายในออฟโต้จึงทำให้ชุดไอจีบีทีด้านเอาท์พุททำงาน ส่วนวงจรที่ใช้ในการส่งสัญญาณฟอล์ตที่ออกจากตัวโมดูลเพื่อใช้หยุดสัญญาณขับเกตได้ใช้ออปโต้ เบอร์ TLP521 จำนวน 4 ตัว โดยสัญญาณที่มาจากออปโต้ 3 ตัวแรกนี้จะมาจากการตรวจจับบริเวณสวิทช์ 3 กิ่งบน ส่วนออฟโต้อีกตัวจะได้จากการตรวจจับบริเวณสวิทช์ 3 กิ่งล่าง การทำงานของวงจรนี้สามารถอธิบายได้ว่าถ้าในกรณีที่สภาวะปกติ สัญญาณฟอล์ตจะมีสถานะเป็นแรงดันขนาด 15 โวลต์ แต่ถ้ากรณีที่เกิดฟอล์ตขึ้นจะมีส่งสัญญาณระดับแรงดันศูนย์โวลต์ออกมาแทน จากนั้นจะนำสัญญาณที่ได้เข้าสู่วงจรป้องกันเพื่อไปตัดการทำงานของระบบต่อไป

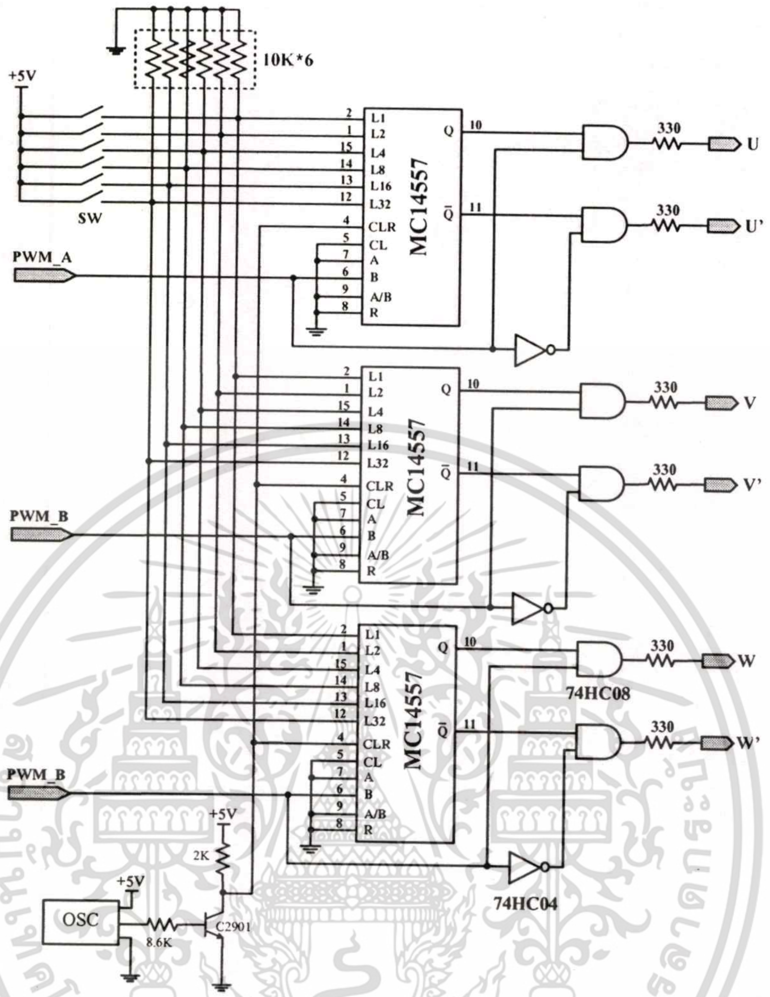


รูปที่ 5.3 วงจรแยกกราวด์ก่อนเข้าชุดขับเกตไอจีบีทีกำลัง

5.3 การออกแบบและสร้างวงจรประวิงเวลา

เนื่องจากในการทำงานของอุปกรณ์ที่ใช้ในการสวิทช์นั้น อาจมีการที่สวิทช์ในกิ่งเดียวกันทำงานพร้อมกันจึงเป็นผลทำให้เกิดการลัดวงจรภายในกิ่งเดียวกัน และทำให้อุปกรณ์สวิทช์เสียหายได้ โดยวงจรที่ทำหน้าที่ในการสร้างสัญญาณประวิงเวลาเพื่อป้องกันไม่ให้อุปกรณ์สวิทช์เกิดการสวิทช์พร้อมกันจะใช้วงจรประวิงเวลาซึ่งสามารถแสดงได้ดังรูปที่ 5.4 สัญญาณขับเกตที่กิ่งบนและกิ่งล่างต้องมีค่าเวลาหน่วงกันเล็กน้อยและเวลาในการประวิงเวลานี้จะขึ้นอยู่กับช่วงเวลาการไต่ขึ้นและการไต่ลงของอุปกรณ์สวิทช์นั้นๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



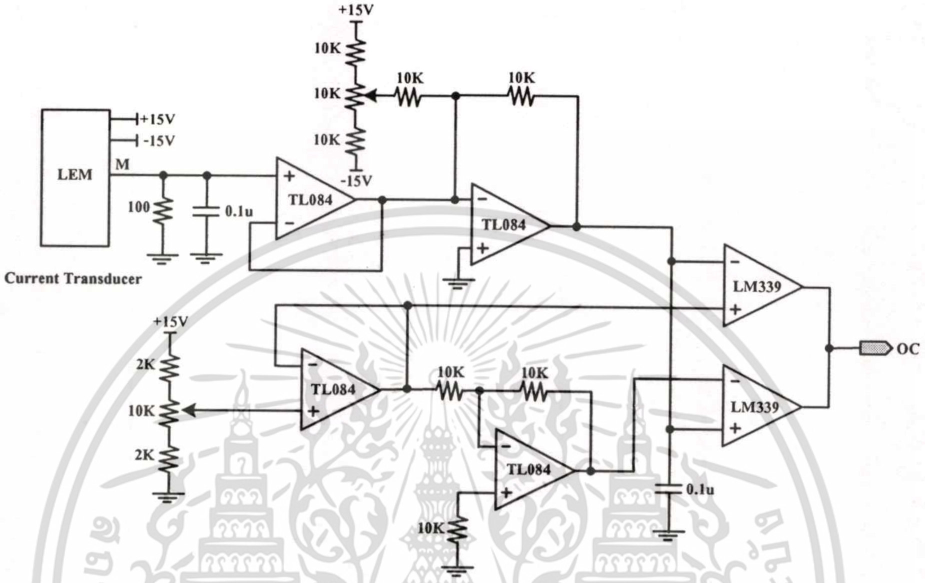
รูปที่ 5.4 วงจรสร้างช่วงการประวิงเวลา (Dead time)

การทำงานของวงจรประวิงเวลาจากรูปที่ 5.4 นั้นจะอาศัยไอซีเบอร์MC14557 ที่มีคุณสมบัติในการเลื่อนบิต โดยจะรับสัญญาณนาฬิกาจากภายนอกที่มีความถี่ 1 เมกะเฮริตซ์ป้อนเข้าที่ขา 4 ซึ่งช่วงเวลาของการเวลาประวิงนี้สามารถกำหนดได้จากการกำหนดสภาวะสูงหรือต่ำที่ให้กับขาสัญญาณ L1 ถึง L32 ในกรณีที่ทำการป้อนแรงดัน 5 โวลต์ เข้าที่ขาเหล่านั้นจะเป็นการเพิ่มค่าการหน่วงเวลาขึ้นทีละขั้น แต่ละขั้นเวลาที่ทำการเพิ่มขึ้นนี้เพิ่มขั้นละ 1,2,4,8,16 และ 32ไมโครวินาที ตามลำดับยกตัวอย่างเช่นในกรณีที่ต้องการให้เกิดการประวิงเวลา 10 ไมโครวินาทีจะต้องทำการเซตที่ขา 1 (L2) และขา14 (L8) เป็นแรงดัน 5 โวลต์ โดยในงานวิจัยนี้เลือกค่าประวิงเวลาให้มีเท่ากับ 4 ไมโครวินาที ดังนั้นจะต้องป้อนให้ขา15 (L4) เป็นแรงดัน 5 โวลต์ ส่วนขาที่เหลือ (L1, L2, L8, L16, L32) ป้อนแรงดัน 0 โวลต์

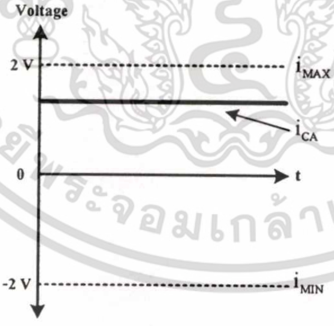
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.4 การออกแบบวงจรตรวจจับกระแสเกิน

วงจรตรวจจับกระแสนี้เป็นวงจรที่ใช้สำหรับการป้องกันกระแสไม่ให้เกินพิกัดที่เรากำหนดไว้ งานวิจัยนี้ได้ใช้ตัวตรวจจับกระแส (Current Transducer:LEM) ซึ่งอุปกรณ์นี้ใช้หลักการในการตรวจจับกระแสที่เรียกว่า “ปรากฏการณ์ฮอล์ลแอ็ฟเฟค” วงจรตรวจจับกระแสเกินแสดงดังรูปที่ 5.5



(ก) วงจรตรวจจับกระแสพร้อมวงจรป้องกันกระแสเกิน



(ข) รูปการจำลองการตรวจจับกระแสในวงจร

รูปที่ 5.5 วงจรตรวจจับกระแสเกิน

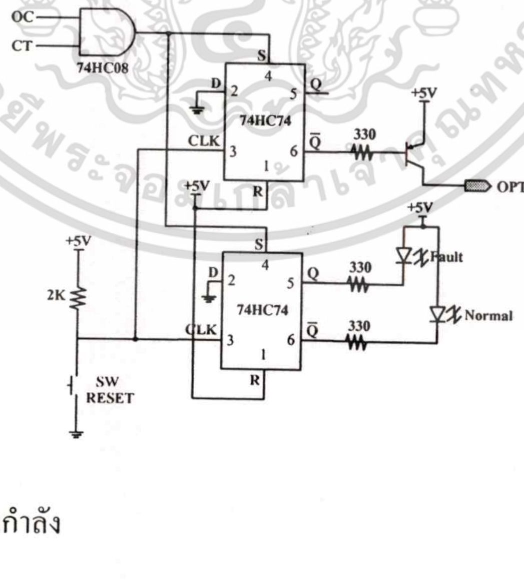
เนื่องจากการใช้ตัวตรวจจับกระแสชนิดนี้มีข้อดีกว่าการใช้ Current transformer ในด้านที่สามารถตรวจจับกระแสได้ทั้งไฟฟ้ากระแสตรงและกระแสสลับ มีช่วงความถี่การตอบสนอง (Bandwidth) ถึง 200 kHz สำหรับการใช้งานนี้ได้ตั้งอัตราส่วนของกระแสอินพุทและเอาท์พุทไว้ที่ 1 : 1000 โดยสัญญาณที่ได้จะส่งออกมายังขา M ซึ่งมีตัวต้านทานค่า 100 โอห์มต่ออยู่ระหว่างขา M กับกราวนด์ ดังนั้นในการตรวจจับกระแสในกรณีที่กระแสอินพุทมีค่าเป็น 1 แอมป์ แรงดันที่ได้จะ

เอกสารนี้เป็นเอกสารที่จัดทำไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ทางการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

มีค่าเป็น 0.1โวลต์ สัญญาณที่ได้นี้จะถูกส่งไปยังวงจรบัฟเฟอร์และวงจรปรับค่าออฟเซท โดยสัญญาณตามรูปที่ 5.5(ข) เป็นการแสดงให้เห็นถึงขอบเขตของรูปสัญญาณกระแส ในกรณีที่กระแสมีค่าสูงหรือต่ำกว่าค่าที่ตั้งไว้สัญญาณเอาท์พุทของออปแอมป์จะมีสภาวะเป็นศูนย์ ซึ่งสัญญาณที่เกิดขึ้นนี้จะถูกส่งไปในวงจรป้องกันเพื่อทำการหยุดสัญญาณขับเกตต่อไป

5.5 การออกแบบวงจรป้องกันภาคกำลัง

วงจรป้องกันที่สร้างขึ้นแสดงได้ดังรูปที่ 5.6 โดยวงจรนี้จะทำหน้าที่ป้องกันความเสียหายขณะที่ระบบทำงานผิดปกติ วงจรป้องกันที่ออกแบบนี้จะเป็นส่วนป้องกันที่รับสัญญาณมาจากสองส่วน คือ ส่วนแรกเป็นสัญญาณที่รับจากวงจรตรวจจับกระแสเกิน (OC) และส่วนที่สองจะรับสัญญาณมาจากส่วนป้องกันที่สร้างสัญญาณฟอล์ตจากตัวไอจีบีทีโมดูล (CT) โดยสัญญาณทั้งสองนี้สภาวะปกติจะมีแรงดันอยู่ที่ 15 โวลต์ แรงดันที่รับเข้ามาจะส่งไปยังวงจรแอนเกตซึ่งจะได้ค่าเอาท์พุทของ 74HC74 มีค่าเป็นศูนย์โวลต์แล้วทำให้ทรานซิสเตอร์เบอร์ BC327 ชนิด PNP ทำงานจึงมีผลทำให้มีแรงดัน 5 โวลต์ ออกไปยังเอาท์พุทเพื่อนำไปเลี้ยงออปโต้ที่ใช้ในการขับเกตต่อไป เมื่อเกิดสภาวะที่ระบบผิดปกติสัญญาณที่ขาอินพุทของแอนเกตอินพุทใดอินพุทหนึ่งจะมีค่าเป็นศูนย์เป็นผลให้แรงดันเอาท์พุทของ 74HC74 ที่นำไปขับทรานซิสเตอร์มีค่าเป็น 5 โวลต์ จึงทำให้ทรานซิสเตอร์ชนิด PNP ไม่ทำงานเป็นผลให้ไม่มีแรงดัน 5 โวลต์ที่เอาท์พุทเพื่อนำไปเลี้ยงออปโต้เพราะฉะนั้นวงจรขับเกตไม่สามารถส่งสัญญาณขับไปยังไอจีบีทีโมดูลได้



รูปที่ 5.6 วงจรป้องกันภาคกำลัง

5.6 การออกแบบวงจรตรวจจับสัญญาณของวงจรควบคุม

เนื่องจากการประมวลผลสัญญาณของวงจรควบคุมจะต้องมีการรับสัญญาณทั้งกระแสและแรงดันตามจุดต่างๆแล้วทำการส่งมายังตัวประมวลผลสัญญาณดิจิตอล (DSP) และนำสัญญาณ

เอกสาร... ให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เหล่านั้นมาทำการประมวลผลเพื่อสร้างสัญญาณที่จะนำใช้ในการควบคุมภาคกำลังต่อไป ซึ่งในส่วนของการตรวจจับกระแสจะมีทั้งหมด 6 ชุด แบ่งเป็น 2 ส่วน คือ ส่วนแรกใช้ในการตรวจจับกระแสของโหลด ส่วนที่สองใช้ในการตรวจจับกระแสที่แหล่งจ่ายอินเวอร์เตอร์ทั้งสามเฟส โดยที่ส่วนของการตรวจจับระดับแรงดันจะมีทั้งหมด 5 ชุด โดยแบ่งตามชนิดของแรงดันที่รับเข้ามาออกเป็นสองประเภท คือ 1. การตรวจจับแรงดันไฟตรง 2. การตรวจจับแรงดันไฟสลับ

5.6.1 วงจรตรวจจับระดับแรงดัน

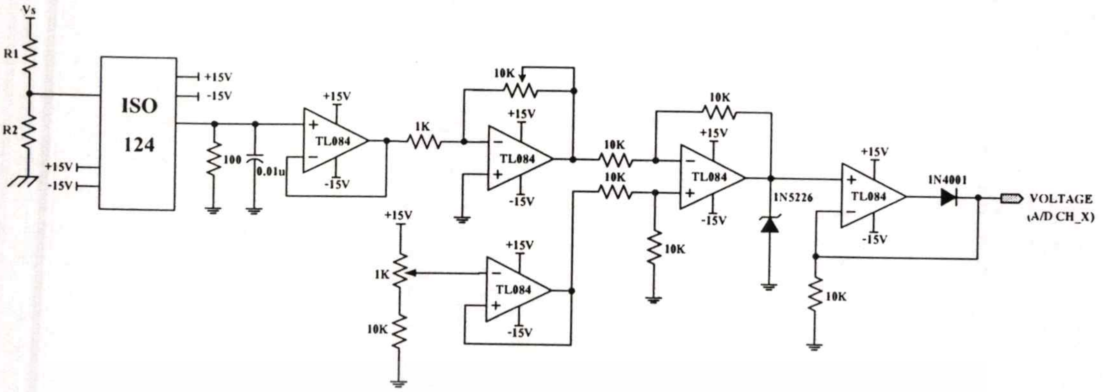
ส่วนของการตรวจจับระดับแรงดันในระบบนั้น เราจะทำการตรวจจับระดับแรงดันโดยแบ่งเป็น 2 ส่วน คือ

5.6.1.1 วงจรตรวจจับระดับแรงดันไฟสลับ

การตรวจจับระดับแรงดันไฟสลับนั้นเราจะทำการจับระดับแรงดันระหว่างสายเฟสกับสายนิวทรอลเพื่อนำสัญญาณที่ได้นี้ไปเป็นสัญญาณอ้างอิงให้กับส่วนการตรวจจับกระแสฮาร์โมนิคด้วยโครงข่ายประสาทเทียม โดยจะทำการตรวจจับแรงดันไฟสลับระหว่างสายเฟสกับสายนิวทรอลทั้งสามเฟสเป็นจำนวน 3 ชุด

วงจรที่ใช้ในการตรวจจับแรงดันของวงจรควบคุมนั้นจะใช้ไอซีขยายสำหรับแยกโดด (Isolation Amplifiers) เบอร์ ISO124 เพื่อทำการแยกกราวด์จากแรงดันของระบบไฟฟ้า (220โวลต์ในแต่ละเฟส) ที่เรารับเข้ามากับระบบควบคุม โดยแรงดันที่รับเข้ามาจะมีระดับแรงดันขนาด 220โวลต์ ซึ่งเราไม่สามารถที่นำระดับแรงดันขนาดนั้นมาเข้าสู่ไอซีขยายสำหรับแยกโดดได้เพราะสัญญาณอินพุทสูงสุดของไอซีขยายสำหรับแยกโดดที่สามารถรับได้จะมีค่าไม่เกิน10โวลต์ ดังนั้นเราจึงจำเป็นต้องทำการลดระดับแรงดันด้วยวิธีการลดทอนแรงดัน ซึ่งใช้ความต้านทานมาเป็นส่วนแบ่งของแรงดัน (Voltage Divider) เมื่อได้ระดับแรงดันที่เหมาะสมแล้วจะนำมาผ่านวงจรปรับอัตราขยายให้เหมาะสมแล้วทำการยกระดับออฟเซตของสัญญาณไปที่ 1.65โวลต์ จากนั้นจะส่งไปยังวงจรปรับแต่งรูปสัญญาณเพื่อให้สัญญาณที่รับเข้ามามีระดับแรงดันเหมาะสมกับพอร์ตของตัวประมวลผลสัญญาณดิจิตอลที่ใช้ทำหน้าที่แปลงสัญญาณอะนาลอกเป็นดิจิตอลต่อไป ซึ่งวงจรปรับแต่งรูปสัญญาณนี้จะทำการปรับแต่งไม่ให้สัญญาณเอาท์พุทมีค่าเกิน 3.3โวลต์และจะต้องเป็นระดับแรงดันบวกโดยใช้ไดโอดในการตัดแต่งสัญญาณ แล้วทำการส่งยังไปตัวประมวลผลสัญญาณดิจิตอลเพื่อนำไปประมวลผลต่อไปสามารถแสดงได้ดังรูปที่ 5.7

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

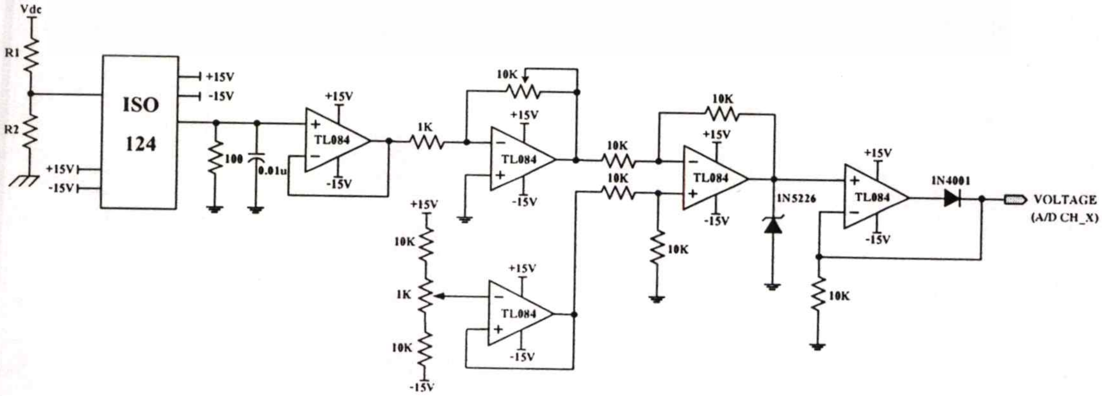


รูปที่ 5.7 วงจรตรวจจับแรงดันไฟสลับ

5.6.1.2 วงจรตรวจจับระดับแรงดันไฟตรง

การตรวจจับระดับแรงดันไฟตรงจะทำการจับระดับแรงดันไฟตรงเพื่อนำมาใช้ในการรักษาระดับแรงดันของตัวเก็บประจุ โดยวงจรตรวจจับระดับแรงดันไฟตรงมีทั้งหมดอยู่ 2 ชุด คือ ชุดที่หนึ่งไว้ทำการจับระดับแรงดันไฟตรงที่กึ่งกลางไฟตรง (V_{C2}) ส่วนชุดที่สองจะใช้ในการจับระดับแรงดันไฟตรงที่คร่อมระหว่างตัวเก็บประจุตัวที่หนึ่งกับตัวเก็บประจุตัวที่สอง ($V_{C1}+V_{C2} = V_{dc}$)

ในส่วนของวงจรตรวจจับระดับแรงดันไฟตรงนี้จะมีลักษณะเหมือนกับวงจรที่ใช้ในการตรวจจับระดับแรงดันไฟสลับแต่จะต่างกันตรงที่วงจรในส่วนนี้จะไม่ต้องทำการปรับระดับออฟเซตของสัญญาณไปที่ 1.65 โวลต์ แต่จะทำการปรับระดับออฟเซตของสัญญาณไปที่ 0โวลต์ แทน เนื่องจากในการตรวจจับระดับแรงดันไฟตรงนี้จะไม่มีส่วนของสัญญาณลบ ดังนั้นในการรับสัญญาณของตัวประมวลผลสัญญาณดิจิตอลจะรับสัญญาณที่เป็นชนิดยูนิโพล่าร์ (Unipolar) ซึ่งไม่เหมือนกับการตรวจจับสัญญาณที่รับจะเป็นชนิดไบโพล่าร์ (Bipolar) แสดงวงจรการตรวจจับระดับแรงดันไฟตรงได้ดังรูปที่ 5.8



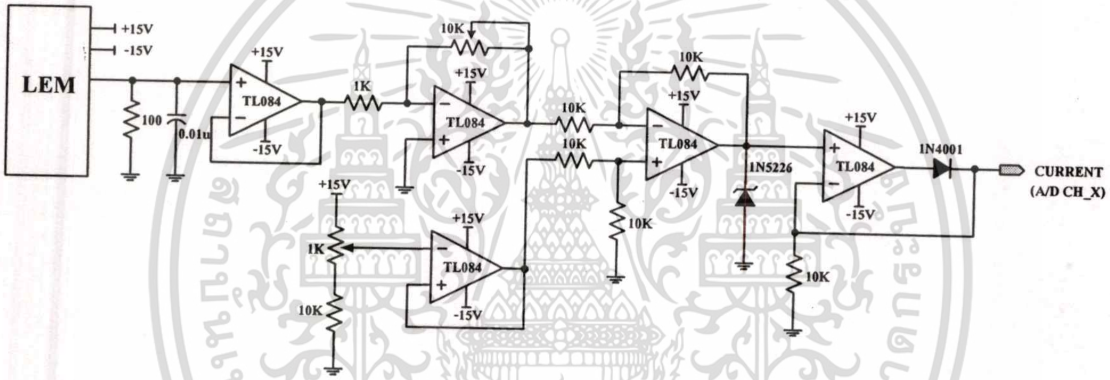
รูปที่ 5.8 วงจรตรวจจับแรงดันไฟตรง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.6.2 วงจรตรวจจับกระแส

การตรวจจับกระแสของวงจรควงคุมนี้สามารถแบ่งออกเป็นสองส่วน คือ 1.ส่วนการตรวจจับกระแสของโหลดเพื่อใช้หาค่ากระแสฮาร์โมนิคของกระแสโหลด 2.ส่วนการตรวจจับกระแสที่แหล่งจ่ายอินเวอร์เตอร์ โดยทั้งสองส่วนนี้จะทำการจับกระแสทั้ง 3 เฟส ดังนั้นในการตรวจจับกระแสของวงจรควบคุมจะมีจำนวนอยู่ทั้งหมด 6 ชุด

ซึ่งในงานวิจัยนี้จะใช้พิกัดของกระแสไม่เกิน 25A ดังนั้นจึงเลือกใช้ตัวตรวจจับกระแส LEM เบอร์ LA25-NP แล้วทำการเลือกอัตรากระแสอินพุทต่อกระแสเอาท์พุทไว้ที่ 1000:1 จากนั้นสัญญาณที่ได้จากตัวตรวจจับกระแสจะส่งไปยังวงจรที่ทำหน้าที่ขยายสัญญาณและปรับระดับออฟเซต ซึ่งมีลักษณะวงจรเหมือนกับวงจรตรวจจับระดับแรงดันไฟสลับที่กล่าวมาแล้วข้างต้น แสดงไว้ดังรูปที่ 5.9



รูปที่ 5.9 วงจรตรวจจับกระแส

5.7 ตัวประมวลผลสัญญาณดิจิตอล

ความก้าวหน้าทางด้านไมโครอิเล็กทรอนิกส์ และความต้องการใช้งานทางด้านความเร็วในการประมวลผลทางคณิตศาสตร์ ส่งผลให้มีการประดิษฐ์คิดค้นตัวประมวลผลที่ออกแบบสำหรับการคำนวณทางคณิตศาสตร์ที่ต้องการความเร็วสูงโดยเฉพาะที่เรียกว่า ตัวประมวลผลสัญญาณดิจิตอล (Digital Signal Processing) หรือที่นิยมเรียกว่า ดีเอสพี (DSP) ซึ่งตัวประมวลผลดังกล่าวจะเน้นความเร็วของการทำคำสั่งทางคณิตศาสตร์ โดยมีสถาปัตยกรรมการทำงานแบบขนานด้วยฮาร์ดแวร์ เช่น มีฮาดร์แวร์การคูณ (Multiplier), ฮาร์แวร์สเกลลิ่งชิฟเตอร์ (Scaling Shifter), ส่วนประมวลผลทางคณิตศาสตร์ของรีจิสเตอร์ (Auxiliary Register Arithmetic Unit) แยกอิสระเป็นต้น จึงมีผลทำให้ระบบควบคุมที่ออกแบบโดยใช้ตัวประมวลผลสัญญาณดิจิตอลจะมีความเร็วในการประมวลผลทางคณิตศาสตร์ที่เร็วกว่าเมื่อเทียบกับตัวประมวลผลแบบทั่วๆไปที่มีความเร็วเท่ากัน ซึ่งทางผู้ผลิตชิปดีเอสพีในปัจจุบันมีหลายบริษัท ได้แก่ บริษัท Texas Instrument, Analog Divices, Motorola, Lucent Technology, Hitachi ฯลฯ ชิปดังกล่าวจะถูกออกแบบให้ใช้ในลักษณะที่แตกต่าง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

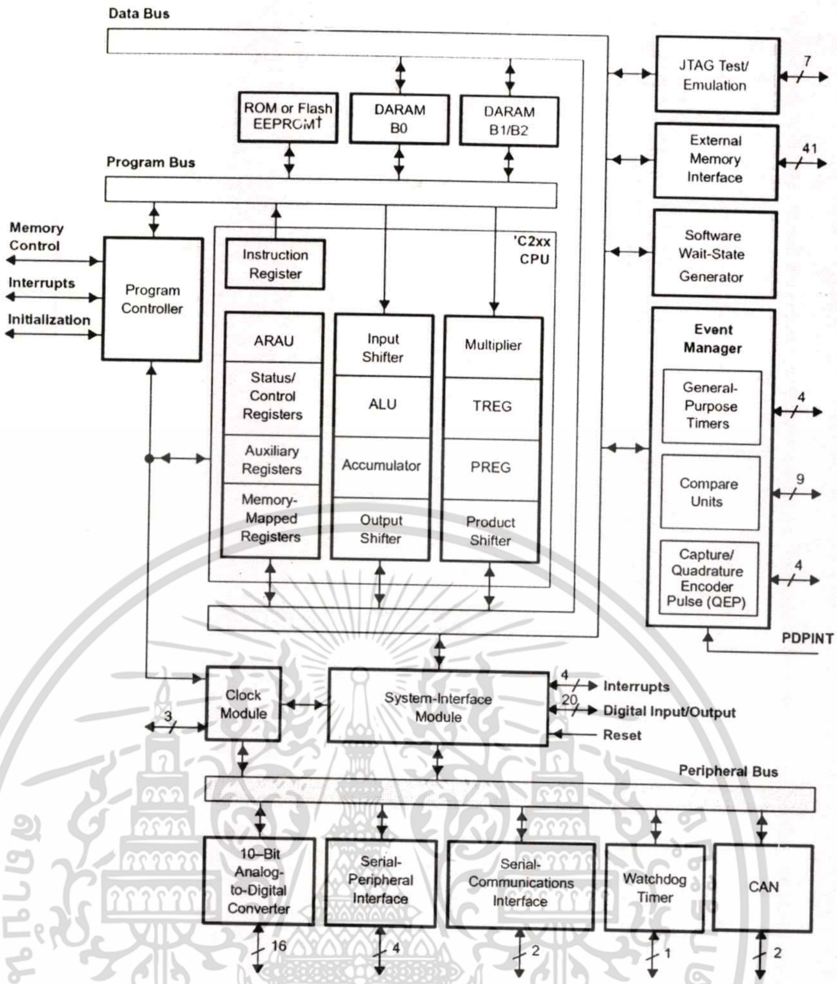
กันออกไป โดยทั่วไปมีคนนิยมใช้อยู่ 2 บริษัท คือ บริษัท เท็กซัสอินสตรูเมนต์ จำกัด และ บริษัท อะนาลอกดิไวซ์ จำกัด ซึ่งบริษัท เท็กซัสอินสตรูเมนต์เป็นผู้นำทางด้านการผลิตชิป และตัวประมวลผลสัญญาณดิจิตอลมานานแล้ว โดยที่แต่ละบริษัทจะมีคุณสมบัติของชิปที่ใกล้เคียงกันแต่จะแตกต่างกันในเรื่องของราคาและอุปกรณ์ที่ใช้ต่อร่วมภายนอก ในงานวิจัยนี้ได้เลือกใช้ตัวประมวลสัญญาณดิจิตอล รุ่น TMS320LF2406A อยู่ในตระกูลของ C2000 ของบริษัท เท็กซัสอินสตรูเมนต์ ซึ่งงานวิจัยนี้ได้เลือกใช้ประมวลสัญญาณดิจิตอลรุ่นนี้เนื่องจากสามารถหาใช้งานได้ง่ายรวมทั้งมีคุณสมบัติโดยรวมที่ดีกว่าชิปในระดับเดียวกัน โดยรายระเอียดจะกล่าวถึงในหัวข้อถัดไป

5.7.1 สถาปัตยกรรมของ TMS320LF2406A

ตัวประมวลผลสัญญาณดิจิตอลเบอร์ TMS320LF2406A ของบริษัทเท็กซัสอินสตรูเมนต์ ซึ่งถือว่าเป็นตัวควบคุมประมวลผลสัญญาณดิจิตอล (DSP Controller) ตระกูลแรกที่มีใช้เชิงพาณิชย์ สำหรับประยุกต์ในงานควบคุมโดยเฉพาะโครงสร้างเน้นความอ่อนตัวในการประยุกต์ใช้งานหลายลักษณะ โครงสร้างของตัวประมวลผลสัญญาณดิจิตอลเป็นแบบจุดทศนิยมคงที่ขนาด 16 บิต (16-bit fixed-point digital signal processors) ทางด้านฮาร์ดแวร์ภายในถูกออกแบบมาเพื่อใช้ในงานอิเล็กทรอนิกส์กำลัง คุณสมบัติภายในตัวประมวลผลสัญญาณดิจิตอลเบอร์ TMS320LF2406A [21]

- เป็นตัวประมวลผลสัญญาณดิจิตอลขนาด 16 บิต 3.3 โวลต์
- ความเร็วในการประมวลผล 40 MIPS (ล้านคำสั่งต่อวินาที) ต่อ 1 แมชชีนไซเกิล
- ฮาร์ดแวร์การคูณแบบขนานขนาด 16 x 16 ผลลัพท์เป็น 32 บิต
- มี Accumulator ขนาด 32 บิต และ Arithmetic Logic Unit ขนาด 32 บิต
- พอร์ทอินพุท/เอาท์พุทจำนวน 41 พอร์ท
- หน่วยความจำข้อมูล แบบแฟลช์ ขนาด 32 กิโลไบต์ x 16 บิต
- หน่วยความจำข้อมูลแบบแรม ชนิด DARAM ขนาด 512 ไบต์ x 16 บิต และ ชนิด SARAM ขนาด 2 กิโลไบต์ x 16 บิต
- ตัวแปลงสัญญาณอะนาลอกเป็นดิจิตอล 16 ช่อง โดยมีความละเอียด 10 บิต 2 ชุด (Dual 10 – bit analog to digital converter : A/D) ซึ่งสามารถอ่านค่าอะนาลอกได้ 2 สัญญาณในเวลาเดียวกัน
- ชุดกำหนดสัญญาณนาฬิกาจำนวน 4 ชุด
- ตัวสร้างสัญญาณพีดับบลิวเอ็ม (Pulse Width Modulaion : PWM) 16 ช่องอิสระ
- ตัวสร้างการประวิงเวลา (Dead Time) ได้ตั้งแต่ 0 – 12 ไมโครวินาที
- ตัวนับพลัส์จากเอ็นโคดเดอร์ เพื่อกำหนดตำแหน่ง
- ตัวติดต่อสื่อสาร อาทิเช่น SCI , SPI , CAN
- ตัวรับอินเทอร์รัพท์จากภายนอก 5 ช่อง

เอกสารนี้เป็นเอกสารที่มีลิขสิทธิ์ได้รับอนุญาตให้ใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

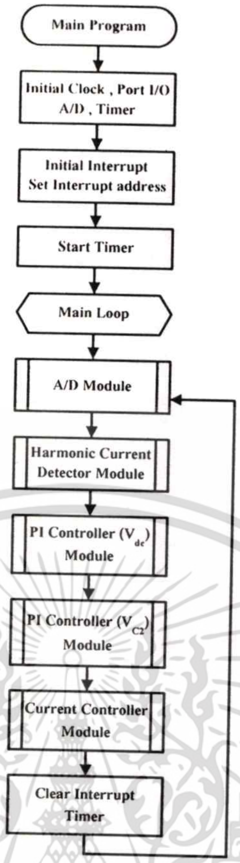


รูปที่ 5.10 โครงสร้างของตัวประมวลผลสัญญาณดิจิตอลเบอร์ TMS320LF2406A

5.8 การออกแบบโครงสร้างทางซอฟต์แวร์สำหรับการควบคุม

จากหัวข้อที่ผ่านมาได้กล่าวถึงการสร้างและประกอบส่วนต่างๆทางฮาร์ดแวร์ ซึ่งมีทั้งวงจรกำลัง วงจรการตรวจจับค่าแรงดันและกระแสแล้วทำการส่งมายังตัวประมวลผลสัญญาณดิจิตอลเพื่อประมวลผลสัญญาณที่ได้เหล่านั้นแล้วส่งไปยังวงจรภาคกำลังต่อไป ในการเขียนโปรแกรมเพื่อทำการควบคุมสามารถที่จะใช้ได้ทั้งภาษาระดับสูง (ภาษาซี) และภาษาระดับต่ำ (แอสเซมบลี) โดยการเขียนโปรแกรมในงานวิจัยนี้ได้เลือกใช้ภาษาระดับต่ำ เนื่องจากในการเขียนโปรแกรมที่ใช้ภาษาระดับสูงเมื่อทำการแปลง (Compile) มาเป็นภาษาระดับต่ำโปรแกรมที่ได้จะมีขนาดใหญ่ ซึ่งในงานวิจัยนี้จำเป็นต้องใช้เวลาในการประมวลผลที่น้อยที่สุดเท่าที่จะทำได้เพื่อให้ได้ผลการตอบสนองของกระแสที่ดี จึงเป็นเหตุผลทำให้ในการเขียนโปรแกรมในงานวิจัยนี้ใช้ภาษาระดับต่ำทั้งหมด โดยโปรแกรมที่ใช้กับวงจรกรองกำลังแอคทีฟนี้สามารถแสดงแผนผังการทำงานได้ดังรูปที่ 5.11

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.11 โครงสร้างโปรแกรมหลักที่ใช้ในการควบคุมของวงจรกรองกำลังแอคทีฟ

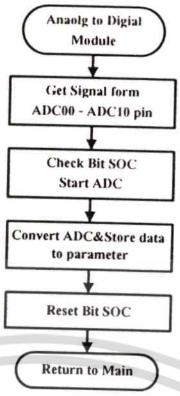
จากรูปที่ 5.11 เป็นผังการทำงานของโปรแกรมหลักที่ใช้ในการควบคุม โดยตัวประมวลผลสัญญาณดิจิตอลจะรับสัญญาณที่ได้จากขา A/D แล้วมาทำการแปลงสัญญาณเหล่านั้นไปเป็นดิจิตอลเพื่อทำการประมวลผล จากนั้นค่าที่ได้จะส่งไปยังส่วนการตรวจหาค่ากระแสฮาร์โมนิคซึ่งจะทำการหาค่ากระแสฮาร์โมนิคที่เกิดขึ้นกับโหลดและทำการส่งไปยังส่วนการรักษาระดับแรงดัน แล้วสัญญาณที่ได้จะถูกส่งไปเป็นสัญญาณกระแสอ้างอิงเพื่อนำไปสร้างกระแสชดเชยฮาร์โมนิค โดยในส่วนของการสร้างกระแสจะรับสัญญาณกระแสอ้างอิงที่ได้มานั้นมาทำการสร้างสัญญาณ พลัส์เพื่อส่งไปยังภาคกำลังต่อไป วงรอบการทำงานของโปรแกรมทั้งหมดจะถูกกำหนดโดยตัวจับเวลา (Timer) ซึ่งในงานวิจัยนี้ในส่วนโปรแกรมหลักจะมีวงรอบการทำงานทุกๆ 16 ไมโครวินาที

5.8.1 โปรแกรมการแปลงสัญญาณอะนาลอกเป็นดิจิตอล (A/D Module)

ในส่วนนี้จะทำหน้าที่ในการแปลงจากสัญญาณอะนาลอกไปเป็นสัญญาณดิจิตอล ซึ่งสัญญาณที่รับเข้ามานั้นเป็นสัญญาณที่ได้จากการตรวจจับกระแสและแรงดัน โดยในงานวิจัยนี้ได้ใช้จำนวนช่องการแปลงอะนาลอกไปเป็นดิจิตอลจำนวน 11 ชุด และสัญญาณที่รับเข้ามาจะต้องมีแรงดันอยู่ในช่วง 0 ถึง 3.3 โวลต์ ส่วนของโปรแกรมนี้จะทำการแปลงสัญญาณอะนาลอกไปเป็น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษา การค้นคว้า และการวิจัย ไม่นำไปใช้ประโยชน์ทางการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

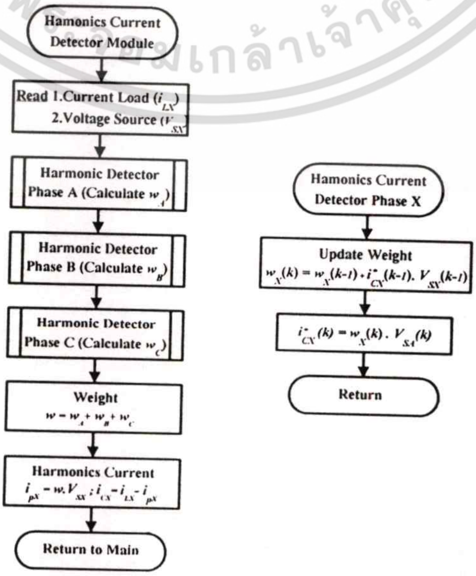
ดิจิตอลแล้วทำการเตรียมสัญญาณเพื่อที่จะส่งไปยังส่วนการประมวลผลอื่นๆ ต่อไป โครงสร้างของโปรแกรมที่ใช้ในแปลงสัญญาณอะนาลอกเป็นดิจิตอลแสดงได้ดังรูปที่ 5.12



รูปที่ 5.12 โครงสร้างโปรแกรมที่ใช้ในแปลงสัญญาณอะนาลอกเป็นดิจิตอล

5.8.2 โปรแกรมการตรวจจับกระแสฮาร์โมนิค (Harmonics Current Detector Module)

ในส่วนนี้เป็นส่วนที่ทำหน้าที่ในการตรวจหาค่ากระแสฮาร์โมนิคที่เกิดขึ้น โดยสัญญาณที่รับเข้ามาจะทำการหาค่าถ่วงน้ำหนักในแต่ละเฟสซึ่งกระบวนการที่ใช้จะเป็นเทคนิคการกำจัดสัญญาณรบกวนที่สามารถปรับตัวได้เองตามที่ได้กล่าวดังบทที่ผ่านมา แล้วนำถ่วงน้ำหนักที่ได้มาทำการหาค่าถ่วงน้ำหนักรวมเพื่อหาค่ากระแสฮาร์โมนิคในแต่ละเฟสต่อไป โครงสร้างโปรแกรมการตรวจจับกระแสฮาร์โมนิคแสดงได้ดังรูปที่ 5.13

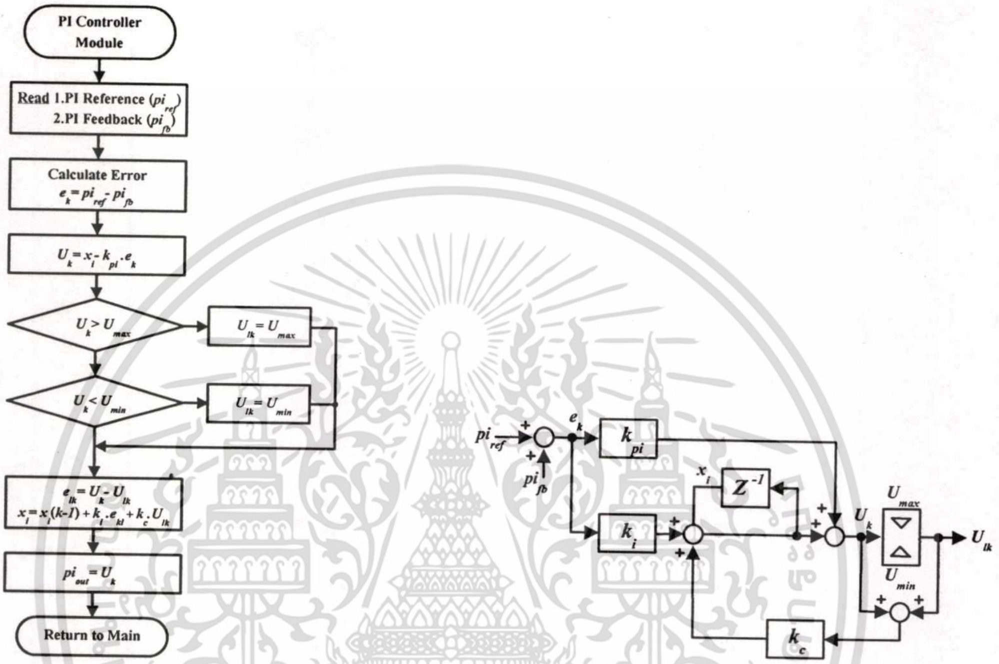


รูปที่ 5.13 โครงสร้างโปรแกรมการตรวจจับกระแสฮาร์โมนิคทั้ง 3 เฟส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.8.3 โปรแกรมตัวควบคุมแบบพีไอ (PI Controller Module)

ในส่วนนี้จะเป็นส่วนทำหน้าที่ในการรักษาระดับแรงดันไฟตรงให้คงที่ โดยใช้ตัวควบคุมแบบพีไอซึ่งกระบวนการดังกล่าวได้มีการลิมิตค่าสูงสุดและต่ำสุดไว้เพื่อเป็นการควบคุมไม่ให้ค่าของกระแสอ้างอิงสูงเกินไปโครงสร้างโปรแกรมตัวควบคุมแบบพีไอแสดงดังรูปที่ 5.14(ก)



(ก) โครงสร้างโปรแกรมตัวควบคุมแบบพีไอ (ข) บล็อกไดอะแกรมของโปรแกรมตัวควบคุมแบบพีไอ

รูปที่ 5.14 โครงสร้างหลักการทำงานของโปรแกรมตัวควบคุมแบบพีไอ

จากรูปที่ 5.14 (ข) แสดงบล็อกไดอะแกรมของโปรแกรมตัวควบคุมแบบพีไอที่มีการลิมิตค่าเอาท์พุทของตัวควบคุม ซึ่งมีส่วนการควบคุมแบบอินทิเกรทอยู่ด้วยซึ่งขณะที่ค่าเอาท์พุทติดลิมิต ส่วนการอินทิเกรทจะต้องหยุดอินทิเกรท เพื่อมิให้เกิดค่าอินทิเกรทสะสมขณะที่เอาท์พุทไม่สามารถเพิ่มขึ้นได้ (Integrator Windup)[22] มิฉะนั้นจะทำให้ผลการควบคุมเกิดโอเวอร์ชูตสูงกว่าปกติ ดังนั้นจึงต้องใช้ตัวควบคุมชนิดที่แก้ผลดังกล่าว

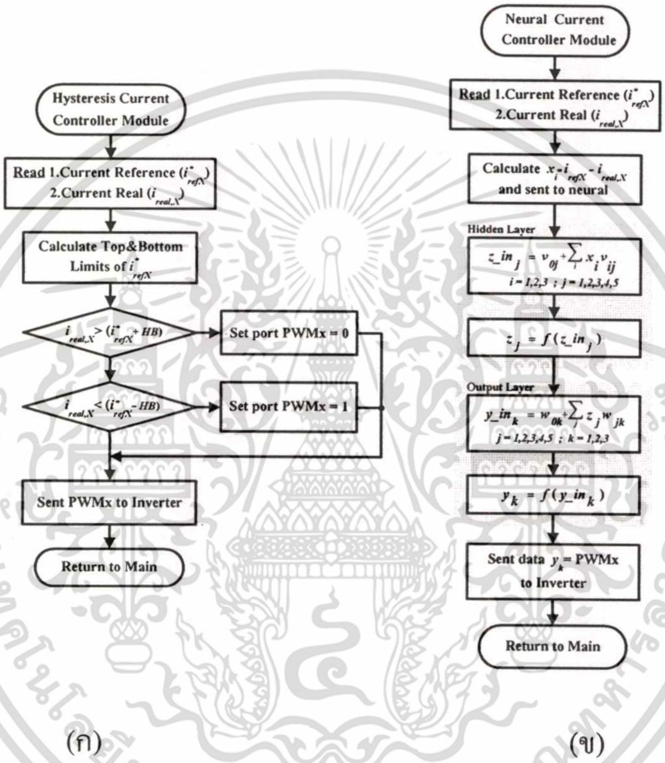
การแก้ผลของการอินทิเกรทสะสมขณะที่เอาท์พุทติดลิมิตนี้ จะอาศัยผลต่างของเอาท์พุทจริง (U_k) และเอาท์พุทที่ลิมิต (U_{lk}) ซึ่งจะได้ค่าติดลบเสมอขณะติดลิมิตคูณด้วยค่าคงที่การแก้อินทิเกรทสะสม (k_c) แล้วนำไปบวกกับค่าที่เกิดจากส่วนการควบคุมแบบอินทิเกรท โดยค่าคงที่การแก้อินทิเกรทสะสมมีสมการเป็น

$$k_c = \frac{k_i}{k_{pi}} \qquad (5.2)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.8.4 โปรแกรมส่วนควบคุมการสร้างกระแส (Current Controller Module)

ส่วนนี้จะทำหน้าที่ในการควบคุมการสร้างกระแสให้กับวงจรกรองกำลังแอคทีฟ ซึ่งจะรับสัญญาณที่ได้จากการประมวลผลที่ได้จากการตรวจจับสัญญาณกระแสฮาร์โมนิคมาเป็นกระแสอ้างอิงให้กับส่วนควบคุมกระแสเพื่อทำการฉีดกระแสเข้าไปในระบบ โดยในงานวิจัยนี้ได้ทำการทดลองแบ่งเป็นสองส่วนคือ 1 การควบคุมกระแสโดยวิธีของเขตฮีสเตอร์รีซีส 2. การควบคุมกระแสโดยวิธีโครงข่ายประสาทเทียมแสดงได้ดังรูปที่ 5.15(ก) และ 5.15(ข) ตามลำดับ



รูปที่ 5.15 (ก) โครงสร้างโปรแกรมที่ใช้ในการควบคุมกระแสแบบขอบเขตฮีสเตอร์รีซีส

(ข) โครงสร้างโปรแกรมที่ใช้ในการควบคุมกระแสแบบโครงข่ายประสาทเทียม

5.9 บทสรุป

ในบทนี้ได้กล่าวถึงการออกแบบและสร้างรวมทั้งในส่วนของฮาร์แวร์และซอฟต์แวร์วงจรกรองกำลังแอคทีฟ โดยเครื่องต้นแบบที่สร้างขึ้นมานี้จะประกอบไปด้วยสองส่วนหลักๆ คือ ส่วนของวงจรกำลังซึ่งเป็นส่วนที่ใช้ในการสร้างกระแสชดเชยเพื่อฉีดเข้าไปในระบบ ส่วนที่สองจะเป็นส่วนที่ใช้ในการประมวลผลสัญญาณที่รับสัญญาณที่ตรวจวัดได้มาทำการประมวลผลแล้วส่งสัญญาณไปขับอุปกรณ์สวิทช์ของวงจรกำลังต่อไป การประมวลผลของสัญญาณทั้งหมดได้นำตัวประมวลผลสัญญาณทางด้านดิจิตอลมาทำการประมวลผลทั้งหมด ซึ่งข้อมูลการออกแบบนี้ได้ถูกนำไปสร้างจริงและทำการทดสอบ เพื่อยืนยันว่าระบบที่ได้ออกแบบนี้สามารถทำงานได้อย่างถูกต้อง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 6
ผลการทดลองการทำงานของวงจรกรองกำลังแอคทีฟ

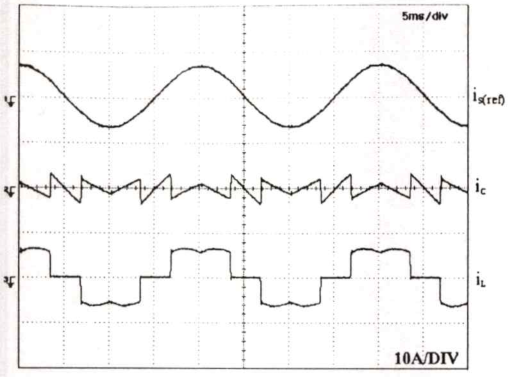
6.1 บทนำ

ในบทนี้จะเป็นการนำเครื่องต้นแบบที่สร้างขึ้นมาทำการทดลองความสามารถในการกำจัดกระแสฮาร์โมนิคของวงจรกรองกำลังแอคทีฟในระบบไฟฟ้า 3 เฟส 4 สาย ที่ใช้หลักการตรวจจับกระแสฮาร์โมนิกด้วยโครงข่ายประสาทเทียมทางด้านโหลด ซึ่งควบคุมด้วยตัวประมวลสัญญาณดิจิตอล TMS320LF2406A โดยระบบที่นำมาทดลองนี้เป็นระบบ 3 เฟส 4 สาย ขนาดแรงดัน 380 โวลต์ 50 เฮิรตซ์ ต่ออยู่กับโหลดชนิดไม่เป็นเชิงเส้นขนาดพิกัด 3 kVA ซึ่งแบ่งการทดลองออกเป็น 3 กรณี คือ 1. กรณีสมดุลด้านโหลด 2. กรณีไม่สมดุลด้านโหลด 3. กรณีแรงดันทางด้านแหล่งจ่ายไม่สมดุล รวมทั้งยังได้ทำการทดลองในกรณีที่กระแสโหลดมีการเปลี่ยนแปลงแบบฉับพลัน จากนั้นได้ทำการทดลองการรักษาระดับแรงดันให้คงที่ด้วยตัวควบคุมแบบพีไอตามที่ได้ออกแบบไว้ โดยงานวิจัยนี้แบ่งการทดลองออกเป็นหัวข้อต่างๆ ดังนี้

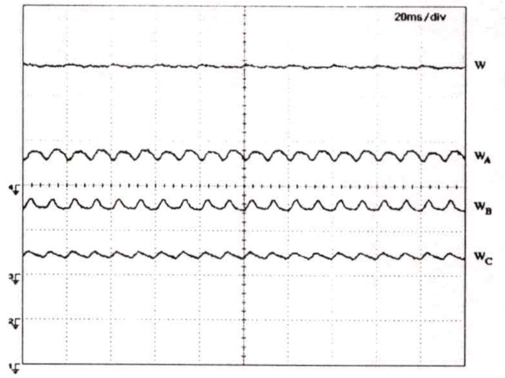
6.2 ผลการทดลองการตรวจจับกระแสฮาร์โมนิคด้วยโครงข่ายประสาทเทียมของวงจรกรองกำลังแอคทีฟ

ส่วนนี้จะเป็นการทดลองความสามารถในการตรวจจับกระแสฮาร์โมนิคของวงจรกรองกำลังแอคทีฟที่ใช้หลักการโครงข่ายประสาทเทียม โดยทำการทดลองในกรณีที่โครงข่ายประสาทเทียมมีค่าอัตราการเรียนรู้ที่ต่างกันเพื่อศึกษาการทำงานของโครงข่ายประสาทเทียมได้ที่นำมาประยุกต์ใช้ ซึ่งการทดลองนี้จะให้ค่าอัตราการเรียนรู้เป็น 0.01, 0.3 และ 1.2 ตามลำดับ แล้วทำการวัดรูปคลื่นสัญญาณที่ได้จากการประมวลผลภายในตัวประมวลผลสัญญาณดิจิตอลแล้วส่งข้อมูลผ่านทางพอร์ทและนำสัญญาณเหล่านี้ไปยังวงจรแปลงสัญญาณดิจิตอลเป็นสัญญาณอะนาลอกเพื่อทำการวัดสัญญาณต่อไป ซึ่งโหลดที่นำมาทดลองเป็นวงจรไดโอดเรียงกระแสชนิดสามเฟสแบบเต็มคลื่นที่ต่ออยู่กับตัวต้านทาน 80โอหม์ ที่ต่ออนุกรมกับตัวเหนี่ยวนำ 20 มิลลิเฮนรี่ โดยสัญญาณกระแสอ้างอิง ($i_{s(ref)}$), สัญญาณกระแสชดเชย (i_C) และสัญญาณกระแสโหลด (i_L) ซึ่งมีค่าถ่วงน้ำหนักรวม (w) และค่าถ่วงน้ำหนักในแต่ละเฟส (w_A ,w_B, w_C) แสดงผลการทดลองได้ดังรูปที่ 6.1 และรูปที่ 6.2 ตามลำดับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

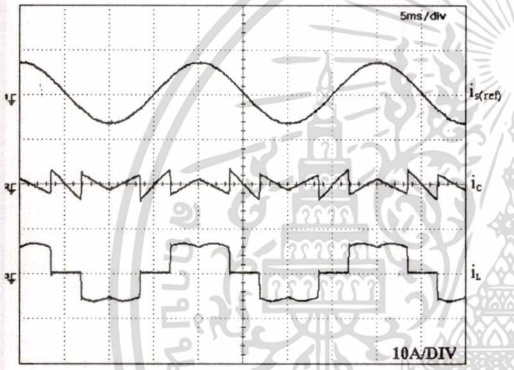


(ก) การหาค่ากระแสฮาร์โมนิคจากตัวประมวลผลทางดิจิตอล

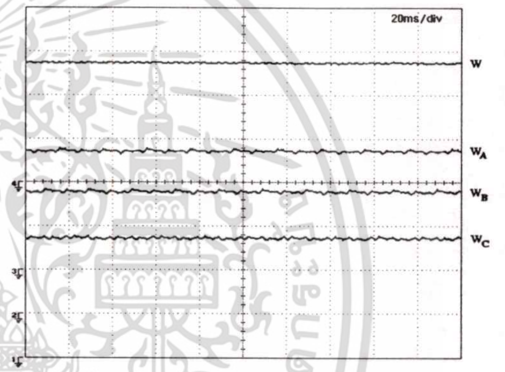


(ข) ค่าถ่วงน้ำหนักรวม (w) และค่าถ่วงน้ำหนักในแต่ละเฟส (w_A, w_B, w_C)

อัตราการเรียนรู้ 0.01

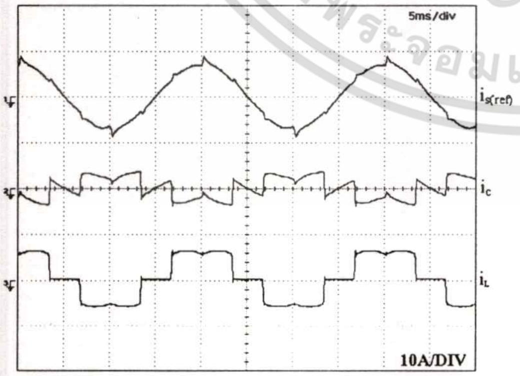


(ค) การหาค่ากระแสฮาร์โมนิคจากตัวประมวลผลทางดิจิตอล

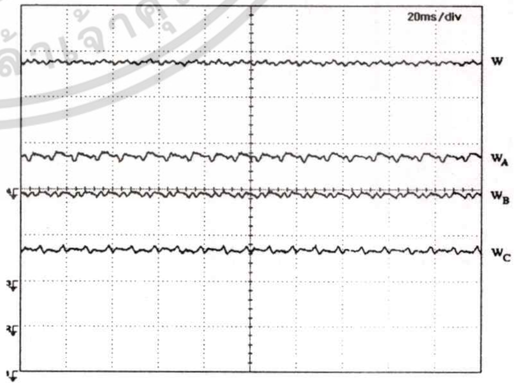


(ง) ค่าถ่วงน้ำหนักรวม (w) และค่าถ่วงน้ำหนักในแต่ละเฟส (w_A, w_B, w_C)

อัตราการเรียนรู้ 0.3



(จ) การหาค่ากระแสฮาร์โมนิคจากตัวประมวลผลทางดิจิตอล



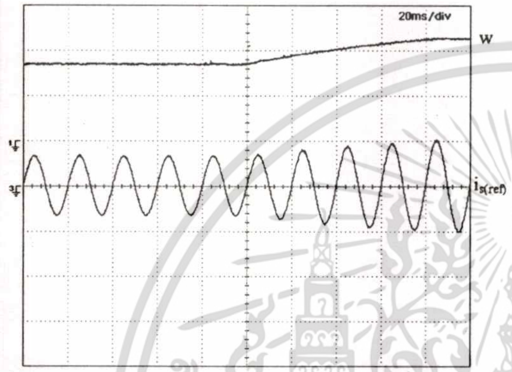
(ฉ) ค่าถ่วงน้ำหนักรวม (w) และค่าถ่วงน้ำหนักในแต่ละเฟส (w_A, w_B, w_C)

อัตราการเรียนรู้ 1.2

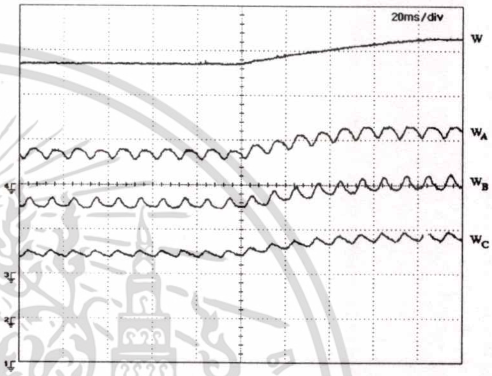
รูปที่ 6.1 การหาค่ากระแสฮาร์โมนิคของวงจรกรองกำลังแอคทีฟที่ใช้โครงข่ายประสาทเทียมจากตัวประมวลผลทางดิจิตอล และค่าถ่วงน้ำหนักในกรณีมีค่าอัตราการเรียนรู้ต่างกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 6.1 จะพบว่าในกรณีที่เราให้อัตราการเรียนรู้ที่มากเกินไป (η =1.2) จะทำให้ระบบโครงข่ายประสาทเทียมไม่เสถียรจึงทำให้สัญญาณกระแสฮาร์โมนิคที่ได้มาจากโครงข่ายประสาทเทียมนั้นมีลักษณะผิดเพี้ยนไป ต่อมาจะเป็นการทดลองในส่วนการตอบสนองของการตรวจจับกระแสฮาร์โมนิคเมื่อกระแสโหลดมีการเปลี่ยนแปลงแบบฉับพลัน โดยในการทำการการทดลองนี้จะทำการเปลี่ยนโหลดจากความต้านทานค่า 160 โอห์ม ไปเป็น 80 โอห์ม ซึ่งผลการตอบสนองแสดงได้ดังรูปที่ 6.2

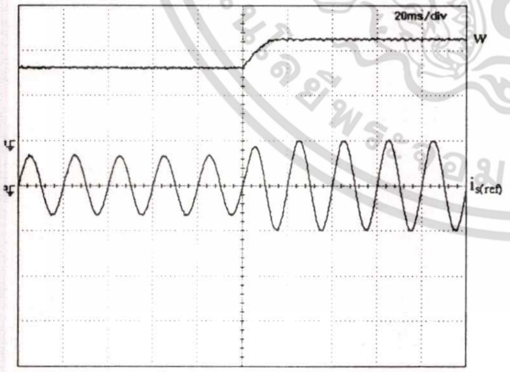


(ก) สัญญาณแหล่งจ่ายกระแสอ้างอิงและค่าถ่วงน้ำหนักรวม

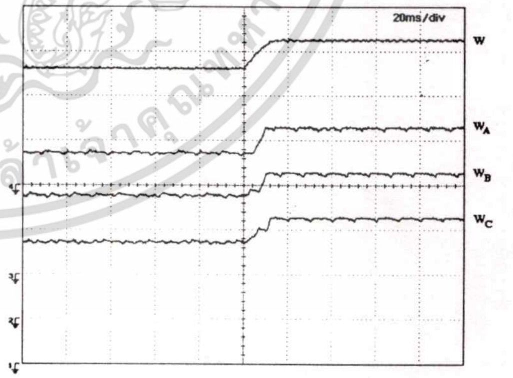


(ข) ค่าถ่วงน้ำหนักรวม (w) และค่าถ่วงน้ำหนักในแต่ละเฟส (w_A , w_B , w_C)

อัตราการเรียนรู้ 0.01



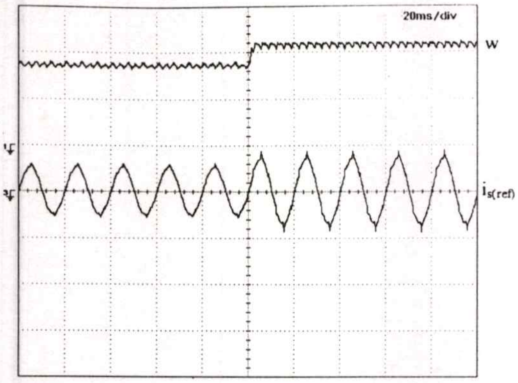
(ค) สัญญาณแหล่งจ่ายกระแสอ้างอิงและค่าถ่วงน้ำหนักรวม



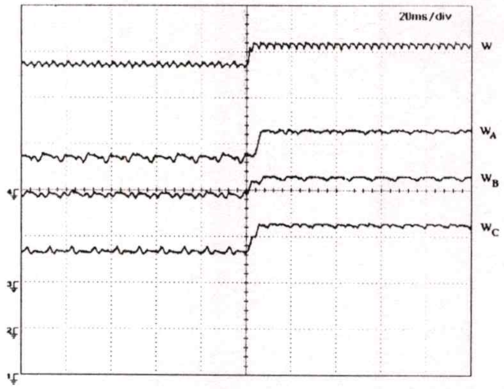
(ง) ค่าถ่วงน้ำหนักรวม (w) และค่าถ่วงน้ำหนักในแต่ละเฟส (w_A , w_B , w_C)

อัตราการเรียนรู้ 0.3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(จ) สัญญาณแหล่งจ่ายกระแสอ้างอิงและค่าถ่วงน้ำหนักรวม



(ฉ) ค่าถ่วงน้ำหนักรวม (w) และค่าถ่วงน้ำหนักในแต่ละเฟส (w_A , w_B , w_C)

อัตราการเรียนรู้ 1.2

รูปที่ 6.2 การตอบสนองชั่วครู่ของกระแสโหลดแบบฉับพลันและค่าถ่วงน้ำหนัก ในกรณีมีอัตราการเรียนรู้ที่ต่างกัน

จากผลการตอบสนองของการเปลี่ยนกระแสโหลดแบบฉับพลันจะพบว่าในกรณีที่ระบบมีค่าอัตราการเรียนรู้น้อยเกินไป ($\eta = 0.01$) จะมีผลการตอบสนองต่อการเปลี่ยนแปลงของสัญญาณที่ช้าแต่ในกรณีที่มีค่าถ่วงน้ำหนักมากเกินไป (η=1.2) ผลการตอบสนองต่อการเปลี่ยนแปลงของสัญญาณเป็นรวดเร็วแต่ข้อเสียของการที่มีค่าอัตรการเรียนรู้ที่มากเกินไปจะทำให้ระบบจะไม่เสถียรภาพจึงทำให้สัญญาณชดเชยที่ได้มีความผิดเพี้ยนไป ซึ่งในงานวิจัยนี้ได้ทำการเลือกค่าอัตราการเรียนรู้ คือ 0.3 เนื่องจากมีผลการตอบสนองที่เป็นที่น่าพอใจ (20 มิลลิวินาที) โดยไม่ทำให้สัญญาณชดเชยมีความผิดเพี้ยนไป

6.3 ผลการทดลองวงจรกรองกำลังแอคทีฟในกรณีโหลดชนิดต่างๆ

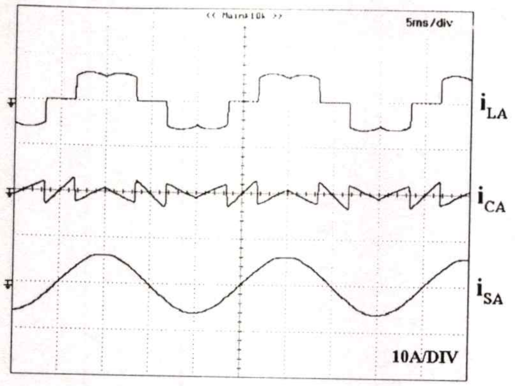
สำหรับการทดลองการทำงานของวงจรกรองกำลังแอคทีฟในกรณีที่ทำการทดลองกับโหลดชนิดต่างๆ โดยในงานวิจัยนี้สามารถแบ่งการทดลองออกเป็น 3 กรณี ดังนี้

6.3.1 กรณีโหลดสมดุล

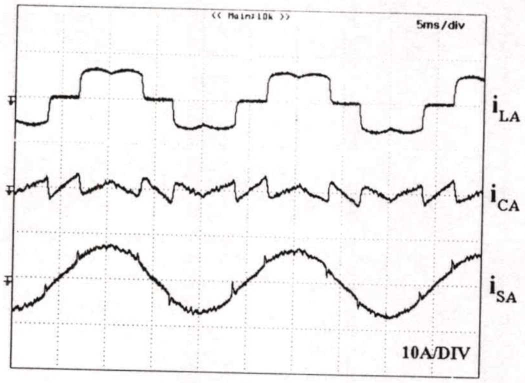
การทดลองกรณีที่โหลดสมดุลนี้ได้ทำการทดลองกับโหลด 2 ประเภทซึ่งได้แก่ วงจรไดโอดเรียงกระแสชนิดสามเฟสแบบเต็มคลื่นและวงจรไทริสเตอร์ที่มีการปรับมุมจุดชนวน

กรณีที่ 1 วงจรไดโอดเรียงกระแสชนิดสามเฟสแบบเต็มคลื่นที่ต่ออยู่กับโหลดเป็นตัวต้านทาน 80 โอห์ม ที่ต่ออนุกรมกับตัวเหนี่ยวนำ 20 มิลลิเฮนรี่ โดยผลการทดลองแสดงได้ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

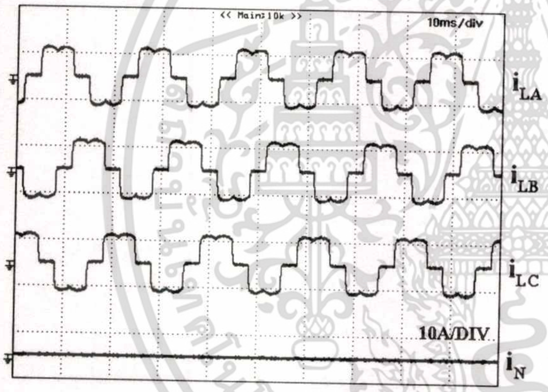


(ก) ผลการประมวลผลของตัวประมวลผลสัญญาณดิจิตอลที่เฟส A

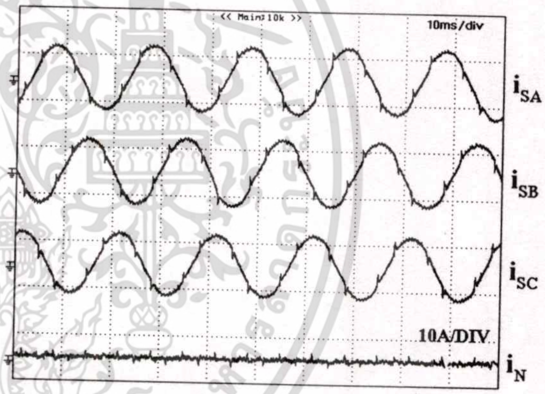


(ข) ผลการชดเชยกระแสจริงของเฟส A

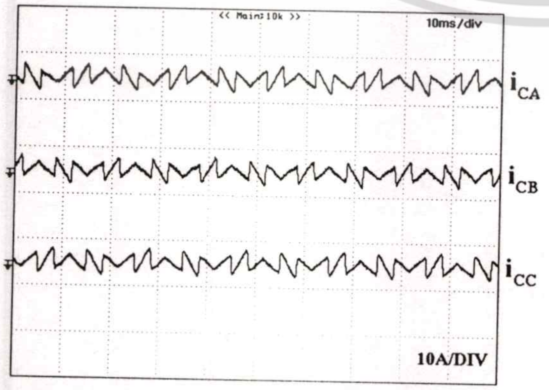
รูปที่ 6.3 ผลการประมวลผลของตัวประมวลผลสัญญาณดิจิตอลและการชดเชยกระแสจริงของกระแสเฟส A กรณีโหลดเป็นวงจรไดโอดเรียงกระแสชนิดสามเฟสแบบเต็มคลื่น



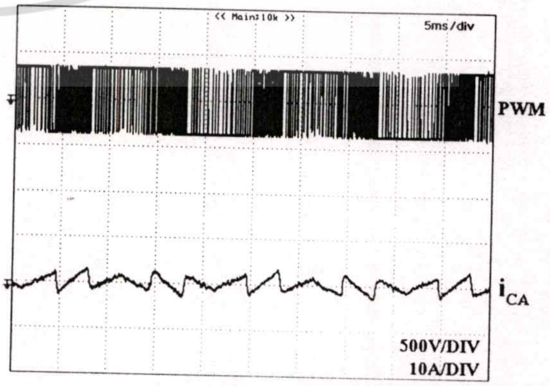
(ก) กระแสแหล่งจ่ายก่อนการชดเชยทั้งสามเฟส และกระแสที่สายนิวทรอล



(ข) กระแสแหล่งจ่ายหลังการชดเชยทั้งสามเฟส และกระแสที่สายนิวทรอล

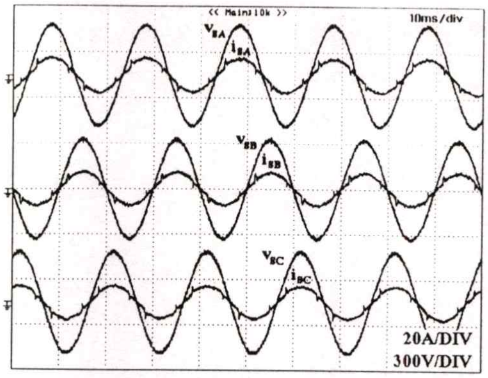


(ค) กระแสที่ทำการชดเชยทั้งสามเฟส



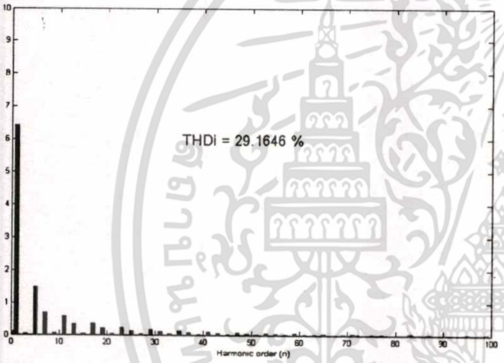
(ง) สัญญาณพีดับบลิวและกระแสชดเชยเฟส A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

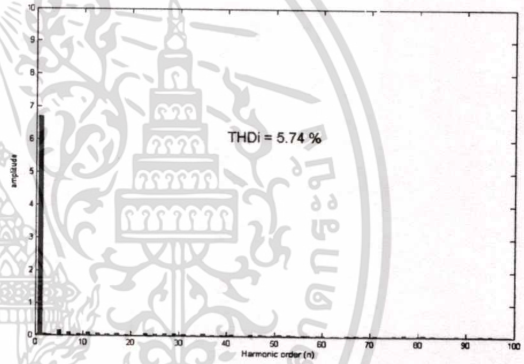


(จ) กระแสและแรงดันแหล่งจ่ายทั้งสามเฟส

รูปที่ 6.4 รูปคลื่นกระแสและแรงดันที่จุดต่างๆ ในกรณีโหลดเป็นวงจรไดโอดเรียงกระแสชนิดสามเฟสแบบเต็มคลื่น



(ก) สเปกตรากระแสฮาร์โมนิคแหล่งจ่ายก่อนทำการชดเชย



(ข) สเปกตรากระแสฮาร์โมนิคแหล่งจ่ายหลังทำการชดเชย

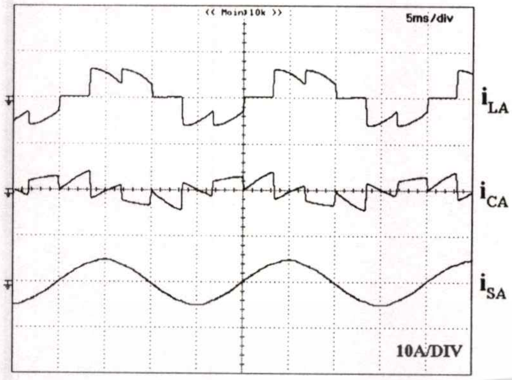
รูปที่ 6.5 สเปกตรากระแสแหล่งจ่ายที่ได้จากรูปที่ 6.4 (ก) และรูปที่ 6.4 (ข) ตามลำดับ

จากผลการทดลองในกรณีโหลดเป็นวงจรไดโอดเรียงกระแสชนิดสามเฟสแบบเต็มคลื่นพบว่า วงจรกรองกำลังแอคทีฟสามารถทำการชดเชยกระแสฮาร์โมนิคที่เกิดจากโหลดได้ ซึ่งจะเห็นว่ากระแสของแหล่งจ่ายมีลักษณะใกล้เคียงซายน์มากขึ้นโดยค่าความผิดเพี้ยนรวมของฮาร์โมนิคมีค่าลดลงจาก 29.16 เปอร์เซ็นต์ ไปเป็น 5.74 เปอร์เซ็นต์

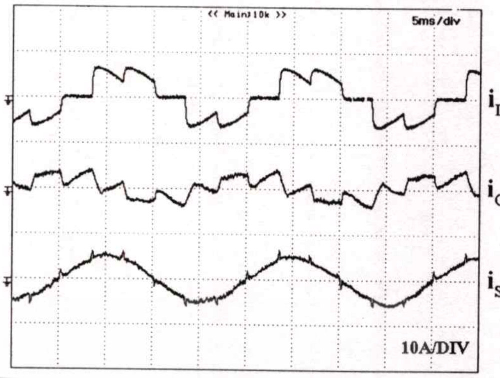
กรณีที่ 2 วงจรไทริสเตอร์ที่มีการปรับมุมจุดชนวนแบบเต็มคลื่นโดยต่ออยู่กับโหลดที่เป็นตัวต้านทาน 80โอห์ม ที่ต่ออนุกรมกับตัวเหนี่ยวนำ 20 มิลลิเฮนรี่ ซึ่งการทดลองได้ทำการปรับมุมจุดชนวนไว้ 2 กรณี ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กรณีที่ 2.1 วงจรไทริสเตอร์ที่มีการปรับมุมจุดชนวนไว้ที่ 30 องศา

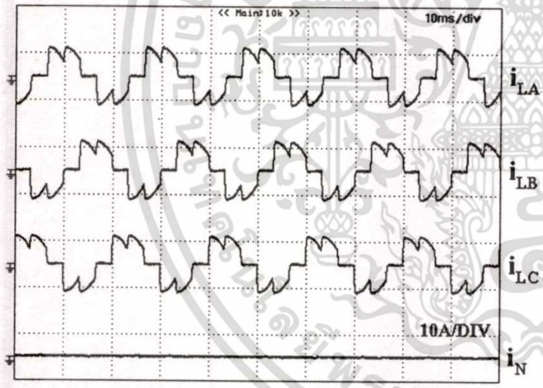


(ก) ผลการประมวลผลของตัวประมวลผลสัญญาณดิจิตอลที่เฟส A

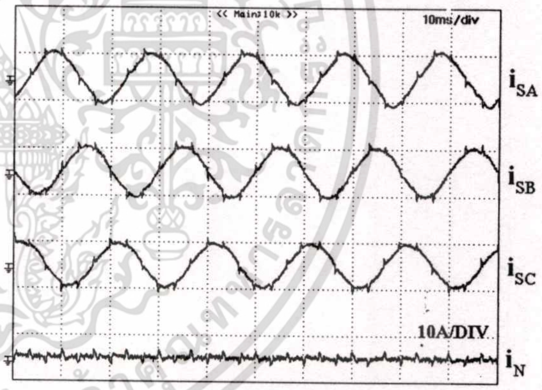


(ข) ผลการชดเชยกระแสจริงของเฟส A

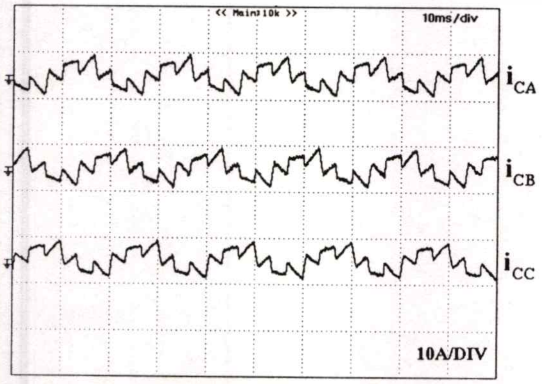
รูปที่ 6.6 ผลการประมวลผลของตัวประมวลผลสัญญาณดิจิตอลและการชดเชยกระแสจริงของกระแสเฟส A กรณีโหลดเป็นวงจรไทริสเตอร์ที่มีการปรับมุมจุดชนวนไว้ที่ 30 องศา



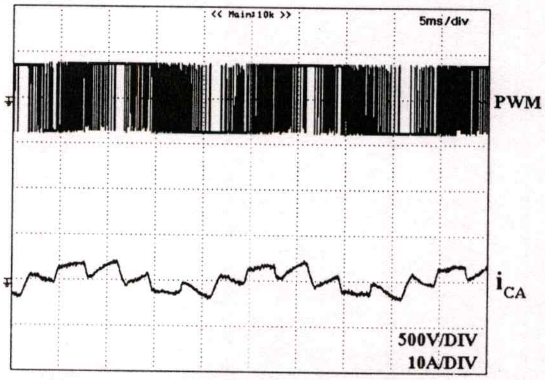
(ก) กระแสแหล่งจ่ายก่อนการชดเชยทั้งสามเฟสและกระแสที่สายนิวทรอล



(ข) กระแสแหล่งจ่ายหลังการชดเชยทั้งสามเฟสและกระแสที่สายนิวทรอล

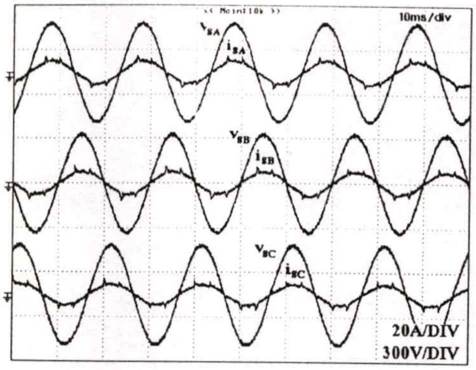


(ค) กระแสที่ทำการชดเชยทั้งสามเฟส



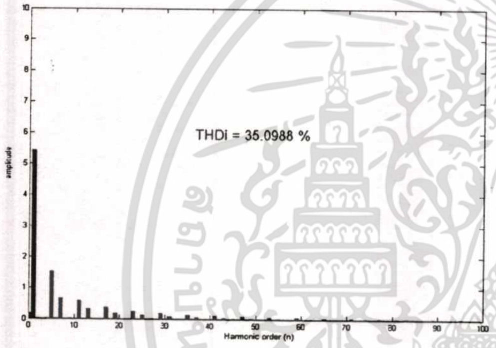
(ง) สัญญาณพีดับบลิวและกระแสชดเชยเฟส A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

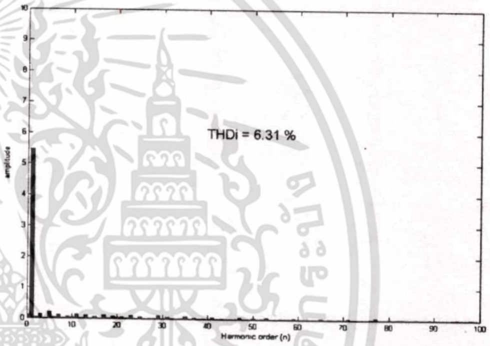


(จ) กระแสและแรงดันแหล่งจ่ายทั้งสามเฟส

รูปที่ 6.7 รูปคลื่นกระแสและแรงดันที่จุดต่างๆในกรณีโหลดเป็นวงจรไทริสเตอร์ที่มีการปรับมุมจุดชนวนไว้ที่ 30 องศา



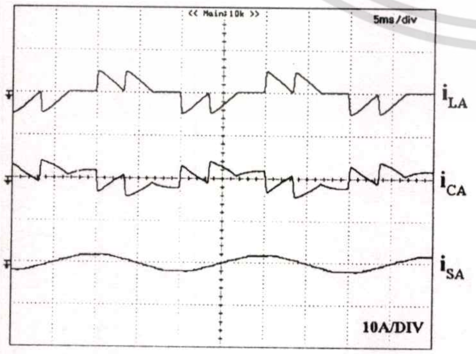
(ก) สเปกตรากระแสฮาร์โมนิคแหล่งจ่ายก่อนทำการชดเชย



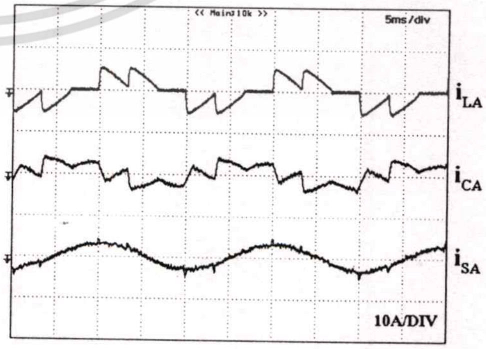
(ข) สเปกตรากระแสฮาร์โมนิคแหล่งจ่ายหลังทำการชดเชย

รูปที่ 6.8 สเปกตรากระแสแหล่งจ่ายที่ได้จากรูปที่ 6.7 (ก) และรูปที่ 6.7 (ข) ตามลำดับ

กรณีที่ 2.2 วงจรไทริสเตอร์ที่มีการปรับมุมจุดชนวนไว้ที่ 60 องศา



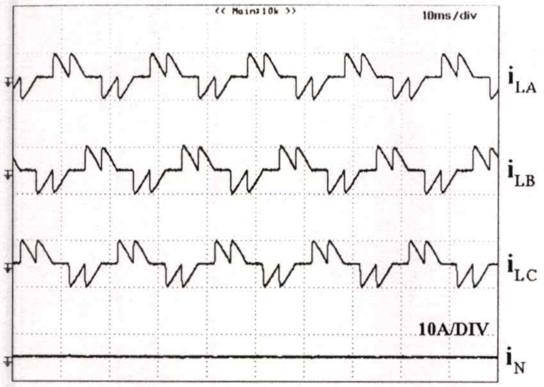
(ก) ผลการประมวลผลของตัวประมวลผลสัญญาณดิจิตอลที่เฟส A



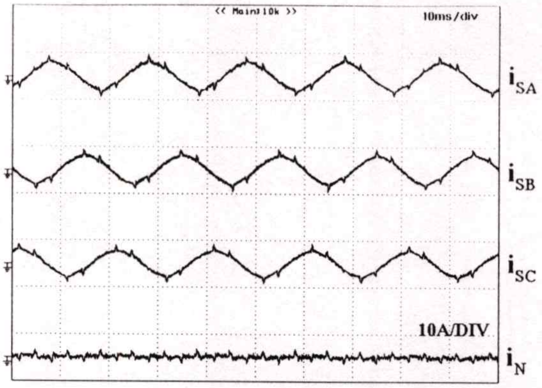
(ข) ผลการชดเชยกระแสจริงของเฟส A

รูปที่ 6.9 ผลการประมวลผลของตัวประมวลผลสัญญาณดิจิตอลและการชดเชยกระแสจริงของกระแสเฟส A กรณีโหลดเป็นวงจรไทริสเตอร์ที่มีการปรับมุมจุดชนวนไว้ที่ 30 องศา

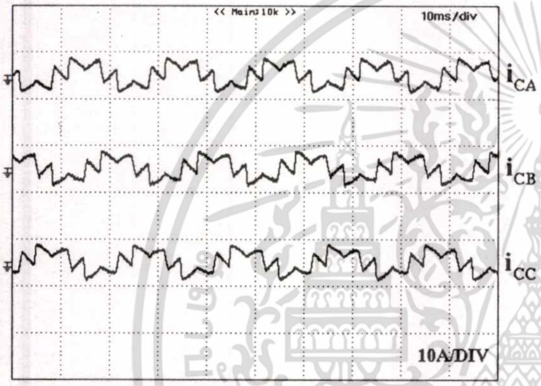
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



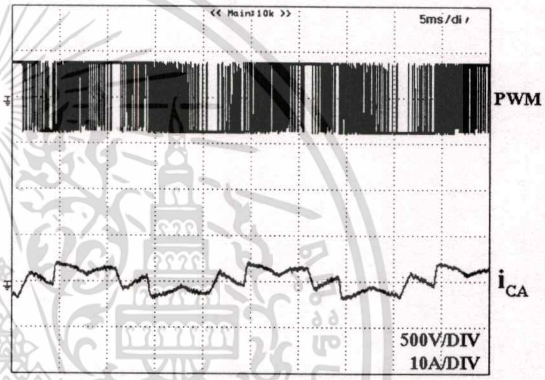
(ก) กระแสแหล่งจ่ายก่อนการชดเชยทั้งสามเฟส และกระแสที่สายนิวทรอล



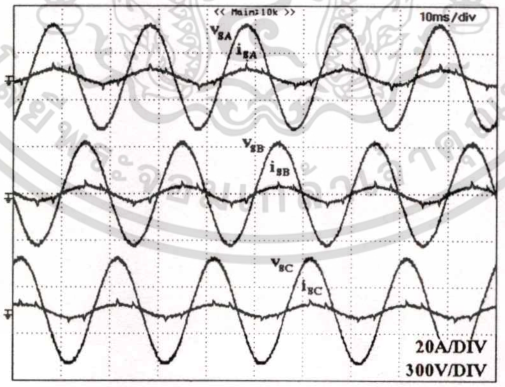
(ข) กระแสแหล่งจ่ายหลังการชดเชยทั้งสามเฟส และกระแสที่สายนิวทรอล



(ค) กระแสที่ทำการชดเชยทั้งสามเฟส



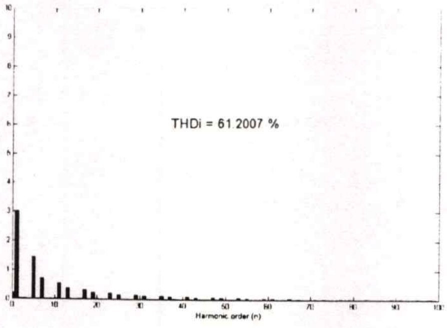
(ง) สัญญาณพีดับบลิวและกระแสชดเชยเฟส A



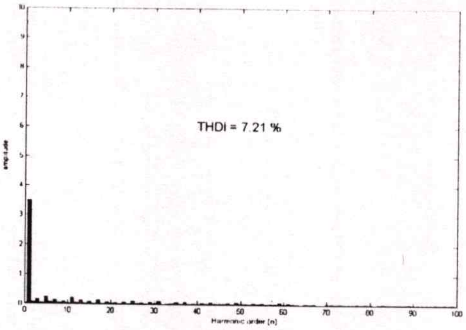
(จ) กระแสและแรงดันแหล่งจ่ายทั้งสามเฟส

รูปที่ 6.10 รูปคลื่นกระแสและแรงดันที่จุดต่างๆในกรณีโหลดเป็นวงจรไทริสเตอร์ที่มีการปรับมุมจุดชนวนไว้ที่ 60 องศา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ก) สเปกตรากระแสฮาร์โมนิคแหล่งจ่ายก่อนทำการชดเชย



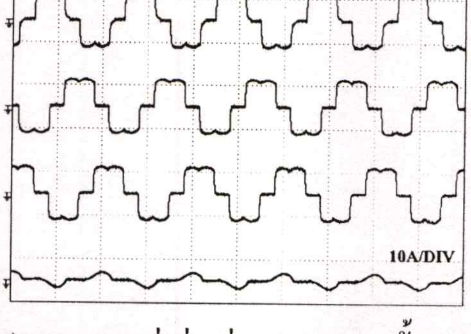
(ข) สเปกตรากระแสฮาร์โมนิคแหล่งจ่ายหลังทำการชดเชย

รูปที่ 6.11 สเปกตรากระแสแหล่งจ่ายที่ได้จากรูปที่ 6.10 (ก) และรูปที่ 6.10 (ข) ตามลำดับ

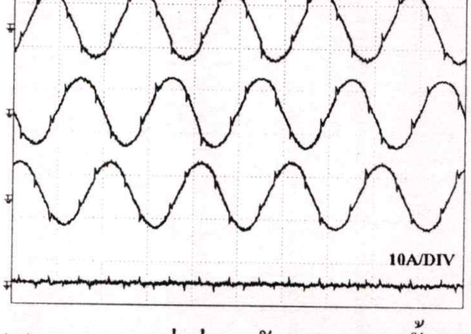
จากการทดลองในกรณีที่โหลดเป็นวงจรไทริสเตอร์ที่มีการปรับมุมจุดชนวนจะพบว่ากระแสแหล่งจ่ายก่อนทำการชดเชยเฟสของกระแสถูกเลื่อนไปตามมุมของการจุดชนวน แต่หลังจากทำการชดเชยกระแสฮาร์โมนิคแล้วจะพบว่ากระแสฮาร์โมนิคของแหล่งจ่ายจะมีค่าลดลงรวมทั้งเฟสของกระแสแหล่งจ่ายหลังทำการชดเชยแล้วจะอินเฟสกับเฟสของแรงดันมากขึ้น ซึ่งทำให้ค่าประกอบกำลังมีค่าเพิ่มขึ้นจาก 0.827 เปอร์เซ็นต์ไปเป็น 0.98 เปอร์เซ็นต์ ในกรณีที่มีมุมจุดชนวนเท่ากับ 30 องศา จะค่าประกอบกำลังมีค่าเพิ่มขึ้นจาก 0.483 เปอร์เซ็นต์ไปเป็น 0.97 เปอร์เซ็นต์ ในกรณีมุมจุดชนวนเท่ากับ 60 องศา ซึ่งเป็นการแสดงให้เห็นว่าวงจรกรองกำลังแอคทีฟนี้สามารถทำการชดเชยในส่วนที่เป็นกระแสรีแอคทีฟได้

6.3.2 กรณีโหลดไม่สมดุล

สำหรับการทดลองกรณีที่โหลดไม่สมดุลนี้ได้ทำการทดลองโดยต่อโหลดเป็นวงจรไดโอดเรียงกระแสชนิดสามเฟสเต็มคลื่นที่มีโหลดเป็นตัวต้านทาน80โอห์มต่ออนุกรมกับตัวเหนี่ยวนำ 20 มิลลิเฮนรี่ และที่เฟส A ต่อวงจรไดโอดเรียงกระแสชนิดหนึ่งเฟสที่มีตัวกรองเป็นตัวเหนี่ยวนำ 100 มิลลิเฮนรี่ ต่ออยู่กับตัวเก็บประจุ 2,200 ไมโครฟารัด ที่มีโหลดเป็นตัวต้านทาน 200 โอหม์

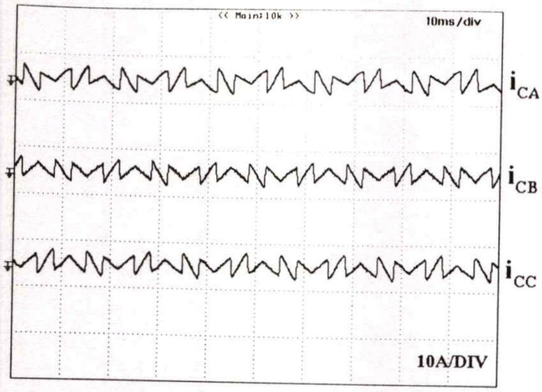


(ก) กระแสแหล่งจ่ายก่อนการชดเชยทั้งสามเฟสและกระแสที่สายนิวทรอล

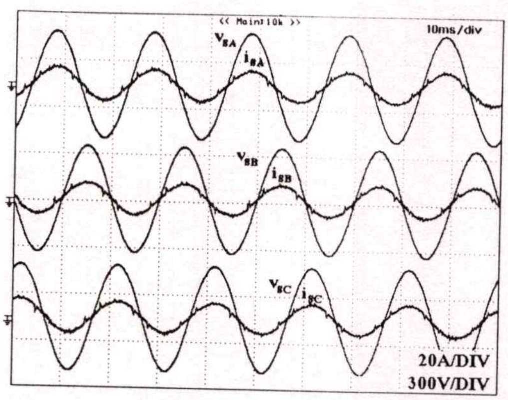


(ข) กระแสแหล่งจ่ายหลังการชดเชยทั้งสามเฟสและกระแสที่สายนิวทรอล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ค) กระแสที่ทำการชดเชยทั้งสามเฟส



(ง) กระแสและแรงดันแหล่งจ่ายทั้งสามเฟส

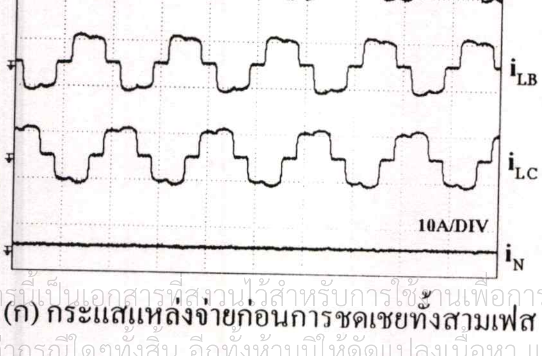
รูปที่ 6.12 รูปคลื่นกระแสและแรงดันที่จุดต่างๆในกรณีโหลดเกิดการไม่สมดุล

จากผลการทดลองในกรณีที่มีโหลดชนิดไม่สมดุลต่ออยู่ในระบบจะมีกระแสเกิดขึ้นกระแสในสายนิวทรอล แต่เมื่อทำการชดเชยกระแสฮาร์โมนิคด้วยวงจรกรองกำลังแอคทีฟแล้วกระแสที่แหล่งจ่ายจะมีลักษณะใกล้เคียงซายน์มากขึ้น รวมทั้งสามารถทำการชดเชยกระแสของแหล่งจ่ายที่เกิดการไม่สมดุลให้กระแสของแหล่งจ่ายเกิดการสมดุลได้จึงเป็นผลทำให้กระแสที่สายนิวทรอลมีขนาดลดลง โดยสามารถดูได้จากผลการทดลองรูปที่ 6.13 (ข)

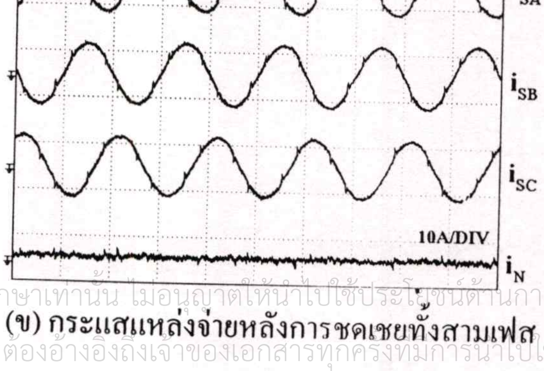
6.3.3 กรณีแหล่งจ่ายแรงดันไม่สมดุล

ในการทดลองกรณีที่แหล่งจ่ายแรงดันไม่สมดุลนั้นได้แบ่งการทดลองออกเป็น 2 กรณี คือ กรณีที่แหล่งจ่ายมีแรงดันไม่สมดุล 1 เฟส และกรณีที่แหล่งจ่ายมีแรงดันไม่สมดุล 2 เฟส โดยโหลดที่ต่อในระบบเป็นวงจรไดโอดเรียงกระแสชนิดสามเฟสแบบเต็มคลื่นต่ออยู่กับโหลดที่เป็นตัวต้านทาน 80 โอห์ม ต่ออนุกรมอยู่กับตัวเหนี่ยวนำ 20 มิลลิเฮนรี่

กรณีที่ 1 แหล่งจ่ายแรงดันเกิดการไม่สมดุล 1 เฟส ซึ่งการทดลองนี้ได้ทำการทดลองโดยการปรับแรงดันของระบบให้ เฟส A มีแรงดันเป็น 200 โวลต์ (ลดลง 10 เปอร์เซ็นต์จาก 220โวลต์) ส่วนเฟส B และเฟส C มีแรงดันเป็น 220 โวลต์

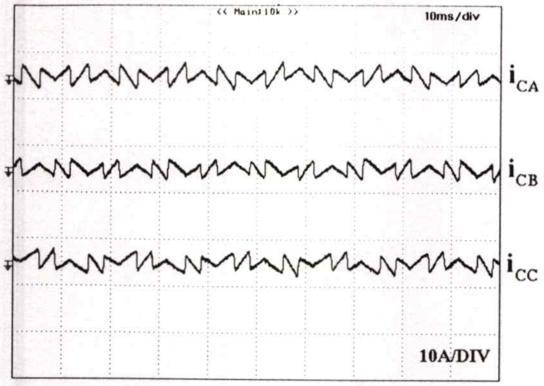


(ก) กระแสแหล่งจ่ายก่อนการชดเชยทั้งสามเฟส

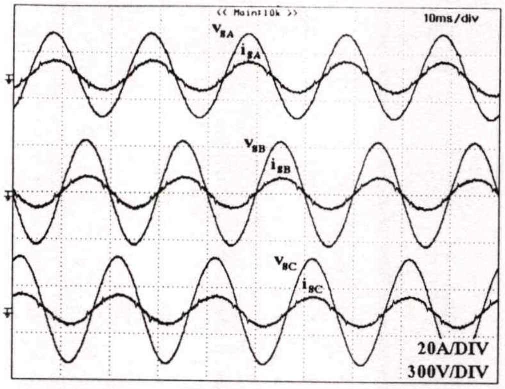


(ข) กระแสแหล่งจ่ายหลังการชดเชยทั้งสามเฟส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



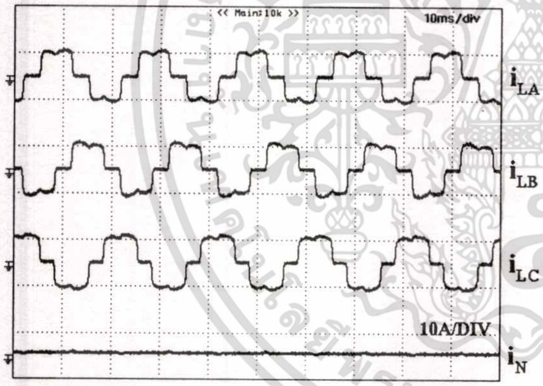
(ค) กระแสที่ทำการชดเชยทั้งสามเฟส



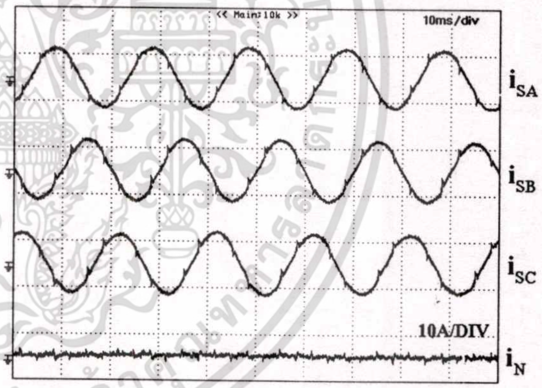
(ง) กระแสและแรงดันแหล่งจ่ายทั้งสามเฟส

รูปที่ 6.13 รูปคลื่นกระแสและแรงดันที่จุดต่างๆในกรณีแหล่งจ่ายแรงดันเกิดการไม่สมดุล 1 เฟส

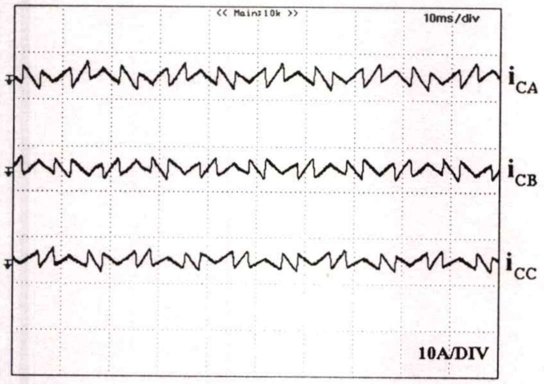
กรณีที่ 2 กรณีแหล่งจ่ายแรงดันเกิดไม่สมดุล 2 เฟส ซึ่งการทดลองนี้ได้ทำการทดลองโดยการปรับแรงดันของระบบให้ เฟส A มีแรงดันเป็น 180 โวลต์ (ลดลง 20 เปอร์เซ็นต์จาก 220โวลต์) ส่วนเฟส B มีแรงดันเป็น 200 โวลต์ (ลดลง 20 เปอร์เซ็นต์จาก 220โวลต์)และเฟส C มีแรงดันเป็น 220 โวลต์



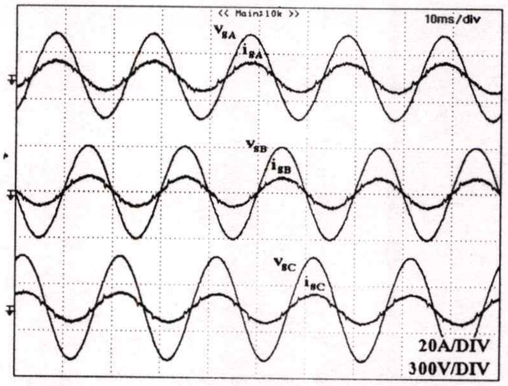
(ก) กระแสแหล่งจ่ายก่อนการชดเชยทั้งสามเฟส และกระแสที่สายนิวทรอล



(ข) กระแสแหล่งจ่ายหลังการชดเชยทั้งสามเฟส และกระแสที่สายนิวทรอล



(ค) กระแสที่ทำการชดเชยทั้งสามเฟส



(ง) กระแสและแรงดันแหล่งจ่ายทั้งสามเฟส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

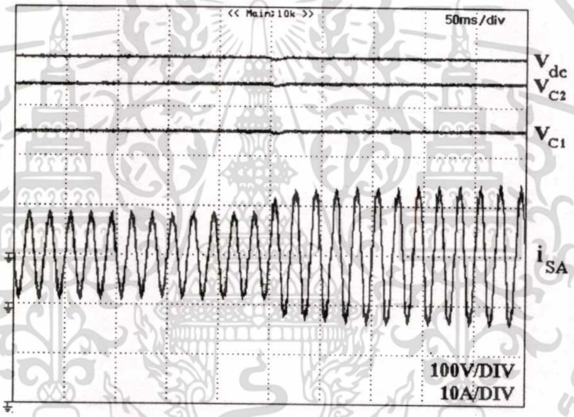
รูปที่ 6.14 รูปคลื่นกระแสและแรงดันที่จุดต่างๆในกรณีแหล่งจ่ายแรงดันเกิดการไม่สมดุล 2 เฟส

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

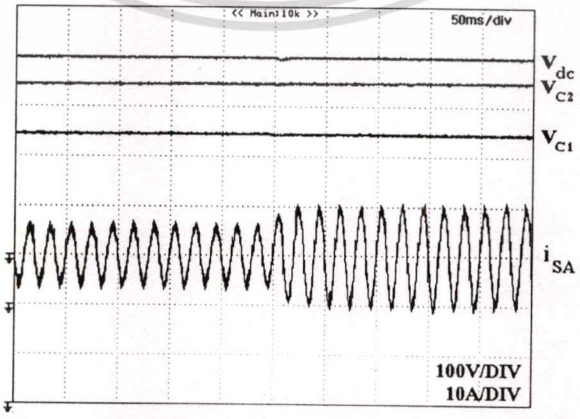
จากผลการทดลองในกรณีที่แหล่งจ่ายเกิดการไม่สมดุลทั้งในกรณีไม่สมดุลทางด้านแรงดัน 1 เฟส และแรงดันไม่สมดุล 2 เฟส จะพบว่าวงจรกรองกำลังแอคทีฟในงานวิจัยนี้ยังคงสามารถทำการชดเชยกระแสฮาร์โมนิคที่เกิดขึ้นในระบบได้

6.4 ผลการตอบสนองชั่วครู่ของการทำงาน

การทดลองส่วนนี้จะเป็นการทดลองวงจรกรองกำลังแอคทีฟที่ได้สร้างขึ้นเพื่อทำการศึกษาถึงผลการตอบสนองในกรณีที่กระแสโหลดมีการเปลี่ยนแปลงฉับพลันแบบขั้น โดยโหลดที่นำมาทดลองประกอบไปด้วย วงจรไดโอดเรียงกระแส และวงจรไทริสเตอร์ที่มีการปรับมุมจุดชนวนชนิดสามเฟสแบบเต็มคลื่น การทดลองนี้ได้ทำการเปลี่ยนแปลงค่าโหลดของวงจรจากตัวต้านทาน 160 โอห์มไปเป็นตัวต้านทาน 80 โอห์ม ซึ่งต่ออนุกรมกับตัวเหนี่ยวนำ 20 มิลลิเฮนรี่

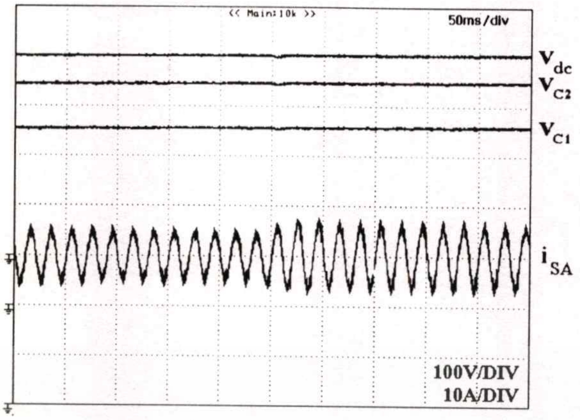


รูปที่ 6.15 ผลตอบสนองสภาวะชั่วครู่ขณะเพิ่มกระแสโหลดแบบฉับพลันที่มีโหลดเป็นวงจรไดโอดเรียงกระแสชนิดสามเฟสแบบเต็มคลื่น



รูปที่ 6.16 ผลตอบสนองสภาวะชั่วครู่ขณะเพิ่มกระแสโหลดแบบฉับพลันที่มีโหลดเป็นวงจรไทริสเตอร์ที่มีการปรับมุมจุดชนวนแบบเต็มคลื่นซึ่งปรับมุมจุดชนวนที่ 30 องศา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

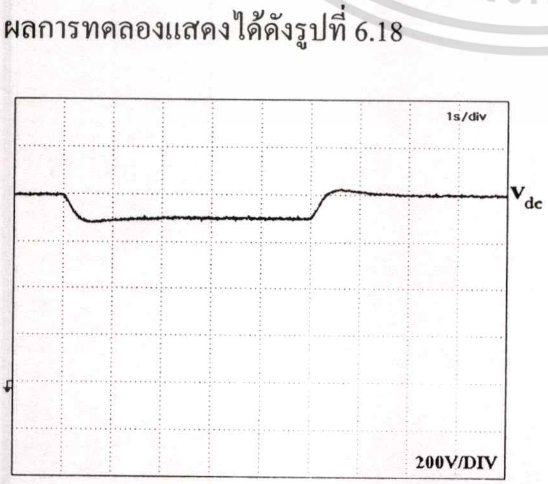


รูปที่ 6.17 ผลตอบสนองสภาวะชั่วครู่ขณะเพิ่มกระแสโหลดแบบฉับพลันที่มีโหลดเป็นวงจรไทริสเตอร์ที่มีการปรับมุมจุดชนวนแบบเต็มคลื่นซึ่งปรับมุมจุดชนวนที่ 60 องศา

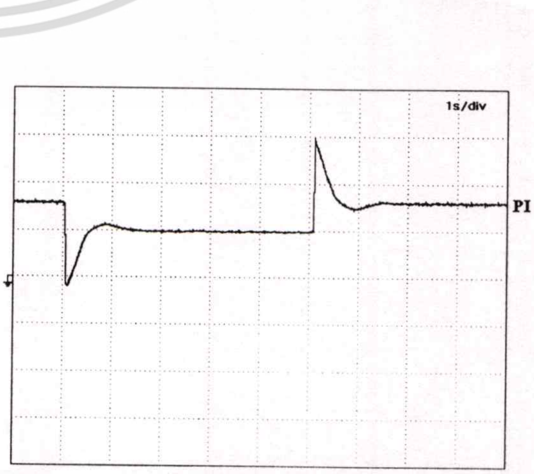
จากผลการทดลองพบว่าวงจรกรองกำลังแอคทีฟที่ได้ออกแบบนี้มีผลการตอบสนองต่อการเปลี่ยนแปลงของกระแสโหลดแบบฉับพลันค่อนข้างรวดเร็วโดยใช้เวลาเพียงประมาณ 20 มิลลิวินาที ในการติดตามรูปคลื่นกระแสสัญญาณ และจะพบอีกว่าแรงดันของตัวเก็บประจุทั้งสองตัวสามารถทำการรักษาระดับแรงดันให้คงที่ได้ โดยแรงดันจะตกเพียงเล็กน้อยในช่วงการเปลี่ยนแปลงค่ากระแสโหลด

6.5 ผลการทดลองระบบรักษาระดับแรงดันไฟตรง

ในส่วนนี้จะเป็นการทดลองการทำงานของระบบรักษาระดับแรงดันไฟตรงให้คงที่ได้ออกแบบไว้ ซึ่งในการทดลองนี้จะเป็นการทดลองโดยทำการเปลี่ยนแปลงค่าคำสั่งของระดับแรงดันไฟตรงอ้างอิงไปมาระหว่างค่า 700 โวลต์ และ 800 โวลต์ ซึ่งลักษณะของคำสั่งจะเป็นแบบขั้น ผลการทดลองแสดงได้ดังรูปที่ 6.18



(ก) แรงดันบัสไฟตรงตกคร่อมตัวเก็บประจุ (V_{dc})



(ข) สัญญาณขาออกของส่วนควบคุมพีไอ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

รูปที่ 6.18 ผลการทำงานของระบบรักษาระดับไฟตรง

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 6.18 แสดงถึงขนาดของสัญญาณขาออกของตัวควบคุมแบบพีไอที่ใช้ในการควบคุมระดับแรงดันไฟตรง ซึ่งจะเห็นว่าระดับแรงดันไฟตรงที่ได้มีการเปลี่ยนแปลงตามคำสั่งแบบขั้น โดยระบบสามารถควบคุมให้ค่าระดับแรงดันบัสไฟตรงมีค่าตามต้องการได้ และมีความเร็วในการตอบสนองใกล้เคียงกับที่ได้ออกแบบไว้คือ 2 วินาที

6.6 การประเมินสมรรถนะของวงจรกรองกำลังแอคทีฟ

การทดลองเพื่อประเมินสถานะของวงจรกรองกำลังแอคทีฟที่ใช้ในงานวิจัยนี้ได้ทำการทดลองกับโหลด ประเภทต่างๆ ซึ่งได้แก่ วงจรไดโอดเรียงกระแสชนิดสามเฟสแบบเต็มคลื่น และวงจรไทริสเตอร์ที่มีการปรับมุมจุดชนวนแบบเต็มคลื่น ซึ่งการทดลองนี้เป็นการเปรียบเทียบเปอร์เซ็นต์ของค่าองค์ประกอบความผิดเพี้ยนรวม (THD_i), ค่าประสิทธิภาพ (η), ค่าตัวประกอบกำลังไฟฟ้า (*PF*), ค่าตัวประกอบการกระจัด (*DPF*) เมื่อมีการเปลี่ยนแปลงโหลดชนิดไม่เป็นเชิงเส้นจาก 1 kW จนถึง 3 kW

ตารางที่ 6.1 การทดลองวงจรกรองกำลังแอคทีฟที่มีโหลดเป็นวงจรไดโอดเรียงกระแสชนิดสามเฟสแบบเต็มคลื่น

Voltage Input ($Volt_{rms}$)			Current Input (Amp_{rms})			Power Input (kW)			Voltage Output (Volt)	Current Output (Amp)
V_{SA}	V_{SB}	V_{SC}	I_{SA}	I_{SB}	I_{SC}	P_{SA}	P_{SB}	P_{SC}	V_o	I_o
220.19	221.07	219.76	1.764	1.776	1.742	0.376	0.381	0.371	513.4	1.94
219.78	221.13	219.23	2.098	2.095	2.111	0.447	0.448	0.449	513.3	2.32
220.03	220.78	219.84	2.475	2.490	2.449	0.531	0.536	0.524	513.2	2.76
220.14	220.93	220.09	2.784	2.841	2.695	0.597	0.614	0.579	513.2	3.11
219.98	220.42	220.13	3.004	2.973	3.215	0.645	0.641	0.693	513.1	3.46
220.13	219.49	219.67	3.386	3.391	3.391	0.732	0.731	0.730	513.0	3.87
219.75	220.98	219.52	3.594	3.592	3.855	0.774	0.782	0.832	513.1	4.23
221.04	221.47	220.74	3.951	3.944	3.924	0.862	0.863	0.855	513.4	4.59
220.37	220.61	219.88	4.377	4.372	4.368	0.956	0.955	0.950	513.1	5.10
220.19	219.83	220.72	4.642	4.622	4.699	1.012	1.007	1.028	513.1	5.42
220.43	220.12	221.36	4.843	4.822	4.937	1.059	1.054	1.082	513.3	5.81

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 6.1 (ต่อ)

Power Output (kW)	efficiency (%)	Total Harmonic Distortion (%)			Power Factor			Displacement Power Factor		
P_o	η	THD_{iA}	THD_{iB}	THD_{iC}	PF_A	PF_B	P_{SC}	DPF_A	DPF_B	DPF_C
0.996	88.23	7.261	7.238	7.310	0.968	0.970	0.969	0.970	0.970	0.971
1.190	88.57	7.133	7.181	7.248	0.969	0.967	0.970	0.971	0.971	0.972
1.416	89.02	7.028	7.105	7.059	0.975	0.975	0.973	0.977	0.977	0.975
1.596	89.13	6.744	6.769	6.712	0.974	0.978	0.976	0.976	0.976	0.978
1.775	89.67	6.637	6.607	6.615	0.976	0.978	0.979	0.978	0.978	0.981
1.867	90.52	6.576	6.532	6.538	0.982	0.982	0.980	0.984	0.984	0.982
2.169	90.87	6.430	6.462	6.434	0.980	0.985	0.983	0.982	0.982	0.985
2.356	91.33	6.228	6.197	6.270	0.987	0.988	0.987	0.988	0.988	0.988
2.616	91.46	6.051	5.973	6.122	0.991	0.990	0.989	0.992	0.992	0.990
2.781	91.25	5.843	5.850	5.875	0.990	0.991	0.991	0.991	0.991	0.992
2.982	93.32	5.682	5.641	5.632	0.992	0.993	0.990	0.993	0.993	0.991

ตารางที่ 6.2 การทดลองวงจรกรองกำลังแอคทีฟที่มีโหลดเป็นวงจรไทริสเตอร์ที่มีมุมจุดชนวน 30 องศา

Voltage Input ($Volt_{rms}$)			Current Input (Amp_{rms})			Power Input (kW)			Voltage Output (Volt)	Current Output (Amp)
V_{SA}	V_{SB}	V_{SC}	I_{SA}	I_{SB}	I_{SC}	P_{SA}	P_{SB}	P_{SC}	V_o	I_o
220.13	219.54	220.34	2.011	2.087	1.965	0.402	0.412	0.395	445.3	2.27
220.84	220.18	220.65	2.393	2.421	2.350	0.482	0.492	0.471	445.6	2.70
219.52	220.21	219.37	2.616	2.565	2.668	0.526	0.518	0.535	445.7	2.91
219.37	220.36	220.83	2.975	2.906	2.942	0.607	0.597	0.601	445.3	3.42
218.46	219.89	220.14	3.234	3.321	3.341	0.672	0.691	0.698	445.1	3.93
220.15	220.14	219.67	3.353	3.325	3.325	0.711	0.702	0.702	445.4	4.13
220.33	219.85	219.93	3.909	3.952	3.972	0.833	0.835	0.843	445.3	4.97
221.63	219.87	220.74	4.058	4.059	4.105	0.868	0.863	0.879	445.4	5.25
220.38	220.92	221.86	4.402	4.409	4.382	0.943	0.945	0.949	445.7	5.76
220.84	221.61	220.72	4.6161	4.5078	4.715	0.997	0.982	1.019	445.7	6.11
219.57	220.43	219.58	4.9397	4.9902	5.086	1.064	1.078	1.098	445.5	6.62

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 6.2 (ต่อ)

Power Output (kW)	efficiency (%)	Total Harmonic Distortion (%)			Power Factor			Displacement Power Factor		
P_o	η	THD_{iA}	THD_{iB}	THD_{iC}	PF_A	PF_B	PF_C	DPF_A	DPF_B	DPF_C
1.010	83.59	7.283	7.318	7.307	0.908	0.899	0.912	0.910	0.901	0.914
1.203	83.24	7.131	7.121	7.113	0.912	0.923	0.908	0.914	0.925	0.910
1.297	82.12	7.025	7.145	7.146	0.916	0.917	0.914	0.918	0.919	0.916
1.522	84.35	7.032	7.057	7.087	0.930	0.932	0.925	0.932	0.934	0.927
1.749	84.87	6.988	6.912	6.931	0.951	0.946	0.949	0.953	0.948	0.951
1.839	86.94	6.743	6.734	6.780	0.963	0.959	0.961	0.965	0.961	0.963
2.213	88.12	6.697	6.706	6.706	0.967	0.961	0.965	0.969	0.963	0.967
2.338	89.56	6.691	6.688	6.693	0.965	0.967	0.970	0.967	0.969	0.972
2.567	90.47	6.423	6.437	6.524	0.972	0.970	0.976	0.974	0.972	0.978
2.723	90.83	6.324	6.381	6.402	0.978	0.983	0.979	0.980	0.985	0.981
2.949	91.02	6.289	6.303	6.295	0.981	0.980	0.983	0.982	0.981	0.984

ตารางที่ 6.3 การทดลองวงจรกรองกำลังแอคทีฟที่มีโหลดเป็นวงจรไทริสเตอร์ที่มีมุมจุดชนวน 60 องศา

Voltage Input ($Volt_{rms}$)			Current Input (Amp_{rms})			Power Input (kW)			Voltage Output (Volt)	Current Output (Amp)
V_{SA}	V_{SB}	V_{SC}	I_{SA}	I_{SB}	I_{SC}	P_{SA}	P_{SB}	P_{SC}	V_o	I_o
219.83	220.46	220.95	2.056	2.221	2.278	0.397	0.431	0.444	257.6	4.03
219.34	220.31	220.68	2.501	2.452	2.463	0.484	0.482	0.486	257.6	4.61
220.32	220.47	219.66	2.851	2.713	3.009	0.561	0.533	0.599	257.5	5.42
220.14	219.83	220.78	3.219	3.184	3.064	0.635	0.621	0.615	257.6	6.01
220.38	219.92	220.53	3.580	3.616	3.521	0.722	0.734	0.716	257.7	6.97
220.42	220.18	220.18	3.836	3.851	3.831	0.794	0.781	0.782	257.8	7.64
221.25	220.74	220.54	4.112	4.094	4.154	0.859	0.856	0.854	257.9	8.43
220.91	220.65	219.83	4.286	4.250	4.285	0.891	0.891	0.895	257.7	9.12
220.33	220.32	221.65	4.571	4.581	4.521	0.963	0.962	0.963	257.9	9.87
220.61	220.43	220.37	4.762	4.747	4.710	1.016	1.014	1.010	257.8	10.66
219.85	220.57	220.49	5.042	5.019	5.031	1.082	1.086	1.085	257.8	11.43

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 6.3 (ต่อ)

Power Output (kW)	efficiency (%)	Total Harmonic Distortion (%)			Power Factor			Displacement Power Factor		
P_o	η	THD_{iA}	THD_{iB}	THD_{iC}	PF_A	PF_B	PF_C	DPF_A	DPF_B	DPF_C
1.038	81.57	7.561	7.608	7.583	0.878	0.880	0.882	0.880	0.882	0.884
1.187	81.74	7.608	7.523	7.542	0.882	0.892	0.894	0.884	0.894	0.896
1.395	82.39	7.432	7.426	7.468	0.893	0.891	0.906	0.895	0.893	0.908
1.548	82.71	7.221	7.217	7.239	0.896	0.887	0.909	0.898	0.889	0.911
1.796	82.67	7.109	7.185	7.151	0.915	0.923	0.922	0.917	0.925	0.924
1.969	83.53	7.027	7.122	7.037	0.939	0.921	0.927	0.941	0.923	0.929
2.174	84.61	6.923	6.978	7.004	0.944	0.947	0.932	0.946	0.949	0.934
2.350	87.78	6.731	6.824	6.780	0.941	0.950	0.950	0.943	0.952	0.952
2.545	88.12	6.698	6.719	6.718	0.956	0.953	0.961	0.958	0.955	0.963
2.748	90.39	6.535	6.522	6.556	0.967	0.969	0.973	0.969	0.971	0.975
2.946	90.54	6.482	6.437	6.471	0.976	0.981	0.978	0.978	0.983	0.980

โดยผลการประเมินสถานะของวงจรกรองกำลังแอคทีฟที่ทำการทดลองกับกรณีต่างๆดังที่ได้ทำการทดลองมาแล้วตามหัวข้อที่ 6.3.2 สามารถแสดงได้ดังตารางที่ 6.4 และ ตารางที่ 6.5

ตารางที่ 6.4 การทดลองวงจรกรองกำลังแอคทีฟในสภาวะต่างๆ ในช่วงก่อนทำการชดเชยกระแสฮาร์โมนิค

เงื่อนไขของระบบที่นำมาทำการทดลอง		Apparent Power (kVA)	Active Power (kW)	PF	$THDi_A$ (%)	$THDi_B$ (%)	$THDi_C$ (%)
1. ระบบสมดุลด้านโหลด		3.207	3.072	0.958	29.18	29.23	29.21
2.ระบบไม่สมดุลด้านโหลด		3.524	3.390	0.962	32.41	29.23	29.19
3.แรงดันแหล่งจ่ายระบบไม่สมดุล	ไม่สมดุลหนึ่งเฟส	3.153	3.027	0.960	29.21	30.64	30.58
	ไม่สมดุลสองเฟส	2.957	2.851	0.964	30.12	30.83	29.89

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 6.5 การทดลองวงจรกรองกำลังแอคทีฟในสภาวะต่างๆ ในช่วงหลังทำการชดเชยกระแสฮาร์โมนิค

เงื่อนไขของระบบที่นำมาทำการทดลอง		Apparent Power (kVA)	Active Power (kW)	PF	$THDi_A$ (%)	$THDi_B$ (%)	$THDi_C$ (%)
1. ระบบสมดุลด้านโหลด		3.221	3.195	0.991	5.682	5.641	5.632
2.ระบบไม่สมดุลด้านโหลด		3.517	3.482	0.990	5.692	5.675	5.668
3.แรงดันแหล่งจ่ายระบบไม่สมดุล	ไม่สมดุลหนึ่งเฟส	3.172	3.137	0.989	5.687	5.692	5.713
	ไม่สมดุลสองเฟส	3.049	3.018	0.990	5.694	5.702	5.683

จากตารางที่ 6.4 และตารางที่ 6.5 พบว่าวงจรกรองกำลังแอคทีฟที่ใช้การตรวจจับกระแสฮาร์โมนิคด้วยโครงข่ายประสาทเทียมนี้มีความยืดหยุ่นในการใช้งาน โดยสามารถทำการชดเชยกระแสฮาร์โมนิคได้แม้ในกรณีที่ระบบเกิดการไม่สมดุลทางโหลดหรือแหล่งจ่ายไฟ โดยการเปรียบเทียบปริมาณฮาร์โมนิคตามมาตรฐาน IEC 61000-3-2 Class A หลังจากทำการชดเชยกระแสฮาร์โมนิคจากผลการทดลองในหัวข้อที่ 6.31 ที่มีโหลดเป็นวงจรไดโอดเรียงกระแสชนิดสามเฟสแบบเต็มคลื่นและวงจรไทริสเตอร์ แสดงได้ดังตารางที่ 6.6 ถึง ตารางที่ 6.8 ตามลำดับ

ตารางที่ 6.6 เปรียบเทียบปริมาณฮาร์โมนิคกรณีโหลดวงจรเรียงกระแสชนิดสามเฟสแบบเต็มคลื่น

ฮาร์โมนิคอันดับที่	ค่าตามมาตรฐาน (A_{rms})	กระแสแหล่งจ่ายหลังชดเชย (A_{rms})
3	2.30	0.03
5	1.14	0.12
7	0.77	0.65
9	0.40	0.30
11	0.33	0.07
13	0.21	0.05
15 < n < 39	0.15 (15/n)	0.05

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 6.6 (ต่อ)

ฮาร์โมนิค อันดับที่	ค่าตามมาตรฐาน (A_{rms})	กระแสแหล่งจ่ายหลังชดเชย (A_{rms})
2	1.08	0.01
4	0.43	0.01
6	0.30	0.01
8 < n < 40	0.23 (8/n)	0.05

ตารางที่ 6.7 เปรียบเทียบปริมาณฮาร์โมนิคกรณีโหลดวงจรวงจรไทริสเตอร์ที่มีมุมจุดชนวน 30 องศา

ฮาร์โมนิค อันดับที่	ค่าตามมาตรฐาน (A_{rms})	กระแสแหล่งจ่ายหลังชดเชย (A_{rms})
3	2.30	0.09
5	1.14	0.15
7	0.77	0.07
9	0.40	0.02
11	0.33	0.09
13	0.21	0.07
15 < n < 39	0.15 (15/n)	0.01

ฮาร์โมนิค อันดับที่	ค่าตามมาตรฐาน (A_{rms})	กระแสแหล่งจ่ายหลังชดเชย (A_{rms})
2	1.08	0.01
4	0.43	0.02
6	0.30	0.01
8 < n < 40	0.23 (8/n)	0.01

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 6.8 เปรียบเทียบปริมาณฮาร์โมนิคกรณีโหลดวงจรวงจรไทริสเตอร์ที่มีมุมจุดชนวน 60 องศา

ฮาร์โมนิค อันดับที่	ค่าตามมาตรฐาน (A_{rms})	กระแสแหล่งจ่ายหลังชดเชย (A_{rms})
3	2.30	0.1
5	1.14	0.2
7	0.77	0.13
9	0.40	0.07
11	0.33	0.18
13	0.21	0.09
15 < n < 39	0.15 (15/n)	0.07

ฮาร์โมนิค อันดับที่	ค่าตามมาตรฐาน (A_{rms})	กระแสแหล่งจ่ายหลังชดเชย (A_{rms})
2	1.08	0.02
4	0.43	0.01
6	0.30	0.01
8 < n < 40	0.23 (8/n)	0.01

6.7 สรุป

จากการทดลองวงจรกรองกำลังแอคทีฟแบบขนานที่นำเสนอในงานวิจัยนี้พบว่าวงจรสามารถกำจัดกระแสฮาร์โมนิคที่ต่อกับโหลดชนิดไม่เป็นเชิงเส้น รวมทั้งในกรณีที่โหลดในกรณีสมดุลและกรณีที่โหลดไม่สมดุล พบว่าขนาดของกระแสฮาร์โมนิคมีขนาดลดลงทำให้กระแสแหล่งจ่ายมีลักษณะใกล้เคียงซายน์มากขึ้นรวมทั้งกระแสที่สายนิวทรอลมีขนาดลดลงหลังจากชดเชยกระแสฮาร์โมนิคด้วย โดยวงจรกรองกำลังแอคทีฟที่นำเสนอนี้มีปริมาณกระแสฮาร์โมนิคหลังจากการชดเชยกระแสเป็นไปตามมาตรฐาน IEC 61000-3-2 Class A ซึ่งผลการตอบสนองต่อการเปลี่ยนแปลงโหลดอย่างฉับพลันและการรักษาระดับแรงดันไฟตรงเชื่อมโยงเป็นที่น่าพอใจ โดยผลการทดลองที่ได้มีความสอดคล้องและเป็นไปตามทฤษฎี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 7
บทสรุปและข้อเสนอแนะ

งานวิจัยนี้ได้วิเคราะห์ และออกแบบวงจรกรองกำลังแอคทีฟแบบขนานที่ใช้การตรวจจับกระแสด้วยโครงข่ายประสาทเทียมที่นำมาทำการทดสอบกับระบบ 3 เฟส 4 สาย ที่พิกัดแรงดัน 380 V โดยโหลดที่นำมาทดสอบเพื่อสร้างกระแสฮาร์โมนิคในระบบเป็นวงจรเรียงกระแสที่เป็นไดโอดแบบเต็มคลื่นชนิด 3 เฟส และวงจรไทริสเตอร์ที่มีการปรับมุมจุดชนวนขนาด 3 kVA ซึ่งในการทดสอบนี้ได้ทำการทดสอบกับระบบทั้งในกรณีโหลดที่สมดุลและไม่สมดุล รวมทั้งกรณีที่แหล่งจ่ายแรงดันเกิดการไม่สมดุลอีกด้วย โดยผลการทดสอบผลตอบสนองของวงจรกรองกำลังแอคทีฟในสภาวะที่โหลดเปลี่ยนแปลงแบบฉับพลันระบบมีการตอบสนองเป็นที่น่าพอใจ จากการศึกษาค้นคว้าและทดลองงานวิจัยดังกล่าวสามารถสรุปได้ดังนี้

7.1 สรุปผลการวิจัย

7.1.1 การคำนวณหาค่ากระแสชดเชยอ้างอิงที่ใช้โครงข่ายประสาทเทียมที่ได้นำเสนอเป็นหลักการที่ง่ายๆไม่ยุ่งยากซับซ้อน เหมาะกับการที่นำไปประยุกต์ใช้งานได้จริง

7.1.2 การนำโครงข่ายประสาทเทียมเข้ามาใช้ในการตรวจจับกระแสฮาร์โมนิคในระบบจากการทดลองพบว่าการตรวจจับกระแสแบบนี้มีความยืดหยุ่นในการใช้งานสูง

7.1.3 การกำจัดกระแสฮาร์โมนิคเมื่อกระแสโหลดมีการเปลี่ยนแปลงแบบฉับพลัน วงจรกรองกำลังแอคทีฟที่ทำการทดสอบในงานวิจัยนี้ยังคงสามารถทำงานได้เป็นอย่างดี

7.1.4 ในกรณีที่ระบบไฟฟ้า 3 เฟส 4 สาย มีกระแสโหลดที่ไม่สมดุลจึงเป็นผลทำให้เกิดกระแสที่สายนิวทรอลขึ้น โดยวงจรกรองกำลังแอคทีฟที่นำเสนอนี้สามารถทำการชดเชยกระแสฮาร์โมนิครวมทั้งยังสามารถทำการชดเชยกระแสของแหล่งจ่ายให้เกิดการสมดุลได้ จึงทำให้กระแสที่สายนิวทรอลลดลง

7.1.5 จากการทดลองพบว่านอกจากกรณีที่โหลดเกิดการสมดุลแล้ววงจรกรองกำลังแอคทีฟที่ออกแบบยังสามารถใช้งานได้ดีแม้ในกรณีที่แหล่งจ่ายแรงดันเกิดการไม่สมดุล

7.1.6 ผลการทดสอบการทำงานของระบบแสดงให้เห็นว่าวงจรกรองกำลังแอคทีฟแบบขนานที่ได้ทำการวิจัยนี้สามารถทำการกำจัดกระแสฮาร์โมนิค อยู่ในเกณฑ์ที่ยอมรับได้ตามมาตราฐาน IEC 61000-3-2 Class A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

7.2 ข้อเสนอแนะในการพัฒนางานวิจัยต่อไป

7.2.1 การตรวจจับกระแสฮาร์โมนิคด้วยวิธีโครงข่ายประสาทเทียมที่นำมาใช้ในงานวิจัยนี้เป็นหลักการอย่างง่ายๆที่ใช้หลักการ LMS ซึ่งใช้หลักการในการประมาณค่าเกรเดียนท์ ดังนั้นในการพัฒนาควรทำการศึกษาและเปรียบเทียบว่าวิธีใดสามารถทำการหาค่าเกรเดียนท์ที่ถูกต้องและรวดเร็วกว่าวิธี LMS แล้วจึงนำวิธีที่หาค่าเกรเดียนท์ที่ดีที่สุดนั้นมาทำการประยุกต์ใช้ในการตรวจจับกระแสฮาร์โมนิคของวงจรกรองกำลังแอคทีฟต่อไป

7.2.2 สำหรับพารามิเตอร์ที่ใช้ในการปรับแต่งของการตรวจจับกระแสฮาร์โมนิคด้วยโครงข่ายประสาทเทียมนั้นมีพารามิเตอร์เพียงตัวเดียวคือ อัตราการเรียนรู้ซึ่งเราไม่สามารถหาค่าเหมาะสมที่ได้แน่นอนเพียงแต่รู้ขอบเขตที่มากที่สุดเท่านั้น จึงต้องอาศัยการประมาณเอา ดังนั้นแนวทางในการพัฒนานั้นควรหาวิธีที่ทำการเลือกค่าอัตราการเรียนรู้ที่เหมาะสม

7.2.3 การนำเอาวงจรกรองกำลังแอคทีฟแบบขนานไปใช้งานจริงจำเป็นต้องพิจารณาในการตัดต่อวงจรกรองกำลังแอคทีฟเข้าออกจากระบบกำลัง ดังนั้นจึงควรพัฒนาระบบให้มีส่วนที่ทำหน้าที่ในการตัดต่อระบบวงจรกรองแอคทีฟเข้าออกจากระบบกำลังรวมอยู่ด้วย

7.2.4 เนื่องจากตัวประมวลผลสัญญาณทางด้านดิจิตอลที่นำใช้ในวงจรควบคุมจะทำการประมวลผลสัญญาณทั้งหมดสามเฟสดังนั้นจึงมีการประมวลผลที่มาก ในการพัฒนาต่อไปจึงควรใช้ตัวประมวลผลสัญญาณที่มีความเร็วมากขึ้นเพื่อให้การควบคุมกระแสมีการตอบสนองที่รวดเร็วมากขึ้น

7.2.5 เนื่องจากวงจรกรองกำลังแอคทีฟที่ได้ทำการวิจัยนี้ในส่วนการควบคุมกระแสใช้การควบคุมกระแสแบบโครงข่ายประสาทเทียมจึงทำให้การกระจายของกลุ่มสเปกตราของฮาร์โมนิคของการสวิทช์มีมาก และทำให้การกำจัดฮาร์โมนิคเหล่านั้นออกไปได้ยาก การพัฒนาต่อไปควรใช้การควบคุมกระแสให้มีความถี่ในการสวิทช์ที่เกิดขึ้นมีค่าคงที่เพื่อให้ง่ายต่อการกำจัดฮาร์โมนิคในส่วนที่เกิดจากการสวิทช์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอกสารอ้างอิง

[1] J.Arrillaga, D.A.Bradley and P.s.Bodger. **Power System Harmonics.** John Wiley&Sons. 1985

[2] สมบูรณ์ แสงวงศ์วาณิชย์. "ชนิด หลักการและการประยุกต์ใช้วงจรกรองแอคทีฟ." เอกสารประกอบการอบรมการไฟฟ้านครหลวง ภาควิชาไฟฟ้า จุฬาลงกรณ์มหาวิทยาลัย, หน้า 1-47

[3] Singh B., Al – Haddad, K. and Chandra A. , " Harmonic Elimination, Reactive Power Compensation and Load Balancing in Three-Phase" , Four-Wire Electric Distribution Systems Supplying Non-Linear Loads. Electric Power Systems Research, vol. 44, 1998. pp. 93 – 100.

[4] วิรัตน์ เกตุสวัสดิ์สมคร. "การวิเคราะห์และออกแบบวงจรกรองกำลังแบบผสมแพสซีฟและแอกทีฟที่มีการชดเชยกระแสรีแอคทีฟและฮาร์มอนิก." วิทยานิพนธ์วิศวกรรมศาสตรมหาบัณฑิต สาขาวิชาวิศวกรรมไฟฟ้า, สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง. 2546.

[5] Martin T.Hagan, Howard B.Demuth and Mark H. Beale. **Neural Network Design**. Newyork : PWS Publishing Company. 1995.

[6] Laurene Fausett. **Fundamentals of Neural Networks.** Prentice Hall International, Inc. 1994.

[7] Haykin Simon. **Adaptive filter theory**. 2nd. Englewood Cliffs : Prentice-Hall, Inc. 1990.

[8] Sa. H. Bang and B. J. Sheu. "A Neural Network for Detection of Signals in Communication" , IEEE Trans on. Circuits Syst.I, vol. 43, Aug. 1996. pp. 4-22

[9] Fabiana Pottker and Ivo Barbi. "Power Factor Correction of Non-linear Loads Employing a Single Phase Active Power Filter" , IEEE/PESC'97,1997. pp. 412-417.

[10] Dawei Ga Chen Weiji. " An Adaptive Noise Canceling Theory Based Single-Phase Shunt Active Power Filter ", in conf. Rec. IEEE/PESC'97., 1997, pp.191-196.

[11] S. Valivita and S.J.Ovaska. " Delayless Method to Generate Current Reference for Active Filters" , IEEE Trans on. Industrial Electronics., vol. 45, Aug. 1998. pp. 559 – 567.

[12] Dawei Gao and Xiaorui Sun. "A New Method to Generate Current Reference for Active Power Filters" ,Power Electronics Congress, 2000. CIEP 2000., 2000. pp. 99–103.

[13] Qun Wang, Ning Wu and Zhaoan Wang. "A Neuron Adaptive Detecting Approach of Harmonic Current for APF and Its Realization of Analog Circuit", IEEE Trans on. Instrument., vol.50, Feb. 2001. pp. 77-84.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอกสารอ้างอิง(ต่อ)

[14] Bernard Windrow, Michael A. Lehr. "30 years of Adaptive Neural Networks : Perceptron, Madaline and Backpropagation.", Proc. of the IEEE, vol. 78, Dec. 1995. pp. 636-641.

[15] C. K. Lin. "Orthogonal Functions and Their Applications", National Defense Industry Press, 1982.

[16] B.K.BOSE. "An Adaptive Hysteresis-Band Current Control Technique of a Voltage-Feed PWM Inverter for Machine Drive System", IEEE Trans on industrial electronics., vol.37, no.5, 1990. pp.402-408.

[17] Bor-Ren Lin and Richard G. Hoft. "Power Electronics Converter Control based on Neural Network and Fuzzy Logic Methods", IEEE Trans on Power Electronics., 1993. pp 900-906.

[18] Fumio Harshima, Yuzo Demizu, Seiji Kondo and Hideki Hashimoto. "Application of Neural Network to Power Converter Control " , IEEE Trans on Power Electronics., 1989. pp 1086 -1091.

[19] Bor-Ren Lin and Richard G. Hoft. " Power Electronics Inverter Control with Neural Networks",IEEE Trans on Power Electronics.,1993. pp. 128-134.

[20] ประจวบ บุญศรีรัมย์. " วงจรกรองกำลังแอคทีฟขนานสำหรับระบบ 3 เฟส 4 สาย ที่ใช้รีเคอร์ซีฟดีเอฟ และควบคุมกระแสแบบวิธีซ้ำ " วิทยานิพนธ์วิศวกรรมศาสตรมหาบัณฑิต สาขาวิชาวิศวกรรมไฟฟ้า, จุฬาลงกรณ์มหาวิทยาลัย. 2545.

[21] Texas Instruments. **TMS320C24x DSP Controllers Reference Set Vol 1** : CPU, System and Instruction Set. Texas Instruments. Sep. 1997

[22] Texas Instruments. **Digital Motor Control Software Library.** Texas Instruments. Sep. 2000. pp. 109-114.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ก.

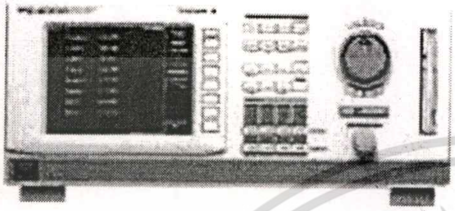
เครื่องมือวัดที่ใช้ในงานวิทยานิพนธ์

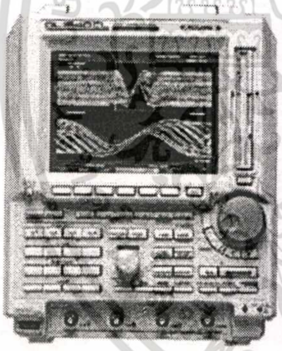
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

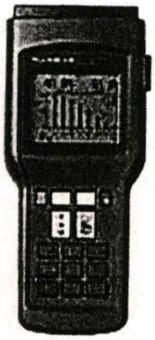
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ก.

เครื่องมือวัดที่ใช้ในงานวิทยานิพนธ์

	ผลิตภัณฑ์ Power Analyzer (YAKOGAWA) รุ่น PZ4000 รายละเอียด Wide Measurement Bandwidth (DC to 2 MHz) Accurately Simpling 5 MS/s Hamonic Analysis (up to 500th) Order

	ผลิตภัณฑ์ Digital Oscilloscope(YOKOGA) รุ่น DL1540 /DL (4 Channel) รายละเอียด 150 MHz Analog Bandwidth 120 MS/s on two channel 8 bit vertical resolution DC to 30 MHz, 850V(DC+AC peak) , 2% DC accuracy Internal low pass filter

	ผลิตภัณฑ์ Power Harmonics Analyzer (FLUKE) รุ่น FLUKE 41B รายละเอียด 5 to 600 Vrms, 1.00 to 1000 Arms up to 600 kw., 6 Hz to 99.9 Hz Indicates fundamental to 13 th hamonics. Measures crest factor, PF, DPF, K-factor %THD, %THD-R

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

	ผลิตภัณฑ์	Multi Meter (Hewlett Packard)
	รุ่น	973 A
	รายละเอียด	True RMS 20 kHz
		Accuracy = 0.1 %
		Vac or Vdc : O to 1000 V.
		Iac or Idc : 0 to 10 A.

	ผลิตภัณฑ์	Band Differential Probe
	รุ่น	700924
	รายละเอียด	100 MHz
		A probe lets you make wide-band differential input measurements

	ผลิตภัณฑ์	Current Probe(CHAUVIN ARNOUX)
	รุ่น	E3N
	รายละเอียด	Current Probe10-100 Ampere /1Volt
		Input 100 A Peak Max
		Frequency: DC to 100 kHz .(@3 db)
		Output 10 mV/A, 100 mV/A CATIII

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ข.

โปรแกรม Matlab ที่ใช้ในการสอนโครงข่ายประสาทเทียม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
%*****************************************************************  %
% Program : Train Back Propagation Neural Network for Current Controller    %
%              (Active Power Filter  : APF)                                  %
%                                                                            %
% Structure of Neural Networks       : 3-5-3                                 %
%                                                                            %
%             INPUT LAYER       :     3    input  (3*8 patterns)             %
%             HIDDEN LAYER      :     5    unit                              %
%             OUTPUT LAYER      :     3    output (3*8 patterns)             %
%                                                                            %
%             Activation function   =   logsig                               %
%             Error value           =   1e-3                                 %
%*****************************************************************  %
echo off
clear

% Input pattens (3*8)

P = [ 0.5 -0.5  0.5  0.5  0.5 -0.5 -0.5 -0.5  ;
      0.5  0.5 -0.5  0.5 -0.5  0.5 -0.5 -0.5  ;
      0.5  0.5  0.5 -0.5 -0.5 -0.5  0.5 -0.5 ];

% Output pattens (3*8)

T = [ 1   0   1   1   1   0   0   0 ;
      1   1   0   1   0   1   0   0 ;
      1   1   1   0   0   0   1   0];

%*************************************************** %
% Set Initial of weights and Biases for Neural Network    %
%*************************************************** %
[w1,b1,w2,b2] = initff(P,5,'logsig',T,'logsig');

%*************************************************** %
% Training Neural Network (Backpropragation Training)  %
%*************************************************** %
df  =  10;
me =  5000000;
eg  =  1e-3;
lr   =  0.1;
tp  =  [ df me eg lr];
[w1,b1,w2,b2,ep,tr] = trainbp(w1,b1,'logsig',w2,b2,'logsig',P,T,tp);

%***************************************************%
% Test Neural Network after training                 %
%***************************************************%
p  =  [ 0.5 ; -0.5 ;-0.5 ]                           % INPUT FOR TEST
test_nnt = simuff( p,w1,b1,'logsig',w2,b2,'logsig')
echo off

%***************************************************%
% Training Neural Network (Backpropragation Training)  %
%***************************************************%
disp(' SHOW => WEIGHT AND BIAS ')
w1
w2
b1
b2
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ค.

โปรแกรมควบคุมตัวประมวลผลสัญญาณดิจิตอล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
;==========================================================================
; System Name      :         ACTIVE POWER FILTER USING NEURAL NETWORK (ADALINE)
;
; OPTION           :         1.CURRENT CONTROL USING HYS BAND & NNT
;                            2.CONTROL DC LINK VOLTAGE(C1+C2) BY PI
;                            3.CONTROL DC LINK VOLTAGE C2 BY PI
;
; File Name        :         ACTIVE_3PH.ASM
;
; Description      :         ACTIVE POWER FILTER
;
; Originator       :         i_vain@hotmail.com
;
; Target Device    :         TMS320LF2407
;                            To Select the target device see x24x_app.h file.
;
;==========================================
; History:
;------------------------------------------
; 11-23-2002       Release   Rev 1.0
;==========================================

;------------------------------------------
; External references
;------------------------------------------

        .include  "x24x_app.h"

        .ref      SYS_INIT

        .ref      ADC010_DRV, ADC010_DRV_INIT                  ; function call
        .ref      A10_ch_sel,A10_ch_sel_1,A10_ch_sel_2         ; inputs
        .ref      C1_out, C2_out, C3_out, C4_out               ; Outputs
        .ref      C5_out, C6_out, C7_out, C8_out               ; Outputs
        .ref      C9_out, C10_out ,C11_out                     ; Outputs

        .ref      LMS_A,LMS_INIT_A                             ; function call
        .ref      D_A,X_A                                      ; input
        .ref      Y_A,ERR_A,ERRF_A,ERR_OUTA                    ; output
        .ref      U_A,WN_A,WM                                  ; parameters

        .ref      LMS_B,LMS_INIT_B                             ; function call
        .ref      D_B,X_B                                      ; input
        .ref      Y_B,ERR_B,ERRF_B,ERR_OUTB                    ; output
        .ref      U_B,WN_B                                     ; parameters

        .ref      LMS_C,LMS_INIT_C                             ; function call
        .ref      D_C,X_C                                      ; input
        .ref      Y_C,ERR_C,ERRF_C,ERR_OUTC                    ; output
        .ref      U_C,WN_C                                     ; parameters

        .ref      CUR_CLK_A, CUR_CLK_INIT_A                    ; function call
        .ref      cur_ref_A, cur_real_A                        ; Inputs
        .ref      cur_out_A                                    ; Output

        .ref      CUR_CLK_B, CUR_CLK_INIT_B                    ; function call
        .ref      cur_ref_B, cur_real_B                        ; Inputs
        .ref      cur_out_B                                    ; Output

        .ref      CUR_CLK_C, CUR_CLK_INIT_C                    ; function call
        .ref      cur_ref_C, cur_real_C                        ; Inputs
        .ref      cur_out_C                                    ; Output


        .ref      CUR_NUR, CUR_NUR_INIT                        ; function call
        .ref      cur_ref_A_NNT, cur_real_A_NNT                ; Inputs
        .ref      cur_ref_B_NNT, cur_real_B_NNT                ; Inputs
        .ref      cur_ref_C_NNT, cur_real_C_NNT                ; Inputs

        .ref      PORT_BEF, PORT_BEF_INIT                      ; function call
        .ref      da_01, da_02, da_03                          ; Inputs
;       .ref      FC_PWM_O_DRV
        .ref      FC_PWM_O_DRV_INIT                            ; function call
;       .ref      Mfunc_c1, Mfunc_c2, Mfunc_c3, Mfunc_p        ; Inputs
;       .ref      limit                                        ; Input
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        .ref    PID_REG2, PID_REG2_INIT                 ; function call
        .ref    pid_fb_reg2, pid_ref_reg2               ; Inputs
        .ref    pid_out_reg2, pid_out1_reg2             ; Output
        .ref    pid_max_reg2, pid_min_reg2
        .ref    K0_reg2, K1_reg2, Kc_reg2

        .ref    PID_REG3, PID_REG3_INIT                 ; function call
        .ref    pid_fb_reg3, pid_ref_reg3               ; Inputs
        .ref    pid_out_reg3, pid_out1_reg3             ; Output
        .ref    pid_max_reg3, pid_min_reg3
        .ref    K0_reg3, K1_reg3, Kc_reg3

;------------------------------------------------------------------------------------------
; Local Variable Declarations
;------------------------------------------------------------------------------------------

        .def    GPR0                                    ;General purpose registers.
        .def    GPR1
        .def    GPR2
        .def    GPR3
        .def    GPR4

        .bss    GPR0,1                                  ;General purpose registers.
        .bss    GPR1,1
        .bss    GPR2,1
        .bss    GPR3,1
        .bss    GPR4,1

;==========================================================================================
; V E C T O R   T A B L E   ( including RT monitor traps )
;==========================================================================================

        .sect "vectors"
        .def    _c_int0

RESET   B       _c_int0                                 ; 00
INT1    B       PHANTOM                                 ; 02
INT2    B       T1_PERIOD_ISR                           ; 04
INT3    B       PHANTOM                                 ; 06
INT4    B       PHANTOM                                 ; 08
INT5    B       PHANTOM                                 ; 0A
INT6    B       PHANTOM                                 ; 0C

                .include    "rtvecs.h"

; Note : The above include line must be AFTER the user configurable
;       vectors. Do not change the place where this line is included.
;==========================================================================================
; M A I N   C O D E  - starts here
;==========================================================================================

                .text
_c_int0:
        CALL    SYS_INIT
        CALL    ADC010_DRV_INIT

        CALL    LMS_INIT_A
;       CALL    LMS_INIT_B
;       CALL    LMS_INIT_C

        CALL    CUR_CLK_INIT_A
        CALL    CUR_CLK_INIT_B
        CALL    CUR_CLK_INIT_C
        CALL    CUR_NUR_INIT

        CALL    PID_REG2_INIT
        CALL    PID_REG3_INIT

        CALL    PORT_BEF_INIT

        CALL    FC_PWM_O_DRV_INIT

;       LDP     #MCRA>>7                                ; TEST LOOP PROGRAM
;       SPLK    #0000H,OCRA
;       SPLK    #0FF00H,PBDATDIR                        ; END TEST LOOP PROGRAM
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
;-----------------------------------------------------------------------------------
, System Interrupt Init.
;-----------------------------------------------------------------------------------
;Event Manager
        POINT_EV
        SPLK    #0000001000000000b,IMRA       ;Enable T1 Underflow Int (i.e. Period)
                ;||||!!!!||||!!!!
                ;5432109876543210

        SPLK    #0FFFFh,IFRA                  ; Clear all Group A interrupt flags
        SPLK    #0FFFFh,IFRB                  ; Clear all Group B interrupt flags
        SPLK    #0FFFFh,IFRC                  ; Clear all Group C interrupt flags

;C2xx Core
        POINT_PG0

        SPLK    #0000000000000010b,IMR        ;En Int lvl 2 (T1 ISR)
                ;||||!!!!||||!!!!
                ;5432109876543210

        SPLK    #0FFFFh, IFR                  ;Clear any pending Ints
        EINT                                  ;Enable global Ints

;===================================================================================
MAIN:   ;Main system background loop
;===================================================================================
M_1             B               MAIN
;===================================================================================

;===================================================================================
; Routine Name    : T1_PERIOD_ISR    Routine Type: ISR
;
; Description     :
;
; Originator      : I_VAIN@HOTMAIL.COM
;
; History         :
;
; Last Update     : 8-12-2003
;===================================================================================
T1_PERIOD_ISR:
;Context save regs
        MAR     *,AR1                         ;AR1 is stack pointer
        MAR     *+                            ;skip one position
        SST     #1, *+                        ;save ST1
        SST     #0, *+                        ;save ST0
        SACH    *+                            ;save acc high
        SACL    *                             ;save acc low

;===================================================================================
;Start main section of ISR
;===================================================================================

        CALL    ADC010_DRV
PI_VDC:

        LDP     #pid_fb_reg2
        SPLK    #01666H,pid_ref_reg2          ; SET: Vdc(max) = 1000V = 3.30V (DSP)
                                              ; Vdc(ref) =  700V = 1666H (Q13)
        BLDD    #C10_out,pid_fb_reg2          ; CALL    PID_REG2

PI_VDC1:

        LDP     C11_out
        LACC    C11_out                       ; Vc2
        SUB     #0B33H                        ; Vc2-(700V/2)

        LDP     #pid_fb_reg3
        SPLK    #0000H,pid_ref_reg3           ; SET: Verr(max) = 0V = 3.3 V (DSP)
        SACL    pid_fb_reg3                   ;
        CALL    PID_REG3
PRO_LMS:

        LDP     #D_A                          ; LMS (HARMONIC CURRENT DETECTOR)
        BLDD    #C1_out,D_A
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        BLDD    #C7_out,X_A
        BLDD    #C3_out,D_B
        BLDD    #C8_out,X_B
        BLDD    #C5_out,D_C
        BLDD    #C9_out,X_C

        CALL    LMS_A
        B       NNT_CUR_CON

HYS_CUR_CON:

        LDP     #cur_ref_A                          ; HYS CURRENT CONTROL
        BLDD    #ERR_OUTA,cur_ref_A
        BLDD    #C2_out,cur_real_A

        CALL    CUR_CLK_A

        LDP     #cur_ref_B
        BLDD    #ERR_OUTB,cur_ref_B
        BLDD    #C4_out,cur_real_B

        CALL    CUR_CLK_B

        LDP     #cur_ref_C
        BLDD    #ERR_OUTC,cur_ref_C
        BLDD    #C6_out,cur_real_C

        CALL    CUR_CLK_C

NNT_CUR_CON:

        LDP     #cur_ref_A_NNT
        BLDD    #ERR_OUTA,cur_ref_A_NNT
        BLDD    #ERR_OUTB,cur_ref_B_NNT
        BLDD    #ERR_OUTC,cur_ref_C_NNT

        BLDD    #C2_out,cur_real_A_NNT
        BLDD    #C4_out,cur_real_B_NNT
        BLDD    #C6_out,cur_real_C_NNT

        CALL    CUR_NUR

        B       END_END

SHOW_D_A:                                           ; SHOW DATA TO A/D
        LDP     #da_01
        BLDD    #ERR_OUTA,da_01
        BLDD    #ERR_OUTB,da_02
        BLDD    #Y_A,da_03

        CALL    PORT_BEF

END_END:

;------------------------------------------------------------------
;End main section of ISR
;------------------------------------------------------------------
;Context restore regs

END_ISR:
        POINT_PG0

        MAR     *, AR1                      ;make stack pointer active
        LACL    *-                          ;Restore Acc low
        ADDH    *-                          ;Restore Acc high
        LST     #0, *-                      ;load ST0
        LST     #1, *-                      ;load ST1
        EINT                                ;Euqual CLRC INTM - Enable interrupts

        RET
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
;==============================================================================
; I S R  -  PHANTOM
;
; Description:      Dummy ISR, used to trap spurious interrupts.
;
; Modifies:
;
; Last Update:      16-06-95
;==============================================================================

PHANTOM         B       PHANTOM
PHANTOM1        B       PHANTOM1
PHANTOM2        B       PHANTOM2
PHANTOM3        B       PHANTOM3
PHANTOM4        B       PHANTOM4
PHANTOM5        B       PHANTOM5
PHANTOM6        B       PHANTOM6
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
;==========================================================================
; File Name           :           Adc_10drv.asm
;
; Module Name         :           ADC10_DRV
;
; Initialization Routine: ADC10_DRV_INIT
;
; Originator          :           i_vain@hotmail.com
;
; Description         : This module performs 10-channel A/D conversion of bipolar signals.(ADC10 is Unipolar_Q13)
;
;                                  |~~~~~~~~~~~~~~~~~~~~|
;                                  |                    |
;                                  |  ADC10_DRV         |
;        A10_ch_sel  o---------->|               Q15|----->o C1_out
;        A10_ch_sel_1o--------->|               Q15|----->o C2_out
;        A10_ch_sel_2o--------->|               Q15|----->o C3_out
;                                  |               Q15|----->o C4_out
;                                  |____________________|
;
;         Notes:
;                 1. Cx_gain has = 1.000000 (i.e. Q15)
;                 2. Cx_offset has = 0.000000 (i.e. Q15)
;                 3. Cx_out has range -0.999999 --> +0.99999 (i.e. Q15)
;                    with:
;                         1.0 x (VrefHi - VrefLo) = +0.999999 (7FFFh)
;                         0.5 x (VrefHi - VrefLo) =  0        (0000/FFFFh)
;                         0.0 x (VrefHi - VrefLo) = -0.999999 (8000h)
;
;        ADC_ch_sel HEX values vs Channels selected (1)
;        _____________________________________________
;        | C4 select | C3 select | C2 select | C1 select |
;        ---------------------------------------------
;
;        ADC_ch_sel_1 HEX values vs Channels selected (1)
;        _____________________________________________
;        | C8 select | C7 select | C6 select | C5 select |
;        ---------------------------------------------
;
;        ADC_ch_sel_2 HEX values vs Channels selected (1)
;        _____________________________________________
;        | C12 select| C11 select| C10 select| C9 select|
;        ---------------------------------------------
;
;        For x2407
;                 C1/C2/C3/C4 select:  0,1,2...F    -->         Ch0,1,2,...15
;
;
; Target dependency:  TMS320LF240X
; To Select the target device see x24x_app.h file.
;
;==========================================================================
;
;(To use this Module, copy this section to main system file)
;         .ref     ADC010_DRV, ADC010_DRV_INIT              ;function call
;         .ref     A10_ch_sel,A10_ch_sel_1,A10_ch_sel_2     ;inputs
;         .ref     C1_out, C2_out, C3_out, C4_out           ;Outputs
;         .ref     C5_out, C6_out, C7_out, C8_out           ;Outputs
;         .ref     C9_out, C10_out                          ;Outputs
;
;==========================================================================
;
          .def     ADC010_DRV, ADC010_DRV_INIT              ;function call
          .def     A10_ch_sel,A10_ch_sel_1,A10_ch_sel_2     ;inputs
          .def     C1_out, C2_out, C3_out, C4_out           ;Outputs
          .def     C5_out, C6_out, C7_out, C8_out           ;Outputs
          .def     C9_out, C10_out     ,C11_out             ;Outputs
;==========================================================================
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                    .include     x24x_app.h
;==================================================================
;Variable Definitions for ADC010_DRV module
;------------------------------------------------------------------

A10_ch_sel          .usect       "adc10drv",1
A10_ch_sel_1        .usect       "adc10drv",1
A10_ch_sel_2        .usect       "adc10drv",1
C1_out              .usect       "adc10drv",1
C2_out              .usect       "adc10drv",1
C3_out              .usect       "adc10drv",1
C4_out              .usect       "adc10drv",1
C5_out              .usect       "adc10drv",1
C6_out              .usect       "adc10drv",1
C7_out              .usect       "adc10drv",1
C8_out              .usect       "adc10drv",1
C9_out              .usect       "adc10drv",1
C10_out             .usect       "adc10drv",1
C11_out             .usect       "adc10drv",1

;==================================================================
ADC010_DRV_INIT:
;==================================================================

          LDP       #ADCL_CNTL1>>7
          SPLK      #0, CALIBRATION                      ;Zero the Cal reg.
          SPLK      #0100000000000000b,ADCL_CNTL1        ;Reset entire Module
;         SPLK      #0010000000010000b,ADCL_CNTL1        ;Acq = 2 x Clks
          SPLK      #0010000100010000b,ADCL_CNTL1        ;Acq = 4 x Clks
;         SPLK      #0010001000010000b,ADCL_CNTL1        ;Acq = 6 x Clks
;         SPLK      #0010001100010000b,ADCL_CNTL1        ;Acq = 8 x Clks
                    ;||||!!!!||||!!!!                     ;Cascaded mode
                    ;5432109876543210

          SPLK      #10, MAXCONV                         ;Setup for 10 conversions
          ldp       #A10_ch_sel
          SPLK      #3210h, A10_ch_sel                   ;default to Ch 0,1,2,3
          SPLK      #7654h, A10_ch_sel_1                 ;default to Ch 4,5,6,7
          SPLK      #0BA98h,A10_ch_sel_2                 ;default to Ch 8,9,10,11
          RET

;==================================================================
ADC010_DRV:
;==================================================================

;Read 1st converted value

          LDP       #ADCL_CNTL1>>7
          LACC      ADC_RESULT0
          XOR       #8000h                               ;Convert to Q15
          ldp       #C1_out
          SACL      C1_out

;Read 2nd converted value
          LDP       #ADCL_CNTL1>>7
          LACC      ADC_RESULT1
          XOR       #8000h                               ;Convert to Q15
          ldp       #C1_out
          SACL      C2_out

;Read 3rd converted value
          LDP       #ADCL_CNTL1>>7
          LACC      ADC_RESULT2
          XOR       #8000h                               ;Convert to Q15
          ldp       #C1_out
          SACL      C3_out

;Read 4th converted value
          LDP       #ADCL_CNTL1>>7
          LACC      ADC_RESULT3
          XOR       #8000h                               ;Convert to Q15
          ldp       #C1_out
          SACL      C4_out
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
;Read 5th converted value
        LDP     #ADCL_CNTL1>>7
        LACC    ADC_RESULT4
        XOR     #8000h                          ;Convert to Q15
        ldp     #C1_out
        SACL    C5_out

;Read 6th converted value
        LDP     #ADCL_CNTL1>>7
        LACC    ADC_RESULT5
        XOR     #8000h                          ;Convert to Q15
        ldp     #C1_out
        SACL    C6_out

;Read 7th converted value
        LDP     #ADCL_CNTL1>>7
        LACC    ADC_RESULT6
        XOR     #8000h                          ;Convert to Q15
        ldp     #C1_out
        SACL    C7_out

;Read 8th converted value
        LDP     #ADCL_CNTL1>>7
        LACC    ADC_RESULT7
        XOR     #8000h                          ;Convert to Q15
        ldp     #C1_out
        SACL    C8_out

;Read 9th converted value
        LDP     #ADCL_CNTL1>>7
        LACC    ADC_RESULT8
        XOR     #8000h                          ;Convert to Q15
        ldp     #C1_out
        SACL    C9_out

;Read 10th converted value
        LDP     #ADCL_CNTL1>>7                  ;Unipolar (Q13)
        LACC    ADC_RESULT9
        SFR
        AND     #7FFFH                          ;Q15
        SFR
        SFR
        LDP     #C1_out                         ;Q13
        SACL    C10_out

;Read 11th converted value
        LDP     #ADCL_CNTL1>>7                  ;Unipolar (Q13)
        LACC    ADC_RESULT10
        SFR
        AND     #7FFFH                          ;Q15
        SFR
        SFR
        LDP     #C1_out                         ;Q13
        SACL    C11_out

;Start another conversion
START_NXT:
        LACC    A10_ch_sel
        LDP     #ADCL_CNTL1>>7
        SACL    CHSELSEQ1

        SPLK    #0110000000000000b,ADCL_CNTL2 ;Reset + SOC SEQ1
                ;||||!!!!||||!!!!
                ;5432109876543210
        RET
;-------------------------------------------------------------------------------
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
******************************************************************************
*
*        LMS          :        Adaptive Filter using Transversal Structure
*                              and LMS Algorithm
*        Algorithm :
*
*       N-1
*        y(n)         =        SUM w(k)*x(n-k) , k = 0,1,2,.....,N-1
*                              k=0
*
*        e(n)         =        d(n) - y(n)
*
*        w(k)         =        w(k) + u*e(n)*x(n-k)  , k = 0,1,2,.......,N-1
*
*        Initial conditions :
*                  1) Data memory one should be equal to 1.
*                  2) Data memory U should be equal to MU (Q15 Format).
*                  3) PM status bit should be equal to 01.
*                  4) SXM status bit should be set to logic 1.
*                  5) OVM status bit should be set to 1.
*                  6) The current DP should be page 0.
*
*        Other :
*                  1) The return current auxiliary register will be AR2.
*                  2) AR1,AR3 have been use in this subroutine.
*
*=============================================================================
* History:
*-----------------------------------------------------------------------------
* 01-01-2003        Release    Rev 1.00    ( i_vain@hotmail.com )
******************************************************************************
;                  .ref       LMS_A,LMS_INIT_A                  ; function call
;                  .ref       D_A,X_A                           ; input
;                  .ref       Y_A,ERR_A,ERR_OUTA                ; output
;                  .ref       U_A                               ; parameters

;                  .ref       LMS_B,LMS_INIT_B                  ; function call
;                  .ref       D_B,X_B                           ; input
;                  .ref       Y_B,ERR_B,ERR_OUTB                ; output
;                  .ref       U_B                               ; parameters

;                  .ref       LMS_C,LMS_INIT_C                  ; function call
;                  .ref       D_C,X_C                           ; input
;                  .ref       Y_C,ERR_C,ERR_OUTC                ; output
;                  .ref       U_C                               ; parameters

******************************************************************************
*        Define and refer symbols
******************************************************************************
                   .def       LMS_A,LMS_INIT_A                  ; function call
                   .def       D_A,X_A                           ; input
                   .def       Y_A,ERR_A,ERRF_A,ERR_OUTA         ; output
                   .def       U_A,WN_A,WM                       ; parameters

                   .def       LMS_B,LMS_INIT_B                  ; function call
                   .def       D_B,X_B                           ; input
                   .def       Y_B,ERR_B,ERRF_B,ERR_OUTB         ; output
                   .def       U_B,WN_B                          ; parameters

                   .def       LMS_C,LMS_INIT_C                  ; function call
                   .def       D_C,X_C                           ; input
                   .def       Y_C,ERR_C,ERRF_C,ERR_OUTC         ; output
                   .def       U_C,WN_C                          ; parameters

                   .include   x24x_app.h

ORDER              .set       1                                 ; Order of LMS

******************************************************************************
*        DEFINE ADDRESS OF BUFFER AND COFFICIENTS
******************************************************************************

X0_A               .usect     "buffer",ORDER-1
XN_A               .usect     "buffer",1
FREE_A             .usect     "buffer",1                        ; Using for free data
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
X0_B            .usect     "buffer",ORDER-1
XN_B            .usect     "buffer",1
FREE_B          .usect     "buffer",1                 ; Using for free data

X0_C            .usect     "buffer",ORDER-1
XN_C            .usect     "buffer",1
FREE_C          .usect     "buffer",1                 ; Using for free data

WN_A            .usect     "coeffs",ORDER
WN_B            .usect     "coeffs",ORDER
WN_C            .usect     "coeffs",ORDER

*************************************************
*       RESERVE ADDRESS FOR PARAMETERS
*************************************************
D_A             .usect     "para",1                   ; Store parameters of LMS
X_A             .usect     "para",1
Y_A             .usect     "para",1
ERR_A           .usect     "para",1
U_A             .usect     "para",1
ERRF_A          .usect     "para",1
ERR_OUTA        .usect     "para",1

D_B             .usect     "para",1
X_B             .usect     "para",1
Y_B             .usect     "para",1
ERR_B           .usect     "para",1
U_B             .usect     "para",1
ERRF_B          .usect     "para",1
ERR_OUTB        .usect     "para",1

D_C             .usect     "para",1
X_C             .usect     "para",1
Y_C             .usect     "para",1
ERR_C           .usect     "para",1
U_C             .usect     "para",1
ERRF_C          .usect     "para",1
ERR_OUTC        .usect     "para",1

WM              .usect     "para",1
GPR_RAM         .usect     "para",1
INV_THREE       .usect     "para",1

SAVE1           .usect     "para",1
SAVE2           .usect     "para",1
SAVE3           .usect     "para",1
SAVE4           .usect     "para",1
SAVE5           .usect     "para",1
SAVE6           .usect     "para",1

******************************************************************************
*       PERFORM THE ADAPTIVE FILTER
******************************************************************************

LMS_INIT_A:

        LDP     #D_A
        SPLK    #3D7H,U_A                   ; Set learning rate equal 0.03(Q15)=3D7H
                                            ; 255
LMS_INIT_B:

        LDP     #D_B
        SPLK    #3D7H,U_B                   ; Set learning rate equal 0.01(Q15)=3D7H
                                            ; 255
LMS_INIT_C:
        LDP     #D_C
        SPLK    #3D7H,U_C                   ; Set learning rate equal 0.01(Q15)=3D7H

        SPLK    #2AAAH,INV_THREE            ; 1/3 (Q15) = 2AAAH

        RET
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
***********************************
*    PROGRAM LMS 3 PHASE          *
***********************************

*************************
*       PHASE A         *
*************************

LMS_A:
        SETC    SXM                     ; Use sign-extension Mode
        SETC    OVM                     ; Set Overflow mode
        SPM     1                       ; shift output after multiplier

        POINT_PG0                       ; Open Page0
        LARP    AR3                     ; Set current register
        SAR     AR1,SAVE1
        SAR     AR2,SAVE2
        SAR     AR3,SAVE3
        SAR     AR4,SAVE4
        SAR     AR5,SAVE5
        SAR     AR6,SAVE6

        LRLK    AR3,X_A
        LACC    *
        LRLK    AR3,X0_A
        SACL    *

        CNFP                            ; Config B0 as program memory
        MPY     #0                      ; Clear PREG
        LACC    #1,15                   ; Using rounding
        LRLK    AR3,XN_A                ; Point to the oldest sample

LOOP_A:
        RPTK    ORDER-1                 ; Repeat N times
        MACD    WN_A+0FD00H,*-          ; Estimate Y(n)
        CNFD                            ; Config B0 as data memeory
        APAC
        SACH    Y_A                     ; Store output

*** CALCULATE ERROR
                NEG                     ; ACC = -Y(n)
        ADDH    D_A                     ;
        SACH    ERR_A                   ; ERR(n) = D(n) - Y(n)

*** UPDATE THE WEIGHTS
        LT      ERR_A                   ; T = ERR(n)
        MPY     U_A                     ; P = U*ERR(n)
        PAC
        ADD     #1,15                   ; round the result
        SACH    ERRF_A                  ; ERRF = U*ERR(n)

        LRLK    AR1,ORDER-1             ; Set up Counter
        LRLK    AR2,WN_A                ; Point to the coefficient
        LRLK    AR3,XN_A+1              ; Point to the data sample
        LT      ERRF_A                  ; TREG = U*ERR(n)
        MPY     *-,AR2                  ; PREG = U*ERR(n)*X(n-k)

ADAPT_A:
        ZALR    *,AR3                   ; Load ACCH => A(k,n) & round
        MPYA    *-,AR2                  ; W(k,n+1) = W(k,n)+PREG
                                        ; PREG = U*ERR(n)*X(n-k)
        SACH    *+,0,AR1                ; Store W(K,n+1)
        BANZ    ADAPT_A,*-,AR2

*************************
*PHASE B                *
*************************

LMS_B:
        POINT_PG0
        LARP    AR3                     ; Set current register
        LRLK    AR3,X_B
        LACC    *
        LRLK    AR3,X0_B
        SACL    *
```

เอกสารนี้เป็นเอกสารสงวนสิทธิ์สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
          CNFP                              ; Config B0 as program memory
          MPY     #0                        ; Clear PREG
          LACC    #1,15                     ; Using rounding
          LRLK    AR3,XN_B                  ; Point to the oldest sample

LOOP_B:
          RPTK    ORDER-1                   ; Repeat N times
          MACD    WN_B+0FD00H,*-            ; Estimate Y(n)
          CNFD                              ; Config B0 as data memeory
          APAC
          SACH    Y_B                       ; Store output

*** CALCULATE ERROR
          NEG                               ; ACC = -Y(n)
          ADDH    D_B                       ;
          SACH    ERR_B                     ; ERR(n) = D(n) - Y(n)

*** UPDATE THE WEIGHTS
          LT      ERR_B                     ; T = ERR(n)
          MPY     U_B                       ; P = U*ERR(n)
          PAC
          ADD     #1,15                     ; round the result
          SACH    ERRF_B                    ; ERRF = U*ERR(n)

          LARK    AR1,ORDER-1               ; Set up Counter
          LRLK    AR2,WN_B                  ; Point to the coefficient
          LRLK    AR3,XN_B+1                ; Point to the data sample
          LT      ERRF_B                    ; TREG = U*ERR(n)
          MPY     *-,AR2                    ; PREG = U*ERR(n)*X(n-k)

ADAPT_B:
          ZALR    *,AR3                     ; Load ACCH => A(k,n) & round
          MPYA    *-,AR2                    ; W(k,n+1) = W(k,n)+PREG
                                            ; PREG = U*ERR(n)*X(n-k)
          SACH    *+,0,AR1                  ; Store W(K,n+1)
          BANZ    ADAPT_B,*-,AR2

*************************
*PHASE C                *
*************************

LMS_C:
POINT_PG0
          LARP    AR3                       ; Set current register
          LRLK    AR3,X_C
          LACC    *
          LRLK    AR3,X0_C
          SACL    *

          CNFP                              ; Config B0 as program memory
          MPY     #0                        ; Clear PREG
          LACC    #1,15                     ; Using rounding
          LRLK    AR3,XN_C                  ; Point to the oldest sample

LOOP_C:
          RPTK    ORDER-1                   ; Repeat N times
          MACD    WN_C+0FD00H,*-            ; Estimate Y(n)
          CNFD                              ; Config B0 as data memeory
          APAC
          SACH    Y_C                       ; Store output

*** CALCULATE ERROR
          NEG                               ;ACC = -Y(n)
          ADDH    D_C                       ;
          SACH    ERR_C                     ; ERR(n) = D(n) - Y(n)

*** UPDATE THE WEIGHTS
          LT      ERR_C                     ; T = ERR(n)
          MPY     U_C                       ; P = U*ERR(n)
          PAC
          ADD     #1,15                     ; round the result
          SACH    ERRF_C                    ; ERRF = U*ERR(n)

          LARK    AR1,ORDER-1               ; Set up Counter
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        LRLK    AR2,WN_C                ; Point to the coefficient
        LRLK    AR3,XN_C+1              ; Point to the data sample
        LT      ERRF_C                  ; TREG = U*ERR(n)
        MPY     *-,AR2                  ; PREG = U*ERR(n)*X(n-k)

ADAPT_C:
        ZALR    *,AR3                   ; Load ACCH => A(k,n) & round
        MPYA    *-,AR2                  ; W(k,n+1) = W(k,n)+PREG
                                        ; PREG = U*ERR(n)*X(n-k)
        SACH    *+,0,AR1                ; Store W(K,n+1)
        BANZ    ADAPT_C,*-,AR2

************************************
*          OUTPUT OF LMS           *
************************************

OUT_LMS:
        POINT_PG0

        LRLK    AR4,WN_A
        LRLK    AR5,WN_B
        LRLK    AR6,WN_C
        LARP    AR4
        LACC    *,14,AR5
        ADD     *,14,AR6
        ADD     *,14                    ; ACC = WN_A + WN_B + WN_C
        SACH    WM                      ; WM  = ACC
        LT      INV_THREE               ; TREG = WN_A + WN_B + WN_C
        MPY     WM                      ; MPY ( 1/3 => Q15 )
        PAC
        SACH    WM,2                    ; WM  = 1/3(WN_A + WN_B + WN_C)

OUT_LMS0A:
        LDP     #pid_out_reg2
        LT      pid_out1_reg2

POINT_PG0
        MPY     X_A
        PAC

        LDP     #pid_out_reg3
        ADDH    pid_out1_reg3

POINT_PG0
        SACH    GPR_RAM,2
        LT      GPR_RAM                 ; CAL OUTPUT PHASE A
        MPY     WM                      ;
        PAC                             ; PREG = WM * XN_A

        NEG                             ; ACC = -Y(n)
        ADDH    D_A
        NEG
        SACH    ERR_OUTA                ; ERR_OUT(n) = D(n) - Y(n)
OUT_LMS0B:
        LDP     #pid_out_reg2
        LT      pid_out1_reg2

POINT_PG0
        MPY     X_B
        PAC

        LDP     #pid_out_reg3
        ADDH    pid_out1_reg3

 POINT_PG0
        SACH    GPR_RAM,2

        LT      GPR_RAM                 ; CAL OUTPUT PHASE B
        MPY     WM                      ;
        PAC                             ; PREG = WM * XN_B
        NEG                             ; ACC = -Y(n)
        ADDH    D_B
        NEG
        SACH    ERR_OUTB                ; ERR_OUT(n) = D(n) - Y(n)
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
OUT_LMS0C:
        LDP     #pid_out_reg2
        LT      pid_out1_reg2

POINT_PG0
        MPY     X_C
        PAC

        LDP     #pid_out_reg3
        ADDH    pid_out1_reg3

POINT_PG0
        SACH    GPR_RAM,2

        LT      GPR_RAM                         ; CAL OUTPUT PHASE C
        MPY     WM                              ;
        PAC                                     ; PREG = WM * XN_C
        NEG                                     ; ACC = -Y(n)
        ADDH    D_C
        NEG
        SACH    ERR_OUTC                        ; ERR_OUT(n) = D(n) - Y(n)

END_LMS:

        CLRC    SXM                             ; Unuse sign-extension Mode

        RET

;---------------------------------------------------------------------------------------------
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
;==========================================================================
; File Name          :        CUR_A.asm
;
; Module Name        :        CUR_A
;
; Initialization Routine:     CUR_CLK_INIT_A
;
; Originator         :        i_vain@hotmail.com
;
; Description        :        Digital current controller using periodical sampling method (Hys Band)
;
;                             |~~~~~~~~~~~~~~~~~~~~~|
;                             |                     |
;          cur_ref o--------> |Q15  CUR_CLK     Q15|----->o cur_out
;          cur_realo--------> |Q15                  |
;                             |_____________________|
;
; Target dependency:  C2xx core only
;
;==========================================================================
; History:
;--------------------------------------------------------------------------
; 8-11-2003          Release    Rev 1.0
;==========================================================================
;(To use this Module, copy this section to main system file)
;                    .ref       CUR_CLK_A, CUR_CLK_INIT_A         ; function call
;                    .ref       cur_ref_A, cur_real_A             ; Inputs
;                    .ref       cur_out_A                         ; Output
;==========================================================================
                     .def       CUR_CLK_A, CUR_CLK_INIT_A         ; function call
                     .def       cur_ref_A, cur_real_A             ; Inputs
                     .def       cur_out_A                         ; Output
;==========================================================================

                     .include   "x24x_app.h"

;==========================================================================
;Variable Definitions for PID_REG1 module
;--------------------------------------------------------------------------
cur_ref_A            .usect     "cur_a",1                         ; Q15
cur_real_A           .usect     "cur_a",1                         ; Q15
cur_hys_A            .usect     "cur_a",1                         ; Q15
cur_lo_A             .usect     "cur_a",1                         ; Q15
cur_hi_A             .usect     "cur_a",1                         ; Q15
cur_out_A            .usect     "cur_a",1                         ; Q15

;==========================================================================
CUR_CLK_INIT_A:
;==========================================================================

POINT_PF2
          SPLK      #0000H,MCRA                        ; PORT_A is output
          SPLK      #1111111101010100B,PADATDIR        ; Initial case HIGH ALL PHASE
;         SPLK      #0FF00h,PBDATDIR

          LDP       #cur_ref_A                         ; CURRENT (MAX) = 20A = 3.3V
          SPLK      #0333h,cur_hys_A                   ; Hys band INIT = +/-0.5A = 333H (Q15)

          RET

;==========================================================================
CUR_CLK_A:
;==========================================================================

          SETC      SXM                                ; Sign extension mode
          SETC      OVM                                ; Overflow mode
          SPM       1                                  ; set SPM

          LDP       #cur_ref_A
          LACC      cur_ref_A                          ; ACC = cur_ref
          ADD       cur_hys_A
          SACL      cur_hi_A

          LACC      cur_ref_A
          SUB       cur_hys_A
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        SACL    cur_lo_A

        LACC    cur_hi_A
        SUB             cur_real_A
        BCND    CUR_LO_A,GT

CUR_HI_A:
        SPLK    #1111111100000100B,cur_buff1_A      ; CASE HIGHER HYS BAND => A0=1 ,A1=0
        SPLK    #1111111111110111B,cur_buff2_A
        POINT_PF2                                   ; ( PHASE A )
;       SPLK    #0000H,OCRA
        LACC    PADATDIR
        OR      #1111111100000100B
        AND     #1111111111110111B
        SACL    PADATDIR
        B       CUR_EXT_A

CUR_LO_A:
        LACC    cur_real_A                          ; CASE LOWER HYS BAND => A0=0 ,A1=1
        SUB     cur_lo_A
        BCND    CUR_MID_A,GEQ

        SPLK    #1111111100001000B,cur_buff1_A
        SPLK    #1111111111111011B,cur_buff2_A
        POINT_PF2
;       SPLK    #0000H,OCRA
        LACC    PADATDIR
        OR      #1111111100001000B
        AND     #1111111111111011B
        SACL    PADATDIR
        B       CUR_EXT_A

CUR_MID_A:                                          ; CASE INNER BAND => NOT CHANGE
        POINT_PF2
;       SPLK    #0000H,OCRA
        LACC    PADATDIR
        LDP     #cur_ref_A
        OR      cur_buff1_A
        AND     cur_buff2_A
        POINT_PF2
        SACL    PADATDIR

CUR_EXT_A:

        RET

;------------------------------------------------------------------------------------------------
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
;=====================================================================
; File Name             :       CUR_B.asm
;
; Module Name           :       CUR_B
;
; Initialization Routine:       CUR_CLK_INIT_B
;
; Originator            :       i_vain@hotmail.com
;
; Description           :       Digital current controller using periodical sampling method (Hys Band)
;
;                               |~~~~~~~~~~~~~~~~~~~~~~|
;                               |                      |
;          cur_ref o--------->  |Q15   CUR_CLK      Q15|----->o cur_out
;          cur_realo--------->  |Q15                   |
;                               |______________________|
;
; Target dependency:  C2xx core only
;
;=====================================================================
; History:
;---------------------------------------------------------------------
; 8-11-2003             Release Rev 1.0
;=====================================================================
;(To use this Module, copy this section to main system file)
;               .ref    CUR_CLK_B, CUR_CLK_INIT_B               ; function call.
;               .ref    cur_ref_B, cur_real_B                   ; Inputs
;               .ref    cur_out_B                               ; Output
;=====================================================================
                .def    CUR_CLK_B, CUR_CLK_INIT_B               ; function call
                .def    cur_ref_B, cur_real_B                   ; Inputs
                .def    cur_out_B                               ; Output
;=====================================================================

                .include        "x24x_app.h"

;=====================================================================
;Variable Definitions for PID_REG1 module
;---------------------------------------------------------------------
cur_ref_B       .usect  "cur_b",1                               ; Q15
cur_real_B      .usect  "cur_b",1                               ; Q15
cur_hys_B       .usect  "cur_b",1                               ; Q15
cur_lo_B        .usect  "cur_b",1                               ; Q15
cur_hi_B        .usect  "cur_b",1                               ; Q15
cur_out_B       .usect  "cur_b",1                               ; Q15

;=====================================================================
CUR_CLK_INIT_B:
;=====================================================================

        LDP     #cur_ref_B                      ; CURRENT (MAX) = 20A = 3.3V
        SPLK    #0333h,cur_hys_B                ; Hys band INIT = +/-0.5A = 333H (Q15)

        RET

;=====================================================================
CUR_CLK_B:
;=====================================================================

        LDP     #cur_ref_B
        LACC    cur_ref_B                       ; ACC = cur_ref
        ADD     cur_hys_B
        SACL    cur_hi_B

        LACC    cur_ref_B
        SUB     cur_hys_B
        SACL    cur_lo_B

        LACC    cur_hi_B
        SUB     cur_real_B
        BCND    CUR_LO_B,GT

CUR_HI_B:
        SPLK    #1111111100010000B,cur_buff1_B  ; CASE HIGHER HYS BAND => A2=1 ,A3=0
        SPLK    #1111111111011111B,cur_buff2_B
```

เอกสารนี้เป็นเอกสารที่สงวนไว้ใช้เพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        POINT_PF2                                         ; ( PHASE B )
.       SPLK    #0000H,OCRA
        LACC    PADATDIR
        OR      #1111111100010000B
        AND     #1111111111011111B
        SACL    PADATDIR
        B       CUR_EXT_B

CUR_LO_B:
        LACC    cur_real_B                                ; CASE LOWER HYS BAND => A2=0 ,A3=1
        SUB     cur_lo_B
        BCND    CUR_MID_B,GEQ

        SPLK    #1111111100100000B,cur_buffl_B
        SPLK    #1111111111101111B,cur_buff2_B
        POINT_PF2
;       SPLK    #0000H,OCRA
        LACC    PADATDIR
        OR      #1111111100100000B
        AND     #1111111111101111B
        SACL    PADATDIR
        B       CUR_EXT_B

CUR_MID_B:                                                ; CASE INNER BAND => NOT CHANGE
        POINT_PF2
;       SPLK    #0000H,OCRA
        LACC    PADATDIR
        LDP     #cur_ref_B
        OR      cur_buffl_B
        AND     cur_buff2_B
        POINT_PF2
        SACL    PADATDIR

CUR_EXT_B:

        RET

;---------------------------------------------------------------------------------------------
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
;=============================================================================
; File Name              :     CUR_C.asm
;
; Module Name            :     CUR_C
;
; Initialization Routine:      CUR_CLK_INIT_C
;
; Originator             :     i_vain@hotmail.com
;
; Description            :     Digital current controller using periodical sampling method (Hys Band)
;
;                              |~~~~~~~~~~~~~~~~~~~~|
;                              |                    |
;          cur_ref o--------->  |Q15   CUR_CLK     Q15 |----->o cur_out
;          cur_realo--------->  |Q15                 |
;                              |____________________|
;
; Target dependency      :     C2xx core only
;
;=============================================================================
; History:
;-----------------------------------------------------------------------------
; 8-11-2003          Release    Rev 1.0
;=============================================================================
;(To use this Module, copy this section to main system file)
;               .ref      CUR_CLK_C, CUR_CLK_INIT_C          ; function call
;               .ref      cur_ref_C, cur_real_C              ; Inputs
;               .ref      cur_out_C                          ; Output
;=============================================================================
                .def      CUR_CLK_C, CUR_CLK_INIT_C          ; function call
                .def      cur_ref_C, cur_real_C              ; Inputs
                .def      cur_out_C                          ; Output
;=============================================================================

                .include  "x24x_app.h"

;=============================================================================
;Variable Definitions for PID_REG1 module
;-----------------------------------------------------------------------------
cur_ref_C       .usect    "cur_c",1                          ; Q15
cur_real_C      .usect    "cur_c",1                          ; Q15
cur_hys_C       .usect    "cur_c",1                          ; Q15
cur_lo_C        .usect    "cur_c",1                          ; Q15
cur_hi_C        .usect    "cur_c",1                          ; Q15
cur_out_C       .usect    "cur_c",1                          ; Q15

;=============================================================================
CUR_CLK_INIT_C:
;=============================================================================

        LDP     #cur_ref_C                  ; CURRENT (MAX) = 20A = 3.3V
        SPLK    #0333h,cur_hys_C            ; Hys band INIT = +/-0.5A = 333H (Q15)

        RET

;=============================================================================
CUR_CLK_C:
;=============================================================================

        LDP     #cur_ref_C
        LACC    cur_ref_C                   ; ACC = cur_ref
        ADD     cur_hys_C
        SACL    cur_hi_C

        LACC    cur_ref_C
        SUB     cur_hys_C
        SACL    cur_lo_C

        LACC    cur_hi_C
        SUB     cur_real_C
        BCND    CUR_LO_C,GT

CUR_HI_C:
        SPLK    #1111111101000000B,cur_buff1_C      ; CASE HIGHER HYS BAND => A0=1 ,A1=0
        SPLK    #1111111101111111B,cur_buff2_C
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        POINT_PF2                                   ; ( PHASE C )
;       SPLK     #0000H,OCRA
        LACC     PADATDIR
        OR       #1111111101000000B
        AND      #1111111101111111B
        SACL     PADATDIR
        B        CUR_EXT_C

CUR_LO_C:
        LACC     cur_real_C                         ; CASE LOWER HYS BAND => A0=0 ,A1=1
        SUB      cur_lo_C
        BCND     CUR_MID_C,GEQ

        SPLK     #1111111110000000B,cur_buff1_C
        SPLK     #1111111110111111B,cur_buff2_C
        POINT_PF2
;       SPLK     #0000H,OCRA
        LACC     PADATDIR
        OR       #1111111110000000B
        AND      #1111111110111111B
        SACL     PADATDIR
        B        CUR_EXT_C

CUR_MID_C:                                          ; CASE INNER BAND => NOT CHANGE
        POINT_PF2
;       SPLK     #0000H,OCRA
        LACC     PADATDIR
        LDP      #cur_ref_C
        OR       cur_buff1_C
        AND      cur_buff2_C
        POINT_PF2
        SACL     PADATDIR

CUR_EXT_C:
        CLRC     SXM                                ; Unsign-extension Mode
        CLRC     OVM                                ; Clear Overflow mode
        SPM      0                                  ; Not shift output after multiplier

        POINT_B0
        RET

;--------------------------------------------------------------------------------
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
;================================================================================
; File Name           :     NEURAL CUR.asm
;
; Module Name         :     CUR_NUR
;
; Initialization Routine:   CUR_NUR_INIT
;
; Originator          :     i_vain@hotmail.com
;
; Description         :     Digital current controller using NEURAL NETWORK method (Hys Band)
;
;                           |~~~~~~~~~~~~~~~~~~~~|
;                           |                    |
;       cur_ref o--------> |Q15   CUR_NUR     Q15|----->o cur_out
;       cur_realo--------> |Q15                  |
;                           |____________________|
;
; Target dependency   :     C2xx core only
;
;================================================================================
; History:
;--------------------------------------------------------------------------------
; 8-11-2003           Release    Rev 1.0
;================================================================================
;(To use this Module, copy this section to main system file)
;                     .ref       CUR_NUR, CUR_NUR_INIT                  ; function call
;                     .ref       cur_ref_A_NNT, cur_real_A_NNT          ; Inputs
;                     .ref       cur_ref_B_NNT, cur_real_B_NNT          ; Inputs
;                     .ref       cur_ref_C_NNT, cur_real_C_NNT          ; Inputs
;================================================================================

                      .def       CUR_NUR, CUR_NUR_INIT                  ; function call
                      .def       cur_ref_A_NNT, cur_real_A_NNT          ; Inputs
                      .def       cur_ref_B_NNT, cur_real_B_NNT          ; Inputs
                      .def       cur_ref_C_NNT, cur_real_C_NNT          ; Inputs

;================================================================================

                      .include   "x24x_app.h"

;================================================================================
;Variable Definitions for PID_REG1 module
;--------------------------------------------------------------------------------
cur_ref_A_NNT         .usect     "cur_net",1                            ; Q15
cur_real_A_NNT        .usect     "cur_net",1                            ; Q15
cur_out_A_NNT         .usect     "cur_net",1                            ; Q13
buffer_cu             .usect     "cur_net",1                            ; Q13
cur_buff1_A_NNT       .usect     "cur_net",1                            ; Q0
cur_buff2_A_NNT       .usect     "cur_net",1                            ; Q0

cur_ref_B_NNT         .usect     "cur_net",1                            ; Q15
cur_real_B_NNT        .usect     "cur_net",1                            ; Q15
cur_out_B_NNT         .usect     "cur_net",1                            ; Q13
cur_buff1_B_NNT       .usect     "cur_net",1                            ; Q0
cur_buff2_B_NNT       .usect     "cur_net",1                            ; Q0

cur_ref_C_NNT         .usect     "cur_net",1                            ; Q15
cur_real_C_NNT        .usect     "cur_net",1                            ; Q15
cur_out_C_NNT         .usect     "cur_net",1                            ; Q13
cur_buff1_C_NNT       .usect     "cur_net",1                            ; Q0
cur_buff2_C_NNT       .usect     "cur_net",1                            ; Q0

test_bit_cu           .usect     "cur_net",1                            ; Q0
buff_free             .usect     "cur_net",1
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
;=====================================================================
;SET CONSTANCE
;---------------------------------------------------------------------
*******************************
**** CONSTANCE LAYER 1  ******
*******************************

NET_A_11      .set      001B4H      ; 1.0655 =001B4H(Q13)
NET_A_12      .set      0054FH      ; 3.3182 =0054FH(Q13)
NET_A_13      .set      00F9DH      ; 9.7590 =00F9DH(Q13)

NET_A_21      .set      004E6H      ; 3.0663 =004E6H(Q13)
NET_A_22      .set      0FF71H      ; -9.7246 =0FF71H(Q13)
NET_A_23      .set      0FD4CH      ; -1.6900 =0FD4CH(Q13)

NET_A_31      .set      00D7FH      ; 8.4370 =00D7FH(Q13)
NET_A_32      .set      009A5H      ; 6.0302 =009A5H(Q13)
NET_A_33      .set      00069H      ; -0.2576 =00069H(Q13)

NET_A_41      .set      0F686H      ; -5.9241 =0F686H(Q13)
NET_A_42      .set      00723H      ; 4.4607 =00723H(Q13)
NET_A_43      .set      0F682H      ; -5.9341 =0F682H(Q13)

NET_A_51      .set      0FB05H      ; -3.1142 =0FB05H(Q13)
NET_A_52      .set      006C6H      ; 4.2341 =006C6H(Q13)
NET_A_53      .set      00E2BH      ; 8.8564 =00E2BH(Q13)

; CONSTANCE LAYER 1 (CON)

NET_AC_1      .set      000C1H      ; 0.4718 =000C1H(Q13)
NET_AC_2      .set      0002BH      ; 0.1070 =0002BH(Q13)
NET_AC_3      .set      0008AH      ; 0.3377 =0008AH(Q13)
NET_AC_4      .set      00038H      ; 0.1381 =00038H(Q13)
NET_AC_5      .set      00097H      ; 0.3691 =00097H(Q13)

*******************************
**** CONSTANCE LAYER 2  ******
*******************************

NET_B_11      .set      00450H      ; 2.6954 =00450H(Q13)
NET_B_12      .set      0FFB8H      ; -0.1768 =0FFB8H(Q13)
NET_B_13      .set      0F14FH      ; -9.1831 =0F14FH(Q13)
NET_B_14      .set      0F84FH      ; -4.8092 =0F84FH(Q13)
NET_B_15      .set      0F5BBH      ; -6.4196 =0F5BBH(Q13)

NET_B_21      .set      000EDH      ; 0.5793 =000EDH(Q13)
NET_B_22      .set      0F1E2H      ; -8.8223 =0F1E2H(Q13)
NET_B_23      .set      00689H      ; 4.0854 =00689H(Q13)
NET_B_24      .set      00535H      ; 3.2562 =00535H(Q13)
NET_B_25      .set      00100H      ; 0.6252 =00100H(Q13)

NET_B_31      .set      0089AH      ; 5.3768 =0089AH(Q13)
NET_B_32      .set      0FF9AH      ;-0.2512 =0FF9AH(Q13)
NET_B_33      .set      0F9EAH      ;-3.8054 =0F9EAH(Q13)
NET_B_34      .set      0F947H      ;-4.2034 =0F947H(Q13)
NET_B_35      .set      009E5H      ; 6.1852 =009E5H(Q13)

; CONSTANCE LAYER 2 (CON)

NET_BC_1      .set      0FF9DH      ; -0.2421 =0FF9DH(Q13)
NET_BC_2      .set      0FF68H      ; -0.1767 =0FF68H(Q13)
NET_BC_3      .set      0FD36H      ; -1.7445 =0FD36H(Q13)

;=====================================================================
CUR_NUR_INIT:
;=====================================================================

        POINT_PF2
        SPLK    #0000H,MCRA                             ; PORT_A is output
        SPLK    #1111111101010100B,PADATDIR             ; Initial case HIGH ALL PHASE
;       SPLK    #0FF00h,PBDATDIR
        LDP     #cur_ref_A_NNT
        SPLK    #1111111100000100B,cur_buff1_A_NNT
        SPLK    #1111111111101111B,cur_buff2_A_NNT
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        SPLK    #1111111110001000B,cur_buff1_B_NNT
        SPLK    #1111111111011111B,cur_buff2_B_NNT

        SPLK    #1111111101000000B,cur_buff1_C_NNT
        SPLK    #1111111101111111B,cur_buff2_C_NNT

        RET

;================================================================
CUR_NUR:
;================================================================

        SETC    SXM                     ; Sign extension mode
        SETC    OVM                     ; Overflow mode
        SPM     2                       ; set SPM = 2 For shift left 4 (Q13*Q13)

        LDP     #cur_ref_A_NNT
        LACC    cur_ref_A_NNT,14
        SUB     cur_real_A_NNT,14
        SACH    cur_out_A_NNT

        LACC    cur_ref_B_NNT,14
        SUB     cur_real_B_NNT,14
        SACH    cur_out_B_NNT

        LACC    cur_ref_C_NNT,14
        SUB     cur_real_C_NNT,14
        SACH    cur_out_C_NNT

*******************
**  LAYER ONE  **
*******************

NODE_ONE_A:
        SPLK    #NET_AC_1,buff_free
        LACC    buff_free,16
        SPLK    #NET_A_11,buffer_cu
        LT      cur_out_A_NNT
        MPY     buffer_cu
        APAC

        SPLK    #NET_A_12,buffer_cu
        LT      cur_out_B_NNT
        MPY     buffer_cu
        APAC

        SPLK    #NET_A_13,buffer_cu
        LT      cur_out_C_NNT
        MPY     buffer_cu
        APAC

        SACH    test_bit_cu
        BIT     test_bit_cu,BIT15
        BCND    NEG_CU_1,TC
        SPLK    #2000H,sw_cu_1
        B       NODE_TWO_A

NEG_CU_1:
        SPLK    #0E000H,sw_cu_1

NODE_TWO_A:
        SPLK    #NET_AC_2,buff_free
        LACC    buff_free,16
        SPLK    #NET_A_21,buffer_cu
        LT      cur_out_A_NNT
        MPY     buffer_cu
        APAC

        SPLK    #NET_A_22,buffer_cu
        LT      cur_out_B_NNT
        MPY     buffer_cu
        APAC

        SPLK    #NET_A_23,buffer_cu
        LT      cur_out_C_NNT
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        MPY     buffer_cu
        APAC

        SACH    test_bit_cu
        BIT     test_bit_cu,BIT15
        BCND    NEG_CU_2,TC
        SPLK    #2000H,sw_cu_2
        B       NODE_THREE_A

NEG_CU_2:
        SPLK    #0E000H,sw_cu_2

NODE_THREE_A:
        SPLK    #NET_AC_3,buff_free
        LACC    buff_free,16
        SPLK    #NET_A_31,buffer_cu
        LT      cur_out_A_NNT
        MPY     buffer_cu
        APAC

        SPLK    #NET_A_32,buffer_cu
        LT      cur_out_B_NNT
        MPY     buffer_cu
        APAC

        SPLK    #NET_A_33,buffer_cu
        LT      cur_out_C_NNT
        MPY     buffer_cu
        APAC

        SACH    test_bit_cu
        BIT     test_bit_cu,BIT15
        BCND    NEG_CU_3,TC
        SPLK    #2000H,sw_cu_3
        B       NODE_FOUR_A

NEG_CU_3:
        SPLK    #0E000H,sw_cu_3

NODE_FOUR_A:
        SPLK    #NET_AC_4,buff_free
        LACC    buff_free,16
        SPLK    #NET_A_41,buffer_cu
        LT      cur_out_A_NNT
        MPY     buffer_cu
        APAC

        SPLK    #NET_A_42,buffer_cu
        LT      cur_out_B_NNT
        MPY     buffer_cu
        APAC

        SPLK    #NET_A_43,buffer_cu
        LT      cur_out_C_NNT
        MPY     buffer_cu
        APAC

        SACH    test_bit_cu
        BIT     test_bit_cu,BIT15
        BCND    NEG_CU_4,TC
        SPLK    #2000H,sw_cu_4
        B       NODE_FIVE_A

NEG_CU_4:
        SPLK    #0E000H,sw_cu_4

NODE_FIVE_A:
        SPLK    #NET_AC_5,buff_free
        LACC    buff_free,16
        SPLK    #NET_A_51,buffer_cu
        LT      cur_out_A_NNT
        MPY     buffer_cu
        APAC
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
          SPLK      #NET_A_52,buffer_cu
          LT        cur_out_B_NNT
          MPY       buffer_cu
          APAC

          SPLK      #NET_A_53,buffer_cu
          LT        cur_out_C_NNT
          MPY       buffer_cu
          APAC

          SACH      test_bit_cu
          BIT       test_bit_cu,BIT15
          BCND      NEG_CU_5,TC
          SPLK      #2000H,sw_cu_5
          B         NODE_ONE_B

NEG_CU_5:
          SPLK      #0E000H,sw_cu_5

*******************
**  LAYER TWO  **
*******************
;;;;;;;;;;;;;;;;;;;;;
;  PORT A  ;
;;;;;;;;;;;;;;;;;;;;;

NODE_ONE_B:
          SPLK      #NET_BC_1,buff_free
          LACC      buff_free,16
          SPLK      #NET_B_11,buffer_cu
          LT        sw_cu_1
          MPY       buffer_cu
          APAC

          SPLK      #NET_B_12,buffer_cu
          LT        sw_cu_2
          MPY       buffer_cu
          APAC

          SPLK      #NET_B_13,buffer_cu
          LT        sw_cu_3
          MPY       buffer_cu
          APAC

          SPLK      #NET_B_14,buffer_cu
          LT        sw_cu_4
          MPY       buffer_cu
          APAC

          SPLK      #NET_B_15,buffer_cu
          LT        sw_cu_5
          MPY       buffer_cu
          APAC

          SACH      test_bit_cu
          BIT       test_bit_cu,BIT15
          BCND      NEG_PORT_1,TC

          SPLK      #1111111100000100B,cur_buff1_A_NNT          ;CASE HIGH
          SPLK      #1111111111110111B,cur_buff2_A_NNT

          B         NODE_TWO_B
NEG_PORT_1:
          SPLK      #1111111100001000B,cur_buff1_A_NNT          ;CASE LOW
          SPLK      #1111111111111011B,cur_buff2_A_NNT

;;;;;;;;;;;;;;;;;;;
;  PORT B  ;
;;;;;;;;;;;;;;;;;;;

NODE_TWO_B:
          SPLK      #NET_BC_2,buff_free
          LACC      buff_free,16
          SPLK      #NET_B_21,buffer_cu
          LT        sw_cu_1
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
         MPY     buffer_cu
         APAC

         SPLK    #NET_B_22,buffer_cu
         LT      sw_cu_2
         MPY     buffer_cu
         APAC

         SPLK    #NET_B_23,buffer_cu
         LT      sw_cu_3
         MPY     buffer_cu
         APAC

         SPLK    #NET_B_24,buffer_cu
         LT      sw_cu_4
         MPY     buffer_cu
         APAC

         SPLK    #NET_B_25,buffer_cu
         LT      sw_cu_5
         MPY     buffer_cu
         APAC

         SACH    test_bit_cu
         BIT     test_bit_cu,BIT15
         BCND    NEG_PORT_2,TC

         SPLK    #1111111100010000B,cur_buffl_B_NNT
         SPLK    #1111111111011111B,cur_buff2_B_NNT

         B       NODE_THREE_B
NEG_PORT_2:
         SPLK    #1111111100100000B,cur_buffl_B_NNT
         SPLK    #1111111111101111B,cur_buff2_B_NNT

;;;;;;;;;;;;;;;;;;
;  PORT C  ;
;;;;;;;;;;;;;;;;;;

NODE_THREE_B:
         SPLK    #NET_BC_3,buff_free
         LACC    buff_free,16
         SPLK    #NET_B_31,buffer_cu
         LT      sw_cu_1
         MPY     buffer_cu
         APAC

         SPLK    #NET_B_32,buffer_cu
         LT      sw_cu_2
         MPY     buffer_cu
         APAC

         SPLK    #NET_B_33,buffer_cu
         LT      sw_cu_3
         MPY     buffer_cu
         APAC

         SPLK    #NET_B_34,buffer_cu
         LT      sw_cu_4
         MPY     buffer_cu
         APAC

         SPLK    #NET_B_35,buffer_cu
         LT      sw_cu_5
         MPY     buffer_cu
         APAC

         SACH    test_bit_cu
         BIT     test_bit_cu,BIT15
         BCND    NEG_PORT_3,TC

         SPLK    #1111111110000000B,cur_buffl_C_NNT              ;CASE HIGH
         SPLK    #1111111110111111B,cur_buff2_C_NNT

         B       SEND_PORT
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
;==========================================================================
; File Name          :         pid_reg2.asm
;
; Module Name        :         PID_REG2
;
; Initialization Routine: PID_REG2_INIT
;
; Originator         :         Digital Control Systems Group
;                              Texas Instruments
;
; Description        :         Implements a PI regulator with anti windup control
;
;                              |~~~~~~~~~~~~~~~~|
;         pid_fb_reg2  o--------->|                |
;         pid_ref_reg2 o--------->|  PID_REG2      |----->o pid_out_reg2
;                              |                |
;                              |________________|
;
;==========================================================================
; History:
;--------------------------------------------------------------------------
; 9-15-2000          Release    Rev 1.0
;==========================================================================
;(To use this Module, copy this section to main system file)
;               .ref        PID_REG2, PID_REG2_INIT                  ;function call
;               .ref        pid_fb_reg2, pid_ref_reg2                ;Inputs
;               .ref        pid_out_reg2,pid_out1_reg2               ;Output
;               .ref        pid_max_reg2, pid_min_reg2
;               .ref        K0_reg2, K1_reg2, Kc_reg2
;==========================================================================
                .def        PID_REG2, PID_REG2_INIT                  ;function call
                .def        pid_fb_reg2, pid_ref_reg2                ;Inputs
                .def        pid_out_reg2,pid_out1_reg2               ;Output
                .def        pid_max_reg2, pid_min_reg2
                .def        K0_reg2, K1_reg2, Kc_reg2
;==========================================================================

                .include    "x24x_app.h"

;==========================================================================
;Variable Definitions for PID_REG2 module
;--------------------------------------------------------------------------

Un_reg2         .usect      "pid_reg2",1
En0_reg2        .usect      "pid_reg2",1
Upi_reg2        .usect      "pid_reg2",1
epi_reg2        .usect      "pid_reg2",1
K0_reg2         .usect      "pid_reg2",1
K1_reg2         .usect      "pid_reg2",1
Kc_reg2         .usect      "pid_reg2",1
pid_fb_reg2     .usect      "pid_reg2",1                             ;Q13
pid_ref_reg2    .usect      "pid_reg2",1                             ;Q13
pid_out_reg2    .usect      "pid_reg2",
pid_out1_reg2   .usect      "pid_reg2",1                             ;Q13
pid_max_reg2    .usect      "pid_reg2",1
pid_min_reg2    .usect      "pid_reg2",1

ONE_Q13         .usect      "pid_reg2",1

;==========================================================================
PID_REG2_INIT:
;==========================================================================

        ldp     #K0_reg2
        SPLK    #0,En0_reg2
        SPLK    #0,Un_reg2
        SPLK    #0,Upi_reg2
        SPLK    #0,epi_reg2
        SPLK    #0,pid_out1_reg2
        SPLK    #0800h, pid_max_reg2                    ;Q13 => 0.25
        SPLK    #0F800h, pid_min_reg2                   ;Q13 =>-0.25
        SPLK    #0033h,K0_reg2                          ;Q9  => 006FH (0.21815)
        SPLK    #0028h,K1_reg2                          ;Q13 => 0DF6H (0.43631)
        SPLK    #0199h,Kc_reg2                          ;Q13 => K1/K0 = 4000H (2.00005)
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้เพื่อการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

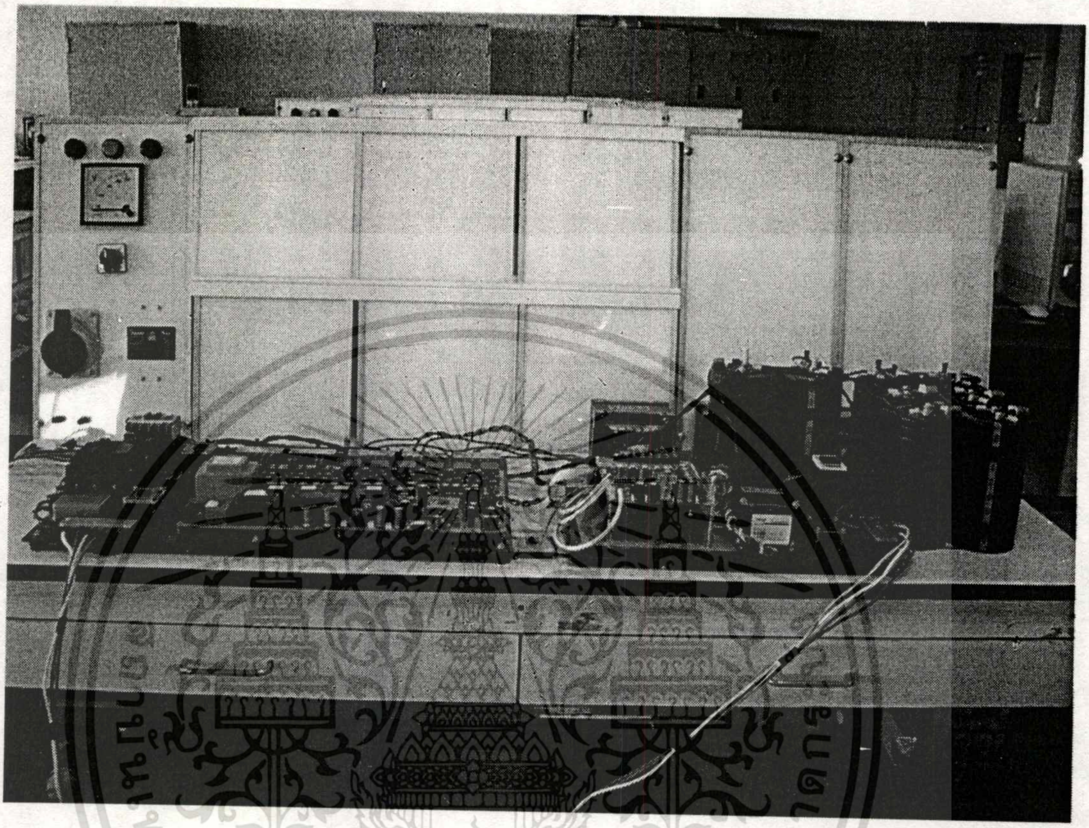
```
        SPLK    #2000H,ONE_Q13

        RET

;====================================================================
PID_REG2:
;====================================================================

        SETC    SXM
        SETC    OVM                                     ; Sign extension mode
        SPM     0                                       ; Overflow mode

        ldp     #pid_ref_reg2
        LACC    pid_ref_reg2
        SUB     pid_fb_reg2
        SACL    En0_reg2

        lacc    Un_reg2,9
        LT      En0_reg2                                ;ACC(32-bit)(Q24), Un(Q15)
        MPY     K0_reg2
                                                        ;Q9*Q15
        APAC
                                                        ;Q24

        rpt     #6
        norm    *
        sach    Upi_reg2                                ;Q31
                                                        ;Q15

        LACC    Upi_reg2
        SUB     pid_min_reg2
        BCND    SAT_MINUS_IO,LT

        LACC    Upi_reg2
        SUB     pid_max_reg2
        BCND    SAT_PLUS_IO, GEQ
        lacc    Upi_reg2
        sacl    pid_out_reg2                            ;Q15
        B       FWD_IO                                  ;saturation control

SAT_MINUS_IO
        lacc    pid_min_reg2
        sacl    pid_out_reg2
        B       FWD_IO

SAT_PLUS_IO
        lacc    pid_max_reg2
        sacl    pid_out_reg2

FWD_IO:
        LACC    pid_out_reg2                            ;Q15
        SUB     Upi_reg2                                ;Q15
        sacl    epi_reg2                                ;Q15

        lt      epi_reg2                                ;Q15
        mpy     Kc_reg2                                 ;Q15*Q13
        pac                                             ;Q28

        lt      En0_reg2                                ;Q15
        mpy     K1_reg2                                 ;Q15*Q13
        apac                                            ;Q28

        ADD     Un_reg2,13                              ;Q28
        rpt     #2
        norm    *                                       ;Q31
        sach    Un_reg2                                 ;Q15

        LACC    pid_out_reg2
        ADD     ONE_Q13
        SACL    pid_out1_reg2

        RET
;-------------------------------------------------------------------
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

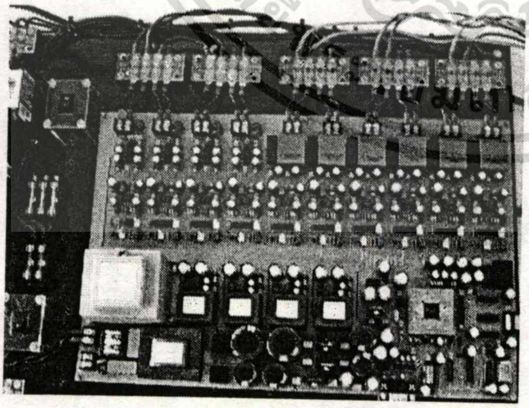
ภาคผนวก ง.

โครงงานต้นแบบในงานวิจัย

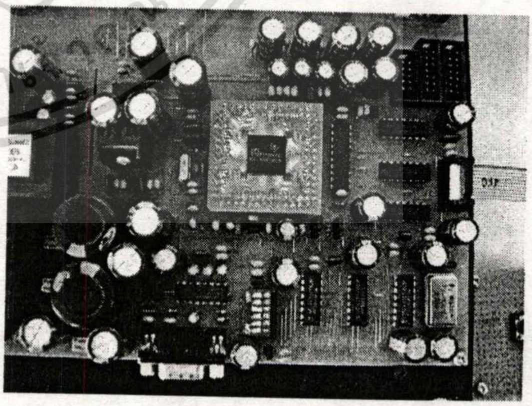
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ภาพที่ 1 แสดงระบบโดยรวมของวงจรกรองกำลังแอคทีฟแบบขนาน 3 เฟส 4 สาย

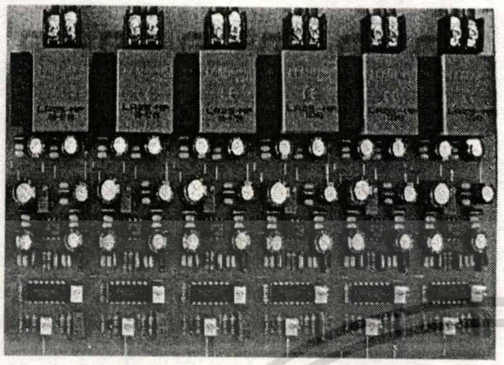


ภาพที่ 2 แสดงวงจรชุดการควบคุม

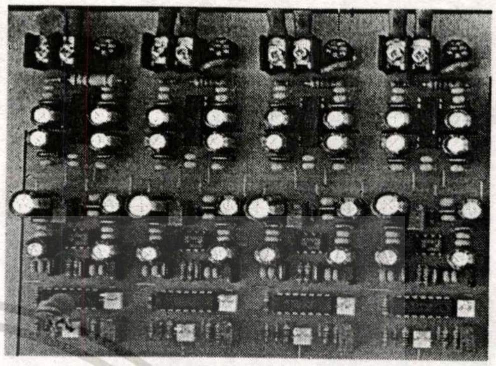


ภาพที่ 3 แสดงตัวประมวลผลสัญญาณดิจิตอล

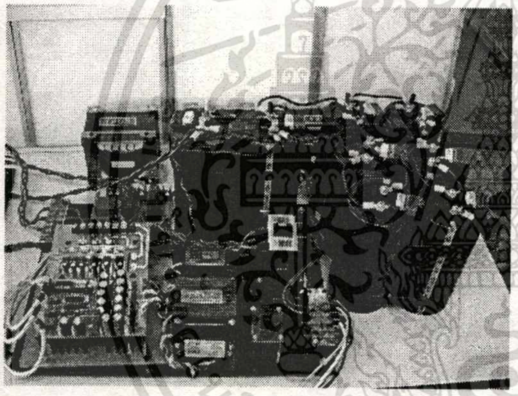
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



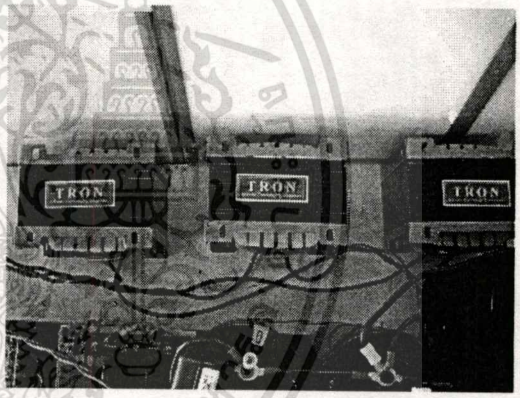
ภาพที่ 4 แสดงวงจรตรวจจับกระแส



ภาพที่ 5 แสดงวงจรตรวจจับแรงดัน



ภาพที่ 6 แสดงวงภาคกำลัง



ภาพที่ 7 แสดงตัวต้านทานความเหนี่ยวนำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก จ.

ผลงานวิจัยที่ได้รับการเผยแพร่

1. ลิขิต ชูทรัพย์ และ วิจิตร กิณเรศ, " วงจรกรองแอคทีฟแบบขนาน 3 เฟสที่ใช้ตัวตรวจจับกระแสฮาร์โมนิคด้วยโครงข่ายประสาทเทียมโดยใช้ตัวประมวลผลสัญญาณดิจิตอล ", วิศวสารลาดกระบัง, หน้าที่ 29-34, ปีที่ 21 ฉบับที่ 1 มีนาคม 2547.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ISSN 0125-1724
วิศวสาร
ลาดกระบัง
คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
LADKRABANG ENGINEERING JOURNAL
ปีที่ 21 ฉบับที่ 1 มีนาคม 2547

1. กระบวนการโฟโตลิโธกราฟีบนชั้นซิลิคอนไดออกไซด์สำหรับสร้างลวดลายวงจรรวมแบบเทคโนโลยีซีมอสขนาด 5 ไมครอน 1
ชลิดา คูหาเรือง วีระ เพ็งจันทร์ สุรศักดิ์ เนียมเจริญ สมเกียรติ ศุภเดช

2. วงจรกำลังสองแบบ เรล ทู เรล 7
สุพจน์ หุ้นย่อง กอบชัย เดชหาญ อิทธิพงศ์ ชัยสายัณห์

3. วงจรเรียงกระแสแบบเต็มคลื่นความถี่สูงและเที่ยงตรงสูงด้วยเทคโนโลยีซีมอส 12
มนตรี คำเงิน สุรพันธุ์ สุวรรณไพบูลย์ พิพัฒน์ พรหมมี กอบชัย เดชหาญ

4. การวิเคราะห์และประเมินค่าสมรรถนะของการเข้ารหัส MC DS-CDMA โดยใช้ช่องสัญญาณการจางแบบนาคากามิ 17
ธเนศ พลายเพชร กอบชัย เดชหาญ

5. การวิเคราะห์สมรรถนะของระบบเครือข่ายท้องถิ่น WDM Bus ที่มีวิธีการเข้าถึงแบบ CSMA/CA 23
อัญชลา ราศรีมินทร์ กฤษณะพงศ์ พันธ์ศรี สุวิพล สิทธิชีวภาค เกรียงไกร วงศ์โรจน์ภรณ์

6. วงจรกรองกำลังแอคทีฟแบบขนาน 3 เฟสที่ใช้ตัวตรวจจับกระแสฮาร์มอนิค ด้วยโครงข่ายประสาทเทียมโดยใช้ตัวประมวลผลสัญญาณดิจิตอล 29
ลิขิต ชูทรัพย์ วิจิตร กิณเรศ

7. การวิเคราะห์การกระจายของความเข้มข้นบนผิวตัวเร่งปฏิกิริยาที่มีรูพรุนในการทดลองแทป 35
ก่อพงศ์ หงษ์ศรี ผึ่งผาย พรรณวดี

8. อิทธิพลของปัจจัยทางกายภาพที่มีต่อความรู้สึกทางความร้อนของคนไทยในสภาพแวดล้อมแบบสำนักงาน 41
บุภาพ แย้มไตรพัฒน์ โจเซฟ เคดารี จงจิตร์ หิรัญลาภ

9. คุณลักษณะในการลดเสียงของตัวเก็บเสียงชนิดกล่องกังวานคู่แบบเฮ็ล์มโฮลทซ์ 47
มิ่ง โลกิจแสงทอง ณัฐวุฒิ วิริยะจิตรสมบูรณ์

10. การพัฒนาระบบออสโมซิสย้อนกลับโดยใช้คอมพิวเตอร์ 52
ธเนศ หาญพัฒนะนุสรณ์ มณฑล ลีลาจินดาไกรฤกษ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรกรองกำลังแอคทีฟแบบขนาน 3 เฟสที่ใช้ตัวตรวจจับกระแสฮาร์มอนิค ด้วยโครงข่ายประสาทเทียม โดยใช้ตัวประมวลผลสัญญาณดิจิตอล

A 3-ϕ Shunt Active Power Filter with Harmonic Current Detection Based on Neural Network Using Digital Signal Processor

ลิขิต ชูทรัพย์ วิจิตร กิณเรศ

ภาควิชาวิศวกรรมไฟฟ้า คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

บทคัดย่อ

บทความนี้นำเสนอวงจรกรองกำลังไฟฟ้าแอคทีฟแบบขนานสำหรับโหลดไม่เชิงเส้นในระบบไฟฟ้า 3 เฟส 4 สาย เพื่อลดปริมาณกระแสฮาร์มอนิคทั้งในสายเฟส และสายนิวทรัล มีการตรวจจับกระแสฮาร์มอนิคด้วยโครงข่ายประสาทเทียมสำหรับสร้างกระแสอ้างอิงให้แก่ตัวควบคุมกระแสแบบฮีสเตอร์รีซีส นอกจากนี้ยังมีการรักษาระดับแรงดันไฟตรงเชื่อมโยงให้คงที่โดยใช้ตัวควบคุมแบบพีไอ ระบบทั้งหมดถูกควบคุมและประมวลผลโดยใช้ตัวประมวลผลสัญญาณดิจิตอล TMS320LF2406 (DSP) และในบทความนี้ยังได้เสนอการทำงานของวงจรกำลัง , ออกแบบตัวเหนี่ยวนำ และตัวควบคุมพีไอ จากผลการทดลองพบว่าวงจรสามารถทำการชดเชยกระแสฮาร์มอนิคของโหลดไม่เชิงเส้นเป็นที่น่าพอใจทั้งในกรณีที่กระแสโหลดสมดุล และไม่สมดุล

Abstract

This paper presents a shunt active power filter a 3-phase, 4 wire non-linear load system in order to reduce harmonic currents in all phase and neural wires. A technique of harmonic current detection is based on neural network in order to produce reference current for hystersis current controller. Additionally, PI controller is used for keeping dc link voltage constant. All systems are controlled and processed by a digital signal processor TMS320LF240 (DSP). In this paper, power circuit operation, inductor and PI design one also given. The results show that the proposed circuit is capable of compensating harmonic cu... ents of non-linear loads both in balanced and unbalanced load currents with satisfaction.

1. บทนำ

ปัจจุบันเทคโนโลยี และอุปกรณ์เครื่องใช้ไฟฟ้ามีส่วนประกอบของอุปกรณ์อิเล็กทรอนิกส์กำลัง ซึ่งเป็นโหลดชนิดไม่เป็นเชิงเส้น(Non-linear Load) โดยอุปกรณ์เหล่านี้ก่อให้เกิดกระแสฮาร์โมนิคขึ้นในระบบ รวมทั้งยังส่งผลให้คุณภาพกำลังไฟฟ้ามีค่าลดลง สำหรับแนวทางในการแก้ปัญหากระแสฮาร์โมนิคที่ผ่านมาจะนำวงจรกรองกำลังแบบพาสซีฟ(Passive Power Filter)เข้ามาติดตั้ง เพื่อกรอง

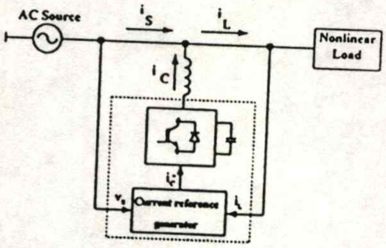
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กระแสฮาร์โมนิคออกไปจากระบบ แต่เนื่องจากวงจรกรองแบบพาสซีฟที่นำมาใช้มีข้อจำกัด เช่น ปัญหาเรื่องเรโซแนนซ์กับระบบไฟฟ้า, อุปกรณ์ที่ใช้ต้องมีความแม่นยำสูง และมีขนาดใหญ่ฯลฯ ดังนั้นจึงมีการนำวงจรกรองกำลังแอคทีฟ (Active Power Filter) เข้ามาใช้งานซึ่งมีคุณสมบัติที่ดีกว่าในการชดเชยกระแสฮาร์มอนิค โดยที่ผ่านมานั้นจะใช้การตรวจจับกระแสฮาร์มอนิคที่มีวงจรกรองความถี่ต่ำผ่าน (Low Pass Filter) จึงเป็นผลให้การตอบสนองค่อนข้างช้า , ส่วนการตรวจจับกระแสฮาร์มอนิคที่ใช้การวิเคราะห์FFT นั้นจะมีการคำนวณที่ยุ่งยากซับซ้อน

ดังนั้นในงานวิจัยนี้ได้ทำการออกแบบวงจรกรองกำลังแอคทีฟแบบขนานชนิด 3 เฟส 4 สายที่ใช้วิธีการตรวจจับกระแสฮาร์มอนิคด้วยวิธีโครงข่ายประสาทเทียม (Neural Network) ซึ่งจะมีโครงสร้างที่ไม่ยุ่งยากซับซ้อน , มีการตอบสนองที่รวดเร็ว, ไม่เกิดการเลื่อนเฟสทางสัญญาณ และมีความยืดหยุ่นในการใช้งานสูง ซึ่งแนวคิดที่นำเสนอนี้ สามารถนำไปใช้ได้ทั้งในกรณีโหลดไม่เป็นเชิงเส้นชนิดสมดุล (Non-Linear Balance Load) และกรณีโหลดไม่เป็นเชิงเส้นชนิดไม่สมดุล(Non-Linear Unbalance Load)

2.หลักการพื้นฐานวงจรกรองกำลังแอคทีฟแบบขนาน

โครงสร้างพื้นฐานของวงจรกรองกำลังแอคทีฟแบบขนานแสดงดังรูปที่ 1 โดยวงจรกรองกำลังแอคทีฟ จะทำหน้าที่เสมือนแหล่งกำเนิดกระแสโดยจะสร้างกระแส (i_c) เป็นกระแสฮาร์มอนิคที่เกิดจากโหลดซึ่งมีทิศตรงข้ามกับกระแสของโหลด(i_L)เข้าไปสู่ระบบ จึงเป็นผลให้กระแสแหล่งจ่าย(i_S) เหลือกระแสที่ความถี่มูลฐานเพียงอย่างเดียว



รูปที่ 1. วงจรกรองกำลังไฟฟ้าแอคทีฟแบบขนาน

สมมุติว่าแหล่งจ่ายแรงดันไฟฟ้าเป็นสัญญาณซายน์จริงๆ

$$V_s(t) = V_m \sin(\omega t) \tag{1}$$

กระแสของโหลดไม่เป็นเชิงเส้นสามารถแสดงได้ดังสมการ

$$i_L(t) = \sum_{n=1}^{\infty} I_n \sin(n\omega t + \phi_n) \tag{2}$$

โดยที่

$$\begin{aligned} i_L(t) &= I_1\cos\phi_1 \sin(\omega t) + I_1\sin\phi_1\cos(\omega t) + \sum_{n=2}^{\infty} I_n \sin(n\omega t + \phi_n) \\ &= i_p(t) + i_q(t) + i_h(t) \end{aligned} \tag{3}$$

เมื่อ $i_p(t)$ คือ กระแสแอคทีฟ

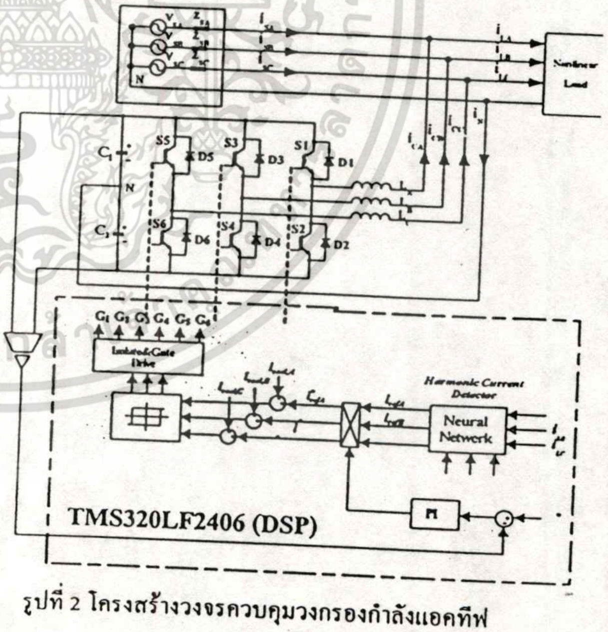
$i_q(t)$ คือ กระแสรีแอคทีฟ

$i_h(t)$ คือ กระแสฮาร์มอนิค

จะพบว่าถ้าวงจรกรองกำลังแอคทีฟสามารถสร้างกระแส $i_c(t)$ มีค่าเท่ากับผลรวมของกระแส $i_q(t) + i_h(t)$ จะเป็นผลให้กระแสที่แหล่งจ่ายจะเหลือกระแสแอคทีฟเพียงอย่างเดียวดังนั้น

$$i_c(t) = i_L(t) - i_p(t) \tag{4}$$

3. โครงสร้างของระบบ



รูปที่ 2 โครงสร้างวงจรควบคุมวงกรองกำลังแอคทีฟแบบขนาน 3 เฟส 4 สาย

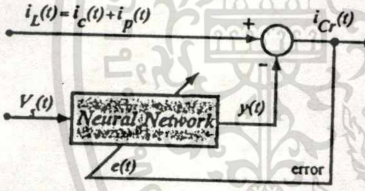
จากรูปที่ 2 เป็นโครงสร้างวงจรควบคุมของวงจรกรองกำลังแอคทีฟแบบขนาน 3 เฟส 4 สายที่นำเสนอประกอบไปด้วย ส่วนแรกเป็นการตรวจจับกระแสฮาร์มอนิคที่เกิดจากโหลดไม่เป็นเชิงเส้น(i_{LA}, i_{LB}, i_{LC}) ด้วยวิธีโครงข่ายประสาทเทียม โดยสัญญาณกระแสฮาร์มอนิคที่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หาได้ในแต่ละเฟส(i_{refA}, i_{refB}, i_{refC}) จะนำไปคูณกับค่าที่ได้จากตัวควบคุมพีไอซึ่งเป็นส่วนของการควบคุมรักษาระดับแรงดันไฟตรงเชื่อมโยงให้คงที่ จากนั้นจะนำสัญญาณ ($\hat{i}_{refA}$, $\hat{i}_{refB}$, $\hat{i}_{refC}$) มาใช้เป็นสัญญาณอ้างอิงให้กับตัวควบคุมกระแสแบบฮีสเตอร์รีซีส โดยการประมวลผลทั้งหมดจะกระทำภายในตัวประมวลผลดิจิตอล TMS320LF2406 (DSP)

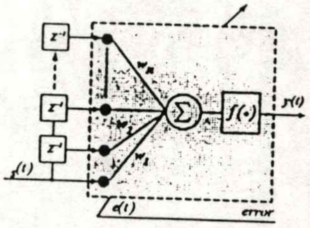
3.1 การตรวจจับกระแสฮาร์มอนิคด้วยวิธีโครงข่ายประสาทเทียม

สำหรับกระบวนการที่ใช้ในการตรวจจับกระแสฮาร์มอนิคของวงจรกรองกำลังแอคทีฟนั้นจะใช้กระบวนการ Adaptive Noise Canceling Technology (ANCT) ซึ่งเป็นเทคนิคที่ใช้แยกสัญญาณที่ต้องการผสมรวมมากับสัญญาณที่เราไม่ต้องการ ซึ่งมีโครงสร้าง[2]ดังรูปที่ 3



รูปที่ 3 โครงสร้างของเทคนิคการกำจัดสัญญาณรบกวนที่สามารถปรับตัวได้เอง(ANCT)ที่ใช้กับวงจรกรองกำลัง

โครงสร้างของโครงข่ายประสาทเทียมที่ใช้ในบทความนี้จะเป็นโครงสร้างแบบง่ายๆแสดงไว้ดังรูปที่ 4 ซึ่งเป็นโครงข่ายประสาทเทียมแบบลิเนียร์ชนิดที่สามารถปรับตัวได้เอง(ADALINE) [1] โดยมีลักษณะเป็นแบบป้อนไปข้างหน้าประกอบไปด้วย 2 ชั้น (Layer) คือ 1. ชั้นอินพุท (Input layer) 2. ชั้นเอาท์พุท (Output layer) ส่วนของชั้นอินพุทจะรับสัญญาณที่มาจากอินพุทที่ถูกหน่วง ($V_{s(k)}$, $V_{s(k-1)}$, $V_{s(k-2)}$, ..., $V_{s(k-n)}$) ด้วยคาบเวลาในการสุ่ม (sampling) แต่ละข่ายเชื่อมโยงจะถูกเชื่อมโยงโดยค่าถ่วงน้ำหนัก (Weight) คือ w_1, w_2, w_3, ..., w_n แล้วนำค่าถ่วงน้ำหนักนี้ไปคูณกับสัญญาณอินพุทเพื่อส่งออกไปยังนิวรอนถัดไป จากนั้นจะนำค่าที่รับจากการคูณของค่าถ่วงน้ำหนักมาผ่านฟังชั่นการเร่งเร้า (Activation function) ที่ใช้ คือ " ฟังชั่นแบบลิเนียร์ "



รูปที่ 4 โครงข่ายประสาทเทียมที่นำมาใช้ตรวจจับกระแสฮาร์มอนิค

จากสมการที่ (4) สามารถเขียนใหม่ได้เป็น

$$i_C(t) = i_L(t) - W.v_s(t) \quad (5)$$

$$W = i_1 . \cos\phi_1 / V_s \quad (6)$$

โดยที่

$$e(t) = i_{Cr} = i_L - y$$

$$= i_C + (i_p - y) \quad (7)$$

ทำการยกกำลังสองทั้งสองข้าง

$$e^2(t) = i^2_{Cr} = i^2_c + (i_p - y)^2 + 2i_c(i_p - y) \quad (8)$$

ถ้า i_C และ i_p ไม่มีความสัมพันธ์กัน โดยผลจาก orthogonal ทางตรีโกณมิติจะได้

$$E[e^2(t)] = E[i^2_{Cr}] = E[i^2_C] + E[(i_p - y)^2] + E[i_C(i_p - y)^2]$$

$$= E[i^2_C] + E[(i_p - y)^2] \quad (9)$$

เมื่อโครงข่ายประสาทเทียมจะต้องปรับตัวให้ $E[i^2_{Cr}]$ มีค่าผิดพลาดน้อยที่สุด

$$\min E[i^2_{Cr}] = E[i^2_C] + \min E[(i_p - y)^2]$$

โดยที่เอาท์พุทของโครงข่ายประสาทเทียม (y) จะต้องทำให้มีค่าใกล้เคียงกับ i_p ดังนั้น

$$E[i^2_{Cr}] \approx E[i^2_C] \quad (10)$$

จากสมการที่ (10) จึงสรุปได้ว่าค่ากระแส i_{Cr} จะมีค่าประมาณ i_C และหลักการที่ใช้ในการเรียนรู้ของโครงข่ายประสาทเทียมใช้กระบวนการ LMS ซึ่งใช้ปรับค่าถ่วงน้ำหนักของโครงข่ายประสาทให้มีค่าผิดพลาดน้อยที่สุด

อินพุท : $x(k) = [V_s(k), V_s(k-1), ..., V_s(k-n)]^T$ (11)

เอาท์พุท : $i_l(k) = \sum_{i=1}^{n} w_i(k)\, x_i(k)$ (12)

โดยที่ : $W(k) = W(k-1) + \eta\, I_C(k-1).\, V_s(k-1)$ (13)

$i_C(k) = i_L(k) - W(k).V_s(k)$ (14)

เมื่อ k คือ อันดับการหน่วงของเวลาในการสุ่มสัญญาณ

W คือ ค่าถ่วงน้ำหนัก

η คือ อัตราการเรียนรู้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การเลือกค่าอัตราการเรียนรู้เราจะออกแบบให้มีค่าอยู่ในช่วงตั้งแต่ 0.1 ถึง 1 โดยถ้าระบบมีอัตราการเรียนรู้ต่ำจะทำให้ระบบเข้าสู่สภาวะเสถียรภาพได้ช้า แต่ถ้าระบบมีอัตราการเรียนรู้ที่มากเกินไประบบอาจจะไม่เสถียรภาพได้

$$0.1 < \eta < 1 \qquad (14)$$

ในระบบแหล่งจ่ายกำลังแบบสามเฟสนั้น จะทำการหาค่าถ่วงน้ำหนักแยกกันในแต่ละเฟส W_A , W_B , W_C แล้วนำมาเฉลี่ยกันตามสมการที่ (15) ถึง (18) เพื่อหาค่ากระแสชดเชยดังสมการที่ (19) ถึง (20) ตามลำดับ

$$i_{pA} = W * V_{SA} \qquad (15)$$

$$i_{pB} = W * V_{SB} \qquad (16)$$

$$i_{pC} = W * V_{SC} \qquad (17)$$

เมื่อ

$$W = (W_A + W_B + W_C)/3 \qquad (18)$$

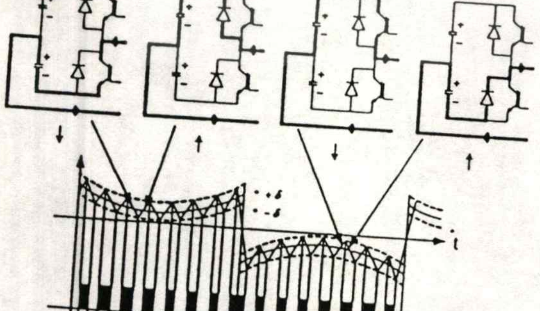
$$\therefore \; i_{CrA} = i_{LA} - i_{pA} \qquad (19)$$

$$i_{CrB} = i_{LB} - i_{pB} \qquad (20)$$

$$i_{CrC} = i_{LC} - i_{pC} \qquad (21)$$

3.2 การควบคุมกระแสด้วยวิธีฮีสเตอร์รีซีส

ภาคกำลังของวงจรกรองกำลังแอคทีฟจะใช้ IGBT ทำการสวิทช์จำนวน 6 ตัว โดยใช้แบบที่สายนิวทรัลต่ออยู่กับจุดกึ่งกลางของบัสไฟตรงดังรูปที่ 2 ซึ่งหลักการควบคุมกระแสจะเป็นการควบคุมกระแสแบบฮีสเตอร์รีซีส ซึ่งมีวงจร และรูปแบบในการสวิทช์ของแต่ละเฟสจะแบ่งออกเป็น 4 รูปแบบ ดังรูปที่ 5



รูปที่ 5 รูปคลื่นของกระแส และการสวิทช์ของอินเวอร์เตอร์ตามสภาวะการควบคุมกระแสแบบฮีสเตอร์รีซีส

ความถี่การสวิทช์ของอินเวอร์เตอร์ที่ใช้การควบคุมกระแสแบบแบบฮีสเตอร์รีซีส[3]หาได้จาก

$$fc = \frac{0.125\,V_{dc}}{(HB)\,L}\left[1 - \frac{4\,m^2 L^2}{V_{dc}^2}\right] \qquad (22)$$

จากสมการที่(22)พบว่า ถ้าอัตราการเปลี่ยนแปลงของกระแสอ้างอิงต่อเวลา (m) มีค่าน้อยจะเป็นผลทำให้ความถี่ในการสวิทช์นั้นมีค่าสูงสุดดังนั้น

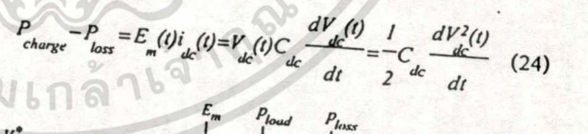
$$f_{max} = \frac{0.125\,V_{dc}}{(HB)\,L} \qquad (23)$$

จะพบว่าขณะที่แรงดันตกคร่อมตัวเก็บประจุ(V_{dc}) เป็นค่าคงที่ ดังนั้นความถี่ในการสวิทช์สูงสุดจะขึ้นอยู่กับขนาดของตัวเหนี่ยวนำ (L) และความกว้างของฮีสเตอร์รีซีส (HB) ซึ่งในทางปฏิบัติเราไม่สามารถใช้ตัวเหนี่ยวนำ และความกว้างของฮีสเตอร์รีซีสมีค่าเล็กมากๆเพราะจะทำให้ความถี่สวิทช์สูงเกินพิกัดของอุปกรณ์สวิทช์

3.3 การควบคุมระดับแรงดันเชื่อมโยงไฟตรงให้คงที่

การควบคุมระดับแรงดันเชื่อมโยงไฟตรงให้คงที่นั้นจะใช้ตัวควบคุมแบบพีไอ[4] โดยสมการจำลองทางคณิตศาสตร์ของตัวเก็บประจุที่อาศัยสมการพลังงานซึ่งเขียนได้ดังสมการที่ (24) และโครงสร้างของระบบกรองสัญญาณ และตัวควบคุมพีไอสามารถแสดงดังรูปที่ 6

$$P_{charge} - P_{loss} = E_m(t)\,i_{dc}(t) = V_{dc}(t)\,C_{dc}\frac{dV_{dc}(t)}{dt} = \frac{1}{2}C_{dc}\frac{dV_{dc}^2(t)}{dt} \qquad (24)$$



รูปที่ 6 โครงสร้างของระบบควบคุมแรงดันไฟตรง

จากโครงสร้างของระบบพบว่ามีส่วนของการถอดรากที่สอง ซึ่งเป็นส่วนที่ไม่เชิงเส้นจึงทำให้เกิดความยุ่งยากในการออกแบบ ดังนั้นเราจะต้องทำการประมาณค่าให้อยู่ในรูปเชิงเส้นช่วงจุครอบการทำงานแคบๆ โดยใช้อนุกรมเทเลอร์อันดับที่ 1 โดยการประมาณค่ารากในรอบๆจุดการทำงานที่ $\sqrt{x_0} = V_{dc} = 350$ V สามารถแสดงได้ดังนี้

$$y(x) = \sqrt{x} = \sqrt{x_0 + \Delta x} \approx \sqrt{x_0} + \left.\frac{d\sqrt{x}}{dx}\right|_{x=x_0} \cdot \Delta x$$

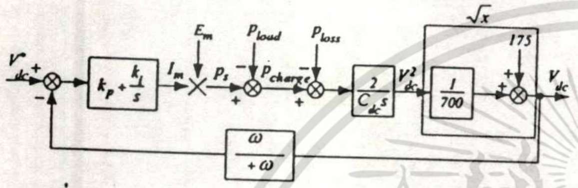
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\approx \sqrt{x_o} + \frac{1}{2\sqrt{x_o}}(x - x_o) \qquad (25)$$

แทนค่า $\sqrt{x_o}$ = 350 V ลงในสมการที่ (25) จะได้

$$y(x) \approx 350 + \frac{1}{700}(x - 350^2) \approx 350 + \frac{1}{700}x \qquad (26)$$

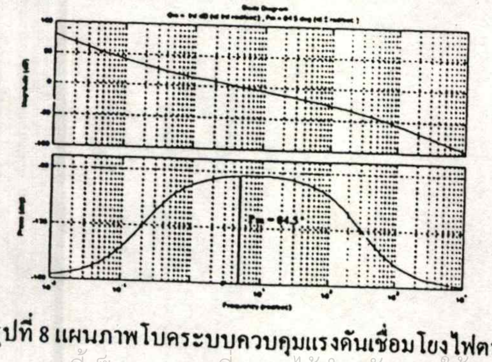
เมื่อประมาณเป็นเชิงเส้นแล้วสามารถเขียนเป็นโครงสร้างระบบใหม่ได้ดังรูปที่ 7 และฟังชั่นการโอนย้ายวงรอบปิดในการหาค่า k_p และ k_i เขียนได้เป็นสมการ (27)



รูปที่ 7 โครงสร้างของระบบควบคุมแรงดันไฟตรงให้คงที่หลังจากการประมาณค่าให้เป็นเชิงเส้น

$$G_C(s) = \left(k_p + \frac{k_i}{s}\right) \times \left(\frac{\omega_f}{s + \omega_f}\right) \times \left(\frac{1}{350 \cdot C_{dc} s}\right) \qquad (27)$$

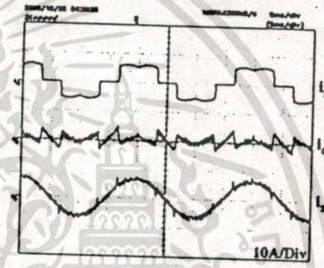
โดยที่ค่าตัวแปรต่างๆของระบบมีค่าเป็น $C_{dc} = 10{,}000\mu F$, $E_m = 350\ V$, $\omega_f = 100\pi\ rad/s$ เมื่อเราพิจารณาเรื่องความเร็วในการตอบสนองเราไม่ควรออกแบบให้ระบบควบคุมแรงดันไฟตรงมีความเร็วในการตอบสนองถึงย่านความถี่ฮาร์มอนิคเพราะจะทำให้วงจร กรองแอคทีฟไม่สามารถชดเชยกระแสฮาร์มอนิคช่วงนั้น ได้ ดังนั้นงานวิจัยนี้จึงเลือกความเร็วในการตอบสนองไว้ที่ประมาณ 0.2 วินาที โดยเลือกความถี่คัดข้าม ω_o = 5 rad/s และเลือกความถี่หักมุมของตัวควบคุมพีไอ ω_c = 0.2 rad/s ซึ่งจะได้ค่า k_p = 0.050118 และ k_i = 0.009523 เมื่อทำการเขียนแผนภาพโบดจะได้ดังรูปที่ 8 และพบว่าระบบมีช่วงปลอดภัยเชิงเฟส (Phase Margin) เท่ากับ 95.5°



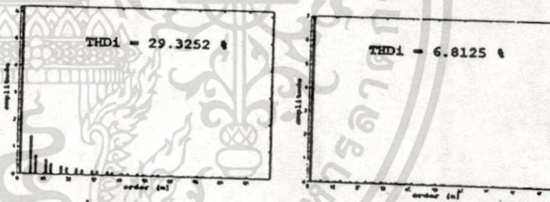
รูปที่ 8 แผนภาพโบคระบบควบคุมแรงดันเชื่อมโยงไฟตรง

4. ผลการทดลอง

จากวงจรต้นแบบที่สร้างขึ้นได้ทำการทดสอบกับระบบไฟฟ้าชนิด 3 เฟส 4 สาย ซึ่งมีแรงดันระหว่างสาย 350 V และความถี่ 50 Hz ภาคกำลังใช้ IGBT เป็นอุปกรณ์ทำการสวิทช์ โดยมีค่า L_A, L_B, L_C = 8.5 mH , $C_1 = C_2$ = 10,000μF, V^*_{dc} = 700 V ขณะที่ HB = 1.5 A ในส่วนของการควบคุมใช้ TMS320LF2406 (DSP) เพื่อทำการประมวลผล ความถี่ในการสุ่มเท่ากับ 60 kHz โหลดที่นำมาทำการทดสอบเป็นวงจรไดโอดเรียงกระแสแบบบริดจ์ 3 เฟส ขนาด 3 kVA ต่ออยู่กับตัวต้านทาน 70 Ω

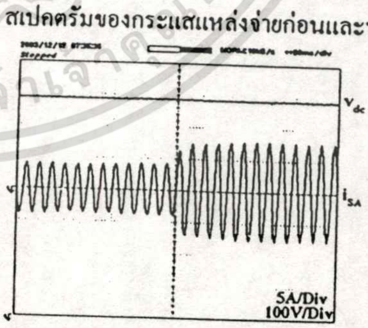


รูปที่ 8 สัญญาณกระแสเฟส A หลังจากทำการชดเชย



ก่อนชดเชย หลังชดเชย

รูปที่ 9 สเปคตรัมของกระแสแหล่งจ่ายก่อนและหลังชดเชย



รูปที่ 10 ผลการตอบสนองเมื่อโหลดมีการเปลี่ยนแปลงทันที

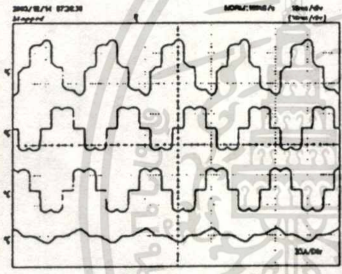
รูปที่ 8 แสดงสัญญาณกระแสโหลด i_{LA} ,กระแสชดเชย i_{CA} และกระแสแหล่งจ่าย i_{SA} หลังทำการชดเชยแล้วที่ เฟส A จากผลการทดลองพบว่าสัญญาณกระแสแหล่งจ่ายหลังจากที่ได้ทำการชดเชยด้วยวงจรกรองกำลังแอคทีฟแล้วจะมีลักษณะสัญญาณใกล้เคียงซายน์มากขึ้น สเปคตรัมของกระแสแหล่งจ่ายก่อน และหลังจากการชดเชยแสดงได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

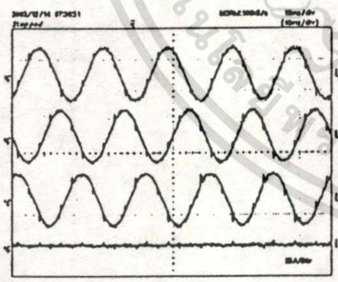
ดังรูปที่ 9 โดยเปอร์เซ็นต์ค่าความผิดเพี้ยนรวมกระแส (THDi) แหล่งจ่ายก่อนชดเชยกระแสมีค่า 29.32% และหลังจากชดเชยกระแสแล้วมีค่าลดลงเป็น 6.81%

รูปที่ 10 เป็นทดสอบเมื่อโหลดมีการเปลี่ยนแปลงแบบทันทีทันใดทำการทดสอบโดยเพิ่มพิกัดของโหลดจาก 1.5 kVA ไปเป็น 3 kVA พบว่าผลการตอบสนองต่อการเปลี่ยนแปลงของโหลดมีการตอบสนองที่รวดเร็ว โดยที่วงจรสามารถรักษาระดับแรงดันไฟตรงเชื่อมโยงให้คงที่ได้

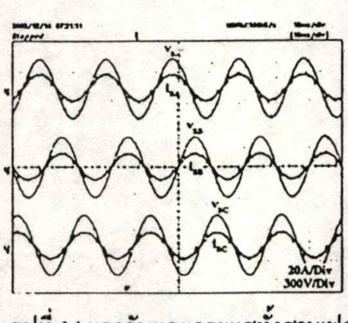
การทดลองต่อมาทำการทดสอบกรณีที่โหลดเกิดไม่สมดุล โดยต่อวงจรเรียงกระแสแบบบริดจ์หนึ่งเฟสที่มี L-C ฟิลเตอร์เป็นตัวเหนี่ยวนำ 100 mH และตัวเก็บประจุ 2,200 μF มีโหลดเป็นความต้านทาน 200 Ω เพิ่มที่เฟส A



รูปที่ 11 กระแสแหล่งจ่ายทั้งสามเฟส และกระแสนิวทรัลก่อนทำการชดเชยกระแส



รูปที่ 12 กระแสแหล่งจ่ายทั้งสามเฟส และกระแสนิวทรัลหลังทำการชดเชยกระแส



รูปที่ 14 แรงดันและกระแสทั้งสามเฟส

รูปที่ 11 แสดงกระแสแหล่งจ่ายทั้งสามเฟสกรณีที่โหลดเกิดการไม่สมดุล จึงทำให้กระแสที่สายนิวทรอนมีค่าไม่เป็นศูนย์ และรูปที่ 12 แสดงสัญญาณกระแสแหล่งจ่ายหลังจากชดเชยแล้วพบว่าวงจรกรองกำลังสามารถทำงานได้ดี โดยกระแสในแต่ละเฟสจะมีสัญญาณใกล้เคียงซายน์มากขึ้น และกระแสที่สายนิวทรัลมีค่าลดลง รูปที่ 13 เป็นการแสดงสัญญาณแรงดันวัดเทียบกับกระแสทั้งสามเฟส จะพบว่าตัวประกอบกำลังมีค่าเป็น 0.99

5. สรุปผลการทดลอง

บทความนี้ได้นำเสนอวงจรกรองกำลังแอคทีฟแบบขนานสำหรับระบบไฟฟ้า 3 เฟส 4 สาย ที่ใช้ตัวประมวลผลสัญญาณดิจิตอลที่ใช้การตรวจจับกระแสด้วยโครงข่ายประสาทเทียมซึ่งมีโครงสร้างที่ไม่ยุ่งยาก, ซับซ้อน, มีการตอบสนองที่รวดเร็ว จากผลการทดลองพบว่ากระแสแหล่งจ่ายหลังจากทำการชดเชยแล้วจะมีค่าความผิดเพี้ยนรวมกระแสมีค่าลดลง และค่าของตัวประกอบกำลังมีค่าใกล้เคียงหนึ่ง โดยที่วงจรที่นำเสนอนี้สามารถใช้ได้ทั้งในกรณีกระแสทางด้านโหลดเกิดการสมดุล และไม่สมดุล

6. เอกสารอ้างอิง

[1] Haykin Simon, " Adaptive filter theory ", 2nd Englewood Cliffs , Prentice-Hall,1990

[2] Dawei Ga Chen Weiji, "An Adaptive Noise Canceling Theory Based Single – Phase Shunt Active Power Filter", in conf. Rec. IEEE/PESC'97, 1997, pp.191-196.

[3] B.K.BOSE, " An Adaptive Hysteresis-Band Current Control Technique of a Voltage-Fed PWM Inverter for Machine Drive System", IEEE Transactions on industrial electronics,vol.37, no.5, 1990. pp.402-408

[4] ประจวบ บุญศรีรัมย์, " วงจรกรองกำลังแอกทีฟขนานสำหรับระบบ 3 เฟส สี่สายที่ใช้รีเคอร์ซีฟดีเอฟ และควบคุมกระแสแบบวิธีทำซ้ำ " , วิทยานิพนธ์ วิศวกรรมศาสตร์มหาบัณฑิต ภาควิชาวิศวกรรมไฟฟ้า จุฬาลงกรณ์มหาวิทยาลัย , 2545.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ประวัติผู้เขียน

นาย ลิขิต ชูทรัพย์ เกิดเมื่อวันที่ 2 กุมภาพันธ์ พ.ศ. 2522 จังหวัดกรุงเทพมหานคร สำเร็จการศึกษาวิศวกรรมศาสตรบัณฑิต สาขาวิศวกรรมอิเล็กทรอนิกส์ (เกียรตินิยม) จากสถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง ปีการศึกษา 2544

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า