ปีการศึกษา 2530

ระบบควบคุมในอาคาร

(Building Automation.)

โดย

นาย จีรศักดิ์ จรัสศรี)

นาย ทศพล เสนาไชย

อาจารย์ที่ปรึกษา

อ. ภากร หุตสังกาศ

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

วิทยานิพนธา

รห

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของลิขสิทธิ์ทุกครั้งที่มีการนำไปใช้

024728 29 มค. 2533

ปริญญานิพนธ์ปีการศึกษา 2530

เรื่อง ระบบควบคุมในอาคาร

ผู้จัดทำ

นาย จีรศักดิ์ จรัสศรี

นาย ทศพล เสนาไชย

..... อาจารย์ที่ปรึกษา

(อ.ภากร หุตสังกาศ)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทคัดย่อ

ระบบควบคุมอัตโนมัติเป็นอุปกรณ์ที่ใช้ในการควบคุมอุปกรณ์เครื่องใช้ในอาคาร เพราะอุปกรณ์ส่วนมากในอาคารนั้น จะถูกควบคุมในลักษณะของการปิด-เปิด เพื่อให้ตัวมันทำงาน เช่น ระบบแสงสว่าง, ระบบรักษาความปลอดภัย, ระบบสุขาภิบาล, ระบบแจ้งเหตุไฟไหม้, ระบบปรับอากาศ เป็นต้น ดังนั้นเครื่องมือที่ต้องใช้ควบคุมอุปกรณ์เหล่านั้นมีลักษณะการควบคุมแบบเปิด-ปิดด้วย

โครงงานนี้เป็นส่วนหนึ่งของระบบอาคารอัตโนมัติการทำงานของมันจะเป็นลักษณะบังคับการ ปิด-เปิดได้และมีตัวตั้งเวลาในตัวมันเองด้วย

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

024728

Abstract

Building Automation is machine that use to control the Utility Equipment in house or Building. Since varity of Equipment in Building to be controlled by ON - OFF Action, such as Lighting System, Security System, Sanitary Water City Pump, Fire Alarm Svstem, Air Conditioning System, so machine use to control those Equipment must be on - off action.

This project is the one part of Building Automation System. The operation of that is ON - OFF control action and it is timer on itself.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

		หน้า
บทที่ 1	บทนำ	1
บทที่ 2	ทฤษฎีและหลักการ	2
	2.1 ระบบควบคุมอัตโนมัติสำหรับอาคาร	2
	2.2 โครงสร้างของระบบควบคุมอัตโนมัติสำหรับอาคาร	4
	2.2.1 รายละเอียดฮาร์ดแวร์	5
	2.2.2 โครงสร้างทางด้านซอฟต์แวร์	7
	2.3 หลักการทำงานของระบบ	9
บทที่ 3	การคำนวณและการสร้าง	
	3.1 อุปกรณ์ตรวจจับ (Sensor)	11
	3.2 การออกแบบส่วนรับรู้สภาวะ	13
	3.2.1 วงจรอ้างอิง	16
	3.2.2 การเปลี่ยนแรงดันเป็นกระแส (V - I)	16
	3.3 การออกแบบส่วนกำเนิดเวลาจริง (Real Time Clock)	21
	3.4 การแปลงสัญญาณ Analog กับ Digital	33
	3.5 Z-80 และ การต่อขาสัญญาณ	35
	3.6 Z-80 PIO และการใช้งาน	40
บทที่ 4	การทดลอง	
	4.1 การทดลองส่วนของ Signal Condition	50
	4.2 การทดลอง V - I	52
	4.3 การทดลอง V - I & I - V	54
	4.4 การทดลอง PROGRAM	56
บทที่ 5	สรุป	73

ภาคผนวก

กิตติกรรมประกาศ

หนังสืออ้างอิง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1

บทนำ

อาคารที่อยู่อาศัยในปัจจุบันนี้ มีความสำคัญมาก ในการใช้พักพิงอาศัยและพลังงานก็เป็นสิ่งจำเป็นที่ช่วยเสริมสร้างให้ชีวิตของผู้อยู่อาศัยได้รับความสะดวกสบาย ไม่ว่าจะเป็นการดำรงชีวิตประจำวัน การทำงาน ฯลฯ โดยการใช้พลังงานเหล่านั้นให้แก่อุปกรณ์และระบบประกอบอาคารต่าง ๆ เช่น ระบบไฟฟ้ากำลัง ระบบสื่อสาร ระบบปรับอากาศ, ระบบระบายอากาศ, ระบบสุขาภิบาล และ ระบบป้องกันอัคคีภัย แต่เนื่องจากราคาของพลังงานมีผลโดยตรงกับค่าใช้จ่ายของอาคารเป็นอย่างมาก ดังนั้น จำเป็นต้องมีการจัดการพลังงานหรือควบคุมการใช้พลังงานให้ได้ประสิทธิภาพสูงสุด โดยต้องวางแผนงานในการใช้พลังงานภายในอาคารให้เหมาะสม และเป็นระบบการจัดการพลังงานนั้นครอบคลุมตั้งแต่ตอนเริ่มต้นออกแบบระบบประกอบอาคาร ซึ่งจำเป็นต้องประสานงานให้สอดคล้องกับวิศวกรโครงสร้าง และ สถาปนิก ตลอดจนความต้องการของเจ้าของอาคาร และการออกแบบต้องคำนึงถึงความปลอดภัย, ความเชื่อถือได้ การประหยัดเงินและพลังงาน, ความสะดวกในการใช้งาน, ความคล่องตัว, การบำรุงรักษา

สำหรับการควบคุมการใช้พลังงาน แนวโน้มการใช้ไมโครคอมพิวเตอร์ มาจัดระบบการใช้พลังงาน ซึ่งประยุกต์ใช้งานในอาคารอย่างกว้างขวางได้ดี การประหยัดพลังงานอาจทำได้โดยลดประมาณการใช้พลังงาน อย่างไรก็ดีการประหยัดพลังงานในอาคารไม่ได้หมายถึงการลดการใช้พลังงานที่จำเป็นลง แต่หมายถึงการใช้พลังงานให้มีประสิทธิภาพสูงสุดโดยไม่เป็นการลดมาตรฐานความสะดวกสบายแต่ประการใด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2

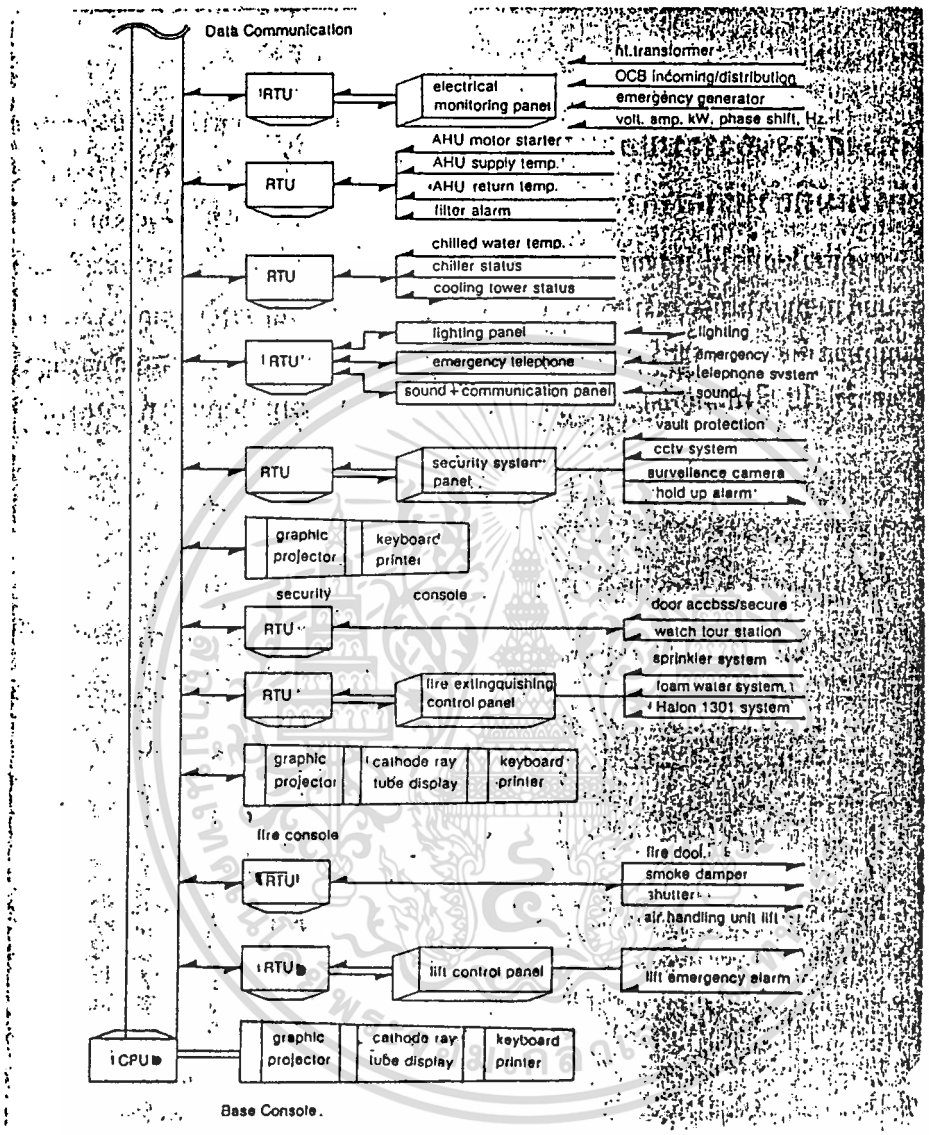
ทฤษฎี และ หลักการ

2.1 ระบบควบคุมอัตโนมัติสำหรับอาคาร (Building Automation System,Bas)

จากคุณสมบัติของคอมพิวเตอร์ที่สามารถตรวจสอบและบันทึกข้อมูลจำนวนมากได้ในเวลาอันรวดเร็ว ตลอดจนสามารถนำข้อมูลต่าง ๆ มาตัดสินและสั่งการตามโปรแกรมที่เขียนไว้ล่วงหน้าได้อย่างรวดเร็ว แน่นอนเมื่อมีการเปลี่ยนแปลงเกิดขึ้น การนำคอมพิวเตอร์มาควบคุมและจัดการพลังงานในอาคารขนาดใหญ่ มีความเป็นไปได้สูงในเชิงเศรษฐกิจ จากการที่เทคโนโลยีการผลิตสูงขึ้นทำให้ราคาและขนาดคอมพิวเตอร์ลดลงมาก จึงสามารถนำมาประยุกต์ใช้งานสำหรับระบบควบคุมอัตโนมัติสำหรับอาคารได้ดี

ระบบควบคุมอัตโนมัติสำหรับอาคาร (Bas) นี้เป็นอุปกรณ์ที่มีลักษณะการใช้งานที่สามารถเปลี่ยนแปลงได้มาก การแก้ไข ซอฟต์แวร์ (Soft ware) ภายในสามารถทำได้ไม่ยากทำให้ความคล่องตัวสูงมาก ซึ่งสามารถใช้ในงานควบคุมระบบต่าง ๆ เช่น ระบบไฟฟ้า, แสงสว่าง สัญญาณแจ้งเพลิงไหม้ ระบบปรับอากาศ ระบบรักษาความปลอดภัย จะเห็นว่า ระบบควบคุมอัตโนมัติสำหรับอาคารได้หมายรวมถึงคุณสมบัติของระบบควบคุมที่ทำงานเฉพาะอย่าง ซึ่งทำงานเกี่ยวกับการจัดการพลังงาน ตลอดจนได้รวมถึงคุณสมบัติของระบบรักษาความปลอดภัยและระบบเกี่ยวกับความปลอดภัยทั้งชีวิตและทรัพย์สิน ดังนั้นจึงต้องเข้าใจเกี่ยวกับโครงสร้างหลักการทำงาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

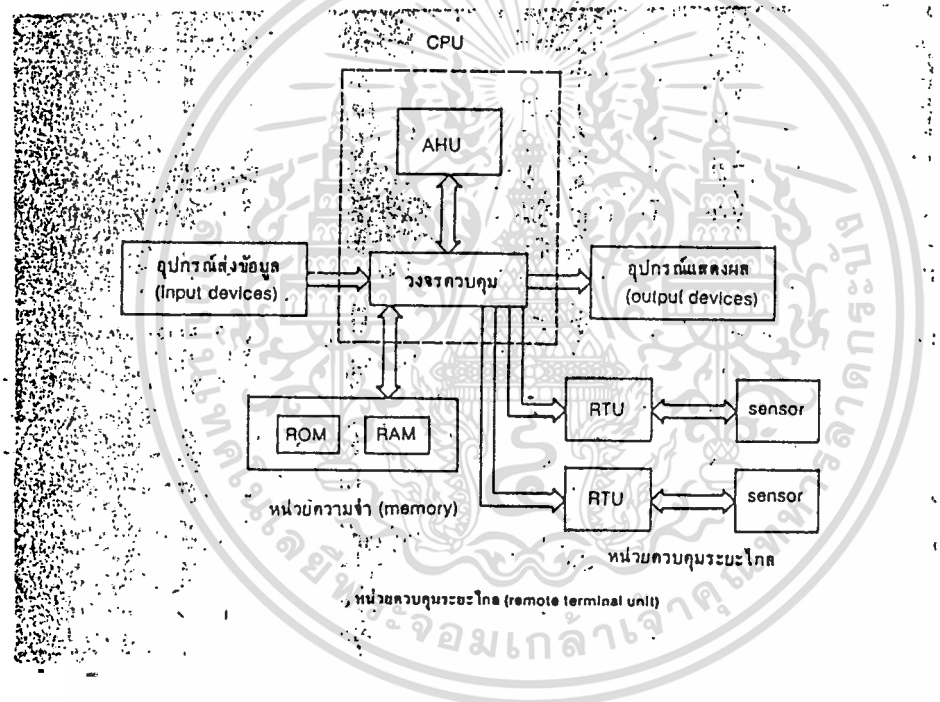


โครงสร้างระบบ BAS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2 โครงสร้างของระบบควบคุมอัตโนมัติสำหรับอาคาร

โครงสร้างพื้นฐานของระบบควบคุมอัตโนมัติสำหรับอาคาร เป็นไปในลักษณะเดียวกับโครงสร้างของระบบคอมพิวเตอร์ทั่วไป ซึ่งประกอบด้วยส่วนประกอบที่สำคัญสองส่วนคือ อาร์ดแวร์ (Hard ware) และ ซอฟต์แวร์ (Soft ware) อาร์ด แวร์ของระบบคอมพิวเตอร์ประกอบด้วยอุปกรณ์ต่าง ๆ ตามที่ได้แสดงดังรูป



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2.1 <u>รายละเอียดฮาร์ดแวร์</u>

1. หน่วยประมวลผลกลาง (Central Processing Unit)

เป็นระบบที่สำคัญที่สุดในระบบทำหน้าที่ควบคุมการทำงานตามที่ได้โปรแกรมเอาไว้ ซึ่งทำหน้าที่ในการรับส่งข้อมูล คำนวณ วิเคราะห์ ตัดสิน และสั่งงานตามโปรแกรมต่าง ๆ ที่ได้ตั้งไว้

2. หน่วยความจำ (Memory) ทำหน้าที่ในการเก็บข้อมูลและโปรแกรมต่าง ๆ

3. อุปกรณ์ตั้งข้อมูลและแสดงผล (Input and Output Devices)

ทำหน้าที่ป้อนข้อมูลหรือโปรแกรมให้เครื่องคอมพิวเตอร์ และใช้ในการแสดงผลการทำงานของเครื่องคอมพิวเตอร์ซึ่งประกอบด้วย อุปกรณ์ต่าง ๆ ดังนี้

- คอนโซลสำหรับพนักงานควบคุม (Control Console) ซึ่งประกอบด้วยแป้นพิมพ์ (Key Board) สำหรับป้อนข้อมูลต่าง ๆ

- เครื่องพิมพ์ผล (Printer) ซึ่งใช้ในการพิมพ์รายงานและข้อมูลต่าง ๆ เช่น สภาวะการใช้งานของโหลด วันเวลา ค่าความต้องการกำลังไฟฟ้า

- จอภาพ หรือมอนิเตอร์ (Cathode Raytype CRT หรือ Monitor) เพื่อแสดงข้อมูลต่าง ๆ รวมทั้งคำสั่งที่ป้อนเข้าเครื่องคอมพิวเตอร์

4. หน่วยควบคุมระยะไกล (Remote Terminal Unit, RTU)

ซึ่งใช้ในการควบคุมอุปกรณ์ต่าง ๆ ตามคำสั่ง ของ C P U โดยที่หน่วยควบคุมระยะไกลแต่ละหน่วยสามารถควบคุมโหลดได้หลาย ๆ จุดโดยทั่วไป RTU จะรับข้อมูลจากตัววัด (Sensor) ต่าง ๆ เช่น หม้อแปลงกระแส (Curren transformer, CT) วัดกระแสเทอร์โมคัปเปิ้ลสำหรับวัดอุณหภูมิ, แผ่นออริฟิท สำหรับวัดการไหล, ไดอะแฟรมสำหรับวัดความดัน เป็นต้น แล้วส่งข้อมูลไปยัง C P U และปฏิบัติงานตามคำสั่งของ C P U โดยการควบคุมอุปกรณ์ต่าง ๆ เช่น รีเลย์ คอนแทรคเตอร์ โซลินอยล์ วาวล์ว เป็นต้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยทั่วไปใน RTU จะประกอบด้วยแผงควบคุมภายใน (Control Card) ซึ่งมีหน้าที่ต่าง ๆ เช่น

- ใช้วัดค่าปริมาณต่อเนื่องต่าง ๆ เช่น กระแส แรงดัน อุณหภูมิ ความชื้น เป็นต้น แล้วส่งข้อมูลไปให้
- ใช้สำหรับสั่งให้อุปกรณ์ควบคุมทำงานตามลักษณะของสัญญาณต่อเนื่องเช่น สั่งให้วาล์วควบคุมเปิดปิดได้มากน้อยตามต้องการ ตามคำสั่งของ
- ใช้ตรวจสอบสภาวะการทำงานของหน้าสัมผัสต่าง ๆ ว่าอยู่ในสภาพเปิดหรือปิด เช่น Motor หยุดหรือเดิน แล้วส่งข้อมูลแสดงภาวะการทำงานให้ CPU ทราบ
- ใช้สำหรับสั่งให้อุปกรณ์ควบคุมทำงานในลักษณะ เปิด-ปิด (On - Off) เช่นให้รีเลย์หรือคอนเทคเตอร์ (Contactor) เปิดหรือปิดตามคำสั่งจาก CPU
- ใช้สำหรับสะสม ข้อมูลที่ต้องการ เช่น สะสมกำลังงาน และอัตราการไหลเพื่อนำข้อมูลดังกล่าวให้ CPU สำหรับคำนวณค่ากำลังคนและพลังงานที่ใช้ได้
- ใช้สำหรับตรวจสอบสภาพเขตระบบรักษาความปลอดภัยของอาคารเพื่อส่งข้อมูลให้ CPU สำหรับควบคุมการทำงานเพื่อรักษาความปลอดภัยต่อไป

นอกจากนี้ระบบควบคุมอัตโนมัติสำหรับอาคารโดยใช้คอมพิวเตอร์ควรมีคุณสมบัติเพิ่มเติมอย่างน้อยดังนี้

1. ในกรณี ที่ระบบฯ เกิดการขัดข้อง อุปกรณ์ หรือ โหลดต่าง ๆ ต้องสามารถทำงานต่อไปได้ตามปกติ

2. ควรมีอุปกรณ์แสดงอาการขัดข้องเพื่อแสดงให้พนักงานควบคุมทราบในกรณีที่ RTU ตัวหนึ่งตัวใดขัดข้อง และไม่สามารถทำงานตามโปรแกรมที่วางไว้ได้

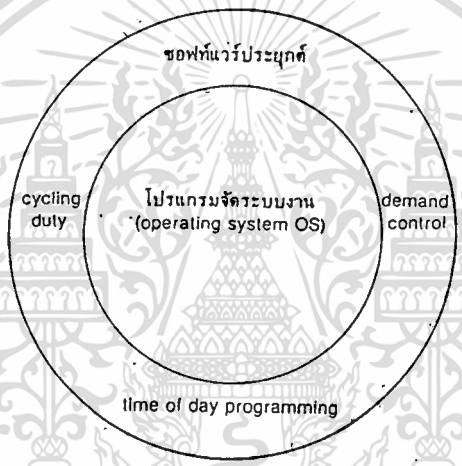
3. ควรมีแบตเตอรี่สำรองภายในระบบฯ ซึ่งมีความจุเพียงพอที่จะจ่ายกระแสไฟฟ้าให้แก่อุปกรณ์ในระบบได้ไม่น้อยกว่า 6-8 ชั่วโมง หลังจากที่ไฟฟ้ากระแสสลับเกิดดับลง

4. ในกรณีที่ไฟฟ้ากระแสสลับดับนานเกินกว่าความสามารถของแบตเตอรี่สำรอง โปรกแกรมที่ใช้งานต้องสามารถเก็บไว้ได้นานอย่างถาวร และสามารถโหลดกลับมายังอุปกรณ์ของหน่วยประมวลผลกลางได้อย่างอัตโนมัติ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2.2 โครงสร้างทางด้านซอฟต์แวร์

ระบบฯ จะสามารถทำงานได้นั้นจำเป็นต้องมีโปรแกรมหรือชุดคำสั่งว่าที่เขียนขึ้นเพื่อให้คอมพิวเตอร์ทำงาน โปรแกรมหรือชุดคำสั่งดังกล่าวคือ ซอฟต์แวร์ของระบบซึ่งประกอบด้วยส่วนต่าง ๆ ดังนี้



1. โปรแกรมจัดระบบงาน (Operating System)

โปรแกรมจัดระบบงานเป็นชุดของโปรแกรมซึ่งควบคุมการทำงานของระบบควบคุมอัตโนมัติสำหรับอาคารทั้งหมดเช่น CPU อุปกรณ์ RTU อุปกรณ์อินพุต และเอ็ค-พุต ทั้งหมดรวมทั้งซอฟต์แวร์ประยุกต์และยังเป็นตัวเชื่อมโยงการติดต่อระหว่างผู้ใช้เครื่องคอมพิวเตอร์กับระบบฮาร์ดแวร์ด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2. โปรแกรมประยุกต์ (Application Program)

เป็นโปรแกรมที่เขียนขึ้นเพื่อทำงาน เฉพาะอย่างตามที่ต้องการซึ่งมีโปรแกรมต่าง ๆ ดังนี้

- โปรแกรมออกคำสั่ง เริ่มหรือหยุดการทำงานของโหลดต่าง ๆ เป็นจังหวะ (Duty Cycling) เช่น การเดินพัดลมของเครื่องส่งลมเย็น (Fan Coil Unit, FCU) 50 นาที หยุดเดิม 10 นาที ใน 1 ชั่วโมง โดยที่ตัวเลข 50 นาที และ 10 นาที และ 1 ชั่วโมง สามารถปรับได้โดยอัตโนมัติ โดยคำนึงถึงอุณหภูมิของอากาศภายในอาคาร ขีดจำกัดของอุณหภูมิเพื่อความสบายของผู้คน ช่วงเวลาที่น้อยที่สุดของการหยุดเดิมพัดลมซึ่งจะไม่ให้เกิดการสะสมความร้อนในตัวมอเตอร์ จำนวนผู้คนภายในอาคารและอุณหภูมินอกอาคาร ฯลฯ

- โปรแกรมตารางเวลาต่อหนึ่งอาทิตย์พร้อมวันหยุด (Time of Day Programming) เพื่อเริ่มและหยุดการทำงานของโหลด

- โปรแกรมควบคุมความต้องการกำลังไฟฟ้า (Demand Control) ด้วยการตัดโหลดต่าง ๆ ที่มีความจำเป็นต่ำออกชั่วขณะ

- โปรแกรมออกคำสั่งเริ่มหรือหยุดการทำงานของโหลดตามเวลาที่ได้รับข้อมูลไว้ในส่วนความจำ นอกจากนี้ยังปรับแต่งช่วงเวลาในตารางดังกล่าวสั้นที่สุด โดยพิจารณา จากสภาวะแวดล้อมต่าง ๆ เช่น ยืดระยะเวลาการเปิดเครื่องปรับอากาศ ถ้าอุณหภูมิของอากาศภายในและนอกอาคารต่ำ และปิดเครื่องปรับอากาศเร็วกว่าปกติในกรณีเดียวกัน

- โปรแกรมออกคำสั่งเปิดและปิดไฟแสงสว่างตามตารางเวลา

- โปรแกรมออกคำสั่งเริ่มหรือหยุดการทำงานของโหลดต่าง ๆ โดยอัตโนมัติหากเกิดกรณีฉุกเฉิน

- โปรแกรมตรวจสอบขีดจำกัดบนและล่างของค่าต่าง ๆ เช่น กิโลวัตต์ อุณหภูมิ ฯลฯ ของอุปกรณ์ต่าง ๆ เช่น กิโลวัตต์ อุณหภูมิ ฯลฯ ของอุปกรณ์ต่าง ๆ เข้าไว้ในส่วนของความจำ หากค่าดังกล่าวอยู่นอกขอบเขต จะมีการรายงานเหตุฉุกเฉินที่คอนโซล สำหรับพนักงานควบคุม

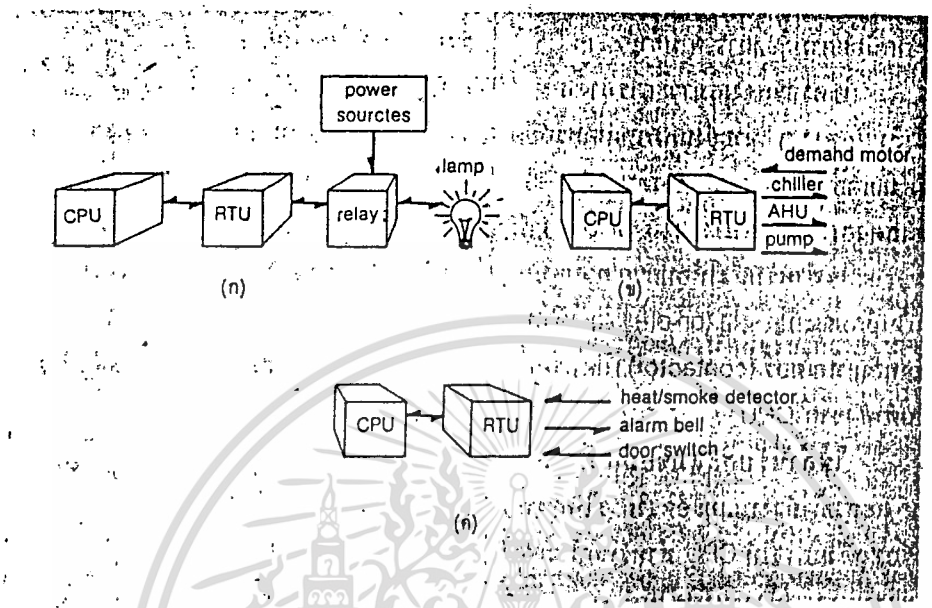
- โปรแกรมการทำงานเกี่ยวกับระบบรักษาความปลอดภัย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3 หลักการทำงานของระบบ

หลักการทำงานของระบบฯ เมื่อ CPU ส่งสัญญาณควบคุมไปยัง RTU ซึ่งติดตั้งอยู่ในบริเวณต่าง ๆ แล้ว RTU ก็ทำการวัดค่าปริมาณต่าง ๆ จากตัววัดตามแต่ละชนิดของแผงควบคุมภายในตามที่ได้อธิบายไว้ แล้วส่งข้อมูลกลับมาที่ CPU เมื่อ CPU ได้รับข้อมูลที่ต้องการ ก็จะทำการตรวจสอบลักษณะและสภาวะของข้อมูลหลังจากนั้น ซอฟต์แวร์ที่มีหน้าที่รับผิดชอบก็เริ่มทำการคำนวณ และให้ผลลัพธ์ออกมา โดยออกมาในรูปของคำสั่งที่สั่งจาก CPU ไปยัง RTU ที่เกี่ยวข้องให้ทำงานเป็นไปตามซอฟต์แวร์ โปรแกรมที่เขียนไว้ก่อน ตัวอย่างเช่น การเปิด-ปิด ระบบไฟฟ้าแสงสว่างโปรแกรมควบคุมการปิด-เปิดของระบบก็จะส่งคำสั่งไปยัง RTU ตัวที่ต้องการและ RTU ดังกล่าวจะส่งสัญญาณไปยังแผงควบคุม (ซึ่งการส่งสัญญาณจาก RTU ในระบบนี้จะใช้การส่งสัญญาณแบบ Curren Loop) เพื่อไปขับรีเลย์ซึ่งทำให้หลอดไฟติดและเมื่อรีเลย์ทำงานจะมีหน้าสัมผัส อีกชุดหนึ่งส่งสัญญาณกลับไปที่ RTU โดยผ่านทางแผงควบคุมภายในเช่นกัน และส่งสัญญาณกลับไปยัง CPU เพื่อให้ CPU ทราบว่าไปเปิดไฟตามคำสั่งแล้ว หรืออีกตัวอย่าง เป็นการควบคุมค่าของความต้องการกำลังไฟฟ้าเฉลี่ยใน 15 นาที ที่สูงสุด เมื่อ RTU อ่านค่าความต้องการกำลังไฟฟ้าจากค่ามานด์มิเตอร์ และส่งข้อมูลไปยัง RTU โปรแกรมควบคุมค่าของความต้องการกำลังไฟฟ้าจะทำหน้าที่ตรวจสอบและคำนวณอัตราการเพิ่มของค่าความต้องการกำลังไฟฟ้าเฉลี่ยใน 15 นาทีว่ามีค่าเกินกว่าที่ได้กำหนดไว้แต่แรกหรือไม่ ถ้าค่าดังกล่าวต่ำกว่าที่ได้กำหนดไว้แต่แรกก็ไม่มีอะไรเกิดขึ้น แต่จะเก็บข้อมูลเอาไว้ แต่ถ้า CPU ตรวจสอบแล้วพบว่าอัตราการเพิ่มของค่าความต้องการกำลังไฟฟ้าเฉลี่ยใน 15 นาทีสูงเกินกว่าค่าที่ได้กำหนดไว้แต่แรก CPU จะส่งสัญญาณควบคุมไปยัง RTU เพื่อควบคุมให้อุปกรณ์ไฟฟ้าต่าง ๆ ที่ได้กำหนดไว้แต่แรกหยุดการทำงานไปในที่สุด จนกว่าอัตราการเพิ่มของค่าความต้องการมีค่าลดลงต่ำกว่าที่กำหนด ซึ่งจะหยุดคำสั่งให้โหลดต่าง ๆ หยุดทำงาน และจะเริ่มสั่งให้โหลดต่าง ๆ ที่กำหนดไว้ก่อนกลับเข้าสู่การทำงานตามปกติ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
024728



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

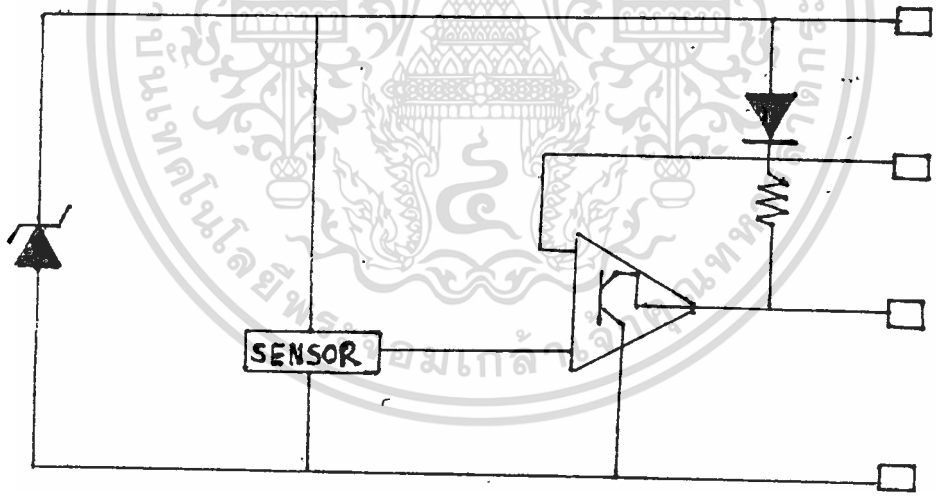
บทที่ 3

การคำนวณและการสร้าง

3.1 Sensor

ส่วนนี้เป็นส่วนรับรู้สภาวะต่าง ๆ ที่เราต้องการควบคุมเพื่อนำค่าสภาวะเหล่านั้นมาใช้ในการคำนวณประมวลผลอย่างถูกต้อง และแม่นยำโดย CPU ฉะนั้น สิ่งที่เราต้องการจะควบคุมจะได้รับผลถูกต้องตามต้องการมากน้อยเพียงไรนั้นจึงขึ้นอยู่กับส่วนที่เป็น - Sensor ซึ่งมีความสำคัญมากในตอนนี้ เราจะใช้การวัดอุณหภูมิ โดยอุปกรณ์ตรวจจับเราจะใช้ LM 3911

คุณสมบัติของ LM 3911



รูปที่ 3.1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

LM 3911 ภายในตัวจะประกอบด้วย 3 ส่วนใหญ่ ๆ คือ

- Voltabe Regurator
- Sensor
- Op - AMP

รายละเอียดการทำงานของ IC LM 3911 นั้น ใช้งานดีช่วงอุณหภูมิ - 25°C—85° C. เอาท์พุทของ LM 3911 มีอัตราส่วนเป็น 10 mv/ k ในการใช้งานเราจะใช้ OP -AMP ภายในความต้านทานภายนอก สำหรับตั้งค่า Scale Factor และ Set Point เพราะว่าถ้าเราต่อ Op - AMP ภายในเป็นตัวเปรียบเทียบโดยความต้านทานภายนอกสำหรับตั้งค่าแล้วเปรียบเทียบ เราสามารถใช้งานเป็นแบบการควบคุมอุณหภูมิแบบ ปิด-เปิดได้โดย เมื่ออุณหภูมิเลยจุดที่เราต้องการได้

ตัว Voltage Regulator ที่ต่อขนานกับ Power Input นั้นจะรักษาค่าแรงดันในการทำงานไว้ที่ 6:8 V ตลอดเวลาการมี Regulator ในตัวนี้เองทำให้เราสามารถใช้ LM 3911 ต่อกับความต้านทานภายนอก เมื่อใช้กับแหล่งจ่าย แรงดันค่าใด ๆ ก็ได้ซึ่งนับเป็นข้อดีอย่างหนึ่ง

เอาท์พุทของ Or-AMP ภายใน เป็นแบบ Open Collector ซึ่งทำให้ LM 3911 สามารถขับหรือต่อกับอุปกรณ์ภายนอกได้มากกว่า 6.8 v จนถึง 35 v ได้เลย

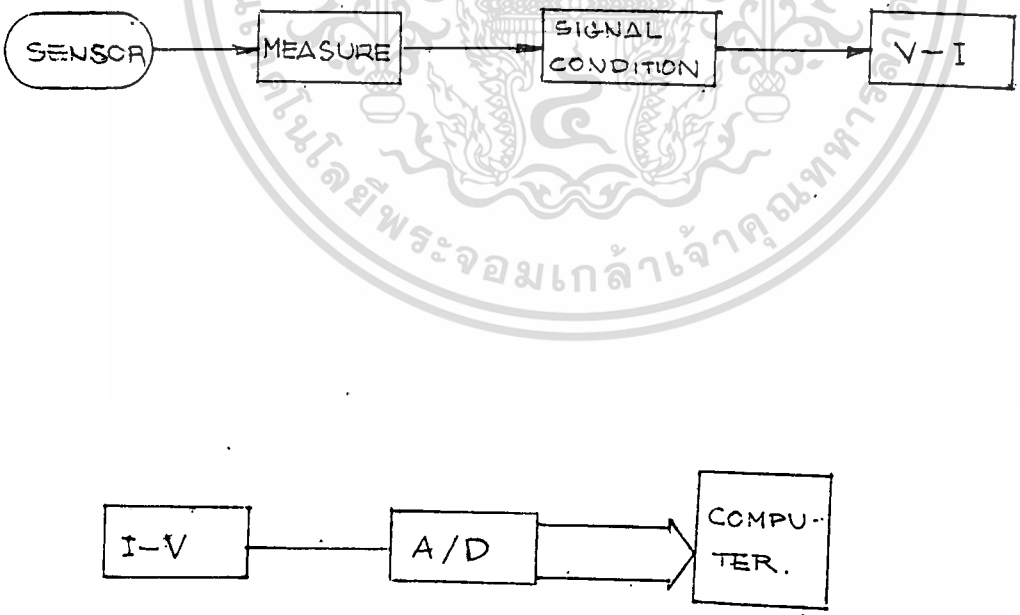
LM 3911 นี้ใช้ในการตรวจจับอุณหภูมิโดยอาศัยหลักการที่ว่า แรงดันที่ขา Gmitter - Base จะจ่ายกระแสออกมาต่างกัน ณ. อุณหภูมิต่างกัน ลักษณะการต่อ - IC LM 3911 นี้ ในตัวถังเป็นแบบ DIP จะต่ออยู่ที่ซีกใดซีกหนึ่งเพียงซีกเดียวและอีกซีกนั้นต้องต่อกับตัวนำใด ๆ ที่สามารถนำความร้อนมาสู่ LM 3911 แต่ LM 3911 ยังมีปัญหาอยู่บางบางส่วนคือ Power Dissipation ในบางตัว LM 3911 จะเป็นตัวเพิ่มอุณหภูมิของ LM 3911 เองเมื่อเทียบกับสิ่งแวดล้อม เช่นเมื่อ Voltage Regulator กินกระแส 1 mA จะทำให้เกิด Power Dissipation ประมาณ 7 mw. จะทำให้อุณหภูมิในกรณีนี้ของตัวมันเอง เพิ่มขึ้นประมาณ 1.2° k เพราะฉะนั้นเพื่อความแม่นยำ ควรใช้ LM 3911 ทำงานที่ระดับ กำลังต่ำที่สุดเท่าที่จะทำได้ แต่ถ้าคิดทั้ง-

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในที่มีอากาศไหลตลอดเวลาจะทำให้ปัญหานี้ลดความสำคัญลงไป เพราะอากาศจะเป็นตัวพาความร้อนออกไปจาก LM 3911 และในกรณีที่เราต้องการความแม่นยำสูง, เราต้องต่อ Regulator Voltage จากภายนอกด้วยเพราะ Regulator ใน LM 3911 เองจะได้รับการเปลี่ยนแปลงของอุณหภูมิ เช่นเดียวกับส่วน Sensor ซึ่งอาจทำให้จุดอ้างอิงแตกต่างออกจากเดิม

3.2 การออกแบบส่วนรับรู้สภาวะ (Sensor Part)

เราสามารถเขียนส่วนรับรู้สภาวะออกเป็นส่วน ๆ ได้ ตามหน้าที่การทำงานของแต่ละส่วนตามรูปที่แสดงให้ดู



รูปที่ 3.2.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การวัดอุณหภูมินี้เราต้องการอุณหภูมิอยู่ในช่วง 0 - 50° C ในการควบคุมเราอาจจะให้อุณหภูมิที่เราต้องการนี้มีช่วงกว้างหรือแคบได้ตามต้องการ แต่ในทาง Hard Ware เราจะใช้ 0 - 50° C เพราะเป็นช่วงที่ ควรจะเป็นไปในความเป็นจริงทั่วไป และถ้าเราต้องการควบคุมให้อุณหภูมิที่เราต้องการจริง ๆ ก็จะอยู่ในช่วงนี้ ได้ในทาง Sort Ware

อุณหภูมิช่วง 0-50° C นี้จะเปลี่ยนแปลงตาม LM 3991 ซึ่งมีความสัมพันธ์ 10 mv/° k ดังนั้น เราจึงเพิ่ม Signal Condition เพื่อ จัดการทำสัญญาณที่วัดมาให้ได้สัมพันธ์กับแรงดันที่อุณหภูมิ 0-50° C และให้ได้แรงดันออกมาเป็น 1-5 V เพื่อนำแรงดันช่วงนี้ แปลงสัญญาณจากแรงดันเป็นช่ระแสไฟฟ้าหรือส่งสัญญาณให้กับ RTU และต้องได้สัญญาณมาตรฐาน 4 - 20 mA.

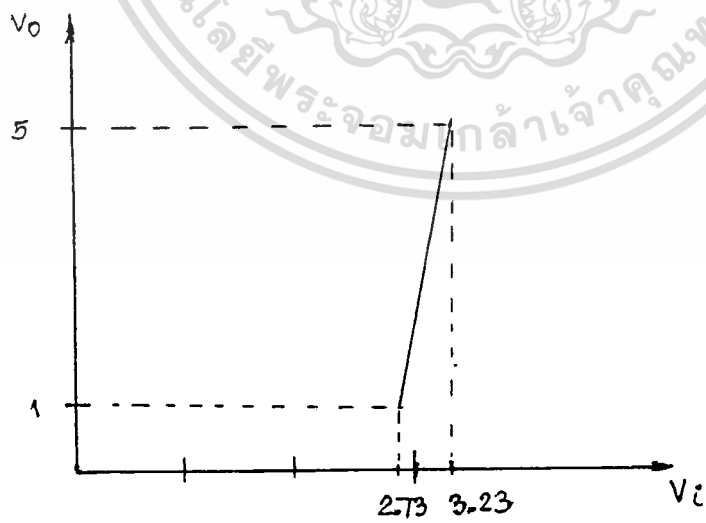
การคำนวณส่วนของ Signal Condition

จากความสัมพันธ์ LM 3911 10 mv/° k

∴ ที่อุณหภูมิ 0° C : (0.01 V/° k) (0 + 273) = 2.73 V

50° C : (0.01 V/° k) (50 + 273) = 3.23 V

จากความสัมพันธ์ของอุณหภูมิที่เราต้องการสามารถเขียนเป็นกราฟได้



รูปที่ 3.3.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ความเอียงของกราฟเส้นตรง $= \frac{\Delta y}{\Delta x}$

$= \frac{4}{0.5}$

$= 8$

สมการเส้นตรง $y = mx + b$

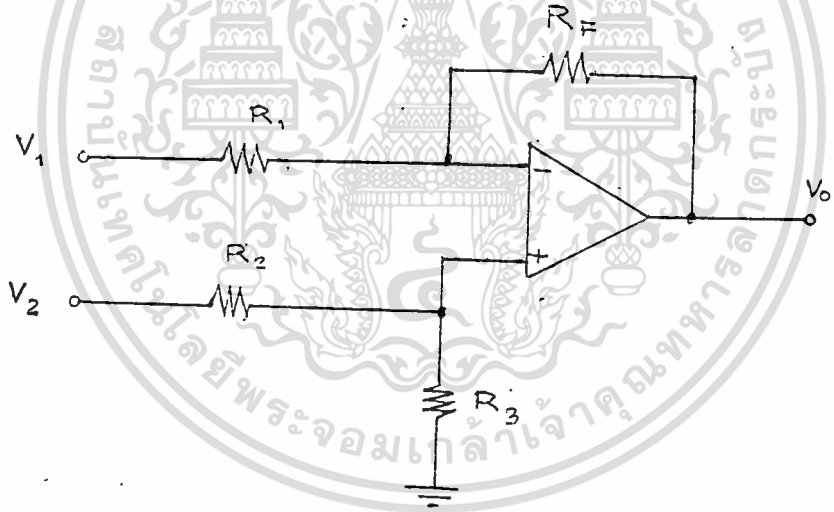
แทนค่าจากกราฟ $V_o - 1 = 8\ (V_i - 2.73)$

$V_o = 8\ (V_i - 2.73) + 1$

$\therefore V_o = 8\ (V_i - 2.605)$

จากค่าที่ได้จะสัมพันธ์กับ สมการของ OP - AMP

$$V_o = \frac{R_F}{R_1}\ [V_2 - V_1]$$



รูปที่ 3.4

$R_1 = R_2$

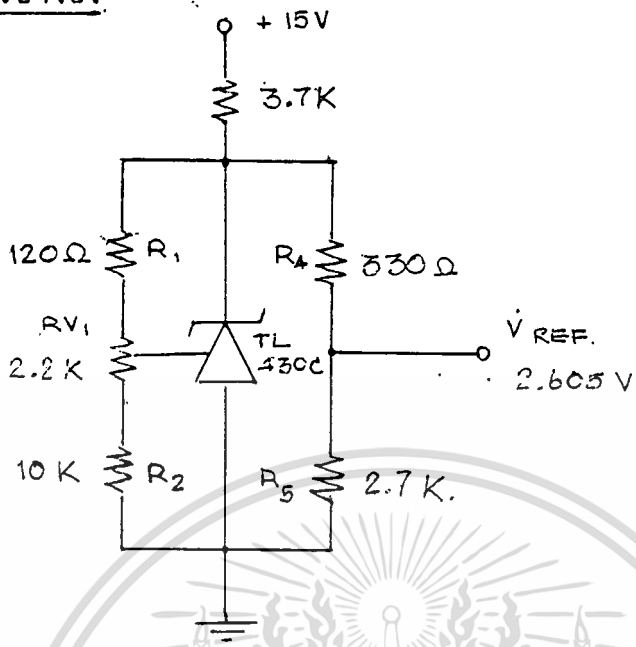
$R_3 = R_F$

ที่ V_1 เป็นแรงดันอ้างอิง $= 2.605$

V_2 เป็นแรงดันเข้าจากอุปกรณ์วัดสภาวะ LM 3911

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2.1 วงจรอ้างอิง



รูปที่ 3.5

ที่วงจรอ้างอิงนี้ เหตุที่ใช้ TL 430c เพราะได้รับการออกแบบให้มีคุณสมบัติไม่ขึ้นอยู่กับอุณหภูมิ ทางวงจรแบ่ง ศักย์ R_4 R_5 มีความจำเป็นต้องใช้ เพราะแรงดันอ้างอิงเปลี่ยนแปลงไปได้ ระหว่าง 2.5 ถึง 3 โวลท์ แล้วแต่อุปกรณ์แต่ละตัว RV_1 ใช้สำหรับควบคุมการเปลี่ยนแปลงโดยให้ได้เอาพุท 2.605 โวลท์

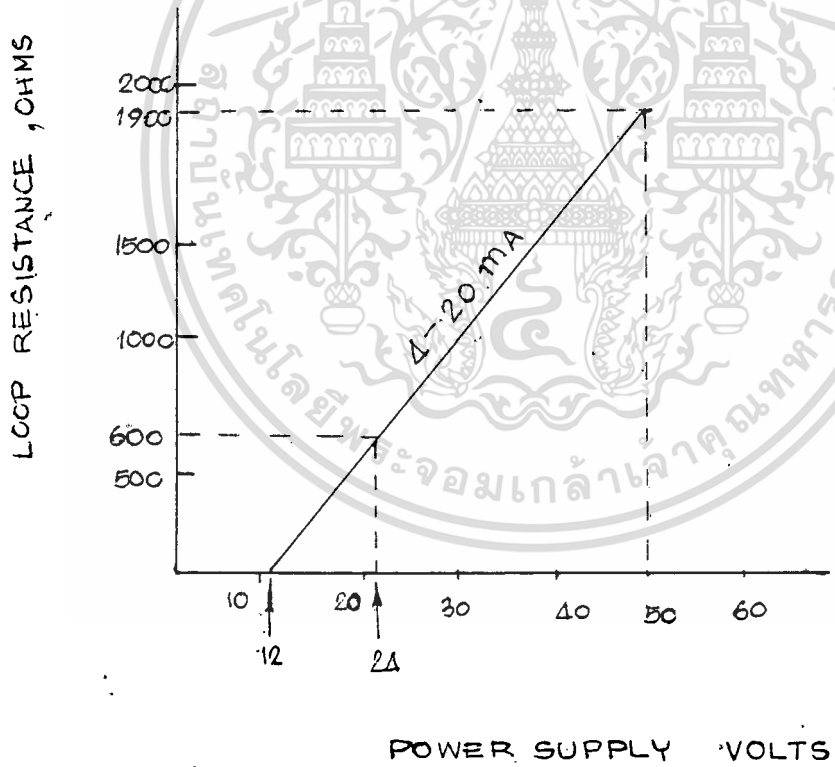
3.2.2 V/I (Voltabe to Current Converter)

ในระบบของตัวตรวจวัดสภาวะนี้ เริ่มตั้งแต่ อุปกรณ์ที่รับสัญญาณจากจุดที่ต้องการวัด (Sensor) นำมาปรับเป็นสัญญาณไฟต่ำและส่งสัญญาณผ่านมาทางตัวส่งสัญญาณ (V/I) ส่งไปยังตัวควบคุม (RTU) ปรกติ สัญญาณที่ส่งนี้จะใช้กระแส 4 – 20 m4 และต้องการสายเพียง 1 คู่ เท่านั้น ในการส่งสัญญาณ โดยสัญญาณนี้ความจริงแล้วจะไม่มีผลกระทบอันเนื่องมาจากอุณหภูมิหรือสัญญาณความถี่วิทยุ และการรบกวนอันเนื่องมาจากสนามแม่เหล็กไฟฟ้า นอกจากนี้ยังปลอดภัยจากการเพิ่มของแรงไฟฟ้าข้างเคียง และสัญญาณเสียงที่แผ่กระจายข้อดีโดยทั่วไปในการใช้ระบบนี้ในการควบคุมคือ :-

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1. ประหยัด
2. สะดวกและมีประสิทธิภาพ
3. ปลอดภัย

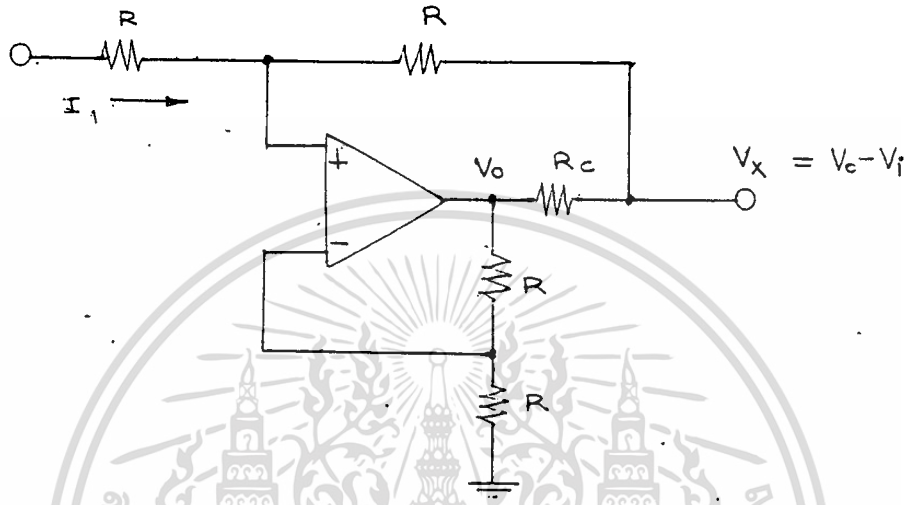
การจ่ายสัญญาณแบบ 2 สายนั้นทางด้านทางออกของสัญญาณประกอบด้วยตัวส่งสัญญาณ ตัวจ่ายแรงไฟ (Power Supply) กับตัวรับสัญญาณและที่ขาดเสียมิได้คือ ค่าความต้านทานของสายส่ง ซึ่งได้แสดงค่าความเกี่ยวข้องไว้ แล้วในกราฟ ทางออกของสัญญาณจากตัวส่งสัญญาณระบบนี้ คล้ายกับระบบป้องกันค่าต่ำสุดของแรงไฟจ่าย (Power Supply Voltage) ไว้ ซึ่งไม่ควรจะอ่านค่าแรงไฟได้ สูงกว่าค่าสูงสุดกำหนดไว้ และอีกข้อหนึ่งก็คือการกำหนดค่าความต้านทานในระบบและการเปลี่ยนแปลงคุณภาพของแรงไฟจ่ายควรทำให้สัมพันธ์ตามกราฟเพื่อถนอมอายุของตัวส่งสัญญาณและเพื่อให้ได้ค่าการวัดที่ถูกต้องแม่นยำ



รูป 3.6 กราฟแสดงความสัมพันธ์ LOOP RESISTANCE & SUPPLY VOLTAGE

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

V - I Converter เป็นวงจรเปลี่ยนแรงดันเป็นกระแสแบบ Noninverting Amplifier กระแสทาง Output (Io) จะขึ้นอยู่กับ Voltage ทาง Input (V_i) กับความต้านทาน ทาง Outout (R_c) ดังสมการ

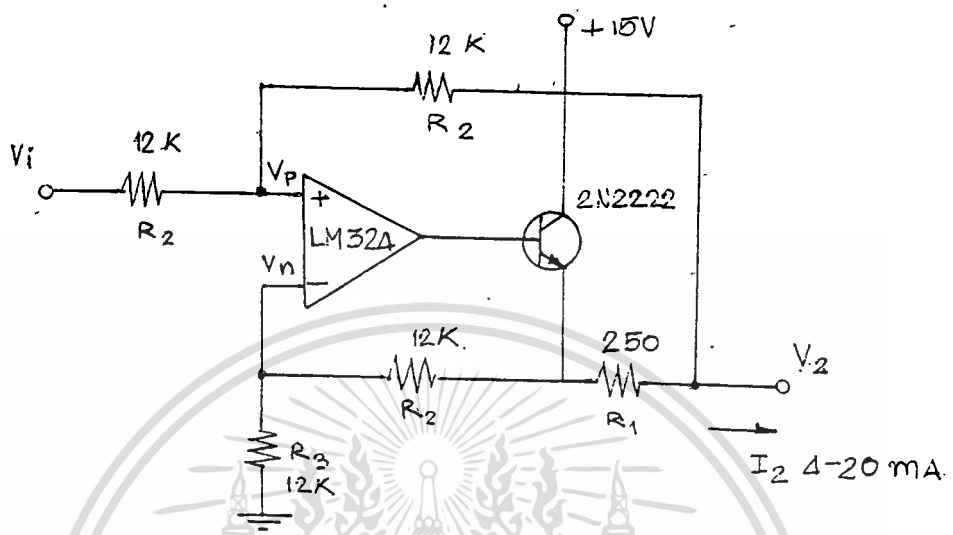


รูป 3.7

$$I_1 = (V_i - V_o/2)/R$$
$$I_2 = (V_o/2 - V_x)/R$$
$$I_1 = I_2$$
$$(V_i - V_o/2)/R = (V_o/2 - V_x)/R$$
$$V_i - V_o/2 = V_o/2 - V_x$$
$$V_x = V_o/2 + V_o/2 - V_i$$
$$V_x = V_o - V_i$$
$$\therefore I_o = V_o - (V_o - V_i)/Rc$$
$$= V_i/Rc$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากวงจรเดิมเรานำ Transistor เพิ่มที่เอาร์พุทของ Op - AMP เพื่อช่วยให้สามารถปรับกระแสได้สูง ๆ เป็น mA ได้



รูป 3.8

$$(Vo-Vn)/R_2 - V_n/R_3 = 0 \quad \text{——— 1}$$

$$(V_1-V_p)/R_2 + (V_2-V_p)/R_2 = 0 \quad \text{——— 2}$$

$$(V_o-V_2)/R_1 + (V_p-V_2)/R_2 - I_2 = 0 \quad \text{——— 3}$$

สมมุติให้ Voltage ที่วัดระหว่าง V_p กับ $V_n = 0$ ดังนั้นจะได้ว่า

$$V_p = V_n$$

$$I_2 = \left(1/2\ R_2+(R_2+R_3)/2R_1R_3\right) V_1+\left[(R_2+R_3)/2R_1R_3-(R_1+2R_2)/2R_1R_2\right] V_2 \quad \text{——— 4}$$

จากสมการ 4 ถ้าให้ $R_3 = (R_2)/R_1+R_2$ จะได้ว่า

$$I_2 = V_1(R_1/\!/R_2)$$

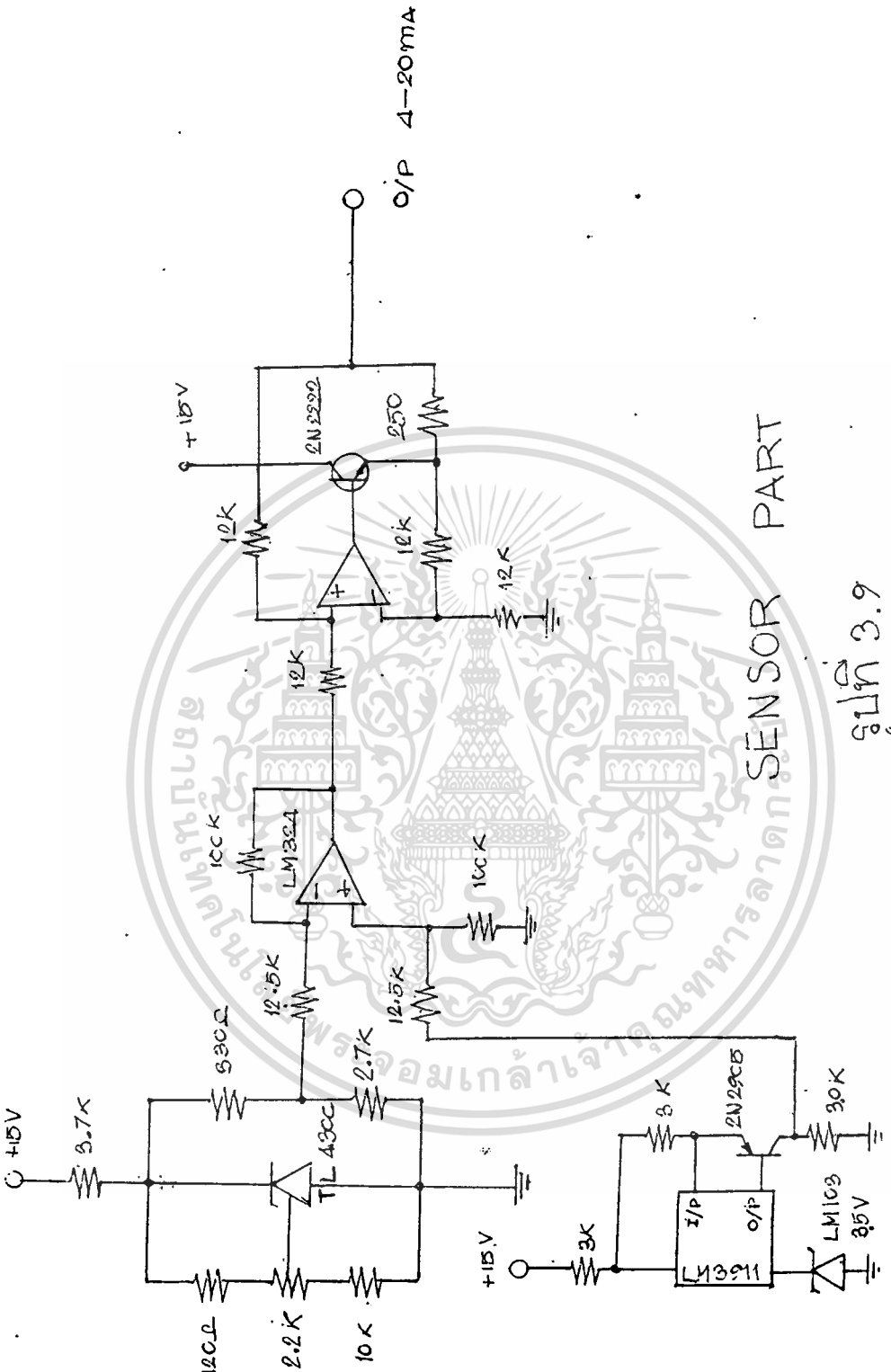
ถ้าเลือกให้ $R_2 \gg R_1$ และจะได้ R_3 ประมาณเท่ากับ R_2 และ

$$I_2 = V_i/R_1$$

∴ ที่ V_i 1 โวลท์ : $I = \frac{1}{250} = 4$ mA

V_i 5 โวลท์ : $I = \frac{5}{250} = 20$ mA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



SENSOR PART

รูปที่ 3.9

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3 RTC คือ Real Time Clock หรือ นาฬิกาบอกเวลาที่แท้จริงให้กับไมโครโปรเซสเซอร์ โดยการเชื่อมต่อเข้ากับ CPU ก็สามารถทำให้ CPU สามารถรู้เวลาได้ทุกขณะ โดยที่ CPU สามารถที่จะอ่านเวลาจากตัว RTC ได้ทุกครั้งที่ CPU ต้องการ

ในการประยุกต์ใช้งานไมโครโปรเซสเซอร์ที่ต้องการเกี่ยวข้องกับเวลาด้วยแล้ว RTC นับว่าเป็นประโยชน์มาก เพราะสามารถบอกเวลาได้ตั้งแต่ วินาที, นาที, ชั่วโมง, วันในรอบสัปดาห์, วันที่, เดือน, ปี ให้แก่ไมโครโปรเซสเซอร์ได้อย่างเที่ยงตรง โดยที่ CPU เพียงแต่ติดต่อกับ RTC เหมือนกับติดต่อกับหน่วยความจำหรือพอร์ตเท่านั้น

เนื่องจากโครงสร้างของ RTC เป็นไอซีชนิด CMOS จึงสามารถสำรองแรงดันด้วยแบตเตอรี่ขนาดเล็ก ถึงแม้ว่าแรงดันที่ป้อนให้กับระบบไมโครโปรเซสเซอร์จะสูญหายไปเนื่องจากไฟดับหรือการปิดเครื่อง แต่เวลาใน RTC จะยังไม่สูญหายไปด้วย และยังคงเดินต่อไปตามปกติด้วยเวลาที่ถูกต้อง ที่สำคัญในเดือนที่ลงท้ายด้วย "ยน" (เดือน-4, 6, 9, 11) วันที่จะมีเพียง 30 วันและเดือนที่ลงท้ายด้วย "คม" วันที่จะมี 31 วัน และสำหรับเดือนกุมภาพันธ์จะมีเพียง 28 วัน และในรอบ 4 ปีคือในปีอธิกสุรทินเดือนกุมภาพันธ์จะมี 29 วัน สรุปว่า RTC มีการปรับปรุงวันที่ให้ถูกต้องกับเดือนทุก ๆ เดือน ซึ่งเป็นที่มาของคำว่า Time Clock

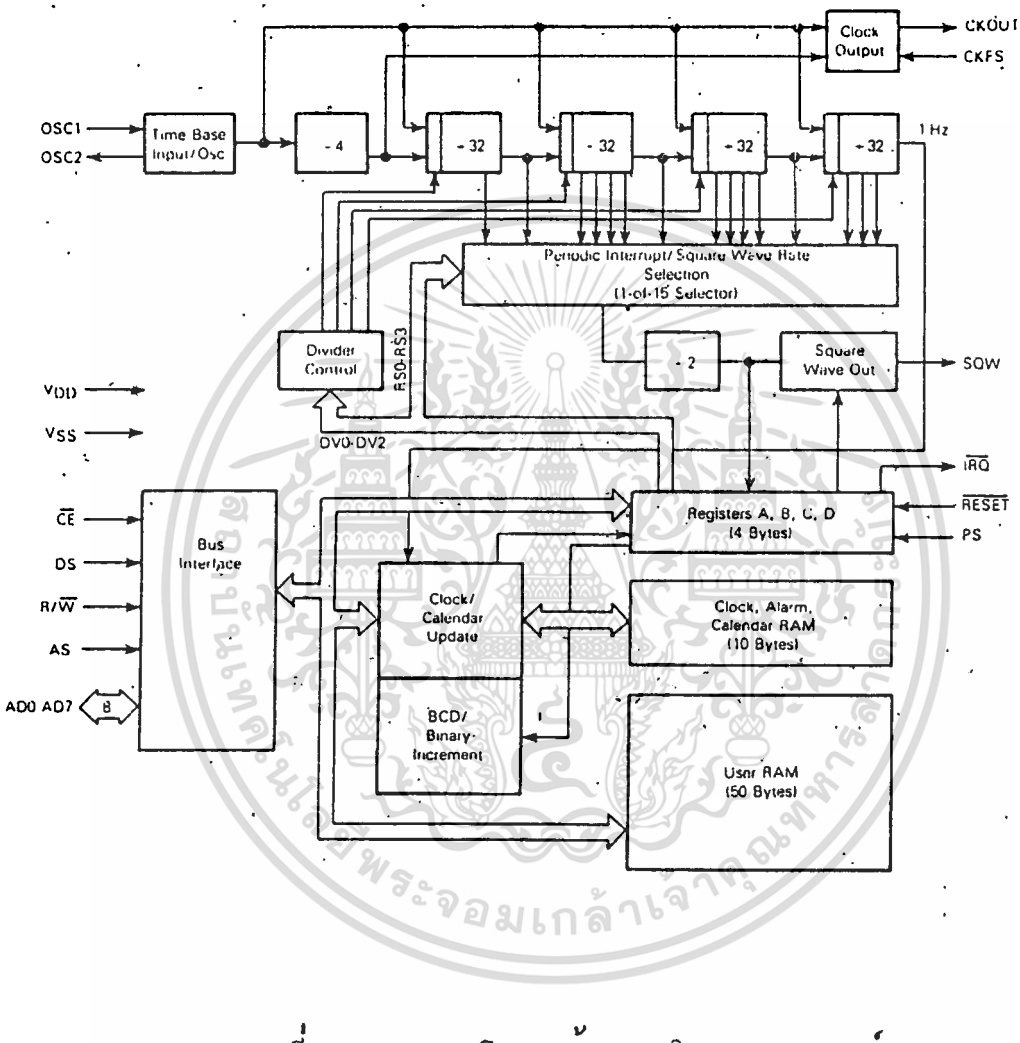
ความสามารถพิเศษของ RTC ที่จัดไว้ให้อีกก็มีความสามารถในการตั้งเวลาปลุก (alarm) เมื่อถึงเวลาที่ตั้งไว้ RTC ก็จะไปอินเตอร์รัพท์ CPU และยังมีความสามารถในการอินเตอร์รัพท์ CPU เป็นจังหวะด้วยความถี่ที่กำหนดได้อีกด้วย

คุณสมบัติสำคัญของ MC146818

โครงสร้างแสดงแผนผังภายในของ MC146818 แสดงไว้ในรูปที่ 10 ซึ่งมีคุณสมบัติที่น่าสนใจดังนี้

(1) กินกระแสน้อยมากเนื่องจากเป็นไอซีชนิด CMOS โดยวัดกระแสได้ประมาณ 250 A เมื่อใช้คริสตอลความถี่ 32.768 kHz และเมื่อใช้กับคริสตอลความถี่ 4.194304 MHz วัดกระแสได้ประมาณ 750 A จึงสามารถใช้กับแบตเตอรี่ขนาดเล็กสำรองการทำงานเมื่อไฟดับได้เป็นเวลาหลายวัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



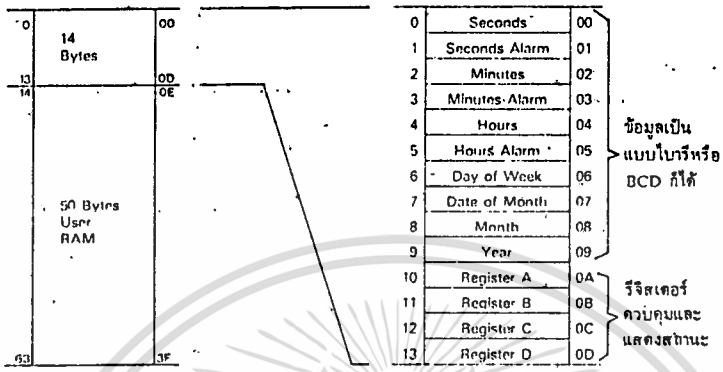
รูปที่ 3.1C แสดงโครงสร้างภายใน RTC เบอร์ MC146818

(2) ใช้กับคริสตอลได้ 3 ความถี่คือ 32.768 kHz, 1.048576 MHz, 4.194304-MHz โดยเลือกด้วยซอฟต์แวร์

(3) มีหน่วยความจำ RAM รวม 64 ไบต์ โดยแบ่งเป็น 10 ไบต์สำหรับเก็บเวลาและเวลาปลุก, 4 ไบต์เป็นรีจิสเตอร์ควบคุมและบอกสถานะ (รีจิสเตอร์ A,B , C,D) ส่วนอีก 50 ไบต์เป็นหน่วยความจำทั่วไปใช้งานได้ตามความประสงค์ ดังแสดง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การจัดตำแหน่งของหน่วยความจำทั้ง 64 ไบต์นี้ในรูปที่3.12



รูปที่ 3.12 การจัดแอดเดรสของหน่วยความจำในตัว MC146818 โดยแบ่งเป็นไบต์ สำหรับแสดงเวลา 3 ไบต์สำหรับแสดงเวลาปลุก 4 ไบต์สำหรับรีจิสเตอร์ควบคุม/บอกสถานะ และ 50 ไบต์สำหรับ RAM ใช้งานทั่วไป

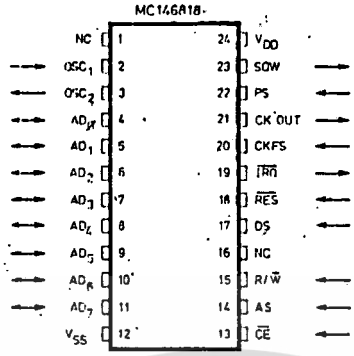
(4) นับเวลา 12 ชั่วโมง หรือ 24 ชั่วโมงก็ได้และยังแสดงเวลาด้วยรหัสไบนารีหรือ BCD ก็ได้

(5) กำหนดการอินเตอร์รัพท์ได้ 3 ลักษณะ คือ อินเตอร์รัพท์ตามเวลาปลุก, อินเตอร์รัพท์ตามความถี่ที่ตั้งไว้และอินเตอร์รัพท์ทุก ๆ วินาทีหลังจากผ่านการปรับเวลาในตัว RTC

การจัดขาและความหมาย

รูปที่3.13 แสดงการจัดขาของ MC 14818 ซึ่งถูกออกแบบมาให้อินเตอร์เฟสเข้ากับ CPU ของอินเทลได้โดยตรง เช่นตระกูล 8085,8048 หรือตระกูลของโมโตโรล่าเอง เช่นตระกูล 6805, 6809 ซึ่งมีบัสข้อมูลแบบมัลติเพล็กซ์ แต่ก็สามารถดัดแปลงให้อินเตอร์เฟสกับ CPU ตระกูลอื่น ๆ เช่น Z80 หรือ 6502 ได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.13 การจัดขาของ MC146818

. OSC_1, OSC_2 ต่อเข้ากับตัวคริสตอลโดยตรงหรือถ้าต้องการป้อนความถี่จากภายนอกทำได้โดยป้อนเข้าที่ขา OSC_1

. AD_0-AD_7 (address/data bus) เป็นบัสแอดเดรสและบัสข้อมูลรวมกัน โดยทำงานในแบบมัลติเพล็กซ์ ซึ่งจะทำงานเป็นบัสแอดเดรสก่อน เมื่อขา AS แอคตีฟ (เป็นขอบขาลง) แล้วจึงทำงานเป็นบัสข้อมูลเมื่อขา DS หรือ R/$\overline{W}$ แอคตีฟ (เป็นลอจิก " 0")

. $\overline{CE}$ (Chip enable) เป็นขาควบคุมการทำงานของบัสและขาสัญญาณต่าง ๆ เมื่อขา $\overline{CE}$ เป็น " 1 " ขา AD_0-AD_7 DS และ R/$\overline{W}$ จะเป็นอิมพีแดนซ์สูง และขา $\overline{CE}$ จะต้องเป็นลอจิก "0 " คงที่ขณะที่ขา AS, DS และ R/$\overline{W}$ กำลังแอคตีฟ แต่ในการใช้งานทั่วไปมักจะต่อขาที่ลงกราวด์

. AS (address strobe) หรือทำงาน เป็นขา ALE (Adress Latch Enable) ทำหน้าที่แลชข้า AD_0- AD_7 เอาไว้เพื่อให้แสดงเป็นขาแอดเดรสขณะที่ขา AS นี้เปลี่ยนจากลอจิก " 1 " ไปเป็นลอจิก "0 "

. R/$\overline{W}$ หรือขา $\overline{WR}$ ทำหน้าที่กำหนดการเขียนข้อมูลลงในหน่วยความจำ (RAM) ทั้ง 64 ไบต์ ซึ่งหมายถึงการตั้งเวลานาฬิกา, การตั้งเวลาปลุก, การสั่งงานรีจิส-

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เตอร์ควบคุมและการเขียนข้อมูลลงใน RAM ใช้งานทั่วไป 50 ไบต์โดยขา R/$\overline{W}$ นี้จะแอคตีฟที่ลอจิก "0"

.DS (data strobe) หรือ ขา $\overline{RD}$ ทำหน้าที่กำหนดการอ่านข้อมูลในหน่วยความจำ (RAM) ทั้ง 64 ไบต์ ซึ่งหมายถึง การอ่านเวลา, การอ่านเวลาปลุก, การอ่านสถานะของรีจิสเตอร์ควบคุมและการอ่านข้อมูลจาก RAM ใช้งานทั่วไป 50 ไบต์ โดยขา DS จะแอคตีฟที่ลอจิก "0" เช่นกัน

. $\overline{RESET}$ เป็นขาสัญญาณอินพุตสำหรับการรีเซตระบบเมื่อขานี้เป็น "0" โดยที่ไม่มีผลต่อการเดินของนาฬิกาแต่อย่างใด แต่จะทำให้เกิดผลดังนี้ คือ

1. แฟลกสำหรับอินาเบิ้ลการอินเตอร์รัพท์ทั้งสาม (PIE, UIE, AIE) ถูกเคลียร์ให้เป็น "0 "

2. แฟลกแสดงการขออินเตอร์รัพท์ทั้งสาม (PF, UF, AF) ถูกเคลียร์ให้เป็น "0"

3. ไม่สามารถอ่านเขียนและอ่านเวลาได้

4. ขาสัญญาณขออินเตอร์รัพท์ ($\overline{IRQ}$) เป็นอิมพีแดนซ์สูง

5. แฟลกอินาเบิ้ลสัญญาณคลื่นสี่เหลี่ยม (SQWE) ถูกเคลียร์ให้เป็น "0"

. $\overline{IRQ}$ (interrupt request) เป็นขาสัญญาณเอาต์พุตสำหรับการขออินเตอร์รัพท์กับ CPU โดยจะแอคตีฟที่ลอจิก "0" ซึ่งการขออินเตอร์รัพท์ของ RTC นี้สามารถขอได้ 3 ลักษณะคือ

1. อินเตอร์รัพท์เป็นจังหวะตามค่าความถี่ที่ขา

2. อินเตอร์รัพท์ทุก ๆ วินาที หลังจากผ่านการปรับเวลา

3. อินเตอร์รัพท์เมื่อถึงเวลาปลุก

. CKFS (Clock out frequency select) เป็นขาสัญญาณอินพุตสำหรับการหาความถี่ที่ตัวคริสตอล แล้วส่งออกมาทางขา CKOUT ถ้าขานี้เป็น "0" หมายถึงทำการหารด้วย 4 แต่ถ้าเป็น "1" หมายถึงไม่มีการหาร คือขา CKOUT มีความถี่เท่ากับตัวคริสตอล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

. CKOUT (clock out) คือสัญญาณเอาท์พุตความถี่ของระบบเพื่อนำความถี่ของระบบไปใช้งานอย่างอื่น โดยจะสามารถกำหนดให้มีการหารความถี่ของระบบด้วยหรือไม่ก็ได้ด้วยขา CKFS โดยความถี่ของระบบขึ้นอยู่กับฐานความถี่หรือตัวคริสตอลที่ป้อนเข้าที่ขา OSC_1 และ OSC_2

. PS (power sense)- เป็นขาสัญญาณอินพุต สำหรับควบคุมการแสดงสถานะของหน่วยความจำทั้ง 64 ไบต์ว่าเป็นข้อมูลที่ถูกต้องหรือไม่ ซึ่งสัญญาณจากขานี้จะใช้แสดงสภาวะของการป้อนแรงดันเข้าตัว RTC ขณะเริ่มต้นโดยการไปแสดงผลอยู่ที่แฟลก VRT ในรีจิสเตอร์ D เมื่อขานี้ยังคงเป็นลอจิก "0" อยู่ แฟลก VRT จะถูกเคลียร์ให้เป็น "0" อยู่

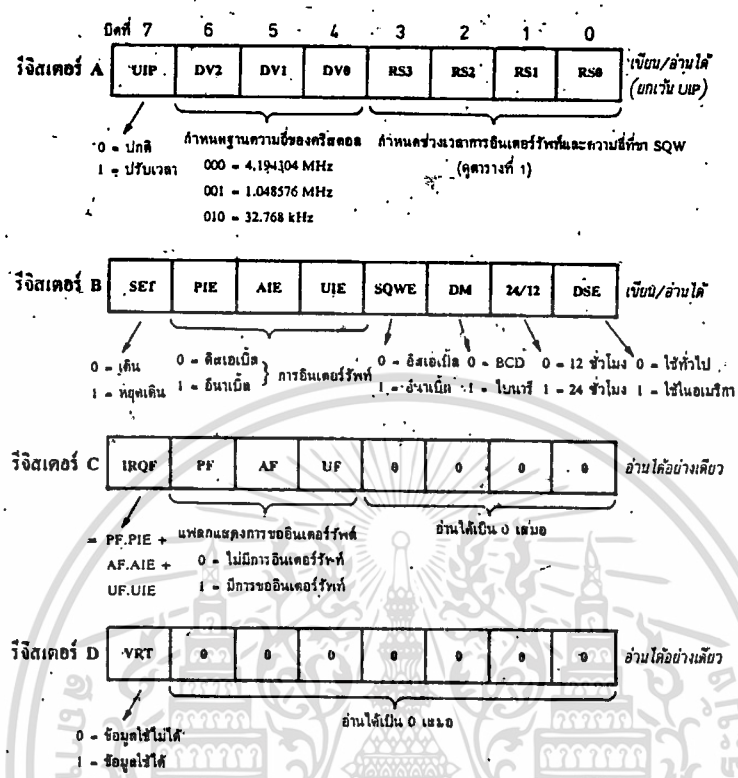
. SQW เป็นขาสัญญาณคลื่นสี่เหลี่ยมเอาท์พุต (square wave output) ที่สามารถโปรแกรมความถี่ได้โดยกำหนดจากรีจิสเตอร์ควบคุม

<u>รีจิสเตอร์ควบคุมและแสดงสถานะ</u>

ระบบเวลาของ MC146818 สามารถอ่าน, เขียน และโปรแกรมลักษณะการใช้งานได้ง่ายมาก โดยเพียงแต่กำหนดค่าต่าง ๆ ที่อยู่ในหน่วยความจำ 14 ไบต์แรก (แอดเดรส 00H-0DH) เท่านั้น ในจำนวนนี้อยู่ 4 ไบต์ที่เป็นการกำหนดลักษณะการใช้งานเรียกว่ารีจิสเตอร์ A, B, C, D ซึ่งตรงกับแอดเดรส 0AH -0DH พอดี

รูปที่3.14 แสดงรายละเอียดและความหมายในแต่ละบิตของรีจิสเตอร์ ทั้ง 4 ตัว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ ง.14 รายละเอียดและความหมายในแต่ละบิตของรีจิสเตอร์ควบคุม/บอกสถานะ-ทั้ง 4 ตัว

รีจิสเตอร์ A (เขียน/อ่านได้ ยกเว้น UIP)

เป็นริจิสเตอร์ที่สามารถอ่านก็ได้หรือเขียนก็ได้ยกเว้นบิต UIP ที่อ่านได้อย่างเดียว รายละเอียดของแต่ละบิตมีดังนี้

. UP (update in progress) เมื่อบิตนี้เป็น "1" แสดงว่ากำลังใกล้หรืออยู่ในระหว่างการปรับเวลาหรือเปลี่ยนเวลา แต่ถ้าเป็น "0" แสดงว่าอยู่ในการทำงานปกติ ซึ่งเป็นการแสดงว่ายังมีเวลาน้อยที่สุด 244 S ที่จะถึงการปรับเวลา บิตนี้จะอ่านได้เพียงอย่างเดียว และไม่มีผลจากการรีเซต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

. DV2, DV1, DV0 (divider selection) ทั้ง 3 บิตนี้เป็นตัวกำหนดการเลือกคริสตอลหรือฐานความถี่โดยมีการเลือกดังนี้ (เรียงจาก $DV_2 - DV_0$) - 000 เลือกฐานของความถี่ 4.194304 MHz -001 เลือกฐานความถี่ 1.048576 MHz -010 เลือกฐานความถี่ 32.768 kHz.

- นอกเหนือจากนี้ไม่สามารถทำงานได้

. RS3, RS2, RS1, RS0 (rate selection) ทั้ง 4 บิตนี้เป็นตัวกำหนดความถี่ที่กำเนิดออกทางขา SQW และ กำหนดจังหวะการอินเตอร์รัพท์ดังตารางที่ 1

ตารางที่ 1 แสดงช่วงเวลาการอินเตอร์รัพเป็นจังหวะและความถี่เอาต์พุตทางขา SQW โดยขึ้นอยู่กับบิต RS0-RS3 ในรีจิสเตอร์ A และความถี่ของตัวคริสตอลที่ใช้

บิตต่าง ๆ ในรีจิสเตอร์ A				คริสตอลความถี่ 4.194304 MHz หรือ 1.048576 MHz		คริสตอลความถี่ 32.768 kHz	
RS3	RS2	RS1	RS0	ช่วงเวลาการอินเตอร์รัพท์	ความถี่เอาต์พุตจากขา SQW	ช่วงเวลาการอินเตอร์รัพท์	ความถี่เอาต์พุตจากขา SQW
0	0	0	0	None	None	None	None
0	0	0	1	30.517 μs	32.768 kHz	3.90625 ms	256 Hz
0	0	1	0	61.035 μs	16.384 kHz	7.8125 ms	128 Hz
0	0	1	1	122.070 μs	8.192 kHz	122.070 μs	8.192 kHz
0	1	0	0	244.141 μs	4.096 kHz	244.141 μs	4.096 kHz
0	1	0	1	488.281 μs	2.048 kHz	488.281 μs	2.048 kHz
0	1	1	0	976.562 μs	1.024 kHz	976.562 μs	1.024 kHz
0	1	1	1	1.953125 ms	512 Hz	1.953125 ms	512 Hz
1	0	0	0	3.90625 ms	256 Hz	3.90625 ms	256 Hz
1	0	0	1	7.8125 ms	128 Hz	7.8125 ms	128 Hz
1	0	1	0	15.625 ms	64 Hz	15.625 ms	64 Hz
1	0	1	1	31.25 ms	32 Hz	31.25 ms	32 Hz
1	1	0	0	62.5 ms	16 Hz	62.5 ms	16 Hz
1	1	0	1	125 ms	8 Hz	125 ms	8 Hz
1	1	1	0	250 ms	4 Hz	250 ms	4 Hz
1	1	1	1	500 ms	2 Hz	500 ms	2 Hz

ตารางที่ 1

<u>รีจิสเตอร์ B (เขียน/อ่านได้)</u>

ทุก ๆ บิตในรีจิสเตอร์สามารถเขียนได้และอ่านก็ได้ ถ้าต้องการกำหนดสภาวะการทำงานก็คือการเขียน แต่ถ้าต้องการตรวจดูสถานะการทำงานก็คือการอ่าน รายละ-

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอียดของแต่ละบิต มีดังนี้

. SET ทำหน้าที่ในการตั้งเวลา เมื่อเขียนให้บิตนี้เป็น " 0" จะควบคุมให้นาฬิกาเดินตามปกติคือมีการปรับเวลาทุก ๆ 1 วินาที เมื่อเขียนให้บิตนี้เป็น " 1" นาฬิกาจะหยุดเพื่อทำการตั้งเวลาได้ บิตนี้จะไม่มีผลจากการรีเซต

. PIE (piriodic interrup enable) ทำหน้าที่อินาเบิ้ลการอินเตอร์รัพท์แบบเป็นจังหวะ (ตามช่วงเวลาในตารางที่) เมื่อเขียนให้บิตนี้เป็น " 1 " จะทำให้แฟลกที่แสดงการอินเตอร์รัพท์แบบเป็นจังหวะ (PF) ถูกเซต ซึ่งมีผลทำให้ขา $\overline{IRQ}$ เป็นลอจิก " 0 " ได้เมื่อเกิดการอินเตอร์รัพท์ในโหมดนี้ แต่ถ้าเขียนให้บิตนี้เป็น "0" ขา-$\overline{IRQ}$ จะไม่มีการเกิดการอินเตอร์รัพท์ในโหมดนี้ แต่ยังคงทำให้แฟลก PF เปลี่ยนแปลงไป เมื่อถึงเวลาอินเตอร์รัพท์บิต PIE นี้จะถูกเคลียร์เมื่อเกิดการรีเซต

. AIE (alarm interrupt enable ทำหน้าที่อินาเบิ้ลการอินเตอร์รัพท์เมื่อถึงเวลาปลุก เมื่อเขียนให้บิตนี้เป็น " 1 " จะทำให้แฟลกแสดงการอินเตอร์รัพท์ในโหมดเวลาปลุก (AF) ซึ่งอยู่ในรีจิสเตอร์ C มีผลต่อขา $\overline{IRQ}$ แต่ถ้าเขียนให้บิตนี้เป็น "0" จะไม่มีผลต่อขา $\overline{IRQ}$ ขา AIE นี้จะถูกเคลียร์เมื่อเกิดการรีเซต

. UIE (update - ended interrupt enable) ทำหน้าที่อินาเบิ้ลการอินเตอร์รัพท์ทุก ๆ ครั้งที่มีการปรับเวลาหรือทุก 1 วินาที โดยจะยอมให้มีการอินเตอร์รัพท์ได้เมื่อเขียนให้บิตนี้เป็น "1 " และมีแฟลก UF ในรีจิสเตอร์ C แสดงสภาวะของการอินเตอร์รัพท์ในโหมดนี้เมื่อเกิดการรีเซต หรือมีการเขียนบิต SET ให้เป็น " 1 " จะทำให้บิต UIE นี้ ถูกเคลียร์

. SQWE (square wave enable) ทำหน้าที่อินาเบิ้ลความถี่ของสัญญาณคลื่นสี่เหลี่ยมที่ออกมาทางขา SQW ตามค่าของบิต RS3 -RS0 ซึ่งแสดงไว้ในตารางที่ ถ้าเขียนให้บิตนี้เป็น "1" จึงยอมให้มีความถี่ที่ขา SQW แต่ถ้าเขียนให้บิตนี้เป็น " 0 " ขา-SQW จะเป็นลอจิก " 0 " ตลอด บิต SQWE จะถูกเคลียร์เมื่อเกิดการรีเซต

. DM (data mode) ทำหน้าที่กำหนดการเขียนหรืออ่านข้อมูลในหน่วยความจำแสดงเวลา (แอดเดรส 00H-09H) ว่าจะให้อยู่ในลักษณะเลขไบนารี (DM= 1) หรือเลข BCD (DM = 0) ดังแสดงตัวอย่างไว้ในตารางที่ 2 บิต DM นี้ไม่มีผลจากการรีเซต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 2 แสดงช่วงของข้อมูลที่อ่าน/เขียนได้จากหน่วยความจำที่แสดงเวลา, วัน, วันที่, เดือน และ ปี ในโหมดของเลขไบนารีและ BCD พร้อมด้วยตัวอย่าง

ตำแหน่งแอดเดรส	แสดงถึง	ช่วงค่าเปลี่ยนแปลง (ฐานสิบ)	ช่วงค่าเปลี่ยนแปลง		ตัวอย่าง*	
			โหมดไบนารี	โหมด BCD	โหมดไบนารี	โหมด BCD
0	Seconds	0-59	$00-$3B	$00-$59	15	21
1	Seconds Alarm	0-59	$00-$3B	$00-$59	15	21
2	Minutes	0-59	$00-$3B	$00-$59	3A	58
3	Minutes Alarm	0-59	$00-$3B	$00-$59	3A	58
4	Hours (12 Hour Mode)	1-12	$01-10C (AM) and $81-$8C (PM)	$01-$12 (AM) and $81-$92 (PM)	05	05
	Hours (24 Hour Mode)	0-23	$00-$17	$00-$23	05	05
5	Hours Alarm (12 Hour Mode)	1-12	$01-$0C (AM) and $81-$8C (PM)	$01-$12 (AM) and $81-$92 (PM)	05	05
	Hours Alarm (24 Hour Mode)	0-23	$00-$17	$00-23	05	05
6	Day of the Week Sunday = 1	1-7	$01-$07	$01-$07	05	05
7	Date of the Month	1-31	$01-$1F	$01-$31	0F	15
8	Month	1-12	$01-$0C	$01-$12	02	02
9	Year	0-99	$00-$63	$00-$99	4F	79

ตารางที่ 2

. 24/12 ทำหน้าที่เลือกการแสดงเวลาในลักษณะ 24 ชั่วโมง (บิตนี้เป็น "1") หรือ 12 ชั่วโมง (เป็น "0") ซึ่ง ถ้าเป็นลักษณะ 12 ชั่วโมง จะมีการแสดงด้วยรหัส AM และ PM ด้วยบิตที่ 7 ของหน่วยความจำเก็บชั่วโมง (แอดเดรส 04H และ 05H บิตนี้ไม่มีผลจากการรีเซต

. DSE บิตนี้ใช้สำหรับการแสดงเวลาในประเทศอเมริกาเท่านั้น ซึ่งจะมีการปรับเวลาให้เร็วขึ้น 1 ชั่วโมงในปลายเดือนเมษายน และปรับเวลาให้ช้ากลับมา 1 ชั่วโมง ในปลายเดือนตุลาคม แต่สำหรับในบ้านเราไม่มีการปรับเวลาแบบนี้ จึงต้องให้บิตนี้เป็น "0" และบิตนี้ไม่มีผลจากการรีเซต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รีจิสเตอร์ C (อ่านได้อย่างเดียว)

ในรีจิสเตอร์ตัวนี้จะมีบิตที่ใช้งานเพียง 4 บิตเท่านั้น คือบิตที่ 7-4 และทั้งบิตทำหน้าที่เป็นแฟลกแสดงการอินเตอร์รัพท์ที่อ่านได้เพียงอย่างเดียวเท่านั้นจะเขียนลงไปไม่ได้ คือทำหน้าที่แสดงสถานะของตัว RTC เพียงอย่างเดียว

. IRQF (interrupt request flag) เป็นแฟลกแสดงการเกิดอินเตอร์รัพท์ขึ้นแล้วจากโหมดใดโหมดหนึ่งใน 3 โหมด ซึ่งบิตนี้จะถูกเซตให้เป็น " 1" เมื่อ

1. PF และ PIE เป็น " 1 " ทั้งคู่หรือ
2. AF และ AIE เป็น " 1 " ทั้งคู่หรือ
3. UF และ UIE เป็น " 1 " ทั้งคู่

เมื่อแฟลก IRQF นี้เป็น " 1 " จะทำให้ขา $\overline{IRQ}$ เป็น " 0 " เพื่อขอการอินเตอร์รัพท์ และแฟลกทั้ง 4 ตัวนี้จะถูกเคลียร์ให้เป็น " 0 " เมื่อ CPU มาอ่านข้อมูลในรีจิสเตอร์ C นี้ไป หรือเมื่อเกิดการรีเซต

. PF (periodic interrupt flag) เป็นแฟลกแสดงการอินเตอร์รัพท์เมื่อถึงจังหวะการอินเตอร์รัพท์ที่ตั้งไว้โดยไม่ขึ้นอยู่กับบิต PIE เมื่อแฟลกนี้เป็น " 1 " จะทำให้ขา $\overline{IRQ}$ เป็น "0" และแฟลก IRQF เป็น " 1 " ด้วย ถ้าบิต PIE เป็น " 1 " ด้วยแฟลก PF นี้จะถูกเคลียร์ให้เป็น "0" โดยอัตโนมัติเมื่อ CPU มาอ่านรีจิสเตอร์ C หรือมีการรีเซต

. AF (alarm interrupt flag) เป็นแฟลกแสดงการอินเตอร์รัพท์เมื่อนาฬิกาเดินมาถึงเวลาปลุกที่ตั้งไว้ (ไม่รวมถึง วัน, วันที่, เดือนและปี) จะทำให้แฟลก AF เป็น "1" และถ้าบิต AIE เป็น "1" อยู่แล้ว ก็จะทำให้แฟลก IRQF เป็น " 1" ไปด้วยและยังทำให้ขา $\overline{IRQ}$ เป็น " 0 " เพื่อขออินเตอร์รัพท์ แฟลก AF นี้จะถูกเคลียร์โดยอัตโนมัติเมื่อ CPU มาอ่านรีจิสเตอร์ C หรือเมื่อเกิดการรีเซต

. UF (updated-ended interrupt flag) เป็นแฟลกแสดงการอินเตอร์รัพท์ เมื่อถึงช่วงการเปลี่ยนเวลาทุก ๆ 1 วินาทีโดยจะเป็น " 1 " และทำให้เกิดการอินเตอร์รัพท์เมื่อบิต UIE เป็น "1" บิต UF นี้จะถูกเคลียร์ด้วยการอ่านรีจิสเตอร์ C หรือการรีเซต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รีจิสเตอร์ D (อ่านได้อย่างเดียว)

รีจิสเตอร์นี้มีบิตที่ใช้เพียงบิตเดียวคือ บิตที่ 7 ส่วนที่เหลืออีก 7 บิตไม่มีการใช้งานอะไรและจะอ่านออกมาได้เป็น "0" เสมอ

. VRT (vaiid RAM and time) เป็นตัวแสดงสถานะของข้อมูลใน RAM ทั้ง 64 ไบต์ว่ายังใช้ได้อยู่หรือไม่ ซึ่งอาจจะใช้ไม่ได้ถ้าหากแรงดันที่ป้อนให้ตัวมันมีค่าต่ำลงจน RTC ไม่สามารถทำงานได้และข้อมูลใน RAM นั้นสูญหายไปแล้ว ด้วยเหตุนี้จึงมีการใช้ขา PS แสดงสถานะของข้อมูลใน RAM โดยต่อขา PS เข้ากับแรงดันไฟเลี้ยง เมื่อขา PS มีแรงดันต่ำมากหรือเมื่อเริ่มป้อนแรงดันไฟเลี้ยง บิต VRT นี้จะมีค่าเป็น "0" เป็นการบอกว่าข้อมูลใน RAM ไม่ถูกต้องแล้ว

ดังนั้นในการใช้งาน หลังจากที่ CPU ตั้งเวลาเรียบร้อยแล้ว จะต้องทำให้บิต VRT เป็น "1" ด้วยการอ่านรีจิสเตอร์ D นี้ ซึ่งจะเป็น "1" ได้ก็ต่อเมื่อขา PS มีแรงดันสูงแล้ว และถ้าขา PS มีแรงดันต่ำลงอีก บิต VRT ก็จะเป็น "0" ทำให้ CPU สามารถตรวจสอบสถานะของ RAM ได้ และบิต VRT จะไม่มีผลจากการรีเซต.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.4 การเปลี่ยนแปลงสัญญาณจาก ANALOG เป็นสัญญาณ DIGITAL

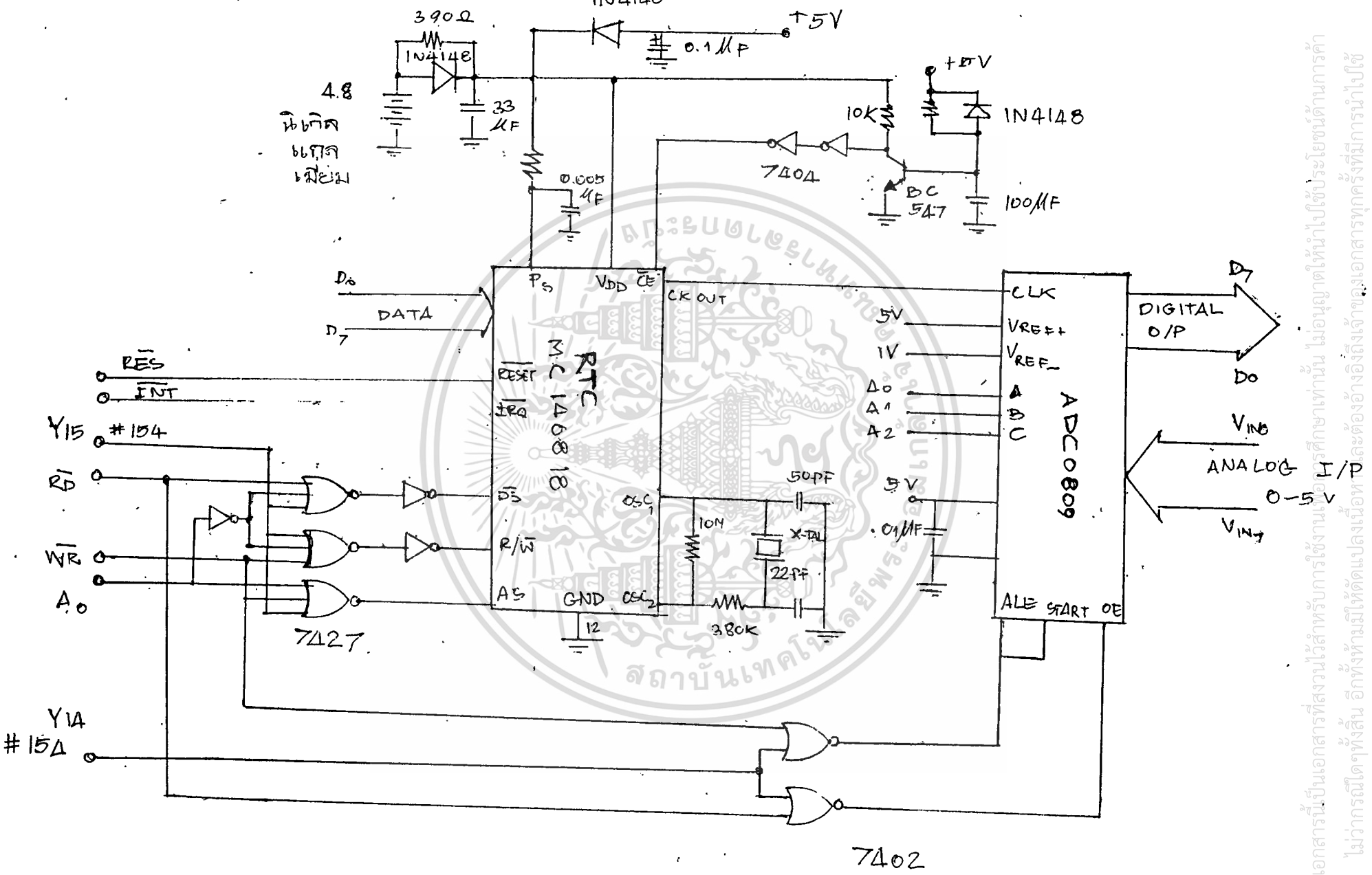
วงจร A/D (Anarog to Digital Converter) จะทำหน้าที่แปลงแรงดันหรือกระแสที่เป็นสัญญาณอะนาลอกไปเป็นตัวเลขหรือสัญญาณดิจิตอล วงจร A/D มีด้วยกันอยู่หลายแบบ แต่ที่นิยมใช้กันแพร่หลายมี 3 แบบคือ แบบสโลปคู่ (Dual Slope) แบบแปลงแรงดันเป็นความถี่ (V TO F Converter) และแบบประมาณทีละบิต (Successive - Approximation)

วงจร A/D แบบสโลปคู่เป็นแบบที่ง่ายที่สุด ไม่จำเป็นต้องใช้อุปกรณ์ที่มีคุณภาพดีมากนัก ก็สามารถแปลงสัญญาณได้อย่างแม่นยำ แต่มีข้อเสียนิดเดียวตรงที่ใช้เวลาในการแปลงสัญญาณมากไปหน่อย จึงไม่เหมาะในการใช้งานวัดแรงดันในช่วงเวลาสั้น ๆ เช่นการวัดแรงดันรูปคลื่น ณ จุดเวลาใดเวลาหนึ่ง แบบสโลปคู่นี้เหมาะสำหรับใช้วัดค่าเฉลี่ยของแรงดันและกระแส A/D แบบสโลปคู่ที่เป็น ไอซี สำเร็จรูป มีด้วยกันหลายเบอร์ ราคาไม่แพง จะให้การแปลงสัญญาณที่แม่นยำดีกว่า 0.1 เปอร์เซนต์ มีทั้งแบบแปลงเป็นตัวเลขขนาด $3\frac{1}{2}$ หลัก (แสดงผลสูงสุดเป็น 1999) และ $4\frac{1}{2}$ หลัก (แสดงผลสูงสุดเป็น 19999) หลักสุดท้ายจดแสดงค่าเป็น 0 หรือ 1 เท่านั้น จึงเรียกง่าย ๆ ว่า $\frac{1}{2}$ หลัก

วงจร A/D แบบแปลงแรงดันเป็นความถี่และแบบประมาณทีละบิตนั้นมีข้อดีตรงที่สามารถแปลงสัญญาณได้รวดเร็ว มีความแม่นยำดี เพียงแต่วงจรมีความซับซ้อนมากจึงมีราคาแพง ในโครงการนี้จะใช้ A/D ADC 0809 8 BIT ซึ่งเป็น IC CMOS และ 8 ช่อง Multiplexer แบบประมาณทีละบิต ซึ่งสามารถที่จะทำการเลือก Analog Input ของแต่ละช่องได้ตามต้องการ ระดับแรงดันสามารถแบ่งได้ถึง 256 ส่วนคือตั้งแต่ 00 (HEX) ถึง FF (HEX) ดังนั้นค่าของความละเอียดจึงขึ้นอยู่กับ Range ของแรงดันที่กำหนดให้เป็นแรงดันอ้างอิง กล่าวคือ ถ้าช่วงของแรงดันมีช่วงการเปลี่ยนแปลง สำหรับการวัดค่ามากเท่าใดก็ได้จะทำให้ความละเอียดลดน้อยลงไปตามส่วน ดังนั้นเพื่อให้ได้ความละเอียดที่มากพอจึงต้องมีการกำหนดแรงดันอ้างอิงให้เหมาะสมกับช่วงที่ต้องการ จะทำการวัดค่าระดับของแรงดันนั้น สำหรับในส่วนรายละเอียดอื่น ๆ จะอยู่ใน Data Sheet ที่ให้มาด้วยท้ายเล่ม.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.8 ฟังก์ชัน ของวงจรเชื่อมต่อ



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงลิขสิทธิ์ของเอกสารทุกครั้งที่มีการนำไปใช้

3.5 Z80 ไมโครโปรเซสเซอร์เป็น CPU ที่ผลิตจากบริษัท ZILOG INC. โดยกลุ่มวิศวกรชุดเดียวกับที่ผลิต 8080 CPU ของบริษัท INTEL COCRPERATION ., Z80 CPU ได้รับการพัฒนาให้มีข้อดีเหนือกว่า 8080 เช่น มีชุดคำสั่งมากถึง 158 คำสั่งโดยรวมชุดคำสั่งเดิมของ 8080 ไว้ 80 คำสั่ง นอกจากนี้ Z80 ยังมีรีจิสเตอร์มากกว่าใน 8080 ถึง 12 ตัว และ 8080 เพียงตัวเดียวก็ยังไม่สามารถที่จะนำไปใช้ในงานได้ต้องต่อกับอุปกรณ์สนับสนุนอีก 2 ตัวคือ CLOCK GENERATOR CHIP, SYSTEM CONTROLER CHIP รวมกันเรียกว่า THREE CHIP PROCESSOR แต่ใน Z80 CPU ได้รวมเอาลักษณะพื้นฐานเหล่านี้ไว้ในชิพเดียวกัน และเพิ่มประสิทธิภาพทาง HARDWARE, SOFTWARE และการ INTERFACE ให้สูงขึ้น

Z80 ไมโครโปรเซสเซอร์เพียงชิ้นเดียวไม่สามารถทำงานเป็นระบบคอมพิวเตอร์ได้ ต้องอาศัยอุปกรณ์อื่น ๆ อีก 2 ส่วนคือ หน่วยความจำ (MEMORY) และหน่วยรับส่งข้อมูลเข้าออก (I/O DEVICE) ซึ่งในการทำงานตามคำสั่งจากโปรแกรมที่ป้อนเข้ามา Z80 CPU จะต้องทำการโอนย้ายคำสั่งหรือข้อมูลระหว่างหน่วยความจำ กับรีจิสเตอร์ (REGISTER)

รายละเอียดของขา Z80 (Z80 PIN OUTS).

A0-A15 (ADDRESS BUS) : เป็นขาสัญญาณเอาท์พุทแบบ TRI-STATE ใช้บ่งบอกตำแหน่งหน่วยความจำได้ถึง 2 = 65536 ตำแหน่ง A0-A7 จะแสดงตำแหน่งของพอร์ทที่ Z80 ต้องการติดต่อด้วย นอกจากนี้ขา A0-A6 จะให้สัญญาณรีเฟรชแอดเดรสออกมาขณะที่ Z80 ให้สัญญาณรีเฟรช.

D0-D7 (DATA BUS) : เป็นขาสัญญาณอินพุท/เอาท์พุท TRI-STATE แบบสองทิศทางซึ่งเป็นทางผ่านของข้อมูลระหว่าง Z80 กับหน่วยความจำและอุปกรณ์ I/O

$\overline{M1}$ (MACHINE CYCLE ONE) : เป็นขาเอาท์พุทแอคทีฟที่ลอจิก "0" ขา $\overline{M1}$ นี้จะแอคทีฟขณะที่ Z80 ทำการเฟทช์ออพโคดของคำสั่ง ในกรณีที่คำสั่งที่จะเฟทช์เข้ามานั้นมีขนาด 2 ไบท์ $\overline{M1}$ จะแอคทีฟในทุก ๆ ไซเคิลการเฟทช์แต่ละไบท์.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$\overline{MREQ}$ (MEMORY REQUEST) : เป็นสายเอาท์พุทแบบ TRI-STATE แอคทีฟที่ลอจิก " 0 " เพื่อเป็นการบ่งบอกว่า Z80 กำลังกระทำการติดต่อกับหน่วยความจำ

$\overline{IORQ}$ (INPUT/OUTPUR REQUEST) : เป็นสายเอาท์พุทแบบ TRI-STATE จะแอคทีฟที่ลอจิก "0" เพื่อเป็นการบ่งบอกว่า Z80 กำลังทำการติดต่อกับอุปกรณ์ I/O และเมื่อ $\overline{IORQ}$ และ $\overline{M1}$ แอคทีฟทั้งคู่จะเป็นการบ่งบอกการตอบรับอินเทอร์รัพท์ (INTERRUPT ACKNOWLEDGE).

$\overline{RD}$ (MEMORY READ) : เป็นขาของเอาท์พุท TRI -- STATE จะแอคทีฟที่ลอจิก " 0" เมื่อ Z80 ต้องการอ่านข้อมูลจากหน่วยความจำหรืออุปกรณ์ I/O และ Z80 จะรับข้อมูลจากบัสข้อมูลเข้าไปเมื่อสัญญาณนี้เปลี่ยนระดับลอจิกจาก " 0 " เป็น "1"

$\overline{WR}$ (MEMORY WRITE) : เป็นขาเอาท์พุทแบบ TRI-STATE จะแอคทีฟที่ลอจิก " 0 " เมื่อ Z80 ต้องการส่งข้อมูลออกไปให้หน่วยความจำหรืออุปกรณ์ I/O.

$\overline{RFSH}$ (REFRESH) : เป็นขาเอาท์พุท จะแอคทีฟเมื่อ 7 บิทล่าง (A0 - A6) ของบัสแอดเดรสให้ดาต้าที่รีเฟรชออกมา

$\overline{HALT}$ (HALT STATE): เป็นขาเอาท์พุท จะแอคทีฟที่ลอจิก " 0 " เมื่อ Z80 อยู่ในสภาวะของการ $\overline{HALT}$ คือ CPU จะทำคำสั่ง NOP (NO OPERATION) เพื่อให้เกิดการรีเฟรชได้และ Z80 จะหลุดพ้นจากสภาวะการ HALT เมื่อได้รับการรีเซทหรือถูกอินเทอร์รัพท์.

$\overline{WAIT}$: เป็นขาอินพุทแอคทีฟที่ลอจิก "0" และจะมีการตรวจสอบสัญญาณนี้ที่ขอบขาลงของคล็อกลูกที่ 2 ของทุก ๆ MACHINE CYCLE เมื่อมีการตรวจพบว่าขาอินพุทนี้แอคทีฟจะมีการแทรก WAIT STATE ให้กับแต่ละ MACHINE CYCLE เพื่อเป็นการรอให้อุปกรณ์ภายนอกทำงานให้ทันกับการทำงานของ Z80 และ Z80 จะแทรก WAIT STATE จนกว่าจะมีการตรวจสอบพบว่าขา WAIT จะมีลอจิกเป็น " 1 "

$\overline{INT}$ (INTERRUPT REQUEST) : เป็นขาอินพุทแอคทีฟที่ลอจิก "0" Z80 จะตรวจสอบระดับสัญญาที่ขานี้ทุก ๆ การสิ้นสุดของ INSTRUCTION CYCLE (LAST - STATE).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

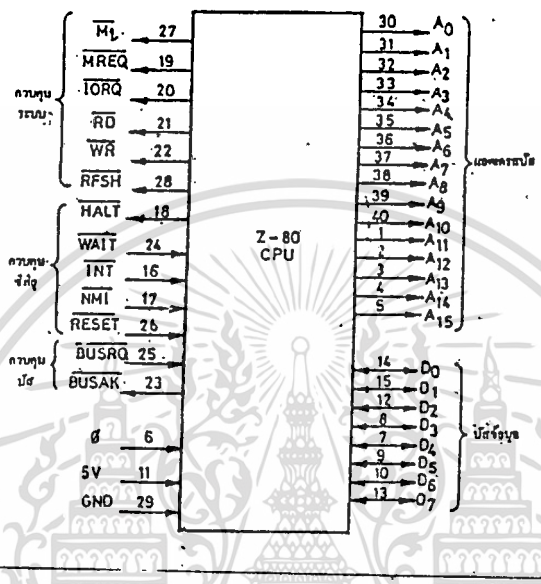
$\overline{\text{NMI}}$ (NON MASKABLE INTERRUPT) : เป็นขาอินพุทแอคทีฟที่ลอจิก "0" สัญญาณ NON MASKABLE INTERRUPT เป็นสัญญาณที่มีระดับความสำคัญในการขออินเทอร์รัพท์สูงกว่าสัญญาณ INTERRUPT REQUEST Z80 จะตอบรับการอินเทอร์รัพท์ชนิดนี้เสมอโดยที่เราไม่สามารถ DISABLE ได้ด้วย SOFTWARE.

$\overline{\text{RESET}}$: เป็นขาอินพุทแอคทีฟที่ลอจิก "0" สัญญาณนี้จะทำการ INITIALIZE CPU โดยทำการรีเซ็ท INTERRUPT FLIP-FLOP และเซ็ทค่าในโปรแกรมเคาน์เตอร์ (PROGRAM COUNTER) ให้เป็น 0000H และในสภาวะการรีเซ็ทนี้ บัสแอดเดรสและบัสข้อมูลจะอยู่ในสภาวะ HIGH IMPEDANCE และสัญญาณควบคุมต่าง ๆ จะอยู่ในสภาวะ INACTIVE.

$\overline{\text{BUSRQ}}$ (BUS REQUEST) : เป็นขาอินพุทแอคทีฟที่ลอจิก "0" สัญญาณ BUS REQUEST เป็นสัญญาณที่มีลำดับความสำคัญสูงกว่าสัญญาณ NON MASKABLE INTERRUPT และมีการตรวจสอบสัญญาณนี้ทุก ๆ การสิ้นสุดของ MACHINE CYCLE อุปกรณ์ภายนอกจะให้สัญญาณนี้แก่ Z80 เมื่อต้องการใช้บัสข้อมูลและบัสแอดเดรสโดยเปรียบเสมือนว่าเป็นการถอด Z80 ออกจากระบบบัส.

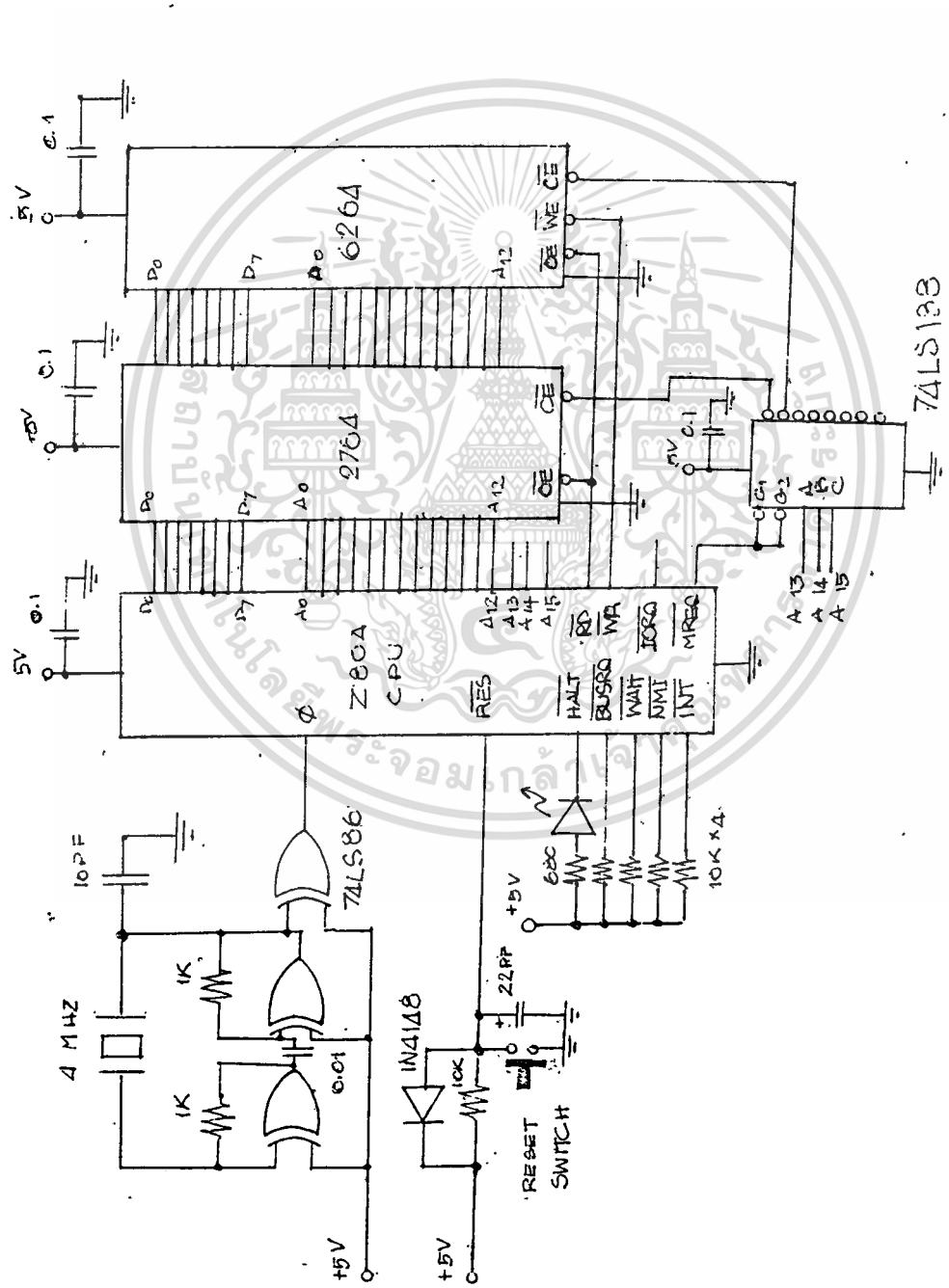
$\overline{\text{BUSAK}}$ (BUS ACKNOWLEDGE) : เป็นขาเอาท์พุทแอคทีฟที่ลอจิก "0" ขานี้จะแอคทีฟเมื่อ Z80 ตอบสนองการขอสัญญาณ BUS REQUEST และจะทำให้บัสข้อมูล, บัสควบคุมและบัสแอดเดรสมีสภาวะเป็น HIGH IMPEDANCE ซึ่งทำให้อุปกรณ์ภายนอกใช้บัสเหล่านี้ได้โดยไม่มีผลต่อ CPU.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.15 ลักษณะของขาไอซี Z-80 ซีพียู

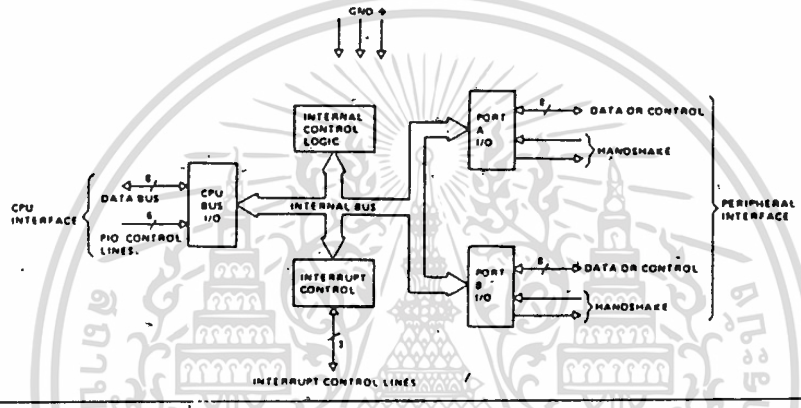
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



CONTROL UNIT

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.6 Z80 - PIO เป็นชิพซัมพอร์ทที่สร้างขึ้นมาสำหรับใช้กับ Z80 โดยเฉพาะ สำหรับ Z80 - PIO นี้จะทำหน้าที่เป็นพอร์ท I/O (INPUT/OUTPUT PORT) ที่เราสามารถที่จะเลือกโปรแกรมให้ทำงานในลักษณะต่าง ๆ คือ อาจจะทำให้งานเป็นพอร์ทอินพุท พอร์ทเอาท์พุท หรือเป็นทั้งพอร์ทอินพุทและพอร์ทเอาท์พุทในเวลาเดียวกันก็ได้ และจะให้มีการทำ HAND SHAKE หรือไม่ก็ได้ ขึ้นกับโหมดการทำงานที่เราโปรแกรมไว้ ซึ่งมีอยู่ถึง 4 โหมด คือ โหมด 0- โหมด 3.



รูปที่ 3.16 : แผ่นภาพแสดงบล็อกไดอะแกรมของ Z80-PIO

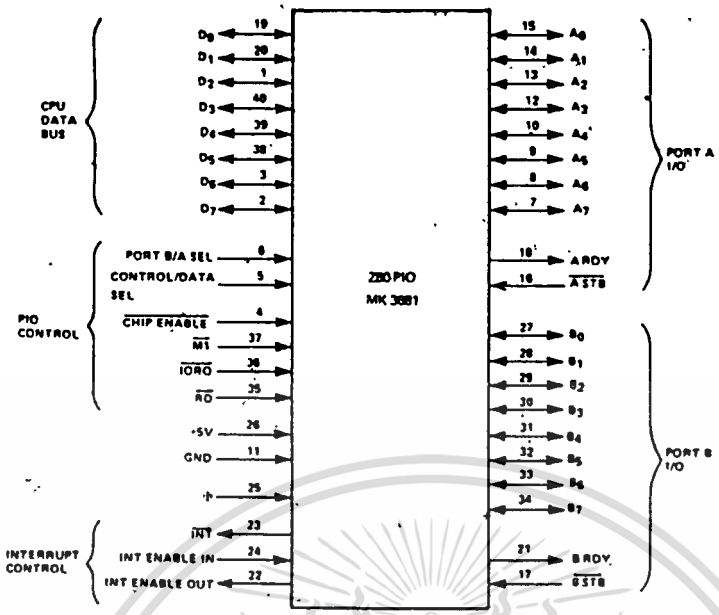
การจัดเรียงขาบน Z80-PIO.

รูปที่ 3.17 จะแสดงการจัดเรียงขาบน Z80-PIO ซึ่งเป็น PACKAG 40 ขาแบบ DIP ใช้ไฟเลี้ยง +5 V กับ GROUND ทำให้สะดวกต่อการใช้งาน เนื่องจากสามารถที่จะใช้ไฟเลี้ยงร่วมกับไอซีตระกูล TTL ได้พอดี พิจารณาในรูปที่ เราสามารถที่จะแยกขาต่าง ๆ บน Z80-PIO ออกเป็นกลุ่ม ๆ ตามลักษณะการใช้งานได้ดังนี้คือ

1. กลุ่มที่ใช้เชื่อมต่อกับ CPU : หน้าที่ของขาในกลุ่มนี้จะทำการติดต่อกับ CPU โดยตรง ซึ่งจะประกอบไปด้วย

1.1) D7-D0 : ทำหน้าที่ในการที่จะรับหรือส่งข้อมูลให้กับ CPU

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.17: การจัดเรียงขาของ Z80-PIO.

1.2) B/$\overline{A}$ SELECT : (PORT B/A SELECT) : หน้าที่ของขานี้ก็คือทำให้ PIO ทราบว่า CPU ต้องการที่จะติดต่อกับพอร์ท B (กรณีที่ได้รับลอจิก " 1") หรือพอร์ท A (กรณีที่ได้รับลอจิก " 0 ") โดยปกติแล้วขา B/$\overline{A}$ SELECT นี้จะต่อกับขา AO ของ CPU โดยตรง

1.3) C/$\overline{D}$ SELECT : (CONTROL/DATA SELECT) : ใช้ในการบอก PIO ว่าข้อมูลที่ CPU ส่งให้กับ PIO นั้น เป็นคำสั่งควบคุม (CONTROL WORD : ในกรณีที่ได้รับลอจิก " 1 " หรือ เป็นข้อมูลจริง (ACTUAL DATA: ในกรณีที่ได้รับลอจิก " 0 " สำหรับคำสั่งควบคุมนั้นจะใช้ในการโปรแกรม PIO เพื่อเลือกโหมดการทำงาน ขานี้โดยปกติจะต่อเข้ากับขา A1 ของ CPU โดยตรง

1.4) $\overline{CE}$: (CHIP ENABLE INPUT) : การทำงานของขา $\overline{CE}$ นี้ก็คือ เมื่อขานี้ได้รับลอจิก " 0 " PIO ก็สามารถที่จะรับหรือส่งข้อมูลให้กับอุปกรณ์อินพุทเอาท์พุทได้และเมื่อขา $\overline{CE}$ นี้ได้รับลอจิก " 1 " PIO ก็จะไม่สามารถที่จะรับหรือส่งข้อมูลได้ สำหรับวิธีที่จะต่อขานี้เข้ากับระบบนั้นจะกล่าวถึงในภายหลัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.5) $\overline{M1}$; (MACHINE CYCLE 1) : สำหรับขานี้โดยปกติจะต่อกับขา - MI ของ Z80 โดยตรง ซึ่ง PIO จะใช้สัญญาณที่ขานี้มาควบคุมการทำงานหลาย ๆ อย่างภายในตัว PIO โดยที่เมื่อทั้ง $\overline{M1}$ และ $\overline{RD}$ เป็นลอจิก "0" ทั้งคู่ ก็จะแสดงว่า Z80 กำลังอยู่ในช่วงเฟทช์ออฟโคด (FETCH OPCODE) อยู่ ซึ่งเมื่อ PIO ได้รับสัญญาณคู่นี้ ก็จะคอยอ่านข้อมูลบนบัสข้อมูลว่าเป็นออฟโคดของคำสั่ง RETI หรือไม่ ถ้าใช่ก็จะไปทำให้ขา IEO มีสถานะเป็น " 1 " ซึ่งจะกล่าวถึงการใช้งานในภายหลังและในกรณีที่ทั้งขา $\overline{M1}$ และ $\overline{IORQ}$ ได้รับลอจิก " 0 " ทั้งคู่แสดงว่า Z80 ส่งสัญญาณตอบสนองการอินเทอร์รัพออกมา และเนื่องจาก PIO ไม่มีขาที่ใช้ในการรีเซ็ทโดยตรง ดังนั้นจึงได้มีการกำหนดไว้ว่า ถ้าขา M1 แอคทีฟเพียงขาเดียว ($\overline{IORQ}$ และ $\overline{RD}$ ไม่แอคทีฟตาม) จะถือว่าเป็นการรีเซ็ท ซึ่งจะกล่าวถึงการใช้งานขานี้ในภายหลัง

1.6) $\overline{IORQ}$: สำหรับขานี้จะต่อโดยตรงกับขา $\overline{IORQ}$ ของ Z80 และใช้ร่วมกับ B/$\overline{A}$ SELECT, C/$\overline{D}$ SELECT และ $\overline{CE}$ เพื่อการแลกเปลี่ยนข้อมูลคือเมื่อ $\overline{IORQ}$ กับ $\overline{CE}$ ได้รับลอจิก "0" ทั้งคู่ (ACTIVE) ก็แสดงว่า Z80 ต้องการที่จะติดต่อกับ PIO ตัวนั่นเอง และเมื่อ $\overline{IORQ}$ กับ $\overline{M1}$ ได้รับลอจิก "0 " (ACTIVE) ทั้งคู่ ก็แสดงว่า Z80 ได้ตอบรับการขออินเทอร์รัพท์มา ซึ่งถ้า PIO ถูกโปรแกรมไว้ให้ตอบสนองต่อการอินเทอร์รัพท์ PIO ก็จะส่งอินเทอร์รัพท์เวคเตอร์ไปบนบัสข้อมูลโดยอัตโนมัติ

1.7) $\overline{RD}$: ขา $\overline{RD}$ นี้ก็จะต่อโดยตรงกับขา $\overline{RD}$ ของ Z80 เช่นเดียวกัน เราทราบมาแล้วว่าสัญญาณจากขา $\overline{RD}$ ของ Z80 นี้เป็น "0" ก็แสดงว่า Z80 ต้องการที่จะอ่านข้อมูลจากหน่วยความจำหรืออุปกรณ์ I/O ดังนั้นในกรณีที่ทั้งขา $\overline{IORQ}$ และ $\overline{CE}$ เป็น "0" ด้วยก็แสดงว่า Z80 ต้องการที่จะอ่านข้อมูลจาก PIO และเนื่องจากบน-PIO ไม่มีขา $\overline{WR}$ ดังนั้น PIO จึงใช้หลักที่ว่าขา $\overline{RD}$ และ $\overline{WR}$ จะไม่แอคทีฟพร้อมกัน (ไม่เป็น " 0" พร้อมกัน) คือถ้าขา $\overline{RD}$ เป็น "0" ขา $\overline{WR}$ จะเป็น " 1 " (ซึ่งจะเป็นช่วงเวลาที่ Z80 ทำการอ่านข้อมูลจากภายนอก) และถ้าขา $\overline{RD}$ เป็น " 1" ขา $\overline{WR}$ จะเป็น " 0 " (ซึ่งจะเป็นช่วงเวลาที่ Z80 ทำการส่งข้อมูลออก) ดังนั้น PIO จึงใช้วิธีตรวจสอบว่าถ้า $\overline{IORQ}$ และ $\overline{CE}$ แอคทีฟ แต่ $\overline{RD}$ ไม่แอคทีฟตาม ก็จะแสดงว่า Z80 ต้องการที่จะส่งข้อมูลให้กับ PIO นั่นเอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.8) ø ; (CLOCK) : ขาคล็อกของ PIO จะต่อเข้ากับคล็อกของระบบซึ่งใช้สำหรับ Z80 ด้วย)

2. กลุ่มที่เกี่ยวกับการอินเทอร์รัพท์ สำหรับขาในกลุ่มนี้จะทำหน้าที่ในการควบคุมการขออินเทอร์รัพท์ของ PIO ซึ่งประกอบด้วย

2.1) $\overline{INT}$; สำหรับขา $\overline{INT}$ นี้เป็นขาเอาท์พุทของ PIO ซึ่งจะแอคทีฟเมื่อ PIO ต้องการที่จะขออินเทอร์รัพท์ โดยสามารถที่จะควบคุมได้โดยวิธีการทางซอฟท์แวร์ และยังขึ้นอยู่กับขา IEI ของ PIO ด้วย

2.2) IEI ; (INTERRUPT ENAB LE IN) และ IEO ; (INTERRUPT ENABLE OUT) : : สำหรับขาทั้งสองนี้จะใช้สำหรับการทำ DAISY CHAIN PRIORITY.

3. กลุ่มที่เกี่ยวกับการติดต่อกับอุปกรณ์ภายนอก ขาในกลุ่มนี้จะทำหน้าที่ในการติดต่อ, รับหรือส่งข้อมูลให้กับอุปกรณ์ภายนอก ซึ่งสามารถที่จะแยกได้เป็น 2 พอร์ทคือ พอร์ท A และ พอร์ท B

3.1) พอร์ท A ประกอบด้วย บัสข้อมูล 8 เส้น และบัสควบคุมอีก 2 เส้น คือ

3.1.1) A7-A0 : ทำหน้าที่ในการรับหรือส่งข้อมูลให้กับอุปกรณ์ภายนอก โดยที่ A0 จะเป็นบิทที่มีนัยสำคัญต่ำ (LEAST-SIGNIFICANT BIT)ของข้อมูล

3.1.2) $\overline{ASTB}$ และ ARDY (PORT A STROBE PULSE INPUT และ REGISTER A READY เป็นขาที่ใช้สำหรับการทำงานในโหมดที่มีการทำ

3.2) พอร์ท B ประกอบด้วย บัสข้อมูล 8 เส้น และบัสควบคุม 2 เส้น เช่นกันคือ

3.2.1) B7-B0 ทำหน้าที่รับหรือส่งข้อมูลของพอร์ท B กับอุปกรณ์ภายนอก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2.2) $\overline{\text{BSTB}}$; (PORT B STROBE PULSE INPUT) และ BRDY : (REGISTER B READY) : ใช้สำหรับการทำงานในโหมดที่มีการทำ HAND - SHAKE เช่นเดียวกับ $\overline{\text{ASTB}}$ และ ARDY

การใช้งาน PIO ในโหมด 3 (CONTROL MODE).

การใช้งานในโหมดนี้ จะเป็นการทำงานในลักษณะที่ไม่มีการทำ HANDSHAKE และ เราสามารถที่จะโปรกแกรมให้แต่ละบิทของแต่ละพอร์ทให้เป็น อินพุท หรือเอาท์พุท์ก็ได้ เช่น เราอาจจะให้บิท B0,B3 และ B6 เป็นอินพุทและบิทที่เหลือของพอร์ท B เป็นเอาท์พุท์ก็ได้ และที่สำคัญอีกอย่างหนึ่งก็คือ ในโหมดนี้เราสามารถที่จะใช้พอร์ททั้ง 2 แยกกันได้อย่างอิสระ

เช่นเดียวกับในโหมดอื่น ๆ การที่จะสั่งให้ PIO ทำงานในโหมดนี้ได้นั้น จะต้องทำการส่งคำสั่งเลือกโหมด (MODE WORD) ไปยังรีจิสเตอร์ควบคุมของพอร์ทที่ต้องการ โดยคำสั่งเลือกโหมดสำหรับโหมด 3 นี้มีค่าเป็น OCFH หลังจากที่ได้ทำการโปรแกรมเลือกโหมดนี้แล้ว จะต้องทำการส่งข้อมูลไบท์ต่อไปให้กับ PIO ทันทีโดยที่ PIO จะถือว่าข้อมูลไบท์นี้เป็นข้อมูลที่ใช้ในการเลือกว่าจะให้บิทใดของพอร์ทที่ถูกโปรแกรมไว้เป็นอินพุทและให้บิทใดเป็นเอาท์พุท คือถ้าบิทใดของข้อมูลในไบท์นี้เป็น " 0 " ก็แสดงว่าเราต้องการให้บิทนั้นเป็นเอาท์พุท และถ้าบิทใดเป็น " 1 " ก็แสดงว่าเราต้องการให้บิทนั้นเป็นอินพุท เช่นในกรณีที่เราต้องการให้พอร์ท B ทำงานในโหมด 3 และให้บิท B0, B3 และ B6 เป็นอินพุท์ก็จะต้องส่งข้อมูลไบท์ที่ต่อจากคำสั่งเลือกโหมดเป็น 01001001B = 49H (บิท 0,3 และ 6 เป็น " 1 ")

สำหรับตัวอย่างโปรแกรมข้างล่าง นี้เป็นโปรกแกรมที่ใช้ในการสั่งให้พอร์ททำงานในโหมด 3 โดยที่บิท B0,B3 และ B6 เป็นอินพุท

```
LD A, OCFH
OUT (2FH), A        ; โปรแกรมให้พอร์ท B ทำงานในโหมด 3
LF A, 49H
OUT (2FH) , A       ; โปรแกรมให้บิท
                    ; B3, B3 และ B6 เป็นอินพุท
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หลังจากการทำงานในโปรแกรมข้างต้นแล้วพอร์ท B ของ PIO ก็จะถูกโปรแกรมให้ทำงานในโหมด 3 โดยที่บิท B0, B3 และ B6 ใช้เป็นอินพุท ในตอนนี้ผู้เขียนโปรแกรมก็สามารถที่จะส่งข้อมูลออกไปยังบิทเอาท์พุท (บิท B1, B2, B4, B5 และ B7 และรับข้อมูลเข้าทางบิทอินพุทได้แล้ว โดยที่เมื่อทำการอ่านข้อมูลจากบิทอินพุทนั้น ข้อมูลจากบิทที่ถูกโปรแกรมให้เป็นอินพุทนั้นก็จะถูกส่งไปให้กับ Z80 ตามข้อมูลที่ได้รับเข้ามาจากภายนอก ส่วนข้อมูลจากบิทที่ถูกโปรแกรมให้เป็นเอาท์พุทนั้นก็จะเป็นข้อมูลเดิมที่ Z80 ส่งให้กับบิทเอาท์พุทเหล่านั้น เช่น ในกรณีที่ Z80 ส่งข้อมูล 00101B ให้กับอุปกรณ์ภายนอก โดยส่งผ่าน PIO ทางบิท B 1, B2, B4,B5 และ B7 ตามลำดับ เมื่อ Z80 ทำการอ่านข้อมูลจากบิท B0,B3 และ B6 (ในที่นี้สมมติให้ข้อมูลที่อุปกรณ์ภายนอกส่งให้กับบิททั้งสามนั้นเป็น 011B ตามลำดับ) ดังนั้นข้อมูลจากพอร์ท B ที่ PIO ทำการส่งออกมาบนบัสข้อมูล เพื่อส่งให้กับ Z80 จะเป็น 1101100B (ODBH) แต่ข้อมูลที่ Z80 ต้องการจะมีเพียง 3 บิทเท่านั้น ดังนั้นในกรณีนี้ ผู้เขียนโปรแกรมจะต้องทำการตรวจสอบข้อมูลที่รับเข้ามาเอง

สำหรับการอินเทอร์รัพท์ในโหมดนี้จะขึ้นอยู่กับส่วนที่เป็นบิทอินพุทเท่านั้น และจะทำการส่งสัญญาณ PIO ให้กับ $\overline{INT}$ ก็ต่อเมื่อข้อมูลที่บิทอินพุทที่ Z80 รับเข้ามานั้นตรงกับเงื่อนไขที่กำหนด (โปรแกรม) ไว้ใน INTERRUPT CONTROL WORD เท่านั้น

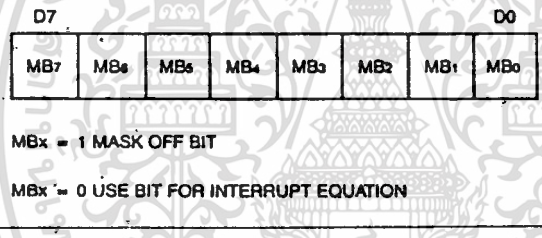
พิจารณาจากการจัดเรียงบิทของ INTERRUPT CONTROL WORD

1. บิท D6 ;(AND/OR) : ข้อมูลในบิทนี้จะใช้ในการเลือกระหว่างการ AND หรือการ OR กันกับอินพุทที่ PIO รับเข้ามา โดยถ้าข้อมูลในบิทนี้เป็น " 1 " จะเป็นการเลือกการ AND กันของข้อมูลและ PIO จะทำการส่ง $\overline{INT}$ ให้กับ Z80 ก็ต่อเมื่อข้อมูลทุกบิทที่เราสนใจนั้นอยู่ในสภาวะแอคทีฟ และถ้าข้อมูลในบิทนี้เป็น " 0 " จะเป็นเลือกการ OR กันของข้อมูล ทำให้ PIO ส่ง $\overline{INT}$ ให้กับ Z80 เมื่อข้อมูลในบิทที่เราสนใจบิทใดบิทหนึ่งอยู่ในสภาวะแอคทีฟ สำหรับสภาวะแอคทีฟที่กล่าวถึงนี้อาจจะเป็น " 0 " หรือ " 1 " ก็ได้ และเราสามารถที่จะเลือกให้ความสนใจต่อบิทอินพุทใดก็ได้โดยการโปรแกรมในบิท D5 และ D4 ตามลำดับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2. บิท D5 ; (HIGH/LOW) : บิทนี้จะใช้สำหรับการเลือกสภาวะแอคทีพที่อินพุทของ PIO โดยถ้าบิทนี้เป็น " 1 " สภาวะแอคทีพก็คือลอจิก " 1 " แต่ถ้าบิทนี้เป็น "0 " สภาวะแอคทีพก็คือลอจิก "0 "

3. บิท D4 ; (MASK FOLLOWS) : ถ้าข้อมูลในบิทนี้เป็น " 1 " จะเป็นการบอกให้ PIO ทราบว่าข้อมูลที่จะถูกส่งตามมานั้นเป็น MASK WORD ซึ่งใช้ในการเลือกว่าอินพุทบิทใดเป็นบิทที่เราสนใจ รูปที่ จะแสดงตำแหน่งของบิทต่าง ๆ บน MASK WORD ถ้าเราสนใจที่จะตรวจสอบใดก็ให้บิทนั้นเป็น " 0 " ส่วนบิทที่ไม่สนใจก็ - " 1 " เช่นในกรณีที่เราสนใจที่จะตรวจสอบบิท B3 และ B4 ก็ให้ข้อมูลใน MASK WORDนี้มีค่าเป็น 11100111B หรือ OE7H เป็นต้น



รูปที่ 3.18 การจัดเรียงบิทบน MASK WORD

เพื่อที่จะอธิบายการทำงานในโหมดนี้ของ PIO จะขอยกตัวอย่างดังนี้คือ

1. ทำการโปรแกรมพอร์ท B ของ PIO ให้อยู่ในโหมด

2. โปรแกรมให้บิท B2,B3 และ B4 เป็นบิทอินพุท

3. กำหนด INTERRUPT VECTOR เป็น OBH

4. โปรแกรม INTERRUPT CONTROL WORD โดยทำการ ENABLE-INTERRUPT (บิท D7 = " 1 " เลือกการ AND (บิท D6 = " 1 "ให้สภาวะแอคทีพเป็นลอจิก " 0 " (บิท D5 = "0") , มีการส่ง MASK WORD ตามมา - (MASK FOLLOW ; บิท D4 = " 1 " และกำหนดให้บิท B3 และบิท B4 เป็นบิทที่เราต้องการที่จะตรวจสอบ ดังนั้น MASK WORD จะมีข้อมูลเป็น OE7H

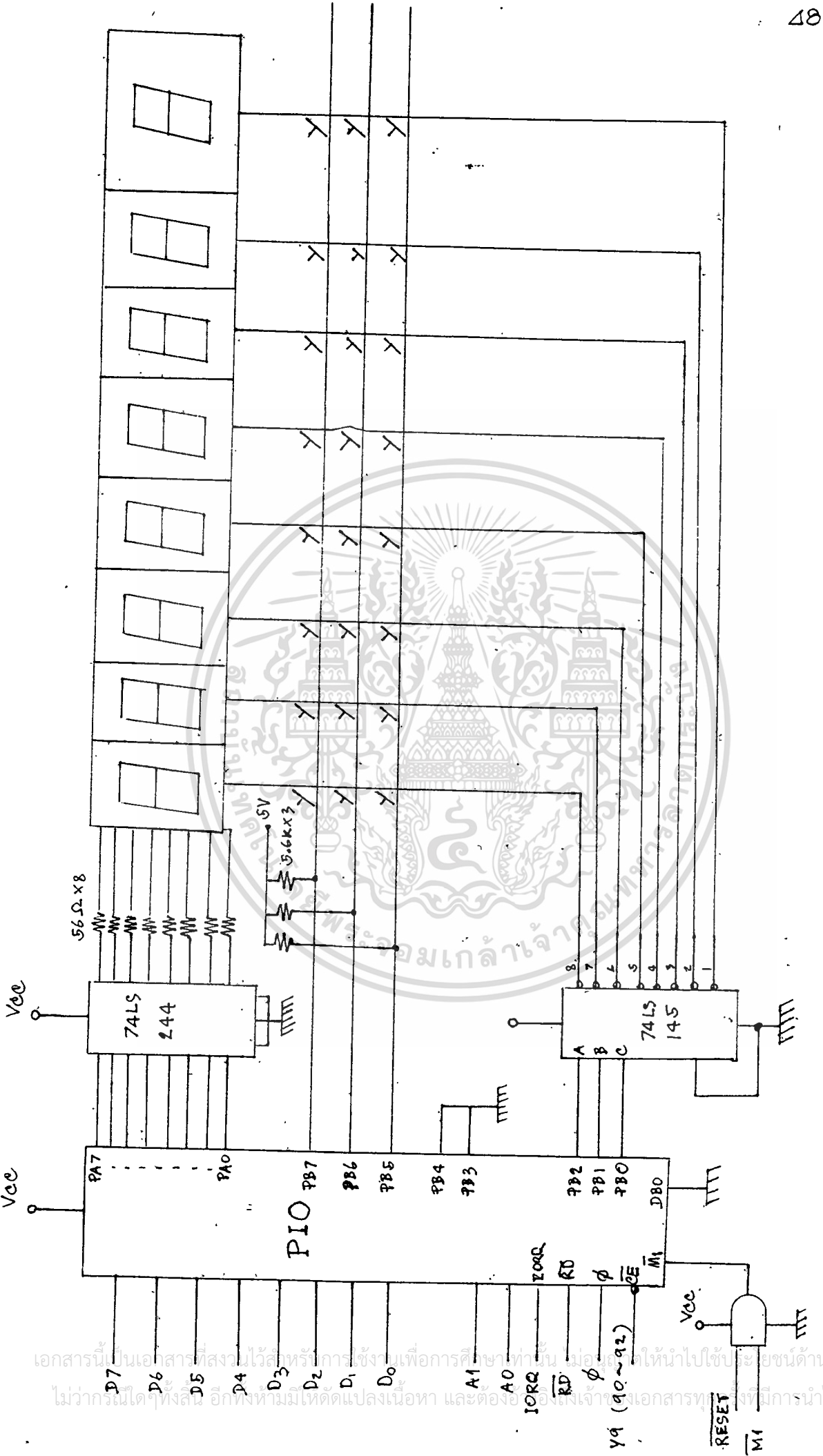
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โปรแกรมข้างล่างนี้เป็นตัวอย่างโปรแกรมที่ใช้ในการโปรแกรม PIO ให้ทำงานตามตัวอย่างข้างต้น

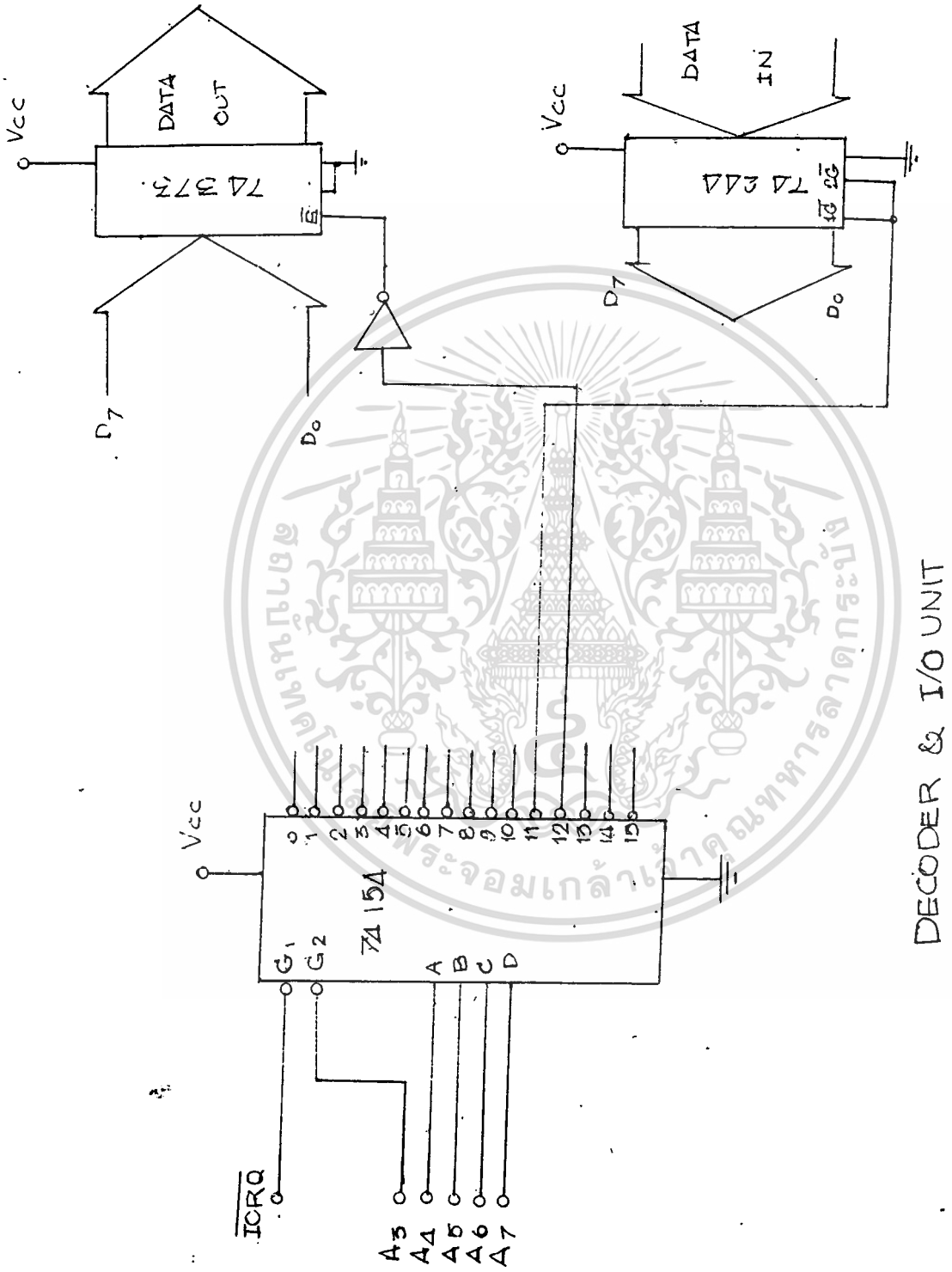
```
LD A, 0CFH
OUT (2FH), A   : โปรแกรมพอร์ท B ให้ทำงานในโหมด 3
LD A, 1CH
OUT (2FH), A   : ให้บิท B2, B3 และ B4 เป็นอินพุท
LD A, 08H
OUT (2FH) , A  : INTERRUPT VECTOR - 08H
LD A, 0D7H
OUT (2FH), A   : ENABLE INT, AND, MASK FOLLOWS
LD A, 0E7H
OUT (2FH) , A  : ทำการตรวจสอบบิท B3 และ B4
```

สำหรับโปรแกรมส่วนต่อไปที่จะต้องเขียนขึ้น คือ ส่วนของโปรแกรมตอบสนองการอินเทอร์รัพท์ที่ทำหน้าที่ ในการตอบสนองต่อการขออินเทอร์รัพท์ของ PIO และดังที่ได้กล่าวไว้แล้วว่า การใช้คำสั่ง RETI ในตอนสิ้นสุดของโปรแกรมตอบสนองการอินเทอร์รัพท์นั้น ซิพซัพพอร์ทของ Z80 สามารถที่จะรับรู้ตอคำสั่งนี้ได้คือในขณะที่อยู่ในช่วงการเฟทซ์ออฟโคดอยู่นั้น (ขา $\overline{M1}$ และ $\overline{RD}$ เป็น "0" พร้อมกัน) ซิพซัพพอร์ทของ Z80 จะทำการตรวจสอบออฟโคดบนบัสข้อมูลว่า เป็นออฟโคดของคำสั่ง RETI หรือไม่ ถ้าหากพบว่าเป็นออฟโคดของคำสั่ง RETI ก็จะทำการถอนสัญญาณ $\overline{INT}$ ออกเอง ซึ่งเป็นการช่วยลดภาระของผู้เขียนโปรแกรมลงได้.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



DECODER & I/O UNIT

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

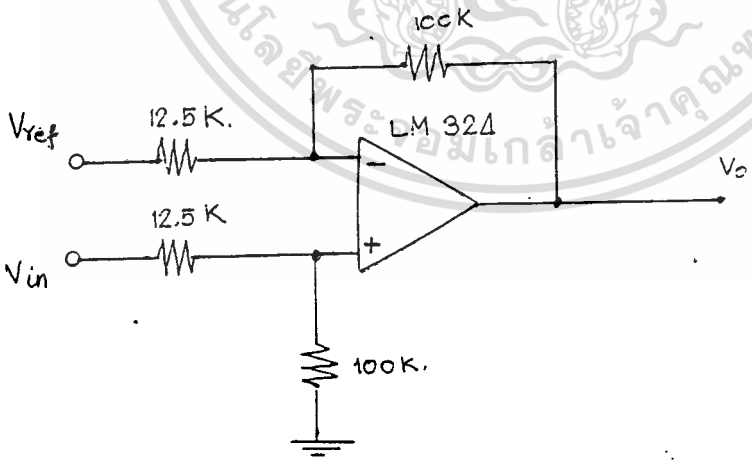
การทดลอง

4.1 การทดลองส่วนของ SIGNAL CONDITION

อุปกรณ์วัดอุณหภูมิ (Sensor) จะนำค่าเปลี่ยนแปลงของแรงดันตามการเปลี่ยนแปลงของอุณหภูมิ 10 mv/°k แต่เราต้องการอุณหภูมิในช่วง 0–50 °c มาใช้งานจึงต้องทำการแปลงสัญญาณจากค่าที่วัดได้ให้อยู่ในช่วงที่ยอมรับได้ จึงต้องสร้างวงจรส่วนนี้ขึ้นมาและคำนวณมาได้จากที่กล่าวมาในส่วนของการคำนวณ แต่ตอนนี้จะกล่าวถึงการทดลอง โดยต่อวงจรตามรูป

การทดลอง

1. ต่อวงจรตามรูป
2. ปรับค่าแรงดันที่ Vref ให้ได้ 2.6 V
3. จ่ายแรงดันที่ Vin 2.73 V ถึง 3.23 V
4. วัดแรงดันออกที่ V_o แล้วบันทึกผลทุกช่วงของ Vin



รูปวงจรดิฟเฟอร์เรลเชียลแอมปลิไฟเออร์

เอกสารนี้เป็นเอกสาร[illegible]ขึ้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางบันทึกผลการทดลอง

แรงดันอ้างอิง Vref = 2.6 V	Vo
Vim	
2.73	1.05
2.74	1.17
2.76	1.30
2.78	1.49
2.8	1.62
2.82	1.79
2.84	1.92
2.86	2.1
2.88	2.3
2.9	2.39
2.92	2.56
2.94	2.71
2.76	2.93
2.98	3.09
3.00	3.24
3.04	3.56
3.06	3.74
3.07	3.77
3.10	7.06
3.12	4.15
3.14	4.31
3.15	4.45
3.11	4.68
3.2	4.8
3.22	5.00
3.23	5.04

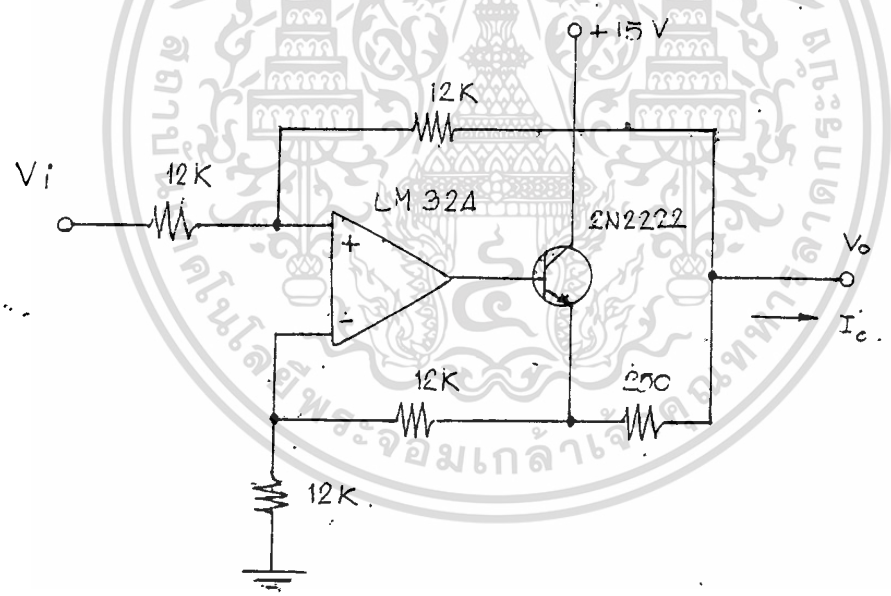
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2 การทดลอง V-I

เนื่องจากค่าที่ได้จากตัววัดอุณหภูมิอยู่ในรูปของแรงดัน และการนำสัญญาณแรงดันที่ได้นี้มาให้ CUP ประมาณผลแก่การส่งในรูปแรงดัน มีผลจากการเกิดแรงดันสูญเสียไปตามสายส่ง จึงได้ค่าไม่สมบูรณ์จึงใช้การส่งแบบกระแสซึ่งให้ผลดีกว่าลดปัญหาการสูญเสียแรงดันตามสายส่งได้

การทดลอง

1. ประกอบวงจรตามรูปด้านล่างนี้
2. เปลี่ยนค่าแรงดัน V_i ตั้งแต่ 1 - 5 V.
3. บันทึกค่ากระแสที่ออกมา



รูปวงจร V - I

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บันทึกผลการทดลอง V - I

Vin	Io
2.72	4.0
2.73	4.3
2.74	4.7
2.76	5.3
2.78	6.0
2.8	6.5
2.82	7.2
2.84	7.7
2.86	8.4
2.88	9.2
2.9	9.6
2.92	10.3
2.94	10.8
2.96	11.7
2.98	12.4
3.00	13
3.02	13.7
3.04	14.3
3.06	15
3.07	15.1
3.10	16.3
3.12	16.6
3.14	17.2
3.15	17.8
3.18	18.8
3.20	19.2
3.22	20.0
3.23	20.2

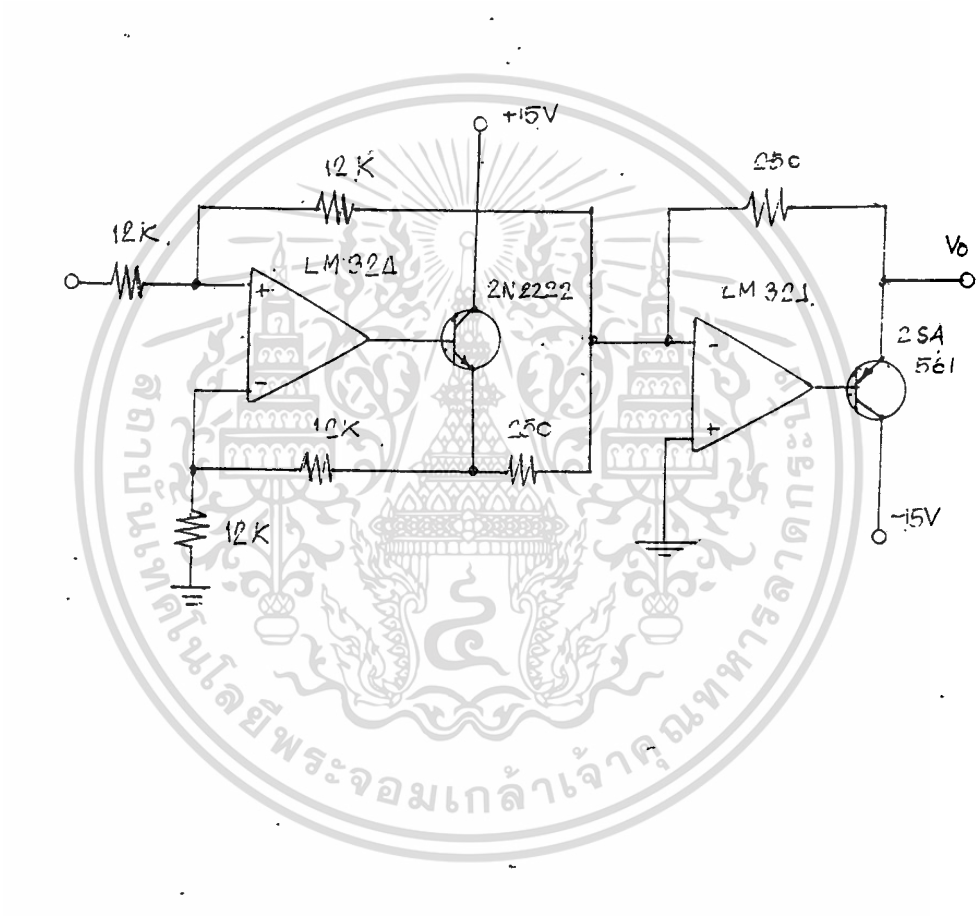
ค่าจากคำนวณ

$I = \frac{V_i}{250}$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.3 การทดลอง V-I และ I-V คู่กัน

เมื่อทดลองแต่ละส่วนแล้ว ก็นำแต่ละส่วนนั้นมาต่อใช้งานร่วมกันเพื่อดูผลการเปลี่ยนแปลงต่าง ๆ เมื่อต่อรวมกัน



รูปวงจร V-I, I-V , ปรับสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ผลการทดลอง

V_i (SENSOR)	V/I	I/V
	V_i	V_o
2.73	1.03	0.97
2.76	1.25	1.18
2.8	1.56	1.47
2.84	1.88	1.79
2.9	2.36	2.23
2.94	2.69	2.53
3.00	3.18	3.00
3.04	3.44	3.25
3.10	3.92	3.72
3.14	4.29	4.11
3.2	4.76	4.49
3.21	4.8	4.54
3.22	4.92	4.73
3.23	5.01	4.73

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.4. PROGRAM

```
PORTAD:      EQU     90H
PORTAC:      EQU     92H
PORTBD:      EQU     91H
PORTBC:      EQU     93H
ANY_MODE:    EQU     0F0DH
STAT1:       EQU     0F06H
STATT2:      EQU     0F16H
MIN_DIS:     EQU     0F13H
HOUR_DIS:    EQU     0F11H
DAY_DIS:     EQU     0F10H
CCHANNEL:    EQU     0F15H
DIS_BUF:     EQU     0F00H
CODE7:       EQU     0700H
RELEASE:     EQU     0F0CH
DTOH_B:      EQU     0F0EH
HTOD_B:      EQU     0F0FH
DH_INH:      EQU     0F17H
M_INH:       EQU     0F18H
S_INH:       EQU     0F19H
OUTPUT:      EQU     0F20H
PORT:        EQU     0C0H
SECOND:      EQU     0F21H
SEGIN:       EQU     0800H
LONG:        EQU     0254H
END_P:       EQU     0EFBH
;*********************************

ADD_LAT:     EQU     0F0H
DATA_LAT:    EQU     0F1H
SEC_RTC:     EQU     00H
MIN_RTC:     EQU     02H
HOR_RTC:     EQU     04H
DAY_RTC:     EQU     06H
REG_A:       EQU     00AH
REG_B:       EQU     00BH
REG_C:       EQU     00CH
REG_D:       EQU     00DH
             ORG     0000

             JP      015FH

;    ***********************************
;    *   increment time (interrupt)    *
;    ***********************************

             ORG     0038H
             LD      A,REG_C
             OUT     (ADD_LAT),A
             IN      A,(DATA_LAT)
INCRE:       EX      AF,AF'
             EXX
             LD      A,(SECOND)
             INC     A
             CP      3CH
             JP      NZ,OUT_INC
             XOR     A
             LD      HL,SECOND
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับใช้ในการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        LD      (HL),A
        LD      A,DAY_RTC
        OUT     (ADD_LAT),A
        IN      A,(DATA_LAT)
        LD      B,05H
SH:     SLA     A
        DJNZ    SH
        LD      (DH_INH),A
        LD      A,HOR_RTC
        OUT     (ADD_LAT),A
        IN      A,(DATA_LAT)
        LD      B,A
        LD      A,(DH_INH)
        OR      B
        LD      D,A
        LD      A,MIN_RTC
        OUT     (ADD_LAT),A
        IN      A,(DATA_LAT)
        LD      (M_INH),A
        LD      E,A
        LD      BC,LONG
        LD      HL,BEGIN
COMP:   LD      A,D
        CPI
        JP      PO,OUT_INC
        JR      Z,COMP1
        INC     HL
        INC     HL
        JP      COMP

COMP1:  LD      A,E
        CP      (HL)
        JR      Z,MAKE
        INC     HL
COMP2:  INC     HL
        JP      COMP
MAKE:   INC     HL
        AND     07H
        CP      00H
        JR      Z,LOOP0
        CP      01H
        JR      Z,LOOP1
        CP      02H
        JR      Z,LOOP2
        CP      03H
        JR      Z,LOOP3
        CP      04H
        JR      Z,LOOP4
        CP      05H
        JR      Z,LOOP5
        CP      06H
        JR      Z,LOOP6
        CP      07H
        JP      Z,LOOP7
        JP      OUT_INC

LOOP0:  LD      A,(OUTPUT)
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                BIT     7,(HL)
                JR      Z,LOOP0_0
                SET     0,A
                JP      ON
LOOP0_0:        RES  0,A
                JP      ON

LOOP1:          LD      A,(OUTPUT)
                BIT     7,(HL)
                JR      Z,LOOP1_1
                SET     1,A
                JP      ON
LOOP1_1:        RES  1,A
                JP      ON

LOOP2:          LD      A,(OUTPUT)
                BIT     7,(HL)
                JR      Z,LOOP2_2
                SET     2,A
                JP      ON
LOOP2_2:        RES  2,A
                JP      ON

LOOP3:          LD      A,(OUTPUT)
                BIT     7,(HL)
                JR      Z,LOOP3_3
                SET     3,A
                JP      ON
LOOP3_3:        RES  3,A
                JP      ON

LOOP4:          LD      A,(OUTPUT)
                BIT     7,A
                JR      Z,LOOP4_4
                SET     4,A
                JP      ON
LOOP4_4:        RES  4,A
                JP      ON

LOOP5:          LD      A,(OUTPUT)
                BIT     7,(HL)
                JR      Z,LOOP5_5
                SET     5,A
                JP      ON
LOOP5_5:        RES  5,A
                JP      ON

LOOP6:          LD      A,(OUTPUT)
                BIT     7,(HL)
                JR      Z,LOOP6_6
                SET     6,A
                JP      ON
LOOP6_6:        RES  6,A
                JP      ON

LOOP7:          LD      A,(OUTPUT)
                BIT     7,(HL)
                JR      Z,LOOP7_7
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
            SET     7,A
            JP      ON
LOOP7_7:    RES  7,A
            JP      ON

ON:         LD      (OUTPUT),A
            LD      A,PORT
            OUT     (ADD_LAT),A
            LD      A,(OUTPUT)
            OUT     (DATA_LAT),A
            JP      COMP2
OUT_INC:    IM      1
            EI
            EX      AF,AF'
            EXX
            LD      A,(ANY_MODE)
            BIT     0,A
            JR      Z,OUT1
            POP     HL
            JP      TIMES
OUT1:       RETI


;   ************************
;   *     set system       *
;   ************************

            ORG     015FH
      LD    SP,0FFFH
      XOR   A
      LD    (OUTPUT),A
      OUT    PORT),A        clear out put
      LD    HL,SECOND
      LD    (HL),00H
      IM    1
      EI

;   ************************
;   *     set rtc          *
;   ************************
     LD     A,REG_A
    OUT     (ADD_LAT),A
    LD      A,2FH
    OUT     (DATA_LAT),A
    LD      A,REG_B
    BIT      ?,A
    LD      A,26H
    OUT     (DATA_LAT),A
;   ************************
;   *     set pio          *
;   ************************
   LD       A,CFH
   OUT      (PORTAC),A
   LD       A,00H
   OUT      (PORTAC),A
   LD       A,3H
   OUT      (PORTBC),A
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        LD      A,0CFH
        OUT     (PORTBC),A
        LD      A,07H
        OUT     (PORTBC),A
        LD      A,03H
        OUT     (PORTBC),A

;       ********************************
;       *          SET  MODE           *
;       ********************************

SET:            LD      A,04H           ; set mode
                LD      (ANY_MODE),A
                LD      A,0CH           ; show "D" ON
                LD      (STATT2),A
SET_1:          CALL    CLEAR
                LD      DE,DAY_DIS      ; begin at day
                LD      B,C7

SET_2:          CALL    DISP_1
SET_3:          CALL    SHOW
                CALL    SCAND
                CALL    FIND
SET_4:          LD      L,A
                LD      H,07H           ;  7 segment code is save
                LD      A,E
                CP      13H
                JR      Z,MIN1
                CP      14H
                JR      Z,MIN2
                CP      11H
                JR      Z,HOUR1
                CP      12H
                JR      Z,HOUR2
                CP      10H
                JR      Z,DAY
                JP      STATE1

DAY:            LD      A,L
                CP      07H
                JR      NC,SET_3
                LD      (DE),A
                LD      DE,HOUR_DIS
                JP      SET_2

HOUR1:          LD      A,L
                CP      0CH
                JR      NC,SET_3
                LD      (DE),A
                INC     DE
                JP      SET_2
HOUR2:          LD      A,(HOUR_DIS)
                LD      H,A
                PUSH    HL
                LD      BC,0204H
                AND     0FFH
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                SBC     HL,BC
                JR      C,TRUE
                DEC     DE
                XOR     A
                LD      (DE),A
                POP     HL
                JP      SET_2
TRUE:           POP     HL
                LD      A,L
                LD      (DE),A
                LD      DE,MIN_DIS
                JP      SET_2

MIN1:           LD      A,L
                CP      06H
                JR      NC,SET_3
                LD      (DE),A
                INC     DE
                JP      SET_2
MIN2:           LD      A,L
                LD      (DE),A
                LD      A,(ANY_MODE)
                BIT     3,A
                JP      Z,OUT_SET
                LD      DE,OCHANNEL
                JP      SET_2

OUT_SEY:        LD      DE,DAY_DIS
                JP      SET_2

STATE1:         LD      A,L
                CP      08H
                JP      NC,SET_3
                LD      (DE),A
                LD      DE,DAY_DIS
                LD      HL,DIS_BUF
                CALL    DISP_1
STATE2:         CALL    SHOW
                CALL    SCAND
                CALL    FIND
                LD      B,A
                LD      A,(OCHANNEL)
                CP      B
                JR      NZ,STATE2
                LD      A,(STATT2)
                CP      0FH
                JR      Z,STATE4
                LD      A,0FH
STATE3:         LD      (STATT2),A      ; toggle off
                JP      STATE2
STATE4:         LD      A,00H
                JP      STATE3          ;toggle on

;   **********************************
;   *          time mode             *
;   **********************************
TIME:           LD      A,(ANY_MODE)
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                BIT     2,A
                JP      Z,TIME5
TIME1:          LD      A,01H
                LD      (ANY_MODE),A
                CALL    DTOH_H
                LD      A,HOR_RTC
                OUT     (ADD_LAT),A
                LD      A,(HL)
                OUT     (DATA_LAT),A
                LD      A,DAY_RTC
                OUT     (ADD_LAT),A
                LD      A,(DAY_DIS)
                OUT     (DATA_LAT),A
                CALL    DTOH_M
                LD      A,MIN_RTC
                OUT     (ADD_LAT),A
                LD      A,(HL)
                OUT     (DATA_LAT),A
                LD      A,SEC_RTC
                OUT     (ADD_LAT),A
                LD      A,00H
                OUT     (DATA_LAT),A
                LD      (SECOND),A
                LD      A,REG_B
                OUT     (ADD_LAT),A
                LD      A,16H
                OUT     (DATA_LAT),A

;               CALL    TEMP
TIME2:          CALL    DISP_1
                CALL    SHOW
                CALL    SCAND
                CALL    FIND
TIME3:          AND     07H
                CP      07H
                JP      Z,TOGGLE7
                CP      06H
                JP      Z,TOGGLE6
                CP      05H
                JR      Z,TOGGLE5
                CP      04H
                JR      Z,TOGGLE4
                CP      03H
                JR      Z,TOGGLE3
                CP      02H
                JR      Z,TOGGLE2
                CP      01H
                JR      Z,TOGGLE1
                CP      00H
                JR      Z,TOGGLE0

TOGGLE:         LD      (OUTPUT),A
                OUT     (PORT),A
                JP      TIME2

TOGGLE0:        LD      A,(OUTPUT)
                BIT     0,A
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
            JR      Z,TOG0
            RES  0,A
            JP      TOGGLE
TOG0:       SET     0,A
            JP      TOGGLE

TOGGLE1:    LD      A,(OUTPUT)
            BIT     1,A
            JR      Z,TOG1
            RES  1,A
            JP      TOGGLE
 TOG1:      SET     1,A
            JP      TOGGLE

TOGGLE2:    LD      A,(OUTPUT)
            BIT     2,A
            JR      Z,TOG2
            RES  2,A
            JP      TOGGLE
TOG2:       SET     2,A
            JP      TOGGLE

TOGGLE3:    LD      A,(OUTPUT)
            BIT     3,A
            JR      Z,TOG3
            RES  3,A
            JR      TOGGLE
TOG3:       SET     3,A
            JP      TOGGLE

TOGGLE4:    LD      A,(OUTPUT)
            BIT     4,A
            JR      Z,TOG4
            RES  4,A
            JP      TOGGLE
 TOG4:      SET     4,A
            JP      TOGGLE

TOGGLE5:    LD      A,(OUTPUT)
            BIT     5,A
            JR      Z,TOG5
            RES  3,A
            JP      TOGGLE
 TOG5:      SET     5,A
            JP      TOGGLE

 TOGGLE6:   LD      A,(OUTPUT)
            BIT     6,A
            JR      Z,TOG6
            RES  6,A
            JP      TOGGLE
 TOG6:      SET     6,A
            JP      TOGGLE

TOGGLE7:    LD      A,(OUTPUT)
            BIT     7,A
            JR      Z,TOG7
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
            RES  7,A
            JP     TOGGLE
TOG7:       SET    7,A
            JP     TOGGLE

TIME5:      LD     A,(M_INH)
            LD     (HTOD_B),A
            CALL   HTOD
            XOR    A
            RRD
            LD     (0F14H),A
            LD     A,(HL)
            LD     (MIN_DIS),A
            LD     A,(DH_INH)
            AND    1FH
            LD     (HTOD_B),A
            CALL   HTOD
            XOR    A
            RRD
            LD     (0F12H),A
            LD     A,(HL)
            LD     (HOUR_DIS),A
            LD     A,(DH_INH)
            AND    0E0H
            LD     B,05H
 SHI:       SRL    A
            DJNZ   SHI
            LD     (DAY_DIS),A
            LD     A,(ANY_MODE)
            BIT    1,A
            JR     NZ,TIME6
            CALL   DISP_1
            JP     TIME2
 TIME6:     RET



;  ********************************
;  *        PROGRAM  MODE         *
;  ********************************

PRO:        LD     A,00H
            LD     (STATT2),A
            LD     A,(ANY_MODE)
            BIT    3,A
            JR     NZ,PRO1
            XOR    A
            SET    3,A
            LD     (ANY_MODE),A
            CALL   CLEAR
            CALL   DISP_1
            CALL   SHOW
            CALL   SCAN0
            CALL   FIND
            CP     0FFH
            JP     Z,A_CLE
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                LD      DE,DAY_DIS
                JP      SET_4

PRO1:           CALL    DTOH
                CALL    SURVEY
                EX      DE,HL
                LD      HL,S_INH
                LD      BC,0003H
                LDDR
                JP      SET_1
;   ***********************************
;   *       subroutine survey         *
;   ***********************************
SURVEY:         LD      HL,0802H
SUR1:           BIT     6,(HL)
                JR      Z,OSURVEY
                INC     HL
                INC     HL
                INC     HL
                PUSH    HL
                LD      BC,END_P
                XOR     A
                SBC     HL,BC
                POP     HL
                JR      C,SUR1
                LD      A,01H
                LD      (ANY_MODE),A
                JP      OUT_SET
OSURVEY:        RET
OUT_SET:        POP     HL
                JP      TIME
;   ***********************************
;   *    subroutine find key          *
;   ***********************************

FIND:           LD      B,A
                LD      A,(RELEASE)
                CP      C
                JR      Z,OUT_F
                LD      A,B
                CP      0C0H
                JR      Z,FIND1
                CP      0A0H
                JR      Z,FIND2
                CP      60H
                JR      Z,FIND3
                JP      OUT_F

FIND1:          LD      A,C
                LD      (RELEASE),A
                CP      04H
                JR      Z,OF1
                CP      05H
                JR      Z,OF1_1
                RET
OF1:            POP     HL
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                JP      CLEAR_K
OF1_1:          LD      A,0FFH
                RET
FIND2:          LD      A,C
                LD      (RELEASE),A
                CP      04H
                JR      Z,OF2_1
                CP      05H
                JR      Z,OF2_2
                ADD     A,04H
                RET
OF2_1:          POP     HL
                JP      TIME
OF2_2:          POP     HL
                JP      SET
FIND3:          LD      A,C
                LD      (RELEASE),A
                CP      04H
                JR      Z,OF3_1
                CP      05H
                JR      Z,OF3_2
                ADD     A,08H
                RET
OF3_1:          POP     HL
                JP      PRO
OF3_2:          POP     HL
                JP      LIST
OUT_F:          LD      A,0FFH
                RET


;***********************************
;*      subroutine scand key       *
;***********************************
SCAND:          LD      BC,0700H
SCAND1:         LD      A,C
                OUT     (PORTBD),A
                CALL    DELAY1
                IN      A,(PORTBD)
                AND     0E0H
                CP      0E0H
                JR      NZ,OUT_S
                INC     C
                DJNZ    SCAND1
                LD      A,0FEH
                LD      (RELEASE),A

SHOW:           LD      BC,0700H
                LD      HL,DIS_BUF
SHOW2:          LD      A,C
                OUT     (PORTBD),A
                LD      A,(HL)
                OUT     (PORTAD),A
                CALL    DELAY1
                INC     HL
                INC     C
                DJNZ    SHOW2
                XOR     A
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
            OUT     (PORTAD),A
OUT_S:      RET     NZ
            JP      SCAND


;   ***************************************
;   *          SUBROUTINE  D TO H         *
;   ***************************************
DTOH_H:     LD      B,04H
            LD      HL,HOUR_DIS
            LD      A,(HL)
SHIFT1:     SLA     A
            DJNZ    SHIFT1
            INC     HL
            OR      (HL)
            LD      (DTOH_B),A
            CALL    DTOH1
            RET

;   ********* end of dTOh hour ************

DTOH_D:     LD      A,(DAY_DIS)
            LD      B,05H
SHIFT2:     SLA     A
            DJNZ    SHIFT2
            LD      HL,HOUR_DIS
            OR      (HL)
            LD      (DH_INH),A
            RET
;   ********* end of dTOH day ************

DTOH_M:     LD      B,04H
            LD      HL,MIN_DIS
            LD      A,(HL)
SHIFT3:     SLA     A
            DJNZ    SHIFT3
            INC     HL
            OR      (HL)
            LD      (DTOH_B),A
            CALL    DTOH1
            LD      A,(HL)
            LD      (M_INH),A
            RET
;   ******** end of dTOh minute *******

DTOH_S:     LD      HL,STATT2
            LD      A,(HL)
            CP      0FH
            JR      Z,OFF
            LD      A,(OCHANNEL)
            SET     7,A
            JR      OUT_ST
OFF:        LD      A,(OCHANNEL)
            RES     7,A
OUT_ST:     SET     6,A
            LD      (S_INH),A
            RET
```

เอกสารนี้เป็นเอกสารสงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
DTOH1:      LD      A,80H
            LD      (HTOD_B),A
            LD      HL,DTOH_B
DTOH1_1:    SRL     (HL)
            INC     HL
            RR      (HL)
            JR      C,O_DTOH
            DEC     HL
            BIT     3,(HL)
            JR      Z,DTOH1_2
            LD      A,(HL)
            SUB     03H
            LD      (HL),A
DTOH1_2:    BIT     7,(HL)
            JR      Z,DTOH1_3
            LD      A,(HL)
            SUB     30H
            LD      (HL),A
DTOH1_3:    JR      NC,DTOH1_1
O_DTOH:     RET

DTOH:       CALL    DTOH_H
            CALL    DTOH_D
            CALL    DTOH_M
            CALL    DTOH_S
            RET
;   ***********************************
;   *          subroutine h to d      *
;   ***********************************

HTOD:       LD      HL,HTOD_B
            XOR     A
            RLD
            LD      B,A
            XOR     A
HTOD_1:     DEC     B
            JP      M,HTOD_2
            ADD     A,16H
            DAA
            JP      HTOD_1
HTOD_2:     LD      C,A
            LD      A,(HL)
            LD      B,04H
            SRL     A
            DJNZ    HTOD_3
            OR      A
            DAA
            ADD     A,C
            DAA
            LD      (HL),A
            RET

;   ***************************
;   *    subroutine disp_1    *
;   ***************************
DISP_1:     LD      B 07H
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                LD      DE,0F10H
                LD      HL,DIS_BUF
DIS:            PUSH    HL
                LD      A,(DE)
                LD      L,A
                LD      H,07H
                LD      A,(HL)
                POP     HL
                LD      (HL),A
                INC     HL
                INC     DE
                DJNZ    DIS
                RET

;   ****************************
;   *      subroutine clear    *
;   ****************************
CLEAR:          LD      B,07H
                LD      HL,0F10H
                XOR     A
CLEAR1:         LD      (HL),A
                INC     HL
                DJNZ    CLEAR1
                RET

;   ****************************
;   *    subroutine delay1     *
;   ****************************
DELAY1:         XOR     A
DEL:            DEC     A
                JR      NZ,DEL
                RET

;   ****************************
;   *     clear_k  mode        *
;   ****************************
CLEAR_K:        LD      A,(ANY_MODE)
                BIT     3,A
                JP      Z,TIME
                CALL    DTOH
                LD      HL,BEGIN
                LD      BC,LONG
COMP_C:         LD      A,(DH_INH)
                CPI
                JR      Z,COM_C1
                INC     HL
                INC     HL
                JP      PE,COMP_C
                JP      SET_1
COM_C1:         LD      A,(M_INH)
                OR      (HL)
                JR      NZ,COM_C4
                XOR     A
                DEC     HL
                LD      B,03
COM_C2:         LD      (HL),A
                INC     HL
                DJNZ    COM_C2
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
            JP      COM_C4
COM_C3:     INC     HL
COM_C4:     INC     HL
            PUSH    HL
            LD      HL,0000H
            XOR     A
            SBC     HL,BC
            POP     HL
            JP      NZ,COMP
            JP      SET_1

;   **********************************
;   *        all clear               *
;   **********************************
A_CLE:      XOR     A
            LD      HL,BEGIN
            LD      BC,LONG
A_CLE1:     LD      (HL),A
            INC     HL
            PUSH    HL
            DEC     BC
            LD      HL,0000H
            XOR     A
            SBC     HL,BC
            POP     HL
            JR      NZ,A_CLE1
            JP      SET_1

;   **********************************
;   *        list mode               *
;   **********************************
READ_D:     LD      A,05
            LD      (ANY_MODE),A
            LD      A,05H
            OUT     (PORTBD),A
            LD      A,00
            OUT     (PORTAD),A
            CALL    DISP_1
            CALL    SCAND
            CALL    FIND
            CP      05H
            JR      NC,READ_D
LIST:       LD      HL,0802H
LIST1:      BIT     6,(HL)
            JR      NZ,LIST3
LIST2:      INC     HL
            INC     HL
            INC     HL
            PUSH    HL
            LD      BC,END_P
            XOR     A
            SBC     HL,BC
            POP     HL
            JR      NC,LIST1
            JP      TIMES
LIST3:      LD      D,A
            LD      A,(HL)
            AND     07H
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        CP      B
        JR      NZ,LIST2
        LD      A,B
        LD      (OCHANNEL),A
        XOR     A
        BIT     7,(HL)
        JR      NZ,LIST4
        LD      A,0FH
LIST4:  LD      (STATT2),A
        DEC     HL
        LD      E,(HL)
        DEC     HL
        LD      D,(HL)
        CALL    TIME6
        CALL    DISP_1
        CALL    SHOW
        CALL    SCAND
        CALL    FIND
        JP      LIST2

        ORG 0700H
        DEFB 3FH
        DEFB 06H
        DEFB 5BH
        DEFB 4FH
        DEFB 66H
        DEFB 6DH
        DEFB 7DH
        DEFB 07H
        DEFB 7FH
        DEFB 6FH
        DEFB 77H
        DEFB 1FH
        DEFB 4EH
        DEFB 3DH
        DEFB 4FH
        DEFB 47H

        ORG  0003H
        DEFB 00
        DEFW 00
        DEFW 00
        DEFW 00
        DEFW 00
        DEFW 00
        DEFW 00
        DEFW 00
        DEFW 00
        DEFW 00
        DEFW 00
        DEFW 00
        DEFW 00
        DEFW 00
        DEFW 00
        DEFW 00
        DEFW 00
        DEFW 00
        DEFW 00
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น พร้อมทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        DEFW 00
        DEFW 00
        DEFW 00
        DEFW 00
        DEFW 00
        DEFW 00
        DEFW 00
        END
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5

สรุปและบทวิจารณ์

การทดลองในส่วนของอุปกรณ์ตรวจจับได้ผลออกมาเป็นที่น่าพอใจในการทดลองนี้ใช้วัดอุณหภูมิ ค่าของอุณหภูมิเมื่อวัดแล้วจะส่งผ่านสัญญาณ V-I และ I-V แล้วให้ค่าผิดพลาดของอุณหภูมิ $\pm$ 1 องศาเซนเซียสและปัญหาที่ทำให้ผิดพลาด สามารถสรุปได้ดังนี้

1. ค่าความต้านทานในการปรับให้เป็นแรงดันอ้างอิงต้องเป็นค่าที่ละเอียด
2. ค่าความต้านทานของวงจร V-I คือ R_c ในรูป 3.7 ต้องเป็นค่าละเอียด
3. ค่าความต้านทานของวงจร I-V ก็ต้องเป็นค่าที่ละเอียด

$\therefore$ สรุปแล้วค่าผิดพลาดส่วนมากจะเกิดจากค่าความต้านทานที่ใช้

การทดลองด้านโปรแกรมประสบปัญหาในเรื่องการส่งข้อมูลเข้า ส่วนของ CPU ซึ่งครั้งแรกส่วนนี้ใช้การต่อวงจรโดยการพันสาย (Wire Wrap) และเปลี่ยนมาเป็นชุด Control Pack ของ ETT แต่ก็ประสบปัญหาในด้านการเข้าใจผิดทางด้านวงจรและเวลาในการทำงาน ข้อมูลที่ได้ออกมาจึงผิดพลาด ส่วนของโปรแกรมนั้นได้เขียนเรียบร้อยแล้วและเคยทำงานได้ในแต่ละส่วน แต่เมื่อนำมารวมกันไม่รู้ว่าเป็นอย่างไรบ้าง เพราะมีปัญหาทางด้าน Hard Ware บางส่วนจึงไม่สามารถจะทำให้โครงงานนี้ประสบความสำเร็จเท่าที่ควรได้ และอีกอย่างผู้ทำโครงงานนี้ประสบปัญหาด้านสภาพแวดล้อมและเวลาในการทำงาน จึงทำให้ต้องหยุดโครงงานเพียงเท่านี้ และทำเพื่อการศึกษาเท่านั้นไม่หวังเป็นอย่างอื่น.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

National Semiconductor

A to D, D to A

ADC0808, ADC0809 8-Bit μP Compatible A/D Converters With 8-Channel Multiplexer

General Description

The ADC0808, ADC0809 data acquisition component is a monolithic CMOS device with an 8-bit analog-to-digital converter, 8-channel multiplexer and microprocessor compatible control logic. The 8-bit A/D converter uses successive approximation as the conversion technique. The converter features a high impedance chopper stabilized comparator, a 256R voltage divider with analog switch tree and a successive approximation register. The 8-channel multiplexer can directly access any of 8-single-ended analog signals.

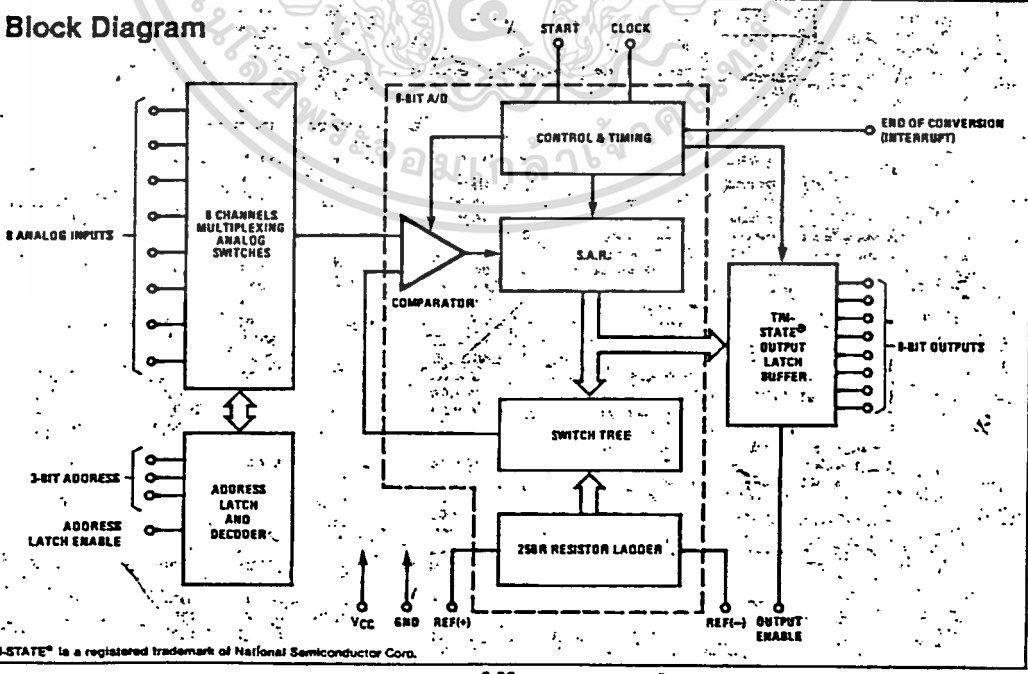
The device eliminates the need for external zero and full-scale adjustments. Easy interfacing to microprocessors is provided by the latched and decoded multiplexer address inputs and latched TTL TRI-STATE® outputs.

The design of the ADC0808, ADC0809 has been optimized by incorporating the most desirable aspects of several A/D conversion techniques. The ADC0808, ADC0809 offers high speed, high accuracy, minimal temperature dependence, excellent long-term accuracy and repeatability, and consumes minimal power. These features make this device ideally suited to applications from process and machine control to consumer and automotive applications. For 16-channel multiplexer with common output (sample/hold port) see ADC0816 data sheet. (See AN-247 for more information.

Features

- Resolution — 8-bits
- Total unadjusted error — ±1/2 LSB and ±1 LSB
- No missing codes
- Conversion time — 100 μs
- Single supply — 5 V_{DC}
- Operates ratiometrically or with 5 V_{DC} or analog span adjusted voltage reference
- 8-channel multiplexer with latched control logic
- Easy interface to all microprocessors, or operates "stand alone"
- Outputs meet T^2L voltage level specifications
- 0V to 5V analog input voltage range with single 5V supply
- No zero or full-scale adjust required
- Standard hermetic or molded 28-pin DIP package
- Temperature range −40°C to +85°C or −55°C to +125°C
- Low power consumption — 15 mW
- Latched TRI-STATE® output

Block Diagram



TRI-STATE® is a registered trademark of National Semiconductor Corp.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings (Notes 1 and 2)

Supply Voltage (V_{CC}) (Note 3)	6.5V
Voltage at Any Pin Except Control Inputs	−0.3V to (V_{CC} + 0.3V)
Voltage at Control Inputs (START, OE, CLOCK, ALE, ADD A, ADD B, ADD C)	−0.3V to +15V
Storage Temperature Range	−65°C to +150°C
Package Dissipation at T_A = 25°C	875 mW
Lead Temperature (Soldering, 10 seconds)	300°C

Operating Ratings (Notes 1 and 2)

Temperature Range (Note 1)	$T_{MIN} \le T_A \le T_{MAX}$
ADC0808CJ	−55°C ≤ T_A ≤ +125°C
ADC0808CCJ, ADC0808CCN,	−40°C ≤ T_A ≤ +85°C
ADC0809CCN	
Range of V_{CC} (Note 1)	4.5 V_{DC} to 6.0 V_{DC}

Electrical Characteristics

Converter Specifications: V_{CC} = 5 V_{DC} = $V_{REF(+)}$, $V_{REF(-)}$ = GND, $T_{MIN} \le T_A \le T_{MAX}$ and f_{CLK} = 640 kHz unless otherwise stated.

Parameter	Conditions	Min	Typ	Max	Units
ADC0808					
Total Unadjusted Error	25°C			±1/2	LSB
(Note 5)	T_{MIN} to T_{MAX}			±3/4	LSB
ADC0809					
Total Unadjusted Error	0°C to 70°C			±1	LSB
(Note 5)	T_{MIN} to T_{MAX}			±1 1/4	LSB
Input Resistance	From Ref(+) to Ref(−)	1.0	2.5		kΩ
Analog Input Voltage Range	(Note 4) V(+) or V(−)	GND−0.10		V_{CC}+0.10	V_{DC}
$V_{REF(+)}$	Voltage, Top of Ladder	Measured at Ref(+)		V_{CC}	V_{CC}+0.1	V
$\frac{V_{REF(+)}+V_{REF(-)}}{2}$	Voltage, Center of Ladder	V_{CC}/2−0.1	V_{CC}/2	V_{CC}/2+0.1	V
$V_{REF(-)}$	Voltage, Bottom of Ladder	Measured at Ref(−)	−0.1	0		V
	Comparator Input Current	f_c = 640 kHz, (Note 6)	−2	±0.5	2	μA

Electrical Characteristics

Digital Levels and DC Specifications: ADC0808CJ 4.5V ≤ V_{CC} ≤ 5.5V, −55°C ≤ T_A ≤ +125°C unless otherwise noted

ADC0808CCJ, ADC0808CCN, and ADC0809CCN 4.75 ≤ V_{CC} ≤ 5.25V, −40°C ≤ T_A ≤ +85°C unless otherwise noted

Parameter		Conditions	Min	Typ	Max	Units
ANALOG MULTIPLEXER						
$I_{OFF(+)}$	OFF Channel Leakage Current	V_{CC} = 5V, V_{IN} = 5V,				
		T_A = 25°C		10	200	nA
		T_{MIN} to T_{MAX}			1.0	μA
$I_{OFF(-)}$	OFF Channel Leakage Current	V_{CC} = 5V, V_{IN} = 0,				
		T_A = 25°C	−200	−10		nA
		T_{MIN} to T_{MAX}	−1.0			μA
CONTROL INPUTS						
$V_{IN(1)}$	Logical "1" Input Voltage		V_{CC}−1.5			V
$V_{IN(0)}$	Logical "0" Input Voltage				1.5	V
$I_{IN(1)}$	Logical "1" Input Current (The Control Inputs)	V_{IN} = 15V			1.0	μA
$I_{IN(0)}$	Logical "0" Input Current (The Control Inputs)	V_{IN} = 0	−1.0			μA
I_{CC}	Supply Current	f_{CLK} = 640 kHz		0.3	3.0	mA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Electrical Characteristics (Continued)

Digital Levels and DC Specifications: ADC0808CJ $4.5V \le V_{CC} \le 5.5V$, $-55°C \le T_A \le +125°C$ unless otherwise noted
ADC0808CCJ, ADC0808CCN, and ADC0809CCN $4.75 \le V_{CC} \le 5.25V$, $-40°C \le T_A \le +85°C$ unless otherwise noted

Parameter	Conditions	Min	Typ	Max	Units
DATA OUTPUTS AND EOC (INTERRUPT)					
$V_{OUT(1)}$ Logical "1" Output Voltage	$I_O = -360\ \mu A$	$V_{CC}-0.4$			V
$V_{OUT(0)}$ Logical "0" Output Voltage	$I_O = 1.6$ mA			0.45	V
$V_{OUT(0)}$ Logical "0" Output Voltage EOC	$I_O = 1.2$ mA			0.45	V
I_{OUT} TRI-STATE® Output Current	$V_O = 5V$			3	μA
	$V_O = 0$	-3			μA

Electrical Characteristics

Timing Specifications: $V_{CC} = V_{REF(+)} = 5V$, $V_{REF(-)} = GND$, $t_r = t_f = 20$ ns and $T_A = 25°C$ unless otherwise noted.

Symbol	Parameter	Conditions	Min	Typ	Max	Units
t_{WS}	Minimum Start Pulse Width	*(Figure 5)*		100	200	ns
t_{WALE}	Minimum ALE Pulse Width	*(Figure 5)*		100	200	ns
t_S	Minimum Address Set-Up Time	*(Figure 5)*		25	50	ns
t_H	Minimum Address Hold Time	*(Figure 5)*		25	50	ns
t_D	Analog MUX Delay Time From ALE	$R_S = 0\Omega$ *(Figure 5)*		1	2.5	μs
t_{1H}, t_{H0}	OE Control to Q Logic State	$C_L = 50$ pF, $R_L = 10k$ *(Figure 8)*		125	250	ns
t_{1H}, t_{0H}	OE Control to HI-Z	$C_L = 10$ pF, $R_L = 10k$ *(Figure 8)*		125	250	ns
t_c	Conversion Time	$f_c = 640$ kHz, *(Figure 5)* (Note 7)	90	100	116	μs
f_c	Clock Frequency		10	640	1280	kHz
t_{EOC}	EOC Delay Time	*(Figure 5)*	0		8 + 2 μs	Clock Periods
C_{IN}	Input Capacitance	At Control Inputs		10	15	pF
C_{OUT}	TRI-STATE® Output Capacitance	At TRI-STATE® Outputs, (Note 12)		10	15	pF

Note 1: Absolute maximum ratings are those values beyond which the life of the device may be impaired.

Note 2: All voltages are measured with respect to GND, unless otherwise specified.

Note 3: A zener diode exists, internally, from V_{CC} to GND and has a typical breakdown voltage of 7 V_{DC}.

Note 4: Two on-chip diodes are tied to each analog input which will forward conduct for analog input voltages one diode drop below ground or one diode drop greater than the V_{CC} supply. The spec allows 100 mV forward bias of either diode. This means that as long as the analog V_{IN} does not exceed the supply voltage by more than 100 mV, the output code will be correct. To achieve an absolute 0 V_{DC} to 5 V_{DC} input voltage range will therefore require a minimum supply voltage of 4.900 V_{DC} over temperature variations, initial tolerance and loading.

Note 5: Total unadjusted error includes offset, full-scale, linearity, and multiplexer errors. See *Figure 3*. None of these A/Ds requires a zero or full-scale adjust. However, if an all zero code is desired for an analog input other than 0.0V, or if a narrow full-scale span exists (for example: 0.5V to 4.5V full-scale) the reference voltages can be adjusted to achieve this. See *Figure 13*.

Note 6: Comparator input current is a bias current into or out of the chopper stabilized comparator. The bias current varies directly with clock frequency and has little temperature dependance *(Figure 6)*. See paragraph 4.0.

Note 7: The outputs of the data register are updated one clock cycle before the rising edge of EOC.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Functional Description

Multiplexer: The device contains an 8-channel single-ended analog signal multiplexer. A particular input channel is selected by using the address decoder. Table I shows the input states for the address lines to select any channel. The address is latched into the decoder on the low-to-high transition of the address latch enable signal.

TABLE I

SELECTED ANALOG CHANNEL	ADDRESS LINE C	B	A
IN0	L	L	L
IN1	L	L	H
IN2	L	H	L
IN3	L	H	H
IN4	H	L	L
IN5	H	L	H
IN6	H	H	L
IN7	H	H	H

CONVERTER CHARACTERISTICS

The Converter

The heart of this single chip data acquisition system is its 8-bit analog-to-digital converter. The converter is designed to give fast, accurate, and repeatable conversions over a wide range of temperatures. The converter is partitioned into 3 major sections: the 256R ladder network, the successive approximation register, and the comparator. The converter's digital outputs are positive true.

The 256R ladder network approach (*Figure 1*) was chosen over the conventional R/2R ladder because of its inherent monotonicity, which guarantees no missing digital codes. Monotonicity is particularly important in closed loop feedback control systems. A non-monotonic relationship can cause oscillations that will be catastrophic, for the system. Additionally, the 256R network does not cause load variations on the reference voltage.

The bottom resistor and the top resistor of the ladder network in *Figure 1* are not the same value as the remainder of the network. The difference in these resistors causes the output characteristic to be symmetrical with the zero and full-scale points of the transfer curve. The first output transition occurs when the analog signal has reached + 1/2 LSB and succeeding output transitions occur every 1 LSB later up to full-scale.

The successive approximation register (SAR) performs 8 iterations to approximate the input voltage. For any SAR type converter, n-iterations are required for an n-bit converter. *Figure 2* shows a typical example of a 3-bit converter. In the ADC0808, ADC0809, the approximation technique is extended to 8 bits using the 256R network.

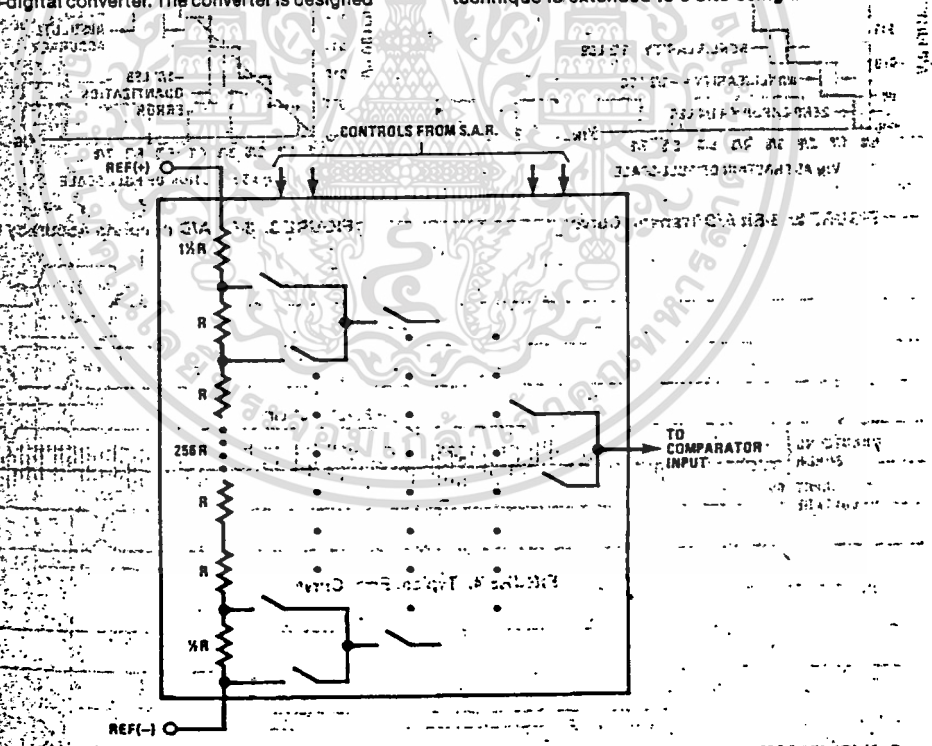


FIGURE 1. Resistor Ladder and Switch Tree

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Functional Description (Continued)

The A/D converter's successive approximation register (SAR) is reset on the positive edge of the start conversion (SC) pulse. The conversion is begun on the falling edge of the start conversion pulse. A conversion in process will be interrupted by receipt of a new start conversion pulse. Continuous conversion may be accomplished by tying the end-of-conversion (EOC) output to the SC input. If used in this mode, an external start conversion pulse should be applied after power up. End-of-conversion will go low between 0 and 8 clock pulses after the rising edge of start conversion.

The most important section of the A/D converter is the comparator. It is this section which is responsible for the ultimate accuracy of the entire converter. It is also the comparator drift which has the greatest influence on the repeatability of the device. A chopper-stabilized comparator provides the most effective method of satisfying all the converter requirements.

The chopper-stabilized comparator converts the DC input signal into an AC signal. This signal is then fed through a high gain AC amplifier and has the DC level restored. This technique limits the drift component of the amplifier since the drift is a DC component which is not passed by the AC amplifier. This makes the entire A/D converter extremely insensitive to temperature, long term drift and input offset errors.

Figure 4 shows a typical error curve for the ADC0808 as measured using the procedures outlined in AN-179.

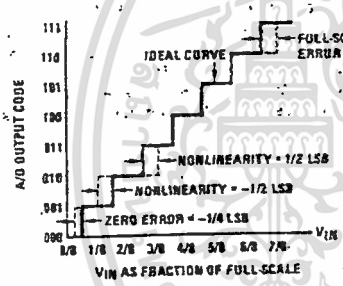


FIGURE 2. 3-Bit A/D Transfer Curve

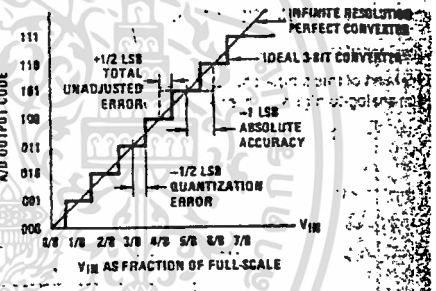


FIGURE 3. 3-Bit A/D Absolute Accuracy Curve

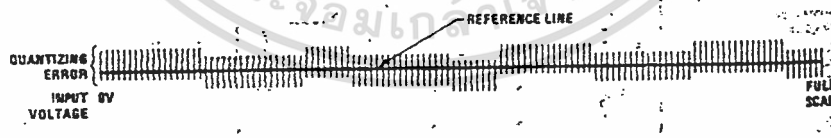
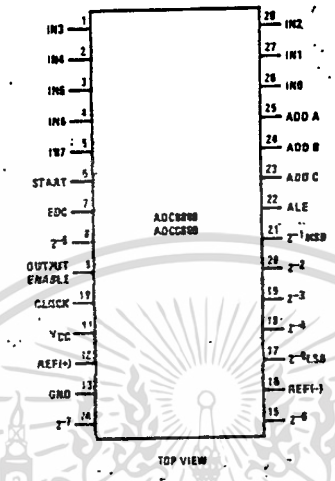


FIGURE 4. Typical Error Curve

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Connection Diagram

Dual-In-Line Package



Timing Diagram

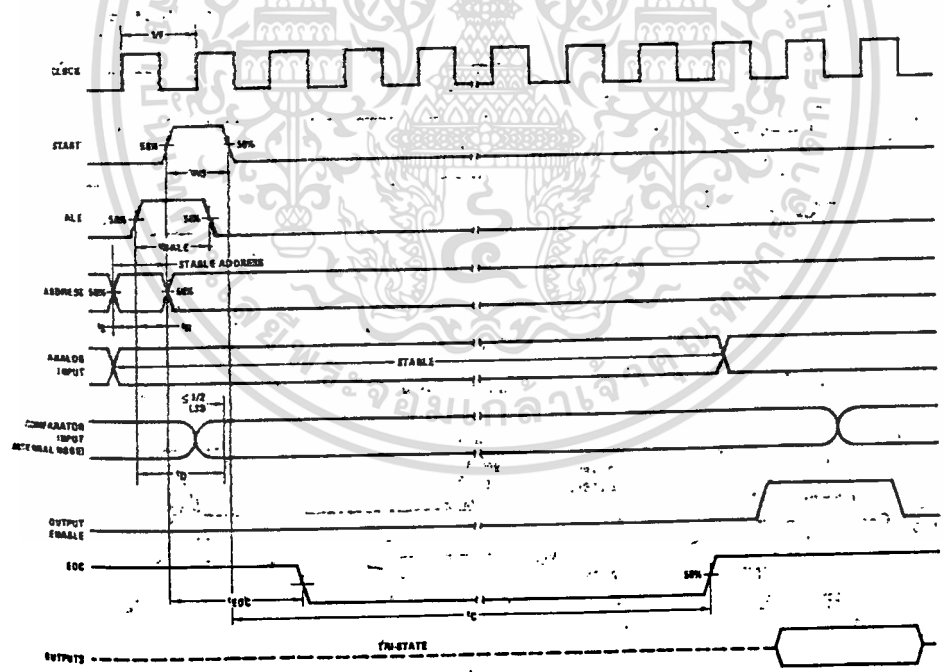


FIGURE 5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics

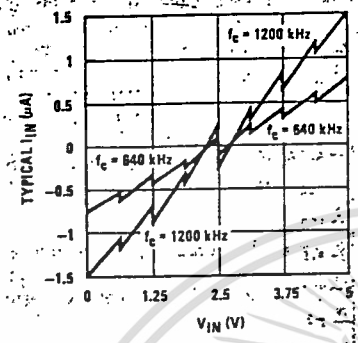


FIGURE 6. Comparator I_{IN} vs V_{IN} ($V_{CC} = V_{REF} = 5V$)

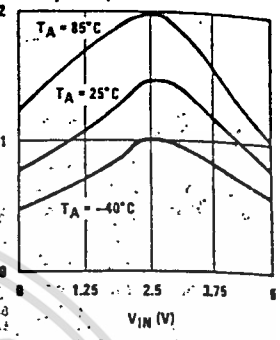


FIGURE 7. Multiplexer R_{ON} vs V_{IN} ($V_{CC} = V_{REF} = 5V$)

TRI-STATE® Test Circuits and Timing Diagrams

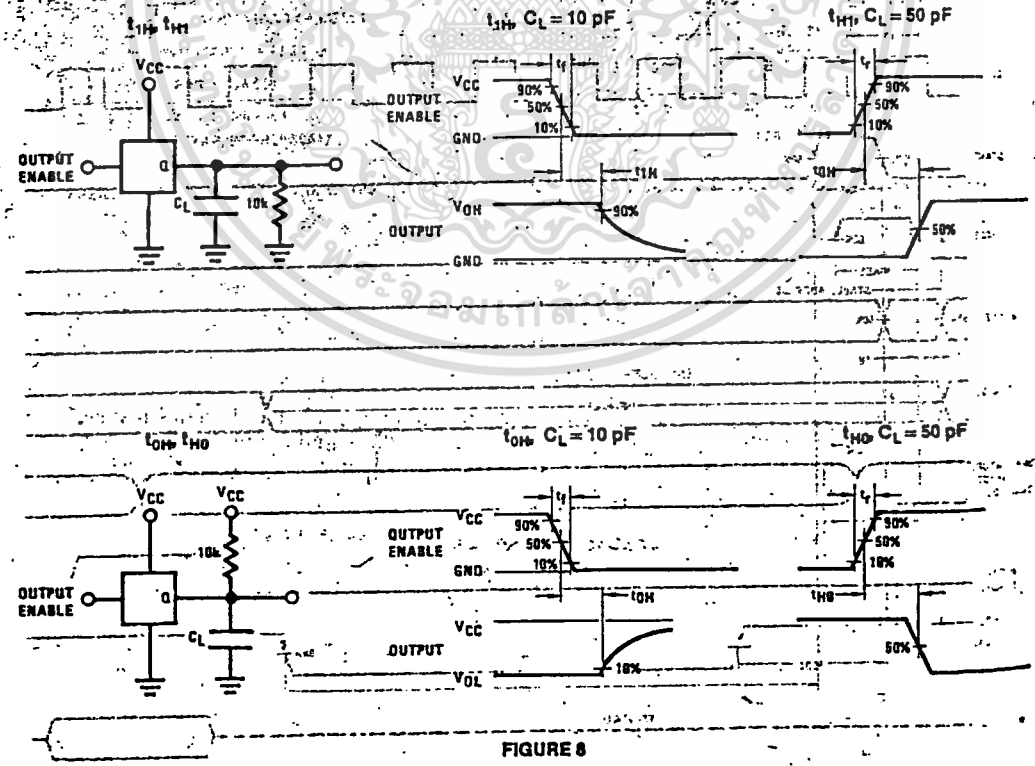


FIGURE 8

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Applications Information

OPERATION

1.0 Ratiometric Conversion

The ADC0808, ADC0809 is designed as a complete Data Acquisition System (DAS) for ratiometric conversion systems. In ratiometric systems, the physical variable being measured is expressed as a percentage of full-scale which is not necessarily related to an absolute standard. The voltage input to the ADC0808 is expressed by the equation

$$\frac{V_{IN}}{V_{FS} - V_Z} = \frac{D_X}{D_{MAX} - D_{MIN}} \quad (1)$$

V_{IN} = Input voltage into the ADC0808
V_{FS} = Full-scale voltage
V_Z = Zero voltage
D_X = Data point being measured
D_{MAX} = Maximum data limit
D_{MIN} = Minimum data limit

A good example of a ratiometric transducer is a potentiometer used as a position sensor. The position of the wiper is directly proportional to the output voltage which is a ratio of the full-scale voltage across it. Since the data is represented as a proportion of full-scale, reference requirements are greatly reduced, eliminating a large source of error and cost for many applications. A major advantage of the ADC0808, ADC0809 is that the input voltage range is equal to the supply range so the transducers can be connected directly across the supply and their outputs connected directly into the multiplexer inputs, (*Figure 9*).

Ratiometric transducers such as potentiometers, strain gauges, thermistor bridges, pressure transducers, etc., are suitable for measuring proportional relationships; however, many types of measurements must be referred to an absolute standard such as voltage or current. This means a system reference must be used which relates the full-scale voltage to the standard volt. For example, if $V_{CC} = V_{REF} = 5.12V$, then the full-scale range is divided into 256 standard steps. The smallest standard step is 1 LSB which is then 20 mV.

2.0 Resistor Ladder Limitations

The voltages from the resistor ladder are compared to the selected input 8 times in a conversion. These voltages are coupled to the comparator via an analog switch tree which is referenced to the supply. The voltages at the top, center and bottom of the ladder must be controlled to maintain proper operation.

The top of the ladder, Ref(+), should not be more positive than the supply, and the bottom of the ladder, Ref(−), should not be more negative than ground. The center of the ladder voltage must also be near the center of the supply because the analog switch tree changes from N-channel switches to P-channel switches. These limitations are automatically satisfied in ratiometric systems and can be easily met in ground referenced systems.

Figure 10 shows a ground referenced system with a separate supply and reference. In this system, the supply must be trimmed to match the reference voltage. For instance, if a 5.12V is used, the supply should be adjusted to the same voltage within 0.1V.

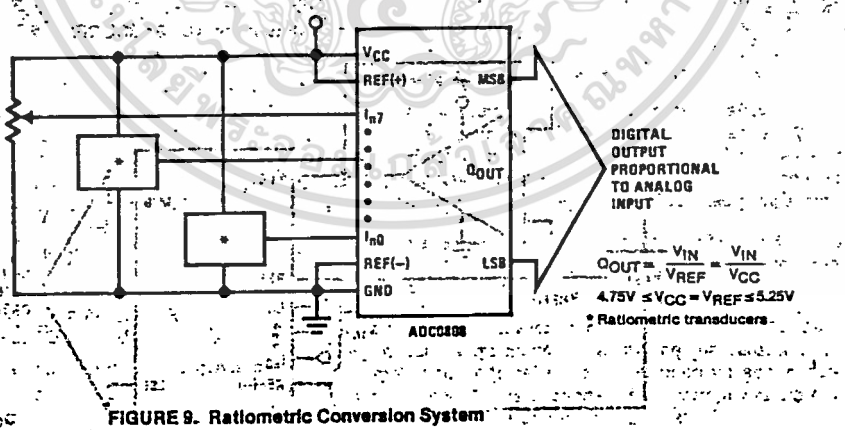


FIGURE 9. Ratiometric Conversion System

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Applications Information (Continued)

The ADC0808 needs less than a milliamp of supply current so developing the supply from the reference is readily accomplished. In *Figure 11* a ground referenced system is shown which generates the supply from the reference. The buffer shown can be an op amp of sufficient drive to supply the milliamp of supply current and the desired bus drive, or if a capacitive bus is driven by the outputs a large capacitor will supply the transient supply current as seen in *Figure 12*. The LM301 is overcompensated to insure stability when loaded by the 10 μF output capacitor.

The top and bottom ladder voltages cannot exceed V_{CC} and ground, respectively, but they can be symmetrically less than V_{CC} and greater than ground. The center of the ladder voltage should always be near the center of the supply. The sensitivity of the converter can be increased, (i.e., size of the LSB steps decreased) by using a symmetrical reference system. In *Figure 13*, a 2.5V reference is symmetrically centered about $V_{CC}/2$ since the same current flows in identical resistors. This system with a 2.5V reference allows the LSB bit to be half the size of a 5V reference system.

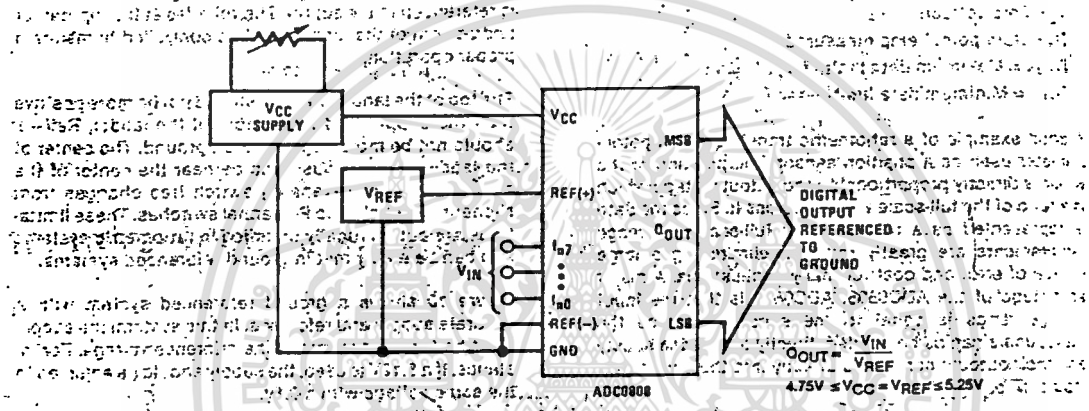


FIGURE 10. Ground Referenced Conversion System Using Trimmed Supply

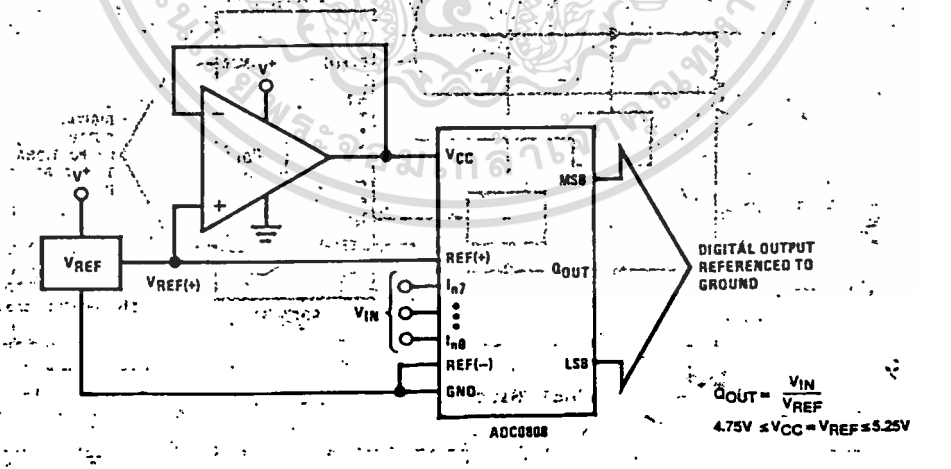


FIGURE 11. Ground Referenced Conversion System with Reference Generating V_{CC} Supply

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Applications Information (Continued)

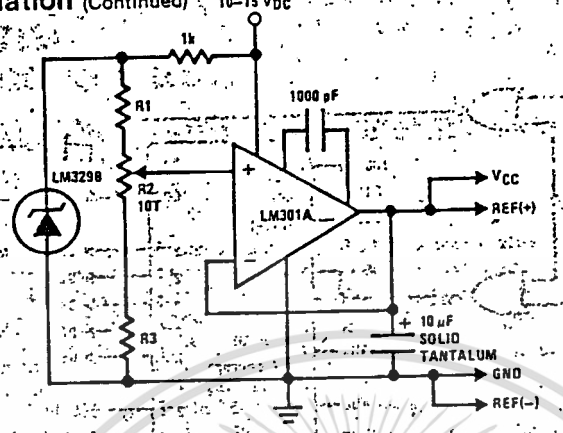


FIGURE 12. Typical Reference and Supply Circuit

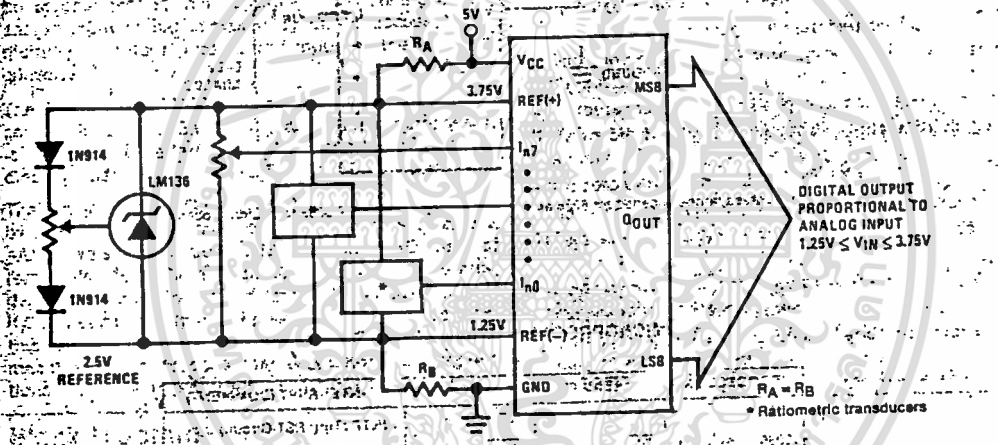


FIGURE 13. Symmetrically Centered Reference

3.0 Converter Equations

The transition between adjacent codes N and N+1 is given by:

$$V_{IN} = \left[(V_{REF(+)} - V_{REF(-)}) \left[\frac{N}{256} + \frac{1}{512} \right] \pm V_{TUE} \right] + V_{REF(-)} \quad (2)$$

The center of an output code N is given by:

$$V_{IN} = \left[(V_{REF(+)} - V_{REF(-)}) \left[\frac{N}{256} \right] \pm V_{TUE} \right] + V_{REF(-)} \quad (3)$$

The output code N for an arbitrary input are the integers within the range:

$$N = \frac{V_{IN} - V_{REF(-)}}{V_{REF(+)} - V_{REF(-)}} \times 256 \pm \text{Absolute Accuracy} \quad (4)$$

where: V_{IN} = Voltage at comparator input

$V_{REF(+)}$ = Voltage at Ref(+)

$V_{REF(-)}$ = Voltage at Ref(−)

V_{TUE} = Total unadjusted error voltage (typically $V_{REF(+)} \div 512$)

4.0 Analog Comparator Inputs

The dynamic comparator input current is caused by the periodic switching of on-chip stray capacitances. These are connected alternately to the output of the resistor ladder/switch tree network and to the comparator input as part of the operation of the chopper stabilized comparator.

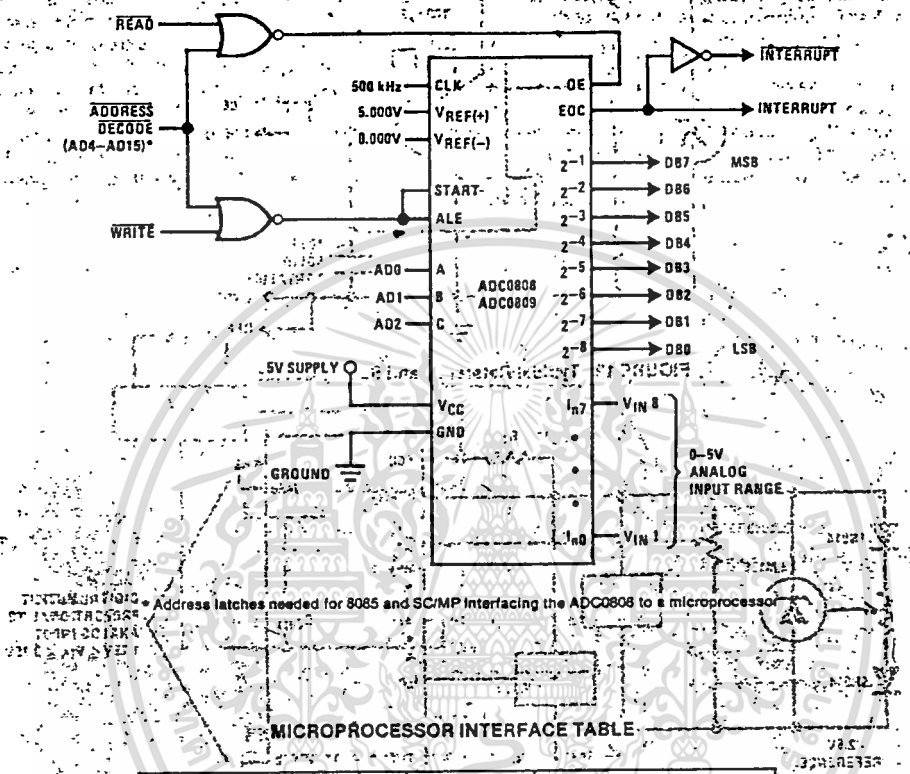
The average value of the comparator input current varies directly with clock frequency and with V_{IN} as shown in *Figure 6*.

If no filter capacitors are used at the analog inputs and the signal source impedances are low, the comparator input current should not introduce converter errors, as the transient created by the capacitance discharge will die out before the comparator output is strobed.

If input filter capacitors are desired for noise reduction and signal conditioning they will tend to average out the dynamic comparator input current. It will then take on the characteristics of a DC bias current whose effect can be predicted conventionally.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Application



MICROPROCESSOR INTERFACE TABLE

PROCESSOR	READ	WRITE	INTERRUPT (COMMENT)
8080	$\overline{MEMR}$	$\overline{MEMW}$	INTR (Thru RST Circuit)
8085	$\overline{RD}$	$\overline{WR}$	INTR (Thru RST Circuit)
Z-80	$\overline{RD}$	$\overline{WR}$	$\overline{INT}$ (Thru RST Circuit, Mode 0)
SC/MP	NRDS	NWDS	SA (Thru Sense A)
6800	VMA•ϕ2•R/W	VMA•ϕ2•$\overline{R/W}$	$\overline{IRQA}$ or $\overline{IRQB}$ (Thru PIA)

Ordering Information

TEMPERATURE RANGE		−40°C to +85°C		−55°C to +125°C
Error	± 1/2 Bit Unadjusted	ADC0808CCN	ADC0808CCJ	ADC0808CJ
	±1 Bit Unadjusted	ADC0809CCN		
Package Outline		N28A Molded DIP	J28A Hermetic DIP	J28A Hermetic DIP

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ขอขอบคุณ อาจารย์ และ เพื่อน ๆ ผู้มีส่วนร่วมช่วยเหลือทั้งในด้านคำปรึกษา กำลังกาย และ กำลังใจ ในโครงงานนี้ทุก ๆ ท่าน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

54145/74145 BCD-to-Decimal Decoder/Driver with Open-Collector Output (15V Output)

	Schottky TTL					High-Speed TTL					Low-Power Schottky TTL					Standard TTL					Low-Power TTL				
	Device Type	Package				Device Type	Package				Device Type	Package				Device Type	Package				Device Type	Package			
		C	P	M	CF		C	P	M	CF		C	P	M	CF		C	P	M	CF		C	P	M	CF
T. I.											SN54LS145	J			W	SN54145	J			W					
											SN74LS145	J	N			SN74145	J	N							
FAIRCHILD																FM54145 FM93145	D								
																FC74145/FC93145	D	P							
MOTOROLA																MC54145	L								
																MC74154	L	P							
N. S. C.																DM54145	J			W					
																DM74145	J	N		W					
PHILIPS											N74LS145					N74145									
SIGNETICS																S54145	F			W					
											N74LS145		A			N74145		A							
SIEMENS																									
																FLL111T									
FUJITSU																									
											74LS145		M			MB443		M							
HITACHI																									
																HD74145 / HD7555		P							
MITSUBISHI																									
											M74LS145		P			M53345		P							
NEC																									
TOSHIBA																									

Electrical Characteristics SN54LS145/SN74LS145

absolute maximum ratings over operating free-air temperature range

Supply voltage, V_{CC}	7V	Operating free-air temperature range	SN54LS	−55°C to 125°C
Input voltage	7V		SN74LS	0°C to 70°C
		Storage temperature range		−65°C to 150°C

recommended operating conditions

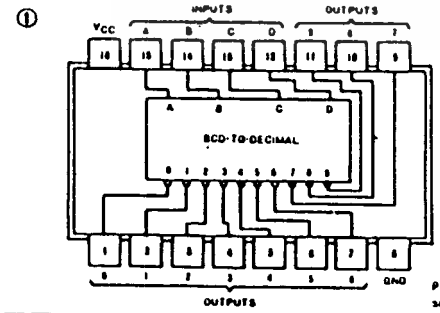
	SN54145			SN74145			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, V_{CC}	4.5	5	5.5	4.75	5	5.25	V
Off-state output voltage			15			15	V
Operating free-air temperature, T_A	−55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range

PARAMETER		TEST CONDITIONS†		MIN	TYP‡	MAX	UNIT
V_{IH}	High-level input voltage			2			V
V_{IL}	Low-level input voltage					0.8	V
V_I	Input clamp voltage	V_{CC} = MIN, I_I = −18mA				−1.5	V
$V_{O(on)}$	On-state output voltage	V_{CC} = MIN, V_{IH} = 2V, V_{IL} = 0.8V	$I_{O(on)}$ = 80mA		2.3		V
			$I_{O(on)}$ = 24mA		0.35	0.5	
$V_{O(off)}$	Off-state output voltage	V_{CC} = MIN, V_{IH} = 2V, V_{IL} = 0.8V, $I_{O(off)}$ = 250μA		15			V
I_I	Input current at maximum input voltage	V_{CC} = MAX, V_I = 7V				0.1	mA
I_{IH}	High-level input current	V_{CC} = MAX, V_I = 2.4V				20	μA
I_{IL}	Low-level input current	V_{CC} = MAX, V_I = 0.4V				−0.4	mA
I_{CC}	Supply current	V_{CC} = MAX, See Note	SN54LS145		7	13	mA
			SN74LS145		7	13	
t_{PLH}	Propagation delay time, low-to high-level output	V_{CC} = 5V, C_L = 45pF,	T_A = 25°C, R_L = 665Ω			50	ns
t_{PHL}	Propagation delay time, high-to-low-level output					50	ns

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions for the applicable type.
‡ All typical values are at V_{CC} = 5V, T_A = 25°C.

Pin Assignment (Top View)



positive logic: see function table

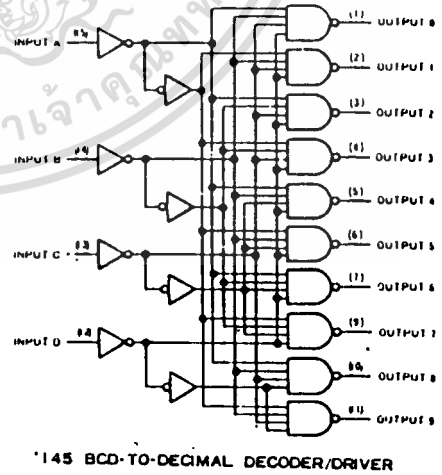
FUNCTION TABLE

'145

NO.	INPUTS D	C	B	A	OUTPUTS 0	1	2	3	4	5	6	7	8	9
0	L	L	L	L	L	H	H	H	H	H	H	H	H	H
1	L	L	L	H	H	L	H	H	H	H	H	H	H	H
2	L	L	H	L	H	H	L	H	H	H	H	H	H	H
3	L	L	H	H	H	H	H	L	H	H	H	H	H	H
4	L	H	L	L	H	H	H	H	L	H	H	H	H	H
5	L	H	L	H	H	H	H	H	H	L	H	H	H	H
6	L	H	H	L	H	H	H	H	H	H	L	H	H	H
7	L	H	H	H	H	H	H	H	H	H	H	L	H	H
8	H	L	L	L	H	H	H	H	H	H	H	H	L	H
9	H	L	L	H	H	H	H	H	H	H	H	H	H	L
INVALID	H	L	H	L	H	H	H	H	H	H	H	H	H	H
	H	L	H	H	H	H	H	H	H	H	H	H	H	H
	H	H	L	L	H	H	H	H	H	H	H	H	H	H
	H	H	L	H	H	H	H	H	H	H	H	H	H	H
	H	H	H	L	H	H	H	H	H	H	H	H	H	H
	H	H	H	H	H	H	H	H	H	H	H	H	H	H

H = high level (off), L = low level (on)

Functional Block Diagram



'145 BCD-TO-DECIMAL DECODER/DRIVER

NOTE: I_{CC} is measured with all inputs grounded and outputs open.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

54154, 74154 4-Line-to-16-Line Decoder/Demultiplexer

	Schottky TTL					High-Speed TTL					Low-Power Schottky TTL					Standard TTL					Low-Power TTL				
	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF
T.I.																SN54154	J(I)			W(I)	SN54L154	J(I)			
																SN74154	J(I)	N(I)			SN74L154	J(I)	N(I)		
FAIRCHILD																	NQ								
																FC74154	NQ	PQ							
MOTOROLA																SN74154		P(I)							
N.S.C.											DM54LS154		L			DM54154	J(I)			FQ(I)	DM54L154A	DQ(I)	NQ		FQ
											DM74LS154		L			DM74154	J(I)	N(I)		FQ(I)	DM74L154A	DQ(I)	NQ		FQ
PHILIPS																									
											N74LS154		L			N74154									
SIGNETICS																S54154	FQ(I)	N(I)		Q(I)					
																N74154		N(I)							
SIEMENS																									
																FLY141		U							
FUJITSU																									
HITACHI											HD74LS154		P(I)			HD74154/HD2580		P(I)							
MITSUBISHI																M53354		P(I)							
NEC																μPB2154									
TOSHIBA																									

Electrical Characteristics SN54154/SN74154

absolute maximum ratings over operating free-air temperature range

Supply voltage, V_{CC}	7V	Operating free-air temperature range	SN54	−55°C to 125°C
Input voltage	5.5V		SN74	0°C to 70°C
		Storage temperature range		−65°C to 150°C

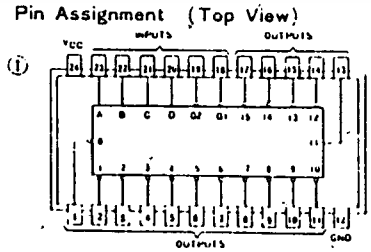
recommended operating conditions

	SN54154 MIN	NOM	MAX	SN74154 MIN	NOM	MAX	UNIT
Supply voltage, V_{CC}	4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}			−800			−800	μA
Low-level output current, I_{OL}			16			16	mA
Operating free-air temperature, T_A	−55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range

PARAMETER		TEST CONDITIONS†		MIN	TYP‡	MAX	UNIT
V_{IH}	High-level input voltage			2			V
V_{IL}	Low-level input voltage					0.8	V
V_I	Input clamp voltage	V_{CC} = MIN, I_I = −12mA				−1.5	V
V_{OH}	High-level output voltage	V_{CC} = MIN, V_{IH} = 2V, V_{IL} = 0.8V, I_{OH} = −800μA		2.4	3.4		V
V_{OL}	Low-level output voltage	V_{CC} = MIN, V_{IH} = 2V, V_{IL} = 0.8V, I_{OL} = 16mA			0.2	0.4	V
I_I	Input current at maximum input voltage	V_{CC} = MAX, V_I = 5.5V				1	mA
I_{IH}	High-level input current	V_{CC} = MAX, V_I = 2.4V				40	μA
I_{IL}	Low-level input current	V_{CC} = MAX, V_I = 0.4V				−1.6	mA
I_{OS}	Short-circuit output current*	V_{CC} = MAX,	SN54	−20		−55	mA
			SN74	−18		−57	
I_{CC}	Supply current	V_{CC} = MAX, See Note	SN54		34	49	mA
			SN74		34	56	
t_{PLH}	From A, B, C, or D inputs through 3 levels of logic	V_{CC} = 5V, C_L = 15pF, T_A = 25°C, R_L = 400Ω			24	36	ns
t_{PHL}	From A, B, C, or D inputs through 3 levels of logic				22	33	ns
t_{PLH}	From either strobe input				20	30	ns
t_{PHL}	From either strobe input				18	27	ns

Pin Assignment (Top View)



positive logic see function table

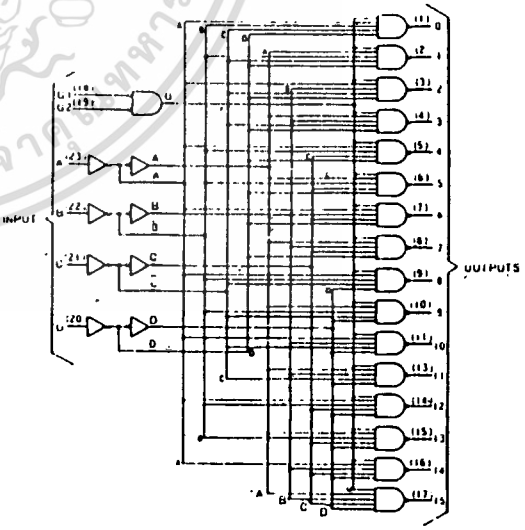
Function Table

154, L154

INPUTS G1	G2	D	C	B	A	OUTPUTS 0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
L	L	L	L	L	L	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H
L	L	L	L	L	H	H	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H
L	L	L	L	H	L	H	H	L	H	H	H	H	H	H	H	H	H	H	H	H	H
L	L	L	L	H	H	H	H	H	L	H	H	H	H	H	H	H	H	H	H	H	H
L	L	L	H	L	L	H	H	H	H	L	H	H	H	H	H	H	H	H	H	H	H
L	L	L	H	L	H	H	H	H	H	H	L	H	H	H	H	H	H	H	H	H	H
L	L	L	H	H	L	H	H	H	H	H	H	L	H	H	H	H	H	H	H	H	H
L	L	L	H	H	H	H	H	H	H	H	H	H	L	H	H	H	H	H	H	H	H
L	L	H	L	L	L	H	H	H	H	H	H	H	H	L	H	H	H	H	H	H	H
L	L	H	L	L	H	H	H	H	H	H	H	H	H	H	L	H	H	H	H	H	H
L	L	H	L	H	L	H	H	H	H	H	H	H	H	H	H	L	H	H	H	H	H
L	L	H	L	H	H	H	H	H	H	H	H	H	H	H	H	H	L	H	H	H	H
L	L	H	H	L	L	H	H	H	H	H	H	H	H	H	H	H	H	L	H	H	H
L	L	H	H	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H	L	H	H
L	L	H	H	H	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H	L	H
L	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	L
L	H	X	X	X	X	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H
H	X	X	X	X	X	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H

H = high level, L = low level, X = irrelevant

Functional Block Diagram



154, L154 4-LINE-TO-16-LINE DECODER/DEMULTIPLEXER

NOTE: I_{CC} is measured with all inputs grounded and all outputs open.

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions for the applicable type.
‡ All typical values are at V_{CC} = 5V, T_A = 25°C.
* Not more than one output should be shorted at a time.
t_{PLH} = propagation delay time, low-to-high-level output
t_{PHL} = propagation delay time, high-to-low-level output

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

54373/74373 Octal D-Type Transparent Latches and Edge-Triggered Flip-Flops

	Schottky TTL					High-Speed TTL					Low-Power Schottky TTL					Standard TTL					Low-Power TTL				
	Device Type	Package				Device Type	Package				Device Type	Package				Device Type	Package				Device Type	Package			
		C	P	M	CF		C	P	M	CF		C	P	M	CF		C	P	M	CF		C	P	M	CF
T.I.	SN54S373	J ◐									SN54LS373	J ◐													
	SN74S373	J ◐	N ◐								SN74LS373	J ◐	N ◐												
FAIRCHILD																									
MOTOROLA																									
N.S.C.																									
PHILIPS																									
SIGNETICS																									
SIEMENS																									
FUJITSU																									
HITACHI																									
MITSUBISHI																									
NEC																									
TOSHIBA																									

Electrical Characteristics SN54LS373/SN74LS373

absolute maximum ratings over operating free-air temperature range

Supply voltage, V_{CC}	7V	Operating free-air temperature range	SN54LS	−55°C to 125°C
Input voltage	7V		SN74LS	0°C to 70°C
		Storage temperature range		−65°C to 150°C

recommend operating conditions

		SN54LS373			SN74LS373			UNIT
		MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, V_{CC}		4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}				−1			−2.6	mA
High-level output voltage, V_{OH}				5.5			5.5	V
Pulse width, t_w	Clock enable high	15			15			ns
	Clock enable high	15			15			
Setup time, t_{SU} ↑		0↓			0↓			ns
Hold time, $t_{h(H)}$		10↓			10↓			ns
Operating free-air temperature, T_A		−55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER		TEST CONDITIONS‡		MIN	TYP‡	MAX	UNIT
V_{IH}	High-level input voltage			2			V
V_{IL}	Low-level input voltage					0.8	V
V_{IK}	Input clamp voltage	V_{CC} = MIN, I_I = −18mA				−1.5	V
V_{OH}	High-level output voltage	V_{CC} = MIN, V_{IH} = 2V, V_{IL} = V_{IL} max, I_{OH} = MAX		2.4	3.4		V
V_{OL}	Low-level output voltage	V_{CC} = MIN, V_{IH} = 2V, V_{IL} = V_{IL} max	I_{OL} = 24mA		0.35	0.5	V
I_{OZH}	Off-state output current, high-level voltage applied	V_{CC} = MAX, V_{IH} = 2V, V_O = 2.7V				20	μA
I_{OZL}	Off-state output current, low-level voltage applied	V_{CC} = MAX, V_{IH} = 2V, V_O = 0.4V				−20	μA
I_I	Input current at maximum input voltage	V_{CC} = MAX, V_I = 7V				0.1	mA
I_{IH}	High-level input current	V_{CC} = MAX, V_I = 2.7V				20	μA
I_{IL}	Low-level input current	V_{CC} = MAX, V_I = 0.4V				−0.4	mA
I_{OS}	Short-circuit output current §	V_{CC} = MAX		−30		−130	mA
I_{CC}	Supply current	V_{CC} = MAX, Output control at 4.5V	'LS373		24	40	mA

switching characteristics, V_{CC} = 5V, T_A = 25°C

PARAMETER	FROM (INPUT)	TO (OUTPUT)	TEST CONDITIONS	MIN	TYP	MAX	UNIT
f_{max}			C_L = 45pF, R_L = 667Ω, See Notes 2 and 3				MHz
t_{PLH}	Data	Any Q			12	18	ns
t_{PHL}					12	18	
t_{PLH}	Clock or enable	Any Q			20	30	ns
t_{PHL}					18	30	
t_{PZH}	Output Control	Any Q			15	28	ns
t_{PZL}					25	36	
t_{PHZ}	Output Control	Any Q	C_L = 5pF, R_L = 667Ω, See Note 3		12	20	ns
t_{PLZ}					15	25	

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.

‡ All typical values are at V_{CC} = 5V, T_A = 25°C

§ Not more than one output should be shorted at a time and duration of the short circuit should not exceed one second.

NOTES 2. Maximum clock frequency is tested with all outputs loaded

3. See load circuits and waveforms on page 3-11

f_{max} = maximum clock frequency

t_{PLH} = propagation delay time, low-to-high-level output

t_{PHL} = propagation delay time, high-to-low-level output

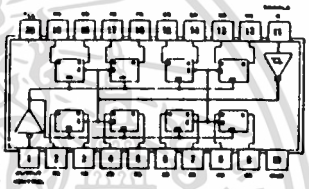
t_{PZH} = output enable time to high level

t_{PZL} = output enable time to low level

t_{PHZ} = output disable time from high level

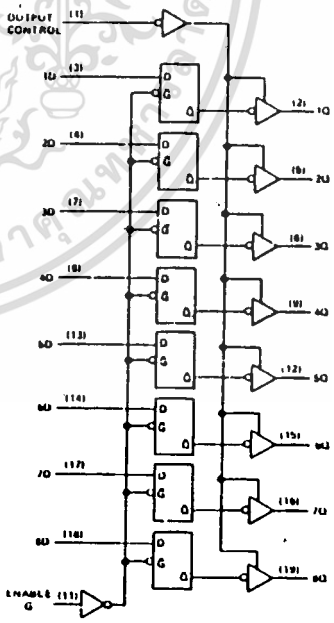
t_{PLZ} = output disable time from low level

Pin Assignments (Top View)



SN54LS373 (J) SN74LS373 (J, N)
SN54S373 (J) SN74S373 (J, N)

'LS373 'S373
TRANSPARENT LATCHES



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

54244/74244 Octal Buffers/Line Drivers/Line Receivers

	Schttky TTL					High-Speed TTL					Low-Power Schottky TTL					Standard TTL					Low-Power TTL				
	Device Type	Package				Device Type	Package				Device Type	Package				Device Type	Package				Device Type	Package			
		C	P	M	CF		C	P	M	CF		C	P	M	CF		C	P	M	CF		C	P	M	CF
T. I.											SN54LS244	J													
											SN74LS244	J	N												
FAIRCHILD																									
MOTOROLA																									
N. S. C.																									
PHILIPS																									
SIGNETICS																									
SIEMENS																									
FUJITSU																									
HITACHI																									
MITSUBISHI																									
NEC																									
TOSHIBA																									

Electrical Characteristics SN54LS244/SN74LS244

absolute maximum ratings over operating free-air temperature range

Supply voltage, V_{CC}	7V	Operating free-air temperature range	SN54LS		55°C to 125°C
Input voltage	5.5V		SN74LS		0°C to 70°C
Interemitter voltage	5.5V	Storage temperature range			65°C to 150°C

recommended operating conditions

	LS54LS244			SN74LS244			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, V_{CC}	4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}			-12			-15	mA
Low-level output current, I_{OL}			12			24	mA
Operating free-air temperature, T_A	55		125	0		70	°C

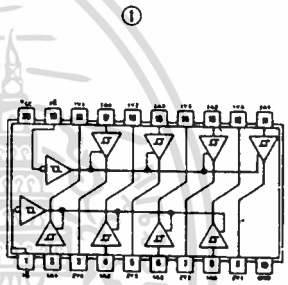
electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER		TEST CONDITIONS†		SN74LS MIN	SN74LS TYP‡	SN74LS MAX	UNIT
V_{IH}	High-level input voltage			2			V
V_{IL}	Low-level input voltage					0.8	V
V_{IK}	Input clamp voltage	V_{CC} = MIN, I_I = -18mA				-1.5	V
	Hysteresis ($V_{T+} - V_{T-}$)	V_{CC} = MIN		0.2	0.4		V
V_{OH}	High-level output voltage	V_{CC} = MIN, V_{IH} = 2V, V_{IL} = V_{IL} max, I_{OH} = -3mA		2.4	3.4		V
		V_{CC} = MIN, V_{IH} = 2V, V_{IL} = 0.5V, I_{OH} = MAX		2			V
V_{OL}	Low-level output voltage	V_{CC} = MIN, V_{IH} = 2V, V_{IL} = V_{IL} max	I_{OL} = 12mA			0.4	V
			I_{OL} = 24mA			0.5	V
I_{OZH}	Off-state output current, high-level voltage applied	V_{CC} = MAX, V_{IH} = 2V, V_{IL} = V_{IL} max	V_O = 2.7V			20	μA
I_{OZL}	Off-state output current, low-level voltage applied		V_O = 0.4V			-20	μA
I_I	Input current at maximum input voltage	V_{CC} = MAX,	V_I = 7V			0.1	mA
I_{IH}	High-level input current, any input	V_{CC} = MAX,	V_I = 2.7V			20	μA
I_{IL}	Low-level input current	V_{CC} = MAX,	V_{IL} = 0.4V			-0.2	mA
I_{OS}	Short-circuit output current*	V_{CC} = MAX		-40		-225	mA
I_{CC}	Supply current, Outputs high	V_{CC} = MAX, Outputs open	All		13	23	mA
	Supply current, Outputs low		'LS244		27	46	mA
	Supply current, All outputs disabled		'LS244		32	54	mA

switching characteristics, V_{CC} = 5V, T_A = 25°C

PARAMETER		TEST CONDITIONS	MIN	TYP	MAX	UNIT
t_{PLH}	Propagation delay time, low-to-high-level output	C_L = 45pF, R_L = 667Ω, See Note 2		9	14	ns
t_{PHL}	Propagation delay time, high-to-low-level output			12	18	ns
t_{PZL}	Output enable time to low level			20	30	ns
t_{PZH}	Output enable time to high level			15	23	ns
t_{PLZ}	Output disable time from low level	C_L = 5pF, R_L = 667Ω, See Note 2		15	25	ns
t_{PHZ}	Output disable time from high level			10	18	ns

Pin Assignment (Top View)



SN54LS244 (J) SN74LS244 (J, N)

†For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions
‡All typical values are at V_{CC} = 5V, T_A = 25°C
*Not more than one output should be shorted at a time, and duration of the short-circuit should not exceed one second
NOTE 2 : Load circuit and voltage wave forms are shown on page 3-11

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

54138/74138 3-Line-to-8-Line Decoder

	Schottky TTL					High-Speed TTL					Low-Power Schottky TTL					Standard TTL					Low-Power TTL				
	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF
T.I.	SN54S138	J①			W①						SN54LS138	J①			W①									
	SN74S138	J①	N①								SN74LS138	J①	N①											
FAIRCHILD	/FN9S138	P①									FN54LS138/FN74LS138	P①			F①									
	FC74S138/FC3S138	P①									FC74LS138/FC3LS138	P①	P①		F①									
MOTOROLA																								
											SN74LS138		P①											
N.S.C.											DM74LS138		J①											
	DM74S138		①								DM54LS138		①											
PHILIPS																								
	N74S138		①								N74LS138		①											
SIGNETICS	S54S138	F①	B①		W①																			
	N74S138	F①	B①								N74LS138		A①											
SIEMENS																								
FUJITSU																								
											74LS138		M①											
HITACHI																								
											HD74LS138		P①											
MITSUBISHI	M74S138		P①								M74LS138		P①											
NEC																								
											74LS138		C①											
TOSHIBA																								

Electrical Characteristics SN54LS138/SN74LS138

absolute maximum ratings over operating free-air temperature range

Supply voltage, V_{CC}	7V	Operating free-air temperature range	SN54LS	−55°C to 125°C
Input voltage	7V		SN74LS	0°C to 70°C
		Storage temperature range		−65°C to 150°C

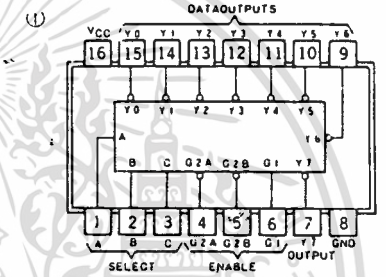
recommended operarating conditions

	SN54LS138 MIN	NOM	MAX	SN74LS138 MIN	NOM	MAX	UNIT
Supply voltage, V_{CC}	4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}			−400			−400	μA
Low-level output current, I_{OL}			4			8	mA
Operating free-air temperature, T_A	−55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range

PARAMETER		TEST CONDITIONS†		MIN	TYP‡	MAX	UNIT
V_{IH}	High-level input voltage			2			V
V_{IL}	Low-level input voltage					0.8	V
V_I	Input clamp voltage	V_{CC} = MIN, I_I = −18mA				−1.5	V
V_{OH}	High-level output voltage	V_{CC} = MIN, V_{IH} = 2V, V_{IL} = 0.8V, I_{OH} = −400μA	SN54LS	2.5	3.4		V
			SN74LS	2.7	3.4		
V_{OL}	Low-level output voltage	V_{CC} = MIN, V_{IH} = 2V, V_{IL} = 0.8V, I_{OL} = 8mA			0.35	0.5	V
I_I	Input current at maximum input voltage	V_{CC} = MAX, V_I = 7V				0.1	mA
I_{IH}	High-level input current	V_{CC} = MAX, V_I = 2.7V				20	μA
I_{IL}	Low-level input current	V_{CC} = MAX, V_I = 0.4V				−0.4	mA
I_{OS}	Short-circuit output current ◆	V_{CC} = MAX		−20		−100	mA
I_{CC}	Supply current†	V_{CC} = MAX, Outputs enabled and open			6.3	10	mA
t_{PLH}	from Binary select to Any output	V_{CC} = 5 V, T_A = 25°C, C_L = 15pF, R_L = 2kΩ	levels of delay 2		13	20	ns
t_{PHL}					27	41	
t_{PLH}			3		18	27	ns
t_{PHL}					26	39	
t_{PLH}	from Enable to Any output		2		12	18	ns
t_{PHL}					21	32	
t_{PLH}			3		17	26	ns
t_{PHL}					25	38	

Pin Assignment (Top View)



positive logic: see function table

Function Table

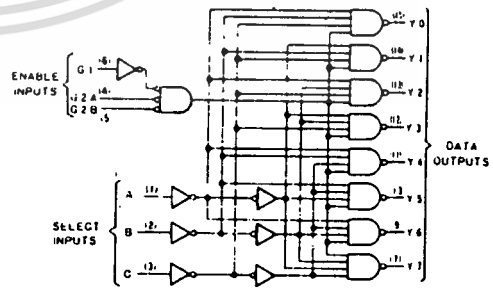
'S138 'LS138

INPUTS ENABLE G1	G2*	SELECT C	B	A	OUTPUTS Y0	Y1	Y2	Y3	Y4	Y5	Y6	Y7
X	H	X	X	X	H	H	H	H	H	H	H	H
L	X	X	X	X	H	H	H	H	H	H	H	H
H	L	L	L	L	L	H	H	H	H	H	H	H
H	L	L	L	H	H	L	H	H	H	H	H	H
H	L	L	H	L	H	H	L	H	H	H	H	H
H	L	L	H	H	H	H	H	L	H	H	H	H
H	L	H	L	L	H	H	H	H	L	H	H	H
H	L	H	L	H	H	H	H	H	H	L	H	H
H	L	H	H	L	H	H	H	H	H	H	L	H
H	L	H	H	H	H	H	H	H	H	H	H	L

◆ G2 = G2A + G2B

H = high level, L = low level, X = irrelevant

Functional Block Diagram



'S138 'LS138 DECODER/DEMULTIPLEXER

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions for the applicable device type.
‡ All typical values are at V_{CC} = 5 V, T_A = 25°C
◆ Not more than one output should be shorted at a time, and duration of the short-circuit test should not exceed one second
t_{PLH} = propagation delay time, low-to-high-level output
t_{PHL} = propagation delay time, high-to-low-level output

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5486 / 7486 Quadruple 2-Input Exclusive-OR Gate

	Schottky TTL					High-Speed TTL					Low-Power Schottky TTL					Standard TTL					Low-Power TTL				
	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF
T.I.	SN54S86	J⑭			W⑭						SN54LS86	J⑭			W⑭	SN5486	J⑭			W⑭	SN54L86	J⑭	N⑭	T⑭	
	SN74S86	J⑭	N⑭								SN74LS86	J⑭	N⑭			SN7486	J⑭	N⑭			SN74L86	J⑭	N⑭	T⑭	
FAIRCHILD	FM54S86/FM74S86	D⑭			F⑭						FM54LS86/FM74LS86	D⑭			F⑭	FM5486/FM9N86	D⑭			F⑭					
	FC74S86/FC9S86	D⑭	P⑭								FC74LS86/FC9LS86	D⑭	P⑭		F⑭	FC7486/FC9N86	D⑭	P⑭							
MOTOROLA											SN74LS86		P⑭			MC7486		P⑭							
N.S.C											DM54LS86		P⑭			DM5486	J⑭	N⑭		W⑭	DM54L86	J⑭	N⑭		F⑭
	DM74S86		N⑭								DM74LS86		P⑭			DM7486	J⑭	N⑭			DM74L86	J⑭	N⑭		F⑭
PHILIPS	N74S86		⑭								N74LS86		⑭			FJH271/7486		⑭							
SIGNETICS	S54S86															S5486	F⑭	A⑭		W⑭					
	N74S86										N74LS86		A⑭			N7486	F⑭	A⑭							
SIEMENS																FLH341		⑭							
FUJITSU											74LS86		M⑭			MB449	⑭	M⑭							
HITACHI	HD74S86	⑭	P⑭								HD74LS86		P⑭			HD7486/HD2526	⑭	P⑭							
MISUBISHI											M74LS86		P⑭			M53286		P⑭							
NEC											74LS86		C⑭			μPB2086	D⑭								
TOSHIBA																TD7486		P⑭							

Electrical Characteristics SN54LS86/SN74LS86

absolute maximum ratings over operating free-air temperature range

Supply voltage, V_{CC}	7V	Operating free-air temperature range†	SN54LS	−55°C to 125°C
Input voltage	7V		SN74LS	0°C to 70°C
		Storage temperature range		−65°C to 150°C

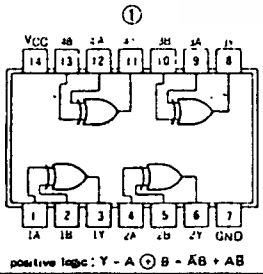
recommended operating conditions

	SN54LS86 MIN	NOM	MAX	SN74LS86 MIN	NOM	MAX	UNIT
Supply voltage, V_{CC}	4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}			−800			−800	μA
Low-level output current, I_{OL}			8			8	mA
Operating free-air temperature, T_A	−55		125	0		70	°C

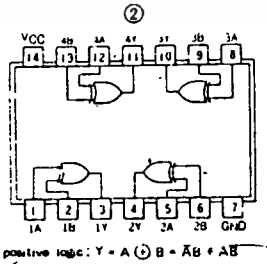
electrical characteristics over recommended operating free-air temperature range

PARAMETER ●		TEST CONDITIONS †		SN74LS86 MIN	TYP‡	MAX	UNIT
V_{IH}	High-level input voltage			2			V
V_{IL}	Low-level input voltage					0.8	V
V_I	Input clamp voltage	V_{CC} = MIN, I_I = −18mA				−1.5	V
V_{OH}	High-level output voltage	V_{CC} = MIN, V_{IH} = 2V, V_{IL} = V_{IL} max, I_{OH} = −400μA		2.7	3.4		V
V_{OL}	Low-level output voltage	V_{CC} = MIN, V_{IH} = 2V, V_{IL} = V_{IL} max	I_{OL} = 4mA		0.25	0.4	V
			I_{OL} = 8mA		0.35	0.5	
I_I	Input current at maximum input voltage	V_{CC} = MAX, V_I = 7V				0.2	mA
I_{IH}	High-level input current	V_{CC} = MAX, V_I = 2.7V				40	μA
I_{IL}	Low-level input current	V_{CC} = MAX, V_I = 0.4V				−0.8	mA
I_{OS}	Short-circuit output current ●	V_{CC} = MAX		−20		−100	mA
I_{CC}	Supply current	V_{CC} = MAX, See Note 2			6.1	10	mA
t_{PLH}	from A or B input, Other input low	V_{CC} = 5V, T_A = 25°C, C_L = 15pF, R_L = 2kΩ			12	23	ns
t_{PHL}					10	17	ns
t_{PLH}	from A or B input, Other input high				20	30	ns
t_{PHL}					13	22	ns

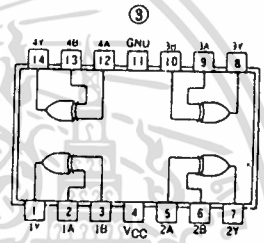
Pin Assignments (Top View)



positive logic: $Y = A \oplus B = \bar{A}B + A\bar{B}$



positive logic: $Y = A \oplus B = \bar{A}B + A\bar{B}$



positive logic: $Y = A \oplus B = \bar{A}B + A\bar{B}$

Function Table

INPUTS A	INPUTS B	OUTPUT Y
L	L	L
L	H	H
H	L	H
H	H	L

H = High-level, L = Low-level

NOTE: I_{CC} is measured with the inputs grounded and the outputs open.

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions for the applicable type.
‡ All typical values are at V_{CC} = 5V, T_A = 25°C.
● Not more than one output should be shorted at a time.
● t_{PLH} = propagation delay time, low-to-high-level output
t_{PHL} = propagation delay time, high-to-low-level output

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5427/7427 Triple 3-Input Positive-NOR Gate

	Schottky TTL					High-Speed TTL					Low-Power Schottky TTL					Standard TTL					Low-Power TTL				
	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF
T.I.											SN54LS27	J①			W①	SN5427	J①	.		W①					
											SN74LS27	J①	N①			SN7427	J①	N①							
FAIRCHILD											[illegible]	P①			F①	FM5427/FM9N27	D①							
											FC74LS27/FC9LS27	P①	P①		F①	FC7427/FC9N27	D①	P①							
MOTOROLA											SN74LS27		P①			SN7427		P①							
N.S.C.											DM54LS27		①			DM5427	J①	N①		W①					
											DM74LS27		①			DM7427	J①	N①		W①					
PHILIPS											N74LS27		①			N7427		①							
SIGNETICS											N74LS27		A①			N7427		A①							
SIEMENS																FLH621		①							
FUJITSU																									
HITACHI											HD74LS27		P①			HD7427		P①							
MITSUBISHI											M53LS27		P①			M53227		P①							
NEC											74LS27		C①												
TOSHIBA																									

Electrical Characteristics SN54LS27/SN74LS27

absolute maximum ratings over operating free-air temperature range

Supply voltage, V_{CC}	7V	Operating free-air temperature range	SN54LS	−55°C to 125°C
Input voltage	7V		SN74LS	0°C to 70°C
Interemitter voltage	5.5V	Storage temperature range		−65°C to 150°C

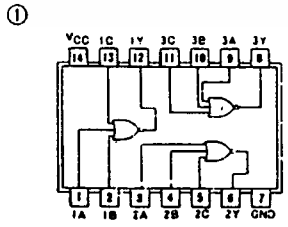
recommended operating conditions

	SN54LS27 MIN	NOM	MAX	SN74LS27 MIN	NOM	MAX	UNIT
Supply voltage, V_{CC}	4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}			−400			−400	μA
Low-level output current, I_{OL}			4			8	mA
Operating free-air temperature, T_A	−55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range

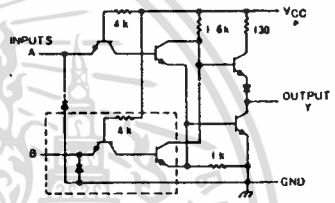
PARAMETER			TEST CONDITIONS†		MIN	TYP‡	MAX	UNIT
V_{IH}	High-level input voltage				2			V
V_{IL}	Low-level input voltage						0.8	V
V_I	Input clamp voltage		V_{CC} = MIN, I_I = −18mA				−1.5	V
V_{OH}	High-level output voltage		V_{CC} = MIN, V_{IL} = V_{IL} max, I_{OH} = MAX		2.7	3.4		V
V_{OL}	Low-level output voltage		V_{CC} = MIN, V_{IH} = 2V, I_{OL} = 4mA			0.25	0.4	V
I_I	Input current at maximum input voltage		V_{CC} = MAX, V_I = 7V				0.1	mA
I_{IH}	High-level input current	Data inputs	V_{CC} = MAX, V_{IH} = 2.7V				20	μA
I_{IL}	Low-level input current	Data inputs	V_{CC} = MAX, V_{IL} = 0.4V				−0.4	mA
I_{OS}	Short-circuit output current◆		V_{CC} = MAX	54LS Family	−20		−100	mA
				74LS Family	−20		−100	
I_{CCH}	Supply current		V_{CC} = MAX	Total, outputs high		2.0	4	mA
I_{CCL}	Supply current			Total, outputs low		3.4	6.8	mA
I_{CC}	Supply current		V_{CC} = 5V	Average per gate (50% duty cycle)		0.9		mA
t_{PLH}	Propagation delay time, low-to-high-level output		V_{CC} = 5V, T_A = 25°C			10	15	ns
t_{PHL}	Propagation delay time, high-to-low-level output		C_L = 15pF, R_L = 2kΩ			10	15	ns

Pin Assignment (Top View)



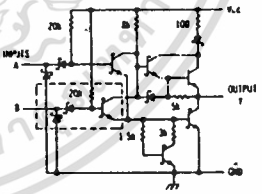
positive logic:
$Y = \overline{A+B+C}$

Schematics (each gate)



The portion of the schematic within the dashed lines is repeated for the C input of the '27.

'27 CIRCUIT



The portion of the schematic within the dashed lines is repeated for the C input of the 'LS27.

'LS27 CIRCUIT

Resistor values shown are nominal and in ohms.

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.
‡ All typical values are at V_{CC} = 5V, T_A = 25°C.
◆ Not more than one output should be shorted at a time.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5408/7408 Quadruple 2-Input Positive-AND Gate

	Schottky TTL					High-Speed TTL					Low-Power Schottky TTL					Standard TTL					Low-Power TTL				
	Device Type	Package				Device Type	Package				Device Type	Package				Device Type	Package				Device Type	Package			
		C	P	M	CF		C	P	M	CF		C	P	M	CF		C	P	M	CF		C	P	M	CF
T.I.	SN54S08	J			W						SN54LS08	J			W	SN5408	J			W					
	SN74S08	J	N								SN74LS08	J	N			SN7408	J	N							
FAIRCHILD	FM54S08/FM74S08	D			F	FM54H08/FM74H08	D			F	FM54LS08/FM74LS08	D			F	FM5408/FM7408	D			F					
	FC74S08/FC7508	D	P		F	FC74H08/FC9H08	D	P			FC74LS08/FC9LS08	D	P		F	FC7408/FC9N08	D	P							
MOTOROLA						MC3101	L			F															
						MC3001	L	P		F	SN74LS08		P			MC7408		P							
N.S.C.						DM54H08	J	N			DM54LS08		P			DM5408	J	N		W	DM54L08				
						DM74H08	J	N			DM74LS08		P			DM7408	J	N			DM74L08				
PHILIPS																									
	N74S08					N74H08					N74LS08					N7408									
SIGNETICS						S54H08	F	A		W						S5408	F	A		W					
	N74S08		A			N74H08	F	A			N74LS08		A			N7408	F	A							
SIEMENS																									
																FLH381									
FUJITSU																									
											74LS08		M												
HITACHI																									
											HD74LS08		P			HD7408/HD2550		P							
MITSUBISHI																									
											M74LS08		P			M53208		P							
NEC																									
											74LS08		C			μPB234	D								
TOSHIBA																									
																TD3408		P							

Electrical Characteristics SN54LS08/SN74LS08

absolute maximum ratings over operating free-air temperature range

Supply voltage, V_{CC}	7V	Operating free-air temperature range	SN54LS	−55°C to 125°C
Input voltage	7V		SN74LS	0°C to 70°C
Interemitter voltage	5.5V	Storage temperature range		−65°C to 150°C

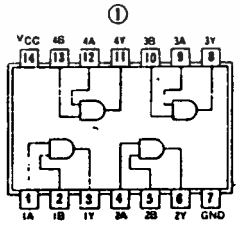
recommended operating conditions

	SN54LS08			SN74LS08			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage V_{CC}	4.5	5	5.5	4.75	5	5.25	V
High-level output current I_{OH}			−400			−400	μA
Low-level output current I_{OL}			4			8	mA
Operating free-air temperature T_A	−55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range

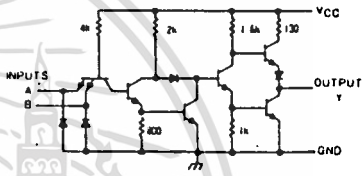
PARAMETER		TEST CONDITIONS†		MIN	TYP‡	MAX	UNIT
V_{IH}	High-level input voltage			2			V
V_{IL}	Low-level input voltage					0.8	V
V_I	Input clamp voltage	V_{CC} = MIN, I_I = −18mA				−1.5	V
V_{OH}	High-level output voltage	V_{CC} = MIN, I_{OH} = MAX	V_{IH} = 2V	2.7	3.4		V
V_{OL}	Low-level output voltage	V_{CC} = MIN, I_{OL} = 4mA	V_{IH} = 2V		0.25	0.4	V
I_I	Input current at maximum input voltage	V_{CC} = MAX, V_I = 7V				0.1	mA
I_{IH}	High-level input current	V_{CC} = MAX	V_{IH} = 2.7V			20	μA
I_{IL}	Low-level input current	V_{CC} = MAX	V_{IL} = 0.4V			−0.4	mA
I_{OS}	Short circuit output current*	V_{CC} = MAX	54LS Family	−20		−100	mA
			74LS Family	−20		−100	
I_{CCH}	Supply current	V_{CC} = MAX	Total, outputs high		2.4	4.8	mA
I_{CCL}	Supply current		Total, outputs low		4.4	8.8	mA
I_{CC}	Supply current	V_{CC} = 5V,	Average per gate (50% duty cycle)		0.85		mA
t_{PLH}	Propagation delay time, low-to-high-level output	V_{CC} = 5V, C_L = 15pF,	T_A = 25°C, R_L = 2kΩ		8	15	ns
t_{PHL}	Propagation delay time, high-to-low-level output				10	20	ns

Pin Assignment (Top View)

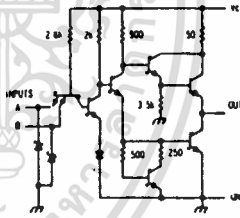


positive logic:
Y = AB

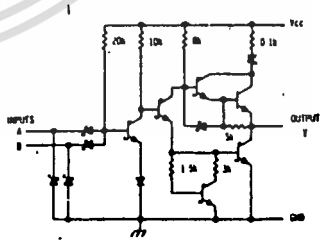
Schematics (each gate)



'08 CIRCUIT



'S08 CIRCUIT



'LS08 CIRCUIT

Resistor values shown are nominal and in ohms.

† For conditions shown as MIN or MAX, use the appropriate values specified under recommended operating conditions.
‡ All typical values are at V_{CC} = 5V, T_A = 25°C.
* Not more than one output should be shorted at a time, and for SN54S'/SN74S', duration of output short circuit should not exceed one second.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5404/7404 Hex Inverter

	Schottky TTL					High-Speed TTL					Low-Power Schottky TTL					Standard TTL					Low-Power TTL				
	Device Type	Package				Device Type	Package				Device Type	Package				Device Type	Package				Device Type	Package			
		C	P	M	CF		C	P	M	CF		C	P	M	CF		C	P	M	CF		C	P	M	CF
T.I.	SN54S04	J14			W14	SN54H04	J14			W14	SN54LS04	J14			W14	SN5404	J14			W14	SN54L04	J14	N14	T14	
	SN74S04	J14	N14			SN74H04	J14	N14			SN74LS04	J14	N14			SN7404	J14	N14			SN74L04	J14	N14	T14	
FAIRCHILD	FM54S04/FM94S04	D14				FM54H04/FM94H04	D14			F14	FM54LS04/FM74LS04	D14			F14	FM5404/FM9N04	D14			F14					
	FC74S04/FC9SC4	D14	P14			FC74H04/FC9H04	D14	P14			FC74LS04/FC9LS04	D14	P14			FM7404/FC9N04	D14	P14							
MOTOROLA						MC3108	L14			F14						MC5404	L14			F14					
						MC3008	L14	P14		F14	SN74LS04		P14			MC7404	L14	P14							
N.S.C.						DM54H04	J14	N14			DM54LS04					DM5404	J14	N14		W14	DM54L04	J14	N14		F14
	DM74S04		N14			DM74H04	J14	N14			DM74LS04					DM7404	J14	N14			DM74L04	J14	N14		F14
PHILIPS																									
	N74S04		D			N74H04		D			N74LS04		D			FJH241/7404		D							
SIGNETICS	S54S04	F14	A14		W14	S54H04	F14	A14		W14						S5404	F14	A14		W14					
	N74S04	F14	A14		W14	N74H04	F14	A14			N74LS04		A14			N7404	F14	A14							
SIEMENS																									
																FLH211		D							
FUJITSU																									
											74LS04		M14			MB8418	D14	M14							
HITACHI																									
	HD74S04	D14	P14								HD74LS04		P14			HD7404/HD2522	D14	P14							
MITSUBISHI																									
	M5S004		P14								M74LS04		P14			M53204		P14							
NEC																									
	74S04		C14								74LS04		C14			μPB235	D14								
TOSHIBA																									
																TD3404A		P14							

Electrical Characteristics SN54LS04/SN74LS04

absolute maximum ratings over operating free-air temperature range

Supply voltage V_{CC}	7V	Operating free-air temperature range	SN54LS	−55°C to 125°C
Input voltage	7V		SN74LS	0°C to 70°C
		Storage temperature range		−65°C to 150°C

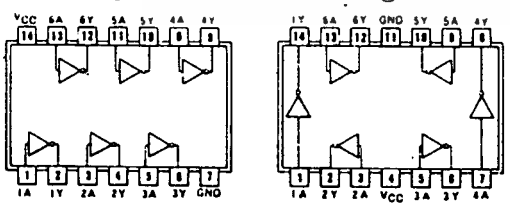
recommended operating conditions

	SN54LS04			SN74LS04			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage V_{CC}	4.5	5	5.5	4.75	5	5.25	V
High-level output current I_{OH}			−400			−400	μA
Low-level output current I_{OL}			4			8	mA
Operating free-air temperature T_A	55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range

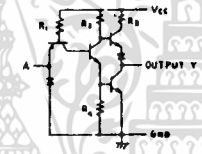
PARAMETER		TEST CONDITIONS†		MIN	TYP‡	MAX	UNIT
V_{IH}	High-level input voltage			2			V
V_{IL}	Low-level input voltage					0.8	V
V_I	Input clamp voltage	V_{CC} = MIN, I_I = −18mA				−1.5	V
V_{OH}	High-level output voltage	V_{CC} = MIN, V_{IL} = V_{IL} max, I_{OH} = MAX		2.7	3.4		V
V_{OL}	Low-level output voltage	V_{CC} = MIN, V_{IH} = 2V, I_{OL} = 4mA				0.4	V
I_I	Input current at maximum input voltage	V_{CC} = MAX, V_I = 7V				0.1	mA
I_{IH}	High-level input current	V_{CC} = MAX, V_{IH} = 2.7V				20	μA
I_{IL}	Low-level input current	V_{CC} = MAX, V_{IL} = 0.4V				−0.4	mA
I_{OS}	Short-circuit output current *	V_{CC} = MAX	54LS Family	−20		−100	mA
			74LS Family	−20		−100	
I_{CCH}	Supply current	V_{CC} = MAX	Total, outputs high		1.2	2.4	mA
I_{CCL}	Supply current		Total, outputs low		3.6	6.6	mA
I_{CC}	Supply current	V_{CC} = 5V	Average per gate (50% duty cycle)		0.4		mA
t_{PLH}	Propagation delay time, low-to-high-level output	V_{CC} = 5V, C_L = 15pF,	T_A = 25°C, R_L = 2kΩ		9	15	ns
t_{PHL}	Propagation delay time, high-to-low-level output				10	15	ns

Pin Assignments (Top View)



positive logic : $Y = \overline{A}$

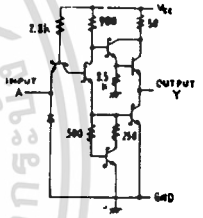
Schematics (each gate)



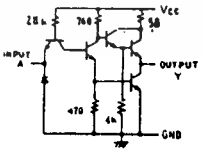
CIRCUIT	R1	R2	R3	R4
'04	4k	1.6k	130	1k
'L04	40k	20k	500	12k

Input clamp diodes not on SN54L*/SN74L* circuits.

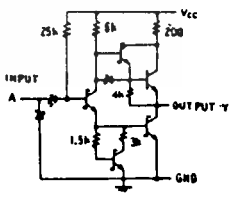
'04, 'L04 CIRCUITS



'S04 CIRCUIT



'H04 CIRCUIT



'LS04 CIRCUIT

Resistor values shown are nominal and in ohms.

†For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.
‡All typical values are at V_{CC} = 5V, T_A = 25°C.
Not more than one output should be shorted at a time, and for SN54H/SN74H* and SN54S*/SN74S*, duration of short-circuit should not exceed 1 second.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5402/7402 Quadruple 2-Input Positive-NOR Gate

	Schottky TTL					High-Speed TTL					Low-Power Schottky TTL					Standard TTL					Low-Power TTL				
	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF
T.I.	SN54S02	J①			W①						SN54LS02	J①			W①	SN5402	J①			W②	SN54L02	J①	N①	T①	
	SN74S02	J①, N①									SN74LS02	J①, N①				SN7402	J①, N①				SN74L02	J①	N①	T①	
FAIRCHILD	FJH54S02/FJH74S02	D①			F①						FJH54LS02/FJH74LS02	D①			F①	FM5402/FM9N02	D①			F②					
	FC74S02/FC3S02	D①	P①		F①						FC74LS02/FC3LS02	D①	P①		F①	FC7402/FC9N02	D①	P①							
MOTOROLA																MC5402	L①			F②					
											SN74LS02		P①			MC7402	L①	P①		F②					
N.S.C.											DM54LS02					DM5402	J①, N①			W②	DM54L02	J①	N①		F②
											DM74LS02					DM7402	J①, N①				DM74L02	J①	N①		F②
PHILIPS	N74S02		①								N74LS02		①			FJH221/7402		①							
																S5402	F①, A①			W②					
SIGNETICS	N74S02		A①								N74LS02		A①			N7402	F①, A①								
SIEMENS																FLH191		①							
FUJITSU											74LS02		M①			MB417	①	M①							
HITACHI	HD74S02		P①								HD74LS02		P①			HD7402/HD2511	①	P①							
MITSUBISHI											M74LS02		P①			M53202		P①							
NEC																μPB232	D①, C①								
TOSHIBA																TD3402A		P①							

Electrical Characteristics SN54LS02/SN74LS02

absolute maximum ratings over operating free-air temperature range

Supply voltage V_{CC}	7V	Operating free-air temperature range	SN54LS	−55°C to 125°C
Input voltage	7V		SN74LS	0°C to 70°C
		Storage temperature range		−65°C to 150°C

recommended operating conditions

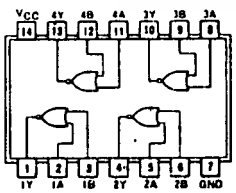
	SN54LS02 MIN	NOM	MAX	SN74LS02 MIN	NOM	MAX	UNIT
Supply voltage V_{CC}	4.5	5	5.5	4.75	5	5.25	V
High-level output current I_{OH}			−400			−400	μA
Low-level output current I_{OL}			4			8	mA
Operating free-air temperature, T_A	−55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range

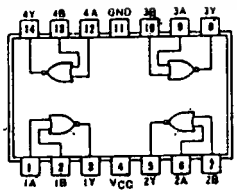
PARAMTER		TEST CONDITIONS†		MIN	TYP‡	MAX	UNIT
V_{IH}	High-level input voltage			2			V
V_{IL}	Low-level input voltage					0.8	V
V_I	Input clamp voltage	V_{CC}=MIN, I_I=−18mA				−1.5	V
V_{OH}	High-level output voltage	V_{CC}=MIN, V_{IL}=V_{IL} max, I_{OH}=MAX		2.7	3.4		V
V_{OL}	Low-level output voltage	V_{CC}=MIN, V_{IH}=2V, I_{OL}=4mA			0.25	0.4	V
I_I	Input current at maximum input voltage	V_{CC}=MAX, V_I=7V				0.1	mA
I_{IH}	High-level input current, Data inputs	V_{CC}=MAX, V_{IH}=2.7V				20	μA
I_{IL}	Low-level input current, Data inputs	V_{CC}=MAX, V_{IL}=0.4V				0.4	mA
I_{OS}	Short-circuit output current◆	V_{CC}=MAX,	54LS Family	−20		−100	mA
			74LS Family	−20		−100	
I_{CCH}	Supply current	V_{CC}=MAX	Total, outputs high		1.6	3.2	mA
I_{CCL}	Supply current		Total, outputs low		2.8	5.4	mA
I_{CC}	Supply current	V_{CC}=5V	Average per gate (50% duty cycle)		0.55		mA
t_{PLH}	Propagation delay time, low-to-high-level output	V_{CC}=5V, C_L=15pF,	T_A=25°C, R_L=2kΩ		10	15	ns
t_{PHL}	Propagation delay time, high-to-low-level output				10	15	ns

Pin Assignments (Top View)

①

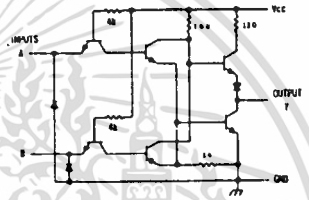


②

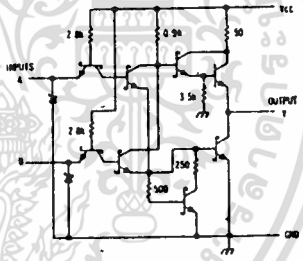


positive logic:
$Y = \overline{A + B}$

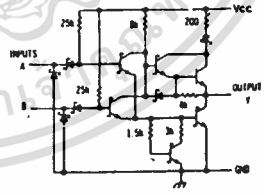
Schematics (each gate)



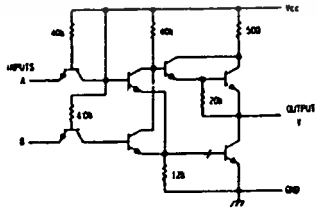
'02 CIRCUIT



'S02 CIRCUIT



'LS02 CIRCUIT



'L02 CIRCUIT

Resistor values shown are nominal and in ohms.

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.
‡ All typical values are at V_{CC}=5V, T_A=25°C.
◆ Not more than one output should be shorted at a time, and for SN54S'/SN74S', duration of output short-circuit should not exceed one second.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TOSHIBA

8,192 WORD x 8 BIT UV ERASABLE AND ELECTRICALLY PROGRAMMABLE READ ONLY MEMORY

N-CHANNEL SILICON STACKED GATE MOS

TMM2764D
TMM2764D-2

DESCRIPTION

The TMM2764D is a 8192 word x 8 bit ultraviolet light erasable and electrically programmable read only memory. For read operation, the TMM2764D's access time is 200 ns, and the TMM2764D operates from a single 5-volt power supply and has low power standby mode which reduces the power dissipation without increasing access time. The standby mode is achieved by applying a TTL-high level signal to the $\overline{CE}$ input. The maximum active current is 120mA and the maximum standby current is 35mA.

For program operation, the programming is achieved by applying a 50ms active TTL low program pulse to the $\overline{PGM}$ input, and it is possible to program sequentially individually, or at random.

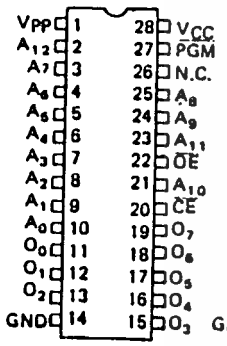
The TMM2764D is fabricated with the N-channel silicon double layer gate MOS technology and is packaged in a standard 28 pin dual in line-ceramic package.

FEATURES

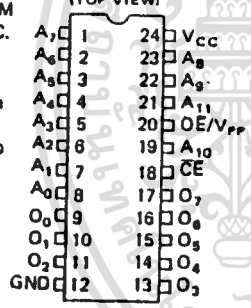
- Single 5-volt power supply
- Fast access time : TMM2764D 250 ns
  TMM2764D-2 200 ns
- Power dissipation :
  120 mA (active current) Max.
  35 mA (standby current) Max.
- Low power standby mode : $\overline{CE}$
- Output buffer control : $\overline{OE}$
- Fully static operation
- Programs with one 50 ms pulse
- Single location programming
- Three state outputs
- Inputs and outputs TTL compatible
- Pin compatible with i2764 and ROM TMM2364P

PIN CONNECTION

(TOP VIEW) Lower 24 pins compatible with 32K bit EPROM TMM2732D



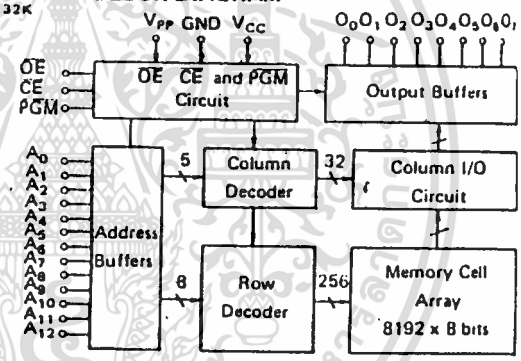
TMM2732D
(TOP VIEW)



PIN NAMES

$A_0 \sim A_{12}$	Address Inputs
$O_0 \sim O_7$	Outputs (Inputs).
$\overline{CE}$	Chip Enable Input
$\overline{OE}$	Output Enable Input
$\overline{PGM}$	Program Control Input
N.C.	No Connection
V_{PP}	Program Supply Voltage
V_{CC}	V_{CC} Supply Voltage (+5V)
GND	Ground

BLOCK DIAGRAM



MODE SELECTION

Mode \ Pin	$\overline{PGM}$ (27)	$\overline{CE}$ (20)	$\overline{OE}$ (22)	V_{PP} (1)	V_{CC} (28)	$O_0 \sim O_7$ (11~13, 15~19)	Power
Read	H	L	L	5V	5V	Data Out	Active
Output Deselect	•	•	H	5V	5V	High Impedance	Active
Standby	•	H	•	5V	5V	High Impedance	Standby
Program	L	L	•	21V	5V	Data in	Active
Program Inhibit	•	H	•	21V	5V	High Impedance	Active
	H	L	H	21V	5V	High Impedance	Active
Program Verify	H	L	L	21V	5V	Data Out	Active

Note: • H or L

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MAXIMUM RATINGS

SYMBOL	ITEM	RATING	UNIT
V_{CC}	V_{CC} Power Supply Voltage	−0.6 ~ 7.0	V
V_{PP}	Program Supply Voltage	−0.6 ~ 22.0	V
V_{IN}	Input Voltage	−0.6 ~ 7.0	V
V_{OUT}	Output Voltage	−0.6 ~ 7.0	V
P_D	Power Dissipation	1.5	W
T_{SOLDER}	Soldering Temperature · Time	260 · 10	°C · sec
T_{STRG}	Storage Temperature	−65 ~ 125	°C
T_{OPR}	Operating Temperature	0 ~ 70	°C

READ OPERATION

D.C. RECOMMENDED OPERATING CONDITIONS

SYMBOL	PARAMETER	MIN.	TYP.	MAX.	UNIT
V_{IH}	Input High Voltage	2.0	–	V_{CC} + 1.0	V
V_{IL}	Input Low Voltage	−0.3	–	0.8	V
V_{CC}	V_{CC} Power Supply Voltage	4.75	–	5.25	V
V_{PP}	V_{PP} Power Supply Voltage	2.0	V_{CC}	V_{CC} + 0.6	V

D.C. and OPERATING CHARACTERISTICS

(T_a = 0 ~ 70°C, V_{CC} = 5V ± 5% Unless otherwise noted)

SYMBOL	PARAMETER	CONDITIONS	MIN.	TYP.	MAX.	UNIT
I_{LI}	Input Current	V_{IN} = 0 ~ V_{CC}	–	–	± 10	μA
I_{CC1}	Supply Current (Standby)	$\overline{CE}$ = V_{IH}	–	–	35	mA
I_{CC2}	Supply Current (Active)	$\overline{CE}$ = V_{IL}	–	–	120	mA
V_{OH}	Output High Voltage	I_{OH} = −400μA	2.4	–	–	V
V_{OL}	Output Low Voltage	I_{OL} = 2.1mA	–	–	0.4	V
I_{PP1}	V_{PP} Current	V_{PP} = 0 ~ V_{CC} + 0.6	–	–	± 10	μA
I_{LO}	Output Leakage Current	V_{OUT} = 0.4 ~ V_{CC}	–	–	± 10	μA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

A.C. CHARACTERISTICS

(T_a = 0 ~ 70°C, V_{CC} = 5V ± 5%, V_{PP} = 2.0V ~ V_{CC} + 0.6V, Unless otherwise noted)

SYMBOL	PARAMETER	CONDITIONS	TMM2764D-2		TMM2764D		UNIT
			MIN.	MAX.	MIN.	MAX.	
t_{ACC}	Address Access Time	$\overline{CE}$ = $\overline{OE}$ = V_{IL}, $\overline{PGM}$ = V_{IH}	–	200	–	250	ns
t_{CE}	$\overline{CE}$ to Output Valid	$\overline{OE}$ = V_{IL}, $\overline{PGM}$ = V_{IH}	–	200	–	250	ns
t_{OE}	$\overline{OE}$ to Output Valid	$\overline{CE}$ = V_{IL}, $\overline{PGM}$ = V_{IH}	–	70	–	100	ns
t_{PGM}	$\overline{PGM}$ to Output Valid	$\overline{OE}$ = $\overline{CE}$ = V_{IL}	–	70	–	100	ns
t_{DF1}	$\overline{CE}$ to Output in High-Z	$\overline{OE}$ = V_{IL}, $\overline{PGM}$ = V_{IH}	0	60	0	90	ns
t_{DF2}	$\overline{OE}$ to Output in High-Z	$\overline{CE}$ = V_{IL}, $\overline{PGM}$ = V_{IH}	0	60	0	90	ns
t_{DF3}	$\overline{PGM}$ to Output in High-Z	$\overline{OE}$ = $\overline{CE}$ = V_{IL}	0	60	0	90	ns
t_{OH}	Output Data Hold Time	$\overline{CE}$ = $\overline{OE}$ = V_{IL}, $\overline{PGM}$ = V_{IH}	0	–	–	–	ns

A.C. Test Conditions

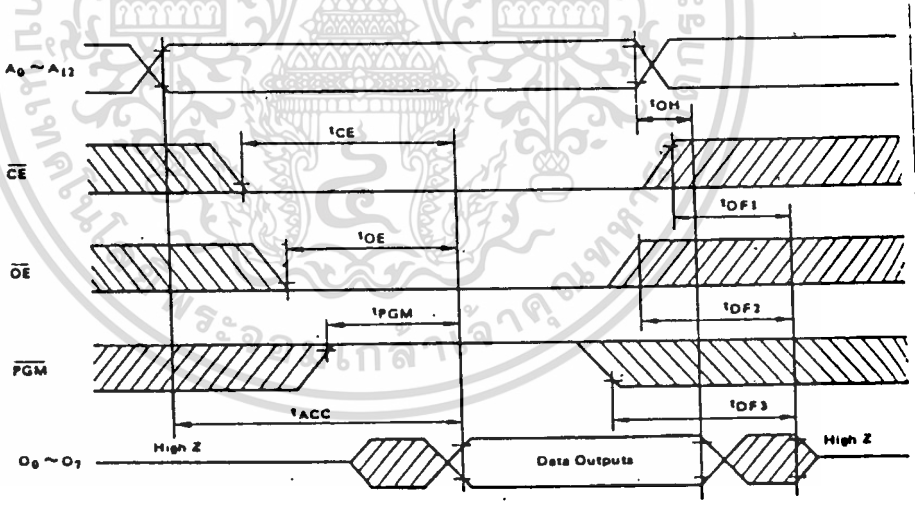
- Output Load : 1 TTL Gate and C_L = 100pF
- Input Pulse Rise and Fall Times : 10ns Max.
- Input Pulse Levels : 0.8V to 2.2V
- Timing Measurement Reference Level : Inputs 1V and 2V, Outputs 0.8V and 2.0V

CAPACITANCE * (T_a = 25°C, f = 1MHz)

SYMBOL	PARAMETER	CONDITIONS	MIN.	TYP.	MAX.	UNIT
C_{IN}	Input Capacitance	V_{IN} = 0V	–	4	6	pF
C_{OUT}	Output Capacitance	V_{OUT} = 0V	–	8	12	pF

* This parameter is periodically sampled and is not 100% tested.

TIMING WAVEFORMS (READ)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PROGRAM OPERATION

D.C. RECOMMENDED OPERATING CONDITIONS

SYMBOL	PARAMETER	MIN.	TYP.	MAX.	UNIT
V_{IH}	Input High Voltage	2.0	–	V_{CC} + 1.0	V
V_{IL}	Input Low Voltage	−0.3	–	0.8	V
V_{CC}	V_{CC} Power Supply Voltage	4.75	5.0	5.25	V
V_{PP}	V_{PP} Power Supply Voltage	20.5	21.0	21.5	V

D.C. and OPERATING CHARACTERISTICS

(T_a = 25 ± 5°C, V_{CC} = 5V ± 5%, V_{PP} = 21V ± 0.5V)

SYMBOL	PARAMETER	CONDITIONS	MIN.	TYP.	MAX.	UNIT
I_{LI}	Input Current	V_{IN} = 0 ~ V_{CC}	–	–	± 10	μA
V_{OH}	Output High Voltage	I_{OH} = −400μA	2.4	–	–	V
V_{OL}	Output Low Voltage	I_{OL} = 2.1mA	–	–	0.4	V
I_{CC}	V_{CC} Supply Current	–	–	–	120	mA
I_{PP2}	V_{PP} Supply Current	V_{PP} = 21.5V	–	–	30	mA

A.C. PROGRAMMING CHARACTERISTICS

(T_a = 25 ± 5°C, V_{CC} = 5V ± 5%, V_{PP} = 21V ± 0.5V)

SYMBOL	PARAMETER	CONDITIONS	MIN.	Typ.	MAX.	UNIT
t_{AS}	Address Setup Time	–	2	–	–	μs
t_{AH}	Address Hold Time	–	2	–	–	μs
t_{CES}	$\overline{CE}$ Setup Time	–	2	–	–	μs
t_{CEH}	$\overline{CE}$ Hold Time	–	2	–	–	μs
t_{DS}	Data Setup Time	–	2	–	–	μs
t_{DH}	Data Hold Time	–	2	–	–	μs
t_{PS}	$\overline{PGM}$ Setup Time	–	2	–	–	μs
t_{PH}	$\overline{PGM}$ Hold Time	–	2	–	–	μs
t_{OES}	$\overline{OE}$ Setup Time	–	2	–	–	μs
t_{VS}	V_{PP} Setup Time	–	2	–	–	μs
t_{PW}	Program Pulse Width	$\overline{PGM}$ = $\overline{CE}$ = V_{IL}	45	50	55	ms
t_{CP}	Program Recovery Time	–	0	–	–	μs
t_{PRT}	Program Pulse Rise Time	–	5	–	–	ns
t_{PFT}	Program Pulse Fall Time	–	5	–	–	ns
t_{CE}	$\overline{CE}$ to Output Valid	–	–	–	250	ns
t_{OE}	$\overline{OE}$ to Output Valid	–	–	–	100	ns
t_{DF1}	$\overline{CE}$ to Output in High Z	$\overline{OE}$ = V_{IL}	–	–	90	ns
t_{DF2}	$\overline{OE}$ to Output in High Z	$\overline{CE}$ = V_{IL}	–	–	90	ns

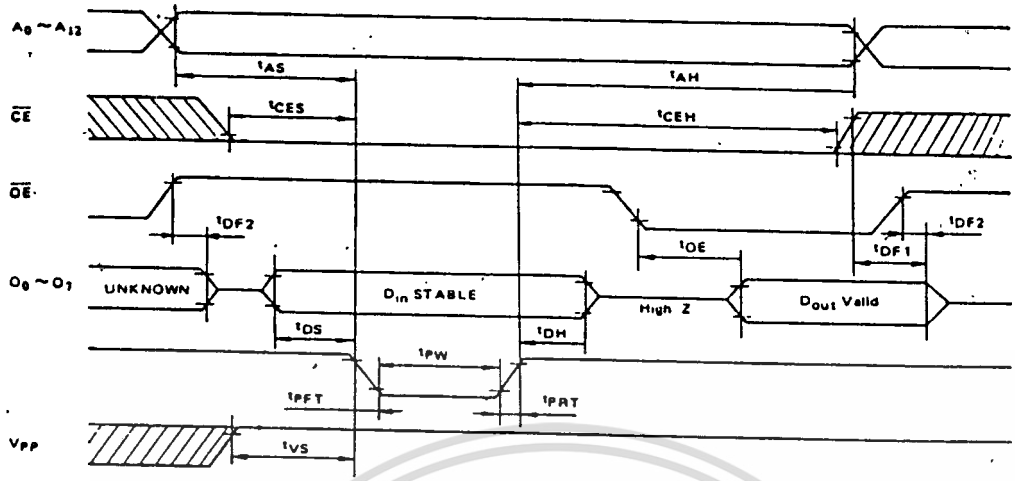
A.C. Test Conditions

- Output Load : 1TTL Gate and C_L (100 pF)
- Input Pulse Rise and Fall Times : 10ns Max.
- Input Pulse Levels : 0.8 ~ 2.2V
- Timing Measurement Reference Level : Input 1V and 2V ; Output 0.8V and 2.0V

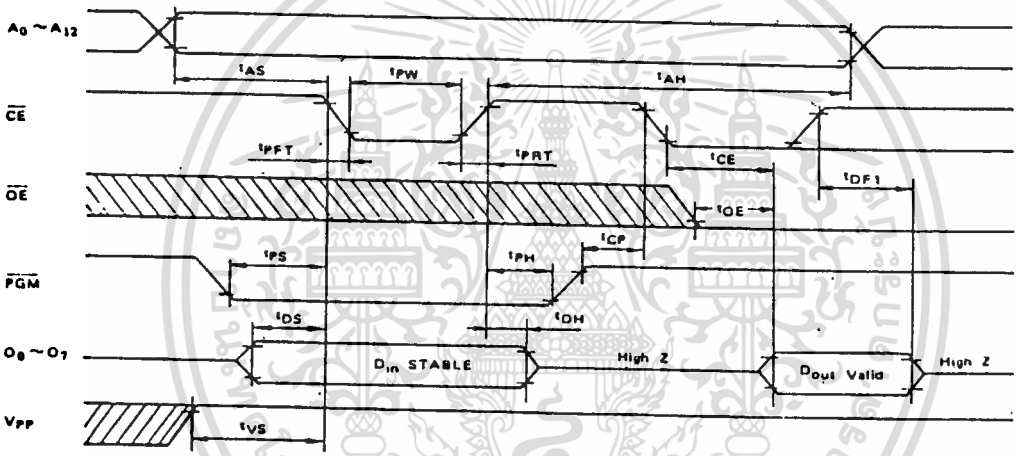
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TIMING WAVEFORMS (PROGRAM)

PROGRAM OPERATION 1. (V_{PP} = 21V ± 0.5V)



PROGRAM OPERATION 2. (V_{PP} = 21V ± 0.5V)



Note: 1. V_{CC} must be applied simultaneously or before V_{PP} and cut off simultaneously or after V_{PP}
2. Removing the device from socket and setting the device in socket with V_{PP} = 21V may cause permanent damage to the device.
3. The V_{PP} supply voltage is permitted up to 22V for program operation, so the voltage over 22V should not be applied to the V_{PP} terminal.
When the switching pulse voltage is applied to the V_{PP} terminal, the over-shoot voltage of its pulse should not be exceeded 22V.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ERASURE CHARACTERISTICS

The TMM2764D's erasure is achieved by applying shortwave ultraviolet light which has a wavelength of 2537Å (Angstroms) to the chip through the transparent window. Then integrated dose (Ultraviolet light intensity [w/cm²] x exposure time [sec.]) for erasure should be a minimum of 15 [W. sec/cm²].

When the Toshiba sterilizing lamp GL-15 is used and the device is exposed at a distance of 1 cm from the lamp surface, the erasure will be achieved within 60 minutes. And using commercial lamps whose ultraviolet light intensity is a 12000 [μw/cm²] will reduce the exposure time to about 20 minutes. (In this case, the integrated does is 12000 [μw/cm²] x (20 x 60) [sec] ≅ 15 [w. sec/cm²].)

The TMM2764D's erasure begins to occur when exposed to light with wavelength shorter than 4000 Å. The sunlight and the fluorescent lamps will include 3000 ~ 4000 Å wavelength components. Therefore when used under such lighting for extended periods of time, the opaque seals - Toshiba EPROM Protect Seal AC901 - are available.

OPERATION INFORMATION

The TMM2764D's six operation modes are listed in the following table. Mode selection can be achieved by applying TTL level signal to all inputs. In the read operation mode, a single 5V power supply is required and the levels required for all inputs are TTL.

		$\overline{PGM}$ (27)	$\overline{CE}$ (20)	$\overline{OE}$ (22)	V_{PP} (1)	V_{CC} (28)	$O_0 \sim O_7$ (11~13, 15~19)	Power
READ OPERATION (Ta = 0 ~ 70°C)	Read	H	L	L	5V	5V	Data Out	Active
	Output Deselect	*	*	H			High Impedance	Active
	Standby	*	H	*			High Impedance	Standby
PROGRAM OPERATION (Ta = 25 ± 5°C)	Program	L	L	*	21V	5V	Data In	Active
	Program	*	H	*			High Impedance	Active
	Inhibit	H	L	H			High Impedance	Active
	Program Verify	H	L	L			Data Out	Active

Note: H, V_{IH}, L: V_{IL}, *: V_{IH} or V_{IL}

READ MODE

The TMM2764D has three control functions. The chip enable ($\overline{CE}$) controls the operation power and should be used for device selection.

The output enable ($\overline{OE}$) and the program control ($\overline{PGM}$) control the output buffers, independent of device selection.

Assuming that $\overline{CE} = \overline{OE} = V_{IL}$ and $\overline{PGM} = V_{IH}$, the output data is valid at the outputs after address access time from stabilizing of all addresses.

The $\overline{CE}$ to output valid (t_{CE}) is equal to the address access time (t_{ACC}).

Assuming that $\overline{CE} = V_{IL}$, $\overline{PGM} = V_{IH}$ and all addresses are valid, the output data is valid at the outputs after t_{OE} from the falling edge of $\overline{OE}$.

And assuming that $\overline{CE} = \overline{OE} = V_{IL}$ and all addresses are valid, the output data is valid at the outputs after t_{PGM} from the rising edge of $\overline{PGM}$.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

OUTPUT DESELECT MODE

Assuming that $\overline{CE}$ = V_{IH} or $\overline{OE}$ = V_{IH}, the outputs will be in a high impedance state. So two or more TMM2764D can be connected together on a common bus line. When $\overline{CE}$ is decoded for device selection, all deselected devices are in low power standby mode.

STANDBY MODE

The TMM2764D has a low-power standby mode controlled by the $\overline{CE}$ signal. By applying a TTL high level to the $\overline{CE}$ input, the TMM2764D is placed in the standby mode which reduce the operating current from 120mA to 35mA, and then the outputs are in a high impedance state, independent of the $\overline{OE}$ and the $\overline{PGM}$ inputs.

PROGRAM MODE

Initially, when received by customers, all bits of the TMM2764D are in the "1" state which is erased state.

Therefore the program operation is to introduce "0s" data into the desired bit locations by electrically programming.

The TMM2764D is set up in the program operation mode when applied the program voltage (+21V) to the V_{PP} terminal under $\overline{CE}$ = $\overline{PGM}$ = $\overline{OE}$ = V_{IH}.

The program operation occurs during the overlap of the $\overline{CE}$ low and the $\overline{PGM}$ low. Then the programming is achieved by applying a 50ms (t_{PW}) active low program pulse to the $\overline{CE}$ or the $\overline{PGM}$ input after the addresses and data are stable.

This program pulse should be a single pulse with 50ms pulse width per address word, and its maximum value is 55ms.

The levels required for all inputs are TTL.

The TMM2764D can be programmed any location at anytime — either individually, sequentially, or at random.

The TMM2764D should not be programmed with D.C. signal applied to both $\overline{CE}$ and $\overline{PGM}$ inputs.

PROGRAM VERIFY MODE

The verify mode is to check that the desired data is correctly programmed on the programmed bits.

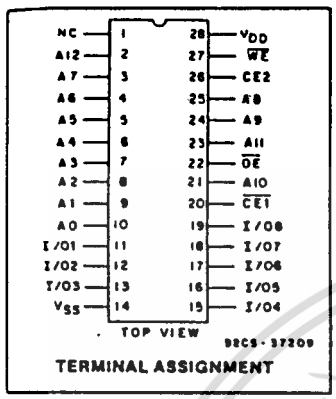
The verify is accomplished with $\overline{OE}$ and $\overline{CE}$ at V_{IL} and $\overline{PGM}$ at V_{IH}.

PROGRAM INHIBIT MODE

Under the condition that the program voltage (+21V) is applied to V_{PP} terminal, a high level $\overline{CE}$ or $\overline{PGM}$ input inhibits the TMM2764D from being programmed. Programming of two or more TMM2764Ds in parallel with different data is easily accomplished. That is, all inputs except for $\overline{CE}$ or $\overline{PGM}$ may be commonly connected, and a TTL low level program pulse is applied to the $\overline{CE}$ and $\overline{PGM}$ of the desired device only and TTL high level signal is applied to the other devices.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CDM6264



TERMINAL ASSIGNMENT

CMOS 8192-Word by 8-Bit LSI Static RAM

Features:

- *Fully static operation*
- *Single power supply: 4.5 V to 5.5 V*
- *All inputs and outputs directly TTL compatible*
- *3-state outputs*
- *Industry standard 28-pin configuration*
- *Input address buffers gated off with chip disable*
- *Fast access time: t_{AA}=150 ns/120 ns (CDM6264-3/CDM6264-4)*
- *Low standby and operating power: I_{DDS1}=2 μA typical, I_{OPER2}=40 mA maximum*
- *Data retention voltage: 2 V min.*
- *Operating temperature range (max. rating): 0° to 70°C*

The RCA-CDM6264 is a 8192-word by 8-bit static random-access memory. It is designed for use in memory systems where high-speed, low power and simplicity in use are desirable. This device has common data input and data output and utilizes a single power supply of 4.5 V to 5.5 V.

Either chip enable ($\overline{CE1}$ or CE2), when not valid, will gate off the address and output buffers and power down the chip to minimum standby power with inputs toggling. The output enable ($\overline{OE}$) controls the output buffers to eliminate bus contention.

The CDM6264 is supplied in 28-lead, hermetic, dual-in-line side-brazed ceramic (D suffix) and in 28-lead dual-in-line plastic (E suffix) packages.

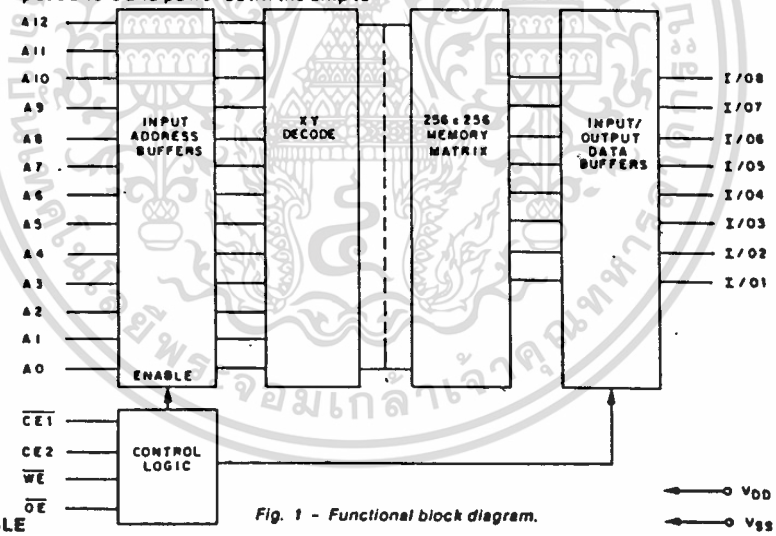


Fig. 1 - Functional block diagram.

TRUTH TABLE

$\overline{CE1}$	CE2	$\overline{OE}$	$\overline{WE}$	A0 TO A12	MODE	DATA I/O	DEVICE CURRENT
H	X	X	X	X	NOT SELECTED	HIGH Z	STANDBY
X	L	X	X	X	NOT SELECTED	HIGH Z	STANDBY
L	H	L	H	STABLE	READ	DATA OUT	ACTIVE
L	H	X	L	STABLE	WRITE	DATA IN	ACTIVE
L	H	H	H	STABLE	OUTPUT DISABLE	HIGH Z	ACTIVE

L = LOW H = HIGH X = H OR L

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CDM6264

MAXIMUM RATINGS, *Absolute-Maximum Values:*

DC SUPPLY-VOLTAGE RANGE, (V_{DD}):
(Voltage referenced to V_{SS} terminal) ..... -0.3 to +1.
INPUT VOLTAGE RANGE, ALL INPUTS ..... -0.3 to +1.
POWER DISSIPATION PER PACKAGE (P_D):
For T_A = 0° to +60°C (PACKAGE TYPE E) ..... 500 m
For T_A = +60° to +70°C (PACKAGE TYPE E) ..... Derate Linearly at 8 mW/°C to 420 m
For T_A = 0° to +70°C (PACKAGE TYPE D) ..... 500 m
DEVICE DISSIPATION PER OUTPUT TRANSISTOR
For T_A = FULL PACKAGE-TEMPERATURE RANGE ..... 100 m
OPERATING-TEMPERATURE RANGE (T_A):
PACKAGE TYPE D ..... 0 to +7
PACKAGE TYPE E ..... 0 to +7
STORAGE TEMPERATURE RANGE (T_{stg}) ..... -55 to +125
LEAD TEMPERATURE (DURING SOLDERING):
At distance 1/16 ± 1/32 in. (1.59 ± 0.79 mm) from case for 10 s max ..... +265

OPERATING CONDITIONS at T_A = 0 to +70°C
For maximum reliability, operating conditions should be selected so that operation is always within the following ranges.

CHARACTERISTIC		LIMITS ALL TYPES MIN.	LIMITS ALL TYPES MAX.	UNITS
DC Operating Voltage Range		4.5	5.5	V
Input Voltage Range	V_{IH}	2.2	V_{DD} + 0.3	V
	V_{IL}	-0.3	0.8	V
Input Signal Rise or Fall Time[Δ]	t_r, t_f	—	5	μs

[Δ] Input signal rise and fall times with a duration greater than the maximum value can cause loss of stored data in the selected mode.

STATIC ELECTRICAL CHARACTERISTICS at T_A = 0 to +70°C, V_{DD} = 5 V ± 10%, Except as noted

CHARACTERISTIC		CONDITIONS		LIMITS ALL TYPES Min.	Typ.*	Max.	UNITS
Standby Device Current	I_{DDS}	$\overline{CE1}$=V_{IH} or CE2=V_{IL}		—	1.5	3	mA
	I_{DDS1}	$\overline{CE1}$=CE2 ≥ V_{DD}-0.2 V or CE2 ≤ 0.2 V		—	2	100	μA
Output Voltage Low Level	V_{OL} Max.	I_{OL}=2.1 mA		—	—	0.4	V
		I_{OL}=1 μA		—	0.1	—	
Output Voltage High Level	V_{OH} Min.	I_{OH}=-1 mA		2.4	—	—	V
		I_{OH}=-1 μA		—	V_{DD}-0.1	—	
Input Leakage Current	I_{IN} Max.	V_{IN}=0 V to V_{DD}		—	±0.1	±2	μA
3-State Output Leakage Current	I_{OUT}	$V_{I/O}$=0 V to V_{DD}		—	±0.5	±2	μA
Operating Device Current	I_{OPER1}[#]	V_{IN}=V_{IL}, V_{IH}	t_{cyc}=1 μs	—	4.5	9	mA
			t_{cyc}=120 ns	—	22.5	45	
	I_{OPER2}[#]	V_{IN}=0.2 V, V_{DD}-0.2 V	t_{cyc}=1 μs	—	2	4	
			t_{cyc}=120 ns	—	20	40	
Input Capacitance	C_{IN}	V_{IN}=0 V, f=1 MHz, T_A=25°C		—	4	6	pF
Output Capacitance	$C_{I/O}$	$V_{I/O}$=0 V, f=1 MHz, T_A=25°C		—	6	8	pF

*Typical values are for T_A=25°C and nominal V_{DD}.

[#]Outputs open circuited.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SIGNAL DESCRIPTIONS

A0-A12 (Address Inputs): These inputs must be stable prior to a write operation, but may change asynchronously during read functions.

I/O1-I/O8: 8-bit tristate data bus.

$\overline{CE1}$, CE2 (Chip Enable): Either chip enable, when not true, powers down the chip, disables Read and Write functions, and gates off address and output buffers.

$\overline{OE}$ (Output Enable): Enables tristate outputs if $\overline{CE1}$ and CE2 are valid and $\overline{WE}$ is high.

$\overline{WE}$ (Write Enable): Enables Write function, if $\overline{CE1}$ and CE2 are valid. $\overline{WE}$ will dominate if both $\overline{WE}$ and $\overline{OE}$ are low (i.e., the bus will be tristated and a Write will occur).

V_{DD}, V_{SS}: Power supply connections.

DYNAMIC ELECTRICAL CHARACTERISTICS at T_A = 0 to +70°C, V_{DD} = 5 V ± 10%, Input t_r, t_f = 10 ns; C_L = 100 pF and 1 TTL Load, Input Pulse Levels: 0.8 V to 2.4 V

CHARACTERISTIC		LIMITS				UNITS
		CDM6264-3		CDM6264-4		
Read Cycle Times, See Fig. 2		MIN.†	MAX.	MIN.†	MAX.	
Read Cycle Time	t_{RC}	150	—	120	—	ns
Address Access Time	t_{AA}	—	150	—	120	
Chip Enable Access Time	t_{ACE1}, t_{ACE2}	—	150	—	120	
Chip Enable to Output Active	t_{CLZ1}, t_{CLZ2}	10	—	10	—	
Output Enable to Output Valid	t_{OEV}	—	70	—	60	
Output Enable to Output Active	t_{OEX}	5	—	5	—	
Chip Disable to Output "High Z"	t_{CHZ1}, t_{CHZ2}	0	70	0	50	
Output Disable to Output "High Z"	t_{OHZ}	0	60	0	40	
Output Hold from Address Change	t_{OH}	30	—	30	—	

†Time required by a limit device to allow for the indicated function.

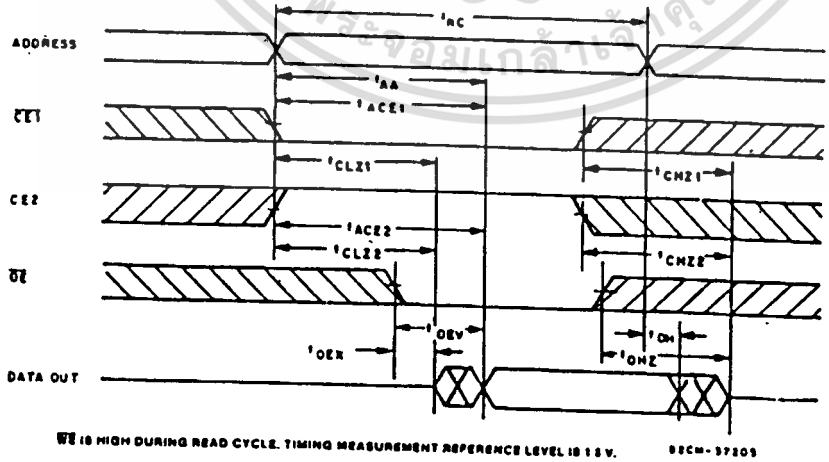


Fig. 2 - Read-cycle timing waveforms.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

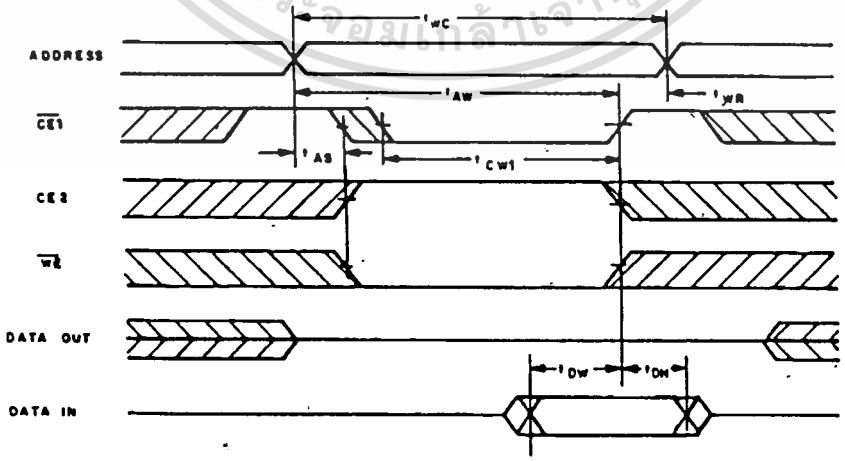
CDM6264

DYNAMIC ELECTRICAL CHARACTERISTICS at T_A = 0 to +70°C, V_{DD} = 5 V ± 10%, Input t_r, t_f = 10 ns; C_L = 100 pF and 1 TTL Load, Input Pulse Levels: 0.8 V to 2.4 V

CHARACTERISTIC		LIMITS				UNITS
		CDM6264-3		CDM6264-4		
Write Cycle Times, See Fig. 3		MIN.†	MAX.	MIN.†	MAX.	
Write Cycle Time	t_{WC}	150	—	120	—	ns
Chip Enable to End of WRITE	t_{CW1}, t_{CW2}	120	—	100	—	
Address Valid to End of WRITE	t_{AW}	120	—	100	—	
Address Setup Time	t_{AS}	0	—	0	—	
Write Enable Width	t_{WW}	100	—	80	—	
Write Recovery Time	t_{WR}	0	—	0	—	
Write to Output "High Z"	t_{WHZ}	—	70	—	50	
Input Data Setup Time	t_{DW}	60	—	50	—	
Input Data Hold Time	t_{DH}	0	—	0	—	
Output Active from End of Write	t_{OW}	10	—	10	—	

†Time required by a limit device to allow for the indicated function.

WRITE CYCLE 1 ($\overline{CE1}$ CONTROL)



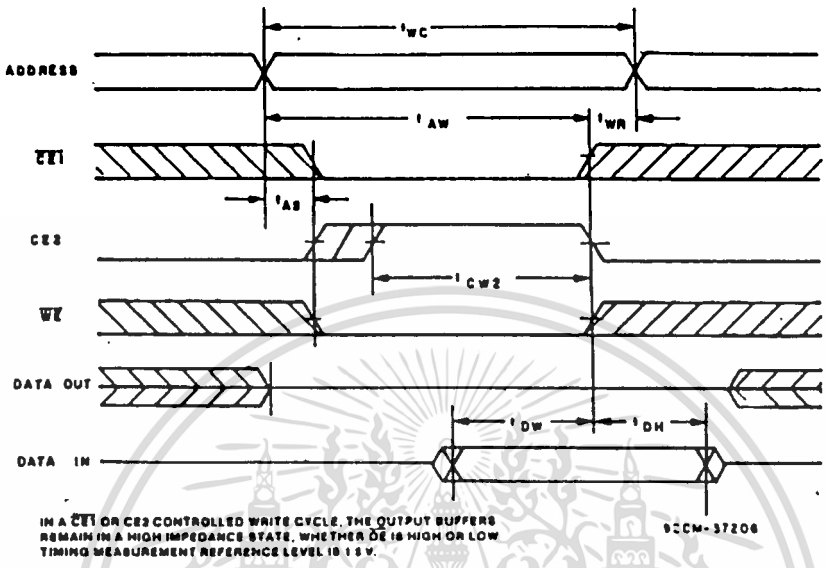
IN A $\overline{CE1}$ OR CE2 CONTROLLED WRITE CYCLE, THE OUTPUT BUFFERS REMAIN IN A HIGH IMPEDANCE STATE, WHETHER $\overline{OE}$ IS HIGH OR LOW. TIMING MEASUREMENT REFERENCE LEVEL IS 1.5 V.

SECM-37204

Fig. 3 - Write-cycle timing waveforms.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

WRITE CYCLE 2 (CE2 CONTROL)



WRITE CYCLE 3 ($\overline{WE}$ CONTROL)

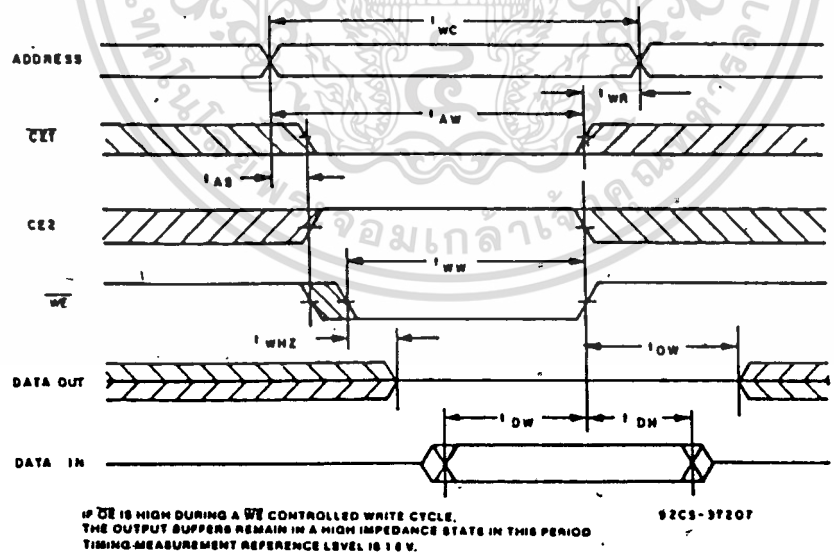


Fig. 3 - Write-cycle timing waveforms (cont'd)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

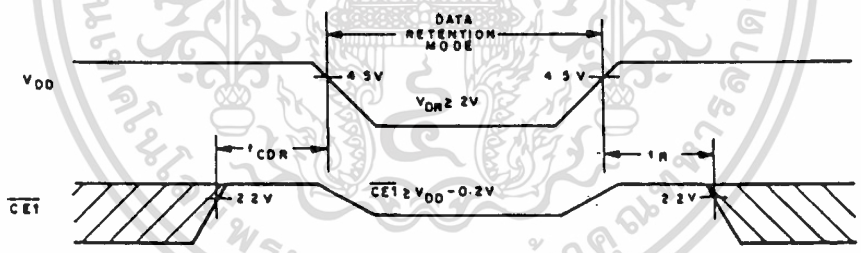
CDM6264

DATA RETENTION CHARACTERISTICS at T_A = 0 to 70° C; See Fig. 4.

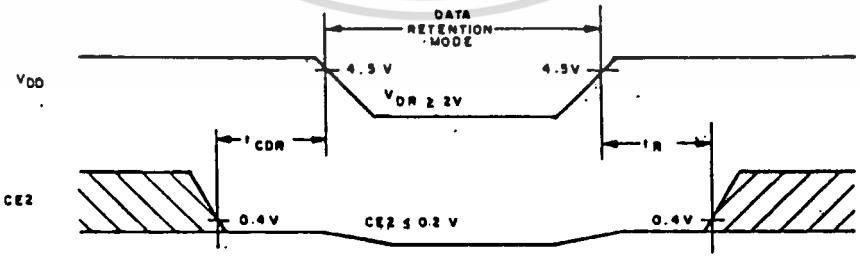
CHARACTERISTIC		TEST CONDITIONS	LIMITS		UNITS
			ALL TYPES		
			MIN.	MAX.	
Minimum Data Retention Voltage	V_{DR}	$\overline{CE1} \geq V_{DD} - 0.2$ V or CE2 ≤ 0.2 V	2	5.5	V
Data Retention Quiescent Current	$I_{DD}DR$	V_{DD} = 3 V, $\overline{CE1}$,CE2 ≥ V_{DD} - 0.2 V or CE2 ≤0.2 V	—	50	µA
Chip Disable to Data Retention Time	t_{CDR}	See Fig. 4	0	—	ns
Recovery to Normal Operation Time	t_R	See Fig. 4 .	*t_{RC}	—	

*t_{RC} = Read Cycle Time.

DATA RETENTION WAVEFORM 1 ($\overline{CE1}$ CONTROL)



DATA RETENTION WAVEFORM 2 (CE2 CONTROL)



92CM-37208

Fig. 4 - Low V_{DD} data-retention timing waveforms.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หนังสืออ้างอิง

1. บริษัท ซีเอ็ดยูเคชั่น, คู่มือไอซี ไมโครโปรเซสเซอร์
พิมพ์ที่ ห.จ.ก. เอช - เอนการพิมพ์ พ.ศ. 2529

2. บริษัทซีเอ็ดยูเคชั่น, คู่มือไอซีชิพ ซัพพอร์ท และหน่วยความจำ
พิมพ์ที่ ห.จ.ก. เอช - เอนการพิมพ์ พ.ศ. 2529

3. Lance A Leven Thai, Z-80 Assembly language Programming,
Mc Graw - Hill, 1986.

4. บริษัท เอ็มแอนด์อี., วารสารเทคนิค ตุลา-พฤศจิกายน พ.ศ. 2529
สิงหา-กันยายน พ.ศ. 2529

5. Steve Ciarcia, วารสาร Byte July 1985, June 1985.

6. ศูนย์ภาษา Computer, การใช้งาน Z80

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้