ปีการศึกษา 2530

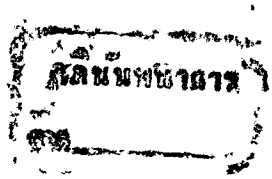
PROGRAMMABLE WAVEFORM GENERATOR

โดย

อนุกูล สุจริตสัญชัย

อาจารย์ที่ปรึกษา

ดร.กนก เจนจิระพงศ์เวช



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ปริญญานิพนธ์ปีการศึกษา 2530

ภาควิชาเทคนิคอุตสาหกรรม คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้า เจ้าคุณทหารลาดกระบัง

เรื่อง PROGRAMMABLE WAVEFORM GENERATOR

ผู้จัดทำ นาย อนุกูล สุจริตสัญชัย เลขประจำตัว 293118

..... อาจารย์ที่ปรึกษา

(.....)

..... อาจารย์ที่ปรึกษา

(.....)

..... อาจารย์ที่ปรึกษา

(.....)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

024714

PROGRAMMABLE WAVEFORM GENERATOR

อนุกูล สุจริตสัญชัย

ดร.กนก เจนจิระพงศ์เวช อาจารย์ที่ปรึกษา

ปีการศึกษา 2530

บทคัดย่อ

การกำเนิดสัญญาณรูปต่าง ๆ นั้น ส่วนมากมักจะใช้วงจรแบบลิเนียร์ (Linear) ในการสร้างสัญญาณรูปต่าง ๆ ขึ้นมา ถ้าต้องการสร้างสัญญาณซึ่งมีรูปร่างแตกต่างไปจากเดิมก็ต้องสร้างวงจรใหม่ขึ้นมาอีก ทำให้ไม่สะดวกในการนำไปใช้งาน ดังนั้นการกำเนิดสัญญาณโดยใช้ข้อมูลทางดิจิตอล (Digital) จึงถูกนำมาใช้การกำเนิดสัญญาณโดยวิธีนี้จะสามารถกำเนิดสัญญาณที่มีลักษณะอย่างใดตามความต้องการก็ได้ โดยการเก็บข้อมูลของรูปร่างสัญญาณนั้นในหน่วยความจำ สัญญาณที่กำเนิดขึ้นมาโดยวิธีนี้ จะมีความเที่ยงตรงและมีเสถียรภาพดีกว่าสัญญาณที่สร้างจากวงจรแบบลิเนียร์ด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PROGRAMMABLE WAVEFORM GENERATOR

ANUKOON SUTJARITSUNCHAI

DR.KANOK JENJIRAPONGVEIG ADVISOR

1987

ABSTRACT

The generation of signal always generate by linear circuit, and this method must be change an element when we want to generate a new signal. It not convenience for pratical. The generation of signal by digital is a way to solution this problem. An arbitrary waveform can create by storedata in memory. The signal that generate by digital method is higher accurary and stability than signal from linear circuit.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

บทที่ 1 บทนำ 1

บทที่ 2 หน่วยนับจำนวน 3

บทที่ 3 หน่วยความจำ 8

บทที่ 4 หน่วยแปลงสัญญาณดิจิตอลเป็นอนาลอก 11

บทที่ 5 ทฤษฎีและหลักการ 16

บทที่ 6 การคำนวณและการสร้าง 21

บทที่ 7 การทดลองและผลของการทดลอง 28

สรุปผลการทดลอง 34

หนังสืออ้างอิง 35

ข้อมูลของไอซีที่ใช้ในการทดลอง 36

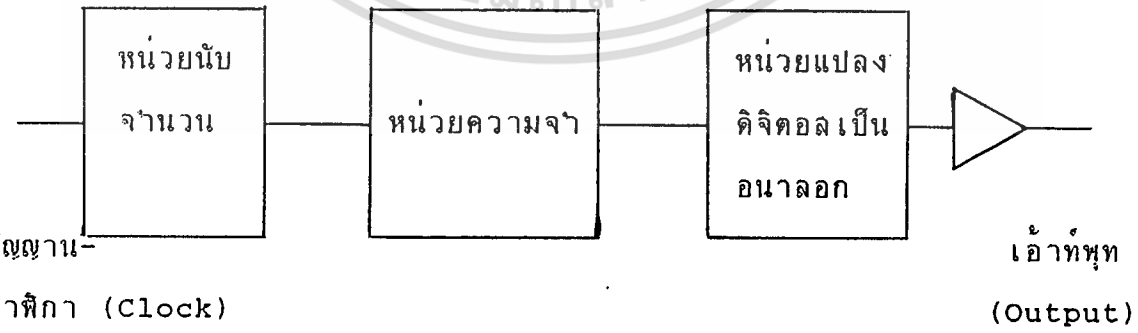
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1

บทนำ

ในปัจจุบันการกำเนิดสัญญาณที่มีรูปร่างแปลก ๆ ซึ่งได้มาจากการคำนวณเพื่อนำไปใช้ในการทดสอบระบบต่าง ๆ มีความจำเป็นมากขึ้น การสร้างสัญญาณเหล่านี้โดยใช้วงจรลิเนียร์นั้นทำได้ยาก ไม่เหมาะในการที่จะเปลี่ยนแปลงหรือกำเนิดสัญญาณแบบอื่น ๆ ขึ้นมาใหม่ การกำเนิดสัญญาณโดยใช้ข้อมูลทางดิจิตอลจึงถูกนำมาใช้แทน ในโครงงานนี้จะเป็นการทดลองสร้างเครื่องกำเนิดสัญญาณแบบนี้ขึ้นมา

Programmable waveform generator จะอาศัยหลักการของการเปลี่ยนข้อมูลทางดิจิตอล (Digital) ไปเป็นค่าทางอนาลอก (Analog) ซึ่งข้อมูลทางดิจิตอลจะอยู่ในรูปของเลขฐานสอง (Binary number) เก็บอยู่ในหน่วยความจำ (Memory) โดยจะมีหน่วยนับจำนวน (Binary counter) เป็นตัวนับแอดเดรส (Address) ของหน่วยความจำ หลังจากนั้นข้อมูลที่ออกจากหน่วยความจำก็จะถูกแปลงเป็นค่าทางอนาลอกโดยหน่วยแปลงดิจิตอลเป็นอนาลอก (Digital toAnalog Convertor : DAC)



รูปที่ 1 แสดงบล๊อกไดอะแกรม (Block diagram) ของ Programmable waveform generator

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากบล๊อคไดอะแกรมในรูปที่ 1 เป็นบล๊อกไดอะแกรมแบบง่าย ๆ ของการกำเนิดสัญญาณโดยใช้ข้อมูลทางดิจิตอล ส่วนในรายละเอียดของแต่ละบล็อคนั้นขึ้นอยู่กับเทคนิคในการกำเนิดสัญญาณขึ้นมา ซึ่งในปริญญานิพนธ์ฉบับนี้จะใช้เทคนิคการสร้างที่เรียกว่าสัญญาณแทรกสอดแบบลิเนียร์ (Linear interpolation) ซึ่งเป็นเทคนิคการสร้างสัญญาณที่ดีมากแบบหนึ่ง เพราะใช้ข้อมูลในการกำเนิดสัญญาณน้อย แต่ให้รูปร่างที่สมบูรณ์มีความผิดพลาด (Distortion) ที่เกิดในการสร้างสัญญาณน้อย

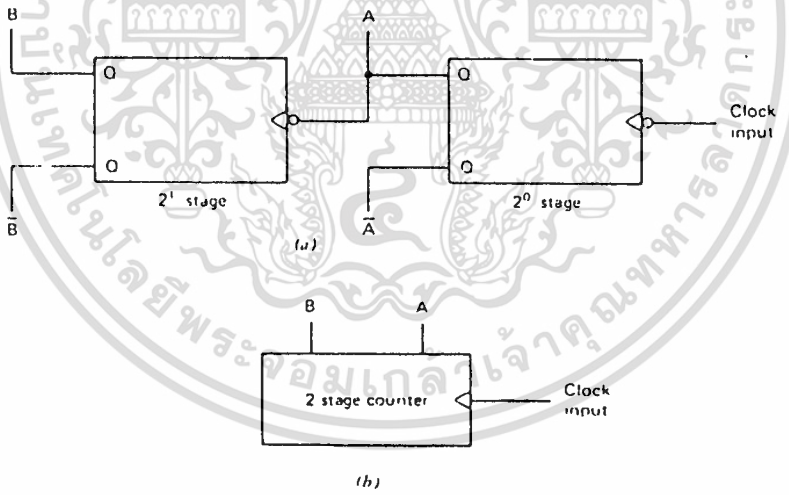
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2

หน่วยนับจำนวน

หน่วยนับจำนวนเป็นหน่วยแรกของการกำเนิดสัญญาณโดยใช้ข้อมูลทางดิจิตอล หน่วยนี้จะรับสัญญาณนาฬิกามาเพื่อที่จะนับ โดยการนับจะนับแบบเลขฐานสอง (Binary counter) หลักการของหน่วยนับจำนวนแบบเลขฐานสองก็คือจะอาศัยวงจรไบสเตเบิลมัลติไวเบรเตอร์ (Bistable multivibrator circuit) ซึ่งมีสถานะแน่นอน 2 สถานะ วงจรนี้นิยมเรียกกันว่า วงจรฟลิบฟลอบ (Flipflop circuit)



รูปที่ 2 แสดงวงจรเบื้องต้นของการนับเลขฐานสอง

จากรูปที่ 2 เป็นวงจรนับเลขฐานสอง 2 สเตท (Stage) โดยใช้ทีฟลิบฟลอบ (T-Flipflop) 2 ตัว สัญญาณนาฬิกาจะถูกป้อนให้กับขา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

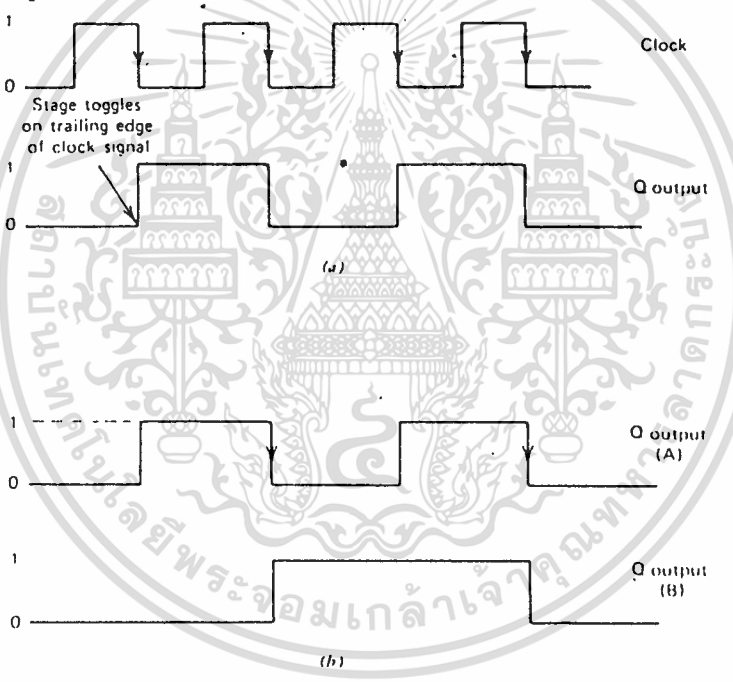
อินพุทของฟลิบฟลอบตัวแรก (2^0 stage) การทำงานของทีฟลิบฟลอบก็คือ เมื่อมีสัญญาณนาฬิกาเข้ามา ที่เอ้าท์พุท Q จะให้สภาวะลอจิก (Logic) ตรงกันข้ามกับสภาวะลอจิกเดิม หรือที่เรียกกันว่า ท็อกเกิล (Toggle) สภาวะของเอ้าท์พุท Q จะมีลอจิกที่ตรงกันข้ามกับเอ้าท์พุท $\overline{Q}$ คือ ถ้าเอ้าท์พุท Q มีลอจิกเป็น 1 (Set) ที่เอ้าท์พุท $\overline{Q}$ จะมีลอจิกเป็น 0 ถ้าเอ้าท์พุท Q มีลอจิกเป็น 0 (Reset) ที่เอ้าท์พุท $\overline{Q}$ จะมีลอจิกเป็น 1

วงจรในรูปที่ 2 การทำงานของทีฟลิบฟลอบจะทำงานที่ขอบขาลงของสัญญาณนาฬิกา (Tailing edge) คือช่วงที่สัญญาณนาฬิกาเปลี่ยนจาก 1 ไป 0 นั่นเอง ทีฟลิบฟลอบตัวแรก (2^0 stage) จะให้สภาวะลอจิกที่เอ้าท์พุทกลับไปจากสภาวะเดิมเมื่อเจอขอบขาลงของสัญญาณนาฬิกา ผลก็คือที่เอ้าท์พุท Q จะได้สัญญาณที่มีความถี่ลดลงครึ่งหนึ่งของสัญญาณนาฬิกา ดังรูปที่ 3a ขาอินพุทของฟลิบฟลอบตัวที่สอง (2^1 stage) จะต่อกับเอ้าท์พุท Q ของตัวแรก ดังนั้นที่เอ้าท์พุท Q ของฟลิบฟลอบตัวที่สองจะให้สัญญาณที่มีความถี่ลดลงจากสัญญาณอินพุทครึ่งหนึ่ง หรือความถี่ลดลงจากสัญญาณนาฬิกา 1/4 เท่า ดังรูปที่ 3b จากสัญญาณเอ้าท์พุทของฟลิบฟลอบทั้งสองตัวจะทำให้เกิดการนับดังตารางข้างล่างนี้

Input pulse	2^1 Output (B)	2^0 Output (A)
0	0	0
1	0	1
2	1	0
3	1	1
4 (or 0)	0	0

เอกสารนี้เป็นเอกสาร... สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

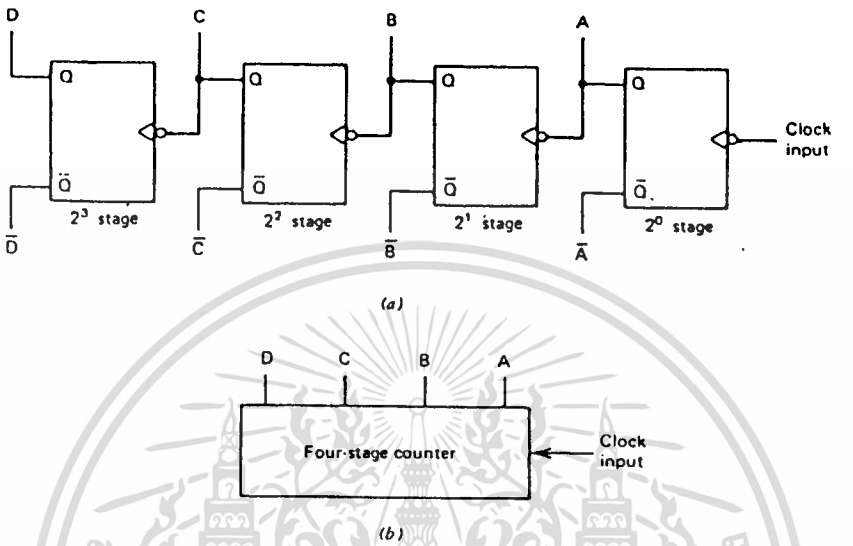
ถ้าต้องการสร้างวงจรนับหลาย ๆ สเตทก็ทำได้โดยการต่อเอ้าท์พุท Q ของฟลิบฟลอบสเตทหน้าไปเป็นอินพุทของฟลิบฟลอบสเตทหลัง จำนวนการนับของหน่วยนับจำนวนที่มีจำนวนสเตทเท่ากับ n คือ 2^n เช่น หน่วยนับจำนวน 4 สเตท (n=4) จะมีจำนวนการนับเท่ากับ $2^4 = 16$ หน่วยนับจำนวน 10 สเตท (n=10) จะมีจำนวนการนับเท่ากับ $2^{10} = 1024$



รูปที่ 3 แสดงการทำงานแบบท็อกเกิลของฟลิบฟลอบ

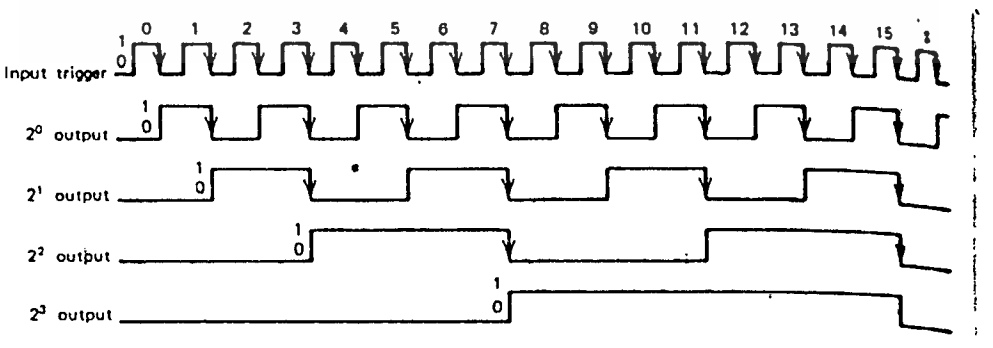
จากรูปที่ 4 เป็นวงจรนับเลขฐานสอง 4 สเตท ลักษณะการนับจะเป็นดังตารางข้างล่าง จะสังเกตุการเปลี่ยนแปลงของเอ้าท์พุทของแต่ละสเตทได้ดังนี้ สเตทที่ 2^0 จะท็อกเกิลทุก ๆ สัญญานนาฬิกา สเตทที่ 2^1 จะท็อกเกิลทุก ๆ 2 สัญญานนาฬิกา สเตทที่ 2^2 จะท็อกเกิลทุก ๆ 4 สัญญานนาฬิกา สเตทที่ 2^3 จะ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4 แสดงวงจรนับเลขฐานสอง 4 สเตท

ท็อกเกิลทุก ๆ 8 สัญญาณนาฬิกา จะเห็นได้ว่าสามารถจัดเป็นค่าน้ำหนักของแต่ละสเตทได้คือ สเตทที่ 2^3 จะมีค่าเอ้าท์พุทเท่ากับ 8 สเตทที่ 2^2 จะมีค่าเอ้าท์พุทเท่ากับ 4 สเตทที่ 2^2 จะมีค่าเอ้าท์พุท 2 สเตทที่ 2^0 จะมีค่าเอ้าท์พุท 1



รูปที่ 5 แสดงสัญญาณของวงจรนับเลขฐานสอง 4 สเตท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Input Pulses	2^3 Output (D)	2^2 Output (C)	2^1 Output (B)	2^0 Output (A)
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1
10	1	0	1	0
11	1	0	1	1
12	1	1	0	0
13	1	1	0	1
14	1	1	1	0
15	1	1	1	1
16(or 0)	0	0	0	0

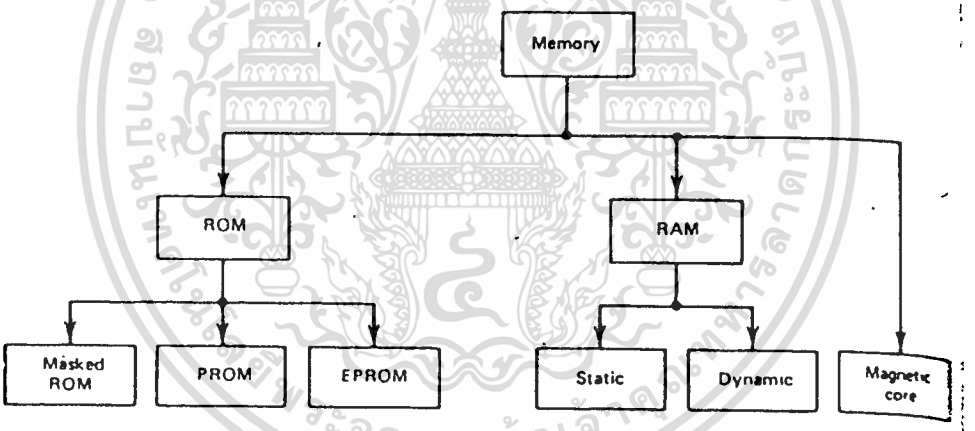
ตารางแสดงการนับขึ้นของวงจรนับ 4 สเตท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3

หน่วยความจำ

หน่วยความจำจะเป็นที่สำหรับเก็บข้อมูล หน่วยความจำ 1 เซลจะเก็บข้อมูลเลขฐานสองขนาด 1 บิท (Bit) ข้อมูลจำนวนหลาย ๆ บิทที่แน่นอนจำนวนหนึ่งเรียกว่า เวิร์ด (Word) จะต้องใช้หน่วยความจำหลาย ๆ เซลมาประกอบกันมาเก็บเอาไว้ ดังนั้นขนาดของหน่วยความจำจะวัดได้เป็นจำนวนบิท หรือ ไบท์ (Byte) โดย 1 ไบท์จะเท่ากับ 8 บิท



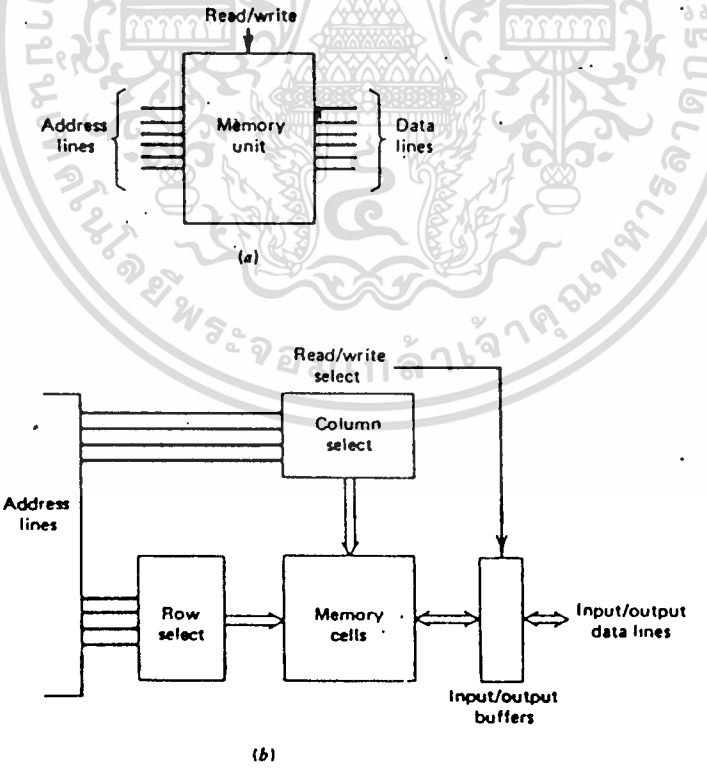
รูปที่ 6 แสดงโครงสร้างของตระกูลหน่วยความจำ

หน่วยความจำจะอยู่ในรูปของไอซี (IC) ซึ่งสามารถแบ่งออกได้ตามลักษณะของโครงสร้างของมันดังรูปที่ 6 การสร้างหน่วยความจำจะแบ่งได้เป็น 2 ชนิดคือ รอม (ROM : Read Only Memory) และ แรม (RAM : Random Access Memory) รอมจะเป็นหน่วยความจำที่เก็บข้อมูลอย่างถาวร แม้จะไม่มีไฟเลี้ยงก็ตาม โดยปกติแล้วรอมจะถูกโปรแกรมข้อมูลมาจากโรงงานที่เราเรียก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ว่า มาร์กรอม (Masked ROM) แต่ก็มีรอมที่สามารถมาโปรแกรมเองได้ที่เรียกว่า พรอม (PROM : Programmable ROM) แต่ก็สามารถโปรแกรมได้เพียงครั้งเดียวเท่านั้น ดังนั้นจึงมีรอมแบบที่สามที่เรียกว่า อีพรอม (EPROM : Erasable Programmable ROM) ซึ่งสามารถโปรแกรมข้อมูลลงบนตัวอีพรอมได้เอง ในการลบข้อมูลก็ใช้แสงอุลตร้าไวโอเลต (Ultraviolet) สำหรับลบข้อมูล

หน่วยความจำอีกชนิดหนึ่งเรียกว่า แรม จะสามารถเก็บข้อมูลไว้ได้ขณะที่มีไฟเลี้ยงอยู่เท่านั้น หน่วยความจำแบบนี้แบ่งเป็น 2 ชนิดคือ แบบสแตติค (Static) และ แบบไดนามิค (Dynamic) แรมแบบไดนามิคจะมีขนาดเล็กกว่า ส่วนหน่วยความจำแบบแมกเนติคคอร์ (Magnetic-core memory) การเก็บข้อ



รูปที่ 7 แสดงโครงสร้างของหน่วยความจำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

024714

มูลโดยใช้อำนาจแม่เหล็ก ข้อมูลจะคงอยู่เมื่อไม่มีไฟเลี้ยงเหมือนกับรอม แต่ก็สามารถที่จะเขียนข้อมูลลงไปใหม่ได้เหมือนกับแรม

จากรูปที่ 7 เป็นโครงสร้างของหน่วยความจำ สายแอดเดรส (Address line) จะมีไว้สำหรับเลือกตำแหน่งในหน่วยความจำที่จะอ่าน (Read) หรือเขียน (Write) ข้อมูล ส่วนสายดาต้า (Data line) จะเป็นที่ผ่านของข้อมูลที่จะเข้าหรือออกจากหน่วยความจำ ซึ่งการผ่านเข้าออกของข้อมูลนี้จะถูกควบคุมด้วยสัญญาณควบคุมการอ่าน-เขียน (Read/write control signal)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

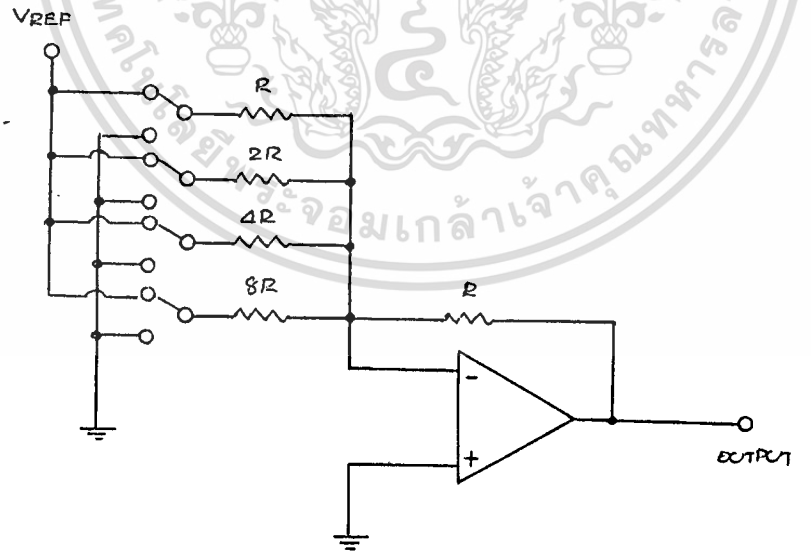
บทที่ 4

หน่วยแปลงสัญญาณดิจิตอลเป็นอนาลอก

หน่วยนี้จะมีสวิทช์ที่ควบคุมด้วยระดับลอจิก ซึ่งมีจำนวน n ชุดเท่ากับจำนวนบิทของเลขฐานสอง สวิทช์เหล่านี้จะต่อแรงดันอ้างอิง (Voltage reference) ขนาดหนึ่งเท่ากับค่าความต้านทาน (Resister) ที่น้ำหนัก (Weight) ต้านทาน จะเท่ากับน้ำหนักแต่ละบิทของเลขฐานสอง

4.1 ดีเอซีแบบไบนารีเวทแลดเดอร์ (Binary weight ladder)

การจัดวงจรจะมีลักษณะดังรูป สวิทช์ $s_1 - s_4$ จะถูกควบคุมการปิด-เปิดด้วยระหัสดิจิตอล 0 หรือ 1 เพื่อต่อแรงดันอ้างอิงเข้ากับวงจร ค่าของความต้านทานจะมีค่าเป็นสัดส่วนกันคือ R ,2R ,4R ,8R ตัวอย่างในกรณี วงจรดีเอซีขนาด 4 บิท จะใช้ค่าความต้านทานเป็น 10K ,20K ,40K ,80K เป็นต้น



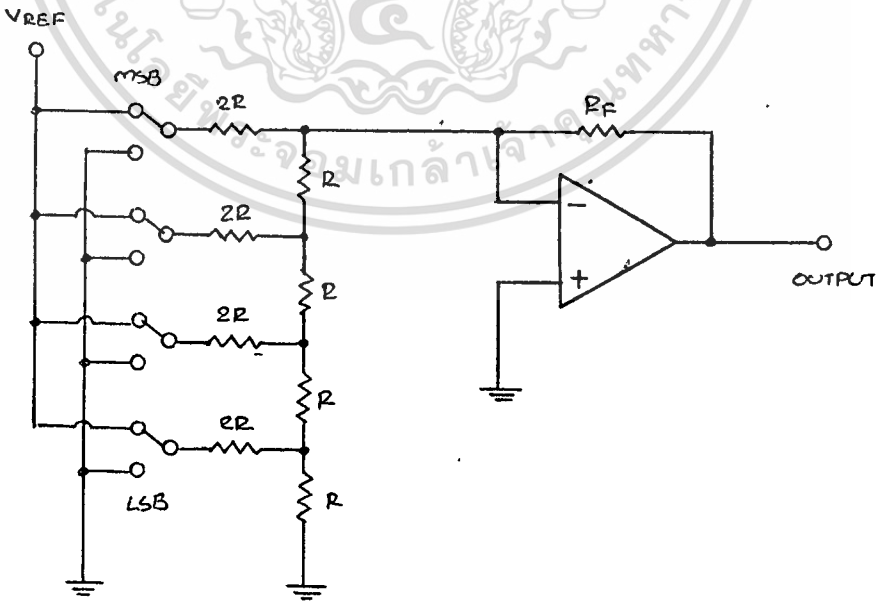
รูปที่ 8 แสดงวงจรดีเอซี แบบไบนารี่เวทแลดเดอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ค่าความต้านทานที่เวทตามค่าของเลขฐานสอง ที่มีค่าเป็น 1,2,4,8 เท่าจะทำให้กำลังขยาย (Gain) ของวงจรมีค่าเป็น -1/8,-1/4,-1/2,-1 ถ้าเราให้แรงดันอ้างอิงเท่ากับ 10 โวลท์ ถ้าสวิทช์ทุกตัวเปิดวงจร (Open) จะไม่มีอินพุทเข้ามาที่ออปแอมป์ (Op-amp) ที่เอ้าท์พุทจะมีค่าศูนย์โวลท์ ถ้าปิดสวิทช์ (Close) บิท 0 ค่าแรงดันอ้างอิง 10 โวลท์จะผ่านความต้านทาน 8R เข้าสู่อินพุทของออปแอมป์ ที่เอ้าท์พุทจะมีค่าโวลท์เดจ 1.25 โวลท์ (กำลังขยายของวงจรขณะนี้เท่ากับ -1/8) ถ้าเราปิดสวิทช์บิท 1 อีกอันหนึ่ง ที่เอ้าท์พุทจะมีค่าเพิ่มขึ้น 2.5 โวลท์รวมเป็น 3.75 โวลท์ ถ้าสวิทช์ทุกตัวปิดหมดจะทำให้ได้ค่าโวลท์เดจที่เอ้าท์พุทเท่ากับ 10.0+5.0+2.5+1.25 = 18.75 โวลท์

4.2 ดีเอซีแบบอาร์-สองอาร์แลดเดอร์ (R-2R Ladder)

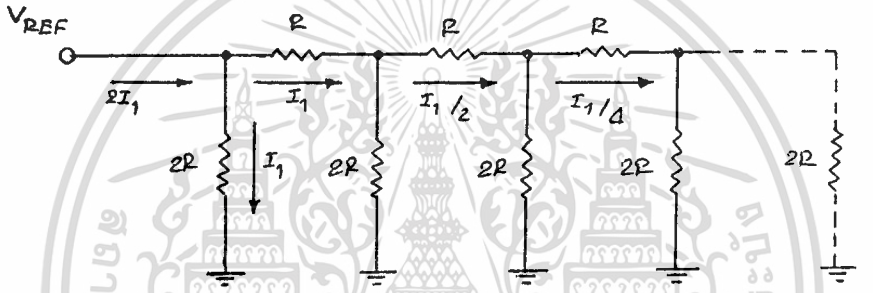
วงจรดีเอซีแบบไบนารี่เวท จะมีปัญหาในการหาค่าความต้านทานที่มีค่าเป็นสัดส่วนกัน เกิดปัญหายุ่งยากในการผลิตบนชิปไอซีเดียวกัน ดังนั้นวงจรดีเอซีแบบอาร์-สองอาร์แลดเดอร์จึงถูกนำมาใช้เพราะมีการจัดวงจรที่ดีกว่า



รูปที่ 9 แสดงวงจรดีเอซี แบบอาร์-สองอาร์แลดเดอร์

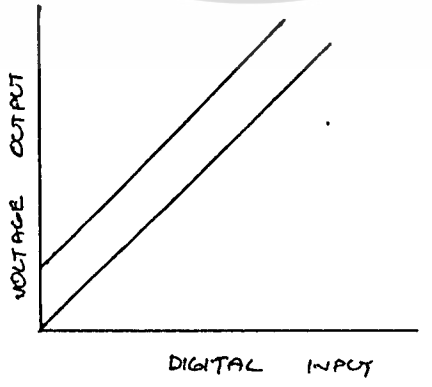
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในวงจรนี้สวิทช์จะตัดต่อแรงดันอ้างอิงให้ต่อเข้ากับวงจรแลดเดอร์หรือต่อวงจรแลดเดอร์ให้ลงกราวด์ (Ground) ที่ขา 2R จะเห็นได้ว่าสวิทช์อินพุทรีซิสเตอร์ (2R) เมื่อมองเข้าไปจะเห็นคู่ของความต้านทานระหว่างจุดต่อ R-2R ที่ติดกันกระแสจะถูกบั่นทอนไปในอัตรา 2/1 ซึ่งจะสอดคล้องกับค่าน้ำหนักของเลขฐานสองดังแสดงในรูปที่ 10



รูปที่ 10 วงจรแลดเดอร์ของความต้านทาน

4.3 คุณลักษณะของวงจรดีทูเอ



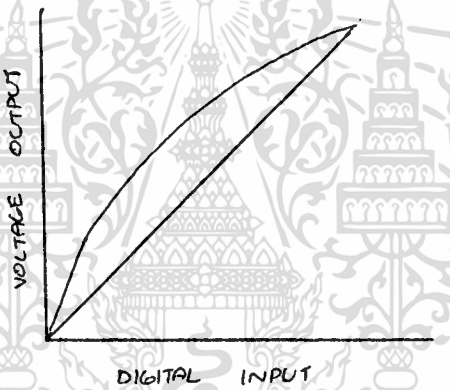
รูปที่ 11 แสดงคุณลักษณะออฟเซทของดีทูเอ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

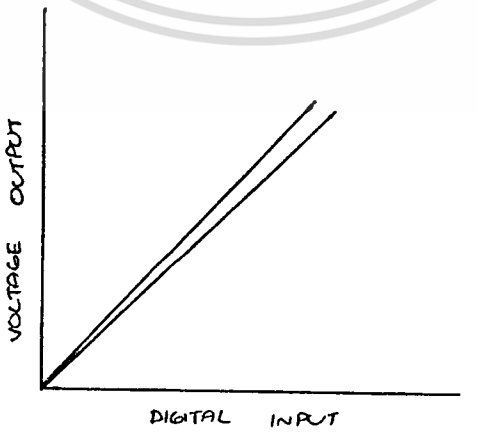
คุณลักษณะของวงจรดีทูเอที่ใช้ในการพิจารณาเลือกใช้ดีทูเอที่เหมาะสม มีดังต่อไปนี้

- ออฟเซท (Offset) คือระดับของสัญญาณอนาลอกของวงจรดีทูเอ เมื่อค่าดิจิตอลทุกบิทมีค่าศูนย์ ดังรูปที่ 11

- ความเป็นเชิงเส้น (Linearity) คือค่าส่วนเบี่ยงเบนของโค้งแสดงความสัมพันธ์ระหว่างระดับอนาลอก และค่าดิจิตอลของวงจรดีทูเอ กับเส้นตรงที่ลากต่อระหว่างจุดปลายทั้งสอง



รูปที่ 12 แสดงคุณลักษณะความเป็นเชิงเส้นของดีทูเอ

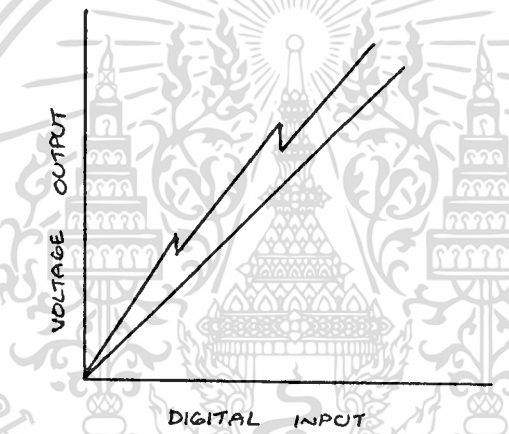


รูปที่ 13 แสดงความคลาดเคลื่อนของอัตราขยายของดีทูเอ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- ความคลาดเคลื่อนของอัตราขยาย (Gain error) คือค่าผลต่างความชันของโค้งความสัมพันธ์ระหว่าง ระดับอนาลอกและค่าดิจิตอลของวงจรดีทูเอ ที่ควรจะเป็นทางทฤษฎีและความเป็นจริงดังรูปที่ 13

- ความเป็นไมโนโทน (Monotonicity) คือความสัมพันธ์ระหว่างระดับสัญญานอนาลอกและค่าดิจิตอลที่มีค่าเป็นสัดส่วนเดียวกัน ตลอดช่วงการทำงานของวงจรดีทูเอ ดังรูปที่ 14



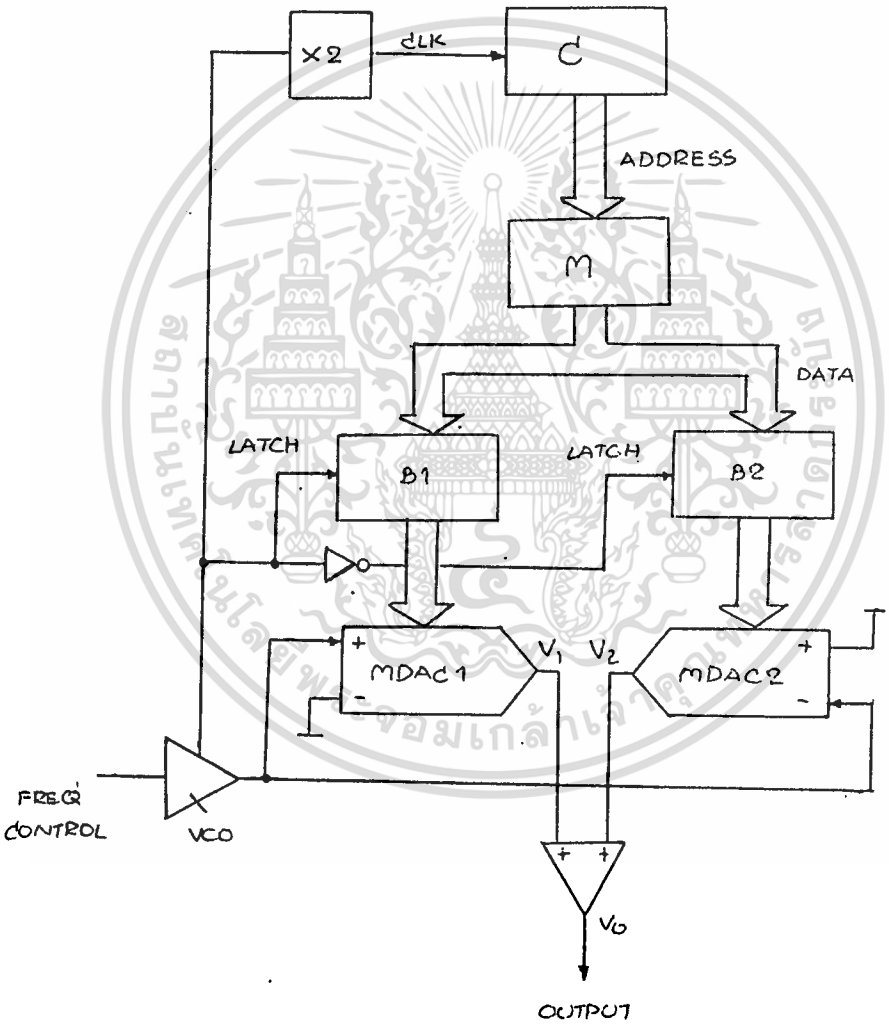
รูปที่ 14 แสดงความเป็นไมโนโทนของดีเอซี

- ความเที่ยงตรง (Accuracy) คือความคลาดเคลื่อนในการเปลี่ยนค่าดิจิตอลเป็นสัญญานอนาลอกของวงจรดีทูเอ (อยู่ในรูปร้อยละของค่าอนาลอกสูงสุดที่วงจรให้ออกมาได้ทางทฤษฎี)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5

ทฤษฎีหรือหลักการ



รูปที่ 15 แสดงบล๊อคไดอะแกรมของ Programmable waveform generator ที่ใช้หลักการสร้างสัญญาณแบบแทรกสอด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากบล๊อคไดอะแกรมในรูปที่ 15 เป็นบล็อคไดอะแกรมของการสร้างสัญญาณโดยใช้หลักการแทรกสอดแบบลิเนียร์ สามารถอธิบายรายละเอียดในแต่ละส่วนได้ดังนี้

1. หน่วยกำเนิดสัญญาณนาฬิกา (Oscillator)

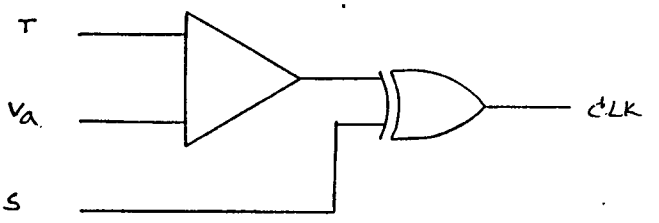
จะทำหน้าที่กำเนิดสัญญาณสองชนิดคือ สัญญาณสแควร์เวฟ (Square waveform) และสัญญาณรูปสามเหลี่ยม (Triangle waveform) การกำเนิดสัญญาณของหน่วยนี้จะอาศัยหลักการของ การกำเนิดสัญญาณที่ถูกควบคุมโดยแรงเคลื่อนไฟฟ้า (Voltage controlled oscillator : VCO) สัญญาณสแควร์เวฟจะถูกส่งไปเป็นสัญญาณควบคุมการแลทช์ (Latch) ให้กับหน่วยบัฟเฟอร์ (Buffer) และถูกส่งไปยังวงจรคูณสองเพื่อเป็นสัญญาณนาฬิกาให้กับหน่วยนับจำนวน ส่วนสัญญาณรูปสามเหลี่ยมนั้นจะถูกส่งไปเป็นสัญญาณอ้างอิง (Reference) ให้กับหน่วยแปลงสัญญาณดิจิตอลเป็นอนาลอก

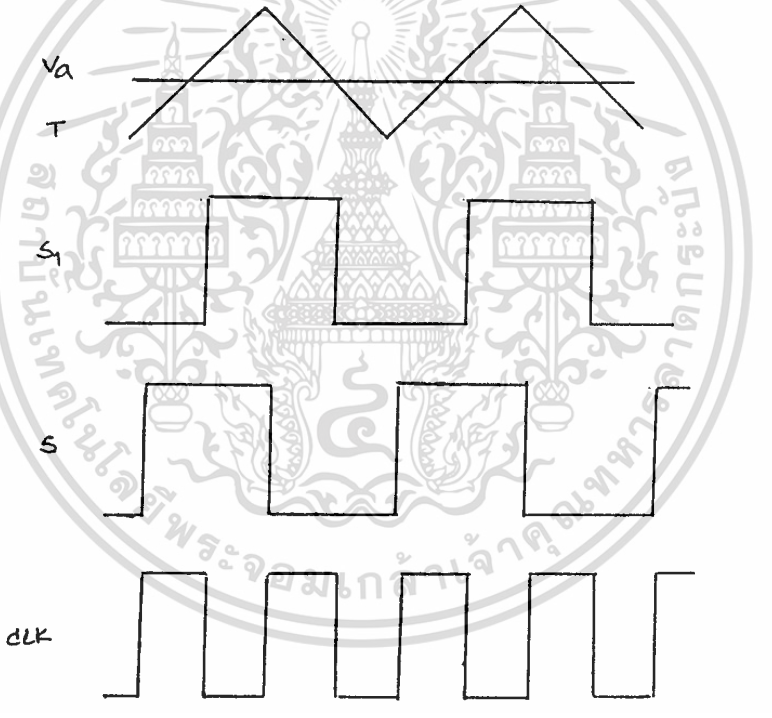
2. หน่วยคูณสอง (Frequency doubler)

หน่วยนี้จะทำหน้าที่ทำสัญญาณสแควร์เวฟให้มีความถี่เพิ่มขึ้นเป็นสองเท่าโดยมีหลักการดังนี้

จากรูปที่ 16 หลักการคูณความถี่แบบนี้จะใช้ออปแอมป์ (Opamp) เป็นตัวเปรียบเทียบ (Comparator) เพื่อเปรียบเทียบสัญญาณรูปสามเหลี่ยม T กับค่าของระดับไฟดีซี (DC level) V_a ที่มีค่าเท่ากับค่าเฉลี่ยของสัญญาณรูปสามเหลี่ยม ดังนั้นที่เอ้าท์พุทของออปแอมป์จะกำเนิดสัญญาณสแควร์เวฟ S_1 และจะนำมาเอ็กซ์คูซีฟออร์ (Exclusive-or) กับสัญญาณสแควร์เวฟ S ซึ่งมีความถี่เท่ากับสัญญาณสแควร์เวฟ S_1 แต่เฟสของสัญญาณทั้งสองจะต่างกัน 90 องศา ทำให้ได้สัญญาณที่เอ้าท์พุทของเอ็กซ์คูซีฟออร์มีความถี่เป็นสองเท่าของความถี่เดิมดังรูป จะสังเกตุได้ว่าสัญญาณที่คูณสองออกมาแล้ว จะมีช่วงบวกและช่วงลบของสัญญาณเท่ากัน ถ้าเราต้องการควบคุมสัญญาณที่คูณสองออกมาให้มีช่วงบวกตามต้องการจะต้องใช้หลักการคูณสองอีกแบบหนึ่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

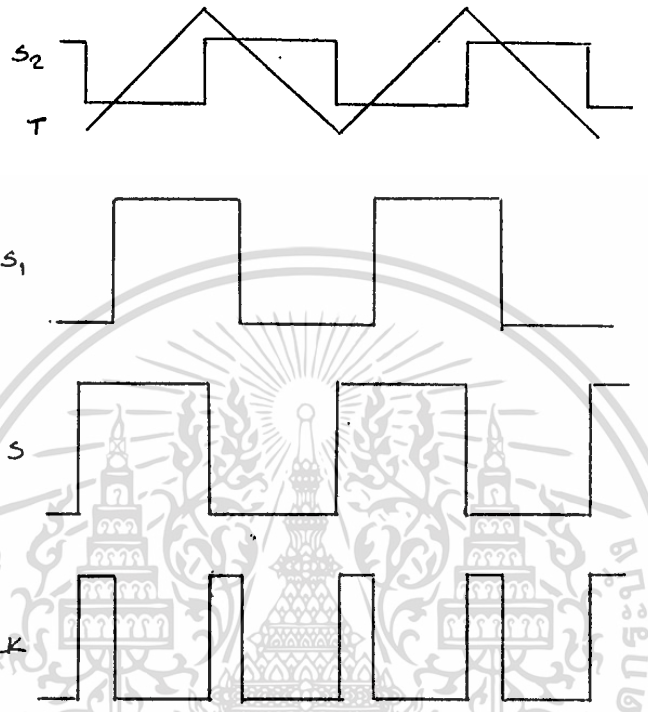




รูปที่ 16 แสดงหลักการคูณความถี่แบบหนึ่ง

ถ้าเราแทนแรงเคลื่อนไฟฟ้า V_a ด้วยสัญญาณสแควร์เวฟ S_2 ซึ่งสัญญาณนี้ได้มาจากสัญญาณสแควร์เวฟ S ก็สามารถสร้างสัญญาณสแควร์เวฟ S_1 ได้เช่นกัน วิธีการนี้แสดงในรูปที่ 17

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 17 แสดงหลักการคูณสองความถี่อีกแบบหนึ่ง

3. หน่วยนับจำนวน (Counter)

หน่วยนี้จะรับสัญญาณนาฬิกามาจากหน่วยคูณสอง เพื่อที่จะนำมาหารให้เป็นการนับแบบเลขฐานสอง (Binary counter) หลักการของวงจรนับเลขฐานสองนั้นเคยอธิบายแล้วดังในบทที่ 2

4. หน่วยความจำ (Memory)

หน่วยความจำจะทำหน้าที่ ในการเก็บข้อมูลของสัญญาณที่เราต้องการจะสร้างขึ้นมา ลักษณะของหน่วยความจำได้อธิบายไว้แล้วในบทที่ 3

5. หน่วยบัฟเฟอร์ (Buffer)

จะมีด้วยกัน 2 ชุดคือ B1 และ B2 หน่วยนี้จะทำหน้าที่เก็บข้อมูลขนาด 1 ไบท์จากหน่วยความจำ เพื่อส่งต่อไปยังหน่วยดีเอซี หน่วยบัฟเฟอร์นี้จะ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทำงานตามสัญญาณแลทช์ (Latch) โดยบัฟเฟอร์สองตัวจะทำงานสลับกัน คือ B1 จะทำการเก็บข้อมูลของแอดเดรสแรก ส่วน B2 จะเก็บข้อมูลของแอดเดรสถัดมา การทำงานทั้งสองตัวจะทำสลับกันไปมาอย่างนี้ตลอด

6. หน่วยดีเอซี (D/A Converter)

หน่วยนี้นับได้ว่าเป็นตัวสำคัญเลยทีเดียว เพราะเป็นตัวเปลี่ยนข้อมูลทางดิจิตอลให้ไปเป็นค่าทางอนาลอก หน่วยนี้จะมี 2 ชุดเช่นกัน โดยชุดที่ 1 จะรับข้อมูลจากบัฟเฟอร์ B1 และอีกชุดหนึ่งจะรับข้อมูลจากบัฟเฟอร์ B2

7. หน่วยรวมสัญญาน (Summing amplifier)

หน่วยนี้จะเป็นหน่วยสุดท้ายในการกำเนิดสัญญานขึ้นมา หน่วยรวมสัญญานจะทำหน้าที่รวมสัญญานที่ได้จากหน่วยดีเอซีทั้งสองตัว เพื่อให้เป็นสัญญานที่ต้องการกำเนิดเพียงสัญญานเดียว นอกจากรวมสัญญานแล้วหน่วยนี้ยังทำการขยายสัญญานด้วย

<u>ลักษณะของข้อมูลในหน่วยความจำ</u>

ข้อมูลในหน่วยความจำจะถูกเก็บเป็นแอดเดรสเรียงต่อกันไป ในหนึ่งแอดเดรสจะมีข้อมูลขนาด 8 บิทอยู่ ข้อมูลในหนึ่งแอดเดรสนี้จะแทนระดับของสัญญานที่ต้องการจะกำเนิดขึ้นมาเพียง 1 จุดเท่านั้น ดังนั้นความละเอียดในการเก็บระดับของสัญญานเมื่อเก็บเป็นข้อมูล 8 บิท จะเท่ากับ 256 ระดับ ถ้ามองเป็นค่าของเลขฐานสิบหกก็จะมีค่าอยู่ระหว่าง 00_H - FF_H

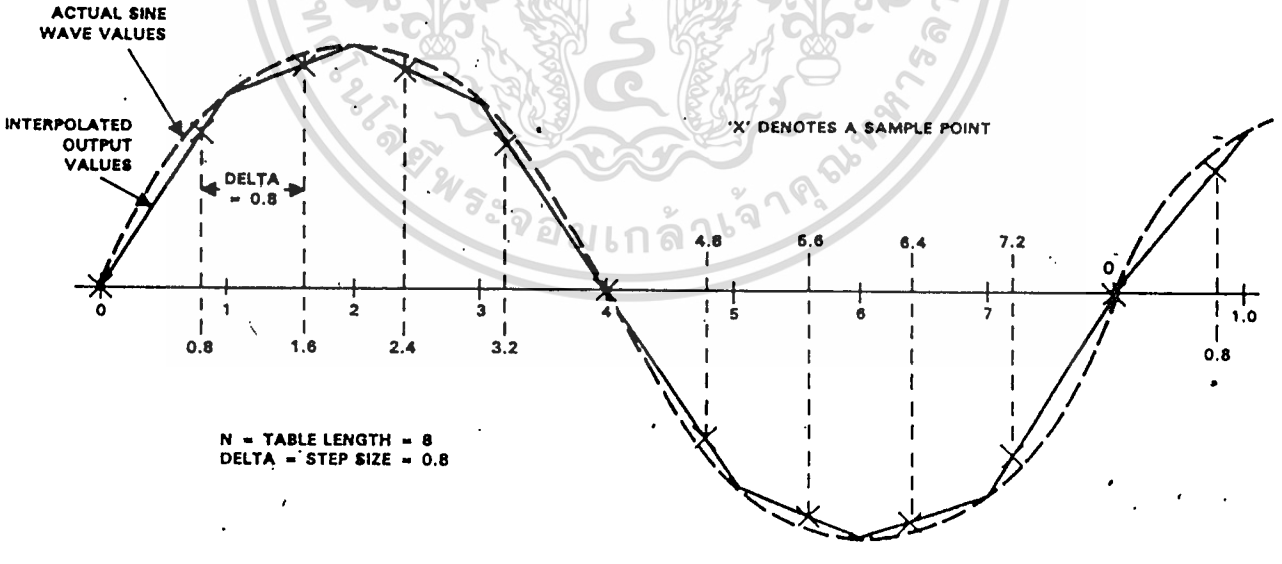
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 6

การคำนวณและการสร้าง

การคำนวณหาข้อมูลของสัญญาน

ในการเก็บข้อมูลรูปร่างของสัญญานที่จะกำเนิดขึ้นมานั้น จะต้องทำการเก็บข้อมูลของสัญญานให้ครบคาบของสัญญาน ซึ่งถ้าเราเก็บข้อมูลจำนวนมากก็จะทำให้สัญญานที่กำเนิดขึ้นมามีลักษณะที่ใกล้เคียงสัญญานจริงมาก แต่การเก็บข้อมูลของสัญญานมาก ๆ มีข้อเสียคือ จะต้องใช้สัญญานนาฬิกาจำนวนมากในการกำเนิดสัญญาน ดังนั้นในการทดลองจึงเลือกที่จะเก็บข้อมูล 128 จุดต่อสัญญาน 1 คาบ ดังนั้นสัญญานหนึ่งสัญญานจะใช้เนื้อที่หน่วยความจำในการเก็บข้อมูล 128 ไบท์ด้วยกันวิธีการเก็บข้อมูลของสัญญาน 1 คาบจะเป็นดังรูปที่ 18



รูปที่ 18 แสดงวิธีการเก็บข้อมูลของสัญญาน 1 คาบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 18 เป็นตัวอย่างการเก็บข้อมูลของสัญญาณซายน์ 1 คาบ ซึ่งการเก็บข้อมูลจะต้องใช้การสุ่ม (Sampling) ข้อมูลบนสัญญาณแต่ละจุดด้วยเวลาที่เท่ากันทุกจุด ดังนั้นจุดบนสัญญาณที่ต้องการเก็บคือ จุดที่ 360/จำนวนข้อมูล เช่น ต้องการเก็บข้อมูลของสัญญาณรูปซายน์จำนวน 128 ค่า ดังนั้นจะต้องเก็บข้อมูลทุก 360/128 องศา สามารถเขียนเป็นตารางได้ดังนี้

ข้อมูลที่	มุมที่เก็บข้อมูล	ค่าของข้อมูลที่ได้
0	0 * 360/N	S(0)=SIN(0/N)
1	1 * 360/N	S(1)=SIN(360/N)
2	2 * 360/N	S(2)=SIN(720/N)
.	.	.
.	.	.
N-2	(N-2) * 360/N	S(N-2)=SIN((N-2)*360/N)
N-1	(N-1) * 360/N	S(N-1)=SIN((N-1)*360/N)

หลังจากที่เราได้ค่าข้อมูลแต่ละจุดมาแล้ว จะต้องมาทำการจัดค่า (Quantization) ให้มีค่าเป็นทางดิจิตอล โดยการจัดค่าจะมีได้ทั้งหมด 256 ค่าคือ ค่า 00_H - FF_H เมื่อเราได้ค่าข้อมูลที่มีค่าเป็นเลขฐานสองมาแล้วก็จะนำค่าข้อมูลเหล่านั้นไปเก็บไว้ในหน่วยความจำ โดยจัดเก็บเรียงกันไป คือ ค่าข้อมูลจุดแรกบนสัญญาณจะถูกเก็บที่แอดเดรสแรก ค่าของข้อมูลตัวที่สองก็จะถูกเก็บในแอดเดรสถัดมาเรื่อยไปจนครบหมดทุกตัว ลักษณะของข้อมูลของสัญญาณซายน์จะเป็นดังต่อไปนี้ (แสดงอยู่ในรูปของเลขฐานสิบหก)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FF FF FF FE FC FB F9 F7 F5 F2 EF EC E8 E4 E0 DC

D8 D3 CE C9 C4 BF B9 B3 AE A8 A2 9C 95 8F 89 83

7C 76 70 6A 63 5D 57 51 4C 46 40 3B 36 31 2C 27

23 1F 1B 17 13 10 0D 0A 08 06 04 03 01 00 00 00

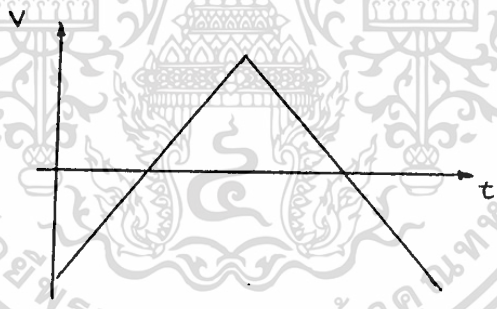
00 00 00 01 03 04 06 08 0A 0D 10 13 17 1B 1F 23

27 2C 31 36 3B 40 46 4C 51 54 5D 63 6A 70 76 7C

83 89 8F 95 9C A2 A8 AE B3 B9 BF C4 C9 CE D3 D8

DC E0 E4 E8 EC EF F2 F5 F7 F9 FB FC FE FF FF FF

<u>สัญญาณรูปสามเหลี่ยม</u> (Triangle waveform)



รูปที่ 19 แสดงสัญญาณรูปสามเหลี่ยม

สัญญาณรูปสามเหลี่ยมจะประกอบขึ้นจากแรมป์ (Ramp) ทางบวกและต่อด้วยแรมป์ทางลบ และต่อด้วยบวกและลบของแรมป์ ที่มีความเอียงของสโลป (Slope) เท่ากันดังรูปที่ จะเห็นได้ว่าช่วงเอียงของเวฟฟอร์ม (Waveform) ทั้งบวกและลบจะเท่ากันและมีช่วงของเวลา t_d เท่ากัน ลักษณะของข้อมูลของสัญญาณรูปสามเหลี่ยมจะเป็นดังนี้

00 04 08 0C 10 14 18 1C 20 24 28 2C 30 34 38 3C

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้.

40 44 48 4C 50 54 58 5C 60 64 68 6C 70 74 78 7C

80 84 88 8C 90 94 98 9C A0 A4 A8 AC B0 B4 B8 BC

C0 C4 C8 CC D0 D4 D8 DC E0 E4 E8 EC F0 F4 F8 FC

FE FA F6 F2 EE EA E6 E2 DE DA D6 D2 CE CA C6 C2

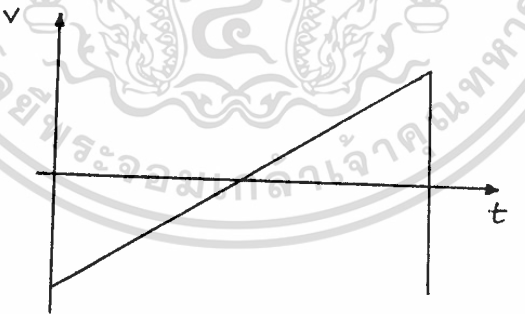
BE BA B6 B2 AE AA A6 A2 9E 9A 96 92 8E 8A 86 82

7E 7A 76 72 6E 6A 66 62 5E 5A 56 52 4E 4A 46 42

3E 3A 36 32 2E 2A 26 22 1E 1A 16 12 0E 0A 06 02

<u>สัญญาณรูปฟันเลื่อย</u> (Sawtooth waveform)

สัญญาณรูปฟันเลื่อยจะประกอบขึ้นจาก แวมป์บวกชนิดที่มีสโลบต่ำกว่าแวมป์ชนิดลบ ซึ่งลักษณะของเวฟฟอร์มจะเรียงสลับกันตามลำดับตามปกติแล้วเวลาช่วงลง (t_f) หรือแวมป์ชนิดลบจะมีค่าต่ำสุดหรือตามทฤษฎีแล้ว t_f ควรมีค่าเป็นศูนย์



รูปที่ 20 แสดงสัญญาณรูปฟันเลื่อย

ข้อมูลของสัญญาณรูปฟันเลื่อยจะเป็นดังนี้

00 02 04 06 08 0A 0C 0E 10 12 14 16 18 1A 1C 1E

20 22 24 26 28 2A 2C 2E 30 32 34 36 38 3A 3C 3E

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

40 42 44 46 48 4A 4C 4E 50 52 54 56 58 5A 5C 5E

60 62 64 66 68 6A 6C 6E 70 72 74 76 78 7A 7C 7E

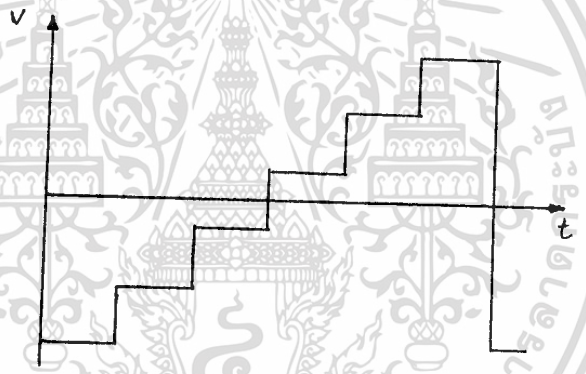
80 82 84 86 88 8A 8C 8E 90 92 94 96 98 9A 9C 9E

A0 A2 A4 A6 A8 AA AC AE B0 B2 B4 B6 B8 BA BC BE

C0 C2 C4 C6 C8 CA CC CE D0 D2 D4 D6 D8 DA DC DE

E0 E2 E4 E6 E8 EA EC EE F0 F2 F4 F6 F8 FA FC FE

<u>สัญญาณรูปขั้นบันได</u> (Staircase waveform)



รูปที่ 21 แสดงสัญญาณรูปขั้นบันได

ข้อมูลของสัญญาณรูปขั้นบันไดจะมีลักษณะดังต่อไปนี้

00 00 00 00 00 00 00 00 00 00 00 00 00 00 00 00

00 00 00 00 00 00 33 33 33 33 33 33 33 33 33 33

33 33 33 33 33 33 33 33 33 33 33 66 66 66 66 66

66 66 66 66 66 66 66 66 66 66 66 66 66 66 66 66

99 99 99 99 99 99 99 99 99 99 99 99 99 99 99 99

99 99 99 99 99 CC CC CC CC CC CC CC CC CC CC CC

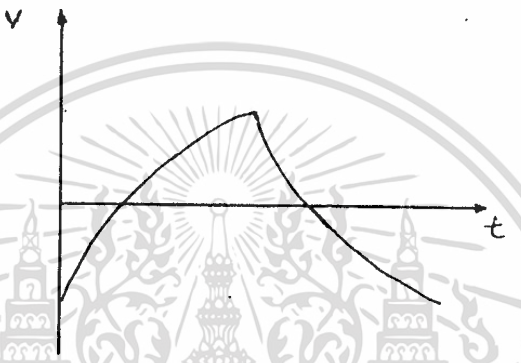
CC CC CC CC CC CC CC CC CC CC FF FF FF FF FF FF

FF FF FF FF FF FF FF FF FF FF FF FF FF FF FF FF

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

<u>สัญญานสแควร์เวฟที่ผ่านวงจรอินทีเกรเตอร์</u>

สัญญานนี้เป็นผลที่ได้จากการผ่านสัญญานสแควร์เวฟเข้าไปยังวงจรอินทีเกรเตอร์ลักษณะของสัญญานจะช่วงแรกจะเป็นฟังก์ชั่น 1 - EXP(-t) ส่วนในช่วงหลังจะเป็นฟังก์ชั่น EXP(-t) ลักษณะของสัญญานจะเป็นดังรูปที่

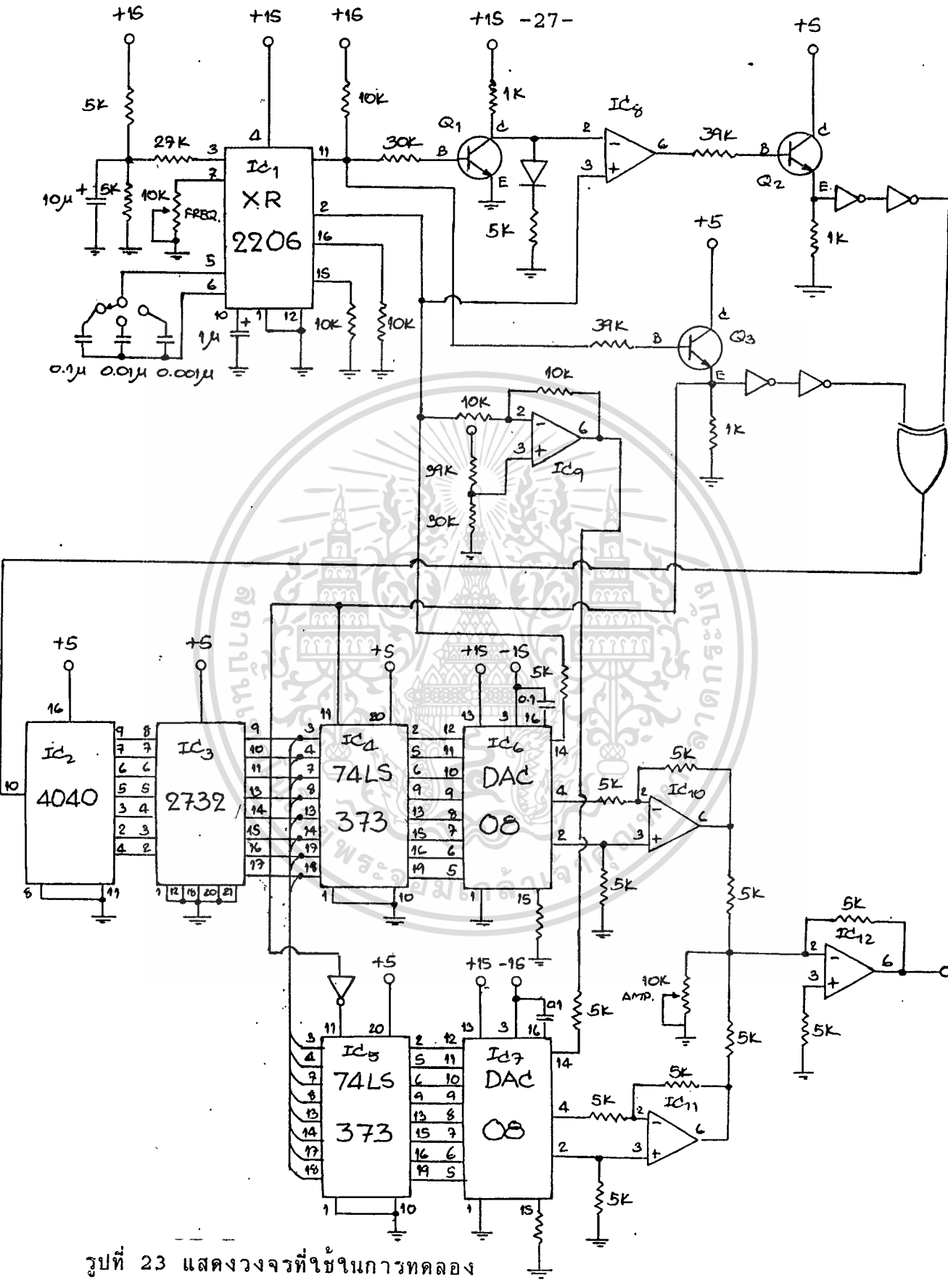


รูปที่ 22 แสดงสัญญานสแควร์เวฟที่ผ่านวงจรอินทีเกรเตอร์

ลักษณะของข้อมูลของสัญญานสแควร์เวฟที่ผ่านวงจรอินทีเกรเตอร์ ที่หาได้จากการคำนวณจะเป็นดังนี้

00 13 25 35 44 52 5F 6B 71 7C 86 8F 97 9F A6 AD
B3 B9 BE C3 C7 CC CF D3 D6 D9 DC DF E1 E3 E6 E7
E9 EB EC ED EE F0 F1 F2 F3 F4 F5 F5 F6 F7 F7 F8
F9 F9 F9 FA FA FB FB FB FC FC FC FD FD FD FE FE
FF EC DA CA BB AD A0 94 88 7E 75 6C 64 5C 55 4F
49 44 3E 3A 35 31 2E 2A 27 24 21 1F 1D 1A 18 17
15 13 12 11 0F 0E 0D 0C 0B 0A 0A 09 08 08 07 07
06 06 05 05 04 04 04 03 03 03 03 02 02 02 01 01

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 23 แสดงวงจรที่ใช้ในการทดลอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 7

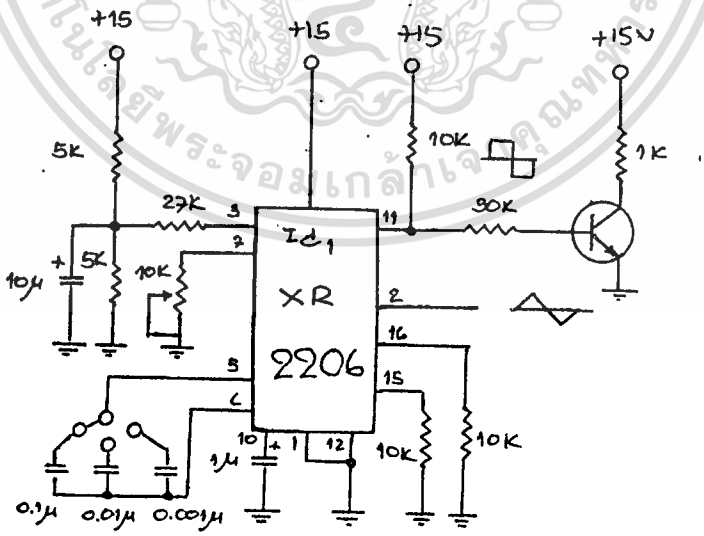
การทดลองและผลของการทดลอง

7.1 การทดลอง

วงจรที่ใช้ในการทดลองแสดงดังรูปที่ 23 มีส่วนต่าง ๆ ดังนี้

- หน่วยกำเนิดสัญญาณนาฬิกา

หน่วยกำเนิดสัญญาณนาฬิกาในการทดลองจะใช้ไอซีเบอร์ XR-2206 ซึ่งเป็นโมโนลิธิคฟังก์ชั่น เจนเนอเรเตอร์ (Monolithic Function Generator) การกำเนิดสัญญาณของหน่วยนี้จะอาศัยวงจรอาร์ซีไทม์คอนสแตนท์ (R-C Time constant) ที่ต่ออยู่ที่ขา 5,6,7 ค่าความถี่ที่ได้จะเท่ากับ 1/RC วงจรที่ใช้ในการทดลองจึงใช้ความต้านทานแบบปรับค่าได้ (Variable resistor) และใช้ตัวเลือก (Selector) สำหรับเปลี่ยนค่าคาปาซิเตอร์ (Capacitor) เพื่อให้ปรับความถี่ของสัญญาณได้ เอ้าท์พุทของไอซี XR-2206 จะให้สัญญาณออก



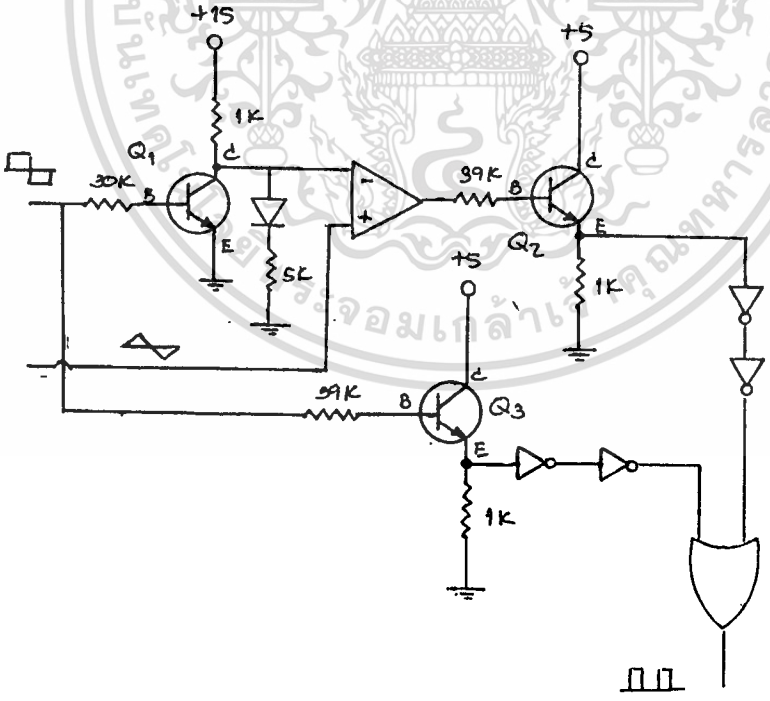
รูปที่ 24 แสดงวงจรกำเนิดสัญญาณที่ใช้ในการทดลอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

มาสองอย่างคือ สัญญานรูปสามเหลี่ยมออกที่ขา 2 และสัญญานสแควร์เวฟออกที่ขา 11 ซึ่งสัญญานสองอย่างนี้จะมีความถี่เท่ากัน

- หน่วยคูณสอง

หน่วยคูณสองที่ใช้ในการทดลองจะแสดงดังรูปที่ 25 สัญญานสแควร์เวฟที่ขา 11 ของไอซี 1 จะถูก Q1 จัดแอมปลิจูด (Amplitude) ของสัญญานและจะนำมาเปรียบเทียบกับสัญญานรูปสามเหลี่ยมจากขา 2 ของไอซี 1 ที่ไอซี 8 ซึ่งเป็นไอซีออปแอมป์เบอร์ 741 ทีทำหน้าที่เป็นตัวเปรียบเทียบ (Comparator) ที่เอ้าท์พุทของไอซี 8 จะมี Q2 ที่ทำหน้าที่จัดแอมปลิจูดของสัญญานให้เหลือแค่ 5 โวลท์ เพื่อนำไปเอ็กซ์คูลซีฟออร์ (Exclusive or) กับสัญญานสแควร์เวฟจากขา 11 ของไอซี 1 สัญญานเอ้าท์พุทจากเอ็กซ์คูลซีฟออร์จะมีความถี่เป็นสองเท่าของสัญญานสแควร์เวฟเดิม ลักษณะของสัญญานจะเป็นดังรูปที่ 17



รูปที่ 25 แสดงวงจรคูณสองที่ใช้ในการทดลอง

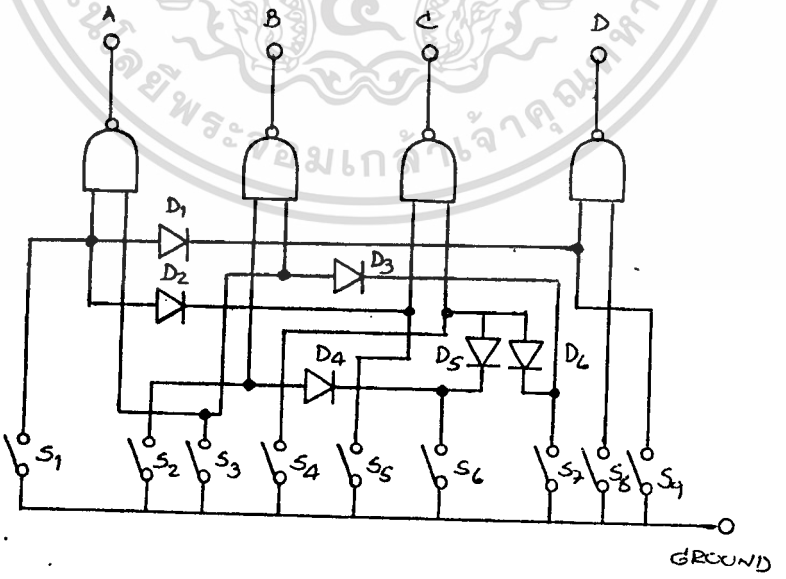
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- หน่วยนับจำนวน

หน่วยนี้จะใช้ไอซี 2 เพียงตัวเดียวคือไอซีเบอร์ MC14040 เป็นไอซีนับจำนวนขนาด 12 บิท (12 bit binary counter) แต่ในการทดลองจะใช้แค่ 7 บิทเท่านั้นเพราะข้อมูลของสัญญาน 1 สัญญานใช้เนื้อที่หน่วยความจำเพียง 128 ไบท์ ไอซี MC14040 จะมีขารีเซท (Reset) คือขา 11 ที่รีเซทด้วยลอจิก 1 ดังนั้นจึงต้องต่อลงกราวด์ไว้

- หน่วยความจำ

หน่วยนี้จะใช้ไอซี 3 เบอร์ 2732 เพียงตัวเดียว ไอซีเบอร์ 2732 เป็นอีพรอมขนาด 4 เคไบท์ (KB) จึงมีขาแอดเดรส 12 ขา แต่จะต่อกับหน่วยนับจำนวน 7 ขาคือ $A_0 - A_6$ ส่วนขา $A_8 - A_{11}$ จะถูกต่ออยู่กับวงจรเอ็นโค้ด-เดอร์ (Encoder) ที่เปลี่ยนเลขฐานสิบเป็นฐานสอง วงจรนี้จะทำหน้าที่เป็นตัวเลือกว่าจะใช้ข้อมูลที่แอดเดรสไหนในการกำเนิดสัญญาน ซึ่งสามารถเลือกกำเนิดสัญญานได้ถึง 16 สัญญานด้วยกัน วงจรเอ็นโค้ดเดอร์แสดงดังรูปที่ 26



รูปที่ 26 แสดงวงจรเอ็นโค้ดเดอร์ที่ใช้ในการทดลอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- หน่วยบัฟเฟอร์

หน่วยนี้จะมีสองชุดในแต่ละชุดจะใช้ไอซีเบอร์ 74LS373 ซึ่งในหนึ่งตัวจะประกอบด้วยดีฟลิปฟลอบจำนวน 8 ตัว เพื่อทำการแลทช์ข้อมูลที่ออกมาจากขาดำต้าจำนวน 8 ขาของไอซี 3 ฟลิปฟลอบแต่ละตัวจะทำการแลทช์ข้อมูลตัวละบิท สัญญานควบคุมการแลทช์จะเข้าที่ขา 11 ของไอซีทั้งสองตัว โดยจะเข้าที่ไอซี 4 เลยส่วนไอซี 5 จะผ่านอินเวอร์เตอร์ (Inverter) ก่อนทำให้ไอซีทั้งสองตัวทำการแลทช์ข้อมูลไม่พร้อมกัน

- หน่วยดีเอซี

หน่วยนี้จะมีสองชุดเช่นกันแต่ละชุดจะใช้ไอซีเบอร์ DAC-0800 ซึ่งเป็นมัลติพลายดีทูเอขนาด 8 บิท (8-bit multiplying D to A converter) จะทำหน้าที่เปลี่ยนข้อมูลที่รับเข้ามาให้เป็นค่ากระแสทางอนาลอก ไอซีทั้งสองตัวจะได้รับแรงดันอ้างอิงต่างกัน คือไอซี 6 จะได้รับแรงดันอ้างอิงเป็นสัญญานสามเหลี่ยมจากขา 2 ของไอซี 1 ส่วนไอซี 7 จะได้รับสัญญานสามเหลี่ยมเหมือนกันแต่จะกลับเฟสกลับสัญญานสามเหลี่ยมที่ขา 2 ของไอซี 1 โดยมีไอซี 9 เป็นตัวกลับเฟสของสัญญานสามเหลี่ยม ที่เอ้าท์พุทของไอซี 6 และไอซี 7 จะมีไอซี 10 และไอซี 11 เปลี่ยนค่ากระแสเป็นค่าโวลท์เตจ ลักษณะของสัญญานที่ได้ที่เอ้าท์พุทของไอซี 10 และไอซี 11 จะแสดงดังรูปที่ 27

- หน่วยรวมสัญญาน

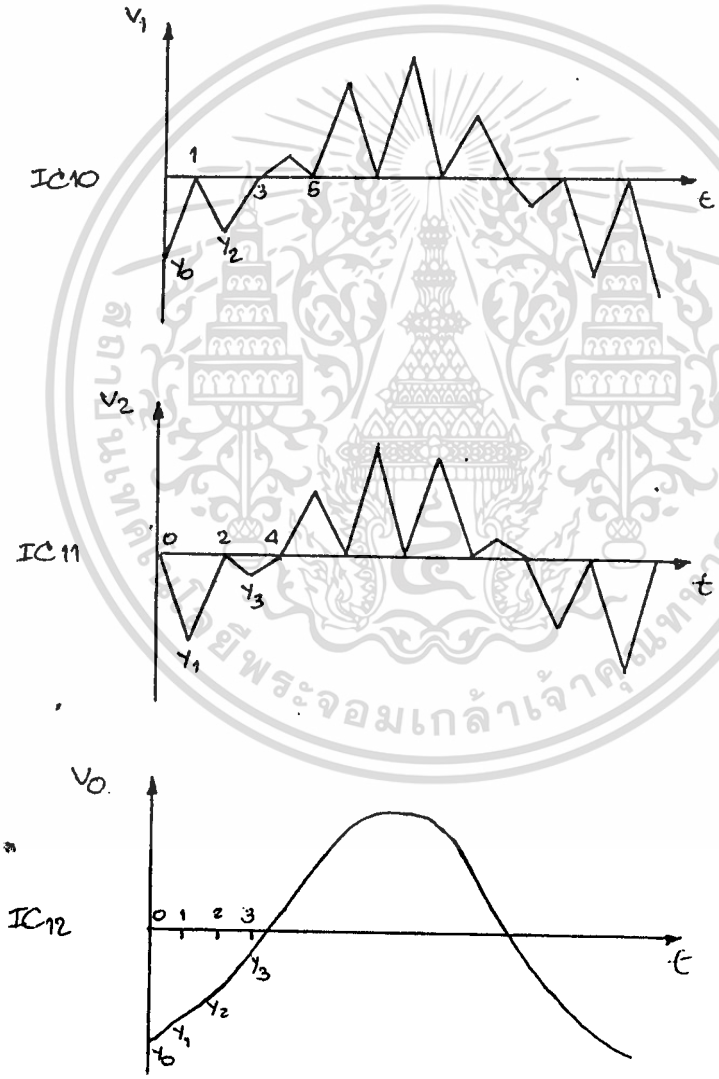
หน่วยนี้จะใช้ไอซีออปแอมป์เบอร์ 741 ต่อเป็นวงจรบวก เพื่อรวมสัญญานจากเอ้าท์พุทของไอซี 10 และไอซี 11 ให้เป็นสัญญานเดียวกัน

7.2 ผลการทดลอง

การทดลองได้ทำการทดลองวงจรทีละส่วนก่อน ตั้งแต่หน่วยกำเนิดสัญญานนาฬิกาปรากฏว่าทำงานได้ หน่วยคูณสองต้องมีการปรับแอมปลิจูดของสัญญานเพื่อให้การทำงานเป็นไปตามทฤษฎี หน่วยนับจำนวน หน่วยความจำและหน่วยบัฟ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เฟอร์ก็ไม่มีปัญหาในการออกแบบเพราะใช้ไอซีเพียงตัวเดียว ส่วนหน่วยดีเอซีนั้นครั้งแรกได้ทดลองตัวเดียวก่อน โดยการนำหน่วยนับจำนวนมาป้อนเป็นอินพุทให้กับหน่วยดีเอซี ขณะที่ให้แรงดันอ้างอิงคงที่ค่าหนึ่งก็ปรากฏว่าที่เอ้าท์พุทจะให้สัญญานรูปฟันเลื่อยออกมาแสดงว่าหน่วยดีเอซีทำงานได้



รูปที่ 27 แสดงเอ้าท์พุทจากไอซี 10 , ไอซี 11 , ไอซี 12

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ต่อมาได้ประกอบวงจรทั้งหมดรวมกัน แล้วทดสอบการทำงานทีละส่วน ปรากฏว่าการทำงานทำได้ดี มีเฉพาะส่วนดีเอซีที่ต้องออกแบบเพิ่มเติมคือ เพิ่มไอซี 9 เพื่อกลับสัญญาณรูปสามเหลี่ยมจากไอซี 1 เพราะสัญญาณรูปสามเหลี่ยมจากไอซี 1 มีค่าแรงดันดีซี (DC Voltage) รวมอยู่ด้วย ทำให้ป้อนสัญญาณนี้เข้าที่ขาอ้างอิงลบของไอซี 7 ไม่ได้จึงต้องใช้ขาอ้างอิงบวกแทนแต่ใช้การกลับเฟสของสัญญาณรูปสามเหลี่ยม ทำให้การทำงานเป็นไปตามต้องการ

การกำเนิดของสัญญาณเอ้าท์พุท จะเกิดจากการรวมกันของสัญญาณจาก IC10 และ IC11 ดังรูปที่ 27 สัญญาณที่เอ้าท์พุทของ IC10 และ IC11 จะเกิดจากสัญญาณรูปสามเหลี่ยมมาประกอบกันขึ้นเพราะขาอ้างอิงของ IC10 และ IC11 อ้างอิงจากสัญญาณรูปสามเหลี่ยม แต่สัญญาณอ้างอิงของ IC10 จะกลับเฟสกับสัญญาณอ้างอิงของ IC11 ดังนั้นช่วงยอดของสัญญาณสามเหลี่ยมที่มาประกอบกันขึ้นเป็นสัญญาณซายน์ทั้งสองอันจะไม่ตรงกันดังรูป

เมื่อเวลา 0<t<1 IC10 จะได้ค่าข้อมูล Y0 และ IC11 จะได้รับข้อมูล Y1 แต่สัญญาณรูปสามเหลี่ยมที่ขาอ้างอิงของ IC10 กำลังเปลี่ยนแปลงจากค่าสูงสุดไปยังศูนย์ ดังนั้นที่เอ้าท์พุทของ IC10 คือ V1 จะเปลี่ยนแปลงจาก Y0 ไปยังศูนย์ เช่นเดียวกันสัญญาณรูปสามเหลี่ยมที่ขาอ้างอิงของ IC11 ก็กำลังเปลี่ยนแปลงจากศูนย์ไปยังค่าสูงสุด ดังนั้นที่เอ้าท์พุทของ IC11 คือ V2 จะเปลี่ยนแปลงจากศูนย์ไปยัง Y2

เมื่อเวลา t=1 IC10 จะได้รับข้อมูลใหม่คือ Y2 ในขณะที่ IC11 ยังคงได้รับข้อมูล Y1 อยู่ ดังนั้นเมื่อเวลา 1<t<2 สัญญาณรูปสามเหลี่ยมที่ขาอ้างอิงของ IC10 กำลังเปลี่ยนแปลงจากศูนย์ไปยังค่าสูงสุด ส่วนสัญญาณอ้างอิงของ IC11 นั้นจะมีลักษณะตรงกันข้าม จะทำให้ได้ผลลัพธ์ที่เอ้าท์พุทคือ Y1 และ Y2 ดังรูป ส่วนสัญญาณที่เอ้าท์พุทของ IC12 จะเป็นการรวมกันของสัญญาณเอ้าท์พุทของ IC10 และ IC11 ดังรูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

<u>สรุปผลการทดลอง</u>

จากการทดลองปรากฏว่าสามารถสร้างสัญญาณรูปต่าง ๆ ได้หลายรูป แล้วแต่จะเลือกข้อมูลของสัญญาณรูปไหน ลักษณะของสัญญาณที่สร้างขึ้นมามีรูปร่างลักษณะเหมือนสัญญาณจริง แต่ยังไม่ราบเรียบเท่าที่ควร จากการทดลองกำเนิดสัญญาณจะพบปัญหาดังนี้

1. ไม่สามารถสร้างสัญญาณความถี่สูงได้ เพราะการสร้างสัญญาณที่มีความถี่สูงจะต้องใช้หน่วยกำเนิดสัญญาณที่มีความถี่สูงมาก และหน่วยความจำจะต้องใช้เวลาในการนำข้อมูลออกมาน้อย แต่การทดลองได้ใช้หน่วยกำเนิดสัญญาณนาฬิกาเบอร์ XR-2206 ที่กำเนิดสัญญาณได้ประมาณ 1 MHz เท่านั้น และหน่วยความจำก็ยังมีความเร็วในการอ่านข้อมูลไม่เพียงพอที่จะกำเนิดสัญญาณความถี่สูงขึ้นมาได้

2. สัญญาณที่เอ้าท์พุทไม่ราบเรียบ เพราะสัญญาณที่เอ้าท์พุทเกิดจากการรวมกันของสัญญาณสองสัญญาณ ในการทดลองสัญญาณที่ออกมาจากเอ้าท์พุทของ IC10 และ IC11 ยังมีลักษณะไม่ดีเท่าที่ควรเนื่องจากการออกแบบวงจรบางส่วนยังไม่ดี ทำให้ผลการรวมกันของสัญญาณเกิดสัญญาณที่ไม่ราบเรียบขึ้น

แนวทางในการพัฒนาต่อไปคือ ใช้อุปกรณ์ที่ดีขึ้นเช่น หน่วยนับจำนวนจะต้องกำเนิดสัญญาณที่มีความถี่สูงได้ หน่วยความจำจะต้องใช้ประเภทไฮสปีด (Hi speed) เพื่อให้เสียเวลาในการอ่านข้อมูลออกมาน้อย และการพัฒนาในการที่จะเชื่อมต่อ (Interface) เข้ากับเครื่องไมโครคอมพิวเตอร์ เพื่อที่จะสามารถย้ายข้อมูลรูปร่างสัญญาณที่ได้จากการคำนวณบนไมโครคอมพิวเตอร์ มาเพื่อที่จะกำเนิดสัญญาณนั้นขึ้นมา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หนังสืออ้างอิง

1.Arthur B. Williams, "Designer's handbook of integrated circuits.", Mcgraw-hill book compary, 756 p., 1984

2.Louis Nashelsky, "Introduction to digital technology" , Great Neck, 536p.,

3.M.S.Towers, "Programmable waveform generator using linear interpolation with multiplying D/A convertors ", IEE. Proc. , Vol.129 , Pt. G , No.1 ,1982, pp. 19-25

4.Robert L. Morris and John R. Miller, "Designing with TTL integrated circuits", Mcgraw-hill, 322 p., 1971

5.W.A. Evan and M.S. Towers, "Hybrid technique in waveform generation and synthesis", IEE,Proc., Vol.127, Pt. G, No3., June 1980, pp.119-128

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

EXAR

XR-2206

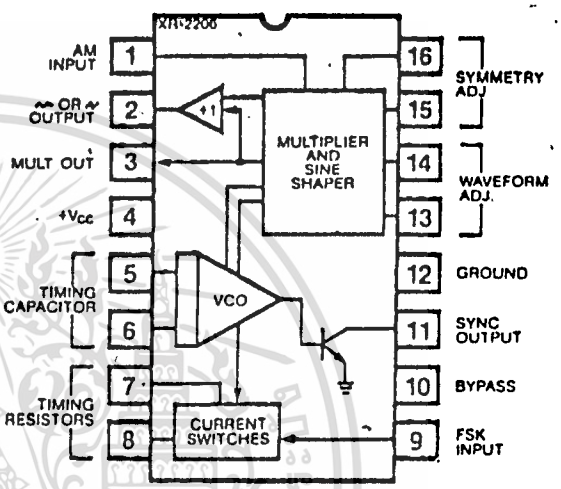
Monolithic Function Generator

GENERAL DESCRIPTION

The XR-2206 is a monolithic function generator integrated circuit capable of producing high quality sine, square, triangle, ramp, and pulse waveforms of high stability and accuracy. The output waveforms can be both amplitude and frequency modulated by an external voltage. Frequency of operation can be selected externally over a range of 0.01 Hz to more than 1 MHz.

The circuit is ideally suited for communications, instrumentation, and function generator applications requiring sinusoidal tone, AM, FM, or FSK generation. It has a typical drift specification of 20 ppm/°C. The oscillator frequency can be linearly swept over a 2000:1 frequency range, with an external control voltage, having a very small affect on distortion.

FUNCTIONAL BLOCK DIAGRAM



FEATURES

Low-Sine Wave Distortion	0.5%, Typical
Excellent Temperature Stability	20 ppm/°C, Typical
Wide Sweep Range	2000:1, Typical
Low-Supply Sensitivity	0.01%/V, Typical
Linear Amplitude Modulation	
TTL Compatible FSK Controls	
Wide Supply Range	10V to 26V
Adjustable Duty Cycle	1% to 99%

ORDERING INFORMATION

Part Number	Package	Operating Temperature
XR-2206M	Ceramic	−55°C to +125°C
XR-2206N	Ceramic	0°C to +70°C
XR-2206P	Plastic	0°C to +70°C
XR-2206CN	Ceramic	0°C to +70°C
XR-2206CP	Plastic	0°C to +70°C

APPLICATIONS

Waveform Generation
Sweep Generation
AM/FM Generation
V/F Conversion
FSK Generation
Phase-Locked Loops (VCO)

ABSOLUTE MAXIMUM RATINGS

Power Supply	26V
Power Dissipation	750 mW
Derate Above 25°C	5 mW/°C
Total Timing Current	6 mA
Storage Temperature	−65°C to +150°C

SYSTEM DESCRIPTION

The XR-2206 is comprised of four functional blocks; a voltage-controlled oscillator (VCO), an analog multiplier and sine-shaper; a unity gain buffer amplifier; and a set of current switches.

The VCO actually produces an output frequency proportional to an input current, which is produced by a resistor from the timing terminals to ground. The current switches route one of the timing pins current to the VCO controlled by an FSK input pin, to produce an output frequency. With two timing pins, two discrete output frequencies can be independently produced for FSK Generation Applications.

AD DATA-DIGIT CO., LTD.
บริษัท ดาต้าดิจิท จำกัด
144 ถนนสันติภาพ แขวงทุ่งพญาไท กทม.10
โทร. 2217040,2214592,2214557

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

XR-2206

ELECTRICAL CHARACTERISTICS

Test Conditions: Test Circuit of Figure 1, $V^+ = 12V$, $T_A = 25°$, $C = 0.01\ \mu F$, $R_1 = 100\ k\Omega$, $R_2 = 10\ k\Omega$, $R_3 = 25\ k\Omega$ unless otherwise specified. S_1 open for triangle, closed for sine wave.

PARAMETERS	XR-2206M			XR-2206C			UNITS	CONDITIONS
	MIN	TYP	MAX	MIN	TYP	MAX		
GENERAL CHARACTERISTICS								
Single Supply Voltage	10		26	10		26	V	
Split-Supply Voltage	±5		±13	±5		±13	V	
Supply Current		12	17		14	20	mA	$R_1 \geq 10\ k\Omega$
OSCILLATOR SECTION								
Max. Operating Frequency	0.5	1		0.5	1		MHz	$C = 1000\ pF$, $R_1 = 1\ k\Omega$
Lowest Practical Frequency		0.01			0.01		Hz	$C = 50\ \mu F$, $R_1 = 2\ M\Omega$
Frequency Accuracy		±1	±4		±2		% of f_o	$f_o = 1/R_1C$
Temperature Stability		±10	±50		±20		ppm/°C	$0°C \leq T_A \leq 70°C$,
Supply Sensitivity		0.01	0.1		0.01		%/V	$R_1 = R_2 = 20\ k\Omega$ $V_{LOW} = 10V$, $V_{HIGH} = 20V$,
Sweep Range	1000:1	2000:1			2000:1		$f_H = f_L$	$R_1 = R_2 = 20\ k\Omega$ f_H @ $R_1 = 1\ k\Omega$ f_L @ $R_1 = 2\ M\Omega$
Sweep Linearity								
10:1 Sweep		2			2		%	$f_L = 1\ kHz$, $f_H = 10\ kHz$
1000:1 Sweep		8			8		%	$f_L = 100\ kHz$, $f_H = 100\ kHz$
FM Distortion		0.1			0.1		%	±10% Deviation
Recommended Timing Components								
Timing Capacitor: C	0.001		100	0.001		100	μF	See Figure 4.
Timing Resistors: R_1 & R_2	1		2000	1		2000	kΩ	
Triangle Sine Wave Output								
Triangle Amplitude		160			160		mV/kΩ	See Note 1, Figure 2.
Sine Wave Amplitude	40	60	80		60		mV/kΩ	Figure 1, S_1 Open
Max. Output Swing		6			6		V p-p	Figure 1, S_1 Closed
Output Impedance		600			600		Ω	
Triangle Linearity		1			1		%	
Amplitude Stability		0.5			0.5		dB	For 1000:1 Sweep
Sine Wave Amplitude Stability		4800			4800		ppm/°C	See Note 2.
Sine Wave Distortion								
Without Adjustment		2.5			2.5		%	$R_1 = 30\ k\Omega$
With Adjustment		0.4	1.0		0.5	1.5	%	See Figures 6 and 7.
Amplitude Modulation								
Input Impedance	50	100		50	100		kΩ	
Modulation Range		100			100		%	
Carrier Suppression		55			55		dB	
Linearity		2			2		%	For 95% modulation
Square-Wave Output								
Amplitude		12			12		V p-p	Measured at Pin 11.
Rise Time		250			250		nsec	$C_L = 10\ pF$
Fall Time		50			50		nsec	$C_L = 10\ pF$
Saturation Voltage		0.2	0.4		0.2	0.6	V	$I_L = 2\ mA$
Leakage Current		0.1	20		0.1	100	μA	$V_{11} = 26V$
FSK Keying Level (Pin 9)	0.8	1.4	2.4	0.8	1.4	2.4	V	See section on circuit controls
Reference Bypass Voltage	2.9	3.1	3.3	2.5	3	3.5	V	Measured at Pin 10.

Note 1: Output amplitude is directly proportional to the resistance, R_3, on Pin 3. See Figure 2.
Note 2: For maximum amplitude stability, R_3 should be a positive temperature coefficient resistor.

EXAR CORP. CO., LTD.

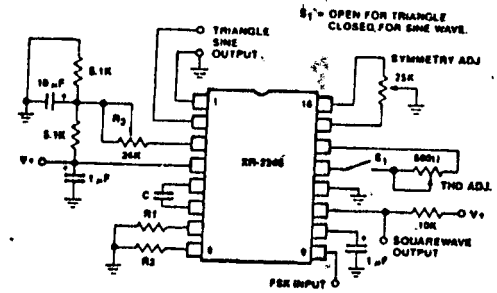


Figure 1. Basic Test Circuit.

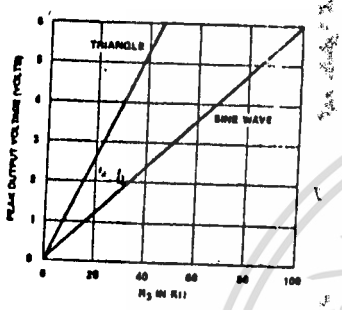


Figure 2. Output Amplitude as a Function of the Resistor, R_3, at Pin 3.

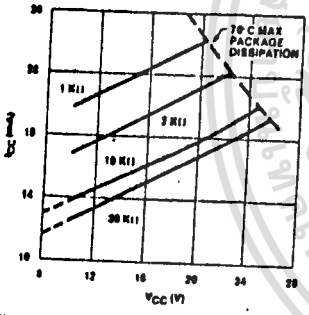


Figure 3. Supply Current versus Supply Voltage, Timing, R.

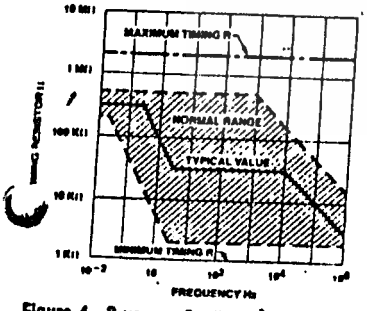


Figure 4. R versus Oscillation Frequency.

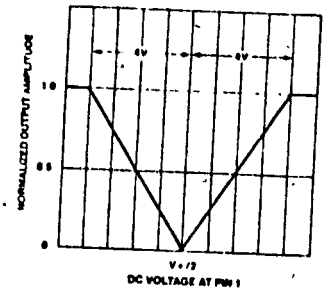


Figure 5. Normalized Output Amplitude versus DC Bias at AM Input (Pin 1).

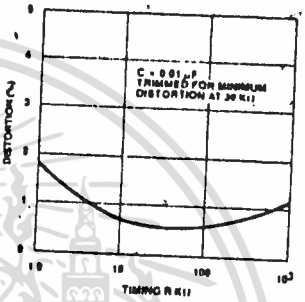


Figure 6. Trimmed Distortion versus Timing Resistor.

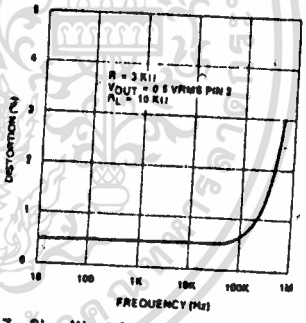


Figure 7. Sine Wave Distortion versus Operating Frequency with Timing Capacitors Varied.

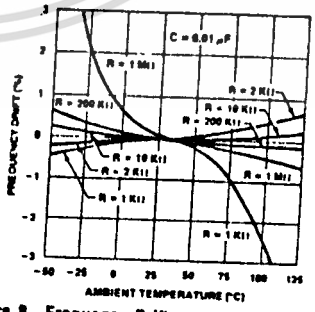


Figure 8. Frequency Drift versus Temperature.

ANN-DIGIT CO., LTD.
144
Tel. 02-3.221392,2214337

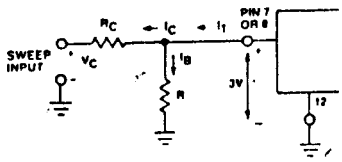


Figure 9. Circuit Connection for Frequency Sweep.

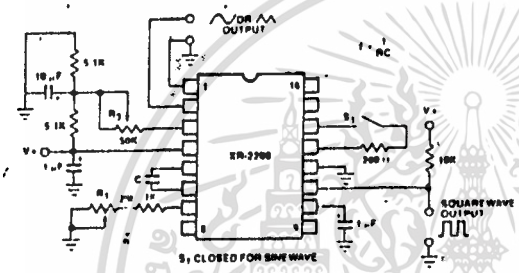


Figure 10. Circuit for Sine Wave Generation without External Adjustment. (See Figure 2 for Choice of R_3).

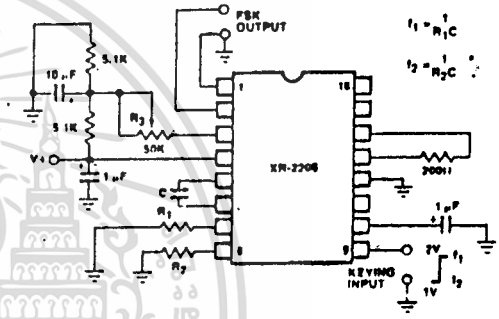


Figure 12. Sinusoidal FSK Generator.

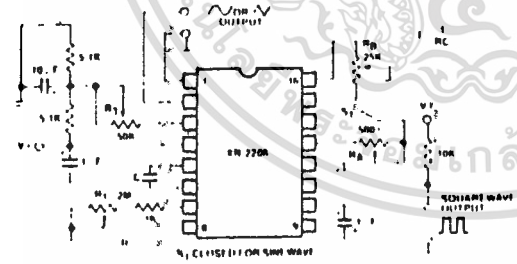


Figure 11. Circuit for Sine Wave Generation with Minimum Harmonic Distortion. (R_3 Determines Output Swing—See Figure 2.)

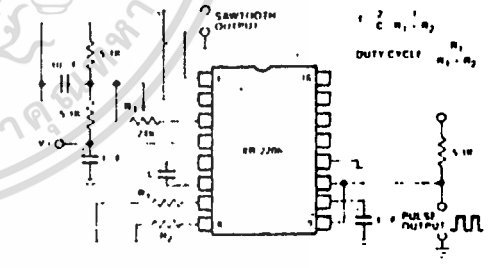


Figure 13. Circuit for Pulse and Ramp Generation.

ANA-DIGIT CO., LTD.
บริษัท แอนนาดิจิท จำกัด
144 ถนนรัชดาภิเษก แขวงพระโขนง เขตคลองเตย กทม.10110
โทร. 2217040, 2214592, 2214557

Frequency-Shift Keying:

The XR-2206 can be operated with two separate timing resistors, R_1 and R_2, connected to the timing Pin 7 and 8, respectively, as shown in Figure 12. Depending on the polarity of the logic signal at Pin 9, either one or the other of these timing resistors is activated. If Pin 9 is open-circuited or connected to a bias voltage ≥ 2V, only R_1 is activated. Similarly, if the voltage level at Pin 9 is ≤ 1V, only R_2 is activated. Thus, the output frequency can be keyed between two levels, f_1 and f_2, as:

$$f_1 = 1/R_1C \text{ and } f_2 = 1/R_2C$$

For split-supply operation, the keying voltage at Pin 9 is referenced to V^-.

Output DC Level Control:

The dc level at the output (Pin 2) is approximately the same as the dc bias at Pin 3. In Figures 10, 11 and 12, Pin 3 is biased midway between V^+ and ground, to give an output dc level of $\approx V^+/2$.

APPLICATIONS INFORMATION

Sine Wave Generation

Without External Adjustment:

Figure 10 shows the circuit connection for generating a sinusoidal output from the XR-2206. The potentiometer, R_1 at Pin 7, provides the desired frequency tuning. The maximum output swing is greater than $V^+/2$, and the typical distortion (THD) is <2.5%. If lower sine wave distortion is desired, additional adjustments can be provided as described in the following section.

The circuit of Figure 10 can be converted to split-supply operation, simply by replacing all ground connections with V^-. For split-supply operation, R_3 can be directly connected to ground.

With External Adjustment:

The harmonic content of sinusoidal output can be reduced to ≈0.5% by additional adjustments as shown in Figure 11. The potentiometer, R_A, adjusts the sine-shaping resistor, and R_B provides the fine adjustment for the waveform symmetry. The adjustment procedure is as follows:

1. Set R_B at midpoint, and adjust R_A for minimum distortion.
2. With R_A set as above, adjust R_B to further reduce distortion.

Triangle Wave Generation

The circuits of Figures 10 and 11 can be converted to triangle wave generation, by simply open-circuiting Pin 13 and 14 (i.e., S_1 open). Amplitude of the triangle is approximately twice the sine wave output.

FSK Generation

Figure 12 shows the circuit connection for sinusoidal FSK signal operation. Mark and space frequencies can be independently adjusted, by the choice of timing resistors, R_1 and R_2, the output is phase-continuous during transitions. The keying signal is applied to Pin 9. The circuit can be converted to split-supply operation by simply replacing ground with V^-.

Pulse and Ramp Generation

Figure 13 shows the circuit for pulse and ramp waveform generation. In this mode of operation, the FSK keying terminal (Pin 9) is shorted to the square-wave output (Pin 11), and the circuit automatically frequency-shift keys itself between two separate frequencies during the positive-going and negative-going output waveforms. The pulse width and duty cycle can be adjusted from 1% to 99%, by the choice of R_1 and R_2. The values of R_1 and R_2 should be in the range of 1 kΩ to 2 MΩ.

PRINCIPLES OF OPERATION

Description of Controls

Frequency of Operation:

The frequency of oscillation, f_o, is determined by the external timing capacitor, C, across Pin 5 and 6, and by the timing resistor, R, connected to either Pin 7 or 8. The frequency is given as:

$$f_o = \frac{1}{RC} \text{ Hz}$$

and can be adjusted by varying either R or C. The recommended values of R, for a given frequency range, as shown in Figure 4. Temperature stability is optimum for 4 kΩ < R < 200 kΩ. Recommended values of C are from 1000 pF to 100 μF.

Frequency Sweep and Modulation:

Frequency of oscillation is proportional to the total timing current, I_T, drawn from Pin 7 or 8:

$$f = \frac{320\ I_T\ (\text{mA})}{C\ (\mu\text{F})} \text{ Hz}$$

Timing terminals (Pin 7 or 8) are low-impedance points, and are internally biased at + 3V, with respect to Pin 12. Frequency varies linearly with I_T, over a wide range of current values, from 1 μA to 3 mA. The frequency can be controlled by applying a control voltage, V_C, to the activated timing pin as shown in Figure 9. The frequency of oscillation is related to V_C as:

$$f = \frac{1}{RC}1 + \frac{R}{R_C}\left(1 - \frac{V_C}{3}\right) \text{ Hz}$$

ANN-DIGIT CO., LTD.
บริษัท แอนนาดิจิท จำกัด
144 ถนนเจริญกรุง แขวงบางรัก กทม.10
โทร. 2217040, 2214502, 2214557

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการ

where V_C is in volts. The voltage-to-frequency conversion gain, K, is given as:

$$K = \delta f/\delta V_C = -\frac{0.32}{R_C C} \text{ Hz/V}$$

CAUTION: For safety operation of the circuit, I_T should be limited to ≤3 mA.

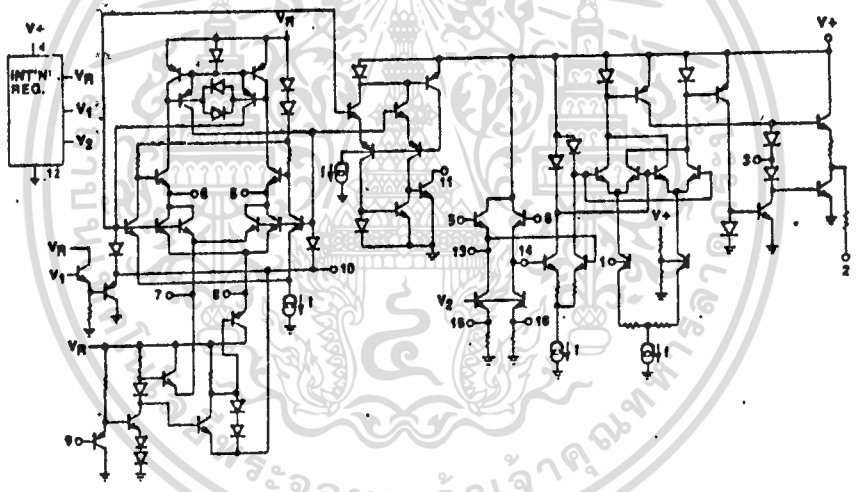
Output Amplitude:

Maximum output amplitude is inversely proportional to the external resistor, R_3, connected to Pin 3 (see Figure 2). For sine wave output, amplitude is approximately 60 mV peak per kΩ of R_3; for triangle, the peak amplitude is approximately 160 mV peak per kΩ of R_3. Thus, for example, R_3 = 50 kΩ would produce approximately ±3V sinusoidal output amplitude.

Amplitude Modulation:

Output amplitude can be modulated by applying a dc bias and a modulating signal to Pin 1. The internal impedance at Pin 1 is approximately 100 kΩ. Output amplitude varies linearly with the applied voltage at Pin 1, for values of dc bias at this pin, within ±4 volts of $V^+/2$ as shown in Figure 5. As this bias level approaches $V^+/2$, the phase of the output signal is reversed, and the amplitude goes through zero. This property is suitable for phase-shift keying and suppressed-carrier AM generation. Total dynamic range of amplitude modulation is approximately 55 dB.

CAUTION: AM control must be used in conjunction with a well-regulated supply, since the output amplitude now becomes a function of V^+.



EQUIVALENT SCHEMATIC DIAGRAM

EXAR-DIGIT CO., LTD.
บริษัท เอกซาร์ดิจิท จำกัด
ถนนประชาชื่น แขวงหลักสี่ กทม.10210
โทร. 2217000, 2214592, 2214567

MOTOROLA

MC14040B

CMOS MSI

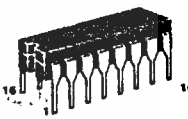
(LOW-POWER COMPLEMENTARY MOS)

12-BIT BINARY COUNTER

12-BIT BINARY COUNTER

The MC14040B 12-stage binary counter is constructed with MOS P-channel and N-channel enhancement mode devices in a single monolithic structure. This part is designed with an input wave shaping circuit and 12 stages of ripple-carry binary counter. The device advances the count on the negative-going edge of the clock pulse. Applications include time delay circuits, counter controls, and frequency-driving circuits.

- Fully Static Operation
- Quiescent Current = 5.0 nA/package typical @ 5 Vdc
- Noise Immunity = 45% of V_{DD} typical
- Diode Protection on All Inputs
- Supply Voltage Range = 3.0 Vdc to 18 Vdc
- Low Input Capacitance = 5.0 pF typical
- Capable of Driving Two Low-Power TTL Loads, One Low-Power Schottky TTL Load or Two HTL Loads Over the Rated Temperature Range.
- Common Reset Line
- 13 MHz Typical Counting Rate @ V_{DD} = 15 V
- Pin-for-Pin Replacement for CD4040B



L SUFFIX
CERAMIC PACKAGE
CASE 620

P SUFFIX
PLASTIC PACKAG
CASE 648

ORDERING INFORMATION

MC14XXXB — Suffix Denotes
- L Ceramic Package
- P Plastic Package
- A Extended Operating Temperature Range
- C Limited Operating Temperature Range

MAXIMUM RATINGS (Voltages referenced to V_{SS})

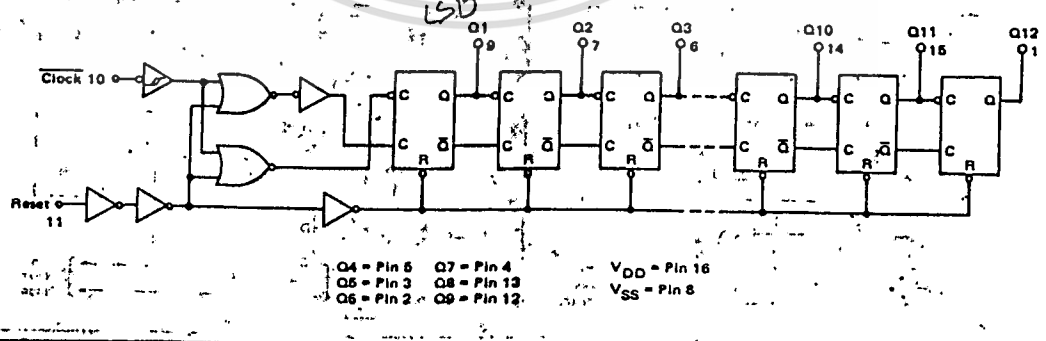
Rating	Symbol	Value	Unit
DC Supply Voltage	V_{DD}	-0.5 to +18	Vdc
Input Voltage, All Inputs	V_{in}	-0.5 to V_{DD} + 0.5	Vdc
DC Current Drain per Pin	I	10	mAdc
Operating Temperature Range — AL Device CL/CP Device	T_A	-55 to +125 -40 to +85	°C
Storage Temperature Range	T_{stg}	-65 to +150	°C

TRUTH TABLE

CLOCK	RESET	OUTPUT STATE
⌐	0	No Change
¬	0	Advance to next state
X	1	All Outputs are low

X = Don't Care

LOGIC DIAGRAM



Q4 = Pin 5 Q7 = Pin 4
Q5 = Pin 3 Q8 = Pin 13
Q6 = Pin 2 Q9 = Pin 12

V_{DD} = Pin 16
V_{SS} = Pin 8

7

LECTRICAL CHARACTERISTICS

Characteristic	Symbol	V_{DD} Vdc	T_{low}* Min	T_{low}* Max	25°C Min	25°C Typ	25°C Max	T_{high}* Min	T_{high}* Max	Unit
utput Voltage "0" Level	V_{OL}	5.0	–	0.05	–	0	0.05	–	0.05	Vdc
V_{in} = V_{DD} or 0		10	–	0.05	–	0	0.05	–	0.05	
		15	–	0.05	–	0	0.05	–	0.05	
"1" Level	V_{OH}	5.0	4.95	–	4.95	5.0	–	4.95	–	Vdc
V_{in} = 0 or V_{DD}		10	9.95	–	9.95	10	–	9.95	–	
		15	14.95	–	14.95	15	–	14.95	–	
put Voltage# "0" Level	V_{IL}									Vdc
(V_O = 4.5 or 0.5 Vdc)		5.0	–	1.5	–	2.25	1.5	–	1.5	
(V_O = 9.0 or 1.0 Vdc)		10	–	3.0	–	4.50	3.0	–	3.0	
(V_O = 13.5 or 1.5 Vdc)		15	–	4.0	–	6.75	4.0	–	4.0	
"1" Level	V_{IH}									Vdc
(V_O = 0.5 or 4.5 Vdc)		5.0	3.5	–	3.5	2.75	–	3.5	–	
(V_O = 1.0 or 9.0 Vdc)		10	7.0	–	7.0	5.50	–	7.0	–	
(V_O = 1.5 or 13.5 Vdc)		15	11.0	–	11.0	8.25	–	11.0	–	
tput Drive Current (AL Device)	I_{OH}									mAdc
(V_{OH} = 2.5 Vdc) Source		5.0	–1.2	–	–1.0	–1.7	–	–0.7	–	
(V_{OH} = 4.6 Vdc)		5.0	–0.25	–	–0.2	–0.36	–	–0.14	–	
(V_{OH} = 9.5 Vdc)		10	–0.62	–	–0.5	–0.9	–	–0.35	–	
(V_{OH} = 13.5 Vdc)		15	–1.8	–	–1.5	–3.5	–	–1.1	–	
(V_{OL} = 0.4 Vdc) Sink	I_{OL}	5.0	0.64	–	0.51	0.88	–	0.36	–	mAdc
(V_{OL} = 0.5 Vdc)		10	1.8	–	1.3	2.25	–	0.9	–	
(V_{OL} = 1.5 Vdc)		15	4.2	–	3.4	8.8	–	2.4	–	
tput Drive Current (CL/CP Device)	I_{OH}									mAdc
(V_{OH} = 2.5 Vdc) Source		5.0	–1.0	–	–0.8	–1.7	–	–0.6	–	
(V_{OH} = 4.6 Vdc)		5.0	–0.2	–	–0.16	–0.36	–	–0.12	–	
(V_{OH} = 9.5 Vdc)		10	–0.5	–	–0.4	–0.9	–	–0.3	–	
(V_{OH} = 13.5 Vdc)		15	–1.4	–	–1.2	–3.5	–	–1.0	–	
(V_{OL} = 0.4 Vdc) Sink	I_{OL}	5.0	0.52	–	0.44	0.88	–	0.36	–	mAdc
(V_{OL} = 0.5 Vdc)		10	1.3	–	1.1	2.25	–	0.9	–	
(V_{OL} = 1.5 Vdc)		15	3.6	–	3.0	8.8	–	2.4	–	
ut Current (AL Device)	I_{in}	15	–	±0.1	–	±0.00001	±0.1	–	±1.0	µAdc
ut Current (CL/CP Device)	I_{in}	15	–	±0.3	–	±0.00001	±0.3	–	±1.0	µAdc
ut Capacitance (V_{in} = 0)	C_{in}	–	–	–	–	5.0	7.5	–	–	pF
escent Current (AL Device)	I_{DD}	5.0	–	5.0	–	0.005	5.0	–	150	µAdc
(Per Package)		10	–	10	–	0.010	10	–	300	
		15	–	20	–	0.015	20	–	600	
iescent Current (CL/CP Device)	I_{DD}	5.0	–	20	–	0.005	20	–	150	µAdc
(Per Package)		10	–	40	–	0.010	40	–	300	
		15	–	80	–	0.015	80	–	600	
tal Supply Current**†	I_T	5.0	I_T = (0.42 µA/kHz) f + I_{DD}							µAdc
(Dynamic plus Quiescent,		10	I_T = (0.85 µA/kHz) f + I_{DD}							
Per Package)		15	I_T = (1.43 µA/kHz) f + I_{DD}							
(C_L = 50 pF on all outputs, all buffers switching)										

ow = –55°C for AL Device; –40°C for CL/CP Device.
igh = +125°C for AL Device, +85°C for CL/CP Device.
oise immunity specified for worst-case input combination.
oise Margin for both "1" and "0" level = 1.0 Vdc min @ V_{DD} = 5.0 Vdc
2.0 Vdc min @ V_{DD} = 10 Vdc
2.5 Vdc min @ V_{DD} = 15 Vdc
o calculate total supply current at loads other than 50 pF:
$I_T(C_L) = I_T(50\ pF) + 1 \times 10^{-3} (C_L - 50) V_{DD} f$
here: I_T is in µA (per package), C_L in pF, V_{DD} in Vdc, and f in kHz is input frequency.
The formulas given are for the typical characteristics only at 25°C.

This device contains circuitry to protect the inputs against damage due to high static voltages or electric fields; however, it is advised that normal precautions be taken to avoid application of any voltage higher than maximum rated voltages to this high impedance circuit. For proper operation it is recommended that V_{in} and V_{out} be constrained to the range $V_{SS} \leq (V_{in}$ or $V_{out}) \leq V_{DD}$.
Unused inputs must always be tied to an appropriate logic voltage level (e.g., either V_{SS} or V_{DD}).

SWITCHING CHARACTERISTICS* (C_L = 50 pF, T_A = 25°C)

Characteristic	Symbol	V_{DD} Vdc	Min	Typ	Max	Unit
Output Rise Time	t_{TLH}					ns
t_{TLH} = (3.0 ns/pF) C_L + 30 ns		5.0	–	180	360	
t_{TLH} = (1.5 ns/pF) C_L + 15 ns		10	–	90	180	
t_{TLH} = (1.1 ns/pF) C_L + 10 ns		15	–	65	130	
Output Fall Time	t_{THL}					ns
t_{THL} = (1.5 ns/pF) C_L + 25 ns		5.0	–	100	200	
t_{THL} = (0.75 ns/pF) C_L + 12.5 ns		10	–	50	100	
t_{THL} = (0.55 ns/pF) C_L + 9.5 ns		15	–	40	80	
Propagation Delay Time	t_{PLH}, t_{PHL}					ns
t_{PHL}, t_{PLH} = (1.7 ns/pF) C_L + 315 ns		5.0	–	400	800	
t_{PHL}, t_{PLH} = (0.66 ns/pF) C_L + 137 ns		10	–	170	340	
t_{PHL}, t_{PLH} = (0.5 ns/pF) C_L + 95 ns		15	–	120	240	
Clock to Q12						ns
t_{PHL}, t_{PLH} = (1.7 ns/pF) C_L + 2415 ns		5.0	–	2.5	5.0	
t_{PHL}, t_{PLH} = (0.66 ns/pF) C_L + 867 ns		10	–	0.9	1.8	
t_{PHL}, t_{PLH} = (0.5 ns/pF) C_L + 475 nd		15	–	0.5	1.4	
Propagation Delay Time	t_{PHL}					ns
Reset to Q_n						
t_{PHL} = (1.7 ns/pF) C_L + 485 ns		5.0	–	570	1620	
t_{PHL} = (0.66 ns/pF) C_L + 182 ns		10	–	215	600	
t_{PHL} = (0.5 ns/pF) C_L + 145 ns		15	–	170	450	
Clock Pulse Width	t_{WH}	5.0	385	140	–	ns
		10	150	55	–	
		15	115	38	–	
Clock Pulse Frequency	f_{cl}	5.0	–	3.5	1.5	MHz
		10	–	9.0	3.5	
		15	–	13	4.5	
Clock Rise and Fall Time	t_{TLH}, t_{THL}	5.0				ns
		10		No Limit		
		15				
Reset Pulse Width	t_{WH}	5.0	960	320	–	ns
		10	360	120	–	
		15	270	80	–	

*The formula given is for the typical characteristics only.

FIGURE 1 – POWER DISSIPATION TEST CIRCUIT AND WAVEFORM

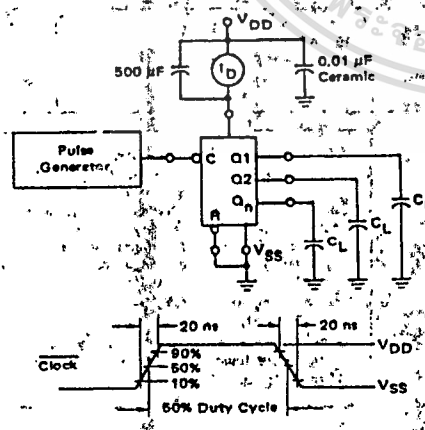


FIGURE 2 – SWITCHING TIME TEST CIRCUIT AND WAVEFORMS

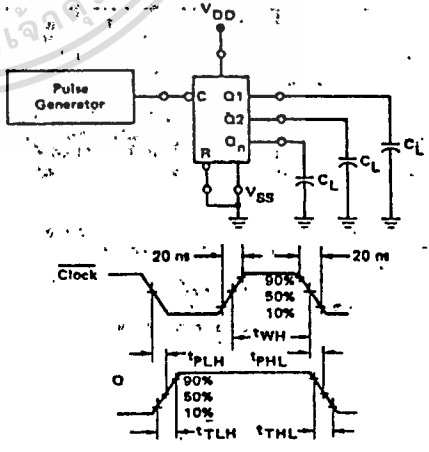
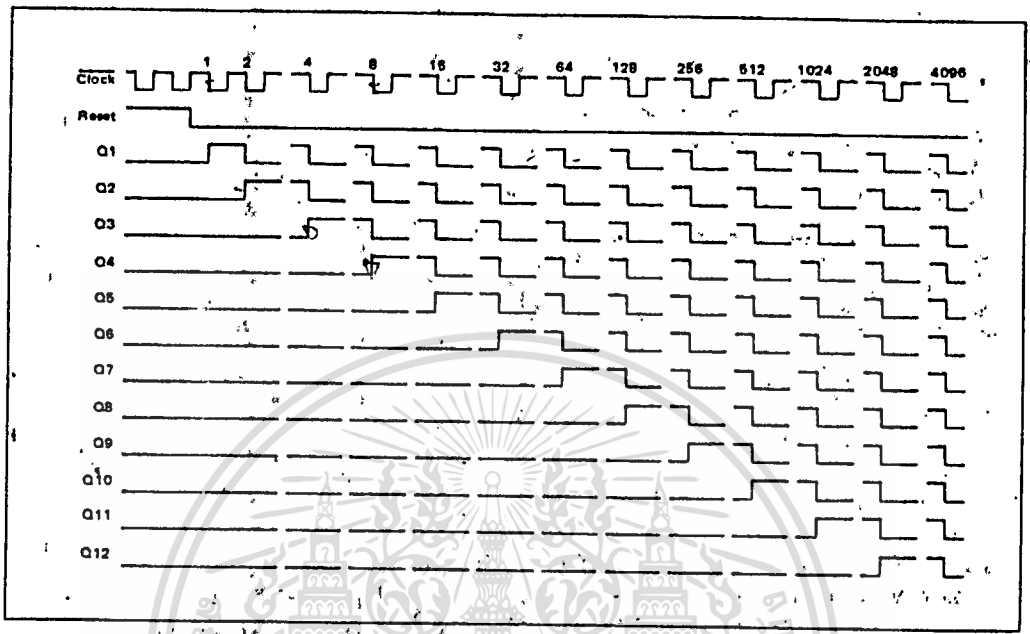


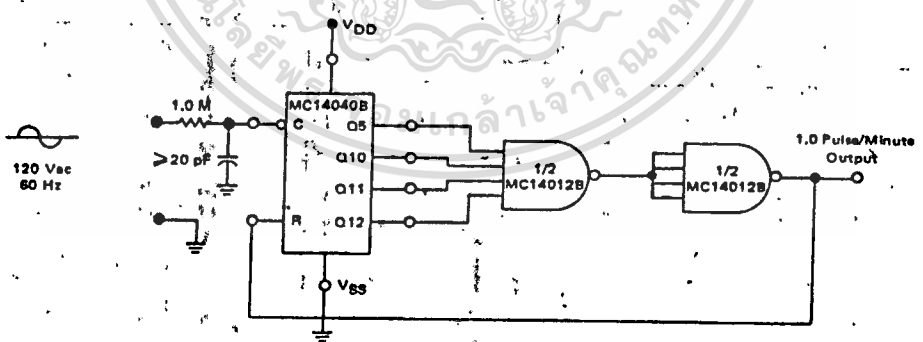
FIGURE 3 – TIMING DIAGRAM



APPLICATIONS INFORMATION

TIME-BASE GENERATOR

A 60 Hz sinewave obtained through a 1.0 Megohm resistor connected directly to a standard 120 Vac power line is applied to the clock input of the MC14040B. By selecting outputs Q5, Q10, Q11, and Q12 division by 3600 is accomplished. The MC14012B decodes the counter outputs, produces a single output pulse, and resets the binary counter. The resulting output frequency is 1.0 pulse/minute.



Circuit diagrams utilizing Motorola products are included as a means of illustrating typical semiconductor applications; consequently, complete information sufficient for construction purposes is not necessarily given. The information has been carefully checked and is believed to be entirely reliable. However, no responsibility is assumed for inaccuracies. Furthermore, such information does not convey to the purchaser of the semiconductor devices described any license under the patent rights of Motorola Inc. or others.

MOTOROLA

DAC-08

Specifications and Applications Information

HIGH SPEED 8-BIT MULTIPLYING D-TO-A CONVERTER

The DAC-08 series is a monolithic 8-bit high speed multiplying digital-to-analog converter, capable of settling to within 1/2 LSB (0.19%) in 85 ns. Monotonic multiplying performance is retained over a wide 40-to-1 reference current range. Full scale and reference currents are matched to within 1 LSB, therefore eliminating the need for full scale trim in most applications.

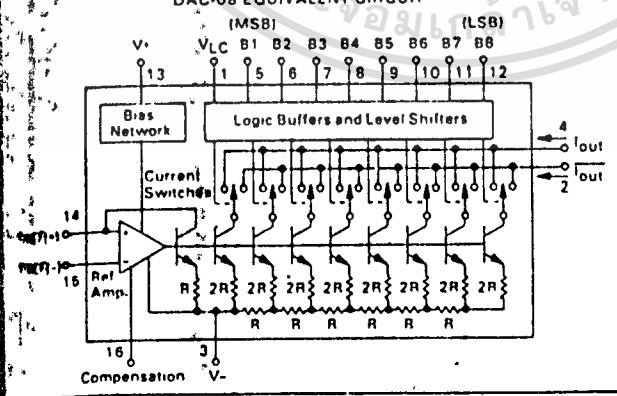
Dual complementary current outputs with high voltage compliance provide added versatility and allow differential mode of operation to effectively double the peak-to-peak output swing. In many applications, output current-to-voltage conversion can be accomplished without requiring an external op amp. Noise-immune inputs permit direct interface with TTL and DTL levels when the logic threshold control, V_{LC}, (pin 1) is grounded. All other logic family thresholds are attainable by adjusting the voltage level of pin 1. Performance characteristics are virtually unchanged over the entire ±4.5 V to ±18 V power supply range. Power consumption is typically 33 mW with ±5.0 V supplies.

The DAC-08 is available in several versions, with nonlinearity as tight as ±0.1% (±1/4 LSB) over temperature. All versions are guaranteed monotonic over 8 bits. For an extra margin of performance, Motorola utilizes thin-film resistors permitting very accurate resistive values which are extremely stable over temperature.

High performance characteristics along with low cost, make the DAC-08 an excellent selection for applications such as CRT displays, waveform generation, high-speed modems, and high-speed analog-to-digital converters.

- Fast Settling Time — 85 ns
- Full Scale Current Prematched to ±1 LSB
- Nonlinearity Over Temperature to ±0.1% Max
- Differential Current Outputs
- High Voltage Compliance Outputs −10 V to +18 V
- Wide Range Multiplying Capability
- Inputs Compatable With TTL, DTL, CMOS, PMOS, ECL, HTL
- Low Full Scale Current Drift
- Wide Power Supply Range ±4.5 V to ±18 V
- Low Power Consumption
- Thin-Film Resistors
- Low Cost

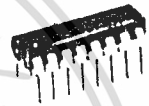
DAC-08 EQUIVALENT CIRCUIT



HIGH SPEED 8-BIT MULTIPLYING D-TO-A CONVERTER

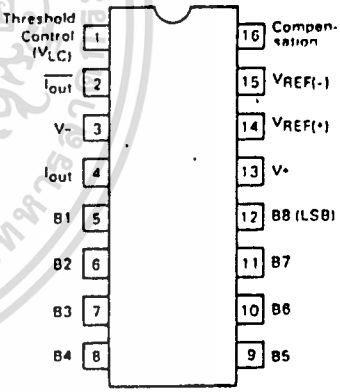
SILICON MONOLITHIC INTEGRATED CIRCUIT

Q SUFFIX
CERAMIC PACKAGE
CASE 620-02



P SUFFIX
PLASTIC PACKAGE
CASE 648-05

PINOUT DIAGRAM



ORDERING INFORMATION

Device	Nonlinearity	Temperature Range	Package
DAC-08AQ	±0.1%	-55°C to +125°C	Ceramic
DAC-08Q	±0.19%	-55°C to +125°C	Ceramic
DAC-08HQ	±0.1%	0°C to +70°C	Ceramic
DAC-08EQ	±0.19%	0°C to +70°C	Ceramic
DAC-08CQ	±0.39%	0°C to +70°C	Ceramic
DAC-08HP	±0.1%	0°C to +70°C	Plastic
DAC-08EP	±0.19%	0°C to +70°C	Plastic
DAC-08CP	±0.39%	0°C to +70°C	Plastic

MAXIMUM RATINGS (T_A = 25°C unless otherwise noted)

Rating	Symbol	Value	Unit
V+ Supply to V- Supply	—	36	V
Logic Inputs	—	V- to V- Plus 36	V
Logic Threshold Control	V_{LC}	V- to V+	V
Analog Current Outputs	I_{out}	See Figure 7	mA
Reference Input (V14, V15)	V_{REF}	V- to V+	V
Reference Input Differential Voltage (V14 to V15)	$V_{REF(D)}$	±18	V
Reference Input Current (I14)	I_{REF}	5.0	mA
Operating Temperature Range DAC-08AQ, O DAC-08HQ, EQ, CQ, HP, EP, CP	T_A	 -55 to +125 0 to +70	°C
Storage Temperature	T_A	-65 to +150	°C
Power Dissipation Derate above 100°C	P_D $R_{\theta JA}$	500 10	mW mW/°C

ELECTRICAL CHARACTERISTICS (V_S = ±15 V, I_{REF} = 2.0 mA, T_A = -55°C to +125°C, unless otherwise noted.)

Characteristic	Symbol	DAC-08A			DAC-08			Unit
		Min	Typ	Max	Min	Typ	Max	
Resolution	—	8	8	8	8	8	8	Bits
Monotonicity	—	8	8	8	8	8	8	Bits
Nonlinearity, T_A = 0°C to +70°C	NL	—	—	±0.1	—	—	±0.19	%FS
Settling Time to ±1/2 LSB, Figure 24 (All Bits Switched On or Off, T_A = 25°C)	t_s	—	85	135	—	85	150	ns
Propagation Delay, T_A = 25°C Each Bit All Bits Switched	 t_{PLH} t_{PHL}	 — —	 35 35	 60 60	 — —	 35 35	 60 60	ns
Full Scale Tempco	TCI_{FS}	—	±10	±50	—	±10	±80	ppm/°C
Output Voltage Compliance Full Scale Current Change < 1/2 LSB, R_{out} > 20 megohm typ	V_{OC}	-10	—	+18	-10	—	+18	V
Full Range Current (V_{REF} = 10.000 V; R14, R15 = 5.000 kΩ, T_A = 25°C)	I_{FR4}	1.984	1.992	2.000	1.94	1.99	2.04	mA
Full Range Symmetry (I_{FR4} - I_{FR2})	I_{FRS}	—	±0.5	±4.0	—	±1.0	±8.0	µA
Zero Scale Current	I_{ZS}	—	0.1	1.0	—	0.2	2.0	µA
Output Current Range V- = -5.0 V V- = -8.0 V to -18 V	 I_{OR1} I_{OR2}	 0 0	 — —	 2.1 4.2	 0 0	 — —	 2.1 4.2	mA
Logic Input Levels (V_{LC} = 0 V) Logic "0" Logic "1"	 V_{IL} V_{IH}	 — 2.0	 — —	 0.8 —	 — 2.0	 — —	 0.8 —	V
Logic Input Current (V_{LC} = 0 V) Logic Input "0" (V_{in} = -10 V to +0.8 V) Logic Input "1" (V_{in} = +2.0 V to +18 V)	 I_{IL} I_{IH}	 — —	 -2.0 0.002	 -10 10	 — —	 -2.0 0.002	 -10 10	µA
Logic Input Swing, V- = -15 V	V_{IS}	-10	—	+18	-10	—	+18	V
Logic Threshold Range, V_S = ±15 V	V_{THR}	-10	—	+13.5	-10	—	+13.5	V
Reference Bias Current	I_{15}	—	-1.0	-3.0	—	-1.0	-3.0	µA
Reference Input Slew Rate Figure 19	dI/dt	4.0	8.0	—	4.0	8.0	—	mA/µs
Power Supply Sensitivity (I_{REF} = 1.0 mA) V+ = 4.5 V to 18 V, V- = -4.5 V to -18 V	 $PSSI_{FS+}$ $PSSI_{FS-}$	 — —	 ±0.0003 ±0.002	 ±0.01 ±0.01	 — —	 ±0.0003 ±0.002	 ±0.01 ±0.01	%/%
Power Supply Current V_S = ±5.0 V, I_{REF} = 1.0 mA V_S = +5.0 V, -15 V, I_{REF} = 2.0 mA V_S = ±15 V, I_{REF} = 2.0 mA	 I+ I- I+ I- I+ I-	 — — — — — —	 2.3 -4.3 2.4 -6.4 2.5 -6.5	 3.8 -5.8 3.8 -7.8 3.8 -7.8	 — — — — — —	 2.3 -4.3 2.4 -6.4 2.5 -6.5	 3.8 -5.8 3.8 -7.8 3.8 -7.8	mA
Power Dissipation V_S = ±5.0 V, I_{REF} = 1.0 mA V_S = +5.0 V, -15 V, I_{REF} = 2.0 mA V_S = ±15 V, I_{REF} = 2.0 mA	P_D	 — — —	 33 103 135	 48 136 174	 — — —	 33 108 135	 48 136 174	mW

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ELECTRICAL CHARACTERISTICS (V_S = ±15 V, I_{REF} = 2.0 mA, T_A = 0°C to 70°C, unless otherwise noted.)

Characteristic	Symbol	DAC-08H			DAC-08E			DAC-08C			Unit
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
Resolution	—	8	8	8	8	8	8	8	8	8	Bits
Monotonicity	—	8	8	8	8	8	8	8	8	8	Bits
Nonlinearity, T_A = 0°C to +70°C	NL	—	—	±0.1	—	—	±0.19	—	—	±0.39	%FS
Settling Time to ±1/2 LSB (All Bits Switched On or Off, (T_A = 25°C) Figure 24	t_s	—	85	135	—	85	150	—	85	150	ns
Propagation Delay, T_A = 25°C Each Bit All Bits Switched	 t_{PLH} t_{PHL}	 — —	 35 35	 60 60	 — —	 35 35	 60 60	 — —	 35 35	 60 60	ns
Full Scale Tempco	TCI_{FS}	—	±10	±50	—	±10	±50	—	±10	±80	ppm/°C
Output Voltage Compliance Full Scale Current Change < 1/2 LSB, R_{out} > 20 megohm typ.	V_{OC}	−10	—	+18	−10	—	+18	−10	—	+18	V
Full Range Current (V_{REF} = 10.000 V; R14, R15 = 5.000 kΩ) T_A = 25°C	I_{FR4}	1.984	1.992	2.000	1.94	1.99	2.04	1.94	1.99	2.04	mA
Full Range Symmetry ($I_{FR4} - I_{FR2}$)	I_{FRS}	—	±0.5	±4.0	—	±1.0	±8.0	—	±2.0	±16.0	μA
Zero Scale Current	I_{ZS}	—	0.1	1.0	—	0.2	2.0	—	0.2	4.0	μA
Output Current Range V− = −5.0 V V− = −8.0 V to −18 V	 I_{OR1} I_{OR2}	 0 0	 — —	 2.1 4.2	 0 0	 — —	 2.1 4.2	 0 0	 — —	 2.1 4.2	mA
Logic Input Levels (V_{LC} = 0 V) Logic "0" Logic "1"	 V_{IL} V_{IH}	 — 2.0	 — —	 0.8 —	 — 2.0	 — —	 0.8 —	 — 2.0	 — —	 0.8 —	V
Logic Input Current (V_{LC} = 0 V) Logic Input "0" (V_{in} = −10 V to +0.8 V) Logic Input "1" (V_{in} = +2.0 V to +18 V)	 I_{IL} I_{IH}	 — —	 −2.0 0.002	 −10 10	 — —	 −2.0 0.002	 −10 10	 — —	 −2.0 0.002	 −10 10	μA
Logic Input Swing, V_{EE} = −15 V	V_{IS}	−10	—	+18	−10	—	+18	−10	—	+18	V
Logic Threshold Range, V_S = ±15 V	V_{THR}	−10	—	+13.5	−10	—	+13.5	−10	—	+13.5	V
Reference Bias Current	I_{15}	—	−1.0	−3.0	—	−1.0	−3.0	—	−1.0	−3.0	μA
Reference Input Slew Rate Figure 19	dI/dt	4.0	8.0	—	4.0	8.0	—	4.0	8.0	—	mA/μs
Power Supply Sensitivity (I_{REF} = 1.0 mA) V+ = 4.5 V to 18 V V− = −4.5 V to −18 V	 $PSSI_{FS+}$ $PSSI_{FS-}$	 — —	 ±0.0003 ±0.002	 ±0.01 ±0.01	 — —	 ±0.0003 ±0.002	 ±0.01 ±0.01	 — —	 ±0.0003 ±0.002	 ±0.01 ±0.01	%/%
Power Supply Current V_S = ±5.0 V, I_{REF} = 1.0 mA V_S = +5.0 V, −15 V, I_{REF} = 2.0 mA V_S = ±15 V, I_{REF} = 2.0 mA	 I+ I− I+ I− I+ I−	 — — — — — —	 2.3 −4.3 2.4 −6.4 2.5 −6.5	 3.8 −5.8 3.8 −7.8 3.8 −7.8	 — — — — — —	 2.3 −4.3 2.4 −6.4 2.5 −6.5	 3.8 −25.8 3.8 −7.8 3.8 −7.8	 — — — — — —	 2.3 −4.3 2.4 −6.4 2.5 −6.5	 3.8 −5.8 3.8 −7.8 3.8 −7.8	mA
Power Dissipation V_S = ±5.0 V, I_{REF} = 1.0 mA V_S = +5.0 V, −15 V, I_{REF} = 2.0 mA V_S = ±15 V, I_{REF} = 2.0 mA	P_D	 — — —	 33 108 135	 48 136 174	 — — —	 33 108 135	 48 136 174	 — — —	 33 108 135	 48 136 174	mW

TYPICAL PERFORMANCE CURVES

FIGURE 1 — FULL SCALE CURRENT versus REFERENCE CURRENT

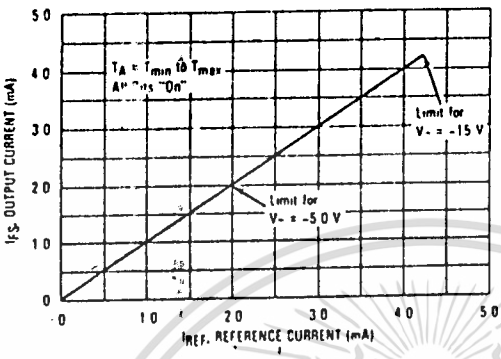
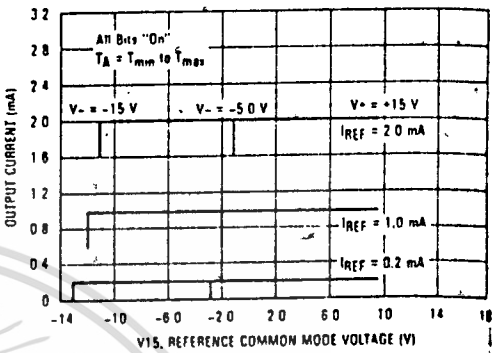
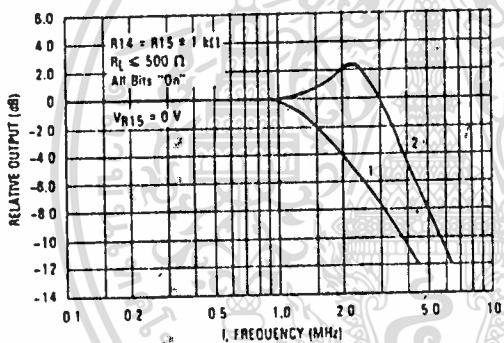


FIGURE 2 — REFERENCE AMP COMMON MODE RANGE



NOTE. Positive Common Mode Range is Always (V+) -1.5 V

FIGURE 3 — REFERENCE INPUT FREQUENCY RESPONSE



Curve 1 — C_c = 15 pF, V_{in} = 2.0 V p-p Centered at +1.0 V (Large-Signal)
Curve 2 — C_c = 15 pF; V_{in} = 50 mV p-p Centered at +200 mV (Small-Signal)

FIGURE 4 — LSB PROPAGATION DELAY versus I_{FS}

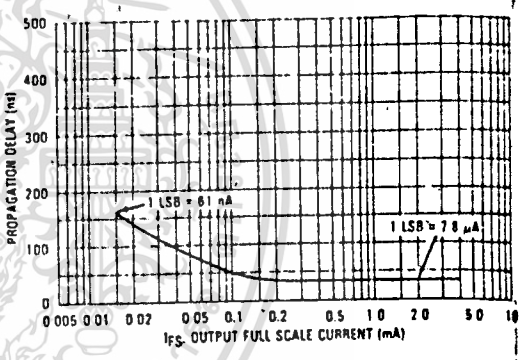


FIGURE 5 — LOGIC INPUT CURRENT versus INPUT VOLTAGE

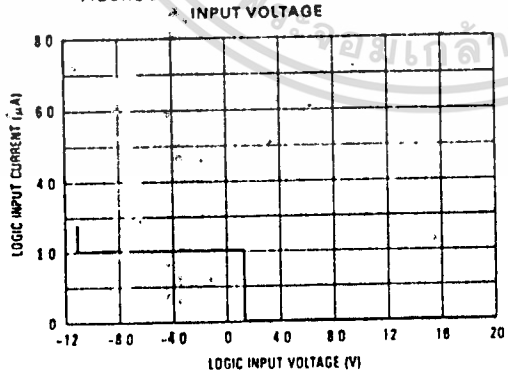
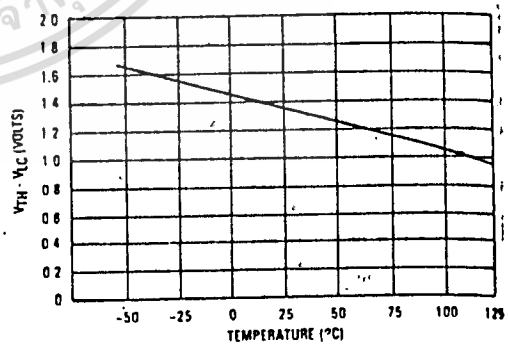


FIGURE 6 — V_{TH} - V_{LC} versus TEMPERATURE



TYPICAL PERFORMANCE CURVES

FIGURE 7 — OUTPUT CURRENT versus OUTPUT VOLTAGE (Output Voltage Compliance)

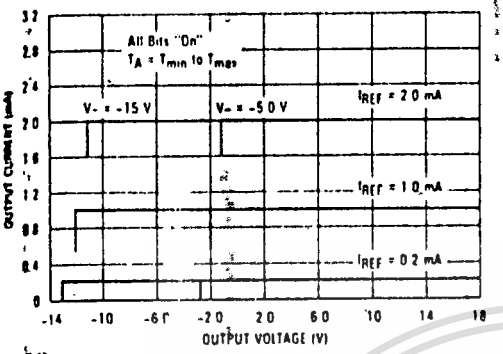


FIGURE 8 — OUTPUT VOLTAGE COMPLIANCE versus TEMPERATURE

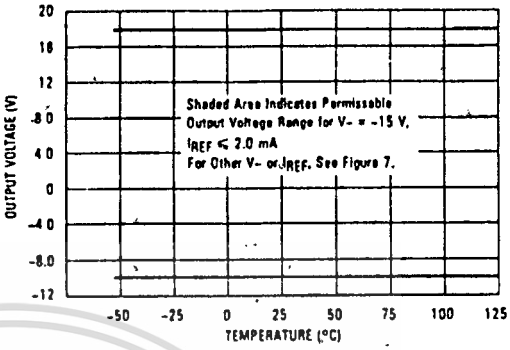
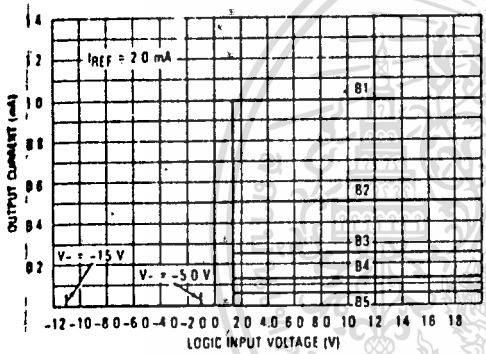


FIGURE 9 — BIT TRANSFER CHARACTERISTICS



NOTE B1-B8 have identical transfer characteristics. Bits are fully switched with less than 1/2 LSB error, at less than ± 100 mV from actual threshold. These switching points are guaranteed to lie between 0.8 V and 2.0 V over operating temperature range (V_{LC} = 0 V).

FIGURE 10 — POWER SUPPLY CURRENT versus V+

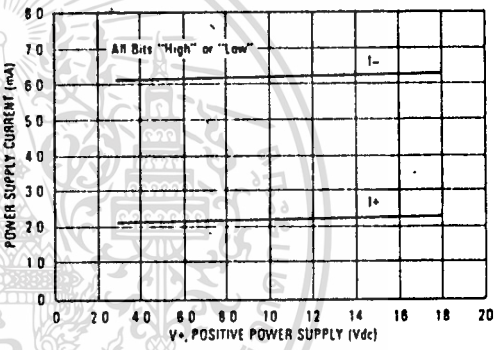


FIGURE 11 — POWER SUPPLY CURRENT versus V-

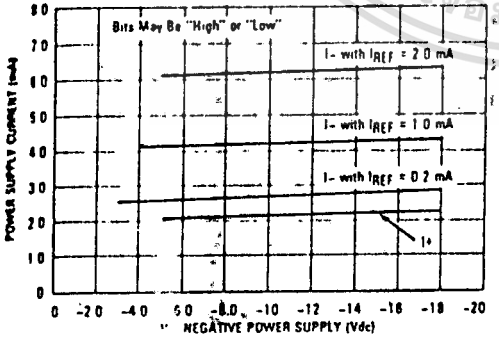
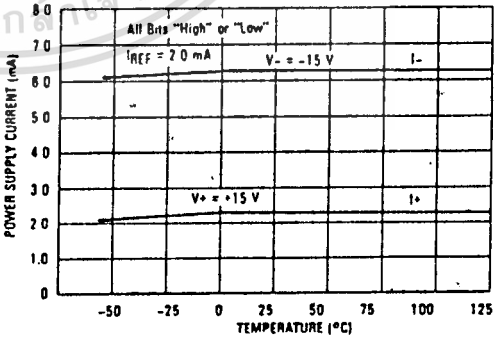


FIGURE 12 — POWER SUPPLY CURRENT versus TEMPERATURE



BASIC CIRCUIT CONFIGURATIONS

FIGURE 13 — RECOMMENDED FULL SCALE ADJUSTMENT CIRCUIT

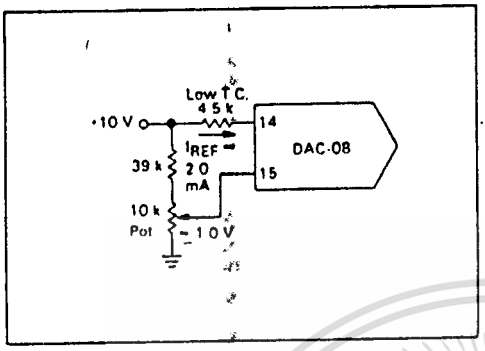
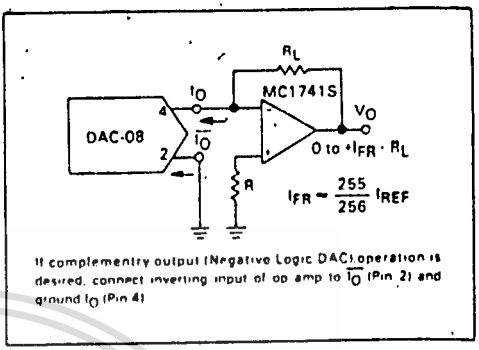
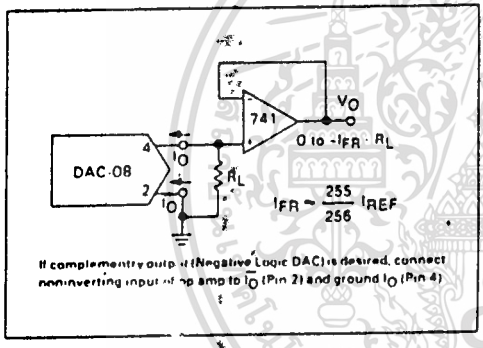


FIGURE 14 — POSITIVE LOW IMPEDANCE OUTPUT OPERATION



If complementry output (Negative Logic DAC) operation is desired, connect inverting input of op amp to $\overline{I_O}$ (Pin 2) and ground I_O (Pin 4)

FIGURE 15 — NEGATIVE LOW IMPEDANCE OUTPUT OPERATION



If complementry output (Negative Logic DAC) is desired, connect noninverting input of op amp to $\overline{I_O}$ (Pin 2) and ground I_O (Pin 4)

FIGURE 16 — BASIC POSITIVE REFERENCE OPERATION

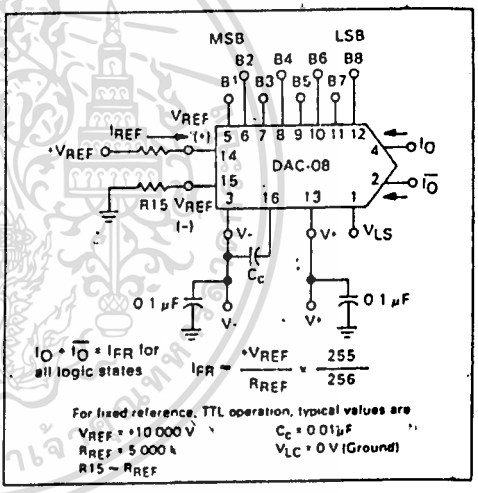
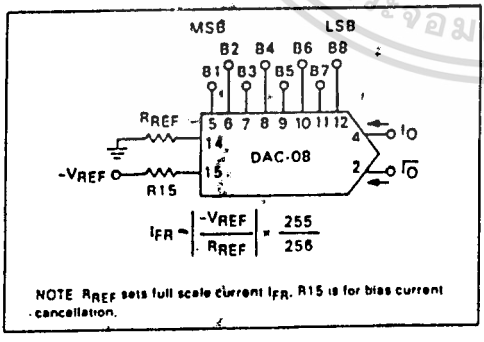


FIGURE 17 — BASIC NEGATIVE REFERENCE OPERATION



NOTE R_{REF} sets full scale current I_{FR}. R15 is for bias current cancellation.

FIGURE 23 — INTERFACING WITH VARIOUS LOGIC FAMILIES

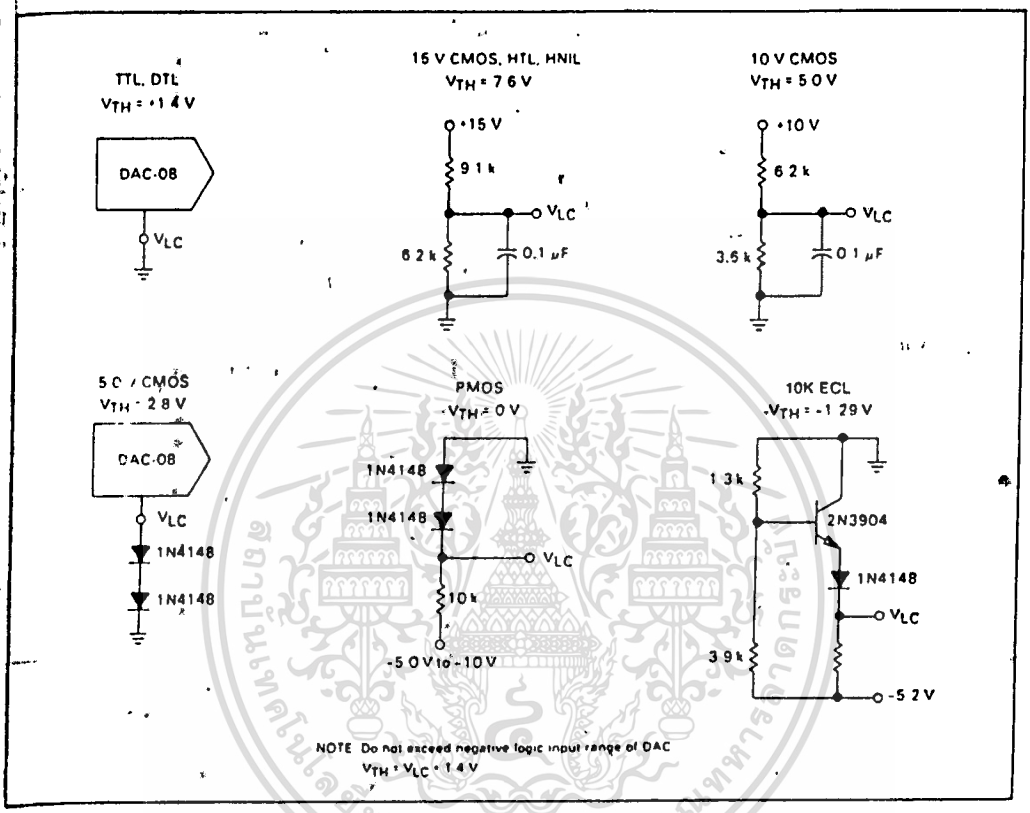
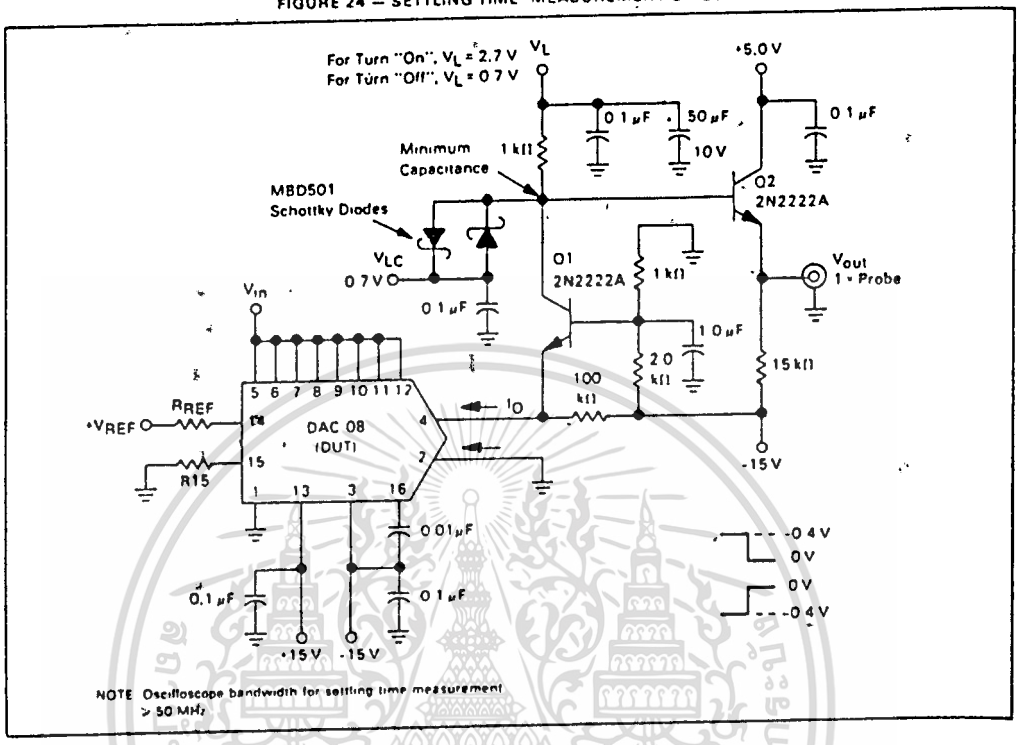


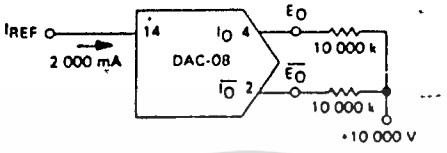
FIGURE 24 — SETTLING TIME MEASUREMENT CIRCUIT



NOTE: Oscilloscope bandwidth for settling time measurement ≥ 50 MHz

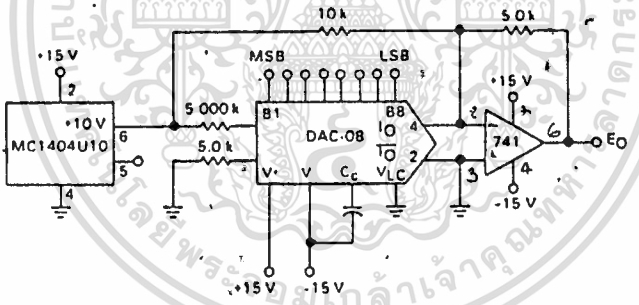
BASIC CIRCUIT CONFIGURATIONS

FIGURE 21 -- BASIC BIPOLAR OUTPUT OPERATION



	B1	B2	B3	B4	B5	B6	B7	B8	E_O	E_O
Pos Full Range	1	1	1	1	1	1	1	1	-9 920	+10 000
Pos Full Range -LSB	1	1	1	1	1	1	1	0	-9 840	+9 920
Zero Scale +LSB	1	0	0	0	0	0	0	1	-0 080	+0 160
Zero Scale	1	0	0	0	0	0	0	0	0 000	+0 080
Zero Scale -LSB	0	1	1	1	1	1	1	1	+0 080	0 000
Neg Full Scale +LSB	0	0	0	0	0	0	0	1	+9 920	9 840
Neg Full Scale	0	0	0	0	0	0	0	0	+10 000	9 920

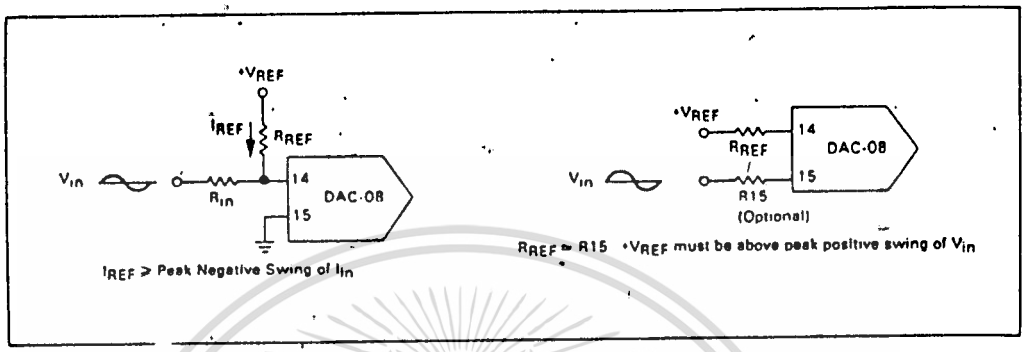
FIGURE 22 -- OFFSET BINARY OPERATION



	B1	B2	B3	B4	B5	B6	B7	B8	E_O
Pos Full Range	1	1	1	1	1	1	1	1	4 960
Zero Scale	1	0	0	0	0	0	0	0	0 000
Neg Full Scale +1 LSB	0	0	0	0	0	0	0	1	-4 960
Neg Full Scale	0	0	0	0	0	0	0	0	-5 000

BASIC CIRCUIT CONFIGURATIONS

FIGURE 18 — ACCOMMODATING BIPOLAR REFERENCES



6

FIGURE 19 — PULSED REFERENCE OPERATION

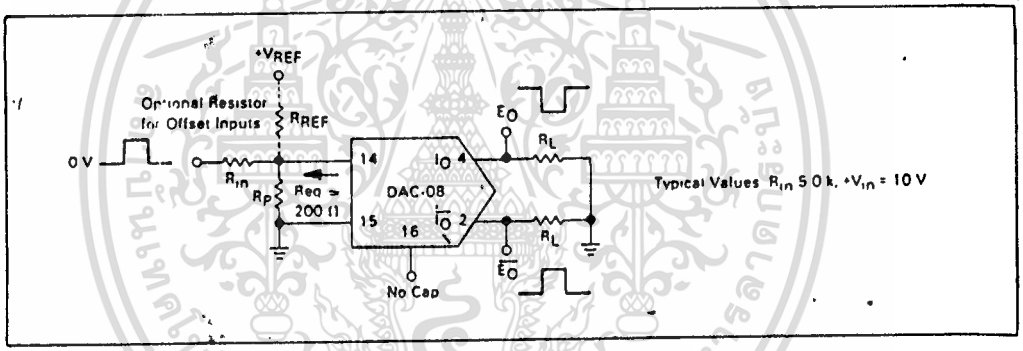
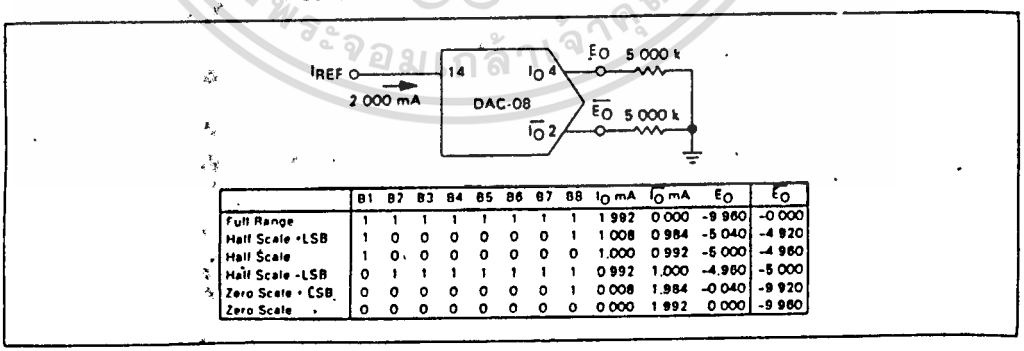


FIGURE 20 — BASIC UNIPOLAR NEGATIVE OPERATION



	B1	B2	B3	B4	B5	B6	B7	B8	IO mA	IO mA	EO	EO
Full Range	1	1	1	1	1	1	1	1	1.992	0.000	-9.960	-0.000
Half Scale +LSB	1	0	0	0	0	0	0	1	1.008	0.984	-5.040	-4.920
Half Scale	1	0	0	0	0	0	0	0	1.000	0.992	-5.000	-4.960
Half Scale -LSB	0	1	1	1	1	1	1	1	0.992	1.000	-4.960	-5.000
Zero Scale + LSB	0	0	0	0	0	0	0	1	0.008	1.984	-0.040	-9.920
Zero Scale	0	0	0	0	0	0	0	0	0.000	1.992	0.000	-9.960