ปีการศึกษา 2530

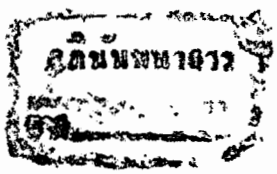
เครื่องตอบรับโทรศัพท์อัตโนมัติ

โดย

มานะวิทย์ เพชรรักษ์
สมบัติ ฐานประเสริฐ

อาจารย์ที่ปรึกษา

อาจารย์ อุทัย ศรีธีระวิโรจน์



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ปีการศึกษา 2530

เรื่อง เครื่องตอบรับโทรศัพท์อัตโนมัติ

ผู้จัดทำ

1. มานะวิทย์ เพชรรักษ์
2. สมบัติ ฐานประเสริฐ

---------- อาจารย์ที่ปรึกษา

(----------)

---------- อาจารย์ที่ปรึกษา

(----------)

---------- อาจารย์ที่ปรึกษา

(----------)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

สารบัญ

		หน้า
บทคัดย่อ		I
ABSTRACT		II
บทที่ 1	บทนำ	1
1.1	จุดประสงค์ในการทำปริญญานิพนธ์	2
1.2	หลักการใหม่ในปริญญานิพนธ์	2
บทที่ 2	หลักการทำงานของ เครื่องต่อบรับโทรศัพท์ที่พัฒนาขึ้น	3
บทที่ 3	ส่วนประกอบของ เครื่องตอบรับโทรศัพท์อัต โนมัติ	6
3.1	ส่วนตรวจจับสัญญาณเรียก	6
3.2	การ เชื่อมโยงทางแสง	6
3.3	หลักการของตัว เชื่อมโยงทางแสง	7
3.4	วงจร เปลี่ยนระดับแรงดัน	10
3.5	ส่วนจัดลักษณะสัญญาณเรียกใหม่	12
3.6	ส่วนควบคุมการจ่าย ไฟ	15
3.7	ส่วนติดต่อกับคู่สายภายนอก	18
3.8	ส่วนถอดรหัสความถี่	20
3.9	หลักการทำงานของ เพสล็อคลูป	21
3.10	ผลของ โลว์พาสฟิล เตอร์ต่อระบบ เพสล็อคลูป	24
3.11	การ เลือกค่าอุปกรณ์ภายนอกของ เพสล็อคลูป	25
3.12	ส่วนจดจำและกำ เนิด เสียงพูด	28
3.13	โครงสร้างภายในของส่วนกำ เนิด เสียงพูด	35
บทที่ 4	ส่วนควบคุมกลาง	45
4.1	ฮาร์ดแวร์	45
4.2	ซอฟท์แวร์	52
4.3	แผนผังแสดงการทำงาน	53
4.4	โปรแกรมควบคุมระบบ	58

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

	หน้า
บทที่ 5 บทสรุป	80
ภาคผนวก	82
วิธีการใช้งานเครื่องตอบรับโทรศัพท์อัตโนมัติ	83
กิตติกรรมประกาศ	86
เอกสารอ้างอิง	87

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เครื่องตอบรับโทรศัพท์ที่อัตโนมัติ

มานะวิทย์ เพชรรักษ์
สมบัติ ฐานประเสริฐ
อ.อุทัย ศรีธีระวิโรจน์ อาจารย์ที่ปรึกษา
ปีการศึกษา 2530

บทคัดย่อ

ปริญญานิพนธ์นี้เสนอการพัฒนาเครื่องตอบรับโทรศัพท์อัตโนมัติ ที่มีคุณสมบัติพิเศษกว่าเครื่องตอบรับโทรศัพท์ทั่วๆไปคือ ส่วนตอบรับและส่วนบันทึกข้อความใช้บันทึกลงในหน่วยความจำทำให้ระบบนี้ ขณะทำงานจะไม่มีส่วนใดเคลื่อนไหวเลยและการออกแบบเครื่องนี้ทั้งระบบ ได้ออกแบบให้ประหยัดพลังงานให้มากที่สุด ในขณะ Standby จะไม่มีการจ่ายไฟให้วงจรส่วนใดเลย นอกจากหน่วยความจำเท่านั้น อีกทั้งในการพัฒนา ได้นำเอาไมโครคอมพิวเตอร์มาใช้ควบคุมระบบการทำงานทั้งหมด จึงทำให้เครื่องตอบรับโทรศัพท์ที่พัฒนาขึ้นมีประสิทธิภาพสูง ไม่มีการสึกหรอจากส่วนเคลื่อนไหวและสะดวกต่อการประยุกต์ใช้งานในกรณีต่างๆ ได้อย่างกว้างขวาง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Automatic Telephone Answer

Manavit petchrak

Sombat tanpasurt

Uthai sritheeravirojana Advisor

ABSTRACT

This thesis presents the developement of Automatic telephone answer. It has a spxcial capability then ordinary Automatic telephone answer because it used a voice reconize Integrated circuit work with high density satatic RAM memory torecord the human atatment. This provide it doesn't need machanical part in working.

The system was controlled by microcomputer to control all of the operation. The circuits wsa carefully designed to give very low power consumption,when it used in standby mode only very less current is supply to the memory part. This give good reliability,economical and flexbility to improment this system in the future.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

การสื่อสารด้วยโทรศัพท์เป็นการสื่อสารที่มีความสำคัญที่สุด เพราะสะดวกรวดเร็วและง่ายต่อการใช้งานตลอดจนเสียค่าใช้จ่ายน้อยกว่า ถ้าคิดเปรียบเทียบกับการสื่อสารระบบอื่นๆ เช่น โทรพิมพ์ หรือ โทรเลข เป็นต้น ทุกวันนี้การสื่อสารด้วยโทรศัพท์ที่มีความก้าวหน้าไปมาก จนถึงกับมีระบบโทรศัพท์ชนิดที่สามารถถือติดตัวไปได้ทุกหนทุกแห่งแล้วก็ตาม แต่สำหรับบุคคลที่ไม่มีธุรกิจที่ต้องติดต่อกันตลอดเวลาแล้วการขอใช้โทรศัพท์ชนิดดังกล่าวก็ยังเป็นการลงทุนที่สูงอยู่ แต่ในบางครั้งที่เราไม่อยู่บ้านเราอาจ อยากรู้ว่ามีใครโทรศัพท์มาหาเราบ้างหรือเปล่า วิธีการหนึ่งที่นิยมใช้กันคือติดตั้งเครื่องตอบรับโทรศัพท์อัตโนมัติเพิ่มเติมขึ้น

จากการศึกษาระบบของเครื่องรับโทรศัพท์อัตโนมัติที่มีขายทั่วๆไป ส่วนใหญ่จะมีเทปบันทึกเสียงอยู่ 2 เครื่อง โดยเครื่องหนึ่งเอาไว้ตอบรับ ส่วนอีกเครื่องเอาไว้สำหรับบันทึกข้อความของผู้ที่ติดต่อเข้ามา เราจะฟังข้อความของผู้ติดต่อเข้ามาได้ด้วยการกลับฟังที่บ้าน ถึงแม้ว่าขณะนี้หลายบริษัทได้ผลิตเครื่องที่สามารถโทรเข้ามาขอฟังข้อความได้แล้วก็ตาม แต่เครื่องเหล่านั้นก็มีข้อเสียคือต้องใช้รีโมทคอนโทรล(Remote Control) ที่ติดคู่มากับเครื่องเท่านั้นจึงสามารถสั่งงานได้ทำให้การใช้งานไม่สะดวกเท่าที่ควร และสมมุติว่าไม่มีใครโทรเข้ามาสั่งข้อความไว้แต่เราโทรเข้ามาขอฟังข้อความ เครื่องตอบรับโทรศัพท์ทั่วๆไปก็จะตอบรับดังเช่นปรกติทำให้เจ้าของเครื่องเสียเงินค่าโทรศัพท์โดยเปล่าประโยชน์

ดังนั้นปริญญานิพนธ์นี้จึงได้เสนอเครื่องตอบรับโทรศัพท์อัตโนมัติ ที่สามารถแก้ไขปัญหาต่างๆดังได้กล่าวมาแล้วได้ และที่สำคัญก็คือสามารถสร้างขึ้นมาใช้เองได้ เครื่องก็มีขนาดเล็ก เพราะการต้อบรับและการบันทึกเสียงใช้บันทึกลงในหน่วยความจำทั้งหมด ทำให้ขณะที่เครื่องทำงานไม่มีส่วนใดเคลื่อนไหวเลย ทำให้ลดการสึกหรอลงได้มากและการออกแบบเครื่องก็ง่ายขึ้นด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.1 จุดประสงค์ในการทำปริญญานิพนธ์

จุดประสงค์ในการทำปริญญานิพนธ์นี้สรุปเป็นข้อใหญ่ๆได้ดังนี้คือ

1.1.1 เพื่อสร้างเครื่องตอบรับโทรศัพท์อัตโนมัติขึ้นมาใช้เอง

1.1.2 ต้องการพัฒนาเครื่องตอบรับโทรศัพท์โดยใช้เทคโนโลยีที่ทันสมัยขึ้น

1.1.3 เครื่องที่สร้างขึ้นเมื่อนำไปต่อพ่วงกับคู่สายโทรศัพท์ ต้องให้โทรศัพท์เครื่องนั้นสามารถใช้งานได้ตามปรกติ

1.2 หลักการใหม่ในปริญญานิพนธ์

หลักการใหม่ที่ใช้ในปริญญานิพนธ์นี้แบ่งออกเป็น 3 หัวข้อดังนี้คือ

1.2.1 การตอบรับและการบันทึกข้อความ ใช้ระบบเปลี่ยนสัญญาน อนาลอก (Analog) ให้เป็นรหัสไบนารี่ (Binary) แล้วเก็บรหัสเหล่านี้ไว้ในหน่วยความจำ

1.2.2 การติดต่อกับเครื่องนี้ใช้ปุ่มกดจากจากปัทม์ที่ใช้โทรเข้ามาได้ทันที

1.2.3 การโทรเข้ามาถามข้อความ ถ้าไม่มีใครโทรเข้ามาฝากข้อความเครื่องจะไม่ยอมรับการขอฟัง

1.2.4 ใช้ไมโครคอมพิวเตอร์มาใช้ควบคุมระบบการทำงานทั้งหมด

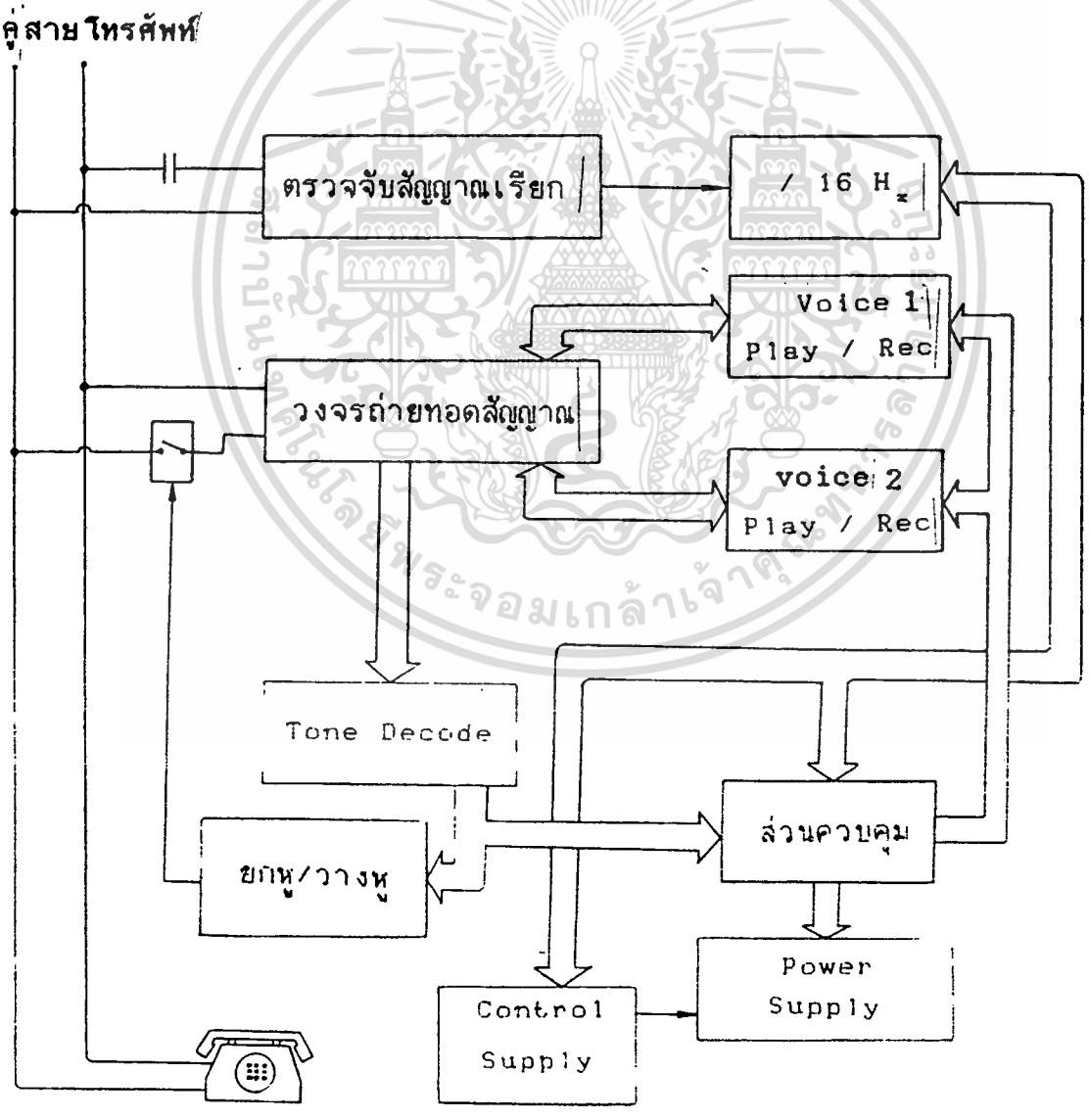
1.2.5 การออกแบบทั้งระบบ ออกแบบให้ประหยัดพลังงานมากที่สุดโดยจะจ่ายไฟเลี้ยงให้ขณะที่อุปกรณ์ทำงานจริงเท่านั้น เมื่ออุปกรณ์ต่างๆทำงานเสร็จแล้วก็จะหยุดจ่ายไฟให้ระบบนั้นๆทันที

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2

หลักการทำงานของเครื่องตอบรับโทรศัพท์

เครื่องตอบรับโทรศัพท์ที่สร้างขึ้นมา ประกอบด้วยภาคต่างๆหลายภาค แต่ละภาคจะทำงานสัมพันธ์กัน ซึ่งเขียนเป็นบล๊อกไดอะแกรม (Block diagram) แสดงการทำงานได้ดังนี้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากบล๊อกไดอะแกรม การทำงานเริ่มจากเมื่อมีสัญญาณกระดิ่ง ซึ่งทางชุมสายโทรศัพท์ส่งมาเป็นแรงดันกระสลับ มีค่าแรงดันประมาณ 100 โวลท์ มีความถี่ 16Hz ตัวตรวจจับสัญญาณเรียก จะถ่ายทอดสัญญาณความถี่ 16 Hz มาให้ตัวเปลี่ยนรูปคลื่น โดยทำให้รูปคลื่นมีลักษณะเป็นพัลส์ (Pulse) ลบทุกครั้งที่มีสัญญาณเรียกเข้ามา พัลส์ที่ได้จะป้อนให้แก่ส่วนควบคุมการจ่ายไฟเลี้ยง เพื่อเป็นการเริ่มต้นการจ่ายไฟเลี้ยงของทั้งระบบ เมื่อส่วนควบคุมกลางได้รับไฟเลี้ยงและได้รับพัลส์ทางอินพุทแล้วก็จะรีเซท (Reset) ตัวเอง และตรวจสอบสภาวะของอุปกรณ์ต่างๆ ที่อยู่ในความควบคุมพร้อมกันนั้น ก็นับจำนวนครั้งของสัญญาณเรียกที่เข้ามาด้วย ถ้ามีสัญญาณเรียกเข้ามามากกว่าที่ตั้งไว้ในโปรแกรม ส่วนควบคุมกลางก็จะส่งสัญญาณไปยังส่วนควบคุมการยกหู ให้ต่อวงจรถ่ายทอดสัญญาณ ซึ่งเป็นวงจรที่มีความต้านทานทางกระแสตรงต่ำ คือมีความต้านทานประมาณ 600Ω ทำให้ทางชุมสายรับทราบการยกหูและทำการต่อคู่สายของผู้ที่โทรเข้ามาให้ ตอนนี้แรงดันที่คู่สายลดลง เหลือประมาณ 7-10 โวลท์ ต่อจากนั้นส่วนควบคุมกลางจะส่งสัญญาณไปสั่งให้วงจรวอยส์รีคอคไนส์(Voice recognize) ตัวที่ 1 ส่งสัญญาณเสียงของเจ้าของเครื่อง ผ่านวงจรถ่ายทอดสัญญาณเข้าคู่สายโทรศัพท์ หลังจากจบข้อความของเจ้าของเครื่องแล้ว ส่วนควบคุมก็จะส่งสัญญาณให้วอยส์รีคอคไนส์ตัวที่เหลือบันทึกข้อความของผู้ที่โทรเข้ามา หลังจากบันทึกข้อความเสร็จแล้ว ส่วนควบคุมกลางจะส่งสัญญาณไปให้ส่วนควบคุมการจ่ายไฟหยุดทำงาน

ส่วนการทำงานเมื่อเย้าของเครื่องโทรเข้ามา มีการทำงานที่แตกต่างกันเล็กน้อยคือ ถ้าเจ้าของเครื่องโทรเข้ามาเพื่อเช็คดูว่า มีใครโทรเข้ามาฝากข้อความไว้หรือเปล่า ก็ทำได้โดยโทรเข้ามาแบบใช้รหัสซึ่งสามารถตั้งได้เช่น โทรเข้ามาให้สัญญาณเรียกดัง 2 ครั้ง แล้วโทรเข้ามาใหม่ภายในเวลา 5 วินาที ถ้าไม่มีใครฝากข้อความไว้ ส่วนควบคุมกลางจะไม่ตอบรับการใช้รหัสที่โทรเข้ามา แต่ถ้ามีคนฝากข้อความไว้ส่วนควบคุมกลาง จะทำการตอบรับในขณะที่สัญญาณเรียกดังครั้งที่สองนี้ โดยส่งสัญญาณให้ส่วนควบคุมการยกหูให้ทำงาน หลังจากนั้นส่วนควบคุมกลางจะตรวจสอบรหัสผ่านจากเจ้าของเครื่อง ถ้ารหัสผ่านถูกต้อง ส่วนควบคุมกลางจะส่งสัญญาณให้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วอยส์รีคอคไนส์ที่บันทึกข้อความของผู้ที่โทรฯเข้ามา เจ้าของเครื่องจะได้ยินข้อความของผู้ที่โทรฯเข้ามาได้ ถ้าเราจะเปลี่ยนแปลงข้อความที่ใช้ในการตอบรับก็สามารถทำได้โดยโทรฯเข้ามาแล้วกดคีย์ที่หน้าปัทม์เครื่องโทรศัพท์ (การใช้งานโดยละเอียดมีอยู่ในภาคผนวก)

เมื่อโทนดีโคด (Tone decoder) ได้รับสัญญาณความถี่เข้ามา ก็จะแยกความถี่ที่ผสมกันมาให้เป็นความถี่เดี่ยวๆ แล้วทำให้เป็นระหัสไบนารี่ (Binary) เพื่อป้อนให้ส่วนควบคุมกลาง เมื่อส่วนควบคุมกลางรับรหัสไบนารี่ที่ป้อนเข้ามาก็จะทำงานตามโปรแกรมของคำสั่งนั้นๆ

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3

ส่วนประกอบของเครื่องตอบรับโทรศัพท์อัตโนมัติ

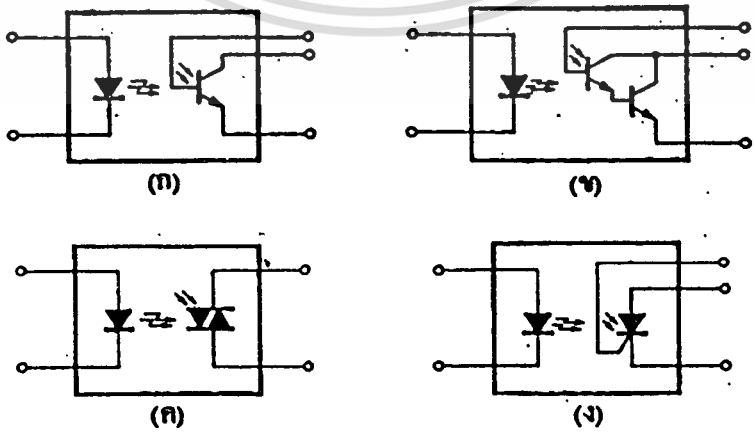
ส่วนประกอบของเครื่องตอบรับโทรศัพท์อัตโนมัติประกอบด้วยส่วนสำคัญๆ หลายส่วนดังนี้คือ

3.1 ส่วนตรวจจับสัญญาณเรียก

ส่วนนี้ทำหน้าที่ตรวจจับสัญญาณเรียกจากองค์การโทรศัพท์ซึ่งเป็นไฟกระแสสลับมีแรงดันประมาณ 100 V ปัญหาที่เกิดบ่อยๆในคู่สายโทรศัพท์คือบางครั้งมีไฟ 220 V ที่ใช้กันอยู่ตามบ้านรั่วเข้ามาในคู่สายโทรศัพท์ ซึ่งถ้าเชื่อมต่อระบบที่สร้างขึ้นมากับคู่สายโดยตรงอาจมีปัญหาในเรื่องนี้ได้ จึงใช้อุปกรณ์เชื่อมโยงทางแสง (Opto coupler)

3.2 การเชื่อมโยงทางแสง

การเชื่อมโยงทางแสง(Optocoupler)สามารถใช้ในงานที่ต้องการแยกระบบไฟฟ้าสองระบบออกจากกัน เช่นเมื่อใช้เอาท์พุทที่เป็นแรงดันต่ำของวงจรทางดิจิตอลไปควบคุมการทำงานของมอเตอร์กระแสสลับ เนื่องจากวงจรทางดิจิตอลไม่สามารถส่งเอาท์พุทออกเป็นแรงดันไฟกระแสสลับได้ นอกจากนี้กระแสไฟสลับที่เหนี่ยวนำขึ้นในวงจรทางดิจิตอลนั้น อาจทำให้เกิดข้อยุ่งยากต่างๆได้ดังนั้นมอเตอร์และวงจรทางดิจิตอลจึงต้องแยกจากกันทางไฟฟ้า ซึ่งเป็นหน้าที่หลักของวงจรตัวเชื่อมโยงทางแสง



รูปที่ 3.2 ตัวเชื่อมโยงทางแสงแบบทั่วๆไป ในรูป ก มีเอาท์พุทเป็นโฟโต้ทรานซิสเตอร์ รูป ข เอาท์พุทเป็นโฟโต้ดาร์ลิงตัน รูป ค เอาท์พุทเป็นสวิทช์สองทิศทางซึ่งทำงาน เมื่อมีแสงมากระตุ้น รูป ง มีเอาท์พุทเป็น SCR ที่ถูกกระตุ้นด้วยแสง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3 หลักการของตัวเชื่อมโยงทางแสง

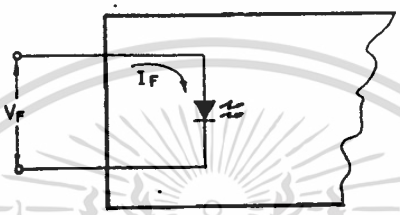
ตัวเชื่อมโยงทางแสงบางครั้งเรียกว่า ตัวแยกโดยใช้แสง (Optoisolator) เป็นอุปกรณ์ที่ประกอบด้วย แหล่งกำเนิดแสงและตัวรับแสง โดยที่อุปกรณ์ทั้งสองชิ้นนี้แยกจากกันและกัน โดยมีฉนวนที่โปร่งใสกั้นกลางและชิ้นส่วนทั้งหมดจะถูกบรรจุอยู่ในตัวถังทึบแสงแหล่งกำเนิดแสงสำหรับตัวเชื่อมโยงทางแสง ส่วนมากแล้วจะใช้ไดโอดแปลงแสงอินฟาเรด (Infraed Emitting Diode) ที่ทำมาสารแกลเลี่ยมอาร์เซไนด์ (Galliumarsenide: G_A_) ส่วนตัวตรวจรับหรืออุปกรณ์ทางเอาท์พุทนั้น อาจเป็นโฟโต้ทรานซิสเตอร์ , โฟโต้ดาร์ลิงตัน , สวิทช์สองทาง ซึ่งจะทำงานเมื่อมีแสงมากระตุ้น ดังแสดงไว้ในรูป 3.1 ซึ่งแสดงให้เห็นถึงสัญญาลักษณ์ของวงจรชนิดต่าง ๆ ที่กล่าวมาแล้ว สัญญาณจะถูกส่งผ่านระหว่างชิ้นส่วนทั้งสองชิ้นที่แยกจากกันทางไฟฟ้า แต่จะใช้แสงเป็นตัวเชื่อมโยงแทนโดยที่ชิ้นส่วนทั้งสองนี้ ไม่สามารถสลับหน้าที่กันได้ และไม่มีการเชื่อมโยงทางไฟฟ้า ระหว่างตัวนำทั้งสองนี้ สัญญาณที่ถูกส่งผ่านจึงมีได้ในทิศทางเดียวเท่านั้น

คุณสมบัติต่าง ๆ ของตัวเชื่อมโยงทางแสง

เพื่อให้การออกแบบวงจรโดยใช้ตัวเชื่อมโยงทางแสง ให้ทำงานโดยมีประสิทธิภาพ จึงต้องเข้าใจตัวแปรต่างๆ ที่สำคัญ เนื่องจากในวิทยานิพนธ์นี้นำออปโต้คับเปิ้ลมาใช้งานที่ความถี่ไม่สูงมากนักจึงจำกัดเฉพาะตัวแปรทางด้านไฟฟ้ากระแสตรง ซึ่งสามารถแบ่งออกเป็นอินพุท, เอาท์พุทและอัตราส่วนของการส่งผ่านกระแส (Current Transfer Ratio) อัตราส่วนของการส่งผ่านกระแสหรือ CTR นั้นเป็นอัตราส่วนระหว่าง กระแสอินพุทต่อกระแสเอาท์พุท ของตัวเชื่อมโยงทางแสงส่วนใหญ่จะแทนด้วยตัวอักษรกรีกคือ อีต้า (η) ซึ่งค่านี้จะขึ้นอยู่กับประสิทธิภาพของไดโอดแปลงแสงอินฟาเรด และช่องว่างระหว่างชิ้นส่วนทางอินพุทและเอาท์พุท โดยที่พื้นที่, ความไว (Sensitivity) และอัตราการขยายของตัวครวจรับ ก็มีบทบาทที่สำคัญเช่นกันตัวแปรอินพุททางด้านกระแสตรง ซึ่งเป็นตัวกำหนดตัวแปรทางด้านไฟฟ้าของไดโอด แปลงแสงอินฟาเรด ได้แก่ กระแสของไดโอด เมื่อได้รับไบแอสตรง (IF)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

แรงดันตกคร่อมไดโอดเมื่อได้รับไบแอสตรง (VF) และแรงดันสูงสุดที่ทนได้เมื่อได้รับไบแอสกลับ (VR) ดังแสดงในรูป 3.2



รูป 3.2 เป็นชิ้นส่วนอินพุทของตัวเชื่อมโยงทางแสงโดยส่วนใหญ่จะเป็นไดโอดแปล่งแสงอินฟาเรด ที่ทำมาจากสารแกลเลี่ยมอาร์เซไนด์

เนื่องจากตัวแปรเอาท์พุททางด้านไฟฟ้ากระแสตรงและตัวแปรส่งถ่าย (Transfer Paramcter) นั้นจะแตกต่างกัน โดยขึ้นอยู่กับชนิดของชิ้นส่วนที่ใช้เป็นตัวตรวจรับที่ใช้ในตัวเชื่อมโยงทางแสง ในที่นี้จะแจกแจงรายละเอียดและกำหนดความหมายของตัวตรวจรับชนิดต่างๆ

ตัวเชื่อมโยงทางแสง ที่ใช้โฟโต้ทรานซิสเตอร์ และโฟโต้ดาร์ลิงตันนั้นมีหลักการทำงานเหมือนกัน รอยต่อระหว่างคอลเลคเตอร์กับขาเบสถูกทำให้กว้างขึ้น แสงที่ตกกระทบรอยต่อ ทำให้เกิดคู่ของอิเลคตรอนและโฮลขึ้นมา เกิดการนำกระแสได้ ตัวแปรสำหรับตัวเชื่อมโยงทางแสงชนิดโฟโต้ดาร์ลิงตันและโฟโต้ทรานซิสเตอร์มีดังนี้

- I_c : เป็นกระแสสูงสุดที่ไหลต่อเนื่องผ่านขาคอนเลคเตอร์ทางด้านเอาท์พุท
- $V_{(BR)CBO}$: เป็นแรงดันพังทลายสูงสุด จากขาคอลเลคเตอร์ไปยังขาเบส
  $V_{(BR)CEO}$: เป็นแรงดันพังทลายสูงสุด จากขาคอลเลคเตอร์ไปยังขาอิมิเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- $V_{(BR)ECO}$: เป็นแรงดันพังทลายสูงสุด จากขาอิมิเตอร์ไปยังขาคอลเลคเตอร์

ตัวเชื่อมโยงทางแสงที่ใช้สวิทช์สองทาง ซึ่งทำงานเมื่อมีแสงมากระตุ้น ภาคเอาท์พุทนั้นถูกออกแบบมาสำหรับใช้งานที่ต้องการแยกการทริกหรือการกระตุ้นตัวไตรแอคกับ ส่วนควบคุม อุปกรณ์ชนิดนี้มีตัวแปรที่สำคัญดังนี้คือ

- $I_{T(RMS)}$: เป็นค่ากระแส RMS สูงสุดขณะที่ทำงาน (On state)
- V_{DRM} : เป็นค่าแรงดันซ้ำๆ ระหว่างขั้วเอาท์พุท เมื่ออยู่ในสภาวะหยุดทำงาน (Repetitive of state output terminal voltage)
- V_{TM} : เป็นแรงดันยอดสูงสุด (Peak voltage) เมื่ออยู่ในสภาวะที่ทำงาน

ตัวเชื่อมโยงทางแสงที่ใช้ SCR มีตัวแปรที่สำคัญดังนี้

- $I_{T(RMS)}$: เป็นค่ากระแส RMS สูงสุดเมื่ออยู่ในสภาวะที่ทำงาน
- V_{DRM} : เป็นค่าแรงดันซ้ำๆ ระหว่างขั้วเอาท์พุทเมื่ออยู่ในสภาวะที่หยุดทำงาน
- VRM : เป็นค่าแรงดันย้อนกลับสูงสุด

ตัวแปรของการส่งผ่าน ของการเชื่อมโยงทางแสงนั้น เป็นการวัดอัตราส่วนของการส่งกระแส ระหว่างชิ้นส่วนอินพุทกับชิ้นส่วนเอาท์พุท สำหรับตัวเชื่อมโยงทางแสงที่ใช้โฟโต้ทรานซิสเตอร์และโฟโต้ดาลิงตันนั้นมีค่าตัวแปรที่สำคัญดังนี้

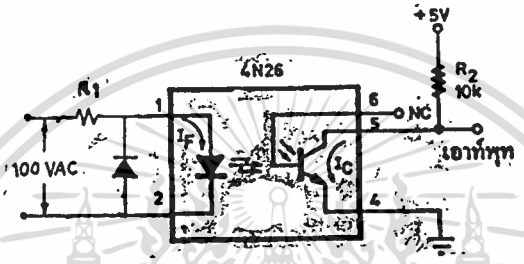
- CTR (η) : คืออัตราส่วน เป็นเปอร์เซ็นต์ต่ำสุดระหว่างกระแสเอาท์พุทของคอลเลคเตอร์สูงสุดต่อกระแสไดโอดที่มีค่า V_{CE} I_F ที่กำหนด
- $V_{CE(sat)}$: เป็นแรงดันอิ่มตัวระหว่างขาคอลเลคเตอร์และขาอิมิเตอร์
- I_{FT} : เป็นค่ากระแสกระตุ้นไดโอดแปลงแสงอินฟาเรดสูงสุด ซึ่งต้องการใช้เพื่อคงสถานะให้เอาท์พุทค้าง (Latch) ไว้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

084712

3.4 วงจรเปลี่ยนระดับแรงดัน

เนื่องจากส่วนควบคุมกลางของเครื่องตอบรับโทรศัพท์ ต้องการอินพุทที่มีระดับลอจิก 5 โวลท์ จึงต้องทำการเปลี่ยนสัญญาณเรียกที่มีค่าแรงดันประมาณ 100 โวลท์ ให้เป็นแรงดัน 5 โวลท์



รูปที่ 3.4.1 วงจรแปลี่ยนระดับแรงดัน

วงจรในรูปจะเปลี่ยนสัญญาณอินพุท ขนาดแรงดัน 100 โวลท์ ให้เป็นแรงดันขนาด 5 โวลท์ ที่มีข้วกลับกัน (Invert) ซึ่งหมายความว่า เมื่อป้อนสัญญาณขนาด 100โวลท์เข้าไปที่อินพุท จะเกิดกระแสไหลผ่านไดโอดแปล่งแสง แสงที่แปล่งออกมาจะไปตกกระทบกับโฟโต้ทรานซิสเตอร์ ทำให้เกิดการนำกระแสขึ้น เนื่องจากเอาท์พุท์นั้นต่อมาจากขาคอเลคเตอร์ จึงได้ค่าแรงดันเป็นลอจิก " 0 " เพื่อนำไปเป็นสัญญาณอินพุทให้ภาคต่อไป

เมื่อสัญญาณ 100โวลท์ที่อินพุทหยุดไป ทำให้โฟโต้ทรานซิสเตอร์หยุดนำกระแส R_2 จะดึงเอาท์พุทให้เป็นลอจิก " 1 " การเชื่อมโยงทางแสงในที่นี้ใช้ตัวเชื่อมโยงทางแสงเบอร์ # 4N26 เนื่องจากพิจารณาแล้วเห็นว่า มีค่าแรงดันอิ่มตัวระหว่างขาคอลเลคเตอร์ และอิมิเตอร์ ($V_{CE(sat)}$)ต่ำ

การหาค่า R_1

$$R_1 = (V_{in} - V_F) / I_F$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อ $I_F = ((V_{cc} - V_{CE(sat)} / R_2) - I_{IL}) /$

ค่าของ I_F เป็นตัวที่กำหนดให้โฟโต้ทรานซิสเตอร์อิ่มตัว

* กำหนดให้ R_2 = 10 KΩ และวงจรส่วนหลังต้องการอินพุท = - 1.6 mA

ดังนั้น $I_F = ((5 - 0.4 / 10,000) + 1.6 * 10^{-3})$

$/ 0.2$

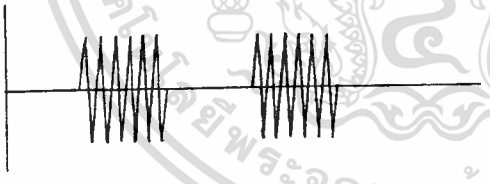
$= 10.3$ mA

เมื่อได้ค่า I_F แล้วสามารถคำนวณหาค่า R_1 ได้

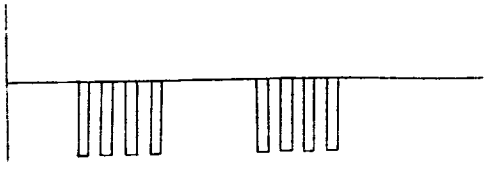
$R_1 = (100 - 1.1) / (10.3 * 10^{-3})$

$= 9.98$ KΩ

จากรูปที่ 3.4.1 กระแสจะไหลผ่านไดโอดแปล่งแสงอินฟาเรด ในช่วงไซเคิลบวก และผ่านไดโอด D_1 ในช่วงไซเคิลลบ นอกจากนี้ D_1 ยังทำหน้าที่ จำกัดแรงดันไบแอสกลับ (V_R) ไม่ให้เกิน 0.7 โวลท์อีกด้วย



รูป ก.



รูป ข.

รูปที่ 3.4.2 ก. แสดงพัลส์จากคู่สายโทรศัพท์ขณะมีสัญญาณเรียก , ข. แสดงพัลส์ที่ได้จากเอาท์พุทของ Optocouple ขณะที่มีสัญญาณเรียกเข้ามา

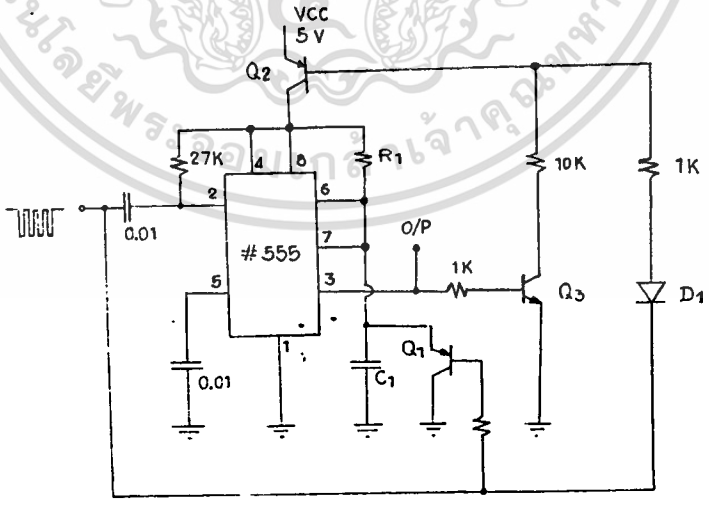
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ประโยชน์ของการแยกส่วนอินพุทออกจากส่วนเอาท์พุท ของตัวเชื่อมโยงทางแสงที่สำคัญอีกอย่างก็คือ ป้องกันสัญญาณรบกวนหรือแรงดันที่มียอดแหลม (Spike Voltage) ที่เกิดจากระบบกราวด์ของวงจรภายนอก จะไม่เข้าไปเกิดขึ้นในระบบกราวด์ของวงจรลอจิกเลย นอกจากนี้สัญญาณรบกวนที่มีลักษณะเหมือนกัน (Common mode noise) ก็จะถูกกำจัดให้หมดไป โดยไดโอดอินฟาเรดของตัวเชื่อมโยงทางแสงด้วย

3.5 ส่วนจัดลักษณะสัญญาณเรียกใหม่

แม้ว่าเอาท์พุทที่ได้จาก ออฟโต้คัปเปิล จะมีลักษณะเป็นพัลส์แรงดันต่ำ ซึ่งสามารถป้อนให้กับ CPU ได้แล้วก็ตาม แต่จากการทดลองพบว่า ถ้าป้อนพัลส์ให้แก่CPU โดยตรง จะทำให้ CPU ทำงานผิดพลาดได้ง่าย เนื่องจากความกว้างและความถี่ของพัลส์ที่ทางองค์การโทรศัพท์ส่งมาไม่ค่อยแน่นอน

เนื่องจากในการทำปริญญานิพนธ์นี้ ได้กำหนดคุณสมบัติของเครื่องว่า สามารถกำหนดได้ว่า จะให้มีสัญญาณเรียกกี่ครั้ง เครื่องจึงจะทำการยกหู และถ้าสัญญาณเรียกเข้ามาที่ส่วนควบคุมน้อยกว่าที่ตั้งเอาไว้ จะให้เครื่องตีความว่าเจ้าของบ้านยกหูเอง หรือผู้ที่โทรเข้ามาวางหูก่อน

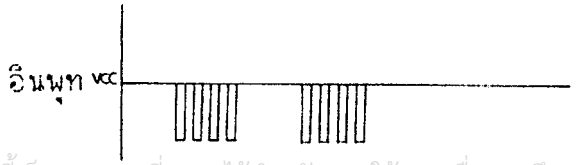


รูป 3.5.1 วงจร Monostable แบบ Retriggerable

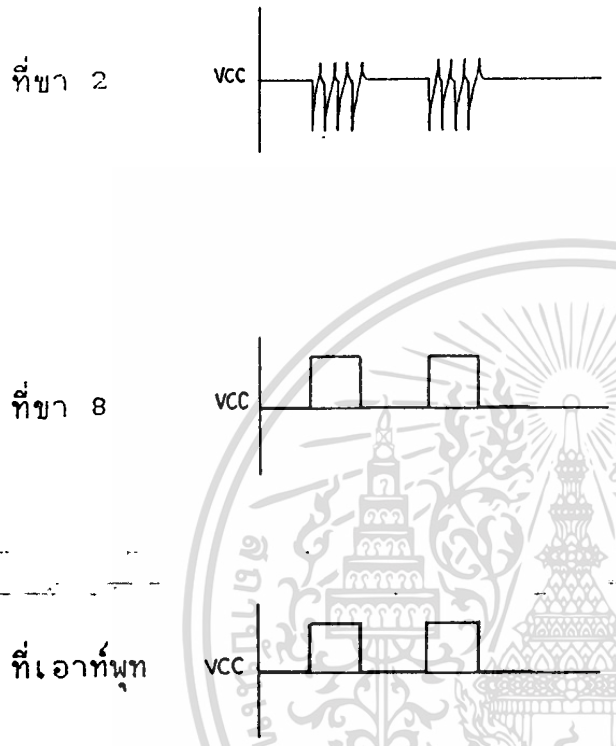
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในวงจรส่วนนี้ใช้ IC เบอร์ NE 555 มาต่อเป็นวงจรโมโนสเตเบิล (Mono stable) โดยให้สามารถรับการทริกซ้ำได้ (Retriggerable) ซึ่งก็ทำโดยต่อ Q_1 ซึ่งเป็นทรานซิสเตอร์แบบ PNP คร่อม C_1 ไว้ ซึ่งการต่อลักษณะเช่นนี้ทำให้เมื่อมีพัลส์ลบเข้ามาที่ขาเบสของทรานซิสเตอร์ Q_1 ก็จะมีสัญญาณเอาท์พุทออกมาทางขา 3 ของ IC #555 เลย ขณะเดียวกัน Q_1 จะทำหน้าที่ช๊อตส์ (Short) C_1 ไว้เพื่อป้องกันไม่ให้มีกระแสเข้ามาชาจส์ C_1 ซึ่งถ้ากระแสเข้ามา ชาจช์ใน C_1 จนมีโวลท์เต็จสูงถึง 2/3 ของ V_{cc} แล้วก็จะมีผลทำให้เอาท์พุทตกลงมา เอาท์พุทที่ได้จากวงจรนี้จะเป็นพัลส์ลูกเดียวตลอดสัญญานเรียกที่เข้ามา และพัลส์จะตกลง เมื่อสัญญานเรียกหยุดลงโดยมี R_1 และ C_1 เป็นตัวกำหนดความกว้างของ พัลส์

เนื่องจากว่าวงจรนี้เป็นวงจรส่วนหน้าซึ่งต้องจ่ายไฟไปเลี้ยงอยู่ตลอดเวลาซึ่งอาจจะสิ้นเปลืองพลังงานในขณะที่ใช้แบตเตอร์รี่และทำให้อายุของอุปกรณ์สั้นลงด้วย จึงเพิ่มทรานซิสเตอร์ Q_2 และ ทรานซิสเตอร์ Q_3 เข้ามาเพื่อทำให้วงจรนี้กินกระแสเฉพาะเมื่อมีสัญญานเรียกเข้ามาเท่านั้น โดยในช่วงแรกขณะที่มีพัลส์เข้ามาที่ทางอินพุทก็จะแบ่งพัลส์ส่วนหนึ่งให้แก่เบสของ Q_2 โดยผ่านทาง ไดโอด D_1 ทำให้ Q_2 นำกระแสได้ IC#555 จึงได้รับไฟเลี้ยงและมีสัญญานเอาท์พุทออกมาขา 3 ของ IC #555 และเอาท์พุทที่ได้ส่วนหนึ่งไปป้อนให้แก่เบสของ Q_3 ซึ่งเป็นทรานซิสเตอร์แบบ NPN เมื่อ Q_3 นำกระแสก็จะเป็นการโฮล (Hold) Q_2 ให้ทำงานต่อไปแม้นว่าจะไม่มีอินพุทมาป้อนแล้วก็ตาม เมื่อ C_1 เริ่มประจุจนถึง 2/3 ของ V_{cc} ก็จะทำให้เอาท์พุทมีสภาวะเป็น "0" ทำให้ไม่มีกระแสเบสไปเลี้ยง Q_3 ต่อไป Q_2 และ Q_3 ก็หยุดนำกระแส จนกว่าจะมีพัลส์ลบมากระตุ้นวงจรอีกครั้ง



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 3.5.2 แสดงรูปคลื่นตามจุดต่างๆของวงจร

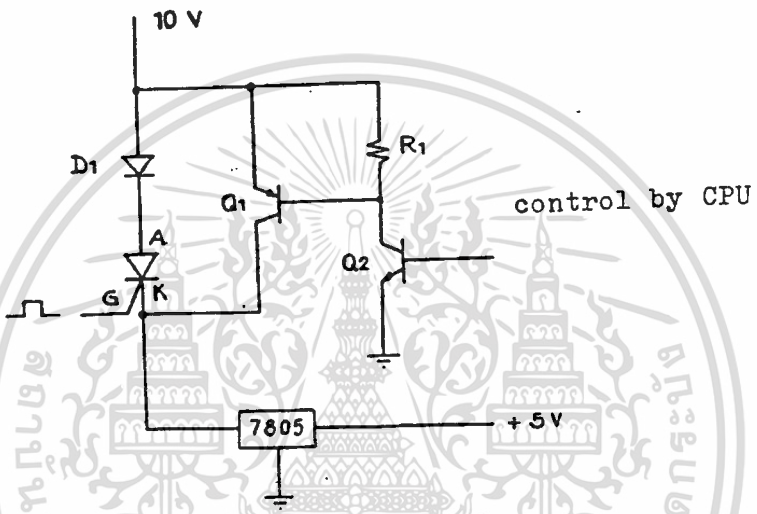
การต่อวงจรในลักษณะนี้ ทำให้ประหยัดพลังงานสูญเปล่าไปได้มาก จากการวัดกระแสที่ใช้ขณะที่ไม่มีพัลส์เข้ามาวัดได้ประมาณ 1.0 μA ซึ่งในอุดมคติแล้วจะต้องไม่มีกระแสไหลเลย แต่กระแสที่วัดได้นี้ เนื่องมาจากเป็นกระแสรั่วไหลจากทรานซิสเตอร์ Q2 และ Q3 แต่กระแสเพียง 1.0 μA นับว่าน้อยมาก เมื่อเทียบกันกับวงจรโมโนสเตเบิลทั่วๆไป ซึ่งกินกระแสประมาณ 13 mA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.6 ส่วนควบคุมการจ่ายไฟ

เนื่องจากในปริญญานิพนธ์นี้ ได้ออกแบบให้ประหยัดพลังงานให้มากที่สุด จึงต้องมีการตัดกระแสไฟฟ้าออกจากระบบ ทันทีเมื่อส่วนต่างๆ ทำงานเสร็จสมบูรณ์แล้ว

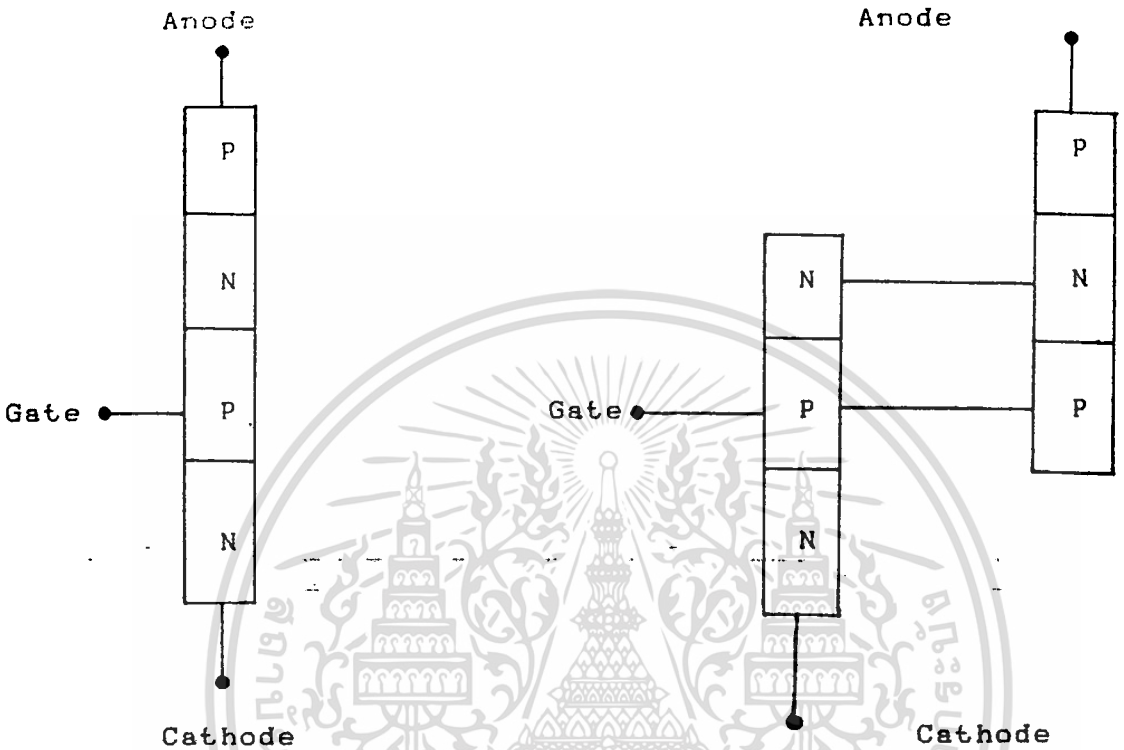
ในส่วนนี้ใช้เอสซีอาร์ (SCR) ประกอบกับ ทรานซิสเตอร์เป็นส่วนสำคัญในการทำงาน



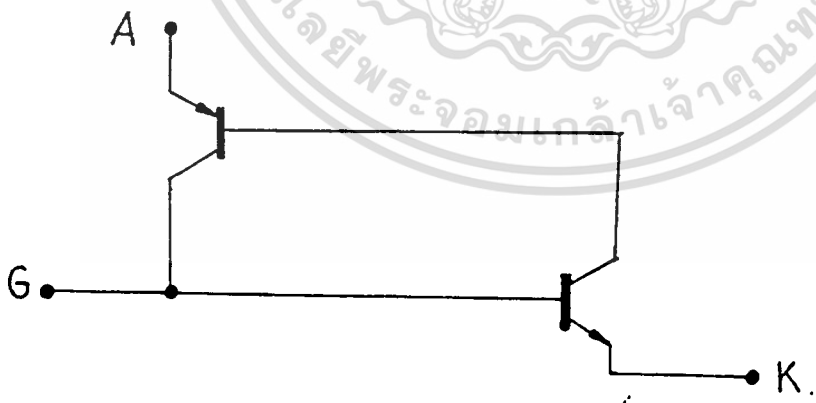
รูปที่ 3.6.1 ส่วนควบคุมการจ่ายไฟ

ขณะที่มีสัญญาณจาก ส่วนตรวจจับสัญญาณเรียก จะมีสัญญาณเอาท์พุทส่วนหนึ่งของโมโนสเตเบิล ป้อนให้ขาเกท (Gate) ของเอสซีอาร์ เมื่อเอสซีอาร์ได้รับสัญญาแทริกก็จะมีไวล์ท์เดจไหลผ่านไดโอด D, และผ่านตัวเอสซีอาร์เอง ไปให้ขาอินพุทของไอซีเร็คกูเลเตอร์ (Regulator) เบอร์ 7805 ซึ่งจะให้เอาท์พุท 5 ไวล์ท์ออกมาที่ขา 3 เพื่อไปจ่ายให้แก่ส่วนควบคุมกลางและส่วนต่างๆ ของทั้งระบบ และเอสซีอาร์จะนำกระแสอยู่ตลอดเวลาแม้ว่าจะไม่มีแรงดันมาทริกที่ขาเกทแล้วก็ตาม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ก. ส่วนของเอสซีอาร์ ข. แทนด้วยทรานซิสเตอร์สองตัว



ค. วงจรสมมูลย์

รูปที่ 3.6.2 โครงสร้างของเอสซีอาร์และวงจรสมมูลย์

เมื่อพิจารณาโครงสร้างของ เอสซีอาร์ จะเห็นว่าจากลักษณะทางโครงสร้าง PNPN สามารถแยกเอสซีอาร์ออกเป็นทรานซิสเตอร์ได้สองตัว โดยทรานซิสเตอร์ตัวหนึ่งเป็น NPN อีกตัวหนึ่งเป็น PNP ดังแสดงในรูป ข. และถ้าเขียนวงจรทรานซิส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เตอร์ทั้งสองที่ประกอบกันก็จะได้ดังรูป ค. ขั้วอาโนดของเอสซีอาร์จะต่อกับสารชนิด P ที่อยู่ชั้นนอกสุด ขั้วคาโถดจะต่ออยู่กับสารชนิด N ที่อยู่ชั้นนอกสุดเช่นกัน ส่วนขาเกทต่ออยู่กับสารชนิด P ชั้นใน ถ้าดูกันตามวงจรสมมูลย์แล้ว ขาอาโนดก็คือขาอีมิเตอร์ของทรานซิสเตอร์ชนิด PNP ขาคาโถดก็คือขาอีมิเตอร์ของทรานซิสเตอร์ชนิด NPN. และขาเกทของเอสซีอาร์คือขาเบสของทรานซิสเตอร์ชนิด NPN ซึ่งต่ออยู่กับขาคอลเลคเตอร์ของทรานซิสเตอร์ชนิด PNP ส่วนขาคอลเลคเตอร์ของทรานซิสเตอร์ชนิด NPN จะต่อร่วมอยู่กับขาเบสของทรานซิสเตอร์ชนิด PNP ลักษณะการต่อแบบนี้เป็นการป้อนกลับแบบบวก ถ้าให้ผลคูณของอัตราการขยายกระแส $_1$ และ . ซึ่งเป็นอัตราการขยายของ Q_1 และ Q_2 มีค่ามากกว่า แล้วทำให้การป้อนกลับอยู่ในลักษณะเพิ่มกระแสให้ทำงานมากขึ้นเรื่อยๆ

ถ้าให้แรงดันอาโนด A เป็นบวกเมื่อเทียบกับ คาโถด K และถ้าแรงดันที่ขาเกท G มีค่าเป็นบวก จะมีกระแสไหลผ่านเข้าทางขาเกท ทำให้ทรานซิสเตอร์ Q_2 นำกระแส ทำให้กระแสคอลเลคเตอร์มีค่ากระแสสูง และเนื่องจากค่ากระแสคอลเลคเตอร์ของ Q_2 เป็นกระแสเบสของ Q_1 ซึ่งเท่ากับเป็นการทำให้ทรานซิสเตอร์ Q_1 นำกระแสด้วย เป็นผลทำให้กระแสที่ไหลมาจากยิ่งมีค่ามากยิ่งขึ้น จึงทำให้กระแสเบสของ Q_2 ก็ยิ่งเพิ่มขึ้นอีก ซึ่งก็เป็นการป้อนกลับแบบบวก ทำให้กระแสไหลผ่านจากอาโนดมายังคาโถดเพิ่มขึ้นอย่างรวดเร็ว และจะถูกจำกัดค่าโดยวงจรภายนอก ดังนั้นค่าความต้านทานระหว่างอาโนดกับคาโถดจะมีค่าต่ำมาก

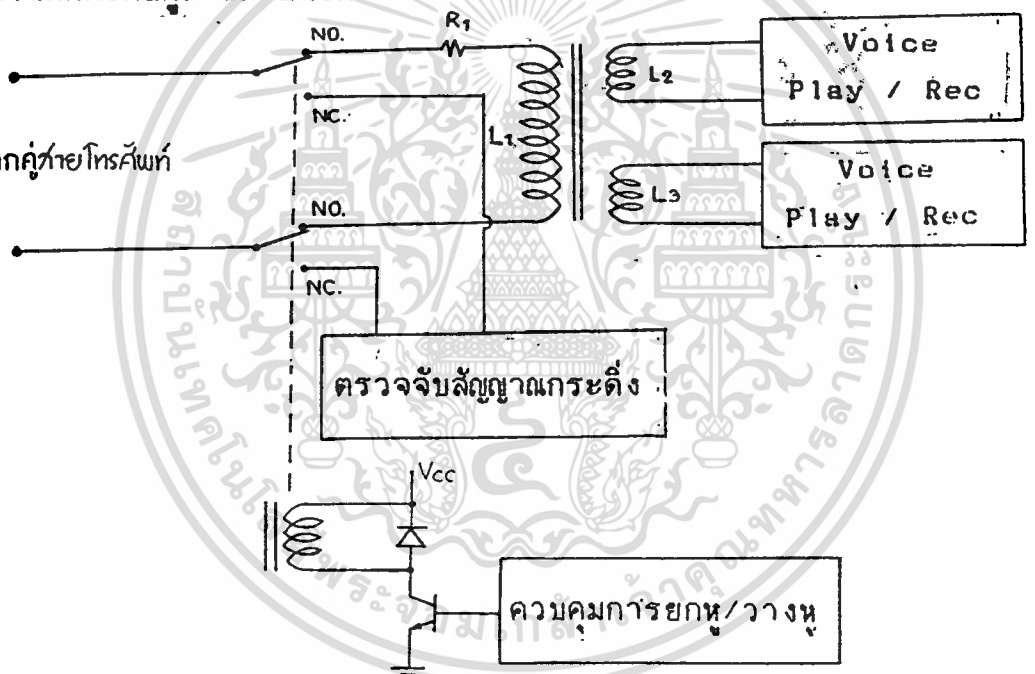
จากหลักการดังกล่าวข้างต้นเอสซีอาร์จะทำงานเมื่อมีกระแสทริกให้กับทรานซิสเตอร์ Q_2 หลังจากที่ทริกแล้วกระแสจะไหลระหว่าง อาโนด กับ คาโถดตลอดเวลา และไม่ต้องคงกระแสทริกไว้ เพราะกระแสเบสของ Q_2 มาจาก กระแสคอลเลคเตอร์ของ Q_1 ได้โดยเอสซีอาร์จะนำกระแสได้ค่าของกระแสต่ำสุด ที่เอสซีอาร์จะยังคงนำกระแสได้นี้เรียกว่ากระแสโฮลดิ้ง (Holding Current)

การทำให้เอสซีอาร์หยุดนำกระแส มีหลักการคือการลดกระแสอาโนดลงให้ต่ำกว่าค่ากระแสโฮลดิ้ง ซึ่งในปริญญานิพนธ์นี้ใช้วิธีให้กระแสส่วนใหญ่ไหลผ่านทรานซิส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เตอร์ Q_1 แทน โดยให้ทรานซิสเตอร์ Q_1 ซึ่งเป็นทรานซิสเตอร์ชนิด PNP ทำหน้าที่เป็นสวิทช์เมื่อได้รับกระแสเบสจากขาคอลเลคเตอร์ของ Q_2 ซึ่งกระแสเบสของ Q_2 นี้ก็ส่งมาจากส่วนควบคุมกลางส่งกระแสเบสมาให้ Q_2 เป็นระยะเวลาสั้นๆ เอสซีอาร์ก็จะหยุดนำกระแส พร้อมๆ กับการหยุดการส่งสัญญาณของส่วนควบคุมกลางไดโอด D_1 มีไว้เพื่อเพิ่มค่าโวลท์เตจที่ตกคร่อม ขาคอลเลคเตอร์กับขาอิมิเตอร์ของทรานซิสเตอร์ชนิด PNP ให้มีค่ามากกว่า 0.6 โวลท์

3.7 ส่วนติดต่อกับคู่สายภายนอก



รูปที่ 3.7.1 วงจรติดต่อกับคู่สายภายนอก

โดยปกติหน้าสัมผัสของรีเลย์ จะอยู่ที่ตำแหน่ง NC ซึ่งมีวงจรตรวจจับสัญญาณเรียกต่ออยู่ เมื่อมีสัญญาณเรียกเข้ามา ส่วนตรวจจับสัญญาณเรียกจะส่งสัญญาณนี้ไปให้ส่วนควบคุมกลางเพื่อทำหน้าที่สลับสาย จากส่วนตรวจจับสัญญาณเรียกไปยังส่วนที่ทำหน้าที่รับสายซึ่งประกอบด้วยทรานฟอร์เมอร์ โดยขดไพรมารี่ (Primary) ต่ออนุกรมกับ R_1 ค่า 550 Ω เพื่อที่จะทำให้ความต้านทานรวมของวงจรมีค่าประมาณ 600 Ω (ซึ่งเท่ากับความต้านทานของโทรศัพท์ที่ขณะยกหู) เมื่อหน้าสัมผัสของรีเลย์มาอยู่ที่ตำแหน่ง NC แล้วทำให้วงจรทางคู่สายโทรศัพท์ มีค่าความต้านทานทางกระ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แสตรงต่ำ ก็จะเกิดการครบวงจรขึ้นทำให้ทางชุมสายรับรู้การยกหูของเครื่อง ทางชุมสายก็จะหยุดส่งสัญญาณเรียก และสลับสายของผู้ที่จะติดต่อด้วยให้ทรานฟอร์เมอร์นี้นอกจากกำหนดหน้าที่ ทำให้ความต้านทานรวมของวงจรต่ำแล้วยังทำหน้าที่ เชื่อมต่อวงจรถ่ายทอดสัญญาณเข้ากับคู่สายในเวลาเดียวกันด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.8 ส่วนถอดรหัสความถี่ที่ส่งมาจากโทรศัพท์

ในชุมสายโทรศัพท์แบบใหม่ของไทยที่ใช้ชุมสายแบบ SPC หรือ Stored Program control นั้นทำงานโดยใช้ระบบ Touch tone หรือ DTMF (Dual Tone Multi Frequency) โดยการสงหมายเลขหนึ่งหมายเลขใดจะประกอบด้วยโทนเสียง 2 ความถี่ด้วยกัน คือ ความถี่สูงและความถี่ต่ำ ถ้าเราสังเกตุ Keyboard เราจะพบว่าหมายเลข 1,4,7 และ * อยู่ใน Coloum 1 โดยมีหมายเลข 1, 2 และ 3 เป็น Row 1 ดังแสดงไว้ในรูปข้างล่าง

Low Tone	High Tone (Coloum) (Hz)			
(Hz)	1209	1336	1477	1633
row 1 697	1	2	3	สำรอง A
row 2 770	4	5	6	สำรอง B
row 3 852	7	8	9	สำรอง C
row 4 941	*	0	#	สำรอง D

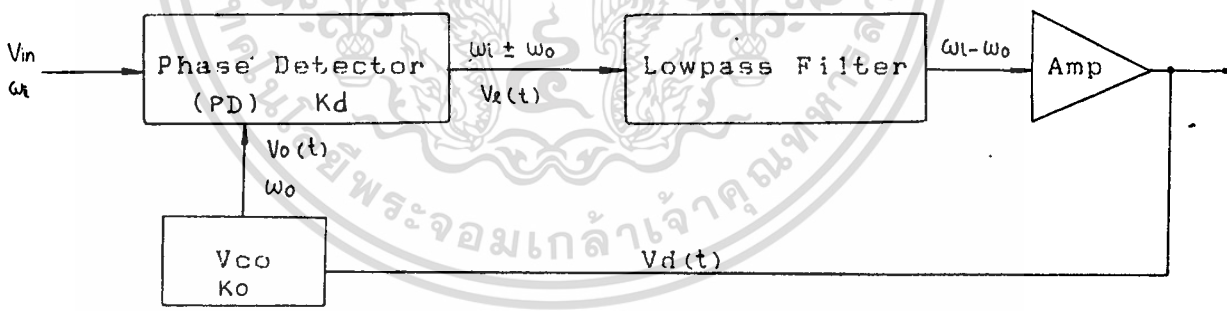
ตารางที่ 1 Touch - Tone Frequenies

จากตารางที่ 1 กลุ่มความถี่ที่มีความถี่ 4 Row และ 4 Coloum ทำให้พบว่าที่ปัทม์หรือปุ่มกด สามารถใช้ได้ถึง 16 ปุ่ม ไม่ใช่แค่ 12 ปุ่ม อย่างที่เราใช้กันเพียงแต่ความถี่ใน Coloum 4 นั้นยังสำรองไว้เพื่อไว้ใช้ในโอกาสอื่นๆ ต่อไป ตัวหมาย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เลข 1 ประกอบด้วยความถี่ 697 Hz กับความถี่ 1209 Hz หรือหมายเลข 0 ประกอบด้วยความถี่ 941 Hz กับความถี่ 1336 Hz เป็นต้น ความถี่ดังกล่าวนี้จะถูกส่งไปกับคู่สายทั้ง 2 เส้น ขององค์การโทรศัพท์ ซึ่งเมื่อทางชุมสายโทรศัพท์ต่อเลขหมายของผู้รับปลายทางให้แล้ว เราสามารถส่ง Tone โดยกดที่ปุ่มกดหน้าบัทม์โทรศัพท์ไปยังผู้รับที่อยู่ปลายทางได้ วิธีการคือต้องแยก Tone นั้นออกมาเป็นความถี่เดี่ยวๆ ตาม Row และ Coloum ดังได้กล่าวมาแล้วนั้น ซึ่งก็สามารถทำได้โดยใช้วงจรถอดรหัสความถี่(Tone decoder)

ในการถอดรหัสความถี่นั้น ทำได้หลายวิธีเช่น ใช้วงจร Filter หรืออยางขององค์การโทรศัพท์จะใช้ Chip IC ซึ่งทำหน้าที่ Decode โดยเฉพาะ ซึ่งให้ความแน่นอนสูงมาก แต่เนื่องจากไอซีมีราคาแพง วงจร Decode ที่นำเสนอในปริญญานิพนธ์นี้จึงใช้IC Phase Locked Loop / Tone Decoder เบอร์NE 567 มาใช้เป็นวงจร Tone Decoder



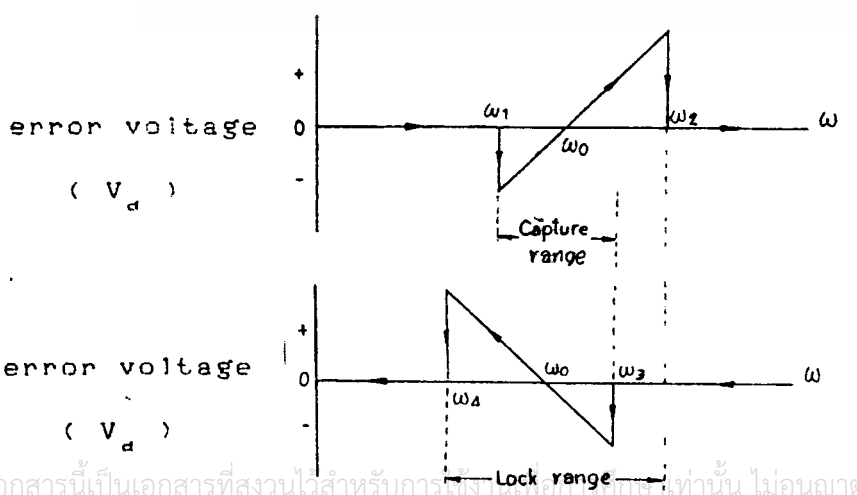
รูปที่ 3.8.1 แสดงการทำงานของ Phase Lock Loop

3.9 หลักการทำงานของ PLL

จากรูปที่ 3.8.1 เป็นวงจรป้อนกลับโดยมี Voltage Control Oscilator (VCO) เป็นทางป้อนกลับ โดยส่วน VCO นี้จะสร้าง Free running frequency Center Frequency (Wo) เพื่อไป Lock กับสัญ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ญาณเข้า ขณะที่ยังไม่มีสัญญาณเข้า Error Voltage (Vd)จะเป็น 0 ส่วน VCO จะสร้างความถี่ Wo ขึ้นมา ซึ่งเราสามารถตั้งได้ตามความต้องการ โดยกำหนดค่าอุปกรณ์ Passive element ที่ต่อภายนอก เมื่อป้อนสัญญาณเข้าที่มีนาด Vi(t) และความถี่ Wi เข้าไปในระบบ Phase compartor หรือ Phase detector (PD) จะทำการเปรียบเทียบเฟส และความถี่ของสัญญาณเข้ากับ VCO และจะสร้าง Error Voltge (Ve(t)ออกมาจาก PD ซึ่งVe(t) นี้จะเป็นสัญญาณผลรวมและผลต่างของความถี่ทั้ง 2 คือ Wi$\pm$Wo และเมื่อผ่านเข้า Lowpass filter (LPF) ความถี่ Wi+ Wo ซึ่งสูงมากไม่สามารถผ่านไปได้ แต่จะให้ความถี่ Wi— Woที่ต่ำกว่าผ่านไปได้ สัญญานนี้จะเข้าภาคขยาย (Amp) เพื่อขยายสัญญาณออกมาเป็น Vd(t) เป็น Controlled Voltage และป้อนเข้า VCO Vd(t) นี้จะเป็นตัวบังคับให้ VCO เปลี่ยนความถี่ Wo ให้เข้าใกล้ Wi ทั้งนี้เพื่อให้ Wi-Wo เข้าใกล้ 0 และเมื่อ Wi=Wo แล้วความถี่ของ VCO จะ Lock เข้ากับความถี่ของสัญญาณเข้า ซึ่งจะทำให้ PLL อยู่ในสภาวะ " Inlock " ถึงแม้ว่า Wi จะเท่ากับ Wo ก็ตามแต่ Phase ยังต่างกันอยู่ ทั้งนี้เพื่อให้มี Error Voltage (Vd) ไว้คอยปรับ Center Frequency ให้เข้ากับความถี่ที่เข้ามา เมื่อสัญญาณเข้ามาเปลี่ยนแปลงเพียงเล็กน้อยวงจรจิงอยู่ในสภาพ Inlock ตามเดิม



รูป 3.7.1 A
INCREASING
frenquency

รูป 3.7.1 B
decreasing
frenquency

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

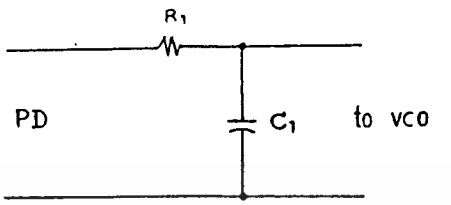
จากรูปที่ 3.9.1 A เมื่อความถี่เข้ามายังไม่ถูกต้อง Vd ก็ยังคงเป็น 0 เพราะผลต่างของความถี่อินพุทกับ VCO ยังสูงอยู่ จึงไม่สามารถผ่าน LPF ไปได้ดังนั้น VCO ก็ยังคงสร้างความถี่ Wo คงเดิมไว้ เมื่อความถี่ที่เข้ามาเพิ่มขึ้นจนถึง Wi ทำให้ผลต่างของ Wi และ Wo ลดลง สัญญาณจึงสามารถผ่าน LPF ไปได้ทำให้เกิด Error voltageขึ้นและป้อนกลับแบบบวกเข้าไปบังคับ VCO ให้ปรับความถี่ใหม่จนเข้าใกล้ความถี่ที่เข้ามา เพิ่มขึ้นถึง W2 PLL จะหลุดจาก Lock เพราะ ErrorVoltage(Vd) = 0 เนื่องจากผลต่างของ Wi และ Wo สูงเกินไปจนสัญญาณไม่สามารถผ่าน LPF ได้ และในทางกลับกัน เมื่อความถี่ที่เข้ามาเริ่มลดลงถึง W3 PLL ก็จะเริ่ม Lock อีกครั้งต่อมาเมื่อลดความถี่มาจนถึง W4 ก็จะทำให้ PLL หลุดจาก Lock ทันทีตามรูปที่ 3.9.1 B

จากรูปที่ 3.9.1 A จะพบว่า W3-W1 คือ Capture range คือช่วงความถี่ที่ VCO จะสามารถ Lock กับ Wi ได้ ซึ่ง Capture range นี้บางทีเรียกว่า Lock in range โดยจะขึ้นอยู่กับ Band edge ของ LPF และ Closed loop gain (Kv) ของระบบทั้งหมดโดยจะมีผลเกี่ยวข้องกับ Selectivity ของวงจร PLL และยังช่วยเพิ่มความปลอดภัย เกี่ยวกับ noise ทางด้าน outbard signal ที่จะมากวนได้เป็นอย่างดี

จากรูปที่ 3.9.1 B ก็เช่นกัน W2-W4 คือ Lock range หรือ Tracking range Lock range นี้จะเป็นช่วงความถี่ที่ VCO ยังคงตามสัญญาณ Input ไป Lock ให้อยู่ได้ดังเดิมอีกครั้ง และค่าของมันจะขึ้นอยู่กับ error voltage โดยไม่ขึ้นอยู่กับ Band edge ของ LPF เลย ดังนั้น Lock range จะมากกว่า Capturerange เสมอ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.10 ผลของ Low pass filter ต่อระบบ PLL



รูปที่ 3.10.1 วงจร LPF อย่างง่าย Time constant จะเท่ากับ R1 C1

จากวงจร Lowpass filter จะพบว่ามี C คร่อมอยู่ทาง Output ซึ่ง Lowpass filter capacitor Voltage จะไม่สามารถเปลี่ยนแปลงในทันที่ทันใดได้ทำให้เวลาในการ Lock ช่วง Capture process เนิ่นนานออกไป นั่นคือ Pull in time ของระบบจะมากขึ้น

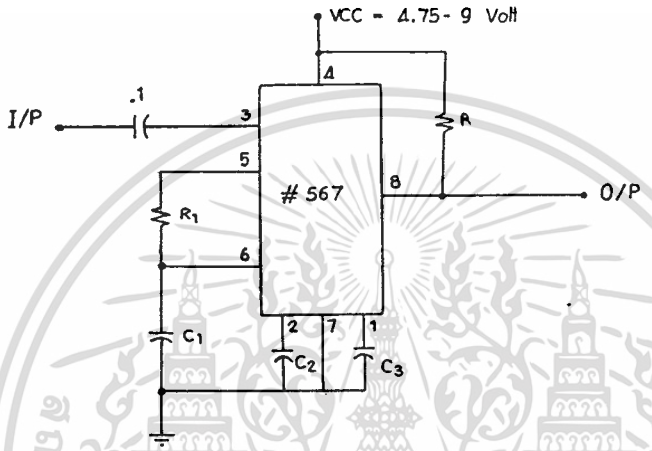
ในกรณีที่T1=R1 C1 มีค่ามากคือมี Cutoff frequency ต่ำช่วง Capture range จะลดลงในกรณีที่ t1 สูงขึ้นนั้นจะมีผลต่อ Capture range Control คือช่วยลด noise ของระบบได้ เพราะ S / N ratio สูง และยังทำให้ PLL สามารถ Lock สัญญาณอยู่ได้ แม้ว่าสัญญาณนั้นจะหายไปชั่วขณะหรืออาจจะเกิด fading ซึ่งสัญญาณจะจางไปมากก็ตาม

ในบางครั้งอาจต้องการให้ Capture range กว้าง ๆ เพื่อทำให้วงจร PLL สามารถ Lock input frequency ได้กว้างมากขึ้น เราก็ต้องลด t1 ลง คือทำให้ Cut off frequency สูงขึ้น จะทำให้ Pull in timeเร็วขึ้น คือมี Tracking rate สูงขึ้นนั่นเอง แต่จะมีข้อเสียคือ มันจะ Attennuate สัญญาณที่จะมารบกวนได้น้อยลง หรือ S / N Ratio แย่ลง ทางด้าน Inputlevel ของสัญญาณจะมีข้อจำกัดอยู่ค่าหนึ่งคือค่าของThreshold Voltage ถ้า Input Level ต่ำกว่า Threshold Voltge ระบบ PLL จะมี noise และสัญญาณภายนอกเข้ามากวนจนทำให้ PLL ไม่สามารถที่จะทำงานได้ แต่เมื่อระดับของสัญญาณเข้าสูงขึ้น ระบบ PLL จะทำงานอยู่ในย่าน เชิงเส้นดังเดิม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

IC PLL เบอร์ NE 567 นี้เป็น Tone decoder phase lockloop ซึ่ง Lock ได้เสถียรภาพดีมาก และมีความถี่ตั้งแต่ 0.01 Hz ถึง 500 kHz ทั้งยังสามารถบังคับแถบความถี่ได้ตั้งแต่ 0 - 14 % เมื่อเทียบกับ Center frequency

3.11 การเลือกค่าอุปกรณ์ภายนอกวงจร



รูปที่ 3.11.1 Basic NE 567 Tone decoder circuit

1. เลือก Center frequency (fo) จาก fo = 1.1 / R1 C โดยการเลือกค่าของ R1 ควรอยู่ในช่วง 2k - 20 kΩ เพื่อผลด้านเสถียรภาพทางด้านอุณหภูมิที่ดีที่สุด และโดยปรกติ Center frequency จะเปลี่ยนแปลงกับ Supply voltage ประมาณ 0.7 % / โวลท์

2. เลือก Low pass capacitor (C2) โดยดูจากกราฟ Bandwidth Vs Input signal Amplitude ถ้ารู้ V_{in} และ % BW ของ fo ก็จะหาค่า C2 ได้จากกราฟพบว่า ถ้า C2 ค่ายิ่งมาก จะทำให้ Time Constant มาก เวลาที่ใช้ Lock สัญญาณจึงนาน และทำให้ % BW ลดลง ซึ่งสามารถคำนวนจากสูตรได้ดังนี้

$$BW = 1070 \quad V_{in} / foC2$$

(เมื่อ V_{in} น้อยกว่า 200 mVrms)

3. เลือก Output filter C3 ซึ่งเป็นตัวกรองสัญญาณที่ไม่ต้องการออก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ค่าของมันก็ไม่ค่อยพิถีพิถันมากนัก ในกรณีที่ค่า C3 เล็ก ๆ Turn on และ Turn off time ของภาค Output จะเร็ว แต่ถ้า C3 ค่าใหญ่ ๆ เวลา on และ off จะช้าลง โดยปกติ C3 = 2 C2 ถ้าต้องการให้ความเร็วในการทำงานเพื่อส่งข้อมูลสูง ๆ C2 = 130 / fo μf และ C3 = 260 /fo μf ซึ่งกรณีนี้ C3 ค่าใหญ่ทำให้เวลา on และ off จะนานเราอาจลดค่า C3 ลงได้ แต่จะทำให้มี noise และสัญญาณภายนอกมากวนได้บ้าง ดังนั้นต้องปรับ C3 จนได้ Response time ตามต้องการ

ตัวอย่างการคำนวนค่าอุปกรณ์ภายนอก

สมมุติว่าต้องการ decode สัญญาณ Input ขนาด 100 mV ความถี่ 700 Hz โดยมี BW ประมาณ 12% ของ Center frequency

ขั้นแรกหาค่า R1 และ C1 โดยเลือกค่า C1 = 0.1 f ดังนั้นค่า R1 หาได้จาก

$$R1 = 1.10 / foC1$$

$$= 1.10 / 770\ Hz \quad 0.1\ f$$

$$= 15.7\ k\Omega$$

C2 หาได้จาก

$$BW\ (\%of\ fo) = 1070\ V_{in} / foC2$$

$$C2 = V_{in} / fo\ (\ 1070 / BW\ )$$

$$= (0.10\ V\ / 700\ Hz\ ) /$$

$$(1070 /12\%\ )$$

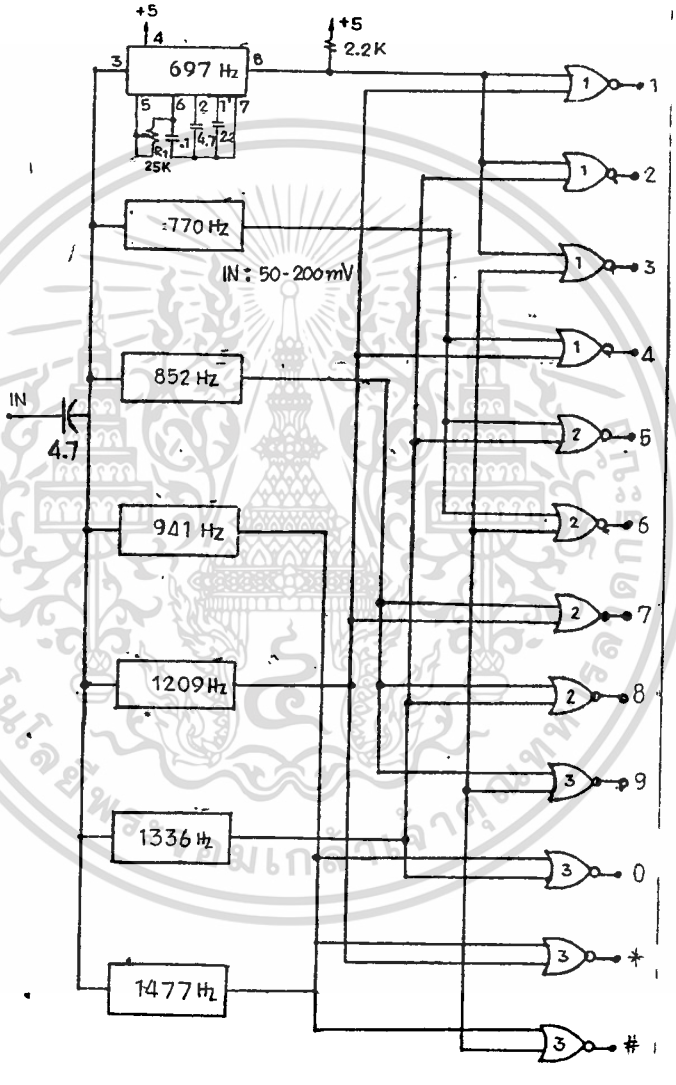
$$= 1.14\ \mu f$$

อาจเลือก C2 = 1 μf

และค่าของ C3 ควรจะเป็น 2 เท่าของ C2 เป็นอย่างน้อย จึงเลือกC3 = 2.2 μf เมื่อนำวงจร PLL มาเป็นวงจร Tone decoder ก็เพียงแต่คำนวน ค่าความถี่ของแต่ละ Tone เสียใหม่ แต่ในทางปฏิบัติเราจะใช้ R1 เป็นแบบปรับค่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ได้อย่างต่อเนื่องแล้วเราก็นำ Output ที่ได้จาก Tone decoder แต่ละชุด มาทำการ NOR กัน



วงจร Tone decoder

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.12 ส่วนจดจำและกำเนิดเสียงพูด

ในที่นี้จะใช้ IC T6668 ของโตชิบา เป็น IC ADM หรือ ADAPTIVE DELTA MODULATION เป็น CHIP ประเภท C²MOS LSI มีรูปร่างภายนอกเป็นแบบติดตั้งบนผิวหรือ เซอร์เฟสเมาต์ขนาด 60 ขา ต่อกับหน่วยความจำชนิดไดนามิกขนาด 64k * 1 บิต ได้โดยตรง 4 ตัว ใช้คริสตอลควบคุมความถี่สัญญาณนาฬิกา เปลี่ยนบิตเรตโดยใช้ดิปสวิทช์ เลือกหน้า (pharse) ของหน่วยความจำ แยกบันทึก/เล่นกลับได้ เมื่อใช้หน่วยความจำ 256k * 1 บิต (41256) จำนวน 4 ตัว ที่บิตเรต 16k จะบันทึกได้นาน 64 วินาที

T6668 นี้มีความสมบูรณ์ในตัวค่อนข้างมาก ทางด้านอินพุทสามารถต่อไมโครโฟนเข้ากับไอซีได้เลย ด้านเอาท์พุทต้องเพิ่มภาคขยายอีกส่วนหนึ่ง โดย T6668 จะรับสัญญาณอินพุท เสียงพูดเข้ามาจากนั้นทำการขยาย แล้วเปลี่ยนจากสัญญาณอนาล็อกเป็นสัญญาณดิจิตอล แล้วนำข้อมูลที่ได้นี้ไปเก็บไว้ที่ ไดนามิคแรม (DRAM) โดย T6668 จะทำการเลื่อนแอดเดรสที่จะนำเข้าไปเก็บเองโดยอัตโนมัติ เมื่อทำการแปลงข้อมูลจาก D/A จะใช้อัตรา 10 bit D/A เพื่อเปลี่ยนกลับมาเป็นเสียงเช่นเดิม การอัดเข้าไปเราจะสามารถเลือกบิตเรตได้ 4 บิตเรต โดยเลือกที่ขาสัญญาณ D_6,D_7 (ขา 34,35)

K BPS	D_7	D_6
8	0	0
11	0	1
16	1	0
32	1	1

ตารางที่ 1

จากตารางที่ 1

1. ถ้าเราเลื่อนสวิทช์ D_7-D_6 ไปที่ 0,0 จะทำให้อัตราความเร็วของ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การแปลงข้อมูลเป็น 8k บิทต่อวินาที ทำให้อัดหรือเล่นเสียงได้นาน 128 วินาที

2.D_7-D_6 เป็น 0,1 จะทำให้อัตราการแปลงข้อมูลเป็น 11k บิทต่อวินาที ทำให้อัดหรือเล่นได้นาน 93 วินาที

3.D_7-D_6 เป็น 1,0 ทำให้อัตราการแปลงข้อมูลเป็น 16k บิทต่อวินาที ทำให้อัดหรือเล่นได้นาน 32 วินาที

4.D_7-D_6 เป็น 1,1 ทำให้อัตราการแปลงข้อมูลเป็น 32k บิทต่อวินาที ทำให้อัดหรือเล่นได้นาน 32 วินาที

การทดลองใช้ X-TAL 650 KHz เป็นฐานความถี่และต่อกับ RAM 256k จำนวน 4 ตัว ทำให้ความจุของ memory เพิ่มขึ้นเป็น 1M bit ดังวงจรรูปที่ 3 การอัดเมื่อเราอัดที่สปีดใดสปีดหนึ่งเสร็จแล้ว เราสามารถที่จะนำกลับมาเล่นในสปีดอื่นได้ ทำให้เราสามารถเร่งหรือลดสปีดของเสียงได้ตามต้องการ ถ้าเราต้องการอัดเสียงสูง ๆ ให้ได้ผลดี ควรจะใช้สปีดสูง ๆ ในการอัดล้วย จึงจะทำให้เสียงที่อัดออกมามีคุณภาพเสียงที่ดี

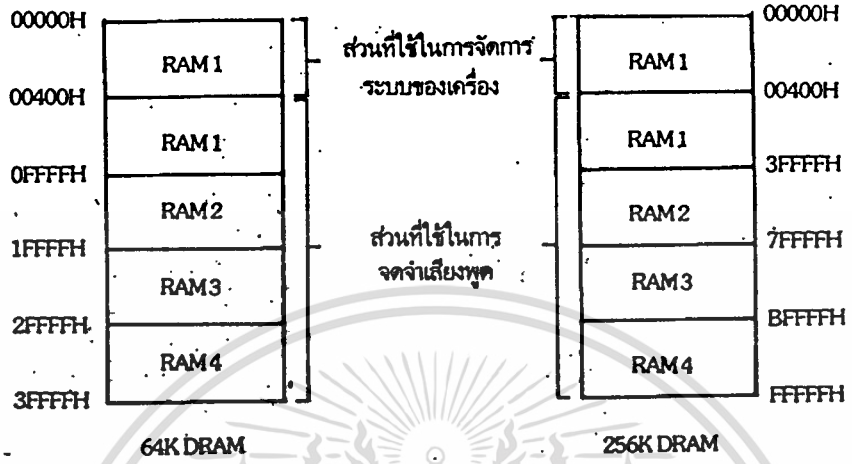
MEMORY

T6668 สามารถเลือกใช้ memory ได้ 2 ขนาดคือ 64k DRAM กับ 256k DRAM โดยการเลือกที่ขา 45 ของ IC (ที่เขียนไว้ว่า 256k) คือเมื่อเราจะต่อ DRAM 256k ให้กับ IC เราจะต้องเลือกต่อขา 45 กับไฟบวก และเมื่อเราต้องการต่อ DRAM 64k ให้กับ IC เราต้องต่อขา 45 กับกราวด์ T6668 ก็จะรู้ว่าเราใช้เมมโมรี่ขนาดเท่าใดกับมัน

การเพิ่มเมมโมรี่ให้กับ IC T6668 สามารถกำหนดได้โดยการต่อขา M_2 (ขา 8),M_1 (ขา 7) ตามตารางที่ 2 คือ ถ้าเราต่อ M_2,M_1 ลงกราวด์ T6668 จะทำการเขียนหรืออ่านข้อมูลจาก 00000H ไปจนถึง 0FFFFH แล้วตัวมันเองก็จะเลิกการอ่านหรือการเขียนมาเองการเริ่มต้นใหม่

ดังนั้นเราจึงกำหนดขนาดของเมมโมรี่ได้ตามต้องการ เพื่อการประหยัดในการนำไปใช้งานที่ต้องการขนาดเมมโมรี่ต่างกันได้

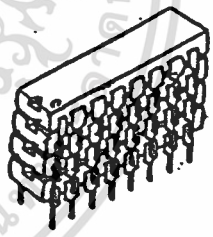
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5 แผนภูมิของ Memory ที่ใช้ในการทำงานทั้ง 2 แบบ

ช่อง / ระยะเวลา	D_7	D_6
128 วินาที	0	0
93 วินาที	0	1
64 วินาที	1	0
32 วินาที	1	1

ตารางที่ 4



รูปที่ 6 วิธีการต่อ RAM เพิ่มเติม

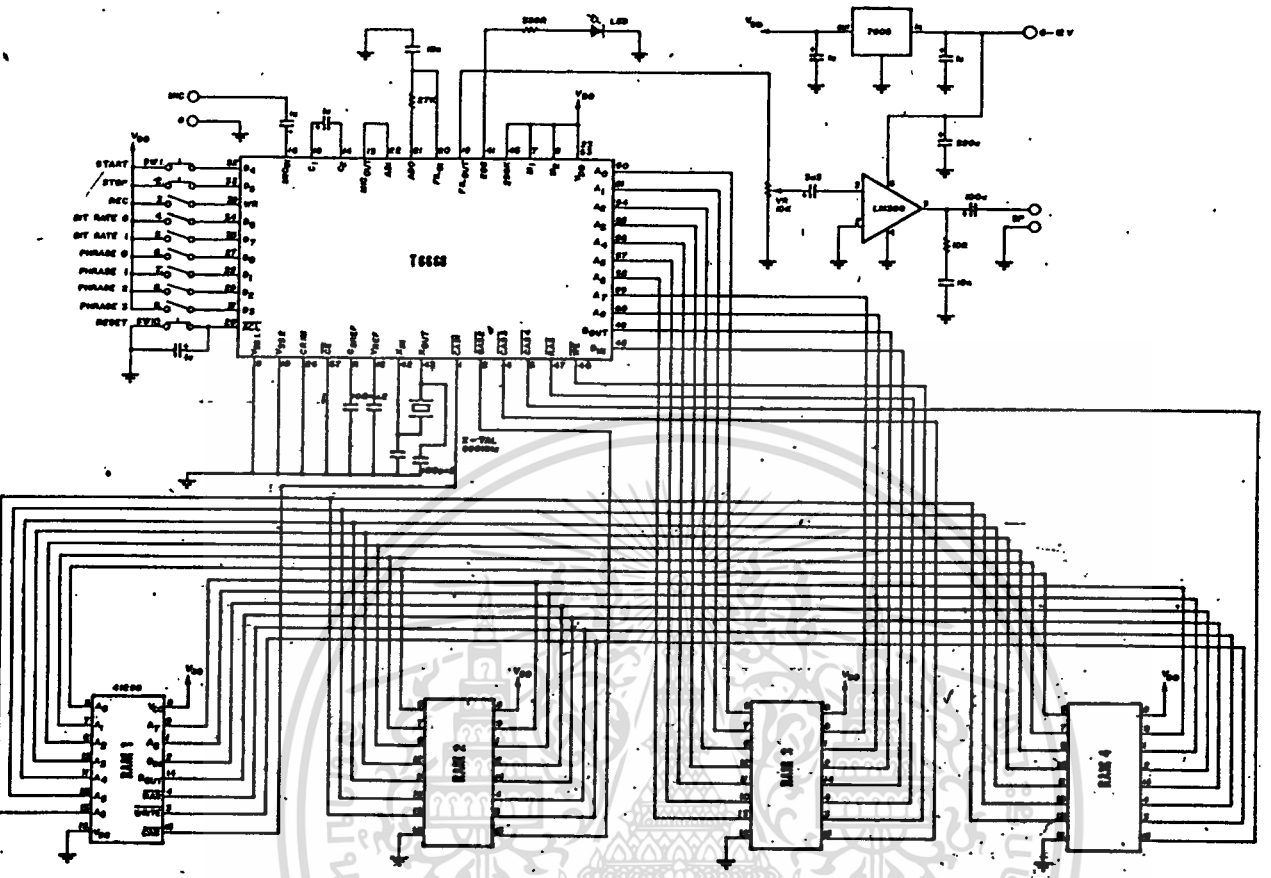
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แผนภูมิของเมมรีที่ใช้ในการทำงานทั้งสองแบบ ตามรูปที่ 5 การต่อเมมรีเพิ่มเติมทำโดยการจ้างขา CAS (ขา 15 ของ 41256) ออกมาแล้วซ้อนทับบน IC เข้าบน จากนั้นก็ต่อขา CAS บนยัง CAS2,CAS3,CAS4 ของเอซี T6668

ชนิดของ RAM	256K	M_2	M_1	ADDRESS ที่หยุด
64K DRAM ตัวที่ 1	0	0	0	0FFFFH
64K DRAM ตัวที่ 2	0	0	1	1FFFFH
64k DRAM ตัวที่ 3	0	1	0	2FFFFH
64k DRAM ตัวที่ 4	0	1	1	3FFFFH
256K DRAM ตัวที่ 1	1	0	0	3FFFFH
256K DRAM ตัวที่ 2	1	0	1	7FFFFH
256K DRAM ตัวที่ 3	1	1	0	BFFFFH
256K DRAM ตัวที่ 4	1	1	1	FFFFFH

ตารางที่ 2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3 ตัวอย่างวงจรเมื่อต่อ RAM 4 ตัว

การใช้งานในแบบธรรมดา

1. เปิดเครื่องจะเห็น LED ติดอยู่

2. กดสวิทช์ไปที่อัดค้างไว้ (CE จะต้องต่อกับกราวด์ด้วย)

3. เลือกช่องที่จะอัดเข้าไป โดยช่องที่จะอัดมี 4 ช่อง สวิทช์นี้เป็นในทำรี่นั่นเอง

4. เลือกสวิตช์โดยตั้ง D_7-D_0 ได้ตามต้องการ (เวลาที่แสดงนี้ใช้เมมโมรี่ 1 M บิท)

5. กดปุ่มสวิทช์ START แล้วไฟที่ LED จะดับ แสดงว่าเครื่องกำลังอัดคำพูดเข้าไปเก็บ เมื่อพูดจนพอใจแล้วจึงกดสวิทช์ STOP อีกครั้งหนึ่งไฟที่ LED จะสว่าง ในกรณีที่เราพูดนานเกินกว่าเวลาที่กำหนดเครื่องจะหยุดการอัดโดย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อัตรนมัติ ฯฟที่ LED จะสว่างขึ้นมาเพื่อบอกให้เรารู้ว่าเป็นการสิ้นสุดขั้นตอนการอัดเน 1 ช่อง

6.ถ้าเราต้องการอัดเนช่องอื่น ๆ อีกก็ทำเช่นเดียวกัน ตั้งแต่ต้นจนถึงข้อ 5 (เวลารวมของแต่ละช่องต้องไม่เกินเวลาที่ได้กำหนดไว้)

7.การอ่านทำโดยการยกเลิกสวิทช์ WR ขึ้น (CE ต่อกราวด์เหมือนเดิม)

8. เลือกช่องที่จะอ่านและสปีด

9.กดสวิทช์ START เครื่องจะพูดตามที่อัดไว้ ถ้าเรากดสวิทช์ซ้ำกันหลายครั้งในระหว่างพูด เครื่องจะจำได้ว่ามีการกดสวิทช์ START ขึ้นเพียงครั้งเดียว และจะพูดซ้ำอีกเมื่อพูดจบ

10. เมื่อต้องการให้เครื่องพูดติดต่อกัน ทำโดยเลือกช่องแรก กด START เสร็จแล้วเปลี่ยนช่องแล้วกดสวิทช์ซ้ำอีกทีหนึ่ง เครื่องจะพูดซ้ำอีกตามต้องการได้

จากที่กล่าวมาข้างต้นจึงทำให้เครื่องนี้สามารถต่อคำพูดได้ พูดซ้ำได้ เร่งหรือลดสปีดคำพูดได้ เครื่องนี้สามารถควบคุมได้จาก CPU โดยตรง ซึ่งทำให้สามารถนำประยุกต์ใช้งานต่าง ๆ ได้ตามต้องการ

การประกอบ

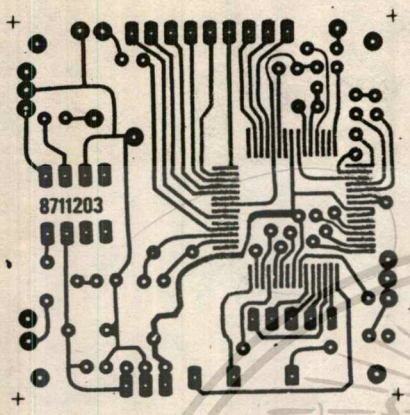
วงจรวิเคราะห์เสียงพูดชุดนี้ ถึงแม้จะประกอบด้วยอุปกรณ์ไม่มากนัก แต่การประกอบก็ต้องอาศัยความละเอียดมากทีเดียว โดยเฉพาะการบัดกรีที่ขาของ ไอซี T6668 ต้องระวังเป็นพิเศษ เพราะแต่ละขาชิดกันมาก อาจจะช็อตถึงกันได้ และเพื่อให้ขนาดของปริ้นท์เล็กลงจึงจำเป็นต้องใช้ปริ้นท์แบบสองหน้า แบบของลายปริ้นท์ด้านบนได้แสดงไว้ในรูปที่ ส่วนลายปริ้นท์ด้านล่างตามรูปที่ และการวางอุปกรณ์ต่าง ๆ ในรูปที่

เมื่อทำปริ้นท์เสร็จเรียบร้อยแล้วก่อนใส่อุปกรณ์ต่าง ๆ ลงไปจะต้องทำการต่อลายจั๊มระหว่างปริ้นท์ด้านบนและด้านล่างถึงกันเสียก่อน ซึ่งมีทั้งหมด 14 จุด จุดที่จะต้องต่อจั๊มนั้นจะทำเครื่องหมายกากะบาดไว้ให้แล้วตามรูปที่

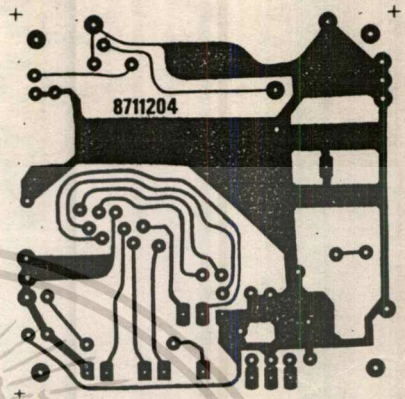
เมื่อจั๊มสายระหว่างปริ้นท์ทั้งสองด้านแล้ว ต่อมาก็เริ่มประกอบอุปกรณ์ต่าง ๆ เริ่มที่แผ่นปริ้นท์เป็นส่วนใหญ่และมีบางจุดที่บัดกรีทางด้านล่างของแผ่น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

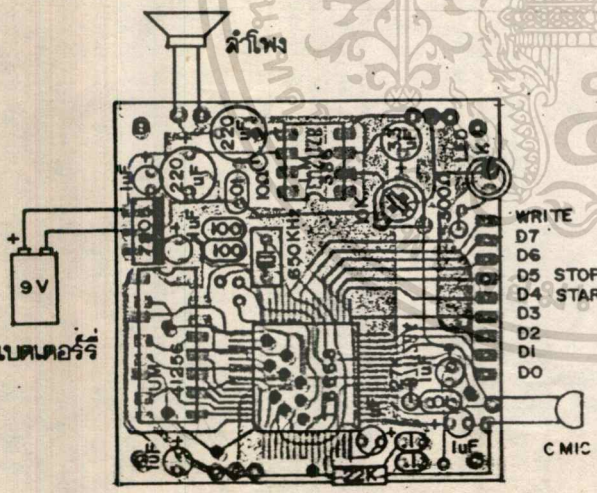
ปริ้นท์



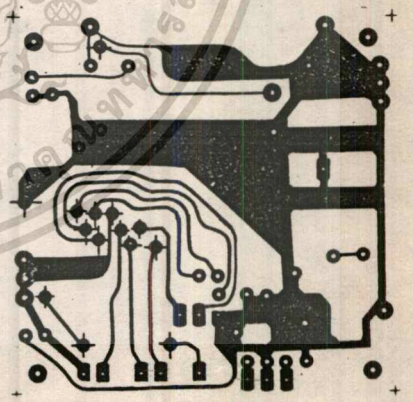
รูปที่ ลายปริ้นท์ด้านบน



รูปที่ ลายปริ้นท์ด้านล่าง



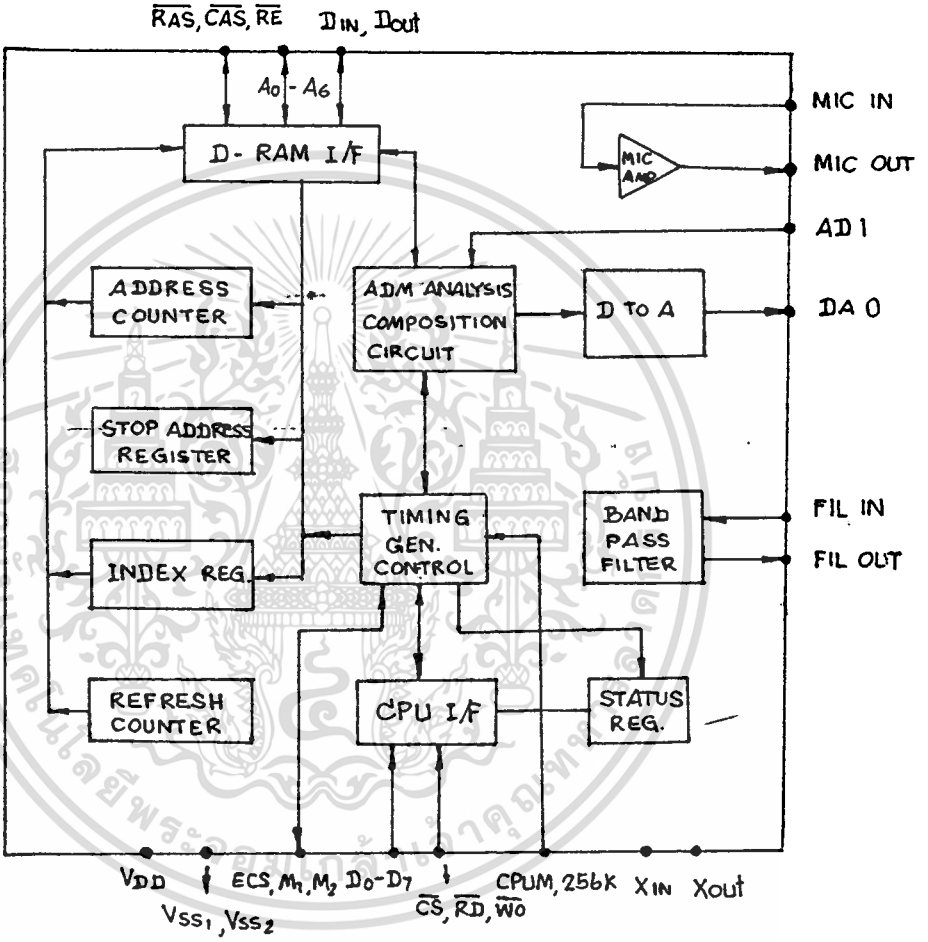
รูปที่ ตำแหน่งการวางอุปกรณ์ต่าง ๆ



รูปที่ จุดต่าง ๆ ที่จะต้องบัดกรีถึงกันระหว่างลายปริ้นท์ด้านบนกับด้านล่าง

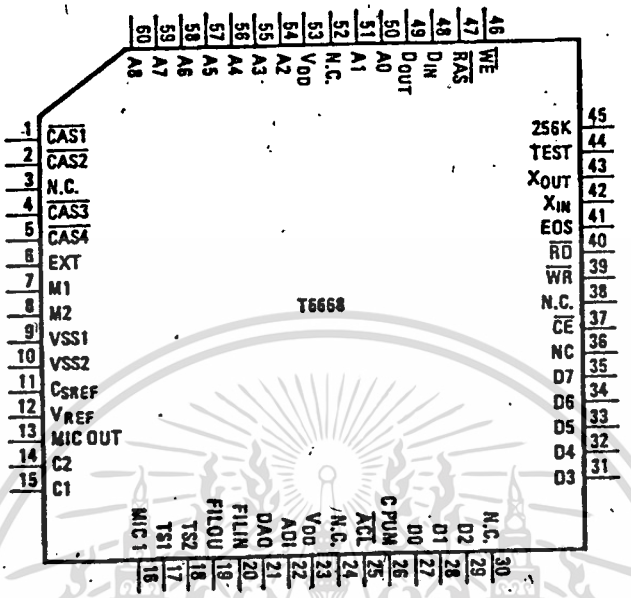
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โครงสร้างภายในของ T 6668

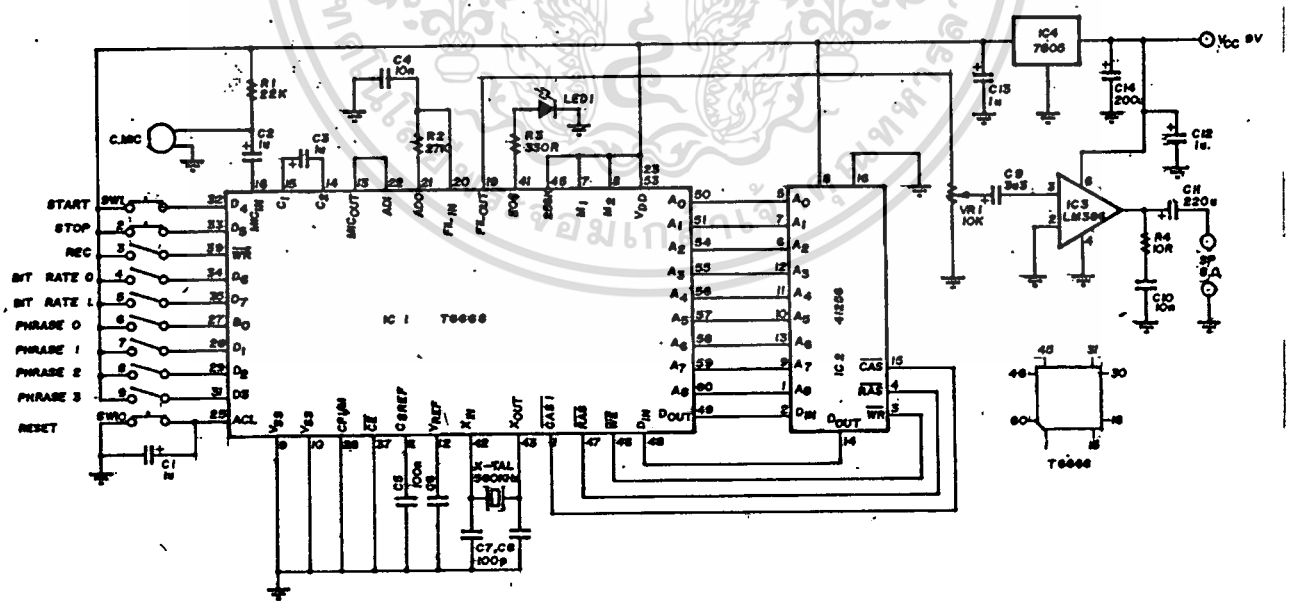


Block Diagram ภายในของ T 6668

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า



รูป แสดงตำแหน่งขาต่าง ๆ ของไอซี T6668



วงจรสมบูรณ์ของชุดวิเคราะห์เสียงพูด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รายละเอียดขาใช้งานของ T6668

A_0 ~ A_8 : ขาแอดเดรสต่อกับหน่วยความจำ DRAM

D_{in} , D_{out} : ขาดาต้าต่อกับหน่วยความจำ DRAM

RAS , WE : สัญญาณควบคุม DRAM

CAS_1 ~ CAS_4 : ขาเลือกการใช้งาน DRAM แต่ละตัวรวม 4 ตัว

M_1 , M_2 : ใช้กำหนดจำนวนแรมที่ใช้งาน (ดูตารางที่ 2)

256K : เลือกความจุของหน่วยความจำที่ใช้งาน

EOS : เอาท์พุทเป็นไฮเมื่อจบข้อความที่บันทึก

MIC_{in} , MIC_{out} : อินพุทและเอาท์พุทของภาคขยายส่วนหน้า

AD_1 , AD_0 : อินพุทสัญญาณอนาล็อกที่จะนำไปแปลงเพื่อบันทึก และเอาท์พุทอนาล็อกที่ได้จากการอ่าน

FIL_{in} , FIL_{out} : วงจรกรองความถี่ต่ำผ่าน

C_1 , C_2 : ต่อตัวเก็บประจุภายนอก

ACL : ชาร์จ แอคทีฟรลว์

X_{in} , X_{out} : คริสตอลออสซิลเลเตอร์ความถี่ 650 KHz

C_{pum} , CE : ขาสัญญาณควบคุม สำหรับอินเตอร์เฟสกับ CPU

WR : ขาอินพุทสำหรับควบคุมการบันทึกเสียง

D_4 , D_5 : ขาอินพุทควบคุมการเริ่มต้น (D_4) และการหยุด (D_5) ขณะบันทึกและเล่นกลับ

D_6 , D_7 : กำหนดบิทเรต (ดูตารางที่ 1)

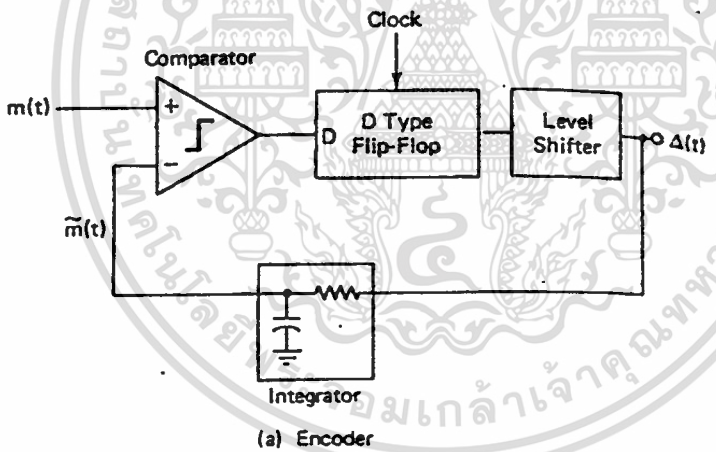
D_0 ~ D_3 : เลือกหน้าของหน่วยความจำ (phase) แบ่งได้สูงสุด 16 หน้า

V_{DD} , V_{SS} : ไฟเลี้ยงและกราวด์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.14 เดลต้า มอดดูเลชั่น (Delta Modulation)

เดลต้ามอดดูเลชั่น (DM) เป็นวิธีการหนึ่งของ ดิจิตอลมอดดูเลชั่น (Digital Modulation) ถูกนำมาใช้งานในด้านการสื่อสารดาวเทียม การส่งวิทรทัศน์ และระบบวิทรศัพท์ เดลต้ามอดดูเลชั่น เป็นวิธีการที่ยุ่งยากน้อยกว่า และค่าใช้จ่ายถูกกว่าระบบ พีซีเอ็ม (PCM) นอกจากนี้มันยังให้การผิดพลาดในการส่งข้อมูลน้อยกว่า และไม่ต้องการ การซิงโครไนซ์ (synchronization) ของข้อมูลเหมือนกับระบบพีซีเอ็ม แต่มันมีข้อเสียคือ มันมีความไวต่อการเปลี่ยนแปลงความชันเกินขนาด (slope overload) ของวงจรอินทิเกรเตอร์ (integrator) และใช้กับระบบเวลาร่วม (time sharing) ไม่ได้



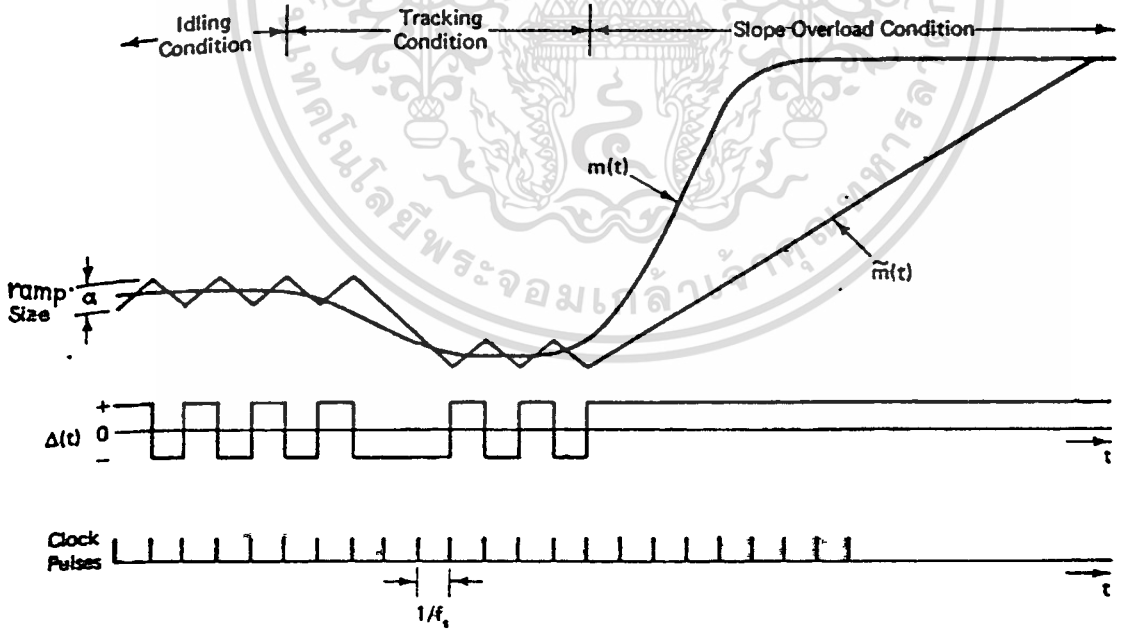
รูปที่ 3.14 Delta Modulator

เทคนิคของเดลต้ามอดดูเลชั่นจะใช้การสุ่มสัญญาณหนึ่งจุดแล้วเปรียบเทียบความสูงหรือการเปลี่ยนแปลงของสัญญาณอินพุทนั้น ข้อมูลที่ได้คือทิศทางของการเปลี่ยนแปลง ซึ่งก็มีเพียงขึ้นหรือลงเท่านั้น ดังนั้นความกว้างของข้อมูลดิจิตอลจึง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ใช้เพียงบิทเดียวก็เพียงพอ ข้อดีของวิธีการเดลต้ามอดดูเลชั่นก็คือ ใช้หน่วยความจำน้อยกว่าวิธีการอื่น ๆ

เดลต้ามอดดูเลเตอร์จะส่งกลุ่มข้อมูลบนาร์ออกมาตามที่ชั้วของมันหรือระดับลอจิก จะขึ้นอยู่กับสัญญาณอินพุทปัจจุบัน และสัญญาณอินพุทซึ่งผ่านวงจรฟีดแบคอินทิเกรเตอร์ ในรูปที่ 3.14.1 สัญญาณส่วนฟีดแบค $\tilde{m}(t)$ จะถูกเปรียบเทียบกับสัญญาณอินพุท $m(t)$ ถ้าสัญญาณ $m(t)$ มากกว่า $\tilde{m}(t)$ มันจะให้สัญญาณดิจิตอลที่มีระดับลอจิกสูงที่มีคาบเวลา $\Delta(t)$ และถ้า $m(t)$ น้อยกว่า $m(t)$ พัลส์ลบจะถูกสร้างออกมา เอาท์พุทจากการเปรียบเทียบนี้ จะถูกป้อนผ่านฟลิบฟลอปที่ควบคุมด้วยสัญญาณนาฬิกาความถี่ fs ในรูป3.14.2 เพื่อให้ได้เป็นข้อมูลดิจิตอล ซึ่งก็คือการกำหนดอัตราการสุ่มสัญญาณนั้นเอง



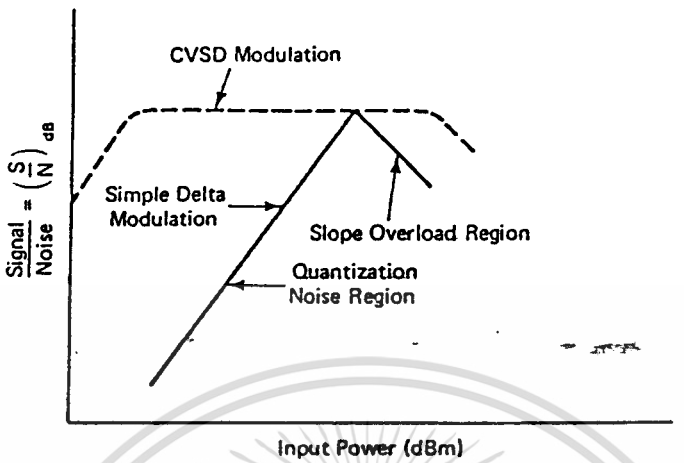
รูปที่3.14.2 Delta Modulation Waveforms Illustrating Idling, Tracking, and Slope Overload

รูปกราฟที่ได้แสดงในรูปที่3,14,2 แสดงถึงการทำงานของเดลต้ามอดดูเลเตอร์ รูปทางด้านซ้ายมือจะเป็นชุดของสัญญาณสามเหลี่ยม (trangular

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

waveforms) ซึ่งสร้างมาจากวงจรอินทิเกรเตอร์ คือสัญญาณ m(t) เมื่อไม่มีสัญญาณอินพุทที่จะป้อนเข้าเดลต้ามอดดูเลเตอร์ เนื่องจากวงจรอินทิเกรเตอร์จะให้สัญญาณลาด (ramp) ที่มีค่าความชันคงที่ ดังนั้นในสภาพคงที่ (Idling condition) สัญญาณที่ถูกส่งออกไปจะประกอบด้วยพัลซ์บวกและพัลซ์ลบต่อเนื่องกันไป ความแตกต่างระหว่างสัญญาณอินพุทเดิม m(t) และสัญญาณที่สร้างขึ้นใหม่ m(t) จะก่อให้เกิดผลของความผิดพลาดได้ ซึ่งเรียกว่า กรานูล่าร์ หรือ ควอนไทเซชั่นนอยส์ (quantization noise) ซึ่งสามารถลดลงได้โดยการลดขนาดของช่วง a หรือโดยการเพิ่มความถี่ของการสุ่ม (sampling frequency) ถ้าสัญญาณอินพุท m(t) มีขนาดพอ ๆ กันกับสัญญาณฟีดแบค m(t) พัลซ์ที่ได้ทางเอาท์พุทยังคงเป็นบวกอยู่ แต่ถ้าสัญญาณอินพุทเกิดการเปลี่ยนแปลงเร็วเกินกว่าวงจรเข้ารหัส (Encoder) จะตามทัน จะเกิดการเปลี่ยนแปลงความชันเกินขนาดขึ้น ซึ่งแสดงให้เห็นทางด้านขวามือของรูปที่3.14.2 ก่อให้เกิดการผิดพลาดขึ้นในขบวนการเดลต้ามอดดูเลชั่น เนื่องจากวงจรอินทิเกรเตอร์ไม่สามารถตามการเปลี่ยนแปลงของระดับของสัญญาณขนาดใหญ่หรือสัญญาณที่มีความถี่สูงได้ ซึ่งสิ่งเหล่านี้เป็นข้อจำกัดของเดลต้ามอดดูเลชั่น เพราะถ้าเราต้องการคุณภาพของสัญญาณที่ดี ความถี่ของสัญญาณนาฬิกาก็จะต้องยิ่งมีค่าสูงมากขึ้นเท่านั้น ซึ่งก็สิ้นเปลืองหน่วยความจำตามไปด้วย ความถี่ที่เพียงพอในการใช้งานจะต้องลองนำสัญญาณเอาท์พุทที่ได้ผ่านวงจรลีมอดดูเลเตอร์ในรูป 3.14.2 แล้วดูคุณภาพของสัญญาณที่ได้ โดยทั่วไปแล้วสำหรับคุณภาพเสียงพูดจากโทรศัพท์ซึ่งมีแถบกว้างประมาณ 4 KHz จะใช้ความถี่สุ่มประมาณ 16 KHz ความถี่นี้เป็นตัวกำหนดอัตราเร็วของข้อมูล (bit rate) ซึ่งเท่ากับ 16000 บิตต่อวินาที (bps)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่3,14,3 Signal-to-Noise for Simple and Adaptive Delta Modulation

จากรูป3,14,3 แสดงให้เห็นความสัมพันธ์ระหว่างอัตราส่วนของสัญญาณต่อสัญญาณรบกวน (S/N Ratio) กับขนาดของสัญญาณอินพุท โดยจะเห็นได้ว่าอัตราส่วนของสัญญาณรบกวนของเดลต้ามอดดูเลชั่นแบบธรรมดา (Simple delta modulation) นั้น จะมีค่าไม่คงที่เมื่อเทียบกับขนาดของสัญญาณอินพุท กล่าวคือ ถ้าสัญญาณอินพุทมีระดับต่ำ จะมีเสียงรบกวนมาก เนื่องจากควอนไตเซชั่นนอยส์ และถ้าระดับของสัญญาณอินพุทสูงเกินไปก็จะเกิด สัญญาณรบกวนจากการเปลี่ยนแปลงความชันเกินขนาด ซึ่งสิ่งเหล่านี้จำกัดขีดความสามารถของเดลต้ามอดดูเลชั่น นอกเหนือไปจากข้อเสียอื่น ๆ อีกคือ แถบกว้างของความถี่ใช้งาน ซึ่งถูกจำกัดโดยความถี่สัญญาณนาฬิกา ซึ่งจะต้องสูงกว่าความถี่สูงสุดของสัญญาณอินพุทมากกว่าสองเท่าขึ้นไป อีกอันหนึ่งก็คือ ความเร็วของการเปลี่ยนแปลงความสูงของสัญญาณ ระบบเดลต้ามอดดูเลชั่นแบบธรรมดามีช่วงไดนามิคที่แคบ จำเป็นต้องมีส่วนเพิ่มเติมทำหน้าที่ขยายย่านไดนามิคให้กว้าง โดยการควบคุมอัตราการขยายของอินทิเกรเตอร์ เพื่อให้ตอบสนองต่อสัญญาณที่มีความชันมาก ๆ ได้ทัน และยังต้องสามารถลดสัญญาณรบกวนลงได้ในย่านของการเปลี่ยน

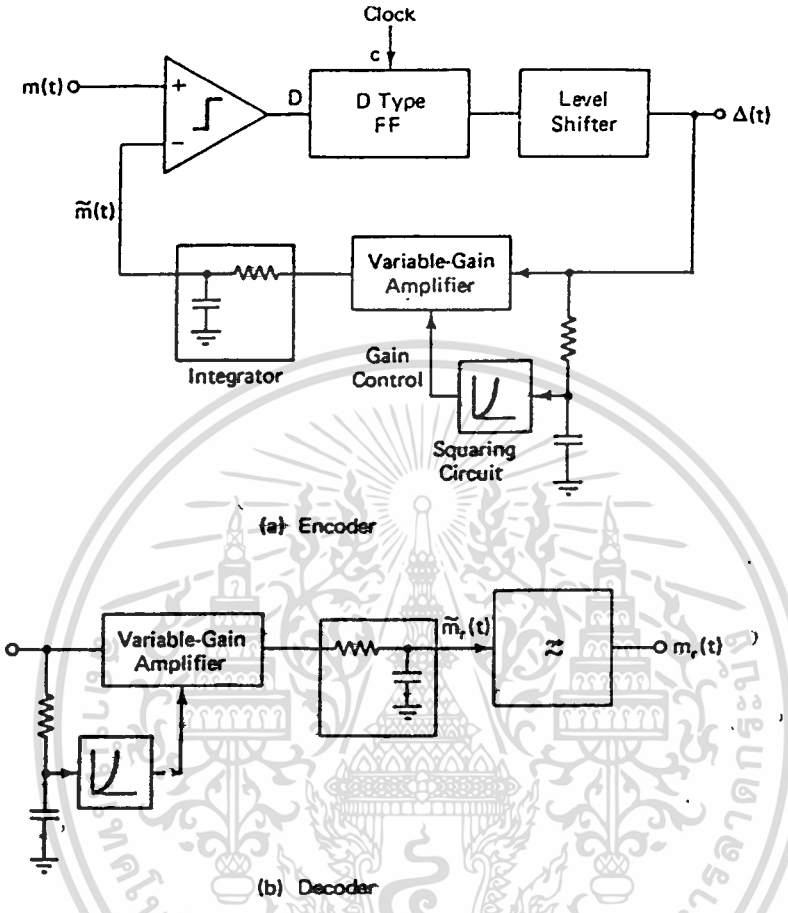
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แปลงของสัญญาณอินพุทที่กว้างเพียงพอ ระบบนี้มีชื่อเรียกใหม่ว่า ระบบเดลต้ามอดดูเลชั่นแบบเปลี่ยนแปลงความชันต่อเนื่อง หรือ CVSD (Continuous Variable Slope Delta Modulation) หรือบางทีเรียกว่า อแดปทีฟ เดลต้ามอดดูเลชั่น (Adaptive Delta Modulation)

ด้วยวิธีการของ CVSD นี้ มันจะสามารถให้ ซิกแนลทูนอยส์เรโชที่คงที่ได้มากกว่า ดังแสดงในรูป3.14.3 เนื่องจากความสามารถของตัวมันในการที่จะปรับตัวเองให้เหมาะสมกับขนาดของสัญญาณอินพุท โดยการเปลี่ยนแปลงขนาดของช่วง a ในรูป3.14.4 ให้เหมาะสมกับสัญญาณอินพุท ถ้าสัญญาณอินพุทมีขนาดเล็ก ช่วง a นี้จะแคบเข้า และจะกว้างออกเมื่อสัญญาณอินพุทมีขนาดใหญ่ ข้อดีนี้ทำให้มันมีอัตราส่วนของสัญญาณต่อสัญญาณรบกวนสูงและคงที่ และย่านไดนามิคของมันยังกว้างเพิ่มขึ้นกว่าเดิมด้วย

การทำงานของ CVSD นี้ แสดงเป็นบล็อคไดอะแกรมให้เห็นในรูปที่จะเห็นว่า การทำงานของวงจรจะขึ้นอยู่กับอัตราการขยายของวงจรในส่วนป้อนกลับ โดยจะมีอัตราขยายเพิ่มขึ้นถ้าขนาดของสัญญาณใหญ่ขึ้น และน้อยลงเมื่อขนาดของสัญญาณเล็กลง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.14.4 Variable Slope Delta Modulator

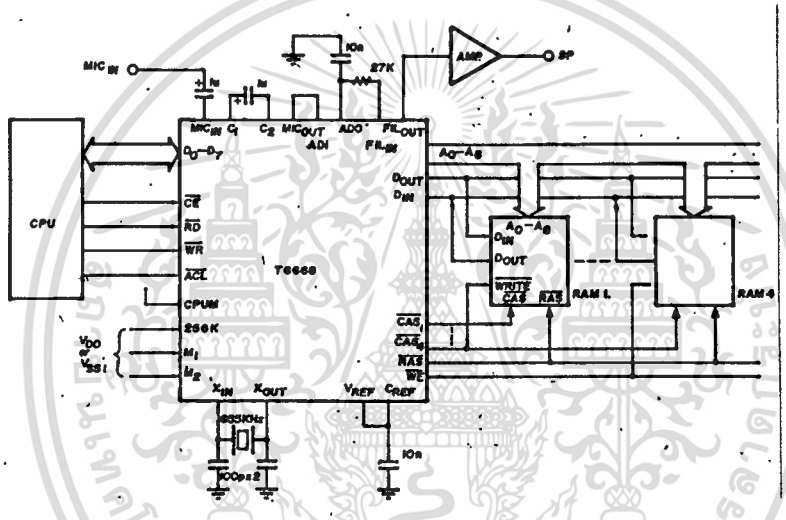
ข้อดีอีกประการหนึ่งของ CVSD เมื่อเทียบกับระบบ PCM แล้ว ระบบ CVSD จะใช้อัตราเร็วของข้อมูลต่ำกว่าครึ่งหนึ่ง สำหรับคุณภาพของสัญญาณที่ใกล้เคียงกัน เช่นระบบ PCM ต้องการ 64 kbps ในขณะที่ CVSD ต้องการเพียง 32 kbps เท่านั้น

แต่ข้อเสียของ CVSD ก็คือ มันไม่สามารถจะใช้กับระบบเวลาร่วมในการส่งสัญญาณหลาย ๆ ช่องได้ และไม่สามารถเข้ารหัสแบบเฟสสำหรับส่งสัญญาณผ่านรีเลย์ในระยะทางไกล ๆ ได้เช่นกัน

ในปัจจุบันมีชิพที่เป็น CVSD ออกมาจำหน่ายหลายแบบด้วยกัน เช่น เบอร์ VP2500 ของประเทศไต้หวัน เบอร์ HC55516/55532 ของบริษัท แฮริส และเบอร์ T6668 ของบริษัทโตชิบา เบอร์ FX209 ของ CMA (อเมริกา)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในวิตรงงานนี้ จะใช้ไอซี CVSD เบอร์ T6668 ของบริษัท ซึ่งพอจะหาได้ในเมืองไทย และให้ทำงานโดยใช้บิตเรต 16 kbps ใช้กับหน่วยความจำชนิด DRAM สามารถอินเตอร์เฟสกับซีพียูได้ เนื่องจากในวิตรงงานนี้ระบบควบคุมกลางจะใช้ซีพียูในการควบคุม ดังนั้นจึงสามารถต่อหน่วยจดจำเสียงพูดเข้ากับระบบควบคุมกลางได้โดยตรง



ตัวอย่างวงจรการใช้ CPU เข้ามาควบคุมการทำงาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

ส่วนควบคุมกลาง

วงจรในส่วนนี้จะเป็นส่วนที่ทำการควบคุมวงจรในส่วนอื่น ๆ ของเครื่องตอบรับรหัสพัฒนามัติให้ทำงานตามลำดับขั้นตอนของฟังค์ชั่นการทำงานต่าง ๆ ซึ่งแบ่งแยกฟังค์ชั่นการทำงานออกเป็นหลายฟังค์ชั่น อาทิเช่น การตรวจสอบดีย์จากวงจรรหัสตีโค้ดเดอร์ , การตรวจสอบสัญญาณกระดิ่ง เมื่อเจ้าของเป็นผู้รับติดต่อเข้ามาหาโดยอาศัยรหัสของสัญญาณกระดิ่ง หรือ การตรวจสอบรหัสผ่าน เมื่อเจ้าของเป็นผู้รับเข้ามาติดต่อด้วย, การควบคุมการบันทึก / การเล่นกลับของวงจรจดจำเสียงพูด

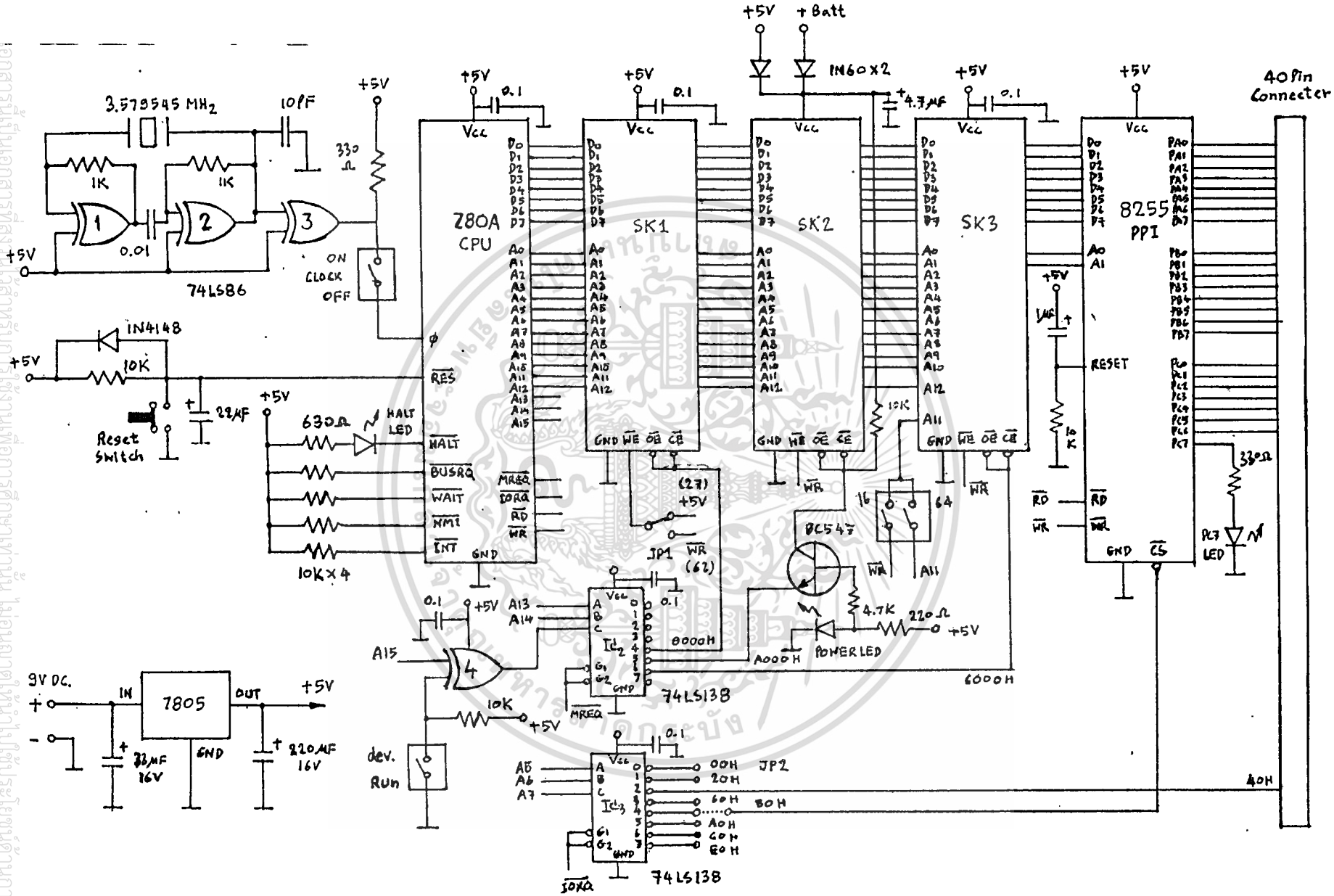
เนื่องจากในส่วนควบคุมนี้จะใช้ ไมโครโปรเซสเซอร์เป็นหัวใจหลักในการทำงาน ดังนั้นในภาคนี้จะประกอบขึ้นด้วยส่วนที่เป็นอุปกรณ์ทางอิเลคทรอนิคส์ซึ่งเรียกส่วนนี้ว่า ฮาร์ดแวร์ กับส่วนซึ่งเป็นชุดคำสั่งหรือโปรแกรมให้ไมโครโปรเซสเซอร์ทำงานซึ่งเรียกว่า ซอฟแวร์

HARDWARE

ในส่วนของฮาร์ดแวร์ จะใช้ไมโครโปรเซสเซอร์ Z - 80 ประกอบกับหน่วยความจำซึ่งมีทั้งชนิด EPROM (Erasable Programmable Read - Only Memery) ใช้เก็บชุดคำสั่งหรือโปรแกรม และ RAM ชนิดสแตติกแรมใช้เก็บสถานะบางอย่างขณะที่เครื่องกำลังทำงาน นอกจากนี้ยังประกอบกับพอร์ทซึ่งใช้ไอซีเบอร์ 8255 จะประกอบด้วยพอร์ท 3 ชุด คือ A, B, C ซึ่งทั้ง 3 พอร์ท สามารถจะโปรแกรมให้เป็นอินพุทพอร์ท หรือ เอาท์พุทพอร์ทก็ได้ ขณะผ่านทางคำสั่งของ Z - 80 ส่วนประกอบทางด้านฮาร์ดแวร์ทั้งหมดของภาคนี้ แสดงดังรูปที่ 4.1

จากรูปที่ 4.1 EX - OR ตัวที่ 1 และ 2 ทำหน้าที่เป็นออสซิเลเตอร์กำเนิดสัญญาณสแควร์เวฟโดยมีคริสตอลควบคุมความถี่ ซึ่งมีค่าเป็น 3.579545 MHZ ส่วน EX - OR ตัวที่ 3 ทำหน้าที่เป็นอินเวอร์เตอร์บัฟเฟอร์จ่ายสัญญาณคล็อกให้กับ CPU (ที่ขา ๑) ส่วนที่ขา RES ของ CPU จะต่อผ่าน R และ C

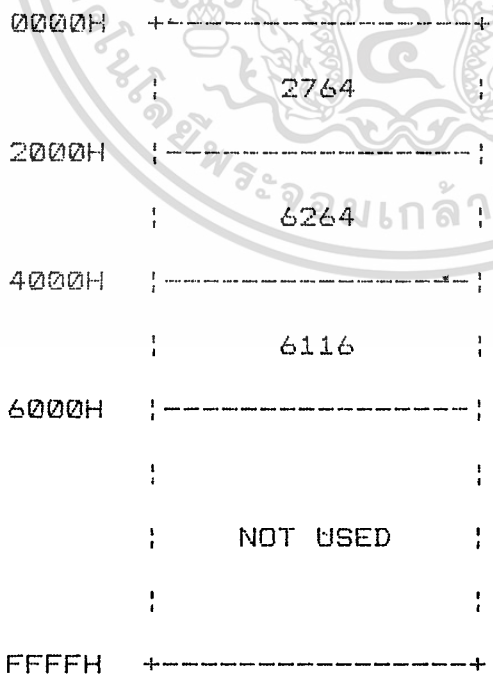
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.1 ส่วนประกอบทางฮาร์ดแวร์ของหน่วยควบคุมกลาง

เข้ากับไฟบวก 5 รวลท์ เพื่อให้เกิดลักษณะของ Power - on reset ในขณะเริ่มต้นจ่ายไฟเลี้ยงให้กับภาคนี้ ระบบควบคุมนี้จะไม่ใช้วิธีการอินเตอร์รัพท์ทางฮาร์ดแวร์ แต่จะใช้วิธีการพอลลิ่ง กล่าวคือ จะตรวจสอบสถานะอุปกรณ์ต่าง ๆ ที่เข้าควบคุมโดยผ่านทางพอร์ท วิธีการนี้ทำให้ลดขั้นตอนยุ่งยากในการออกแบบทางฮาร์ดแวร์ได้ ดังนั้น จาสัญญาณ $\overline{WALT}$, $\overline{BUSRQ}$, $\overline{WAIT}$, $\overline{NMI}$, $\overline{INT}$ ของ CPU จึงต่อผ่าน R เข้ากับไฟบวก 5 V

ระบบ data bus คือ Do ~ D7 ของ CPU จะต่อเข้ากับ sk1, sk2, sk3 และ พอร์ท 8255 เพื่อเป็นทางส่งผ่านของสัญญาณ ข้อมูลระหว่างหน่วยความจำ, พอร์ท กับ CPU เช่นเดียวกับระบบ address bus คือ A0 ~ A12 จะถูกต่อผ่านให้กับ sk1, sk2, sk3 เพื่อกำหนดตำแหน่งของหน่วยความจำ ส่วน IC 2 จะเป็นตัวถอดรหัส A13 - A15 เพื่อกำหนดช่วงของหน่วยความจำให้กับ sk1, sk2, sk3 โดยจะถอดรหัสช่วงหน่วยความจำตั้งแผนภูมิของหน่วยความจำในตารางที่ 4.1



ตารางที่ 4.1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในหน่วยความจำตั้งแต่แอดเดรส 2000H - 4000H ซึ่งอยู่ใน IC เบอร์ 6264 (sk2) เป็น IC CMOS จะถูก back-up ด้วย battery 6 V. ดังนั้น ไม่ว่าจะมีไฟจ่ายให้กับระบบหรือไม่ก็ตาม ข้อมูลในหน่วยความจำส่วนนี้จะไม่สูญหาย จึงใช้หน่วยความจำในส่วนนี้เก็บ ข้อมูล,สถานะต่าง ๆ ก่อนที่จะสั่งให้ ปิดการจ่ายไฟให้กับระบบนี้ เพื่อเป็นการประหยัดพลังงาน ดังนั้นเมื่อใดที่ต้องการให้ระบบนี้เข้าควบคุม ระบบก็ยังสามารถทำงานต่อได้ โดยการตรวจสอบ ข้อมูลสถานะต่าง ๆ ซึ่งเก็บไว้ในหน่วยความจำส่วนนี้

ส่วน IC 3 จะเป็นตัวถอดรหัสเพื่อกำหนดหมายเลขพอร์ท ซึ่งจะเป็นไปดังตารางที่ 4.2 โดยตำแหน่ง (80H), (81H), (82H) จะติดต่อกับ Port A,B,C ตามลำดับ ส่วนตำแหน่ง (83H) นั้นเป็นการส่งค่า Control word เพื่อควบคุมให้ 8255 ทำงานตาม Mode ที่กำหนด นอกจากนี้ Control word ที่ส่งให้ 8255 ยังเป็นการกำหนดให้พอร์ทใด เป็นอินพุทพอร์ท หรือ เอาท์พุทพอร์ทอีกด้วย

80H	Port A
81H	Port B
82H	Port C
83H	Control Word

ตารางที่ 4.2

การส่งสัญญาณเพื่อใช้ควบคุมวงจรภาคต่าง ๆ จะต่อผ่าน Connector ขนาด 40 ขา ซึ่งต่อโดยตรงมาจากพอร์ทของ 8255 โดยสัญญลักษณ์ย่อของ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณควบคุมต่าง ๆ จะแสดงดังตารางที่ 4.3

สัญญลักษณ์	สถานะ	การกระทำ
Pa_0~Pa_3	เอาท์พุท	ควบคุม Other voive recognize
Pa_4~Pa_7	เอาท์พุท	ควบคุม User voice recognize
Pb_0	เอาท์พุท	ควบคุม Power on supply
Pb_1	เอาท์พุท	ควบคุม การรับสายโทรศัพท์
Pb_2	เอาท์พุท	ควบคุม รีเลย์ภายในระบบ
Pb_3	เอาท์พุท	ส่ง สัญญาณเสียง
Pb_4	เอาท์พุท	ส่ง สัญญาณเตือน
Pb_5~Pb_7	ไม่ใช้งาน	----
Pc_0~Pc_1	อินพุท	สัญญาณกระดิ่ง(เรียกเข้า)
Pc_2~Pc_3	อินพุท	รหัส Key จากโทนดีโค้ดเดอร์
Pc_6	อินพุท	สัญญาณ EOS จาก Other voice
Pc_7	อินพุท	สัญญาณ EOS จาก User voice

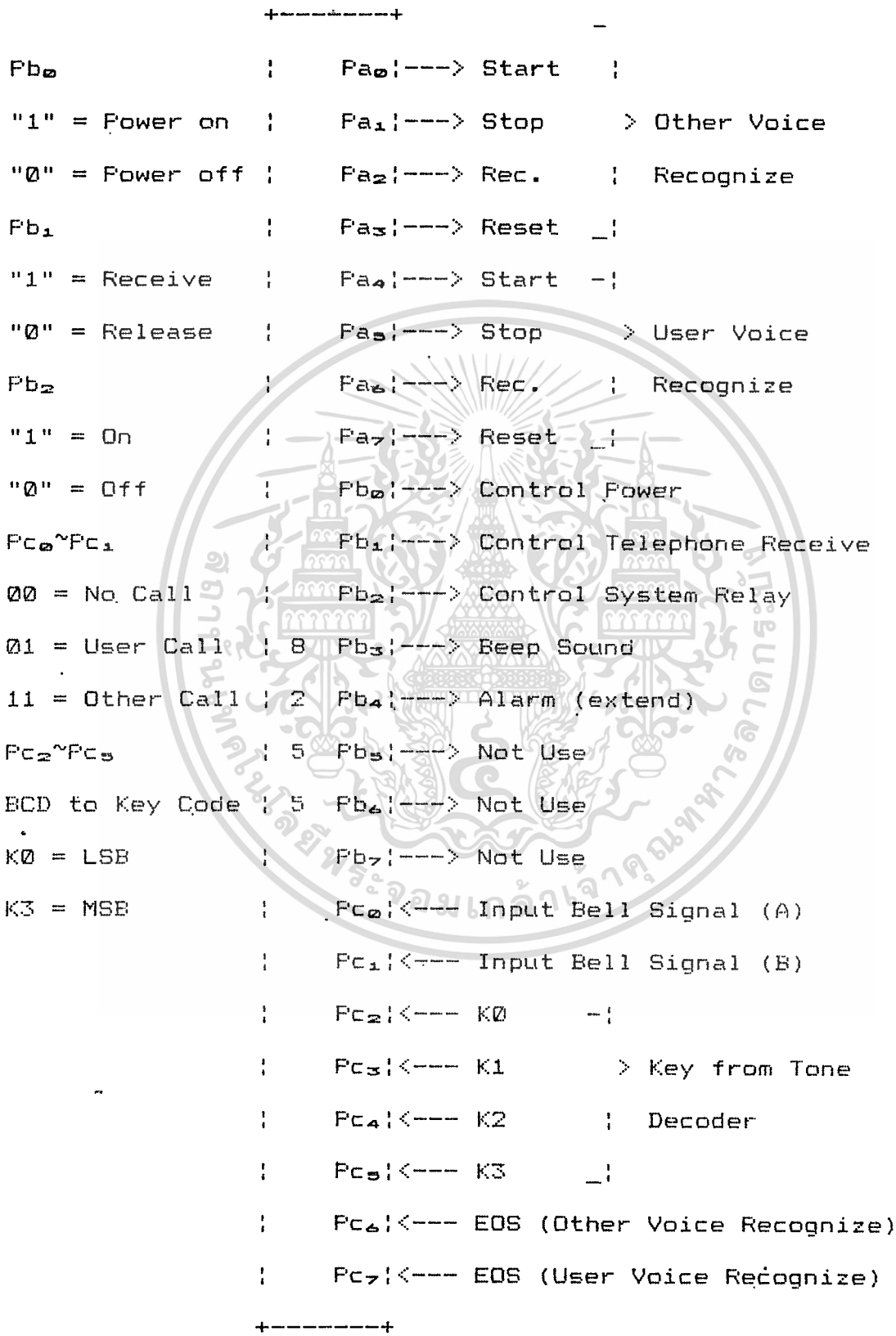
ตารางที่ 4.3

ตำแหน่งต่าง ๆ และรายละเอียดของสัญญาณจากพอร์ท 8255 จะแสดงในรูปที่ 4.2 โดยที่ Pc_0~Pc_1 เป็น 0,0 จะหมายถึงไม่มีสัญญาณกระดิ่งเรียกเข้ามา ถ้าเป็น 0,1 จะหมายถึงมีสัญญาณกระดิ่งจาก User เข้ามา และถ้าเป็น 1,1 หมายถึงมีสัญญาณกระดิ่งของ Other เข้ามา

<u>หมายเหตุ</u> User หมายถึง ผู้ที่เป็นเจ้าของเครื่องตอบรับอัตโนมัติ

Other หมายถึง ผู้ที่ต้องการติดต่อกับ User โดยปกติ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.2 รายละเอียดสัญญาณต่าง ๆ จากพอร์ทควบคุม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SPECIFICATION ส่วนควบคุม

CPU	Z – 80 A
Memory	2764 Socket 1 (8 Kbyte at 0000H)
	6264 Socket 2 (8 Kbyte at 2000H)
	6116 Socket 3 (2 Kbyte at 4000H)
Port	8255 I/O Port (8*3 bit)
LED	1 Power Red LED
	1 Halt Green LED
Diode	2 1N60
Transistor	1 BC547
TTL IC	3 74LS86 74LS138*2
Regulator	1 7805
Connector	1 40 – Pin Peripheral Header – Strip (8255 Port)
	1 2 – Pin for Power supply
Clock Rate	3.579545 MHz
Power Supply	Comsumption 5V DC
	Main Input 9–12V DC
PCB Size	8.5 * 12 cm.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SOFTWARE

ในส่วนของโปรแกรมจัดระบบการทำงานนี้ จะประกอบด้วยโปรแกรมย่อยที่ทำงานตามฟังค์ชั่นต่าง ๆ มากมาย เพื่อให้เกิดความกระชับในการทำความเข้าใจ จะอธิบายเป็นภาษาอังกฤษในขั้นตอนของโปรแกรม ซึ่งบางตอนจะใช้ภาษาไทยเพื่อให้เกิดความเข้าใจยิ่งขึ้น

การทำงานของเครื่องตอบรับโทรศัพท์นี้สามารถที่จะอธิบายได้โดยผังการทำงาน (Flow Chart) ซึ่งในส่วนของหน่วยควบคุมกลางนี้จะต้องควบคุมอุปกรณ์ต่าง ๆ ที่เกี่ยวข้องให้ปฏิบัติงานตาม Flow Chart อย่างเคร่งครัด ดังนั้นก่อนที่จะเข้าศึกษาโปรแกรม เรามาดู Flow Chart ดังในรูปที่ 4.3 กันก่อน

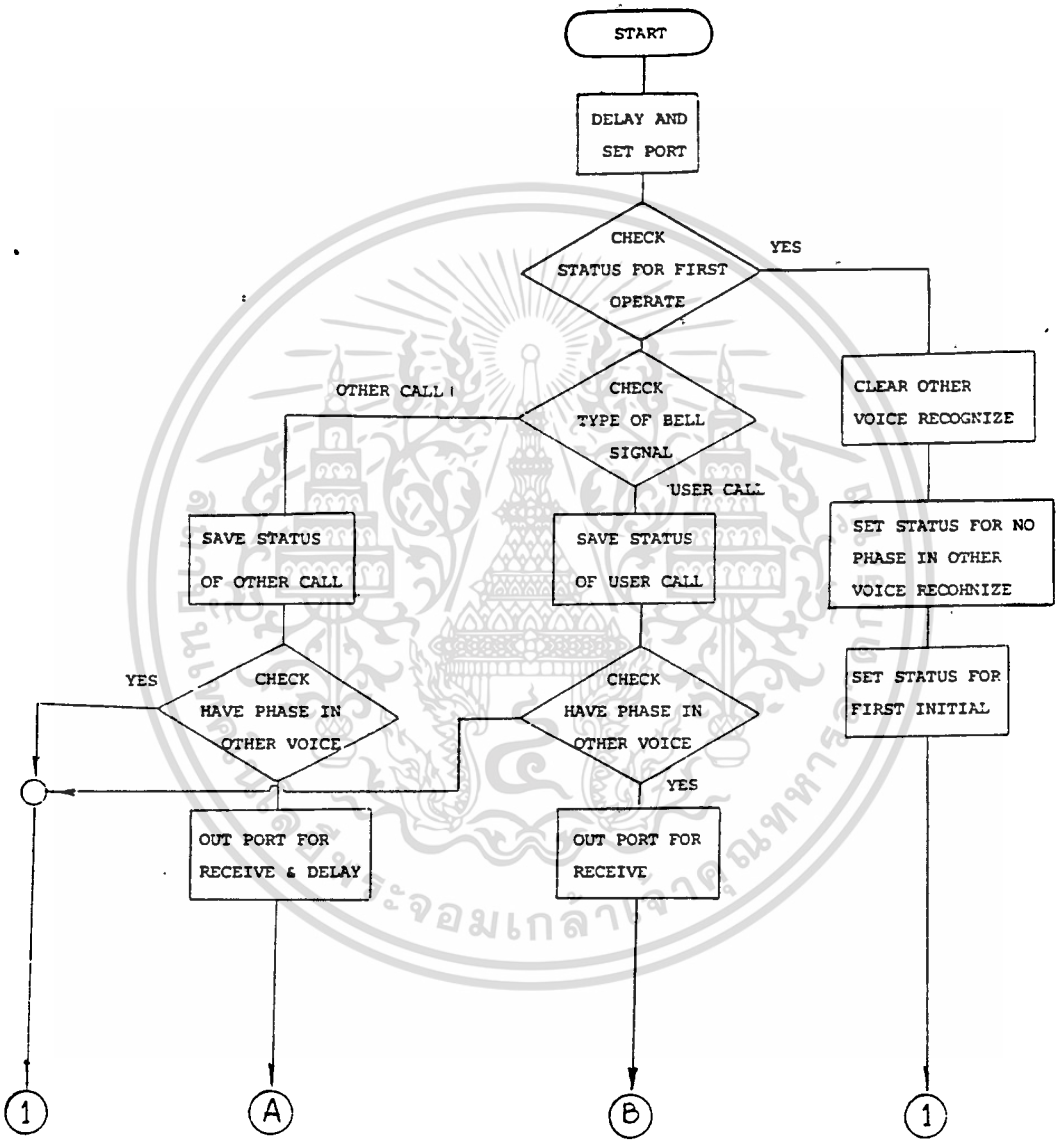
เริ่มต้นที่จุด Start เมื่อจ่ายไฟให้กับระบบควบคุมแล้ว จะทำการหน่วงเวลาเพื่อรอให้ระบบไฟคงที่ จากนั้นจะทำการกำหนดพอร์ท อินพุทเอาท์พุท แล้วจะตรวจสอบว่าการทำงานครั้งนี้ เป็นครั้งแรกหลังจากที่จ่ายระบบไฟเข้าให้หรือเปล่า เพราะเรามีการปิดระบบไฟให้กับภาคควบคุมนี้หลังจากเสร็จสิ้นการควบคุมเพื่อเป็นการประหยัดพลังงาน ถ้าตรวจสอบแล้วพบว่าเป็นการเปิดเครื่องครั้งแรกก็จะทำการตั้งค่าต่าง ๆ เก็บไว้ในหน่วยความจำ จากนั้นก็จะสั่งให้ปิดไฟที่จ่ายให้กับตัวเองลง แต่ถ้าตรวจสอบแล้วพบว่ามิใช่เป็นการเปิดเครื่องครั้งแรก โปรแกรมก็จะทราบได้เองว่ามีสัญญาณกระตุ้นเกิดขึ้นแล้ว

จากนั้น ก็จะเข้าดำเนินการควบคุมตามจังหวะและช่วงเวลาซึ่งได้เขียนไว้ใน Flow Chart ซึ่งสามารถเข้าใจได้ดีกว่าการอธิบาย

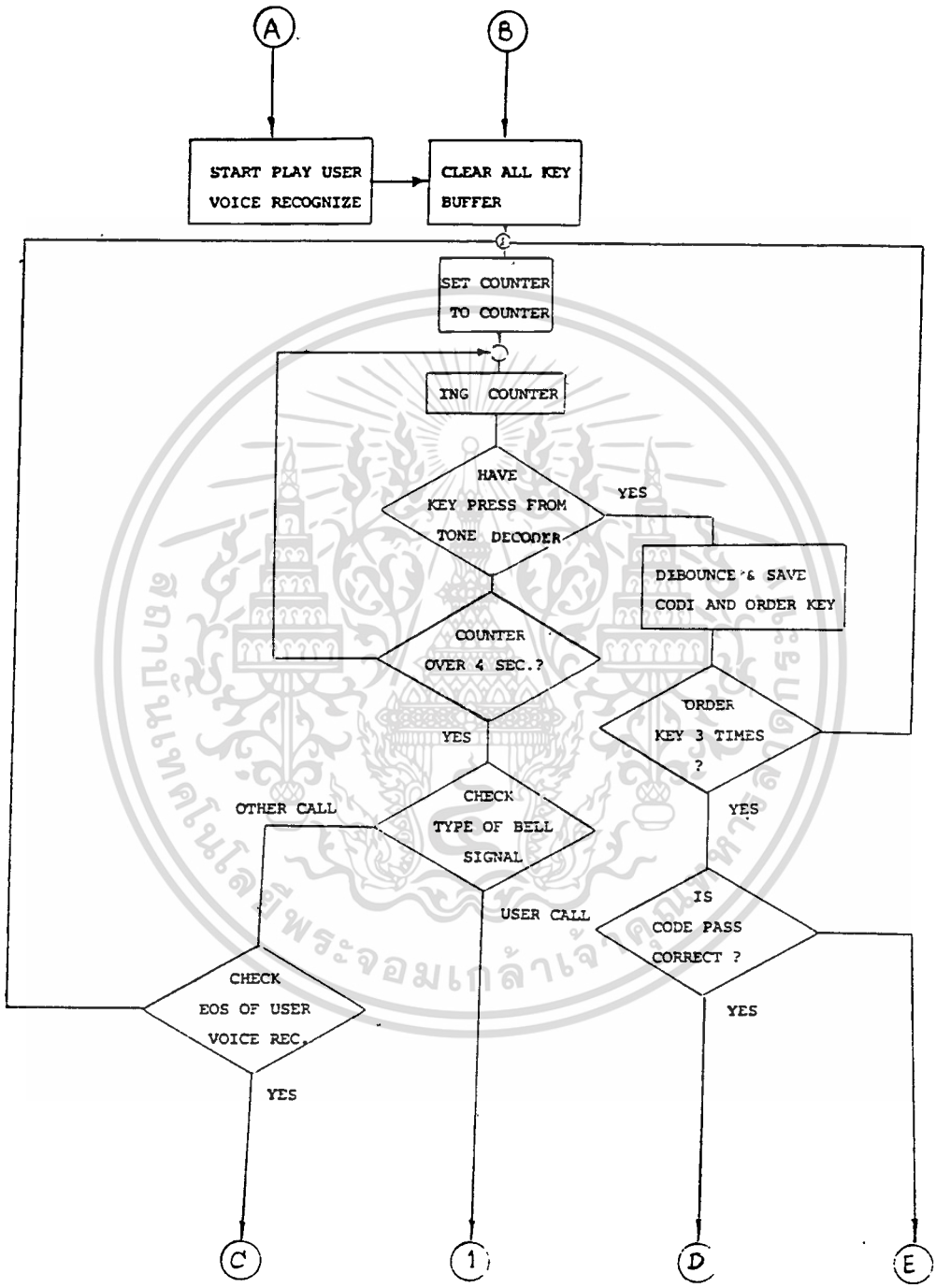
ในส่วนของโปรแกรม จะเขียนด้วยภาษา แอสเซมบลี้ของ Z - 80 ซึ่งจะมีคำอธิบายในส่วนต่าง ๆ ของโปรแกรมไว้ให้แล้ว โดยโปรแกรมย่อยต่าง ๆ จะมีค่าตัวประกอบส่งผ่านทาง รีจิสเตอร์ (Input) การกระทำของโปรแกรมย่อย (Output) และค่าของ รีจิสเตอร์ ที่ถูกทำลายบนหลังการปฏิบัติงานของโปรแกรมย่อย (Destroy) และโปรแกรมย่อยซึ่งต้องเรียกโปรแกรมย่อยอีกชั้นหนึ่ง Cala ส่วนพื้นที่ในหน่วยความจำซึ่งตัวโปรแกรมจำเป็นต้องใช้นั้น ได้แสดงไว้ในส่วนแรกของโปรแกรมหลัก

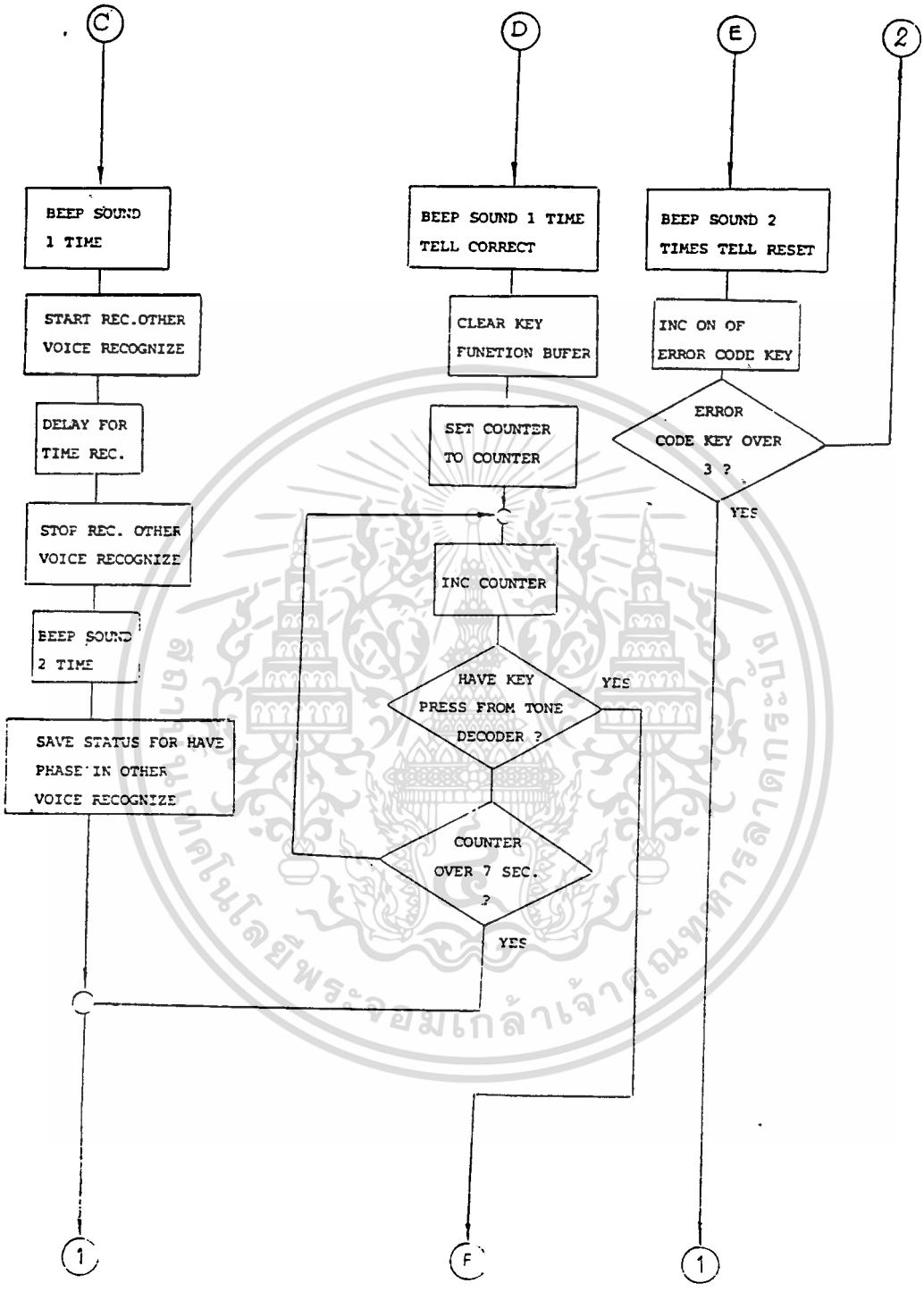
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FLOW CHART FOR OPERATED

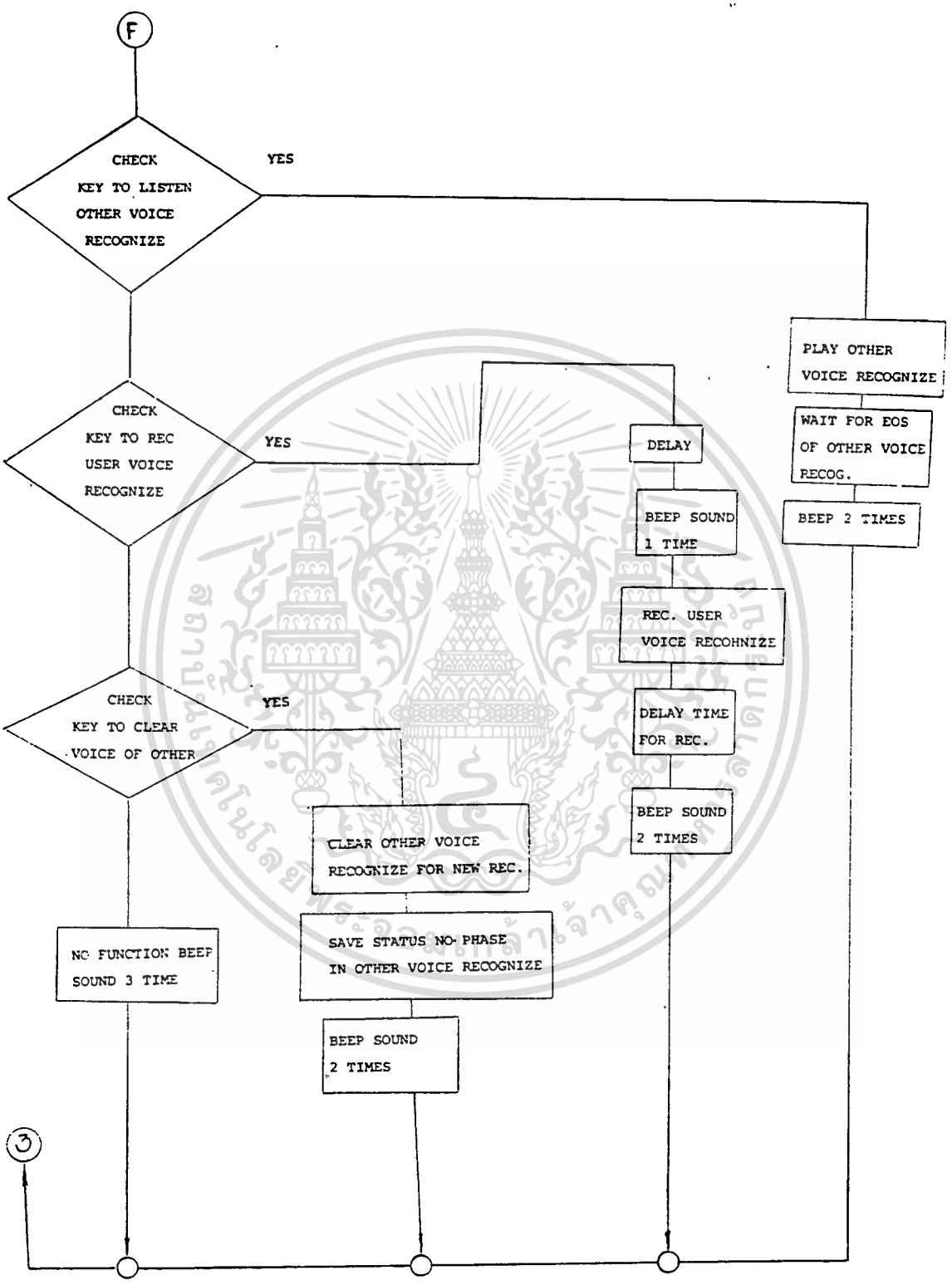


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

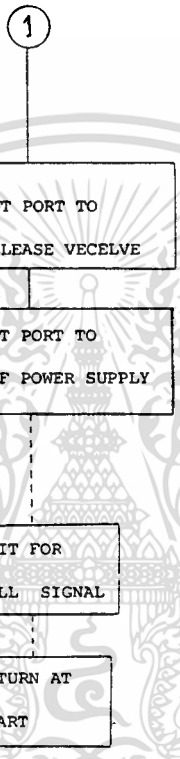

A
B
START PLAY USER VOICE RECOGNIZE
CLEAR ALL KEY BUFFER
1
SET COUNTER TO COUNTER
ING COUNTER
HAVE KEY PRESS FROM TONE DECODER
YES
DEBOUNCE & SAVE CODI AND ORDER KEY
COUNTER OVER 4 SEC.?
YES
ORDER KEY 3 TIMES ?
YES
CHECK TYPE OF BELL SIGNAL
OTHER CALL
USER CALL
IS CODE PASS CORRECT ?
YES
CHECK EOS OF USER VOICE REC.
YES
C
1
D
E



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

: ASM

```
0000 ; ************************************************
0001 ; * MAIN PROGRAM FOR CONTROL AUTOMATIC TELLOPHONE *
0002 ; *                                              *
0003 ; * Develope by                                  *
0004 ; * Sombat & Manavit                             *
0005 ; * Ladkabang                                    *
0006 ; ************************************************
0007 ;
0008 ; (83H) = control word 89H
0009 ; (80H) = port A
0010 ; (81H) = port B
0011 ; (82H) = port C
0012 ; 2002H store status of initial = 5AH
0013 ; 2003H   "   data of port A
0014 ; 2004H   "   data of port B
0015 ; 2005H   "   data of port C
0016 ; 2006H   "   status of phase in other voice recognize
0017 ;             and status of bell signal
0018 ;             t∅     : status of phase
0019 ;             b1^b22  : status of bell signal
0020 ; 2007H store key buffer
0021 ; 2008H   "   code key pass order 1 buffer
0022 ; 2009H   "   code key pass order 2 buffer
0023 ; 200AH   "   code key pass order 3 buffer
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
0024 ; 200BH   "   function key buffer
0025 ; 200CH   "   order key press
0026 ; 200DH   "   No of key code error
0027 ;
0028 ;  variable
0029 ;  STI     EQU    2002H
0030 ;  PA      EQU    2003H
0031 ;  PB      EQU    2004H
0032 ;  PC      EQU    2005H
0033 ;  STA     EQU    2006H
0034 ;  KBF     EQU    2007H
0035 ;  KC1     EQU    2008H
0036 ;  KC2     EQU    2009H
0037 ;  KC3     EQU    200AH
0038 ;  FKB     EQU    200BH
0039 ;  OKP     EQU    200CH
0040 ;  KER     EQU    200DH
0041 ;  SA      EQU    80H
0042 ;  SB      EQU    81H
0043 ;  SC      EQU    82H
0044 ;  SCW     BEQU    83H
0045 *
0000- 06 FF     0046    STR     LD  B,FFH       ;Saftware initial
0002- 10 FE     0047    PWL     DJNZ PWL
0004- 31 FD 3F  0048            LD   SP,3FFDH   ;Set stack address
0007- C3 00 10  0049            JP   0100H      ;Jump address start
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
0100- 0E 83       0050          LD   C,83H      ;# port control word
0102- 3E 89       0051          LD   A,89H      ;Set port A,B as output port C as input
0104- ED 79       0052          OUT  (C),A
0106- 3E 01       0053          LD   A,01H      ;On power
0108- D3 81       0054          OUT  (SB),A
010A- 3A 02 20    0055          LD   A,(STI)    ;Check status
010D- FE 5A       0056          CP   5AH
010F- 20 17       0057          JR   Z,CONT     ;Not frist initial
0111- DD 21 06 20 0058          LD   IX,STA     ;Save status no phase in other voice recognize
0115- DD 7E 00    0059          LD   A,(IX)
0118- CB 87       0060          RES  B0,A       ;Reset bit3
011A- DD 77       0061          LD   (IX),A     ;Save
011C- 3E 5A       0062          LD   A,5AH      ;Constant of first initial
011E- 32 02 20    0063          LD   (STI),A    ;Save
0121- C3 40 1B    0064          JP   POF        ;Off power
0124- DB 82       0065    CON   IN   A,(SC)     ;Check bell signal
0126- 32 05 20    0066          LD   (PC),A     ;Save port C
0129- CB 4F       0067          BIT  B1,A
012B- C3 40 1B    0068          JP   POF        ;No bell signal off power
012E- 21 06 20    0069          LD   HL,STA
0131- 56          0070          LD   D,(HL)
0132- CB CA       0071          SET  B1,D       ;Save status of bell signal
0134- CB 52       0072          BIT  B2,D       ;Check type of bell called
0136- C2 47 01    0073          JP   NZ,OTHE    ;Jump to other called
0139- CB 92       0074          RES  B2,D       ;Start user called
013B- 72          0075          LD   (HL),D
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
013C- CB 72       0076          BIT  B,D      ;Test phase in other voice recognize
013E- CA 40 1B    0077          JP   Z,POF    ;No phase off power
0141- 3E 03       0078          LD   A,03H    ;Out port to receive
0143- D3 81       0079          OUT  (SB),A
0145- 18 0D       0080          JR   CCP      ;Go to clear code pass
0147- CB 52       0081    OTHE  SET  B,D      ;Start other bell called
0149- 72          0082          LD   (HL),D   ;Save atstus
014A- CB.42       0083          BIT  B,D      ;Check phase in other voice recognize
014C- C2 40 1B    0084          JP   NZ,POF   ;Have phase off power
014F- 3E 03       0085          LD   A,03H    ;Out port to receive
0151- D3 81       0086          OUT  (SB),A
0153- CD 10 1A    0087          CALL USP      ;Start user voice recognize to play
0156- 21 07 20    0088    CCP   LD   HL,KBF   ;Clear keybroad buffer
0159- AF          0089          XOR  A        ;Clear A
015A- 06 05       0090          LD   B,07H
015C- 77          0091    CCP1  LD   (HL),A
015D- 23          0092          INC  HL
015E- 10 F9       0093          DJNZ CCP1
0160- FD 21 08 20 0094          LD   IY,KC1   ;Address key code 1 in IY
0164- 21 18 00    0095    BRAN  LD   HL,0018H ;Delay 4 sec. for check key have pressed
0167- 11 FF FF    0096    BRA1  LD   DE,FFFFH
016A- CD 00 10    0097    BRA2  CALL KYP      ;to check key pressed
016D- FE          0098          CP   00H
016E- 20 3F       0099          JR   NZ,KBS   ;Have key press
0170- 1B          0100          DEC  DE
0171- 7A          0101          LD   A,D
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
0172- B3          0102          OR   E
0173- 20 F2       0103          JR   NZ,BRA2
0175- 2B          0104          DEC  HL
0176- 7C          0105          LD   A,H
0177- B5          0106          OR   L
0178- 20 E7       0107          JR   NZ,BRA1
017A- 21 06 20    0108          LD   HL,STA     ;No key press
017D- 56          0109          LD   D,(HL)     ;Test type of bell signal
017E- CB 52       0110          BIT  B2,D
0180- 20 07       0111          JR   NZ,SOT     ;Go to sub other call
0182- C3 40 1B    0112          JP   POF
0185- DB 82       0113    SOT   IN   A,(SC)     ;Check signal EOS of user user voice recognize
0187- CB 7F       0114          BIT  B7,A       ;Wait until EOS active
0189- 28 C5       0115          JR   Z,BRAH
018B- 06 01       0116          LD   B,01H      ;EOS active
018D- CD 10 1B    0117          CALL BEEP       ;Beep sound 1 time tell to rec.
0190- CD C0 1A    0118          CALL OTR        ;Start other voice recognize to rec.
0193- 11 E6 39    0119          LD   DE,39E6H   ;Delay for rec.
0196- CD 40 10    0120          CALL DLS
0199- CD F0 1A    0121          CALL OTSP       ;Stop rec. other voice recognize
019C- 06 02       0122          LD   B,02H      ;Beep sound 2 times
019E- CD 10 1B    0123          CALL BEEP
01A1- 3A 06 20    0124          LD   A,(STA)    ;Save status have phase in other voice recognize
01A4- CB 47       0125          SET  B0,A
01A6- 32 06 20    0126          LD   (STA),A
01A9- C3 40 1B    0127          JP   POF
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
01AC- FD 77 00    0128   KBS    LD   (IY),A     ;Save key code
01AF- FD 23       0129          INC  IY          ;Shift order key code
01B1- 21 0C 20    0130          LD   HL,OKP      ;Check order key equal 3 times
01B4- 34          0131          INC  (HL)
01B5- FE 03       0132          CP   03H
01B7- C2 64 01    0133          JP   NZ,BRAN
01BA- FD 2B       0134          DEC  IY          ;Key code 3 times ready
01BC- FD 7E 00    0135          LD   A,(IY)      ;Check key code
01BF- FE 01       0136          CP   01H
01C1- 20 21       0137          JR   NZ,ERR      Key code # 3 false
01C3- FD 2B       0138          DEC  IY
01C5- FD 7E 00    0139          LD   A,(IY)
01C8- FE 02       0140          CP   02H
01CA- 20 18       0141          JR   NZ,ERR      ;Key code # 2 false
01CC- FD 2B       0142          DEC  IY
01CE- FD 7E 00    0143          LD   A,(IY)
01D1- FE 03       0144          CP   03H
01D3- 20 0F       0145          JR   NZ,ERR      ;Key code # 1 false
01D5- 06 01       0146          LD   B,01H       ;Key code pass true
01D7- CD 10 1B    0147          CALL BEEP
01DA- 18 28       0148          JR   FUNC        ;to sub function
01E0- 06 02       0149   ERR    LD   B,02H       ;Key code pass false
01E2- CD 10 1B    0150          CALL BEEP
01E5- 21 0D 20    0151          LD   HL,KER      ;Check Nocode pass error
01E8- 34          0152          INC  (HL)
01E9- 7E          0153          LD   A,(HL)
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
01EA- D6 03       0154            SUB  03H
01EC- FA 64 01    0155            JP   M,BRAN
01EF- C3 40 1B    0156            JP   POF        ;Error over 3 times off power
0200- 21 84 03    0157    FUNC    LD   HL,0384H  ;Delay in 7 sec.
0203- 11 FF FF    0158    FUN1    LD   DE,FFFFH
0206- CD 00 10    0159    FUN2    CALL KYP
0209- FE 00       0160            CP   00H        ;Have key pressed ?
020B- 20 F9       0161            JR   NZ,KFUN
020D- 1B          0162            DEC  DE
020E- 7A          0163            LD   A,D
020F- B3          0164            OR   E
0210- 20 F1       0165            JR   NZ,FUN2
0212- 2B          0166            DEC  HL
0213- 7C          0167            LD   A,H
0214- B5          0168            OR   L
0215- 20 E3       0169            JR   NZ,FUN1
0217- C3 40 1B    0170            JP   POF
0220- 4F          0171    KFUN    LD   C,A        ;Save key function
0221- FE 04       0172            CP   04H
0223- 28 1F       0173            JR   Z,F1       ;Function 1
0225- FE 05       0174            CP   05H
0227- 28 2B       0175            JR   Z,F2       ;Fundtion 2
0229- FE 06       0176            CP   06H
022B- 28 45       0177            JR   Z,F3       ;Function 3
022D- 06 03       0178            LD   B,03H      ;No function
022F- CD 10 1B    0179            CALL BEEP
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
0232- 18 CE       0180          JR   FUNC
0240- CD 90 1A    0181    F1    CALL DTP
0243- DB 82       0182    F11   IN   A,(SC)
0245- CB 77       0183          BIT  B6,A
0247- 20 FB       0184          JR   NZ,F11
0249- 06 02       0185          LD   B,02H
024B- CD 10 1B    0186          CALL BEEP
024E- 18 B9       0187          JR   FUNC
0250- 11 B8 07    0188    F2    LD   DE,07B8H   ;Delay 2 sec.
0253- CD 40 10    0189          CALL DLS
0256- 06 01       0190          LD   B,01H
0258- CD 10 1B    0191          CALL BEEP
025B- CD 40 1A    0192          CALL USR        ;Start user voice recognize to rec.
025E- 11 32 4D    0193          LD   DE,4D32H   ;Delay for rec.
0261- CD 40 10    0194          CALL DLS
0264- CD 70 1A    0195          CALL USSP       ;Stop rec.
0267- 06 01       0196          LD   B,02H
0269- CD 10 1B    0197          CALL BEEP
026C- 18 9E       0198          JR   FUNC
026E- 3A 06 20    0199    F3    LD   A,(STA)    ;Clear no phase in other voice recognize
0271- CB B7       0200          RES  B6,A
0273- 32 06 20    0201          LD   (STA),A
0276- 06 02       0202          LD   B,02H
0278- CD 10 1B    0203          CALL BEEP
027B- 18 90       0204          JR   FUNC       ;Go to new function
                  0205 ; **********************
                  0206 ; * End main program *
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                0208 ;
                0209 ; ********************************************
                0210 ; * sub program for check have key pressed ? *
                0211 ; ********************************************
                0212 ; input   : none
                0213 ; output  : key code in A , unless A = 00H
                0214 ; destroy : AF,B
                0215 ; call    : DL1
                0216 ; *
1000- 3E 00     0217    KYP     LD   A,00H      ;Clear Key Buffer
1002- 32 07 20  0218            LD   (KBF),A
1005- DB 82     0219            IN   A,(SC)     ;in key from tone decoder
1007- CB 3F     0220            SRL  A
1009- CB 3F     0221            SRL  A          ;Shift lower
1008- E6 0F     0222            AND  0FH        ;Test lower 4 bit
100D- FE 00     0223            CP   00H        ;Test have key pressed
100F- C8        0224            RET  Z          ;No key pressed
1010- 32 07 20  0225            LD   (KBF),A    ;Save key code
1013- 06 0A     0226            LD   B,0AH      ;Debounde 10 ms
1015- CD 60 10  0227    DEB     CALL DL1
1018- 10 FB     0228            DJNZ DEB
101A- 3A 07 20  0229            LD   A,(KBF)    ;Return key code
101D- 47        0230            LD   B,A
101E- DB 82     0231            IN   A,(SC)
1020- CB 3F     0232            SRL  A
1022- CB 3F     0233            SRL  A
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
1024- 90          0234            SUB  B          ;Check new and old code
1025- 20 D5       0235            JR   NZ,KYP     ;Code error
1027- DB 82       0236    REP     IN   A,(SC)     ;Wait for key relerst
1029- CB 3F       0237            SRL  A
102B- CB 3F       0238            SRL  A
102D- E6 0F       0239            AND  0FH
102F- FE 00       0240            CP   00H
1031- 20 EE       0241            JR   NZ, REP
1033- 3A 07 20    0242            LD   A,(KBF)    ;LD key code in A
1036- C9          0243            RET
                  0244 ;
                  0245 ;
                  0246 ; ********************************
                  0247 ; * sub program delay in sec. *
                  0248 ; ********************************
                  0249 ; input   : DE
                  0250 ; output  : time(s) delay = 1.0911997E-03 * DE
                  0251 ; destroy : DE
                  0252 ; call    : DL1
                  0253 ;
1040- 1B          0254    DLS     DEC  DE
1041- CD 60 10    0255            CALL DL1
1044- 7A          0256            LD   A,D        ;16 bit test zero
1045- B3          0257            OR   E
1046- 20 F6       0258            JR   NZ,DLS
1048- C9          0259            RET
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                0260 ;
                0261 ;
                0262 ; ********************
                0263 ; * sub progra delay *
                0264 ; ********************
                0265 ; input   : HL(dec) = (time - 9.765E-06)/7.254E-06
                0266 ; output  : time delay
                0267 ; destroy : HL
                0268 ;
1050- F5        0269   DELA    PUSH AF         ;Save AF
1051- 2B        0270   LOP1    DEC  HL
1052- 7C        0271           LD   A,H        ;16 bit test zero
1053- B5        0272           OR   L
1054- 20 F5     0273           JR   NZ,LOP1
1056- F1        0274           POP  AF
1057- C9        0275           RET
                0276
                0277
                0278 ; ****************************
                0279 ; * sub progra delay 1 ms *
                0280 ; ****************************
                0281 ; input   : none
                0282 ; output  : time delay
                0283 ; destroy : none
                0284 ; call    : DELA
                0285 ;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
1060- E5          0286    DLS     PUSH HL
1061- 21 86 00    0287            LD   HL,0086H
1064- CD 50 10    0288            CALL DELA
1067- E1          0289            POP  HL
1068- C9          0290            RET
                  0291 ;
                  0292 ;
                  0293 ; ********************************
                  0294 ; * sub program for beep sound *
                  0295 ; ********************************
                  0296 ; input   : B (No. of sound)
                  0297 ; output  : sound
                  0298 ; destroy : none
                  0299 ; call    : DELA , DLS
                  0300 ; *
1070- F5          0301    BEEP    PUSH AF         ;Save all register
1071- D5          0302            PUSH DE
1072- E5          0303            PUSH HL
1073- C5          0304            PUSH BC
1074- 0E 81       0305    B2      LD   C,81H      ;Save # port in C
1076- 11 40 06    0306            DE,0640H        ;peroid of sound
1079- 3A 04 20    0307    B1      LD   A,(PB)     ;data port B in A
107C- EE 08       0308            XOR  08H        ;toggle bit sound
107E- 32 04 20    0309            LD   (PB),A     ;return save data port B
1081- ED 79       0310            OUT  (C),A
1083- 21 40 00    0311            LD   HL,0040H   ;HL is frequency of sound
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
1086- CD 50 10     0312          CALL DELA
1089- 1B           0313          DEC  DE
108A- 7A           0314          LD   A,D
108B- B3           0315          OR   E
108C- 20 E6        0316          JR   NZ,B1
108E- 11 EE 01     0317          LD   DE,01EEH   ;blank sound
1091- CD 40 10     0318          CALL DLS
1094- 10 D5        0319          DJNZ B2
1096- C1           0320          POP  BC
1097- E1           0321          POP  HL
1098- D1           0322          POP  DE
1099- C9           0323          RET
                   0324
                   0325
                   0326 ; ********************************
                   0327 ; * sub program control voice *
                   0328 ; ********************************
                   0329 ; input   : C No port to sent
                   0330 ;         : A data to sent
                   0331 ; output  : out port and delay
                   0332 ; destroy : none (only use in voice control sup program)
                   0333 ; call    : DL1
                   0334 ; *
1A00- ED 79        0335          CTV  OUT  (C),A
1A02- CD 40 10     0336          CALL DL1
1A05- C9           0337          RET
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                0338
                0339
                0340 ; ********************************************************
                0341 ; * sub program start user voice recognize to play *
                0342 ; ********************************************************
                0343 ; input   : none
                0344 ; output  : start user voice recognize to play
                0345 ; destroy : none
                0346 ; call    : CTV
                0347 ; *
1A10- F5        0348   USP    PUSH AF         ;Save register
1A11- C5        0349          PUSH BC
1A12- 0E 80     0350          LD   C,80H
1A14- 3E 08     0351          LD   A,08H      ;Set port B
1A16- 32 04 20  0352          LD   (P6),A
1A19- D3 81     0353          OUT  (SB),A     ;out port B
1A1B- 0E 80     0354          LD   C,80H      ;Save # port B
1A1D- 3E 08     0355          LD   A,08H      ;Initial user voice
1A1F- CD 00 1A  0356          CALL CTV        ;out port & delay
1A22- 3E 88     0357          LD   A,88H      ;Reset user voice
1A24- CD 00 1A  0358          CALL CTV
1A27- 3E 98     0359          LD   A,98H      ;Start to play
1A29- CD 00 1A  0360          CALL CTV
1A2C- 3E 88     0361          LD   A,88       ;Stop pulse start
1A2E- 32 03 20  0362          LD   (PA),A     ;Save status
1A31- ED 79     0363          OUT  (C),A
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

```
1A33- C1          0364          POP  BC        ;Return register
1A34- F1          0365          POP  AF
1A35- C9          0366          RET
                  0367
                  0368 ;**************************************************
                  0369 ; * sub program start user voice recognize to rec. *
                  0370 ;**************************************************
                  0371 ; input   : none
                  0372 ; output  : start user voice to rec.
                  0373 ; destroy : none
                  0374 ; call    : CTV
                  0375 ; *
1A48- F5          0376   USR    PUSH AF        ;Save register
1A41- C5          0377          PUSH BC
1A42- 3E 06       0378          LD   A,06H     ;On relay
1A44- 32 04 20    0379          LD   (PB),A    ;Save status
1A47- D3 81       0380          OUT  (SB),A
1A49- 0E 80       0381          LD   C,80H
1A4B- 3E C8       0382          LD   A,C8H     ;turn voice to mode rec.
1A4D- CD 00 1A    0383          CALL CTV
1A50- 3E 48       0384          LD   A,48      ;Reset rec.
1A52- CD 00 1A    0385          CALL CTV
1A55- 3E C8       0386          LD   A,C8H     ;return to mode rec.
1A57- CD 00 1A    0387          CALL CTV
1A5A- 3E D8       0388          LD   A,D8H     ;Start rec.
1A5C- CD 00 1A    0389          CALL CTV
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
1A5F- 3E C8       0390          LD   A,C8H      ;Stop rec. pulse
1A61- 32 03 20    0391          LD   (PA),A     ;Save status
1A64- ED 79       0392          OUT  (C),A
1A66- C1          0393          POP  BC
1A67- F1          0394          POP  AF
1A68- C9          0395          RET
                  0396
                  0397 ; ************************************
                  0398 ; * sub program stop rec. user voice *
                  0399 ; * & return to play mode            *
                  0400 ; ************************************
                  0401 ; input  : none
                  0402 ; output : stop rec. user voice
                  0403 ; destroy : none
                  0404 ; call   : CTV
                  0405 ; *
1A70- F5          0406  USSP    PUSH AF         ;Save register
1A71- C5          0407          PUSH BC
1A72- 0E B0       0408          LD   C,B0H
1A74- 3E E8       0409          LD   A,E8H      ;Stop rec.
1A76- CD 00 1A    0410          CALL CTV
1A79- 3E C8       0411          LD   A,C8H      ;Stop stop pulse
1A7B- CD 00 1A    0412          CALL CTV
1A7E- 3E 88       0413          LD   A,88H      ;return to play
1A80- 32 03 20    0414          LD   (PA),A     ;mode
1A83- ED 79       0415          OUT  (C),A
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
1A85- 3E 02       0416          LD   A,02H    . ;Off relay
1A87- D3 81       0417          OUT  (SB),A
1A89- C1          0418          POP  BC
1A8A- F1          0419          POP  AF
1A8B- C9          0420          RET
                  0421
                  0422 ; ***************************************************
                  0423 ; * sub program start other voice recognize to play *
                  0424 ; ***************************************************
                  0425 ; input   : none
                  0426 ; output  : start other voice to play
                  0427 ; destroy : none
                  0428 ; call    : CTV
                  0429 ; *
1A90- F5          0430  OTP     PUSH AF         ;Save register
1A91- C5          0431    -     PUSH BC
1A92- 3E 06       0432          LD   A,06H      ;Set relay
1A94- 32 04 20    0433          LD   (PB),A     ;Save status
1A97- D3 81       0434          OUT  (SB),A
1A99- 0E 80       0435          LD   C,80H      ;Set other voice recognize to reset
1A9B- 3E 80       0436          LD   A,80H
1A9D- CD 00 1A    0437          CALL CTV        ;Out port
1AA0- 3E B8       0438          LD   A,B8H      ;Stop pulse reset
1AA2- CD 00 1A    0439          CALL CTV
1AA5- 3E B9       0440          LD   A,B9H      ;Start play other voice recognize
1AA7- CD 00 1A    0441          CALL CTV
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

```
1AAA- 3E 88       0442          LD   A,88H      ;Stop pulse start
1AAC- 32 03 20    0443          LD   (PA),A     ;Save port status
1AAF- ED 79       0444          OUT  (C),A
1AB1- C1          0445          POP  BC
1AB2- F1          0446          POP  AF
1AB3- C9          0447          RET
                  0448
                  0449 ; ***************************************************
                  0450 ; * sub program start other voice recognize to rec. *
                  0451 ; ***************************************************
                  0452 ; input   : none
                  0453 ; output  : start rec. other voice recognize
                  0454 ; destroy : none
                  0455 ; call    : CTV
                  0456 ; *
1AC0- F5          0457 OTR      PUSH AF         ;Save register
1AC1- C5          0458          PUSH BC
1AC2- 3E 02       0459          LD   A,02H      ;Set relay
1AC4- 32 04 20    0460          LD   (PB),A     ;Save status
1AC7- D3 B1       0461          OUT  (SB),A
1AC9- 0E 80       0462          LD   C,80H      ;Reset other voice recognize
1ACB- 3E BC       0463          LD   A,BCH      ;and turn to rec. mode
1ACD- CD 00 1A    0464          CALL CTV        ;Out port
1AD0- 3E 84       0465          LD   A,84H      ;Stop pulse reset
1AD2- CD 00 1A    0466          CALL CTV
1AD5- 3E BC       0467          LD   A,BCH      ;Turn mode rec.
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
1AD7- CD 00 1A    0468          CALL CTV
1ADA- 3E 8D       0469          LD   A,8DH      ;Start rec.
1ADC- CD 00 1A    0470          CALL CTV
1ADF- 3E 8C       0471          LD   A,8CH      ;Stop pulse start
1AE1- 32 03 20    0472          LD   (PA),A     ;Save status
1AE4- ED 79       0473          OUT  (C),A
1AE6- C1          0474          POP  BC
1AE7- F1          0475          POP  AF
1AE8- C9          0476          RET
                  0477
                  0478
                  0479 ; ********************************************
                  0480 ; * sub program stop rec. other voice recognize *
                  0481 ; ********************************************
                  0482 ; input   : none
                  0483 ; output  : stop rec. other voice recognize
                  0484 ; destroy : none
                  0485 ; call    : CTV
                  0486 ; *
1AF0- F5          0487  OTSP    PUSH AF         ;Save register
1AF1- C5          0488          PUSH BC
1AF2- 0E 80       0489          LD   C,80H
1AF4- 3E 8E       0490          LD   A,8EH      ;Stop rec.
1AF6- CD 00 1A    0491          CALL CTV        ;Out port
1AF9- 3E 8C       0492          LD   A,8CH      ;Stop rec. pulse
1AFB- CD 00 1A    0493          CALL CTV
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
1AFE- 3Y 88       0494          LD   A,88H      ;Turn to play mode
1B00- 32 03 20    0495          LD   (PA),A     ;Save status
1B03- ED 79       0496          OUT  (C),A
1B05- 3E 02       0497          LD   A,02H      ;Reset relay
1B07- D3 81       0498          OUT  (SB),A
1B09- C1          0499          POP  BC
1B0A- F1          0500          POP  AF
1B0B- C9          0501          RET
                  0502
                  0503
                  0504 ; ********************************
                  0505 ; * sub program to beep sound *
                  0506 ; ********************************
                  0507 ; input   : B No of sound
                  0508 ; output  : sound
                  0509 ; destroy : none
                  0510 ; call    : DELA , DLS
                  0511 ; *
1B10- F5          0512   BEEP   PUSH AF         ;Save all register
1B11- D5          0513          PUSH DE
1B12- E5          0514          PUSH HL
1B13- C5          0515          PUSH BC
1B14- 0E 81       0516   B2     LD   C,81H      ;Port B
1B16- 11 40 06    0517          LD   DE,0640H   ;Period between sound
1B19- 32 04 20    0518   B1     LD   A,(PB)
1B1C- EE 08       0519          XOR  08H        ;Toggle bit sound
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
1B1E- 32 04 20    0520          LD   (PB),A     ;Save status
1B21- ED 79       0521          OUT  (C),A      ;Out port
1B23- 21 40 00    0522          LD   HL,0040H   ;Frequency
1B26- CD 50 10    0523          CALL DELA
1B29- 1B          0524          DEC  DE         ;16 bit test zero
1B2A- 7A          0525          LD   A,D
1B2B- B3          0526          OR   E
1B2C- 20 E7       0527          JR   NZ,B1
1B2E- 11 EE 01    0528          LD   DE,01EEH
1B31- CD 40 10    0529          CALL DLS
1B34- 10 DE       0530          DJNZ B2
1B36- C1          0531          POP  BC
1B37- E1          0532          POP  HL
1B38- D1          0533          POP  DE
1B39- F1          0534          POP  AF
1B3A- C9          0535          RET
                  0536
                  0537
                  0538 ; ********************************************
                  0539 ; * sub program for release receive & off power *
                  0540 ; ********************************************
                  0541 ; input   : none
                  0542 ; output  : off power
                  0543 ; destroy : AF,HL
                  0544 ; call    : DLS
                  0545 ; *
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
1B40- 3E 88       0546   POF   LD   A,88H      ;Set voice recognize
1B42- D3 80       0547         OUT  (SA),A
1B44- 3E 01       0548         LD   A,01H      ;Release tellophone
1B46- D3 81       0549         OUT  (SB),A
1B48- 21 8B 0F    0550         LD   HL,0F8BH   ;Delay
1B4B- CD 40 10    0551         CALL DLS
1B4E- 3E 00       0552         LD   A,00H      ;Off power
1B50- D3,81       0553         OUT  (SB),A
1B52- C3 52 1B    0554   SELF  JP   SELF       ;Delay for power off
```

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

บทที่ 5

บทสรุป

วิทยานิพนธ์นี้เสนอเครื่องตอบรับโทรศัพท์อัตโนมัติ ใช้อุปกรณ์ในการตอบรับแบบใหม่ ซึ่งเครื่องตอบรับโทรศัพท์ทั่ว ๆ ไปยังไม่มี อีกทั้งได้นำเอาระบบไมโครโปรเซสเซอร์มาควบคุมการทำงานทั้งหมด ทำให้ประสิทธิภาพในการทำงานสูงขึ้น และสามารถเปลี่ยนแปลงหรือขยายขีดความสามารถของเครื่องได้ง่าย โดยเพียงแก้ไขโปรแกรมควบคุมระบบเท่านั้น

จากการทดลองนำเครื่องตอบรับโทรศัพท์ไปใช้งานที่ต่าง ๆ ทำให้ทราบถึงจุดที่ต้องพึงระวังและปัญหาบางอย่าง ซึ่งกล่าวเป็นข้อ ๆ ได้ดังนี้

1) แหล่งจ่ายไฟซึ่งเป็นหัวใจการทำงานของเครื่องตอบรับโทรศัพท์ที่ทำงานโดยใช้ไมโครคอมพิวเตอร์เป็นส่วนควบคุม จะต้องมีสัญญาณรบกวนน้อยที่สุดหรือไม่มีเลย แต่จากการทดลองใช้งาน บางครั้งพบว่าไฟฟ้า 220 โวลต์ที่จ่ายมายังเครื่องตอบรับโทรศัพท์ที่มีสัญญาณรบกวนมาก เช่น บ้านที่อยู่ใกล้ ๆ กับแหล่งโรงงานอุตสาหกรรม ที่มีไฟตกไฟเกินอยู่เสมอ หรือบ้านที่อยู่ใกล้ ๆ กับเพื่อนบ้านที่ใช้จักรเย็บผ้าไฟฟ้า ฯลฯ สัญญาณรบกวนเหล่านั้นอาจทำให้ระบบไมโครคอมพิวเตอร์ทำงานผิดพลาดได้ การออกแบบระบบการจ่ายไฟต้องคำนึงถึงจุดนี้ด้วย

2) แหล่งจ่ายไฟของเครื่องซึ่งก็คือทรานฟอร์เมอร์ ขณะที่ระบบอยู่ในสภาวะ Stand by ซึ่งสภาวะนี้ระบบจะดึงกระแสจาก Transformer น้อยมาก (ประมาณ 7 MA) แต่เนื่องจากแกนเหล็กที่ใช้ทำทรานฟอร์เมอร์ตามท้องตลาดทั่ว ๆ ไปมีอัตราการสูญเสียเนื่องจาก Eddy Current มาก จึงเกิดความร้อนขึ้น ซึ่งอาจเป็นอันตรายได้ เนื่องจากเครื่องตอบรับโทรศัพท์นี้ขณะใช้งานจริงจะต้องเสียบปลั๊กทิ้งไว้ตลอดเวลา ดังนั้นควรเลือกใช้ทรานฟอร์เมอร์ชนิดที่มีอัตราการสูญเสียต่ำ เช่น ทรานฟอร์เมอร์ชนิดtoroid เป็นต้น

3) ในส่วนตอบรับและส่วนบันทึกจะต้องมีไฟเลี้ยงตลอดเวลา จึงควรต่อแบตเตอรี่ 5 โวลต์ให้กับส่วนนี้ด้วย มิฉะนั้นแล้วขณะที่ไฟ 220 โวลต์เกิดหยุดชั่วขณะ ข้อมูลต่าง ๆ ที่เก็บไว้ในหน่วยความจำจะถูกลบไปหมด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4) ในการกำหนดรหัสต่าง ๆ ของเครื่อง จะต้องคำนึงด้วยว่าหมายเลขที่กำหนดนั้นตรงกับหมายเลขพิเศษของชุมสายหรือไม่ เช่น 123,191,181, ฯลฯ

5) ชุมสายโทรศัพท์แห่งประเทศไทยต่อไปจะเปลี่ยนการใช้โทรศัพท์ เป็นโทรศัพท์แบบตีทีเอ็มเอฟ หรือแบบกดปุ่มทั้งหมด การพัฒนาเครื่องตอบรับโทรศัพท์ชนิดติดต่อกับตัวเครื่องโดยสั่งงานผ่านทางหน้าปัทม์โทรศัพท์ จึงควรใช้แบบใหม่นี้เป็นหลักในการพัฒนา

6) เครื่องตอบรับโทรศัพท์นี้ส มารถดัดแปลงให้เป็นเครื่องควบคุมการเปิดปิดเครื่องใช้ไฟฟ้าทางโทรศัพท์ได้โดยเปลี่ยนโปรแกรมและเพิ่มเติมอุปกรณ์ต่าง ๆ ไม่มากนัก ซึ่งเป็นการขยายขีดความสามารถของเครื่องตอบรับโทรศัพท์ให้กว้างขวางขึ้น

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

ภาคผนวกที่ 1

วิธีการใช้งานเครื่องตอบรับโทรศัพท์อัตโนมัติ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วิธีการใช้งานอย่างละเอียด

เครื่องตอบรับรหัสพัทอัตโนมัตินี้สามารถติดต่อกับตัวเครื่องโดยผ่านทางคีย์ที่หน้าปัทม์ทางรหัสพัท

1. <u>การบันทึกข้อความของเจ้าบ้านขณะอยู่ที่บ้าน</u>

   1.1 ยกหูรหัสพัทขึ้นแล้วกดปุ่ม Program ข้างหลังเครื่อง ระบบภายในจะตอบรับการกดปุ่มโดยสังเกตุได้จาก LED ที่อยู่หน้าเครื่องจะเปลี่ยนจากสีเขียวเป็นสีแดง

   1.2 กดหมายเลข 3 ที่หน้าปัทม์รหัสพัทพร้อมกับกดปุ่ม Program จากนั้นก็พูดฝากข้อความ

   1.3 ในกรณีที่หน่วยความจำของเครื่องเต็มพอ เครื่องจะเตือนโดยส่งเสียงปี๊บ 2 ครั้ง พร้อมกับ LED ก็จะกระพริบสลับสีเตือนด้วย ต้องบันทึกใหม่โดยย่อข้อความลง

   1.4 ถ้าต้องการฟังข้อความที่ฝากไว้ให้กดหมายเลข 2

   1.5 เมื่อทำขั้นตอนต่าง ๆ เรียบร้อยแล้วให้กดหมายเลข 6 ตอนนี้เครื่องจะอยู่ในสภาวะ Stand by โดย LED ที่หน้าปัทม์จะเปลี่ยนจากสีแดงเป็นสีเขียว พร้อมที่จะทำการตอบรับรหัสพัทจากผู้ที่โทรเข้ามาตลอดเวลา

2. <u>การฟังข้อความของผู้อื่นขณะอยู่ที่บ้าน</u>

   2.1 ยกหูรหัสพัทขึ้นแล้วกดปุ่ม Program หลังเครื่อง เครื่องจะตอบรับโดยจะสังเกตุได้จาก LED ที่อยู่หน้าเครื่องจะเปลี่ยนจากสีเขียวมาเป็นสีแดง

   2.2 กดหมายเลข 1 ที่หน้าปัทม์รหัสพัท ถ้ามีข้อความฝากไว้จะได้ยินเสียงข้อความนั้น

   2.3 หลังจากฟังข้อความเสร็จแล้ว ถ้าไม่ต้องการเปลี่ยนแปลงข้อความของเจ้าบ้านก็กดหมายเลข 6 ถ้าต้องการเปลี่ยนแปลงก็ทำตามขั้นตอนในข้อ 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3. <u>การเปลี่ยนแปลงข้อความของเจ้าของบ้านโดยผ่านทางชุมสายโทรศัพท์</u>

3.1 ยกหูโทรศัพท์ฟังเสียงสัญญาณยาวต่อเนื่อง ความถี่ประมาณ 400 Hz ก่อนแล้วจึงค่อย กดหมายเลขประจำเครื่องโทรศัพท์ของเรา

3.2 ถ้าทางด้านปลายทางไม่ว่างจะได้ยินเสียงสัญญาณดัง 0.3 วินาที หยุด 0.3 วินาทีติดต่อกัน ให้วางหูโทรศัพท์ก่อน

3.3 กรณี 3.2 เป็นได้ 2 กรณี คือ

3.3.1 ทางชุมสายไม่ว่างคือใช้คู่สายในการติดต่อหมดแล้ว

3.3.2 มีคนกำลังโทรเข้ามาฝากข้อความก่อนหน้านี้แล้ว

3.4 ให้วางหูเว้นระยะเวลาพอสมควร แล้วจึงโทรเข้ามาใหม่ตามข้อ 3.1

3.5 ถ้าทำตามข้อ 3.1 แล้วได้ยินเสียงสัญญาณดัง 1 วินาที หยุด 4 วินาที ต่อเนื่องกัน เกิน 6 ครั้ง แสดงว่า มีคนโทรเข้ามาฝากข้อความไว้แล้ว ซึ่งถ้าโทรมาตามปรกติเครื่องจะไม่ตอบรับ

3.6 ถ้ามีคนฝากข้อความไว้ก่อนแล้ว เครื่องจะไม่ตอบรับต้องโทรแบบใช้รหัสเข้ามา แล้วทำตามข้อ 3.4

4. <u>การโทรโดยใช้รหัส</u>

เนื่องจากเราต้องการแยกแยะ ระหว่างเจ้าของเครื่องกับผู้อื่น จึงได้กำหนดรหัสในการโทร และรหัสผ่าน ในกรณีที่ติดต่อกับเครื่องได้แล้ว เครื่องตอบรับโทรศัพท์ในวิทยานิพนธ์นี้กำหนดรหัสผ่าน 3,2,1 ซึ่งก่อนที่จะใช้รหัสผ่านได้จะต้องโทรแบบรหัสเจ้าของเข้ามาก่อนดังนี้

4.1 ทำตามข้อ 3.1 หลังจากได้ยินสัญญาณว่างคือ ดัง 1 วินาที หยุด 4 วินาที 3 ครั้งแล้วให้วางหู

4.2 ทิ้งระยะเวลาประมาณ 25 วินาที แล้วโทรเข้ามาใหม่

4.3 ตอนนี้เครื่องตอบรับโทรศัพท์จะยกหูขึ้นรอรับรหัสผ่าน

4.4 กดรหัสผ่าน (เป็นเลข 3 ตัวที่กำหนดขึ้น) ถ้ากดผิดเครื่องจะเตือน ถ้ากดผิดเกิน 3 ครั้ง เครื่องตอบรับโทรศัพท์จะวางหู

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.5 เมื่อกดรหัสผ่านได้ถูกต้องแล้ว ก็สามารถทำการติดต่อกับเครื่องตอบรับได้โดยผ่านทางคีย์ที่หน้าปัทม์โทรศัพท์ได้ โดยทั่ว ๆ ไป แล้วการโทรโดยใช้รหัสนี้จะใช้เมื่อต้องการฟังข้อความของผู้อื่นที่ฝากไว้ ซึ่งวิธีการใช้ก็เหมือนกันกับข้อ 2.

5. <u>การโทรเข้ามาเช็คดูว่ามีใครโทรเข้ามาฝากข้อความไว้หรือเปล่า</u>

ทำได้โดยโทรแบบรหัสเข้ามา ถ้ามีข้อความฝากไว้เครื่องจะตอบรับ ถ้าไม่มีใครฝากข้อความไว้เครื่องจะไม่ตอบรับ ซึ่งวิธีการนี้ทำให้ประหยัดค่าโทรศัพท์ในการโทรเข้ามาเช็คได้

6. <u>การใช้งานโทรศัพท์ที่บ้านตามปกติ</u>

เมื่อต่อเครื่องตอบรับโทรศัพท์อัตโนมัติเข้ากับระบบโทรศัพท์เดิม เครื่องโทรศัพท์นั้นสามารถใช้งานตามปกติได้ทุกอย่าง แต่ที่พิเศษขึ้นก็คือ เมื่อมีสัญญาณเรียกดังขึ้น เราต้องรับสายก่อนสัญญาณเรียกครั้งที่ 5 จะดังขึ้น ถ้าเราไม่รับสายเครื่องก็จะรับสายให้แทน ซึ่งก็เป็นข้อดีอีกอย่างของเครื่องตอบรับโทรศัพท์ที่พัฒนาขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

กิตติกรรมประกาศ

ปริญญานิพนธ์ฉบับนี้ สำเร็จลุล่วงตามจุดประสงค์ทุกประการ โดยได้รับคำแนะนำช่วยเหลือจาก อาจารย์ อุทัย ศรีธีระวิโรจน์ และคุณ เสรี ปานชาง เป็นอย่างดี ผู้จัดทำจึงขอขอบคุณอย่างสูงมา ณ.ที่นี้.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอกสารอ้างอิง

J.A. Connelly, "Analog Integrated circuit", Wiley Inc., 1975

William Siwnene, "Digital Analog And Data Communication" Mc Gowern Inc., 1986

Ronald J. Tocci "Digital System principles and application" Practice / Hall International, Inc., 1980

Handbook, "TTL Data Book" Texas Instruments Inc., U.S.A., 1981

Handbook, "CMOS Data book" , National Semiconductor for Inc., U.S.A., 1980

Taub, Schilling, "Principle of Communication System" Mc Gowern Inc.

Handbook, "Mitel Semiconductor", Mitel Semiconductor Inc, U.S.A., 1986

William Braden, Jr., "The Z-80 Microcomputer Handbook", Indiana, Howard W. Sam E Co., Inc., 1978

Handbook, "Z-80 CPU Technical Manual", Zilog Inc., U.S.A., 1978

James W. Coffron, "Z-80 Application" Sybex Inc., U.S.A., 1983

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

MOTOROLA

4N25, 4N25A
4N26
4N27
4N28

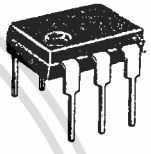
NPN PHOTOTRANSISTORS AND PN INFRARED EMITTING DIODES

... gallium arsenide LED optically coupled to silicon phototransistors designed for applications requiring electrical isolation, high-current transfer ratios, small package size and low cost; such as interfacing and coupling systems, phase and feedback controls, solid-state relays and general-purpose switching circuits.

- High Isolation Voltage — V_{ISO} = 7500 V (Min)
- High Collector Output Current @ I_F = 10 mA — I_C = 6.0 mA (Typ) — 4N25,A,4N26; 2.0 mA (Typ) — 4N27,4N28
- Economical, Compact, Dual-In-Line Package
- Excellent Frequency Response — 300 kHz (Typ)
- Fast Switching Times @ I_C = 10 mA t_{on} = 0.87 μs (Typ) — 4N25,A,4N26; 2.1 μs (Typ) — 4N27,4N28; t_{off} = 11 μs (Typ) — 4N25,A,4N26; 5.0 μs (Typ) — 4N27,4N28
- 4N25A is UL Recognized File Number E54915

OPTO COUPLER/ISOLATOR

TRANSISTOR OUTPUT



*MAXIMUM RATINGS (T_A = 25°C unless otherwise noted).

Rating	Symbol	Value	Unit
INFRARED-EMITTING DIODE MAXIMUM RATINGS			
Reverse Voltage	V_R	3.0	Volts
Forward Current — Continuous	I_F	80	mA
Forward Current — Peak (Pulse Width = 300 μs, 2.0% Duty Cycle)	I_F	3.0	Amp
Total Power Dissipation @ T_A = 25°C (Negligible Power in Transistor)	P_D	150	mW
Derate above 25°C		2.0	mW/°C
PHOTOTRANSISTOR MAXIMUM RATINGS			
Collector-Emitter Voltage	V_{CEO}	30	Volts
Emitter-Collector Voltage	V_{ECO}	7.0	Volts
Collector-Base Voltage	V_{CBO}	70	Volts
Total Device Dissipation @ T_A = 25°C (Negligible Power in Diode)	P_D	150	mW
Derate above 25°C		2.0	mW/°C
TOTAL DEVICE RATINGS			
Total Device Dissipation @ T_A = 25°C	P_D	250	mW
Equal Power Dissipation in Each Element			
Derate above 25°C		3.3	mW/°C
Junction Temperature Range	T_J	-55 to +100	°C
Storage Temperature Range	T_{stg}	-55 to +150	°C
Soldering Temperature (10 s)		260	°C

*Indicates JEDEC Registered Data.

FIGURE 1 — MAXIMUM POWER DISSIPATION

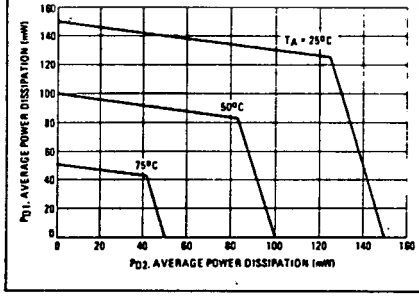


Figure 1 is based upon using limit values in the equation:

$T_{J1} - T_A = R_{\theta JA}(P_{D1} + K_\theta P_{D2})$

where

T_{J1} Junction Temperature (100°C)

T_A Ambient Temperature

$R_{\theta JA}$ Junction to Ambient Thermal Resistance (500°C/W)

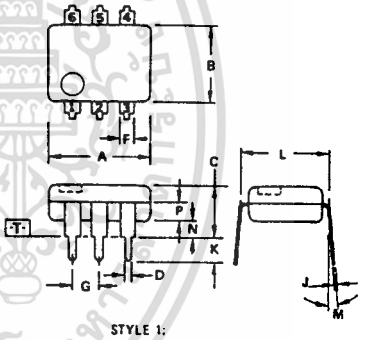
P_{D1} Power Dissipation in One Chip

P_{D2} Power Dissipation in Other Chip

K_θ Thermal Coupling Coefficient (20%)

Example

With P_{D1} = 90 mW in the LED @ T_A = 50°C, the transistor P_D (P_{D2}) must be less than 50 mW.



STYLE 1:
PIN 1. ANODE
2. CATHODE
3. NC
4. EMITTER
5. COLLECTOR
6. BASE

NOTES:
1. DIMENSIONS A AND B ARE DATUMS.
2. T IS SEATING PLANE.
3. POSITIONAL TOLERANCES FOR LEADS: ⌖ ∅ 0.13 (0.005) M T A M B M
4. DIMENSION L TO CENTER OF LEADS WHEN FORMED PARALLEL.
5. DIMENSIONING AND TOLERANCING PER ANSI Y14.5, 1973.

DIM	MILLIMETERS MIN	MILLIMETERS MAX	INCHES MIN	INCHES MAX
A	8.13	8.89	0.320	0.350
B	6.10	6.60	0.240	0.260
C	2.92	5.08	0.115	0.200
D	0.41	0.51	0.016	0.020
F	1.02	1.78	0.040	0.070
G	2.54 BSC		0.100 BSC	
J	0.20	0.30	0.008	0.012
K	2.54	3.81	0.100	0.150
L	7.62 BSC		0.300 BSC	
M	0°	15°	0°	15°
N	0.38	2.54	0.015	0.100
P	1.27	2.03	0.050	0.080

CASE 730A-01

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

LED CHARACTERISTICS (T_A = 25°C unless otherwise noted)

Characteristic	Symbol	Min	Typ	Max	Unit
*Reverse Leakage Current (V_R = 3.0 V, R_L = 1.0 M ohms)	I_R	–	0.005	100	μA
*Forward Voltage (I_F = 10 mA)	V_F	–	1.2	1.5	Volts
Capacitance (V_R = 0 V, f = 1.0 MHz)	C	–	40	–	pF

PHOTOTRANSISTOR CHARACTERISTICS (T_A = 25°C and I_F = 0 unless otherwise noted)

*Collector-Emitter Dark Current (V_{CE} = 10 V, Base Open)	4N25, A, 4N26, 4N27 4N28	I_{CEO}	– –	3.5 –	50 100	nA
*Collector-Base Dark Current (V_{CB} = 10 V, Emitter Open)		I_{CBO}	–	–	20	nA
*Collector-Base Breakdown Voltage (I_C = 100 μA, I_E = 0)		$V_{(BR)CBO}$	70	–	–	Volts
*Collector-Emitter Breakdown Voltage (I_C = 1.0 mA, I_B = 0)		$V_{(BR)CEO}$	30	–	–	Volts
*Emitter-Collector Breakdown Voltage (I_E = 100 μA, I_B = 0)		$V_{(BR)ECO}$	7.0	8.0	–	Volts
DC Current Gain (V_{CE} = 5.0 V, I_C = 500 μA)		h_{FE}	–	325	–	–

COUPLED CHARACTERISTICS (T_A = 25°C unless otherwise noted)

*Collector Output Current (1) (V_{CE} = 10 V, I_F = 10 mA, I_B = 0)	4N25, A, 4N26 4N27, 4N28	I_C	2.0 1.0	5.0 2.0	– –	mA
Isolation Surge Voltage (2, 5) (60 Hz Peak ac, 5 Seconds) (60 Hz Peak) (60 Hz RMS for 1 Second) (3)	 *4N25, A *4N26, 4N27 *4N28 *4N25A	V_{ISO}	 7500 2500 1500 500 1775	 – – – – –	 – – – – –	Volts
Isolation Resistance (2) (V = 500 V)		–	–	10^{11}	–	Ohms
*Collector-Emitter Saturation (I_C = 2.0 mA, I_F = 50 mA)		$V_{CE(sat)}$	–	0.2	0.5	Volts
Isolation Capacitance (2) (V = 0, f = 1.0 MHz)		–	–	0.5	–	pF
Bandwidth (4) (I_C = 2.0 mA, R_L = 100 ohms, Figure 11 (2)		–	–	300	–	kHz

SWITCHING CHARACTERISTICS

Delay Time	(I_C = 10 mA, V_{CC} = 10 V	4N25, A, 4N26 2N27, 4N28	t_d	– –	0.07 0.10	– –	μs
Rise Time	Figures 6 and 8)	4N25, A, 4N26 4N27, 4N28	t_r	– –	0.8 2.0	– –	μs
Storage Time	(I_C = 10 mA, V_{CC} = 10 V	4N25, A, 4N26 4N27, 4N28	t_s	– –	4.0 2.0	– –	μs
Fall Time	Figures 7 and 8)	4N25, A, 4N26 4N27, 4N28	t_f	– –	8.0 8.0	– –	μs

*Indicates JEDEC Registered Data
(1) Pulse Test: Pulse Width = 300 μs, Duty Cycle ≤ 2.0%.
(2) For this test LED pins 1 and 2 are common and phototransistor pins 4, 5, and 6 are common.
(3) RMS Volts, 60 Hz. For this test, pins 1, 2, and 3 are common and pins 4, 5, and 6 are common.
(4) I_F adjusted to yield I_C = 2.0 mA and i_c = 2.0 mA p-p at 10 kHz.
(5) Isolation Surge Voltage, V_{ISO}, is an internal device dielectric breakdown rating.

DC CURRENT TRANSFER CHARACTERISTICS

FIGURE 2 – 4N25,A,4N26

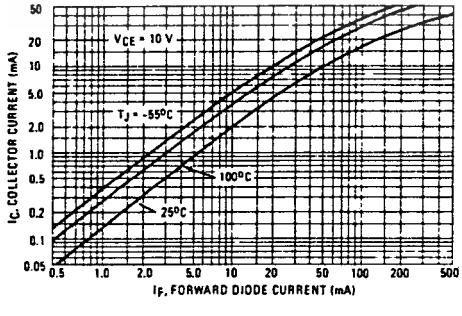
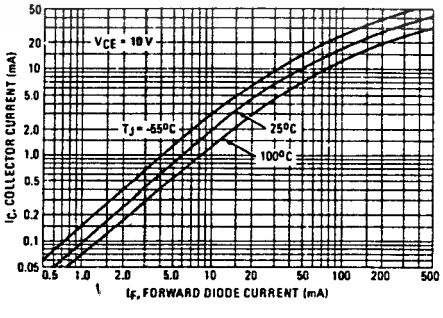


FIGURE 3 – 4N27,4N28



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPICAL ELECTRICAL CHARACTERISTICS

FIGURE 4 – FORWARD CHARACTERISTICS

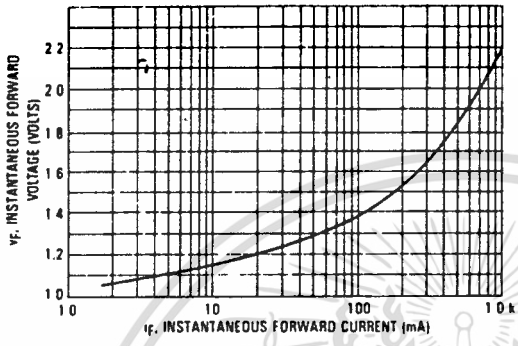


FIGURE 5 – COLLECTOR SATURATION VOLTAGE

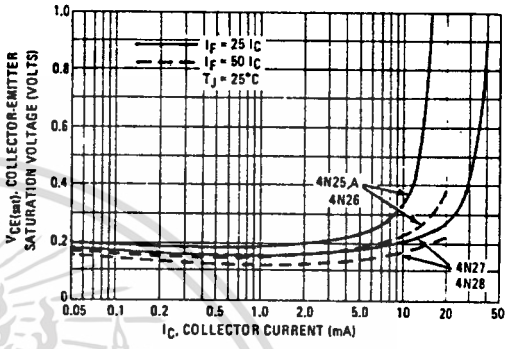


FIGURE 6 – TURN-ON TIME

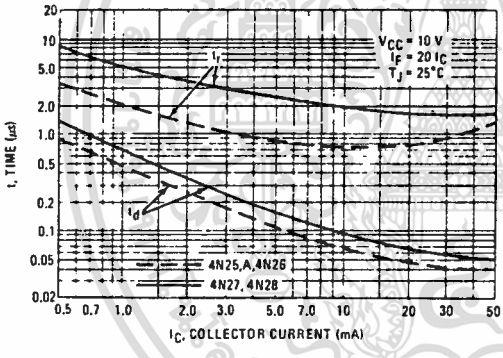


FIGURE 7 – TURN-OFF TIME

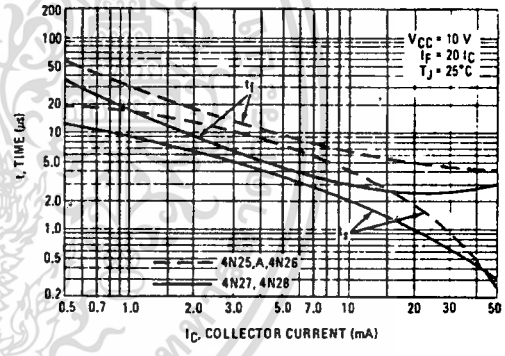


FIGURE 8 – SATURATED SWITCHING TIME TEST CIRCUIT

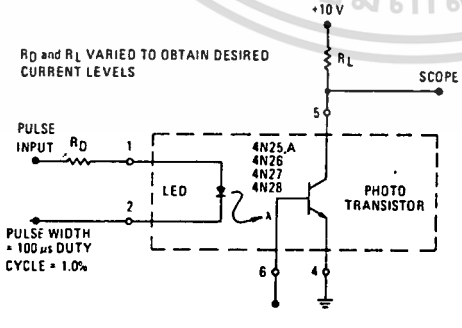
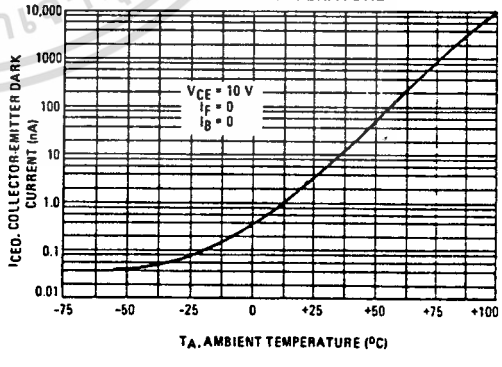


FIGURE 9 – DARK CURRENT versus AMBIENT TEMPERATURE



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FIGURE 11 – FREQUENCY RESPONSE TEST CIRCUIT

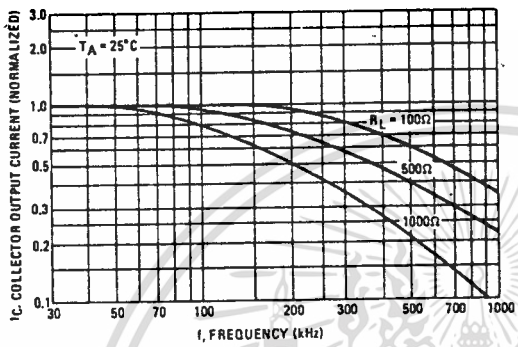
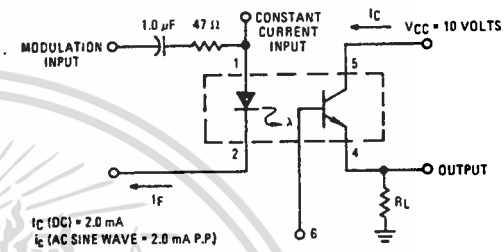


FIGURE 10 – FREQUENCY RESPONSE



TYPICAL APPLICATIONS

FIGURE 12 – ISOLATED MTTL TO MOS (P-CHANNEL) LEVEL TRANSLATOR

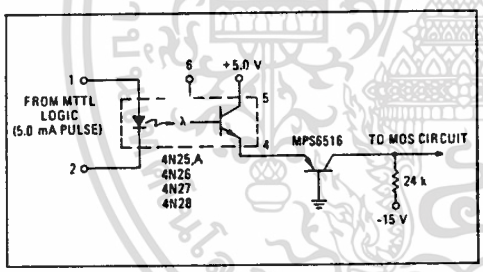


FIGURE 13 – COMPUTER/PERIPHERAL INTERCONNECT

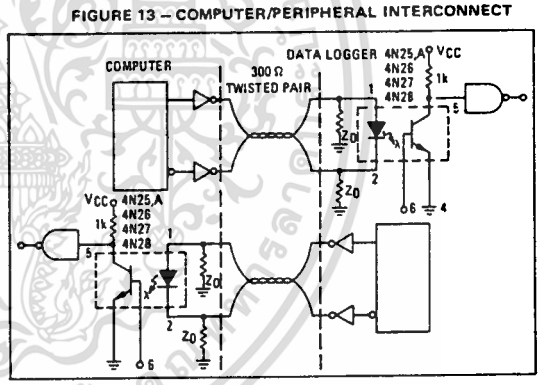


FIGURE 14 – POWER AMPLIFIER

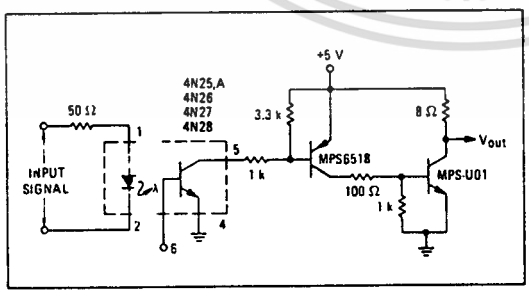
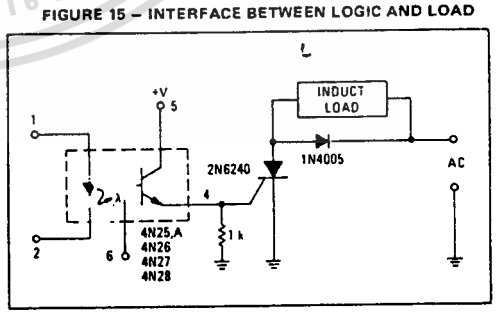


FIGURE 15 – INTERFACE BETWEEN LOGIC AND LOAD



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

LINEAR INTEGRATED CIRCUITS

NE555

TIMER

- TURN OFF TIME LESS THAN 2 μs
- MAXIMUM OPERATING FREQUENCY GREATER THAN 500kHz
- TIMING FROM MICROSECONDS TO HOURS
- OPERATES IN BOTH ASTABLE AND MONOSTABLE MODES
- HIGH OUTPUT CURRENT
- ADJUSTABLE DUTY CYCLE
- TTL COMPATIBLE
- TEMPERATURE STABILITY OF 0.005% PER °C

The NE 555 monolithic timing circuit is a highly stable controller capable of producing accurate time delays, or oscillation. In the time delay mode of operation, the time is precisely controlled by one external resistor and capacitor. For a stable operation as an oscillator, the free running frequency and the duty cycle are both accurately controlled with two external resistors and one capacitor. The circuit may be triggered and reset on falling waveforms, and the output structure can source or sink up to 200 mA.

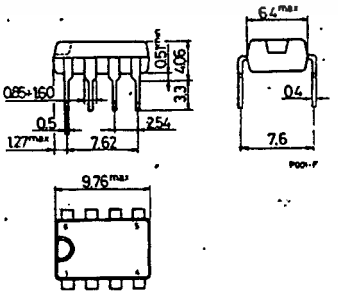
ABSOLUTE MAXIMUM RATINGS

V_{cc}	Supply voltage	16	V
P_{tot}	Power dissipation at $T_{amb} \leq 60°C$	600	mW
T_{oper}	Operating temperature range	0 to 70	°C
T_{stg}	Storage temperature range	-65 to 150	°C

ORDERING NUMBER: NE555B

MECHANICAL DATA

Dimensions in mm



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS (Continued)

Parameter		Test conditions	Min.	Typ.	Max.	Unit
V_{OH}	Output voltage (high)	V_S = 15V I_{SOURCE} = 200mA I_{SOURCE} = 100mA V_S = 5V I_{SOURCE} = 100mA	 12.75 2.75	 12.5 13.3 3.3	 	 V V V
t_{off}	Turn off time (s)	V_{RESET} = V_S		0.5		µs
t_r	Rise time of output			100	300	ns
t_f	Fall time of output			100	300	ns
I_L	Discharge leakage current			20	100	nA

NOTES

1. Supply current when output high typically 1mA less.
2. Tested at V_S = 5V and V_S = 15V
3. This will determine the maximum value of $R_A + R_B$, for 15V operation, the max total R = 10 MΩ, and for operation, the max total R = 3.4 MΩ.
4. Specified with triggered input high.
5. Time measured from a positive going input pulse from 0 to 0.8 x V_S into the threshold to the drop from high low of the output. Trigger is tied to threshold.

Fig. 1 – Minimum pulse width required for triggering

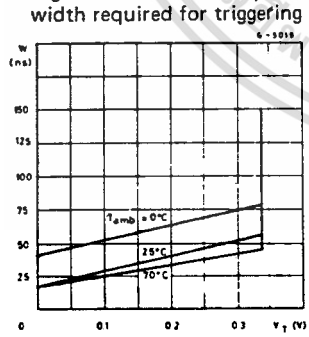


Fig. 2 - Total supply current vs. supply voltage

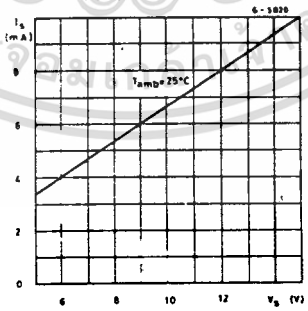
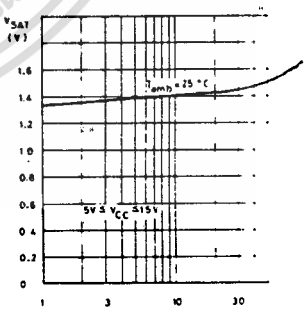


Fig. 3 - High output voltage vs. output source current



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Fig. 4 - Low output voltage vs. output sink current

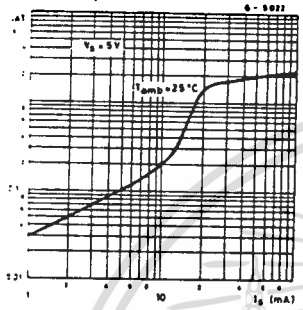


Fig. 5 - Low output voltage vs. output source current

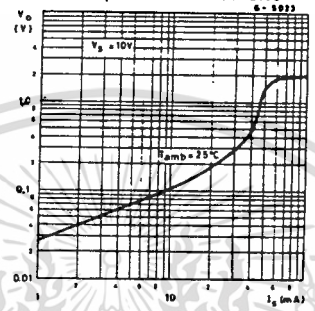


Fig. 6 - Low output voltage vs. output sink current

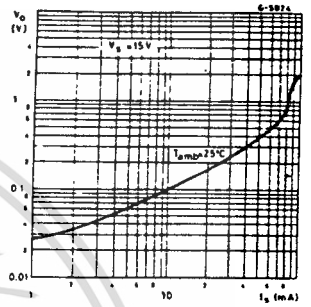


Fig. 7 - Normalized delay time vs. supply voltage

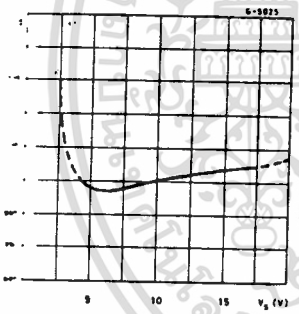


Fig. 8 - Normalized delay time vs. ambient temperature

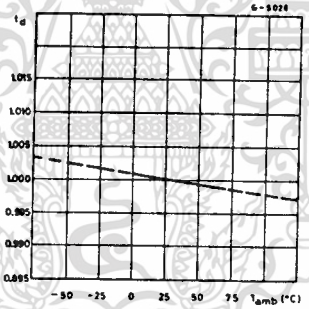
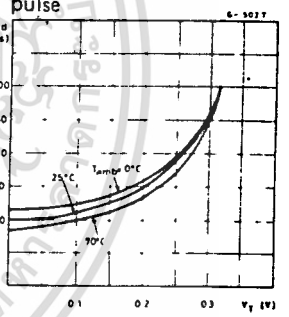


Fig. 9 - Propagation delay vs. voltage level of trigger pulse



APPLICATION INFORMATION

MONOSTABLE OPERATION

In the monostable mode, the timer functions as a one-shot. Referring to Figure 10 the external capacitor is initially held discharged by a transistor inside the timer.

The circuit triggers on a negative-going input signal when the level reaches 1/3 V_S. Once triggered, the circuit remains in this state until the set time has elapsed, even if it is triggered again during this interval. The duration of the output HIGH state is given by $t = 1.1\ R1C1$ and is easily determined by Figure 12. Notice that since the charge rate and the threshold level of the comparator are both directly proportional to supply voltage, the timing interval is independent of supply. Applying a negative pulse simultaneously to the Reset terminal (pin 4) and the Trigger terminal (pin 2) during the timing cycle discharges the external capacitor and causes the cycle to start over. The timing cycle now starts on the positive edge of the reset pulse. During the time the reset pulse is applied, the output is driven to its LOW state.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

APPLICATION INFORMATION (Continued)

When a negative trigger pulse is applied to pin 2, the flip-flop is set, releasing the short circuit across the external capacitor and driving the output HIGH. The voltage across the capacitor increases exponentially with the time constant $\tau = R1C1$. When the voltage across the capacitor equals 2/3 V_s, the comparator resets the flip-flop which then discharges the capacitor rapidly and drives the output to its LOW state. Figure 11 shows the actual waveforms generated in this mode of operation.

When Reset is not used, it should be tied high to avoid any possibly of false triggering.

Fig. 10

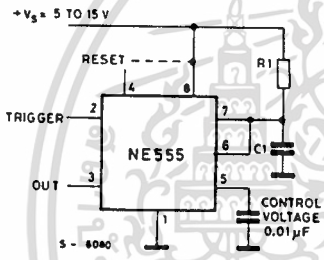


Fig. 11

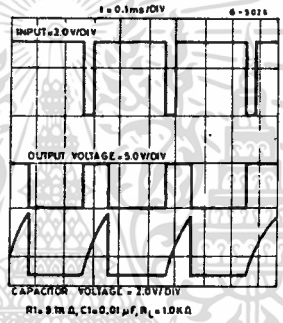
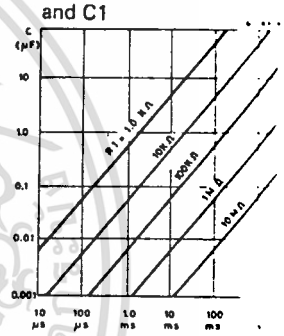


Fig. 12 - Time Delay vs R and C1



ASTABLE OPERATION

When the circuit is connected as shown in Figure 13 (pins 2 and 6 connected) it triggers itself and free runs as a multivibrator. The external capacitor charges through R1 and R2 and discharges through R2 only. Thus the duty cycle may be precisely set by the ratio of these two resistors.

In the astable mode of operation, C1 charges and discharges between 1/3 V_s and 2/3 V_s. As in the triggered mode, the charge and discharge times and therefore frequency are independent of the supply voltage.

Figure 14 shows actual waveforms generated in this mode of operation.

The charge time (output HIGH) is given by:

$$t_1 = 0.693\ (R1 + R2)\ C1$$

and the discharge time (output LOW) by:

$$t_2 = 0.693\ (R2)\ C1$$

Thus the total period T is given by:

$$T = t_1 + t_2 = 0.693\ (R1 + 2R2)\ C1$$

The frequency of oscillation is then:

$$f = \frac{1}{T} = \frac{1.44}{(R1 + 2R2)\ C1}$$

and may be easily found by Figure 15

The duty cycle is given by:

$$D = \frac{R2}{R1 + 2R2}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Fig. 13

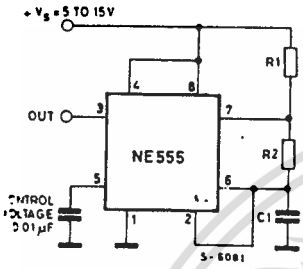


Fig. 14

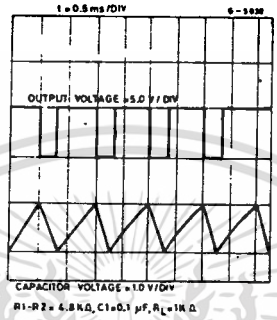
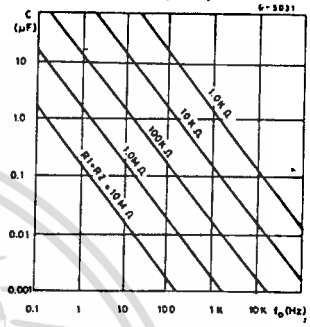


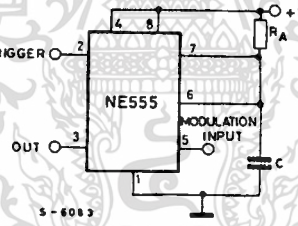
Fig. 15 - Free Running Frequency vs R1, R2, and C1



PULSE WIDTH MODULATOR

When the timer is connected in the monostable mode and triggered with a continuous pulse train, the output pulse width can be modulated by a signal applied to pin 5. Figure 16 shows the circuit.

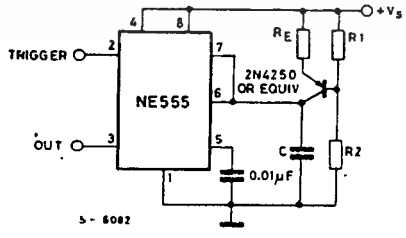
Fig. 16 - Pulse Width Modulator



LINEAR RAMP

When the pullup resistor, R_A, in the monostable circuit is replaced by a constant current source, a linear ramp is generated. Figure 17 shows a circuit configuration that will perform this function.

Figure 17



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

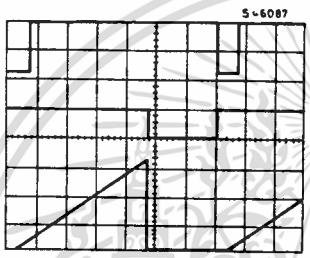
APPLICATION INFORMATION (Continued)

Figure 18 shows waveforms generated by the linear ramp.

The time interval is given by:

$$T = \frac{2/3\ V_s\ R_E\ (R_1 + R_2)\ C}{R_1\ V_s - V_{BE}\ (R_1 + R_2)} \qquad V_{BE} \simeq 0.6V$$

Fig. 18 - Linear ramp.



V_s = 5V
TIME = 20μs/DIV
R_1 = 47KΩ
R_2 = 100KΩ
R_E = 2.7KΩ
C = 0.01 μF

Top trace: input 3V/Div
Middle trace: output 5V/DIV
Bottom trace: output 5V/DIV
Bottom trace: capacitor voltage
1V/DIV

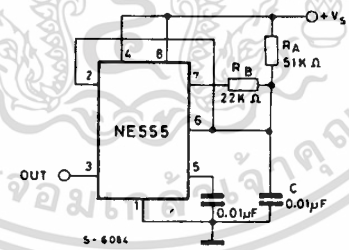
50% DUTY CYCLE OSCILLATOR

For a 50% duty cycle, the resistors R_A and R_B may be connected as in Figure 19. The time period for the output high is the same as previous, $t_1 = 0.693\ R_A\ C$. For the output low it is $t_2 =$

$$[(R_A\ R_B)/(R_A + R_B)]\ C \ln\left\{\frac{R_B - 2R_A}{2R_B - R_A}\right\}$$

Thus the frequency of oscillation is $f = \frac{1}{t_1 \cdots}$

Figure 19 - 50% Duty cycle oscillator



Note that this circuit will not oscillate if R_B is greater than 1/2 R_A because the junction of R_A and R_B cannot bring pin 2 down to 1/3 V_s and trigger the lower comparator.

ADDITIONAL INFORMATION

Adequate power supply bypassing is necessary to protect associated circuitry. Minimum recommended is 0.1μF in parallel with 1μF electrolytic.

Lower comparator storage time can be as long as 10μs when pin 2 is driven fully to ground for triggering. This limits the monostable pulse width to 10μs minimum.

Delay time reset to output is 0.47μs typical. Minimum reset pulse width must be 0.3μs, typical.

Pin 7 current switches within 30 ns of the output (pin 3) voltage.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

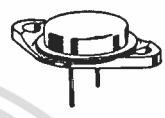
MC7800C Series

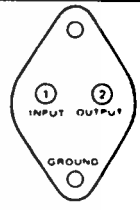
MC7800C SERIES THREE-TERMINAL POSITIVE VOLTAGE REGULATORS

The MC7800C Series of three-terminal positive voltage regulators are monolithic integrated circuits designed as fixed-voltage regulators for a wide variety of applications including local, on-card regulation. Available in seven fixed output voltage options from 5.0-to-24 volts, these regulators employ internal current limiting, thermal shutdown, and safe area compensation — making them essentially blow-out proof. With adequate heatsinking they can deliver output currents in excess of 1.0 ampere. The last two digits of the part number indicate nominal output voltage.

- Output Current in Excess of 1.0 Ampere
- No External Components Required
- Internal Thermal Overload Protection
- Internal Short-Circuit Current Limiting
- Output Transistor Safe-Area Compensation
- Packaged in the Plastic Case 313 and Case 11 (TO-220 and Hermetic TO-3)

THREE-TERMINAL POSITIVE FIXED VOLTAGE REGULATORS





(bottom view)

K SUFFIX
METAL PACKAGE
CASE 11-01
(TO-3 TYPE)

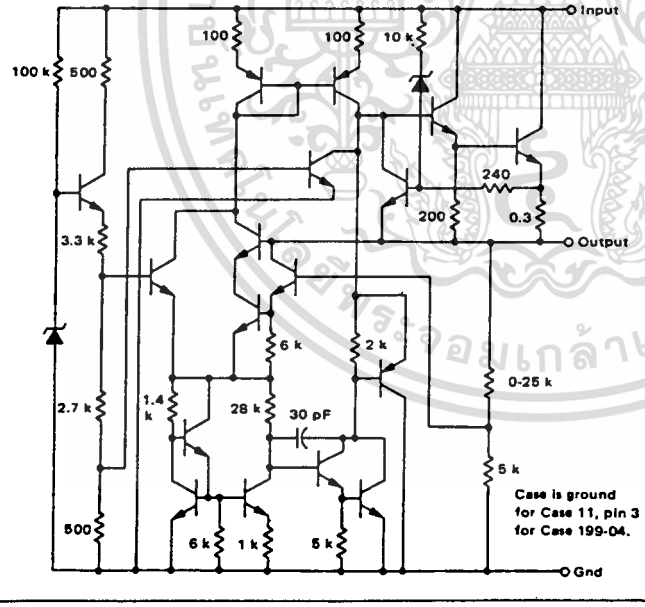
Pins 1 and 2 electrically isolated from case
Case is third electrical connection.

T SUFFIX
PLASTIC PACKAGE
CASE 313
TO-220 Type

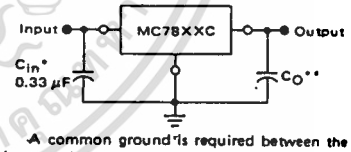
Pin 1. Input
2. Ground
3. Output

(Heatsink surface connected to Pin 2)

SCHEMATIC DIAGRAM



STANDARD APPLICATION



A common ground is required between the input and the output voltages. The input voltage must remain typically 2.0 V above the output voltage even during the low point on the input ripple voltage.

XX = these two digits of the type number indicate voltage.

* = C_{in} is required if regulator is located an appreciable distance from power supply filter.

** = C_O is not needed for stability; however, it does improve transient response.

XX indicates nominal voltage

TYPE NO./VOLTAGE

MC7805C 5.0 Volts	MC7808C 8.0 Volts	MC7818C 18 Volts
MC7806C 6.0 Volts	MC7812C 12 Volts	MC7824C 24 Volts
	MC7815C 15 Volts	

ORDERING INFORMATION		
DEVICE	TEMPERATURE RANGE	PACKAGE
MC78XXCK	T_J = 0° C to +150° C	Metal Power
MC78XXCT	T_J = 0° C to +150° C	Plastic Power

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC7800C Series MAXIMUM RATINGS (T_A = +25°C unless otherwise noted.)

Rating	Symbol	Value	Unit
Input Voltage (5.0 V - 18 V) (24 V)	V_{in}	35 40	Vdc
Power Dissipation and Thermal Characteristics			
Plastic Package			
T_A = +25°C	P_D	Internally Limited	Watts
Derate above T_A = +25°C	$1/\theta_{JA}$	15.4	mW/°C
Thermal Resistance, Junction to Air	θ_{JA}	65	°C/W
T_C = +25°C	P_D	Internally Limited	Watts
Derate above T_C = +95°C (See Figure 1)	$1/\theta_{JC}$	200	mW/°C
Thermal Resistance, Junction to Case	θ_{JC}	5.0	°C/W
Metal Package			
T_A = +25°C	P_D	Internally Limited	Watts
Derate above T_A = +25°C	$1/\theta_{JA}$	22.5	mW/°C
Thermal Resistance, Junction to Air	θ_{JA}	45	°C/W
T_C = +25°C	P_D	Internally Limited	Watts
Derate above T_C = +65°C (See Figure 2)	$1/\theta_{JC}$	182	mW/°C
Thermal Resistance, Junction to Case	θ_{JC}	5.5	°C/W
Storage Junction Temperature Range	T_{stg}	−65 to +150	°C
Operating Junction Temperature Range	T_J	0 to +150	°C

MC7805C ELECTRICAL CHARACTERISTICS (V_{in} = 10 V, I_O = 500 mA, 0°C < T_J < +125°C unless otherwise noted.)

Characteristic	Symbol	Min	Typ	Max	Unit
Output Voltage (T_J = +25°C)	V_O	4.8	5.0	5.2	Vdc
Input Regulation	Reg_{in}				mV
(T_J = +25°C, I_O = 100 mA)					
7.0 Vdc ≤ V_{in} ≤ 25 Vdc		–	7.0	50	
8.0 Vdc ≤ V_{in} ≤ 12 Vdc		–	2.0	25	
(T_J = +25°C, I_O = 500 mA)					
7.0 Vdc ≤ V_{in} ≤ 25 Vdc		–	35	100	
8.0 Vdc ≤ V_{in} ≤ 12 Vdc		–	8.0	50	
Load Regulation	Reg_{load}				mV
T_J = +25°C, 5.0 mA ≤ I_O ≤ 1.5 A		–	11	100	
250 mA ≤ I_O ≤ 750 mA		–	4.0	50	
Output Voltage	V_O				Vdc
(7.0 Vdc ≤ V_{in} ≤ 20 Vdc, 5.0 mA ≤ I_O ≤ 1.0 A, P ≤ 15 W)		4.75	–	5.25	
Quiescent Current (T_J = +25°C)	I_B	–	4.3	8.0	mA
Quiescent Current Change	ΔI_B				mA
7.0 Vdc ≤ V_{in} ≤ 25 Vdc		–	–	1.3	
5.0 mA ≤ I_O ≤ 1.0 A		–	–	0.5	
Output Noise Voltage (T_A = +25°C, 10 Hz ≤ f ≤ 100 kHz)	V_N	–	40	–	μV
Long-Term Stability	$\Delta V_O/\Delta t$	–	–	20	mV/1.0 k HRS
Ripple Rejection (I_O = 20 mA, f = 120 Hz)	RR	–	70	–	dB
Input-Output Voltage Differential	$V_{in}-V_O$				Vdc
(I_O = 1.0 A, T_J = +25°C)		–	2.0	–	
Output Resistance (I_O = 500 mA)	R_O	–	30	–	mΩ
Short-Circuit Current Limit (T_J = +25°C)	I_{SC}	–	750	–	mA
Average Temperature Coefficient of Output Voltage	TCV_O				mV/°C
I_O = 5.0 mA, 0°C ≤ T_A ≤ +125°C		–	-1.0	–	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPICAL CHARACTERISTICS
(T_A = +25°C unless otherwise noted.)

FIGURE 1 – WORST CASE POWER DISSIPATION versus AMBIENT TEMPERATURE (Case 313)

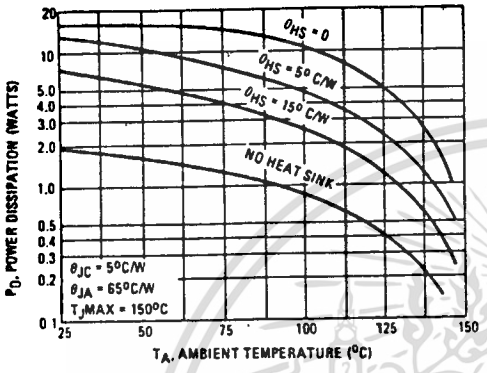


FIGURE 2 – WORST CASE POWER DISSIPATION versus AMBIENT TEMPERATURE (Case 11)

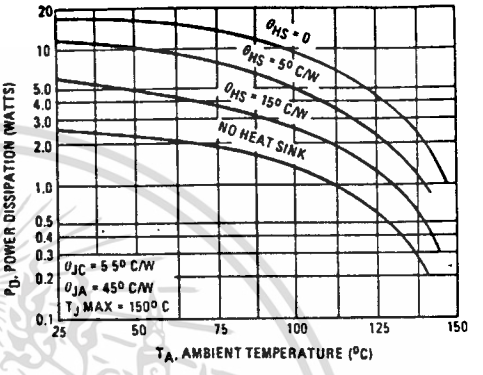


FIGURE 3 – INPUT OUTPUT DIFFERENTIAL AS A FUNCTION OF JUNCTION TEMPERATURE

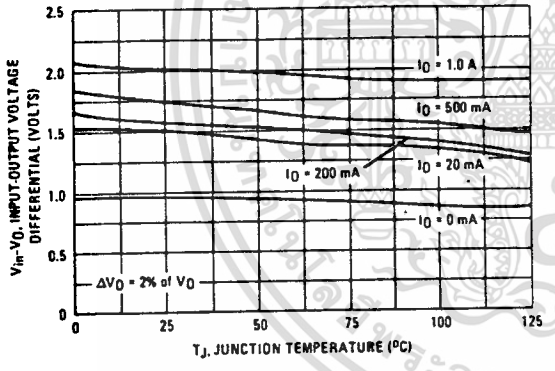


FIGURE 4 – PEAK OUTPUT CURRENT AS A FUNCTION OF INPUT-OUTPUT DIFFERENTIAL VOLTAGE

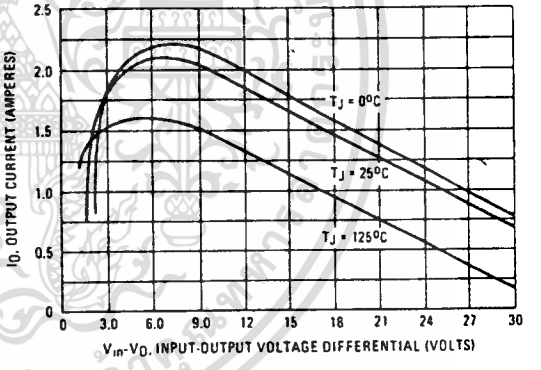


FIGURE 5 – RIPPLE REJECTION AS A FUNCTION OF FREQUENCY

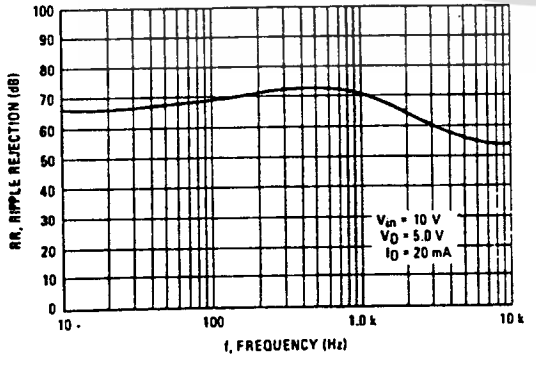
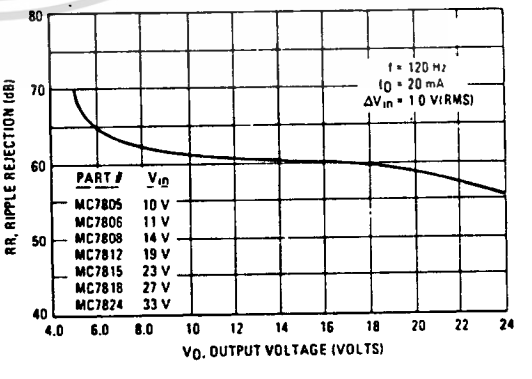


FIGURE 6 – RIPPLE REJECTION AS A FUNCTION OF OUTPUT VOLTAGES



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPICAL CHARACTERISTICS (continued)

FIGURE 7 – OUTPUT VOLTAGE AS A FUNCTION OF JUNCTION TEMPERATURE

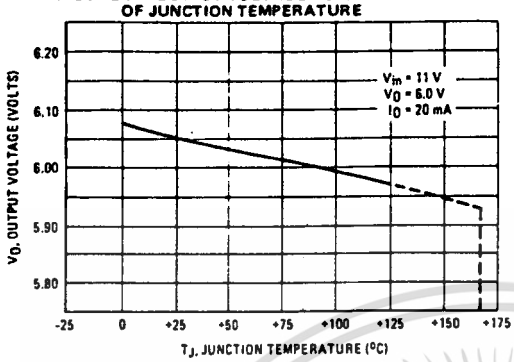


FIGURE 8 – QUIESCENT CURRENT AS A FUNCTION OF TEMPERATURE

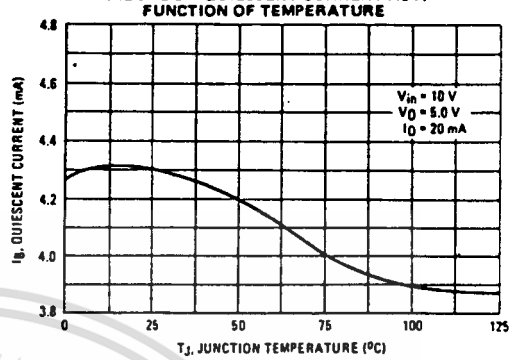
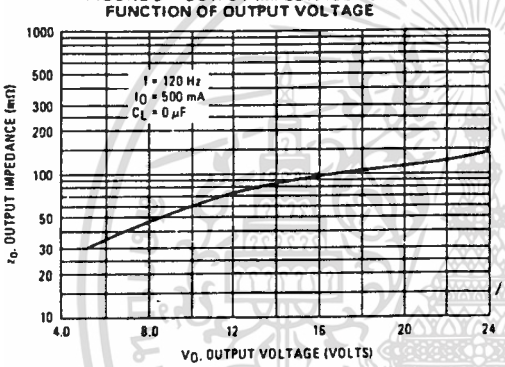


FIGURE 9 – OUTPUT IMPEDANCE AS A FUNCTION OF OUTPUT VOLTAGE



DEFINITIONS

Line Regulation – The change in output voltage for a change in the input voltage. The measurement is made under conditions of low dissipation or by using pulse techniques such that the average chip temperature is not significantly affected.

Load Regulation – The change in output voltage for a change in load current at constant chip temperature.

Maximum Power Dissipation – The maximum total device dissipation for which the regulator will operate within specifications.

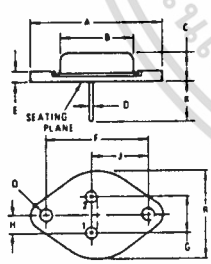
Quiescent Current – That part of the input current that is not delivered to the load.

Output Noise Voltage – The rms ac voltage at the output, with constant load and no input ripple, measured over a specified frequency range.

Long Term Stability – Output voltage stability under accelerated life test conditions with the maximum rated voltage listed in the devices' electrical characteristics and maximum power dissipation.

OUTLINE DIMENSIONS

$R_{\theta JA}$ = 45°C/W (Typ)

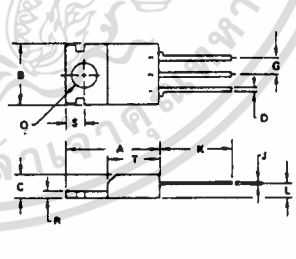


DIM	MILLIMETERS MIN	MILLIMETERS MAX	INCHES MIN	INCHES MAX
A	–	28.37	–	1.550
B	–	21.08	–	0.830
C	6.35	7.62	0.250	0.300
D	0.99	1.09	0.039	0.043
E	–	3.43	–	0.135
F	29.90	30.40	1.177	1.197
G	10.67	11.18	0.420	0.440
H	5.33	5.59	0.210	0.270
J	16.64	17.15	0.655	0.675
K	11.18	12.19	0.440	0.480
Q	3.84	4.05	0.151	0.161
R	–	26.67	–	1.050

Weight = 5.5 grams
Pins 1 and 2 electrically isolated from case
Case is third electrical connection
Leads are gold plated copper cored Kovar*
*Trademark of Westinghouse Electric Corporation
Ground connected to case
Metal Package
CASE 11-01
B SUFFIX

NOTE
1. DIM "D" IS DIA

$R_{\theta JA}$ = 65° C/W (Typ)



DIM	MILLIMETERS MIN	MILLIMETERS MAX	INCHES MIN	INCHES MAX
A	15.49	15.88	0.610	0.625
B	9.85	10.67	0.380	0.420
C	4.06	4.83	0.160	0.190
D	0.51	1.02	0.020	0.040
G	2.29	2.79	0.090	0.110
J	0.38	0.64	0.015	0.025
K	12.70	–	0.500	–
L	2.03	2.92	0.080	0.115
Q	3.53	3.73	0.139	0.147
R	0.88	1.40	0.035	0.055
S	8.02	9.40	0.355	0.370
T	2.54	3.85	0.100	0.120
T	9.02	9.39	0.355	0.370

CASE 313-01

THERMAL INFORMATION

The maximum power consumption an integrated circuit can tolerate at a given operating ambient temperature, can be found from the equation

$$P_{D(T_A)} = \frac{T_{J(max)} - T_A}{R_{\theta JA(Typ)}} \geq V_I I_S - V_O I_O$$

Where $P_{D(T_A)}$ = Power Dissipation allowable at a given operating ambient temperature.

$T_{J(max)}$ = Maximum Operating Junction Temperature as listed in the Maximum Ratings Section

T_A = Maximum Desired Operating Ambient Temperature

$R_{\theta JA(Typ)}$ = Typical Thermal Resistance Junction to Ambient

I_S = Total Supply Current

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

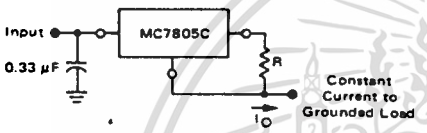
APPLICATIONS INFORMATION

Design Considerations

The MC7800C Series of fixed voltage regulators are designed with Thermal Overload Protection that shuts down the circuit when subjected to an excessive power overload condition, Internal Short-Circuit Protection that limits the maximum current the circuit will pass, and Output Transistor Safe-Area Compensation that reduces the output short-circuit current as the voltage across the pass transistor is increased.

In many low current applications, compensation capacitors are not required. However, it is recommended that the regulator input be bypassed with a capacitor if the regulator is connected to the power supply filter with long wire lengths, or if the output load capacitance is large. An input bypass capacitor should be selected to provide good high-frequency characteristics to insure stable operation under all load conditions. A 0.33 μF or larger tantalum, mylar, or other capacitor having low internal impedance at high frequencies should be chosen. The bypass capacitor should be mounted with the shortest possible leads directly across the regulators input terminals. Normally good construction techniques should be used to minimize ground loops and lead resistance drops since the regulator has no external sense lead.

FIGURE 10 – CURRENT REGULATOR



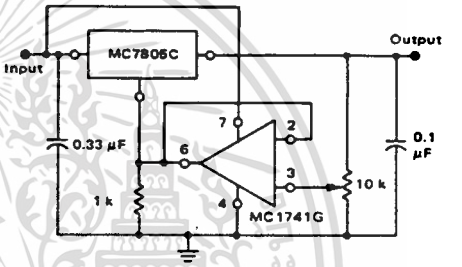
The MC7800C regulators can also be used as a current source when connected as above. In order to minimize dissipation the MC7805C is chosen in this application. Resistor R determines the current as follows:

$$I_O = \frac{5\ V}{R} + I_Q$$

$I_Q \cong 1.5$ mA over line and load changes

For example, a 1-ampere current source would require R to be a 5-ohm, 10-W resistor and the output voltage compliance would be the input voltage less 7 volts.

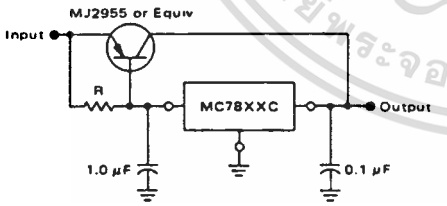
FIGURE 11 – ADJUSTABLE OUTPUT REGULATOR



V_O, 7.0 V to 20 V
$V_{IN} - V_O \geq 2.0$ V

The addition of an operational amplifier allows adjustment to higher or intermediate values while retaining regulation characteristics. The minimum voltage obtainable with this arrangement is 2.0 volts greater than the regulator voltage.

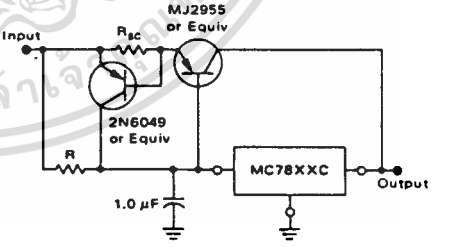
FIGURE 12 – CURRENT BOOST REGULATOR



XX = 2 digits of type number indicating voltage.

The MC7800C series can be current boosted with a PNP transistor. The MJ2955 provides current to 5.0 amperes. Resistor R in conjunction with the V_{BE} of the PNP, determines when the pass transistor begins conducting; this circuit is not short-circuit proof. Input-output differential voltage minimum is increased by V_{BE} of the pass transistor.

FIGURE 13 – SHORT-CIRCUIT PROTECTION



XX = 2 digits of type number indicating voltage

The circuit of Figure 12 can be modified to provide supply protection against short circuits by adding a short-circuit sense resistor, R_{SC}, and an additional PNP transistor. The current sensing PNP must be able to handle the short-circuit current of the three-terminal regulator. Therefore, a four-ampere plastic power transistor is specified

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Z8400
Z80® CPU Central Processing Unit

Zilog

Product Specification

April 1985

FEATURES

- The instruction set contains 158 instructions. The 78 instructions of the 8080A are included as a subset; 8080A software compatibility is maintained.
- Eight MHz, 6 MHz, 4 MHz, and 2.5 MHz clocks for the Z80H, Z80B, Z80A, and Z80 CPU result in rapid instruction execution with consequent high data throughput.
- The extensive instruction set includes string, bit, byte, and word operations. Block searches and block transfers, together with indexed and relative addressing, result in the most powerful data handling capabilities in the microcomputer industry.
- The Z80 microprocessors and associated family of peripheral controllers are linked by a vectored interrupt system. This system may be daisy-chained to allow implementation of a priority interrupt scheme. Little, if any, additional logic is required for daisy-chaining.
- Duplicate sets of both general-purpose and flag registers are provided, easing the design and operation of system software through single-context switching, background-foreground programming, and single-level interrupt processing. In addition, two 16-bit index registers facilitate program processing of tables and arrays.
- There are three modes of high speed interrupt processing: 8080 similar, non-Z80 peripheral device, and Z80 Family peripheral with or without daisy chain.
- On-chip dynamic memory refresh counter.

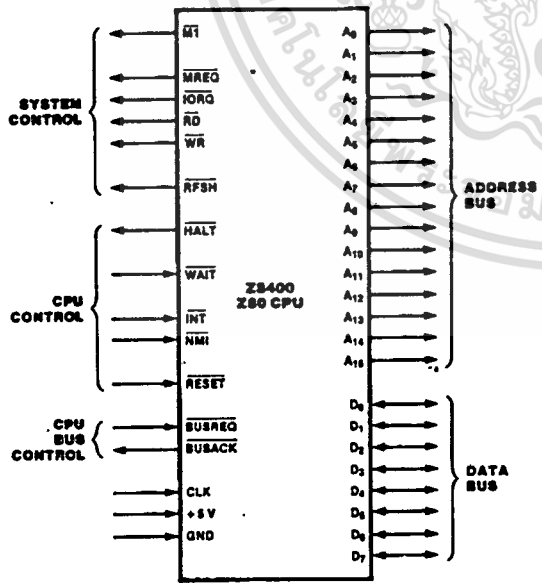


Figure 1. Pin Functions

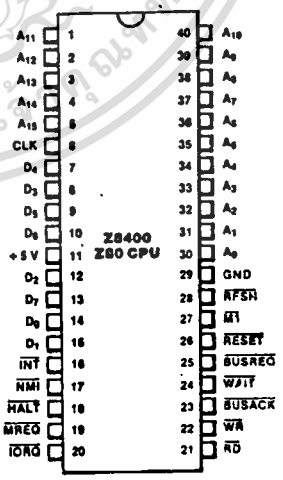


Figure 2a. 40-Pin Dual-In-Line Package (DIP) Pin Assignments

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

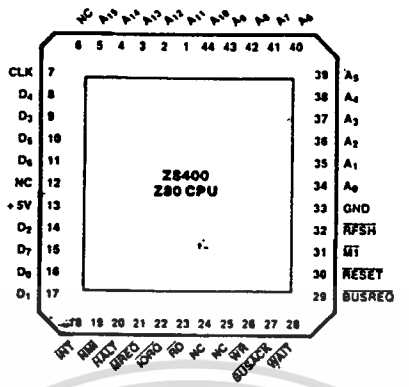


Figure 2b. 44-Pin Chip Carrier Pin Assignments

GENERAL DESCRIPTION

The Z80, Z80A, Z80B, and Z80H CPUs are third-generation single-chip microprocessors with exceptional computational power. They offer higher system throughput and more efficient memory utilization than comparable second- and third-generation microprocessors. The internal registers contain 208 bits of read/write memory that are accessible to the programmer. These registers include two sets of six general-purpose registers which may be used individually as either 8-bit registers or as 16-bit register pairs. In addition, there are two sets of accumulator and flag registers. A group of "Exchange" instructions makes either set of main or alternate registers accessible to the programmer. The alternate set allows operation in foreground-background mode or it may be reserved for very fast interrupt response.

The Z80 also contains a Stack Pointer, Program Counter, two index registers, a Refresh register (counter), and an Interrupt register. The CPU is easy to incorporate into a system since it requires only a single +5V power source. All output signals are fully decoded and timed to control standard memory or peripheral circuits; the CPU is supported by an extensive family of peripheral controllers. The internal block diagram (Figure 3) shows the primary functions of the Z80 processors. Subsequent text provides more detail on the Z80 I/O controller family, registers, instruction set, interrupts and daisy chaining, and CPU timing.

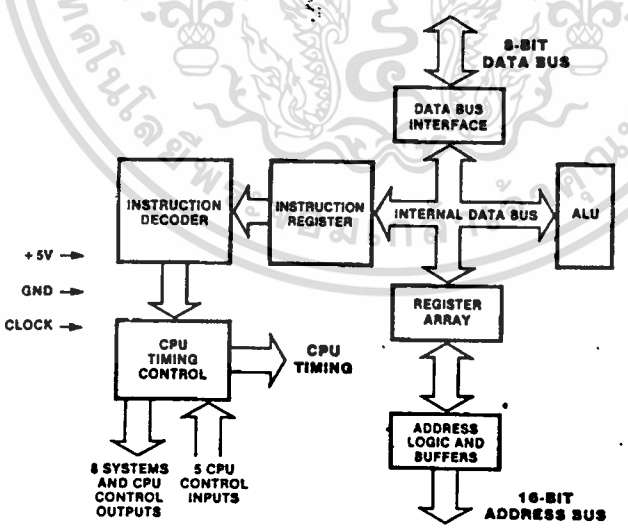


Figure 3. Z80 CPU Block Diagram

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Z80 MICROPROCESSOR FAMILY

The Zilog Z80 microprocessor is the central element of a comprehensive microprocessor product family. This family works together in most applications with minimum requirements for additional logic, facilitating the design of efficient and cost-effective microcomputer-based systems.

Zilog has designed five components to provide extensive support for the Z80 microprocessor. These are:

- The PIO (Parallel Input/Output) operates in both data-byte I/O transfer mode (with handshaking) and in bit mode (without handshaking). The PIO may be configured to interface with standard parallel peripheral devices such as printers, tape punches, and keyboards.
- The CTC (Counter/Timer Circuit) features four programmable 8-bit counter/timers, each of which has an 8-bit prescaler. Each of the four channels may be configured to operate in either counter or timer mode.
- The DMA (Direct Memory Access) controller provides dual port data transfer operations and the ability to terminate data transfer as a result of a pattern match.
- The SIO (Serial Input/Output) controller offers two channels. It is capable of operating in a variety of programmable modes for both synchronous and asynchronous communication, including Bi-Synch and SDLC.
- The DART (Dual Asynchronous Receiver/Transmitter) device provides low cost asynchronous serial communication. It has two channels and a full modem control interface.

Z80 CPU REGISTERS

Figure 4 shows three groups of registers within the Z80 CPU. The first group consists of duplicate sets of 8-bit registers: a principal set and an alternate set (designated by ' [prime], e.g., A'). Both sets consist of the Accumulator Register, the Flag Register, and six general-purpose registers. Transfer of data between these duplicate sets of registers is accomplished by use of "Exchange" instructions. The result is faster response to interrupts and easy, efficient implementation of such versatile programming techniques as background-foreground data processing. The second set of registers consists of six registers with assigned functions. These are the I (Interrupt Register), the R (Refresh Register), the IX and IY (Index Registers), the SP (Stack Pointer), and the PC (Program Counter). The third group consists of two interrupt status flip-flops, plus an additional pair of flip-flops which assists in identifying the interrupt mode at any particular time. Table 1 provides further information on these registers.

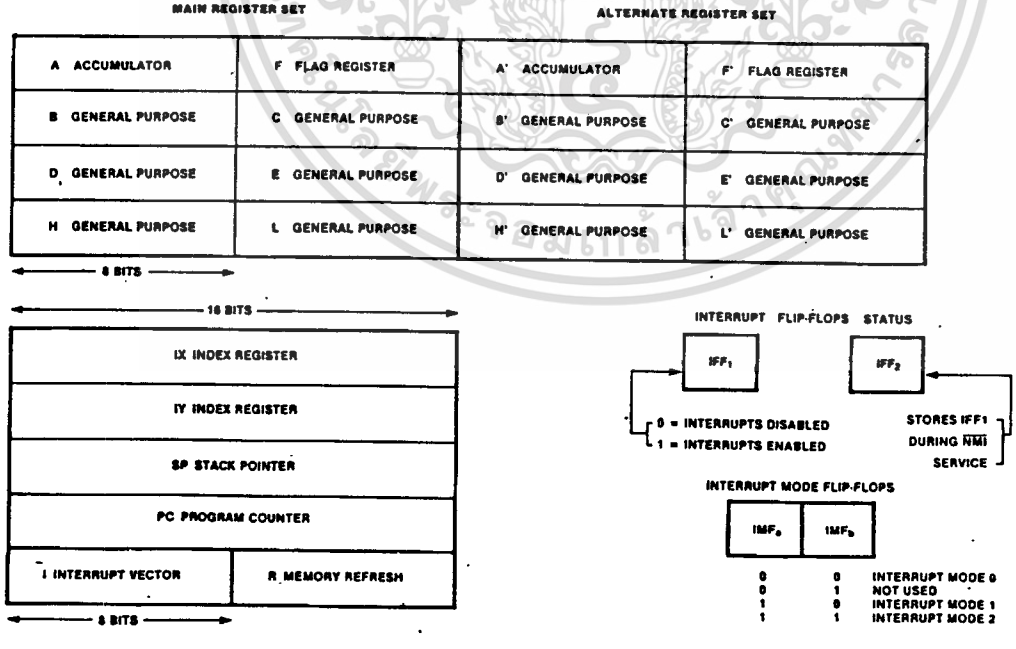


Figure 4. CPU Registers

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC CHARACTERISTICS†

Number	Symbol	Parameter	Z80 CPU		Z80A CPU		Z80B CPU		Z80H CPU	
			Min	Max	Min	Max	Min	Max	Min	Max
1	TcC	Clock Cycle Time	400*		250*		165*		125*	
2	TwCh	Clock Pulse Width (High)	180	2000	110	2000	65	2000	55	2000
3	TwCl	Clock Pulse Width (Low)	180	2000	110	2000	65	2000	55	2000
4	TfC	Clock Fall Time		30		30		20		10
5	TrC	Clock Rise Time		30		30		20		10
6	TdCr(A)	Clock ↑ to Address Valid Delay		145		110		90		80
7	TdA(MREQf)	Address Valid to $\overline{MREQ}$ ↓ Delay	125*		65*		35*		20*	
8	TdCf(MREQf)	Clock ↓ to $\overline{MREQ}$ ↓ Delay		100		85		70		60
9	TdCr(MREQr)	Clock ↑ to $\overline{MREQ}$ ↑ Delay		100		85		70		60
10	TwMREQh	$\overline{MREQ}$ Pulse Width (High)	170*		110*		65*		45*	
11	TwMREQl	$\overline{MREQ}$ Pulse Width (Low)	360*		220*		135*		100*	
12	TdCf(MREQr)	Clock ↓ to $\overline{MREQ}$ ↑ Delay		100		85		70		60
13	TdCf(RDf)	Clock ↓ to $\overline{RD}$ ↓ Delay		130		95		80		70
14	TdCr(RDr)	Clock ↑ to $\overline{RD}$ ↑ Delay		100		85		70		60
15	TsD(Cr)	Data Setup Time to Clock ↑	50		35		30		30	
16	ThD(RDr)	Data Hold Time to $\overline{RD}$ ↑		0		0		0		0
17	TsWAIT(Cf)	$\overline{WAIT}$ Setup Time to Clock ↓	70		70		60		50	
18	ThWAIT(Cf)	$\overline{WAIT}$ Hold Time after Clock ↓		0		0		0		0
19	TdCr(M1f)	Clock ↑ to $\overline{M1}$ ↓ Delay		130		100		80		70
20	TdCr(M1r)	Clock ↑ to $\overline{M1}$ ↑ Delay		130		100		80		70
21	TdCr(RFSHf)	Clock ↑ to $\overline{RFSH}$ ↓ Delay		180		130		110		95
22	TdCr(RFSHr)	Clock ↑ to $\overline{RFSH}$ ↑ Delay		150		120		100		85
23	TdCf(RDr)	Clock ↓ to $\overline{RD}$ ↑ Delay		110		85		70		60
24	TdCr(RDf)	Clock ↑ to $\overline{RD}$ ↓ Delay		100		85		70		60
25	TsD(Cf)	Data Setup to Clock ↓ during M_2, M_3, M_4, or M_5 Cycles	60		50		40		30	
26	TdA(IORQf)	Address Stable prior to $\overline{IORQ}$ ↓	320*		180*		110*		75*	
27	TdCr(IORQf)	Clock ↑ to $\overline{IORQ}$ ↓ Delay		90		75		65		55
28	TdCf(IORQr)	Clock ↓ to $\overline{IORQ}$ ↑ Delay		110		85		70		60
29	TdD(WRf)	Data Stable prior to $\overline{WR}$ ↓	190*		80*		25*		5*	
30	TdCf(WRf)	Clock ↓ to $\overline{WR}$ ↓ Delay		90		80		70		60
31	TwWR	$\overline{WR}$ Pulse Width	360*		220*		135*		100*	
32	TdCf(WRr)	Clock ↓ to $\overline{WR}$ ↑ Delay		100		80		70		60
33	TdD(WRf)	Data Stable prior to $\overline{WR}$ ↓	20*		-10*		-55*		55*	
34	TdCr(WRf)	Clock ↑ to $\overline{WR}$ ↓ Delay		80		65		60		55
35	TdWRr(D)	Data Stable from $\overline{WR}$ ↑	120*		60*		30*		15*	
36	TdCf(HALT)	Clock ↓ to $\overline{HALT}$ ↑ or ↓		300		300		260		225
37	TwNMI	$\overline{NMI}$ Pulse Width	80		80		70		60*	
38	TsBUSREQ(Cr)	$\overline{BUSREQ}$ Setup Time to Clock ↑	80		50		50		40	

* For clock periods other than the minimums shown, calculate parameters using the table on the following page. Calculated values above assumed TrC = TfC = 20 ns.
†Units in nanoseconds (ns).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC CHARACTERISTICS† (Continued)

Number	Symbol	Parameter	Z80 CPU Min	Z80 CPU Max	Z80A CPU Min	Z80A CPU Max	Z80B CPU Min	Z80B CPU Max	Z80H CPU Min	Z80H CPU Max
39	ThBUSREQ(Cr)	$\overline{BUSREQ}$ Hold Time after Clock ↑	0		0		0		0	
40	TdCr(BUSACKf)	Clock ↑ to $\overline{BUSACK}$ ↓ Delay		120		100		90		80
41	TdCf(BUSACKr)	Clock ↓ to $\overline{BUSACK}$ ↑ Delay		110		100		90		80
42	TdCr(Dz)	Clock ↑ to Data Float Delay		90		90		80		70
43	TdCr(CTz)	Clock ↑ to Control Outputs Float Delay ($\overline{MREQ}$, $\overline{IORQ}$, $\overline{RD}$, and $\overline{WR}$)		110		80		70		60
44	TdCr(Az)	Clock ↑ to Address Float Delay		110		90		80		70
45	TdCTr(A)	$\overline{MREQ}$ ↑, $\overline{IORQ}$ ↑, $\overline{RD}$ ↑, and $\overline{WR}$ ↑ to Address Hold Time	160*		80*		35*		20*	
46	TsRESET(Cr)	$\overline{RESET}$ to Clock ↑ Setup Time	90		60		60		45	
47	ThRESET(Cr)	$\overline{RESET}$ to Clock ↑ Hold Time		0		0		0		0
48	TsINTf(Cr)	$\overline{INT}$ to Clock ↑ Setup Time	80		80		70		55	
49	ThINTr(Cr)	$\overline{INT}$ to Clock ↑ Hold Time		0		0		0		0
50	TdM1f(IORQf)	$\overline{M1}$ ↓ to $\overline{IORQ}$ ↓ Delay	920*		565*		365*		270*	
51	TdCf(IORQf)	Clock ↓ to $\overline{IORQ}$ ↓ Delay		110		85		70		60
52	TdCf(IORQr)	Clock ↑ $\overline{IORQ}$ ↑ Delay		100		85		70		60
53	TdCf(D)	Clock ↓ to Data Valid Delay		230		150		130		115

*For clock periods other than the minimums shown, calculate parameters using the following table. Calculated values above assumed TrC = TfC = 20 ns.
†Units in nanoseconds (ns).

FOOTNOTES TO AC CHARACTERISTICS

Number	Symbol	General Parameter	Z80	Z80A	Z80B	Z80H
1	TcC	TwCh + TwCl + TrC + TfC				
7	TdA(MREQf)	TwCh + TfC	− 75	− 65	− 50	− 45
10	TwMREQh	TwCh + TfC	− 30	− 20	− 20	− 20
11	TwMREQl	TcC	− 40	− 30	− 30	− 25
26	TdA(IORQf)	TcC	− 80	− 70	− 55	− 50
29	TdD(WRf)	TcC	− 210	− 170	− 140	− 120
31	TwWR	TcC	− 40	− 30	− 30	− 25
33	TdD(WRf)	TwCl + TrC	− 180	− 140	− 140	− 120
35	TdWRr(D)	TwCl + TrC	− 80	− 70	− 55	− 50
45	TdCTr(A)	TwCl + TrC	− 40	− 50	− 50	− 45
50	TdM1f(IORQf)	2TcC + TwCh + TfC	− 80	− 65	− 50	− 45

AC Test Conditions:
V_{IH} = 2.0 V
V_{IL} = 0.8 V
$V_{IHC} = V_{CC} - 0.6$ V
V_{ILC} = 0.45 V
V_{OH} = 1.5 V
V_{OL} = 1.5 V
FLOAT = ± 0.5 V

ABSOLUTE MAXIMUM RATINGS

Voltages on all pins with respect to ground . . .0.3V to +7V
Operating Ambient
Temperature . . . . . .See Ordering Information
Storage Temperature . . . . . −65°C to +150°C

Stresses greater than those listed under Absolute Maximum Ratings may cause permanent damage to the device. This is a stress rating only; operation of the device at any condition above these indicated in the operational sections of these specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

STANDARD TEST CONDITIONS

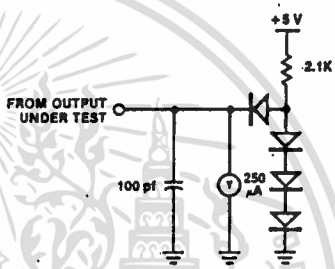
The DC Characteristics and Capacitance sections below apply for the following standard test conditions, unless otherwise noted. All voltages are referenced to GND (0V). Positive current flows into the referenced pin.

Available operating temperature ranges are:

- S = 0°C to +70°C, +4.75V ≤ V_{CC} ≤ +5.25V
- E = −40°C to +85°C, +4.75V ≤ V_{CC} ≤ +5.25V
- M = −55°C to +125°C, +4.5V ≤ V_{CC} ≤ +5.25V

The Ordering Information section lists temperature ranges and product numbers. Package drawings are in the Package Information section in this book. Refer to the Literature List for additional documentation.

All ac parameters assume a load capacitance of 100 pf. Add 15 ns delay for each 50 pf increase in load up to a maximum of 200 pf for the data bus. AC timing measurements are referenced to 1.5 volts (except for clock, which is referenced to the 10% and 90% points).



DC CHARACTERISTICS

All parameters are tested unless otherwise noted.

Symbol	Parameter	Min	Max	Unit	Test Condition
V_{ILC}	Clock Input Low Voltage	−0.3	0.45	V	
V_{IHC}	Clock Input High Voltage	V_{CC} − .6	V_{CC} + .3	V	
V_{IL}	Input Low Voltage	−0.3	0.8	V	
V_{IH}	Input High Voltage	2.0[1]	V_{CC}	V	
V_{OL}	Output Low Voltage		0.4	V	I_{OL} = 2.0 mA
V_{OH}	Output High Voltage	2.4[1]		V	I_{OH} = −250 μA
I_{CC}	Power Supply Current		200	mA	Note 3
I_{LI}	Input Leakage Current		10	μA	V_{IN} = 0 to V_{CC}
I_{LO}	3-State Output Leakage Current in Float	−10	10[2]	μA	V_{OUT} = 0.4 to V_{CC}

1 For military grade parts, refer to the Z80 Military Electrical Specification.
2 A_{15}-A_0, D_7-D_0, $\overline{MREQ}$, $\overline{IORQ}$, $\overline{RD}$, and $\overline{WR}$.
3 Measurements made with outputs floating.

CAPACITANCE

Guaranteed by design and characterization.

Symbol	Parameter	Min	Max	Unit
C_{CLOCK}	Clock Capacitance		35	pf
C_{IN}	Input Capacitance		5	pf
C_{OUT}	Output Capacitance		15	pf

NOTES:
T_A = 25°C, f = 1 MHz.
Unmeasured pins returned to ground.

Z80 CPU REGISTERS (Continued)

Table 1. Z80 CPU Registers

Register		Size (Bits)	Remarks
A, A′	Accumulator	8	Stores an operand or the results of an operation.
F, F′	Flags	8	See Instruction Set.
B, B′	General Purpose	8	Can be used separately or as a 16-bit register with C.
C, C′	General Purpose	8	See B, above.
D, D′	General Purpose	8	Can be used separately or as a 16-bit register with E.
E, E′	General Purpose	8	See D, above.
H, H′	General Purpose	8	Can be used separately or as a 16-bit register with L.
L, L′	General Purpose	8	See H, above.
			Note: The (B,C), (D,E), and (H,L) sets are combined as follows: B — High byte C — Low byte D — High byte E — Low byte H — High byte L — Low byte
I	Interrupt Register	8	Stores upper eight bits of memory address for vectored interrupt processing.
R	Refresh Register	8	Provides user-transparent dynamic memory refresh. Automatically incremented and placed on the address bus during each instruction fetch cycle.
IX	Index Register	16	Used for indexed addressing.
IY	Index Register	16	Used for indexed addressing
SP	Stack Pointer	16	Holds address of the top of the stack. See Push or Pop in instruction set.
PC	Program Counter	16	Holds address of next instruction.
IFF_1-IFF_2	Interrupt Enable	Flip-Flops	Set or reset to indicate interrupt status (see Figure 4).
IMFa-IMFb	Interrupt Mode	Flip-Flops	Reflect Interrupt mode (see Figure 4).

INTERRUPTS: GENERAL OPERATION

The CPU accepts two interrupt input signals: $\overline{NMI}$ and $\overline{INT}$. The $\overline{NMI}$ is a non-maskable interrupt and has the highest priority. $\overline{INT}$ is a lower priority interrupt and it requires that interrupts be enabled in software in order to operate. $\overline{INT}$ can be connected to multiple peripheral devices in a wired-OR configuration.

The Z80 has a single response mode for interrupt service for the non-maskable interrupt. The maskable interrupt, $\overline{INT}$, has three programmable response modes available. These are:

- Mode 0 — similar to the 8080 microprocessor.
- Mode 1 — Peripheral Interrupt service, for use with non-8080/Z80 systems.
- Mode 2 — a vectored interrupt scheme, usually daisy-chained, for use with Z80 Family and compatible peripheral devices.

The CPU services interrupts by sampling the $\overline{NMI}$ and $\overline{INT}$ signals at the rising edge of the last clock of an instruction. Further interrupt service processing depends upon the type of interrupt that was detected. Details on interrupt responses are shown in the CPU Timing Section.

Non-Maskable Interrupt ($\overline{NMI}$). The nonmaskable interrupt cannot be disabled by program control and therefore will be accepted at all times by the CPU. $\overline{NMI}$ is usually reserved for servicing only the highest priority type interrupts, such as that for orderly shutdown after power failure has been detected. After recognition of the $\overline{NMI}$ signal (providing $\overline{BUSREQ}$ is not active), the CPU jumps to restart location 0066H. Normally, software starting at this address contains the interrupt service routine.

Maskable Interrupt ($\overline{INT}$). Regardless of the interrupt mode set by the user, the Z80 response to a maskable interrupt input follows a common timing cycle. After the

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

interrupt has been detected by the CPU (provided that interrupts are enabled and $\overline{BUSREQ}$ is not active) a special interrupt processing cycle begins. This is a special fetch ($\overline{M1}$) cycle in which $\overline{IORQ}$ becomes active rather than $\overline{MREQ}$, as in a normal $\overline{M1}$ cycle. In addition, this special $\overline{M1}$ cycle is automatically extended by two $\overline{WAIT}$ states, to allow for the time required to acknowledge the interrupt request.

Mode 0 Interrupt Operation. This mode is similar to the 8080 microprocessor interrupt service procedures. The interrupting device places an instruction on the data bus. This is normally a Restart instruction, which will initiate a call to the selected one of eight restart locations in page zero of memory. Unlike the 8080, the Z80 CPU responds to the Call instruction with only one interrupt acknowledge cycle followed by two memory read cycles.

Mode 1 Interrupt Operation. Mode 1 operation is very similar to that for the $\overline{NMI}$. The principal difference is that the Mode 1 interrupt has only one restart location, 0038H.

Mode 2 Interrupt Operation. This interrupt mode has been designed to utilize most effectively the capabilities of the Z80 microprocessor and its associated peripheral family. The interrupting peripheral device selects the starting address of the interrupt service routine. It does this by placing an 8-bit vector on the data bus during the interrupt acknowledge cycle. The CPU forms a pointer using this byte as the lower 8 bits and the contents of the I register as the upper 8 bits. This points to an entry in a table of addresses for interrupt service routines. The CPU then jumps to the routine at that address. This flexibility in selecting the interrupt service routine address allows the peripheral device to use several different types of service routines. These routines may be located at any available location in memory. Since the interrupting device supplies the low-order byte of the 2-byte vector, bit 0 (A_0) must be a zero.

Interrupt Priority (Daisy Chaining and Nested Interrupts). The interrupt priority of each peripheral device is determined by its physical location within a daisy-chain configuration. Each device in the chain has an interrupt enable input line (IEI) and an interrupt enable output line (IEO), which is fed to the next lower priority device. The first device in the daisy chain has its IEI input hardwired to a High level. The first device has highest priority, while each succeeding device has a corresponding lower priority. This arrangement permits the CPU to select the highest priority interrupt from several simultaneously interrupting peripherals.

The interrupting device disables its IEO line to the next lower priority peripheral until it has been serviced. After servicing, its IEO line is raised, allowing lower priority peripherals to demand interrupt servicing.

The Z80 CPU will nest (queue) any pending interrupts or interrupts received while a selected peripheral is being serviced.

Interrupt Enable/Disable Operation. Two flip-flops, IFF_1 and IFF_2, referred to in the register description, are used to signal the CPU interrupt status. Operation of the two flip-flops is described in Table 2. For more details, refer to the *Z80 CPU Technical Manual* (03-0029-01) and *Z80 Assembly Language Programming Manual* (03-0002-01).

Table 2. State of Flip-Flops

Action	IFF_1	IFF_2	Comments
CPU Reset	0	0	Maskable interrupt INT disabled
DI instruction execution	0	0	Maskable interrupt INT disabled
EI instruction execution	1	1	Maskable interrupt INT enabled
LD A,I instruction execution	•	•	$IFF_2 \rightarrow$ Parity flag
LD A,R instruction execution	•	•	$IFF_2 \rightarrow$ Parity flag
Accept NMI	0	IFF_1	$IFF_1 \rightarrow IFF_2$ (Maskable interrupt INT disabled)
RETN instruction execution	IFF_2	•	$IFF_2 \rightarrow IFF_1$ at completion of an NMI service routine.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PIN DESCRIPTIONS

A_0-A_{15}. *Address Bus* (output, active High, 3-state). A_0-A_{15} form a 16-bit address bus. The Address Bus provides the address for memory data bus exchanges (up to 64K bytes) and for I/O device exchanges.

$\overline{BUSACK}$. *Bus Acknowledge* (output, active Low). Bus Acknowledge indicates to the requesting device that the CPU address bus, data bus, and control signals $\overline{MREQ}$, $\overline{IORQ}$, $\overline{RD}$, and $\overline{WR}$ have entered their high-impedance states. The external circuitry can now control these lines.

$\overline{BUSREQ}$. *Bus Request* (input, active Low). Bus Request has a higher priority than $\overline{NMI}$ and is always recognized at the end of the current machine cycle. $\overline{BUSREQ}$ forces the CPU address bus, data bus, and control signals $\overline{MREQ}$, $\overline{IORQ}$, $\overline{RD}$, and $\overline{WR}$ to go to a high-impedance state so that other devices can control these lines. $\overline{BUSREQ}$ is normally wired-OR and requires an external pullup for these applications. Extended $\overline{BUSREQ}$ periods due to extensive DMA operations can prevent the CPU from properly refreshing dynamic RAMs.

D_0-D_7. *Data Bus* (input/output, active High, 3-state). D_0-D_7 constitute an 8-bit bidirectional data bus, used for data exchanges with memory and I/O.

$\overline{Halt}$. *Halt State* (output, active Low). $\overline{HALT}$ indicates that the CPU has executed a Halt instruction and is awaiting either a nonmaskable or a maskable interrupt (with the mask enabled) before operation can resume. While halted, the CPU executes NOPs to maintain memory refresh.

$\overline{INT}$. *Interrupt Request* (input, active Low). Interrupt Request is generated by I/O devices. The CPU honors a request at the end of the current instruction if the internal software-controlled interrupt enable flip-flop (IFF) is enabled. $\overline{INT}$ is normally wired-OR and requires an external pullup for these applications.

$\overline{IORQ}$. *Input/Output Request* (output, active Low, 3-state). $\overline{IORQ}$ indicates that the lower half of the address bus holds a valid I/O address for an I/O read or write operation. $\overline{IORQ}$ is also generated concurrently with $\overline{M1}$ during an interrupt acknowledge cycle to indicate that an interrupt response vector can be placed on the data bus.

$\overline{M1}$. *Machine Cycle One* (output, active Low). $\overline{M1}$, together with $\overline{MREQ}$, indicates that the current machine cycle is the opcode fetch cycle of an instruction execution. $\overline{M1}$, together with $\overline{IORQ}$, indicates an interrupt acknowledge cycle.

$\overline{MREQ}$. *Memory Request* (output, active Low, 3-state). $\overline{MREQ}$ indicates that the address bus holds a valid address for a memory read or memory write operation.

$\overline{NMI}$. *Non-Maskable Interrupt* (input, negative edge-triggered). $\overline{NMI}$ has a higher priority than $\overline{INT}$. $\overline{NMI}$ is always recognized at the end of the current instruction, independent of the status of the interrupt enable flip-flop, and automatically forces the CPU to restart at location 0066H.

$\overline{RD}$. *Read* (output, active Low, 3-state). $\overline{RD}$ indicates that the CPU wants to read data from memory or an I/O device. The addressed I/O device or memory should use this signal to gate data onto the CPU data bus.

$\overline{RESET}$. *Reset* (input, active Low). $\overline{RESET}$ initializes the CPU as follows: it resets the interrupt enable flip-flop, clears the PC and Registers I and R, and sets the interrupt status to Mode 0. During reset time, the address and data bus go to a high-impedance state, and all control output signals go to the inactive state. Note that $\overline{RESET}$ must be active for a minimum of three full clock cycles before the reset operation is complete.

$\overline{RFSH}$. *Refresh* (output, active Low). $\overline{RFSH}$, together with $\overline{MREQ}$, indicates that the lower seven bits of the system's address bus can be used as a refresh address to the system's dynamic memories.

$\overline{WAIT}$. *Wait* (input, active Low). $\overline{WAIT}$ indicates to the CPU that the addressed memory or I/O devices are not ready for a data transfer. The CPU continues to enter a Wait state as long as this signal is active. Extended $\overline{WAIT}$ periods can prevent the CPU from refreshing dynamic memory properly.

$\overline{WR}$. *Write* (output, active Low, 3-state). $\overline{WR}$ indicates that the CPU data bus holds valid data to be stored at the addressed memory or I/O location.

8255A/8255A-5
PROGRAMMABLE PERIPHERAL INTERFACE

- MCS-85™ Compatible 8255A-5
- 24 Programmable I/O Pins
- Completely TTL Compatible
- Fully Compatible with Intel® Microprocessor Families
- Improved Timing Characteristics
- Direct Bit Set/Reset Capability Easing Control Application Interface
- Reduces System Package Count
- Improved DC Driving Capability
- Available in EXPRESS
  - —Standard Temperature Range
  - —Extended Temperature Range

The Intel® 8255A is a general purpose programmable I/O device designed for use with Intel® microprocessors. It has 24 I/O pins which may be individually programmed in 2 groups of 12 and used in 3 major modes of operation. In the first mode (MODE 0), each group of 12 I/O pins may be programmed in sets of 4 to be input or output. In MODE 1, the second mode, each group may be programmed to have 8 lines of input or output. Of the remaining 4 pins, 3 are used for handshaking and interrupt control signals. The third mode of operation (MODE 2) is a bidirectional bus mode which uses 8 lines for a bidirectional bus, and 5 lines, borrowing one from the other group, for handshaking.

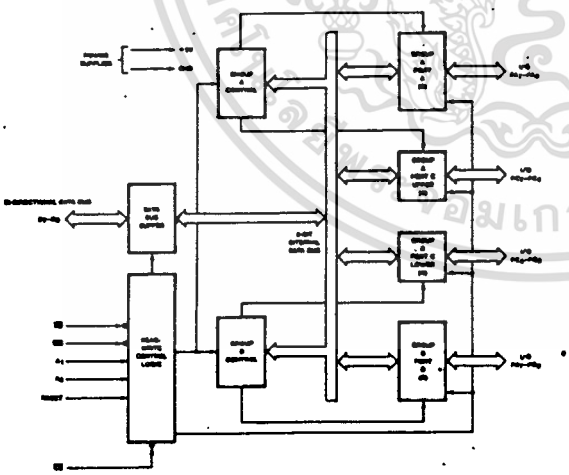


Figure 1. 8255A Block Diagram

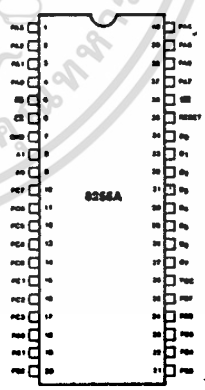


Figure 2. Pin Configuration

©INTEL CORPORATION, 1982.

Order Number: 231306-

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

8255A FUNCTIONAL DESCRIPTION

General

The 8255A is a programmable peripheral interface (PPI) device designed for use in Intel® microcomputer systems. Its function is that of a general purpose I/O component to interface peripheral equipment to the microcomputer system bus. The functional configuration of the 8255A is programmed by the system software so that normally no external logic is necessary to interface peripheral devices or structures.

Data Bus Buffer

This 3-state bidirectional 8-bit buffer is used to interface the 8255A to the system data bus. Data is transmitted or received by the buffer upon execution of input or output instructions by the CPU. Control words and status information are also transferred through the data bus buffer.

Read/Write and Control Logic

The function of this block is to manage all of the internal and external transfers of both Data and Control or Status words. It accepts inputs from the CPU Address and Control busses and in turn, issues commands to both of the Control Groups.

(CS)

Chip Select. A "low" on this input pin enables the communication between the 8255A and the CPU.

($\overline{RD}$)

Read. A "low" on this input pin enables the 8255A to send the data or status information to the CPU on the data bus. In essence, it allows the CPU to "read from" the 8255A.

($\overline{WR}$)

Write. A "low" on this input pin enables the CPU to write data or control words into the 8255A.

(A_0 and A_1)

Port Select 0 and Port Select 1. These input signals, in conjunction with the $\overline{RD}$ and $\overline{WR}$ inputs, control the selection of one of the three ports or the control word registers. They are normally connected to the least significant bits of the address bus (A_0 and A_1).

8255A BASIC OPERATION

A_1	A_0	$\overline{RD}$	$\overline{WR}$	$\overline{CS}$	INPUT OPERATION (READ)
0	0	0	1	0	PORT A → DATA BUS
0	1	0	1	0	PORT B → DATA BUS
1	0	0	1	0	PORT C → DATA BUS
					OUTPUT OPERATION (WRITE)
0	0	1	0	0	DATA BUS → PORT A
0	1	1	0	0	DATA BUS → PORT B
1	0	1	0	0	DATA BUS → PORT C
1	1	1	0	0	DATA BUS → CONTROL
					DISABLE FUNCTION
X	X	X	X	1	DATA BUS → 3-STATE
1	1	0	1	0	ILLEGAL CONDITION
X	X	1	1	0	DATA BUS → 3-STATE

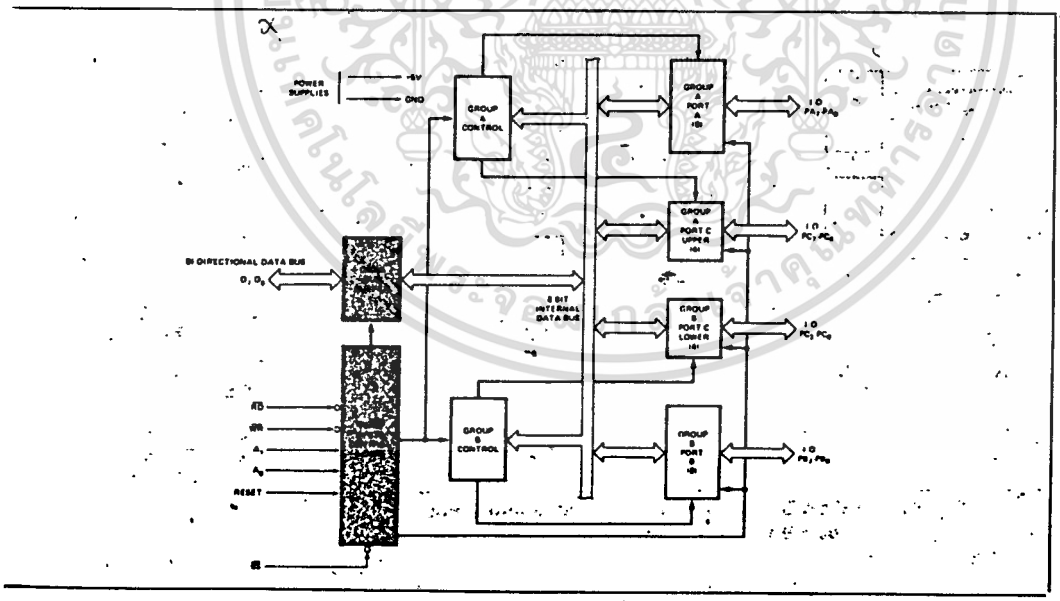


Figure 3. 8255A Block Diagram Showing Data Bus Buffer and Read/Write Control Logic Functions

231308-001

(RESET)

Reset. A "high" on this input clears the control register and all ports (A, B, C) are set to the input mode.

Group A and Group B Controls

The functional configuration of each port is programmed by the systems software. In essence, the CPU "outputs" a control word to the 8255A. The control word contains information such as "mode", "bit set", "bit reset", etc., that initializes the functional configuration of the 8255A.

Each of the Control blocks (Group A and Group B) accepts "commands" from the Read/Write Control Logic, receives "control words" from the internal data bus and issues the proper commands to its associated ports.

Control Group A – Port A and Port C upper (C7-C4)
Control Group B – Port B and Port C lower (C3-C0)

The Control Word Register can Only be written into. No Read operation of the Control Word Register is allowed.

Ports A, B, and C

The 8255A contains three 8-bit ports (A, B, and C). All can be configured in a wide variety of functional characteristics by the system software but each has its own special features or "personality" to further enhance the power and flexibility of the 8255A.

Port A. One 8-bit data output latch/buffer and one 8-bit data input latch.

Port B. One 8-bit data input/output latch/buffer and one 8-bit data input buffer.

Port C. One 8-bit data output latch/buffer and one 8-bit data input buffer (no latch for input). This port can be divided into two 4-bit ports under the mode control. Each 4-bit port contains a 4-bit latch and it can be used for the control signal outputs and status signal inputs in conjunction with ports A and B.

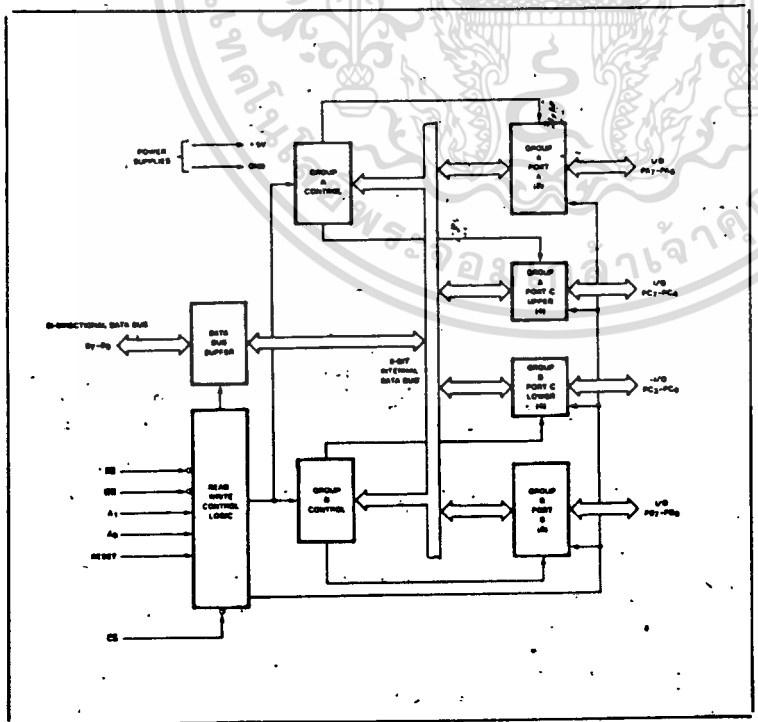
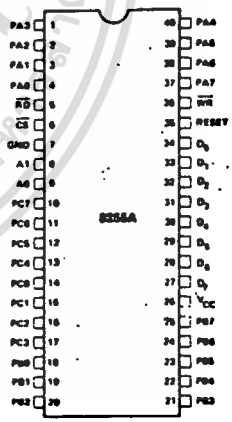


Figure 4. 8225A Block Diagram Showing Group A and Group B Control Functions

PIN CONFIGURATION



PIN NAMES

D_7-D_0	DATA BUS (BI DIRECTIONAL)
RESET	RESET INPUT
$\overline{CS}$	CHIP SELECT
$\overline{RD}$	READ INPUT
$\overline{WR}$	WRITE INPUT
A0, A1	PORT ADDRESS
PA7-PA0	PORT A (BIT)
PB7-PB0	PORT B (BIT)
PC7-PC0	PORT C (BIT)
V_{CC}	+5 VOLTS
GND	0 VOLTS

8255A OPERATIONAL DESCRIPTION

Mode Selection

There are three basic modes of operation that can be selected by the system software:

Mode 0 – Basic Input/Output
Mode 1 – Strobed Input/Output
Mode 2 – Bi-Directional Bus

When the reset input goes "high" all ports will be set to the input mode (i.e., all 24 lines will be in the high impedance state). After the reset is removed the 8255A can remain in the input mode with no additional initialization required. During the execution of the system program any of the other modes may be selected using a single output instruction. This allows a single 8255A to service a variety of peripheral devices with a simple software maintenance routine.

The modes for Port A and Port B can be separately defined, while Port C is divided into two portions as required by the Port A and Port B definitions. All of the output registers, including the status flip-flops, will be reset whenever the mode is changed. Modes may be combined so that their functional definition can be "tailored" to almost any I/O structure. For instance; Group B can be programmed in Mode 0 to monitor simple switch closings or display computational results, Group A could be programmed in Mode 1 to monitor a keyboard or tape reader on an interrupt-driven basis.

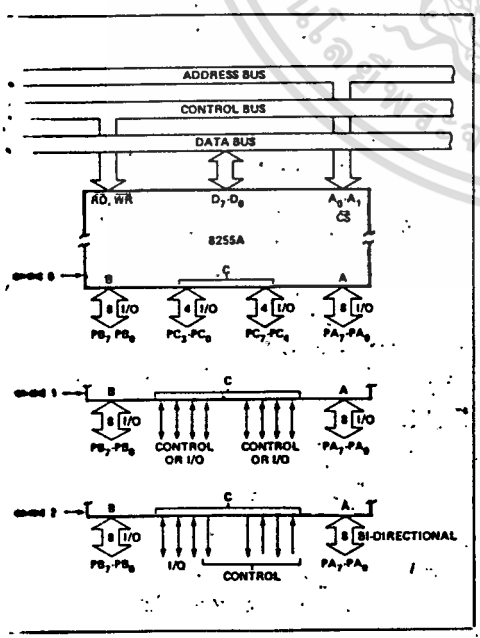


Figure 5. Basic Mode Definitions and Bus Interface

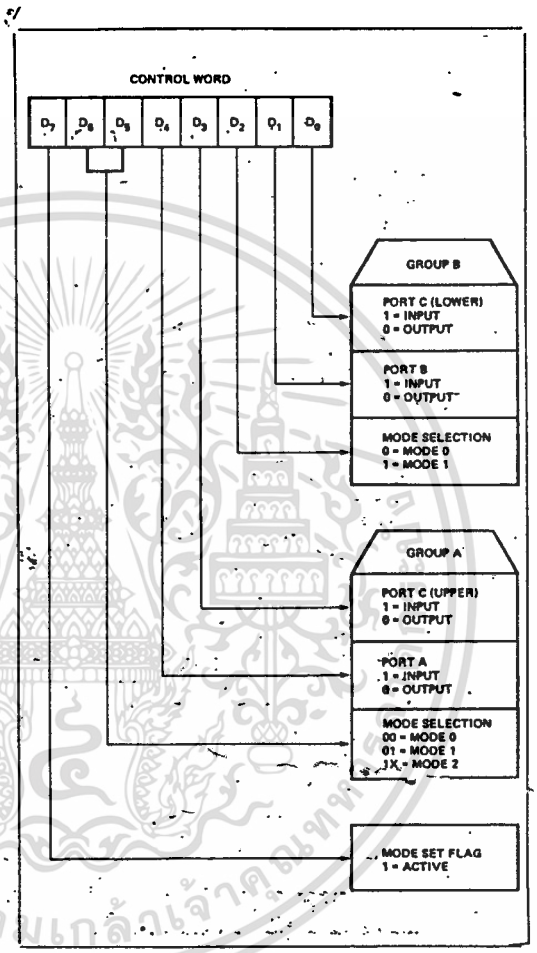


Figure 6. Mode Definition Format

The mode definitions and possible mode combinations may seem confusing at first but after a cursory review of the complete device operation a simple, logical I/O approach will surface. The design of the 8255A has taken into account things such as efficient PC board layout, control signal definition vs PC layout and complete functional flexibility to support almost any peripheral device with no external logic. Such design represents the maximum use of the available pins.

Single Bit Set/Reset Feature

Any of the eight bits of Port C can be Set or Reset using a single OUTput instruction. This feature reduces software requirements in Control-based applications.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

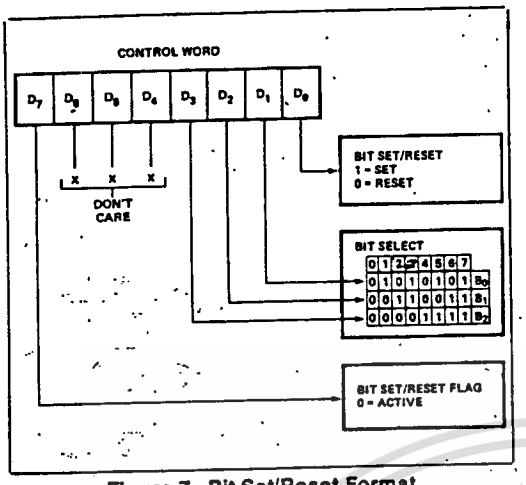


Figure 7. Bit Set/Reset Format

When Port C is being used as status/control for Port A or B these bits can be set or reset by using the Bit Set/Reset operation just as if they were data output ports.

Interrupt Control Functions

When the 8255A is programmed to operate in mode 1 or mode 2, control signals are provided that can be used as interrupt request inputs to the CPU. The interrupt request signals, generated from port C, can be inhibited or enabled by setting or resetting the associated INTE flip-flop, using the bit set/reset function of port C.

This function allows the Programmer to disallow or allow a specific I/O device to interrupt the CPU without affecting any other device in the interrupt structure.

INTE flip-flop definition:

(BIT-SET) — INTE is SET — Interrupt enable
(BIT-RESET) — INTE is RESET — Interrupt disable

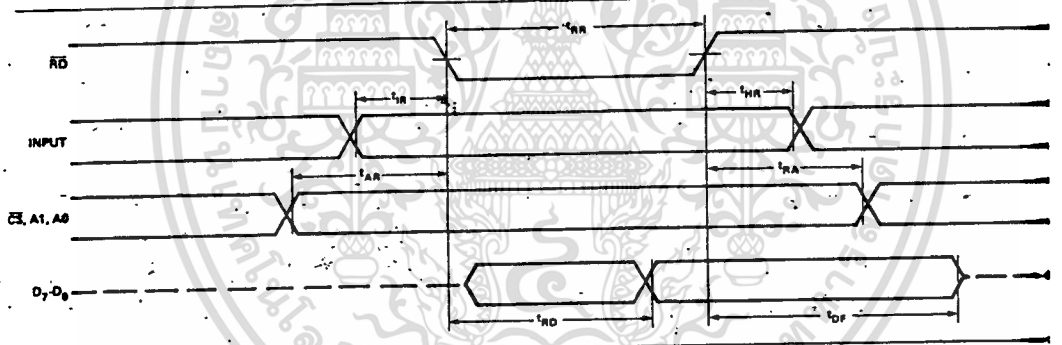
Note: All Mask flip-flops are automatically reset during mode selection and device Reset.

Operating Modes

MODE 0 (Basic Input/Output). This functional configuration provides simple input and output operations for each of the three ports. No "handshaking" is required, data is simply written to or read from a specified port.

Mode 0 Basic Functional Definitions:

- Two 8-bit ports and two 4-bit ports.
- Any port can be input or output.
- Outputs are latched.
- Inputs are not latched.
- 16 different Input/Output configurations are possible in this Mode.



MODE 0 (Basic Input)

MODE 0 (Basic Output)

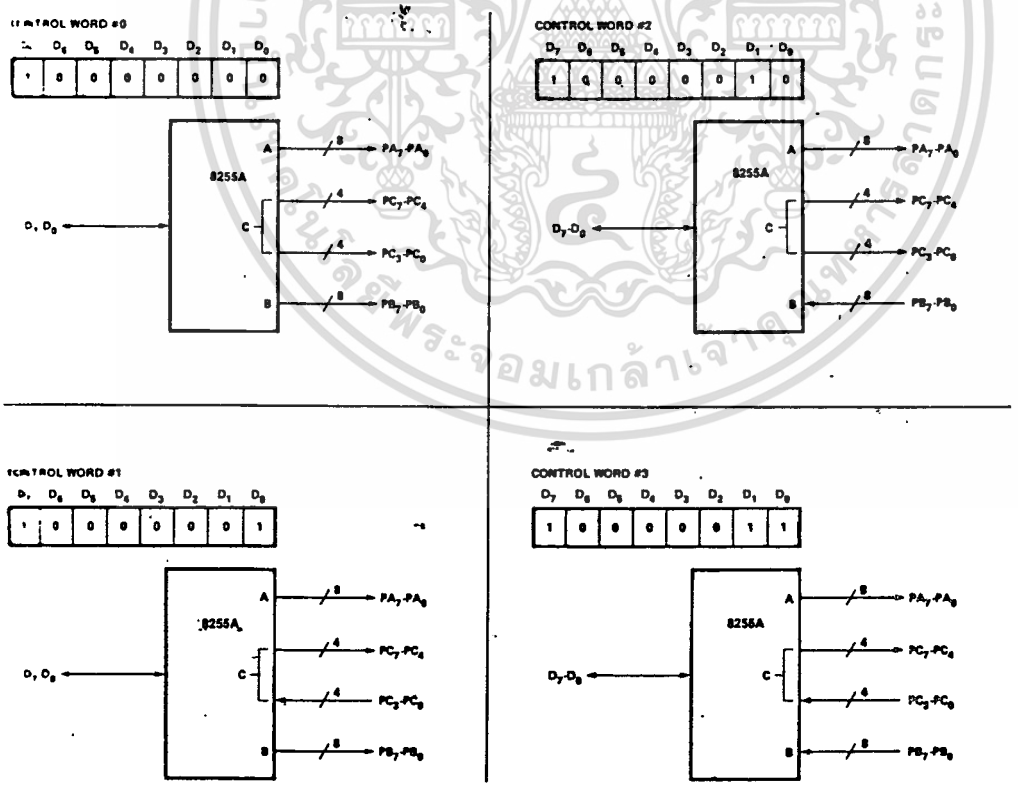
231308-

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

MODE 0 Port Definition

A		B		GROUP A			GROUP B	
D_4	D_3	D_1	D_0	PORT A	PORT C (UPPER)	#	PORT B	PORT C (LOWER)
0	0	0	0	OUTPUT	OUTPUT	0	OUTPUT	OUTPUT
0	0	0	1	OUTPUT	OUTPUT	1	OUTPUT	INPUT
0	0	1	0	OUTPUT	OUTPUT	2	INPUT	OUTPUT
0	0	1	1	OUTPUT	OUTPUT	3	INPUT	INPUT
0	1	0	0	OUTPUT	INPUT	4	OUTPUT	OUTPUT
0	1	0	1	OUTPUT	INPUT	5	OUTPUT	INPUT
0	1	1	0	OUTPUT	INPUT	6	INPUT	OUTPUT
0	1	1	1	OUTPUT	INPUT	7	INPUT	INPUT
1	0	0	0	INPUT	OUTPUT	8	OUTPUT	OUTPUT
1	0	0	1	INPUT	OUTPUT	9	OUTPUT	INPUT
1	0	1	0	INPUT	OUTPUT	10	INPUT	OUTPUT
1	0	1	1	INPUT	OUTPUT	11	INPUT	INPUT
1	1	0	0	INPUT	INPUT	12	OUTPUT	OUTPUT
1	1	0	1	INPUT	INPUT	13	OUTPUT	INPUT
1	1	1	0	INPUT	INPUT	14	INPUT	OUTPUT
1	1	1	1	INPUT	INPUT	15	INPUT	INPUT

MODE 0 Configurations

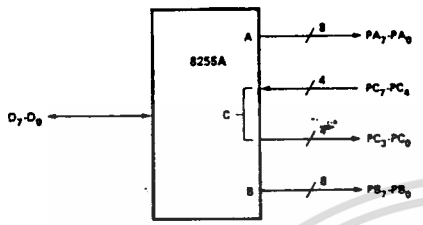


231308-001

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

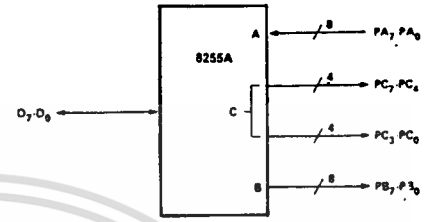
CONTROL WORD #4

D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0
1	0	0	0	1	0	0	0



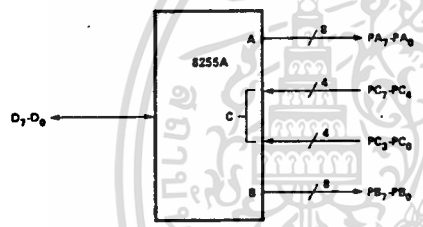
CONTROL WORD #8

D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0
1	0	0	1	0	0	0	0



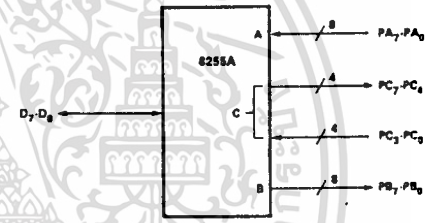
CONTROL WORD #5

D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0
1	0	0	0	1	0	0	1



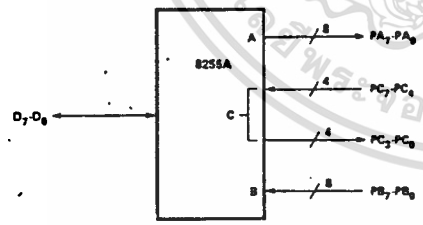
CONTROL WORD #9

D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0
1	0	0	1	0	0	0	1



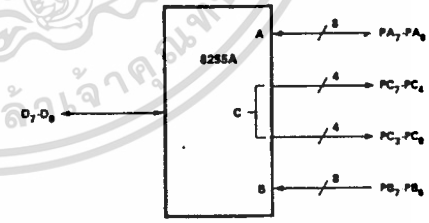
CONTROL WORD #6

D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0
1	0	0	0	1	0	1	0



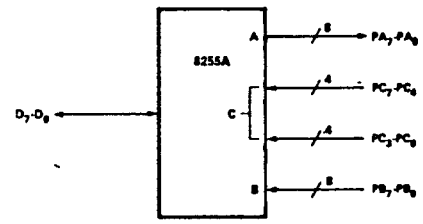
CONTROL WORD #10

D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0
1	0	0	1	0	0	1	0



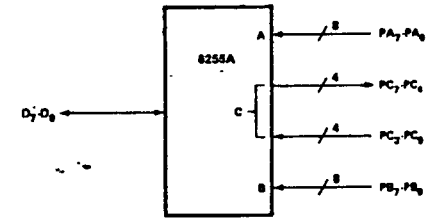
CONTROL WORD #7

D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0
1	0	0	0	1	0	1	1



CONTROL WORD #11

D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0
1	0	0	1	0	0	1	1

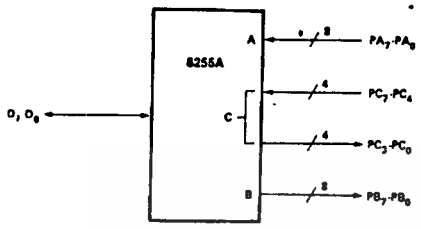


231308

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

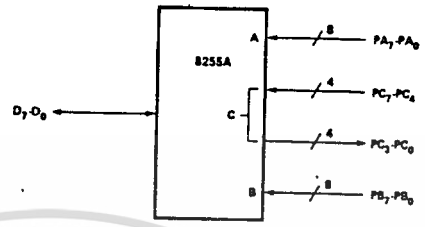
CONTROL WORD #12

D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0
1	0	0	1	1	0	0	0



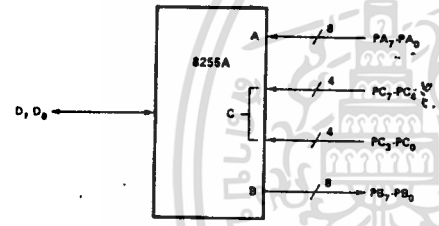
CONTROL WORD #14

D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0
1	0	0	1	1	0	1	0



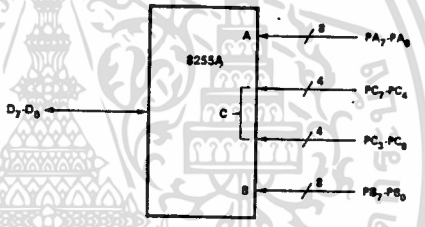
CONTROL WORD #13

D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0
1	0	0	1	1	0	0	1



CONTROL WORD #15

D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0
1	0	0	1	1	0	1	1



Operating Modes

Mode 1 (Strobed Input/Output). This functional configuration provides a means for transferring I/O data to or from a specified port in conjunction with strobes or "handshaking" signals. In mode 1, port A and Port B use the lines on port C to generate or accept these "handshaking" signals.

Mode 2: Basic Functional Definitions:

- Two Groups (Group A and Group B)
- Each group contains one 8-bit data port and one 4-bit control/data port.
- The 8-bit data port can be either input or output. Both inputs and outputs are latched.
- The 4-bit port is used for control and status of the 8-bit data port.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TOSHIBA

262,144 WORD X 1 BIT DYNAMIC RAM

N-CHANNEL SILICON GATE MOS

TMM41256C-12
TMM41256C-15

* This is advance information and specifications are subject to change without notice.

DESCRIPTION

The TMM41256C is the new generation dynamic RAM organized 262,144 words by 1 bit, it is successor to the industry standard TMM4164P.

The TMM41256C utilizes TOSHIBA's N-channel Silicon gate process technology as well as advanced circuit techniques to provide wide operating margins, both internally and to the system user.

Multiplexed address inputs permit the TMM-41256C to be packaged in a standard 16 pin ceramic DIP. This package size provides high system densities and is compatible with widely available automated testing and insertion equipment.

System oriented features include single power supply of 5V ±10% tolerance, direct interface capability with high performance logic families such as Schottky TTL.

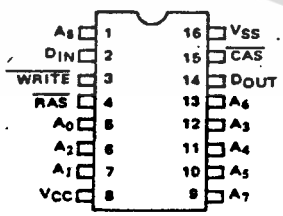
FEATURES

- 262,144 words by 1 bit organization
- Fast access time and cycle time

DEVICE	t_{RAC}	t_{CAC}	t_{RC}
TMM41256C-12	120 ns	60 ns	220 ns
TMM41256C-15	150 ns	75 ns	260 ns

- Single power supply of 5V ±10% with a built-in V_{BB} generator
- Low Power:
  330mW Operating (MAX.) (TMM41256C-12)
  275mW Operating (MAX.) (TMM41256C-15)
  27.5mW Standby (Max.)
- Industry standard 16 pin ceramic DIP
- Output unlatched at cycle end allows two-dimensional chip selection
- Common I/O capability using "EARLY WRITE" operation
- Read-Modify-Write, $\overline{RAS}$-only refresh, Hidden refresh, and Page Mode capability.
- All inputs and output TTL compatible
- 256 refresh cycles/4ms

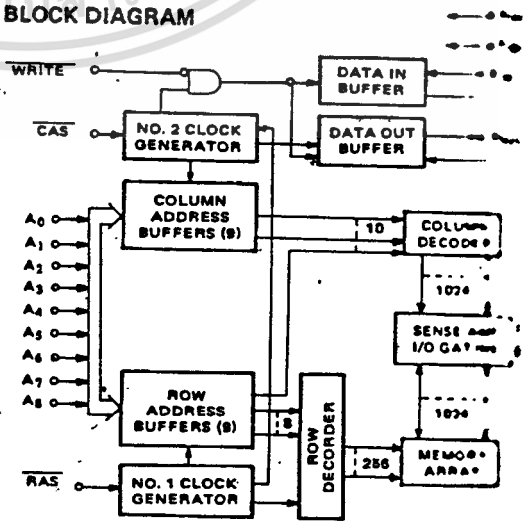
PIN CONNECTION (TOP VIEW)



PIN NAMES

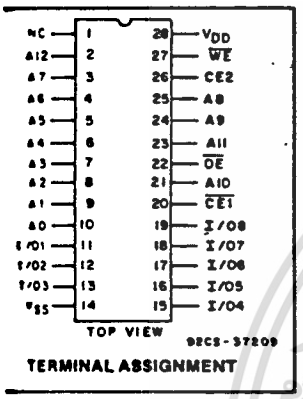
$A_0 \sim A_8$	Address Inputs
$\overline{CAS}$	Column Address Strobe
D_{IN}	Data In
D_{OUT}	Data Out
$\overline{RAS}$	Row Address Strobe
$\overline{WRITE}$	Read/Write Input
V_{CC}	Power (+5V)
V_{SS}	Ground

BLOCK DIAGRAM



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

CDM6264



TERMINAL ASSIGNMENT

CMOS 8192-Word by 8-Bit LSI Static RAM

Features:

- *Fully static operation*
- *Single power supply: 4.5 V to 5.5 V*
- *All inputs and outputs directly TTL compatible*
- *3-state outputs*
- *Industry standard 28-pin configuration*
- *Input address buffers gated off with chip disable*
- *Fast access time: t_{AA}=150 ns/120 ns (CDM6264-3/CDM6264-4)*
- *Low standby and operating power: I_{DDS1}=2 μA typical, I_{OPER2}=40 mA maximum*
- *Data retention voltage: 2 V min.*
- *Operating temperature range (max. rating): 0° to 70°C*

• ᵃCA-CDM6264 is a 8192-word by 8-bit static random- ▪▪s memory. It is designed for use in memory systems ▪▪ high-speed, low power and simplicity in use are ▪▪able. This device has common data input and data ▪▪ and utilizes a single power supply of 4.5 V to 5.5 V.

▪▪ chip enable ($\overline{CE1}$ or CE2), when not valid, will gate off ▪ address and output buffers and power down the chip to minimum standby power with inputs toggling. The output enable ($\overline{OE}$) controls the output buffers to eliminate bus contention.

The CDM6264 is supplied in 28-lead, hermetic, dual-in-line side-brazed ceramic (D suffix) and in 28-lead dual-in-line plastic (E suffix) packages.

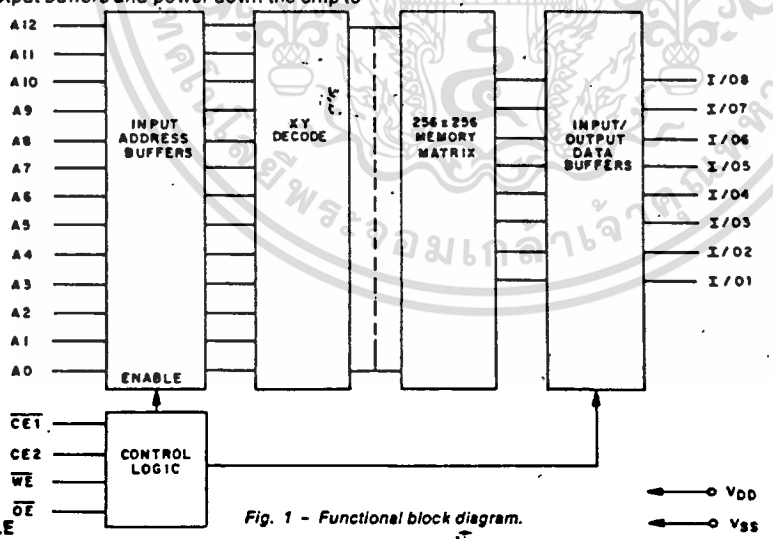


Fig. 1 - Functional block diagram.

TRUTH TABLE

$\overline{CE1}$	CE2	$\overline{OE}$	$\overline{WE}$	A0 TO A12	MODE	DATA I/O	DEVICE CURRENT
H	X	X	X	X	NOT SELECTED	HIGH Z	STANDBY
X	L	X	X	X	NOT SELECTED	HIGH Z	STANDBY
L	H	L	H	STABLE	READ	DATA OUT	ACTIVE
L	H	X	L	STABLE	WRITE	DATA IN	ACTIVE
L	H	H	H	STABLE	OUTPUT DISABLE	HIGH Z	ACTIVE

• LOW H = HIGH X = H OR L

SCL4017AB

CMOS DECADE COUNTER/DIVIDER

FEATURES

- 10 Decoded Decimal Outputs
- Direct Reset
- Trigger from either Edge of Clock Input
- Carry Output for Cascading Stages
- Fully Static Operation - DC to 5MHz @ 10Vdc

DESCRIPTION

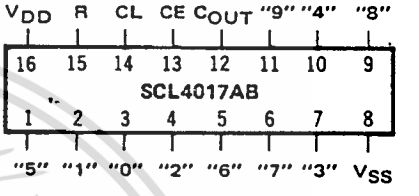
The SCL4017AB consists of a 5-stage Johnson Decade Counter and an Output Decoder. Inputs include Clock, Reset, and Clock Enable signals.

The counter has interchangeable Clock and Clock Enable lines for incrementing on either a positive-going or negative-going transition, respectively. A high Reset signal clears the counter to its zero count.

Use of the Johnson decade counter configuration permits high-speed operation, 2-input decode gating, and spike-free decoded outputs. Anti-lock gating is provided, thus assuring proper counting sequence. The 10 decoded outputs are normally low and go high only at their respective decoded time slot. Each decoded output remains high for one full clock cycle. A Carry-out (C_{OUT}) signal completes one cycle every 10 clock input cycles and is used to directly clock the succeeding counter in multi-stage applications.

This part can be used in frequency division circuits as well as decade counter or decimal decode display applications.

CONNECTION DIAGRAM
(all packages)



Add suffix for package:

C	16-pin Cerdip
D	16-pin Ceramic
E	16-pin Epoxy
F	16-pin Flat
H	Chip

RECOMMENDED OPERATING CONDITIONS

For maximum reliability:

DC Supply Voltage	$V_{DD} - V_{SS}$	3 to 15	Vdc
Operating Temperature	T_A		
C, D, F, H Device		-55 to +125	°C
E Device		-40 to +85	°C

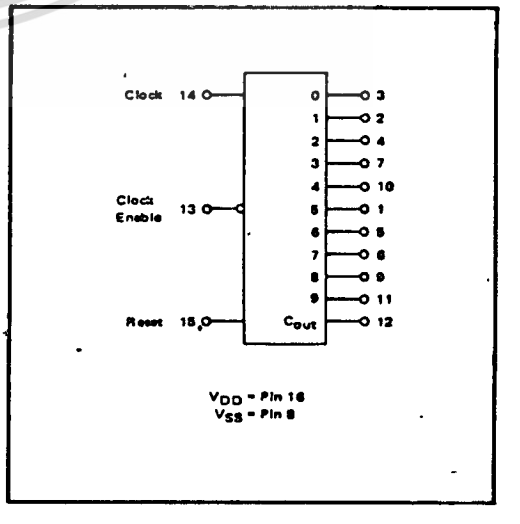
FUNCTIONAL TRUTH TABLE
(Positive Logic)

Clock	Clock Enable	Reset	Decode Output = n
0	X	0	n
X	1	0	n
X	X	1	"0"
⌐	0	0	n + 1
⌐	X	0	n
X	⌐	0	n
1	⌐	0	n + 1

x = Don't Care

If n < 5 Carry = "1", Otherwise = "0"

BLOCK DIAGRAM



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5486 / 7486 Quadruple 2-Input Exclusive-OR Gate

	Schottky TTL					High-Speed TTL					Low-Power Schottky TTL					Standard TTL					Low-Power TTL				
	Device Type	Package				Device Type	Package				Device Type	Package				Device Type	Package				Device Type	Package			
		C	P	M	CF		C	P	M	CF		C	P	M	CF		C	P	M	CF		C	P	M	CF
T.I.	SN54S86	J①			W①						SN54LS86	J①			W①	SN5486	J①			W①	SN54L86	J②	N②	T②	
	SN74S86	J①	N①								SN74LS86	J①	N①			SN7486	J①	N①			SN74L86	J②	N②	T②	
FAIRCHILD	FJH54S86/FJH9S86	P①			F①						FJH54LS86/FJH9LS86	P①			F①	FJH5486/FJH9N86	D①			F①					
	FC/4S86/FC9S86	D①	P①								FC74LS86/FC9LS86	D①	P①		F①	FC7486/FC9N86	D①	P①							
MOTOROLA											SN74LS86		P①			MC7486		P①							
N.S.C	DM74S86		N①								DM54LS86		P①			DM5486	J①	N①		W①	DM54L86	J②	N②		F②
											DM74LS86		P①			DM7486	J①	N①			DM74L86	J②	N②		F②
PHILIPS	N74S86										N74LS86					FJH271/7486									
SIGNETICS	S54S86															S5486	F①	A①		W①					
	N74S86										N74LS86		A①			N7486	F①	A①							
SIEMENS																FLH341									
FUJITSU											74LS86		M①			MB449		M①							
HITACHI	HD74S86		P①								HD74LS86		P①			HD7486/HD2526		P①							
MISUBISHI											M74LS86		P①			M53286		P①							
NEC											74LS86		C①			μPB2086	D①								
TOSHIBA																TD7486		P①							

Electrical Characteristics SN54LS86/SN74LS86

absolute maximum ratings over operating free-air temperature range

Supply voltage, V_{CC}	7V	Operating free-air temperature range	SN54LS	−55°C to 125°C
Input voltage	7V		SN74LS	0°C to 70°C
		Storage temperature range		−65°C to 150°C

recommended operating conditions

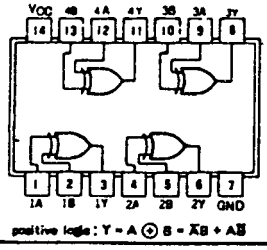
	SN54LS86			SN74LS86			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, V_{CC}	4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}			−800			−800	μA
Low-level output current, I_{OL}			4			8	mA
Operating free-air temperature, T_A	−55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range

PARAMETER ◆		TEST CONDITIONS †		SN74LS86 MIN	TYP‡	MAX	UNIT
V_{IH}	High-level input voltage			2			V
V_{IL}	Low-level input voltage					0.8	V
V_I	Input clamp voltage	V_{CC} = MIN,	I_I = −18mA			−1.5	V
V_{OH}	High-level output voltage	V_{CC} = MIN, V_{IH} = 2V, V_{IL} = V_{IL} max,	I_{OH} = −400μA	2.7	3.4		V
V_{OL}	Low-level output voltage	V_{CC} = MIN, V_{IH} = 2V, V_{IL} = V_{IL} max,	I_{OL} = 4mA		0.25	0.4	V
			I_{OL} = 8mA		0.35	0.5	
I_I	Input current at maximum input voltage						
I_{IH}	High-level input current	V_{CC} = MAX,	V_I = 7V			0.2	mA
I_{IL}	Low-level input current	V_{CC} = MAX,	V_I = 2.7V			40	μA
I_{OS}	Short-circuit output current ◆	V_{CC} = MAX,	V_I = 0.4V			−0.8	mA
		V_{CC} = MAX,		−5		−42	mA
I_{CC}	Supply current	V_{CC} = MAX, See Note 2			6.1	10	mA
t_{PLH}	from A or B input, Other input low	V_{CC} = 5V, T_A = 25°C, C_L = 15pF, R_L = 2kΩ			12	23	ns
t_{PHL}					10	17	ns
t_{PLH}	from A or B input, Other input high				20	30	ns
t_{PHL}					13	22	ns

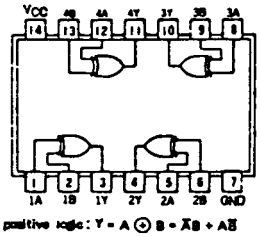
Pin Assignments (Top View)

①



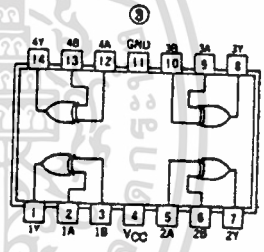
positive logic: $Y = A \oplus B = \overline{A}B + A\overline{B}$

②



positive logic: $Y = A \oplus B = \overline{A}B + A\overline{B}$

③



positive logic: $Y = A \oplus B = \overline{A}B + A\overline{B}$

Function Table

INPUTS A	INPUTS B	OUTPUT Y
L	L	L
L	H	H
H	L	H
H	H	L

H = High-level L = Low-level

NOTE: I_{CC} is measured with the inputs grounded and the outputs open.

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions for the applicable type.
‡ All typical values are at V_{CC} = 5V, T_A = 25°C.
◆ Not more than one output should be shorted at a time.
◆ t_{PLH} = propagation delay time, low-to-high-level output
t_{PHL} = propagation delay time, high-to-low-level output

เอกสารสำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

54138/74138 3-Line-to-8-Line Decoder

	Schottky TTL					High-Speed TTL					Low-Power Schottky TTL					Standard TTL					Low-Power TTL				
	Device Type	Package				Device Type	Package				Device Type	Package				Device Type	Package				Device Type	Package			
		C	P	M	CF		C	P	M	CF		C	P	M	CF		C	P	M	CF		C	P	M	CF
T.I.	SN54S138	J①			W①						SN54LS138	J①			W①										
	SN74S138	J①	N①								SN74LS138	J①	N①												
FAIRCHILD	/FN93S138	D①									FN54LS138/FN74LS138	D①			F①										
	FC74S138/FC93S138	D①									FC74LS138/FC93LS138	D①	P①		F①										
MOTOROLA																									
											SN74LS138		P①												
N.S.C.	DM74S138		①								DM74LS138		①												
											DM54LS138		①												
PHILIPS	N74S138		①																						
											N74LS138		①												
SIGNETICS	S54S138	FC①	BD①		W①																				
	N74S138	FC①	BD①								N74LS138		A①												
SIEMENS																									
FUJITSU																									
											74LS138		M①												
HITACHI																									
											HD74LS138		P①												
MITSUBISHI	M74S138		P①																						
											M74LS138		P①												
NEC																									
											74LS138		C①												
TOSHIBA																									

Electrical Characteristics SN54LS138/SN74LS138

absolute maximum ratings over operating free-air temperature range

Supply voltage, V_{CC}	7V	Operating free-air temperature range	SN54LS	−55°C to 125°C
Input voltage	7V		SN74LS	0°C to 70°C
		Storage temperature range		−65°C to 150°C

recommended operarating conditions

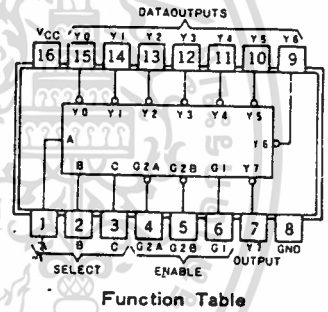
	SN54LS138			SN74LS138			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, V_{CC}	4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}			400			400	μA
Low-level output current, I_{OL}			4			8	mA
Operating free-air temperature, T_A	−55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range

PARAMETER ◆		TEST CONDITIONS †		MIN	TYP‡	MAX	UNIT
V_{IH}	High-level input voltage			2			V
V_{IL}	Low-level input voltage					0.8	V
V_I	Input clamp voltage	V_{CC} = MIN, I_I = −18mA				−1.5	V
V_{OH}	High-level output voltage	V_{CC} = MIN, V_{IH} = 2V, V_{IL} = 0.8V, I_{OH} = 400μA	SN54LS	2.5	3.4		V
			SN74LS	2.7	3.4		
V_{OL}	Low-level output voltage	V_{CC} = MIN, V_{IH} = 2V, V_{IL} = 0.8V, I_{OL} = 8mA			0.35	0.5	V
I_I	Input current at maximum input voltage	V_{CC} = MAX, V_I = 7V				0.1	mA
I_{IH}	High-level input current	V_{CC} = MAX, V_I = 2.7V				20	μA
I_{IL}	Low-level input current	V_{CC} = MAX, V_I = 0.4V				−0.4	mA
I_{OS}	Short-circuit output current ◆	V_{CC} = MAX		−20		−100	mA
I_{CC}	Supply current	V_{CC} = MAX, Outputs enabled and open			6.3	10	mA
t_{PLH}	from Binary select to Any output	V_{CC} = 5V, T_A = 25°C, C_L = 15pF, R_L = 2kΩ	levels of delay = 2		13	20	ns
t_{PHL}					27	41	
t_{PLH}			3		18	27	ns
t_{PHL}					26	39	
t_{PLH}	from Enable to Any output		2		12	18	ns
t_{PHL}					21	32	
t_{PLH}			3		17	26	ns
t_{PHL}					25	38	

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions for the applicable device type.
‡ All typical values are at V_{CC} = 5V, T_A = 25°C.
◆ Not more than one output should be shorted at a time, and duration of the short-circuit test should not exceed one second.
t_{PLH} = propagation delay time, low-to-high-level output
t_{PHL} = propagation delay time, high-to-low-level output

Pin Assignment (Top View)



positive logic:
see function table

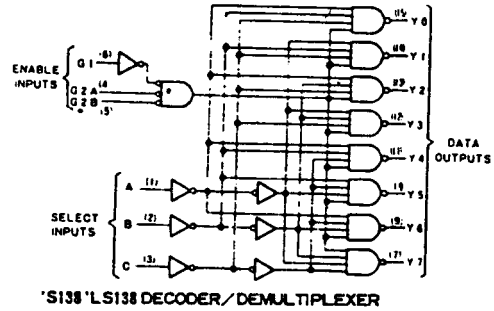
Function Table

'S138 'LS138

INPUTS					OUTPUTS							
ENABLE		SELECT										
G1	G2*	C	B	A	Y0	Y1	Y2	Y3	Y4	Y5	Y6	Y7
X	H	X	X	X	H	H	H	H	H	H	H	H
L	X	X	X	X	H	H	H	H	H	H	H	H
H	L	L	L	L	L	H	H	H	H	H	H	H
H	L	L	L	H	H	L	H	H	H	H	H	H
H	L	L	H	L	H	H	L	H	H	H	H	H
H	L	L	H	H	H	H	H	L	H	H	H	H
H	L	H	L	L	H	H	H	H	L	H	H	H
H	L	H	L	H	H	H	H	H	H	L	H	H
H	L	H	H	L	H	H	H	H	H	H	L	H
H	L	H	H	H	H	H	H	H	H	H	H	L

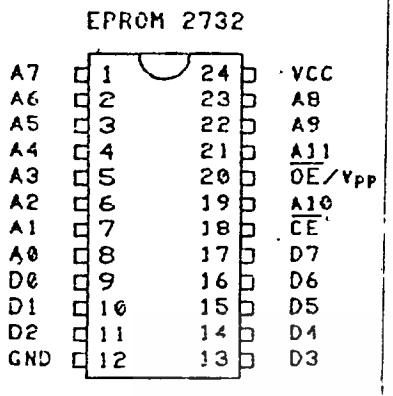
◆ G2 = G2A + G2B
H = high level, L = low level, X = irrelevant

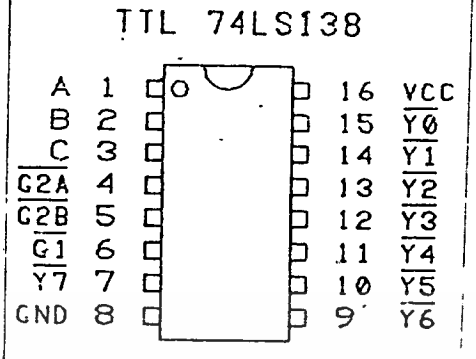
Functional Block Diagram

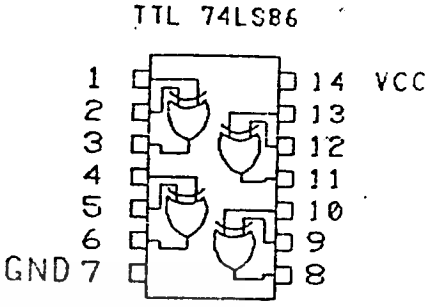


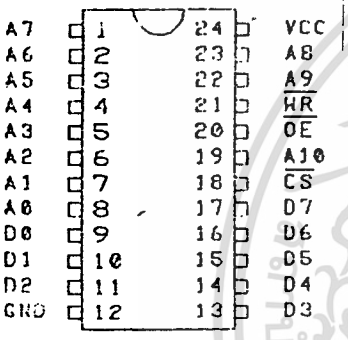
'S138 'LS138 DECODER/DEMULTIPLEXER

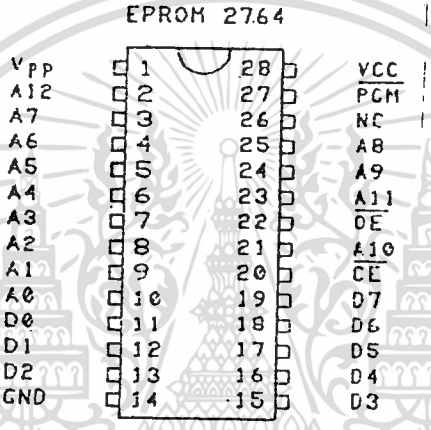
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

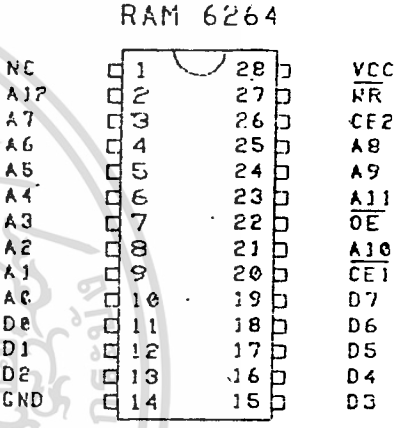


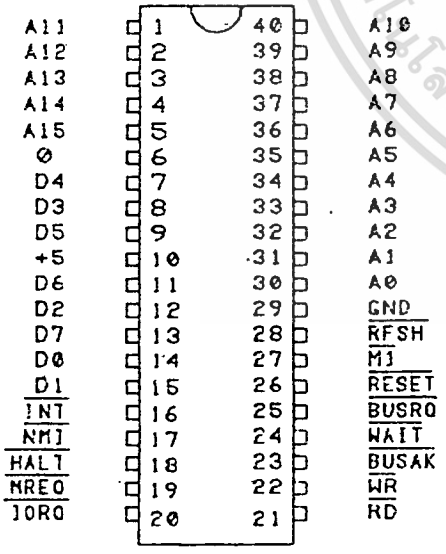


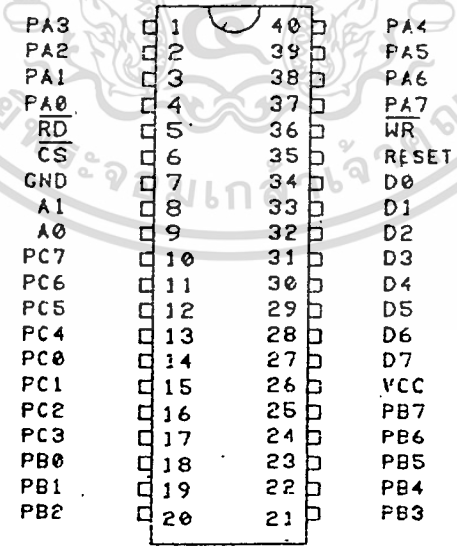


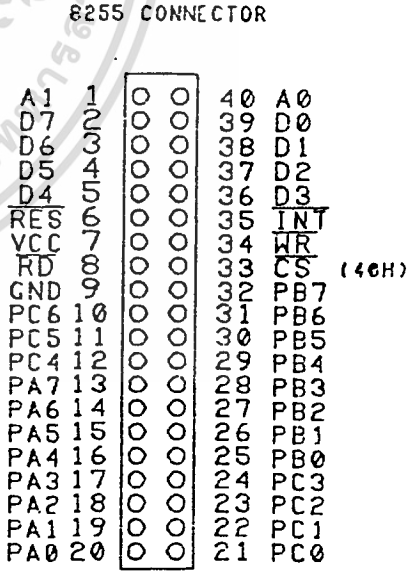












รายละเอียดขา IC และ Connector

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้