ปีการศึกษา 2531

การควบคุมอุปกรณ์ไฟฟ้าด้วยการจดจำเสียง

(VOICE RECOGNITION CONTROL)

โดย

1. นายกิตติ	แช่เตีย	ET 293401
2. นายประภาส	ตั้งจิตวิสุทธิ์	ET 293411
3. นายวิรัตน์	มหาพราหมณ์	ET 293419

อาจารย์ที่ปรึกษา

ผศ. ดร. กมล เจนจิระพงศ์เวช

วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรวิศวกรรมศาสตรบัณฑิต
ภาควิชาวิศวกรรมไฟฟ้า สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
ปีการศึกษา 2531
ลิขสิทธิ์ของสถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

024701 29 มค. 533

ปริญญานิพนธ์ปีการศึกษา 2531

ภาควิชา เทคนิคอุตสาหกรรม

คณะ วิศวกรรมศาสตร์สถาบันเทคโนโลยี พระจอมเกล้า เจ้าคุณทหาร ลาดกระบัง

เรื่อง การควบคุมอุปกรณ์ไฟฟ้าด้วยการจดจำเสียง (VOICE RECOGNITION CONTROL)

ผู้จัดทำ นายกิตติ แซ่เตีย

นายประภาส ตั้งจิตวิสุทธิ์

นายวิรัตน์ มหาพราหมณ์

_____ อาจารย์ที่ปรึกษา

(_____)

_____ อาจารย์ที่ปรึกษา

(_____)

_____ อาจารย์ที่ปรึกษา

(_____)

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

024701

สารบัญ

	หน้า
บทคัดย่อ	1
คำนำ	3
บทที่ 1 ทฤษฎีเบื้องต้น	
- ฟลิบ-ฟลอบ RS	4
- ฟลิบ-ฟลอบ RS จากแนนด์เกท	8
- ฟลิบ-ฟลอบ RS แบบมีคล็อค	13
- ฟลิบ-ฟลอบ D	16
- การถอดรหัส (Decodeing)	19
- การเข้ารหัส (Encoding)	23
- มัลติเพลกซ์และดีมัลติเพลกซ์	32
- RAM (Random Acess Memory)	36
- ROM (Read Only Memory)	40
บทที่ 2 รายละเอียดของ CHIP IC T6658A	
- คุณสมบัติของ T6658A	45
- ขาต่างๆของ T6658A	45
- อธิบายการทำงานในแบบ MANUAL	48
- การต่ออุปกรณ์ภายนอกของ T6658A	54
- STAN BY MODE	58
- อธิบายการทำงานในแบบ การควบคุมโดย CPU	59
- คุณสมบัติทางไฟฟ้า	60
- อธิบาย Timing Diagram ของ Mode บันทึก	64

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การควบคุมอุปกรณ์ไฟฟ้าด้วยการจดจำเสียง

นายกิตติ แซ่เตีย

นายประภาส ตั้งจิตวิสุทธิ์

นายวิรัตน์ มหาพราหมณ์

ผศ. ดร. ถนก เจนจิระพงศ์เวช อาจารย์ที่ปรึกษา

ปีการศึกษา 2561

บทคัดย่อ

ในวิทยานิพนธ์ฉบับนี้ วัตถุประสงค์ของงานนี้คือ การสร้างระบบการบันทึก จดจำเสียงพูดและสามารถนำไปใช้ควบคุมอุปกรณ์ไฟฟ้าได้ โดยใช้ใช้เสียงพูด ระบบการบันทึกและจดจำเสียงพูดนี้ จะประกอบไปด้วย CHIP IC เบอร์ T6658A/การทดลองในงานนี้จะอาศัยการสุ่มตัวอย่างของเสียง แล้วนำไปเก็บใน หน่วยความจำ และหลังจากที่บันทึกการสุ่มตัวอย่างและเก็บข้อมูลไว้เรียบร้อยแล้ว เมื่อมันได้รับเสียงเดิมเข้าไปมันก็จะทำการสุ่มตัวอย่างและนำค่าที่มันทำการสุ่มได้ไปทำการเปรียบเทียบกับค่าที่เก็บเอาไว้ เดิมจนได้ค่าที่เหมือนกัน เมื่อได้แล้วมันก็นำ CODE ที่มันกำหนดไว้ส่งออกไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

VOICE RECOGNITION CONTROL

Kitti Saetia

Prapat Tangchitwisut

Wirat Mahapram

Dr. Kanok Jenchirapongvej Advisor

1988

Abstract

The appointment of this thesis to create voice recognize system for control electrical apparatus. This system consists of IC #T6658A which of voice and then keeping the memmory .

In operation when it detect the same voice by comparing to the memmory it will response out the program code

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คำนำ

เทคโนโลยีสมัยใหม่ได้เริ่มคิดค้นและพัฒนามาเรื่อย ๆ จนถึงปัจจุบัน มนุษย์ได้คิดค้นสิ่งใหม่ๆ สำหรับงานทางด้าน ควบคุม ตัวอย่างเช่น การใช้การควบคุมทางกล การควบคุมทางไฟฟ้า โดยใช้สาย การใช้คลื่นวิทยุในการควบคุม การใช้รีโมท์คอนโทรลโดยใช้อุลตราโซนิค การพัฒนาการควบคุมปัจจุบันได้มีการพัฒนาเสียงพูด เพื่อนำเสียงพูดมาวิเคราะห์ควบคุมการทำงานของอุปกรณ์ต่างๆสำหรับไอซี T6658A นั้น เป็นไอซี สามารถนำเสียงแต่ละคำนำไปควบคุมอุปกรณ์ต่างๆได้ และยังสามารถนำผลการจดจำนำไปประยุกต์ การทำงานได้มากมายขึ้นอยู่กับการประยุกต์การใช้งานควบคุมด้านไหน

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

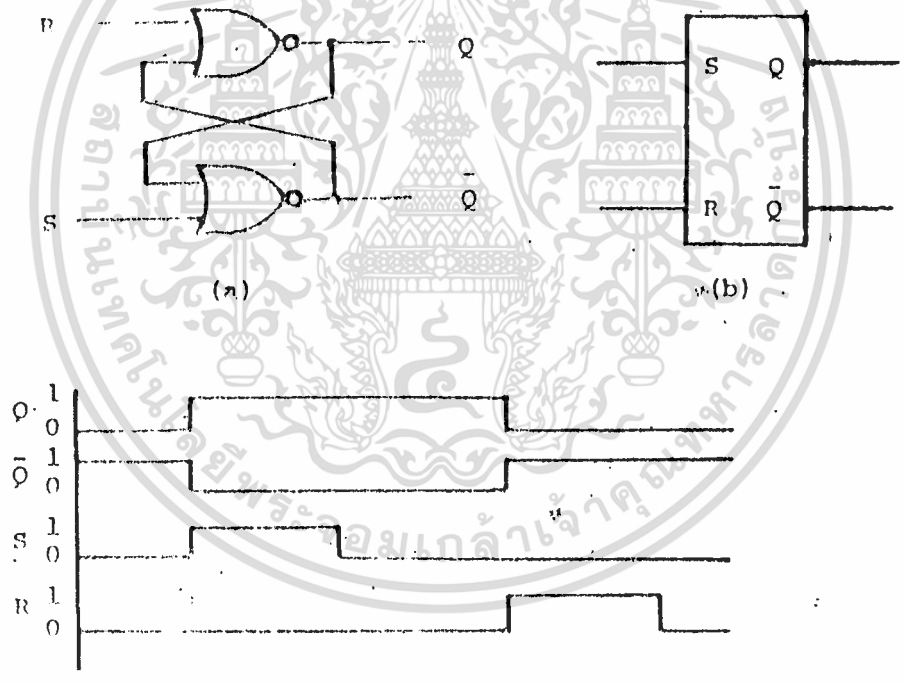
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1

ทฤษฎีเบื้องต้น

1. ฟลิป-ฟลอป RS

ฟลิป-ฟลอป RS เป็นฟลิป-ฟลอป ที่ใช้ไอซีแบบที่ง่ายที่สุดสร้างจากเกท 2 ตัวที่ต่อสลับกันที่เรียกว่า ครอสคับเบิล (Cross-Coupled) มีอินพุท 2 ตัวคือ อินพุทรีเซ็ท (Reset : R) และอินพุตเซ็ท (Set : S) และเอาท์พุท 2 ตัวคือเอาท์พุท และเอาท์พุท ดังแสดงในรูป 1-1 เป็นฟลิปฟลอป RS ที่สร้างจากนอร์เกท 2 ตัว ในรูป 1-1 (a) สำหรับสัญญาลักษณ์ทางตรรกที่ใช้ทั่วไปแสดงในรูป 1-1 (b)



(c)

รูป 1-1 ฟลิป-ฟลอป RS จากนอร์เกท

เนื่องจากวงจรประกอบขึ้นจากนอร์เกท ฉะนั้นการทำงานจะขึ้นกับการทำงานของนอร์เกทจากตารางความจริงของนอร์เกทในตาราง 1-1 (a) และ (b) ตาราง 1-1 (a) แต่ตาราง 1-1 (a) นั้นเป็นตารางความจริงที่เรานำมาเขียนใหม่โดยนำเอาค่าไม่แคร์มาติดด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

A	B	Y
0	0	1
0	1	0
1	0	0
1	1	0

NOR : Y = A+B

(a)

A	B	Y
0	0	1
1	d	0
d	1	0

NOR : $= \overline{A+B}$

d : don't care

(b)

ตาราง 1-1 ตารางความจริงของนอร์เกท

กล่าวคือ ถ้าเราพิจารณาตาราง 1-1 (a) จะเห็นว่า ถ้าอินพุทตัวใดตัวหนึ่งเป็น 1 เราไม่แคร์ว่าอินพุทอื่นๆ จะมีค่าเป็น 1 หรือ 0 เพราะค่าเอาท์พุท Y จะเป็น 0 จากตารางความจริงดังกล่าวนี้เราสามารถนำมาสร้างเป็นตาราง 1-2 ได้

R	S	Q	$\bar{Q}$	
1	0	0	1	← รีเซ็ท
0	1	1	0	← เซ็ท
0	0	No change : NC		← ค่าสถานะเดิมยังคงอยู่
1	1	Not Allowed : NA		← Q = $\bar{Q}$=0

ตาราง 1-2 ฟลิป-ฟลอป RS แบบใช้นอร์เกท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เราอธิบายการทำงานตามตามราง 1-2 ได้ดังนี้

1) ถ้า S=0 R=1 ค่า R=1 ทำให้ มีค่า 0 คือแถวที่ 1 ของตาราง 1-2

2) และ S มีค่า 0 ทำให้ =1 แถวที่ 1 ของตาราง 1-2

3) และ R ทั้งสองตัวมีค่า 1 ทำให้ = 0

4) R=1 เป็นกรณีเงื่อนไขที่เรียกว่า รีเซ็ท ทำให้ฟลิป-ฟลอป เข้าสู่สถานะ = 0 และ = 1 แล้วที่ 1 ของตาราง 1-2

5) ถ้า R กลับไปที่ 0 (S ยังอยู่ที่ 0) = 1 ทำให้ = 0 ค่าระดับของเอาท์พุทไม่เปลี่ยนแปลง คือแถวที่ 3 ของตาราง 1-2

6) เนื่องจาก ฟลิป-ฟลอป เป็นแบบสมมาตร ถ้าเราทำให้ S=1 และ R=0 ค่า S=1 จะทำให้เปลี่ยนเป็น 0 กรณี S=1 นั้นเป็นกรณีที่เราเรียกว่า การเซ็ทฟลิป-ฟลอป ทำให้ฟลิป-ฟลอป เข้าสู่สถานะ =1 และ =0 คือบรรทัดที่ 2 ของตาราง

7) ถ้าทั้ง S และ R มีค่า 1 ติดต่อกัน ทั้ง และ จะเปลี่ยนไปที่ 0 ซึ่งผิดหลักการทำงานของฟลิป-ฟลอป เราเรียกกรณีนี้ว่า กรณีต้องห้าม (Not allowed condition) ฟลิป-ฟลอปแบบนี้จึงเรียกว่า ฟลิป-ฟลอป RS หรือเซ็ท-รี เซ็ท ฟลิป-ฟลอป เราสามารถเซ็ทฟลิป-ฟลอปเข้าสู่สภาวะที่ต้องการได้ โดยการต่อ S เข้ากับ 1 แล้วตัดกลับไป 0 หรือต่อ R กับ 1 แล้วตัดกลับไป 0 โดยทั่วๆ ไปเราถือว่า = 1 และ = 0 เป็นกรณีของการเซ็ท และ = 0 , = 1 เป็นกรณีของการรีเซ็ท

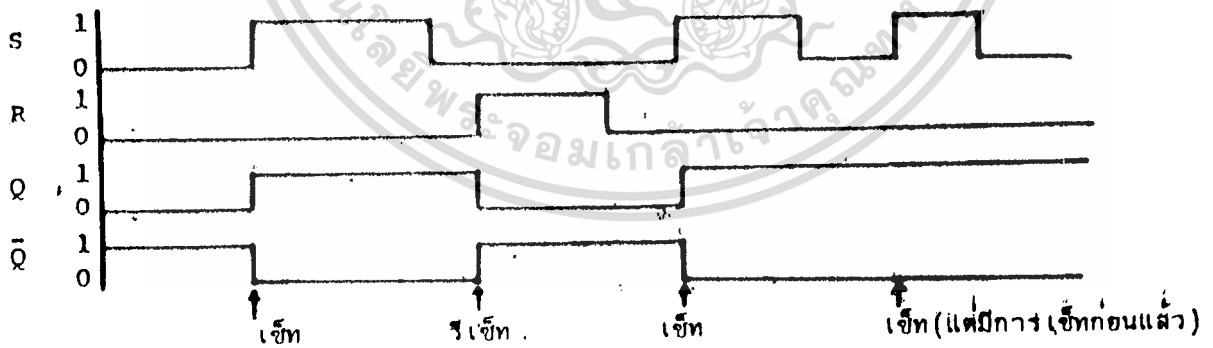
รูป 1-1 (c) แสดงถึงแผนภาพของฟลิป-ฟลอป RS ที่ใช้นอร์เกท ซึ่งการทำงานเปลี่ยนสภาวะของฟลิป-ฟลอป จะทำที่ที่สัญญาณที่ R และ S เปลี่ยนเป็น 1 จากตาราง 1-2 เมื่อเราคำนึงถึงสภาวะของฟลิป-ฟลอป ก่อนที่จะมีอินพุทเข้ามาด้วยแล้ว เราเขียนเป็นตารางใหม่ได้ดังนี้

ตัวอย่าง 1-1 จากวงจรฟลิป-ฟลอป RS ที่สร้างจากนอร์เกทในรูป 1-1 (a) เมื่อสัญญาณที่ป้อนเข้าที่อินพุท เป็นดังรูป 1-2 จึงวาดลักษณะสัญญาณที่จุด Q และ Q'

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อินพุท		สถานะก่อนอินพุท	สถานะหลังจากมีอินพุท	
S(t)	R(t)	Q(t)	Q(t+e)	
0	0	0	0	: NC
0	0	1	1	
1	0	0	1	Set
1	0	1	1	
0	1	0	0	Reset
0	1	1	0	
1	1	0	?	
1	1	1	?	NA

ตาราง 1-3 การทำงานของฟลิป-ฟลอป เมื่อคำนึงถึงสถานะก่อนมีอินพุท

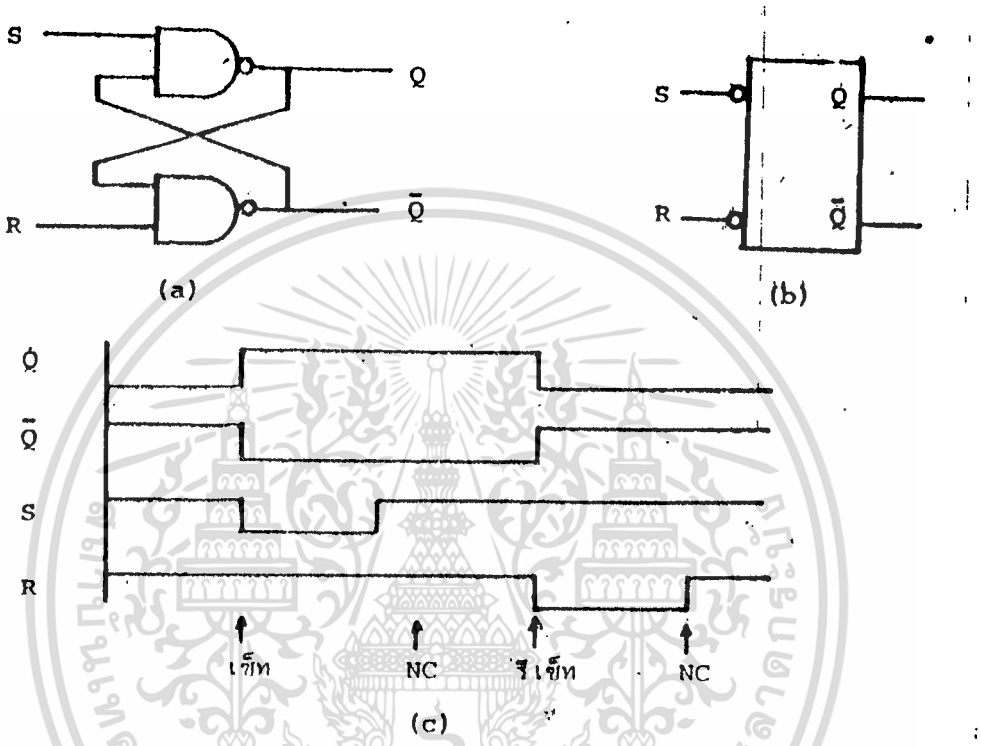


รูป 1-2 คำตอบของตัวอย่าง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ฟลิป-ฟลอบ RS จากแนนด์เกท

นอกจากการสร้างฟลิป-ฟลอบ RS จากนอร์เกทแล้ว เราสามารถสร้างจากแนนด์เกทได้ ดังแสดงในรูป 1-3



รูป 1-3 ฟลิป-ฟลอบ RS ที่สร้างจากแนนด์เกท (a) วงจร (b) สัญญลักษณ์ทางตรรก (c) แผนภูมิเวลา

วงจรฟลิป-ฟลอบแบบนี้บางทีเรียกว่า แลทช์ (Latch) เนื่องจากการทำงานของฟลิป-ฟลอบนี้ขึ้นกับการทำงานของแนนด์เกท ตารางความจริงของแนนด์เกทนั้นแสดงในตาราง 1-4 รูป 1-1 (a) เป็นรูปแบบทั่วๆไป ที่เราได้ศึกษามาแล้วแต่รูป 1-1 (b) นั้นเป็นรูปแบบที่เรานำกรณีไม่แคร์มาคิดด้วย โดยคิดจากตารางความจริงในรูป 1-1 (a) ว่าถ้าหากอินพุทตัวหนึ่งของแนนด์เกทเป็น 0 เอาท์พุทจะมีค่า 1 โดยไม่ต้องคำนึงถึงอินพุทตัวอื่นๆว่าจะมีค่า 1 หรือ 0 จากตารางความจริงเหล่านี้เรานำมาสร้างเป็นตารางความจริงของฟลิป-ฟลอบ RS ที่ใช้แนนด์เกทดังรูป 1-3 (a) ได้ดังตาราง 1-5 เราได้อธิบายดังนี้

1) ถ้า R = 0 และ S = 1 ค่า R = 0 ทำให้ Q มีค่า 1 คือบรรทัดแรกของตาราง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2) Q = 1 และ S = 1 ทำให้ Q = 0 คือบรรทัดแรกของตาราง

3) Q และ R ทั้งสองมีค่า 0 ทำให้ Q = 1

4) R = 0 คือการรีเซ็ทวงจรซึ่งทำให้ฟลิป-ฟลอป เข้าสู่สถานะ Q=0 และ Q=1 คือ บรรทัด 1 ของตาราง

A	B	Y
0	0	1
0	1	1
1	0	1
1	1	0

NAND : $Y = \overline{AB}$

A	B	Y
0	d	1
d	0	1
1	1	0

NAND : $Y = \overline{AB}$

d : ไม่แคร์

ตาราง 1-4 ตารางความจริงของแนนด์

S	R	Q	$\bar{Q}$	
1	0	0	1	← รีเซ็ท
0	1	1	0	← เซ็ท
1	1	No Change : NC		← รักษาสถานะเดิม
0	0	Not Allowed : NA		← $Q = \bar{Q} = 1$

ตาราง 1-5 การทำงานของฟลิป-ฟลอป RS จากแนนด์เกท

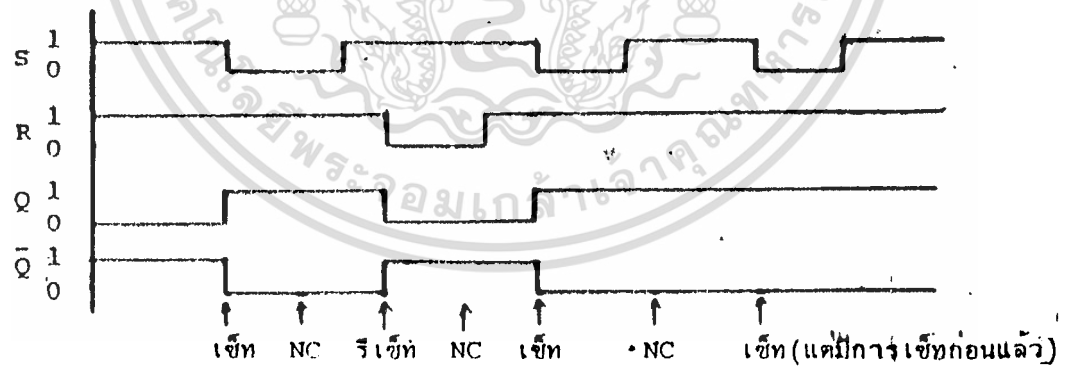
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของ... ที่มีการนำไปใช้
024701

5) ถ้า R เปลี่ยนค่ากลับไปเป็น 1 (S ยังมีค่า 1) Q = 0 และ $\bar{Q}$ = 1 เมื่อ Q = 1 และ S = 1 ทำให้ค่า Q คงที่จึงไม่มีการเปลี่ยนแปลงที่สัญญาณเอาท์พุทคือบรรทัด 3 ของ ตาราง

6) เนื่องจากฟลิป-ฟลอป เป็นแบบสมมาตร ถ้าเราทำให้ S =0 และ R = 1 ค่า S = 0 ทำให้ Q มีค่า 1 และ $\bar{Q}$ มีค่า 0 กรณีนี้เป็นการเซ็ทฟลิป-ฟลอป ทำให้ฟลิปฟลอบเข้าสู่สถานะ Q=1 และ $\bar{Q}$=0 คือ บรรทัดที่ 2 ของตาราง

7) ถ้าทั้ง S และ R มีค่า 0 ติดต่อกัน Q=1 และ $\bar{Q}$=1 เป็นกรณีต้องห้ามของฟลิป-ฟลอป RS รูป 1-3 (c) เป็นแผนภูมิเวลาของฟลิป-ฟลอป RS ที่ใช้แนนด์เกท ซึ่งจะทำงานในทันทีที่อินพุท R หรือ S มีค่า 0 ดังแสดงในแผนภูมิ ซึ่งแสดงโดยเครื่องหมายวงกลม (0) ที่ขา R และ S ในรูป 1-3 (b)

ตัวอย่าง 1-2 จากวงจรฟลิป-ฟลอป แบบ RS ในรูป 1-3 เมื่อเราป้อนสัญญาณที่มีลักษณะรูปคลื่นดังรูป 1-4 เข้าไป จงแสดงให้เห็นถึงลักษณะสัญญาณที่จุด Q และ Q'



รูป 1-4 รูปคลื่นของตัวอย่าง

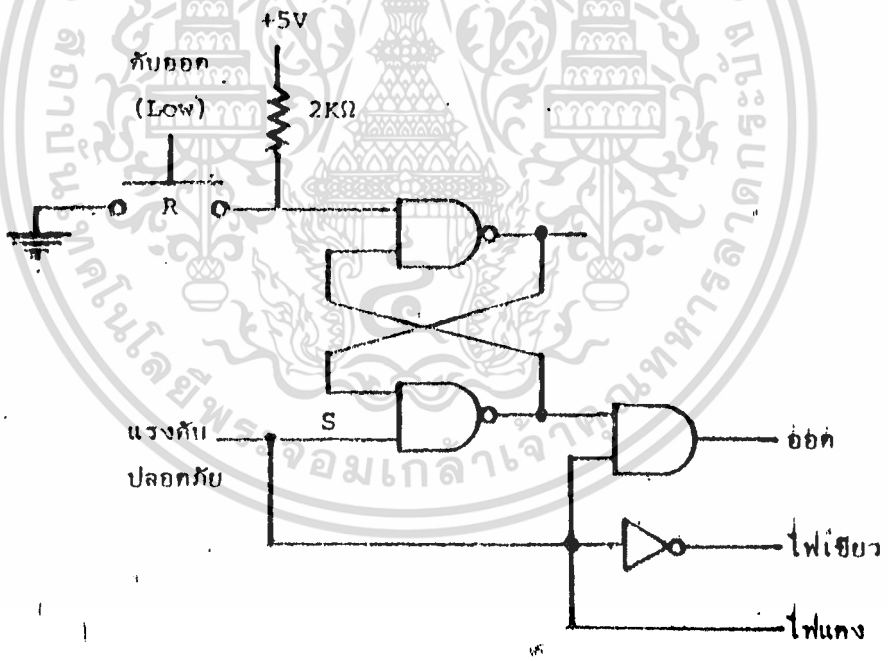
ตัวอย่างต่อไปนี้เป็นการแสดงให้เห็นถึงการนำเอาแลทช์ RS ไปใช้ในระบบเตือนภัย

ตัวอย่างที่ 1-3 พิจารณาระบบเตือนภัยแรงดัน ซึ่งเป็นระบบเตือนภัยในกรณีที่แรงดันภายในห้องต่ำกว่าระดับที่ปลอดภัย โดยใช้หลอดไฟสีเขียว แสดงให้ทราบถึงว่าแรงดันอยู่ในระดับปลอดภัยแต่หาก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

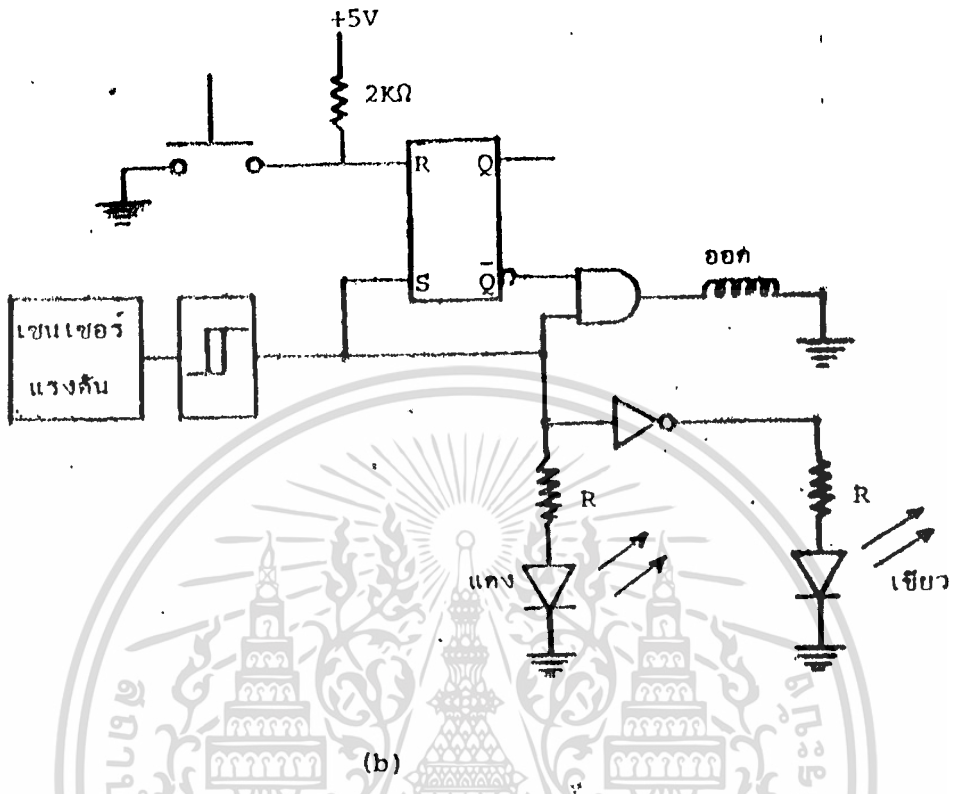
แรงดันต่ำกว่าระดับเราใช้แรงดันสีแดง และออดเป็นตัวแสดงให้ทราบ โดยหลอดไฟสีแดงติดและออดจะดัง เมื่อผู้ควบคุมทราบก็สามารถที่จะปิดออดไม่ให้ดังได้ แต่หลอดไฟสีแดงนั้นจะต้องติดอยู่จนกว่าแรงดันจะอยู่ในระดับปลอดภัย เราใช้ทรานสดิวเซอร์(transducuers) หรือเซนเซอร์แรงดัน (pressure sensor) เป็นอุปกรณ์เปลี่ยนแรงดันให้อยู่ในรูปของแรงดันทางไฟฟ้า

วิธีทำ เราสมมุติว่า เซนเซอร์แรงดันที่ใช้เปลี่ยนแรงดันเป็นค่าทางไฟฟ้าให้เอาท์พุท 5 โวลท์ เมื่อแรงดันตกต่ำกว่าระดับปลอดภัยและมีค่า 0 โวลท์



(a)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(b)

รูป 1-5 ระบบเตือนภัยแรงดัน

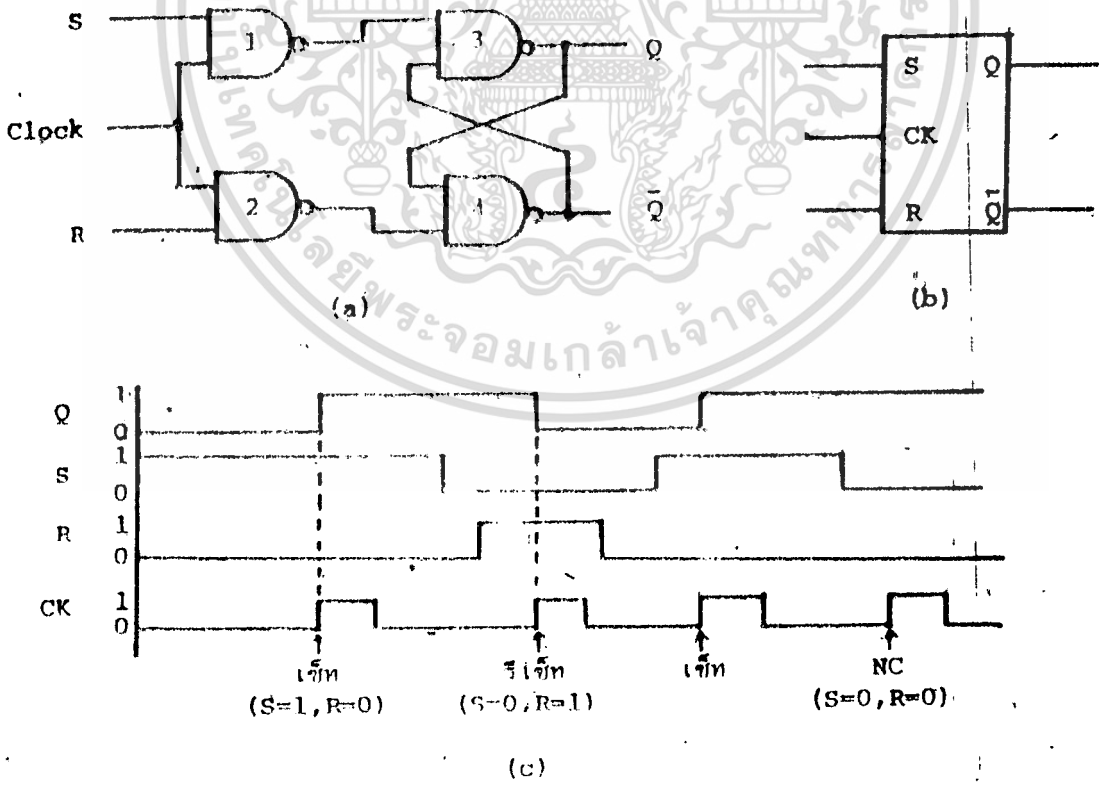
เมื่อแรงดันอยู่ในระดับปลอดภัยในกรณีนี้เราสามารใช้แลทช์ RS เป็นตัวจำว่า ออดดัง รูปที่ 1-5 (a) แสดงถึงระบบดังกล่าว ขาอินพุท R ที่ต่อเข้าแลทช์ นั้นมีค่าปกติเป็น 1 และเมื่อความดันอยู่ในระดับปลอดภัย ขาอินพุท S มีค่า 0 ดังนั้นแลทช์จะถูกรีเซ็ท นั่นคือ Q = 1ไฟสีเขียวจะติด ไฟสีแดงไม่ติด และออดไม่มีเสียงดัง เมื่อความดันตกต่ำกว่าระดับที่ปลอดภัยค่า S จะมีค่า 1 ดังนั้นออดจะดัง และไฟแดงจะติด ส่วนไฟสีเขียวจะดับ เสียงออดนั้นสามารถดับได้โดยการกดสวิทช์เพื่อทำให้กิทพุทที่ขา R มีค่า 0 ในรูป 1-5 (b) แสดงถึงรายละเอียดที่ประกอบด้วยเซ็นเซอร์แรงดันและไฟเตือนภัยด้วย ในรูป 1-5 (b) เราใช้วงจรชมิททริกเกอร์(Schmitt Trigger) สำหรับการเปลี่ยนสัญญาณทางอนาลอกจากเซ็นเซอร์แรงดันให้เป็นสัญญาณทางดิจิตอล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2. ฟลิป-ฟลอป RS แบบมีคล็อค

วงจรฟลิปฟลอป RS ที่กล่าวมาในตอนที่แล้วนั้น การทำงานของวงจรจะทำทันทีที่มีอินพุทเข้ามา หรือเมื่อมีการเปลี่ยนแปลงของอินพุท ผลที่เกิดขึ้นจะส่งออกมาที่เอาท์พุทหลังจากการทำงานผ่านไปเท่ากับเวลาในการเดินทางผ่านอุปกรณ์ในวงจร แต่ในบางครั้งเราจำเป็นต้องการที่จะควบคุมการทำงานของวงจรตามเวลาที่ต้องการ จึงเพิ่มอินพุทสำหรับการควบคุมเข้าไป เรียกว่า คล็อค (clock) และเรียกฟลิปฟลอปนี้ว่า RS แบบมีคล็อค ดังแสดงในรูป 1-6

วงจรฟลิปฟลอป RS แบบมีคล็อคนี้เป็นอุปกรณ์สารกึ่งตัวนำเบื้องต้นสำหรับใช้ในการจำข้อมูล วงจรนี้บางที่เรียกว่า วงจรฟลิปฟลอป RS แบบเกท (Gated RS Flip-Flop) การทำงานของวงจรมีหลักการเช่นเดียวกับวงจรฟลิป-ฟลอป RS แบบทั่วๆไป แต่การทำงานจะเกิดขึ้นก็ต่อ



รูป 1-6 วงจรฟลิป-ฟลอป RS แบบมีคล็อค

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อมีสัญญาณคล็อคเข้ามาเท่านั้น ในรูป 1-6 (a) เกท 1 และเกท 2 ใช้เป็นตัวควบคุมโดยมีเกท 3 และ 4 ประกอบกันเป็นฟลิป-ฟลอป การทำงานจะเป็นไปดังตารางความจริงในตาราง 1-6 เราสามารถอธิบายการทำงานได้ดังนี้

2.1 ถ้าสัญญาณคล็อคมีค่า 0

2.1.1 เอาท์พุทของเกท 1 และเกท 2 มีค่า 1

2.1.2 จากตาราง 1-3 ฟลิป-ฟลอป 3 4 อยู่ในสภาพไม่มีอะไรเปลี่ยนแปลง นั่นคือ ค่าคล็อคที่เป็น 0 จะตัดวงจรฟลิป-ฟลอป กับสายต่อส่งข้อมูลออกจากกัน

อินพุท			สถานะปัจจุบัน	สถานะต่อไป
คล็อค	S	R	$Q(t)$	$Q(t+\varepsilon)$
0	0	0	0	0
0	0	0	1	1
0	1	0	0	0
0	1	0	1	1
0	0	1	0	0
0	0	1	1	1
1	0	0	0	0
1	0	0	1	1
1	1	0	0	1
1	1	0	1	1
1	0	1	0	0
1	0	1	1	0

ตาราง 1-6 ตารางความจริงของฟลิป-ฟลอป RSแบบมีคล็อค

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2 เมื่อสัญญาณคล็อคมีค่า 1

2.2.1 เกท 1,2 ทำหน้าที่เหมือนอินเวอร์เตอร์ (1.A = A)

2.2.2 ตาราง 1-5 สามารถนำมาใช้ได้ แต่กรณี NC และ NA จะกลับกัน

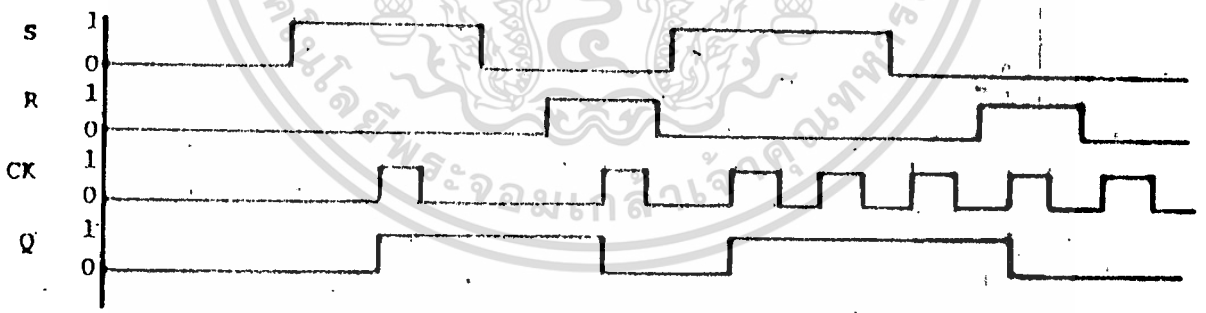
2.2.3 S = 0 และ R = 0 เป็นกรณี NC ของฟลิป-ฟลอป RS แบบมีคล็อค

2.2.4 S = 1 และ R = 1 เป็นกรณี NC ของฟลิป-ฟลอป RS แบบมีคล็อค

รูป 1-6 (c) แสดงถึงแผนภูมิเวลาของฟลิป-ฟลอป RS แบบมีคล็อค จะเห็นว่าข่าวสารจะปรากฏที่ Q เมื่อสัญญาณคล็อคมีค่า 1 ในรูปเราแสดงเฉพาะค่า Q สำหรับ $\bar{Q}$ นั้นคือส่วนกลับของ Q เราไม่ได้แสดงไว้ให้เห็น

ตัวอย่าง 1-4 เมื่อสัญญาณ S,R และคล็อคที่มีลักษณะดังรูป 1-71 ถูกป้อนเข้าไปยังวงจรในรูป 1-6 (a)

วิธีทำ ค่าเอาท์พุท Q แสดงในรูป 1-7

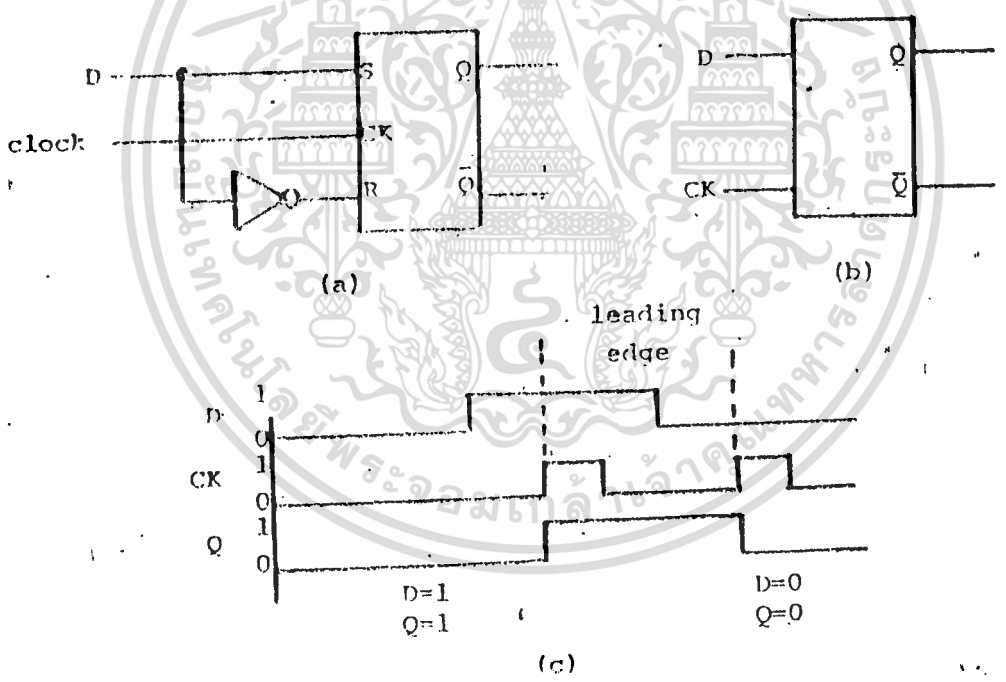


รูป 1-7 ลักษณะของตัวอย่าง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3. ฟลิป-ฟลอป D

ในวงจรฟลิป-ฟลอป RS ที่ใช้แนนด์เกทนั้น มีอินพุทคือ S และ R และ S มีค่า 1 ทั้งสองตัวนั้นเป็นกรณีต้องห้าม (NA) ของฟลิป-ฟลอป แบบนี้ กรณีเช่นนี้อาจเกิดขึ้นได้ แต่ถ้าหากเราใช้อินเวอร์เตอร์ 1 ตัว ต่อเข้าระหว่างขา S และขา R ดังรูป 1-8 ก็จะทำให้เราประกันได้ว่ากรณีที่ S=1 และ R=1 จะไม่เกิดขึ้นเพราะ R และ S จะต้องตรงกันข้ามเสมอ อินพุทที่เข้ามาจะลดเหลืออินพุทเดียว วงจรฟลิป-ฟลอป ในลักษณะเช่นนี้เราเรียกว่า ฟลิป-ฟลอป D หรือบางทีเรียกฟลิป-ฟลอปข้อมูล (Data Flip-Flop) ดังรูป 1-8 (b) แสดงถึงสัญญลักษณ์ทางตรรกของฟลิป-ฟลอป D และรูป 1-8 (c) แสดงถึงแผนภูมิเวลาของการทำงาน



รูป 1-8 ฟลิป-ฟลอป D

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทำงานจะทำงานที่ลีดดิ่งเอดจ์ (leading edge) ของสัญญาณคล็อค ข้อมูลที่ป้อนเข้าที่ D จะปรากฏที่ Q เมื่อมีสัญญาณคล็อค ตารางความจริงสำหรับการทำงานของฟลิป-ฟลอป D แสดงในตาราง 1-7

เวลา t_n		เวลา t_{n+1}
D	Q_n	Q_{n+1}
0	0	0
0	1	0
1	0	1
1	1	1

ตาราง 1-7 ตารางความจริงของฟลิป-ฟลอป D

ตารางความจริงของฟลิป-ฟลอป นั้นมีวิธีการในการเขียนหลายวิธี ตาราง 1-7 นั้นเป็นเพียงวิธีการหนึ่ง จากตาราง 1-7 เราอธิบายการทำงานของฟลิป-ฟลอป ได้ดังนี้

3.1 ให้สภาวะของฟลิป-ฟลอป ก่อนป้อนคล็อคคือ Qn ที่เวลา tn

3.2 สภาวะของฟลิป-ฟลอป หลังการป้อนคล็อคคือ Q n+1 ที่เวลา t n+1

3.3 ค่า Q คือค่าคอมพลีเมนท์ของ Q

3.4 การทำงานของฟลิป-ฟลอป จะส่งข้อมูลที่อินพุทไปยังเอาท์พุทหลังจากที่มีคล็อคเข้ามา กล่าวคือข้อมูลที่ Q หลังจากมีคล็อคเข้ามาจะเหมือนกันข้อมูลที่ D ก่อนมีคล็อค

การทำงานของฟลิป-ฟลอป D จะทำที่ลีดดิ่งเอดจ์ของสัญญาณคล็อค ปกติแล้วคือสัญญาณในช่วงการเปลี่ยนแปลงจาก 0-----1* เราอาจเขียนตารางความจริงของฟลิป-ฟลอป D ได้อีกแบบหนึ่ง ดังตาราง 1-8

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อินพุท		สถานะก่อนคล็อก	สถานะหลังคล็อค
$D(t_n)$	$C(t_n)$	$Q(t_n)$	$Q(t_{n+1})$
0	0 → 0, 1 → 1, 1 → 0	0	0
0	0 → 0, 1 → 1, 1 → 0	1	1
0	0 → 1	0	0
0	0 → 1	1	0
1	0 → 0, 1 → 1, 1 → 0	0	0
1	0 → 0, 1 → 1, 1 → 0	1	1
1	0 → 1	0	1
1	0 → 1	1	1

ตาราง 1-8 อีกแบบหนึ่งสำหรับการเขียนตารางความจริงของฟลิป-ฟลอป D

การถอดรหัส การเข้ารหัส มัลติเพลกซ์ ดีมัลติเพลกซ์

คอมพิวเตอร์และวงจรอีเลคทรอนิคส์ทางตรรกนั้นทำงานในลักษระสองสภาวะโดยใช้สัญญาณสองชนิดคือ 1 และ 0 ในทางคณิตศาสตร์เราใช้ระบบตัวเลขที่เกิดจากการประกอบกันของเลข 1 และ 0 ที่เรียกว่า ระบบเลขฐานสอง สำหรับอธิบายการทำงานของวงจรตรรกได้กล่าวมาแล้วในบทที่ 2 แต่บ่อยครั้งที่เราต้องเปลี่ยนระบบเลขฐานสองให้อยู่ในรูปของเลขฐานสิบ หรือในลักษระตัวอักษรต่างๆ สำหรับแสดงค่าหรือติดต่อระหว่างคอมพิวเตอร์กับโลกภายนอกทำให้จำเป็นต้องมีวงจรเชื่อมต่อ (interface) ที่เหมาะสมสำหรับระบบทั้งสอง จึงได้มีการพัฒนาระบบรหัสเลขฐานสองมาตรฐานขึ้นมา กระบวนการในการสร้างรหัสเลขฐานสองเราเรียกว่า การเข้ารหัส (encoding) และกระบวนการในการจำและเปลี่ยนรหัสเลขฐานสองให้เป็นเลขฐานสิบหรือตัวอักษรต่างๆ นั้นเรียกว่า การถอดรหัส (decoding)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4. การถอดรหัส (DECODING)

ขอให้พิจารณาจากรหัส BCD แบบ 8421 ที่มีค่าเท่ากับ 5 ในเลขฐานสิบ ค่าของ 5 ในรหัส 8421 มีขนาด 4 บิทคือ 0101 หากเราใช้ D,C,B และ A แทนตำแหน่งของบิทต่างๆ นี้ โดยมี D เป็นบิทที่มีค่าสูงสุด (MSB) และ A เป็นบิทที่มีค่าน้อยสุด (LSB) การที่จะทราบว่ารหัสนี้คือ 5 เราก็ต้องตรวจดูว่า D=0,C=1, B=0 และ A=1 หรือไม่ ในการตรวจเราใช้แอนด์เกท ดังรูป 1-9 หากอินพุทเป็น 5 เอาท์พุทจะมีค่า = 1 กระบวนการนี้เรียกว่า การถอดรหัสเทคนิค การถอดรหัสขึ้นกับการใช้แอนด์เกท การต่ออินพุทของแอนด์เกทกับอินพุทที่มาจากแต่ละบิท ถ้าหากต่อกับ "1" ก็เรียกว่าเป็นการต่อโดยตรง และหากเป็นการต่อ"0" ก็เรียกว่าเป็นค่าอินเวอร์ท (invert) หรือค่าตรงข้าม

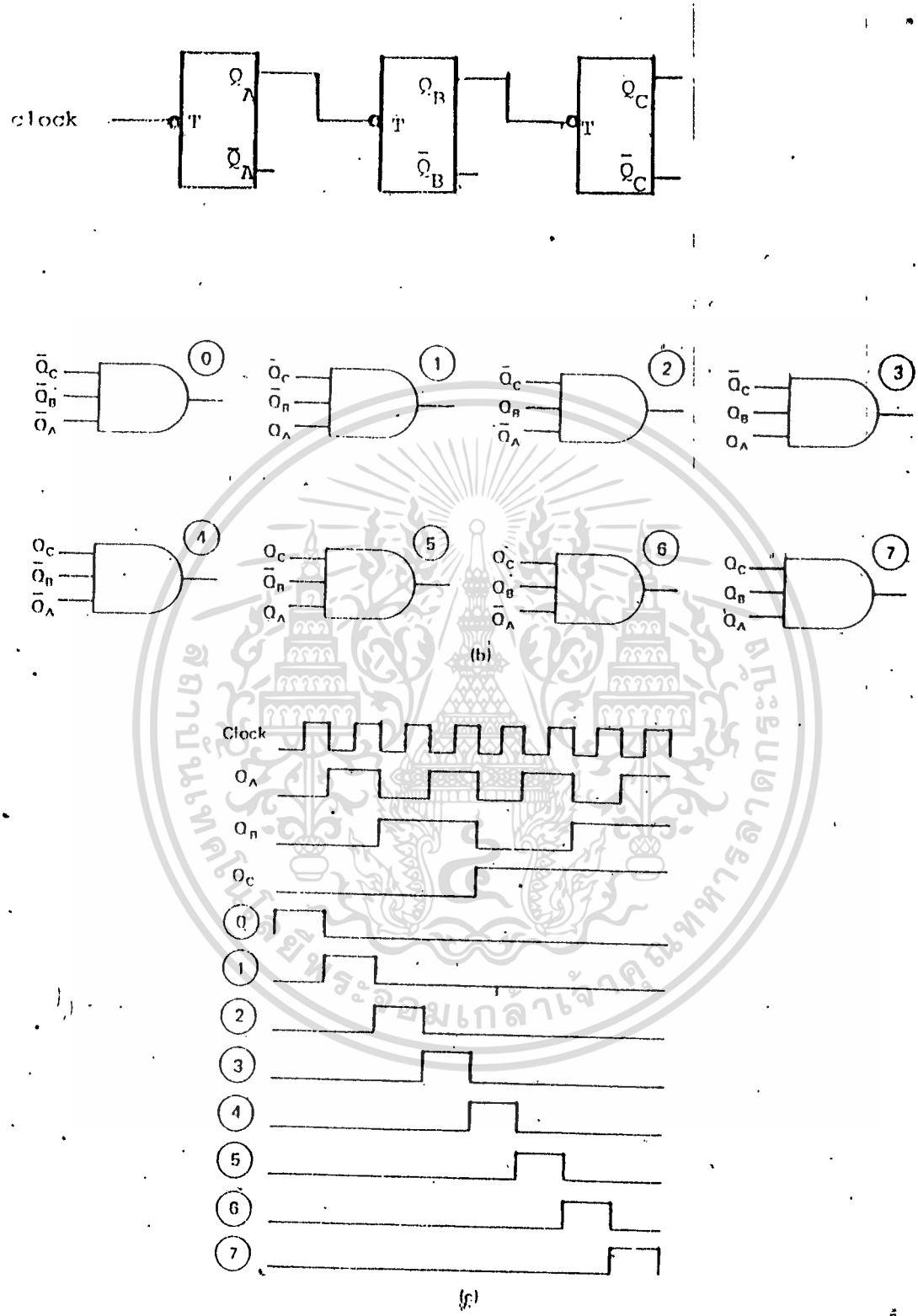
รูป 1-9 แสดงแอนด์เกทของการถอดรหัสเลข 5 ของรหัส 8421

ตัวอย่างการใช้วงจรถอดรหัส ก็คือการถอดรหัสสภาพของวงจรนับ การ แยกสถานะต่างๆ ของวงจรนั้นเราทำได้โดยใช้แอนด์เกทกับการต่ออินพุทที่เหมาะสมตามสถานะนั้นๆ ค่า 1 ที่ป้อนเข้าอินพุทของเกทนั้นได้มาจากค่าเอาท์พุท Q ของวงจรนับ และ 0 ได้มาจากเอาท์พุท Q'

ตัวอย่าง 1-5 จงแสดงวิธีการสร้างสัญญาณคล็อคที่แตกต่างกัน 8 สัญญาณสำหรับนำไปใช้ในวงจรดิจิตอล

เฉลย เราใช้วงจรนับไบนารีที่มีฟลิป-ฟลอป 3 ตัว ประกอบกับวงจรเกทสำหรับการถอดรหัสของสถานะแต่ละตัว ดังแสดงในรูป 1-10

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 1-10 ตัวอย่าง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตัวอย่าง 1-6 เป็นเพียงตัวอย่างง่าย ๆ หากการถอดรหัสนั้นซับซ้อนมากยิ่งขึ้น ดังเช่น การถอดรหัส 0101 ในระบบ 8421 เมื่อเราใช้ตัวอักษรที่สัมพันธ์กับค่าไบนารี่เขียนแทนจะได้ DCBA จากนั้นก็นำเอาค่าเหล่านี้ต่อเป็นอินพุทของแดนด์เกทแบบ 4 อินพุท ดังรูป 1-11 (d) แต่อันที่จริงเราสามารถที่จะสร้างวงจรที่ง่ายกว่านี้ได้ จากการที่เราทราบว่า ในรหัส BCD นั้นมีค่าของกรณีไม่แคร์ (don't care) อยู่ 6 ค่า ที่เราอาจนำมาใช้เป็นประโยชน์ในการลดรูปให้วงจรง่ายขึ้นได้ ตามวิธีการดังนี้

4.1 เขียนตารางความจริงของเลขรหัส BCD แบบ 8421 ค่าเอาท์พุทมีค่า 1 เมื่อ ABCD มีค่า 0101 กรณีที่เหลืออีก 9 มีเอาท์พุท = 0 ดังรูป 1-11 (a)

4.2 เขียนแผนภาพคาร์นอจ์ของตารางความจริงของรูป 1-11 (a) เขียนค่า 1 และ 0 ของเอาท์พุทของในตาราง

4.3 ส่วนที่เหลือของตารางนั้นคือ กรณีไม่แคร์ เขียน x ลงในช่องที่เหลือ ดังรูป 1-11 (b)

4.4 เลือกจับจับคู่ออดเดท ควอด หรือแพร์ กรณีของเราเลือกแพร์ได้ดังรูป 1-11 (c)

เลขฐานสิบ	อินพุท				เอาท์พุท
	D	C	B	A	Y
0	0	0	0	0	0
1	0	0	0	1	0
2	0	0	1	0	0
3	0	0	1	1	0
4	0	1	0	0	0
5	0	1	0	1	1
6	0	1	1	0	0
7	0	1	1	1	0
8	1	0	0	0	0
9	1	0	0	1	0

(a)

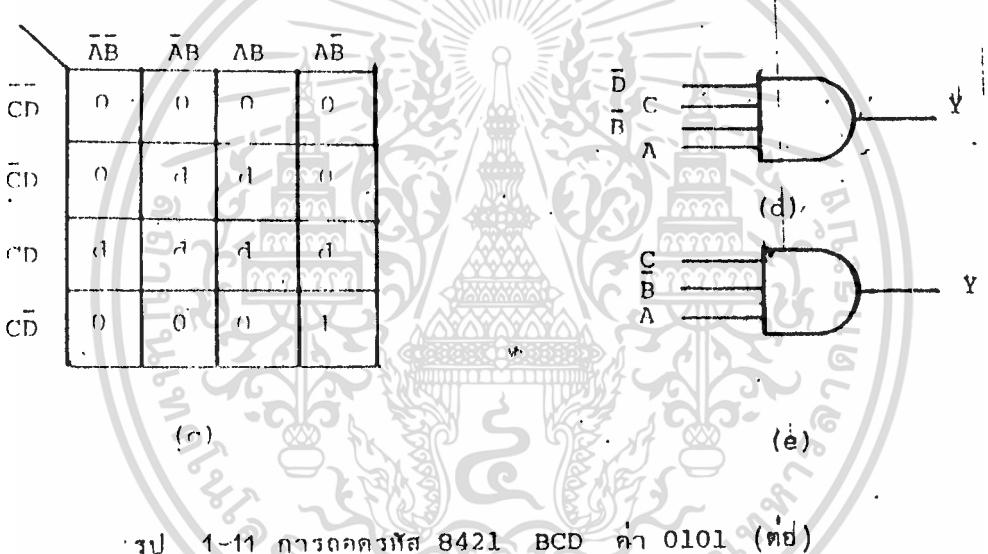
	$\bar{A}\bar{B}$	$\bar{A}B$	AB	$A\bar{B}$
$\bar{C}\bar{D}$	0	0	d	0
$\bar{C}D$	0	d	d	0
CD	d	d	d	d
$C\bar{D}$	0	0	0	1

(b)

รูป 1-11 การถอดรหัส 8421 BCD ค่า 0101

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในรูปเราเลือกกรณีไม่แคร์เพียงตัวเดียวให้ = 1 คือตัวที่เข้าคู่กับ 1 นอกนั้นเราคิดเป็น 0 หมด นำเอาคู่ที่ได้มาเขียนแสดงการสร้างวงจรได้ดังวงจรในรูป (e) เปรียบเทียบรูป (e) กับรูป



รูป 1-11 การถอดรหัส 8421 BCD ค่า 0101 (ต่อ)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

(d) จะพบว่าวงจรรูป (e) นั้นง่ายกว่ารูป (d)

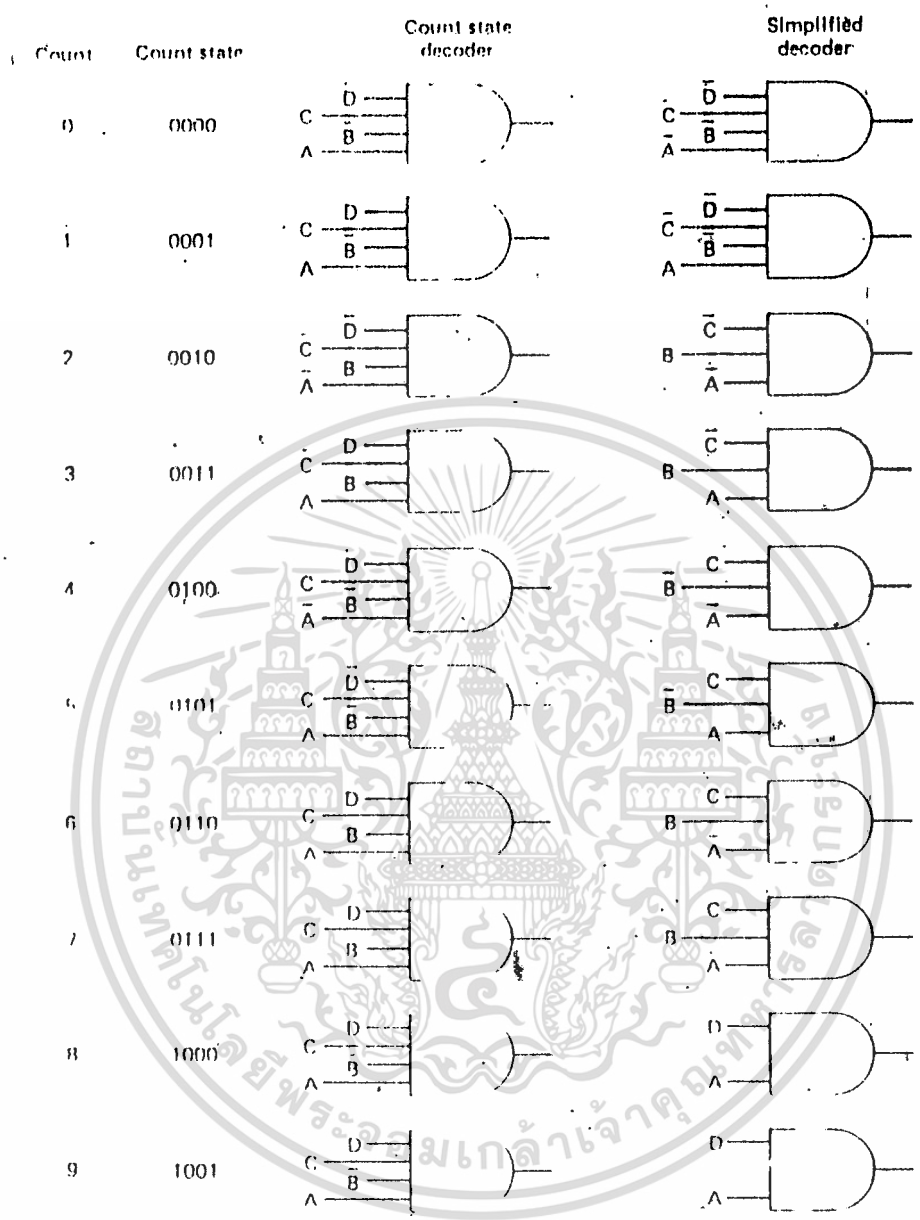
รหัส 8421 BCD เป็นรหัสที่มีความสำคัญและใช้กันบ่อยมาก ตัวอย่างวงจรถอดวงจรถอดรหัสสำหรับรหัส 8421 BCD แสดงในรูป 1-12

ในทางปฏิบัติแล้ว มีไอซีที่เป็นวงจรถอดรหัส 8421 แบบสำเร็จรูปคือ ไอซี TTL เบอร์ SN74141 ซึ่งมีอินพุท 4 อินพุท ในลักษณะของรหัส BCD แบบ 8421 เมื่อป้อนอินพุทที่เป็นรหัส 8421 เข้าไป ทุกครั้งจะมีเอาท์พุทตัวใดตัวหนึ่งใน 10 ตัว มีค่าทางตรรกเป็น 0 เรานำเอาค่านี้ไปต่อเข้าหลอดแสดงตัวเลขฐานสิบได้ ดังแสดงเป็นบล็อคในรูป 1-13

5. การเข้ารหัส (ENCODING)

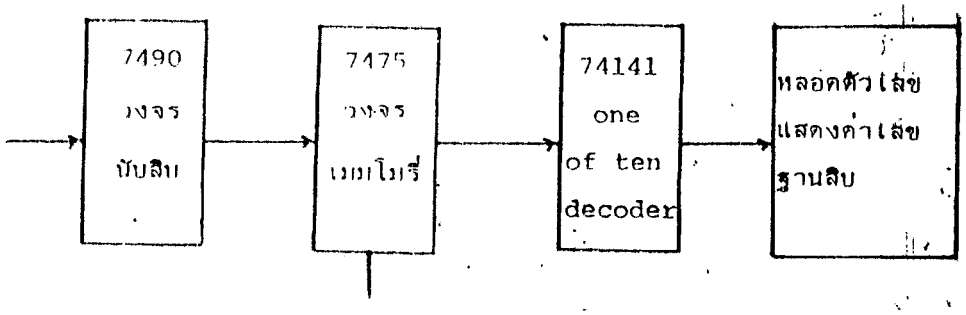
ต่อไปเราจะพิจารณาถึงบัญหาของการเข้ารหัส (Encoding) การเข้ารหัสนั้นจะรวมถึงเทคนิคทั่วๆ ไปในการสร้างรหัสด้วย ในบทที่เกี่ยวกับเครื่องนับ ได้เกล่าวถึงการสร้างรหัสในรูปของสถานะการนับของเครื่องมาแล้ว เอาท์พุทของเครื่องนับจะอยู่ในรูปของเลขฐานสองของตัวเลขที่นับ ในที่นี้จะพิจารณาถึงกรณีที่เบื้องต้นกว่านั้น คือจากอุปกรณ์ทางตรรก หากรหัสของเลขฐานสองถูกกำหนดมา เราจะสร้างรหัสชนิดหนึ่งจากอีกชนิดหนึ่งได้อย่างไร ในบทที่ 2 เราได้ทราบถึงวิธีการเปลี่ยนเลขฐานสองเป็นรหัสแบบเกรย์มาแล้ว และวงจรการเปลี่ยนนี้แสดงในบทที่ 5 โดยการใช้เอกซ์คลูลีฟ-ออร์ สิ่งที่ต้องก็คือ การพัฒนาเทคนิคการเปลี่ยนที่สามารถใช้ได้ทั่วๆ ไปสำหรับทุกระบบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 1-18 วงจรถอดรหัสโลข 8421 BCD

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 1-13 แสดงการถอดรหัส 8421 BCD เป็นตัวเลข

(8421 BCD เป็นเลขฐานสิบ)

ขอให้พิจารณากรณีที่เรามีรหัส 9876543210 หมายถึงว่าจะต้องมีสายถึง 10 เส้น สำหรับรหัสนี้ แต่ละเส้นแทรรหัส 1 หลัก ในแต่ละครั้งจะมีสายเพียงเส้นเดียวที่เป็น 1 อีก 9 เส้น จะเป็น 0 ซึ่งรหัสนี้เราอาจได้มาจากวงจรนับแบบวงแหวนขนาด 10 ภาค หรือจากการถอดรหัสของวงจรที่มีรหัส 10 แบบสมมติว่าเราต้องการสร้างหรือเข้ารหัสแบบเกิน 3 ของทั้ง 10 หลัก นี้ขอให้พิจารณาตาราง 1-9 ซึ่งแสดงให้เห็นถึงรหัสของเลขแบบเกิน 3 ของทั้ง 10 หลัก

ในการสร้างแรกสุดเราคิดค่า 1 ของบิท N ก่อน ค่าของบิท N จะมีค่า 1 ที่ค่า 5,6,7,8 หรือ 9 กรณีบิท M นั้นจะมีค่า 1 ที่ค่า 2,3,4 หรือ 9 ในกรณีของบิท L และบิท K ก็เช่นเดียวกัน โดยวิธีการนี้ทำให้เราพอสรุปได้ว่า โดยหลักการเข้ารหัสคือกระบวนการ ออร์ (OR) นั่นเอง โดยวิธีการนี้เราสามารถสร้างวงจรเข้ารหัสได้ดังรูป 1-15

ยิ่งไปกว่านั้นถ้าหากรหัส 9876543210 ถูกสร้างมาจากรหัส 8421 BCD เพราะเราจะต้องคิดถึงการเปลี่ยนจาก 8421 เป็นรหัสแบบเกิน 3 ใช้ผลที่ได้จากรูป 1-13 จะได้

$$5 + 6 + 7 + 8 + 9 = N \quad \ldots\ldots\ldots(1)$$

$$CBA + CBA' + CBA + DA' + DA = N \quad \ldots\ldots\ldots(2)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TTL MSI

TYPE SN74141
BCD-TO-DECIMAL DECODER/DRIVER

BULLETIN NO. DL-S 7211801, DECEMBER 1972

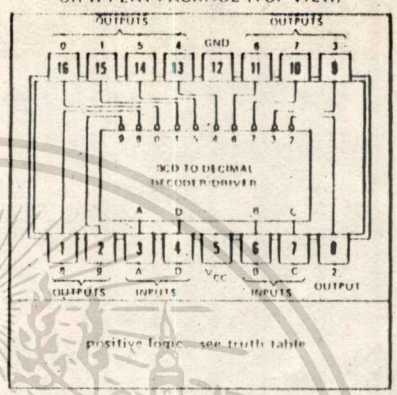
- Drives gas filled cold cathode indicator tubes directly
- Fully decoded inputs ensure all outputs are off for invalid codes
- Input clamping diodes minimize transmission-line effects

FUNCTION TABLE

INPUT				OUTPUT
D	C	B	A	ON†
L	L	L	L	0
L	L	L	H	1
L	L	H	L	2
L	L	H	H	3
L	H	L	L	4
L	H	L	H	5
L	H	H	L	6
L	H	H	H	7
H	L	L	L	8
H	L	L	H	9
H	L	H	L	NONE
H	L	H	H	NONE
H	H	L	L	NONE
H	H	L	H	NONE
H	H	H	L	NONE
H	H	H	H	NONE

H = high level, L = low level
†All other outputs are off.

J OR N DUAL-IN-LINE
OR W FLAT PACKAGE (TOP VIEW)



functional block diagram

description

The SN74141 is a second generation BCD to decimal decoder designed specifically to drive cold-cathode indicator tubes. This decoder demonstrates an improved capability to minimize switching transients in order to maintain a stable display.

Full decoding is provided for all possible input states. For binary inputs 10 through 15, all the outputs are off. Therefore the SN74141, combined with a minimum of external circuitry, can use these invalid codes to blanking leading and/or trailing edge zeros in a display. The ten high performance, n-p-n output transistors have a maximum reverse current of 50 microamperes at 55 volts.

Low-forward-impedance diodes are also provided for each input to clamp negative-voltage transitions in order to minimize transmission-line effects. Power dissipation is typically 80 milliwatts. The SN74141 is characterized for operation over the temperature range of 0°C to 70°C.

รูป 4-14 วงจรถอดรหัส BCD เป็นเลขฐานสิบ ไอซีเบอร์ 74141

(Type 74141 BCD-to-decimal decoder-driver)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

absolute maximum ratings over operating free-air temperature range (unless otherwise noted)

Supply voltage: V_{CC} (see Note 1)	7 V
Input voltage	5.5 V
Current into any output (off state)	2 mA
Operating free-air temperature range	0°C to 70°C
Storage temperature range	65°C to 150°C

NOTE 1: Voltage values are with respect to network ground terminal.

recommended operating conditions

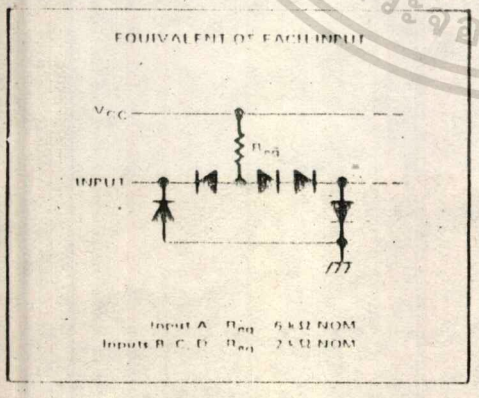
	MIN	NOM	MAX	UNIT
Supply voltage: V_{CC}	4.75	5	5.25	V
Off-state output voltage			60	V
Operating free-air temperature: T_A	0		70	°C

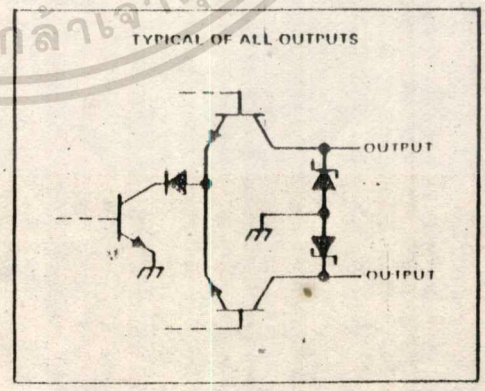
electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER			TEST CONDITIONS†	MIN	TYP‡	MAX	UNIT
V_{IH}	High-level input voltage			2			V
V_{IL}	Low-level input voltage					0.8	V
V_I	Input clamp voltage		V_{CC} = MIN, I_I = −5 mA			−1.5	V
$V_{O(on)}$	On-state output voltage		V_{CC} = MIN, I_O = 7 mA			2.5	V
$V_{O(off)}$	Off-state output voltage for input counts 0 thru 9		V_{CC} = MAX, I_O = 0.5 mA	60			V
$I_{O(off)}$	Off-state reverse current		V_{CC} = MAX, V_O = 55 V			50	μA
$I_{O(off)}$	Off-state reverse current for input counts 10 thru 15		V_{CC} = MAX, V_O = 30 V, T_A = 55°C			5	μA
			V_{CC} = MAX, V_O = 30 V, T_A = 70°C			15	
I_I	Input current at maximum input voltage		V_{CC} = MAX, V_I = 5.5 V			1	mA
I_{IH}	High-level input current	A input	V_{CC} = MAX, V_I = 2.4 V			40	μA
		B, C, or D input				80	
I_{IL}	Low-level input current	A input	V_{CC} = MAX, V_I = 0.4 V			−1.6	mA
		B, C, or D input				−3.2	
I_{CC}	Supply current		V_{CC} = MAX, See Note 2		16	25	mA

†For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.
‡This typical value is at V_{CC} = 5 V, T_A = 25°C.
NOTE 2: I_{CC} is measured with all inputs grounded and outputs open.

schematics of inputs and outputs



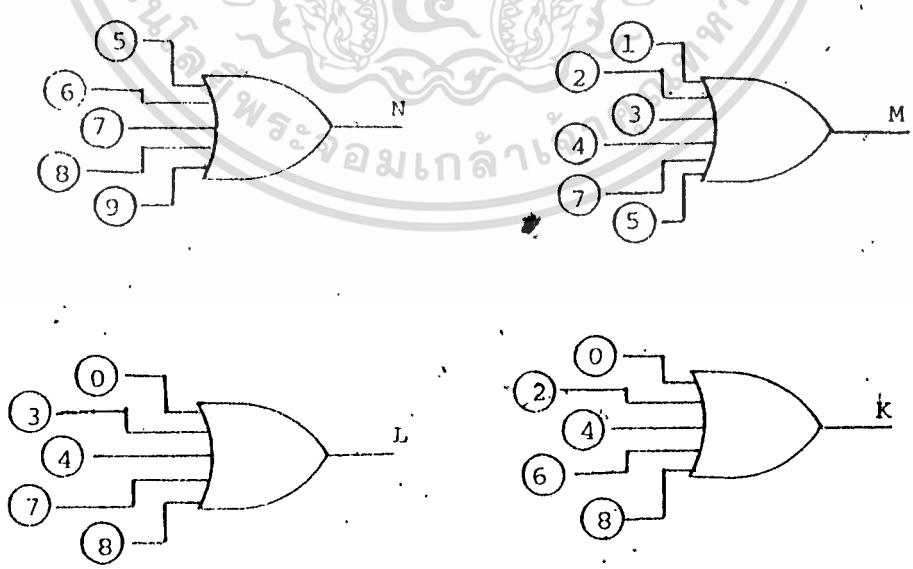


รูป 1-14 (ต่อ)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เลขฐานสิบ	รหัสแบบเกิน 3
	NMLK
0	0011
1	0100
2	0101
3	0110
4	0111
5	1000
6	1001
7	1010
8	1011
9	1100

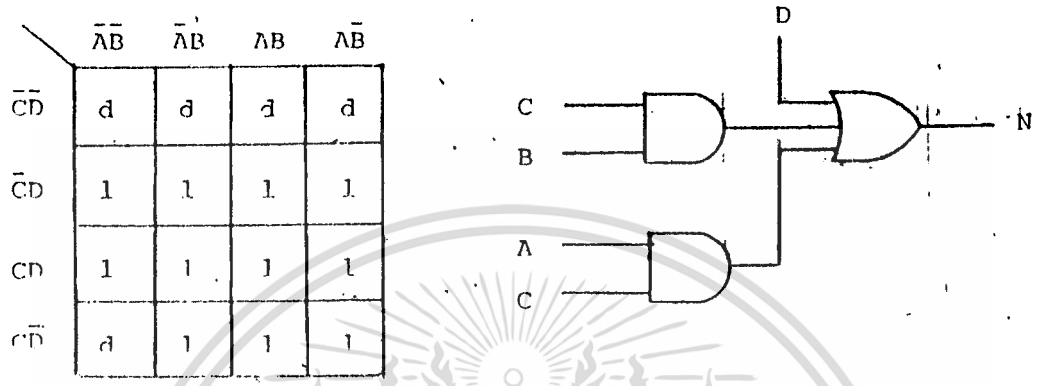
ตาราง 1-9 รหัสแบบเกิน 3 ของเลขฐานสิบ



รูป 1-15 วงจรเข้ารหัสจากเลขฐานสิบเป็นรหัสแบบเกิน 3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากสมการนี้เราอาจพิจารณาว่าสามารถลดรูปอีกได้ไหม โดยการใช้แผนภาพคาร์นอร์และใช้กรณีไม่แคร์มาคิดด้วย เราแสดงได้ดังรูป 1-16 (a) และเขียนวงจรได้ดังรูป 1-16 (b)



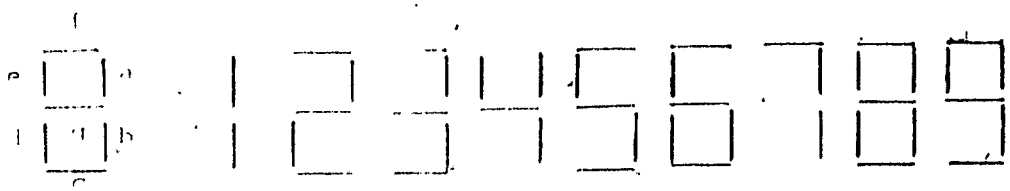
รูป 1-16 การลดรูปรหัส 8421 BCD สำหรับบิท N ในรหัสแบบเกิน 3 (a) แผนภาพคาร์นอจ์ (b) วงจรตรรก

จะเห็นว่า N=1 เมื่อ

5.1 D = 1 เกิดขึ้นที่การนับ 8 และ 9 หรือ

5.2 C และ B ทั้งสอง = 1 เกิดที่การนับ 6 และ 7 หรือ

5.3 C และ A ทั้งสอง =1 เกิดที่การนับ 5 และ 7



รูป 1-17 LED แบบ 7 ชิ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ซึ่งตรงกับกรณีของรหัสทั้งสอง แสดงว่าการลดรูปของเราถูกต้องนอกจากนี้แล้วในบางครั้งเราต้องการแสดงค่าต่างๆ ออกมาเป็นตัวเลขทางหลอด LED แบบ 7 ขั้ว (7-segment LED) ดังแสดงในรูป 1-17

การแสดงค่าตัวเลขแต่ละตัวต้องจุดไส้ให้กับขั้ว LED ตามที่กำหนดไว้ในตาราง 1-10

เลขฐานสิบ	a	b	c	d	e	f	g
0	1	1	1	1	1	1	0
1	1	1	0	0	0	0	0
2	1	0	1	1	0	1	1
3	1	1	1	0	0	1	1
4	1	1	0	0	1	0	1
5	0	1	1	0	1	1	1
6	0	1	1	1	1	0	1
7	1	1	0	0	0	1	0
8	1	1	1	1	1	1	1
9	1	1	0	0	1	1	1

ตาราง 1-10 แสดงการ LED 7 ขั้วสำหรับเลขฐานสิบ

ในการสร้างวงจรเราก็หาวงจรสำหรับ a b c.....g เช่นกรณี a เราใช้การออร์กันของสัญญาณ 7 ตัว คือ

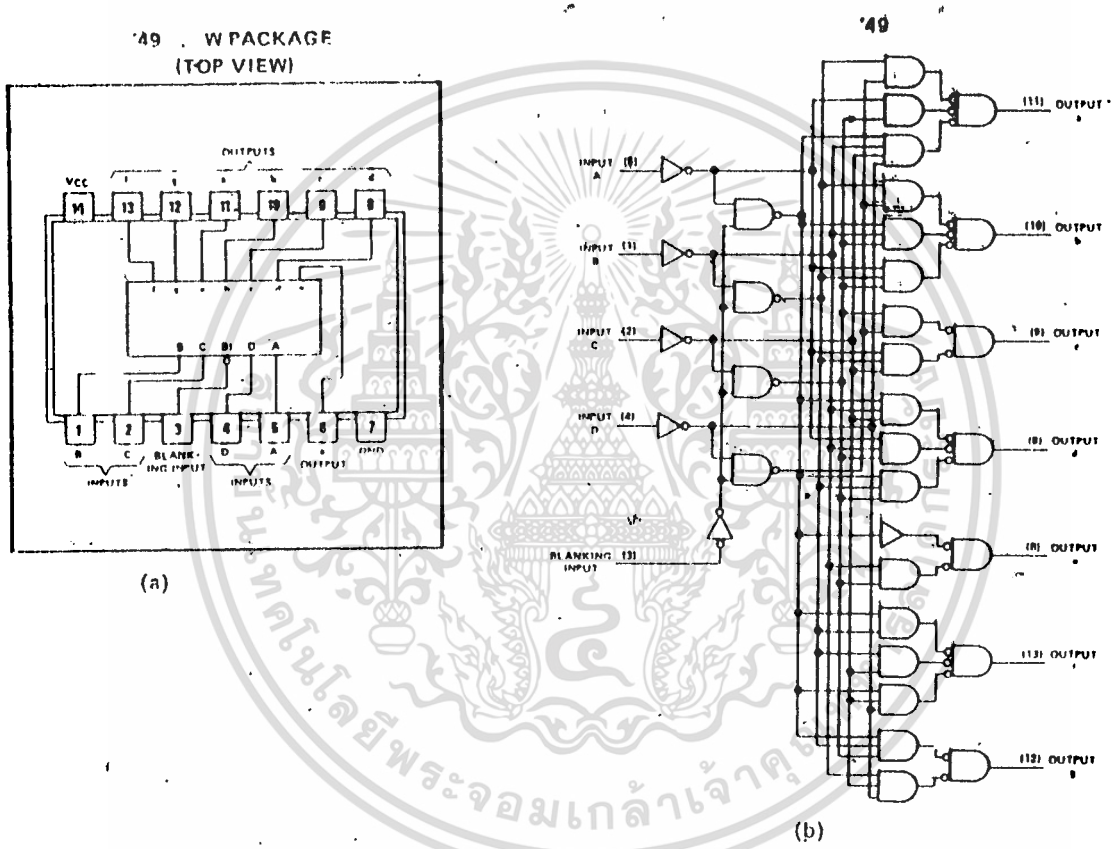
a = 0 + 1 + 2 + 3 + 4 + 7 + 8 + 9

ค่าของ b,c,d,e,f,g,h ก็หาได้ในทำนองเดียวกัน ในทางปฏิบัติเรามีไอซีสำเร็จรูปที่เป็นวงจร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำหรับเปลี่ยนรหัสนี้ ดังแสดงในรูป 1-18

รูป 1-18 เป็นลักษณะภายในของไอซีเบอร์ 7449 ซึ่งเป็นไอซีสำหรับเปลี่ยนเลข 8421 เป็นรหัสของ LED 7 ขั้วที่มีเอาท์พุท = 1 ตามตาราง 1-10

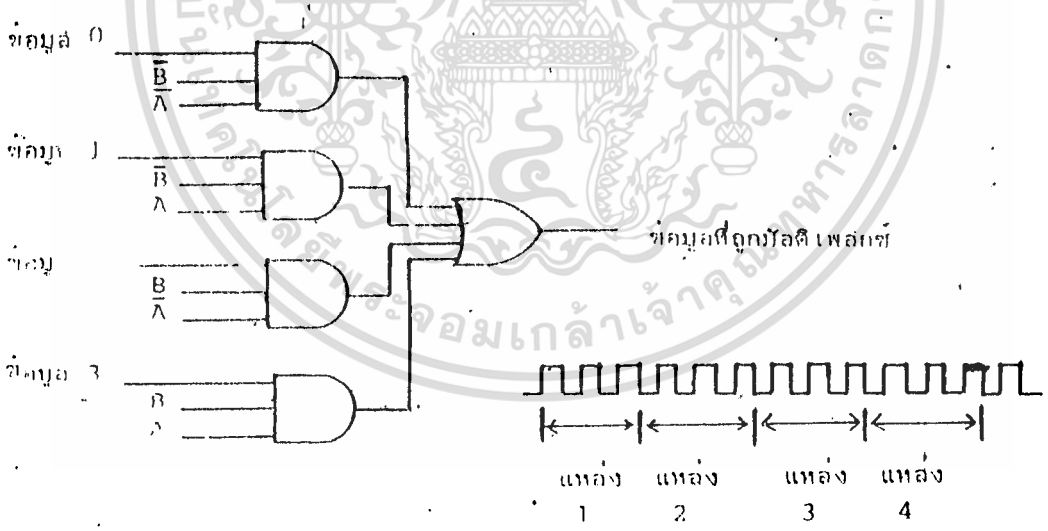


รูป 1-18 ลักษณะภายในของไอซี 7449

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6. มัลติเพลกซ์และดีมัลเพลกซ์

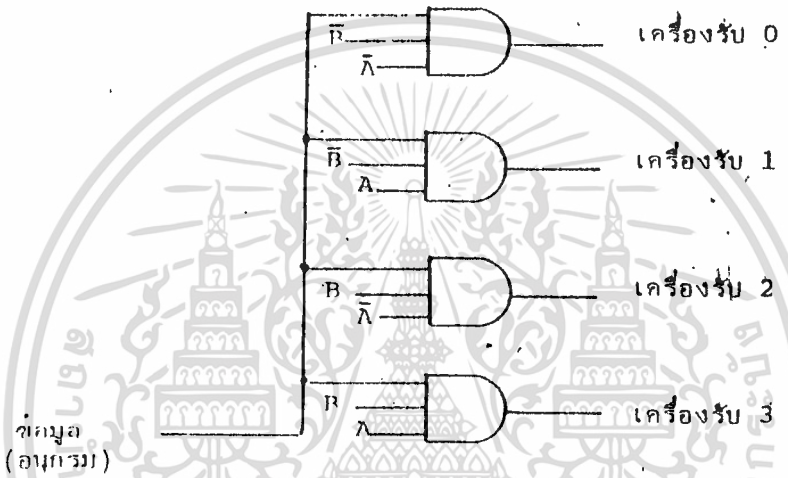
ในการส่งข้อมูลจากจุดหนึ่งไปยังอีกจุดหนึ่งของข้อมูล 4 ชุด แต่ละชุดก็จะมีเครื่องรับ-ส่งของตัวเอง วิธีการหนึ่งในการส่งสัญญาณก็คือ การใช้สาย 4 เส้น แต่ละเส้นสำหรับแต่ละชุด อันเป็นวิธีการที่ง่ายที่สุด แต่ก็ยังมีวิธีการอื่นที่ประหยัดกว่า โดยใช้สายเพียงเส้นเดียวสำหรับการที่ส่งแต่ต้องมีการใช้เวลาร่วมกัน โดยการนำสัญญาณทุกตัวมารวมกัน ณ จัดที่จะส่ง ข้อมูลทั้ง 4 ชุดจะถูกนำมารวมกันโดยวิธีแบบเวลาร่วม (time-shared) หรือที่เรียกว่า มัลติเพลกซ์ (Multiplex : MUX) ดีมัลติเพลกซ์ (Demultiplex : DMUX) รูป 1-19 แสดงให้เห็นถึงวงจรมัลติเพลกซ์ของสัญญาณ 4 ชนิด สัญญาณที่ออกมาในเวลาแต่ละครั้งจะมีเพียง 1 โดยใช้วงจรถอดรหัสเลขฐานสองประกอบกับอาร์เกท



รูป 1-19 วงจรมัลติเพลกซ์ 4 อินพุท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในทางรับนั้นจะต้องทำให้ข้อมูลที่ส่งมาในรูปเดิม จึงจะต้องมีการเลือกและการถอดรหัส ด้วยนั่นคือข้อมูลที่ส่งมาซึ่งเป็นแบบอนุกรม จะถูกป้อนเป็นอินพุทของแอนด์เกทั้ง 4 ตัว และอินพุทอีก 2 ตัว ของแอนด์เกทนั่นคือ รหัสเลขฐานสองที่กำหนดไว้สำหรับการควบคุมเอาท์พุทของสัญญาณแต่ละตัว ดังแสดงในรูป 1-20



รูป 1-20 วงจรดีมัลติเพลกเซอร์

ในทางปฏิบัติเราก็มีไอซีที่เป็นมัลติเพลกซ์สำเร็จรูป เช่นไอซี TTL เบอร์ 54251/74251 ซึ่งเป็นมัลติเพลกซ์แบบ 8 อินพุท ลักษณะของวงจรจะคล้ายกับในรูป 1-20 ไอซีนี้มีเอาท์พุทแบบ 3 สถานะ (Tristate outputs) เมื่ออินพุทขา Strobe เป็น High เอาท์พุทจะเป็นแบบมีอิมพีแดนซ์สูง ทำให้สามารถต่อเอาท์พุทของมัลติเพลกซ์ตัวอื่นๆ มาเพื่อใช้บัส (Bus) ที่เอาท์พุทร่วมกันได้ ดังรูป 1-21

ส่วนไอซีของวงจรดีมัลติเพลกซ์แสดงในรูป 1-22 เป็น IC แบบ TTL เบอร์ 54/4154 เป็นวงจรถอดรหัสจาก 4 เป็น 16 ในการถอดรหัสแบบเลขฐานสองในการเลือกเอาท์พุท 1 ใน 16 ตัว คล้ายกับในรูป 1-21 ค่าเอาท์พุทของแนนด์เกทแต่ละตัวได้มาจากการถอดรหัสอินพุทไบนารี่ 4 ตัว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

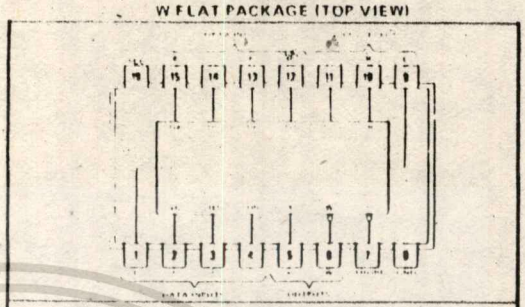
TTL
MSI

TYPES SN54251, SN54LS251, SN54S251, SN74251, SN74LS251, SN74S251
DATA SELECTORS/MULTIPLEXERS WITH 3-STATE OUTPUTS

BULLETIN NO. DL-S 7211834, DECEMBER 1972

- Three State Versions of '151, 'LS151, 'S151
- Three State Outputs Interface Directly with System Bus
- Perform Parallel-to-Serial Conversion
- Permit Multiplexing from N-lines to One Line
- Complementary Outputs Provide True and Inverted Data
- Fully Compatible with Most TTL and DTL Circuits

J OR N DUAL-IN-LINE OR W FLAT PACKAGE (TOP VIEW)



positive logic: see function table

TYPE	MAX NO. OF COMMON OUTPUTS	TYPICAL AVG PROP DELAY TIME ID TO Y1	TYPICAL POWER DISSIPATION
SN54251	49	17 ns	250 mW
SN74251	129	17 ns	250 mW
SN54LS251	19	17 ns	35 mW
SN74LS251	19	17 ns	35 mW
SN54S251	19	8 ns	275 mW
SN74S251	129	8 ns	275 mW

description

These monolithic data selectors/multiplexers contain full on-chip binary decoding to select one of eight data sources and feature a strobe-controlled three-state output. The strobe must be at a low logic level to enable these devices. The three-state outputs permit a number of outputs to be connected to a common bus. When the strobe input is high, both outputs are in a high-impedance state in which both the upper and lower transistors of each totem-pole output are off, and the output neither drives nor loads the bus significantly. When the strobe is low, the outputs are activated and operate as standard TTL totem-pole outputs.

To minimize the possibility that two outputs will attempt to take a common bus to opposite logic levels, the output control circuitry is designed so that the average output disable time is shorter than the average output enable time. The SN54251 and SN74251 have output clamp diodes to attenuate reflections on the bus line.

functional block diagram

FUNCTION TABLE

INPUTS				OUTPUTS	
SELECT			STROBE		
C	B	A	S	Y	W
X	X	X	H	Z	Z
L	L	L	L	D0	$\overline{D0}$
L	L	H	L	D1	$\overline{D1}$
L	H	L	L	D2	$\overline{D2}$
L	H	H	L	D3	$\overline{D3}$
H	L	L	L	D4	$\overline{D4}$
H	L	H	L	D5	$\overline{D5}$
H	H	L	L	D6	$\overline{D6}$
H	H	H	L	D7	$\overline{D7}$

H = high logic level, L = low logic level
X = irrelevant, Z = high impedance (off)
D0, D1 ... D7 = the level of the respective D input

รูป 4.24 ตัวมัลติเพลกซ์ ไอซีเบอร์ 251

(Type 251 multiplexer)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

signetics

4-LINE TO 16 LINE DECODER/DEMULTIPLEXER

S54154-N,O,F • N74154-N

DIGITAL 54/74 TTL SERIES

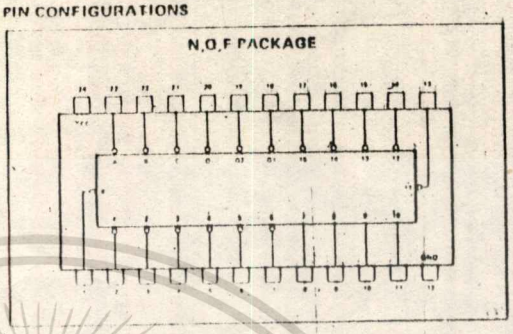
S54154
N74154

DESCRIPTION

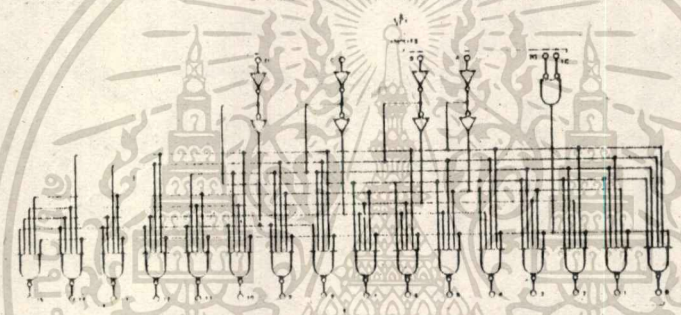
The 54/74154 decodes 4 binary coded inputs to one of 16 mutually exclusive outputs when each of the two strobe inputs are low. The demultiplexing function is achieved by using the 4 input lines for output addressing and data from one strobe input while the other strobe input is held low.

PIN CONFIGURATIONS

N,O,F PACKAGE



LOGIC DIAGRAM



TRUTH TABLE

INPUTS						OUTPUTS															
G1	G2	D	C	B	A	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
L	L	L	L	L	L	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H
L	L	L	L	L	H	H	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H
L	L	L	L	H	L	H	H	L	H	H	H	H	H	H	H	H	H	H	H	H	H
L	L	L	L	H	H	H	H	H	L	H	H	H	H	H	H	H	H	H	H	H	H
L	L	L	H	L	L	H	H	H	H	L	H	H	H	H	H	H	H	H	H	H	H
L	L	L	H	L	H	H	H	H	H	H	L	H	H	H	H	H	H	H	H	H	H
L	L	L	H	H	L	H	H	H	H	H	H	L	H	H	H	H	H	H	H	H	H
L	L	L	H	H	H	H	H	H	H	H	H	H	L	H	H	H	H	H	H	H	H
L	L	H	L	L	L	H	H	H	H	H	H	H	H	L	H	H	H	H	H	H	H
L	L	H	L	L	H	H	H	H	H	H	H	H	H	H	L	H	H	H	H	H	H
L	L	H	L	H	L	H	H	H	H	H	H	H	H	H	H	L	H	H	H	H	H
L	L	H	L	H	H	H	H	H	H	H	H	H	H	H	H	H	L	H	H	H	H
L	L	H	H	L	L	H	H	H	H	H	H	H	H	H	H	H	H	L	H	H	H
L	L	H	H	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H	L	H	H
L	L	H	H	H	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H	L	H
L	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	L
L	H	X	X	X	X	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H
H	L	X	X	X	X	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H
H	H	X	X	X	X	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H

H = High, L = Low, X = Irrelevant

รูป 1-22 ตัวถอดรหัส-มัลติเพล็กซ์ ไอซีเบอร์ 54/74154

(Type 54/74154 decoder-multiplexer)

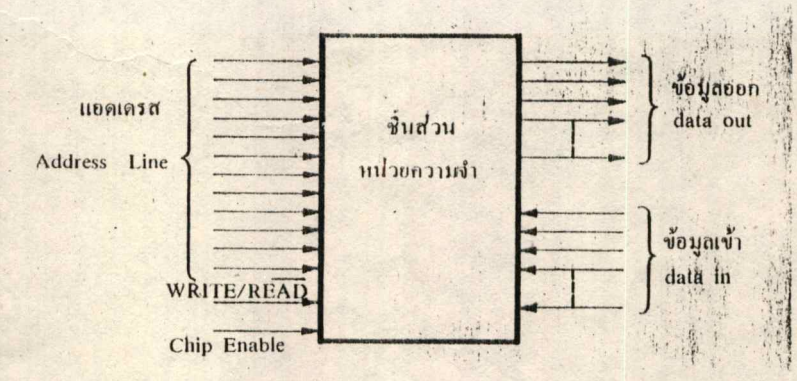
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตัวอย่างที่น่าสนใจสำหรับการนำเอาวงจรมัลติเพลกซ์ และวงจรดีมัลติเพลกซ์ไปใช้งานคือ ระบบเสียงบนเครื่องบินโดยสาร ผู้โดยสารบนเครื่องบินสามารถเลือกฟังเพลงช่องใดช่องหนึ่งจากแปดช่องได้ โดยการส่งเพลงทั้ง 8 รายการมาพร้อมกันในสายเส้นเดียวภายใต้หลักการของมัลติเพลกซ์ ถึงแม้ว่าระบบนี้จะเป็นการมัลติเพลกซ์สัญญาณอนาลอก แต่ในทางดิจิตอลก็อาศัยหลักการเดียวกัน โดยรายการเพลงแต่ละรายการถูกแซมเปิล (Sampled) มาในอัตราความเร็วสูงกว่าที่หูของมนุษย์จะตอบสนองได้ เมื่อถูกดีมัลติเพลกซ์ออกมา จะสามารถฟังรายการของแต่ละช่องได้

RAM (Random Access Memory)

RAM เป็นหน่วยความจำ แบบ แรนด้อม หมายถึง ระบบความจำที่สามารถเลือกตำแหน่งข้อมูลต่างๆได้โดยใช้เวลาเท่ากันนั่นคือเราใช้เวลาเท่ากันเสมอ ไม่ว่าจะเลือกอ่านหรือเขียนข้อมูลตำแหน่งไหนในระบบ และแต่ละตำแหน่งจะมี แอดเดรสซึ่งเป็นตัวเลขไบนารีกำกับอยู่ ระบบความจำจะประกอบด้วยหน่วยความจำย่อยๆ ซึ่งแต่ละหน่วยจะต้องมีคุณสมบัติในการเข้าถึงข้อมูล แบบแรนด้อมเช่นเดียวกันด้วย ในระบบหน่วยความจำย่อยๆ เป็นวงจรอิเลคทรอนิคส์ซึ่งเป็นวงจรอินทริเกรดอยู่ในชิพแผ่นเดียว ความจุของระบบความจำทั้งหมดก็คือความจุของแต่ละหน่วยความจำย่อยรวมกันนั่นเอง

ชิพหน่วยความจำต้องสามารถนำมาต่อรวมกันเพื่อประกอบเป็นระบบใหญ่โดยการเชื่อมโยงสายควบคุมและข้อมูลเข้าด้วยกันในลักษณะของบัสโดยทั่วๆไปชิพแต่ละตัวจะมีลักษณะโครงสร้างและสัญญาณต่างๆที่เกี่ยวข้องดังต่อไปนี้



รูปที่ 23

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตามรูปจะประกอบด้วยตัวชิพและขาต่อสัญญาณภายนอกคือ

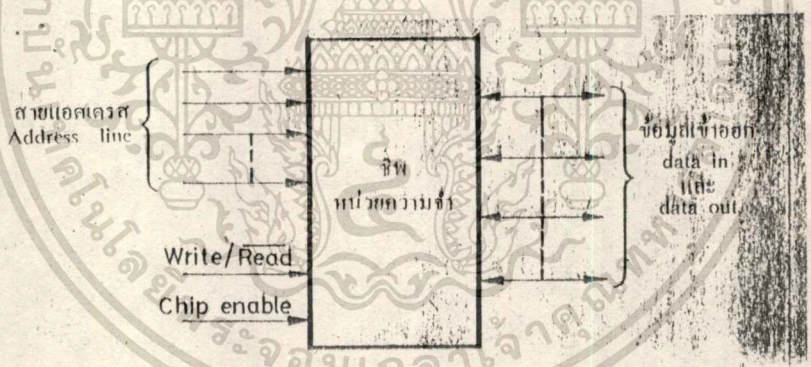
-ข้อมูลออก (data out) เป็นข้อมูลออกจากตัวชิพเมื่อทำการอ่าน

-ข้อมูลเข้า (data in) เป็นข้อมูลที่ถูกนำเข้าไปเก็บไว้ในชิพ เมื่อทำการเขียน

-สายแอดเดรส (address lines) เป็นสัญญาณเลือกตำแหน่งที่ทำการเขียนหรืออ่าน

-เขียน/อ่าน (write/read) คือสัญญาณควบคุมแสดงขบวนการที่จะทำคือ เขียนข้อมูลหรืออ่านข้อมูล

-ชีพอีนาเบิ้ล (Chip Enable) นอกจากจะต้องเลือกตำแหน่งด้วยสายแอดเดรส และเลือกขบวนการ (อ่านหรือเขียน) แล้วชีพอีนาเบิ้ล เป็นสัญญาณบังคับให้หน่วยความจำอันนี้ต้องรับสัญญาณหรือรับรู้สัญญาณควบคุมตัวอื่นๆทั้งหมด ในบางครั้งเส้นทางนำข้อมูลเข้าหรือออกจากชิพยังเป็นเส้นทางเดียวกันจะทำให้ลักษณะของชิพเป็น ดังนี้



รูปที่ 24

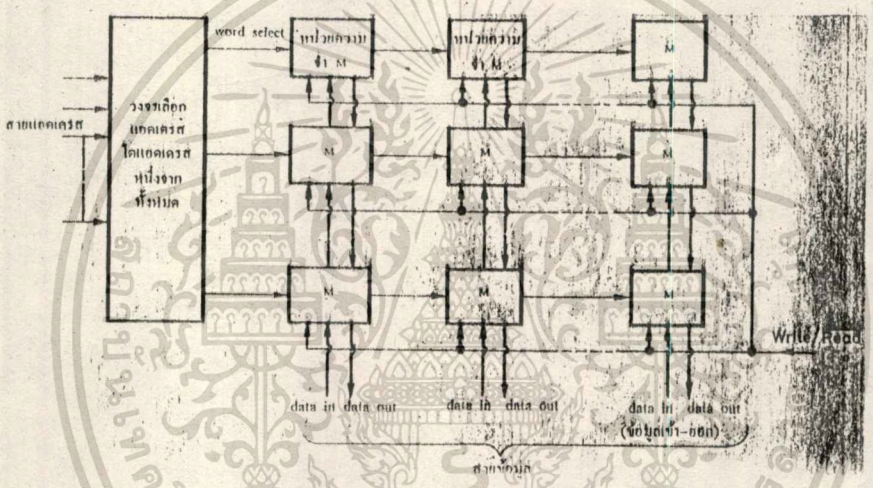
ลักษณะข้อมูลเข้าและข้อมูลออกใช้เส้นทางร่วมกัน เมื่อนำไปต่อรวมกันกับชิพตัวอื่นและต่อเข้ากับระบบบัสในลักษณะทางเดินของบัสสองทิศทาง (bidirectional bus)

โครงสร้างภายในของ RAM

โครงสร้างภายในของหน่วยความจำแบบ RAM จะประกอบด้วยวงจรหน่วยความจำที่มีขนาดเล็กที่สุด 1 บิท อยู่จำนวนมากโดยเรียงกันอยู่ภายใน และวงจรเลือกตำแหน่งหรือถอดรหัส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

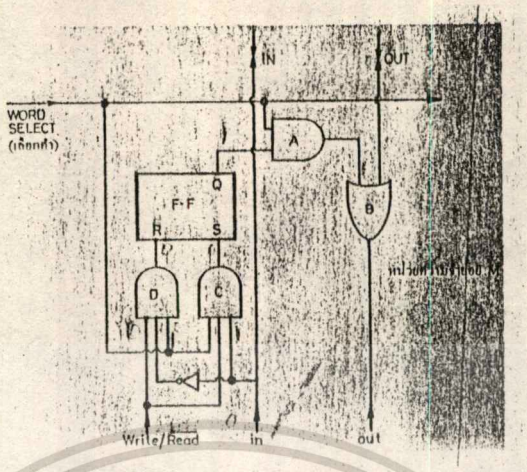
ตำแหน่ง ดังรูปที่ 25 ตามรูปที่ 26 จะเห็นว่าสัญญาณเลือกเวิร์ดใดๆ จะต้องต่อผ่านหน่วยความจำหน่วยย่อยแต่ละหน่วยครบ 1 เวิร์ด นั่นคือเมื่อคำใดคำหนึ่งถูกเลือกผ่านวงจรถอดรหัสหน่วยความจำย่อย M จะตอบสนองตามสัญญาณ Write/Read ส่งข้อมูลผ่านออกทางสายข้อมูลเข้า-ออก (ขึ้นอยู่ว่าเรา write หรือ read) ออกมาภายนอก ตามรูปที่ 26 โครงสร้างภายในหน่วยความจำย่อย M จะประกอบด้วยวงจรที่ทำหน้าที่ความจำจริงๆ ก็คือ RS ฟลิปฟลอบ และลอจิกเกทอื่นๆคือ AND, OR, NOT สัญญาณออกมาจากวงจรความจำ R-S, (Q) จะมารอที่ AND



รูปที่ 25

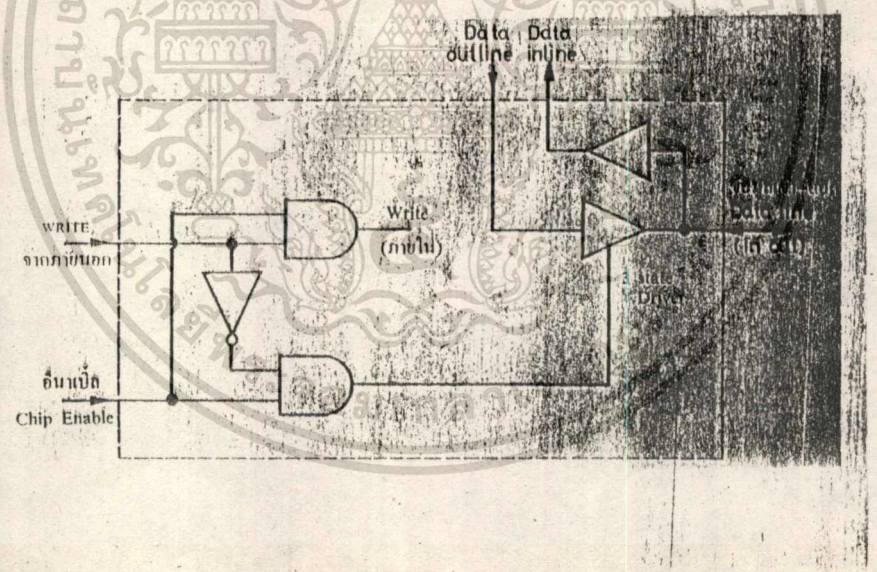
เกท (A) เมื่อหน่วยนี้ถูกเลือกเกท A จะเปิดให้ข้อมูลผ่านไปยัง OR เกท (B) ออกไปที่ OUT ซึ่งไปต่อเข้าจุด OUT ของหน่วยอื่นที่เหมือนกันนี้ทุกอย่างจนออกไปภายนอกระบบ สัญญาณจากหน่วยอื่นที่ผ่านมาต่อทาง OUT จะมีเพราะเวิร์ดอื่นไม่ถูกเลือกในทำนองเดียวกัน ข้อมูลเข้าของบิทหนึ่งทางสายข้อมูลอินพุท จะได้รับการส่งผ่านทางเส้นข้อมูลเข้าตลอดไปถึงทุกๆหน่วย M ย่อย แต่จะถูกเขียนเข้าไปในหน่วยความจำฟลิปฟลอบ เฉพาะหน่วยที่ถูกเลือกเท่านั้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 26

สำหรับหน่วยความจำที่ข้อมูลอินพุท และข้อมูลเอาท์พุท ภายนอกชิพเป็นเส้นเดียวกันและมีวงจรเก็บการควบคุม เมื่อมีสัญญาณชิพอีนาเบิ้ลมาเกี่ยวข้องจะเป็นดังรูปที่ 27



รูปที่ 27

รูปที่ 27 แสดงวงจรควบคุมภายในและแสดงสัญญาณ chip enable และเส้นข้อมูลเข้า-ออก ซึ่งใช้ร่วมกันระหว่างข้อมูลเข้าและข้อมูลออำ จะเห็นว่าสัญญาณ write(ภายใน) ได้เราต้องมีทั้งสัญญาณชิพอีนาเบิ้ล (CE) และ write (ภายนอก) สาย writeภายในนี้เองจะต่อไปยังหน่วยความจำย่อย (M) ทุกหน่วย เส้นข้อมูลอินพุทและข้อมูลเอาท์พุทจะมาต่อรวมกันโดยอาศัยวงจรขับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

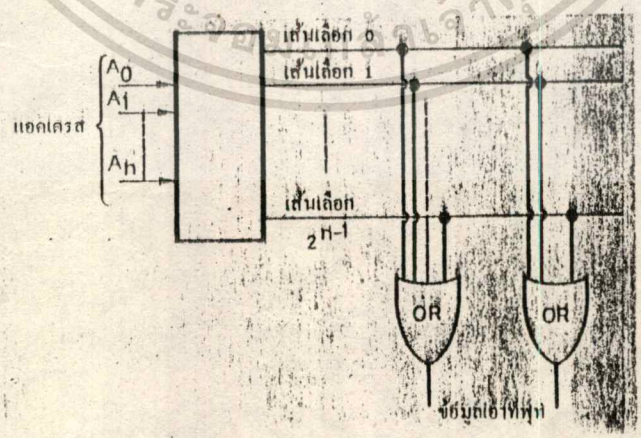
เป็นเส้นเดียวต่อไปยังภายนอก ทำให้เราสามารถใช้สายข้อมูลเข้า-ออกเพียงเส้นเดียวได้ เพราะเราจะทำขบวนการอ่านหรือเขียนได้เพียงขบวนการเดียวในเวลาใดเวลาหนึ่งเท่านั้น

รอม (ROM)

ในคอมพิวเตอร์ ข้อมูลบางอย่างเรานำไปเก็บไว้เพียงครั้งเดียวเท่านั้น หลังจากนั้นก็อ่านออกมาใช้งานแต่เพียงอย่างเดียว หน่วยความจำที่เหมาะกับงานแบบนี้ก็ควรจะเป็นแบบเขียนได้ และไม่สูญหายไปถึงแม้ว่าไม่มีไฟเลี้ยวก็ตาม เวลาใช้งานก็อ่านออกมาได้เลย ความจำพวกนี้ได้แก่ รอม(ROM) การนำข้อมูลเข้าไปเก็บใน ROM เราเรียกว่า การโปรแกรมรอม (programming) ถ้าเราไม่คำนึงกรรมวิธีในการโปรแกรมแล้ว ในท้องตลาดมี ROM ให้เราเลือกใช้ได้หลายประเภทคือ

- โปรแกรมมาจากโรงงานผู้ผลิตเลย
- ผู้ใช้งานมาโปรแกรมเองตอนจะใช้งานตามต้องการ
- ผู้ใช้งานมาโปรแกรมเองตอนจะใช้งาน แต่สามารถลบได้ด้วยกรรมวิธีที่เหมาะสม (Drasable Programmable ROM หรือ EPROM)

ลักษณะโครงสร้างของ ROM



รูปที่ 28

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ซึ่งจะสวนเข้ามาทางเอาท์พุท แต่ไม่ผ่านวงจรตัวขับเกทสามสถานะ ซึ่งจะออฟแยกออกไปขณะเมื่อเราโปรแกรมเพราะเอาท์พุทอีนาเบิลเป็น "0" ขั้นตอนเป็นดังนี้คือ

- เลือกตำแหน่งที่จะโปรแกรมผ่านวงจรถอดรหัส (A1-An)
- เพิ่มแรงดัน Vcc ให้มากกว่า 7.5 โวท์ โดยทั่วไปประมาณ 10 โวทล์ จะทำให้เกท E มีเอาท์พุทขึ้นอยู่กับ CE เท่านั้น และ E ไม่ทำงานเพราะสัญญาณ Read Mode จะเป็น "0"
- ใส่แรงดันสวนกลับไปทางเส้นเอาท์พุทสวิทช์ S ภายในจะปิดอยู่ทำให้กระแสไฟฟ้าไหลผ่านฟิวส์ที่ถูกเลือกให้ขาดออกไป กระแสอาจจะมากถึง 50-60 มิลลิแอมป์ เวลาที่ใช้ในการเผาฟิวส์ต้องดูจากข้อมูลผู้ผลิต และเราควบคุมได้โดยควบคุมสัญญาณ CE ให้เป็น "1" อยู่นานเท่านิดหน่อย เพราะเมื่ออยู่ในขบวนการโปรแกรม Read Mode จะเป็น "0" NAND เกทที่ถูกเลือกจะมีเอาท์พุทเป็น "0" ต่อเมื่อเลือกอีเนาเบลเป็น "1" เท่านั้น

ROM แบบโปรแกรมได้และลบได้(Erasable Programmable Read-Only Memory)

ROM พวกนี้มีคุณสมบัติดีเด่นมากคือ ผู้ใช้งานสามารถโปรแกรมได้ ลบได้ และโปรแกรมใหม่อีครั้งก็ได้ จึงถูกเรียกว่า Erasable Programmable Read-Only Memory หรือ EPROM

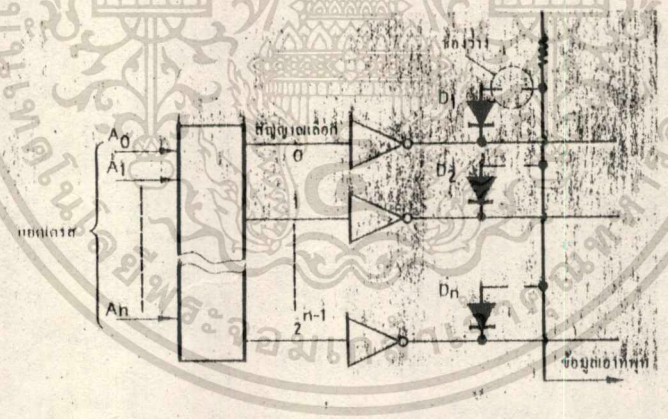
ลักษณะการทำงานของ ROM พวกนี้สามารถโปรแกรมได้จะใช้หลักของฟิวส์เชื่อมโยงเสมอ แล้วแต่ว่าจะเป็นฟิวส์ประเภทใด ROM แบบ Erasable หรือลบได้ก็ใช้หลักการนี้แทนที่จะเป็นฟิวส์ธรรมดา เขาใช้ฟิวส์แบบมีสภาพเชื่อมต่อเหมือนเดิมได้ใน EPROM ใช้ FET แบบพิเศษที่มีเกทลอยแยกต่างหากเรียกว่า แบบเกทลอย (Floating gate ตามรูปที่ 31 เป็น FET ทำหน้าที่เป็นฟิวส์ FET แบบเกทลอยจะทำหน้าที่แทนฟิวส์ได้ ตามรูปเป็น FET แบบ P แชนเนลซึ่งจะนำกระแสได้ระหว่างเกรนและซอรส์ ถ้าเกทมีศักดาเป็นลบ เกทจะไม่เชื่อมต่อกับอะไรเลย แต่ถูกล้อมรอบด้วยฉนวน ถึงแม้จะไม่ต่อเชื่อมกับอะไรเลย แต่ก็อาจจะถูกทำให้มีศักดาเป็นลบได้ โดยการทำให้เดรนเป็นลบมากๆ เมื่อเทียบกับซอร์ส อิเลคตรอนจะมีพลังงานสูงพอที่จะทะลุผ่านฉนวน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เนื่องจาก ROM หลังจากโปรแกรมมาแล้วใช้อ่านอย่างเดียว ลักษณะภายในจึงไม่ยุ่งยาก ในหน่วยความจำแต่ละบิทจึงสามารถเชื่อมต่อกับสายข้อมูลเอาท์พุท แบบ OR กันได้โดยผ่านวงจรเลือกอีกเล็กน้อย ตามรูปที่ 28 เกท OR จะทำหน้าที่ผ่านข้อมูลจากบิทไหนก็ได้ ที่ถูกเลือกไปออกทางเอาท์พุท

เนื่องจากข้อมูลเป็นทั้ง "0" และ "1" ดังนั้นเราจะต่อสัญญาณเอาท์พุทจากวงจรเลือกมาเข้า OR เลยตรงๆ ย่อมไม่ได้ และอุปกรณ์หรือวงจร เพิ่มเติมจะมีได้หลายแบบดังหัวข้อต่อไปนี้

แบบ Mask-Programmed เป็น ROM รุ่นแรกๆ ที่ผู้ผลิตเป็นผู้ใส่ข้อมูลไว้เลยตอนผลิต ดังรูป 29 ใช้ไดโอดเป็นตัวเชื่อมต่อกับวงจรเลือกเส้นเอาท์พุทจะต่อไปรออยู่ที่ อาโนด ของไดโอดที่เชื่อมต่อเส้นเลือกที่ออกจากวงจรถอดรหัสขบวนการอ่านก็ง่ายๆ เพียงแต่เลือกตำแหน่งเท่านั้น ไดโอด ที่ต่อเข้าเส้นหรือตำแหน่งที่ถูกเลือกจะพร้อมที่จะนำกระแส และดึงสายเอาท์พุทลงเป็น "0" ทันที ถ้าช่องว่างนั้นถูกเชื่อมโดยผู้ผลิต ROM ตัวนั้นมา ROM แบบนี้มักจะมีราคาแพง



รูปที่ 29

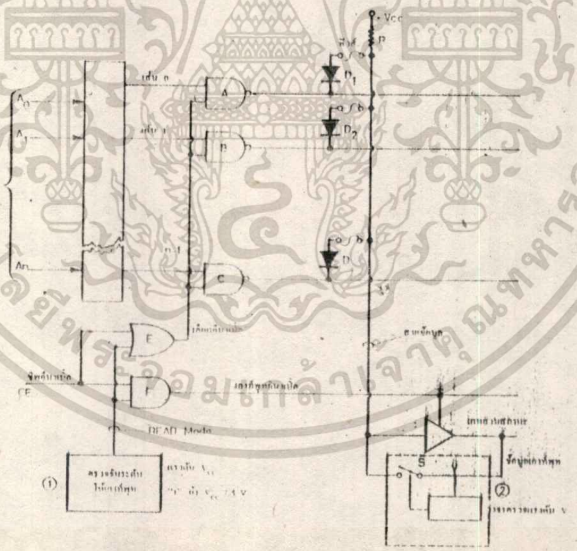
เพราะผู้ผลิตต้องทำหน้ากากสำหรับอุดหรือเติมช่องว่างตามต้องการ ค่าใช้จ่ายจะสูง

แบบโปรแกรมได้ด้วยฟิวส์เชื่อมต่อ (fusible link programmable read-only memory) แบบนี้ผู้ใช้งานสามารถนำมาโปรแกรมเองได้ จึงมักถูกเรียกว่า Programmable Read-Only Memory หรือ PROM วงจรภายในมีส่วนเหมือนแบบ mask ROM มาก แต่ตรงช่องว่างเขาใส่ลวดนิเกิล-โคร-เมี่ยม เชื่อมต่อไว้ และมีวงจรเพิ่มเติมสำหรับการโปรแกรม คือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรเกทสามสถานะ และวงจรตรวจระดับแรงดัน ฟิวส์แต่ละตัวก็คือข้อมูลแต่ละบิทนั่นเอง บิทไหนไม่มีฟิวส์เพราะถูกละลายตอนโปรแกรม เมื่อบิทนี้ถูกเลือกตอนอ่านจะได้เอาท์พุทเป็น "1" ทันที การทำงานของวงจรโดยปกติจะอยู่ในขบวนการอ่าน และวงจรตรวจแรงดัน (1) จะให้สัญญาณมาเปิดเกท E และ Fถ้าแรงดันจ่ายไฟฟ้าน้อยกว่า 7.5 โวลท์ รอแต่เพียงสัญญาณชิพอินาเบิ้ล เท่านั้นเมื่อ CE ="1" และมีสัญญาณเลือกแอดเดรส (A0 ถึง An) มาได้โอดที่ถูกเลือกพร้อมที่จะนำกระแสทันที ถ้ายังมีฟิวส์อยู่ถูกใส่ไว้เป็น "0" เอาท์พุทจะเป็น "0" ออกทางตัวขับสัญญาณ 3สถานะ

ส่วนสำคัญในการโปรแกรม PROM นี้คือ วงจรตรวจแรงดัน (2) นี้เอง

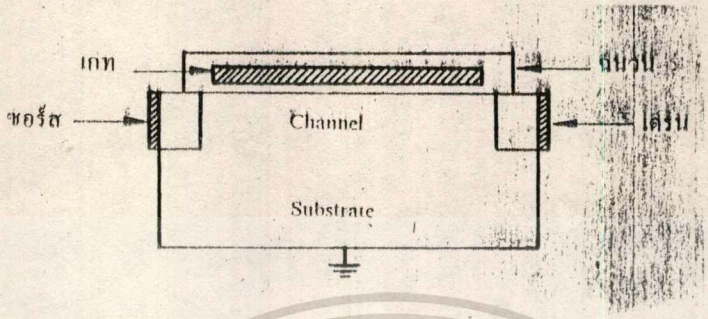


รูปที่ 30

การโปรแกรม

เมื่อผลิตขึ้นมาใหม่ๆ ทุกบิทจะมีฟิวส์ต่อเชื่อมอยู่นั่นคือ "0" หมด เราจะเขียน "1" เข้าไปที่บิทไหนก็คือ ส่งพลังงานเข้าไปละลายฟิวส์บิทนั้น พลังงานที่ส่งเข้าไปจะผ่านทางสวิทช์ S

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 31

ไปอยู่ในเกทได้ เมื่ออิเลคตรอนหลุดไปค้างอยู่ในเกทแล้วจะไม่มีพลังงานพอจะกลับออกมาได้ จึงติดอยู่อย่างนั้นศักดาของเกทจะเกทจะเป็นลบทำให้ความต้านทานระหว่างเดรนกับซอร์สต่ำลง หรือนำกระแสได้เหมือนกับฟิวส์ที่เชื่อมต่อกันนั่นเอง

การที่จะทำให้ฟิวส์นี้ขาดหรือความต้านทานระหว่างเดนกับซอร์สสูงเหมือนเดิมก็ต้องไปไล่อิเลคตรอนที่ติดในเกทออกไป ทำได้โดยนำแสงอุลตร้าไว้โอเลคมาตกกระทบเกทนี้เป็นการกระตุ้นอิเลคตรอนให้มีพลังงานสูงขึ้นสามารถทะลุฉนวนออกมาได้โดยสรุปการโปรแกรมคือการใส่แรงดันสูงเพียงพอระหว่างเดรนและซอร์ส การลบคือการจำวงจรไปฉายแสงอุลตร้าไวโอเลคทางลอจิก เมื่อถูกลบ เราถือว่า ทุกๆบิทจะ 1 หมด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2

รายละเอียดของ CHIP IC T6658A

T6658 เป็น IC ซึ่งสร้างขึ้นมาเพื่อใช้ในการจดจำเสียงและสามารถเรียกเสียงที่เราทำการจดจำออกมาได้โดย จะเป็นในลักษณะของ CODE ซึ่งทำให้เรา สามารถนำไปใช้ประโยชน์ - ต่าง ๆ ได้มากมาย

คุณสมบัติของ T6658A

- จำนวนคำที่สามารถบันทึกได้สูงสุด 40 คำ แบ่งออกเป็น 4 Block ภายใน 1 Block จะบันทึกได้ 10 คำ
- ภายใน 1 Block จะใช้ RAM เท่ากับ 4 Kbit ถ้าใช้ทั้งหมด 4 Block จะเท่ากับ 16 Kbit
- ความยาวของเวลาที่พูดได้ตั้งแต่ 0.16 จนถึง 0.96 วินาที
- Response time สูงสุด 0.48 + เวลาที่ไม่ได้บันทึก (สูงสุด 0.24 วินาที) (40 คำที่วัดได้)
- สามารถต่อ MIC ได้
- การควบคุมการทำงาน สามารถทำได้ทั้ง MANUAL CONTROL และ CPU CONTROL
- ต่อ EXTERNAL RAM ได้
- ใช้ไฟเลี้ยง 5 Volt โครงสร้าง IC เป็นแบบ CMOS เวลาสัญญาณเสียงเข้า 4.5 mA Vdd = 5 V เวลา STAND-BY ใช้กระแสสูงสุด 3 uA
- OSCILLATE โดยใช้ CERAMIC 400 KHz หรือใช้ CR OSCILLATOR ก็ได้สัญญาณ ทั้ง INPUT เป็นลักษณะ LS - TTL CIMPATIBLE
- ขาของ IC T6658A มี 87 PIN

ขาต่าง ๆ ของ T6658A

- MICIN (Analog input) เป็นขาสำหรับสัญญาณ input (สัญญาณเสียง)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- LINE IN (Analog input) เป็นขาสำหรับสัญญาณ input
- LINE (Diqital) เป็นขาที่ใช้เลือกระหว่าง MIC หรือ LINE

  ถ้าขานี่เป็น "L" Level จะเป็นการเลือก MICIN

  ถ้าขานี่เป็น "H" Level จะเป็นการเลือก LINE IN
- MIC (Analog Input-Output) ที่ปลายของขาของ MICOUT กับ TRAI และ TRAO กับ TRCI จะต่อ Condencer Coupling เอาไว้
- K1 - K4 (Digital Input-Output) ในกรณีถ้าหากอยู่ใน MANUAL MODE แล้วขา K1 - K4 นี้จะต่ออยู่กับ Keyboord แต่ถ้าเป็น CPU MODE ขา K1 - K4 จะต่อโดยตรงกับ CPU เพื่อรับคำสั่งที่ส่งมาจาก CPU โดยตรง
- S1 - S4 (Digital Output) เป็นขาที่ใช้ในการส่งสัญญาณ SCAN KEYBOARD ถ้าหากใช้งานใน CPU MODE ไม่จำเป็นต้องใช้เพราะ คำสั่งต่าง ๆ จะถูกส่งโดยตรงมาจาก CPU เข้ายังขา K1 - K4 เลย
- CPUM (Digital Input) เป็นขา Input ที่ใช้ในการเลือก MODE การทำงานของ T6658A ระหว่าง CPU หรือ MANUAL - ถ้าหากขานี้เป็น "L" จะเป็นการเลือกการทำงานใน แบบ MANUAL คำสั่งบันทึกจะใช้สัญญาณ S1 - S4 และ K1 - K4 โดยที่จะมีเวลารอในการกด KEY ประมาณ 20 mS และถ้าหากขานี้เป็น "H" ก็จะเป็นการเลือก การใช้งานในแบบ CPU ดังนั้น คำสั่งต่าง ๆ ก็จะถูกส่งจาก CPU มาเข้ายังขา K1-K4 โดยตรง
- REGST (Digital Input) เป็นขา Input ที่ใช้ในการเลือก MODE การทำงานของ T6658A ระหว่าง RECOGNIZE MODE กับ RECORD MODE
- ถ้าหากที่ขานี้เป็น "H" ก็จะเป็น RECORD MODE สัญญาณเสียงที่เราพูดเข้าไปก็จะถูกบันทึกเอาไว้
- ถ้าหากที่ขานี้เป็น "L" ก็จะเป็น RECOGNIZE MODE สัญญาณเสียงที่เข้ามาจะถูกจดจำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- WD1 - WD4 , BLK1 - BLK2 (Digital Output) เป็นขาสำหรับ Output เมื่อ POWER ON ที่ WD1 - WD2 , BLK1,BLK2 จะอยู่ในสภาวะ "L" เมื่ออยู่ใน MODE ของ การ Record นั้นการสิ้นสุด ขบวนการ Record ในแต่ละครั้งนั้นที่ WD1 - WD4, และ BLK นั้นจะแสดงสภาวะเป็น "H" หรือ "L" ตามแต่ BLK และ WD ที่เขาทำการบันทึก และเมื่ออยู่ใน MODE ของการ Recognize นั้น T6658A จะทำการตัดสินสัญญาณเสียงที่เข้าใกล้คำที่บันทึกของ Block no และ Word no นั้น ๆ แล้วจึงทำการสัญญาณออกมาที่ O/P ตามแต่ BLK และ WD นั้น ๆ
- EOR (Digital Output) เป็นขาของ End Of Recognition ทั้ง Mode Recognize และ Mode Record เมื่อมีสัญญาณเสียงเข้ามาที่ขา EOR จะมีระดับเป็น "L" จนกระทั่งการ Recognize หรือ การ Record สิ้นสุดลง Output จึงจะเป็น "H"
- RD (Digital Input) เป็นขา Input ถ้าเป็น "L" จะทำให้ที่ขา K1 - K4 กับ WD1 - WD4 มี OUTPUT ที่เหมือนกัน ส่วนถ้าเป็น "H" ที่ขา K1 - K4 จะเป็น INPUT
- A0-A9 (Digital Output) เป็นขาของ Address bus ใช้ต่อกับ External RAM สำหรับการบันทึกสามารถใช้ได้ทั้ง RAM 1024 word x 4bit หรือ 2048 word x 8bit
- D0-D7 (Digital Input-Output) เป็นขาของ Data Bus สำหรับ External RAM 1024 x 4bit นั้นจะใช้ขา D0 - D3 เท่านั้น
- CE1 - CE4 (Digital Output) ขา CHIP ENEBLE นี้ใช้สำหรับต่อกับ External RAM
- WR (Digital Output) เป็นขาสัญญาณ Output ใช้ในการส่งสัญญาณเพื่อทำการ READ หรือ WRITE ภายใน RAM กับ T6658A
- 8bit (Digital Input) เป็นขา Input ใช้สำหรับเลือกเมื่อใช้ External RAM กรณีใช้ RAM 1024 word 1024 word x 4 bit ขานี้จะต้องเป็น "L"

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กรณีใช้ RAM 2048 word x 8 bit ขานี้จะต้องเป็น "H"

- ACL (Digital Input-Output) เป็นขาที่ใช้ในการ Reset T6658A เมื่อ SWITCH ON หรือ STAND-BY MODE OUTPUT จะมี level เป็น "L" ปกติระหว่างขา ACL กับ GNO จะมี Condenser 0.47 uF ต่อความกว้างของ ACL BUS คือ 30 MS TYP (C ACL = 0.47 uF)
- STBY (Digital input) เป็นขาของ STAND BY ถ้ามีสภาวะเป็น "H" แล้ว T6658A จะเป็น STAND BY MODE
- BSY (Digital output) เป็นขา Output กรณี Mode Record ในระหว่างการ Process T6658A จะไม่รับคำสั่ง (COMMAND) ใดๆ output จะมีภาวะเป็น "H" ในกรณีบันทึกเสียงก็จะมีภาวะเป็น "H" สำหรับ Recoqnize mode และ Stand by mode นั้น ปกติจะมีสภาวะ output เป็น "H"
- Vref เป็น Refference Voltage กับ Condenser โดย Condenser จะต่ออยู่ระหว่างขากับ Ground
- Xin, Xout (Digital Input-Output) เป็นขาที่ใช้ในการป้อน Clock การทำงานให้แก่ T6658A โดยความถี่ที่ใช้เท่ากับ 400KHz โดยเราจะต่อ Seramic Oscilloter ไว้
- TS1, TS2, TIO1, TIO2 ใช้เป็น Test terminal โดย TS1, Ts2 ต่ออยู่กับ GND ส่วน TIO1, TIO2 Open.
- VDD, GND เป็นขา Supply ที่จ่ายให้กับ T6658A

อธิบายการทำงานในแบบ Manual

IC T6658A จะมี Mode ในการใช้งานอยู่ 1 Mode คือ Mode การบันทึกและ Mode การจดจำ และสามารถต่อการทำงานได้ทั้งแบบ Manual คือใช้ Key Matrix และแบบใช้ CPU Control ส่วน STAND BY MODE นั้นจะใช้ในกรณีต้องการประหยัดไฟ เพราะใน Mode นี้จะกิน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กระแสเสียงเล็กน้อยเท่านั้น ซึ่งจะกล่าวกับการใช้งานใน MODE นี้ในภายหลัง

MODE บันทึก (Record Mode)

ในที่นี้จะขออธิบายการทำงานและ code ที่ได้จาก Key Board แต่ละตัว ในกรณีต้องการให้จดจำคำศัพท์จะต้องทำการ Operat.e ตามขั้นตอนต่อไปนี้

BLK Command

. Code 1100 (Binary)

. Sequence [n] . [BLK] n = Block no (1-4)

การทำงาน กำหนด Block No การบันทึกคำศัพท์ หรือ Cancel กำหนดตัวเลขของ Block no.(1-4) ให้กับ T6658A หลังจาก RUN COMMAND ที่กำหนดแล้ว blockจะเป็น OUTPUT BLK1, BLK2 block No ที่กำหนดอยู่ก่อนจะรอ Block เมื่อ Mode การบันทึกเริ่มขึ้น สภาวะดังกล่าวจะเป็นตัวกำหนด block1

ENT Command

. Code 1101 (binary)

. Sequence [n] . [BLK] , [M] . [ENT] m = word no (1~10)

การทำงาน กำหนดพื้นที่ word no การบันทึกคำศัพท์ word no ที่ถูกกำหนดโดยตัวเลข (1-10) จะส่งต่อไปยัง T6658A หลังจากนั้น T6658A จะรอสัญญาณเสียง INPUT ในสภาวะดังกล่าว code nop สามารถสั่งให้สัญญาณเสียง INPUT และสามารถหยุดได้ code ดังกล่าวเป็น Command Mode การ Process การทำงานจะไม่มีหลังจาก Process การทำงานหยุดลง Block no กับ Word no ที่ถูกบันทึกจะมี OUT PUT ของ Error Code ที่ BLK1, BLK2, WD1-WD4

CAN COMMAND

. Code 1110 (Birary)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

. Sequence ([n] . [BLK]) [M] . [CAN] m = Word No (1-10)

การทำงาน Word no ที่ถูกกำหนดจากการบันทึกถูกลบออก (Cancel)

ALLCAN COMMAND

. Code 1111 (Binary)

. Sequence ALLCAN

การทำงาน คำศัพท์ทั้งหมดที่ถูกบันทึกจะถูก cancel หมด ในกรณี T6658A ทำการจดจำ Recoqnize พื้นที่คำศัพท์ที่ยังไม่ได้รับการบันทึก Process การ Potten matching จะ Skip คำศัพท์บันทึกมีน้อยช่วงเวลาตอบสนองจะสั้นตาม ฉะนั้นควรที่จะ RUN คำสั่งในตอนเริ่มต้นเสียก่อน

ตารางคำสั่งของการบันทึก

ชื่อคำสั่ง	Code K1 K2 K3 K4	การทำงาน
nop	0 0 0 0	ไม่ได้ใช้
1	0 0 0 1	Block No.(1~4) Word No.
2	0 0 1 0	Block No.(1~4) Word No.
3	0 0 1 1	Block No.(1~4) Word No.
4	0 1 0 0	Block No.(1~4) Word No.
5	0 1 0 1	Block No.(1~4) Word No.
6	0 1 1 0	Block No.(1~4) Word No.
7	0 1 1 1	Block No.(1~4) Word No.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

8	1	0	0	0	Block No.(1~4) Word No.
9	1	0	0	1	Block No.(1~4) Word No.
10	1	0	1	0	Block No.(1~4) Word No.
-	1	0	1	1	ห้ามใช้
BLK	1	1	0	0	กำหนด Block No.
ENT	1	1	0	1	บันทึก 1 Word
CAN	1	1	1	0	ตัด 1 Word
ALL CAN	1	1	1	1	ตัด Word ออกหมด

สภาวะ Output ของ Mode บันทึก (Record Mode)

ตาราง BLK1,BLK2

CODE -> BLK2	BLK1	ความหมาย
0	0	ภายใน Block 1 ถูก บันทึก
0	1	ภายใน Block 2 ถูก บันทึก
1	0	ภายใน Block 3 ถูก บันทึก
1	1	ภายใน Block 4 ถูก บันทึก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตาราง WD1-WD4

CODE -> WD4	WD3	WD2	WD1	ความหมาย
0	0	0	0	ไม่ได้ใช้
0	0	0	1	Word 1 กับการถูก บันทึก
0	0	1	0	Word 2 กับการถูก บันทึก
0	0	1	1	Word 3 กับการถูก บันทึก
0	1	0	0	Word 4 กับการถูก บันทึก
0	1	0	1	Word 5 กับการถูก บันทึก
0	1	1	0	Word 6 กับการถูก บันทึก
0	1	1	1	Word 7 กับการถูก บันทึก
1	0	0	0	Word 8 กับการถูก บันทึก
1	0	0	1	Word 9 กับการถูก บันทึก
1	0	1	0	Word 10 กับการถูก บันทึก
1	0	1	1	ไม่ใช้ (ไม่มี output)
1	1	0	0	ไม่ใช้ (ไม่มี output)
1	1	0	1	ไม่ใช้ (ไม่มี output)
1	1	1	0	สัญญานเสียงที่เข้า 0.16 วินาที ไม่ถูกตัด
1	1	1	1	เสียงอัดเกินกว่า 0.96 วินาที

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Mode ของการจดจำ (Recoqnize mode)

สภาวะ OUT PUT ของการ Recognize ของ BLK1, BLK2

ตาราง BLK1,BLK2

CODE -> BLK2	BLK1	ความหมาย
0	0	ภายใน Block 1 ถูก Recognize
0	1	ภายใน Block 2 ถูก Recognize
1	0	ภายใน Block 3 ถูก Recognize
1	1	ภายใน Block 4 ถูก Recognize

<u>ข้อควรระวัง</u> กรณีเกิด error output ของ BLK ไม่คงที่

สภาวะ OUT PUT ของการ Recognize ของ WD1 - WD4

ตาราง WD1~WD4

CODE -> WD4	WD3	WD2	WD1	ความหมาย
0	0	0	0	ไม่ใช้
0	0	0	1	Word 1 กับการถูก Recognize
0	0	1	0	Word 2 กับการถูก Recognize
0	0	1	1	Word 3 กับการถูก Recognize
0	1	0	0	Word 4 กับการถูก Recognize

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

0	1	0	1	Word 5 กับการถูก Recognize
0	1	1	0	Word 6 กับการถูก Recognize
0	1	1	1	Word 7 กับการถูก Recognize
1	0	0	0	Word 8 กับการถูก Recognize
1	0	0	1	Word 9 กับการถูก Recognize
1	0	1	0	Word 10 กับการถูก Recognize
1	0	1	1	ไม่ใช้ (ไม่มี output)
1	1	0	0	ไม่ใช้ (ไม่มี output)
1	1	0	1	พิจารณาตัดสินคำศัพท์จากการบันทึกด้านนอก
1	1	1	0	สัญญานเสียงที่เข้า 0.16 วินาที ไม่ถูกตัด
1	1	1	1	เสียงอัดเกินกว่า 0.96 วินาที

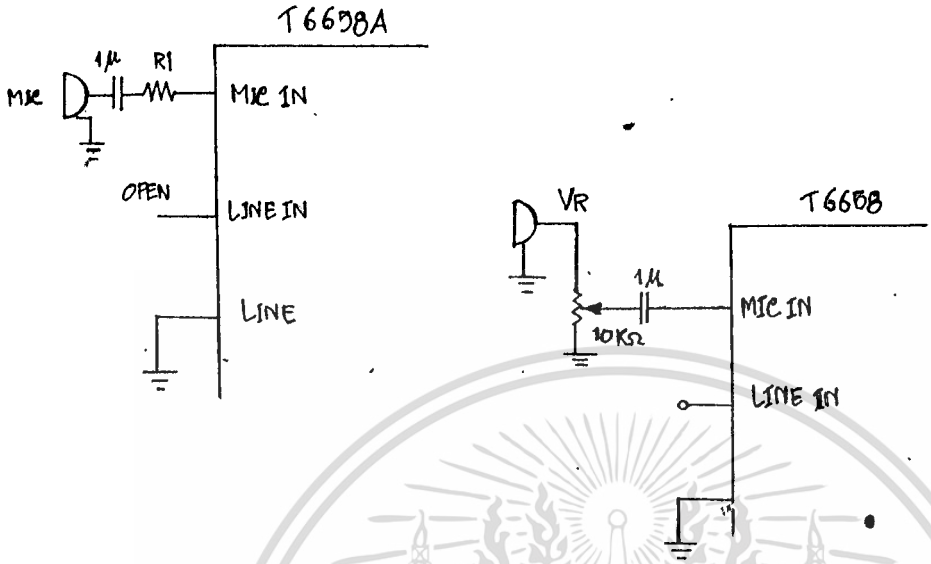
การต่ออุปกรณ์ภายนอกของ T6658A

MICROPHONE INPUT

INPUT RANG OF MIC IN INPUT สูงสุดที่อัดได้โดยไม่เกิดการผิดเพี้ยน) คือ 3.5 mVrms โดย Dynamic Rang สามารถขยายได้โดยใช้ สูตรคำนวณ

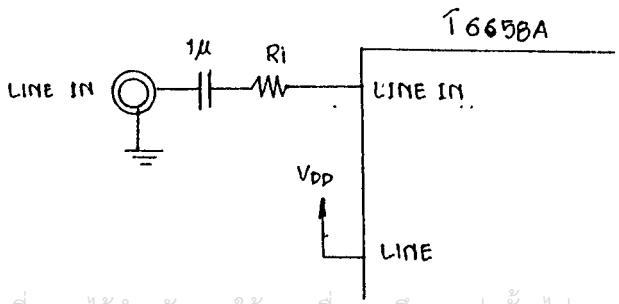
DYNAMIC RANG,DR = (1+Ri/LS)*3.5 mVrms

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



INPUT LINE

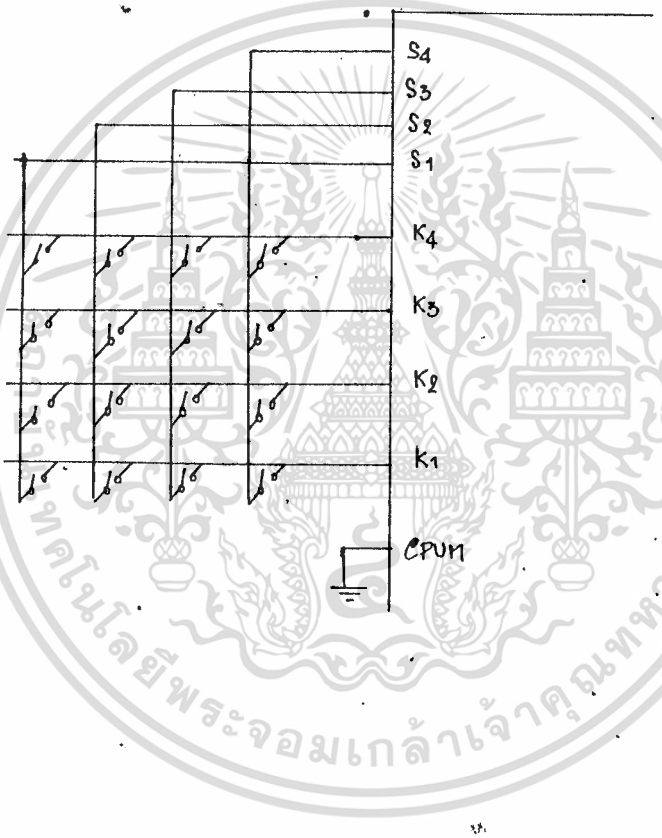
DYNAMIC RANG ของ TERMINAL LINE IN. คือ 550 Vrms โดย TERMINAL ต่อ Series กับ RESSISTER โดย DYNAMIC RANG สามารถขยายออกได้โดยใช้ สูตรคำนวณ DYNAMIC RANG DR = [1+Ri(KOhm/65*500(mV))]



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วิธีการต่อ KEY BOARD

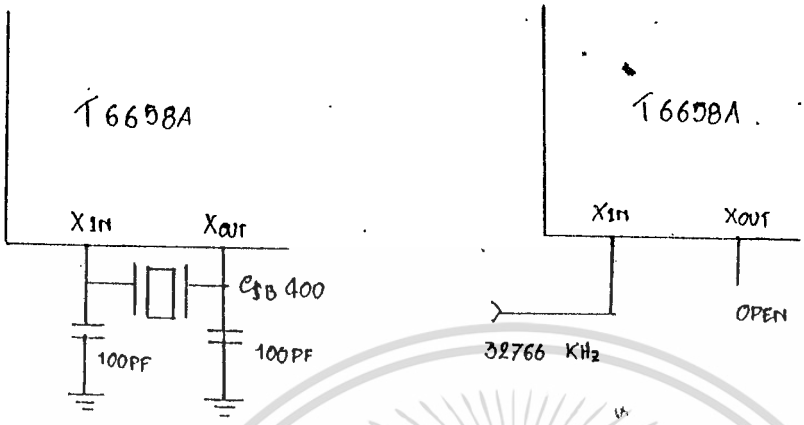
กรณี T6658A ใช้ MANUAL MODE โดยต่อกับ KEY BOARD ดังแสดงในรูป Key Board Matrix ถ้าส่วนที่ไม่ต่อ Switch มีความหมายว่าไม่มีการต่อ switch มีความหมายว่าไม่มีการต่อ switch



Clock Generator

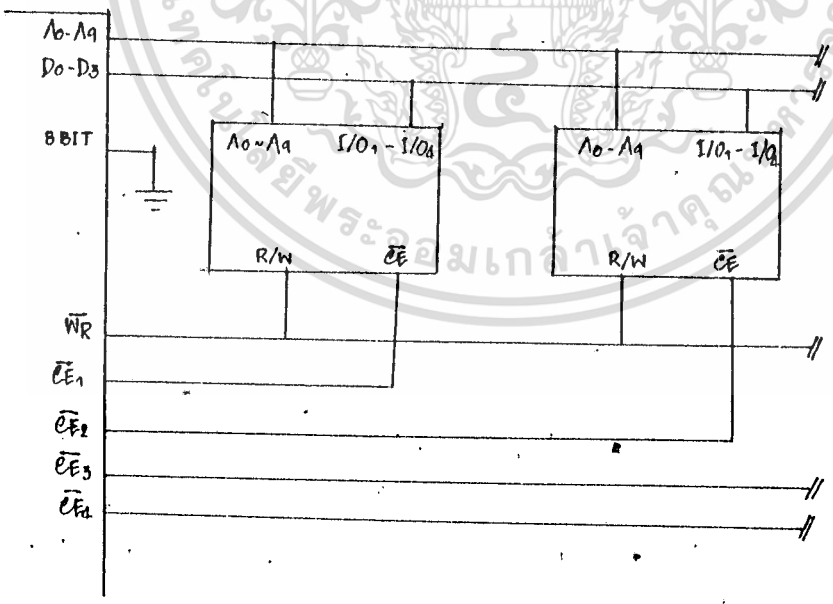
การทำงานของ T6658A จะทำงานได้ก็ต้องอาศัย Clock ซึ่งอาจจะเป็น CR Oscillator (32.768KHz) หรือ Ceramic Oscillator ก็ได้ สำหรับ Ceramic Oscillator จะใช้ 4 KHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



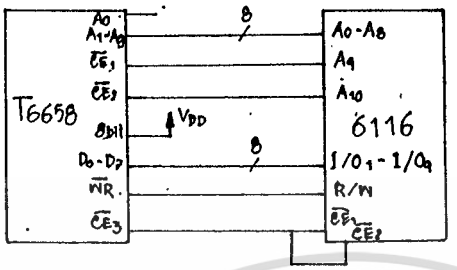
การต่อ External RAM

1024 word x 4bit RAM (ใช้ 4 chip)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2048 word x 8bit RAM TC 5516 HM 6116



STAND BY MODE

สภาวะตอน STAND BY ของ T6658 กับจุดที่ควรระวัง

.CLOCK จะหยุด OUTPUT BSY = "H", ACL = "L"

.ผลการ RECOGNEE (BLK1, BLK2, WD1-WD4) จะถูกเก็บรักษาโดยที่ OUTPUT LED จะกระพริบ ต้องมีวงจรภายนอกมา PROCESS ให้ดับ

.ในกรณีของ MANUAL RD = "L" กับ INNER PULL DOWN RESISTER (ต่อK1-K4) จะมีกระแสไหล

.T6658A ภายใน CPU สภาวะตอน STAND BY การทำการที่ไม่สม่ำเสมอในกรณีดังกล่าวจำเป็นต้องมีการควบคุมจากภายนอก โดยจะต้องระวัง TIMING ของ STAND BY เมื่อยกเลิกการทำงานของ STAND BY

.เมื่อ STBY = "L" REGST = "H" สภาวะของการทำงานภายใน T6658A จะเริ่มทำงาน หลังจากนั้น BSY = "L" สามารถใส่ INPUT COMMAND ได้ ซึ่ง OUTPUT RECOGNIZE จะเป็นศูนย์

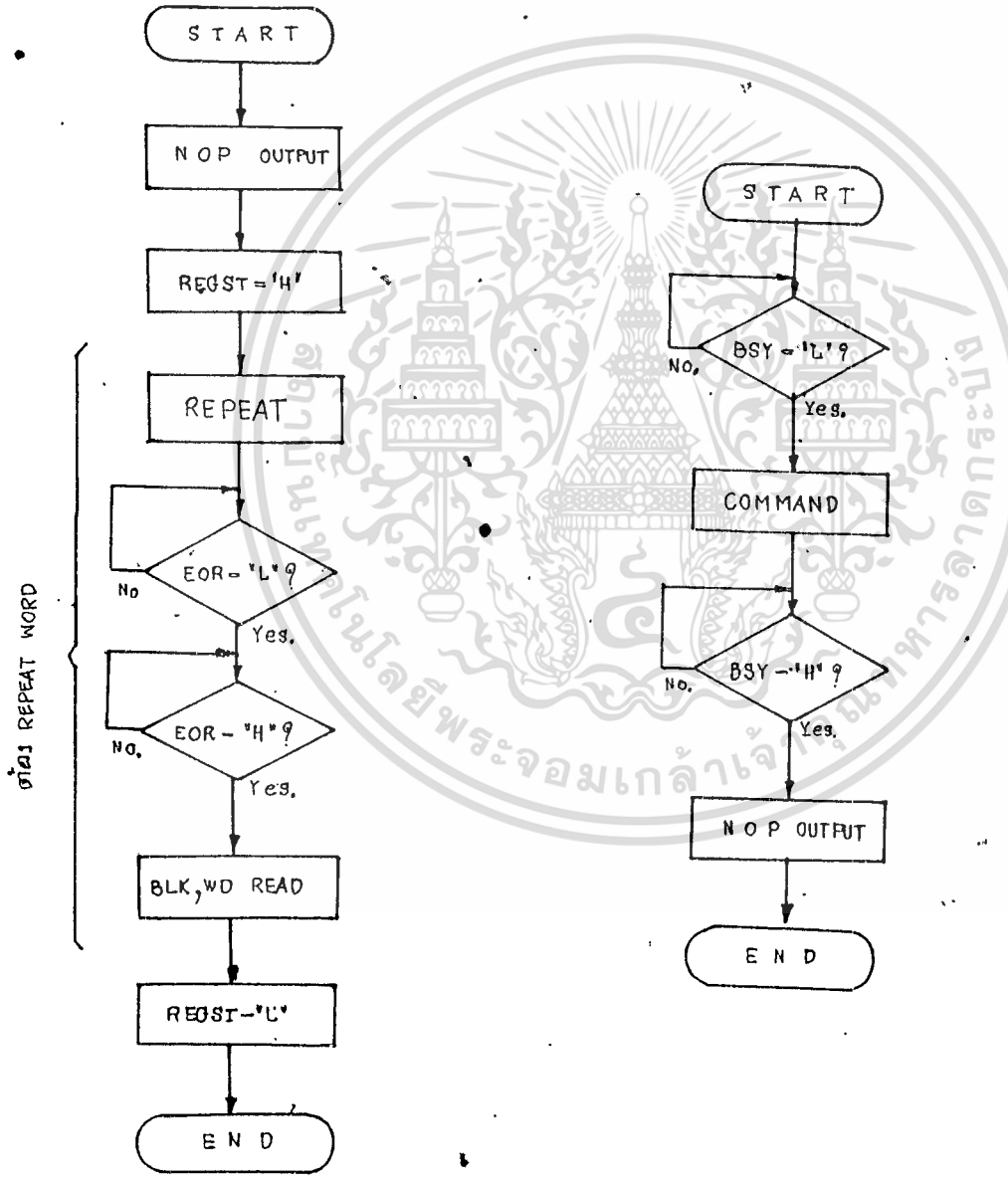
.เมื่อ STBY = "L" REGST = "L" จะดำรงสภาวะเป็น STAND BY-MODE ในกรณีเริ่มต้นการทำงานโดยมีสัญญาณเสียงเป็น INPUT

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อธิบายการทำงานในแบบการควบคุมโดย CPU (CPU CONTROL)

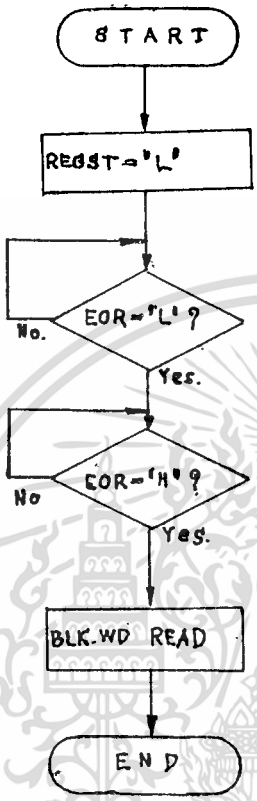
ตัวอย่างการควบคุมใน MODE CPU

RECORD MODE (MODE การบันทึก)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

RECOGNIZE MODE (MODE การจดจำ)



คุณสมบัติทางไฟฟ้า

ขีดกำหนดสูงสุด

ความหมาย	สัญญาลักษณ์	อัตรา	หน่วย
Voltage	VDD	-0.3 ~ +0.6	V
Input Supply	Vin	-0.3 ~ VDD+0.3	V
Output Supply	VOUT	-0.3 ~ VDD+0.3	V
Operating Iempenture	Vopr	-10 ~ +7.0	C
Temperature reverse	Vstg	-55 ~ +125	C

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DC CHARATERISTIC (Vdd = + 5 V +10%,-10%,Ta = 25 C)

ความหมาย		สัญญลักษณ์	สภาวะ	ค่าเปรียบเทียบ			หน่วย
				MIN	TYP	MAX	
ระดับต่ำ Input Supply	CPUH , 8 BIT ACL , XIN	V_{IL}		-	-	0.8	V
	นอกเหนือจากส่วนบน			-	-	0.8	
ระดับสูง Input Supply	CPUH , 8 BIT ACL , XIN	V_{IH}		V_{DD} -0.8	-	-	V
	นอกเหนือจากส่วนบน			2.2	-	-	
Low Level current Input		I_L	V_{IN} = 0 V	-	-	-5	μA
ระดับสูง Current Input	K_1 - K_4 REGST	I_{IH}	V_{IN} = V_{DD} , C_{PUH} = V_{IL}	-	100	-	μA
	D0 - D7		V_{IN} = V_{DD}	-	-	5	
	นอกเหนือจากส่วนบน						
ระดับต่ำ Output Current	S_1 - S_4	I_{OL}	V_{OUT} = 0.5 V	-	16	-	μA
	นอกเหนือจากส่วนบน		V_{OUT} = 0.4V	0.44	-	-	mA
ระดับสูง Out Put Current	S_1 - S_4	I_{OH}	V_{OUT} = V_{DD} - 2.0V	-	-0.36	-	mA
	นอกเหนือจากส่วนบน		V_{OUT} = V_{DD} - 0.4V	-0.22	-	-	
Current Supply (1)		I_D		-	4.5	9.0	mA
Current Supply (2)		I_{STBY}	STBY = V_{IN}	-	-	3	μA
Pull Down Resistor	K_1 - K_4 REGST	R_P		-	50	-	KΩ
	D0 - D7			-	100	-	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC CHARACTERISTIC

(VDD = +5.0 V 10%, Ta = 25° C, FCLK = 400KHz, Ce = 20 PF)

MODE บันทึก (CPUM = VIM)

ความหมาย	สัญญาลักษณ์	สภาวะ	ค่าเปรียบเทียบ MIN	TYP	MAX	หน่วย
เวลาหน่วงจาก REGST -> BSY	Ten	CACL = 0.47 uF	-	31	-	mS
COMMAND -> BSY	Teb		-	-	300	uS
COMMAND HOLD	Tch		0	-	-	uS
VOICE -> EOR(เวลา)	Ted		-	-	-	uS
DATAX SETUP TIME	Tos		40	-	-	mS
HOLD TIME REGST	Trh		0	-	-	uS
TIME COMMAN BITESUESE	Tsk		-	-	40	uS

RECOGNIZE MODE (CPUM = Vih)

ความหมาย	สัญญาลักษณ์	สภาวะ	เปรียบเทียบ MIN	TYP	MAX	หน่วย
SETUP TIME	Trs		480	-	-	uS
VOICE -> EOR	Ted		-	31	-	mS
TIME DATA SETUP	Tos		40	-	-	uS
HOLD TIME	Trm		0	-	-	uS

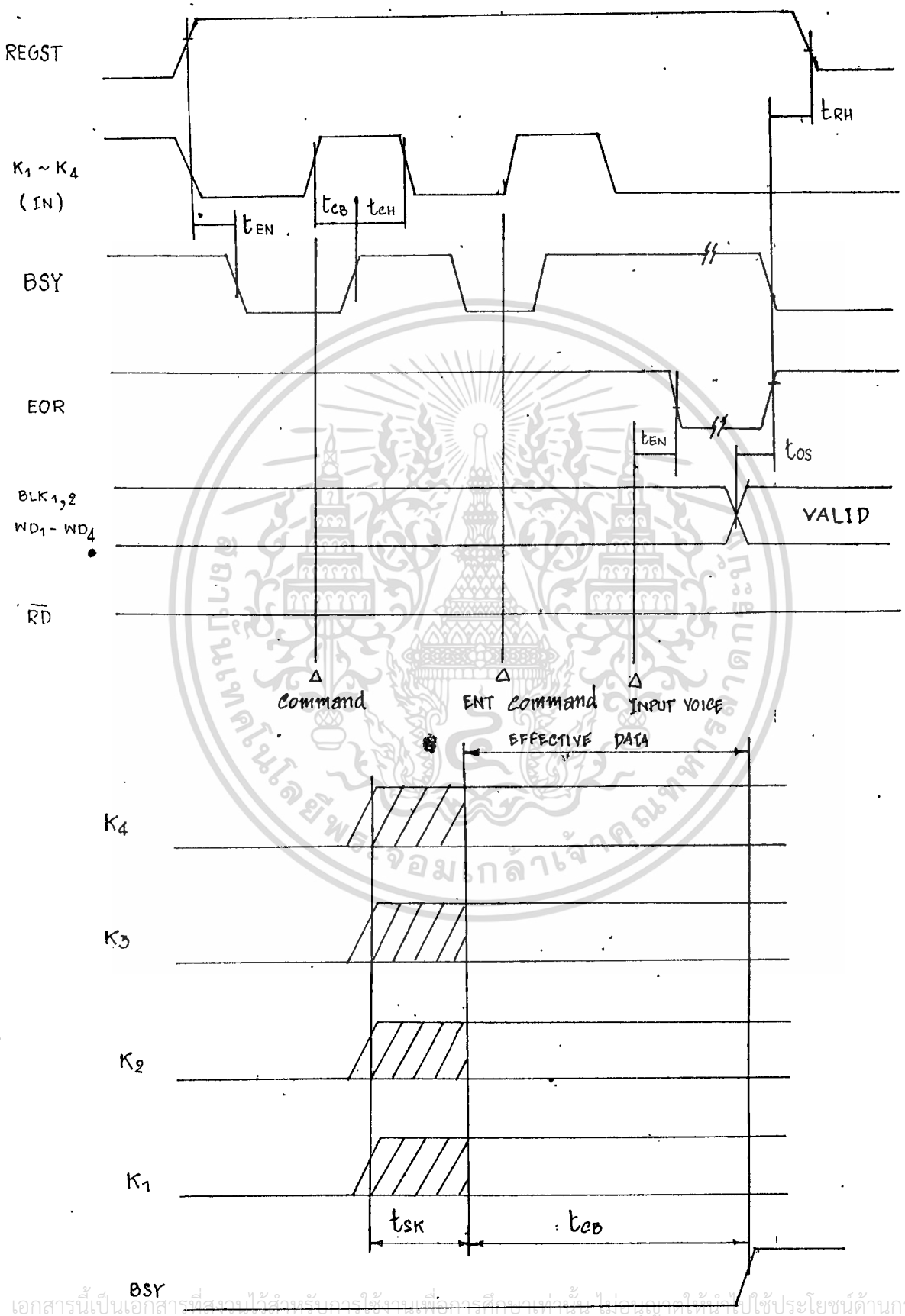
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

K1 - K4 READ CYCLE

ความหมาย	สัญญาลักษณ์	ค่าเปรียบเทียบ MIN	TYP	MAX	หน่วย
ช่วงกว้างของ pulse	Trp	1000	-	-	nS
เวลาหน่วง Output	Trd	-	-	500	nS
เวลาหน่วง	Tod	-	-	500	nS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อธิบาย Timing Diagram ของ Mode เข้มพิท



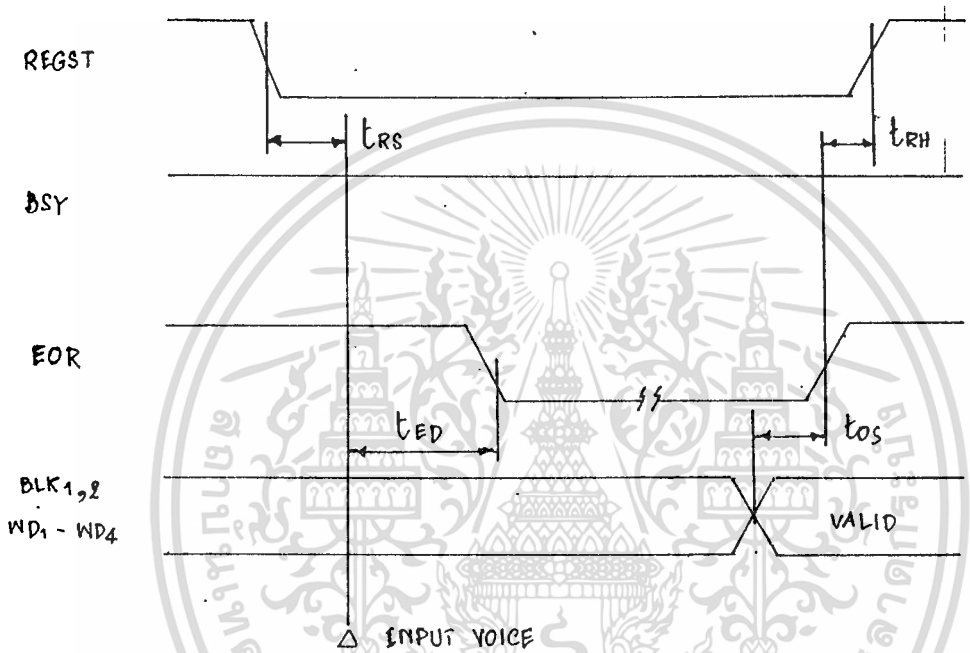
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Timing Diagram ของ Mode บันทึก

จากการทำงานใน Mode ของการบันทึกนั้นเราจะต้องตั้ง REGST ไว้ที่ "H" และจัดทำการป้อนคำสั่ง (commancd) เข้าไปเรียงตามลำดับ ดังนี้ เช่น เราต้องการ บันทึกที่ Block ที่ 1 word ที่ 1 เราก็จะต้องกด Key เรียงตามลำดับโดยเริ่มจาก การกดACL เพื่อทำการ Clear เสียก่อน และต่อไปจึงทำการเลือก ว่าจะอัดเข้าไปไว้ที่ BLKไหน Word ไหนอีกที่ ในที่นี้เราต้องการบันทึกที่ Block 1 Word 1 เราก็ทำการกดเลข 1 ตามด้วย BLK 1 แล้วจำกัด 1 ENT เป็นการบันทึก word ที่ 1 เมื่อเราทราบวิธีการแล้วต่อมาเราจะมาศึกษา timing ของการบันทึก ดู จากรูป ในmode ของการบันทึกนั้นจะต้องให้สัญญาณที่ ขา REGST เป็น "M" ดังนั้น REGST จะเป็น"H" ไปตลอด mode การบันทึก จากนั้นเมื่อมีคำสั่งเข้ามาทาง INPUT K1-K4 ดังรูป สมมุติถ้าเรากด KEY ACL ซึ่งจะได้ code ออกมาที่ขา K1-K2 เป็น 1 1 1 1สำหรับเวลาที่มีผลกับ Data จริงๆก็คือเวลา teb ซึ่งเป็นเวลาที่ T6658A รับ Dataเข้าไปจริง หลังจากในช่วงเวลานี้นั้น T6658A จะส่งสัญญาณออกมาที่ขา BSY เป็น "H"เป็นการบอกว่า ระหว่างนี้ T6658A กำลังอยู่ในระหว่างการ process command ถ้าหากมี command เข้ามาในระหว่างนี้นั้น มันก็จะไม่ยอมรับคำสั่งใดๆ จนกว่ามันจะ process command เสร็จเรียบร้อย เมื่อมัน process เรียบร้อยมันก็จะมีค่าเป็น "L" ซึ่งก็หมายความว่ามันสามารถที่จะรับคำสั่งใดๆ ได้อีก ในระหว่างที่เราทำการกด Key เพื่อป้อนคำสั่งการทำงานให้แก่ T6658A นั้นที่ EOR จะมีสภาวะเป็น "H" จนกระทั่งเราเริ่มทำการพูดหรือสัญญาณเสียงเข้าไปนั่นเอง EOR จึงจะเป็น "L" สักระยะหนึ่ง ซึ่งเป็นการแสดงว่าสัญญาณเสียงนั้นได้ถูกบันทึกเก็บเข้าไว้ใน RAM เป็นที่เรียบร้อยแล้วพร้อมกับแสดงว่า Block และ Word ที่ทำการบันทึกออกมาที่ WD1-WD4, BLK1, BLK2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

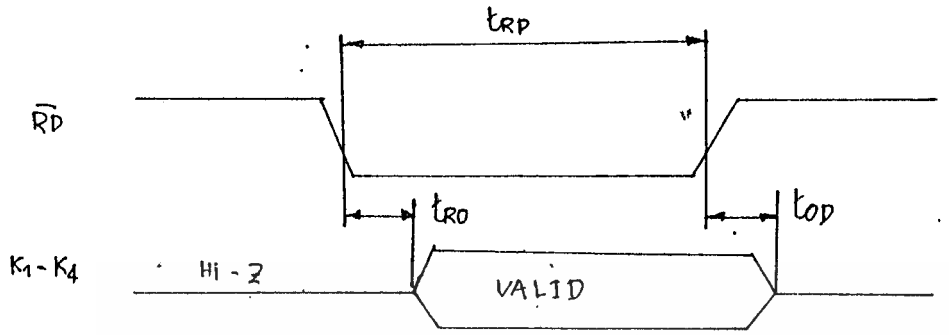
อธิบาย Timing Diagram การทำงานใน Recognize Mode



ใน Recognize Mode นี้จะเป็น Mode ที่จะใช้เรียกข้อมูลเดิมที่เราบันทึกเอาไว้ออกมาใช้งานขั้นแรกใน Mode นี้สัญญาณขา REGST จะเป็น "L" และสัญญาณที่ BSYจะเป็น "H" ตลอดเพราะว่าจะไม่มีการรับ command จาก K1-K4 แต่จะรับ INPUTสัญญาณเสียง เมื่อมีสัญญาณเสียงเข้ามา EOR ซึ่งอยู่ที่ "H" ก็จะเป็น "L" เป็นการแสดงว่าT6658A ได้รับสัญญาณเสียงเข้าไปแล้ว จากนั้นมันก็จะทำการ Process เพื่อเปรียบเทียบกับตัวที่มันเก็บไว้ในตอนบันทึก เพื่อหาพบแล้วมันก็จะส่ง code ที่บันทึกเอาไว้ออกมาที่WD1-WD4 และ BLK1-BLK4

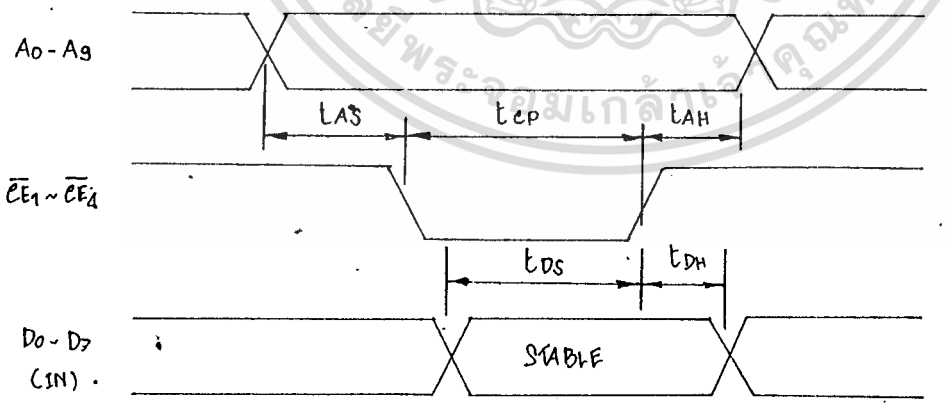
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Timing diagram ของ K1-K4 Read cycle



จาก timing Diagram การ Read ของ K1-K4 ในกรณีที่ RD มีสภาวะเป็น "L" นั้นจะมีการหน่วงเวลาไป tRD ข้อมูลที่ถูกต้องจึงจะเข้าไปยังขา K1-K4

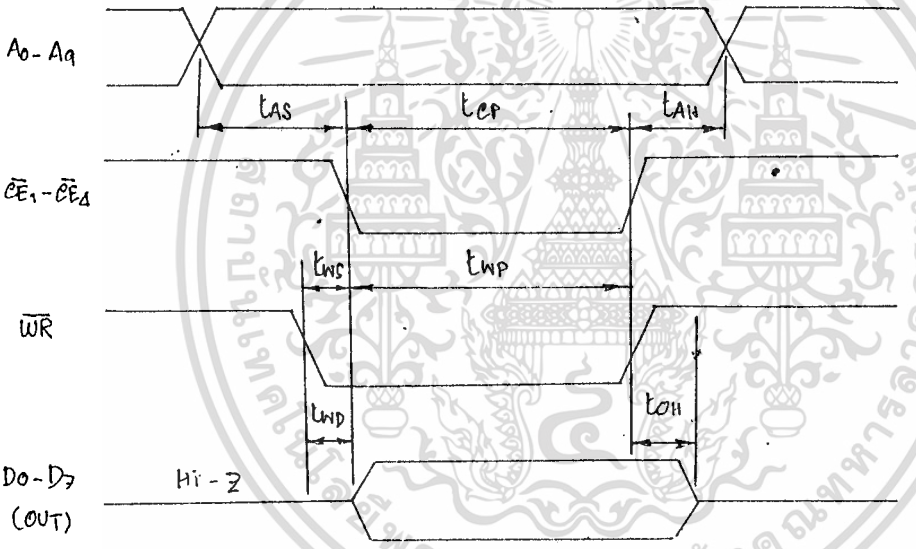
Timing Diagram ของ memory read cycle



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปเป็น Timing Diagram ของการ Read ข้อมูลจาก Ram เข้าสู่ T6658A โดยเริ่มจากการที่ T6658A ส่ง Address A0-A9 ไปยัง RAM อีกที่หนึ่งว่าจะอ่านจาก RAM ตัวใด โดยที่ CE1-CE4 นี้จะทำงานที่สภาวะ "L" เมื่อ RAM ได้รับสัญญาณ CHIP ENABLE แล้ว ข้อมูลจาก RAM จึงถูกอ่านเข้าไปที่ T6658A

Timing Diagram ของ Memory Write Cycle

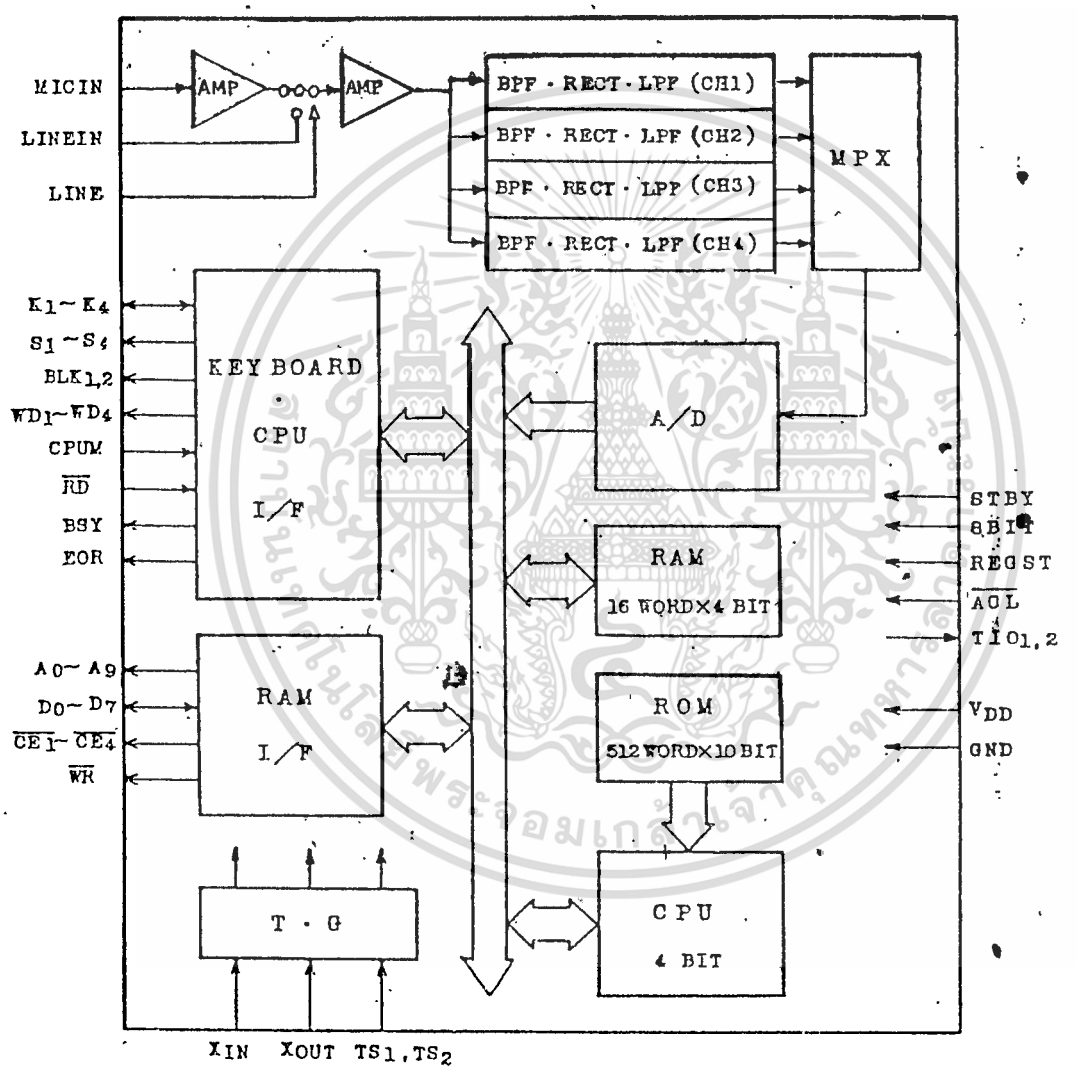


จากรูปข้างบนเป็น timing Diagram ของการเขียนข้อมูลจาก T6658A จากถูก Write ลงไปใน RAM โดยที่ในขั้นแรกนั้น T6658A จะทำการเลือก Address ก่อนว่าจะ WRITE ลง Address ใด จากนั้นจึงส่งสัญญาณ WR มาสัญญาณนี้จะทำงานที่สภาวะ LOW และเมื่อมี CE-CE4 เข้ามาเป็นตัวเลือก RAM ว่าจะ WRITE ลงตัวใด ข้อมูลก็จะเป็นทันที

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3

การทำงานของวงจร



รูปแสดงโครงสร้างภายใน T6658A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ประกอบด้วย ส่วนที่สำคัญๆ ดังนี้

1. Key board CPU I/F
2. CPU 4 bit
3. RAM I/F
4. RAM 16 word x 4bit
5. ROM 512 word x 10bit
6. A/D
7. AMP (2 ตัว)
8. BAND PASS FILTER (1-4 ch)
9. MPX (Multiplexer)

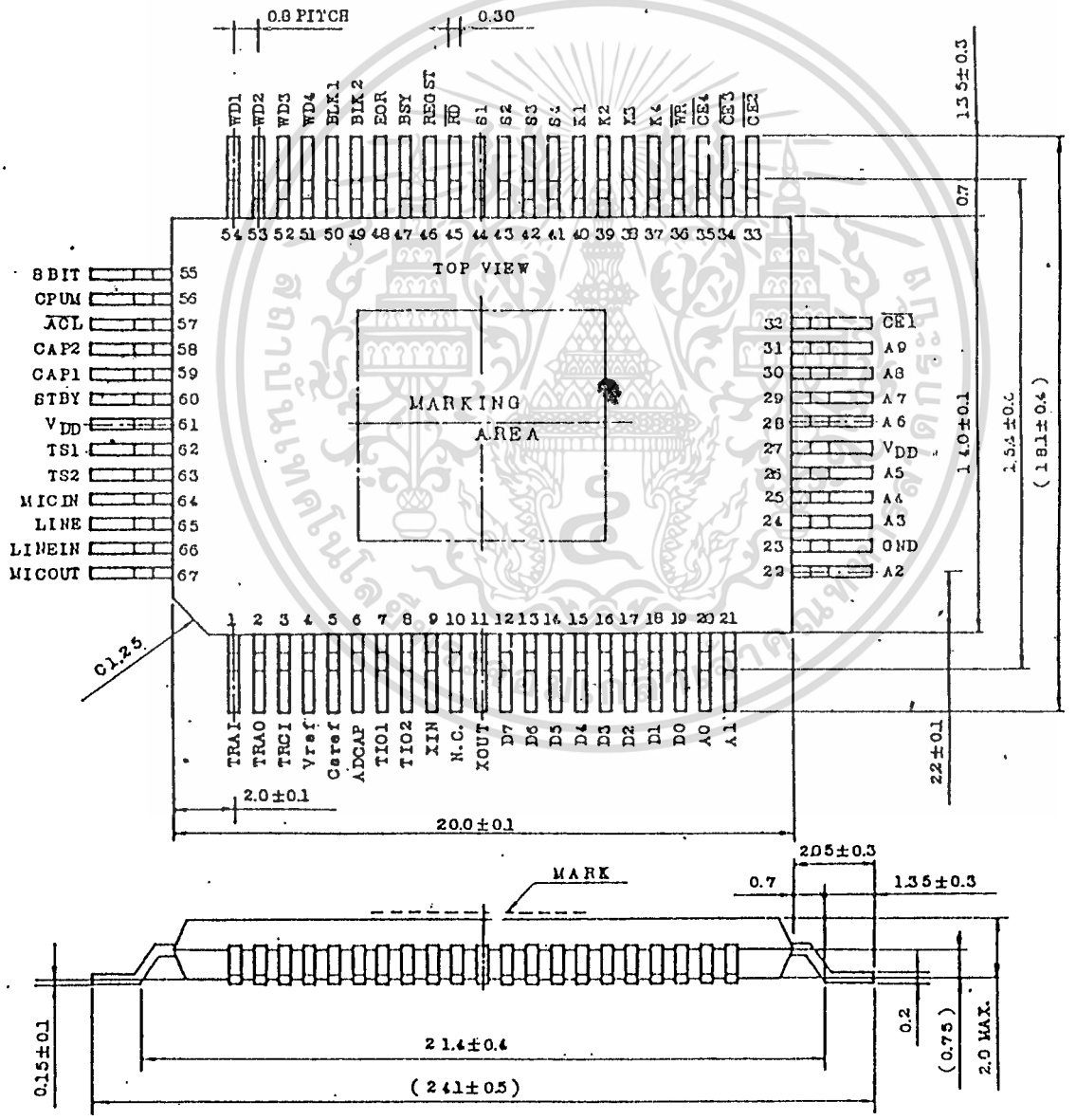
การทำงานภายในของ T6658A

เริ่มต้นจากที่สัญญาณจะเข้ามาทาง MICIN หรือ LINEIN โดยที่มีสัญญาณ LINEเป็นตัวเลือกว่าจะเอาสัญญาณ input จากที่ไหน เมื่อสัญญาณเข้ามาแล้วจะผ่าน Amplifier ทำการขยายประมาณ 400 เท่า เสร็จแล้วสัญญาณที่ถูกขยายจะผ่านวงจร Bandpass Filter เพื่อที่จะเอาเฉพาะความถี่เสียงที่พูดในย่านความถี่ 420 Hz ที่ CH1 ที่ CH1ความถี่ 980 Hz ที่ CH3 ความถี่ 1960 Hz และที่ความถี่ 3900 Hz ที่ CH4 จากนั้นจะแปลงความถี่ 4 chanal เป็น 4 bit เก็บไว้ที่ RAM โดยมีวงจร Multiplexer และวงจร Analog To Digital แปลงสัญญาณจาก Analog เป็นสัญญาณ Digital ไปเก็บไว้ที่RAM ดังนั้นข้อมูลที่เวลา Record ก็จะถูกเก็บไว้ที่ RAM เป็นสัญญาณ DigitalโดยมีCPU 4 bit เป็นตัวควบคุมการทำงาน เมื่อทำงาน Mode Recognize โปรแกรมใน ROMจะทำการตรวจสอบว่าสัญญาณที่เข้ามานั้นตรงกับสัญญาณที่อยู่ใน RAM หรือไม่ ถ้าตรงกันก็จะให้ out put ตามที่บันทึกไว้ตอนแรก นอกจากนี้ ยังมี key board CPU ซึ่งทำการส่งสัญญาณ S1-S4 ไป scon การกด key board ใน Munaul Mode และส่งสัญญาณoutput ของ WD1-WD4, BLK1, 2, BSY, EOR และรับสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

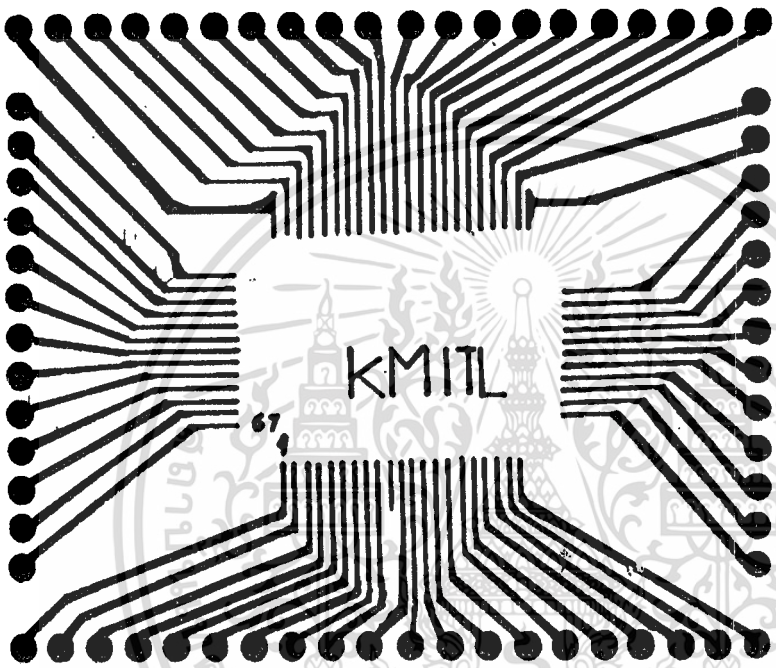
CPUM, RD เข้ามา keyboard CPU เป็นตัวจัดการทั้งสิ้น นอกจากนี้ยังมี RAM สำหรับต่อกับ External ได้โดยต่อทาง A0-A9, D0-D7, CE1-CE2, และ WR ซึ่งการทำงานภายใน CPU 4bit นั้นจะมี CLOCK Generate ซึ่งภายในจะมีวงจรกำเนินสัญญาณ CLOCK โดยต่อ Crytal 400 KHz ที่ขา Xin กับ Xout ก็จะได้ clock จ่ายให้วงจร CPU ภายในตามต้องการ

แสดงตำแหน่งขาต่างๆ ของ T6658A ทั้ง 67 ขา



รูปแสดงตำแหน่งขาต่างๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

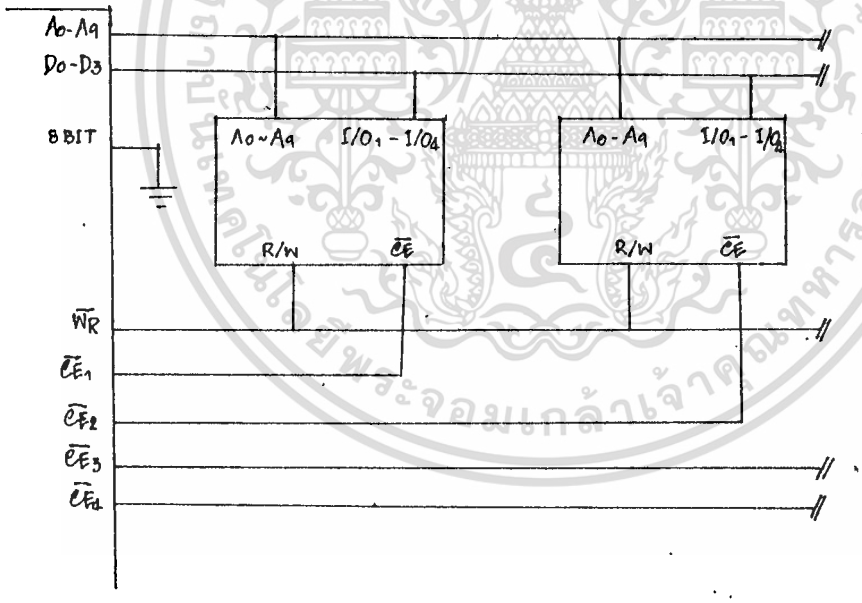


ขนาดขยาย 2 เท่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

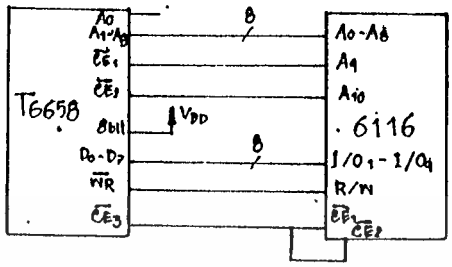
การเลือกใช้หน่วยความจำ

CHIP IC T6658A เราสามารถที่จะเลือกใช้หน่วยความจำได้ 2 แบบ คือใช้ 2K x 8bit และ 1K x 4bit ซึ่งถ้าหากใช้ 2K x 8bit เราก็จะใช้ RAMเพียง 1 ตัวเท่านั้น ก็จะได้ 16Kbit (จำนวน 1 block ใช้ 4 Kbit) ส่วน 1K x 8bit นั้น เราจะต้องใช้หน่วยความจำทั้งหมดถึง 4 ตัว ในการเลือกว่าจะใช้หน่วยจำแบบไหนนั้น ก็จะมีขาที่ใช้ในการเลือก คือขาที่ 55(8bit) ถ้าขานี้ต่อลงกราวด์ก็จะเป็นการเลือกใช้ RAM 1Kx8bit แต่ถ้าต่อกับ VDD ก็จะเป็นการเลือกRAM 2K x 8bit แทน สำหรับในการต่อต่างๆ ก็แสดงดังรูปข้างล่าง



ก. การต่อแบบใช้ RAM 9K x 5bit

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ข. การต่อแบบใช้ RAM 2K x 8bit

การเลือกสัญญาณ INPUT

CHIP IC T6658A จะสามารถเลือกสัญญาณเข้าได้ 2 ทางคือ เขาทาง MIC IN และ LINE IN โดยการเลือกที่ขา 65 ของ T6658A(N LINE) คือ ถ้าหากที่ขามีสภาวะเป็น "L" ก็หมายความว่าเราจะเลือกการใช้งาน MICIN สัญญาณ INPUT ก็จะเข้าที่ขา MICIN ไปเข้า AMPLIFIER ภายในตัว T6659A ขยายสัญญาณ เพื่อขึ้นประมาณ 400 เท่า ส่วนถ้าเราต้องการให้สัญญาณ INPUT เข้าที่ขา LINE IN ก็จะต้องให้ขา 65 (ขา LINE) มีสภาวะเป็น "H" แทนสัญญาณINPUT ก็จะผ่านขา LINE IN เข้าไปยัง AMP ภายใน T6658A ซึ่งจะมีอัตราขยายต่ำกว่า เข้าขา MIC IN เพราะผ่านการขยายเพียงครั้งเดียว

CLOCK

CHIP IC T6658A นั้นจะสามารถทำงานได้อย่างมีประสิทธิภาพก็ต้องมีสัญญาณ ควบคุมการทำงาน ซึ่งก็คือสัญญาณ CLOCK นั่นเอง ซึ่ง T6658A นี้สามารถใช้ได้ทั้ง CR OSCILLAIOR ที่ความถี่ 32.766 KHz และ Ceramic oscillator ที่ความถี่ 400 KHz ซึ่งในการทดลองนี้ก็ได้ใช้ crytal CBB 400(400KHz)ในการ qenerated clock

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

OUTPUT

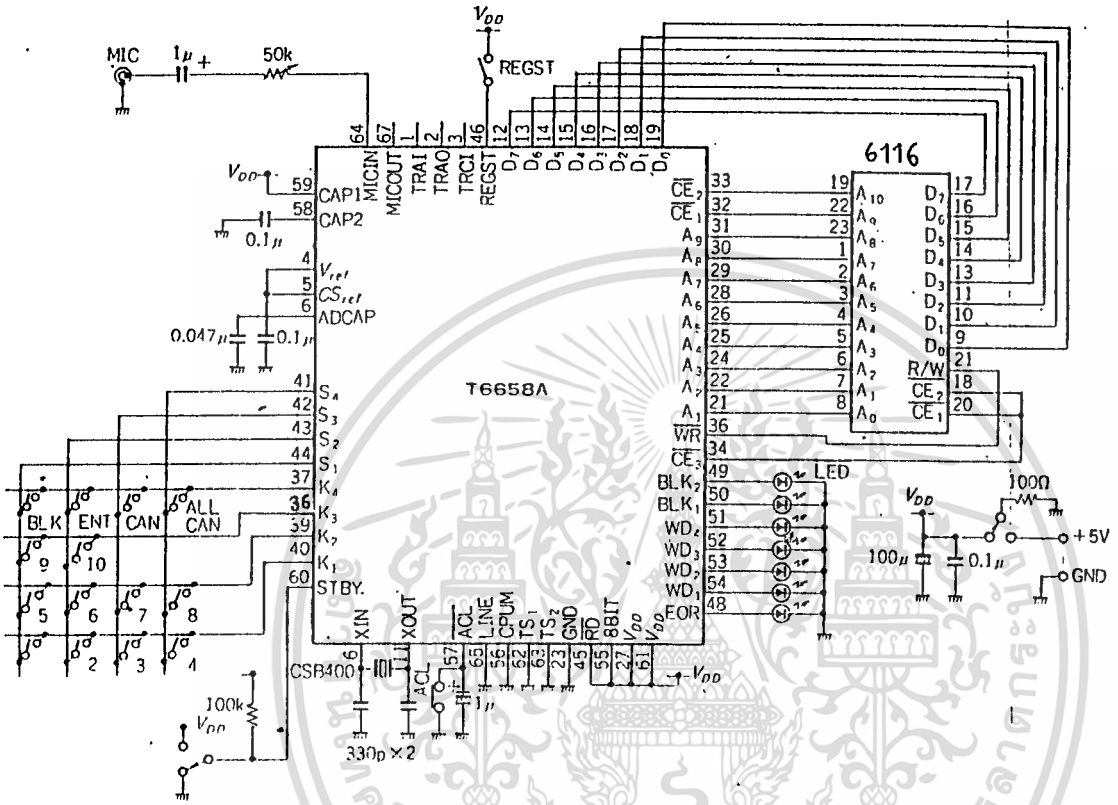
CHIP IC T6658A ตัวนี้จะให้ o/p ออกที่ BLK1, BLK2 และซึ่งจะเป็นไปตามการบันทึกของเราว่าเราบันทึก word นั้นไว้ที่ BLOCK ที่เท่าไรและ word ที่เท่าไร เมื่อเราเรียกเข้าไป โดยสัญญาณเสียงที่มีความถูกต้องตามที่เราบันทึกไว้ CUT PUT ก็จะปรากฏออกมาที่ขา BLK1, BLK2, WD1-WD4 ตามแต่ว่าเราบันทึกไว้ที่ใด

KEYBOARD

CHIP IC T6658A นี้สามารถทำงานได้ทั้ง 2 MODE การทำงานคือทั้ง Manual mode และ CPU mode โดยการเลือกที่ขา 56 (ขา CPUM) ถ้า CPUM เป็น "H" จะเป็นการเลือก CPU mode ใน mode นี้ขา K1-K4 จะต่ออยู่กับ CPU เพื่อรับ code คำสั่งซึ่งส่งโดยตรงจาก CPU แต่ถ้า CPUM เป็น "L" จะเป็นการเลือกการทำงานใน Manual Mode ซึ่งใน mode นี้ขา K1-K4 และขา S1-S4 จะต่ออยู่กับ Key board

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรทดลองการทำงานในแบบ Manual Mode



รูปแสดงการต่อวงจรการทำงานในลักษณะ Manual Mode

ทดลองการทำงานในลักษณะ Manual Mode

1. เริ่มต้นจาก Mode การบันทึก

   - ตั้ง CPUM ไว้ที่ "L" เป็นการบอกว่าอยู่ในแบบ Manual
   - ตั้ง REGST ไว้ที่ "H" เพื่อให้อยู่ใน mode ของการบันทึก
   - ตั้ง STBY ไว้ที่ "H" เพราะไม่ต้องการให้อยู่ใน Stand by mode

2. เมื่อ POWER ON ที่ขาของ EOR จะเป็น "H" (LED จะติด) และ WD1~WD4, BLK1-BLK จะเป็น "L" (LED ดับ)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3. เริ่มต้นทดลองจาก block ที่ 1 word ที่ 1 ไปเรื่อยๆจนครบ 10 word เป็น 1 block

ขั้นตอนการบันทึก

- ทำการ clear ข้อมูลเดิมที่อยู่ภายในออกโดยกดปุ่ม ALL CAN เป็นการลบข้อมูลที่มีอยู่เดิมออกทั้งหมด
- เริ่มทำการบันทึก โดยกดปุ่ม 1 ตามด้วย BLK เป็นการกำหนด BLOCK ที่
- เมื่อกำหนด Block แล้วก็กด 1 ENT เป็นการบอกให้รู้ว่า ต้องการบันทึก WORD ที่ 1
- หลังจากกำหนด WORD เรียบร้อยก็ป้อนสัญญาณเสียงเข้าไป(พูดเข้าไป) มันก็จะนำเสียงที่บันทึกไว้ไปเก็บเป็น code และในระหว่างที่พูดเข้าไป EOR จะเป็น "L" เมื่อมีสัญญาณเสียงเข้าไปและถ้าหากเสียงที่เข้าไปนั้นสั้นกว่า 0.16 วินาที ที่ WD1-WD4 จะแสดงออกมาเป็น 1 1 1 0 แต่ถ้ายาวเกินกว่า 0.96 วินาที จะแสดง 1 1 1 1 และถ้าไม่สั้นหรือยาวเกินไป(แต่อยู่ในช่วง 0.16~0.96 วินาที) LED WD1-WD4, BLK1~BLK2ก็จะแสดงตามจำนวน BLOCK และ WORD ว่าบันทึกที่ BLOCK ไหน WORD ไหน เช่นถ้าบันทึกที่ BLOCK ที่ 1 WORD ที่ WD1~WD4 ก็จะแสดง 0001 และที่ BLK1~BLK2 จะแสดง 00

4. หลังจากที่ทดลองบันทึกเป็นที่เรียบร้อยแล้ว ต่อไปเราก็ทดลองใน MODE Recoqnize ซึ่งใน mode นี้ก็ไป mode ของการเรียกใช้งาน โดยตั้ง REGST ไปที่ "L" หลังจากนั้นก็พูดตัวที่เราบันทึกเอาไว้สมมุติว่าในตอนแรกเราบันทึก คำว่า "หนึ่ง" เก็บไว้ใน BLOCKที่ 1 WORD ที่ 1 ดังนั้นเมื่ออยู่ใน Mode การ Recoqnite และเราพูดคำว่า "หนึ่ง"เข้าไป T6658A ก็จะนำสัญญาฯ ณที่ได้ไปทำการเปรียบเทียบเมื่อมันพบคำที่ใกล้เคียงที่สุดมันก็จะส่ง OUT PUT ออกไป WD1-WD4 และ BLK1-BLK2 ในที่นี้จะได้ 0001, 00

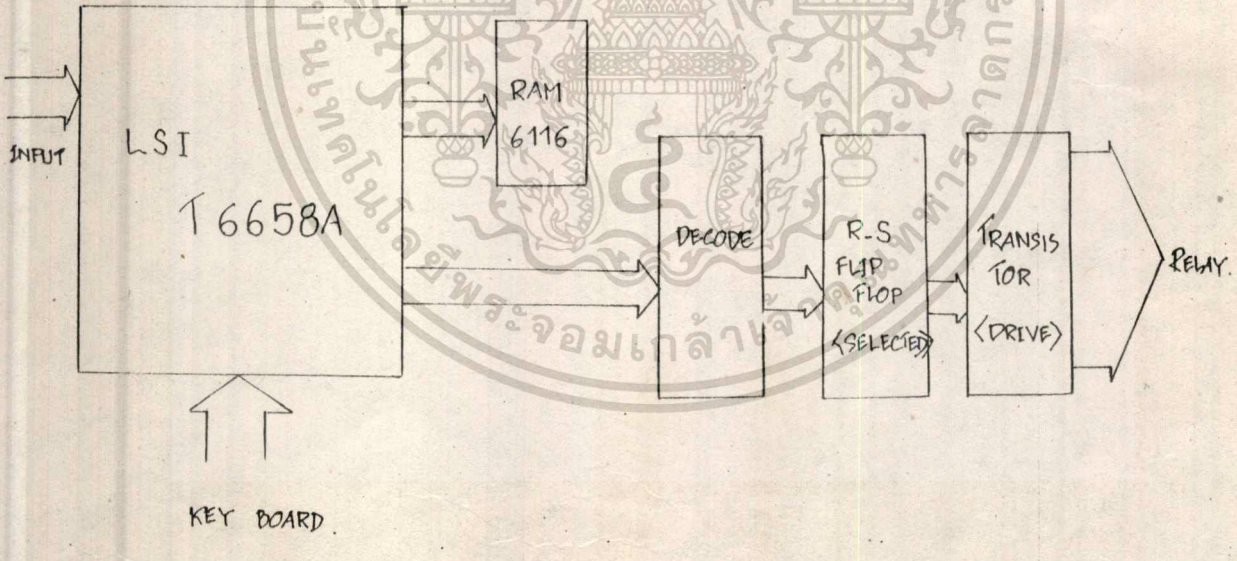
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

การประยุกต์ใช้งานของ T6658A

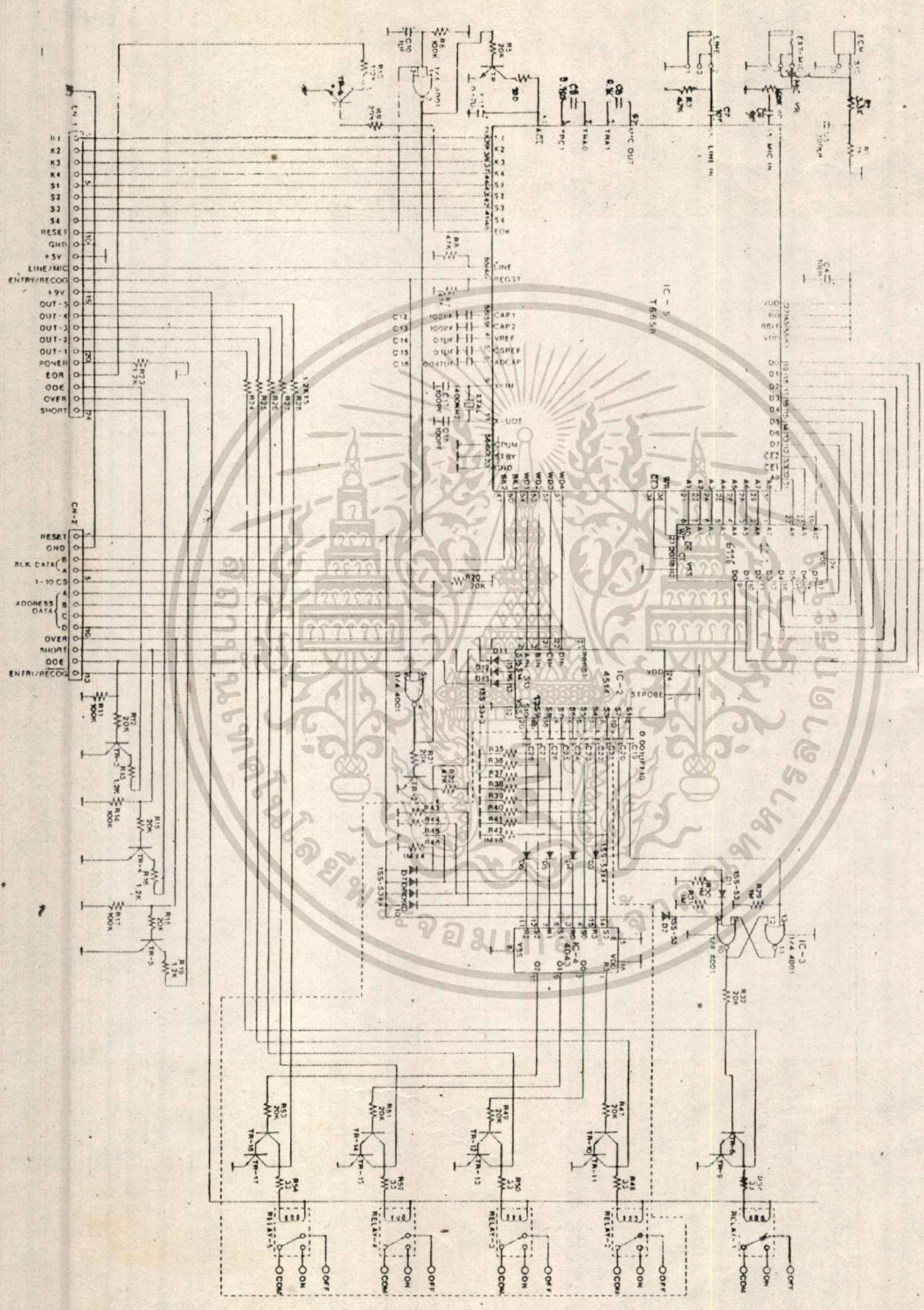
แนวความคิด

เนื่องจากการทำงานของ IC T6658A ตัวนี้นั้นมันจะให้ Out put ออกมาเป็นCode ที่ขา BLK1~BLK2 และ WD1~WD4 ดังนั้นจึงยังไม่สามารถจะนำไปใช้งานได้ในทันทีแต่ราสามารถนำ Code นี้ไปใช้เกิดประโยชน์ได้อีก โดยที่เราอาจจะนำ Code นี้ย้อนกลับเข้าไป CPU. อีกทีหนึ่งแล้วได้CPU ทำการประมวลผลอีกว่าจะทำอะไร ซึ่งเราสามารถต่อการใช้งานอยู่ใน mode ของ CPU ได้ หรือไม่เราก็สามารถที่จะนำ code นี้ไปใช้งานโดยตรงโดยผ่าน Decoderas ก่อน ดังใน Block Diagram อธิบายการทำงานอย่างคร่าวๆ

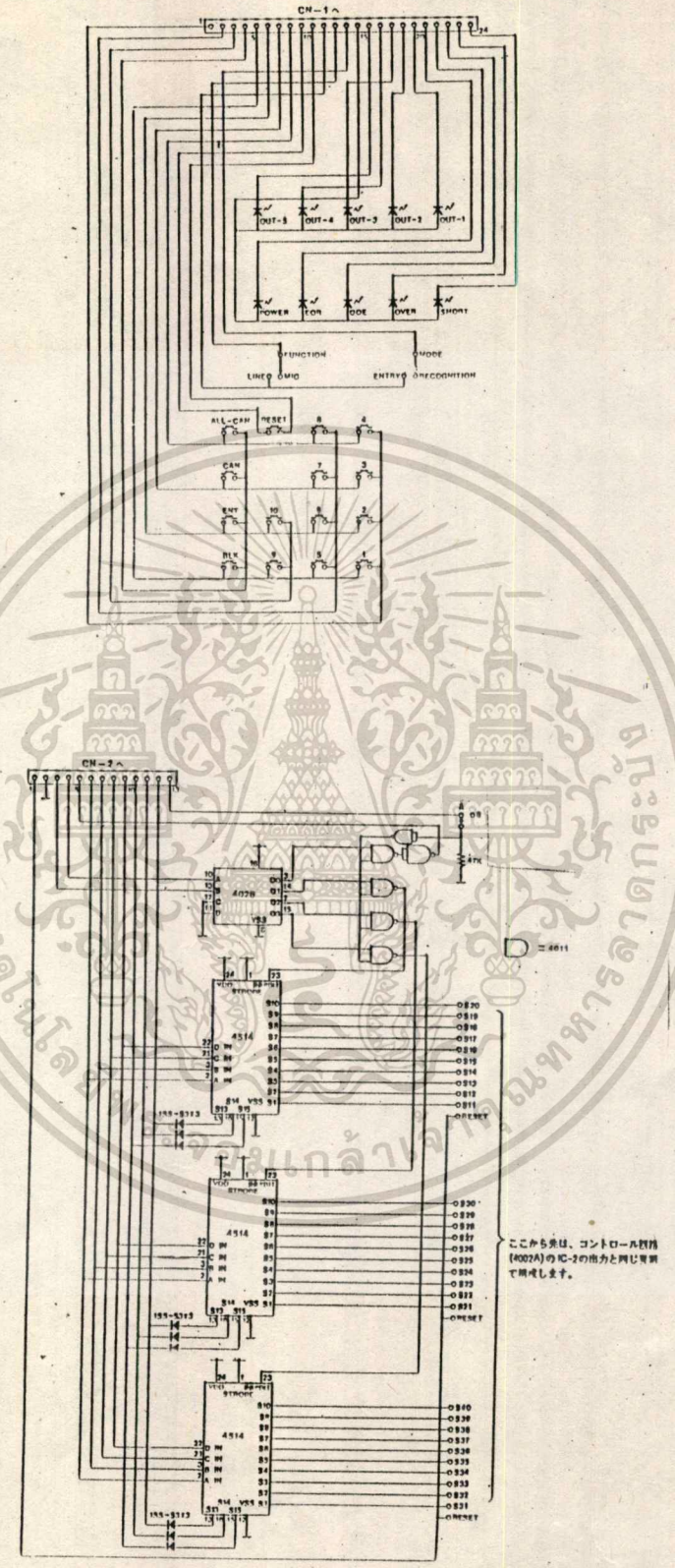


Blodk Diagram แสดงการนำ T6658A ไปใช้ควบคุม RELAY

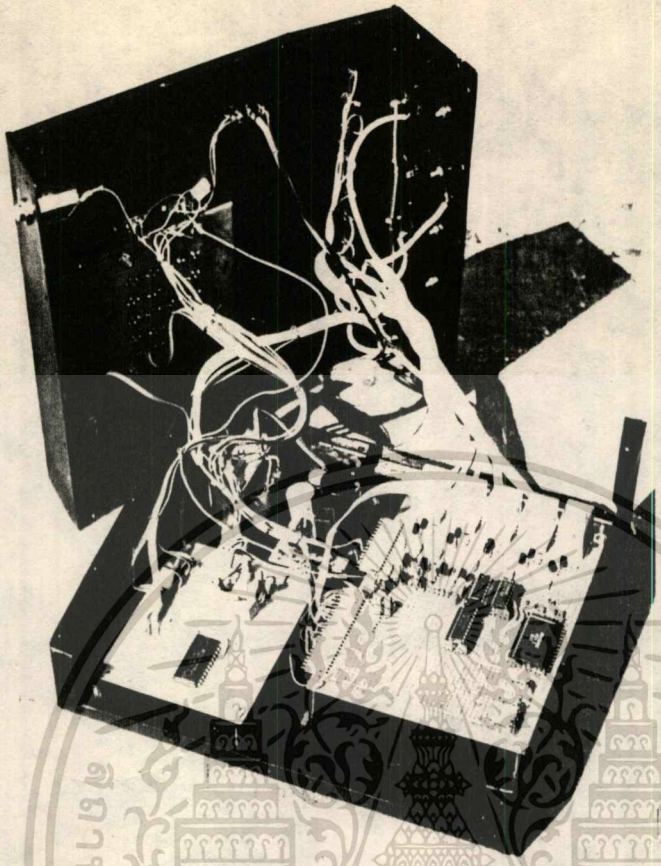
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

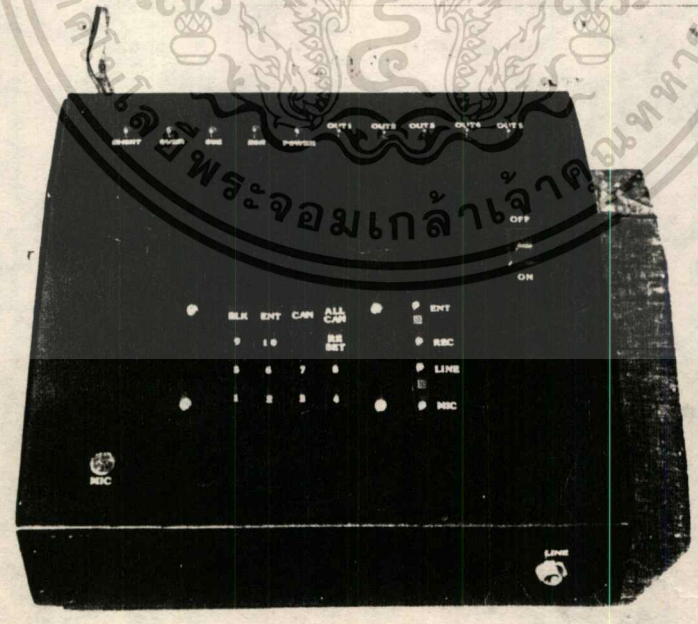


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้





เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

<u>รายการอุปกรณ์</u>

RESISTER

R1 = 1K	R14 = 100K	R32 = 20K
R2 = 3K3	R15 = 20K	R33 = 220
R3 = 47K	R16 = 1K2	R34 = 33
R4 = 100	R17 = 100K	R35-R42 = 1M x 8
R5 = 20K	R18 = 20K	R43-R46 = 1M x 4
R6 = 100K	R19 = 1K2	R47 = 20K
R7 = 47K	R20 = 20K	R48 = 33
R8 = 47K	R21 = 20K	R49 = 20K
R9 = 20K	R22 = 47K	R50 = 33
R10 = 1K2	R23 = 1K2	R51 = 20K
R11 = 100K	R24-R27 = 1K2 x 4	R52 = 33
R12 = 20K	R28 = 1K2	R53 = 20K
R13 = 1K2	R29-R31 = 1M	R54 = 33

CONDENSER

C1 = 220uF	C8-C9 = .1 uF	C14-C15 = .1uF x 2
C2-C4 = 10uF x 3	C10 = 1uF	C16 = .047uF
C5 = 100uF	C11 = .47uF	C17-C18 = 100pF x 2
C6 = 1uF	C12-C13 = 100pF x 2	C19-C28 = .001uF x 10

IC #T6658A #4001 #4514 # 4043

TRANSISTOR 2SC1815 x 17

RELAY ขนาด 9 V 5 ตัว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อธิบายวงจร

การทำงานของเครื่องสามารถแบกการทำงานออกเป็น BLOCK ใหญ่ได้ดังนี้

- INPUT (KEY BOARD)
- LSI (T6658A)
- RAM
- DECODE
- SELECTED
- TRANSISTER DRIVER

จากวงจรเราแยกการทำงานได้ดังแสดงไว้ข้างต้น การทำงานของวงจรจะเริ่มจากทางด้าน input ซึ่งก็คือ KEY BOARD เริ่มจากเมื่อเรา ON เครื่อง Program moniter ภายใน T6658A ก็จะเริ่ม RUN เพื่อที่จะ SCAN KEY BOARD และเมื่อเรากด KEY ใด KEY หนึ่งก็จะทำให้ Code ขึ้นมาตัวหนึ่ง ตามในตาราง Code K1~K4 เข้าไปยัง T6658A ซึ่ง Codeจะเป็นคำสั่งให้ T6658A อีกทีหนึ่ง จากนั้นเราก็จะทำการบันทึกเสียงเก็บไว้ และเมื่อเราพูดคำคำนั้น (คำที่บันทึกเอาไว้) อีก T6658A ก็จะให้ OUTPUT ออกมาเป็นไปตาม Codeที่เก็บ จากนั้นก็จะไปเข้า IC-2(4514) เพื่อทำการ Decode ออกมาแล้วเข้าสู่ IC-3,หรือ IC-4 ซึ่งจะเป็น RS FLIP FLOP เพื่อที่จะไปทำให้ TR ON ต่อไปอีดและเมื่อ TRANSISTOR ON RELAY ก็จะทำงานเหล่านี้เป็นการทำงานอย่างคร่าวๆ

ต่อไปนี้จะเป็นการอธิบายการทำงานโดยละเอียด สมมุติในที่นี้เราจะทำการบันทึกคำว่า "เปิด" กับ "ปิด" เก็บเอาไว้ใน BLOCK ที่ 1 WORD ที่ 1 กับ BLOCK ที่ 2 WORDที่ 2 ขั้นแรกจะเริ่มจากการกำหนด BLOCK แล้วตามด้วยการกำหนด WORD โดยการกด KEY หมายเลข 1 ตามด้วย KEY BLK ซึ่งจะเป็นการกำหนด BLK ในขณะที่เรากดkey หมายเลข 1 นั้นที่ขา K1~K4 ของ T6658A จะได้ code ออกมาเป็น 0001 ให้แก่T6658A และเมื่อ T6658A ได้รับ code ที่ขา K1-K4 เป็น 1100 จากการกด key blk ก็จะทำให้มันทราบได้ทันทีว่าใน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขณะนี้เราต้องการที่จะบันทึกว่า BLOCK ที่ 1 แต่ทั้งนี้เราจะต้องทำการเลือก mode มาก่อนในที่นี้จะอยู่ใน. mode ขแงการบันทึก และไม่อยู่ในกรณีของ STAND BY ดังนั้นที่ขาของทั้ง 2 ของ REGST กับ STBY จะต้องเป็น "H" และ "L" หลังจากที่ได้กำหนด BLOCK แล้วต่อมาก็กด 1 อีกครั้งตามด้วย ENT จะเป็นการกำหนดword หลังจากที่กด key ent แล้ว eor จะติด แสดงว่าพร้อมที่จะรับสัญญาณเสียง และเมื่อเราพูดคำว่า "ปิด" เข้าไปมันก็จะเก็บ code ของ block และ word เอาไว้ แต่ในกรณีเราพูดสั้นไปกว่า 0.16 วินาที ที่ขา WD1-WD4 จะให้ OUT PUT ออกมาเป็น 1 1 1 0 ไปเข้า DECODER (IC-2 #4514) ได้ OUTPUT เป็น "1" ที่ขา S14 ไปป้อนที่ขา BASE ของ TR-4 ทำให้ TR-4 ON LED SHORT ก็จะติดทำให้ทราบว่าสัญญาณ ที่เข้าสั้นไปแต่ถ้าสัญญาณเสียงที่พูดยาวกว่า 0.19 วินาที ก็จะได้ OUTPUT ที่ WD1-WD4 เป็น 1 1 1 1 ซึ่งจะได้ OUTPUT ที่ IC2 ที่ S15 ซึ่งก็จะทำให้ LED OVER ติดเช่นกัน ดังนั้นการบันทึกจึงต้องอยู่ในช่วงระยะเวลา 0.16~0.96 วินาที เมื่อเราบันทึกคำ "เปิด" ไว้ที่BLOCK ที่ 1 WORD ที่ 1 เรียบร้อยก็จะกลับมาบันทึกคำว่า "ปิด" อีกโดยเก็บไว้ที่ BLOCK ที่ 1 WORD ที่ 2 หลังจากที่เราบันทึกคำว่า "เปิด" และ "ปิด" เอาไว้เรียบร้อยแล้ว เมื่อเราจะใช้งาน เราก็ตั้ง MODE ไปที่ RECOGNIZE MODEA จากนั้นเราก็ทำการพูดคำว่า "เปิด"เข้าไปที่ MIC (ในกรณีเลือก MIC) โดยที่สัญญาณเสียงที่พูดเข้าไปนั้นจะต้องอยู่ในช่วงเวลาระหว่าง 0.16~0.96 วินาที เหมือนกันกับในตอนที่บันทึกและถ้าหากสั้นไป หรือยาวไป ก็จะ Show เหมือนกับช่วงที่บันทึกเช่นกัน เมื่อสัญญาณเสียงที่พูดเข้าไปอยู่ในช่วงนี้ มันก็จะให้ CODE ออกมาที่ WD1-WD4, BLK1, BLK2 ตามที่เราบันทึกเอาไว้ ในกรณีของเราได้บันทึกเอาไว้ที่ block ที่ 1 WORD ที่ 1 ดังนั้น CODE ที่ได้จาก WD1-WD4, BLK1-BLK2, ก็จะเป็น 0001 และ 00 ในที่นี้เราไม่ได้นำ block มาใช้เพราะว่าใช้เพียงBLOCK เดียวเท่านั้น ซึ่งที่จริงยังสามารถขยายได้อีกถึง 3 BLOCK โดยการนำ BLK1-BLK2 เลือก BLOCK อีกที เมื่อเราไม่ได้ใช้ BLOCK ดังนั้นจึงนำเพียง WD1-WD4 มาDECODE จะได้ OUT PUT ที่ขา S1 เป็น "1" ส่วนขาอื่นๆจะเป็น "0" หมดทุกขา แต่OUT PUT ของ IC4514 นี้จะขึ้นอยู่กับขา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

INHIBIT ด้วย ถ้าขานี้เป็น "1" OUTPUTจะเป็น "0"ทุกขาดังนั้นเราต้องทำให้มันเป็น "0" โดยใช้ NOR GATE ต่อเป็น INVERTER เข้ากับขา BASE ของ TR-2 ในขณะที่เราอยู่ใน MODE บันทึกนั้นที่ขา 5 และ 6 ของ NOR GATE จะเป็น "H" และที่ OUTPUT ขา 4 นั้นจะเป็น "L" ทำให้ TR-2 OFF จึงทำให้ที่ขา INGIBIT เป็น "1" (ไม่มีการ DECODE) แต่เมื่อเราอยู่ใน MODE RECOGNIZE ที่ขา 5, ของ NOR GATE จะเป็น "L" ทำให้ OUTPUT เป็น "H" TR-2จึง ONทำให้ขา INHIBIT ต่อลงกราวด์ไปด้วย จึงมีสถานะเป็น "0" ทำให้มีการ DECO DE เกิดขึ้น เมื่อได้ OUT PUT ที่ขา S1 เป็น "1" ก็จะไปเข้า SR FLIP-FLOP ตามหลักการทำงานของ SR FF นั้น ถ้าขา S เป็น "1" ขา R เป็น "0" จะอยู่ในสภาวะ set คือ OUT PUT จะเป็น"1" ไปทำให้ tramsister ที่ต่ออยู่ทาง OUT PUTของ SR ON กระแสจึงสามารถไหลผ่าน RELAY ได้ทำให้ RELAY ON ส่วนคำว่า "ปิด"นั้น เราบันทึกเก็บไว้ที่ BLOCK ที่ 1 WORD ที่ 2 เมื่อเราพูดคำว่า "ปิด" WD1-WD4 ก็จะเป็น 0010 ไปเข้า DECODE ทำให้ได้ "1" ที่ขา S2 ดังนั้น SR-FF ก็จะเปลี่ยนสภาวะจาก set ไปเป็น RESET ทำให้ Transistor OFF ไม่มีกระแสไหลผ่าน RELAY จึงทำให้คอนเทคกลับมาที่ OFF เราก็สามารถไปต่อเข้ากับ LINE AC ได้ เพื่อใช้ควบคุมอุปกรณ์ไฟฟ้าต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สรุปและวิจารณ์

ในการศึกษาและการบันทึกและจดจำเสียงพูดโดยอาศัย CHIP IC เบอร์ T6658Aของบริษัทโตชิบานี้ ซึ่งเป็น IC สำเร็จรูปภายใน IC จะประกอบไปด้วย ภาคขยาย, CPU,RAM, ROM และภาคการเปลี่ยนสัญญาณจาก Analog ไปเป็นสัญญาณ Digital การทำงานทุกอย่างจะถูกกำหนดเอาไว้เรียบร้อย เราเพียงแต่นำเอาส่วนทางด้านเอาท์พุต ของIC ตัวนี้ไปใช้งานได้เลย การทำงานของ IC ตัวนี้จะเริ่มจากการป้อนสัญญาณไปที่ขาควบคุมต่างๆ เพื่อให้เป็นตามความต้องการของเรา หลังจากนั้นเราก็จะทำการบันทึกสัญญาณเสียงเก็บเอาไว้ ซึ่งมันจะนำไปเก็บไว้ในหน่วยความจำ โดยที่มันจะมี CODE ประจำตัวของมันอยู่ และเมื่อเราพูดเข้าไปใหม่อีกที่หลังจากที่บันทึกเรียบร้อยแล้ว (อยู่ใน MODE ของการจดจำ) CODE ประจำตัวของคำที่เราพูดเข้าไปก็จะแสดงออกมาทาง WD1-WD4,BLK1,BLK2 เราก็นำ CODE ที่ได้ไปเข้า IC เบอร์ 4514 เพื่อที่จะทำการ DECODE แล้วจึงนำไปเข้า IC เบอร์ 4043 ซึ่งเป็น RS FLIP-FLOP เพื่อจะทำให้ TRASISTER ทำงาน RELAY ก็จะทำงานด้วย จากการทำงานของ IC เบอร์นี้สามารถที่จะเก็บได้ทั้งหมด 40 คำแบ่งเป็น 4 BLOCK ใน 1 BLOCK มี 10 คำ แต่ในที่นี้เราใช้เพียง 1BLOCK เท่านั้น ดังนั้น จึงสามารถควบคุมได้ 5 จุด (1 จุดใช้ 2 สภาวะ) ถ้าหากต้องการให้ควบคุมได้มากกว่านี้ เราก็ต้อง ชุดของการ DECODE เข้าไปอีก รวมทั้งชุดของการ CODE ในแต่ละ BLOCK อีกจากการทำงานกับ IC เบอร์นี้นั้น ในขั้นแรกของอุปสรรค์ที่จะพบก็คือ การออกแบบลายปริ๊นของ IC และการบัดกรีขา IC ซึ่งมีขนาดเล็กมาก ทำให้การออกแบบลายปริ๊นของIC เป็นไปด้วยความยากลำบาก ส่วนการบัดกรีนั้นก็ต้องอาศัยความระมัดระวังอย่างสูง ไม่ให้ความร้อนมากเกินไป และต้องป้องกันการรบกวนจากไฟฟ้าสถิตย์ด้วย ส่วนทางด้านการใช้งานนั้น เนื่องจาก IC ตัวนี้ยังเป็นของใหม่อยู่ ดังนั้นประสิทธิภาพจึงยังไม่ค่อยดีเท่าที่ควร ดังจะสังเกตได้จากการที่เราบันทึกเข้าไปและเมื่อเราเรียกออกมานั้น ยังไม่ถูกต้องร้อยเปอร์เซ็นมีการผิดพลาดอยู่ตลอดเวลา ซึ่งเราก็หวังว่าในอนาคตคงจะมีเบอร์ใหม่ที่มีการพัฒนามากขึ้นในความแม่นยำร้อยเปอร์เซ็น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

HCC/HCF 4043B
HCC/HCF 4044B

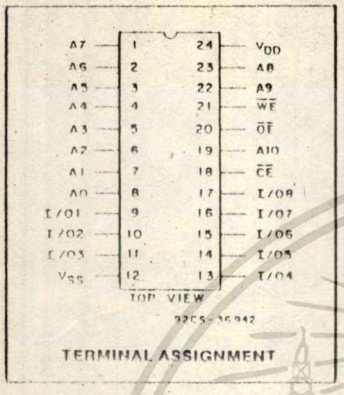
STATIC ELECTRICAL CHARACTERISTICS (over recommended operating conditions)

Parameter			Test conditions V_I (V)	V_O (V)	$\|I_O\|$ (μA)	V_{DD} (V)	Values T_{Low}* Min.	T_{Low}* Max.	25°C Min.	25°C Typ.	25°C Max.	T_{High}* Min.	T_{High}* Max.	Unit
I_L	Quiescent current	HCC types	0/5			5		1		0.02	1		30	
			0/10			10		2		0.02	2		60	
			0/15			15		4		0.02	4		120	
			0/20			20		20		0.04	20		600	μA
		HCF types	0/5			5		4		0.02	4		30	
			0/10			10		8		0.02	8		60	
			0/15			15		16		0.02	16		120	
V_{OH}	Output high voltage		0/5		1	5	4.95		4.95			4.95		
			0/10		1	10	9.95		9.95			9.95		V
			0/15		1	15	14.95		14.95			14.95		
V_{OL}	Output low voltage		5/0		1	5		0.05			0.05		0.05	
			10/0		1	10		0.05			0.05		0.05	V
			15/0		1	15		0.05			0.05		0.05	
V_{IH}	Input high voltage			0.5/4.5	1	5	3.5		3.5			3.5		
				1/9	1	10	7		7			7		V
				1.5/13.5	1	15	11		11			11		
V_{IL}	Input low voltage			4.5/0.5	1	5		1.5			1.5		1.5	
				9/1	1	10		3			3		3	V
				13.5/1.5	1	15		4			4		4	
I_{OH}	Output drive current	HCC types	0/5	2.5		5	2		1.6	3.2		1.15		
			0/5	4.6		5	0.64		0.51	1		0.36		
			0/10	9.5		10	1.6		1.3	2.6		0.9		
			0/15	13.5		15	4.2		3.4	6.8		2.4		
		HCF types	0/5	2.5		5	1.53		1.36	3.2		1.1		mA
			0/5	4.6		5	0.52		0.44	1		0.36		
			0/10	9.5		10	1.3		1.1	2.6		0.9		
			0/15	13.5		15	3.6		3.0	6.8		2.4		
I_{OL}	Output sink current	HCC types	0/5	0.4		5	0.64		0.51	1		0.36		
			0/10	0.5		10	1.6		1.3	2.6		0.9		
			0/15	1.5		15	4.2		3.4	6.8		2.4		
		HCF types	0/5	0.4		5	0.52		0.44	1		0.36		mA
			0/10	0.5		10	1.3		1.1	2.6		0.9		
			0/15	1.5		15	3.6		3.0	6.8		2.4		
I_{IH}, I_{IL}	Input leakage current	HCC types	0/18	Any input		18		± 0.1		$\pm 10^{-5}$	± 0.1		± 1	
		HCF types	0/15			15		± 0.3		$\pm 10^{-5}$	± 0.3		± 1	μA
I_{OH}	3-state output	HCC types	0/18	0/18		18		± 0.4		$\pm 10^{-4}$	± 0.4		± 12	
		HCF types	0/15	0/15		15		± 1.0		$\pm 10^{-4}$	± 1.0		± 7.5	μA
C_I	Input capacitance			Any input						5	7.5			pF

T_{Low} = −55°C for HCC device, −40°C for HCF device
T_{High} = +125°C for HCC device, +85°C for HCF device
The Noise Margin for both "1" and "0" level is: 1V min. with V_{DD} = 5V
2V min. with V_{DD} = 10V
2.5V min. with V_{DD} = 15V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CDM6116A



TERMINAL ASSIGNMENT

CMOS 2048-Word by 8-Bit Static RAM

Features:

- *Fully static operation*
- *Single power supply: 4.5 V to 5.5 V*
- *All inputs and outputs directly TTL compatible*
- *3-state outputs*
- *Industry standard 24-pin configu*
- *Chip-enable gates address buffe minimum standby current*
- *Data retention voltage: 2 V min.*

	CDM6116A-2	CDM6116A-3	CDM6116A-9
Access Time (max.)	200 ns	150 ns	250 ns
Output Enable Time (max.)	120 ns	60 ns	150 ns
Operating Temperature	0° to +70°C		-40° to +85°C
Operating Current (max.)	35 mA	35 mA	40 mA
Standby Current I_{DDSB} (max.)	30 μA	50 μA	100 μA

The RCA-CDM6116A is a CMOS 2048-word by 8-bit static random-access memory. It is designed for use in memory systems where high-speed, low power and simplicity in use are desirable. This device has common data inputs and data outputs and utilizes a single power supply of 4.5 V to 5.5 V. A chip-enable input and an output-enable input are provided for memory expansion and output buffer control.

The chip enable ($\overline{CE}$) gates the address and output buffers and powers down the chip to the low power standby mode.

The output enable ($\overline{OE}$) controls the output bu eliminate bus contention.

The CDM6116A-2 and CDM6116A-3 have an op temperature range of 0° to +70°C. The CDM6116A-9 operating temperature range of -40° to +85°C.

The CDM6116A-2 and CDM6116A-3 are supplied lead dual-in-line plastic package (E suffix). The 6116A-9 is supplied in a 24-lead dual-in-line plastic (E suffix) and a 24-lead dual-in-line side brazed package (D suffix).

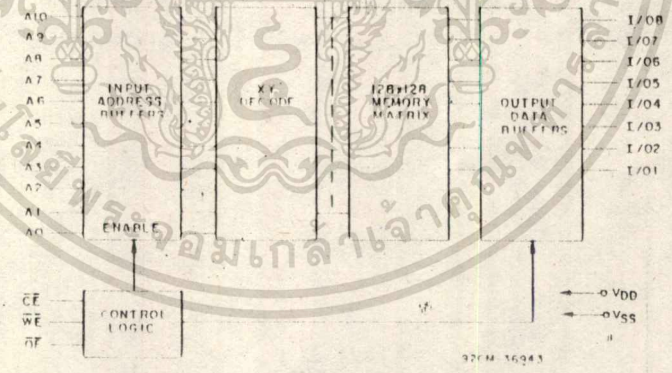


Fig. 1 — Functional block diagram.

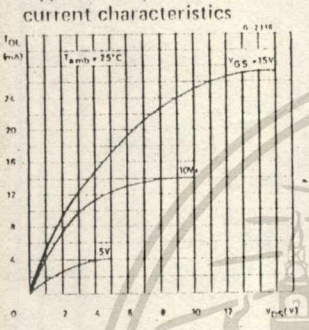
TRUTH TABLE

$\overline{CE}$	$\overline{OE}$	$\overline{WE}$	A0 TO A10	MODE	I/01 TO I/08	DEVICE CURRENT
H	X	X	X	NOT SELECTED	HIGH Z	STANDBY
L	L	H	STABLE	READ	DATA OUT	ACTIVE
L	H	L	STABLE	WRITE	DATA IN	ACTIVE
L	L	L	STABLE	WRITE	DATA IN	ACTIVE

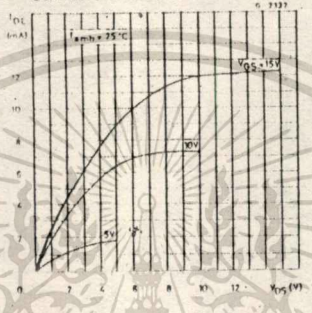
L = LOW H = HIGH X = H or L

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

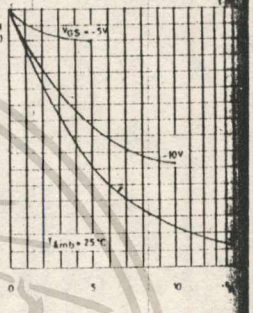
Typical output low (sink) current characteristics



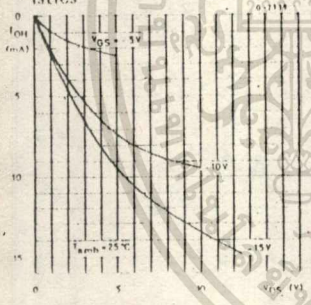
Minimum output low (sink) current characteristics



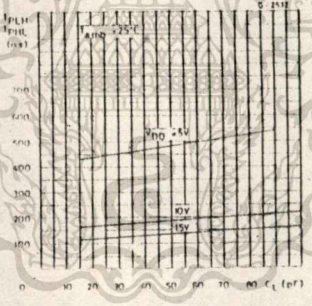
Typical output high (source) current characteristics



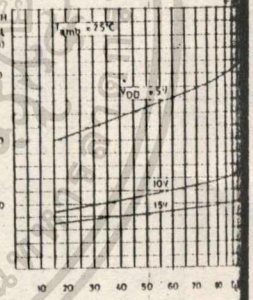
Minimum output high (source) current characteristics



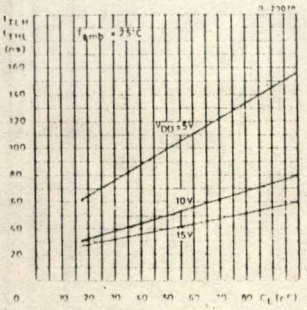
Typical strobe or data propagation delay time vs. load capacitance



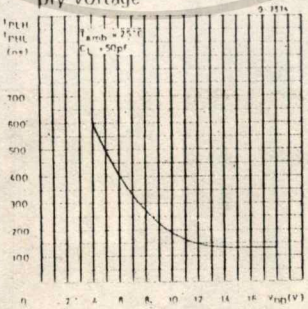
Typical inhibit propagation delay time vs. load capacitance



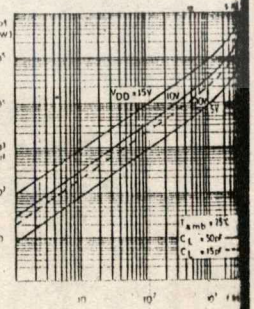
Typical transition time vs. load capacitance



Typical strobe or data propagation delay time vs. supply voltage



Typical power dissipation vs. frequency



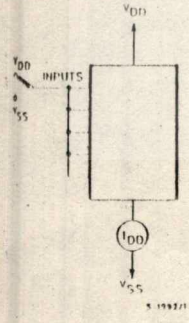
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DYNAMIC ELECTRICAL CHARACTERISTICS (T_{amb} = 25°C, C_L = 50 pF, R_L = 200 kΩ, all input rise and fall time = 20 ns)

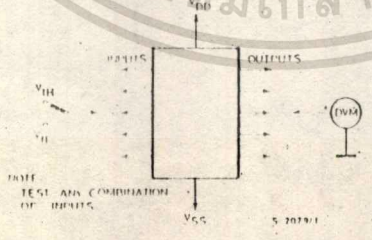
Parameter		Test conditions	V_{DD} (V)	Values Min.	Typ.	Max.	Unit
t_{PHL}, t_{PLH}	Propagation delay time	Strobe or data	5		485	970	ns
			10		185	370	
			15		135	270	
		Inhibit	5		250	500	
			10		110	220	
			15		85	170	
t_{THL}, t_{TLH}	Transition time		5		100	200	ns
			10		50	100	
			15		40	80	
t_w	Strobe pulse width		5	250	125		ns
			10	100	50		
			15	75	40		
t_{setup}	Setup time		5	150	75		ns
			10	70	35		
			15	40	20		

TEST CIRCUITS

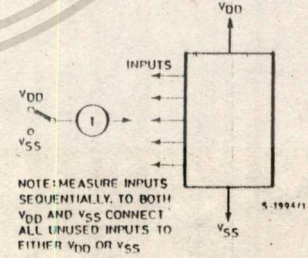
Quiescent device current



Noise immunity



Input leakage current



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

HCC/HCF 4514B
HCC/HCF 4515B

STATIC ELECTRICAL CHARACTERISTICS (over recommended operating conditions)

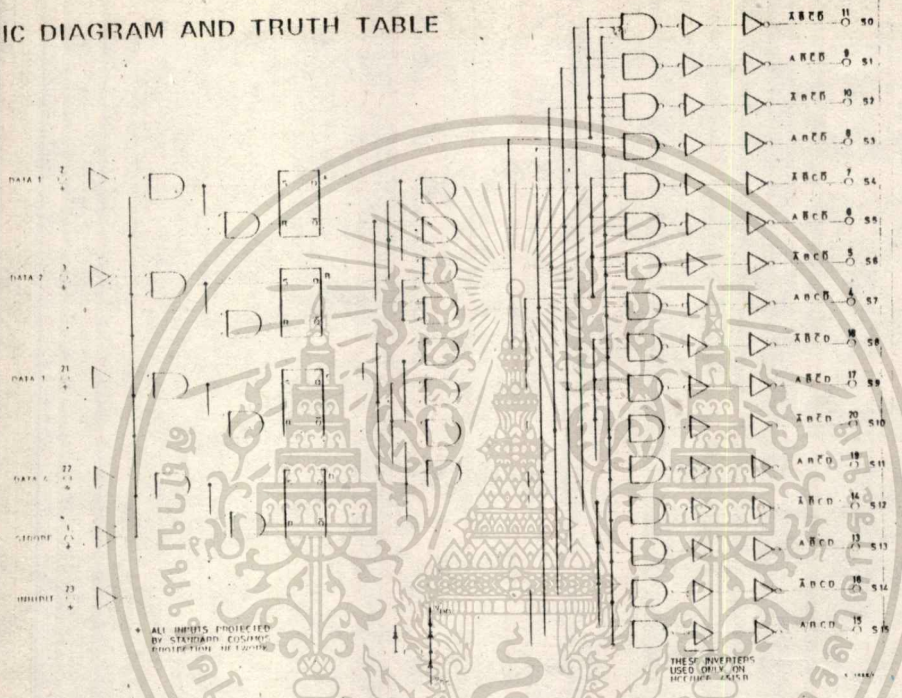
Parameter			Test conditions V_I (V)	V_O (V)	$\|I_O\|$ (μA)	V_{DD} (V)	Values T_{Low}* Min.	T_{Low}* Max.	25°C Min.	25°C Typ.	25°C Max.	T_{High}* Min.	T_{High}* Max.	Unit
I_L	Quiescent current	HCC types	0/ 5			5		5		0.04	5		150	
			0/10			10		10		0.04	10		300	
			0/15			15		20		0.04	20		600	
			0/20			20		100		0.08	100		3000	μA
		HCF types	0/ 5			5		20		0.04	20		150	
			0/10			10		40		0.04	40		300	
			0/15			15		80		0.04	80		600	
V_{OH}	Output high voltage		0/ 5		< 1	5	4.95		4.95			4.95		
			0/10		< 1	10	9.95		9.95			9.95		
			0/15		< 1	15	14.95		14.95			14.95		
V_{OL}	Output low voltage		5/0		< 1	5		0.05			0.05		0.05	
			10/0		< 1	10		0.05			0.05		0.05	
			15/0		< 1	15		0.05			0.05		0.05	
V_{IH}	Input high voltage			0.5/4.5	< 1	5	3.5		3.5			3.5		
				1/9	< 1	10	7		7			7		
				1.5/13.5	< 1	15	11		11			11		
V_{IL}	Input low voltage			4.5/0.5	< 1	5		1.5			1.5		1.5	
				9/1	< 1	10		3			3		3	
				13.5/1.5	< 1	15		4			4		4	
I_{OH}	Output drive current	HCC types	0/ 5	2.5		5	-2		-1.6	-3.2		-1.15		
			0/ 5	4.6		5	-0.61		-0.51	-1		-0.36		
			0/10	9.5		10	-1.6		-1.3	-2.6		-0.9		
			0/15	13.5		15	-4.2		-3.4	-6.8		-2.4		
		HCF types	0/ 5	2.5		5	-1.53		-1.36	-3.2		-1.1		
			0/ 5	4.6		5	-0.52		-0.44	-1		-0.36		
			0/10	9.5		10	-1.3		-1.1	-2.6		-0.9		
			0/15	13.5		15	-3.6		-3.0	-6.8		-2.4		
I_{OL}	Output sink current	HCC types	0/ 5	0.4		5	0.64		0.51	1		0.36		
			0/10	0.5		10	1.6		1.3	2.6		0.9		
			0/15	1.5		15	4.2		3.4	6.8		2.4		
		HCF types	0/ 5	0.4		5	0.52		0.44	1		0.36		
			0/10	0.5		10	1.3		1.1	2.6		0.9		
			0/15	1.5		15	3.6		3.0	6.8		2.4		
I_{IH}, I_{IL}	Input leakage current	HCC types	0/18	Any input		18		±0.1		$±10^{-5}$	±0.1		±1	
		HCF types	0/15	Any input		15		±0.3		$±10^{-5}$	±0.3		±1	
C_I	Input capacitance			Any input						5	7.5			

* T_{Low} = − 55°C for **HCC** device; −40°C for **HCF** device.
* T_{High} = +125°C for **HCC** device; +85°C for **HCF** device.
The Noise Margin for both "1" and "0" level is: 1V min. with V_{DD} = 5V
2V min. with V_{DD} = 10V
2.5V min. with V_{DD} = 15V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

HCC/HCF 4514B
HCC/HCF 4515B

LOGIC DIAGRAM AND TRUTH TABLE



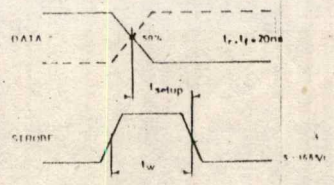
Strobe = 1

INHIBIT	DATA INPUTS				SELECTED OUTPUT HCC/HCF 4514B Logic 1 (High) HCC/HCF 4515B Logic 0 (Low)
	D	C	B	A	
0	0	0	0	0	S0
0	0	0	0	1	S1
0	0	0	1	0	S2
0	0	0	1	1	S3
0	0	1	0	0	S4
0	0	1	0	1	S5
0	0	1	1	0	S6
0	0	1	1	1	S7
0	1	0	0	0	S8
0	1	0	0	1	S9
0	1	0	1	0	S10
0	1	0	1	1	S11
0	1	1	0	0	S12
0	1	1	0	1	S13
0	1	1	1	0	S14
0	1	1	1	1	S15
1	X	X	X	X	All Outputs = 0, HCC/HCF 4514B All Outputs = 1, HCC/HCF 4515B

X = Don't Care
1 = high
0 = low

WAVEFORMS

Setup time and strobe pulse width

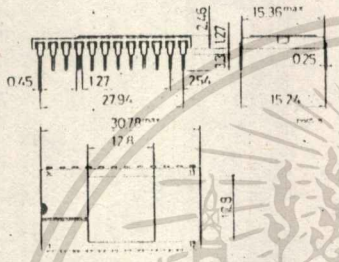


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

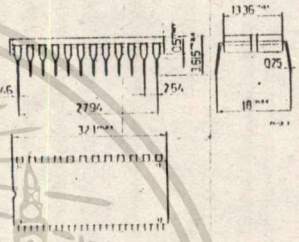
HCC/HCF 4514B
HCC/HCF 4515B

MECHANICAL DATA (dimensions in mm)

Dual in-line ceramic package for HCC 45XX BD

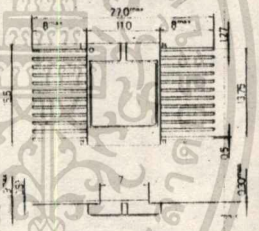


Dual in-line ceramic frit seal package for HCC/HCF 45XX BF

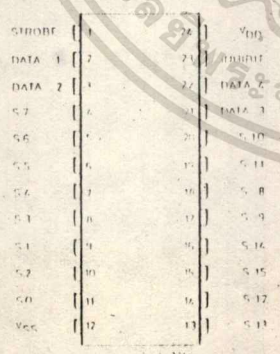


Dual in-line plastic package for HCF 45XX BF

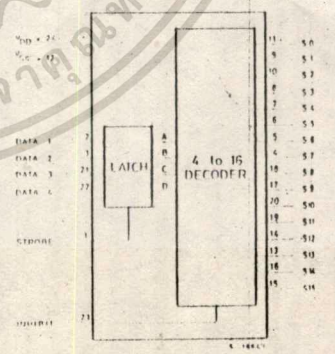
Ceramic flat package for HCC 45XX BK



CONNECTION DIAGRAM



FUNCTIONAL DIAGRAM



RECOMMENDED OPERATING CONDITIONS

V_{DD}	Supply voltage:	HCC types	3 to 18
		HCF types	3 to 15
V_I	Input voltage		0 to V_{DD}
T_{op}	Operating temperature:	HCC types	-55 to 125
		HCF types	-40 to 85

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

COS/MOS INTEGRATED CIRCUITS

4-BIT LATCH/4-TO-16 LINE DECODER:

HCC/HCF 4514B OUTPUT "HIGH" ON SELECT
HCC/HCF 4515B OUTPUT "LOW" ON SELECT

- QUIESCENT CURRENT SPECIFIED TO 20V FOR HCC DEVICE
- STROBED INPUT LATCH
- INHIBIT CONTROL
- INPUT CURRENT OF 100 nA AT 18V AND 25°C FOR HCC DEVICE
- 100% TESTED FOR QUIESCENT CURRENT
- MEETS ALL REQUIREMENTS OF JEDEC TENTATIVE STANDARD No. 13A, "STANDARD SPECIFICATIONS FOR DESCRIPTION OF "B" SERIES CMOS DEVICES"

The **HCC 4514B/HCC 4515B** (extended temperature range) and the **HCF 4514B/HCF 4515B** (intermediate temperature range) are monolithic integrated circuits available in 24-lead dual in-line plastic or ceramic package and ceramic flat package. The **HCC/HCF 4514B/4515B** consisting of a 4-bit strobed latch and a 4 to 16 line decoder. The latches hold the last input data presented prior to the strobe transition from 1 to 0. Inhibit control allows all outputs to be placed at 0 **(HCC/HCF 4514B)** or 1 **(HCC/HCF 4515B)** regardless of the state of the data or strobe inputs. The decode truth table indicates all combinations of data inputs and appropriate selected outputs.

ABSOLUTE MAXIMUM RATINGS

V_{DD}*	Supply voltage: HCC types	-0.5 to 20	V
	HCF types	-0.5 to 18	V
V_I	Input voltage	-0.5 to V_{DD} +0.5	V
I_I	DC input current (any one input)	± 10	mA
P_{tot}	Total power dissipation (per package)	200	mW
	Dissipation per output transistor		
	for T_{op} = full package-temperature range	100	mW
T_{op}	Operating temperature: HCC types	-55 to 125	°C
	HCF types	-40 to 85	°C
T_{stg}	Storage-temperature	-65 to 150	°C

* All voltage values are referred to V_{SS} pin voltage.

ORDERING NUMBERS:

HCC 45XX BD for dual in-line ceramic package
HCC 45XX BF for dual in-line ceramic frit seal package
HCC 45XX BK for ceramic flat package
HCF 45XX BF for dual in-line ceramic frit seal package
HCF 45XX BE for dual in-line plastic package

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

COS/MOS INTEGRATED CIRCUITS

NOR GATES: DUAL 3 INPUT PLUS INVERTER HCC/HCF 4000B
QUAD 2 INPUT HCC/HCF 4001B
DUAL 4 INPUT HCC/HCF 4002B
TRIPLE 3 INPUT HCC/HCF 4025B

- PROPAGATION DELAY TIME = 60 ns (TYP.) AT C_L = 50 pF, V_{DD} = 10V
- BUFFERED INPUTS AND OUTPUTS
- STANDARDIZED SYMMETRICAL OUTPUT CHARACTERISTICS
- QUIESCENT CURRENT SPECIFIED TO 20V FOR HCC DEVICE
- 5V, 10V, AND 15V PARAMETRIC RATINGS
- INPUT CURRENT OF 100 nA AT 18V AND 25°C FOR HCC DEVICE
- 100% TESTED FOR QUIESCENT CURRENT
- MEETS ALL REQUIREMENTS OF JEDEC TENTATIVE STANDARD NO. 13A, "STANDARD SPECIFICATIONS FOR DESCRIPTION OF "B" SERIES CMOS DEVICES"

The HCC 4000B, HCC 4001B, HCC 4002B and HCC 4025B (extended temperature range) and HCF 4000B, HCF 4001B, HCF 4002B and HCF 4025B (intermediate temperature range) are monolithic integrated circuit, available in 14-lead dual in-line plastic or ceramic package, ceramic flat package and plastic micropackage.
The HCC/HCF 4000B, HCC/HCF 4001B, HCC/HCF 4002B and HCC/HCF 4025B NOR gates provide the system designer with direct implementation of the NOR function and supplement the existing family of CMOS/MOS gates. All inputs and outputs are buffered.

ABSOLUTE MAXIMUM RATINGS

V_{DD}*	Supply voltage: HCC types	-0.5 to 20	V
	HCF types	-0.5 to 18	V
V_i	Input voltage	-0.5 to V_{DD} +0.5	V
I_I	DC input current (any one input)	± 10	mA
P_{tot}	Total power dissipation (per package)	200	mW
	Dissipation per output transistor for T_{op} = full package-temperature range	100	mW
T_{op}	Operating temperature: HCC types	-55 to 125	°C
	HCF types	-40 to 85	°C
T_{stg}	Storage temperature	-65 to 150	°C

* All voltage values are referred to V_{SS} pin voltage.

ORDERING NUMBERS:

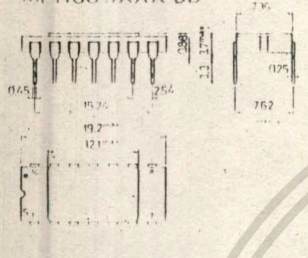
HCC 4XXX BD for dual in-line ceramic package
HCC 4XXX BF for dual in-line ceramic package, frit seal
HCC 4XXX BK for ceramic flat package
HCF 4XXX BE for dual in-line plastic package
HCF 4XXX BF for dual in-line ceramic package, frit seal
HCF 4XXX BM for plastic micropackage

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

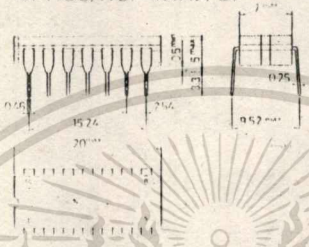
HCC/HCF 4000 B
HCC/HCF 4001 B
HCC/HCF 4002 B
HCC/HCF 4025 B

MECHANICAL DATA (dimensions in mm)

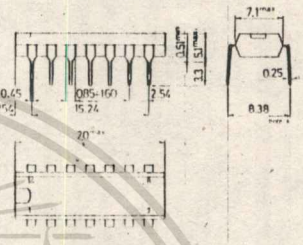
Dual in-line ceramic package for HCC 4XXX BD



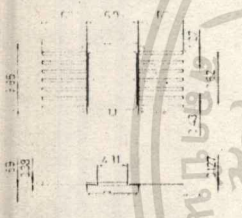
Dual in-line ceramic package for HCC/HCF 4XXX BF



Dual in-line plastic package for HCF 4XXX BE



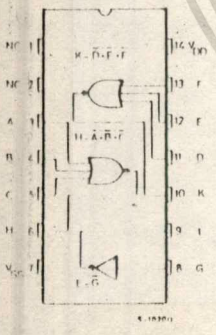
Ceramic flat package for HCC 4XXX BK



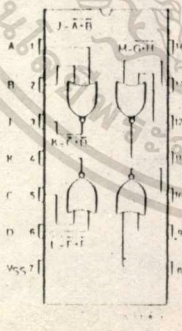
Plastic micropackage for HCF 4XXX BM

CONNECTION DIAGRAMS

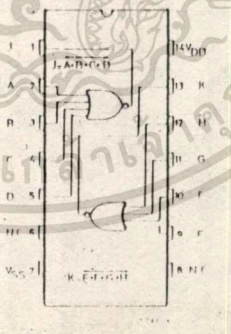
for 4000B



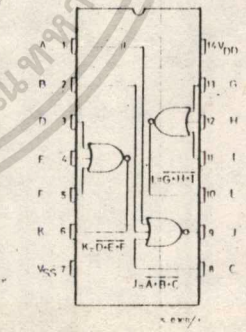
for 4001B



for 4002B



for 4025B



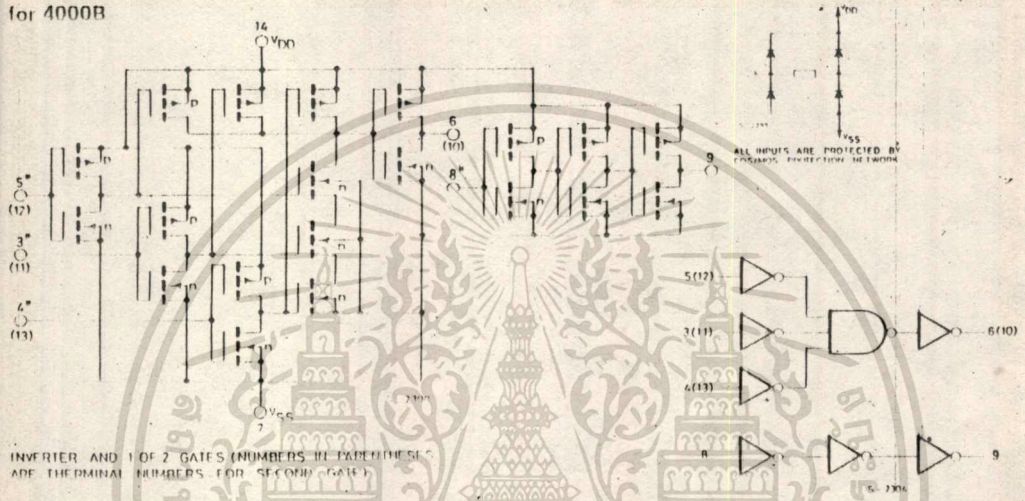
RECOMMENDED OPERATING CONDITIONS

V_{DD}	Supply voltage:	HCC types	3 to 18	V
		HCF types	3 to 15	V
V_i	Input voltage		0 to V_{DD}	V
T_{op}	Operating temperature:	HCC types	55 to 125	°C
		HCF types	40 to 85	°C

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SCHEMATIC AND LOGIC DIAGRAMS

for 4000B

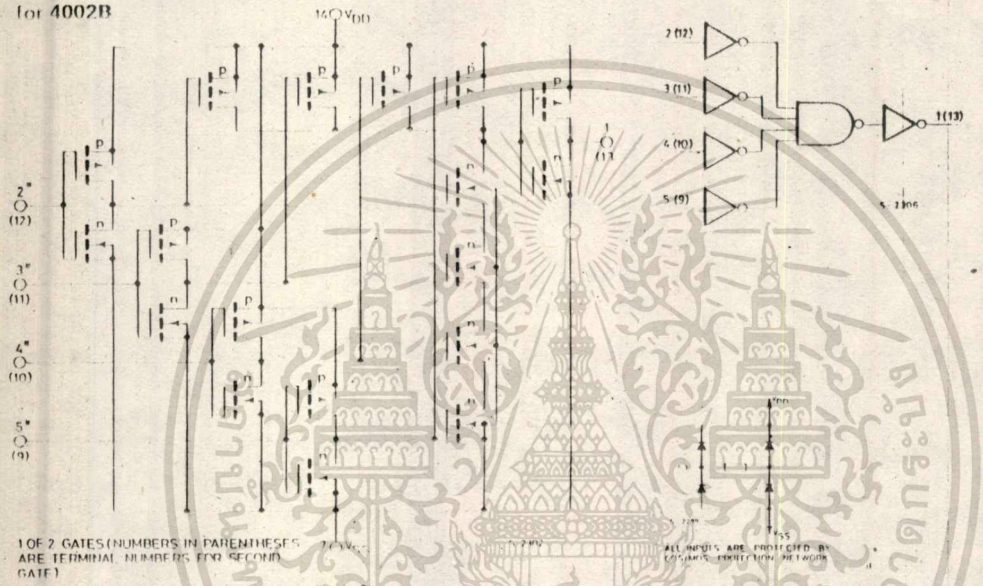


for 4001B

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

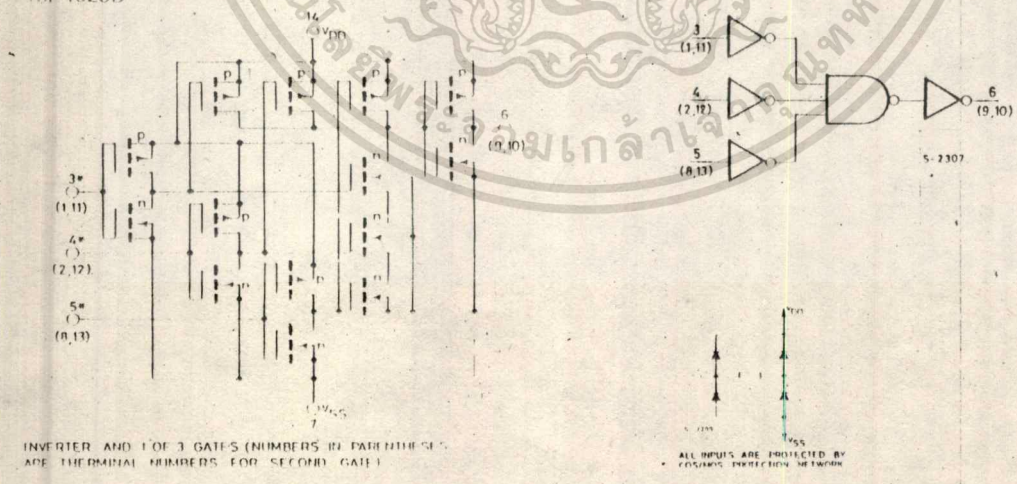
SCHEMATIC AND LOGIC DIAGRAMS (continued)

for 4002B



1 OF 2 GATES (NUMBERS IN PARENTHESES ARE TERMINAL NUMBERS FOR SECOND GATE)

for 4025B



INVERTER AND 1 OF 3 GATES (NUMBERS IN PARENTHESES ARE TERMINAL NUMBERS FOR SECOND GATE)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

STATIC ELECTRICAL CHARACTERISTICS (over recommended operating conditions)

Parameter			Test conditions V_I (V)	V_O (V)	$\|I_O\|$ (μA)	V_{DD} (V)	Values T_{Low}* Min.	Max.	25°C Min.	Typ.	Max.	T_{High}* Min.	Max.	Unit
I_I	Quiescent current	HCC types	0/5			5		0.25		0.01	0.25		7.5	μA
			0/10			10		0.5		0.01	0.5		15	
			0/15			15		1		0.01	1		30	
			0/20			20		5		0.02	5		150	
		HCF types	0/5			5		1		0.01	1		7.5	
			0/10			10		2		0.01	2		15	
			0/15			15		4		0.01	4		30	
V_{OH}	Output high voltage		0/5		< 1	5	4.95		4.95			4.95		V
			0/10		< 1	10	9.95		9.95			9.95		
			0/15		< 1	15	14.95		14.95			14.95		
V_{OL}	Output low voltage		5/0		< 1	5		0.05			0.05		0.05	V
			10/0		< 1	10		0.05			0.05		0.05	
			15/0		< 1	15		0.05			0.05		0.05	
V_{IH}	Input high voltage			0.5/4.5	< 1	5	3.5		3.5			3.5		V
				1/9	< 1	10	7		7			7		
				1.5/13.5	< 1	15	11		11			11		
V_{IL}	Input low voltage			4.5/0.5	< 1	5		1.5			1.5		1.5	V
				9/1	< 1	10		3			3		3	
				13.5/1.5	< 1	15		4			4		4	
I_{OH}	Output drive current	HCC types	0/5	2.5		5	-2		-1.6	-3.2		-1.15		mA
			0/5	4.6		5	-0.64		-0.51	-1		-0.36		
			0/10	9.5		10	-1.6		-1.3	-2.6		-0.9		
			0/15	13.5		15	-4.2		-3.4	-6.8		-2.4		
		HCF types	0/5	2.5		5	-1.53		-1.36	-3.2		-1.1		
			0/5	4.6		5	-0.52		-0.44	-1		-0.36		
			0/10	9.5		10	-1.3		-1.1	-2.6		-0.9		
			0/15	13.5		15	-3.6		-3.0	-6.8		-2.4		
I_{OL}	Output sink current	HCC types	0/5	0.4		5	0.64		0.51	1		0.36		mA
			0/10	0.5		10	1.6		1.3	2.6		0.9		
			0/15	1.5		15	4.2		3.4	6.8		2.4		
		HCF types	0/5	0.4		5	0.52		0.44	1		0.36		
			0/10	0.5		10	1.3		1.1	2.6		0.9		
			0/15	1.5		15	3.6		3.0	6.8		2.4		
I_{IH}, I_{IL}	Input leakage current	HCC types	0/18	Any input		18		±0.1		±10^{-5}	±0.1		±1	μA
		HCF types	0/15			15		±0.3		±10^{-5}	±0.3		±1	
C_I	Input capacitance			Any input						5	7.5			pF

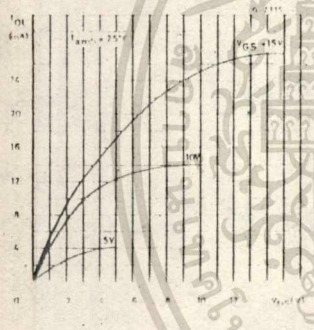
* T_{Low} = −55°C for HCC device; −40°C for HCF device
* T_{High} = +125°C for HCC device; +85°C for HCF device
The Noise Margin for both "1" and "0" level is: 1V min. with V_{DD} = 5V
2V min. with V_{DD} = 10V
2.5V min. with V_{DD} = 15V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

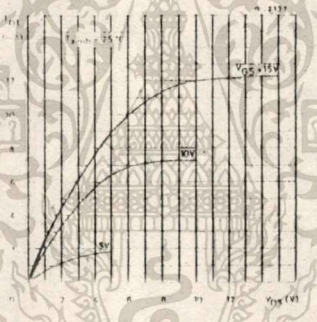
DYNAMIC ELECTRICAL CHARACTERISTICS (T_{amb} = 25°C, C_L = 50 pF, R_L = 200 kΩ, typical temperature coefficient for all V_{DD} values is 0.3%/°C, all input rise and fall times = 20 ns)

Parameter	Test conditions	Values			Unit
	V_{DD} (V)	Min.	Typ.	Max.	
t_{PHL}, t_{PLH} Propagation delay time	5		125	250	ns
	10		60	120	
	15		45	90	
t_{THL}, t_{TLH} Transition time	5		100	200	ns
	10		50	100	
	15		40	80	

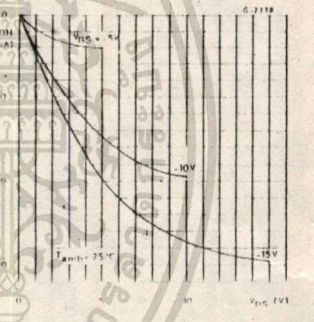
Typical output low (sink) current characteristics



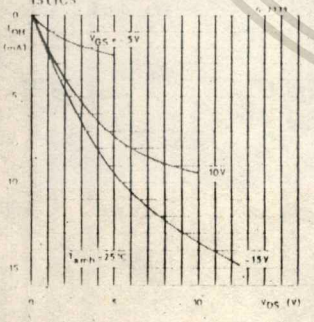
Minimum output low (sink) current characteristics



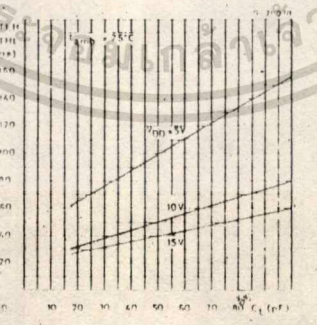
Typical output high (source) current characteristics



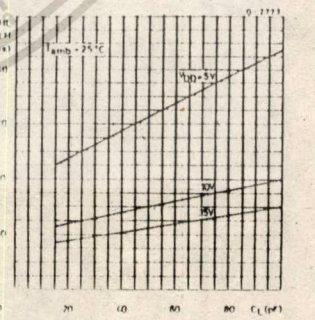
Minimum output high (source) current characteristics



Typical transition time vs. load capacitance

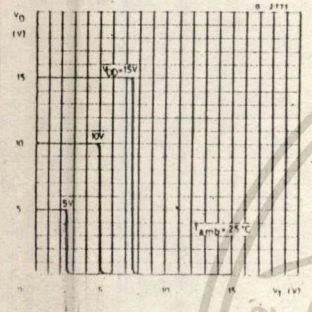


Typical propagation delay time vs. load capacitance

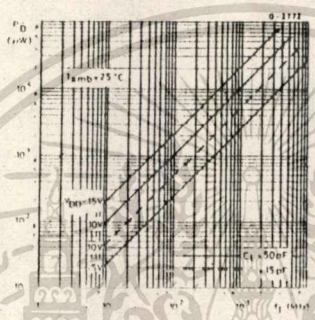


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical voltage transfer characteristics as a function of temperature

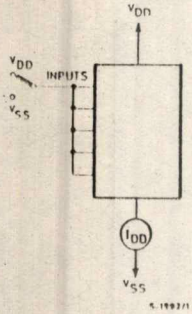


Typical power dissipation per gate vs. frequency

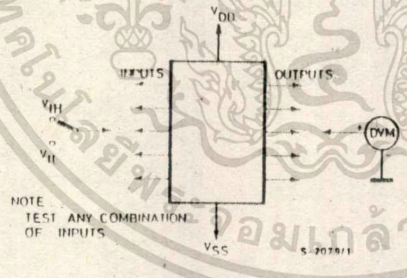


TEST CIRCUITS

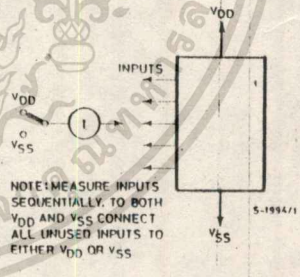
Quiescent device current



Input voltage

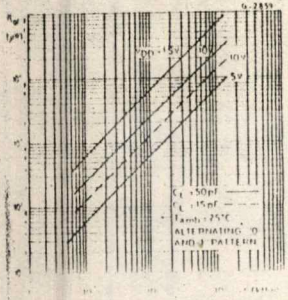


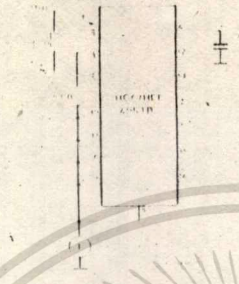
Input leakage current



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

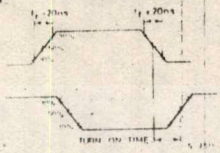
Typical dynamic power dissipation/package vs. switching frequency and test circuit (4053B)



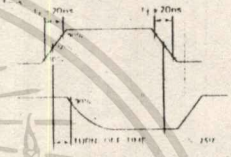


WAVEFORMS

Channel being turned ON (R_L = 10 KΩ).



Channel being turned OFF (R_L = 300Ω)



TYPICAL BIAS VOLTAGES

fig. (a)

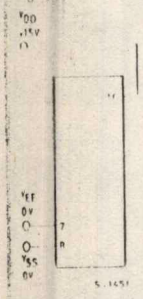


fig. (b)

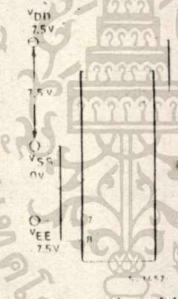


fig. (c)

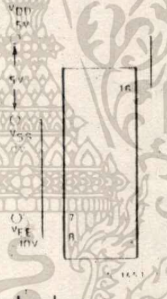
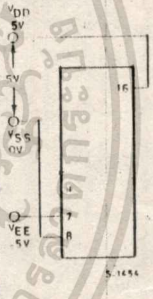


fig. (d)

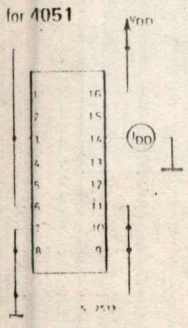


The ADDRESS (digital control inputs) and INHIBIT logic levels are: "0" = V_{SS} and "1" = V_{DD}. The analog signal (through the TG) may swing from V_{EE} to V_{DD}.

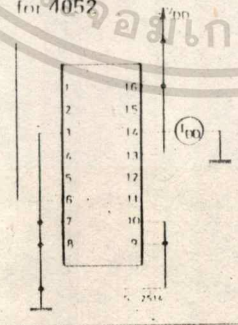
TEST CIRCUITS

OFF channel leakage current, any channel OFF

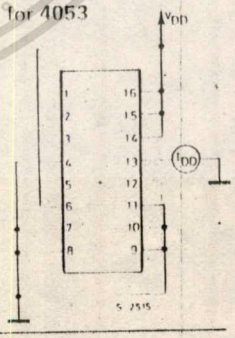
for 4051



for 4052



for 4053



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

COS/MOS INTEGRATED CIRCUITS

QUAD 3-STATE R-S LATCHES: QUAD NOR R-S LATCH-4043B
QUAD NAND R-S LATCH-4044B

- QUIESCENT CURRENT SPECIFIED TO 20V FOR HCC DEVICE
- 3-LEVEL OUTPUTS WITH COMMON OUTPUT ENABLE
- SEPARATE SET and RESET INPUT for EACH LATCH
- 5V, 10V, AND 15V PARAMETRIC RATINGS
- NOR and NAND CONFIGURATIONS
- INPUT CURRENT OF 100 nA AT 18V AND 25°C FOR HCC DEVICE
- 100% TESTED FOR QUIESCENT CURRENT
- MEETS ALL REQUIREMENTS OF JEDEC TENTATIVE STANDARD No. 13A, "STANDARD SPECIFICATIONS FOR DESCRIPTION OF "B" SERIES CMOS DEVICES"

The HCC 4043B, HCC 4044B, (extended temperature range) and the HCF 4043B, HCF 4044B (intermediate temperature range) are monolithic integrated circuits, available in 16-lead dual in-line plastic or ceramic package, ceramic flat package, and plastic micropackage. The HCC/HCF 4043B types are quad cross-coupled 3-state COS/MOS NOR latches and the HCC/HCF 4044B types are quad cross-coupled 3-state COS/MOS NAND latches. Each latch has a separate Q output and individual SET and RESET inputs. The Q outputs are controlled by a common ENABLE input. A logic "1" or "high" on the ENABLE input connects the latch states to the Q outputs. A logic "0" or "low" on the ENABLE input disconnects the latch states from the Q outputs, resulting in an open circuit condition on the Q outputs. The open circuit feature allows common bussing of the outputs.

ABSOLUTE MAXIMUM RATINGS

V_{DD}*	Supply voltage: HCC types	-0.5 to 20	V
	HCF types	-0.5 to 18	V
V_I	Input voltage	-0.5 to V_{DD} +0.5	V
I_I	DC input current (any one input)	± 10	mA
P_{tot}	Total power dissipation (per package)	200	mW
	Dissipation per output transistor for T_{op} = full package-temperature range	100	mW
T_{op}	Operating temperature: HCC types	-55 to 125	°C
	HCF types	-40 to 85	°C
T_{stg}	Storage temperature	-65 to 150	°C

* All voltage values are referred to V_{SS} pin voltage.

ORDERING NUMBERS:

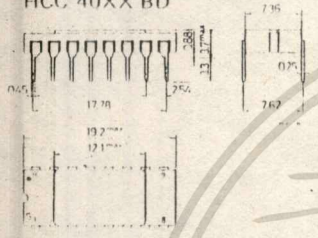
HCC 40XX BD for dual in-line ceramic package
HCC 40XX BF for dual in-line ceramic package, frit seal
HCC 40XX BK for ceramic flat package
HCF 40XX BE for dual in-line plastic package
HCF 40XX BF for dual in-line ceramic package, frit seal
HCF 40XX BM for plastic micropackage

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

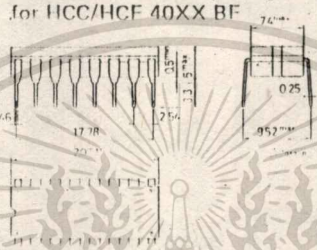
HCC/HCF 4043B
HCC/HCF 4044B

MECHANICAL DATA (dimensions in mm)

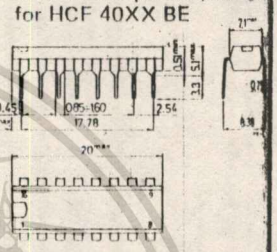
Dual in-line ceramic package
HCC 40XX BD



Dual in-line ceramic package
for HCC/HCF 40XX BF

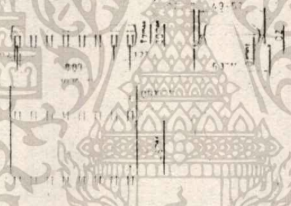


Dual in-line plastic package
for HCF 40XX BE



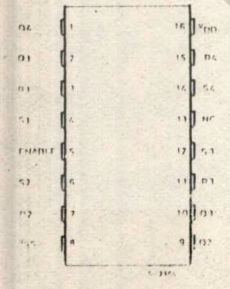
Ceramic flat package
for HCC 40XX BK

Plastic micropackage
for HCF 40XX BM

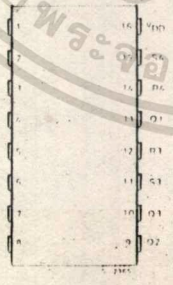


CONNECTION DIAGRAMS

For 4043B

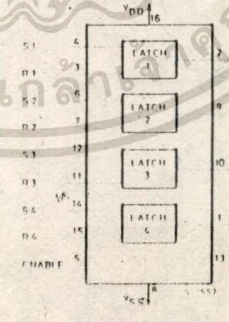


For 4044B

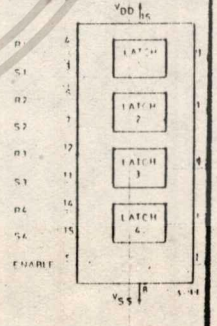


FUNCTIONAL DIAGRAMS

For 4043B



For 4044B



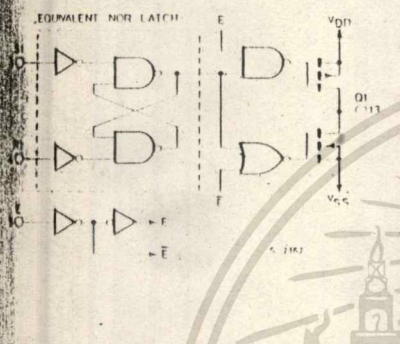
RECOMMENDED OPERATING CONDITIONS

V_{DD}	Supply voltage:	HCC types	3 to 18
		HCF types	3 to 15
V_I	Input voltage		0 to V_{DD}
T_{op}	Operating temperature:	HCC types	-55 to 125
		HCF types	-40 to 85

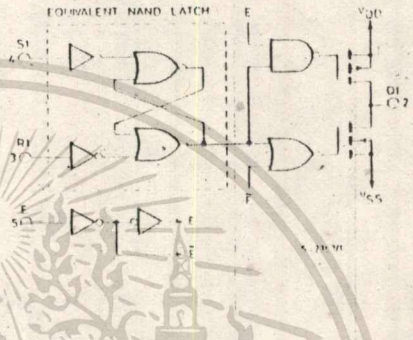
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

LOGIC DIAGRAMS

For 4043B

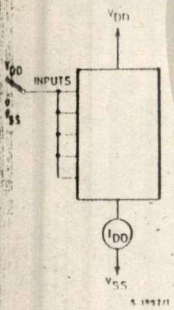


For 4044B

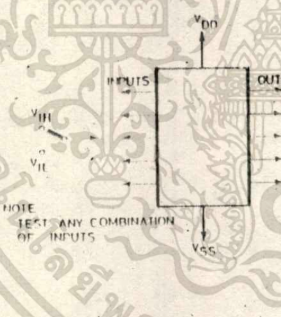


TEST CIRCUITS

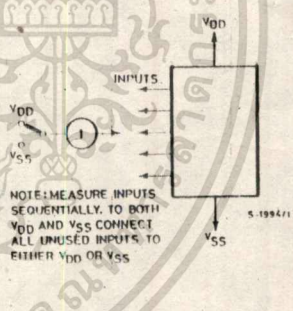
Quiescent device current



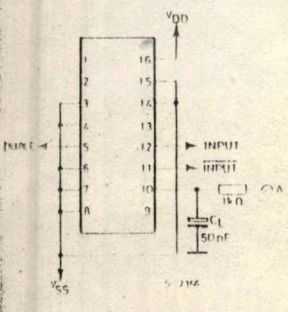
Input voltage



Input current

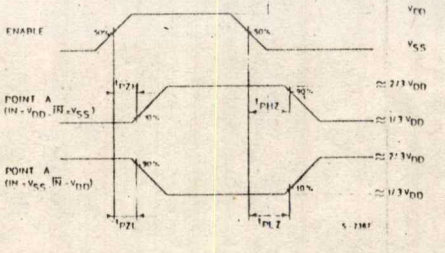


ENABLE propagation delay time and waveforms



TEST	IN	$\overline{\text{IN}}$	A
t_{PHZ}	V_{DD}	V_{SS}	V_{SS}
t_{PLZ}	V_{SS}	V_{DD}	V_{DD}
t_{PZH}	V_{DD}	V_{SS}	V_{SS}
t_{PZL}	V_{SS}	V_{DD}	V_{DD}

Z = HIGH IMPEDANCE

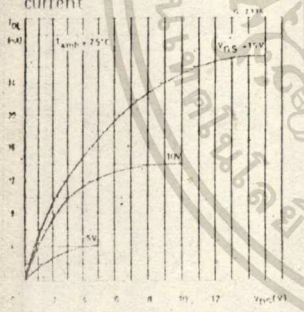


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

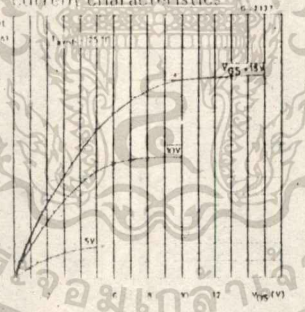
DYNAMIC ELECTRICAL CHARACTERISTICS (T_{amb} = 25°C, C_L = 50 pF, R_L = 200 kΩ, typical temperature coefficient for all V_{DD} values is 0.3%/°C, all input rise and fall times = 20 ns)

	Parameter	Test conditions	Values			Unit
		V_{DD} (V)	Min.	Typ.	Max.	
t_{PLH} t_{PHL}	Propagation delay time (SET or RESET to Q)	5		150	300	ns
		10		70	140	
		15		50	100	
t_{PZH} t_{PHZ}	3-State propagation delay time (ENABLE to Q)	5		115	230	ns
		10		55	110	
		15		40	80	
t_{PLZ} t_{PZL}	Propagation delay time	5		90	180	ns
		10		50	100	
		15		35	70	
t_{TLH} t_{THL}	Transition time	5		100	200	ns
		10		50	100	
		15		40	80	
t_W	Pulse width (SET or RESET)	5	160	80		ns
		10	80	40		
		15	40	20		

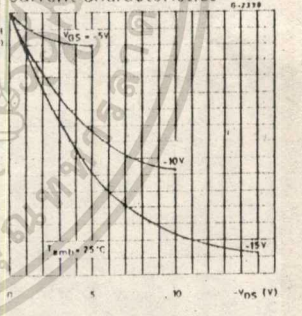
Typical output low (sink) current



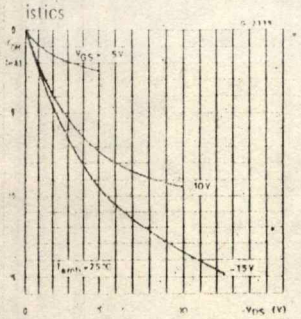
Minimum output low (sink) current characteristics



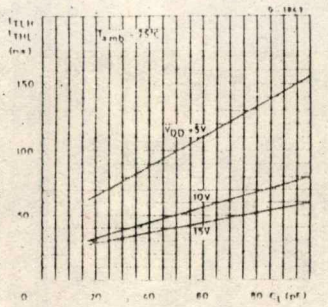
Typical output high (source) current characteristics



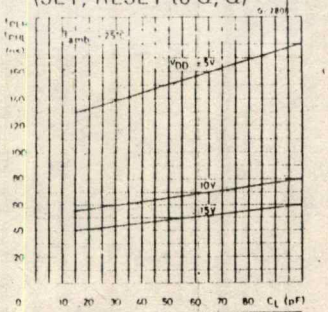
Minimum output high (source) current characteristics



Typical transition time vs. load capacitance



Typical propagation delay time vs. load capacitance (SET, RESET to Q, $\overline{Q}$)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CDM6116A

MAXIMUM RATINGS, *Absolute-Maximum Ratings*

DC SUPPLY-VOLTAGE RANGE, (V_{DD}):
(Voltage referenced to V_{SS} terminal) ..... -0.3 to +7 V
INPUT VOLTAGE RANGE, ALL INPUTS ..... -0.3 to +7 V
DC INPUT CURRENT, ANY ONE INPUT ..... ±10 mA
POWER DISSIPATION PER PACKAGE (P_D):
For T_A = -40° to +60° C (PACKAGE TYPE E) ..... 800 mW
For T_A = +60° to +85° C (PACKAGE TYPE E) ..... Derate Linearly at 8 mW/° C to 300 mW
For T_A = -40° to +85° C (PACKAGE TYPE D) ..... 500 mW
DEVICE DISSIPATION PER OUTPUT TRANSISTOR
For T_A = FULL PACKAGE-TEMPERATURE RANGE (All Package Types) ..... 100 mW
OPERATING-TEMPERATURE RANGE (T_A)
CDM6116A-2, CDM6116A-3 (PACKAGE TYPE E) ..... 0 to +70° C
CDM6116A-9 (PACKAGE TYPES D, E) ..... -40 to +85° C
STORAGE TEMPERATURE RANGE (T_{stg}) ..... -65 to +125° C
LEAD TEMPERATURE (DURING SOLDERING):
At distance 1/16 ± 1/32 in. (1.59 ± 0.79 mm) from case for 10 s max. ..... +265° C

OPERATING CONDITIONS at T_A = 0 to +70° C, (CDM6116A-2, CDM6116A-3); T_A = -40° to +85° C (CDM6116A-9)
For maximum reliability, operating conditions should be selected so that operation is always within the following ranges:

CHARACTERISTIC		LIMITS ALL TYPES MIN.	LIMITS ALL TYPES MAX.	UNITS
DC Operating Voltage Range		4.5	5.5	V
Input Voltage Range	V_{IH}	2.2	V_{DD} + 0.3	V
	V_{IL}	-0.3	0.8	V
Input Signal Rise or Fall Time Δ	t_r, t_f	—	5	μs

Δ Input signal rise and fall times longer than the maximum value can cause loss of stored data in the selected mode.

STATIC ELECTRICAL CHARACTERISTICS at T_A = 0 to +70° C (CDM6116A-2, CDM6116A-3); T_A = -40° to +85° C (CDM6116A-9), V_{DD} = 5 V ± 10%, Except as noted

CHARACTERISTIC		CONDITIONS	CDM6116A-2 MIN.	CDM6116A-2 TYP.*	CDM6116A-2 MAX.	CDM6116A-3 MIN.	CDM6116A-3 TYP.*	CDM6116A-3 MAX.	CDM6116A-9 MIN.	CDM6116A-9 TYP.*	CDM6116A-9 MAX.	UNITS
Standby Device Current	I_{DDS}	$\overline{CE}$ = V_{IH}	—	0.6	2	—	0.6	2	—	0.3	2	mA
	I_{DDS1}	$\overline{CE}$ = V_{DD}-0.2 V	—	1	30	—	1	50	—	1	100	μA
Output Voltage Low Level		I_{OL} = 2.1 mA	—	—	0.4	—	—	0.4	—	—	0.4	V
	V_{OL} Max.	I_{OL} = 1 μA	—	0.1	—	—	0.1	—	—	0.1	—	V
Output Voltage High Level		I_{OH} = -1 mA	2.4	—	—	2.4	—	—	2.4	—	—	V
	V_{OH} Min.	I_{OH} = -1 μA	—	V_{DD}-0.1	—	—	V_{DD}-0.1	—	—	V_{DD}-0.1	—	V
Input Leakage Current	I_{IN} Max.	V_{DD} = 5.5 V, V_{IN} = 0 V to V_{DD}	—	±0.1	±2	—	±0.1	±2	—	±0.1	±2	μA
3-State Output Leakage Current	I_{OUT}	$\overline{CE}$ or $\overline{OE}$ = V_{IH}, $V_{I/O}$ = 0 V to V_{DD}	—	±0.5	±2	—	±0.5	±2	—	±0.5	±2	μA
Operating Device Current	I_{OPER}#	V_{IN} = V_{IL}, V_{IH}	—	20	35	—	20	35	—	28	40	mA
Input Capacitance	C_{IN}	V_{IN} = 0 V, f = 1 MHz, T_A = 25° C	—	4	6	—	4	6	—	4	6	pF
Output Capacitance	$C_{I/O}$	$V_{I/O}$ = 0 V, f = 1 MHz, T_A = 25° C	—	6	8	—	6	8	—	6	8	pF

*Typical values are for T_A = 25° C and nominal V_{DD}.

#Outputs open circuited; cycle time = Min., t$_{WE}$ duty = 100%

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CDM6116A

SIGNAL DESCRIPTIONS

A0-A10 (Address Inputs): These inputs must be stable prior to a write operation, but may change asynchronously during read operations.

I/O1-I/O8: 8-bit tristate data bus.

$\overline{CE}$ (Chip Enable): Powers down chip, disables Read and Write functions, and gates off address inputs.

$\overline{OE}$ (Output Enable): Enables tristate outputs if $\overline{CE}$ is low and $\overline{WE}$ is high.

$\overline{WE}$ (Write Enable): Enables Write function, if $\overline{CE}$ is low. $\overline{WE}$ will dominate if both $\overline{WE}$ and $\overline{OE}$ are low (i.e., the bus will be tristated and a Write will occur).

V_{DD}, V_{SS}: Power supply connections.

DYNAMIC ELECTRICAL CHARACTERISTICS at T_A = 0 to +70°C (CDM6116A-2, CDM6116A-3); T_A = -40° to +85°C (CDM6116A-9), V_{DD} = 5 V ± 10%, Input t_r, t_f = 10 ns; C_L = 100 pF and 1 TTL Load, Input Pulse Levels: 0.8 V to 2.1 V

CHARACTERISTIC		LIMITS						UNITS
		CDM6116A-2		CDM6116A-3		CDM6116A-9		
Read Cycle Times See Fig. 2		MIN.†	MAX.	MIN.†	MAX.	MIN.†	MAX.	
Read Cycle Time	t_{RC}	200	—	150	—	250	—	ns
Address Access Time	t_{AA}	—	200	—	150	—	250	
Chip Enable Access Time	t_{ACE}	—	200	—	150	—	250	
Chip Enable to Output Active	t_{CX}	15	—	15	—	15	—	
Output Enable to Output Valid	t_{OEV}	—	120	—	60	—	150	
Output Enable to Output Active	t_{OEX}	15	—	15	—	15	—	
Chip Disable to Output "High Z"	t_{CHZ}	0	60	0	50	0	80	
Output Disable to Output "High Z"	t_{OHZ}	0	60	0	50	0	80	
Output Hold from Address Change	t_{OH}	15	—	15	—	15	—	

†Time required by a limit device to allow for the indicated function.

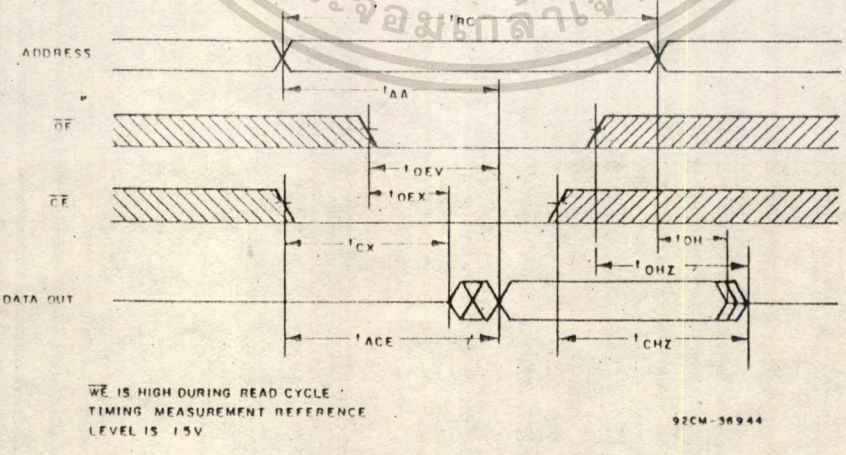
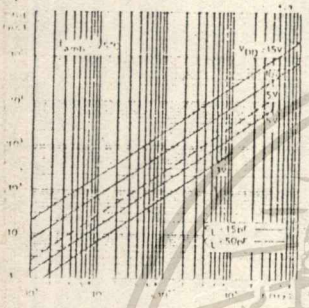


Fig. 2 - Read-cycle timing waveforms.

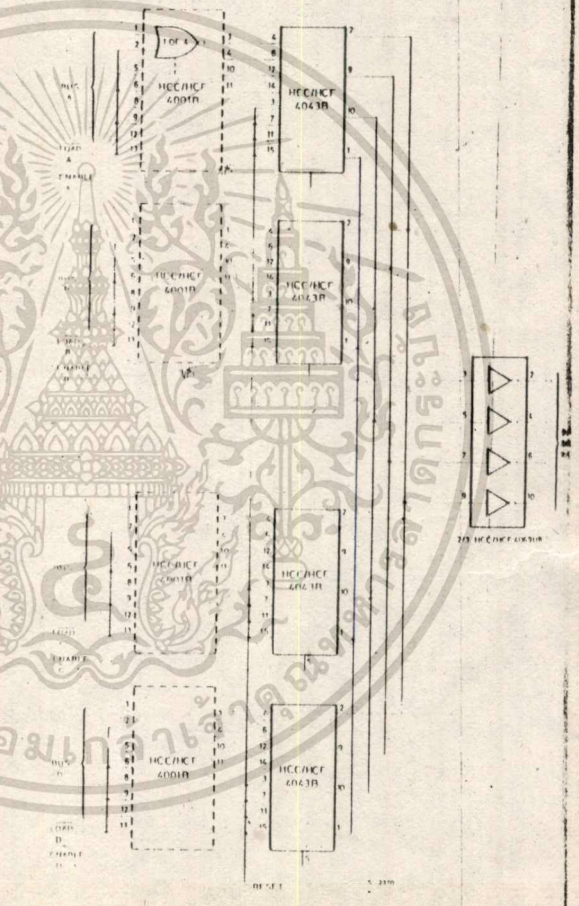
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical power dissipation/ device vs. frequency



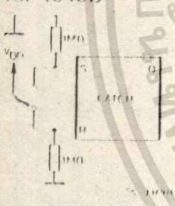
APPLICATIONS

Multiple bus storage

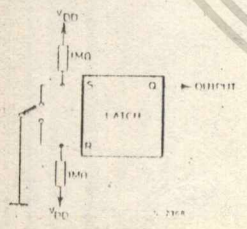


Switch bounce eliminator

for 4043B



for 4044B

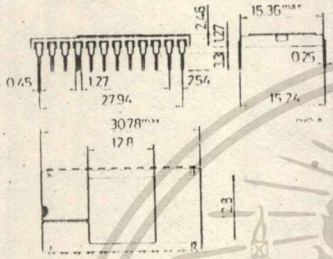


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

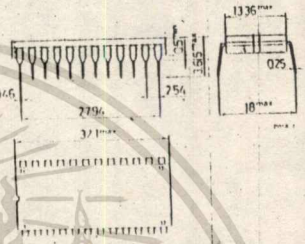
HCC/HCF 4514B
HCC/HCF 4515B

MECHANICAL DATA (dimensions in mm)

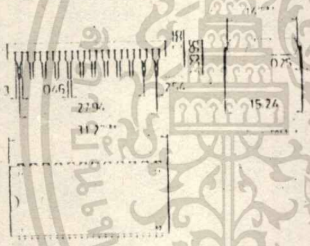
Dual in-line ceramic package
for HCC 45XX BD



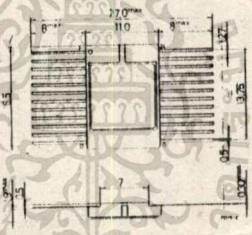
Dual in-line ceramic frit seal
package for HCC/HCF 45XX BF



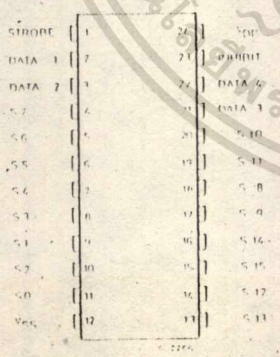
Dual in-line plastic package
for HCF 45XX BF



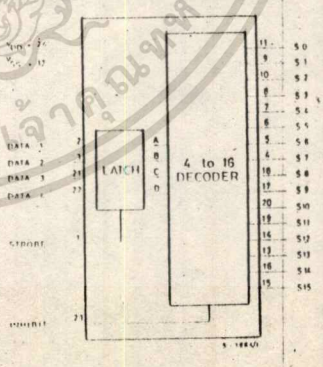
Ceramic flat package
for HCC 45XX BK



CONNECTION DIAGRAM



FUNCTIONAL DIAGRAM



RECOMMENDED OPERATING CONDITIONS

V_{DD}	Supply voltage:	HCC types	3 to 18
		HCF types	3 to 15
V_I	Input voltage		0 to V_{DD}
T_{op}	Operating temperature:	HCC types	-55 to 125
		HCF types	-40 to 85

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CDM6116A

DATA RETENTION CHARACTERISTICS at T_A = 0 to 70° C (CDM6116A-2, CDM6116A-3); T_A = −40 to +85° C (CDM6116A-9), Unless otherwise noted, See Fig. 4.

CHARACTERISTIC		TEST CONDITIONS	LIMITS ALL TYPES MIN.	LIMITS ALL TYPES MAX.	UNITS
Minimum Data Retention Voltage	V_{DR}				V
CDM6116A-2, CDM6116A-3, CDM6116A-9		T_A = 0 to 70° C, $\overline{CE} \geq V_{DD}$ − 0.2 V	2	—	
CDM6116A-9		T_A = −40 to 0° C, $\overline{CE} \geq V_{DD}$ − 0.2 V	4.5	—	
Data Retention Quiescent Current	I_{DDDR}*				μA
CDM6116A-2		V_{DD} = 3 V, $\overline{CE} \geq$ 2.8 V	—	15	
CDM6116A-3		V_{DD} = 3 V, $\overline{CE} \geq$ 2.8 V	—	25	
CDM6116A-9		V_{DD} = 3 V, $\overline{CE} \geq$ 2.8 V	—	50	
Chip Disable to Data Retention Time	t_{CDR}	See Fig. 4	0	—	ns
Recovery to Normal Operation Time	t_R	See Fig. 4	†t_{RC}	—	

*I_{DDDR} 7.5 μA max. at T_A 0° to +40° C for CDM6116A-2 and CDM6116A-3.
†t_{RC} = Read Cycle Time.

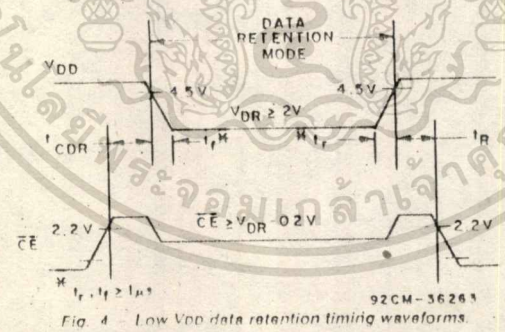


Fig. 4 — Low V_{DD} data retention timing waveforms.

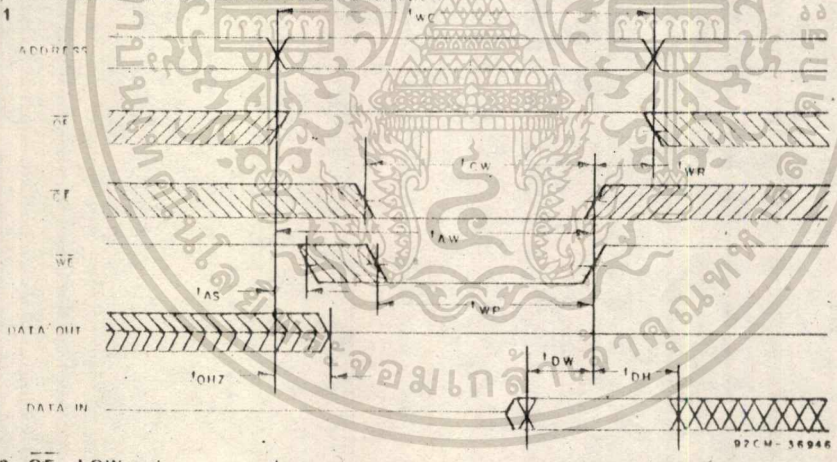
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DYNAMIC ELECTRICAL CHARACTERISTICS at T_A = 0 to +70°C (CDM6116A-2, CDM6116A-3); T_A = −40° to +85°C (CDM6116A-9), V_{DD} = 5 V ± 10%, Input t_r, t_f = 10 ns; C_L = 100 pF and 1 TTL Load, Input Pulse Levels: 0.8 V to 2.4 V

CHARACTERISTIC		LIMITS						UNITS
		CDM6116A-2		CDM6116A-3		CDM6116A-9		
Write Cycle Times See Fig. 3		MIN.†	MAX.	MIN.†	MAX.	MIN.†	MAX.	
Write Cycle Time	t_{WC}	200	—	150	—	250	—	ns
Chip Enable to End of WRITE	t_{CW}	160	—	90	—	200	—	
Address Valid to End of WRITE	t_{AW}	160	—	90	—	200	—	
Address Setup Time	t_{AS}	0	—	0	—	0	—	
Write Pulse Width	t_{WP}	160	—	90	—	200	—	
Write Recovery Time	t_{WR}	10	—	0	—	10	—	
Output Disable to Output "High Z"	t_{OHZ}	0	60	0	50	0	80	
Write to Output "High Z"	t_{WHZ}	0	60	0	40	0	80	
Input Data Setup Time	t_{DW}	80	—	50	—	100	—	
Input Data Hold Time	t_{DH}	10	—	5	—	10	—	
Output Active from End of Write	t_{OW}	10	—	10	—	10	—	

†Time required by a limit device to allow for the indicated function

WRITE CYCLE 1



WRITE CYCLE 2 - $\overline{OE}$ LOW

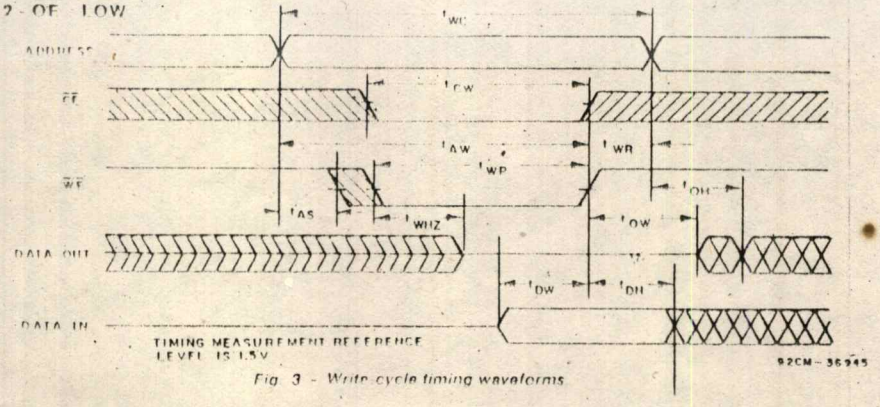


Fig. 3 - Write cycle timing waveforms

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ในการทำปริญญานิพนธ์นี้ ผู้จำทำต้องขอขอบพระคุณ ผู้ช่วยศาสตราจารย์ ดร.กนก เจนจิระพงศ์เวช ซึ่งเป็นอาจารย์ที่ปรึกษา ที่คอยให้ความช่วยเหลือดูแล และให้คำปรึกษาเกี่ยวกับข้อมูลต่างๆ ในการจัดทำวิจัยในครั้งนี้อย่างใกล้ชิด และชี้แนะแนวทางแก้ไขตลอดจนการช่วยแปลเอกสาร ภาษาญี่ปุ่น จนทำให้การทำปริญญานิพนธ์ ในครั้งนี้สำเร็จลงได้ด้วยดี

คณะผู้จัดทำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หนังสืออ้างอิง

1. ศึกษา ภู่วรวรรณ, วัลลภา เสียงกูล, "ไมโครโปรเซสเซอร์ไมโครคอมพิวเตอร์", ซีเอ็ดยูเคชัน, 6 หน้า

2. ประทีป จันทร์ศิลพรัตน์, "ทฤษฎีและการใช้งาน วงจรดิจิตอล", คณะวิศวกรรมศาสตร์, สถาบันเทคโนโลยีพระจอมเกล้า, เจ้าคุณทหารลาดกระบัง, 32 หน้า

3. DATA BOOK COS/MOS B-SERIES DEVICES 3rd EDITTION ISSUED FABRUARY 1982

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้