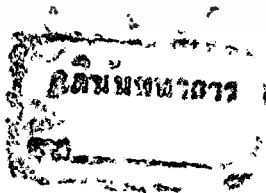




ปีการศึกษา 2531

นาฬิกาบอกเวลาเป็นเสียงพูด



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไปลงตลาดให้นำไปใช้ประโยชน์ด้วยการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

024700

29.มค. 2533

ปริญญาโทปีการศึกษา 2531

ภาควิชา เทคนิคอุตสาหกรรม

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง นาฬิกาบอกเวลาเป็นเสียงพูด

ผู้จัดทำ

1. ชุมพล ชูณิกากรณ์
2. ณรงค์ ทั้งธงชัย



..... อาจารย์ที่ปรึกษา
(.....)

..... อาจารย์ที่ปรึกษา
(.....)

..... อาจารย์ที่ปรึกษา
(.....)

นาฬิกาบอกเวลาเป็นเสียงพูด

ชุมพล ชูณิกการณ์
ณรงค์ ทั้งธงชัย
คร.ไพศาล นาคพิพัฒน์ อาจารย์ที่ปรึกษา
ปีการศึกษา 2531

บทคัดย่อ

วิทยานิพนธ์ฉบับนี้เรียบเรียงขึ้นจากผลงานที่ได้พัฒนาขึ้น เป็นอุปกรณ์อำนวยความสะดวกในการบอกเวลา โดยเสียงที่บอกเวลานั้นจะถูกบันทึกไว้ในอุปกรณ์ประเภทสารกึ่งตัวนำชนิดไดนามิกแรม (DYNAMIC RAM) สำหรับการเปลี่ยนสัญญาณอะนาลอกไปเป็นสัญญาณดิจิทัล (ANALOG TO DIGITAL CONVERSION) และการเปลี่ยนสัญญาณดิจิทัลไปเป็นสัญญาณอะนาลอก (DIGITAL TO ANALOG CONVERSION) ใช้วิธีการของเซลล์ตามอคูเลชันและดีมอดูเลชันแบบเปลี่ยนแปลงความชันต่อเนื่อง (CONTINUOUSLY VARIABLE SLOPE DELTA MODULATOR/DEMODULATOR) หรือ CVSD ซึ่งวิธีนี้จะช่วยไดนามิกเรนจ์ (DYNAMIC RANGE) มีค่ากว้างขึ้น ทำให้การตอบสนองต่อความถี่ต่ำและความถี่สูงดีขึ้น ทั้งนี้คุณภาพเสียงจึงมีค่าใกล้เคียงกับอุปกรณ์บันทึกเสียงประเภทอื่น แต่การใช้อุปกรณ์สารกึ่งตัวนำ จะตัดปัญหาความยุ่งยากในคานแมคคานิค (MECHANIC) ออกไปหมด สำหรับอุปกรณ์ที่ได้สร้างขึ้นสามารถจะบอกเวลาได้ทุก ๆ 1 ชั่วโมง โดยมีเสียงสัญญาณเตือนก่อนบอกเวลา การสร้างใช้อุปกรณ์ที่หาได้ง่ายและราคาอุปกรณ์ที่เหมาะสม

TALK CLOCK

Choopol Khunigargorn

Narong Tungthongchai

DR. PAISAL NAKPIPAT Advisor

1988

Abstract

This thesis is compiled from the invention of the facilitating for telling the time. The appearing of sound will be recorded in demiconductor device, dynamic random access Memory (RAM). The method for analog to digital conversion or digital to analog conversion is Continuously Variable Slope Delta Modulator/Demodulator (CVSD) technigue. This procedure will increase more dynamic range and will help highlow frequency response better. Therefore the quality of sound like the nature. Advantage for using semiconductor will clininate all of the difficulty of the mechanic problem. Talk Clock tells the time everyhour before telling the time we will hear the warning sound appearing. We can afford by using general material that we could find with not cost too much.

สารบัญ

	หน้า
บทที่ 1 บทนำ	1
บทที่ 2 ทฤษฎี	3
2.1 เคลตามอคูเลเตอร์	3
2.2 คอมแพนดิงอัลกอริทึม	6
บทที่ 3 การออกแบบและการคำนวณ	8
3.1 การออกแบบและการคำนวณวงจรมายส่วนหน้า	8
3.2 การออกแบบและการคำนวณวงจรมายส่วนความจำ	11
3.3 การออกแบบและการคำนวณวงจรมายพิกษา	18
บทที่ 4 การทดลองและการสร้าง	21
บทที่ 5 บทวิจารณ์และสรุป	26
ภาคผนวก	28
กิตติกรรมประกาศ	72
หนังสืออ้างอิง	73

สารบัญรูปภาพ

	หน้า
รูปที่ 1 บล็อกไคอะแกรมแสดงโครงสร้างภายใน MC3417	1
รูปที่ 2 บล็อกไคอะแกรมของ CVSD ENCODER	3
รูปที่ 3 แสดงรูปคลื่นของ CVSD	5
รูปที่ 4 บล็อกไคอะแกรมของ CVSD DECODER	5
รูปที่ 5 วงจรขยาย	8
รูปที่ 6 วงจรรองความถี่ต่ำผ่าน	9
รูปที่ 7 รอบการอ่านของ ไคนามิกแรม	12
รูปที่ 8 รอบการเขียนของ ไคนามิกแรม	13
รูปที่ 9 รอบการรีเฟรชของ ไคนามิกแรม	14
รูปที่ 10 บล็อกไคอะแกรมการจัดการหน่วยความจำ	15
รูปที่ 11 ไคอะแกรมเวลาของสัญญาณควบคุม	16
รูปที่ 12 วงจรสร้างสัญญาณควบคุม	17
รูปที่ 13 บล็อกไคอะแกรมของ ไอซีนาฬิกา	18
รูปที่ 14 ตารางแสดงเอาต์พุตชั่วโมง หลักหน่วย และหลักสิบของ TM4801P	19
รูปที่ 15 การจิกแอกเคอเรสของอีพ롬	20
รูปที่ 16 วงจรกำหนดเวลา 4 วินาที	20
รูปที่ 17 เพิ่มเติมวงจรถัดมาเวลา 4 วินาที	21
รูปที่ 18 วงจรนาฬิกาบอกเวลาค่ายเสียงพูด	24

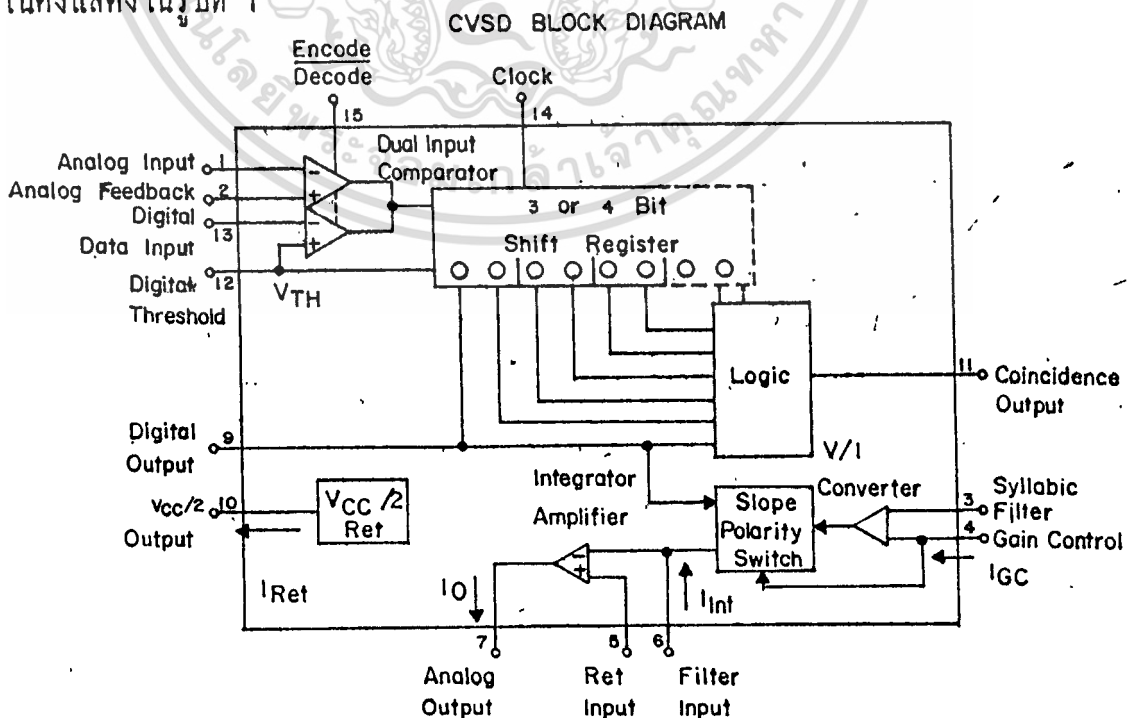
บทที่ 1

บทนำ

เวลาเป็นสิ่งสำคัญต่อการดำรงชีวิตประจำวัน เพราะในแต่ละวันเราจะต้องมีอุปกรณ์บอกเวลา เพื่อให้รู้ว่าเวลานี้เวลานั้นเราควรจะทำอะไรบ้าง และในแต่ละครั้งที่เราต้องการทราบเวลาก็จะต้องกลับไปมองอุปกรณ์บอกเวลาซึ่งก็คือนาฬิกานั้นเอง จากสิ่งนี้จึงได้เกิดแนวความคิดเพื่ออำนวยความสะดวกในการบอกเวลา โดยไม่ต้องคิดพะวงกับเวลาในการกระทำกิจกรรมใด ๆ เพราะเมื่อถึงเวลาจะมีเสียงพูดบอกเวลาให้ทราบทันที

ในขณะที่ความก้าวหน้าทางเทคโนโลยีค่านสารกึ่งตัวนำยิ่งก้าวต่อไปอย่างไม่หยุดยั้ง การผลิตไอซีที่มีความสามารถสูง ๆ ในการทำงานก็ถูกผลิตออกมาอย่างต่อเนื่อง ทำให้เราสามารถที่จะนำไอซีเหล่านี้ไปประยุกต์การใช้งานกันได้อย่างกว้างขวาง แล้วแต่ความคิดและความสามารถของแต่ละบุคคล และหนึ่งในตัวอย่างเหล่านี้ก็ได้ถูกนำมาใช้ในโครงการนี้

ชิ้นส่วนที่สำคัญในโครงการนี้คือ ไอซีเบอร์ MC3417 ซึ่งมีโครงสร้างภายในดังแสดงในรูปที่ 1



ไอซีเบอร์ MC 3417 จะทำหน้าที่แปลงสัญญาณอะนาลอกไปเป็นสัญญาณดิจิทัล และยังแปลงสัญญาณดิจิทัลเป็นสัญญาณอะนาลอกได้ภายในตัวเดียวกัน โดยวิธีการแปลงสัญญาณกลับไปมานั้นเป็นแบบเกสท์คีมอคู เลขชั้นและคีมอคู เลขชั้นแบบเปลี่ยนแปลงความชันต่อเนื่อง เพราะว่าวิธีการของเกสท์คีมอคู เลขชั้นเกิมนั้นการทำงานจะถูกจำกัดทางด้านความถี่ ขนาดของสัญญาณ และมีไคนามิกเรนจ์ที่แคบ คุณภาพของสัญญาณที่แปลงกลับออกมาจึงยังไม่ค่อยมีประสิทธิภาพ การเพิ่มวงจรการเปลี่ยนแปลงความชันต่อเนื่อง (CONTINUOUSLY VARIABLE SLOPE CIRCUITRY) ทำให้แก้ปัญหาเหล่านี้ลงไปได้ ทั้งนี้คุณของสัญญาณที่ถูกแปลงกลับออกมาจึงมีประสิทธิภาพใกล้เคียงกับแหล่งกำเนิดของสัญญาณที่ถูกแปลงเข้าไป

โครงการนี้ประกอบด้วยไอซีนาฬิกาเป็นแหล่งบอกเวลา แล้วนำเอาเอาท์พุทของไอซีนาฬิกาไปเข้ารหัส (ENCODE) และถอดรหัส (DECODE) เพื่อให้ตรงกับตำแหน่ง (ADDRESS) ของหน่วยความจำที่เก็บค่าบอกเวลาโดยหน่วยความจำจะส่งข้อมูลดิจิทัลไปยังไอซี MC3417 เพื่อเปลี่ยนเป็นสัญญาณอะนาลอกหรือเสียงพูดที่ตรงกับเวลาของชั่วโมงของนาฬิกา โดยค่าบอกเวลานี้สามารถจะเปลี่ยนเป็นสัญญาณเสียงอื่น ๆ ได้ตามต้องการ เพราะภายในมีไมโครโฟนที่อยู่ด้วย การบันทึกเสียงก็สะดวกและง่ายต่อการใช้

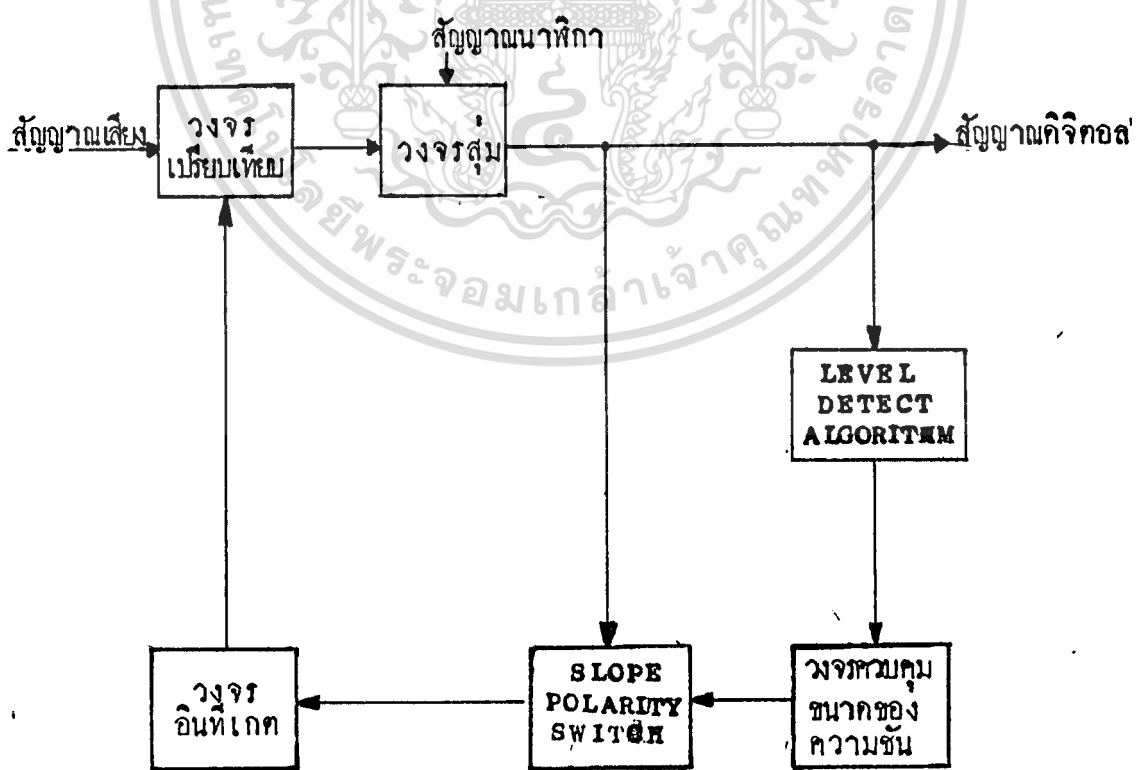
บทที่ 2

ทฤษฎี

เกลต้ามอกุเลชันแบบเปลี่ยนแปลงความชันต่อเนื่องเป็นเทคนิคที่ยุงยาก
 ชับซ้อนขึ้นในระบบที่คองการการทักข้อสื่อสารแบบคิจิตอลของสัญญาณอะนาลอก เสียงพูด
 ของมนุษย์เป็นสัญญาณอะนาลอก แต่การส่งสัญญาณไปเป็นระยะทางไกล ๆ นั้น การส่ง
 แบบคิจิตอลจะดีกว่า อัตราส่วนของสัญญาณต่อสัญญาณรบกวนจะไม่เปลี่ยนแปลงไปตาม
 ระยะทางในการส่งสัญญาณและการมัลติเพล็กซ์ (MULTIPLEXING) แบบคิจิตอล
 รวมทั้งฮาร์ดแวร์ (HARDWARE) ในการสวิตชิง (SWITCHING) และการทวนสัญญาณ
 (REPEATING) จะมีราคาต่ำและง่ายต่อการออกแบบในการใช้งาน

2.1 เกลต้ามอกุเลเตอร์

บล็อกโคอะแกรมการเข้ารหัสของเกลต้ามอกุเลชันแบบเปลี่ยนแปลง
 ความชันต่อเนื่องได้แสดงในรูปที่ 2



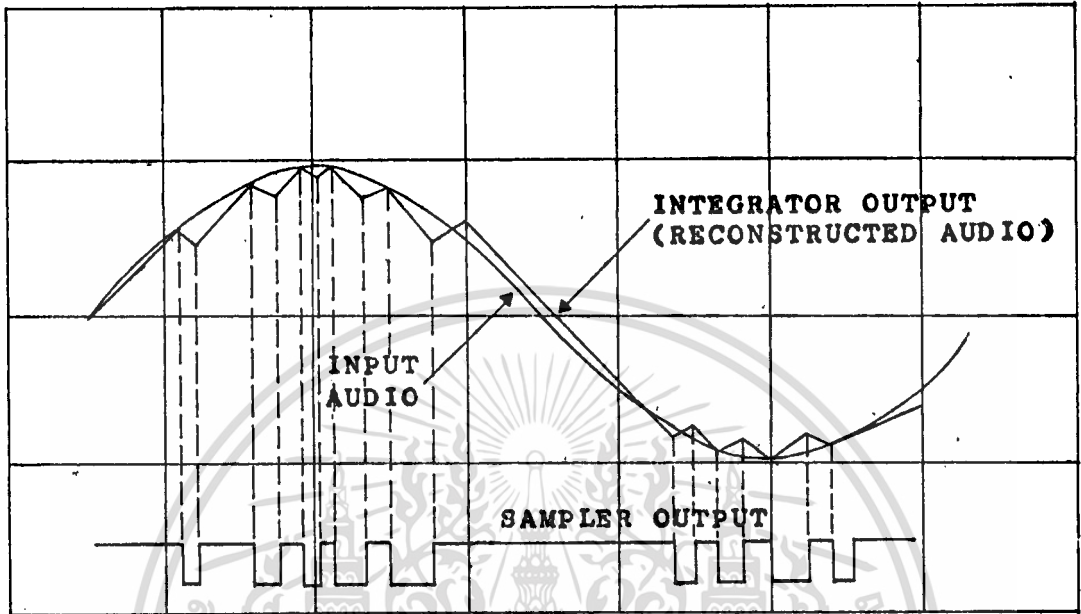
รูปที่ 2 บล็อกโคอะแกรมของ CVSD ENCODER

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปควบคุมภายในสุดของ CVSD ก็คือ เกล็ดำมอถูเลชันธรรมชาติมันเอง ส่วนของ เกล็ดำมอถูเลชันประกอบไปด้วย วงจร เปรียบเทียบ (COMPARATOR) และ วงจรอินทิเกรต (INTEGRATE) ซึ่งเป็นส่วนป้อนกลับ (FEEDBACK) ของรูปควบคุม สัญญาณเข้าที่วงจร เปรียบเทียบจะเป็นสัญญาณอะนาลอกรวมกับสัญญาณที่ออกจากวงจร อินทิเกรต สัญญาณที่ออกจากวงจร เปรียบเทียบจะเป็นผลต่างระหว่างสัญญาณอะนาลอก ที่เข้ามา กับสัญญาณที่ออกจากวงจรอินทิเกรต ซึ่งจะเป็นสัญญาณดิจิทัลที่มีบิตเครื่องหมาย (SIGN BIT) และสัญญาณดิจิทัลนี้จะควบคุมทิศทางของการกำเนิดสัญญาณแรम्พ์ (RAMP) ในวงจรอินทิเกรต วงจร เปรียบเทียบนี้จะควบคุมด้วยสัญญาณนาฬิกา (CLOCK) เพื่อที่จะกำเนิดกลุ่มของสัญญาณดิจิทัลที่กระทำพร้อมกัน (SYNCHRONOUS) และจำกัดค่าความกว้างของกลุ่มสัญญาณ

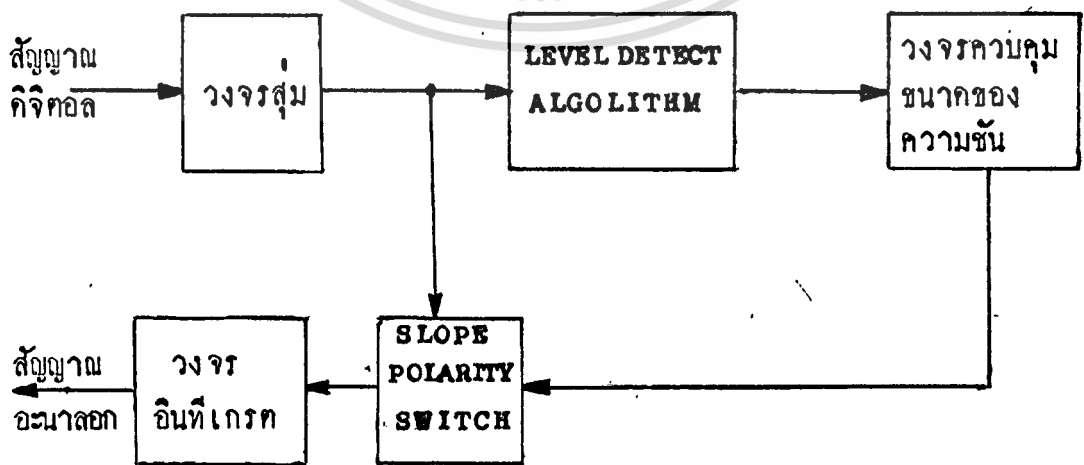
ถ้ากลุ่มบิตดิจิทัลเหล่านี้ใช้ในการรับและส่งสัญญาณแบบอนุกรม (SERIAL) แล้วละก็ วงจรอินทิเกรตทางด้านรับที่อยู่ไกลออกไปนั้นสัญญาณออกของมันก็คือ กลุ่มของ สัญญาณรูปควบคุมของอินทิเกรตของทางด้านส่งนั่นเอง ที่เป็นเช่นนั้นก็เพื่อให้แน่ใจได้ว่า เมื่ออินทิเกรตทางด้านส่งแทรก (TRACK) สัญญาณอะนาลอกที่เข้ามาทางด้านรับก็จะ สามารถเปลี่ยนกลับเป็นสัญญาณเหมือนดังสัญญาณอะนาลอกที่เข้ามาทางด้านส่งได้ก็ เหมือนเดิม โดยสัญญาณที่ออกจากทางด้านรับจะผ่านวงจรรองความถี่ต่ำผ่านเพื่อกำจัด สัญญาณรบกวนของการควอนไทซ์ (QUANTIZING) ในกรณีที่อัตรากลุ่มของสัญญาณบิตที่ ส่งมีค่ามากกว่าแบนด์วิธ (BANDWIDTH) ของสัญญาณอะนาลอก โดยปกติแบนด์วิธ ของเสียงมนุษย์มีค่า 4KHZ ดังนั้นสัญญาณนาฬิกาที่ใช้จึงมีค่าตั้งแต่ 8KHZ ขึ้นไป ดังนั้น เกล็ดำมอถูเลเตอร์ก็คือ การดิจิทัล (DIGITIZE) สัญญาณอะนาลอกแล้วส่งออกไป นั้นเอง ในการติดคอสื่อสารแบบอนุกรมนั้นการส่งข้อมูลแบบอนุกรมที่ไม่เป็นเฟรม (UNFRAME) เป็นสิ่งที่ดี โดยในขณะที่ไม่มีสัญญาณเข้าที่อินพุทของทางตัวส่ง เอาท์พุท ของตัวส่งจะส่งข้อมูล 1 กับ 0 สลับกันไปอย่างต่อเนื่อง แต่ถ้าในกรณีที่วงจรอินทิเกรต ทางตัวส่งและตัวรับมีคุณสมบัติที่ไม่เหมือนกันแล้วละก็ ในขณะที่ทำการรับส่งข้อมูลและ เกิด มีการสูญหายระหว่างทางเดินของสัญญาณ เอาท์พุทของตัวรับจะเป็น 0 และเมื่ออินพุทของ ตัวรับสัญญาณได้อีกครั้งหนึ่งมันจะเริ่มต้นในการรับสัญญาณขึ้นใหม่ ทำให้ข้อมูลเกิดการขาด ทอนหรือสูญหายไม่สมบูรณ์ เช่นเดียวกันกับวิธีของ เกล็ดำมอถูเลเตอร์ก็จะยอมรับบิตที่ ผิดพลาด (ERROR) ที่เกิดขึ้นคล้ายเหมือนกัน ในรูปที่ 3 แสดงรูปคลื่นของ เกล็ดำมอถูเลชัน ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงเจ้าของเอกสารทุกครั้งที่มีการนำใช้

และในรูปที่ 4 แสดงบล็อกโคอะแกรมของ CVSD DECODER



รูปที่ 3 แสดงรูปคลื่นของ CVSD

สัญญาณนาฬิกา



เอกสารนี้เป็นเอกสารที่สงวนรูปที่ 4 บล็อกโคอะแกรม CVSD DECODER นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2 คอมแพนดิงอัลกอริทึม (THE COMPANDING ALGORITHM)

คุณสมบัติที่หนึ่งของวิธีเคลตามอคูเลชันทั่ว ๆ ไป คือ การมีโครงสร้างที่ง่าย และการให้สัญญาณเอาต์พุตเป็นแบบอนุกรม แต่ข้อเสียก็ยังมีคือความแน่นอนในการเปลี่ยนสัญญาณอินพุตจะถูกจำกัดด้วยอัตราบิตที่จำกัด สัญญาณอะนาลอกมีขีดจำกัดทางด้านความกว้างและขนาด รวมทั้งข้อจำกัดทางด้านความถี่ที่อยู่ภายในขอบเขตของอัตราในควิสต์ (NYQUIST RATE)

ข้อจำกัดทางด้านความถี่ของสัญญาณอะนาลอก อินพุตก็คือทางด้านความถี่สูง กล่าวคือภายใต้ระดับสัญญาณรบกวนที่ต้องการให้เกิดขึ้นได้นั้น ความถี่ของสัญญาณนาฬิกาจะต้องมีค่ามากกว่าแบนด์วิธของสัญญาณอะนาลอกที่จะทำการรับส่งสัญญาณกัน สำหรับขนาดของสัญญาณที่ใช้จะถูกจำกัดทั้งขนาดต่ำสุดและขนาดสูงสุด แต่ก็ยังสามารถที่จะกำหนดขนาดเพื่อให้เกิดระดับสัญญาณรบกวนที่ต้องการได้โดยการปรับอัตราขยายไว้ ณ ค่าค่าหนึ่งได้ แต่ข้อเสียที่สำคัญคือ เคลตามอคูเลเตอร์มีไดนามิกเรนจ์ที่แคบภายใต้ข้อกำหนดที่ให้ระดับสัญญาณรบกวนมีค่าคงที่ค่าหนึ่ง

การเพิ่มค่าไดนามิกเรนจ์จะกระทำได้โดยการเพิ่มวงจรเปลี่ยนแปลงความชันต่อเนื่อง โดยการปรับอัตราขยายของวงจรอินทิเกรตภายใต้ความถี่สัญญาณนาฬิกาและแบนด์วิธของสัญญาณอินพุตที่กำหนดแล้วสามารถจะเพิ่มค่าไดนามิกเรนจ์ได้เป็นอย่างดี ข้อดีที่เหนือกว่าเคลตามอคูเลเตอร์แบบธรรมดาของ CVSD ก็คือ อัลกอริทึมซึ่งจะแสดงค่าของสัญญาณเอาต์พุตของ เคลตามอคูเลเตอร์ที่ผ่านไปแล้วไว้ในซีพรีจิสเตอร์ ซึ่งมีขนาด 3 บิต CVSD จะรับอัลกอริทึมจากซีพรีจิสเตอร์นั้นและจะแสดงผลถ้าข้อมูลเป็น 1 ทั้งหมดหรือเป็น 0 ทั้งหมด ภาวะนี้เรียกว่า การพ้องกัน (COINCIDENCE) เมื่อเหตุการณ์แบบนี้เกิดขึ้นจะแสดงว่าอัตราขยายของอินทิเกรตมีค่าต่ำมาก ดังนั้นสัญญาณเอาต์พุตที่ได้จากการพ้องกันนี้จะไปประจุ (CHARGE) ที่วงจรรองความถี่ต่ำผ่าน และจากเอาต์พุตวงจรรองความถี่ต่ำผ่านจะถูกส่งไปควบคุมอัตราขยายของวงจรอินทิเกรตด้วยวิธีการของการมอดูเลชันขนาดของพัลส์ (PULSE AMPLITUDE MODULATE) ซึ่งอินพุตอีกทางหนึ่งของวงจรมอดูเลชันขนาดของพัลส์ก็คือ บิตเครื่องหมายหรือแสดงว่าเป็นการควบคุมอัตราขยายให้สูงขึ้นหรือต่ำลง

การที่คองให้อัลกอริทึมเป็น 1 ทั้งหมดหรือเป็น 0 ทั้งหมดนั้นก็เพื่อที่จะให้อัลกอริทึมที่รับได้นั้น เป็นตัววัดหรือบอกกำลังเฉลี่ยหรือระดับของสัญญาณอินพุต วัตถุประสงค์

ของอัลกอริทึมคือการควบคุมอัตราขยายของวงจรอินทิเกรตและเพิ่มค่าไดนามิกเรนจ์
 ดังนั้นจึงเห็นว่าการใช้อัลกอริทึมวัฏจักรกับสัญญาณอินพุตเฉลี่ยจึง เป็นสิ่งที่จำเป็น

อัลกอริทึมที่ปรากฏทางค่านี้นี้จะไปเกิดขึ้นเหมือนกันอีกทางค่านรับ
 ดังนั้นจึงทำให้ทางค่านรับสามารถที่จะรับข้อมูลได้ทั้งหมดและเหมือนกับทางค่านส่ง ที่เป็น
 เช่นนี้ก็เพราะว่า อัลกอริทึมจะทำงานเฉพาะเมื่อข้อมูลอนุกรมไค่นานไปแล้วและมันจะเปลี่ยน
 ลักษณะของกลุ่มข้อมูลโดยปราศจากการเปลี่ยนแปลงของของอัตราบิต

ผลของอัลกอริทึมคือ การคอมแพนด (COMPAND) สัญญาณอินพุต
 และถ้าส่วนของการถอดรหัส CVSD ได้ถูกนำเอาไปใช้กับเคลคัมออกคูเลเทอร์แบบธรรมดา
 แล้ว เอาท์พุทของเคลคัมออกคูเลเทอร์ก็จะรูปร่างสัญญาณคล้ายกับสัญญาณอะนาลอกอินพุต
 แต่สัญญาณเอาท์พุททั้งหมดจะมีขนาดสัญญาณเท่ากัน ดังนั้นอัลกอริทึมจึงต้องจำเป็นต้องนำ
 มาใช้เพื่อเก็บค่าการเปลี่ยนแปลงของระดับสัญญาณ เช่นเกี่ยวกับกลุ่มของข้อมูลดิจิทัล
 ถ้าใช้เคลคัมออกคูเลเทอร์แบบธรรมดาแล้วจะทำให้ไคระกับอินพุตที่มีค่าคงที่ตลอดด้วย

การถอดรหัสของเคลคัมออกคูเลชันด้วย CVSD อัลกอริทึมจะเป็นวิธีที่มี
 ประสิทธิภาพสำหรับการกิจไค้สัญญาณเสียงพูด ในกรณีที่ต้องการความสะดวกโดยเฉพาะ
 สำหรับความต้องการติดต่อสื่อสารด้วยดิจิทัล

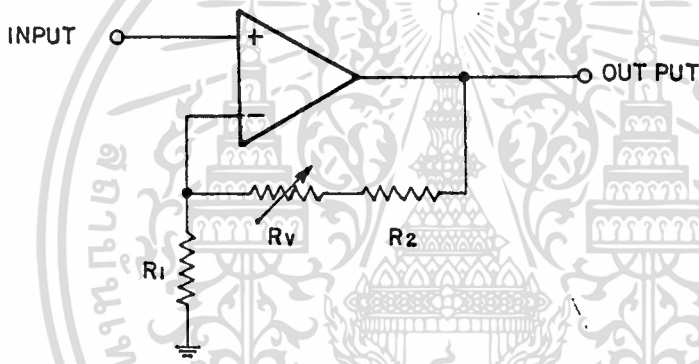
บทที่ 3

การออกแบบและการคำนวณ

3.1 การออกแบบและการคำนวณวงจรขยายส่วนหน้า

3.1.1 วงจขยาย

เนื่องจากส่วนของสัญญาณอะนาลอกอาจจะมาจากแหล่งกำเนิดต่าง ๆ กัน เช่น เสียงพูด เทปแม่เหล็ก ฯลฯ ดังนั้นเพื่อความอ่อนตัวในการใช้งานจึงออกแบบไว้เป็นวงจขยายที่สามารถปรับอัตราขยายได้ ดังแสดงในรูปที่ 5



รูปที่ 5 วงจขยาย

วงจนี้เป็นวงจขยายสัญญาณแบบไม่กลับขั้ว (NON INVERTING AMPLIFIER) ขรรรมค่า ๆ ซึ่งอัตราขยายจะมีค่าคงต่อไปนี้ คือ

$$A_v = 1 + \left(\frac{R_v + R_2}{R_1} \right)$$

ในการใช้เป็นวงจขยายที่สามารถปรับค่าได้จึงได้ใส่ R_v เป็นตัวปรับอัตราขยายของวงจ และใส่ R_2 ไว้เพื่อไม่ให้ค่าความต้านทานในส่วนนี้มีค่าเป็นศูนย์ ในขณะที่ปรับค่า R_v ให้มีค่าต่ำสุด ดังนั้นถ้าต้องการให้มีอัตราขยายตั้งแต่ประมาณ 2 - 49 เท่า โดยเลือก $R_1 = 10 \text{ k}\Omega$ และ $R_2 = 10 \text{ k}\Omega$ ดังนั้นจะหา R_v จากสูตรดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้ $A_v = 1 + \left(\frac{R_v + 10\text{k}}{10\text{k}} \right)$ เพื่อการศึกษาเท่านั้น ใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ถ้า $A_v = 2$ กังนั้น

$$2 = 1 + \frac{R_v + 10k}{10k}$$

$$R_v = 0$$

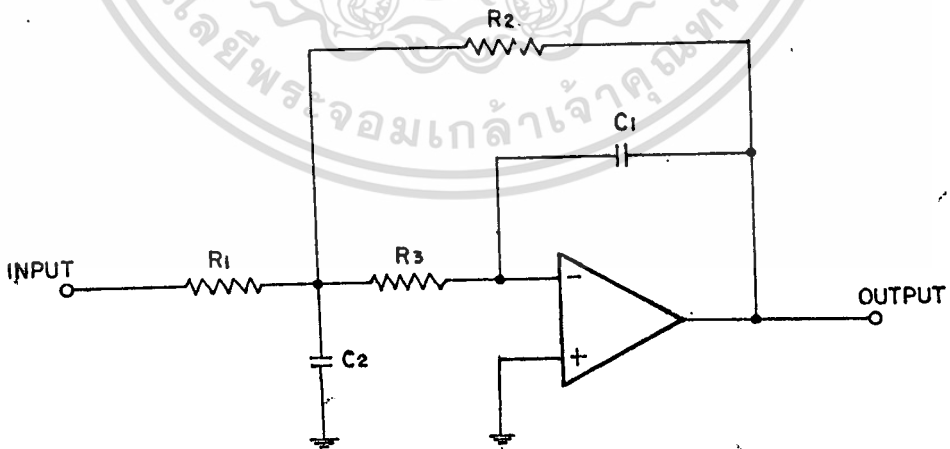
ถ้า $A_v = 49$ กังนั้น

$$49 = 1 + \left(\frac{R_v + 10k}{10k} \right)$$

$$R_v = 470 \text{ K}\Omega$$

3.1.2 วงจรกรองความถี่ต่ำผ่าน

เพราะว่าความถี่เสียงของมนุษย์อยู่ในย่านความถี่ต่ำโดยมีแบนด์วิธ 4 KHZ กังนั้นเราจึงนำสัญญาณที่ขยายแล้วไปผ่านวงจรกรองความถี่ต่ำผ่านเพื่อกำจัดสัญญาณรบกวนทางความถี่สูงออกไป ซึ่งวงจรที่ใช้นี้เป็นวงจรกรองความถี่ต่ำผ่านแบบลำดับสอง (SECOND ORDER) กังแสดงในรูปที่ 6



รูปที่ 6 วงจรกรองความถี่ต่ำผ่าน

อัตราขยายของวงจรรองความถี่ต่ำแบบลำดับสองนี้รูปมาตรฐานคือ

$$A(P) = \frac{A_0}{1 + a_1 P + b_1 P^2} \quad (1)$$

$$\text{ซึ่ง } P = j\frac{\omega}{\omega_c}$$

และความสัมพันธ์ระหว่างอินพุตกับเอาต์พุตจะได้ว่า

$$A(P) = \frac{-R_2/R_1}{1 + \omega_c C_1 (R_2 + R_3 + \frac{R_2 R_3}{R_1}) P + \omega_c^2 C_1 C_2 R_2 R_3 P^2} \quad (2)$$

จากการเทียบสัมประสิทธิ์จะได้

$$A_0 = -R_2/R_1 \quad (3)$$

$$a_1 = \omega_c C_1 (R_2 + R_3 + \frac{R_2 R_3}{R_1}) \quad (4)$$

$$b_1 = \omega_c^2 C_1 C_2 R_2 R_3 \quad (5)$$

ดังนั้น

$$R_1 = -\frac{R_2}{A_0} \quad (6)$$

$$R_2 = \frac{a_1 C_1 - \sqrt{a_1^2 C_1^2 - 4 C_1 C_2 b_1 (1 - A_0)}}{4 \pi^2 f_c^2 C_1 C_2} \quad (7)$$

$$R_3 = \frac{b_1}{4 \pi^2 f_c^2 C_1 C_2 R_2} \quad (8)$$

โดยมีข้อแม้ว่า

$$\frac{C_2}{C_1} \geq \frac{4 b_1 (1 - A_0)}{a_1^2} \quad (9)$$

การออกแบบโดยเลือกเป็นวงจรรองแบบบัตเตอร์วอร์ท (BUTTERWORTH FILTER) เปิดตารางค่า $a_1 = 1.4142$ และ $b_1 = 1.0000$ โดยการเลือก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษานาน นอนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ค่า A_0 ให้มีค่า -10 ดังนั้นจาก (9)

ไม่มีการระบุค่าฟังก์ชัน อีกทั้งยังมีเทคนิคแบบเนยทา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\frac{C_2}{C_1} = \frac{4 \times 1 \times (1 \times 10)}{(1.4142)^2} = 22$$

$$\therefore C_2 = 22C_1$$

เลือก $C_1 = 0.001 \mu F$

$$\therefore C_2 = 0.022 \mu F$$

จากนั้นเลือกค่า $R_2 = 47 K$ คำนึงจาก (6)

$$R = \frac{-47 K}{-10} = 4.7 K \Omega$$

ต้องการความถี่คัทออฟที่ประมาณ 2.3 KHz จาก (8) จะได้

$$R_3 = \frac{1}{4 \times \pi^2 (2.3 \times 10^3)^2 \times 0.001 \times 10^{-6} \times 0.022 \times 10^{-6} \times 47 \times 10^3} = 4.7 K$$

3.2 การออกแบบและการคำนวณวงจรส่วนความจำ

เนื่องจากหน่วยความจำที่ใช้เป็นไดนามิกแรมเบอร์ 41256 ซึ่งมีขนาด 256 1 บิต และได้กำหนดไว้ว่าจะต้องมีเฟรชค่าแห่งทางโรว์ (ROW) ทั้งหมด 256 โรว์ภายในเวลา 4 μs หรือหนึ่งโรว์ทุก ๆ 15.625 μs เป็นอย่างช้าข้อมูลจึงจะยังคงอยู่ได้ ดังนั้น การออกแบบจึงต้องมีวงจรรีเฟรชค่าแห่งทางโรว์ตามเวลาที่กำหนดด้วย

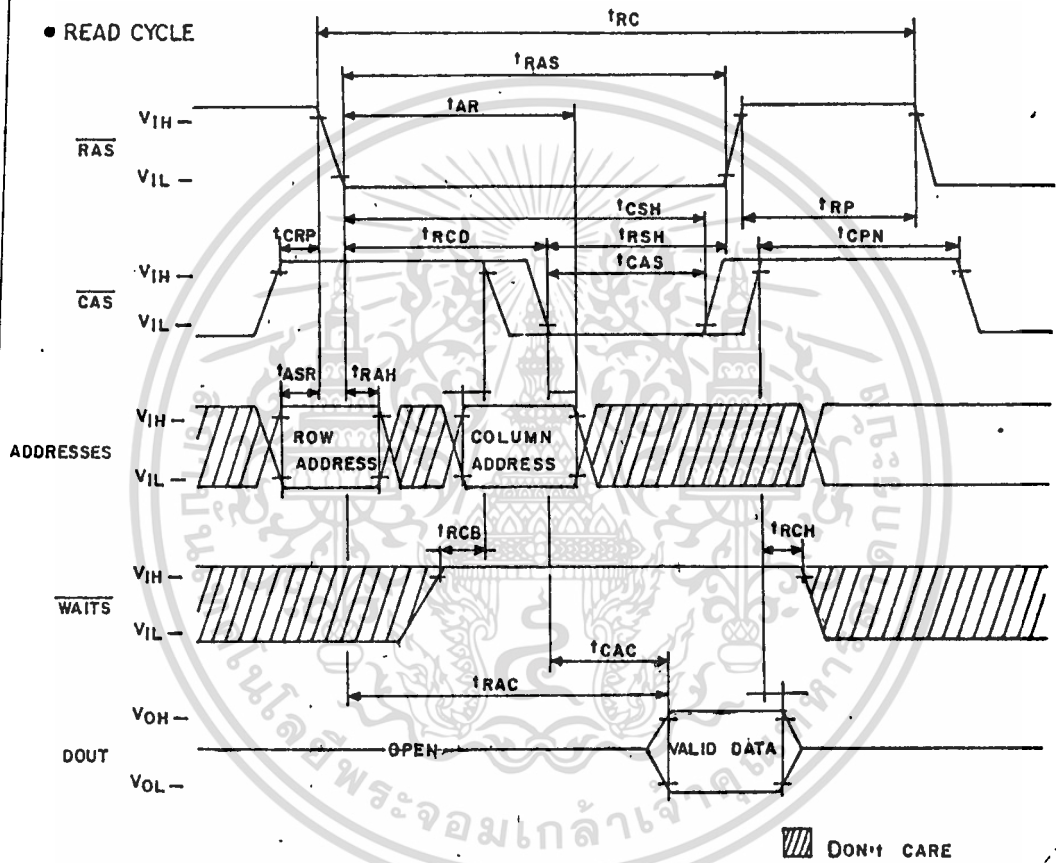
3.2.1 วงจรรีเฟรช

รอบการทำงานของไดนามิกแรมดังในรูปที่ 7 นั้น เพราะว่าไดนามิกแรมมีขาแอกเคเรส (ADDRESS) เพียง 9 ขาภายในตัวของมันจึงต้องจัดวงจรมัลติเพล็กซ์ไว้ภายใน โดยแบ่งเป็นโรว์แอกเคเรส 9 เส้น และคอลัมน์แอกเคเรสอีก 9 เส้น และใช้ขา \overline{RAS} และ \overline{CAS} เป็นขาควบคุมในการรับสัญญาณตามลำดับ

การทำงานก็จะแลตช์ (LATCH) แอกเคเรส 9 เส้นทางโรว์ก่อน โดยการส่งแอกเคเรสทางโรว์ 9 เส้นแล้วให้ขา \overline{RAS} แอกทีฟ (ACTIVE)

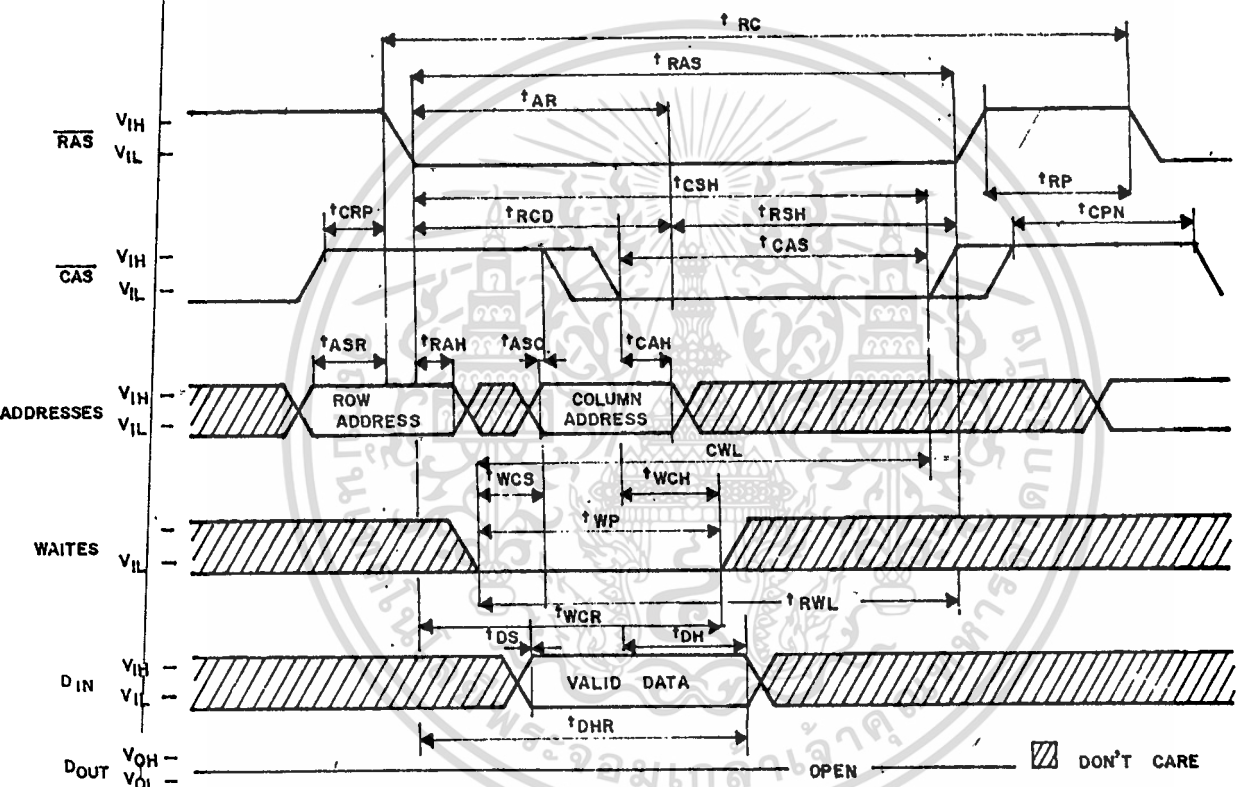
เอกซาร์โรว์ก่อน โดยการส่งแอกเคเรสทางโรว์ 9 เส้นแล้วให้ขา \overline{RAS} แอกทีฟ (ACTIVE) ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แล้วส่งแอกเกรสทางคอลัมน์อีก 9 เส้น แล้วให้ขา CAS แอกทีฟจนภายในของ ไคนามิกแรมก็จะทำการถอดรหัสแอกเกรสที่ไต่ทั้ง 18 เส้น เพื่อให้ตรงกับเกรสของข้อมูล ที่ต้องการ สำหรับการอ่านหรือการเขียนก็จะควบคุมโดยขา WR ถ้าเป็นการอ่านก็ให้ ขา WR เป็น 1 ดังรูปที่ 7



รูปที่ 7 รอบการอ่านของไคนามิกแรม

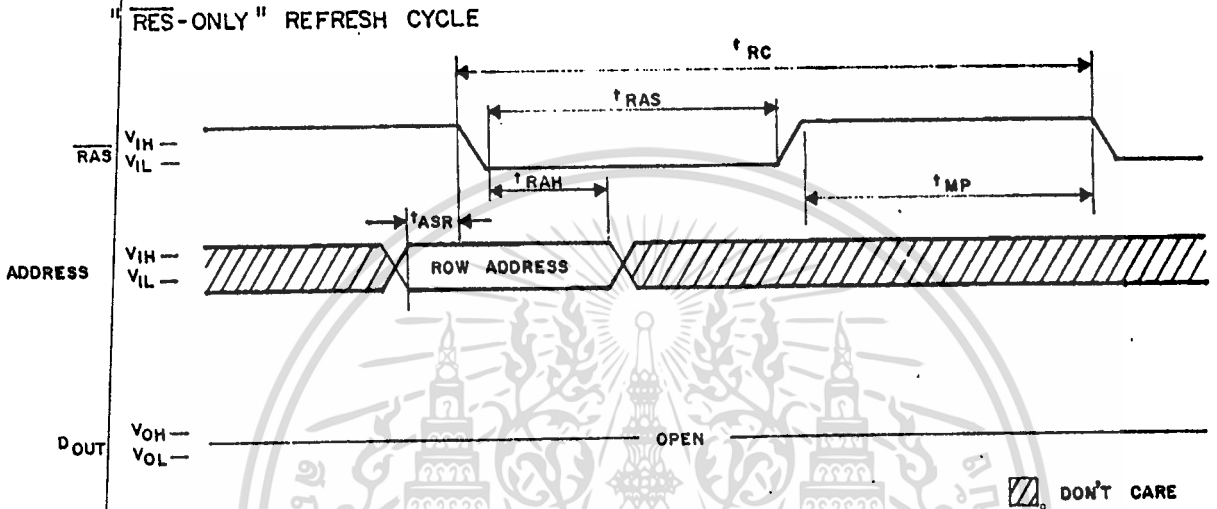
สำหรับการเขียนข้อมูลลงในไคนามิกแรมก็มีลักษณะเช่นเกี่ยวกับการอ่าน จะแตกต่างกันก็เฉพาะต้องให้ขา WR เป็น 0 จึงจะสามารถเขียนข้อมูลลงไปได้ โค้ดแรมรอบการเขียนดังแสดงในรูปที่ 8



รูปที่ 8 รอบการเขียนของไดนามิกแรม

การรีเฟรชนั้นสามารถทำได้หลายวิธี ในรูปที่ 9 เป็นวิธีที่ตรงไปตรงมา เรียกว่า **RAS ONLY** โครงสร้างของเซลล์ภายในหน่วยความจำจัดเป็น เมทริกซ์ ขนาด 256 ไร้ว x 1024 คอลัมน์ การรีเฟรชจะกระทำทีละไร้วทุก ๆ 15.625 **นส** เป็นอย่างช้า โดยการกำหนดค่าแห่งไร้วที่จะทำการรีเฟรชที่ขา แอคเครสแล้ว สโตรบ (STROBE) ด้วยขา **RAS** หน่วยความจำทุกบิตในไร้วนั้นจะ

เอกสารนี้อ่านและ เขียนกลับลงไปใหม่โดยอัตโนมัติศึกษาเท่านั้น ไม่นอนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

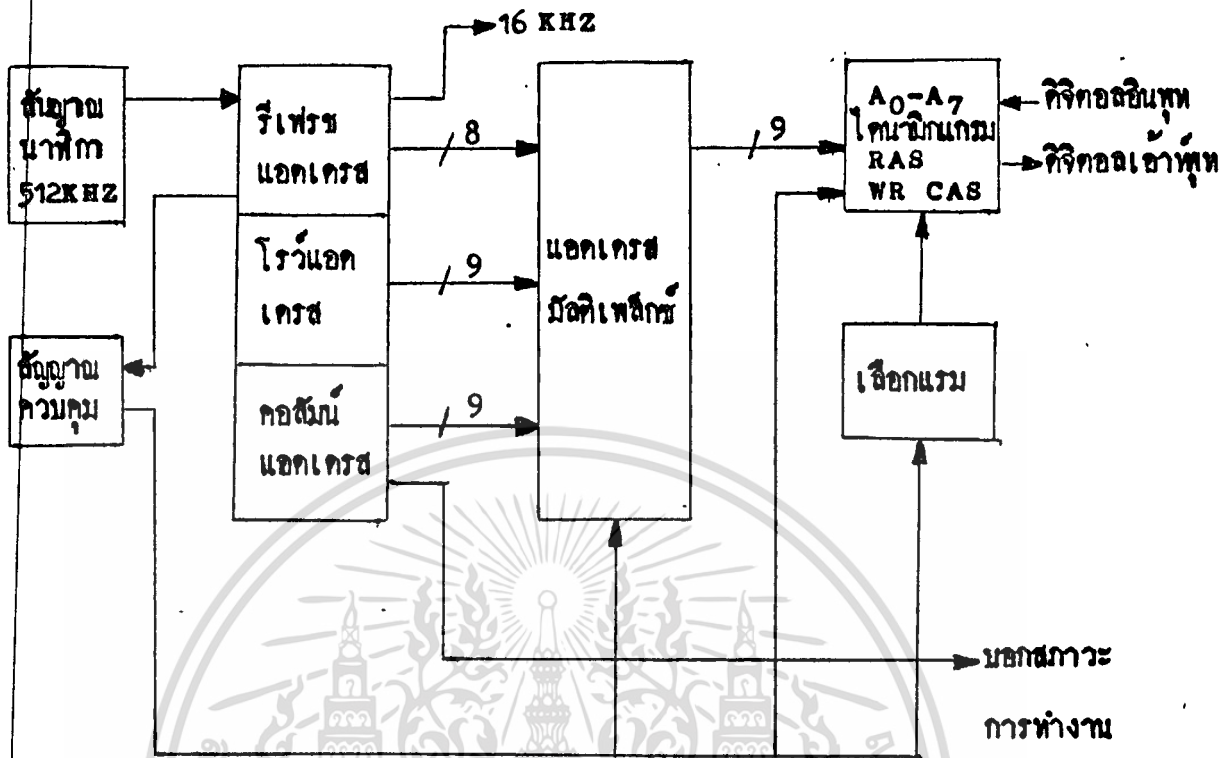


รูปที่ 9 รอบการรีเฟรชของไดนามิกแรม

จะเห็นว่าจำนวนโรว์มีเพียง 256 โรว์เท่านั้น การกำหนดโรว์ที่จะรีเฟรชจึงใช้แอดเดรสเพียง 8 เส้น ($2^8 = 256$) คือ A_0-A_7 ก็เพียงพอในการรีเฟรชนี้จะต้องกระทำอย่างต่อเนื่องโดยตลอด ซึ่งจะไม่เกี่ยวข้องกับการอ่านและเขียนไดนามิกแรมโดยปกติ

3.2.2 วงจรจัดการหน่วยความจำ

การจัดการหน่วยความจำทั้งหมดคือการอ่าน เขียน และการรีเฟรชแสดงดังบล็อกไดอะแกรมรูปที่ 10



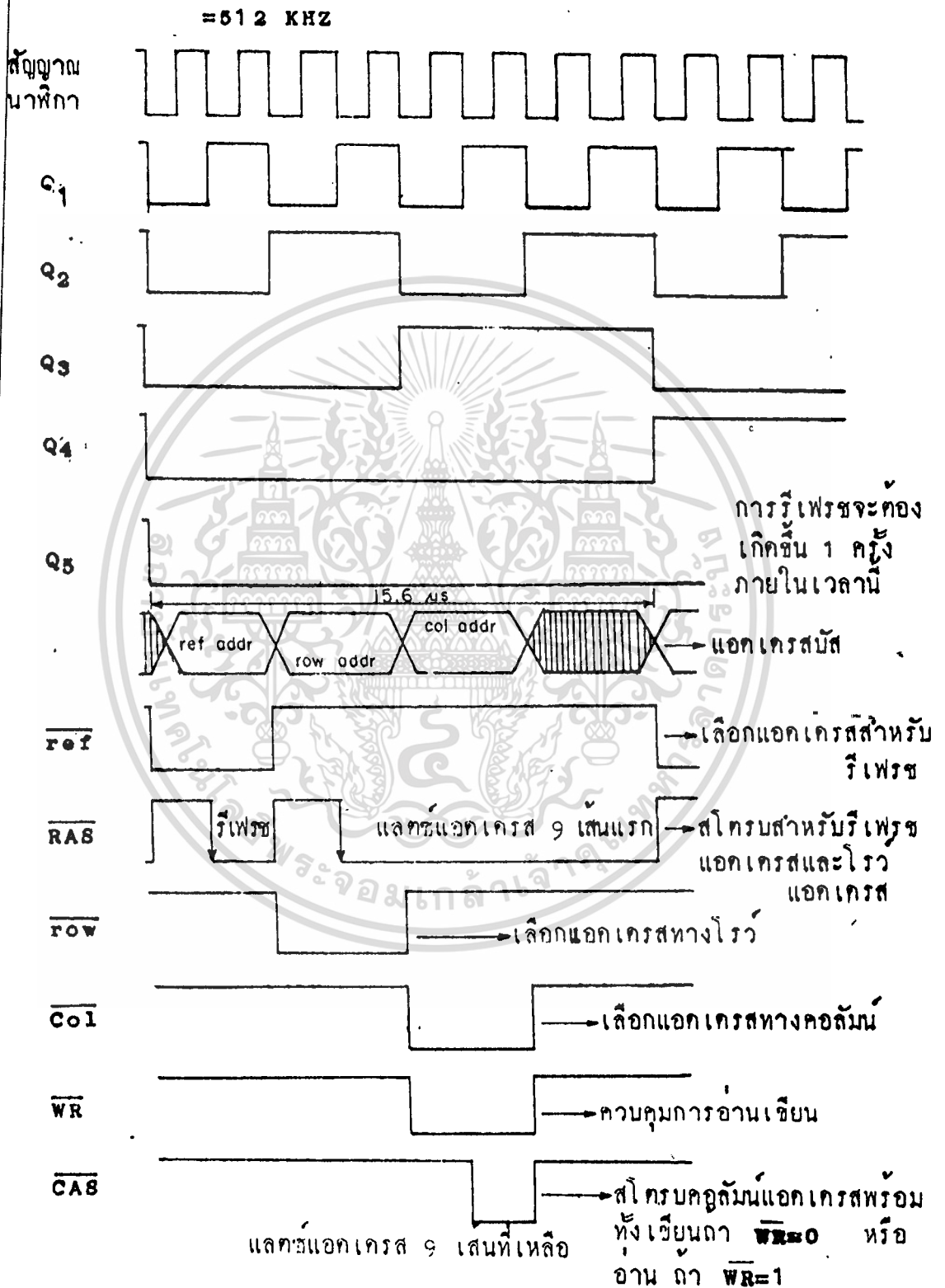
รูปที่ 10 บล็อกโคะแกรมการจกการหน่วยความจำ

ฐานความถี่สัญญาณนาฬิกาจะใช้ความถี่ 512 KHZ โดยได้จากการกำเนิดความถี่ของ R และ C จากฐานความถี่นี้จะนำไปเข้าวงจรหารซึ่งก็คือวงจรมันนั่นเอง และจะคำนวณคาบเวลาของฐานความถี่ได้ คือ

$$T = \frac{1}{F} = \frac{1}{512 \times 10^3}$$

1.95 us

จากฐานความถี่ที่ได้นำไปเขียนโคะแกรมเวลาเพื่อกำหนดเวลาในการเลือกแอคเตอเรสทางโรว คอลัมน์ และการรีเฟรช รวมทั้งสัญญาณควบคุมต่างๆ ได้ดังรูปที่ 11

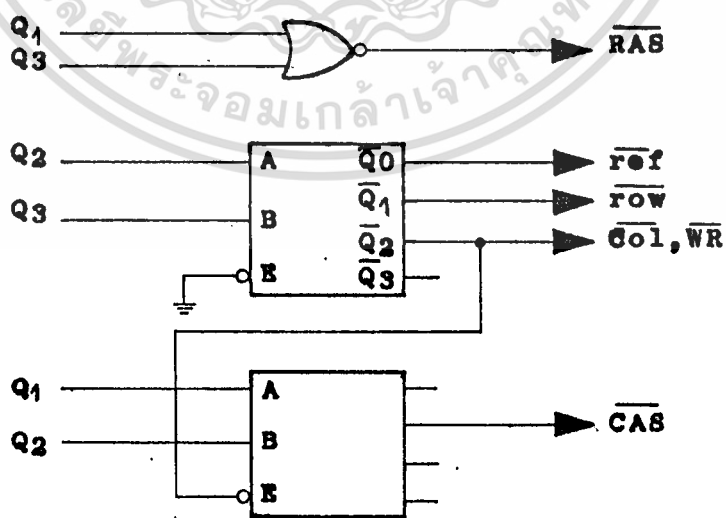


รูปที่ 11 ไคอะแกรมเวลาของสัญญาณควบคุม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จะเห็นว่าภายในระยะเวลา 15.6 μ s หรือ 8 เท่าของคาบเวลาของฐานความถี่ เราจะสามารถทำการรีเฟรชแอกเกรส ส่งแอกเกรสทางโรว์และทางคอลัมน์ได้พอดี กล่าวคือภายในระยะเวลา 15.6 μ s นี้ เราจะต้องสร้างสัญญาณควบคุมทั้งนี้คือสัญญาณควบคุมการเลือกแอกเกรสสำหรับรีเฟรช แอกเกรสทางโรว์และแอกเกรสทางคอลัมน์ สัญญาณควบคุมสำหรับสโตรบแอกเกรสรีเฟรช แอกเกรสทางโรว์ และแอกเกรสทางคอลัมน์ และสัญญาณควบคุมการอ่านหรือเขียนข้อมูล

การกำเนิดสัญญาณควบคุมการเลือกแอกเกรสสำหรับรีเฟรช การเลือกแอกเกรสสำหรับโรว์ และการเลือกแอกเกรสสำหรับคอลัมน์ ก็เพราะจะต้องนำเอาทั้ง 3 สัญญาณนี้ไปเลือกหรือควบคุมที่แอกเกรสมัลติเพล็กซ์ เพื่อให้จังหวะการทำงานถูกต้องและตรงกัน โดย \overline{row} จะได้จาก $\overline{Q_2}Q_3$ \overline{ROW} จะได้จาก $Q_2\overline{Q_3}$ และ \overline{col} จะได้จาก $\overline{Q_2}Q_3$ ซึ่ง \overline{col} กับ \overline{WR} คือสัญญาณตัวเดียวกัน สัญญาณ \overline{RAS} ได้จาก $\overline{Q_1+Q_3}$ และสัญญาณสุดท้ายคือ \overline{CAS} ได้จาก $Q_1Q_2\overline{col}$ เนื่องจากสัญญาณควบคุมเหล่านี้จะแอกทีฟที่ลอจิก 0 จึงต้องนำสัญญาณที่ไทม์อันอินเวอร์เทอร์เสียก่อน ยกเว้น \overline{RAS} ซึ่งแอกทีฟที่ลอจิก 1 จึงสร้างสัญญาณควบคุมที่ได้แสดงไว้ในรูปที่ 12 โดยใช้ MC14001 เป็นนอร์เกต และ MC14556 เป็นกิมัลติเพล็กซ์



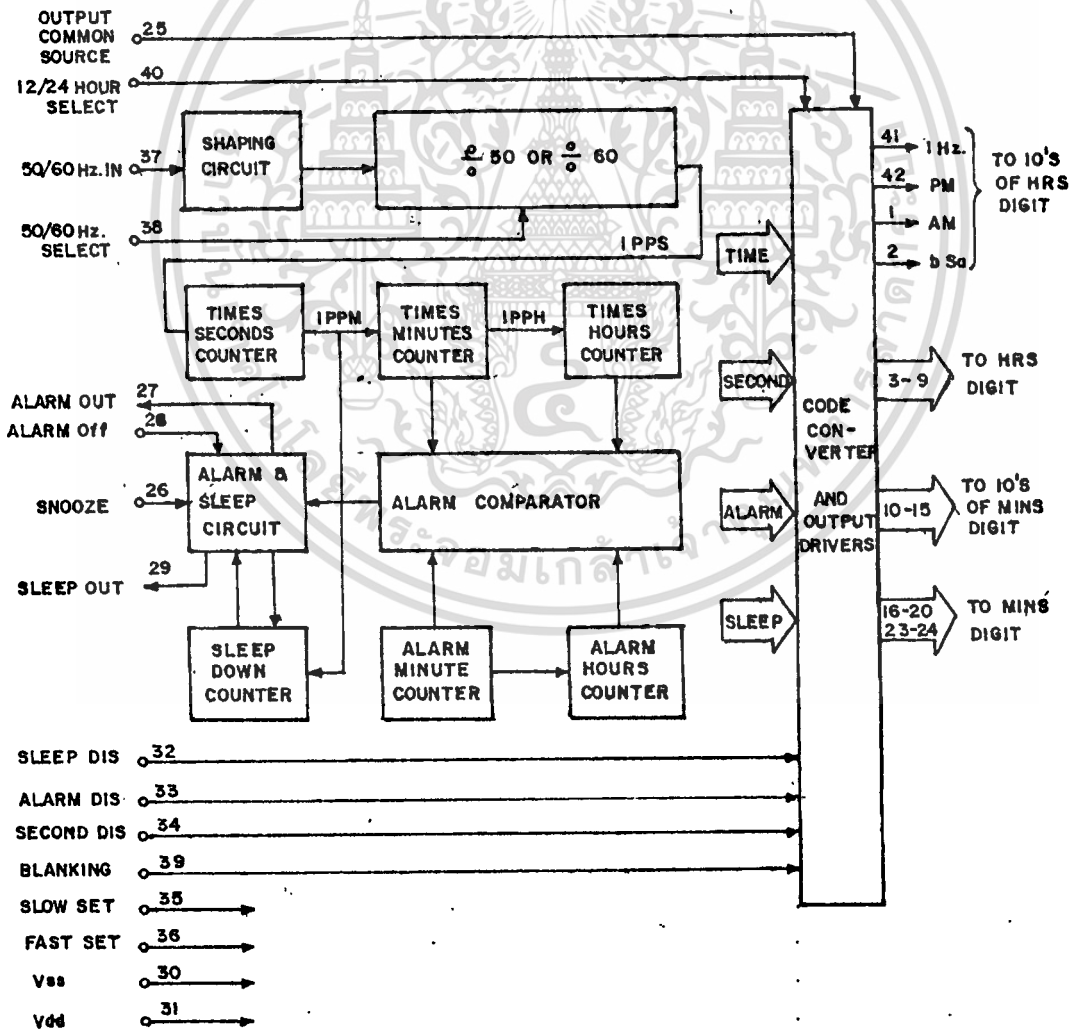
เอกสารนี้เป็นเอกสารรูปที่ 12 วังจรงสร้างสัญญาณควบคุม ที่ได้จาก Q_1 , Q_2 และ Q_3 โดยชนด้านการค้าไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3 การออกแบบและคำนวณวงจรรนาฬิกา

สำหรับส่วนของวงจรรนาฬิกาจะประกอบไปด้วยไอซีนาฬิกาส่วนแสดงผล ตัวถ่วงรหัส และวงจรควบคุมการกำหนดเวลาในการที่จะให้ CVSD ทำงานเป็นเวลาเท่าไร (ระยะเวลาที่จะพุกมออกเวลานั้นเอง) โดยมีรายละเอียดดังนี้

3.3.1 วงจรรนาฬิกา ภาคแสดง และตัวถ่วงรหัส

โครงงานนี้ใช้ไอซีนาฬิกาเบอร์ TM4801P ซึ่งเป็นไอซีนาฬิกาสำเร็จรูป ทั้งแสดงบล็อกโคอะแกรมภายในรูปที่ 13 ดังนั้นจึงไม่ต้องใช้วงจรภายนอกเพิ่มเติม



การถอดภาคแสดงผลโดยการใช้ตัวแสดงผล 7 ส่วน (7-SEGMENT)
แบบแอนไครวมจำนวน 4 หลัก ก็จะทำให้การแสดงผลเวลาได้ตามต้องการ
สำหรับตัวถอดครหัสนั้น จะทำการพิจารณาจากตารางที่แสดงการทำงาน
ไอซีนาฬิกาไค้คงตารางรูปที่ 14

เวลา(นาฬิกา)	เข้าที่พหุหลักสิบของชั่วโมง			เข้าที่พหุหลักหน่วยของชั่วโมง						
	PM	b+c	AM	a	b	c	d	e	f	g
4	1	1	1	0	0	0	0	0	0	1
24	1	1	1	1	0	0	1	1	1	1
1	1	1	1	0	0	1	0	0	1	0
2	1	1	1	0	0	0	0	1	1	0
3	1	1	1	1	0	0	1	1	0	0
4	1	1	1	0	1	0	0	1	0	0
5	1	1	1	0	1	0	0	1	0	0
6	1	1	1	0	1	0	0	0	0	
7	1	1	1	0	0	0	1	1	1	1
8	1	1	1	0	0	0	0	0	0	0
9	1	1	1	0	0	0	0	1	0	0
10	1	0	0	0	0	0	0	0	0	1
11	1	0	0	1	0	0	1	1	1	1
12	1	0	0	0	0	1	0	0	1	0
13	1	0	0	0	0	0	0	1	1	0
14	1	0	0	1	0	0	1	1	0	0
15	1	0	0	0	1	0	0	1	0	0
16	1	0	0	0	1	0	0	0	0	0
17	1	0	0	0	0	0	1	1	1	1
18	1	0	0	0	0	0	0	0	0	0
19	1	0	0	0	0	0	0	1	0	0
20	0	1	0	0	0	0	0	0	0	1
21	0	1	0	1	0	0	1	1	1	1
22	0	1	0	0	0	1	0	0	1	0
23	0	1	0	0	0	0	0	1	1	1

เอกสารนี้เป็นรูปที่ 14 ตารางแสดงเข้าที่พหุชั่วโมงหลักหน่วยและหลักสิบของ TM 4801 P ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

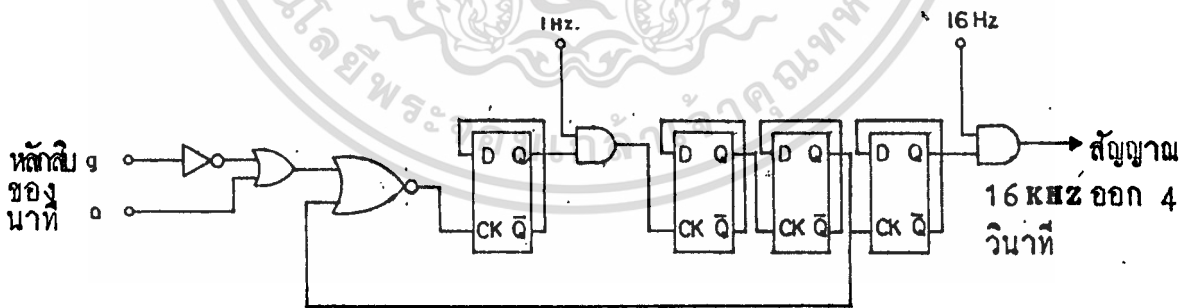
จากการวางจะได้อะไรทั้งหมดจำนวน 10 บิต เพื่อความง่ายและสะดวกต่อการออกแบบ จะใช้หน่วยความจำอีพรอมเบอร์ 2716 เป็นตัวถอดรหัสเอาต์พุตจำนวน 10 บิตนี้ เพื่อให้ได้ค่าแห่งตรงกับแอดเดรสของไมโครโปรเซสเซอร์ที่เก็บเสียงพูดของซีวโมง นั้น ๆ ไว้ ดังนั้นจะจัดแอดเดรสของอีพรอมได้ดังรูปที่ 15 นี้

เอาต์พุตนาฬิกา	PM	B C	AM	a	b	c	d	e	f	g
แอดเดรสอีพรอม	A ₉	A ₈	A ₇	A ₆	A ₅	A ₄	A ₃	A ₂	A ₁	A ₀

รูปที่ 15 การจัดแอดเดรสของอีพรอม

3.3.2 วงจรควบคุมการกำหนดเวลาให้ CVSD

เนื่องจากการพูดออกเวลาแต่ละครั้งจะใช้เวลาในการพูด 2 วินาที และมีสัญญาณเตือน 2 นาที รวมเป็นเวลาให้ CVSD จะทำงานในแต่ละครั้ง 4 วินาที เพราะฉะนั้นจะต้องจัดวงจรเพื่อกำหนดเวลานี้ไปเปิดเปิดสัญญาณนาฬิกาให้ กับ CVSD ซึ่งรายละเอียดของวงจรจะเป็นดังรูปที่ 16



รูปที่ 16 วงจรกำหนดเวลา 4 วินาที

วงจรนี้จะนำเอาความถี่ 1 HZ ซึ่งได้จากไอซีนาฬิกามาหารให้เป็น 8 HZ แล้วนำเฉพาะช่วงเวลาที่เป็นลอจิก 1 ก็จะได้เวลาเป็นครึ่งหนึ่งของคาบเวลา 8 HZ หรือเท่ากับ 4 วินาทีนั่นเอง ในการนี้ได้ใช้เอาต์พุต a และ g หลักสิบของนาฬิกาจากไอซีนาฬิกาเป็นทริกเกอร์เพื่อให้วงจรเริ่มทำงานนำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

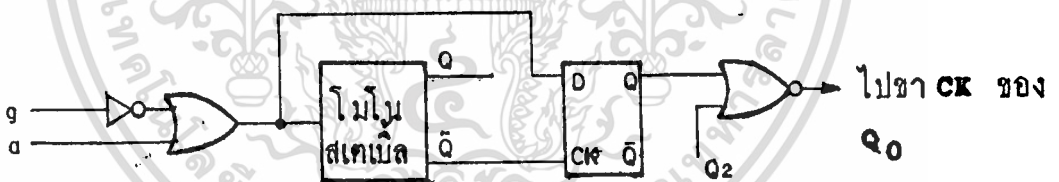
บทที่ 4

การทดลองและการสร้าง

จากรายละเอียดเกี่ยวกับวงจรต่าง ๆ ข้างต้นนำไปทดลองการทำงานของ แต่ละส่วน ซึ่งผลการทดลองจะเป็นตามทฤษฎีส่วนใหญ่ แต่มีข้อแก้ไขสำหรับบางวงจรที่ การทำงานไม่เป็นไปตามต้องการคือ

4.1 แก้ไขวงจรกำหนดเวลา 4 วินาที

จากวงจรกำหนดเวลา 4 วินาทีในรูปที่ 16 พบว่าคิเลย์ไธม์ของตัว ไอซีนาฬิกาในการ เปลี่ยนเวลาแต่ละนาทีมีค่ามาก กล่าวคือการ เปลี่ยนเวลาจากหลักหน่วย ไปหลักสิบของนาฬิกา และจากหลักสิบของนาฬิกาไปหลักหน่วยของชั่วโมง ช่วงนี้จะมีคิเลย์ไธม์ มาก รวมทั้งการเปลี่ยนแปลงในหลักเดียวกันของแต่ละเซกเมนต์ก็ไม่พร้อมกัน จึง เกิด เป็นพลัสไปทริกให้วงจรทำงาน จึงต้องสร้างส่วนของการป้องกันสัญญาณคิเลย์ไธม์ออกไป ดังรูปที่ 17



รูปที่ 17 เพิ่มเท็มวงจรกำหนดเวลา 4 วินาที

การเกิดคิเลย์ไธม์ของเซกเมนต์ a กับ b สามารถแก้ไขได้โดยการใช้ โมโนสเตเบิลมาทำการหน่วงเวลาออกไปอีกประมาณ 1 μs แล้วจึงค่อยทำการตีเท็คว่า หลักสิบของนาฬิกาเป็นเลขศูนย์หรือ คังนั้นจะทำให้การ เกิดคิเลย์ไธม์ของ เซกเมนต์จะไม่ มี ผลให้ทริกเกอร์ทำงานได้

4.2 การสร้างและการทำงาน

จากรายละเอียดแต่ละส่วนของวงจรมานำมาประกอบกันเป็นวงจรที่ใช้ งานจริง ในรูปที่ 18 ซึ่งมีหลักการทำงานดังนี้

เอกสารนี้เป็นเอกสารสงวนลิขสิทธิ์ไว้สำหรับนักเรียนเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เริ่มจากทางไอซีนาฬิกาซึ่งแสดงผลด้วยตัวเลข 4 หลัก การเปลี่ยนแปลงเวลาในแต่ละชั่วโมงจะทำให้หลักสิบและหลักหน่วยของนาฬิกาเป็นศูนย์ ใช้เซกเมนต์ a กับ b ของหลักสิบมาเข้าวงจรก็ให้ถือว่าเป็นเลขศูนย์หรือไม่ ถ้าเป็นเลขศูนย์ที่ขา ck ของ Q_0 เป็น 1 กังนั้ที่ Q ของ Q_4 จะเป็นลอจิก 0 ซึ่งต่อไปยังอินพุตของอีพროม และที่ Q ของ Q_3 จะเป็นลอจิก 1 เป็นระยะเวลา 4 วินาที กังนั้จะมีสัญญาณนาฬิกา 16 KHZ จ่ายออกไป 4 วินาที ในขณะที่เดียวกันกับที่มีข้อมูลของอีพโรมก็จะมีข้อมูลซึ่งเป็นค่าแห่งของไคนามิกแรมที่เก็บข้อมูลเสียงพูดตรงกับเวลาที่ไอซีนานาฬิกาพอกี CVSD เมื่อได้รับสัญญาณนาฬิกาจะเริ่มรับข้อมูลจากไคนามิกแรม ซึ่งไคนามิกแรมจะได้ออกแควสทางโรว์และแควสทางคอลัมน์จาก IC_4 และ IC_5 ผ่านแควสสมัลติเพล็กซ์ IC_7, IC_8, IC_9 และ IC_{10} ตามลำดับ โดยแควสสมัลติเพล็กซ์นี้จะให้แควสทางโรว์และทางคอลัมน์ออกสัมพันธ์กันด้วยสัญญาณควบคุมคือ \overline{row} และ \overline{col} กังนั้ข้อมูลจากบิตข้อมูลของไคนามิกแรมจะถูกส่งไปยัง CVSD ตามลำดับทีละ 1 บิต ในโครงการนี้ใช้ความถี่ในการแซมปลิง 16 KHZ ซึ่งมีคาบเวลาเป็น 62.5 μs กังนั้ในเวลา 4 วินาทีจะใช้ข้อมูลจากไคนามิกแรม 64000 บิต หรือ 62.5 กิโลบิต เมื่อ CVSD ได้รับข้อมูลจากไคนามิกแรมก็จะทำการคิมอูเลทเพื่อเปลี่ยนเป็นสัญญาณอะนาลอก ส่งออกทางเอาต์พุตผ่านวงจรรองความถี่ต่ำผ่าน แล้วเข้าวงจรขยายออกลำโพงต่อไป สำหรับการรีเฟรชไคนามิกแรมจะทำงานตลอดเวลาด้วยแควสสมัลติเพล็กซ์จาก IC_3 ผ่านแควสสมัลติเพล็กซ์ IC_6 จึงทำให้ข้อมูลจะคงอยู่ตลอดไปไม่เปลี่ยนแปลง

การบันทึกเสียงพูดหรือคำพูดอื่น ๆ สามารถจะกระทำได้โดยการกดสวิท S_2 จะทำให้เครื่องเตรียมพร้อมในการบันทึกข้อมูล ซึ่งจะเห็นได้จาก LED1 จะติดสว่าง แล้วทำการทิ้งเวลาไป ๓ ชั่วโมงที่ต้องการ เมื่อหลักหน่วยและหลักสิบของนาฬิกาเป็นเลขศูนย์ทั้งคู่เครื่องจะเริ่มบันทึกเสียง LED2 จะดับเป็นเวลา 2 วินาที ช่วงนี้จะเป็นการบันทึกสัญญาณเตือน เมื่อ LED2 ติดเครื่องบันทึกเสียงต่ออีก 2 วินาที ซึ่งเป็นการบันทึกคำพูดออกเวลา โดยเสียงพูดจะผ่านไมค์โครโฟน เข้าวงจขยายไมค์โครโฟน IC_{21} วงจรรองความถี่ต่ำผ่าน IC_{23} และเข้า CVSD ทำการเปลี่ยนเป็นสัญญาณดิจิทัลส่งไปเก็บยังไคนามิกแรม สรุปค่าแห่งแควสของไคนามิกแรมที่ตรงกับชั่วโมงของนาฬิกาได้กั้ทั้งนี้ห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เวลา (นาฬิกา)	แอดเทรซของไทมามิกแกรม	
24	00000	- 07FFF (IC 11)
1	08000	- 0FFFF (IC 11)
2	10000	- 17FFF (IC 11)
3	18000	- 1FFFF (IC 11)
4	20000	- 27FFF (IC 11)
5	28000	- 2FFFF (IC 11)
6	30000	- 37FFF (IC 11)
7	38000	- 3FFFF (IC 11)
8	00000	- 07FFF (IC 11)
9	08000	- 0FFFF (IC 12)
10	10000	- 17FFF (IC 12)
11	18000	- 1FFFF (IC 12)
12	20000	- 27FFF (IC 12)
13	28000	- 2FFFF (IC 12)
14	30000	- 37FFF (IC 12)
15	38000	- 3FFFF (IC 12)
16	00000	- 07FFF (IC 13)
17	08000	- 0FFFF (IC 13)
18	10000	- 17FFF (IC 13)
19	18000	- 1FFFF (IC 13)
20	20000	- 27FFF (IC 13)
21	28000	- 2FFFF (IC 13)
22	30000	- 37FFF (IC 13)
23	38000	- 3FFFF (IC 13)
สัญญาณเตือน	00000	- 07FFF (IC 14)

เอกสารนี้เป็นเอกสารสงวนไว้สำหรับการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ควรเผยแพร่ทางอื่น ยกเว้นทำหนังสือแจ้งขอใช้ และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จะเห็นว่าใช้ไคนามิกแรม 3 ตัวก็พอแก่ความต้องการแล้ว เพราะว่า
ไคนามิกแรม 1 ตัว จะบันทึกได้นาน 16 วินาที คือใช้ความถี่ 16 KHZ หรือ 16 kbit
ต่อวินาที เพราะฉะนั้นไคนามิกแรมขนาด 256 kbit จะบันทึกได้ 16 วินาทีนั่นเอง
แต่ไคนามิกแรมตัวที่ 4 จะเป็นตัวเก็บเสียงสัญญาณเตือนก่อนบอกเวลา
สรุปการใช้งานของนาฬิกาบอกเวลาค่ายเสียงพูดได้ดังนี้

ในกรณีที่ไม่ต้องการเปลี่ยนแปลงค่าพูดใด ๆ อีก หรือต้องการตั้งเวลา
ใหม่ ก็ทำได้ง่าย ๆ เพียงแต่กดปุ่ม FAST หรือ SLOW เพื่อตั้งเวลา

ในกรณีที่ต้องการเปลี่ยนแปลงค่าพูดหรือบันทึกค่าพูดใหม่ลงไป กระทำ
ได้โดยกดสวิทช์ 2 แล้ว LED 1 จะติดสว่าง จากนั้นกดปุ่ม FAST หรือ SLOW
เพื่อตั้งเวลาที่ต้องการจะบันทึก เมื่อหลักสิบและหลักหน่วยของนาฬิกาเป็นเลขศูนย์เครื่องจะ
เริ่มบันทึกเสียง โดย LED 2 จะกะพริบ 2 วินาที ช่วงนี้เป็นการบันทึกสัญญาณเตือน
เมื่อ LED 2 ติดเครื่องจะบันทึกเสียงได้ต่ออีก 2 วินาที ช่วงนี้คือค่าพูดบอกเวลาของ
ชั่วโมงนั้น ๆ

บทที่ 5

บทวิจารณ์และสรุป

จากการพัฒนาโครงการนี้จนสำเร็จลุล่วงไปโดยคืบหน้า ส่วนสำคัญหรือส่วนหลักของโครงการคือ ไอซี Mc3417 ซึ่งสามารถนำไปพัฒนาการใช้งานในการคิดท้อสื่อสารด้วยระบบดิจิทัลได้อย่างกว้างขวาง โดยการใช้วิธีการมอดูเลเตอร์แบบเปลี่ยนแปลงความชันต่อเนื่องจะช่วยให้คุณภาพของสัญญาณที่โคคี่ขึ้นมาก รวมทั้งขนาดเล็กแต่ประสิทธิภาพสูง เพราะการเปลี่ยนสัญญาณอะนาลอกเป็นสัญญาณดิจิทัลและการเปลี่ยนสัญญาณดิจิทัลเป็นสัญญาณอะนาลอกสามารถทำได้ด้วยไอซีเพียงตัวเดียว

สำหรับการประยุกต์นำมาใช้งานในโครงการนี้ก็พอจะมีปัญหาอยู่บ้างคือ ในขณะที่ไม่มีสัญญาณดิจิทัลเข้าที่อินพุทของ Mc 3417 โดยมีสัญญาณนาฬิกาอยู่ ทางค่านเข้าที่พุทของอะนาลอกจะมีสัญญาณรบกวนออกมา ทำให้ผ่านวงจรขยายออกไปที่ลำโพงได้ การแก้ปัญหาก็ด้วยการหุยกจ่ายสัญญาณนาฬิกาให้จิ้งทักสัญญาณรบกวนนี้ออกไปได้ และโครงสร้างภายในเป็นซิมอส ดังนั้นการเสียหายซึ่งเกิดไฟฟ้าสถิตย์จากภายนอก จากภายในตัวของมนุษย์มีผลต่อความเสียหายของไอซีแบบซิมอสได้ การจับต้องหรือการบัดกรีจิ้งทักมีความระมัดระวังเป็นอย่างสูง แต่ข้อดีก็มีในค่านการกินกำลังไฟฟ้าต่ำมาก ส่วนความเร็วในการทำงานก็ไม่ต่ำจนเกินไปนักในการประยุกต์การใช้งานก็สามารถที่เข้าร่วมกับไอซีตระกูลอื่น ๆ เช่น TTL ได้โดยไม่มีปัญหา จะเห็นว่า Mc 3417 มีความอ่อนตัวต่อการพัฒนาการใช้งานค่านโคคี่สื่อสารด้วยระบบดิจิทัลได้เป็นอย่างดี

สรุปผลของการค่านคืบตามโครงการนี้

- เรียนรู้ระบบการทำงานของการมอดูเลทแบบเปลี่ยนแปลงความชันต่อเนื่อง
- มีประสบการณ์ในการออกแบบวงจรการทำงานไม่ว่าจะเป็นทั้งทางดิจิทัลและอะนาลอก
- เห็นผลของการทำงานร่วมกันของ ไอซีต่างตระกูลกัน และการทำงานของวงจรดิจิทัลร่วมกับอะนาลอก
- มีโอกาสพิสูจน์ผลทางทฤษฎีและในทางปฏิบัติว่ามีผลการทำงานสอดคล้องกันหรือไม่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- มีความคิดริเริ่มในการประยุกต์การใช้งานในค่านอื่น ๆ ของทฤษฎีการทำงานของระบบต่าง ๆ
- ประสบการณ์ในค่านอุปกรณ์อิเล็กทรอนิกส์และความรู้กับการตรวจสอบหาข้อผิดพลาดในวงจร

ปัญหาของการดำเนินงาน

- ไอซีส่วนใหญ่เป็นแบบซิมอส จึงมีปัญหาในไฟฟ้าสถิตย์ การใช้งานต้องระมัดระวังอย่างสูง การถอดหรือใส่อุปกรณ์ลำบากเพราะจะเกิดความเสียหายต่อไอซีได้
- การเกิดสัญญาณคลื่นภายในไอซีนาฬิกา ซึ่งทำให้การทำงานของวงจรที่คำนวณตามทฤษฎีผิดพลาดไป
- ชაკู่มือที่ไร้รายละเอียดเกี่ยวกับไอซีบางตัว เนื่องจากหาได้ยาก ทำให้มีผลต่อการออกแบบวงจร จึงต้องทำการทดลองเป็นลำดับ ทำให้การดำเนินงานทำได้ช้ากว่าที่ควรจะเป็น



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



**MC3417, MC3517
MC3418, MC3518**

**Specifications and Applications
Information**

**CONTINUOUSLY VARIABLE SLOPE
DELTA MODULATOR/DEMODULATOR**

Providing a simplified approach to digital speech encoding/decoding, the MC3517/18 series of CVSDs is designed for military secure communication and commercial telephone applications. A single IC provides both encoding and decoding functions.

- Encode and Decode Functions on the Same Chip with a Digital Input for Selection
- Utilization of Compatible I²L – Linear Bipolar Technology
- CMOS Compatible Digital Output
- Digital Input Threshold Selectable (V_{CC}/2 reference provided on chip)
- MC3417/MC3517 has a 3-Bit Algorithm (General Communications)
- MC3418/MC3518 has a 4-Bit Algorithm (Commercial Telephone)

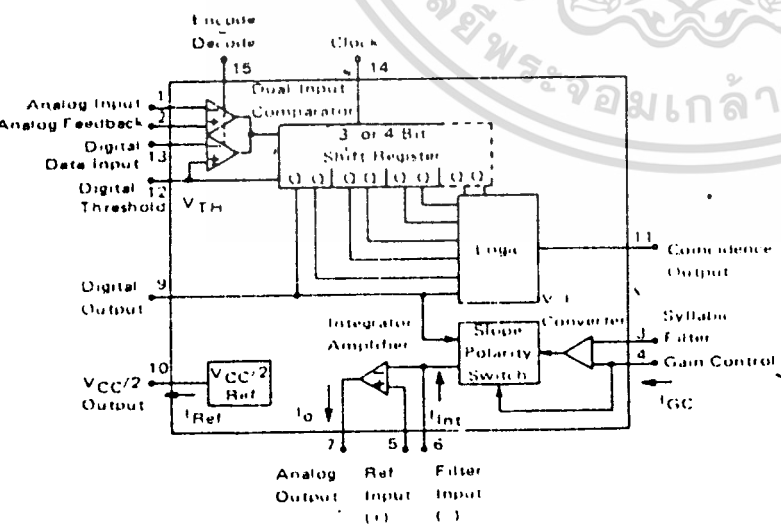
**CONTINUOUSLY VARIABLE
SLOPE DELTA
MODULATOR/DEMODULATOR**

**LASER-TRIMMED
INTEGRATED CIRCUIT**

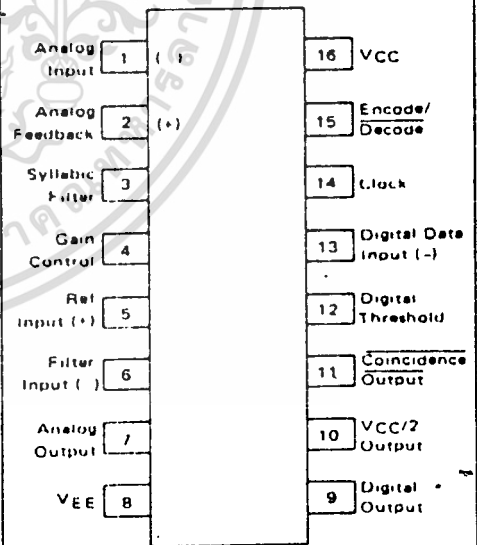


**L SUFFIX
CERAMIC PACKAGE
CASE 620**

CVSD BLOCK DIAGRAM



PIN CONNECTIONS



ORDERING INFORMATION

Device	Package	Temperature Range
MC3417L	Ceramic DIP	0°C to +70°C
MC3418L	Ceramic DIP	0°C to +70°C
MC3517L	Ceramic DIP	-55°C to +125°C
MC3518L	Ceramic DIP	-55°C to +125°C

MC3417, MC3517, MC3418, MC3518

MAXIMUM RATINGS

(All voltages referenced to V_{EE} . $T_A = 25^\circ\text{C}$ unless otherwise noted.)

Rating	Symbol	Value	Unit
Power Supply Voltage	V_{CC}	-0.4 to +18	Vdc
Differential Analog Input Voltage	V_{ID}	±5.0	Vdc
Digital Threshold Voltage	V_{TH}	-0.4 to V_{CC}	Vdc
Logic Input Voltage - (Clock, Digital-Data, Encode/Decode)	V_{Logic}	-0.4 to +18	Vdc
Coincidence Output Voltage	$V_{O(Con)}$	-0.4 to +18	Vdc
Syllabic Filter Input Voltage	$V_{I(Syl)}$	-0.4 to V_{CC}	Vdc
Gain Control Input Voltage	$V_{I(GC)}$	-0.4 to V_{CC}	Vdc
Reference Input Voltage	$V_{I(Ref)}$	$V_{CC}/2 - 1.0$ to V_{CC}	Vdc
$V_{CC}/2$ Output Current	I_{Ref}	-25	mA

ELECTRICAL CHARACTERISTICS

 $V_{CC} = 12\text{ V}$, $V_{EE} = \text{Gnd}$, $T_A = 0^\circ\text{C}$ to $+70^\circ\text{C}$ for MC3417/18, $T_A = -55^\circ\text{C}$ to $+125^\circ\text{C}$ for MC3517/18 unless otherwise noted.)

Characteristic	Symbol	MC3417/MC3517			MC3418/MC3518			Unit
		Min	Typ	Max	Min	Typ	Max	
Power Supply Voltage Range (Figure 1)	V_{CCR}	4.75	12	16.5	4.75	12	16.5	Vdc
Power Supply Current (Figure 1) (Idle Channel) $(V_{CC} = 5.0\text{ V})$ $(V_{CC} = 15\text{ V})$	I_{CC}	—	3.7 6.0	5.0 10	—	3.7 6.0	5.0 10	mA
Clock Rate	SR	—	16 k	—	—	32 k	—	Samples/s
Gain Control Current Range (Figure 2)	I_{GCR}	0.001	—	3.0	0.001	—	3.0	mA
Analog Comparator Input Range (Pins 1 and 2) $(4.75\text{ V} < V_{CC} < 16.5\text{ V})$	V_I	1.3	—	$V_{CC} - 1.3$	1.3	—	$V_{CC} - 1.3$	Vdc
Analog Output Range (Pin 7) $(4.75\text{ V} < V_{CC} < 16.5\text{ V}, I_O = \pm 5.0\text{ mA})$	V_O	1.3	—	$V_{CC} - 1.3$	1.3	—	$V_{CC} - 1.3$	Vdc
Input Bias Currents (Figure 3) (Comparator in Active Region)	I_{IB}	—	0.5	1.5	—	0.25	1.0	μA
Analog Input (I1)		—	0.5	1.5	—	0.25	1.0	
Analog Feedback (I2)		—	0.06	0.5	—	0.06	0.3	
Syllabic Filter Input (I3)		—	-0.06	-0.5	—	-0.06	-0.3	
Reference Input (I5)		—	0.15	0.6	—	0.05	0.4	
Input Offset Current (Comparator in Active Region)	I_{IO}	—	0.02	0.2	—	0.01	0.1	μA
Analog Input/Analog Feedback (I1-I2) - Figure 3		—	2.0	6.0	—	2.0	6.0	
Integrator Amplifier (I5-I6) - Figure 4		—	0.1	1.0	—	0.1	1.0	
Input Offset Voltage V/I Converter (Pins 3 and 4) - Figure 5	V_{IO}	—	2.0	6.0	—	2.0	6.0	mV
Transconductance V/I Converter, 0 to 3.0 mA Integrator Amplifier, 0 to +5.0 mA Load	gm	0.1 1.0	0.3 10	—	0.1 1.0	0.3 10	—	mA/mV
Propagation Delay Times (Note 1)								μs
Clock Trigger to Digital Output ($C_L = 25\text{ pF}$ to Gnd)	t_{PLH} t_{PHL}	—	1.0 0.8	2.5 2.5	—	1.0 0.8	2.5 2.5	
Clock Trigger to Coincidence Output ($C_L = 25\text{ pF}$ to Gnd) ($R_L = 4\text{ k}\Omega$ to V_{CC})	t_{PLH} t_{PHL}	—	1.0 0.8	3.0 2.0	—	1.0 0.8	3.0 2.0	
Coincidence Output Voltage - Low Logic State ($I_{OL(Con)} = 3.0\text{ mA}$)	$V_{OL(Con)}$	—	0.12	0.25	—	0.12	0.25	Vdc
Coincidence Output Leakage Current - High Logic State $(V_{OH} = 15.0\text{ V}, 0^\circ\text{C} < T_A < 70^\circ\text{C})$	$I_{OH(Con)}$	—	0.01	0.5	—	0.01	0.5	μA

NOTE 1: All propagation delay times measured 50% to 50% from the negative going (from V_{CC} to +0.4 V) edge of the clock.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดลอกเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

C3417, MC3517, MC3418, MC3518

ELECTRICAL CHARACTERISTICS (continued)

Characteristic	Symbol	MC3417/MC3517			MC3418/MC3518			Unit
		Min	Typ	Max	Min	Typ	Max	
Applied Digital Threshold Voltage Range (Pin 12)	V_{IH}	+1.2		$V_{CC} - 2.0$	+1.2		$V_{CC} - 2.0$	Vdc
Digital Threshold Input Current ($1.2\text{ V} < V_{th} < V_{CC} - 2.0\text{ V}$) (V_{IL} applied to Pins 13, 14 and 15) (V_{IH} applied to Pins 13, 14 and 15)	$I_{I(th)}$		10	5.0 50		10	5.0 50	μA
Maximum Integrator Amplifier Output Current	I_O	+5.0			+5.0		--	mA
$V_{CC}/2$ Generator Maximum Output Current (Source only)	I_{Ref}	+10			+10		--	mA
$V_{CC}/2$ Generator Output Impedance (0 to +10 mA)	Z_{Ref}		30	60		30	60	Ω
$V_{CC}/2$ Generator Tolerance ($4.75\text{ V} < V_{CC} < 16.5\text{ V}$)	ϵ			+3.5			+3.5	%
Logic Input Voltage (Pins 13, 14 and 15) Low Logic State High Logic State	V_{IL} V_{IH}	$V_{DD} - 0.4$ $V_{th} + 0.4$		$V_{th} - 0.4$ 18.0	$V_{DD} - 0.4$ $V_{th} + 0.4$		$V_{th} - 0.4$ 18.0	Vdc
Dynamic Total Loop Offset Voltage (Note 2) – Figures 3, 4 and 5 $I_{GC} = 12.0\ \mu\text{A}$, $V_{CC} = 12\text{ V}$ $T_A = 25^\circ\text{C}$ $0^\circ\text{C} < T_A < +70^\circ\text{C}$ MC3417/18 $-55^\circ\text{C} < T_A < +125^\circ\text{C}$ MC3517/18 $I_{GC} = 33.0\ \mu\text{A}$, $V_{CC} = 12\text{ V}$ $T_A = 25^\circ\text{C}$ $0^\circ\text{C} < T_A < +70^\circ\text{C}$ MC3417/18 $-55^\circ\text{C} < T_A < +125^\circ\text{C}$ MC3517/18 $I_{GC} = 12.0\ \mu\text{A}$, $V_{CC} = 5.0\text{ V}$ $T_A = 25^\circ\text{C}$ $0^\circ\text{C} < T_A < +70^\circ\text{C}$ MC3417/18 $-55^\circ\text{C} < T_A < +125^\circ\text{C}$ MC3517/18 $I_{GC} = 33.0\ \mu\text{A}$, $V_{CC} = 5.0\text{ V}$ $T_A = 25^\circ\text{C}$ $0^\circ\text{C} < T_A < +70^\circ\text{C}$ MC3417/18 $-55^\circ\text{C} < T_A < +125^\circ\text{C}$ MC3517/18	ΔV_{Offset}	--	--	--	--	± 0.5 ± 0.75 ± 1.5	± 1.5 ± 2.3 ± 4.0	mV
Digital Output Voltage ($I_{OL} = 3.6\text{ mA}$) ($I_{OH} = -0.35\text{ mA}$)	V_{OL} V_{OH}	--	0.1	0.4	--	0.1	0.4	Vdc
Syllabic Filter Applied Voltage (Pin 3) (Figure 2)	$V_{I(Syl)}$	+3.2	--	V_{CC}	+3.2	--	V_{CC}	Vdc
Integrating Current (Figure 2) ($I_{GC} = 12.0\ \mu\text{A}$) ($I_{GC} = 1.5\text{ mA}$) ($I_{GC} = 3.0\text{ mA}$)	I_{Int}	8.0 1.45 2.75	10 1.50 3.0	12 1.55 3.25	8.0 1.45 2.75	10 1.50 3.0	12 1.55 3.25	μA mA mA
Dynamic Integrating Current Match ($I_{GC} = 1.5\text{ mA}$) Figure 6	$V_{O(Ave)}$	--	+100	+250	--	+100	+250	mV
Input Current – High Logic State ($V_{IH} = 18\text{ V}$) Digital Data Input Clock Input Encode/Decode Input	I_{IH}			+5.0 +5.0 +5.0			+5.0 +5.0 +5.0	μA
Input Current – Low Logic State ($V_{IL} = 0\text{ V}$) Digital Data Input Clock Input Encode/Decode Input Clock Input, $V_{IL} = 0.4\text{ V}$	I_{IL}			-10 -360 -36 -72			-10 -360 -36 -72	μA

NOTE 2. Dynamic total loop offset (ΔV_{Offset}) equals V_{IO} (comparator) (Figure 3) minus V_{IOX} (Figure 5). The input offset voltages of the analog comparator and of the integrator amplifier include the effects of input offset current through the input resistors. Input offset current polarity switch current mismatch appears as an average voltage across the 10 k integrator resistor. For the MC3417/MC3418 clock frequency is 16.0 kHz. For the MC3418/MC3518, the clock frequency is 32.0 kHz. Idle channel performance is for this dynamic total loop offset is less than one half of the change in integrator output voltage during one clock cycle (rare Laser trimming is used to insure good idle channel performance).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC3417, MC3517, MC3418, MC3518

DEFINITIONS AND FUNCTION OF PINS

Pin 1 – Analog Input

This is the analog comparator inverting input where the voice signal is applied. It may be ac or dc coupled depending on the application. If the voice signal is to be level shifted to the internal reference voltage, then a bias resistor between pins 1 and 10 is used. The resistor is used to establish the reference as the new dc average of the ac coupled signal. The analog comparator was designed for low hysteresis (typically less than 0.1 mV) and high gain (typically 70 dB).

Pin 2 – Analog Feedback

This is the non-inverting input to the analog signal comparator within the IC. In an encoder application it should be connected to the analog output of the encoder circuit. This may be pin 7 or a low pass filter output connected to pin 7. In a decode circuit pin 2 is not used and may be tied to $V_{CC}/2$ on pin 10, ground or left open.

The analog input comparator has bias currents of 1.5 μA max, thus the driving impedances of pins 1 and 2 should be equal to avoid disturbing the idle channel characteristics of the encoder.

Pin 3 – Syllabic Filter

This is the point at which the syllabic filter voltage is returned to the IC in order to control the integrator step size. It is an NPN input to an op amp. The syllabic filter consists of an RC network between pins 11 and 3. Typical time constant values of 6 ms to 50 ms are used in voice decoders.

Pin 4 – Gain Control Input

The syllabic filter voltage appears across C_S of the syllabic filter and is the voltage between V_{CC} and pin 3. The active voltage to current (V-I) converter drives pin 4 to the same voltage at a slew rate of typically 5 V/ μs . Thus the current injected into pin 4 (IGC) is the syllabic filter voltage divided by the R_X resistance. Figure 6 shows the relationship between IGC (x-axis) and the integrating current, I_{INT} (y-axis). The discrepancy, which is most significant at very low currents, is due to circuitry within the slope polarity switch which enables commutating to a low total loop offset. The R_X resistor is then varied to adjust the loop gain of the codec, but should be no larger than 5.0 k Ω to maintain stability.

Pin 5 – Reference Input

This pin is the non-inverting input of the integrator amplifier. It is used to reference the dc level of the output signal. In an encoder circuit it must reference the same voltage as pin 1 and is tied to pin 10.

Pin 6 – Filter Input

This inverting op amp input is used to connect the integrator external components. The integrating current

(I_{INT}) flows into pin 6 when the analog input (pin 1) is high with respect to the analog feedback (pin 2) in the encode mode or when the digital data input (pin 13) is high in the decode mode. For the opposite states, I_{INT} flows out of Pin 6. Single integration systems require a capacitor and resistor between pins 6 and 7. Multipole configurations will have different circuitry. The resistance between pins 6 and 7 should always be between 8 k Ω and 13 k Ω to maintain good idle channel characteristics.

Pin 7 – Analog Output

This is the integrator op amp output. It is capable of driving a 600-ohm load referenced to $V_{CC}/2$ to +6 dBm and can otherwise be treated as an op amp output. Pins 5, 6, and 7 provide full access to the integrator op amp for designing integration filter networks. The slew rate of the internally compensated integrator op amp is typically 0.5 V/ μs . Pin 7 output is current limited for both polarities of current flow at typically 30 mA.

Pin 8 – VEE

The circuit is designed to work in either single or dual power supply applications. Pin 8 is always connected to the most negative supply.

Pin 9 – Digital Output

The digital output provides the results of the delta modulator's conversion. It swings between V_{CC} and V_{EE} and is CMOS or TTL compatible. Pin 9 is inverting with respect to pin 1 and non-inverting with respect to pin 2. It is clocked on the falling edge of pin 14. The typical 10% to 90% rise and fall times are 250 ns and 50 ns respectively for $V_{CC} = 12\text{ V}$ and $C_L = 25\text{ pF}$ to ground.

Pin 10 – $V_{CC}/2$ Output

An internal low impedance mid-supply reference is provided for use of the MC3417/18 in single supply applications. The internal regulator is a current source and must be loaded with a resistor to insure its sinking capability. If a +6 dBm signal is expected across a 600 ohm input bias resistor, then pin 10 must sink $2.2\text{ V}/600\ \Omega = 3.66\text{ mA}$. This is only possible if pin 10 sources 3.66 mA into a resistor normally and will source only the difference under peak load. The reference load resistor is chosen accordingly. A 0.1 μF bypass capacitor from pin 10 to V_{EE} is also recommended. The $V_{CC}/2$ reference is capable of sourcing 10 mA and can be used as a reference elsewhere in the system circuitry.

Pin 11 – Coincidence Output

The duty cycle of this pin is proportional to the voltage across C_S . The coincidence output will be low whenever the content of the internal shift register is all 1s or all 0s. In the MC3417 the register is 3 bits long

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DEFINITIONS AND FUNCTIONS OF PINS (continued)

while the MC3418 contains a 4 bit register. Pin 11 is an open collector of an NPN device and requires a pull-up resistor. If the syllabic filter is to have equal charge and discharge time constants, the value of R_p should be much less than R_S . In systems requiring different charge and discharge constants, the charging constant is $R_S C_S$ while the decaying constant is $(R_S + R_p) C_S$. Thus longer decays are easily achievable. The NPN device should not be required to sink more than 3 mA in any configuration. The typical 10% to 90% rise and fall times are 200 ns and 100 ns respectively for $R_L = 4 \text{ k}\Omega$ to +12 V and $C_L = 25 \text{ pF}$ to ground.

Pin 12 – Digital Threshold

This input sets the switching threshold for pins 13, 14, and 15. It is intended to aid in interfacing different logic families without external parts. Often it is connected to the $V_{CC}/2$ reference for CMOS interface or can be biased two diode drops above V_{EE} for TTL interface

Pin 13 – Digital Data Input

In a decode application, the digital data stream is applied to pin 13. In an encoder it may be unused or may be used to transmit signaling message under the control of pin 15. It is an inverting input with respect to pin 9. When pins 9 and 13 are connected, a toggle flip-flop is formed and a forced idle channel pattern

can be transmitted. The digital data input level should be maintained for 0.5 μs before and after the clock trigger for proper clocking.

Pin 14 – Clock Input

The clock input determines the data rate of the codec circuit. A 32K bit rate requires a 32 kHz clock. The switching threshold of the clock input is set by pin 12. The shift register circuit toggles on the falling edge of the clock input. The minimum width for a positive-going pulse on the clock input is 300 ns, whereas for a negative-going pulse, it is 900 ns.

Pin 15 – Encode/Decode

This pin controls the connection of the analog input comparator and the digital input comparator to the internal shift register. If high, the result of the analog comparison will be clocked into the register on the falling edge at pin 14. If low, the digital input state will be entered. This allows use of the IC as an encoder/decoder or simplex codec without external parts. Furthermore, it allows non-voice patterns to be forced onto the transmission line through pin 13 in an encoder.

Pin 16 – VCC

The power supply range is from 4.75 to 16.5 volts between pin VCC and VEE.

FIGURE 1 – POWER SUPPLY CURRENT

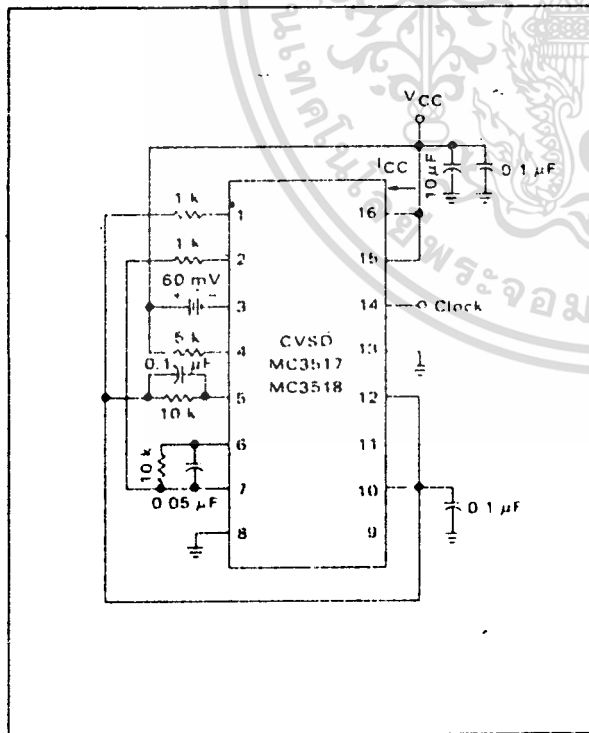
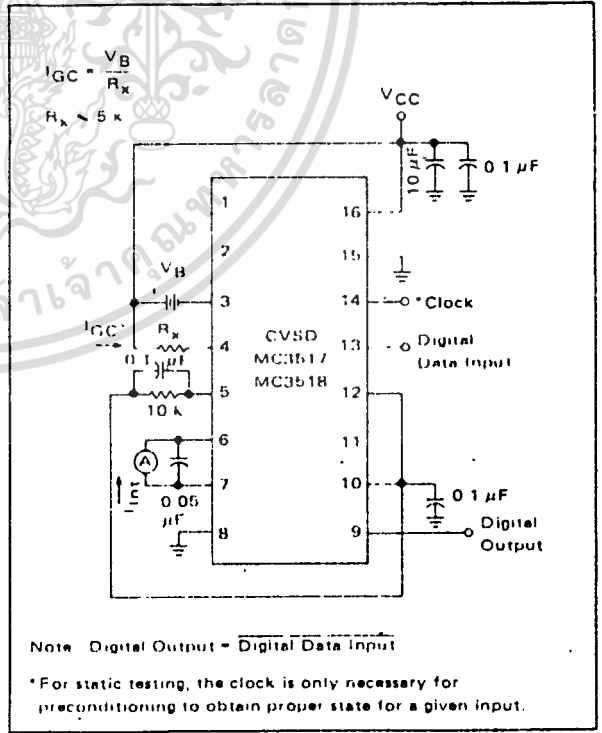


FIGURE 2 – I_{GCR} , GAIN CONTROL RANGE and I_{Int} – INTEGRATING CURRENT



MC3417, MC3517, MC3418, MC3518

FIGURE 3 – INPUT BIAS CURRENTS, ANALOG COMPARATOR OFFSET VOLTAGE AND CURRENT

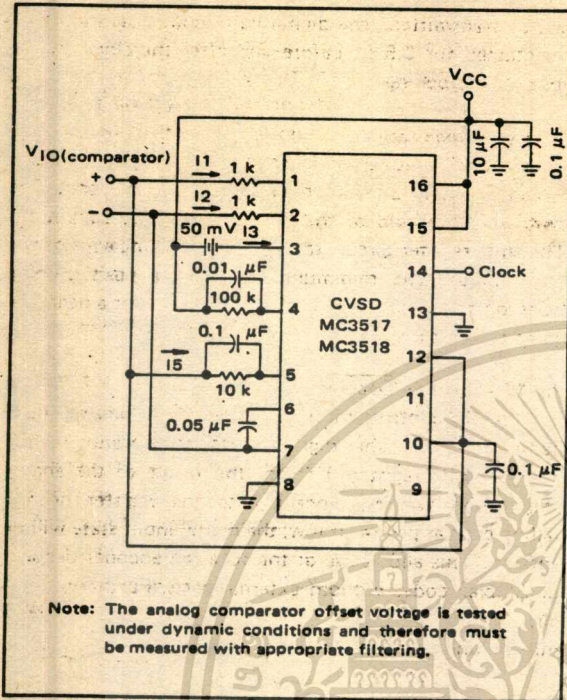


FIGURE 4 – INTEGRATOR AMPLIFIER OFFSET VOLTAGE AND CURRENT

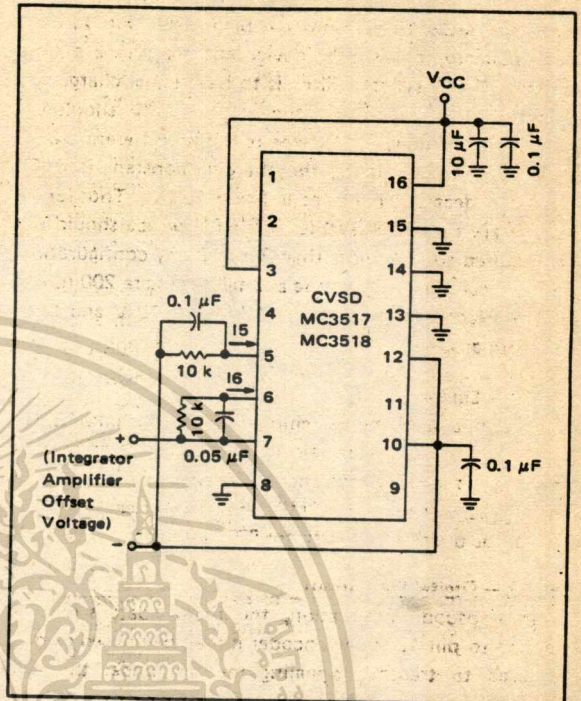


FIGURE 5 – V/I CONVERTER OFFSET VOLTAGE, V_{IO} and V_{IOX}

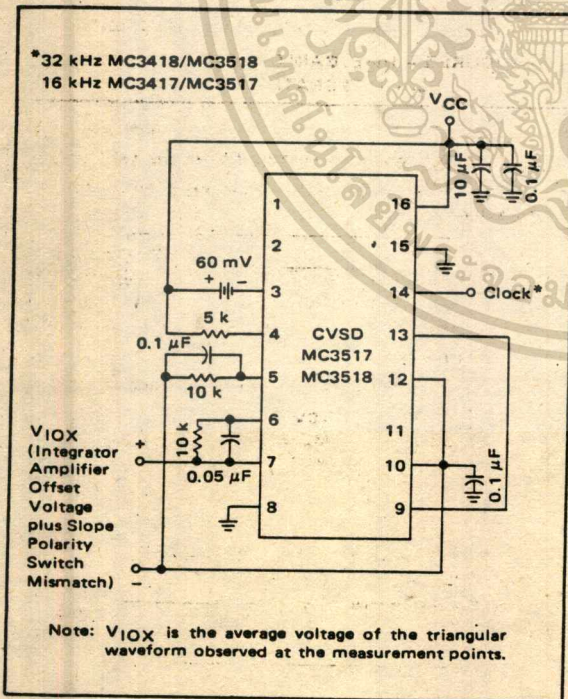
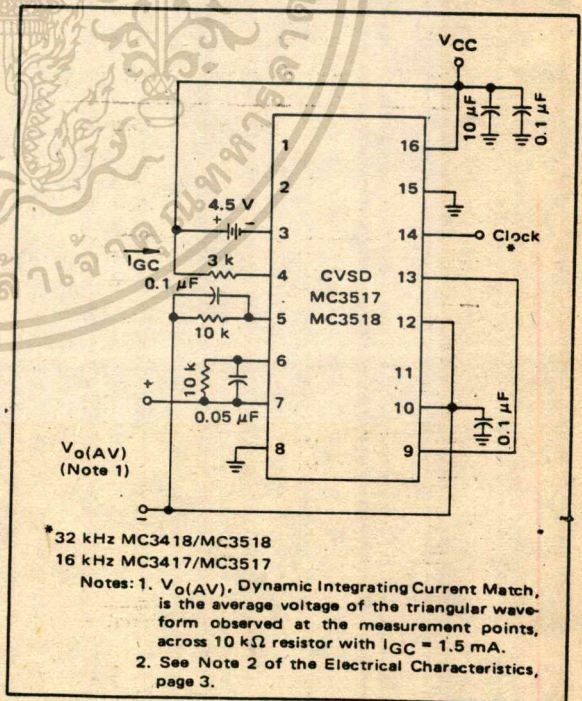


FIGURE 6 – DYNAMIC INTEGRATING CURRENT MATCH



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPICAL PERFORMANCE CURVES

FIGURE 7 - TYPICAL I_{int} versus I_{GC} (Mean $\pm 2\sigma$)

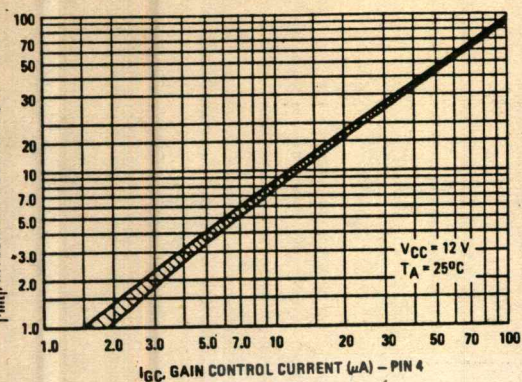


FIGURE 8 - NORMALIZED DYNAMIC INTEGRATING CURRENT MATCH versus V_{CC}

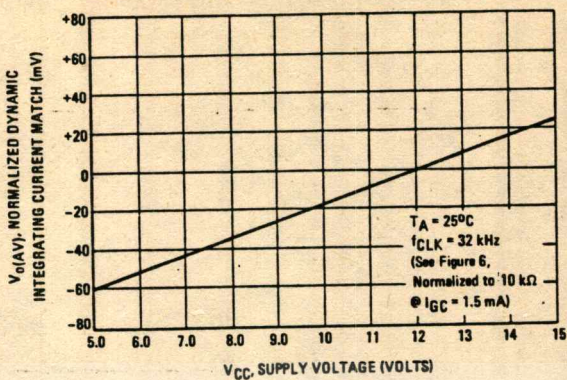


FIGURE 9 - NORMALIZED DYNAMIC INTEGRATING CURRENT MATCH versus CLOCK FREQUENCY

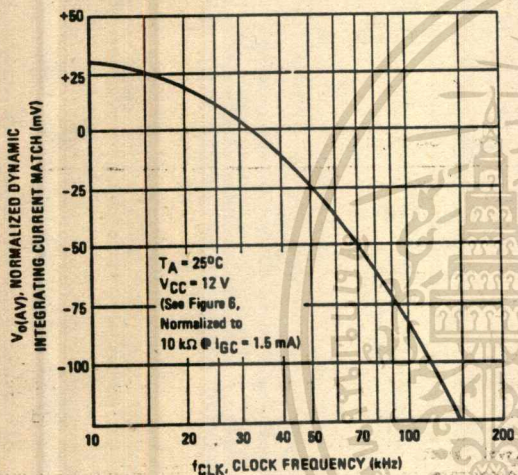


FIGURE 10 - DYNAMIC TOTAL LOOP OFFSET versus CLOCK FREQUENCY

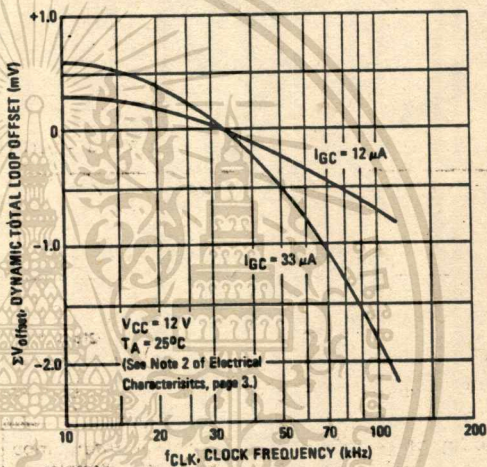


FIGURE 11 - BLOCK DIAGRAM OF THE CVSD ENCODER

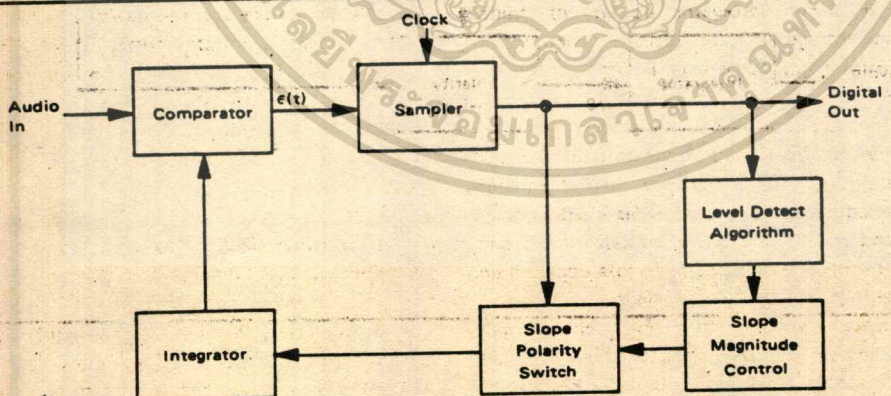


FIGURE 12 – CVSD WAVEFORMS

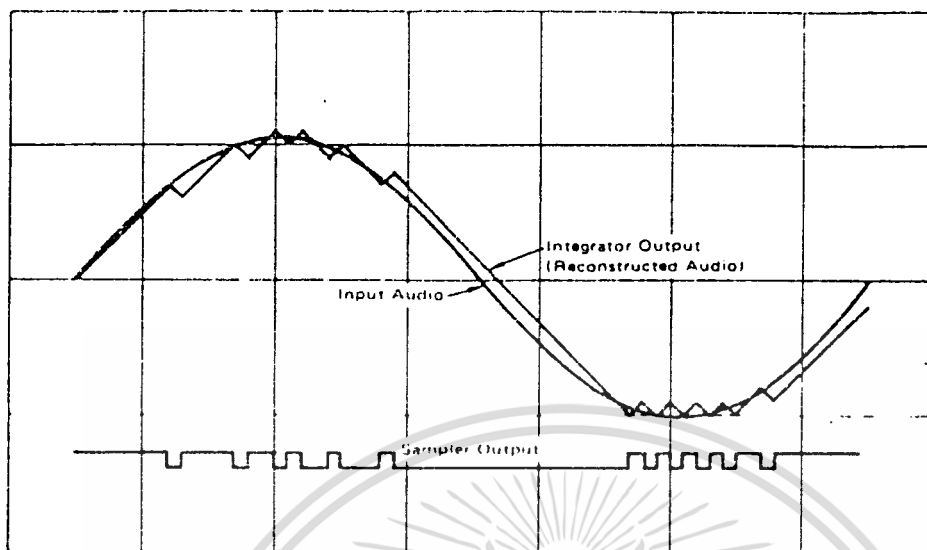
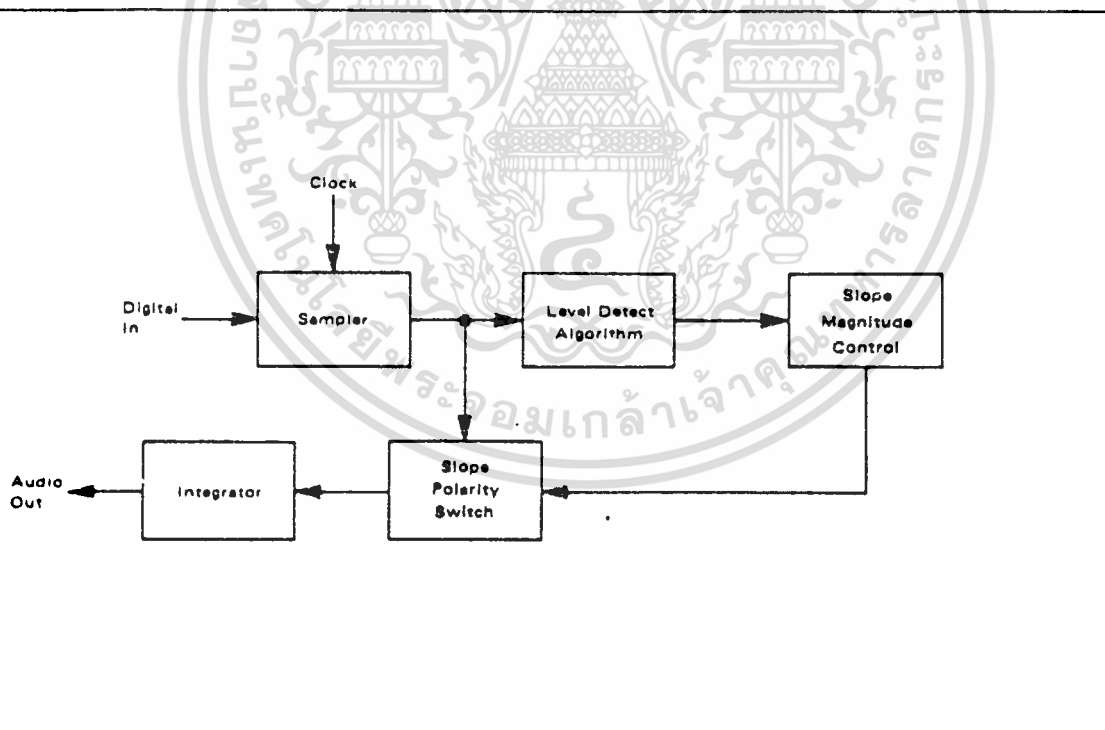
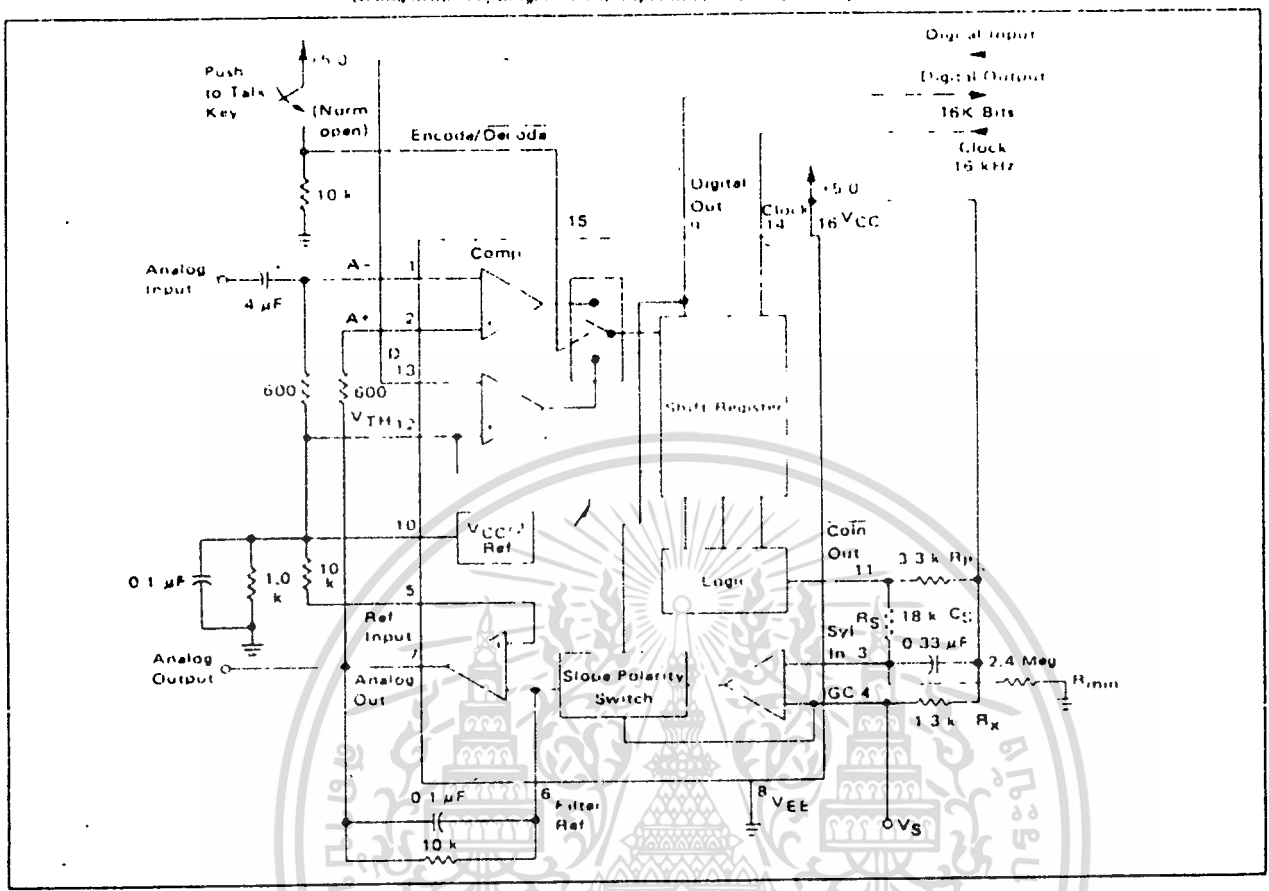


FIGURE 13 – BLOCK DIAGRAM OF THE CVSD DECODER



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FIGURE 14 -16 kHz SIMPLEX VOICE CODEC
(Using MC3417, Single Pole Companding and Single Integration)



CIRCUIT DESCRIPTION

The continuously variable slope delta modulator (CVSD) is a simple alternative to more complex conventional conversion techniques in systems requiring digital communication of analog signals. The human voice is analog, but digital transmission of any signal over great distance is attractive. Signal/noise ratios do not vary with distance in digital transmission and multiplexing, switching and repeating hardware is more economical and easier to design. However, instrumentation A to D converters do not meet the communications requirements. The CVSD A to D is well suited to the requirements of digital communications and is an economically efficient means of digitizing analog inputs for transmission.

The Delta Modulator

The innermost control loop of a CVSD converter is a simple delta modulator. A block diagram CVSD Encoder is shown in Figure 11. A delta modulator consists of a comparator in the forward path and an integrator in the feedback path of a simple control loop. The inputs to the comparator are the input analog signal and the integrator output. The comparator output reflects the

sign of the difference between the input voltage and the integrator output. That sign bit is the digital output and also controls the direction of ramp in the integrator. The comparator is normally clocked so as to produce a synchronous and band limited digital bit stream.

If the clocked serial bit stream is transmitted, received, and delivered to a similar integrator at a remote point, the remote integrator output is a copy of the transmitting control loop integrator output. To the extent that the integrator at the transmitting location tracks the input signal, the remote receiver reproduces the input signal. Low pass filtering at the receiver output will eliminate most of the quantizing noise, if the clock rate of the bit stream is an octave or more above the bandwidth of the input signal. Voice bandwidth is 4 kHz and clock rates from 8 k and up are possible. Thus the delta modulator digitizes and transmits the analog input to a remote receiver. The serial, unframed nature of the data is ideal for communications networks. With no input at the transmitter, a continuous one zero alternation is transmitted. If the two integrators are made leaky, then during any loss of contact the receiver output decays to

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CIRCUIT DESCRIPTION (continued)

zero and receive restart begins without framing when the receiver reacquires. Similarly a delta modulator is tolerant of sporadic bit errors. Figure 12 shows the delta modulator waveforms while Figure 13 shows the corresponding CVSD decoder block diagram.

The Companding Algorithm

The fundamental advantages of the delta modulator are its simplicity and the serial format of its output. Its limitations are its ability to accurately convert the input within a limited digital bit rate. The analog input must be band limited and amplitude limited. The frequency limitations are governed by the nyquist rate while the amplitude capabilities are set by the gain of the integrator.

The frequency limits are bounded on the upper end, that is, for any input bandwidth there exists a clock frequency larger than that bandwidth which will transmit the signal with a specific noise level. However, the amplitude limits are bounded on both upper and lower ends. For a signal level, one specific gain will achieve an optimum noise level. Unfortunately, the basic delta modulator has a small dynamic range over which the noise level is constant.

The continuously variable slope circuitry provides increased dynamic range by adjusting the gain of the integrator. For a given clock frequency and input bandwidth the additional circuitry increases the delta modulator's dynamic range. External to the basic delta modulator is an algorithm which monitors the past few outputs of the delta modulator in a simple shift register. The register is 3 or 4 bits long depending on the application. The accepted CVSD algorithm simply monitors the contents of the shift register and indicates

if it contains all 1s or 0s. This condition is called coincidence. When it occurs, it indicates that the gain of the integrator is too small. The coincidence output charges a single pole low pass filter. The voltage output of this syllabic filter controls the integrator gain through a pulse amplitude modulator whose other input is the sign bit or up/down control.

The simplicity of the all ones, all zeros algorithm should not be taken lightly. Many other control algorithms using the shift register have been tried. The key to the accepted algorithm is that it provides a measure of the average power or level of the input signal. Other techniques provide more instantaneous information about the shape of the input curve. The purpose of the algorithm is to control the gain of the integrator and to increase the dynamic range. Thus a measure of the average input level is what is needed.

The algorithm is repeated in the receiver and thus the level data is recovered in the receiver. Because the algorithm only operates on the past serial data, it changes the nature of the bit stream without changing the channel bit rate.

The effect of the algorithm is to compand the input signal. If a CVSD encoder is played into a basic delta modulator, the output of the delta modulator will reflect the shape of the input signal but all of the output will be at an equal level. Thus the algorithm at the output is needed to restore the level variations. The bit stream in the channel is as if it were from a standard delta modulator with a constant level input.

The delta modulator encoder with the CVSD algorithm provides an efficient method for digitizing a voice input in a manner which is especially convenient for digital communications requirements.

APPLICATIONS INFORMATION

CVSD DESIGN CONSIDERATIONS

A simple CVSD encoder using the MC3417 or MC3418 is shown in Figure 14. These ICs are general purpose CVSD building blocks which allow the system designer to tailor the encoder's transmission characteristics to the application. Thus, the achievable transmission capabilities are constrained by the fundamental limitations of delta modulation and the design of encoder parameters. The performance is not dictated by the internal configuration of the MC3417 and MC3418. There are seven design considerations involved in designing these basic CVSD building blocks into a specific codec application.

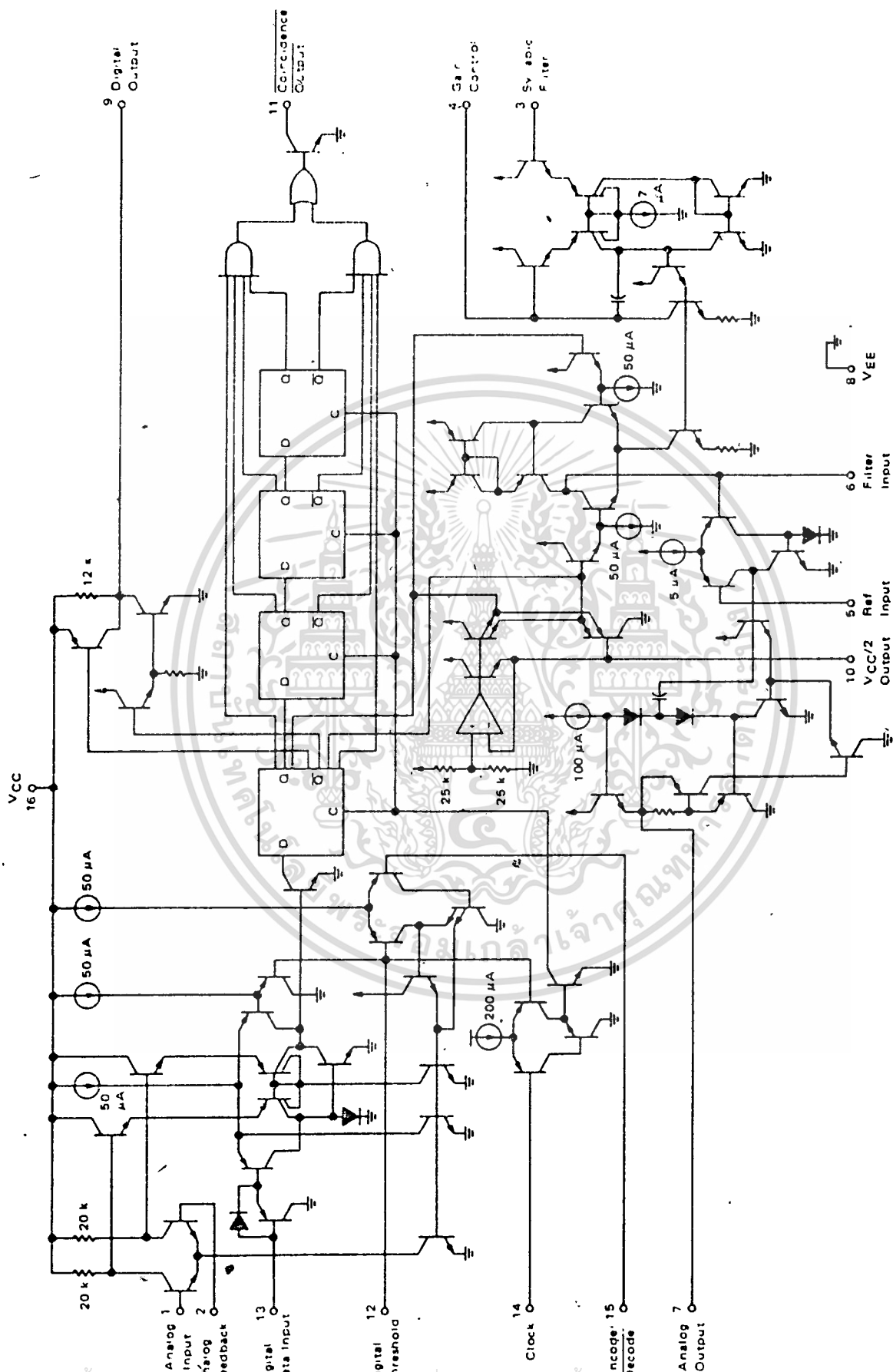
These are listed below:

1. Selection of clock rate

2. Required number of shift register bits
3. Selection of loop gain
4. Selection of minimum step size
5. Design of integration filter transfer function
6. Design of syllabic filter transfer function
7. Design of low pass filter at the receiver

The circuit in Figure 14 is the most basic CVSD circuit possible. For many applications in secure radio or other intelligible voice channel requirements, it is entirely sufficient. In this circuit, items 5 and 6 are reduced to their simplest form. The syllabic and integration filters are both single pole networks. The selection of items 1 through 4 govern the codec performance.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ให้บริการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CVSD DESIGN CONSIDERATIONS (continued)

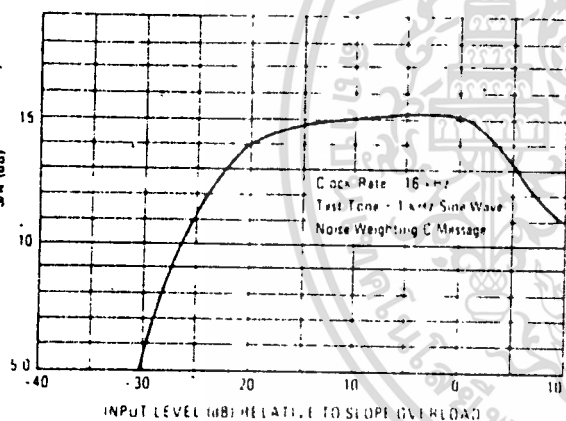
Layout Considerations

Care should be exercised to isolate all digital signal paths (pins 9, 11, 13, and 14) from analog signal paths (pins 1-7 and 10) in order to achieve proper idle channel performance.

Clock Rate

With minor modifications the circuit in Figure 14 may be operated anywhere from 9.6 kHz to 64 kHz clock rates. Obviously the higher the clock rate the higher the S/N performance. The circuit in Figure 14 typically produces the S/N performance shown in Figure 15. The selection of clock rate is usually dictated by the bandwidth of the transmission medium. Voice bandwidth systems will require no higher than 9600 Hz. Some radio systems will allow 12 kHz. Private 4 wire telephone systems are often operated at 16 kHz and commercial telephone performance can be achieved at 32K bits and above. Other codecs may use bit rates up to 200K bits/sec.

FIGURE 15 - SIGNAL-TO-NOISE PERFORMANCE OF MC3417 WITH SINGLE INTEGRATION, SINGLE POLE AND COMPANDING AT 16K BITS - TYPICAL



Shift Register Length (Algorithm)

The MC3417 has a three-bit algorithm and the MC3418 has a four-bit algorithm. For clock rates of 16 kHz and below, the 3-bit algorithm is well suited. For 32 kHz and higher clock rates, the 4-bit system is preferred. Since the algorithm records a fixed past history of the input signal, a longer shift register is required to obtain the same internal history. At 16 bits and below, the 4-bit algorithm will produce a slightly wider dynamic range at the expense of level change response. Basically the MC3417 is designed for low bit rate systems and the MC3418 is intended for high performance, high bit rate system. At bit rates above 64K bits either part will work well.

Selection of Loop Gain

The gain of the circuit in Figure 14 is set by resistor R_x . R_x must be selected to provide the proper integrator step size for high level signals such that the companding ratio does not exceed about 25%. The companding ratio is the active low duty cycle of the coincidence output on pin 11 of the codec circuit. Thus the system gain is dependent on:

- 1 The maximum level and frequency of the input signal.
- 2 The transfer function of the integration filter.

For voice codecs the typical input signal is taken to be a sine wave at 1 kHz of 0 dBm level. In practice, the useful dynamic range extends about 6 dB above the design level. In any system the companding ratio should not exceed 30%.

To calculate the required step size current, we must describe the transfer characteristics of the integration filter. In the basic circuit of Figure 14, a single pole of 160 Hz is used.

$$R = 10 \text{ k}\Omega, C = 0.1 \mu\text{F}$$

$$\frac{V_o}{I_i} = \frac{1}{C(S + 1/RC)} = \frac{K}{S + \omega_o}$$

$$\omega_o = 2\pi f$$

$$10^3 \omega_o = 2\pi f$$

$$f = 159.2 \text{ Hz}$$

Note that the integration filter produces a single-pole response from 300 to 3 kHz. The current required to move the integrator output a specific voltage from zero is simply:

$$I_i = \frac{V_o}{R} + \frac{C_d V_o}{dt}$$

Now a 0 dBm sine wave has a peak value of 1.0954 volts. In 1/8 of a cycle of a sine wave centered around the zero crossing, the sine wave changes by approximately its peak value. The CVSD step should trace that change. The required current for a 0 dBm 1 kHz sine wave is:

$$I_i = \frac{1.1 \text{ V}}{2(10 \text{ k}\Omega)} + \frac{0.1 \mu\text{F}(1.1)}{0.125 \text{ ms}} = 0.935 \text{ mA}$$

The maximum voltage across R_1 when maximum slew is required is:

$$\frac{1.1 \text{ V}}{2}$$

Now the voltage range of the syllabic filter is the power supply voltage, thus

$$R_x = 0.25(V_{CC}) \frac{1}{0.935 \text{ mA}}$$

A similar procedure can be followed to establish the proper gain for any input level and integration filter type.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CVSD DESIGN CONSIDERATIONS (continued)

Minimum Step Size

The final parameter to be selected for the simple codec in Figure 14 is idle channel step size. With no input signal, the digital output becomes a one-zero alternating pattern and the analog output becomes a small triangle wave. Mismatches of internal currents and offsets limit the minimum step size which will produce a perfect idle channel pattern. The MC3417 is tested to ensure that a 20 mVp-p minimum step size at 16 kHz will attain a proper idle channel. The idle channel step size must be large enough to overcome the specified total loop offset if a one-zero idle channel pattern is desired. In some applications a much smaller minimum step size (e.g., 0.1 mV) can produce quiet performance without providing a 1-0 pattern.

To set the idle channel step size, the value of R_{min} must be selected. With no input signal, the slope control algorithm is inactive. A long series of ones or zeros never occurs. Thus, the voltage across the syllabic filter capacitor (C_S) would decay to zero. However, the voltage divider of R_S and R_{min} (see Figure 14) sets the minimum allowed voltage across the syllabic filter capacitor. That voltage must produce the desired ramps at the analog output. Again we write the filter input current equation:

$$I_i = \frac{V_o}{R} + C \frac{dV_o}{dt}$$

For values of V_o near $V_{CC}/2$ the V_o/R term is negligible; thus

$$I_i = C_S \frac{\Delta V_o}{\Delta T}$$

where ΔT is the clock period and ΔV_o is the desired peak-to-peak value of the idle output. For a 16K-bit system using the circuit in Figure 14

$$I_i = \frac{0.1 \mu F \cdot 20 mV}{62.5 \mu s} = 33 \mu A$$

The voltage on C_S which produces a 33 μA current is determined by the value of R_x .

$$I_i R_x = V_{Smin}; \text{ for } 33 \mu A, V_{Smin} = 41.6 mV$$

In Figure 14 R_S is 18 k Ω . That selection is discussed with the syllabic filter considerations. The voltage divider of R_S and R_{min} must produce an output of 41.6 mV.

$$V_{CC} \frac{R_S}{R_S + R_{min}} = V_{Smin} \quad R_{min} \approx 2.4 M\Omega$$

Having established these four parameters – clock rate, number of shift register bits, loop gain and minimum step size – the encoder circuit in Figure 14 will function at near optimum performance for input levels around 0 dBm.

INCREASING CVSD PERFORMANCE

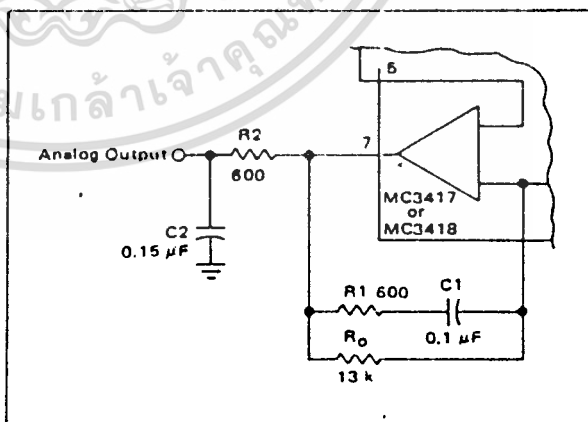
Integration Filter Design

The circuit in Figure 14 uses a single-pole integration network formed with a 0.1 μF capacitor and a 10 k Ω resistor. It is possible to improve the performance of the circuit in Figure 14 by 1 or 2 dB by using a two-pole integration network. The improved circuit is shown.

The first pole is still placed below 300 Hz to provide a 1/S voice content curve³ and a second pole is placed somewhere above the 1 kHz frequency. For telephony circuits, the second pole can be placed above 1.8 kHz to exceed the 1633 touchtone frequency. In other communication systems, values as low as 1 kHz may be selected. In general, the lower in frequency the second pole is placed, the greater the noise improvement. Then, to ensure the encoder loop stability, a zero is added to keep the phase shift less than 180°. This zero should be placed slightly above the low-pass output filter break frequency so as not to reduce the effectiveness of the second pole. A network of 235 Hz, 2 kHz and 5.2 kHz is typical for telephone applications while 160 Hz, 1.8 kHz and 2.8 kHz might be used in voice only channels. (Voice only channels can use an output low-pass filter which breaks at about 2.5 kHz.) The two-pole network in Figure 16 has a transfer function of:

$$\frac{V_o}{I_i} = \frac{R_0 R_1 \left(S + \frac{1}{R_1 C_1} \right)}{R_2 C_2 (R_0 + R_1) \left(S + \frac{1}{(R_0 + R_1) C_1} \right) S + \left(\frac{1}{R_2 C_2} \right)}$$

FIGURE 16 – IMPROVED FILTER CONFIGURATION



These component values are for the telephone channel circuit poles described in the text. The R_2 , C_2 product can be provided with different values of R and C . R_2 should be chosen to be equal to the termination resistor on pin 1.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC3417, MC3517, MC3418, MC3518

INCREASING CVSD PERFORMANCE (continued)

Thus the two poles and the zero can be selected arbitrarily as long as the zero is at a higher frequency than the first pole. The values in Figure 16 represent one implementation of the telephony filter requirement.

The selection of the two-pole filter network effects the selection of the loop gain value and the minimum step size resistor. The required integrator current for a given change in voltage now becomes:

$$I_i = \frac{V_o}{R_0} + \left(\frac{R_2 C_2}{R_0} + \frac{R_1 C_1}{R_0} + C_1 \right) \frac{\Delta V_o}{\Delta T} + \left(R_2 C_2 C_1 + \frac{R_1 C_1 R_2 C_2}{R_0} \right) \frac{\Delta V_o^2}{\Delta T^2}$$

The calculation of desired gain resistor R_x then proceeds exactly as previously described.

Syllabic Filter Design

The syllabic filter in Figure 14 is a simple single-pole network of 18 k Ω and 0.33 μ F. This produces a 6.0 ms time constant for the averaging of the coincidence output signal. The voltage across the capacitor determines the integrator current which in turn establishes the step size. The integrator current and the resulting step size determine the companding ratio and the S/N performance. The companding ratio is defined as the voltage across C_S/V_{CC} .

The S/N performance may be improved by modifying the voltage to current transformation produced by R_x . If different portions of the total R_x are shunted by diodes, the integrator current can be other than $(V_{CC} - V_S)/R_x$. These breakpoint curves must be designed experimentally for the particular system application. In general, one would wish that the current would double with input level. To design the desired curve, supply current to pin 4 of the codec from an external source. Input a signal level and adjust the current until the S/N performance

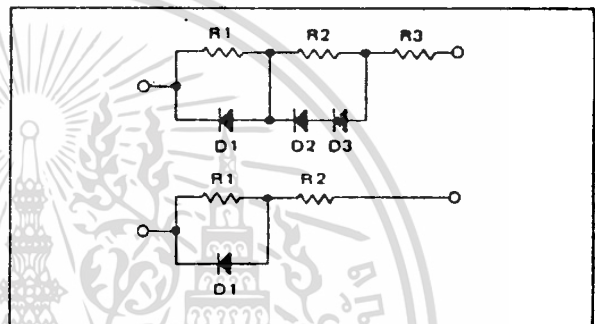
is optimum. Then record the syllabic filter voltage and the current. Repeat this for all desired signal levels. Then derive the resistor diode network which produces that curve on a curve tracer.

Once the network is designed with the curve tracer, it is then inserted in place of R_x in the circuit and the forced optimum noise performance will be achieved from the active syllabic algorithm.

Diode breakpoint networks may be very simple or moderately complex and can improve the usable dynamic range of any codec. In the past they have been used in high performance telephone codecs.

Typical resistor-diode networks are shown in Figure 17.

FIGURE 17 - RESISTOR-DIODE NETWORKS



If the performance of more complex diode networks is desired, the circuit in Figure 18 should be used. It simulates the companding characteristics of nonlinear R_x elements in a different manner.

Output Low Pass Filter

A low pass filter is required at the receiving circuit output to eliminate quantizing noise. In general, the lower the bit rate, the better the filter must be. The filter in Figure 20 provides excellent performance for 12 kHz to 40 kHz systems.

TELEPHONE CARRIER QUALITY CODEC USING MC3418

Two specifications of the integrated circuit are specifically intended to meet the performance requirements of commercial telephone systems. First, slope polarity switch current matching is laser trimmed to guarantee proper idle channel performance with 5 mV minimum step size and a typical 1% current match from 15 μ A to 3 mA. Thus a 300 to 1 range of step size variation is possible. Second, the MC3418 provides the four-bit algorithm currently used in subscriber loop telephone systems. With these specifications and the circuit of Figure 18, a telephone quality codec can be mass produced.

The circuit in Figure 18 provides a 30 dB S/Nc ratio over 50 dB of dynamic range for a 1 kHz test tone at a 37.7K bit rate. At 37.7K bits, 40 voice channels may be multiplexed on a standard 1.544 megabit T1 facility. This codec has also been tested for 10^{-7} error rates with asynchronous and synchronous data up to 2400 baud and for reliable performance with DTMF signaling. Thus, the design is applicable in telephone quality subscriber loop carrier systems, subscriber loop concentrators and small PABX installations.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TELEPHONE CARRIER QUALITY CODEC USING MC3418 (continued)

Active Companding Network

A unique feature of the codec in Figure 18 is the step size control circuit which uses a companding ratio reference, the present step size, and the present syllabic output to establish the optimum companding ratio and step sizes for any given input level. The companding ratio of a CVSD codec is defined as the duty ratio of the coincidence output. It is the parameter controlled by the syllabic filter and is the voltage across R_x divided by the voltage swing of the coincidence output. In Figure 18, the voltage swing of pin 11 is 6 volts. The operating companding ratio is analogized by the voltage across pins 10 and 4 by means of the virtual short between pins 3 and 4 of the V to I op amp within the integrator circuit. Thus, the instantaneous companding ratio of the codec is always available at the negative input of A1.

A diode D1 and the gain of A1 and A2 provide a companding ratio reference for any input level. If the output of A2 is more than 0.7 volts below $V_{CC}/2$, the positive input of A1 is $(V_{CC}/2 - 0.7)$. The voltage drop at the input of A1 represents a 12% companding ratio ($12\% = 0.7 \text{ V}/6 \text{ V}$). The present step size of the operating codec is directly

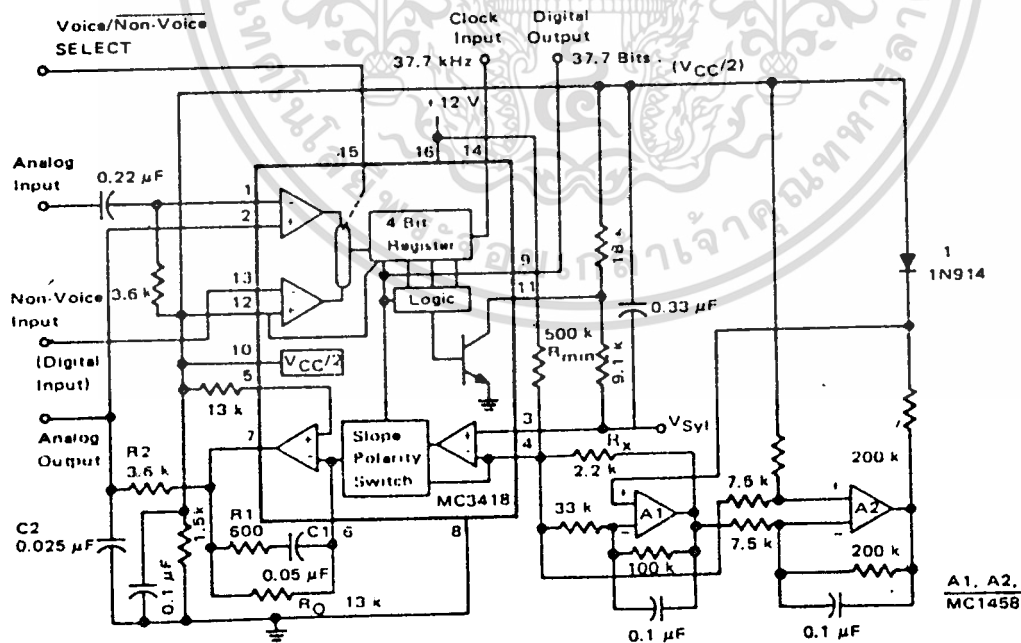
related to the voltage across R_x , which established the integrator current. In Figure 18, the voltage across R_x is amplified by the differential amplifier A2 whose output is single ended with respect to pin 10 of the IC.

For large signal inputs, the step size is large and the output of A2 is lower than 0.7 volts. Thus D1 is fully on. The present step size is not a factor in the step size control. However, the difference between 12% companding ratio and the instantaneous companding ratio at pin 4 is amplified by A1. The output of A1 changes the voltage across R_x in a direction which reduces the difference between the companding reference and the operating ratio by changing the step size. The ratio of R_4 and R_3 determines how closely the voltage at pin 4 will be forced to 12%. The selection of R_3 and R_4 is initially experimental. However, the resulting companding control is dependent on R_x , R_3 , R_4 , and the full diode drop D1. These values are easy to reproduce from codec to codec.

For small input levels, the companding ratio reference becomes the output of A2 rather than the diode drop. The operating companding ratio on pin 4 is then compared to a companding ratio smaller than 12% which is determined by the voltage drop across R_x and the gain of A2

FIGURE 18 - TELEPHONE QUALITY DELTAMOD CODER

(Both double integration and active companding control are used to obtain improved CVSD performance. Laser trimming of the integrated circuit provides reliable idle channel and step size range characteristics.)



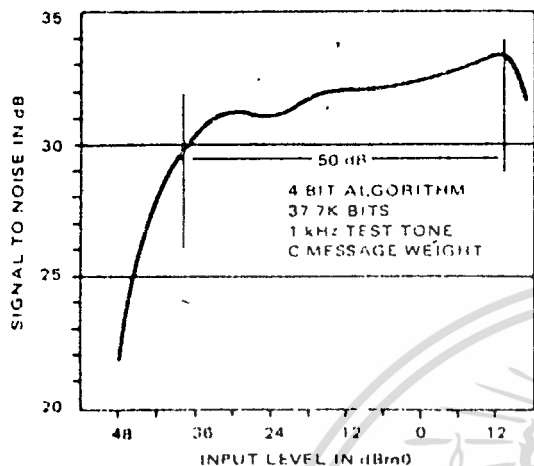
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TELEPHONE CARRIER QUALITY CODEC USING MC3418 (continued)

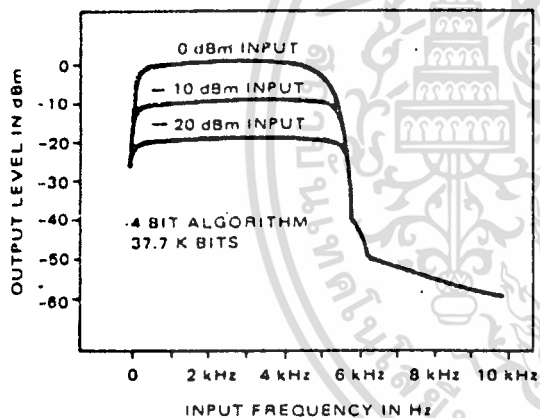
FIGURE 19 - SIGNAL TO NOISE PERFORMANCE AND FREQUENCY RESPONSE

(Showing the improvement realized with the circuit in Figure 18)

a. SIGNAL TO NOISE PERFORMANCE OF TELEPHONE QUALITY DELTAMODULATOR



b. FREQUENCY RESPONSE versus INPUT LEVEL (SLOPE OVERLOAD CHARACTERISTIC)



and A1. The gain of A2 is also experimentally determined, but once determined, the circuitry is easily repeated.

With no input signal, the companding ratio at pin 4 goes to zero and the voltage across R_x goes to zero. The voltage at the output of A2 becomes zero since there is no drop across R_x . With no signal input, the actively controlled step size vanished.

The minimum step size is established by the 500 k resistor between V_{CC} and $V_{CC}/2$ and is therefore independently selectable.

The signal to noise results of the active companding network are shown in Figure 19. A smooth 2 dB drop is realized from +12 dBm to -24 under the control of A1. At -24 dBm, A2 begins to degenerate the companding reference and the resulting step size is reduced so as to extend the dynamic range of the codec by 20 dBm.

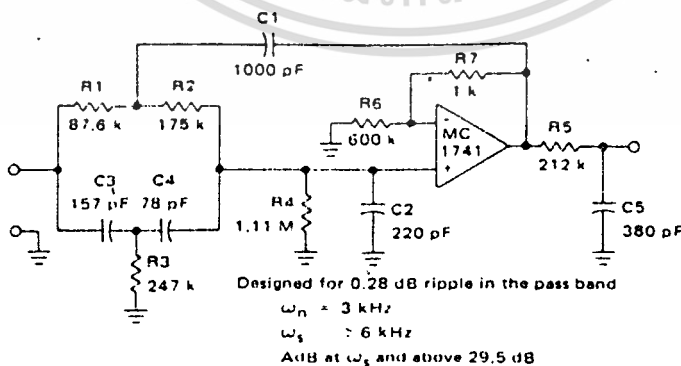
The slope overload characteristic is also shown. The active companding network produces improved performance with frequency. The 0 dBm slope overload point is raised to 4.8 kHz because of the gain available in controlling the voltage across R_x . The curves demonstrate that the level linearity has been maintained or improved.*

The codec in Figure 18 is designed specifically for 37.7K bit systems. However, the benefits of the active companding network are not limited to high bit rate systems. By modifying the crossover region (changing the gain of A2), the active technique may be used to improve the performance of lower bit rate systems.

The performance and repeatability of the codec in Figure 18 represents a significant step forward in the art and cost of CVSD codec designs.

*A larger value for C2 is required in the decoder circuit than in the encoder to adjust the level linearity with frequency. In Figure 18, 0.050 μ F would work well.

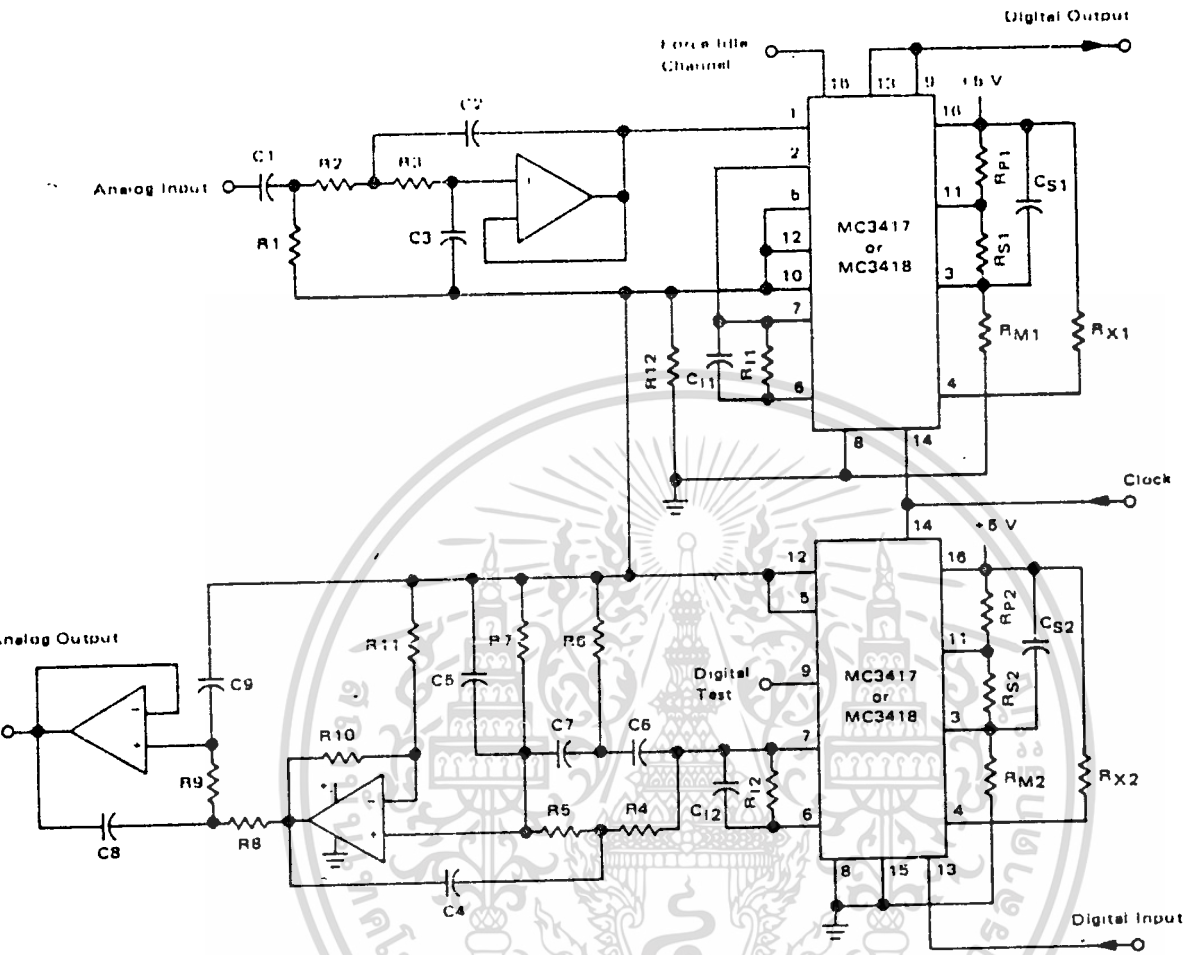
FIGURE 20 - HIGH PERFORMANCE ELLIPTIC FILTER FOR CVSD OUTPUT



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

417, MC3517, MC3418, MC3518

FIGURE 21 - FULL DUPLEX/32K BIT CVSD VOICE CODEC USING MC3517/18 AND MC3503/6 OP AMP



Codec Components

- R_{X1}, R_{X2} 3.3 k Ω
- R_{P1}, R_{P2} 3.3 k Ω
- R_{S1}, R_{S2} - 100 k Ω
- R_{I1}, R_{I2} - 20 k Ω
- R_{I2} - 1 k Ω
- R_{M1}, R_{M2} - 5 M Ω (MC3417)
- Minimum step size = 20 mV
- R_{M1}, R_{M2} - 15 M Ω (MC3418)
- Minimum step size = 6 mV

- C_{S1}, C_{S2} - 0.05 μ F
- C_{I1}, C_{I2} - 0.05 μ F

- 2 MC3417 (or MC3418)
- 1 MC3403 (or MC3406)

Note All Res 5%
All Cap 5%

Input Filter Specifications

- 12 dB/Octave Roll-off above 3.3 kHz
- 6 dB/Octave Roll-off below 50 Hz

Output Filter Specifications

- Break Frequency - 3.3 kHz
- Stop Band 9 kHz
- Stop Band Atten 50 dB
- Roll-off > 40 dB/Octave

Filter Components

- R₁ 965 Ω
- R₂ 72 k Ω
- R₃ - 72 k Ω
- R₄ - 63.46 k Ω
- R₅ - 127 k Ω
- R₆ - 365.5 k Ω
- R₇ 1.645 M Ω
- R₈ - 72 k Ω
- R₉ - 72 k Ω
- R₁₀ - 29.5 k Ω
- R₁₁ - 72 k Ω
- C₁ 3.3 μ F
- C₂ 837 pF
- C₃ - 536 pF
- C₄ - 1000 pF
- C₅ - 222 pF
- C₆ - 77 pF
- C₇ 38 pF
- C₈ - 837 pF
- C₉ - 536 pF

Note. All Res. 0.1% to 1%.
All Cap. 1.0%

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC3417, MC3517, MC3418, MC3518

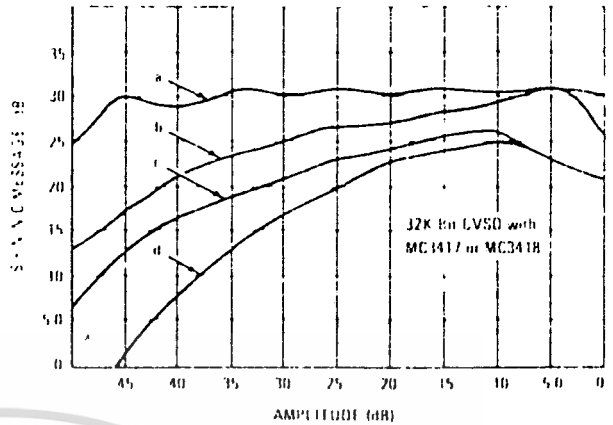
COMPARATIVE CODEC PERFORMANCE

The salient feature of CVSD codecs using the MC3517 and MC3518 family is versatility. The range of codec complexity tradeoffs and bit rate is so wide that one cannot grasp the interdependency of parameters for voice applications in a few pages.

Design of a specific codec must be tailored to the digital channel bandwidth, the analog bandwidth, the quality of signal transmission required and the cost objectives. To illustrate the choices available, the data in Figure 22 compares the signal to noise ratios and dynamic range of various codec design options at 32K bits. Generally, the relative merits of each design feature will remain intact in any application. Lowering the bit rate will reduce the dynamic range and noise performance of all techniques. As the bit rate is increased, the overall performance of each technique will improve and the need for more complex designs diminishes.

Non-voice applications of the MC3517 and MC3518 are also possible. In those cases, the signal bandwidth and amplitude characteristics must be defined before the specification of codec parameters can begin. However, in general, the design can proceed along the lines of the voice applications shown here, taking into account the different signal bandwidth requirements.

FIGURE 22 - COMPARATIVE CODEC PERFORMANCE - SIGNAL TO NOISE RATIO FOR 1 kHz TEST TONE



These curves demonstrate the improved performance obtained with several codec designs of varying complexity.

- Curve a - Complex companding and double integration (Figure 18 - MC3418)
- Curve b - Double integration (Figure 21 using Figure 6 - MC3418)
- Curve c - Single integration (Figure 21 - MC3418) with 6 mV step size
- Curve d - Single integration (Figure 21 - MC3417) with 25 mV step size

THERMAL INFORMATION

The maximum power consumption an integrated circuit can tolerate at a given operating ambient temperature, can be found from the equation:

$$PD(T_A) = \frac{T_J(\max) - T_A}{R_{\theta JA}(\text{Typ})}$$

Where: $PD(T_A)$ = Power Dissipation allowable at a given operating ambient temperature. This must be greater than the sum of the products of the supply

voltages and supply currents at the worst-case operating condition.

$T_J(\max)$ = Maximum Operating Junction Temperature as listed in the Maximum Ratings Section

T_A = Maximum Desired Operating Ambient Temperature

$R_{\theta JA}(\text{Typ})$ = Typical Thermal Resistance Junction to Ambient

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

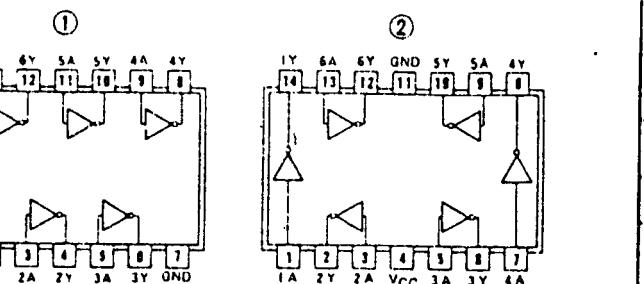
Device Type			Package			Device Type			Package			Device Type			Package			Device Type			Package								
C	P	M	C	P	M	C	P	M	C	P	M	C	P	M	C	P	M	C	P	M	C	P	M						
SN54S04	J	I			W1	SN54H04	J	I			W1	SN54L04	J	I			W2	SN5404	J	I			W2	SN54L04	J	I			W2
SN74S04	J	I			W1	SN74H04	J	I			W1	SN74L04	J	I			W2	SN7404	J	I			W1	SN74L04	J	I			W2
FM54S04	D	I			F2	FM54H04	D	I			F2	FM54L04	D	I			F2	FM5404	D	I			F2	FM54L04	D	I			F2
FC74S04	D	I			P1	FC74H04	D	I			P1	FC74L04	D	I			P1	FC7404	D	I			P1	FC74L04	D	I			P1
						MC3108	L	I			F1							MC5404	L	I			F2	MC7404	L	I			F1
						MC3008	L	I			F1	SN74L04						DM5404	J	I			W2	DM74L04	J	I			W1
DM74S04						DM54H04	J	I			W1	DM54L04	J	I			W2	DM7404	J	I			W1	DM74L04	J	I			W1
						DM74H04	J	I			W1	DM74L04	J	I			W2												
N74S04						N74H04						N74L04						FJH241, 7404											
SN54S04	J	I			W1	SN54H04	J	I			W2	SN54L04	J	I			W2	SN5404	J	I			W2	SN54L04	J	I			W2
SN74S04	J	I			W1	SN74H04	J	I			W1	SN74L04	J	I			W2	SN7404	J	I			W1	SN74L04	J	I			W2
																		FLH211											
																		MB3418											
HD74S04												HD74L04						HD7404/HD2522											
M5S004												M74L04						M53204											
74S04												74L04						uPB235											
																		TO3404A											

Electrical Characteristics SN54LS04/SN74LS04

Absolute maximum ratings over operating free-air temperature range							
Supply Voltage	7V	Operating free-air temperature range	SN54LS04: 55°C to 125°C SN74LS04: 0°C to 70°C				
Storage temperature range			-65°C to 150°C				
Recommended operating conditions							
C	SN54LS04			SN74LS04			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
Supply Voltage	4.5	5	5.5	4.75	5	5.25	V
Input Current (I _{IL})			-400			-400	μA
Input Current (I _{IH})			4			8	mA
Operating Temperature (T _A)	55		125	0		70	°C

Electrical characteristics over recommended operating free-air temperature range					
PARAMETER	TEST CONDITIONS †	MIN	TYP ‡	MAX	UNIT
Input voltage		2			V
Input voltage				0.8	V
Clamp voltage	V _{CC} = MIN, I _I = -18mA			-1.5	V
Output voltage	V _{CC} = MIN, V _{IH} = V _{IH} max, I _{OHL} MAX	2.7	3.4		V
Output voltage	V _{CC} = MIN, V _{IH} = 2V, I _{OHL} = 4mA			0.4	V
Current at input voltage	V _{CC} = MAX, V _I = 7V			0.1	mA
Input current	V _{CC} MAX, V _{IH} = 2.7V			20	μA
Input current	V _{CC} = MAX, V _{IH} = 0.4V			-0.4	mA
Current	V _{CC} = MAX	54LS Family	-20	-100	mA
Current	V _{CC} = MAX	74LS Family	-20	-100	mA
Current	V _{CC} = MAX	Total, outputs high	1.2	2.4	mA
Current	V _{CC} = MAX	Total, outputs low	3.6	6.6	mA
Current	V _{CC} = 5V	Average per gate (50% duty cycle)	0.4		mA
Rise delay time, high-level output	V _{CC} = 5V, T _A = 25°C, C _L = 15PF, R _L = 2KΩ		9	15	ns
Fall delay time, low-level output			10	15	ns

Pin Assignments (Top View)

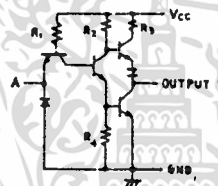


positive logic:
Y = \bar{A}

shown as MIN or MAX, use the appropriate value specified under recommended operating conditions. Test conditions are at V_{CC} = 5V, T_A = 25°C

Output should be shorted at a time, and for SN54H/SN74H and SN54S/SN74S, duration of short-circuit should not exceed 1 second.

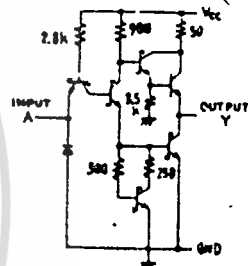
Schematics (each gate)



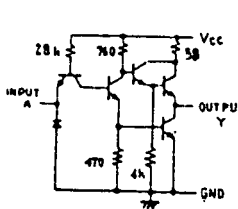
CIRCUIT	R1	R2	R3	R4
'04	4k	1.6k	130	1k
'L04	40k	20k	500	12k

Input clamp diodes not on SN54L/SN74L circuits.

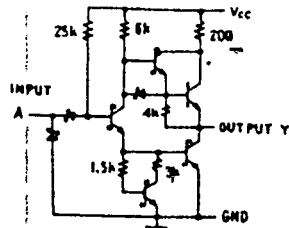
'04, 'L04 CIRCUITS



'S04 CIRCUIT



'H04 CIRCUIT



'L304 CIRCUIT

Resistor values shown are nominal and in ohms.

5432/7432 Quadruple 2-Input Positive-OR Gate

	Schottky TTL				High-Speed TTL				Low-Power Schottky TTL				Standard TTL				Low-Power TTL			
	Device Type		Package		Device Type		Package		Device Type		Package		Device Type		Package		Device Type		Package	
	C	P	M	CF	C	P	M	CF	C	P	M	CF	C	P	M	CF	C	P	M	CF
I.	SN54S32	J(D)		W(L)					SN54LS32	J(D)		W(L)	SN5432	J(D)		W(L)				
	SN74S32	J(D)	(N)(D)						SN74LS32	J(D)	(N)(D)		SN7432	J(D)	(N)(D)					
AIRCHILD	FM54S32 / FM95S32	(D)		F(D)					FM54LS32 / FM95LS32	(D)		F(D)	FM5432 / FM932	(D)		F(D)				
	FC74S32 / FC95S32	(D)	(D)	F(D)					FC74LS32 / FC95LS32	(D)	(D)	F(D)	FC7432 / FC932	(D)	(D)	F(D)				
ROTOROLA									SN74LS32			P(D)								
									DM74LS32			(D)	DM5432	J(D)	(N)(D)	W(L)	DM54LS32			
S.C.									DM54LS32			(D)	DM74232	J(D)	(N)(D)		DM74LS32			
PHILIPS	N74S32			(D)					N74LS32			(D)	N7432			(D)				
GENETICS													S3432	F(D)	(A)(D)	W(D)				
									N74LS32			A(J)	N7432	F(D)	(A)(D)					
EMENS													FLH631			(D)				
HITSU									74LS32			(A)(J)								
FACHI									HD74LS32			P(D)	HD7432			(D)(P)(D)				
TSUBISHI									MS74LS32			(P)(J)								
C.									74LS32			C(P)								
SHIBA																				

Electrical Characteristics SN54LS32/SN74LS32
absolute maximum ratings over operating free-air temperature range

supply voltage, V _{CC}	7V	Operating free-air temperature range	SN54LS	-55°C to 125°C
output voltage	7V	Storage temperature range	SN74LS	0°C to 70°C
				-65°C to 150°C

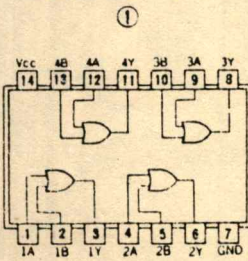
recommended operating conditions

	SN54LS32		SN74LS32		UNIT
supply voltage, V _{CC}	MIN 4.5	NOM 5	MIN 4.75	NOM 5	V
high-level output current, I _{OH}		MAX -400		MAX -400	μA
low-level output current, I _{OL}		MAX 8		MAX 8	mA
storage free-air temperature, T _A		MIN -55		MAX 125	°C

electrical characteristics over recommended operating free-air temperature range

PARAMETER	TEST CONDITIONS †	MIN	TYP ‡	MAX	UNIT
High-level input voltage			2		V
Low-level input voltage				0.8	V
Input clamp voltage	V _{CC} = MIN, I _I = -18mA			-1.5	V
High-level output voltage	V _{CC} = MIN, I _{OH} = MAX, V _{IH} = 2V	2.7	3.4		V
Low-level output voltage	V _{CC} = MIN, I _{OL} = 4mA, V _{IL} = V _{IL} max.	0.25	0.4		V
Input current at maximum input voltage	V _{CC} = MAX, V _I = 7V			0.1	mA
High-level input current	V _{CC} = MAX, V _{IH} = 2.7V			20	μA
Low-level input current	V _{CC} = MAX, V _{IL} = 0.4V			-0.4	mA
Short-circuit output current †	V _{CC} = MAX	541 S Family	-20	-100	mA
		74LS Family	-20	-100	mA
Supply current	V _{CC} = MAX	Total, outputs high	3.1	6.2	mA
		Total, outputs low	4.9	9.8	mA
Supply current	V _{CC} = 5V	Average per gate (50% duty cycle)	1.0		mA
Propagation delay time, low-to-high-level output	V _{CC} = 5V, T _A = 25°C, C _L = 15pF, R _L = 2kΩ		14	22	ns
Propagation delay time, high-to-low-level output			14	22	ns

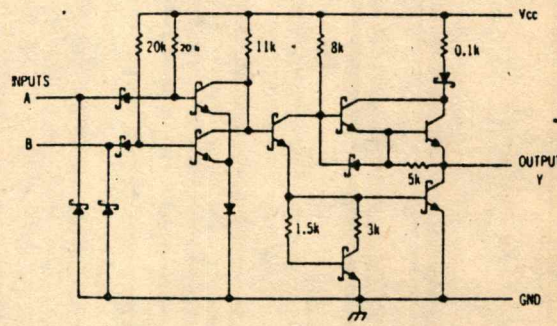
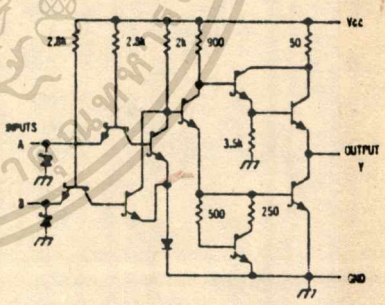
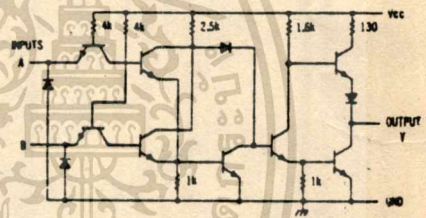
Pin Assignment (Top View)



positive logic:
Y = A + B

conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions. Typical values are at V_{CC} = 5V, T_A = 25°C. More than one output should be shifted at a time.

Schematics (each gate)



Resistor values shown are nominal and in ohms.

สงวนลิขสิทธิ์ในเอกสารนี้ไว้สำหรับการใช้เฉพาะในโครงการวิจัยเท่านั้น ไม่อนุญาตให้ทำซ้ำโดยไม่ขออนุญาตจากเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5474/7474 Dual D-Type Positive-Edge-Triggered Flip-Flop with Preset and Clear

	Schottky TTL				High-Speed TTL				Low-Power Schottky TTL				Standard TTL				Low-Power TTL										
	Device Type	Package			Device Type	Package			Device Type	Package			Device Type	Package			Device Type	Package									
		C	P	M	CF		C	P	M	CF		C	P	M	CF		C	P	M	CF							
i.	SN54S74	J(D)				SN54H74	J(D)				SN54LS74	J(D)				SN5474	J(D)				SN54L74	J(D)					
	SN74S74	J(D)	(N)			SN74H74	J(D)	(N)			SN74LS74	J(D)	(N)			SN7474	J(D)	(N)				SN74L74	J(D)	(N)			
IRCHILD	FM54S74/FM574	D(J)				FM54H74/FM574	D(J)				FZ	FM54LS74/FM574	D(J)			FZ	FM5474/FM574	D(J)			FZ	FM54L74/FM574	D(J)				
	FC74S74/FC9574	D(J)	(M)			FC74H74/FC974	D(J)	(P)			FZ	FC74LS74/FC9574	D(J)	(M)			FZ	FC7474/FC974	D(J)	(P)			FC74L74/FC9574	D(J)	(M)		
ITTOROLA																											
S.C.						DM54H74	J(D)	(N)				DM54LS74	J(D)	(N)			DM5474	J(D)	(N)			DM54L74	J(D)	(N)			FZ
	DM74S74		(N)			DM74H74	J(D)	(N)				DM74LS74	J(D)	(N)			DM7474	J(D)	(N)			DM74L74	J(D)	(N)			FZ
ILIPS	N74S74		(N)			GJ1131/74H74						N74LS74					FJ1131/7474										
INETICS	S54S74					S54H74	F(I)	(A)			(W)	S54LS74					S5474	F(I)	(A)			(W)	S54L74	F(I)	(A)		
	N74S74					N74H74	F(I)	(A)				N74LS74					N7474	F(I)	(A)				N74L74	F(I)	(A)		
MENS																	FLJ141										
JITSU												74LS74					MB420										
ACHI	HO74S74		(E)	(P)								HO74LS74					HO7474/HO2510										
SUBISHI	M74S74											M74LS74					M5327/M5374										
U	74S74											74LS74					μPB214										
SHIBA																	TD3474A										

Electrical Characteristics SN54LS74/SN74LS74
absolute maximum ratings over operating free-air temperature range

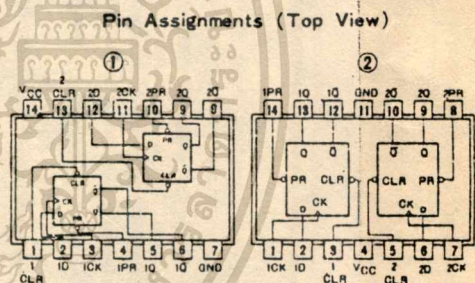
Supply voltage V _{CC}	7V	Operating free-air temperature range	SN54LS	-55°C to 125°C
Input voltage	5.5V	Storage temperature range	SN74LS	-65°C to 150°C

recommended operating conditions

	SN54LS74		SN74LS74		UNIT
	MIN	MAX	MIN	MAX	
Supply voltage V _{CC}	4.5	5	4.5	5	V
operational output current I _{OH}			-400		μA
operational output current I _{OL}			0	6	mA
prop. delay t _p	Clock high	25	25		ns
	Preset or clear low	25	25		ns
setup time t _{su}	High-level data	25	25		ns
	Low-level data	20	20		ns
hold time t _h		5	5		ns
temp. free-air temperature T _a	-55	125	0	70	°C

electrical characteristics over recommended operating free-air temperature range

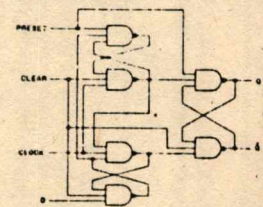
PARAMETER*	TEST CONDITIONS †	MIN	TYP ‡	MAX	UNIT
High-level input voltage		2			V
Low-level input voltage				0.8	V
Input clamp voltage	V _{CC} = MIN, I _I = -18mA			-1.5	V
High-level output voltage	V _{CC} = MIN, V _{IH} = 2V, V _{IL} = 0.8V, I _{OH} = MAX	2.7	3.4		V
Low-level output voltage	V _{CC} = MIN, V _{IH} = 2V, V _{IL} = 0.8V, I _{OL} = 4mA	0.25	0.4		V
Input current at maximum input voltage	D, J, K, Clear			0.1	mA
	Preset	V _{CC} = MAX, V _I = 7V		0.2	
	Clock			0.1	
	D, J, K, Clear			20	
Preset	V _{CC} = MAX, V _I = 2.7V		40		
Clock			40		
Clock			20		
Low-level input current	D, J, K, Clear			-0.4	mA
	Preset	V _{CC} = MAX, V _I = 0.4V		-0.8	
	Clock			-0.8	
Short-circuit output current †	Series 54LS	V _{CC} = MAX		-20	mA
	Series 74LS			-100	
Supply current (Average per flip-flop)	V _{CC} = MAX. See Note 1			4	mA
clock frequency			25	33	MHZ
	from clear, preset or clock (as appropriate) to Q or Q̄	V _{CC} = 5V, T _a = 25°C, C _L = 15pF, R _L = 2kΩ		13	
				25	40



Functional Table
74, H74, LS74, S74 (See Note 2)

INPUTS			OUTPUTS			
PRESET	CLEAR	CLOCK	D	Q	Q̄	
L	H	X	X	H	L	
L	L	X	X	L	H	
L	L	X	X	H*	H*	
H	H	↑	H	H	L	
H	H	↑	L	L	H	
H	H	L	X	Q ₀	Q̄ ₀	

Functional Block Diagram



74, S74, H74, LS74, L74 DUAL D-FLIP FLOP WITH CLEAR AND PRESET

NOTES: 1 With all outputs open, I_{CC} is measured with the Q and Q̄ outputs high in turn. At the time of measurement, the clock input is grounded.
2 H = high level (steady state), L = low level (steady state), X = irrelevant
↑ = transition from low to high level
Q₀ = the level of Q before the indicated input conditions were established.
* This configuration is nonstable; that is, it will not persist when preset and clear inputs return to their inactive (high) level.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่
 หมายความว่า...
 conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.
 Typical values are at: V_{CC} = 5V, T_a = 25°C.
 * This configuration is nonstable; that is, it will not persist when preset and clear inputs return to their inactive (high) level.
 † arrow indicate the edge of the clock pulse used for reference. † to the rising edge.

21/74121 Monostable Multivibrator with Schmitt-Trigger Input

	Schottky TTL				High-Speed TTL				Low-Power Schottky TTL				Standard TTL				Low-Power TTL					
	Device Type	Package			Device Type	Package			Device Type	Package			Device Type	Package			Device Type	Package				
	C	P	M	CF	C	P	M	CF	C	P	M	CF	C	P	M	CF	C	P	M	CF		
D													SN54121	J			W	SN54L121	J			
LA													SN74121	J				SN74L121	J			
													FM54121/FM9603	D			F					
													FC74121/FC9603	D			P					
													MC54121	L			F					
													MC74121	L			F					
													DM54121	J			W					
													DM74121	J								
													FJK101/74121									
													SS4121	F			W					
													N74121	F			W					
													FLK101									
													HD74121/HD2543									
													M53321									
													TD34121A									

Electrical Characteristics SN54S121 SN74S121

Absolute maximum ratings over operating free-air temperature range

V _{CC}	7V	Operating temp. range	SN54S	-55 C to 125 C
V _{CE}	5.5V	Storage temperature range	SN74S	0 C to 70 C
				65 C to 150 C

Recommended operating conditions

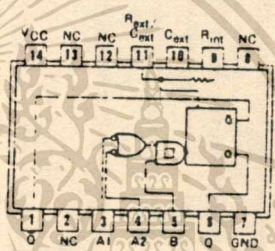
	SN54S121		SN74S121		UNIT	
	MIN	NOM	MAX	MIN		MAX
V _{CC}	4.5	5	5.5	4.5	5.5	V
Output current I _{OH}					400	mA
Output current I _{OL}					16	mA
Schmitt input H	1				1.5	V
Log. inputs A1, A2	1				1.5	V
Input delay	50		50		ns	
Capacitance, best	1.4		30		40	pF
Capacitance, best	0		1000		1000	fF
ST MAX					67	ns
ST MAX post					60	ns
Storage temperature	55		125		70	C

Electrical characteristics over recommended operating free-air temperature range

PARAMETER	TEST CONDITIONS †	MIN	TYP ‡	MAX	UNIT	
High-going threshold voltage	V _{CC} = MIN, A input	1.4	1.4	2	V	
High-going threshold voltage	V _{CC} = MIN, A input	0.8	1.4	2	V	
High-going threshold voltage	V _{CC} = MIN, B input	1.55	1.55	2	V	
High-going threshold voltage	V _{CC} = MIN, B input	0.8	1.35	2	V	
Clamp voltage	V _{CC} = MIN, I _I = -12mA			-1.5	V	
Level output voltage	V _{CC} = MIN, I _{OH} = MAX	2.4	3.4		V	
Low output voltage	V _{CC} = MIN, I _{OL} = MAX		0.2	0.4	V	
Current at input voltage	V _{CC} = MAX, V _I = 5.5 V			1	mA	
High input current	V _{CC} = MAX, V _I = 2.4V, A1 or A2			40	μA	
High input current	V _{CC} = MAX, V _I = 2.4V, B			80	μA	
Low input current	V _{CC} = MAX, V _I = 0.4V, A1 or A2			-1.6	mA	
Low input current	V _{CC} = MAX, V _I = 0.4V, B			-3.2	mA	
Output current	V _{CC} = MAX	54 Family	-20	-55	mA	
Output current	V _{CC} = MAX	74 Family	-18	-55	mA	
Quiescent current	V _{CC} = MAX	Quiescent	13	25	mA	
Quiescent current	V _{CC} = MAX	Triggered	23	40	mA	
Propagation delay time, low-to-high output from either A input	V _{CC} = 5V, T _A = 25°C, C _L = 15pF, R _L = 400Ω, C _T = 80pF, R _{int} to V _{CC}		45	70	ns	
Propagation delay time, low-to-high output from B input			35	55	ns	
Propagation delay time, high-to-low output from either A input			50	80	ns	
Propagation delay time, high-to-low output from B input			40	65	ns	
Width obtained using timing resistor	V _{CC} = 5V, T _A = 25°C, C _L = 15pF, R _L = 400Ω, C _T = 80pF, R _{int} to V _{CC}		70	110	150	ns
Width obtained with timing capacitance	C _T = 0, R _{int} to V _{CC}		30	50	ns	
Width obtained using timing resistor	C _T = 100pF, R _T = 10kΩ		600	700	800	ns
Width obtained using timing resistor	C _T = 1μF, R _T = 10kΩ		6	7	8	ms

Shown as MIN or MAX, use the appropriate value specified under recommended operating conditions. Tests are at V_{CC} = 5V, T_A = 25°C. One output should be shorted at a time.

Pin Assignment (Top view)



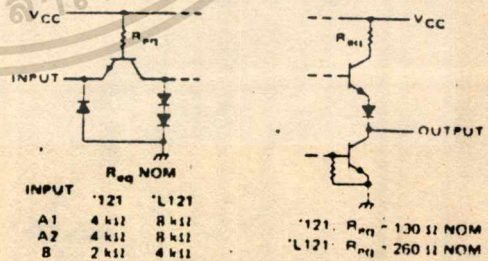
NC-No internal connection
 *I21...R_{int} = 2 kΩ NOM
 *L121...R_{int} = 4 kΩ NOM

Function Table

*I21...*L121 (See Note)

INPUTS		OUTPUTS		
A1	A2	B	Q	Q̄
L	X	H	L	H
X	L	H	L	H
X	X	L	L	H
H	H	X	L	H
H	H	H	L	L
L	H	H	L	L
L	X	↑	L	L
X	L	↑	L	L

Schematics of inputs and outputs



NOTES: A. H=high level (steady state), L=low level (steady state), ↑=transition from low to high level, ↓=transition from high to low level, L=one high-level pulse, L=one low-level pulse, X=irrelevant (any input, including transitions).
 B. To use the internal timing resistor connect R_{int} to V_{CC}.
 C. An external timing capacitor may be connected between C_{ext} (positive) and R_{ext}/C_{ext}.
 D. For accurate repeatable pulse widths, connect an external resistor between R_{ext}/C_{ext} and V_{CC} with R_{int} open-circuited.
 E. To obtain variable pulse widths, connect external values resistance between R_{int} or R_{ext}/C_{ext} and V_{CC}.

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**SCL4001B, SCL4002B
SCL4025B, SCL4078B**



CMOS NOR GATES

- SCL4001B – Quad 2-Input NOR
- SCL4002B – Dual 4-Input NOR
- SCL4025B – Triple 3-Input NOR
- SCL4078B – 8-Input NOR

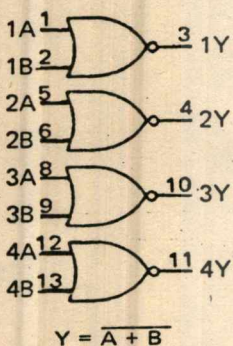
FEATURES

- ◆ Buffered Outputs
- ◆ Diode Protection on all Inputs
- ◆ Fully "B" - Series Compatible
- ◆ Balanced Output Drive Current Specifications

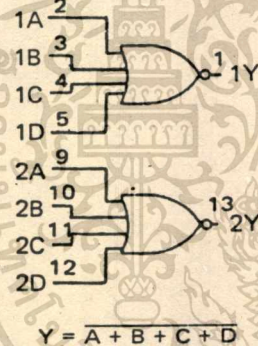
Inputs	Output
0 0 . . . 0	1
All other combinations	0

FUNCTION DIAGRAMS

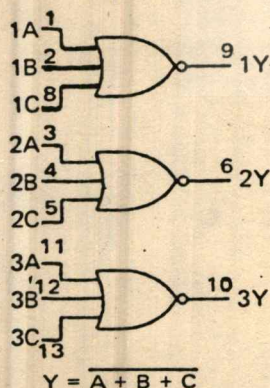
SCL4001B



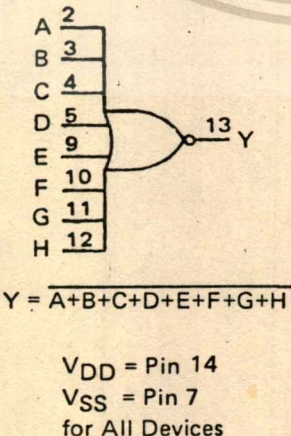
SCL4002B



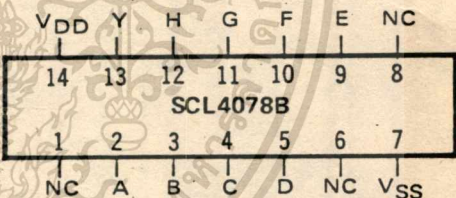
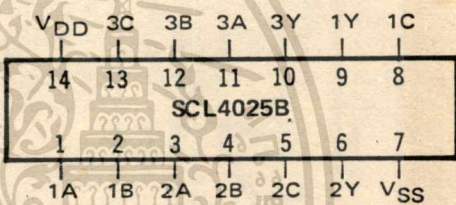
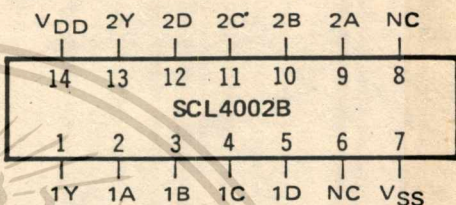
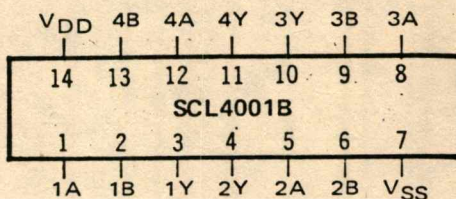
SCL4025B



SCL4078B



CONNECTION DIAGRAMS
(all packages)



Add suffix for package:

- C 14-pin Cerdip
- D 14-pin Ceramic
- E 14-pin Epoxy
- F 14-pin Flat
- H Chip

RECOMMENDED OPERATING CONDITIONS

For maximum reliability:

DC Supply Voltage	$V_{DD} - V_{SS}$	3 to 15	Vdc
Operating Temperature	T_A		
C, D, F, H Device		-55 to +125	°C
E Device		-40 to +85	°C

ELECTRICAL CHARACTERISTICS

STATIC CHARACTERISTICS ^{1,3}

PARAMETER	V _{DD} (Vdc)	CONDITIONS	T _{LOW} ²		+25°C			T _{HIGH} ²		Units
			Min.	Max.	Min.	Typ.	Max.	Min.	Max.	
QUIESCENT DEVICE CURRENT	I _{DD}	V _{IN} =V _{SS} or V _{DD} All valid input combinations	-	0.05	-	0.0005	0.05	-	1.5	μA _{dc}
			-	0.10	-	0.001	0.10	-	3.0	
			-	0.20	-	0.002	0.20	-	6.0	

NOTES: ¹ Remaining Static Electrical Characteristics are listed under "SCL4000B Series Family Specifications".

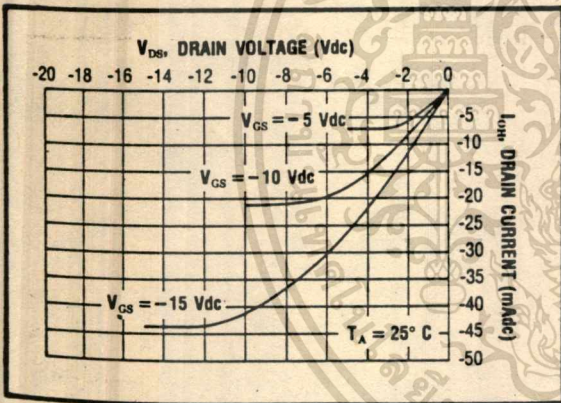
² T_{LOW} = -55°C for C, D, F, H device.
= -40°C for E device.

T_{HIGH} = +125°C for C, D, F, H device.
= + 85°C for E device.

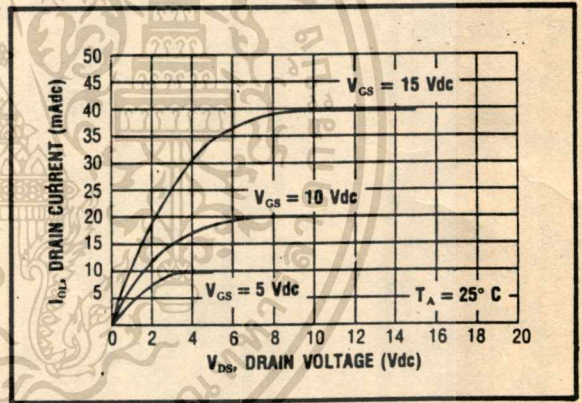
³ These devices have been designed for balanced output drive current specifications. Consult Family Specifications.

DYNAMIC CHARACTERISTICS (C_L = 50pF, T_A = 25°C)

PARAMETER	V _{DD} (Vdc)	Min.	Typ.	Max.	Units
PROPAGATION DELAY TIME	t _{PLH} , t _{PHL}	-	125	250	ns
	5	-	60	120	
	10	-	45	90	
OUTPUT TRANSITION TIME	t _{TLH} , t _{THL}	-	100	200	ns
	5	-	50	100	
	10	-	40	80	

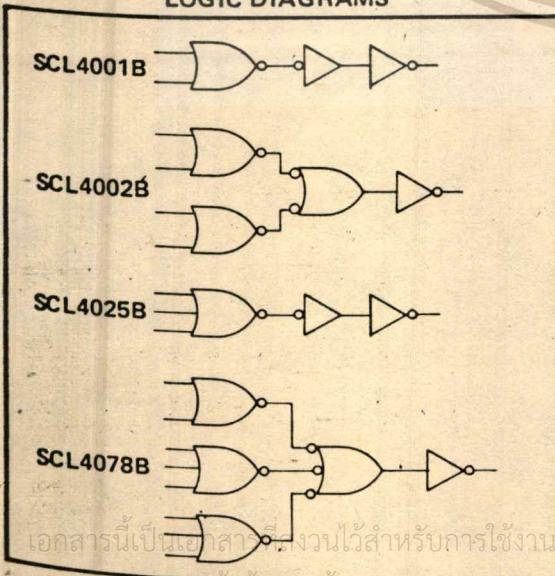


Typical P-Channel Source Current Characteristics

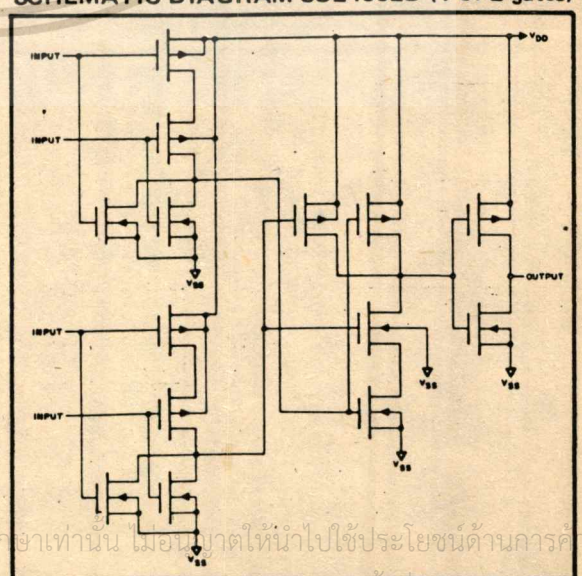


Typical N-Channel Sink Current Characteristics

LOGIC DIAGRAMS



SCHEMATIC DIAGRAM SCL4002B (1 of 2 gates)



เอกสารนี้เป็นเอกสารสงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามเผยแพร่และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งหากมีการนำไปใช้



SCL4013B

CMOS DUAL D-TYPE FLIP-FLOP

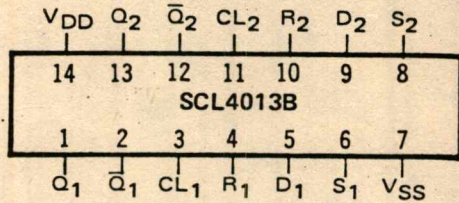
FEATURES

- ◆ Independent Set and Reset Controls
- ◆ Static Operation
- ◆ Logic Edge-Clocked Design
- ◆ 16MHz Toggle Rate @ 10Vdc
- ◆ Balanced Output Drive Current Specifications

DESCRIPTION

The SCL4013B consists of two identical, independent D-type Flip-Flops. These devices can be used for shift register applications, and, by connecting the \bar{Q} output to the Data input, for counter and toggle applications. The logic level present at the D input is transferred to the Q output during the positive-going transition of the Clock pulse. Setting or resetting is independent of the Clock and is accomplished by a high level on the Set or Reset line, respectively.

CONNECTION DIAGRAM
(all packages)



Add suffix for package:

- C 14-pin Cerdip
- D 14-pin Ceramic
- E 14-pin Epoxy
- F 14-pin Flat
- H Chip

TRUTH TABLE

CL Δ	D	R	S	Q	\bar{Q}
	0	0	0	0	1
	1	0	0	1	0
	x	0	0	Q	\bar{Q}
x	x	1	0	0	1
x	x	0	1	1	0
x	x	1	1	1	1

NO CHANGE

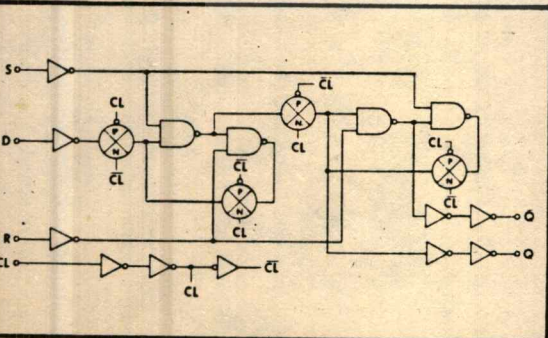
Δ = Level Change
x = Don't Care

RECOMMENDED OPERATING CONDITIONS

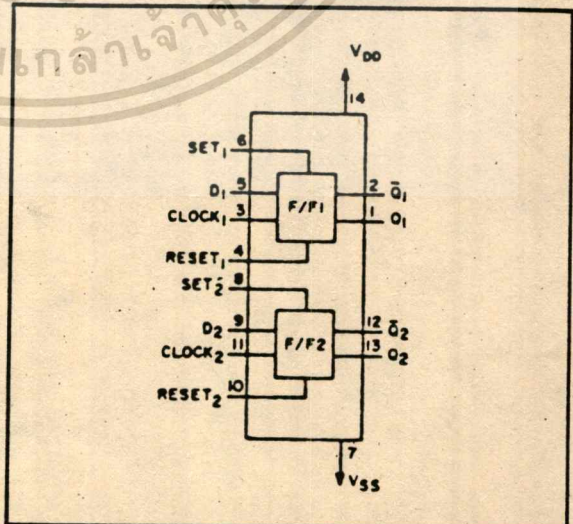
For maximum reliability:

DC Supply Voltage	$V_{DD} - V_{SS}$	3 to 15	Vdc
Operating Temperature	T_A	-55 to +125	°C
C, D, F, H Device		-40 to +85	°C
E Device			

LOGIC DIAGRAM



BLOCK DIAGRAM



ELECTRICAL CHARACTERISTICS

STATIC CHARACTERISTICS^{1,3}

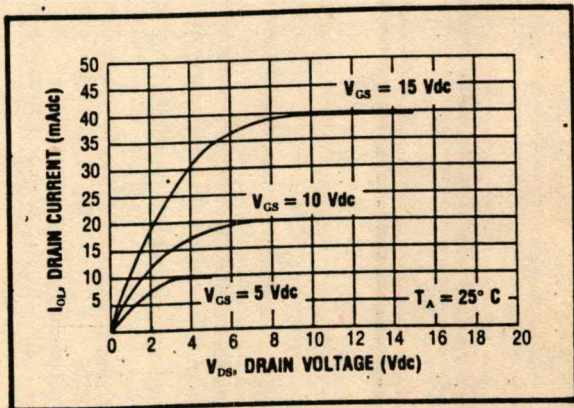
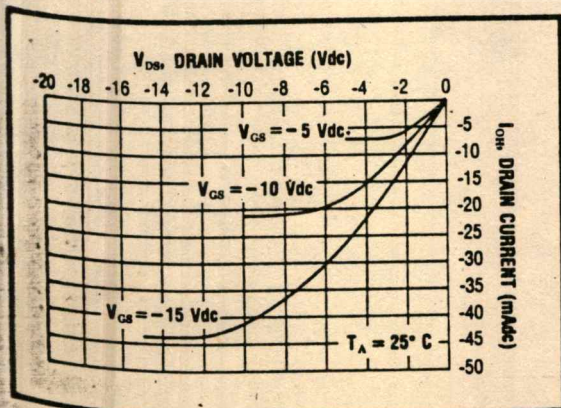
PARAMETER	V _{DD} (Vdc)	CONDITIONS	T _{LOW} ²		+25°C			T _{HIGH} ²		Units
			Min.	Max.	Min.	Typ.	Max.	Min.	Max.	
QUIESCENT DEVICE CURRENT	I _{DD}	V _{IN} =V _{SS} or V _{DD} All valid input combinations	-	1.0	-	0.005	1.0	-	30	μAdc
			-	2.0	-	0.01	2.0	-	60	
			-	4.0	-	0.02	4.0	-	120	

- NOTES: ¹ Remaining Static Electrical Characteristics are listed under "SCL4000B Series Family Specifications".
² T_{LOW} = -55°C for C, D, F, H device.
 = -40°C for E device.
 T_{HIGH} = +125°C for C, D, F, H device.
 = + 85°C for E device.
³ This device has been designed for balanced output drive current specifications. Consult Family Specifications.

DYNAMIC CHARACTERISTICS (C_L = 50pF, T_A = 25°C)

PARAMETER		V _{DD} (Vdc)	Min.	Typ.	Max.	Units
CLOCKED OPERATION						
PROPAGATION DELAY TIME	t _{PLH} , t _{PHL}	5	-	125	250	ns
		10	-	65	130	
		15	-	45	90	
OUTPUT TRANSITION TIME	t _{TLH} , t _{THL}	5	-	100	200	ns
		10	-	50	100	
		15	-	40	80	
MINIMUM CLOCK PULSE WIDTH	PW _{CL}	5	-	70	140	ns
		10	-	30	60	
		15	-	20	40	
MAXIMUM CLOCK FREQUENCY	f _{CL}	5	3.5	7.0	-	MHz
		10	8.0	16	-	
		15	12.5	25	-	
MAXIMUM CLOCK RISE AND FALL TIME ¹	t _{rCL} , t _{fCL}	5	15	-	-	μs
		10	10	-	-	
		15	5	-	-	
MINIMUM SETUP TIME	t _{setup}	5	-	25	50	ns
		10	-	10	20	
		15	-	7.5	15	
MINIMUM HOLD TIME	t _{hold}	5	-	-25	0	ns
		10	-	-10	0	
		15	-	-5	0	
SET AND RESET OPERATIONS						
PROPAGATION DELAY TIME S to Q, R to Q̄	t _{PLH}	5	-	125	250	ns
		10	-	65	130	
		15	-	45	90	
MINIMUM SET AND RESET PULSE WIDTH	PW _S , PW _R	5	-	65	130	ns
		10	-	30	60	
		15	-	25	50	
SET AND RESET REMOVAL TIME	t _{rem}	5	-	0	25	ns
		10	-	0	10	
		15	-	0	5	

¹ When units are cascaded, the maximum rise and fall times of the clock input should be equal to or less than the transition times of the data outputs driving data inputs, plus the propagation delay of the output driving stage for the output capacitive load.



Typical P-Channel Source Current Characteristics

Typical N-Channel Sink Current Characteristics

ไม่ว่ากรณีใดๆทั้งนั้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SCL4040AB



CMOS
12-STAGE BINARY COUNTER

FEATURES

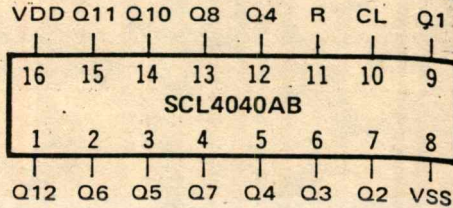
- ◆ 12 Fully Static Stages
- ◆ All 12 Buffered Outputs Available
- ◆ Common Reset Line
- ◆ 8MHz Counting Rate @ 10Vdc
- ◆ All Inputs Buffered

DESCRIPTION

The SCL4040AB consists of 12-ripple-carry binary counter stages with appropriate input buffers and reset circuitry. The counter is reset to its "all 0's" state by a high level on the Reset input. The counter is advanced one count on the negative-going transition of each input pulse. Isolation from external noise and the effects of loads is provided by output buffering.

Applications include time delay circuits, counter controls, and frequency dividers.

CONNECTION DIAGRAM
(all packages)



Add suffix for package:

- C 16-pin Cerdip
- D 16-pin Ceramic
- E 16-pin Epoxy
- F 16-pin Flat
- H Chip

TRUTH TABLE

Clock	Reset	Output State
	0	No Change
	0	Advance to next state
x	1	All Outputs are low

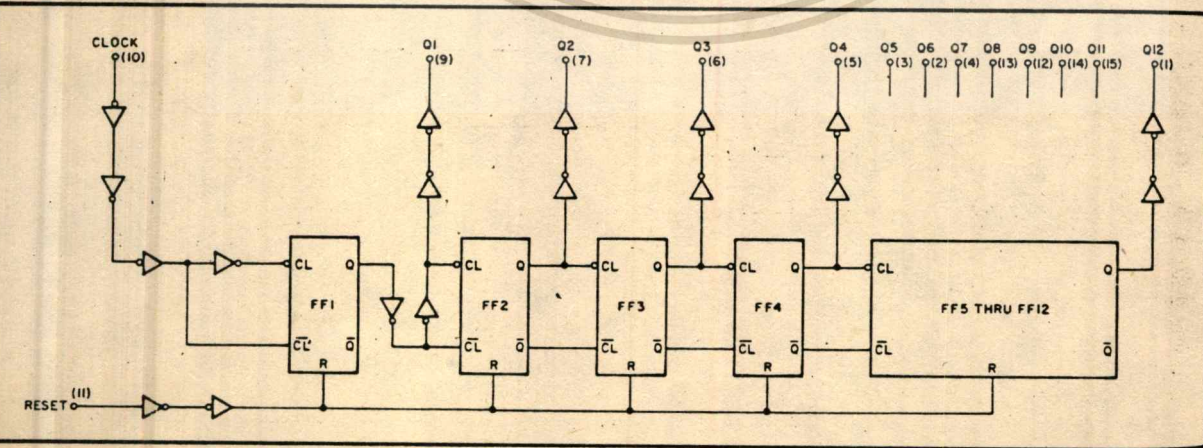
x = Don't Care

RECOMMENDED OPERATING CONDITIONS

For maximum reliability:

- DC Supply Voltage $V_{DD} - V_{SS}$ 3 to 15 V_{dc}
- Operating Temperature T_A -55 to +125 °C
C, D, F, H Device
- E Device -40 to +85 °C

LOGIC DIAGRAM



ELECTRICAL CHARACTERISTICS

STATIC CHARACTERISTICS¹

PARAMETER	V _{DD} (Vdc)	CONDITIONS	T _{LOW} ²		+25°C			T _{HIGH} ²		Units		
			Min.	Max.	Min.	Typ.	Max.	Min.	Max.			
QUIESCENT DEVICE CURRENT	I _{DD}	V _{IN} =V _{SS} or V _{DD} All valid input combinations	5	5	—	0.05	5	—	150	μAdc		
			10	10	—	0.1	10	—	300			
			15	15	—	0.2	20	—	600			
OUTPUT HIGH (SOURCE) CURRENT C, D, F, H device	I _{OH}	V _{OH} =4.6V V _{OH} =9.5V V _{OH} =13.5V V _{IN} =V _{SS} or V _{DD}	5	-0.15	—	-0.12	-0.5	—	-0.08	—	mAdc	
			10	-0.37	—	-0.3	-1.15	—	-0.21	—		
			15	-1.25	—	-1.0	-4.5	—	-0.69	—		
			E device	5	-0.14	—	-0.12	-0.5	—	-0.10		—
			10	-0.35	—	-0.3	-1.15	—	-0.25	—		
			15	-1.2	—	-1.0	-4.5	—	-0.85	—		
OUTPUT LOW (SINK) CURRENT C, D, F, H device	I _{OL}	V _{OL} =0.4V V _{OL} =0.5V V _{OL} =1.5V V _{IN} =V _{SS} or V _{DD}	5	0.15	—	0.12	0.5	—	0.08	—	mAdc	
			10	0.37	—	0.3	1.0	—	0.21	—		
			15	1.25	—	1.0	5.8	—	0.69	—		
			E device	5	0.14	—	0.12	0.5	—	0.10		—
			10	0.35	—	0.3	1.0	—	0.25	—		
			15	1.2	—	1.0	5.8	—	0.85	—		

NOTES: ¹ Remaining Static Electrical Characteristics are listed under "SCL4000B Series Family Specifications".

² T_{LOW} = -55°C for C, D, F, H device.

= -40°C for E device.

T_{HIGH} = +125°C for C, D, F, H device.

= +85°C for E device.

DYNAMIC CHARACTERISTICS (C_L = 50pF, T_A = 25°C)

PARAMETER	V _{DD} (Vdc)	Min.	Typ.	Max.	Units	
CLOCKED OPERATION						
PROPAGATION DELAY TIME Clock to Q1	t _{PLH} , t _{PHL}	5	—	200	400	ns
		10	—	100	200	
		15	—	80	160	
Q _i to Q _{i+1}	t _{PLH} , t _{PHL}	5	—	150	300	ns
		10	—	75	150	
		15	—	60	120	
OUTPUT TRANSITION TIME	t _{TLH} , t _{THL}	5	—	180	360	ns
		10	—	90	180	
		15	—	65	130	
MINIMUM CLOCK PULSE WIDTH	PW _{CL}	5	—	100	200	ns
		10	—	50	100	
		15	—	40	80	
MAXIMUM CLOCK FREQUENCY	f _{CL}	5	2.0	4.0	—	MHz
		10	4.0	8.0	—	
		15	5.0	10.0	—	
MAXIMUM CLOCK RISE AND FALL TIME	t _{rCL} , t _{fCL}	5	15	—	—	μs
		10	15	—	—	
		15	5	—	—	
RESET OPERATION						
PROPAGATION DELAY TIME	t _{PHL}	5	—	300	600	ns
		10	—	150	300	
		15	—	120	240	
MINIMUM RESET PULSE WIDTH	PW _R	5	—	150	300	ns
		10	—	75	150	
		15	—	60	120	
RESET REMOVAL TIME	t _{rem}	5	—	250	500	ns
		10	—	125	250	
		15	—	100	200	

SCL4051B, SCL4052B, SCL4053B



CMOS ANALOG MULTIPLEXERS / DEMULTIPLEXERS

FEATURES

- Range of Digital and Analog Signal Levels: 0V to 15V, Analog-to 15V_{p-p}
- ON-Resistance: 80Ω (typ.) over entire range
- Signal-Input Range for V_{DD}-V_{EE} = 15V
- OFF-Resistance: Input Leakage ± 10pA @ V_{DD}-V_{EE} = 10V
- Level Conversion for Digital Addressing: 3V to 15V (V_{DD}-V_{SS} = 3V to 15V) to 0V to 15V (V_{DD}-V_{EE})
- Low Quiescent Power Dissipation under Digital Control Input and Supply Conditions: 100μW typ. @ V_{DD}-V_{SS} = V_{DD}-V_{EE} = 10V
- Address Decoding on Chip

DESCRIPTION

SCL4051B, SCL4052B, and SCL4053B are Controlled Analog Switches having low ON-resistance and very low OFF leakage current. Analog signals up to 15V_{p-p} can be handled by digital signal amplitudes of 3 to 15V. For example, if V_{DD} = +5V, V_{SS} = 0V, and V_{EE} = -5V, analog signals from -5V to +5V can be handled by digital inputs of 0 to 5V. The multiplexers dissipate extremely low quiescent power over the full V_{DD} - V_{SS} and V_{DD} - V_{EE} voltage ranges, independent of the logic levels of the control signals. When a logic "1" is applied to the Inhibit input terminal all channels are turned OFF.

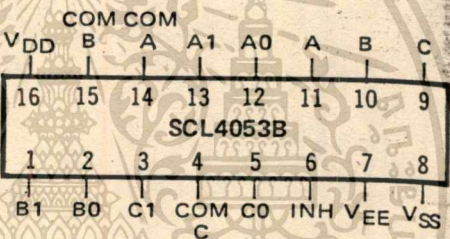
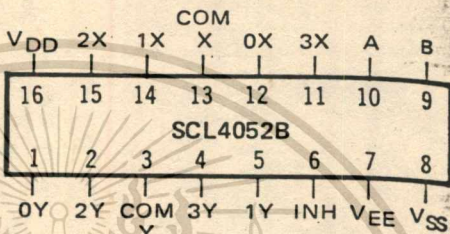
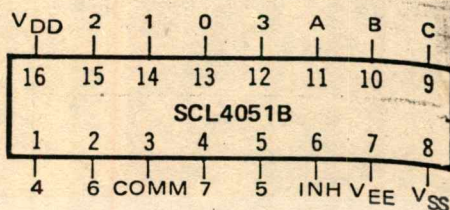
SCL4051B is a Single 8-Channel Multiplexer controlled by three binary Control inputs, A, B, and C, and an Inhibit input. The three binary signals select one of eight channels to be turned ON and connect the input to the output.

SCL4052B is a Differential 4-Channel Multiplexer controlled by two binary Control inputs, A and B, and an Inhibit input. The two binary input signals select one of four pairs of channels to be turned on and connect the differential analog inputs to the differential outputs.

SCL4053B is a Triple 4-Channel Multiplexer controlled by three separate digital Control inputs, A, B, and C, and an Inhibit input. Each control input selects one of a pair of channels which are connected in a single-pole double-throw configuration.

When the devices are used as demultiplexers, the "COMMON IN/OUT" terminals are the outputs and the "COMMON OUT/IN" terminal(s) is (are) the input(s).

CONNECTION DIAGRAMS (all packages)



Add suffix for package:

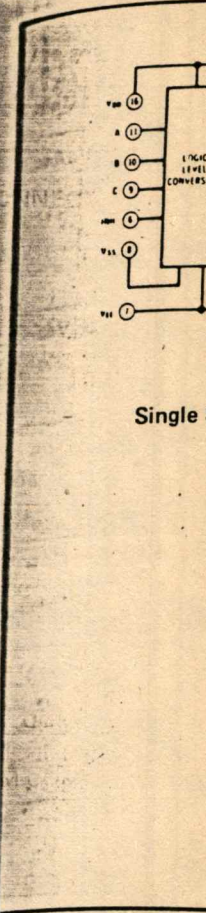
- C 16-pin Cerdip
- D 16-pin Ceramic
- E 16-pin Epoxy
- F 16-pin Flat
- H Chip

RECOMMENDED OPERATING CONDITIONS

For maximum reliability:

DC Supply Voltage	V _{DD} - V _{SS}	3 to 15	V _{DD} - V _{EE}	3 to 15
Operating Temperature	T _A	-55 to +125 °C (C, D, F, H Device)		
		-40 to +85 °C (E Device)		

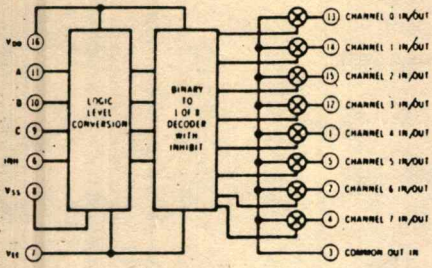
NOTE: There are no restrictions on the relative magnitudes of V_{SS} and V_{EE}, providing Absolute Maximum Ratings are observed.



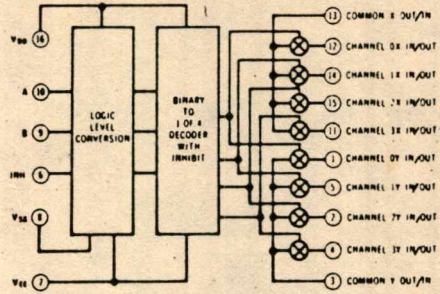
Single

SCL4051B, SCL4052B, SCL4053B

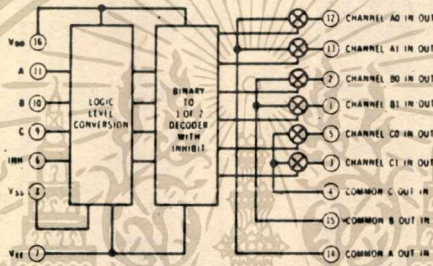
LOGIC DIAGRAMS



SCL4051B
Single 8-Channel Multiplexer



SCL4052B
Differential 4-Channel Multiplexer



SCL4053B
Triple 2-Channel Multiplexer

TRUTH TABLE

INPUT STATES				"ON" CHANNELS		
INHIBIT	C	B	A	4051	4052	4053
0	0	0	0	0	0x, 0y	cx, bx, ax
0	0	0	1	1	1x, 1y	cx, bx, ay
0	0	1	0	2	2x, 2y	cx, by, ax
0	0	1	1	3	3x, 3y	cx, by, ay
0	1	0	0	4		cy, bx, ax
0	1	0	1	5		cy, bx, ay
0	1	1	0	6		cy, by, ax
0	1	1	1	7		cy, by, ay
1	*	*	*	NONE	NONE	NONE

* = Don't care

ELECTRICAL CHARACTERISTICS

STATIC CHARACTERISTICS^{1,3}

PARAMETER	CONDITIONS	V _{SS} (Vdc)	V _{DD} (Vdc)	V _{EE} (Vdc)	T _{LOW} ²		+25°C			T _{HIGH} ²		Units	
					Min.	Max.	Min.	Typ.	Max.	Min.	Max.		
QUIESCENT DEVICE CURRENT	I _{DD} V _{IN} =V _{SS} or V _{DD} All valid input combinations	0	+5	0	-	5	-	0.05	5	-	150	μA _{dc}	
		0	+10	0	-	10	-	0.1	10	-	300		
			+5	-5									
		0	+15	0	-	20	-	0.2	20	-	600		
MINIMUM INPUT HIGH VOLTAGE (Control and Inhibit Inputs)	V _{IN} V _{IS} =V _{EE} V _{OS} =V _{DD} I _{OS} =10μA	0	5	0	-	3.5	-	2.75	3.5	-	3.5	V _{dc}	
		0	10	0	-	7.0	-	5.5	7.0	-	7.0		
		0	15	0	-	11.0	-	8.25	11.0	-	11.0		
MAXIMUM INPUT LOW VOLTAGE (Control and Inhibit Inputs)	V _{IL} V _{IS} =V _{EE} V _{OS} =V _{DD} I _{OS} =10μA	0	5	0	1.5	-	1.5	2.25	-	1.5	-	V _{dc}	
		0	10	0	3.0	-	3.0	4.5	-	3.0	-		
		0	15	0	4.0	-	4.0	6.75	-	4.0	-		
SWITCH INPUT/ OUTPUT LEAKAGE Any channel OFF	I _{OFF} V _{IN} =V _{SS} or V _{DD} V _{IS} =±7.5Vdc	0	+7.5	-7.5	-	±100	-	±0.01	±100	-	±500	nA _{dc}	
		All channels OFF	I _{OFF} I _{nh} =7.5Vdc V _{IS} =±7.5Vdc	SCL4051B	-	±400	-	±0.08	±400	-	±1000		nA _{dc}
				SCL4052B	-	±200	-	±0.04	±200	-	±1000		
				SCL4053B	-	±100	-	±0.02	±100	-	±1000		
ON-RESISTANCE C, D, F, H device	R _{ON} V _{IN} =V _{SS} or V _{DD} V _{EE} ≤ V _{IS} ≤ V _{DD} R _L =10kΩ	-7.5	+7.5	-7.5	-	220	-	125	280	-	400	Ω	
		0	+15	0	-	310	-	180	400	-	580		
		-5	+5	-5	-	2000	-	470	2500	-	3500		
		0	+10	0	-		-			-			
		-2.5	+2.5	-2.5	-		-			-			
	E device	R _{ON} V _{IN} =V _{SS} or V _{DD} V _{EE} ≤ V _{IS} ≤ V _{DD} R _L =10kΩ	-7.5	+7.5	-7.5	-	230	-	125	280	-	360	Ω
			0	+15	0	-	330	-	180	400	-	520	
			-5	+5	-5	-	2100	-	470	2500	-	3200	
			0	+10	0	-		-			-		
			-2.5	+2.5	-2.5	-		-			-		
ON-RESISTANCE MATCH* (Same Package)	ΔR _{ON} V _{IN} =V _{SS} or V _{DD} V _{EE} ≤ V _{IS} ≤ V _{DD} R _L =10kΩ	-7.5	+7.5	-7.5	-	-	-	5	-	-	-	Ω	
		0	+15	0	-	-	-	10	-	-	-		
		-5	+10	-5	-	-	-	50	-	-	-		
		0	+10	0	-	-	-			-			
		-2.5	+2.5	-2.5	-	-	-			-			

NOTES: ¹ Remaining Static Electrical Characteristics are listed under "SCL4000B Series Family Specifications"

² T_{LOW} = -55°C for C, D, F, H device.

= -40°C for E device.

T_{HIGH} = +125°C for C, D, F, H device.

= + 85°C for E device.

³ These devices have been designed for balanced output drive current specifications. Consult Family Specifications.

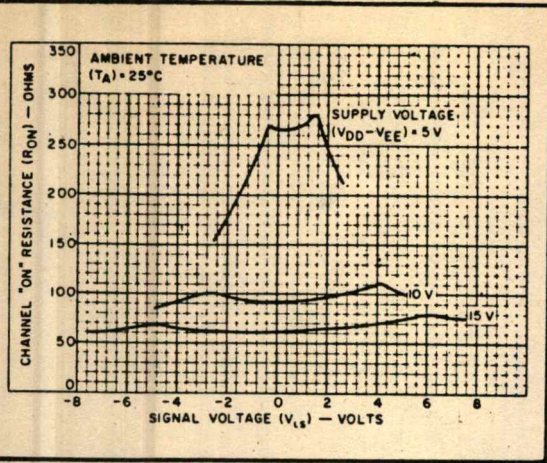
SCL4051B, SCL4052B, SCL4053B

ELECTRICAL CHARACTERISTICS (Continued)

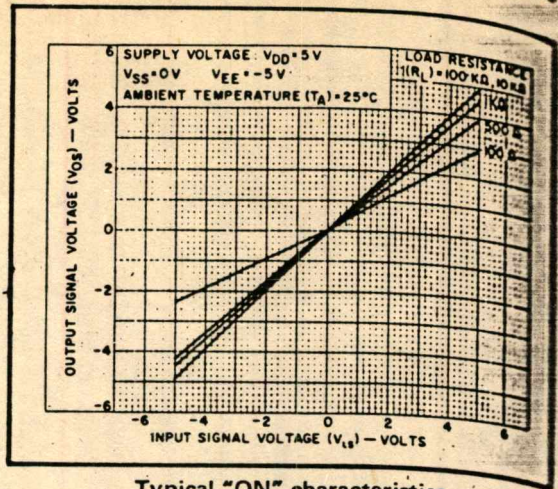
DYNAMIC CHARACTERISTICS ($C_L = 50\text{pF}$, $T_A = 25^\circ\text{C}$)

PARAMETER	CONDITIONS	V_{SS} (Vdc)	V_{DD} (Vdc)	V_{EE} (Vdc)	Min.	Typ.	Max.	Units		
SIGNAL INPUTS (V_{is}) AND OUTPUTS (V_{os})										
PROPAGATION DELAY TIME Signal Input to Signal Output	t_{PLH} t_{PHL}	Inh = V_{SS}	0	5	0	-	30	60	ns	
		$V_{IN} = V_{SS}$ or V_{DD}	0	10	0	-	15	30		
		V_{is} = Square Wave $R_L = 10\text{k}\Omega$	0	15	0	-	12.5	25		
BANDWIDTH (-3dB) (Sine Wave)	BW	Inh = V_{SS} $V_{IN} = V_{SS}$ or V_{DD} $V_{is} = 5V_{pp}$ centered @ 0.0Vdc	$R_L = 1\text{k}\Omega$	0	+5	-5	-	54	-	MHz
			$10\text{k}\Omega$	-	-	-	-	40	-	
			$100\text{k}\Omega$	-	-	-	-	38	-	
			$1\text{M}\Omega$	-	-	-	-	37	-	
INSERTION LOSS ($= 20 \log_{10} \frac{V_{os}}{V_{is}}$)		Inh = V_{SS} $V_{IN} = V_{SS}$ or V_{DD} $V_{is} = 5V_{pp}$ centered @ 0.0Vdc	$R_L = 1\text{k}\Omega$	0	+5	-5	-	2.3	-	dB
			$10\text{k}\Omega$	-	-	-	-	0.2	-	
			$100\text{k}\Omega$	-	-	-	-	0.1	-	
			$1\text{M}\Omega$	-	-	-	-	0.05	-	
SIGNAL DISTORTION (Sine Wave)		Inh = V_{SS} $V_{IN} = V_{SS}$ or V_{DD} $V_{is} = 5V_{pp}$ centered @ 0.0Vdc $f_{is} = 1.0\text{kHz}$ $R_L = 10\text{k}\Omega$	-7.5	+7.5	-7.5	-	0.1	-	%	
			-5	+5	-5	-	0.2	-		
			-2.5	+2.5	-2.5	-	1.0	-		
FEEDTHROUGH (-40dB)		Inh = V_{SS} $V_{IN} = V_{SS}$ or V_{DD} $V_{is} = 5V_{pp}$ centered @ 0.0Vdc	$R_L = 1\text{k}\Omega$	0	+5	-5	-	1250	-	kHz
			$10\text{k}\Omega$	-	-	-	-	140	-	
			$100\text{k}\Omega$	-	-	-	-	18	-	
			$1\text{M}\Omega$	-	-	-	-	2	-	
CROSSTALK (-40dB) Between two switches		Inh = V_{SS} $V_{IN} = V_{SS}$ or V_{DD} $V_{is} = 5V_{pp}$ centered @ 0.0Vdc $R_L = 1.0\text{k}\Omega$	0	+5	-5	-	1.0	-	MHz	
CAPACITANCE Input	C_{is}	Inh = V_{DD}	0	+5	-5	-	5	-	pF	
Common	C_{os}	SCL4051B	0	+5	-5	-	30	-	pF	
		SCL4052B	0	+5	-5	-	18	-		
Feedthrough	C_{ios}	SCL4053B	0	+5	-5	-	10	-	pF	
CONTROL INPUTS										
PROPAGATION DELAY TIME ¹ Turn on	t_{PLH} t_{PHL}	Inh = V_{SS} $V_{EE} < V_{is} < V_{DD}$ $R_L = 10\text{k}\Omega$	0	+7.5	-7.5	-	160	320	ns	
			0	+15	0	-	120	240		
			0	+5	-5	-	225	450		
			0	+10	0	-	160	320		
			-2.5	+2.5	-2.5	-	400	800		
			0	+5	0	-	360	720		
PROPAGATION DELAY TIME ¹ Turn on	t_{PLH} t_{PHL}	$V_{IN} = V_{SS}$ or V_{DD} $V_{is} = V_{DD}$ $R_L = 10\text{k}\Omega$	0	+7.5	-7.5	-	160	320	ns	
			0	+15	0	-	120	240		
			0	+5	-5	-	200	400		
			0	+10	0	-	160	320		
			-2.5	+2.5	-2.5	-	400	800		
			0	+5	0	-	360	720		
INHIBIT RECOVERY TIME ²	t_{rel}	$V_{IN} = V_{SS}$ or V_{DD} $V_{EE} < V_{is} < V_{DD}$ $R_L = 10\text{k}\Omega$	0	+7.5	-7.5	-	150	300	ns	
			0	+15	0	-	80	160		
			0	+5	-5	-	200	400		
			0	+10	0	-	105	210		
			-2.5	+2.5	-2.5	-	300	600		
			0	+5	0	-	225	450		

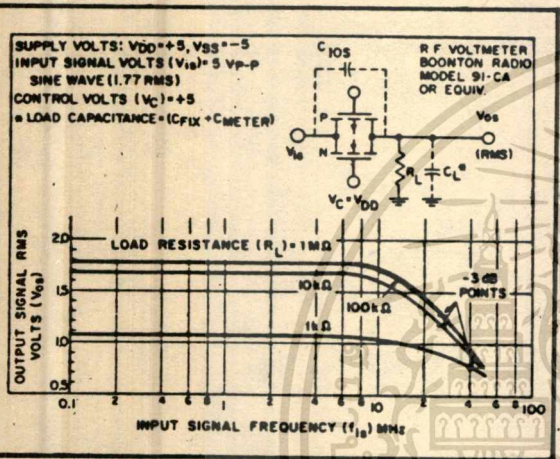
Notes: ¹ Channel Overlap time – interval following change of control input during which two channels may be ON simultaneously.² Interval following removal of Inhibit during which channel information is invalid.



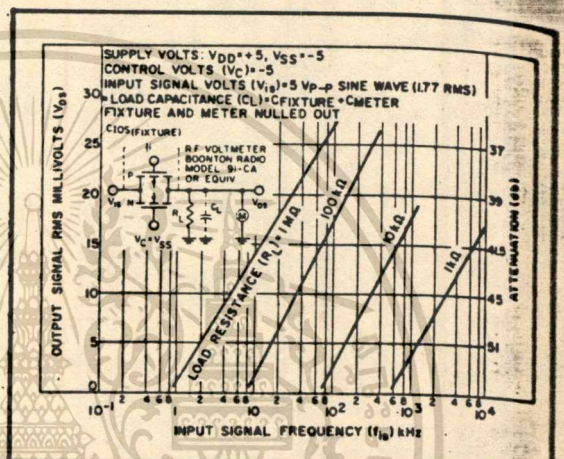
Typical Channel "ON" resistance vs. signal voltage



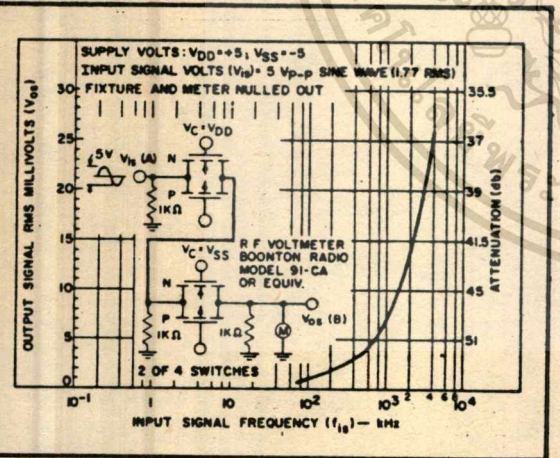
Typical "ON" characteristics



Typ. switch frequency response-switch "ON"

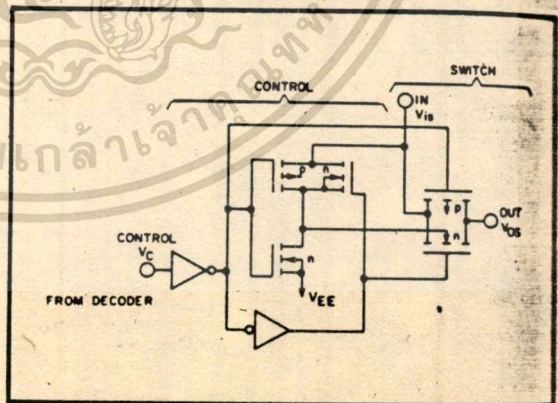


Typ. feedthru vs. freq. - switch "OFF"



Typ. crosstalk between switch circuits in the same package

SCHMATIC DIAGRAM OF ONE SWITCH



SCL406
FEATURES
• 14 Full
• 10 Buff
• Comm
• 5MHz
• All Act
R-C or
DESCRIP
The SC
and 14 r
oscillator
or crystal
provided w
state. A h
the reset f
wenced on
transition
parts are fu
stages 4 th
Applica
delay circu

SCL4081B, SCL4082B
SCL4073B



CMOS AND GATES

SCL4081B - Quad 2-Input AND
SCL4082B - Dual 4-Input AND
SCL4073B - Triple 3-Input AND

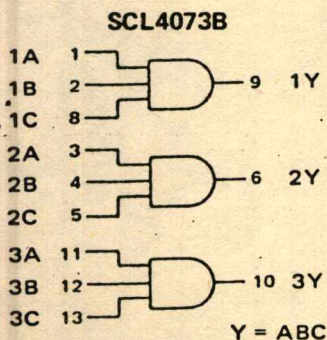
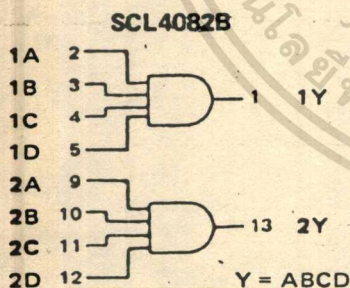
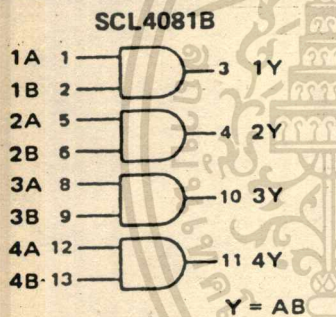
FEATURES

- ◆ Buffered Outputs
- ◆ Diode Protection on all Inputs
- ◆ Fully "B"-Series Compatible
- ◆ Balanced Output Drive Current Specifications

TRUTH TABLE

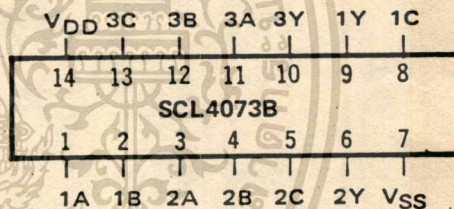
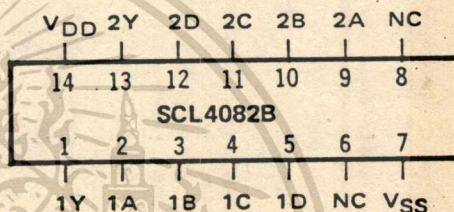
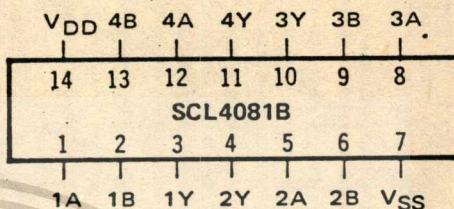
Inputs	Output
1 1...1	1
All other combinations	0

FUNCTION DIAGRAMS



V_{DD} = Pin 14
V_{SS} = Pin 7
for all Devices

CONNECTION DIAGRAMS
(all packages)



Add suffix for package:

- C 14-pin Cerdip
- D 14-pin Ceramic
- E 14-pin Epoxy
- F 14-pin Flat
- H Chip

RECOMMENDED OPERATING CONDITIONS

For maximum reliability:

DC Supply Voltage	V _{DD} - V _{SS}	3 to 15	V _{dc}
Operating Temperature	T _A	-55 to +125	°C ^m
C, D, F, H Device		-40 to +85	°C
E Device			

เอกสารนี้เป็นเอกสารลิขสิทธิ์ของ บริษัท สสส จำกัด สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS

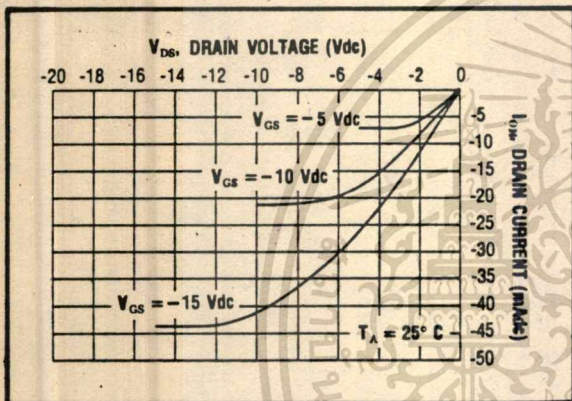
STATIC CHARACTERISTICS ^{1,3}

PARAMETER	V _{DD} (Vdc)	CONDITIONS	T _{LOW} ²		+25°C			T _{HIGH} ²		Units
			Min.	Max.	Min.	Typ.	Max.	Min.	Max.	
QUIESCENT DEVICE CURRENT	I _{DD}	V _{IN} = V _{SS} or V _{DD} All valid input combinations	—	0.05	—	0.0005	0.05	—	1.5	μA _{dc}
			—	0.10	—	0.001	0.10	—	3.0	
			—	0.20	—	0.002	0.20	—	6.0	

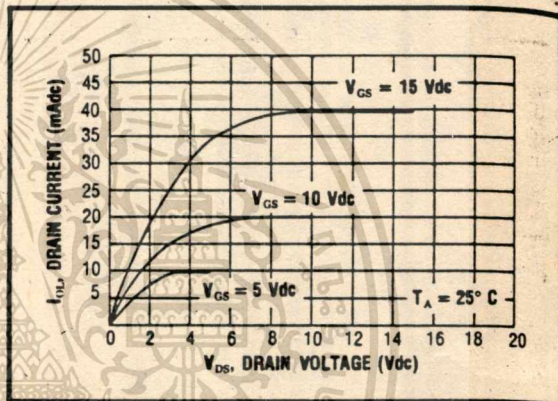
- NOTES: ¹ Remaining Static Electrical Characteristics are listed under "SCL4000B Series Family Specifications"
² T_{LOW} = -55°C for C, D, F, H device.
 = -40°C for E device.
 T_{HIGH} = +125°C for C, D, F, H device.
 = + 85°C for E device.
³ These devices have been designed for balanced output drive current specifications. Consult Family Specifications.

DYNAMIC CHARACTERISTICS (C_L = 50pF, T_A = 25°C)

PARAMETER		V _{DD} (Vdc)	Min.	Typ.	Max.	Units
PROPAGATION DELAY TIME	t _{PLH} , t _{PHL}	5	—	150	300	ns
		10	—	65	130	
		15	—	50	100	
OUTPUT TRANSITION TIME	t _{TLH} , t _{THL}	5	—	100	200	ns
		10	—	50	100	
		15	—	40	80	

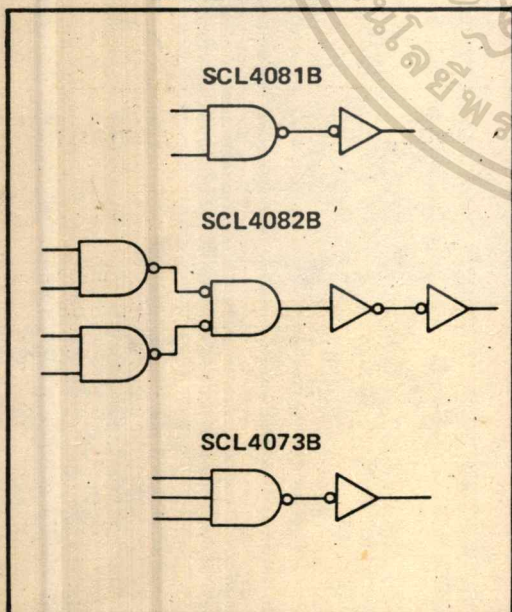


Typical P-Channel Source Current Characteristics

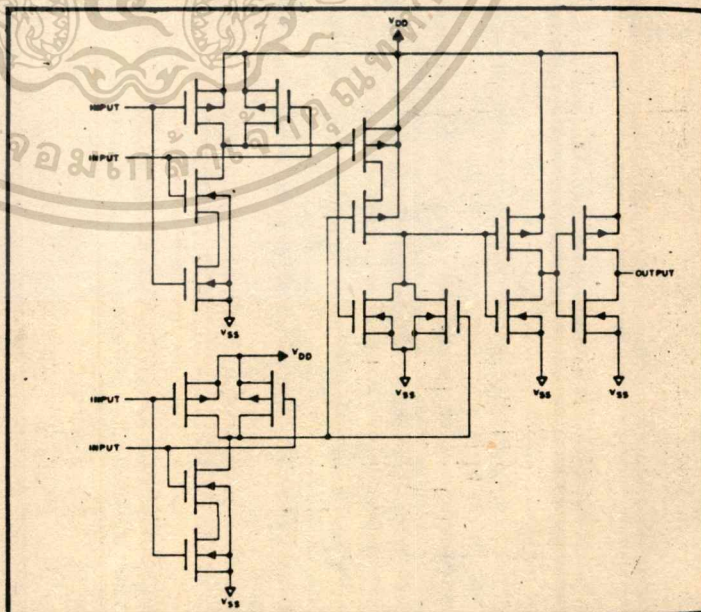


Typical N-Channel Sink Current Characteristics

LOGIC DIAGRAMS



SCHEMATIC DIAGRAM - SCL4082B (1 of 2 gates)



รายการอุปกรณ์

ตัวต้านทาน

R ₁	10 KΩ	R ₂₇	1 KΩ
R ₂	10 KΩ	R ₂₈ , R ₂₉	10 KΩ
R ₃	22 KΩ	R ₃₀	150 Ω
R ₄	2.2 KΩ	R ₃	1.8 MΩ
R ₅ - R ₇	22 KΩ	R ₃₂	2.7 MΩ
R ₈	10 KΩ	R ₃₃	330 Ω
R ₉	4.7 KΩ	R ₃₄	680 Ω
R ₁₀ - R ₁₁	10 KΩ	R ₃₅	82 Ω
R ₁₂ - R ₁₃	4.7 KΩ	R ₃₇	1 KΩ
R ₁₄ - R ₁₆	10 KΩ	R ₃₈	10 KΩ
R ₁₇	47 KΩ	R ₃₉ - R ₄₈	10 KΩ
R ₁₈	1 KΩ	R ₄₉	150 Ω
R ₁₉	10 KΩ	R ₅₀	4.7 KΩ
R ₂₀	3.3 KΩ	VR ₁	470 KΩ
R ₂₁	18 KΩ	VR ₂	100 KΩ
R ₂₂	2.4 KΩ	VR ₃	10 KΩ
R ₂₃	1.3 KΩ		
R ₂₄ - R ₂₅	10 KΩ		
R ₂₆	20 KΩ		

ตัวเก็บประจุ

C ₁	100 pF 50V
C ₂	10 uF 10V
C ₃ - C ₁₀	0.1 uF 50V
C ₁₁ - C ₁₄	0.1 uF 50V
C ₁₅	6.8 uF 16V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

C ₁₆ , C ₁₇	2.2 uf 16 v	C ₂₉	0.1 uf 50 v
C ₁₈	0.022 uf 50 v	C ₃₀	0.01 uf 50 v
C ₁₉	10 uf 16 v	C ₃₁	10 uf 16 v
C ₂₀	150 pf 50 v	C ₃₂	22 uf 16 v
C ₂₁	0.001 uf 50 v	C ₃₃	1000 uf 16 v
C ₂₂	0.0068 uf 50 v	C ₃₄	0.1 uf 50 v
C ₂₃ , C ₂₄	0.1 uf 50 v	C ₃₅	10 uf 16 v
C ₂₅	0.33 uf 50 v	C ₃₆	470 uf 25 v
C ₂₆ , C ₂₇	0.01 uf 50 v	C ₃₇	10 uf 25 v
C ₂₈	820 pf 50 v	C ₃₈	1000 uf 25 v
		C ₃₉ , C ₄₀	10 uf 16 v
		C ₄₁	1 uf 16 v

ไอซี

IC ₁	MC 14001	IC ₂₁ , IC ₂₂	TL071
IC ₂	MC 14556	IC ₂₃	CA3130
IC ₃ -IC ₅	MC 14040	IC ₂₄	MC3417
IC ₆ -IC ₁₀	MC 14053	IC ₂₅	LM7805
IC ₁₁ - IC ₁₄	41256	IC ₂₆	LM78205
IC ₁₅ , IC ₁₆	7474	IC ₂₇	LM79205
IC ₁₇	7404	IC ₂₈	TM4801P
IC ₁₈	7432	IC ₂₉	2716
IC ₁₉	MC 14013	IC ₃₀	74121
IC ₂₀	MC 14051	IC ₃₁	7474
		IC ₃₂	7411

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทรานซิสเตอร์

Q ₁	BC 338	Q ₄	BC 338
Q ₂	BC 549	Q ₅	BC 328
Q ₃	BC 328	Q ₆	BC 337

ไดโอด

D ₁ -D ₃	1N4148	DB ₁	บริดจ์เรกติไฟร์ 100V 1A
D ₄ -D ₅	1N4001	LED ₁ , LED ₂	LED

อุปกรณ์อื่น ๆ

3P ₁	8 ๓ 0.25 W
T ₁	220 V 9V-0-9V
S ₁	สวิตช์โยก
S ₂ -S ₆	สวิตช์กดทีละขั้ว
ซ็อกเก็ตไอซี	16 ขา 19 ขั้ว
	14 ขา 8 ขั้ว
	42 ขา 1 ขั้ว
	24 ขา 1 ขั้ว
	8 ขา 3 ขั้ว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีคนนำไปใช้

ข้อมูลในอีพรอมที่จะต้องโปรแกรมลงไป

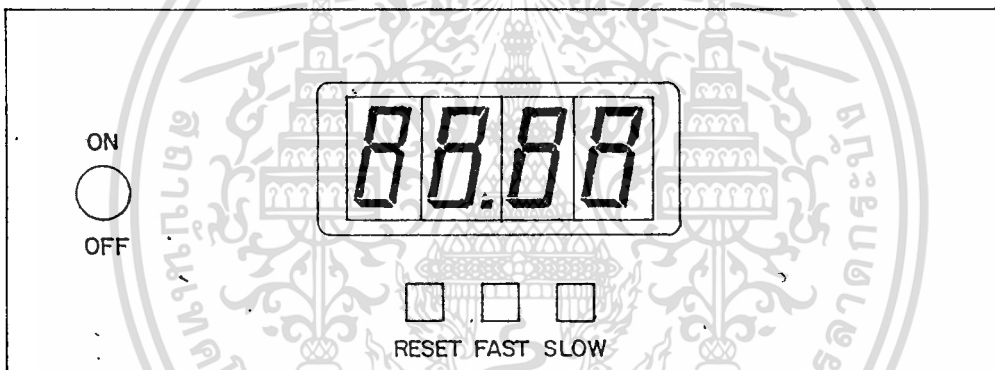
เวลา(นาฬิกา)	แอดเดรสอีพรอม	ข้อมูล
24	381	00
1	3CF	04
2	392	08
3	386	0C
4	3CC	10
5	3A4	14
6	3A0	18
7	38F	1C
8	380	01
9	384	05
10	201	09
11	24F	0D
12	216	11
13	206	15
14	24C	19
15	224	1D
16	220	02
17	20F	06
18	200	0A
19	204	0E
20	101	12
21	14F	16
22	112	1A
23	106	1E

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วิธีการใ้หน้าพิกามอก เวลาด้วยเสียงพูด

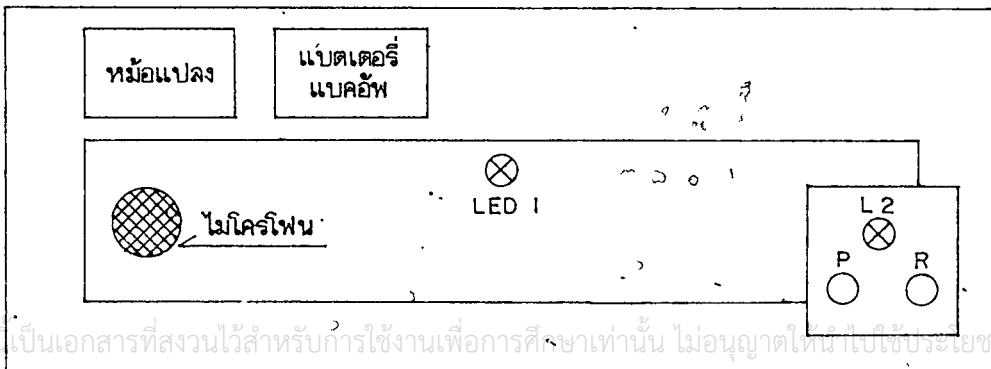
ขั้นตอนการตั้ง เวลา

1. เสียบปลั๊กไฟ AC 220V
2. พลังสวิตไปตำแหน่ง ON
3. เมื่อดัชนีแสดงเวลากระพริบขึ้น ก็ทำการตั้งเวลาโดยกดปุ่ม fast เมื่อต้องการให้ตัวเลขเดินเร็ว และปุ่ม slow เมื่อต้องการให้ตัวเลขเดินช้า
4. ปุ่ม Reset สำหรับ



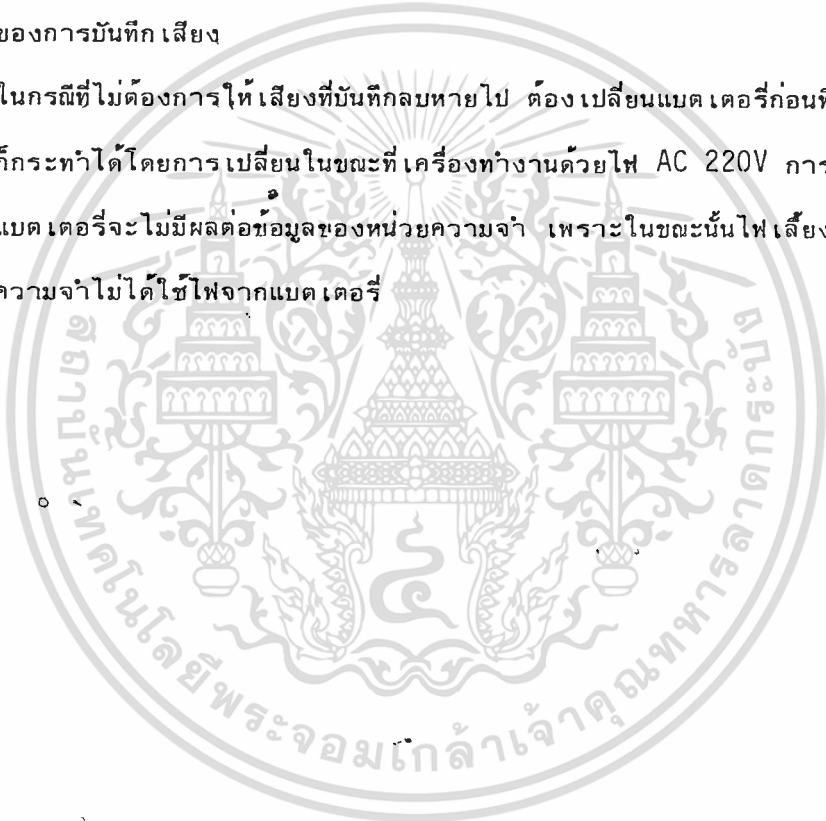
ขั้นตอนการบันทึก เสียง

1. เปิดฝาครอบของ เครื่องออก โดยถอดสกรูยึดฝาครอบซึ่งอยู่ด้านล่างของตัว เครื่อง จำนวน 4 ตัว
2. เมื่อ เปิดฝาครอบด้านบน ออกแล้ว จะเห็นอุปกรณ์ต่าง ๆ ภายในเครื่องดังรูป ด้านหลัง



ขั้นตอนการเปลี่ยนแบตเตอรี่แบคอัพ

1. เมื่อแบตเตอรี่เสื่อม จะสังเกตได้จาก เมื่อปิดสวิตไฟแล้วเปิดใหม่เสียงที่บันทึกไว้จะหายไปหมด แสดงว่าแบตเตอรี่เสื่อมต้องเปลี่ยนใหม่
2. โดยเปิดฝาคออบ ถอดแบตเตอรี่ในกระบะออกซึ่งมีจำนวน 3 ก้อน
3. นำแบตเตอรี่ใหม่ใส่เข้าไปโดยดูขั้วแบตเตอรี่ให้ตรง แล้วดำเนินการตามขั้นตอนของการบันทึกเสียง
4. ในกรณีที่ไม่ต้องการให้เสียงที่บันทึกลบหายไป ต้องเปลี่ยนแบตเตอรี่ก่อนที่ไปจะห้ยกเลิกกระทำได้โดยการเปลี่ยนในขณะที่เครื่องทำงานด้วยไฟ AC 220V การเปลี่ยนแบตเตอรี่จะไม่มีผลต่อข้อมูลของหน่วยความจำ เพราะในขณะนั้นไฟเลี้ยงของหน่วยความจำไม่ได้ใช้ไฟจากแบตเตอรี่



กิตติกรรมประกาศ

โครงการนี้ได้รับความสำเร็จโดยที่ ก็ด้วยความร่วมมือจากบุคคลหลายฝ่าย
 ค่ายกัน โดยเฉพาะอย่างยิ่ง อาจารย์ ดร.ไพศาล นาคพิพัฒน์ ซึ่งเป็นผู้ที่ได้ให้คำปรึกษา
 และแนะนำเป็นอย่างดี และคณะอาจารย์ภาควิชาเทคนิคอุตสาหกรรม ซึ่งได้อนุญาตให้ใช้
 คู่มือ วัสดุ และอุปกรณ์บางชนิด ความโครงการนี้จนสำเร็จลุล่วงไปค่ายดี และยังมี
 บุคคลผู้มีรายชื่อต่อไปนี้คือ

น.ท. ประภัสพงษ์ สังขวนิช

พ.อ.อ. (พิเศษ) วัฒนา เอกนาวัน

พ.อ.อ. จิรายุ สงวนเชื้อ

พร้อมทั้งเจ้าหน้าที่ประจำห้องซ่อมวิทยุทุกท่าน ที่ได้ให้ความสะดวกสบาย
 ในการดำเนินงานครั้งนี้ ให้สำเร็จลุล่วงไปค่ายดี

ข้าพเจ้าผู้จัดทำจึงขอขอบคุณทุก ๆ ท่านคั้งที่ไกลล่าวถึงมา ณ ที่นี้

ผู้จัดทำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้.

หนังสืออ้างอิง

1. ประเสริฐ ไรจน์สุธีวัฒน์ และสมเกียรติ พูลศิริ "เครื่องบันทึกเสียงระบบดิจิตอลภาค 2 บันทึกนานจุใจ",วารสารเซมิคอนดักเตอร์อิเล็กทรอนิกส์,ฉบับที่ 85,2531,หน้า 143-153.
2. ฝ่ายเทคนิคและโครงการ,"สร้างนาฬิกาดิจิตอลด้วยไอซี 4801",วารสารคอมพิวเตอร์อิเล็กทรอนิกส์ เวิลด์,ปีที่ 9,ฉบับที่ 94,2528,หน้า 85-98.
3. "Telecommunications device data",Technical Information Center,Motorola Inc.,1984,PP,2-11 to 2-28.
4. Tictze U.and Schenk C., "Advanced Electronic Circuit", Springer-Verlag,Berlin,1978,PP.76-104
5. Nashelsky L., "Introduction to Digital Technology" Third Edition,Great Neek,New York,PP.208-244