



ปีการศึกษา ๒๕๓๓

การเก็บสำเนาภาพเพื่อแสดงผลบนจอ



เลขที่.....
เลขที่.....
วัน, เดือน ปี

ปริญญาานิพนธ์ ปีการศึกษา ๒๕๖๒

ภาควิชา อิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้า

เจ้าคุณทหารลาดกระบัง

เรื่อง การเก็บสัญญาณภาพเพื่อแสดงผลบนจอ (VIDEO MEMORY DISPLAY)

ผู้จัดทำ

๑. นายกฤษดา ทรัพย์ทวยชน

๒. นายพรชัย เลิศปถางคพ



..... อาจารย์ที่ปรึกษา

(ร.ศ. มณีส สังวรศิลป์)

การเก็บสัญญาณภาพเพื่อแสดงผลบนจอ

พรชัย เลิศบถกคพ

ภคชดา ทวีพท์ทวยชน

อจารย์ที่ปรึกษา ร.ศ. มนัส สงวรศิลา

ปีการศึกษา ๒๕๓๓

บทคัดย่อ

งานปัจจุบันความก้าวหน้าทางเทคโนโลยีการประมวลผลภาพหรืออิมเมจโปรเซสซิ่ง (IMAGE PROCESSING) ได้พัฒนาตัวเองไปไกลพอสมควรวีดีโอเมมโมรี่ (VIDEO MEMORY) เป็นขั้นตอนหนึ่งในการประมวลผลภาพนี้เป็นการนำเอาภาพซึ่งเป็นสัญญาณอนาล็อก (ANALOG) จากวีดีโอ (VIDEO) หรือจากสัญญาณภาพ (Composite video) มาแปลงเป็นสัญญาณดิจิทัล (DIGITAL) เก็บในแรม (RAM) แล้วจึงนำข้อมูลภายในแรมมาแสดงผลอีกครั้งหนึ่ง สำหรับปริภูมิตัวฉบับนี้จะกล่าวถึงส่วนของการนำข้อมูลที่เก็บไว้ในแรมมาแสดงผลบนจอโทรทัศน์ (VIDEO MEMORY DISPLAY) ซึ่งจากเดิมมีความละเอียดของจุดภาพ 256×256 จุดมาเป็น 400×256 จุด ซึ่งต้องอาศัยหน่วยความจำถึง 1024 กิโลไบต์ (KB) ต่อหน้า (Page) โดยแบ่งการส่งสัญญาณภาพออกมาทางพอร์ต (PORT) ของไอพีเอ็มพีซีเอ็กซ์ที (IBMPC/XT) เป็น ๒ พอร์ต (PORTS) และสามารถแสดงความเข้มของจุดภาพได้ ๘ ระดับโดยการเข้าถึงไดนามิคแรม (Dynamic RAM) ต่อจุดเข้าด้วยกันซึ่งในแต่ละจุดจะแสดงได้ ๒ ระดับความเข้มจุด ปริภูมิตัวฉบับนี้เป็นส่วนหนึ่งของระบบอิมเมจโปรเซสซิ่งซึ่งประกอบด้วยส่วนวงจรตั้งนี้คือวงจรอินเทอร์เฟซ (INTERFACE) กับ ไอพีเอ็มพีซีเอ็กซ์ที, วงจรควบคุมการสแกนภาพบนจอโทรทัศน์, วงจรควบคุมระดับความเข้มจุดภาพและวงจรเก็บข้อมูลซึ่งจะเป็นแนวทางพื้นฐานสำหรับการนำเอาซึ่งงานในระบบการประมวลผลภาพสี หรือ ภาพที่มีรายละเอียดมากขึ้นในอนาคต

VIDEO MEMORY DISPLAY

Abstract

Now the advantage of Image Processing Technology have been used in many applications. Video Memory , the important part of this process, can get the graphics or photograph from video camera (ANALOG Signal) and converting to digital signal then keep it in RAM (Dynamic RAM). After that it get the DATA from RAM to display in CRT monitor . In this project provide the video memory display, getting data from RAM to display in CRT monitor , is developed its resolutions from 256x256 dot to 512x256 dot uses 128 Kbyte for memory 1 page graphic picture with 8 levels contrast. This project is the part of Image Processing System composing of Interfacing the IBM PC/XT part, Scanning control part, contrast and storing DATA part all of them are the basis of developing in computer graphics and other advance design features. .

สารบัญ

		หน้า
บทคัดย่อ		
บทที่ ๑	บทนำ	
บทที่ ๒	ทฤษฎีเบื้องต้นเกี่ยวกับทีวีและสัญญาณภาพ	1
	การเกิดภาพและส่วนของภาพ	1
	สัญญาณภาพ	7
	หลักการของวงจร	9
บทที่ ๓	การคำนวณและการออกแบบวงจร	11
	รูปวงจรส่วนสร้างสัญญาณโทรทัศน์	13
	รูปวงจรส่วนแรมการ์ด	15
	รูปวงจรส่วนถอดรหัสและอินเทอร์เฟส	16
	รูปวงจรส่วนปั๊มเพอร์	17
	รูปวงจรส่วนไดรฟ์(drive)	18
	คุณสมบัติของไดนามิคแรม และวงจรควบคุม	19
	วงจรเ้าท์พอร์ท 1 บิทและดีโคดเดอร์	21
	ชนิดของไอซีที่ใช้งาน	23
บทที่ ๔	การทดลองและผลการทดลอง	24
	การทดลองสัญญาณควบคุมสัญญาณโทรทัศน์	25
	การทดลองสัญญาณควบคุมแทมพ์แชน์รีจิ่ง	26
	การทดลอง DISPLAY READ CYCLE	28
	ซอฟต์แวร์ควบคุม	30
บทที่ ๕	บทวิจารณ์และสรุปผล	32

บทที่ ๑

บทนำ

ในปัจจุบัน การศึกษาทางด้านที่เกี่ยวข้องกับภาพ ได้มีการพัฒนาขึ้นมาอย่างรวดเร็ว การนำข้อมูลภาพไปใช้ประโยชน์ โดยอาศัยคอมพิวเตอร์ในการประมวลผลและวิเคราะห์ภาพ มีเพิ่มขึ้นเรื่อยๆ ในส่วนของ การนำเอาไปใช้ประโยชน์ อาทิเช่น งานทางด้านการโฆษณา การค้นหาแหล่งทรัพยากรการวิเคราะห์ภาพถ่าย ทางด้านการแพทย์ เพื่อวิเคราะห์ทางด้านสรีระวิทยา และการตรวจสอบส่อง

ในระบบ การเก็บสัญญาณภาพเพื่อแสดงผลบนจอ (VIDEO MEMORY DISPLAY) จะทำการนำเอาข้อมูลที่เรากำเก็บเข้าไบอัสแรม (RAM) มาแสดงผลบนจอที่มีความละเอียดสูง เป็นการเปลี่ยนสัญญาณดิจิทัลเป็นสัญญาณอนาลอก โดยมี ส่วนอินเตอร์เฟส ส่วนควบคุมการสแกนภาพ ส่วนควบคุมระดับความเข้ม (contrast) และหน่วยความจำ

บทที่ ๒ เป็นการกล่าวถึงความรู้พื้นฐานในการเกิดภาพ สัญญาณภาพ และการสแกนภาพออกจอภาพ

บทที่ ๓ เกี่ยวกับการคำนวณและการสร้างวงจรรวมทั้งรูปของวงจรด้วย

บทที่ ๔ แสดงผลการทดลองจับสัญญาณ ณ จุดต่างๆ และซอฟต์แวร์

บทที่ ๕ เป็นบทวิจารณ์ปริญาภิพนธ์ เรื่องนี้และสรุปผลการทดลอง

บทที่ ๒

ทฤษฎีเบื้องต้นของสัญญาณภาพ

การเกิดภาพ

ภาพวิ่ง (continuous motion picture) เกิดขึ้นจากการฉายภาพนิ่งต่อเนื่องกันบนจอ ด้วยความเร็วในอัตราที่สายตาของคนไม่สามารถแยกภาพแต่ละภาพออกจากกันได้ นั่นคือคนเราจะเห็นเป็นภาพต่อเนื่องกันไป โดยปกติอัตราความเร็วของภาพที่คนเราเห็นเป็นภาพต่อเนื่องกันคือ 24 ภาพ (frame) ต่อวินาทีความสามารถในการมองเห็นภาพในลักษณะนี้เป็นคุณสมบัติของตาคน (Persistence of vision) นั่นคือตาของคนเราจะสามารถที่จะยังคงบันทึกจดจำสี ความสว่างของภาพได้ในช่วงเวลาสั้นๆ หลังจากที่ได้รับแสงจากภาพได้หมดสิ้นไปแล้ว ในระบบการส่งโทรทัศน์ ก็อาศัยหลักการนี้โดยจะส่งด้วยอัตรา 25 ภาพต่อวินาทีในระบบ 50 Hz และด้วยอัตรา 30 ภาพต่อวินาทีในระบบ 60 Hz แต่ในระบบการส่งโทรทัศน์จะมีความยุ่งยากมากกว่าภาพวิ่งสัญญาณที่ส่งเป็นสัญญาณอิเล็กทรอนิกส์ ในการส่งแต่ละภาพจะประกอบด้วยจุดต่อเนื่องกันเป็นจำนวนมากมาย จุดแต่ละจุดจะมีความสว่าง หรืออาจเป็นระดับความเข้มของสีต่างๆ ถึงแม้ว่าภาพแต่ละภาพ จะประกอบขึ้นด้วยจุดจำนวนมากมาย แต่ในแต่ละจุดเองนั้นจะมีขนาดเล็ก ทาให้ตาคนเราไม่สามารถมองเห็นเป็นจุดแต่จะเห็นประกอบเป็นภาพที่กลมกลืนกันซึ่งความกลมกลืนของภาพหรือความชัดเจนขึ้นอยู่กับจำนวนจุดซึ่งประกอบเป็นภาพนั้นส่วนความแตกต่างของระดับสี (contrast) จะขึ้นอยู่กับจำนวนของระดับความเข้มสีที่สร้างขึ้น

ส่วนของภาพในโทรทัศน์จะกล่าวเป็นหัวข้อดังนี้

- 1 จุดภาพ (Pictures element)
- 2 การกวาดแนวตั้งและแนวนอน (Horizontal and Vertical scanning)
- 3 ความถี่การกวาดภาพ (Frame and Field frequency)
- 4 ความถี่การกวาดทั้งแนวตั้งและแนวนอน (H and V scanning frequency)
- 5 การซิงค์แนวตั้งและแนวนอน (H and V synchronization)
- 6 การแบล็งค์ตามแนวตั้งและแนวนอน (H and V Blanking)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PICTURE ELEMENT

ภาพจะประกอบไปด้วยส่วนที่เป็นเงามืดกับสว่าง ในส่วนของการพิมพ์เป็นภาพ จะใช้การให้ความสว่างและเงามืดที่จุดต่างๆมีระดับไม่เท่ากันเมื่อพิมพ์ภาพออกมา ก็จะทำให้เห็นเป็นจุดดำเล็กๆ เมื่อส่งเกตุดูจะเห็นเป็นจุดซึ่งแต่ละจุด ก็จะเป็นข้อมูลในการแสดงภาพขึ้นมาโดยที่ในการรับข้อมูลดังกล่าวออกมาแล้วมาเรียงกันตามตำแหน่งเดิม ก็จะประกอบเป็นภาพขึ้น

Horizontal and Vertical Scanning

ภาพในเครื่องรับโทรทัศน์ จะถูกสแกนตามแนวนอนต่อเนื่องกันไปทีละเส้นส่งรูป การสแกนนี้ทำให้เกิดการรวมกันของจุดภาพทำให้เกิดเป็นภาพขึ้น



การสแกนภาพในโทรทัศน์ต่างจากการพิมพ์ของเครื่องพิมพ์ภาพในเครื่องพิมพ์ภาพทั้งหมดจะถูกสร้างขึ้นมาในเวลาเดียวกันแต่ในโทรทัศน์ ภาพเกิดจากการเรียงกันออกมาเป็นเส้นเป็นลำดับ จากภาพหนึ่งไปยังอีกภาพหนึ่งการสแกนภาพก็เช่นเดียวกับการอ่านหนังสือคือ เริ่มต้นที่จุดบนทางซ้ายจุดภาพต่างๆก็จะสแกนต่อเนื่องกันจากซ้ายไปขวา และจากบนลงล่าง ทีละเส้นวิธีการนี้เรียกว่า การสแกนเชิงเส้นในแนวนอนซึ่งใช้หลักการส่งภาพโดยแบ่งเป็นจุดภาพและในหลอดภาพในการรับและสร้างภาพ

ลำดับของการสแกนจุดภาพเป็นดังนี้

- 1 ล่าแสงอิเล็กตรอนจะถูกส่งผ่านไปตามแนวนอนประกอบกันเป็นเส้นตามแนวนั้น
- 2 ที่จุดปลายของแต่ละเส้นล่าแสงจะถูกลากกลับอย่างรวดเร็วมาทางซ้ายเพื่อเริ่ม

การสแกนเส้นใหม่ช่วงเวลาการลากกลับนี้ (Retrace or Flyback) ในช่วงนี้จะไม่มีความเคลื่อนไหวของภาพเนื่องจากในช่วงนี้ทั้งงานกล้องและหลอดภาพจะถูกแบล็คไบบ์ ช่วงเวลานี้จะต้องเร็วมากเพื่อจะได้เสียเวลาในการส่งข้อมูลภาพน้อยลง

3. เมื่อลำแสงกลับมาจากซ้ายตามตำแหน่งแนวตั้งก็จะเลื่อนลงมา ทำให้เกิดการสแกนเส้นใหม่การเลื่อนตำแหน่งลงมาเนื่องจากการเลื่อนการสแกนแนวตั้ง จะเห็นได้ว่าการเลื่อนตำแหน่งทั้งทางแนวนอนและแนวตั้งใช้เวลาของการสแกนภาพ

เส้นสแกนต่อภาพ (Lines per frame)

จำนวนของเส้นสแกนการประกอบเป็นภาพที่สมบูรณ์จำเป็นต้องมี จำนวนมากที่สุดเท่าที่จะทำได้เพื่อที่จะให้มีรายละเอียดของภาพมากแต่อย่างไรก็ตาม มีปัจจัยอื่นที่กำหนดจำนวนเส้นสแกนนี้ และมาตรฐานของระบบการสแกนเป็น 525 เส้นต่อภาพซึ่งเป็นเส้นสแกนที่ดีที่สุดจากระบบการส่งโทรทัศน์ด้วย แบนด์วิท เมกกะเฮิรตซ์ สำหรับมาตรฐานการส่งในประเทศไทย ๖๕ 625 เส้น

ภาพต่อวินาที (Frames per second)

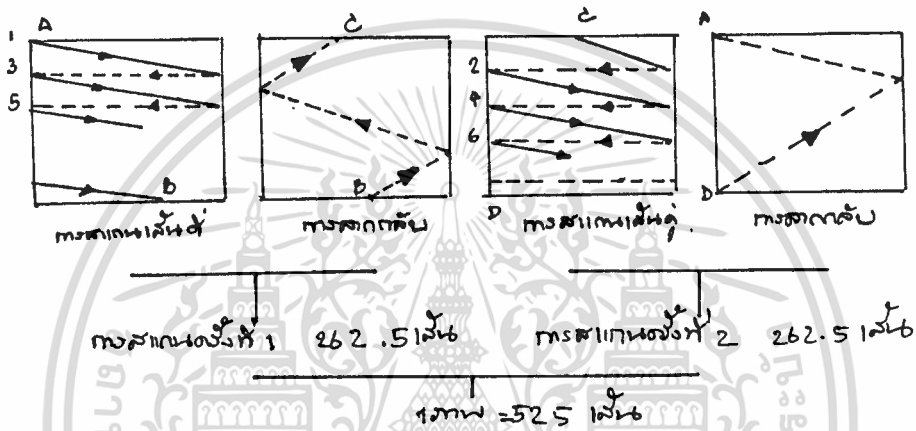
จะสังเกตได้ว่าภาพจะสแกนต่ำลงมาด้วยการสแกนแนวขนาน การสแกนแนวตั้งนี้จำเป็นเพื่อไม่ให้เกิดการสแกนเส้นทับกัน การสแกนแนวขนานทำให้เกิดการลากเส้นจากซ้ายไปขวาในขณะที่เดียวกันการสแกนแนวตั้งทำให้เกิดภาพเต็มจอจากบนลงล่างการสแกนแนวตั้งสแกนด้วยอัตราเร็ว 30 ภาพต่อวินาที ความเร็วของภาพ 30 ภาพต่อวินาทีจะหมายถึงจำนวนเส้น 525 เส้นสำหรับการเกิดภาพ 1 ภาพ ๖๕ เวลาสแกน 1/30 วินาที

ความถี่ของการสแกนภาพ (Frame and field frequency)

ในโทรทัศน์การเกิดภาพไม่เพียงแต่จะแบ่งภาพเป็นส่วนประกอบเล็กๆ แต่ภาพยังสแกนด้วยความเร็วสูงพอที่จะทำให้เกิดการสแกนภาพเห็นเป็นภาพวิ่งต่อเนื่องกัน โดยทั่วไปในทางปฏิบัติจะทำการส่งภาพวิ่งด้วยอัตราเร็ว 24 ภาพต่อวินาทีแต่ในโทรทัศน์อัตราการส่งภาพจะ ๓0 ภาพต่อวินาทีทำให้เกิดเป็นภาพวิ่งขึ้นอัตราความเร็ว 30 ภาพต่อวินาทีนี้ ยังไม่เร็วพอในการแก้ปัญหาเรื่องการสั่นกระพริบของภาพในการ

ภาพที่เกิดจากช่วงที่ภาพสว่างและดับนั้นในระบบโทรทัศน์ใช้วิธีการสแกนภาพโดยการสลับ (interlacing) คือในการสแกนของเส้นสแกนจะสแกน 2 ครั้ง (field) ใน 1 ภาพ (frame) ครั้งแรกจะสแกนเส้นที่ 1, 3, 5, 7, ... จนถึงเส้นที่เส้นสุดท้ายของภาพแล้วจึงกลับมาเริ่มสแกนเส้นคู่ 2, 4, 6, 8, ... จนครบดังนั้นในการสแกนด้วยอัตราเร็ว 25 ภาพต่อวินาทีจึงมีการสแกนแนวตั้งด้วยอัตราเร็ว 60 เฮิรตซ์

รูปแสดงการสแกนภาพโดยการสลับ



ความถี่ของการสแกนแนวนอนและแนวตั้ง (Horizontal and Vertical scanning frequencies)

ในการสแกนแนวตั้งด้วยอัตราเร็ว 60 เฮิรตซ์ ช่วงเวลาของการสแกนแนวตั้งในแต่ละครั้งของภาพจะเท่ากับ 1/60 วินาที ซึ่งจะประกอบด้วย จำนวนของเส้นสแกนในแต่ละครั้ง เป็นครึ่งหนึ่งของการสแกนภาพในระบบ 525 เส้น หรือ 625 เส้น นั่นคือจำนวนเส้นสแกนในแต่ละครั้งเท่ากับ 262.5 เส้น หรือ 312.5 เส้น ดังนั้นจำนวนเส้นสแกน 1 วินาทีเท่ากับ

$$262.5 \times 60 = 15,750 \text{ เส้น}$$

หรืออาจพิจารณาได้จากในระบบ 525 เส้นในการสแกนภาพทั้งสองครั้งซึ่ง อัตราความเร็วของภาพเท่ากับ 30 ภาพต่อวินาที ดังนั้นจำนวนเส้นที่สแกนได้ 1 วินาทีเท่ากับ

$$525 \times 30 = 15,750 \text{ เส้น เท่ากับกรณีแรก}$$

จากจำนวนเส้นแนวนอนซึ่งสแกนด้วยความเร็ว 15,750 เฮิรตซ์ จะได้ช่วงเวลาของการสแกนเส้นแนวนอน เท่ากับ 1/15,750 วินาที

เวลาของเส้นสแกนแนวนอน = $1/15,750$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 = 63.5 microsecond
 ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำหรับในประเทศไทย

ความถี่ที่ใช้ในการสแกนภาพ 25 เฮิรท์

จำนวนเส้นสแกน 1 ภาพ 625 เส้น

ดังนั้น ความเร็วของเส้นสแกนแนวนอน = 25×625
= 15,625 เฮิรท์

เวลาของเส้นสแกนแนวนอน = 64 microsecond

สำหรับเวลาที่ใช้ในการสแกนแนวตั้งในระบบ 60 เฮิรท์การสแกนแต่ละภาพจะใช้เวลา $1/60$ วินาที หรือ 16.67 มิลลิวินาที

สำหรับในประเทศไทย

ระบบที่ใช้ในการสแกนภาพ 50 เฮิรท์

เวลาที่ใช้ในการสแกน 1 ภาพ 20 มิลลิวินาที

สัญญาณซิงค์แนวนอนและแนวตั้ง (H and V synchronization)

ในการสแกนภาพนั้นการสแกนจะต้องเริ่มที่เวลาแน่นอน ตรงกับที่เครื่องส่งเพื่อให้ข้อมูลของภาพแสดงออกตรงตำแหน่งที่ถูกต้อง การที่จะให้เครื่องส่งและเครื่องรับมีการส่งและรับภาพที่สัมพันธ์กันจำเป็นจะต้องมีสัญญาณซิงค์ส่งมา กับสัญญาณภาพด้วยสัญญาณซิงค์นี้จะ เป็นพัลส์รูปสี่เหลี่ยมซึ่งใช้ในการควบคุมการสแกน ทั้งทางเครื่องรับและเครื่องส่งสัญญาณซิงค์นี้จะถูกส่งรวมมากับสัญญาณภาพเพื่อประกอบ เป็นสัญญาณรวมสำหรับเครื่องรับสัญญาณนี้จะเกิดขึ้นระหว่างช่วงเวลาของการแบล็งค์ ซึ่งไม่มีข้อมูลของภาพในการส่ง ช่วงที่ข้อมูลภาพนี้แบล็งค์ จะตรงกับช่วงที่ลาอิเลคตรอนลากกลับจากขวามาซ้ายสัญญาณซิงค์แนวนอนจะเกิดขึ้นในช่วงสุดท้ายของการ สแกนเส้นตามแนวนอนซึ่ง เป็นการเริ่มการลากกลับตามแนวนอนสัญญาณซิงค์ตามแนวตั้ง จะเกิดตอนที่ภาพสแกนถึงตำแหน่งล่างสุดของจอภาพ เพื่อเป็นการลากกลับของลาอิเลคตรอนตามแนวตั้ง ในการสแกนเส้นสแกนตามแนวนอนด้วยความถี่ 15,625 เฮิรท์ ความถี่ของสัญญาณซิงค์แนวนอนจะเท่ากับ 15,625Hz ด้วยส่วนการสแกนภาพ ตามแนวตั้งสแกนด้วยความถี่ 50 เฮิรท์สัญญาณซิงค์แนวนอนจะเท่ากับ 50 เฮิรท์ด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

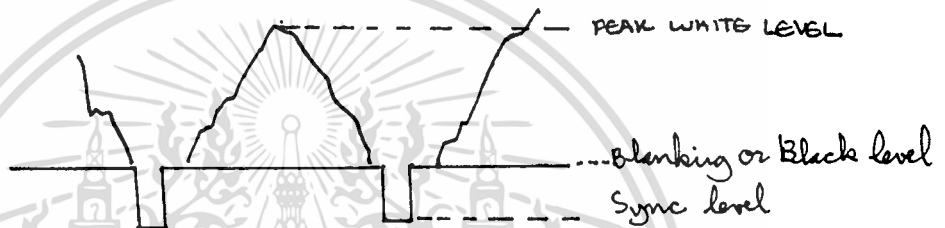
สัญญาณแบลิ่งค์ในแนวนอนและแนวตั้ง (H and V Blanking)

ในระบบโทรทัศน์การแบลิ่งค์คือ การเป็นสีดำ ในส่วนของสัญญาณวีดีโอ แรงดันของสัญญาณแบลิ่งค์จะอยู่ที่ระดับของสีดา ระดับโวลเตจของสีดานี้จะเบรทาให้กระแสที่เข้าในการยิงลำแสงอิเล็กตรอนหยุดไหล ทำให้ไม่มีแสงออกมาที่จอภาพ จุดประสงค์ของสัญญาณแบลิ่งค์เพื่อไม่ให้มองเห็นเส้นที่ลากกลับในช่องของการสแกนสัญญาณแบลิ่งค์ในแนวนอนมีความถี่ 15,625 เฮิรตทาให้เกิดการแบลิ่งค์ในส่วนลากกลับจากขวา มาซ้ายสัญญาณแบลิ่งค์ในแนวตั้งความถี่ 60 เฮิรตทาให้เกิดการแบลิ่งค์ ในส่วนลากกลับจากล่าง ขึ้นบนช่วงเวลาของสัญญาณแบลิ่งค์ในแนวนอนมีค่าประมาณ 20% ของสัญญาณเส้นตามแนวนอน มีค่า 64 microsecond สัญญาณแบลิ่งค์ตามแนวนอน มีค่าเท่ากับ $64 \times 0.2 = 12.8$ microsecond ซึ่งแสดงให้รู้ว่า ช่วงเวลาของการลากเส้นกลับจะต้องเสร็จสิ้นภายใน 12.8 microsecond

สำหรับช่วงเวลาสัญญาณแบลิ่งค์ตามแนวตั้งมีค่าประมาณ 8 % ของสัญญาณตามแนวตั้งซึ่งช่วงเวลาของสัญญาณตามแนวตั้ง 1 ภาพเท่ากับ 20 millisecond ดังนั้นสัญญาณแบลิ่งค์ตามแนวตั้งมีค่าเท่ากับ $20 \times 0.08 = 1.6$ millisecond ซึ่งแสดงให้เห็นว่าการลากกลับของภาพ จากจุดล่างสุดไปบนสุดของภาพต้องเสร็จสิ้นภายในเวลา 1.6 มิลลิวินาที

สัญญาณภาพ

สัญญาณภาพรวม(Composite video signal) จะประกอบไปด้วย สัญญาณข้อมูลภาพ สัญญาณแบลิ่งค์ และ สัญญาณซิงค์ อนุส่วนของสัญญาณซิงค์และแบลิ่งค์ ยังแบ่งออกเป็นสัญญาณซิงค์และแบลิ่งค์อนุแนวนอน สัญญาณซิงค์และแบลิ่งค์อนุแนวตั้ง ความสว่างหรือระดับความเข้มของแต่ละจุดอนุภาพของสัญญาณโทรทัศน์ ขึ้นอยู่กับระดับเวลาเตะของสัญญาณ ลักษณะของสัญญาณภาพ ดังแสดงอนุรูป



อนุช่วงสุดท้าย ก่อนที่จะถึงสัญญาณซิงค์ จะมีช่วงเวลาสั้นๆ เรียกว่า ขอบหน้า(Front porch) เนื่องจากว่าการเปลี่ยนระดับสัญญาณภาพ ซึ่งมีระดับต่าง ๆ กัน เพื่อให้มาอยู่อนุระดับสัญญาณซิงค์ที่เท่ากันนั้น ช่วงของการเปลี่ยนแปลงของ สัญญาณอนุการเปลี่ยนแปลงระดับ จะมีเวลาหน่วงเล็กน้อย ถ้าหากสัญญาณที่เปลี่ยนมี ระดับเปลี่ยนมาไม่เท่ากันก็จะทำให้เวลาหน่วงออกยาว ถ้าหากบ่อนสัญญาณซิงค์หลังสัญญาณ ภาพ ก็จะทำให้ช่วงของสัญญาณซิงค์แต่ละช่วงไม่คงที่ ซึ่งจะทำให้ภาพที่ได้บิดเบี้ยวเบ อนุการแก้ปัญหาดังกล่าว จึงต้องทำให้สัญญาณมีระดับเท่ากันก่อนที่จะให้สัญญาณซิงค์ คือ ช่วงเวลาขอบหน้านั้นเอง เช่นกัน หลังจากสัญญาณซิงค์ จะมีช่วงเวลาขอบหลัง(Back porch) ซึ่งเป็นระดับความเข้มสีดำ เพื่อเตรียมรับสัญญาณภาพต่อไป

วงจรสร้างสัญญาณซิงค์

วงจรสร้างสัญญาณซิงค์หรือซิงค์เจเนอเรเตอร์(Sync generator)

เป็นส่วนของการสร้างสัญญาณซิงค์และแบลิ่งค์ โดยส่วนเอาต์พุตของวงจรประกอบไปด้วย

V-sync

H-sync

sync

V-blank

H-blank

Blank

ส่วนของการสร้างสัญญาณจะใช้คริสตอลความถี่ 10.695 MHz
 งานที่ได้กล่าวถึงพื้นฐานเกี่ยวกับทีวีและสัญญาณภาพ ลักษณะของการเกิดภาพ การสแกนและส่วนประกอบของภาพ ซึ่งจะเป็นพื้นฐานนำไปใช้งานเกี่ยวกับการสแกนภาพต่อไป

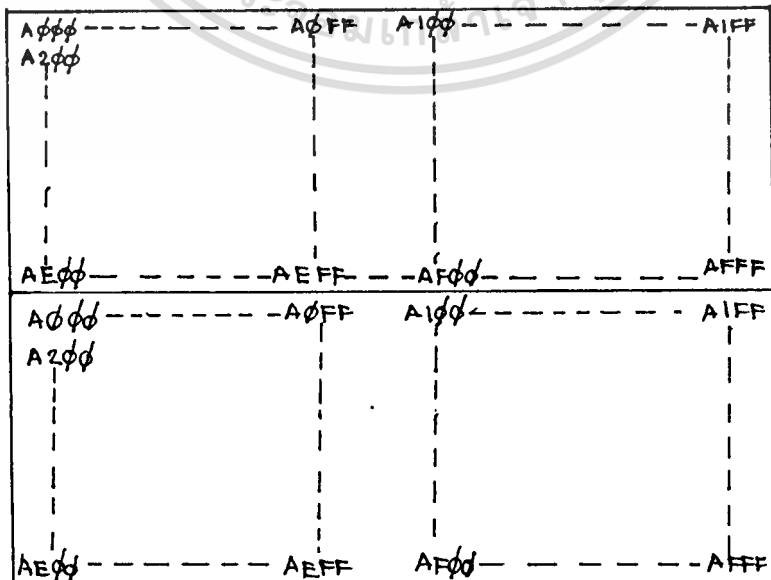


หลักการของวงจร

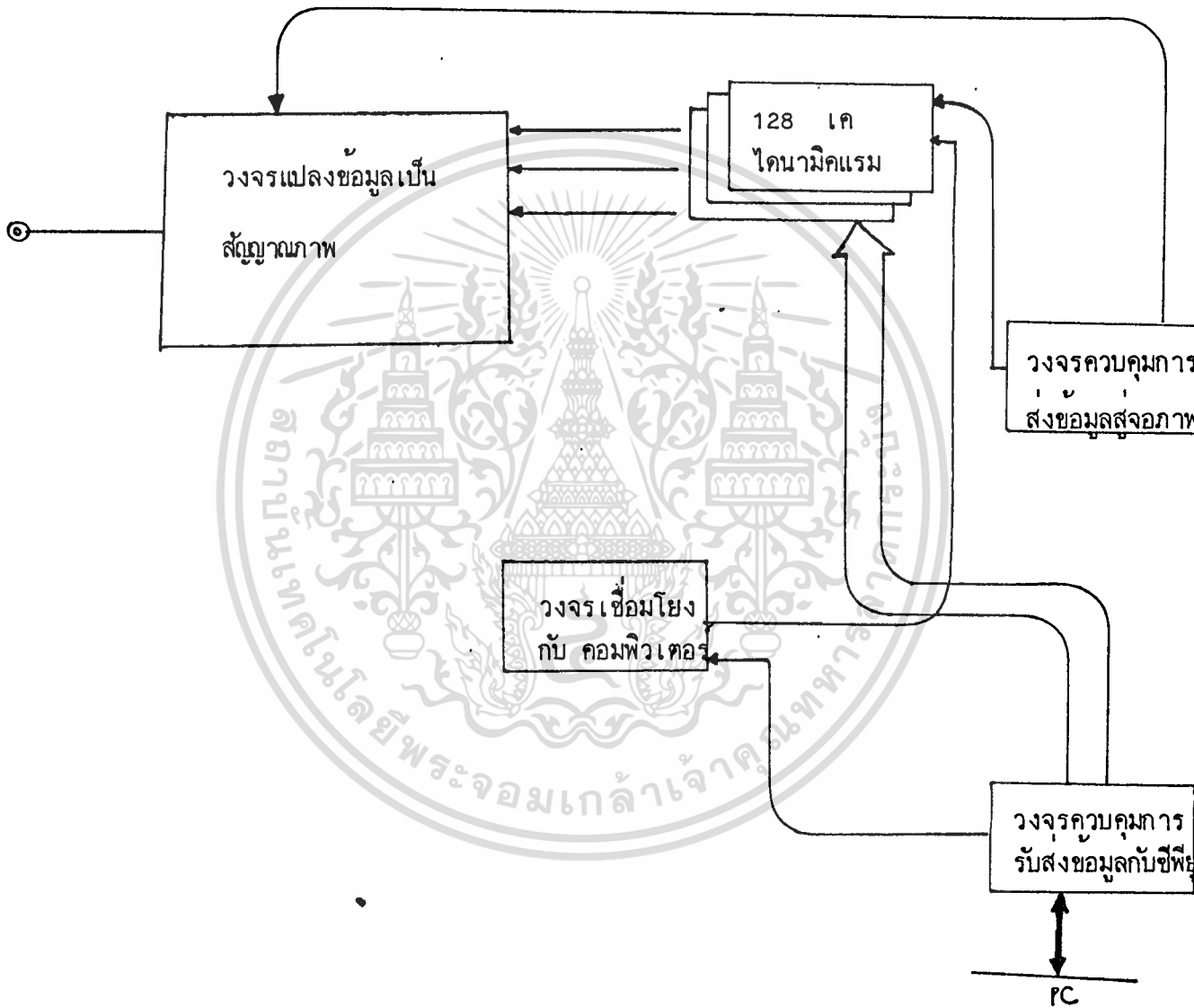
ระบบที่สร้างขึ้นนี้ ำให้รายละเอียดของจุดภาพ แนวนอนและแนวตั้งคือ 512x256 จุด ฉะนั้นจำนวนจุดภาพทั้งหมดคือ 128K จุด จะเห็นว่าตัวารายละเอียดจุดภาพมีจำนวนสูง เพื่อให้เข้าได้กับระบบโทรทัศน์ในประเทศไทย ความถี่ในการส่งข้อมูลจุดภาพ 1 จุดจึงต้องสูง

สำหรับหน่วยความจำที่เข้าเก็บข้อมูลจุดภาพ เราจะใช้หน่วยความจำที่มีความจุอย่างน้อย 128K ต่อ 1 บิท(bit) เพื่อที่จะเก็บข้อมูลจุดภาพได้ครบ ซึ่งในที่นี้ ข้อมูล 1 บิทจะเก็บจุดภาพ 1 จุด ชุดของหน่วยความจำ 1 ชุด(Bank)นี้ ถ้าเราต้องการเก็บข้อมูลของจุดภาพหนึ่งจุดให้สูงขึ้นเราจะขยาย ชุดหน่วยความจำออกไปอีก ในที่นี้เราจะใช้ 3 ชุด ทำให้เก็บข้อมูล 1 จุดภาพใช้ข้อมูล 3 บิท

การป้อนข้อมูลในหน่วยความจำเพื่อส่งข้อมูลออกสู่จอภาพ ข้อมูลดังกล่าวอาจได้มาจากวงจรแปลงสัญญาณ(Analog to Digital converter) หรือจากส่วนประมวลผลกลาง (CPU) เพื่อควบคุมการแสดงผลบนจอภาพ สำหรับการทํางานของ ส่วนประมวลผลกลาง เพื่อควบคุมจอภาพ จะใช้หลักการอ้างอิงแอดเดรส(address) ลงบนตำแหน่งต่าง ๆ บนจอภาพ นั่นคือ ส่วนประมวลผลกลางจะมองเห็นจอภาพเป็นตำแหน่งแอดเดรสตำแหน่งต่าง ๆ ดังรูป



นั่นคือเราจองพื้นที่ข้างอิงตั้งแต่ตำแหน่ง A000-AFFF จำนวน 64KB ข้างอิงทีละเครื่อง จอระดยจะเป็นเครื่องจอบนหรือล่างนั้นส่วนประมวลผลกลางจะพิจารณาจากข้อมูลทีเก็บบน แอดเดรส 02F0 ว่า เป็น 0 หรือ 1 ถ้าเป็น 0 จะหมายถึงเครื่องจอบน 1 หมายถึง เครื่องจอล่าง การทำงานของระบบแสดงตามนี้.



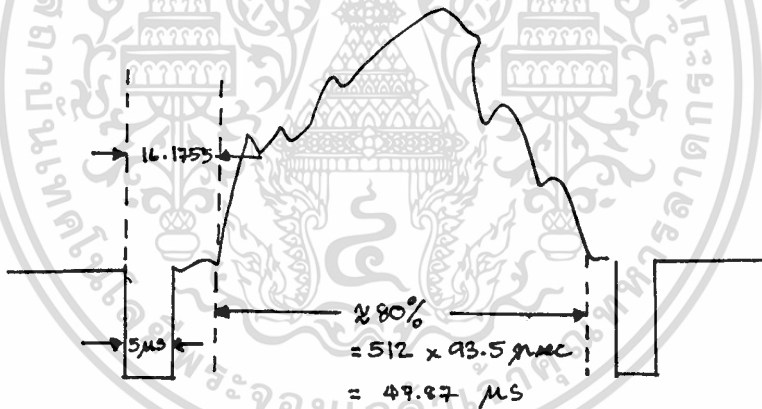
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ ๓

การคำนวณและการออกแบบวงจร

ระบบสัญญาณโทรทัศน์ในประเทศไทย ให้ความถี่จำนวนภาพ 25 ภาพต่อวินาที และให้ความถี่จำนวนเส้น 625 เส้นต่อภาพ ฉะนั้นความถี่เส้นคือ $625 \times 25 = 15,625$ เส้นต่อวินาทีหรือเส้นหนึ่งใช้เวลา = $1/15,625 = 64 \text{ microsecond}$

วงจรนี้ให้ความถี่ในการสร้างจุดภาพ 1 จุดเป็น 10.695 MHz ฉะนั้น 1 จุดจะใช้เวลา = $1/10.695 = 93.5 \text{ nanosecond}$ ดังนั้นใน 1 เส้นแสดงจุดภาพได้ = $64/93.5 \text{ nsec} = 685$ จุด โดยประมาณ เราจะใช้แสดงส่วนของภาพจำนวน 512 จุด ที่เหลือจะเป็นส่วนที่เก็บสัญญาณแบบสังค์และสัญญาณซิงค์ แนวนอนซึ่งจะกินเวลาประมาณ $(685 - 512 = 173) \times 93.5 \text{ nsec} = 16.1755 \text{ microsecond}$ ดังรูป



หน่วยความจำแรมที่เข้าถึงข้อมูลวีดีโอ เราใช้ไดนามิคแรม 4116 ซึ่งมีความเร็วในการรับข้อมูลเข้า (access) = 200 nsec มีขนาดหน่วยความจำ 128 KB ต่อ 1 บิท จะเห็นได้ว่าความเร็วของการสแกนสัญญาณวีดีโอ 1 จุด เร็วกว่าความเร็วในการแอดเดสข้อมูล 1 บิท นั่นคือ ไดนามิคแรมส่งข้อมูลออกมาพร้อมกับการสร้างภาพ

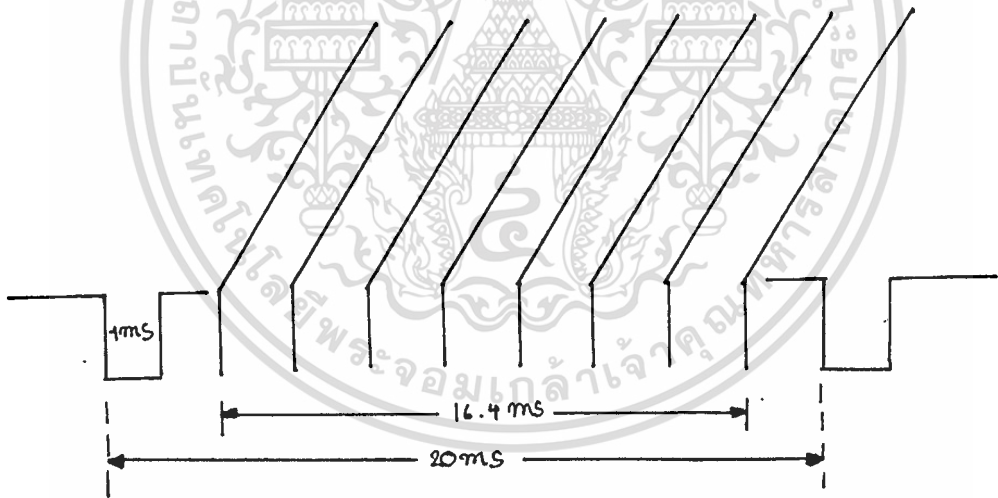
หลักการส่งข้อมูลสัญญาณภาพให้ทันก็คือ เราจะสแกนสัญญาณภาพวีดีโอพร้อมๆกันทีเดียว 8 จุดซึ่งต้องใช้เวลามากขึ้นเป็น 8 เท่าคือ $8 \times 93.5 \text{ nsec} = 748 \text{ nsec}$

ในขณะที่การส่งข้อมูลออกจากไดนามิคแรม 8 บิทจะใช้เวลาไดนามิคแรม 8 ตัวส่งก็ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ออกมาพร้อมๆกัน ฉะนั้น ควบคุมมิกซ์แต่ละตัวจะทำการส่งข้อมูลเพียงครั้งเดียวและ
ยังคงใช้เวลาเท่าเดิมคือ 200 nsec

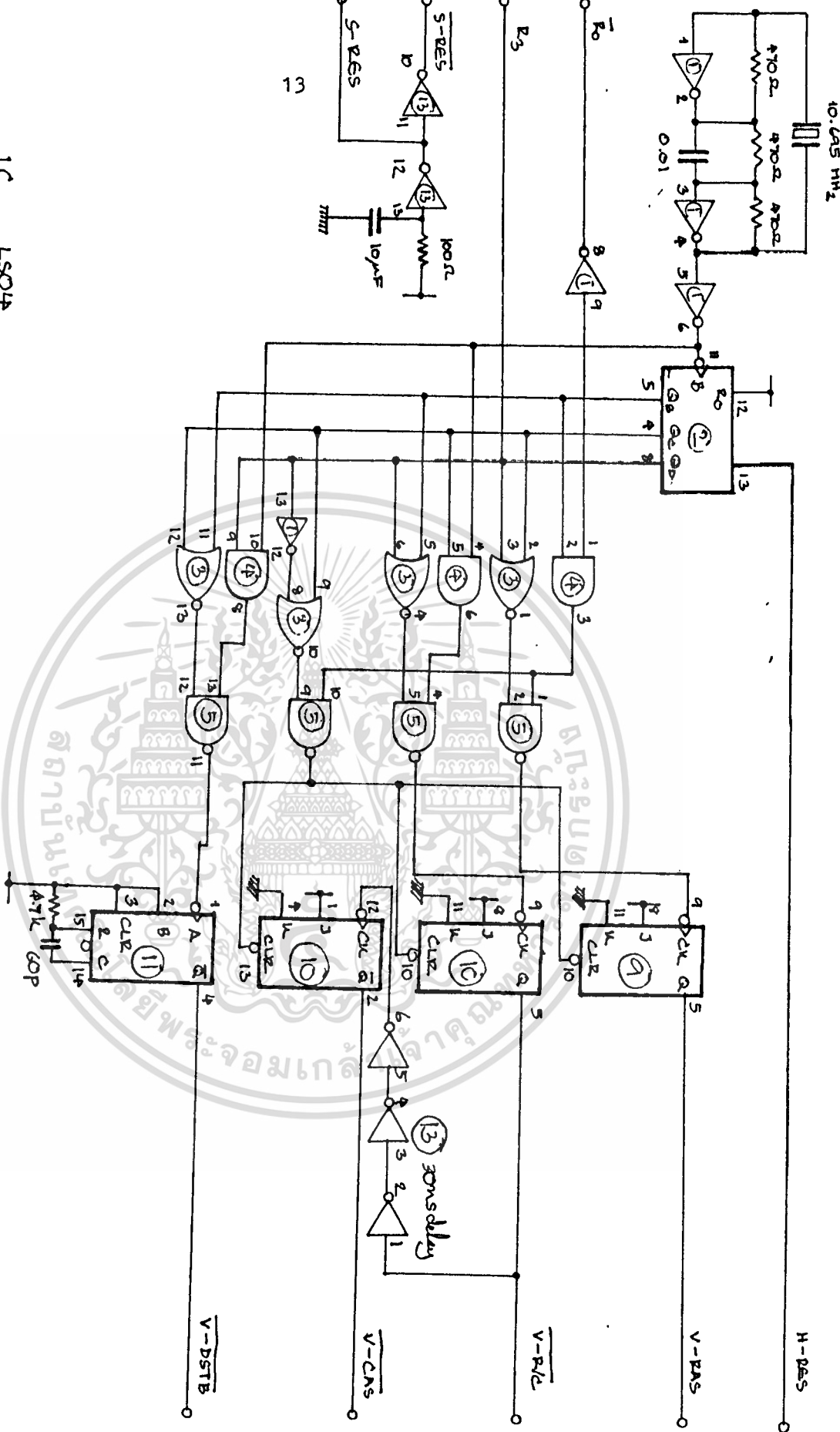
สำหรับการสแกนภาพแนวตั้งนั้นระบบในประเทศกำหนดค่าให้ 1 ภาพ
ประกอบด้วย 2 ฟิลด์ (field) ฉะนั้นความถี่จำนวนฟิลด์ = $2 \times 25 = 50$ ฟิลด์ต่อวินาที
หรือสัญญาณซิงค์แนวตั้งมีความถี่ 50 Hz นั่นเอง ฉะนั้นเวลาที่ขานการสแกน
สัญญาณแนวตั้ง 1 ครั้งจะใช้เวลา $1/50 = 20$ msec

จากวงจรจำนวนเส้นขานแนวนอนที่เราชี้ทั้งหมดคือ 256 เส้น เมื่อหนึ่ง
เส้นใช้เวลาตามมาตรฐานที่กำหนดคือ 64 microsecond ฉะนั้นเวลาที่ขานการสแกน
ทั้งหมด 256 เส้นคือ $256 \times 64 \text{ microsec} = 16.4 \text{ msec}$ จะเหลือช่องว่างที่ไม่เห็น
 $= 20 - 16.4 = 3 \text{ msec}$ ซึ่งจะเป็นช่องว่างที่เก็บสัญญาณแบลิ่งค์และซิงค์แนวตั้งนั่นเอง



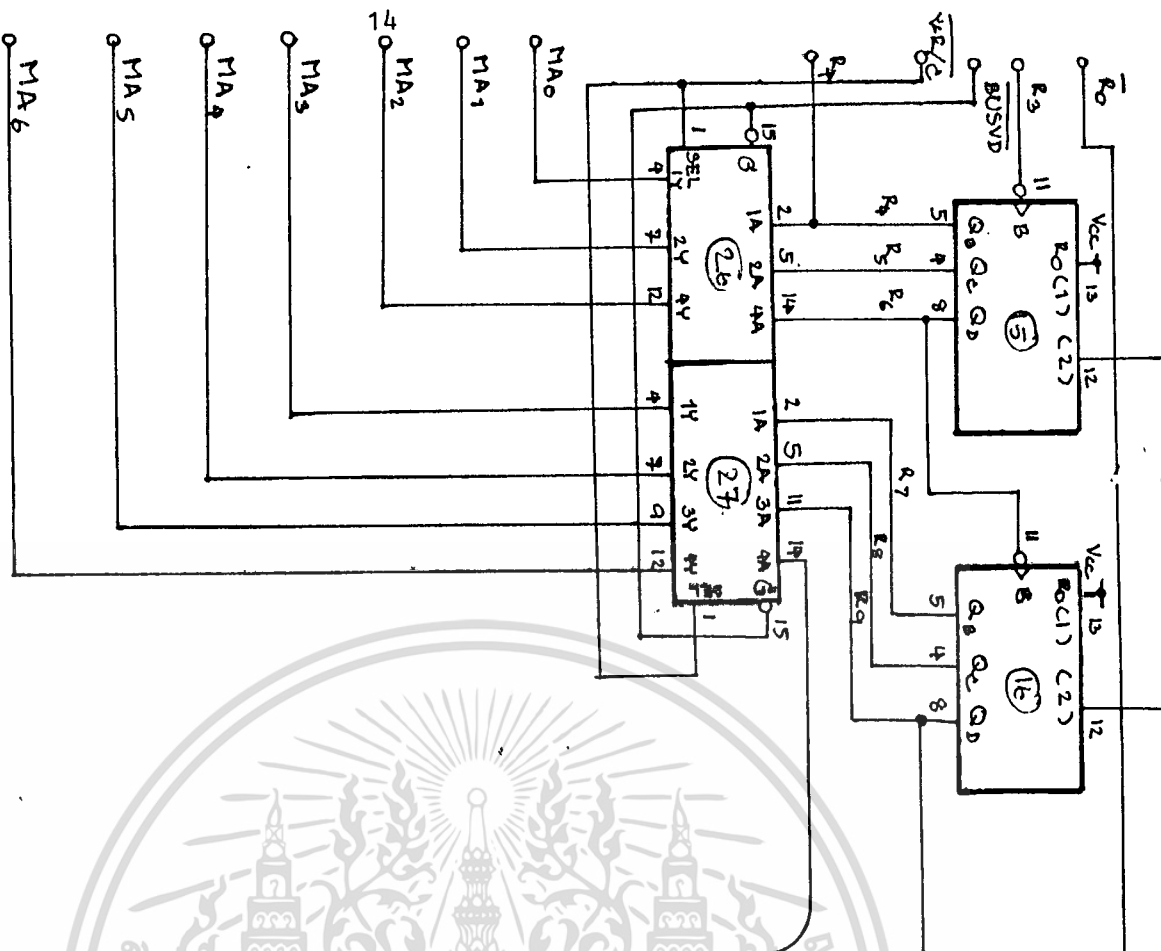
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

IC₁ LS014

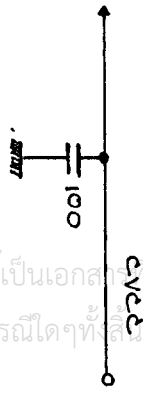
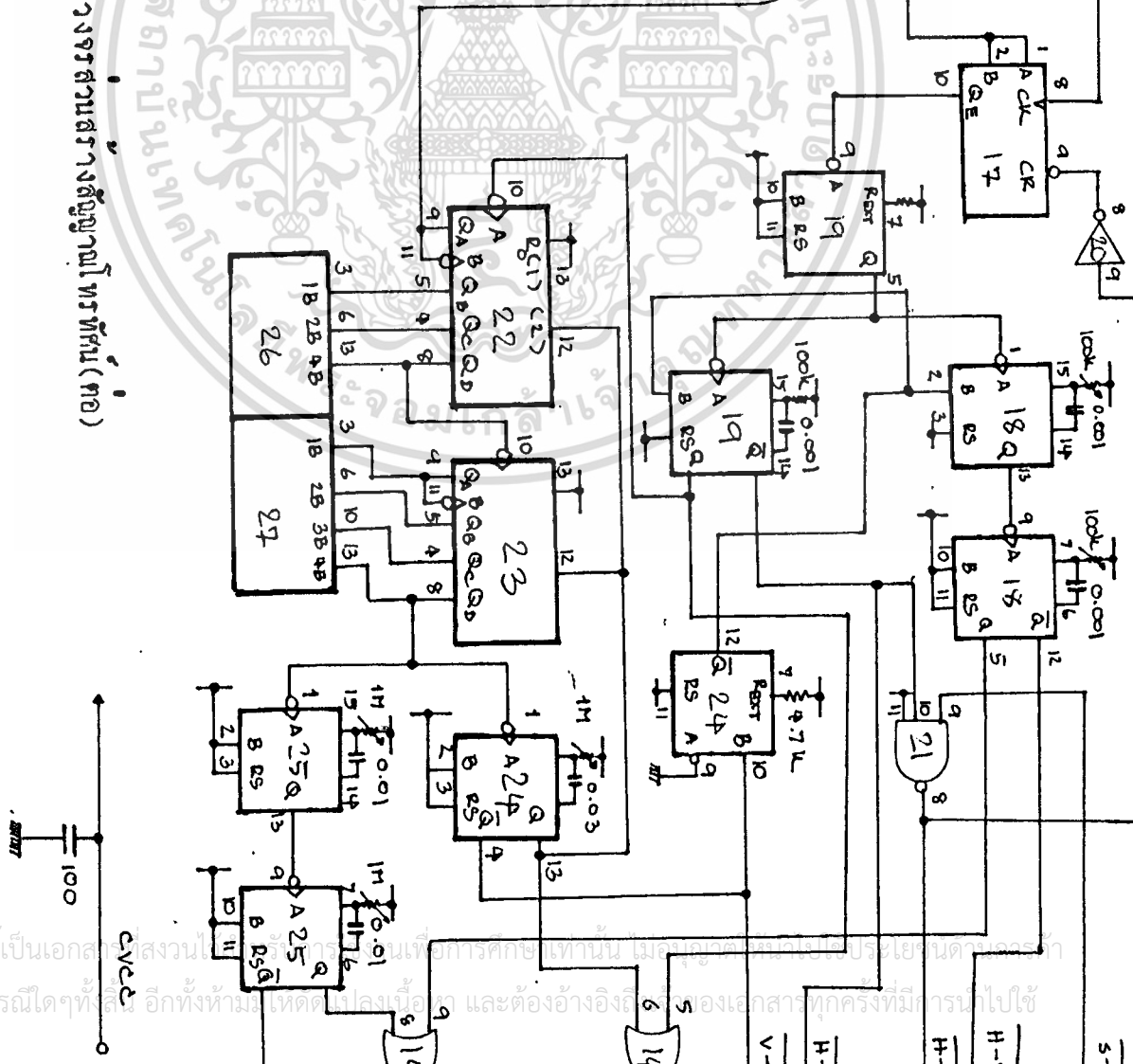


วงจรส่วนสร้างสัญญาณโทรทศน์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

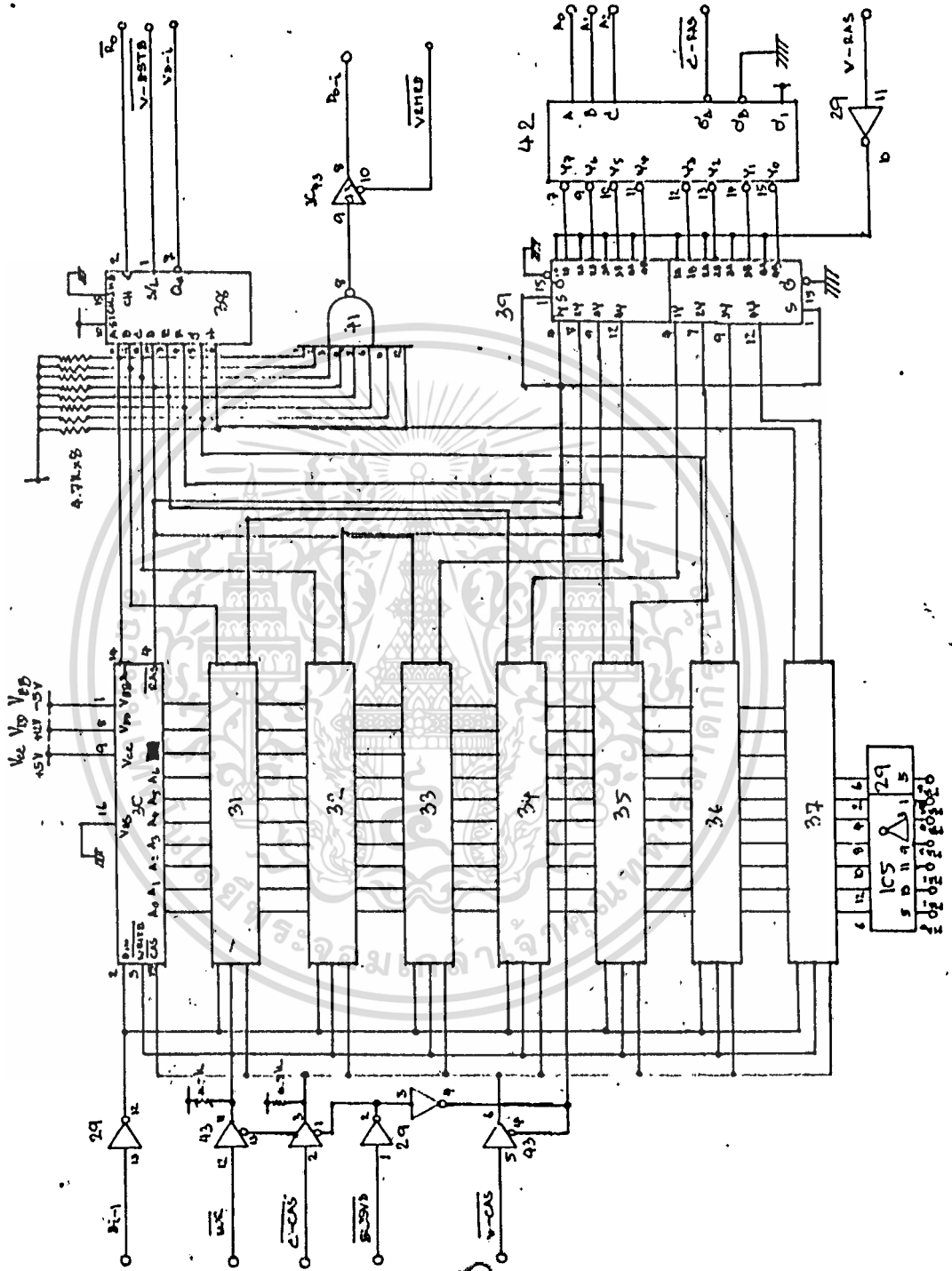


วงจรถ่ายทอดสัญญาณทรานซิวเลอร์ (ต่อ)



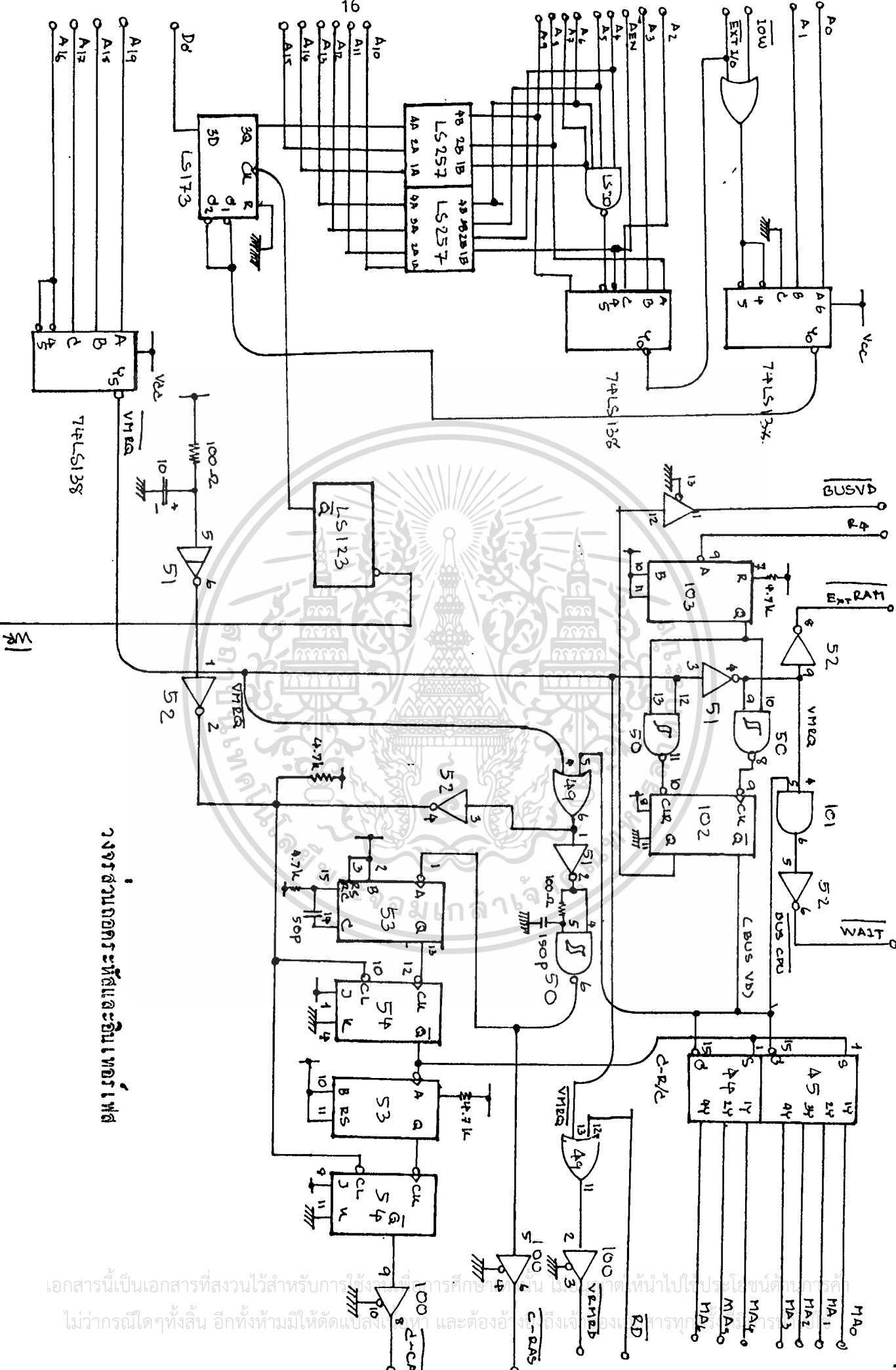
เอกสารนี้เป็นเอกสารสงวนลิขสิทธิ์ของมหาวิทยาลัยเทคโนโลยีพระจอมเกล้าธนบุรี ไม่ควรนำเอกสารนี้ไปเผยแพร่โดยไม่ได้รับอนุญาตจากทางมหาวิทยาลัย

ไม่ว่ากรณีใดๆ ห้ามทำซ้ำโดยไม่ได้รับอนุญาต และต้องอ้างอิงถึงชื่อของเอกสารทุกครั้งที่มีการนำไปใช้



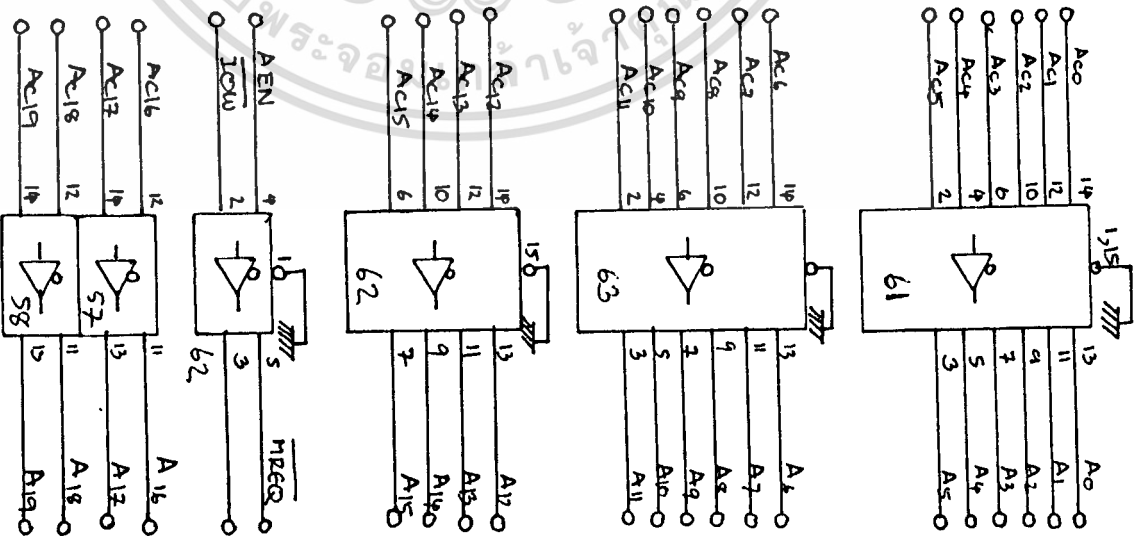
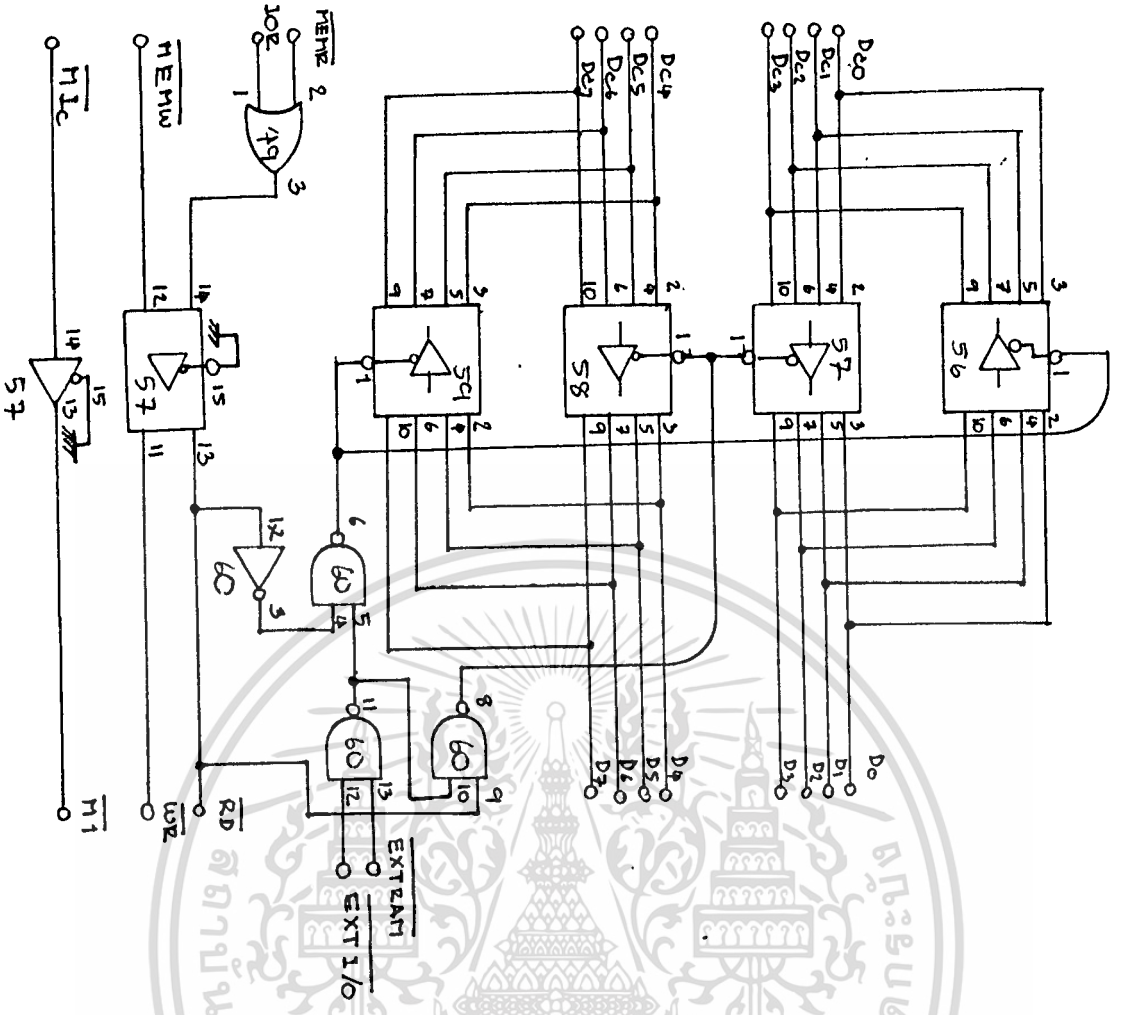
วงจรรวมการคิด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



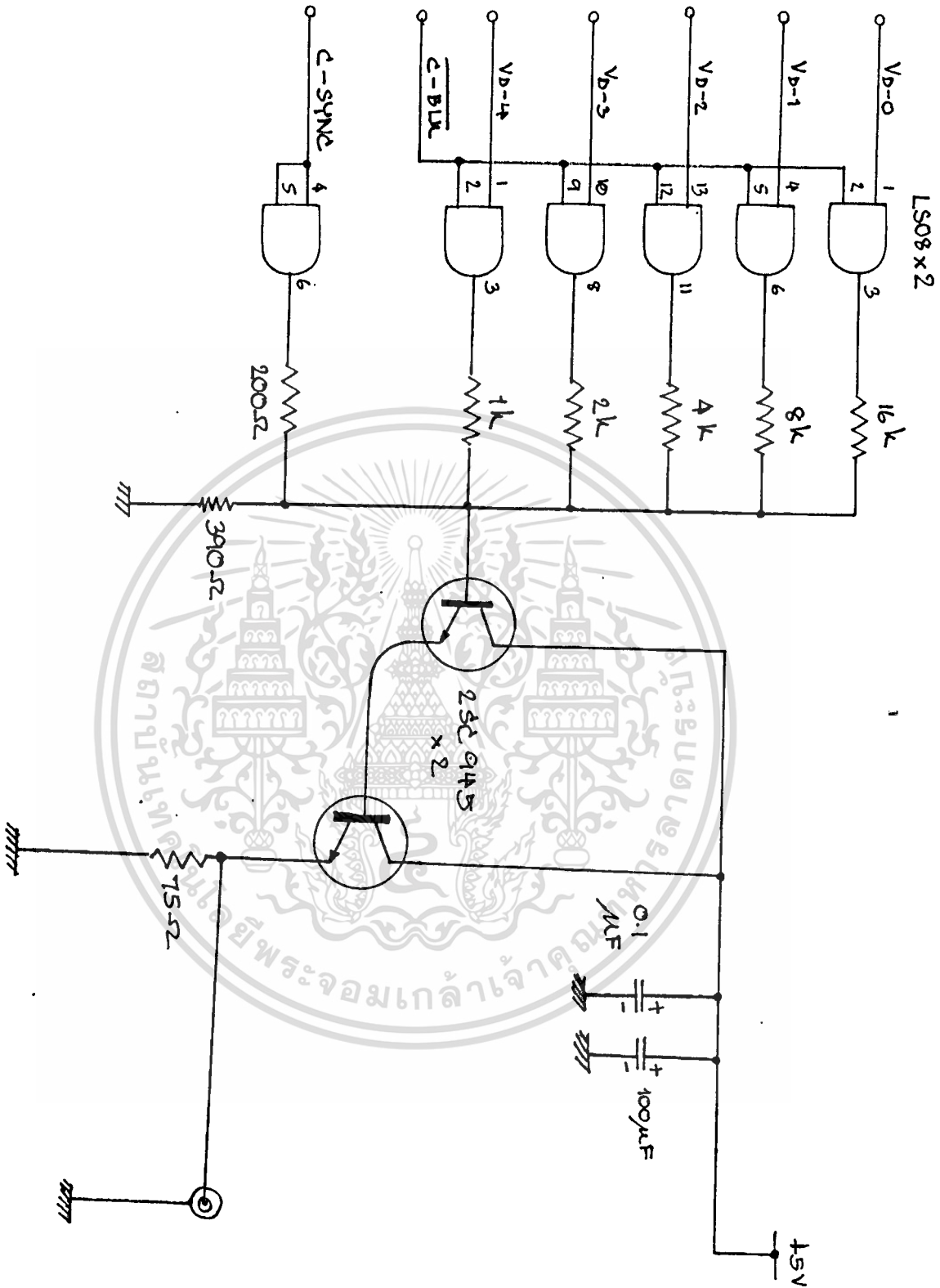
วงจรถามยอดครุฑสี่และอินเพทอร์เฟด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานภายในของมหาวิทยาลัยเทคโนโลยีพระจอมเกล้าธนบุรี หากท่านใดต้องการนำเอกสารนี้ไปใช้ประโยชน์ด้านการศึกษา
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลง ใดๆ และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้ง



วงจรส่วนบัพเฟอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



วงจรส่วนไครฟ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คุณสมบัติของไดนามิคแรมและการใช้งานในวงจร

ไดนามิคแรม 4116 เป็นหน่วยความจำแบบไดนามิค(dynamic) ที่ต้องรีเฟรช(refresh) ข้อมูลอยู่เสมอมิฉะนั้นข้อมูลจะสูญหายได้ แต่เนื่องจากการส่งข้อมูลออกสู่จอภาพเกิดขึ้นตลอดเวลา ทำให้เกิดการอ่านข้อมูลซ้ำจึงช่วยให้เกิดการรีเฟรช งานตัวอย่างที่แสดงจึงไม่ต้องใช้ ส่วนประมวลผลกลางสร้างสัญญาณรีเฟรชให้

ไดนามิคแรม ถูกใช้งานในวงจรร่วมกับส่วนประมวลผลกลาง และวงจรควบคุมวีดีโอ ฉะนั้นเพื่อให้งานสามารถทำงานร่วมกันได้จึงต้องแบ่งช่วงเวลาการทำงานคนละช่วงแบบทิมแชร์ริ่ง (Time sharing) โดยช่วงที่ส่วนประมวลผลกลางติดต่อกับไดนามิคแรมเพื่อส่งถ่ายข้อมูล จะเป็นช่วงที่วงจรควบคุมวีดีโอ สร้างสัญญาณแบสส์และหยุดการติดต่อกับไดนามิคแรมชั่วขณะหนึ่ง

วงจรควบคุมการทำงานของไดนามิคแรม

ไดนามิคแรม 4116 มีขนาด 16KB แอดเดส 16 ไทม์ = 200-300 nsec มีแอดเดรส 7 เส้น แต่มีลทิเพล็กซ์ (Multiplex) 2 ครั้งจึงอ้างถึงได้ $2^{14} = 16 \text{ KB}$ โดยอ้างสัญญาณควบคุม 2 เส้น คือ RAS กับ CAS

จากวงจรถูก

ไดนามิคแรมจะติดต่อกับส่วนประมวลผลกลางและวีดีโอ ในช่วงเวลาต่างกันโดยการควบคุมของสัญญาณ BUSVD ทำให้การเชื่อมติดต่อกันถูกแยกออกดังนี้คือ

1. เมื่อ BUSVD มีสถานะเป็น 0 จะปิดเกท(gate) ที่รับสัญญาณ ติดต่อกับส่วนประมวลผลกลาง คือ C-CAS , WR แล้วจะเปิดเกทของสัญญาณ V-CAS และเชื่อมสัญญาณ V-RAS เข้ากับไดนามิคแรม ทุกตัว ในภาวะนี้ ไดนามิคแรมทั้ง 8 ตัว จะได้รับสัญญาณควบคุม CAS หรือ RAS พร้อมๆกันจากวีดีโอ จึงส่งข้อมูลออกมาทั้ง 8 ตัว พร้อมๆกันเป็นแบบขนาน แล้วจะถูกเลื่อน(shift)ออกไปแบบอนุกรม ในช่วง

เอกสารนี้เป็นเอกสารที่วางไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า เวลาที่ถูกระบุโดยความถี่ของ V-DSTB (video data strobe)

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2. เมื่อ BUSVD มีสถานะเป็นหนึ่งใน จะสลับการทำงานมาติดต่อกับ ส่วนประมวลผลกลางทั้งหมด สัญญาณ WR และ C-CAS จะเชื่อมต่อกับ ควบคุมแอดเดรสทั้ง 8 ตัวไว้ด้วยกันโดย C-CAS จะแยกการติดต่อควบคุมของแอดเดรสทั้ง 8 ตัวออกจากกันด้วยการถอดรหัส (decode) ของแอดเดรส A_0, A_1, A_2 ฉะนั้นส่วนประมวลผลกลางจึงติดต่อกับแอดเดรสได้ทีละตัว ข้อมูลระหว่างส่วนประมวลผลกลางกับแอดเดรสจะถ่ายเทได้ทั้งใน ช่วงการอ่าน (read cycle) และช่วงการเขียน (write cycle) ขึ้นกับการควบคุมของ WR ควบคุมแอดเดรสชุดนี้สามารถบรรจุข้อมูลจากส่วนประมวลผลกลางได้ถึง 128 KB BUSVD จึงเป็นสัญญาณควบคุมแบบบัสเวิร์ดซึ่งเพื่อแบ่งสรรการทำงานของแอดเดรสชุดเดียวกัน กับส่วนประมวลผลกลาง หรือวงจรวีดีโอ โดยความถี่ของ BUSVD ประมาณ $1/18$ nsec.



การทำงานของเอาต์พอร์ท I/O ช่วงการเขียนข้อมูล(out port I/O)

เอาต์ 01 และ 02 เป็นตัวถอดรหัสโดยต้องการการถอดรหัสให้เอาต์พอร์ทที่ Y_0 แอคทีฟ(active) จึงต้องการการเข้ารหัสที่ อินพุต(input) A, B, C = 0, 0, 0 โดยการควบคุมของคำสั่ง IOW และ AEN ฉะนั้นจึงต้องการเข้ารหัส 1011110000 ใน ช่วงการเขียน(write cycle) ซึ่งก็คือ 02F0 นั่นเอง แล้วจะ ทาให้ LS 173 ซึ่งเป็น $D_{F/F}$ ทางานส่งผ่านข้อมูล D_0 ไปยังเอาต์ 05 ซึ่งก็คือ แอดเดรสซีเลคเตอร์ และ มัลติเพล็กซ์เซอร์



รายการเบอร์ไอที

เลขที่

1	LS04	41	LS30	38	LS165
2	LS293	42	LS138	39	LS157
3	LS02	43	LS125A	40	LS157
4	LS08	44	LS257A	60	LS00
5	LS00	45	LS257A	61	LS367
9	LS107A	46	LS173	62	LS367
10	LS107A	47	LS138	63	LS367
11	123	48	LS138		
12	LS04	49	LS32		
14	LS02	50	LS132		
15	LS293	51	LS04		
16	LS293	52	LS05		
17	LS164	53	123		
18	LS123	54	LS107A		
19	LS123	55	LS107A		
20	LS04	100	LS125A		
21	LS10	101	LS08		
22	LS293	102	LS107A		
23	LS293	103	123		
24	LS123	105	LS04		
25	LS123	56	LS367		
26	LS257	57	LS367		
27	LS257	58	LS367		
29	LS04	59	LS367		

30-37 4116(200ns)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

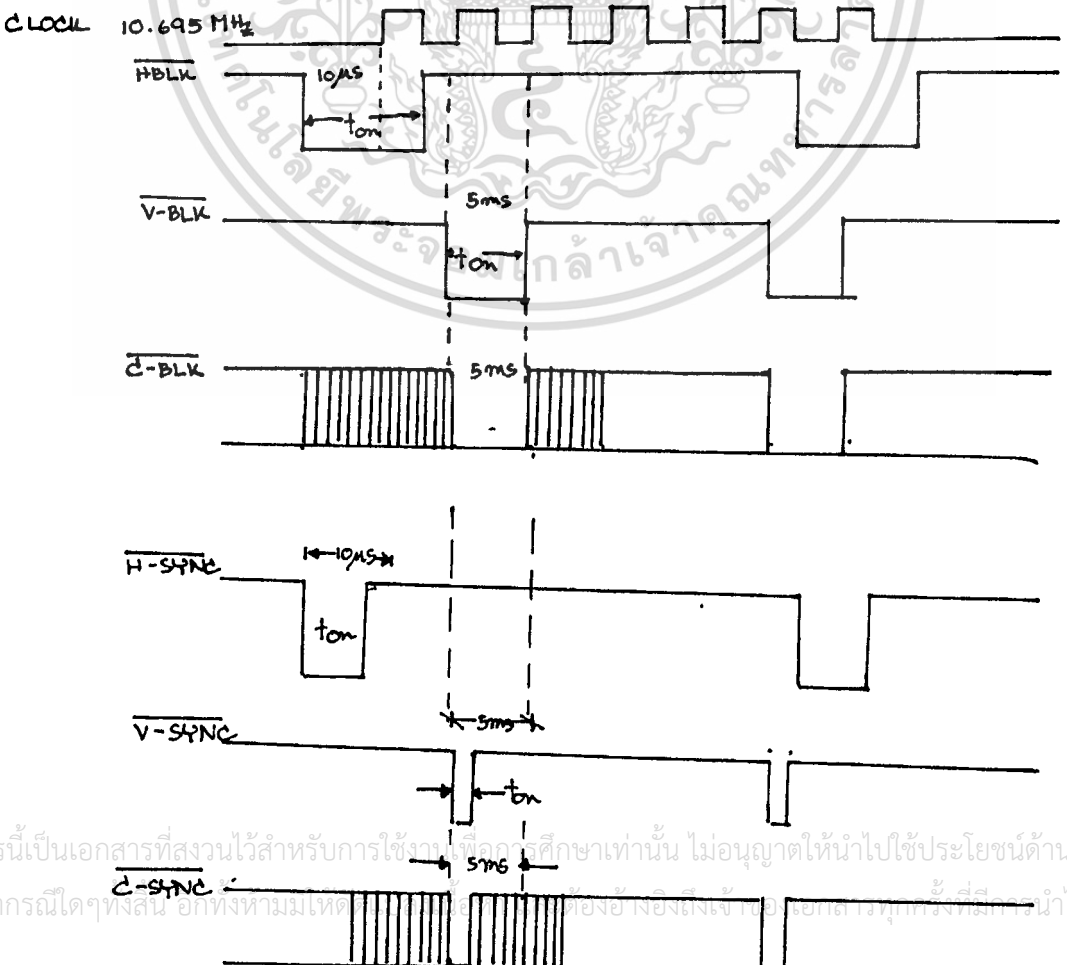
บทที่ ๔

การทดลองและผลการทดลอง

จากการทดลองโดยฯลฯ ลอจิก อานาไลเซอร์ (Logic analyzer) จับสัญญาณต่าง ๆ ดังนี้

- H-BLK HORIZONTAL BLANKING
- V-BLK VERTICAL BLANKING
- C-BLK HORIZONTAL & VERTICAL BLANKING
- H-SYNC HORIZONTAL SYNCHRONIZATION
- V-SYNC VERTICAL SYNCHRONIZATION
- C-SYNC HORIZONTAL & VERTICAL SYNCHRONIZATION

จากวงจรสร้างสัญญาณเพื่อควบคุมการสแกนบนจอโทรทัศน์ตามวงจรรูปที่ 1 จากผลการทดลองจับสัญญาณแล้วจะได้ผลตามรูปโดยเทียบตารางเวลาเดียวกันดังนี้



การทดลอง สัญญาณควบคุมของสัญญาณโทรทัศน์

H-BLANK $t_{on} = 16 \text{ microsecond}$
 ความถี่ประมาณ 15151.15 Hz

V-BLANK $t_{on} = 5 \text{ millisecond}$
 ความถี่ $= 38.46 \text{ Hz}$

H-Sync $t_{on} = 8 \text{ microsecond}$

V-Sync $t_{on} = 1 \text{ millisecond}$

ค่าความผิดพลาด (error)

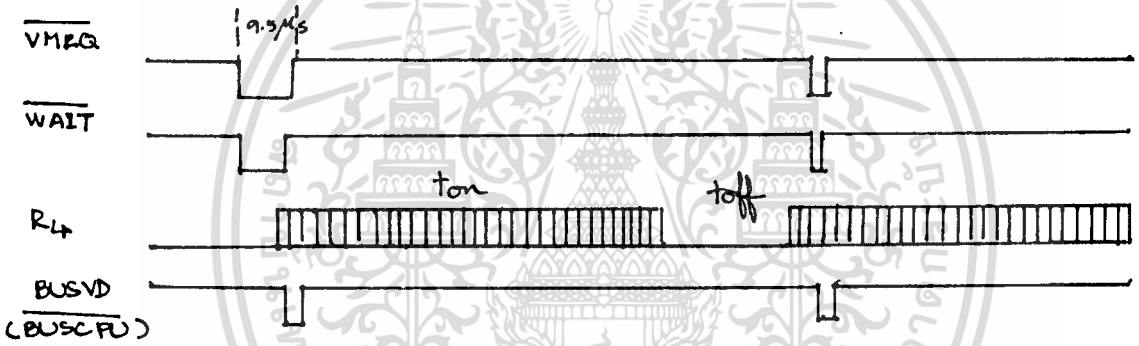
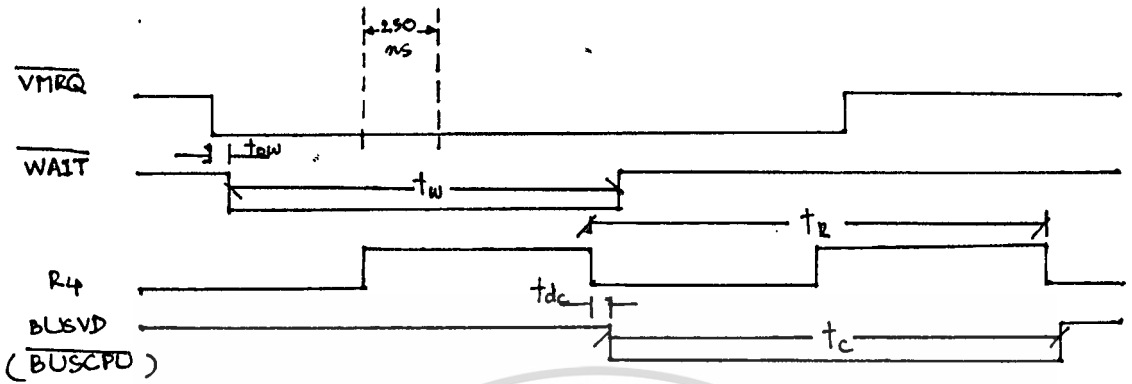
$$\text{ความถี่ H-BLANK} = (15625 - 15151.15) \times 100 / 15625$$

มีค่าประมาณ 3%

$$\text{ความถี่ V-BLANK} = (38.46 - 25) \times 100 / 25$$

มีค่าประมาณ 53%

การทดลองสัญญาณควบคุมใหม่แชร์ริง (Time sharing)



จากรูปบนเป็นการทดลองจับคู่รูปคลื่น (Timing Diagram) ของสัญญาณที่เกิดขึ้นจริงโดยวงจรล็อกจิก อนุภาคเซอร์จับคู่รูปคลื่นในช่วงเวลาเดียวกัน จากรูปแสดงให้เห็นความสัมพันธ์ ในการสร้างสัญญาณควบคุมที่สำคัญคือ $BUSVD$ ซึ่งเป็นสัญญาณที่เข้าแบ่งช่วงเวลาการทำงานของส่วนประมวลผลกลางและวงจรวีดีโอ ดิสเพลย์ (Video display) จากรูป ช่วงเวลาที่ $BUSVD$ เป็น 0 คือช่วงที่อนุญาตให้ส่วนประมวลผลกลางติดต่อกับขดนามิคแรมาด์นานที่สุด สำหรับวงจรที่เข้ารับการทดลองจับสัญญาณนี้คือ วงจรที่ 4

การทดลอง

ช่วงเวลาที่ \overline{WAIT} เกิดแอคทีฟ (active) $t_{on} = 1300 \text{ nsec}$

ช่วงเวลาที่ \overline{WAIT} จากสัญญาณ \overline{VMRQ} $t_{on} = 50 \text{ nsec}$

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทดลองสัญญาณควบคุมมาทรีแชนร์รีิ่ง (ต่อ)

กราฟรูปล่างเป็นสัญญาณที่เกิดขึ้นบนสองรอบการทำงานของส่วนประมวลผลกลาง (BUSCPU แอคทีฟ 2 ครั้ง) จะสังเกตเห็นว่า R_4 หยุดสร้างสัญญาณคล็อกในช่วงหนึ่ง ช่วงเวลาดังกล่าวก็คือช่วงของสัญญาณ H-BLANK นั้นเอง ช่วงที่ R_4 ผลิตคล็อก จึงเป็นช่วงที่ส่วนวีดีโอคิสเพลย์ สร้างสัญญาณสแกนแนวนอน ขณะเดียวกัน BUSCPU จะแอคทีฟในช่วงนี้เช่นเดียวกัน ฉะนั้นช่วงเวลาที่เส้นสแกนเกิดขึ้นบนจอภาพจึงประมาณได้ว่าเกิดขึ้นตั้งแต่ BUSCPU เป็น HIGH จนกระทั่งเกิดสัญญาณแบลิ่งค์ทำให้ R_4 หยุดการสร้างคล็อก

การทดลอง

$$R_4 \quad t_{on} = 50 \text{ microsecond}$$

$$t_{off} = 16 \text{ micrisecond}$$

$$t_{on} + t_{off} = 66 \text{ microsecond}$$

$$\begin{aligned} \text{ดังนั้นความถี่ H-BLANK} &= 1/t_{on} + t_{off} = 1/66 \text{ microsec} \\ &= 15151.15 \text{ Hz} \end{aligned}$$

$$\text{BUSCPU} \quad t_{RC} = 2.85 \text{ microsecond}$$

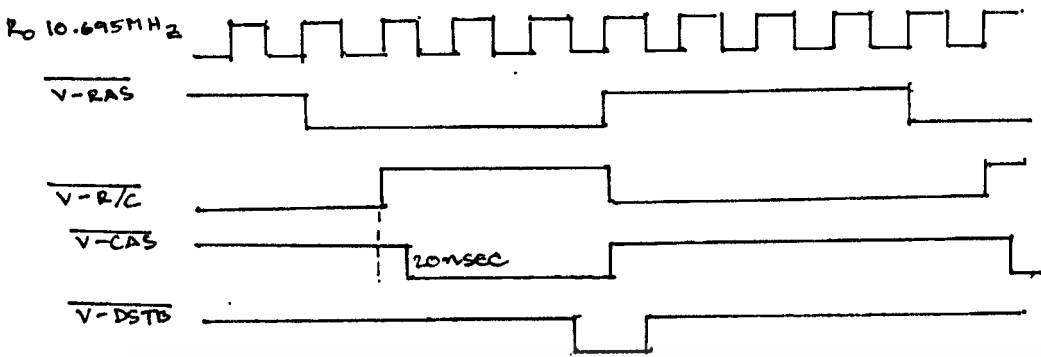
$$\begin{aligned} \text{ช่วงเวลาที่เส้นสแกนเกิดขึ้นบนจอ} &= t_{on} - t_{RC} \\ &= 50 - 2.85 \text{ microsecond} \\ &= 47.15 \text{ microsecond} \end{aligned}$$

$$\begin{aligned} \text{เมื่อความถี่ในการส่งข้อมูล} &= 10.695 \text{ MHz} \text{ จะมีจำนวนจุดที่เกิดขึ้นบนจอ} \\ &= 10.695 \times 47.15 \\ &= 504 \text{ จุด} \end{aligned}$$

ค่าความผิดพลาด (error) จากจำนวนจุดแนวนอนออกแบบฯที่เท่ากับ 512 จุด

$$\begin{aligned} \text{error} &= 512 - 504 / 512 \times 100 \\ &= 1.6 \% \end{aligned}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

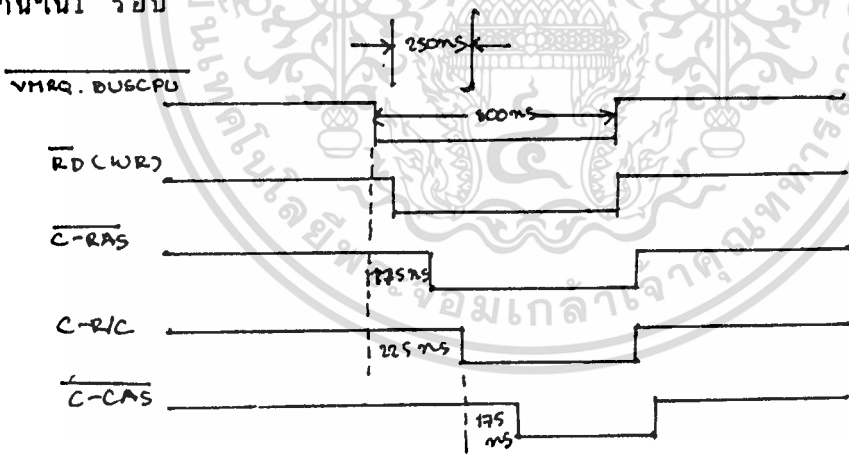


ไทม์มิ่ง ควบคุมสัญญาณควบคุมของ DISPLAY READ CYCLE

ชุด 1 รอบาซ์เวลา ประมาณ 760 nsec

การทดลอง DISPLAY READ CYCLE

V-RAS จะมีค่าต่ำ (low) ที่คส็อกลูกที่สอง และมีค่าสูง (high) ที่ 6 V-R/C จะมีค่าสูงที่คส็อกลูกที่ 3 และมีค่าต่ำที่ลูกที่ 6 V-CAS จะdelay จาก V-R/C 1 รอบการทำงาน 1 รอบ



CPU READ CYCLE

ส่วนประมวลผลกลางจะเริ่มทำงานเมื่อสัญญาณ WAIT ล่มลง นั่นคือจะเริ่มทำงานเมื่อ VMRQ.BUSCPU เป็น low ช่วงเวลาหนึ่งของสัญญาณควบคุมสำคัญที่เข้าติดต่อกับคอนามิคแรมคือ

C-RAS ชุดได้ 175 nsec จากสัญญาณ VMRQ.BUSCPU

C-R/C ชุดได้ 225 nsec ----- , , -----

เอกสารนี้เป็นเอกสารที่จัดทำขึ้นเพื่อใช้ในการศึกษาเท่านั้น ไม่ควรนำข้อมูลไปใช้ประโยชน์ด้านการค้า

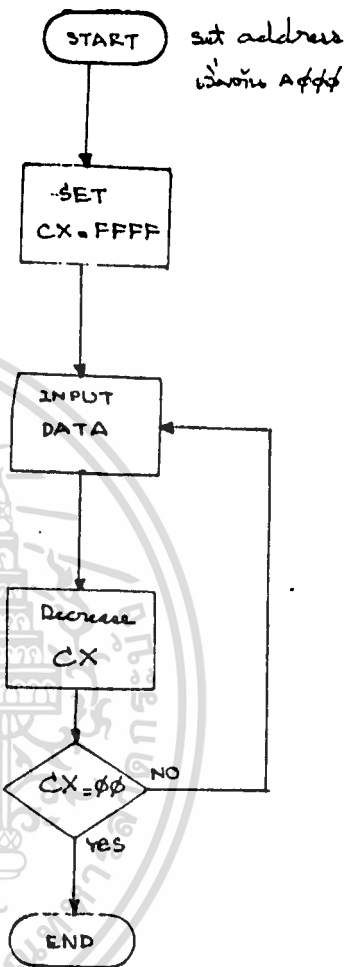
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ซอฟต์แวร์ควบคุม

```

MOV  AX,A000
MOV  ES,AX
MOV  DI,0000
MOV  AX,0000
MOV  CX,FFFF
REPZ
STOSB
INT  20

```



เป็นซอฟต์แวร์ควบคุมระดับความสว่างของจอภาพเครื่องจอ
 โดยระดับความสว่างขึ้นกับข้อมูลที่ป้อนผ่าน รีจิสเตอร์ AX
 ถ้าข้อมูลเป็น 111_2 จะสว่างสูงสุด แต่ถ้าข้อมูลเป็น 000_2
 จะมีคสนิท การควบคุมเครื่องจอจะใช้คำสั่ง OUTPORT ดังนี้

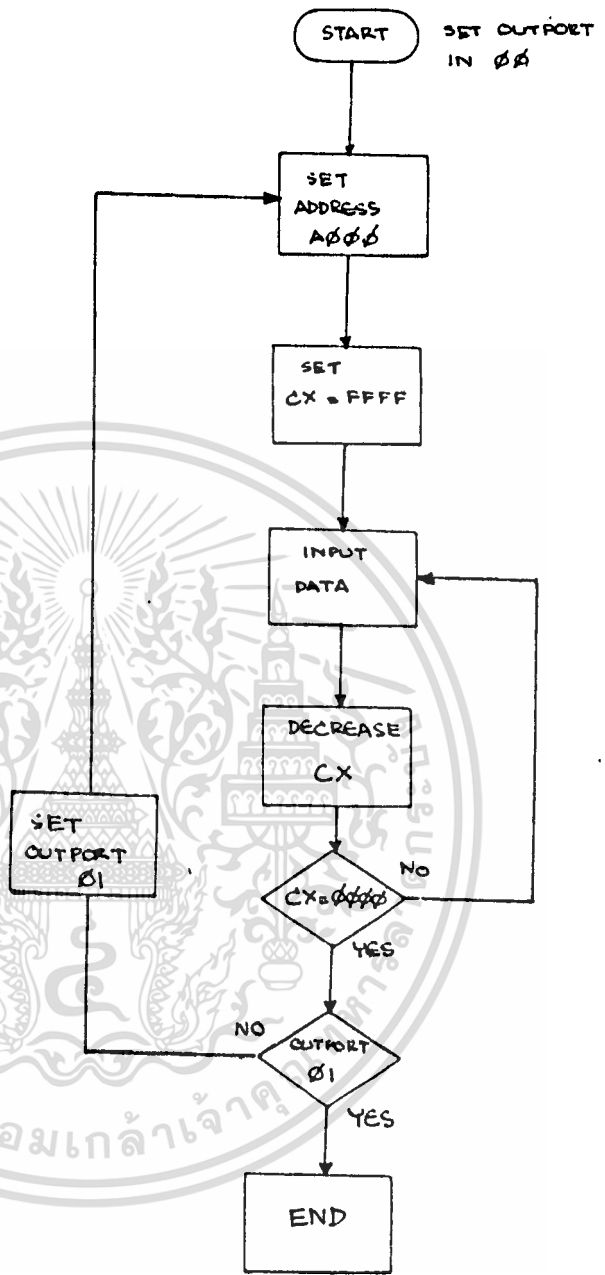
- o $02F0\ 00$

ถ้าเครื่องจอต่างจะใช้คำสั่ง

- o $02F0\ 01$

```

MOV AL,0000
MOV DX,02F0
OUT DX,AL
CALL 0114
MOV AL,01
MOV DX,02F0
OUT DX,AL
CALL 0114
INT 20
MOV AX,A000
MOV ES,AX
MOV DI,0000
MOV AX,00FF
MOV CX,FFFF
REPZ
STOSB
RET
    
```



ซอฟต์แวร์ที่นำมาเปลี่ยนแปลงกับซอฟต์แวร์แล้วแต่ควบคุมการทำงานเต็ม
 จอภาพต่อเนื่องกัน โดยใช้คำสั่ง การเขียนพอร์ทควบคุมในตัวจึงทำงานได้เต็มจอภาพ

บทที่ ๔

บทวิจารณ์และสรุปผล

จากวงจรและหลักการข้างต้นเราสามารถสร้าง รายละเอียดของภาพ (Resolutions) จากเดิม 256 จุด x 256 จุด ต่อภาพ มาเป็น 512 จุด x 256 จุดต่อภาพได้โดยไม่มีสัญญาณรบกวนหรือมีการบิดเบี้ยวของภาพ

และสามารถส่งภาพแถบสีตั้งแต่ขาวไปจนถึงดำสนิทเป็น 8 ระดับบนจอโทรทัศน์โดยอาศัยโปรแกรมควบคุมผ่านทางเครื่อง ๖๐บีเอ็ม พีซี เอ็กซ์ทีได้

ระบบที่ใช้นี้เนื่องจากมีความถี่สูงถึง 10.695 MHz จึงต้องระมัดระวังเรื่องการเดินสายมากมิฉะนั้นจะทำให้เกิดการรบกวนของส่วนวงจรดังนี้

- ส่วนสร้างสัญญาณควบคุมโทรทัศน์
- ส่วนของแรม การ์ด (RAM CARD)

สำหรับส่วนสร้างสัญญาณควบคุมโทรทัศน์นั้นสามารถรับได้ด้วยตัวต้านทานปรับค่าได้ภายในวงจรสำหรับสัญญาณที่ส่งโดยซี ลอจิก อินพุท เซอร์ นั้นบางครั้งจะไม่ได้ค่าตามที่คำนวณนัก พัลส์ (pulse) ที่รับได้บางครั้งมีความกว้างไม่คงที่ เนื่องจากการจับรูปคลื่นของเครื่องนี้เป็นลักษณะแซมปลิง (sampling) การจับสัญญาณที่ช่วงขาขึ้นและขาลง ไม่ได้ตามสัญญาณจริงนักจึงต้องบวกค่าความผิดพลาด (error) เข้าไปด้วย

สำหรับส่วนแรมการ์ดนั้นหากการเดินวงจรหรือการบัดกรีไม่ดีจะมีผลของสัญญาณรบกวนเข้ามามากเนื่องจากต้องอาศัยความเร็วในการส่งข้อมูลสูงเท่าที่มีสัญญาณรบกวนเข้าไปด้วยกับข้อมูล ซึ่งจะปรากฏบนจอภาพอย่างชัดเจน ภาพที่ได้จึงขาดความคมชัดและนำมาใช้ประโยชน์ได้ไม่ดีนัก

ผู้จัดทำพยายามหาวิธีการลดส่วนของสัญญาณรบกวนลงแล้วโดยวิธีการต่างๆ เช่น การต่อ C คร่อมแหล่งจ่ายกระแสตลอดจนใช้วงจรกรองความถี่ต่ำ (low-pass filter) ในส่วนต่างๆ ซึ่งสามารถลดสัญญาณรบกวนลงได้บ้าง สิ่งที่ต้องปรับปรุงคือหาวิธีอื่นอีกที่จะลดสัญญาณรบกวนดังกล่าว

ผู้จัดทำหวังว่าระบบการเก็บสัญญาณภาพเพื่อแสดงผลบนจอ (video

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้ของนักศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า (memory display) จะได้เป็นพื้นฐานในการที่จะพัฒนาระบบให้สมบูรณ์และนำไปใช้ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ประโยชน์ที่ได้ต่อไปในอนาคต



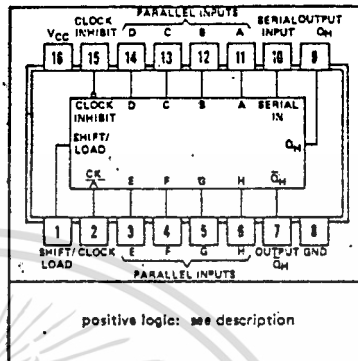
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- Complementary Outputs
- Direct Overriding Load (Data) Inputs
- Gated Clock Inputs
- Parallel-to-Serial Data Conversion

SN54165, SN54LS165 ... J OR W PACKAGE
SN74165, SN74LS165 ... J OR N PACKAGE
(TOP VIEW)



TYPE	TYPICAL MAXIMUM CLOCK FREQUENCY	TYPICAL POWER DISSIPATION
'165	25 MHz	210 mW
'LS155	25 MHz	105 mW

description

The '165 and 'LS165 are 8-bit serial shift registers that shift the data in the direction of Q_A toward Q_H when clocked. Parallel-in access to each stage is made available by eight individual direct data inputs that are enabled by a low level at the shift/load input. These registers also feature gated clock inputs and complementary outputs from the eighth bit. All inputs are diode-clamped to minimize transmission-line effects, thereby simplifying system design.

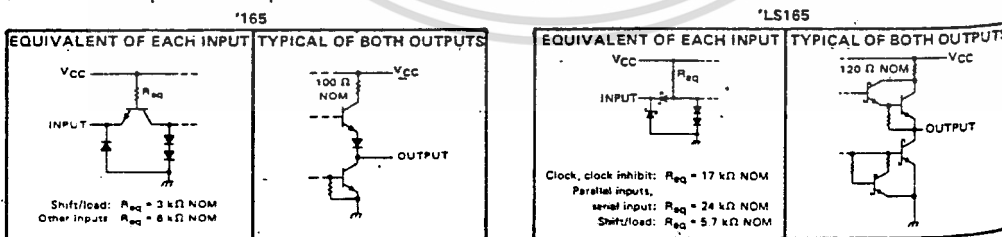
Clocking is accomplished through a 2-input positive-NOR gate, permitting one input to be used as a clock-inhibit function. Holding either of the clock inputs high inhibits clocking and holding either clock input low with the shift/load input high enables the other clock input. The clock-inhibit input should be changed to the high level only while the clock input is high. Parallel loading is inhibited as long as the shift/load input is high. Data at the parallel inputs are loaded directly into the register on a high-to-low transition of the shift/load input independently of the levels of the clock, clock inhibit, or serial inputs.

FUNCTION TABLE

SHIFT/ LOAD	CLOCK INHIBIT	INPUTS				INTERNAL OUTPUTS		OUTPUT Q_H
		CLOCK	SERIAL	PARALLEL A...H	Q_A	Q_B		
L	X	X	X	a...h	a	b	h	
H	L	L	X	X	Q_{A0}	Q_{B0}	Q_{H0}	
H	L	↑	H	X	H	Q_{An}	Q_{Gn}	
H	L	↑	L	X	L	Q_{An}	Q_{Gn}	
H	H	X	X	X	Q_{A0}	Q_{B0}	Q_{H0}	

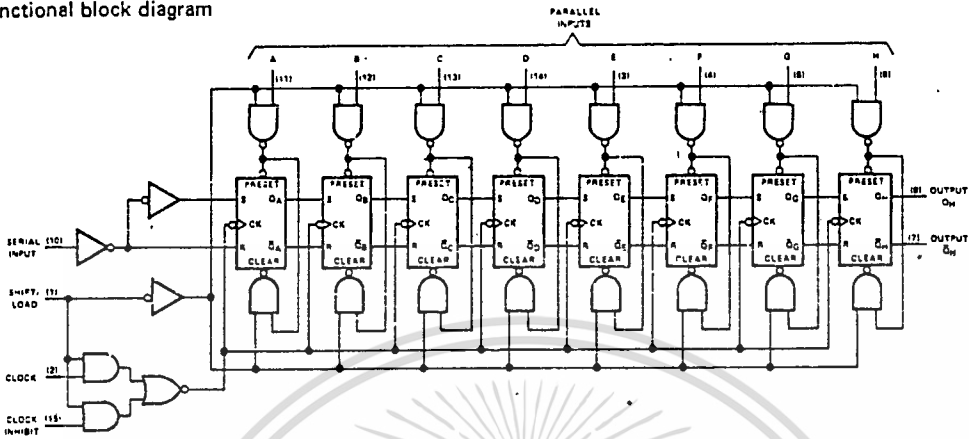
See explanation of function tables on page 3-8.

schematic of inputs and output

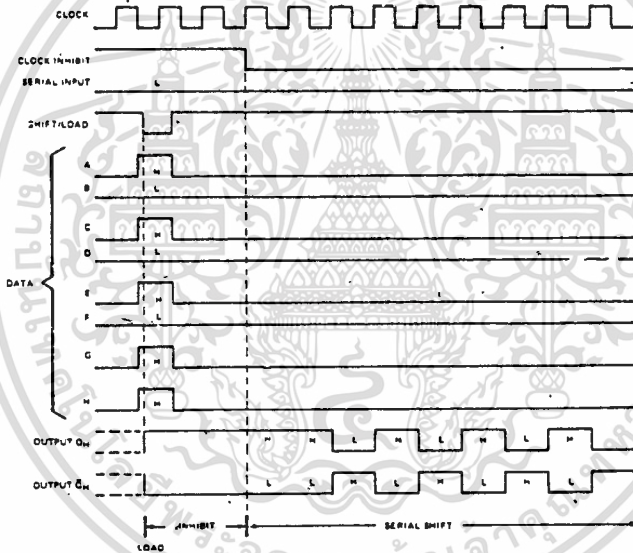


TYPES SN54165, SN54LS165, SN74165, SN74LS165 PARALLEL-LOAD 8-BIT SHIFT REGISTERS

functional block diagram



typical shift, load, and inhibit sequences



absolute maximum ratings over operating free-air temperature range (unless otherwise noted)

Supply voltage, V_{CC} (see Note 1)	7 V
Input voltage: SN54165, SN74165	5.5 V
SN54LS165, SN74LS165	7 V
Intermitter voltage (see Note 2)	5.5 V
Operating free-air temperature range: SN54165, SN54LS165	-55°C to 125°C
SN74165, SN74LS165	0°C to 70°C
Storage temperature range	-65°C to 150°C

NOTES: 1. Voltage values, except intermitter voltage, are with respect to network ground terminal.
2. This is the voltage between two emitters of a multiple-emitter transistor. This rating applies for the '165 to the shift/load input in conjunction with the clock-inhibit inputs.

TEXAS INSTRUMENTS

7-213

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นิยมนำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPES SN54165, SN74165 PARALLEL-LOAD 8-BIT SHIFT REGISTERS

recommended operating conditions

	SN54165			SN74165			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, V_{CC}	4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}			-800			-800	μ A
Low-level output current, I_{OL}			16			16	μ A
Clock frequency, f_{clock}	0		20	0		20	MHz
Width of clock input pulse, $t_w(\text{clock})$	25			25			ns
Width of load input pulse, $t_w(\text{load})$	15			15			ns
Clock-enable setup time, t_{SU} (see Figure 1)	30			30			ns
Parallel input setup time, t_{SU} (see Figure 1)	10			10			ns
Serial input setup time, t_{SU} (see Figure 2)	20			20			ns
Shift setup time, t_{SU} (see Figure 2)	45			45			ns
Hold time at any input, t_H	0			0			ns
Operating free-air temperature, T_A	-55		125	0		70	$^{\circ}$ C

electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER	TEST CONDITIONS ¹	SN54165			SN74165			UNIT
		MIN	TYP ²	MAX	MIN	TYP ²	MAX	
V_{IH} High-level input voltage		2		2			V	
V_{IL} Low-level input voltage				0.8		0.8	V	
V_{IK} Input clamp voltage	$V_{CC} = \text{MIN.}, I_I = -12 \text{ mA}$			-1.5		-1.5	V	
V_{OH} High-level output voltage	$V_{CC} = \text{MIN.}, V_{IH} = 2 \text{ V}, V_{IL} = 0.8 \text{ V}, I_{OH} = -800 \mu\text{A}$	2.4	3.4		2.4	3.4	V	
V_{OL} Low-level output voltage	$V_{CC} = \text{MIN.}, V_{IH} = 2 \text{ V}, V_{IL} = 0.8 \text{ V}, I_{OL} = 16 \text{ mA}$		0.2	0.4		0.2	0.4	V
I_I Input current at maximum input voltage	$V_{CC} = \text{MAX.}, V_I = 5.5 \text{ V}$			1		1	μ A	
I_{IH} High-level input current	Shift/load			80		80	μ A	
	Other inputs			40		40	μ A	
I_{IL} Low-level input current	Shift/load			-3.2		-3.2	μ A	
	Other inputs			-1.6		-1.6	μ A	
I_{OS} Short-circuit output current ³	$V_{CC} = \text{MAX.}$	-20		-55		-55	μ A	
I_{CC} Supply current	$V_{CC} = \text{MAX.}$ See Note 3		42	63		42	63	μ A

NOTE 3: With the outputs open, clock inhibit and clock at 4.5 V, and a clock pulse applied to the shift/load input, I_{CC} is measured first with the parallel inputs at 4.5 V, then with the parallel inputs grounded.

¹For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.

²All typical values are at $V_{CC} = 5 \text{ V}, T_A = 25^{\circ}\text{C}$.

³Not more than one output should be shorted at a time.

switching characteristics, $V_{CC} = 5 \text{ V}, T_A = 25^{\circ}\text{C}$

PARAMETER ¹	FROM (INPUT)	TO (OUTPUT)	TEST CONDITIONS	MIN	TYP	MAX	UNIT
f_{max}				20	26		MHz
t_{PLH}	Load	Any	$C_L = 15 \text{ pF}, R_L = 400 \Omega,$ See figures 1 thru 3		21	31	ns
t_{PHL}					27	40	
t_{PLH}	Clock	Any			16	24	ns
t_{PHL}					21	31	
t_{PLH}	H	\bar{O}_H			11	17	ns
t_{PHL}					24	36	
t_{PLH}	H	\bar{O}_H			18	27	ns
t_{PHL}					18	27	

¹ f_{max} = maximum clock frequency

t_{PLH} = propagation delay time, low-to-high-level output

t_{PHL} = propagation delay time, high-to-low-level output

TYPES SN54LS165, SN74LS165 PARALLEL-LOAD 8-BIT SHIFT REGISTERS

recommended operating conditions

	SN54LS165			SN74LS165			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, V_{CC}	4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}			-400			-400	μ A
Low-level output current, I_{OL}			4			8	mA
Clock frequency, f_{clock}	0		25	0		25	MHz
Width of clock input pulse, $t_w(\text{clock})$	25			25			ns
Width of load input pulse, $t_w(\text{load})$	15			15			ns
Clock-enable setup time, t_{SU} (see Figure 1)	30			30			ns
Parallel input setup time, t_{SU} (see Figure 1)	10			10			ns
Serial input setup time, t_{SU} (see Figure 2)	20			20			ns
Shift setup time, t_{SU} (see Figure 2)	45			45			ns
Hold time at any input, t_h	0			0			ns
Operating free-air temperature, T_A	-55		125	0		70	$^{\circ}$ C

electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER		TEST CONDITIONS†	SN54LS165			SN74LS165			UNIT
			MIN	TYP‡	MAX	MIN	TYP‡	MAX	
V_{IH}	High-level input voltage		2			2			V
V_{IL}	Low-level input voltage				0.7			0.8	V
V_{IK}	Input clamp voltage	$V_{CC} = \text{MIN.}$, $I_I = -18 \text{ mA}$			-1.5			-1.5	V
V_{OH}	High-level output voltage	$V_{CC} = \text{MIN.}$, $V_{IH} = 2 \text{ V.}$ $V_{IL} = V_{IL \text{ max.}}$, $I_{OH} = -400 \mu\text{A}$	2.5	3.5		2.7	3.5		V
V_{OL}	Low-level output voltage	$V_{CC} = \text{MIN.}$, $V_{IH} = 2 \text{ V.}$ $V_{IL} = V_{IL \text{ max.}}$, $I_{OL} = 4 \text{ mA}$		0.25	0.4		0.25	0.4	V
I_I	Input current at maximum input voltage	Shift/load			0.3			0.3	mA
		Other inputs	$V_{CC} = \text{MAX.}$, $V_I = 7 \text{ V}$		0.1		0.1		
I_{IH}	Low-level input current	Shift/load			60		60	μ A	
		Other inputs	$V_{CC} = \text{MAX.}$, $V_I = 2.7 \text{ V}$		20		20		
I_{IL}	Low-level input current	Shift/load			-1.2		-1.2	mA	
		Other inputs	$V_{CC} = \text{MAX.}$, $V_I = 0.4 \text{ V}$		-0.4		-0.4		
I_{OS}	Short-circuit output current‡	$V_{CC} = \text{MAX}$	-20		-100	-20		-100	mA
I_{CC}	Supply current	$V_{CC} = \text{MAX.}$, See Note 3		21	36		21	36	mA

NOTE 3: With the outputs open, clock inhibit and clock at 4.5 V, and a clock pulse applied to the shift/load input, I_{CC} is measured first with the parallel inputs at 4.5 V, then with the parallel inputs grounded.

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.

‡ All typical values are at $V_{CC} = 5 \text{ V}$, $T_A = 25^{\circ}\text{C}$.

§ Not more than one output should be shorted at a time, and the duration of the short-circuit should not exceed one second.

switching characteristics, $V_{CC} = 5 \text{ V}$, $T_A = 25^{\circ}\text{C}$

PARAMETER §	FROM (INPUT)	TO (OUTPUT)	TEST CONDITIONS	MIN	TYP	MAX	UNIT
f_{max}				25	35		MHz
t_{PLH}	Load	Any	$C_L = 15 \text{ pF}$, $R_L = 2 \text{ k}\Omega$, See figures 1 thru 3	22	35		ns
t_{PHL}				22	35		
t_{PLH}	Clock	Any		27	40		ns
t_{PHL}				28	40		
t_{PLH}	H	\bar{Q}_H		14	25		ns
t_{PHL}				21	30		
t_{PLH}	H	\bar{Q}_H	21	30		ns	
t_{PHL}			16	25			

§ f_{max} = maximum clock frequency

§ t_{PH} = propagation delay time, low-to-high-level output

§ t_{PL} = propagation delay time, high-to-low-level output

TYPES SN54165, SN54LS165, SN74165 SN74LS165 PARALLEL-LOAD 8-BIT SHIFT REGISTERS

PARAMETER MEASUREMENT INFORMATION

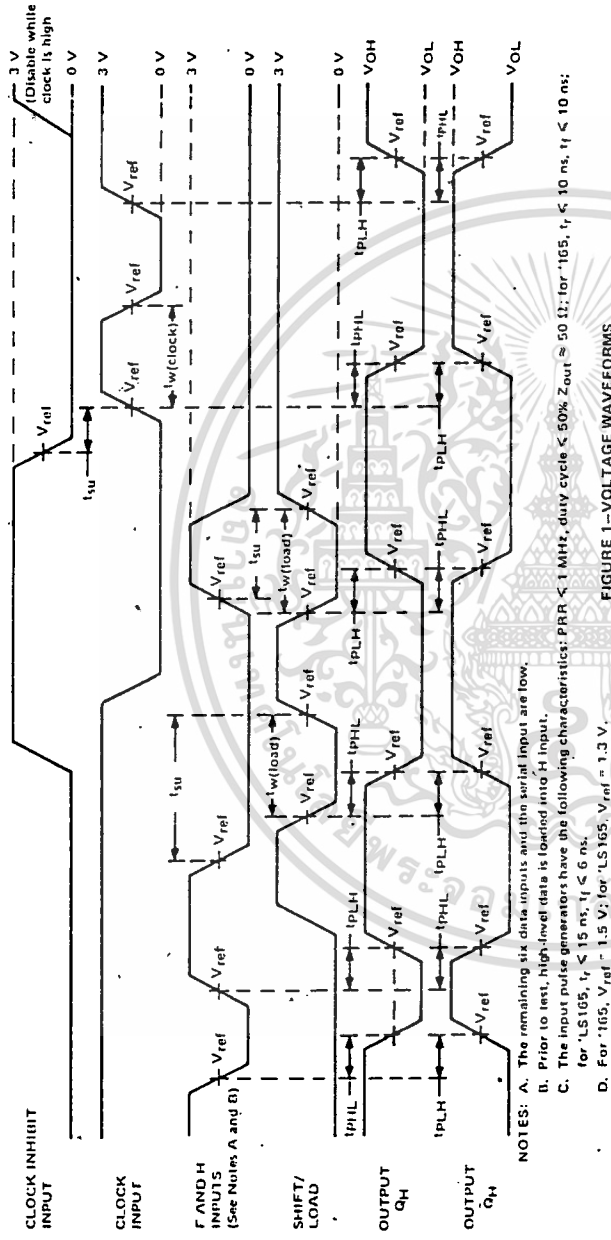


FIGURE 1—VOLTAGE WAVEFORMS

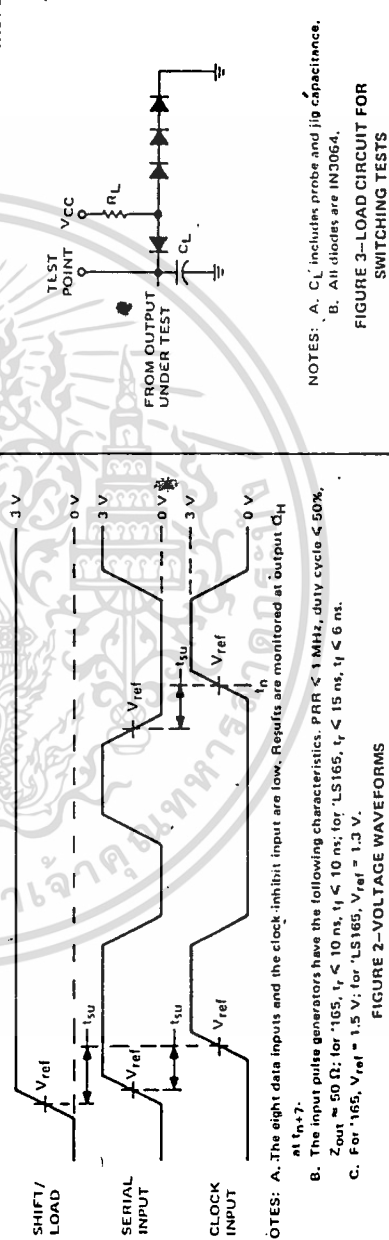


FIGURE 2—VOLTAGE WAVEFORMS

TTL
MSI

TYPES SN54173, SN54LS173A, SN74173, SN74LS173A 4-BIT D-TYPE REGISTERS WITH 3-STATE OUTPUTS

BULLETIN NO. DL-S 11721, OCTOBER 1976—REVISED JANUARY 1981

- Three-State Outputs Interface Directly with System Bus
- Gated Output-Control Lines for Enabling or Disabling the Outputs
- Fully Independent Clock Virtually Eliminates Restrictions for Operating in One of Two Modes:

Parallel Load
Do Nothing (Hold)

- For Application as Bus Buffer Registers

TYPE	TYPICAL PROPAGATION DELAY TIME	MAXIMUM CLOCK FREQUENCY	TYPICAL POWER DISSIPATION
'173	23 ns	35 MHz	250 mW
LS173A	18 ns	50 MHz	95 mW

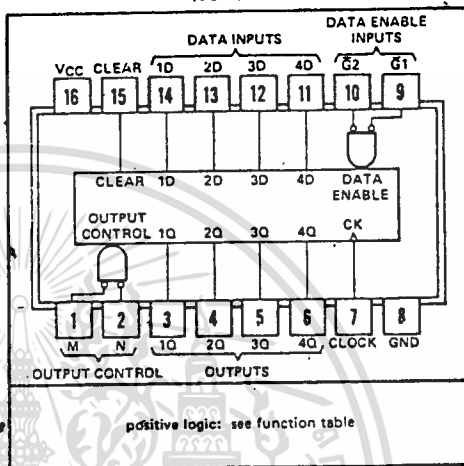
description

The '173 and 'LS173A four-bit registers include D-type flip-flops featuring totem-pole three-state outputs capable of driving highly capacitive or relatively low-impedance loads. The high-impedance third state and increased high-logic-level drive provide these flip-flops with the capability of being connected directly to and driving the bus lines in a bus-organized system without need for interface or pull-up components. Up to 128 of the SN74173 or SN74LS173A outputs may be connected to a common bus and still drive two Series 54/74 or 54LS/74LS TTL normalized loads, respectively. Similarly, up to 49 of the SN54173 or SN54LS173A outputs can be connected to a common bus and drive one additional Series 54/74 or 54LS/74LS TTL normalized load, respectively. To minimize the possibility that two outputs will attempt to take a common bus to opposite logic levels, the output control circuitry is designed so that the average output disable times are shorter than the average output enable times.

Gated enable inputs are provided on these devices for controlling the entry of data into the flip-flops. When both data-enable inputs are low, data at the D inputs are loaded into their respective flip-flops on the next positive transition of the buffered clock input. Gate output control inputs are also provided. When both are low, the normal logic states (high or low levels) of the four outputs are available for driving the loads or bus lines. The outputs are disabled independently from the level of the clock by a high logic level at either output control input. The outputs then present a high impedance and neither load nor drive the bus line. Detailed operation is given in the function table.

SN54173, SN54LS173A ... J OR W PACKAGE
SN74173, SN74LS173A ... J OR N PACKAGE

(TOP VIEW)



positive logic: see function table

FUNCTION TABLE

CLEAR	CLOCK	DATA ENABLE		DATA D	OUTPUT Q
		G1	G2		
H	X	X	X	X	L
L	X	X	X	X	Q ₀
L	↑	H	X	X	Q ₀
L	↑	X	H	X	Q ₀
L	↑	L	L	L	L
L	↑	L	L	H	H

When either M or N (or both) is (are) high the output is disabled to the high-impedance state; however sequential operation of the flip-flops is not affected.

Copyright © 1981 by Texas Instruments Incorporated

TEXAS INSTRUMENTS

7-249

TYPES SN54173, SN74173

4-BIT D-TYPE REGISTERS WITH 3-STATE OUTPUTS

recommended operating conditions

	SN54173			SN74173			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, V_{CC}	4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}			-2			-5.2	mA
Low-level output current, I_{OL}			16			16	mA
Input clock frequency, f_{clock}	0	25		0	25		MHz
Width of clock or clear pulse, t_W	20			20			ns
Setup time, t_{SU}	Data enable	17		17			ns
	Data	10		10			
	Clear inactive state	10		10			
Hold time, t_H	Data enable	2		2			ns
	Data	10		10			
Operating free-air temperature, T_A	-55	125		0	70		$^{\circ}$ C

electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER	TEST CONDITIONS ¹	MIN	TYP ²	MAX	UNIT
V_{IH} High-level input voltage		2			V
V_{IL} Low-level input voltage				0.8	V
V_{IK} Input clamp voltage	$V_{CC} = \text{MIN}$, $I_I = -12 \text{ mA}$			-1.5	V
V_{OH} High-level output voltage	$V_{CC} = \text{MIN}$, $V_{IH} = 2 \text{ V}$, $V_{IL} = 0.8 \text{ V}$, $I_{OH} = \text{MAX}$	2.4			V
V_{OL} Low-level output voltage	$V_{CC} = \text{MIN}$, $V_{IH} = 2 \text{ V}$, $V_{IL} = 0.8 \text{ V}$, $I_{OL} = 16 \text{ mA}$			0.4	V
$I_{O(\text{off})}$ Off-state (high-impedance state) output current	$V_{CC} = \text{MAX}$, $V_O = 2.4 \text{ V}$ $V_{IH} = 2 \text{ V}$, $V_O = 0.4 \text{ V}$			40	μ A
I_I Input current at maximum input voltage	$V_{CC} = \text{MAX}$, $V_I = 5.5 \text{ V}$			1	mA
I_{IH} High-level input current	$V_{CC} = \text{MAX}$, $V_I = 2.4 \text{ V}$			40	μ A
I_{IL} Low-level input current	$V_{CC} = \text{MAX}$, $V_I = 0.4 \text{ V}$			-1.6	mA
I_{OS} Short-circuit output current ³	$V_{CC} = \text{MAX}$	-30		-70	mA
I_{CC} Supply current	$V_{CC} = \text{MAX}$, See Note 2		50	72	mA

¹For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.

²All typical values are at $V_{CC} = 5 \text{ V}$, $T_A = 25^{\circ}\text{C}$.

³Not more than one output should be shorted at a time.

NOTE 2: I_{CC} is measured with all outputs open; clear grounded following momentary connection to 4.5 V, N, G1, G2, and all data inputs grounded; and the clock input and M at 4.5 V.

switching characteristics, $V_{CC} = 5 \text{ V}$, $T_A = 25^{\circ}\text{C}$, $R_L = 400 \Omega$

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT	
f_{max} Maximum clock frequency		25	35		MHz	
t_{PHL} Propagation delay time, high-to-low-level output from clear input	$C_L = 50 \text{ pF}$, See Note 3		18	27	ns	
t_{PLH} Propagation delay time, low-to-high-level output from clock input			28	43	ns	
t_{PHL} Propagation delay time, high-to-low-level output from clock input			19	31		
t_{PZH} Output enable time to high level			7	16	30	ns
t_{PZL} Output enable time to low level		7	21	30		
t_{PHZ} Output disable time from high level	$C_L = 5 \text{ pF}$, See Note 3		3	5	14	ns
t_{PLZ} Output disable time from low level			3	11	20	

NOTE 3: Load circuits and voltage waveforms are shown on page 3-10.

TYPES SN54LS173A, SN74LS173A

4-BIT D-TYPE REGISTERS WITH 3-STATE OUTPUTS

REVISED JANUARY 1981

recommended operating conditions

	SN54LS173A			SN74LS173A			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, V_{CC}	4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}			-1			-2.6	mA
Low-level output current, I_{OL}			12			24	mA
Input clock frequency, f_{clock}	0		30	0		30	MHz
Width of clock or clear pulse, t_w		20			20		ns
Setup time, t_{su}	Data enable	35		35			ns
	Data	17		17			
	Clear inactive state	10		10			
Hold time, t_h	Data enable	0		0			ns
	Data	0		0			
Operating free-air temperature, T_A	-55		125	0		70	$^{\circ}C$

electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER	TEST CONDITIONS†	SN54LS173A		SN74LS173A		UNIT	
		MIN	TYP‡	MAX	MIN		TYP‡
V_{IH} High-level input voltage			2		2	V	
V_{IL} Low-level input voltage				0.7		0.8	V
V_{IK} Input clamp voltage	$V_{CC} = \text{MIN.}$, $I_I = -18 \text{ mA}$			-1.5		-1.5	V
V_{OH} High-level output voltage	$V_{CC} = \text{MIN.}$, $V_{IH} = 2 \text{ V}$, $V_{IL} = V_{ILmax}$, $I_{OH} = \text{MAX}$	2.4	3.4	2.4	3.1	V	
V_{OL} Low-level output voltage	$V_{CC} = \text{MIN.}$, $V_{IH} = 2 \text{ V}$, $V_{IL} = 0.8 \text{ V}$, $I_{OL} = 12 \text{ mA}$ $I_{OL} = 24 \text{ mA}$		0.25	0.4	0.25	0.4	V
$I_{O(off)}$ Off-state (high-impedance state) output current	$V_{CC} = \text{MAX.}$, $V_O = 2.7 \text{ V}$ $V_{IH} = 2 \text{ V}$, $V_O = 0.4 \text{ V}$			20		20	μA
I_I Input current at maximum input voltage	$V_{CC} = \text{MAX.}$, $V_I = 7 \text{ V}$			0.1		0.1	mA
I_{IH} High-level input current	$V_{CC} = \text{MAX.}$, $V_I = 2.7 \text{ V}$			20		20	μA
I_{IL} Low-level input current	$V_{CC} = \text{MAX.}$, $V_I = 0.4 \text{ V}$			-0.4		-0.4	mA
I_{OS} Short-circuit output current§	$V_{CC} = \text{MAX.}$	-30		-130	-30	-130	mA
I_{CC} Supply current	$V_{CC} = \text{MAX.}$, See Note 2		19	30	19	24	mA

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.

‡ All typical values are at $V_{CC} = 5 \text{ V}$, $T_A = 25^{\circ}C$.

§ Not more than one output should be shorted at a time.

NOTE 2: I_{CC} is measured with all outputs open; clear grounded following momentary connection to 4.5 V; N, G1, G2, and all data inputs grounded; and the clock input and M at 4.5 V.

switching characteristics, $V_{CC} = 5 \text{ V}$, $T_A = 25^{\circ}C$, $R_L = 667 \Omega$

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT
f_{max} Maximum clock frequency		30	50		MHz
t_{PHL} Propagation delay time, high-to-low-level output from clear input	$C_L = 45 \text{ pF}$, See Note 3		26	35	ns
t_{PLH} Propagation delay time, low-to-high-level output from clock input			17	25	ns
t_{PHL} Propagation delay time, high-to-low-level output from clock input			22	30	ns
t_{PZH} Output enable time to high level			15	23	ns
t_{PZL} Output enable time to low level			18	27	ns
t_{PHZ} Output disable time from high level	$C_L = 5 \text{ pF}$, See Note 3		11	17	ns
t_{PLZ} Output disable time from low level			11	17	ns

NOTE 3: Load circuits and voltage waveforms are shown on page 3-11.

**16384 x 1 BIT DYNAMIC MOS
RANDOM ACCESS MEMORY**

DESCRIPTION The NEC μPD416 is a 16384 words by 1 bit Dynamic MOS RAM. It is designed for memory applications where very low cost and large bit storage are important design objectives.

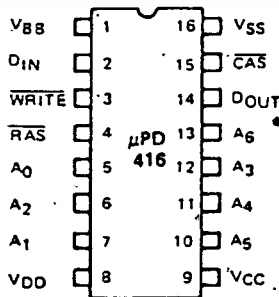
The μPD416 is fabricated using a double-poly-layer N channel silicon gate process which affords high storage cell density and high performance. The use of dynamic circuitry throughout, including the sense amplifiers, assures minimal power dissipation.

Multiplexed address inputs permit the μPD416 to be packaged in the standard 16 pin dual-in-line package. The 16 pin package provides the highest system bit densities and is available in either ceramic or plastic. Noncritical clock timing requirements allow use of the multiplexing technique while maintaining high performance.

- FEATURES**
- 16384 Words x 1 Bit Organization
 - High Memory Density — 16 Pin Ceramic and Plastic Packages
 - Multiplexed Address Inputs
 - Standard Power Supplies +12V, -5V, +5V
 - Low Power Dissipation; 462 mW Active (MAX), 40 mW Standby (MAX)
 - Output Data Controlled by CAS and Unlatched at End of Cycle
 - Read-Modify-Write, RAS-only Refresh, and Page Mode Capability
 - All Inputs TTL Compatible, and Low Capacitance
 - 128 Refresh Cycles
 - 5 Performance Ranges:

	ACCESS TIME	R/W CYCLE	RMW CYCLE
μPD416	300 ns	510 ns	575 ns
μPD416-1	250 ns	410 ns	465 ns
μPD416-2	200 ns	375 ns	375 ns
μPD416-3	150 ns	375 ns	375 ns
μPD416-5	120 ns	320 ns	320 ns

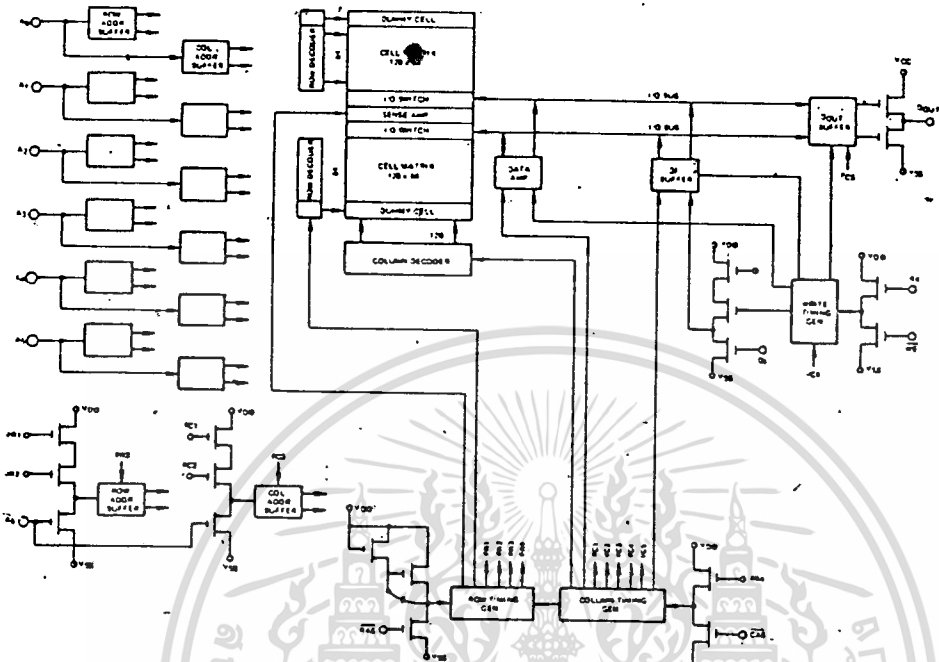
PIN CONFIGURATION



A ₀ -A ₆	Address Inputs
CAS	Column Address Strobe
D _{IN}	Data In
D _{OUT}	Data Out
RAS	Row Address Strobe
WRITE	Read/Write
V _{BB}	Power (-5V)
V _{CC}	Power (+5V)
V _{DD}	Power (+12V)
V _{SS}	Ground

μ PD416

BLOCK
DIAGRAM



- Operating Temperature 0°C to +70°C
- Storage Temperature -55°C to +150°C
- All Output Voltages ① -0.5 to +20 Volts
- All Input Voltages ① -0.5 to +20 Volts
- Supply Voltages VDD, VCC, VSS ① -0.5 to +20 Volts
- Supply Voltages VDD, VCC ② -1.0 to +15 Volts
- Short Circuit Output Current 50 mA
- Power Dissipation 1 Watt

ABSOLUTE MAXIMUM RATINGS*

- Notes: ① Relative to VBB
- ② Relative to VSS

COMMENT: Stress above those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

T_a = 25°C

T_a = 0°C to 70°C, VDD = +12V ± 10%, VBB = -5V ± 10%, VCC = +5V ± 10%, VSS = 0V

CAPACITANCE

PARAMETER	SYMBOL	LIMITS			UNIT	TEST CONDITIONS
		MIN	TYP	MAX		
Input Capacitance (A0-A6), DIN	C _{I1}		4	5	pF	
Input Capacitance RAS, CAS, WRITE	C _{I2}		8	10	pF	
Output Capacitance (DOUT)	C _O		5	7	pF	

DC CHARACTERISTICS

T_a = 0°C to +70°C ①, V_{DD} = +12V ± 10%, V_{CC} = +5V ± 10%, V_{BB} = -5V ± 10%, V_{SS} = 0V

PARAMETER	SYMBOL	LIMITS			UNIT	TEST CONDITIONS
		MIN	TYP	MAX		
Supply Voltage	V _{DD}	10.8	12.0	13.2	V	②
Supply Voltage	V _{CC}	4.5	5.0	5.5	V	② ③
Supply Voltage	V _{SS}	0	0	0	V	②
Supply Voltage	V _{BB}	-4.5	-5.0	-5.5	V	②
Input High (Logic 1) Voltage, RAS, CAS, WRITE	V _{IHC}	2.7		7.0	V	②
Input High (Logic 1) Voltage, all inputs except RAS, CAS, WRITE	V _{IH}	2.4		7.0	V	②
Input Low (Logic 0) Voltage, all inputs	V _{IL}	1.0		0.8	V	②
Operating V _{DD} Current	I _{DD1}			35	mA	RAS, CAS cycling, t _{RC} = t _{RC Min.} ④
Standby V _{DD} Current	I _{DD2}			15	mA	RAS = V _{IHC} , DOUT = High Impedance
Refresh V _{DD} Current (All Speeds except μPD416-5)	I _{DD3}			25	mA	RAS cycling, CAS = V _{IHC} ; t _{RC} = 375 ns ④
Refresh V _{DD} Current (μPD416-5)	I _{DD3}			27	mA	
Page Mode V _{DD} Current	I _{DD4}			27	mA	RAS = V _{IL} , CAS cycling; t _{PC} = 275 ns ④
Operating V _{CC} Current	I _{CC1}				μA	RAS, CAS cycling, t _{RC} = 375 ns ⑤
Standby V _{CC} Current	I _{CC2}	10		10	μA	RAS = V _{IHC} , DOUT = High Impedance
Refresh V _{CC} Current	I _{CC3}	10		10	μA	RAS cycling, CAS = V _{IHC} , t _{RC} = 375 ns
Page Mode V _{CC} Current	I _{CC4}				μA	RAS = V _{IL} , CAS cycling; t _{PC} = 275 ns ⑤
Operating V _{BB} Current	I _{BB1}			200	μA	RAS, CAS cycling, t _{RC} = 375 ns
Standby V _{BB} Current	I _{BB2}			100	μA	RAS = V _{IHC} , DOUT High Impedance
Refresh V _{BB} Current	I _{BB3}			200	μA	RAS cycling, CAS = V _{IHC} , t _{RC} = 375 ns
Page Mode V _{BB} Current	I _{BB4}			200	μA	RAS = V _{IL} , CAS cycling, t _{PC} = 275 ns
Input Leakage (any input)	I _{I(L)}	-10		10	μA	V _{BB} = -5V, 0V < V _{IN} < +7V, all other pins not under test = 0V
Output Leakage	I _{O(L)}	-10		10	μA	DOUT is disabled, 0V < V _{OUT} < +5.5V
Output High Voltage (Logic 1)	V _{OH}	2.4			V	I _{OUT} = -5 mA ③
Output Low Voltage (Logic 0)	V _{OL}			0.4	V	I _{OUT} = 4.2 mA

Notes ① T_a is specified here for operation at frequencies to t_{RC} > t_{RC Min.}. Operation at higher cycle rates with reduced ambient temperatures and high power dissipation is permissible, however, provided AC operating parameters are met. See Figure 1 for derating curve.
 ② All voltages referenced to V_{SS}.
 ③ Output voltage will swing from V_{SS} to V_{CC} when activated with no current loading. For purposes of maintaining data in standby mode, V_{CC} may be reduced to V_{CC} without affecting refresh operations or data retention. However, the V_{OH} limit specification is not guaranteed in this mode.
 ④ I_{DD1}, I_{DD3} and I_{DD4} depend on cycle rate. See Figures 2, 3 and 4 for I_{DD} limits at other cycle rates.
 ⑤ I_{CC1} and I_{CC4} depend upon output loading. During readout of high level data V_{CC} is connected through a low impedance (125Ω typ) to data out. At all other times I_{CC} consists of leakage currents only.

T_a = 0°C to 70°C, V_{DD} = +1.7V ± 10%, V_{CC} = -1V ± 10%, V_{BB} = -1V ± 10%, V_{SS} = 0V

PARAMETER	SYMBOL	LIMITS										UNIT	TEST CONDITIONS
		μPD416		μPD416-1		μPD416-2		μPD416-3		μPD416-4			
		MIN	MAX	MIN	MAX	MIN	MAX	MIN	MAX	MIN	MAX		
Random read or write cycle time	TRC	510		410		378		330		320		ns	①
Read-write cycle time	TRWC	575		465		378		378		320		ns	②
Page mode cycle time	TPC	330		275		225		170		180		ns	
Access time from RAS	TRAC		300		250		200		150		120	ns	③ ④
Access time from CAS	TCAC		200		185		135		100		80	ns	⑤ ④
Output buffer turn-off delay	IOFF	0	80	0	60	0	50	0	40	0	35	ns	⑦
Transition time (rise and fall)	t _T	3	50	3	50	3	80	3	35	3	35	ns	⑦
RAS precharge time	TRP	200		150		120		100		100		ns	
RAS pulse width	TRAS	300	10,000	250	10,000	200	32,000	150	32,000	120	10,000	ns	
RAS hold time	TRSH	200		185		135		100		80		ns	
CAS pulse width	TCAS	300	10,000	165	10,000	135	10,000	100	10,000	80	10,000	ns	
RAS to CAS delay time	TRCD	40	100	35	85	25	85	20	50	15	40	ns	⑧
CAS to RAS precharge time	ICRP	-20		-20		-20		-20		0		ns	
Row address set-up time	TRASR	0		0		0		0		0		ns	
Row address hold time	TRAH	40		35		25		20		15		ns	
Column address set-up time	TASC	-10		-10		-10		-10		-10		ns	
Column address hold time	TCAH	80		75		55		45		40		ns	
Column address hold time referenced to RAS	TAR	180		180		120		95		80		ns	
Read command set-up time	TRCS	0		0		0		0		0		ns	
Read command hold time	TRCH	0		0		0		0		0		ns	
Write command set-up time	TWCH	90		75		55		45		40		ns	
Write command hold time referenced to RAS	TWCR	180		160		120		95		80		ns	
Write command pulse width	TWP	90		75		55		45		40		ns	
Write command to RAS lead time	TRWL	120		85		70		50		50		ns	
Write command to CAS lead time	TCWL	120		85		70		50		50		ns	
Data-in set-up time	IDS	0		0		0		0		0		ns	⑨
Data-in hold time	IDH	90		75		55		45		40		ns	⑨
Data-in hold time referenced to RAS	IDHR	190		160		120		95		80		ns	
CAS precharge time (for page mode cycle only)	ICP	120		100		80		60		50		ns	
Refresh period	TREF		2		2		2		2		2	ms	
WRITE command set-up time	TWCS	-20		-20		20		-20		0		ns	⑩
CAS to WRITE delay	TCWD	140		125		95		70		60		ns	⑩
RAS to WRITE delay	TRWD	240		200		160		120		120		ns	⑩

- Notes:
- ① AC measurements assume t_T = 3 ns
 - ② VIH (min) or VIL (min) and VIL (max) are reference levels for measuring timing of input signals. Also, transition times are measured between VIH or VIL and VIL or VIH.
 - ③ The specifications for TRC (min) and TRWC (min) are used only to indicate cycle time at which proper operation over the full temperature range (0°C < T_a < 70°C) is assured.
 - ④ Assume that TRCD < TRCD (max). If TRCD is greater than the maximum recommended value shown in this table, TRAC will increase by the amount that TRCD exceeds the value shown.
 - ⑤ Assume that TRCD > TRCD (max).
 - ⑥ Measured with a load equivalent to 2 TTL loads and 100 pF.
 - ⑦ IOFF (max) defines the time at which the output achieves the open circuit condition and is not referenced to output voltage levels.
 - ⑧ TRCD (max) limit, then access time is controlled exclusively by TRAC (max) limit is specified as a reference point only, if TRCD is greater than the specified TRCD (max) limit.
 - ⑨ Data-in parameters are referenced to CAS leading edge in early write cycles and to WRITE leading edge in delayed write or read-modify-write cycles.
 - ⑩ TWCS, TCWD and TRWD are not restrictive operating parameters. They are included in the data sheet as electrical characteristics only. If TWCS > TWCS (min), the cycle is an early write cycle and the data output will remain open circuit (high impedance) > TRWD (min), the cycle is a read-write cycle and the data output will contain data read from the selected cell, if neither of the above sets of conditions is satisfied the condition of the data output for access time is undetermined.

DERATING CURVES

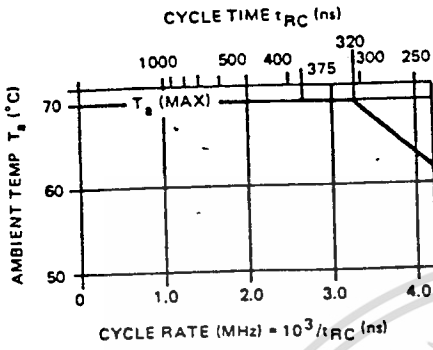


FIGURE 1

Maximum ambient temperature versus cycle rate for extended frequency operation. T_a (max) for operation at cycling rates greater than 2.66 MHz ($t_{CYC} < 375$ ns) is determined by T_a (max) [$^{\circ}$ C] = $70 - 9.0 \times$ (cycle rate [MHz] - 2.66). For μ PD416-5, it is T_a (max) [$^{\circ}$ C] = $70 - 9.0$ (cycle rate [MHz] - 3.125).

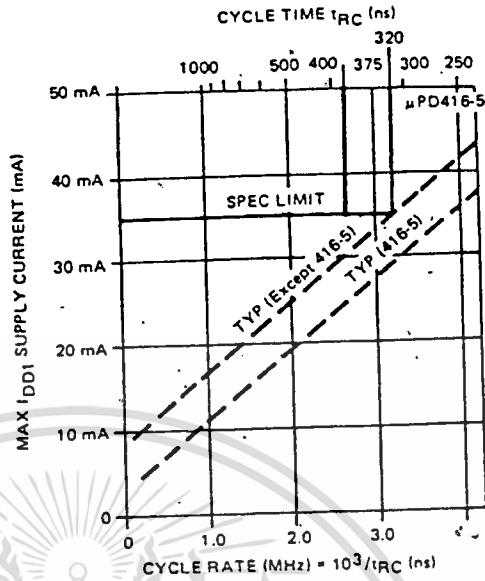


FIGURE 2

Maximum I_{DD1} versus cycle rate for device operation at extended frequencies.

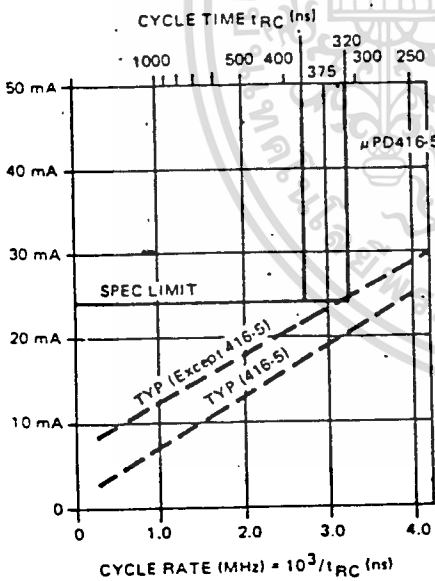


FIGURE 3

Maximum I_{DD3} versus cycle rate for device operation at extended frequencies.

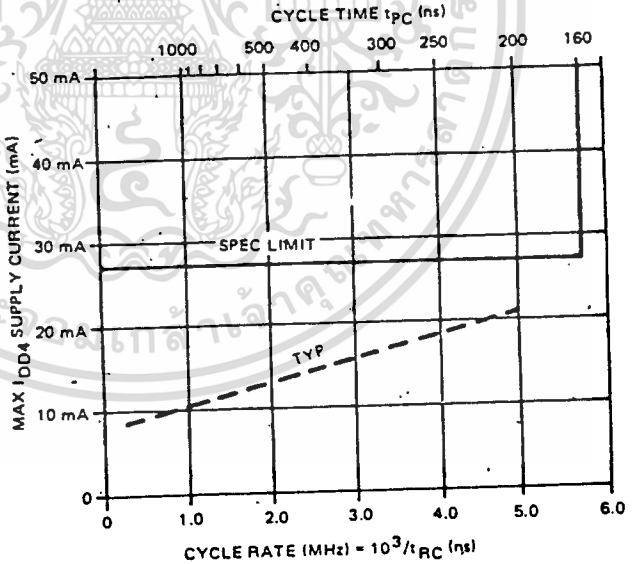
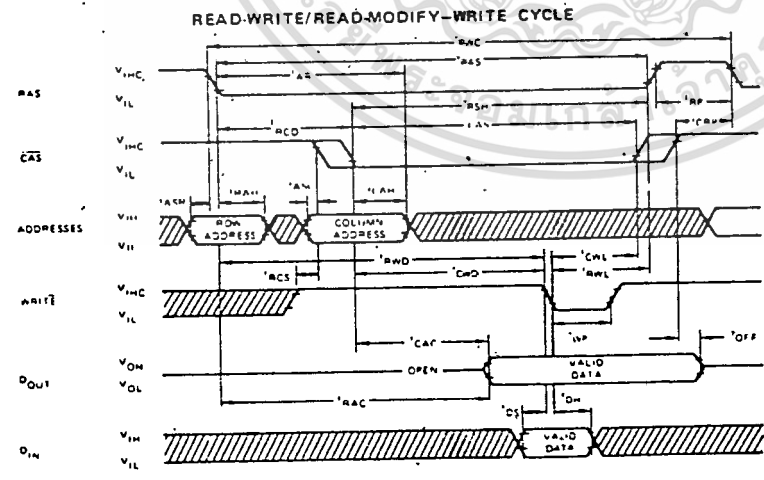
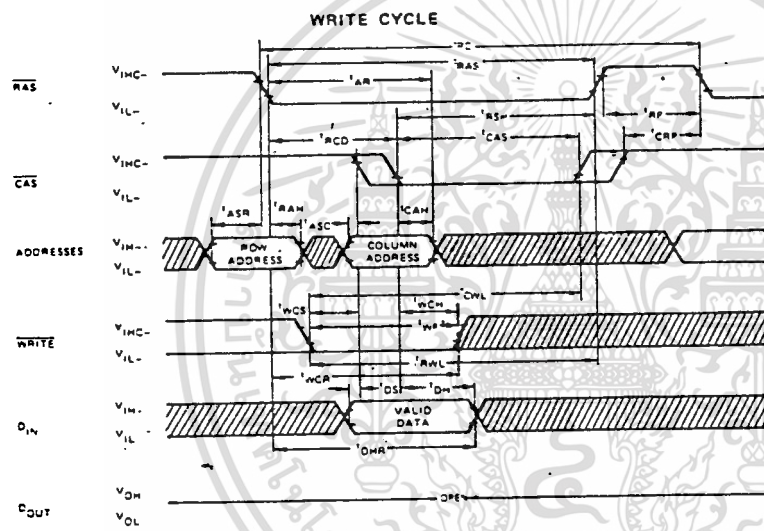
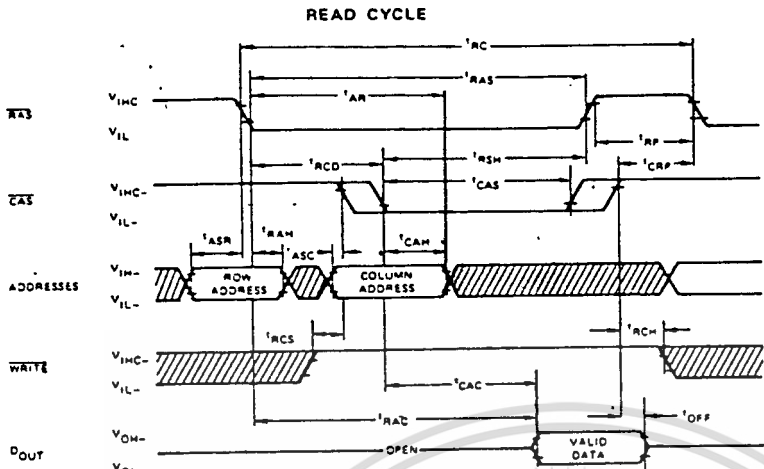


FIGURE 4

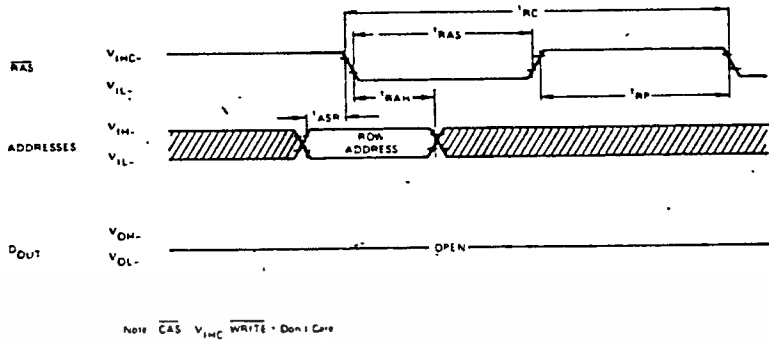
Maximum I_{DD4} versus cycle rate for device operation in page mode.



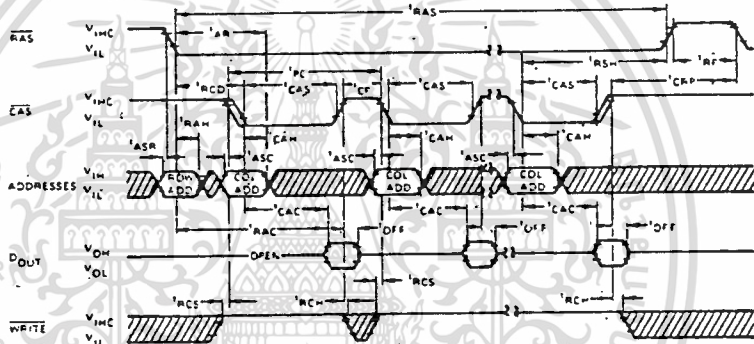
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TIMING WAVEFORMS (CONT.)

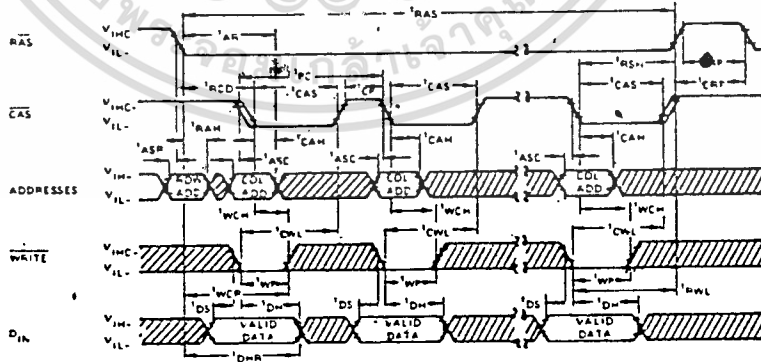
"RAS ONLY" REFRESH CYCLE



PAGE MODE READ CYCLE



PAGE MODE WRITE CYCLE



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

μ PD416

The 14 address bits required to decode 1 of 16,384 bit locations are multiplexed onto the 7 address pins and then latched on the chip with the use of the Row Address Strobe ($\overline{\text{RAS}}$), and the Column Address Strobe ($\overline{\text{CAS}}$). The 7 bit row address is first applied and $\overline{\text{RAS}}$ is then brought low. After the $\overline{\text{RAS}}$ hold time has elapsed, the 7 bit column address is applied and $\overline{\text{CAS}}$ is brought low. Since the column address is not needed internally until a time of $t_{\text{CRD MAX}}$ after the row address, this multiplexing operation imposes no penalty on access time as long as $\overline{\text{CAS}}$ is applied no later than $t_{\text{CRD MAX}}$. If this time is exceeded, access time will be defined from $\overline{\text{CAS}}$ instead of $\overline{\text{RAS}}$.

ADDRESSING

For a write operation, the input data is latched on the chip by the negative going edge of $\overline{\text{WRITE}}$ or $\overline{\text{CAS}}$, whichever occurs later. If $\overline{\text{WRITE}}$ is active before $\overline{\text{CAS}}$, this is an "early WRITE" cycle and data out will remain in the high impedance state throughout the cycle. For a READ, WRITE, OR READ-MODIFY-WRITE cycle, the data output will contain the data in the selected cell after the access time. Data out will assume the high impedance state anytime that $\overline{\text{CAS}}$ goes high.

DATA I/O

The page mode feature allows the μ PD416 to be read or written at multiple column addresses for the same row address. This is accomplished by maintaining a low on $\overline{\text{RAS}}$ and strobing the new column addresses with $\overline{\text{CAS}}$. This eliminates the setup and hold times for the row address resulting in faster operation.

PAGE MODE

Refresh of the memory matrix is accomplished by performing a memory cycle at each of the 128 row addresses every 2 milliseconds or less. Because data out is not latched, "RAS only" cycles can be used for simple refreshing operation.

REFRESH

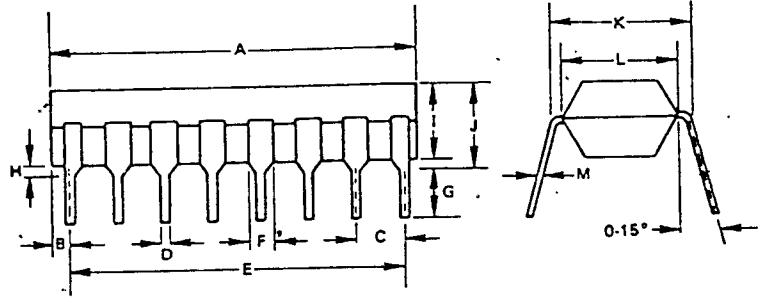
Either $\overline{\text{RAS}}$ and/or $\overline{\text{CAS}}$ can be decoded for chip select function. Unselected chip outputs will remain in the high impedance state.

CHIP SELECTION

In order to assure long term reliability, V_{BB} should be applied first during power up and removed last during power down.

POWER SEQUENCING

PACKAGE OUTLINE
μPD416C

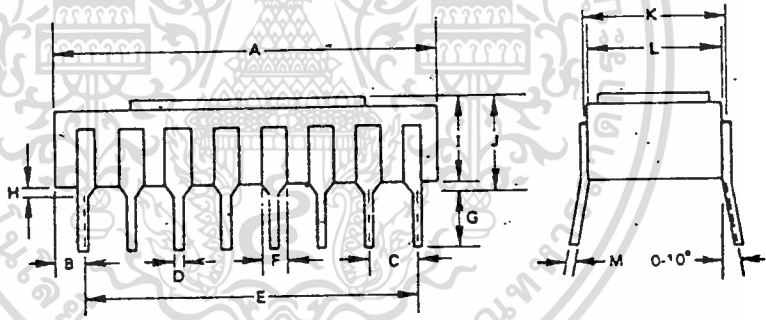


μPD416

(Plastic)

ITEM	MILLIMETERS	INCHES
A	19.4 MAX.	0.76 MAX.
B	0.81	0.03
C	2.54	0.10
D	0.5	0.02
E	17.78	0.70
F	1.3	0.051
G	2.54 MIN.	0.10 MIN.
H	0.5 MIN.	0.02 MIN.
I	4.05 MAX.	0.16 MAX.
J	4.55 MAX.	0.18 MAX.
K	7.62	0.30
L	6.4	0.25
M	+0.10 0.25 -0.05	0.01

μPD416D



(Ceramic)

ITEM	MILLIMETERS	INCHES
A	20.5 MAX.	0.81 MAX.
B	1.36	0.05
C	2.54	0.10
D	0.8	0.02
E	17.78	0.70
F	1.3	0.051
G	3.8 MIN.	0.14 MIN.
H	0.8 MIN.	0.02 MIN.
I	4.8 MAX.	0.18 MAX.
J	6.1 MAX.	0.23 MAX.
K	7.8	0.30
L	7.3	0.29
M	0.27	0.01

416DS-12-80-CAT

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ขอขอบพระคุณ ร.ศ. มนัส สวรรคศิลป์ ผู้ที่เอื้อเฟื้อให้คำแนะนำและคำ
ปรึกษามาโดยตลอด

ขอขอบพระคุณ อาจารย์ ขนิษฐา แซ่ตั้ง ผู้เอื้อเฟื้อเครื่องคอมพิวเตอร์
สำหรับพิมพ์รายงานฉบับนี้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หนังสืออ้างอิง

๑. Bernard Grob;" Basic Television Principles and Servicing";1975;McGraw-Hill.

๒. Lewis C. Eggebrecht;"INTERFACING TO THE IBM PERSONAL COMPUTER";1983

๓. Robert Lafore;"ASSEMBLY LANGUAGE PRIMER FOR THE IBM PC&XT" ;1984;The Waite Group

๔. James W. Coffron; " Z-80 APPLICATION ";1983;Syber Inc

