ปีการศึกษา 2530

ดิจิทอล สตอเรจ สโคป อแดปเตอร์

(DIGITAL STORAGE SCOPE ADAPTOR)

โดย

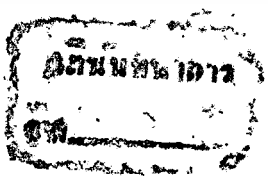
นาย สุเชษฐ์ ก่อกิจสวัสดิ์

นาย สมพล นิสสัยกรง

นาย สมภพ วัฒนสมบูรณ์

อาจารย์ที่ปรึกษา

อ. พลผดุง ผดุงกุล



024680 29 มิ.ค. 2533

ปริญญานิพนธ์ปีการศึกษา 2530

เรื่อง ดิจิทอล สตอเรจ สโคป อแดปเตอร์
(DIGITAL STORAGE SCOPE ADAPTOR)

ผู้จัดทำ

1. นาย สุเชษฐ์ ก่อกิจสวัสดิ์ 27.1222
2. นาย สมพล นิสสัยตรง 27.1259
3. นาย สมภพ วัฒนสมบูรณ์ 27.1260

อาจารย์ที่ปรึกษา
(พลผดุง ผดุงกุล)

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

024680

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เครื่องดิจิตอล สตอเรจ สโคป อแคปเตอร์

สุเชษฐ์ ก่อกิจสวัสดิ์
สมพล นิสสัยตรง
สมภพ วัฒนสมบูรณ์
อ. พลผดุง ผดุงกุล อาจารย์ที่ปรึกษา
ปีการศึกษา 2530

บทคัดย่อ

โครงงานนี้ได้ถูกสร้างขึ้นมาเพื่อให้สามารถใช้ร่วมกับออสซิลโลสโคปธรรมดาได้ เพื่อให้สามารถเก็บสัญญาณไฟฟ้าที่เกิดขึ้นชั่วขณะได้ โดยอาศัยการเปลี่ยนสัญญาณอนาลอกซึ่งเป็นสัญญาณอินพุท มาเป็นสัญญาณดิจิตอลแล้วเก็บลงบนหน่วยความจำ จากนั้นก็แปลงสัญญาณจากหน่วยความจำให้กลายเป็นสัญญาณอนาลอกอีกครั้ง เพื่อส่งออกให้ออสซิลโลสโคปแสดงผลต่อไป ซึ่งวงจรนี้มีความสามารถใช้ในย่านความถี่ไม่เกิน 100 กิโลเฮิร์ท ในกรณีใช้ 1 ช่อง สัญญาณความถี่ต่ำสุดที่จะเก็บรูปคลื่นได้ครบ 1คาบ มีค่าประมาณ 122 เฮิร์ท แต่ถ้าใช้ 2 ช่อง จะได้ความถี่สูงสุดในแต่ละช่องประมาณ 50 กิโลเฮิร์ท และมีช่วงขนาดสัญญาณประมาณ 20 มิลิโวลท์ถึง 30 โวลท์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DIGITAL STORAGE SCOPE ADAPTOR

MR. SUCHET KORKIJSAWAD

MR. SOMPON NISSAITRONG

MR. SOMPHOP VATTANASOMBOON

MR. POLPADUNG PADUNGKUL ADVISOR

ACADEMIC YEAR 2530

ABSTRACT

This thesis demonstrates the circuit buit to use with a normal oscilloscope. It can store transient signals by changing analog signals (input signal) to be digital signals, storing them in memories, converting the signals from memories to be analog signals and sending them to an oscilloscope. The frequencies of the signals must not greater than 100 kilohertz (1 channel) unless the output signals are wrong. The lowest frequency which can be stored is about 122 hertz unless the stored signals are not full period signal. For 2 channels, the highest signal which can be stored is about 50 kilohertz. The amplitude of the input signals must not greater than 30 volts and not less than 20 millivolts.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

		หน้า
บทที่ 1	บทนำ	1
บทที่ 2	ทฤษฎีและองค์ประกอบพื้นฐานของดิจิตอลสตอเรจสโคปอแคปเตอร์	2
	2.1 ภาคอินพุท	3
	2.2 ทฤษฎีการสุ่มตัวอย่างข้อมูล	4
	2.3 ทฤษฎีของการควอนไทซ์	8
	2.4 ควอนไทเซอร์รีโซลูชั่นและความผิดพลาด	11
	2.5 ระหัสตัวเลขสำหรับการเปลี่ยนข้อมูล	11
	2.6 วงจรแซมปลิ้งและโฮล	12
	2.7 ดีทูเอแบบไบนารีเวทแลดเดอร์	16
	2.8 ดีทูเอแบบอาร์-2อาร์แลดเดอร์	17
	2.9 ดีทูเอแบบอินเวอร์ทอาร์-2อาร์แลดเดอร์	18
	2.10 ซัคเซสซีฟ แอบพรอคซิเมชั่น	20
	2.11 เอทูดีที่ใช้งานจริง	22
บทที่ 3	การออกแบบและการทำงานของดิจิตอลสตอเรจสโคปอแคปเตอร์	28
	3.1 วงจรแหล่งจ่ายไฟ	28
	3.2 วงจรภาคอินพุท	29
	3.3 ภาคการแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล	32
	3.4 การเขียนอ่านข้อมูลลงในหน่วยความจำ	34
	3.5 การแปลงข้อมูลจากสัญญาณดิจิตอลเป็นอนาลอก	35
	3.6 ภาคเอาท์พุท	35
บทที่ 4	การทดลองและผลการทดลอง	36
	ผลการทดลอง	36
	ผลที่มีต่อความถี่	36
บทที่ 5	บทสรุป	44
ภาคผนวก		45

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1

บทนำ

ในการสังเกตรูปคลื่นที่ปรากฏบนจอออสซิโลสโคปนั้น รูปคลื่นจะต้องเป็นสัญญาณรายคาบที่มีความถี่ไม่ต่ำจนเกินไปนักจึงจะสังเกตได้สะดวก แต่ในบางครั้งรูปคลื่นที่จะสังเกตนั้นมีความถี่ต่ำมากหรือมีลักษณะเป็นพัลส์ ทำให้สังเกตได้ยากหรือสังเกตไม่ได้เลย ดังนั้นจึงต้องใช้สโคปชนิดที่สามารถจดจำรูปคลื่นได้ แม้รูปคลื่นจริงจะหายไปแล้ว

สโคปที่สามารถจดจำรูปคลื่นได้มี 2 ชนิดคือ

1. ดิจิตอลเมมโมรี่สโคป (digital memory scope) เป็นออสซิลโลสโคปที่สามารถชอยแรงดันสัญญาณเป็นช่วงเวลาย่อยๆ แล้วเปลี่ยนค่าแรงดันในแต่ละช่วงเวลานั้นเป็นสัญญาณดิจิตอล ต่อจากนั้นจึงเก็บไว้ในหน่วยความจำของไอซี และสามารถเรียกค่าเหล่านี้ออกมาได้เมื่อต้องการ ซึ่งสมรรถนะของเครื่องมักขึ้นกับความเร็วในการแปลงค่าจากอนาลอกเป็นดิจิตอลเป็นสำคัญ โดยอาศัยการเก็บข้อมูลในหน่วยความจำเป็นสัญญาณดิจิตอล เรายังสามารถต่อเชื่อมสัญญาณเหล่านี้เข้ากับคอมพิวเตอร์เพื่อทำการวิเคราะห์เชิงเลขได้อีก นับเป็นจุดเด่นที่สำคัญซึ่งจะทำให้บทบาทของออสซิลโลสโคปแบบนี้เพิ่มสูงขึ้นในอนาคต

2. สตอเรจสโคป (storage oscilloscope) เป็นสโคปที่มีหลอดภาพชนิดพิเศษที่เรียกกันว่า หลอดภาพสตอเรจ (storage tube) สโคปแบบนี้สามารถคงรูปคลื่นสัญญาณบนจอภาพได้ สตอเรจออสซิลโลสโคปจะมีตัวบรรชนีที่บ่งบอกสมรรถนะของเครื่อง ซึ่งเป็นค่าความเร็วสูงสุดของสัญญาณ ที่หลอดภาพยังสามารถเก็บจำไว้ได้ ค่าความถี่ที่สามารถเก็บจำได้อาจเป็นตั้งแต่ 2 กิโลเฮิร์ทจนถึง 12 กิโลเฮิร์ท แล้วแต่คุณภาพของหลอดภาพ

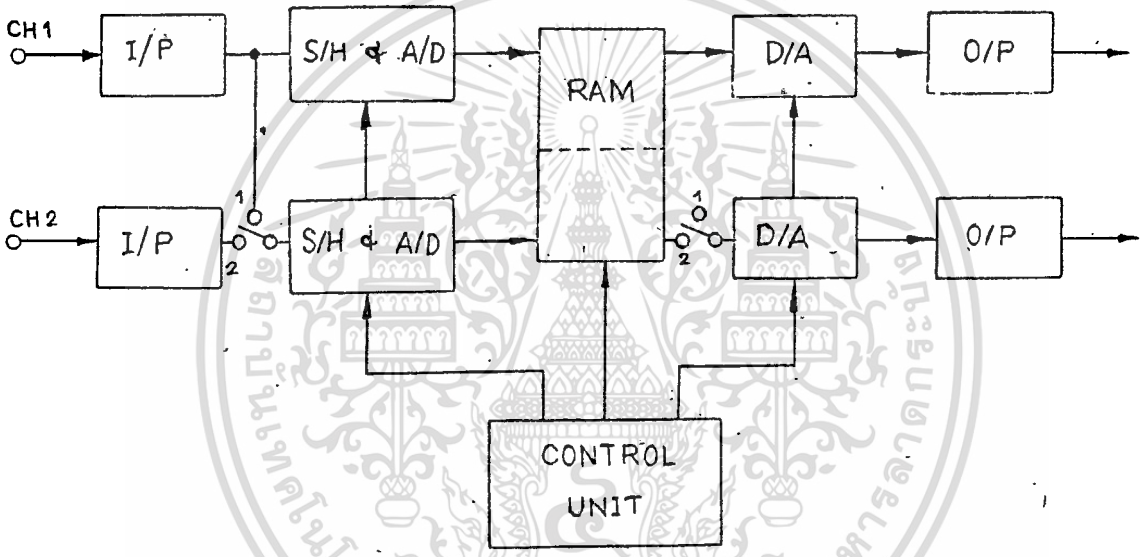
ในที่นี้จะกล่าวถึงแต่สตอเรจสโคปเท่านั้น ซึ่งสามารถบันทึกรูปสัญญาณให้ค้างอยู่บนจอภาพได้ จึงช่วยให้สามารถวิเคราะห์รูปคลื่นนั้นๆสะดวกมากขึ้น แต่เนื่องจากสตอเรจสโคปยังคงมีราคาแพงอยู่พอสมควร จึงเป็นการดีที่จะทำการสร้างออสซิลโลสโคปสตอเรจแคปเตอร์ขึ้น ซึ่งใช้ต่อพ่วงเข้ากับออสซิลโลสโคปธรรมดาแล้ว ทำให้สามารถบันทึกรูปสัญญาณให้ค้างอยู่บนจอภาพได้ คล้ายกับดิจิตอลสตอเรจออสซิลโลสโคปจริงๆ ทำให้เราได้ออสซิลโลสโคปที่สามารถบันทึกสัญญาณได้ในราคาที่ถูกกว่าและมีคุณภาพดีพอสมควร ซึ่งวงจรที่สร้างขึ้นมานี้สามารถนำไปต่อร่วมกับออสซิลโลสโคปธรรมดาให้สามารถเก็บรูปคลื่นสัญญาณได้

เอกสารนี้สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2

ทฤษฎีและองค์ประกอบพื้นฐานของดิจิตอล สตอเรจ สโคป อแดปเตอร์

ดิจิตอล สตอเรจ สโคป อแดปเตอร์ สามารถเขียนเป็นบล็อกไดอะแกรม ได้ดังรูปที่ 1



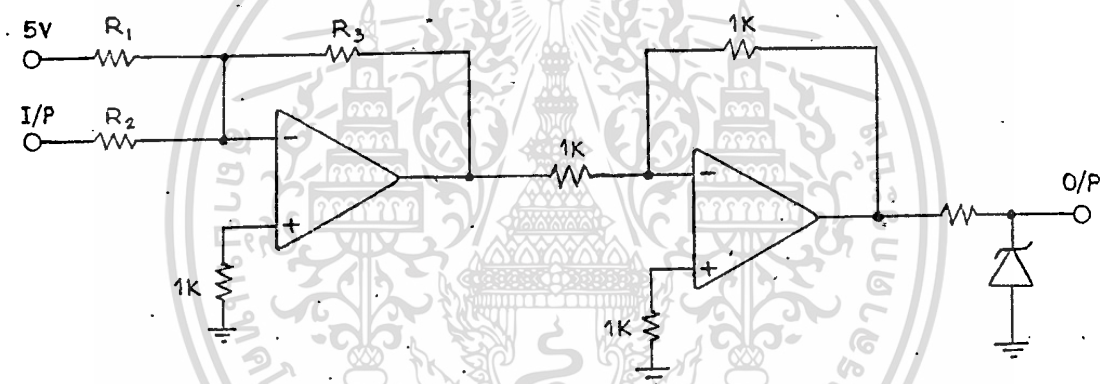
รูปที่ 1 บล็อกไดอะแกรมของ ดิจิตอล สตอเรจ สโคป อแดปเตอร์

การทำงานของบล็อกไดอะแกรมมีให้เลือกใช้ช่องเดียวคือ ช่องที่ 1 หรือใช้พร้อมกัน 2 ช่อง โดยการใช้สวิทช์เป็นตัวเลือก ซึ่งแตกต่างกันคือ จะใช้เอทูดี 2 ตัว สลับกันทำงาน ใช้หน่วยความจำทั้งหมด และ ดีทูเอ เพียงตัวเดียว จะได้ความเร็วในการสุ่มจะเป็น 2 เท่าของการใช้ 2 ช่อง พร้อมกัน โดยการใช้ 2 ช่องจะใช้วงจรสองชุดทำงานแยกกัน และใช้หน่วยความจำช่องละครึ่งหนึ่ง การทำงานของทั้งสองแบบเหมือนกัน เริ่มจากอินพุททำการเลื่อนระดับสัญญาณให้อยู่ในช่วง 0-5 โวลท์ จากนั้นนำเข้าภาคสุ่ม แล้วส่งให้ภาคเปลี่ยนสัญญาณอนาลอกเป็นดิจิตอล แล้วเก็บในหน่วยความจำ เมื่อต้องการจะดูสัญญาณ ก็ทำการเรียกข้อมูลในหน่วยความจำออกมาและส่งให้วงจรเปลี่ยนสัญญาณดิจิตอลเป็นอนาลอกต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

<u>รายละเอียดของแต่ละภาคภายในดิจิตอลสตอเรจสโคปอแคปเตอร์</u>

2.1 <u>อินพุท</u> ประกอบด้วยวงจรสองส่วน โดยธรรมชาติของสัญญาณที่ได้รับเข้ามาจะมีสัญญาณอยู่ในช่วงบวกและช่วงลบ และมีขนาดไม่แน่นอน ดังนั้นเราจำเป็นต้องแปลงสัญญาณให้อยู่ในช่วงบวกอย่างเดียว วงจรส่วนแรกคือ วงจรขยายการรวมจะทำหน้าที่เปลี่ยนสัญญาณอินพุทที่เข้ามาให้มีโวลท์เตจอยู่ในช่วง 0-5 โวลท์ และเฟสช่องสัญญาณที่ได้จะกลับเฟสกลับสัญญาณอินพุท วงจรส่วนที่สอง ทำหน้าที่เป็นบัฟเฟอร์ ซึ่งทำให้ความต้านทานอินพุทสูงและจะทำหน้าที่กลับเฟสอีกครั้งเพื่อให้ตรงกลับเฟสของสัญญาณที่ป้อนเข้ามา ซีเนอร์ไดโอดเป็นตัวป้องกันไม่ให้โวลท์เตจที่ออกไปเกิน 5 โวลท์ ซึ่งพอเหมาะที่จะป้อนให้แก่วงจรเปลี่ยนสัญญาณอนาลอกเป็นดิจิตอล ซึ่งมีลักษณะวงจรดังรูป



รูปที่ 2 วงจรภาคอินพุท

ในโครงงานนี้เราจะแบ่งช่วงอัตราขยายเป็น 3 ช่วง คือ

1. ช่วงอินพุทอยู่ระหว่าง 2 โวลท์ ถึง 30 โวลท์
2. ช่วงอินพุทอยู่ระหว่าง 200 มิลิโวลท์ ถึง 2.5 โวลท์
3. ช่วงอินพุทอยู่ระหว่าง 20 มิลิโวลท์ ถึง 350 มิลิโวลท์

และมีการแสดงสัญญาณได้พร้อมกัน 2 ช่อง จึงมีวงจรขยายรวม 2 ชุดทำงานแยกอิสระกัน หรือใช้เพียงช่องเดียวก็เปลี่ยนสวิทช์มาที่การใช้เพียงชุดเดียว

สมการในการหาค่าต่างๆมีดังนี้

$$\text{อัตราขยาย} \approx \frac{R_3}{R_2} \qquad (1)$$

$$\frac{R_1}{R_3} \approx \frac{\text{โวลท์เตจอ้างอิง (5 โวลท์)}}{\text{โวลท์เตจที่ต้องยกระดับ (2.5 โวลท์)}} \qquad (2)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2 ทฤษฎีการสุ่มตัวอย่างข้อมูล

ในการแปลงสัญญาณอนาลอกเป็นดิจิทอลนั้นวงจรอนาลอก/ดิจิทอล (analog/digital)เอทูดี จะต้องใช้เวลาช่วงหนึ่งในการจัดการซึ่งช่วงเวลาดังกล่าวนั้นขึ้นอยู่กับหลายแฟคเตอร์ เช่นความละเอียดของการเปลี่ยนสัญญาณ เทคนิคของการเปลี่ยนสัญญาณ และความเร็วในการทำงานร่วมของอุปกรณ์อื่นๆ ความเร็วของการแปลงสัญญาณนี้จำเป็นสำหรับการประยุกต์ใช้งานเฉพาะอย่างและความแม่นยำที่ต้องการ

เวลาอเพอร์เจอร์ (aperture time) โดยทั่วไปหมายถึงช่วงเวลาที่เกิดความไม่แน่นอนในการวัด และผลก็คือเกิดความผิดพลาดต่อค่าที่วัดได้ในรูปที่ 3 สัญญาณอนาลอก $V(t)$ มีอัตราการเปลี่ยน dV/dt ในช่วงเวลาอเพอร์เจอร์(t_a)

รูปที่3 แสดงความผิดพลาดจากการวัดในเวลาอเพอร์เจอร์

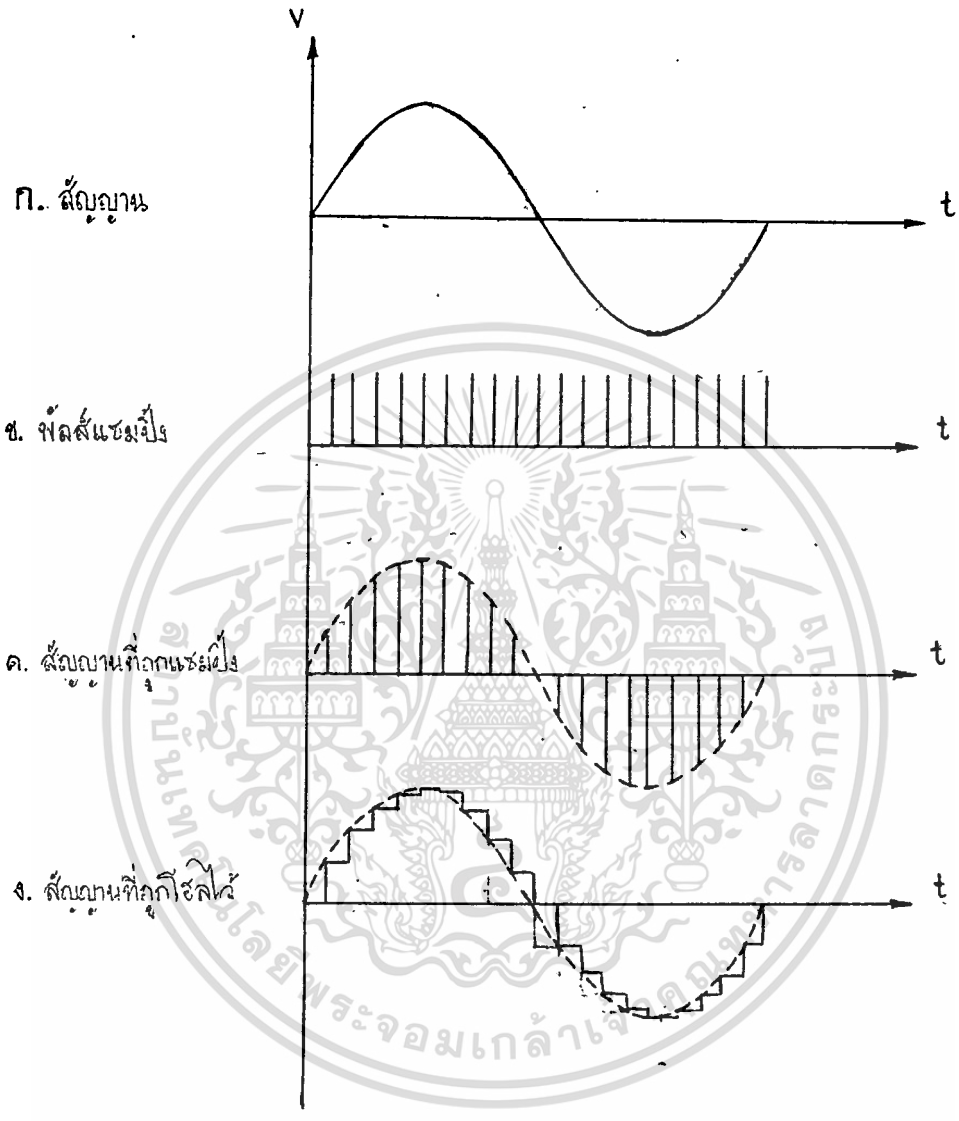
ดังนั้นช่วงเวลาการเปลี่ยนแปลงอนาลอกจะเท่ากับ ΔV โดย

$$\Delta V = t_a \frac{dv(t)}{dt}$$

ดังนั้นหากเวลาที่เอทูดีใช้เวลาในการเปลี่ยนสัญญาณในเวลา t_a นี้ รหัสดิจิทอลที่ได้อาจจะตรงกับขนาดของสัญญาณค่าใดค่าหนึ่งในช่วงนี้ และส่วนอื่นๆที่เหลือคือความผิดพลาดที่เกิดขึ้นซึ่งแน่นอนในบางครั้งเป็นไปได้ที่รหัสดิจิทอลจะตรงกับค่าอนาลอกที่ถูกต้อง

เนื่องจากเวลาที่ใช้ในการเปลี่ยนสัญญาณที่มีค่าน้อยมาก จำเป็นต้องหาเอทูดีที่มีความเร็วสูงในการเปลี่ยนสัญญาณที่รับเข้ามา เมื่อเราใช้เอทูดีที่มีความเร็วสูงในการเปลี่ยนข้อมูลราคาก็ต้องแพงตามไปด้วย ซึ่งการแก้ไขโดยการใช้วงจรแซมปลิ้งและเฮ้ (sampling/hold) มาช่วย โดยที่วงจรแซมปลิ้งและโฮลที่มีเวลาอเพอร์เจอร์น้อยๆนั้นทำได้ง่ายและราคาถูกกว่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4 การสุ่มตัวอย่างสัญญาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทำงานของวงจรแซมปลิ้งและโฮลจะเริ่มจากการสุ่มสัญญาณอินพุท และนำสัญญาณที่สุ่มนั้นมาเก็บหรือโฮลไว้ในเวลาหนึ่งได้ ซึ่งส่วนใหญ่จะใช้การประจุแรงดันในตัวเก็บประจุที่รั่วไหลต่ำ ดังนั้นในเมื่อแรงดันอินพุทสามารถคงอยู่ได้นานพอ ดังนั้นเอทูดีจึงไม่จำเป็นต้องมีเวลาในการเปลี่ยนสัญญาณอย่างรวดเร็วนัก อเพอร์เจอร์ทาร์มของวงจรแซมปลิ้งและโฮลคือเวลาตั้งแต่เริ่มสุ่มสัญญาณจนตัวเก็บประจุมีค่าแรงดันจนถึงค่าที่สุ่ม เวลาอเพอร์เจอร์ขึ้นอยู่กับแบนด์วิทและเวลาในการสวิทช์ของอุปกรณ์แอคทีฟที่ใช้ในวงจร

ในการสุ่มตัวอย่างสัญญาณนั้น สัญญาณอนาลอกจะถูกสุ่มเป็นระยะที่คงที่ตามรูปที่ 4 สัญญาณสุ่มจะแทนสวิทช์ที่ทำงานด้วยความเร็วสูง ซึ่งจะทำการคัดต่อสัญญาณอนาลอกในช่วงเวลาอันสั้น ผลของการสุ่มสัญญาณด้วยความเร็วจะเสมือนกับการคูณขบวนสัญญาณพัลส์แคบๆกับสัญญาณอนาลอก ซึ่งจะได้สัญญาณที่มอดคูเลทระหว่างขบวนพัลซ์กับสัญญาณอนาลอกดังแสดงในรูป 4 โดยสัญญาณอนาลอกจะซ้อนมาบนขบวนพัลส์ ถ้าหากเอาสวิทช์และตัวเก็บประจุแทนสวิทช์แล้ว สัญญาณอนาลอกที่ถูกสุ่มจะถูกโฮลไว้ในตัวเก็บประจุ จนกว่าสัญญาณค่าใหม่ถูกสุ่มเข้ามาใหม่ ซึ่งลักษณะของเอาท์พุทที่ได้แสดงในรูปที่ 4

อัตราในการสุ่มข้อมูลนั้นจะต้องสูงพอเพื่อรักษาคุณลักษณะของสัญญาณเดิม ได้อัตราการสุ่มขึ้นอยู่กับอัตราการเปลี่ยนแปลงของสัญญาณ ถ้าหากสัญญาณนั้นมีการเปลี่ยนแปลงอย่างช้าๆ ก็สามารถใช้อัตราการสุ่มต่ำๆได้ แต่ถ้าสัญญาณนั้นมีการเปลี่ยนแปลงอย่างรวดเร็วก็จำเป็นต้องใช้อัตราการสุ่มที่สูงขึ้น

มีปัญหาที่ว่าอัตราการสุ่มสัญญาณนั้นควรมีขนาดเท่าใดที่จะไม่ทำให้ข้อมูลนั้นสูญเสียไปเมื่อสัญญาณนั้นถูกเปลี่ยนกลับมาเช่นเดิม คำตอบก็คือขึ้นอยู่กับความถี่ของสัญญาณอนาลอกและทฤษฎีของการสุ่มกล่าวไว้ว่า "ถ้าสัญญาณต่อเนื่องซึ่งมีความถี่และฮาร์โมนิคส์ไม่เกิน แล้วสัญญาณดังกล่าวจะสามารถเปลี่ยนกลับมาได้อย่างเดิมโดยไม่สูญเสียรายละเอียดหรือผิดเพี้ยนไป ถ้าอัตราการสุ่มไม่น้อยกว่า $2f_c$ ต่อวินาที"

จากทฤษฎีการสุ่มสามารถอธิบายด้วยลักษณะรูปสเปคตรัมของรูปสัญญาณในรูปที่ 4 รูปที่4 ก แสดงให้เห็นสเปคตรัมของสัญญาณที่ถูกสุ่มซึ่งแบนด์วิทไม่เกินกว่า f_c ในขณะที่รูปสัญญาณนี้จะถูกสุ่มด้วยความถี่ f_s ขบวนการมอดคูเลทจะทำให้สเปคตรัมของสัญญาณสุ่มขยายกว้างออกจาก f_s เป็น $2f_s, 3f_s, \ldots$ ได้ดังรูปที่4 ข

ถ้าความถี่ของสัญญาณสุ่มไม่สูงพอ หลังจากการสุ่ม สเปคตรัมบางส่วนของ f_s มาซ้อนกับสเปคตรัมของสัญญาณ ซึ่งเรียกว่า(Frequency Folding) หากเป็นเช่น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

นี้ก็จะทำให้เกิดความเพี้ยนแก่สัญญาณอนาลอกจากการซ้อนกันของสเปคตรัมเมื่อสัญญาณถูกเปลี่ยนกลับให้อยู่ในรูปเดิม และถ้าเลือนความถี่ของการสุ่มให้สูงขึ้นจนโอกาสการซ้อนของสเปคตรัมหมดไป $(f_s-f_c) = f_c$ ทำให้การเปลี่ยนกลับของสัญญาณหลังการสุ่มก็คงยังเหมือนเดิมได้

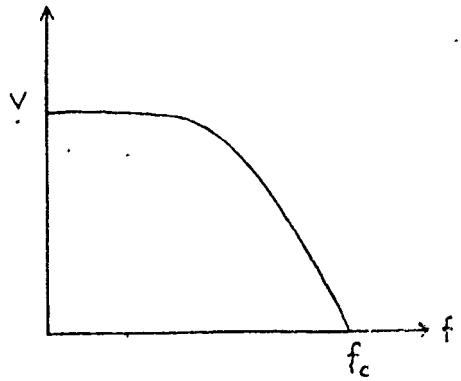
จากที่กล่าวมาแสดงการสนับสนุนทฤษฎีการสุ่มที่ว่าให้ $f_s > 2f_c$ นั่นคือการกำจัดการซ้อนของสเปคตรัมได้ 2 วิธีคือ

1. เพิ่มการสุ่มให้มีความถี่สูงขึ้น โดยให้มีค่ามากกว่า $2f_c$
2. ทำการกรองความถี่ของสัญญาณก่อนที่จะสุ่มเพื่อให้แบนด์วิทของสัญญาณมีค่าไม่เกิน $f_s/2$

ในทางปฏิบัติแล้วจะยังเหลือ เฟรีเควนซี่ โพลคิ้ง ได้เสมอจากส่วนฮาร์โมนิคส์ของสัญญาณรวมทั้งสเปคตรัมของสัญญาณรบกวนที่ยังคงอยู่แม้ว่าทำการกรองมาก่อนแล้วก็ตาม การกำจัดการซ้อนกันของสเปคตรัมนี้วิธีที่ได้ผลคือ พยายามให้การสุ่มสัญญาณเป็นไปอย่างรวดเร็วมากที่สุด ซึ่งปกติมักจะสูงกว่าความถี่ต่ำสุดตามทฤษฎีการสุ่มคือความถี่ $2f_c$ เสมอ

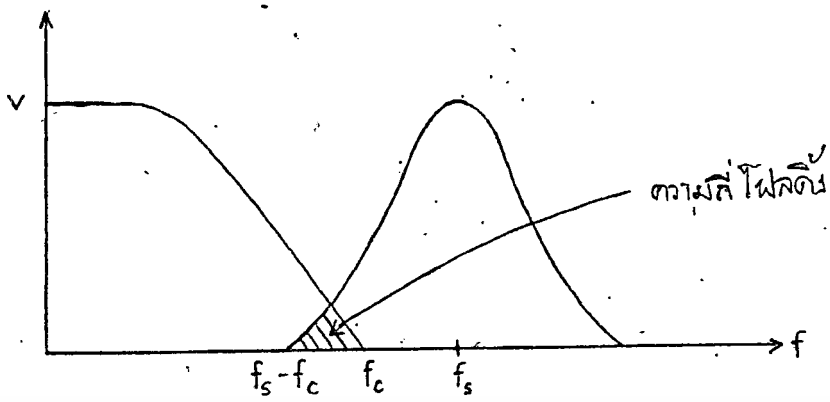
ผลของการใช้อัตราสุ่มที่ไม่เหมาะสมอีกประการหนึ่งที่เกิดกับสัญญาณรูปชายน์แสดงได้ดังรูปที่ 6 เรียกว่าเอเลียส ฟรีเควนซี (alias frequency) ซึ่งเกิดกับสัญญาณที่เปลี่ยนกลับมาเช่นเดิมหลังจากการสุ่มแล้ว

ในกรณีที่การสุ่มในอัตราที่ต่ำกว่าสองเท่าต่อรอบ สัญญาณอินพุทจะทำให้ได้สัญญาณรูปชายน์ความถี่ต่ำ แสดงเป็นจุดไข่ปลาในรูปที่ 6 ซึ่งจะเห็นว่าความถี่เอเลียสอาจจะแตกต่างจากความถี่เดิมไปมาก

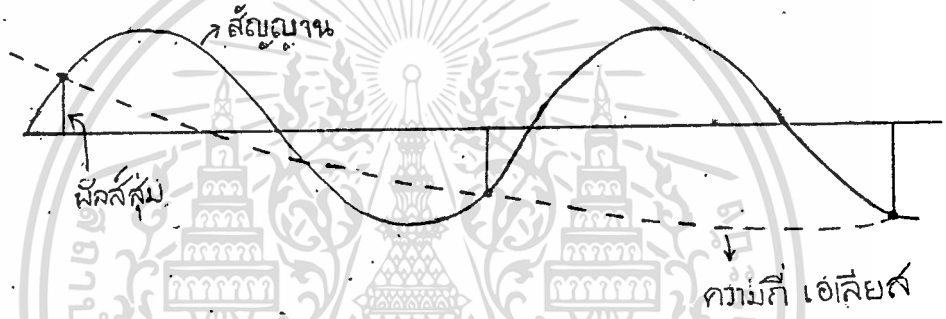


รูปที่ 5 (ก) แสดงสเปคตรัมของสัญญาณอนาลอกที่จะถูกสุ่ม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5 (ข) หลังจากการสุ่มการเกิด ฟรีเควนซี่โฟลดิง

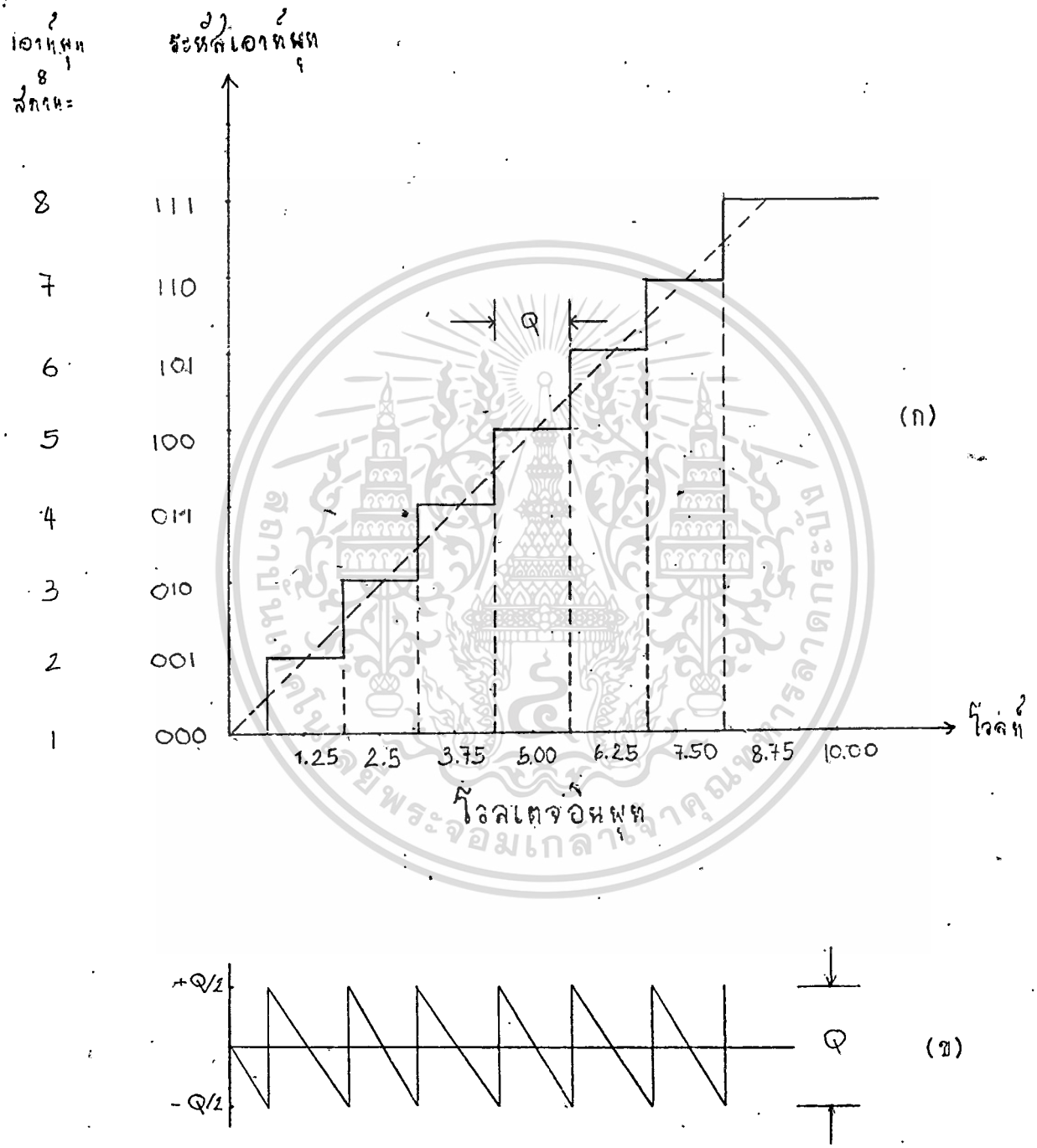


รูปที่ 6 การเกิดเอเลียส ฟรีเควนซี่จากการสุ่มความถี่ต่ำกว่าสองเท่าของสัญญาณอนาลอก

2.3 ทฤษฎีของการควอนไทซ์ (quantizing Theory)

การควอนไทซ์เป็นขบวนการที่แปลงสัญญาณอนาลอกออกเป็นสัญญาณที่ไม่ต่อเนื่องซึ่งจากนี้ก็จะผ่านขบวนการโค้ดดิ้ง (coding) จัดให้มีสัญญาณที่ไม่ต่อเนื่องนั้นอยู่ในรูปที่ง่ายต่อการประมวลทำความเข้าใจ และเป็นส่วนสัมพันธ์กับสัญญาณอนาลอก เช่น อยู่ในรูปของรหัสไบนารี่เป็นต้น หากนำเอาขนาดของสัญญาณอนาลอกและสัญญาณดิจิตอลที่สัมพันธ์จากการควอนไทซ์และเข้ารหัสแล้วมาเขียนกราฟก็จะได้กราฟแสดงดังรูปที่ 7

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 7 ทรานสเฟอร์ฟังก์ชันของควอนไทซ์ 3 บิท ตามทฤษฎี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

024680

ในรูปกราฟแสดงให้เห็นถึงความสัมพันธ์กันระหว่างสัญญาณอนาลอกที่ขนาดอยู่ในช่วง 0 ถึง 10 โวลท์ถูกควอนไทซ์และเข้ารหัสเป็นรหัสไบนารี 3 บิทได้ 8 ระดับจาก 000 ถึง 111 ในระบบไบนารี รหัสดิจิตอลแต่ละค่าขนาดของสัญญาณอนาลอกแต่ละค่าที่เป็นสัดส่วนกับค่าเต็มสเกล โดยค่าสูงสุดของรหัสดิจิตอลคือทุกบิทเป็น 1 จะเท่ากับสัญญาณอนาลอกเต็มสเกลคูณด้วยค่า $(1-2^{-n})$ โดย n เป็นจำนวนบิทของรหัสดิจิตอล และรหัสดิจิตอลแต่ละบิทที่เป็น 1 จะเท่ากับขนาดเต็มสเกลของอนาลอกคูณกับค่าของน้ำหนักของรหัสชนิดนั้นหารด้วย 2^n ตัวอย่างเช่น ค่าเต็มสเกลของอนาลอกเป็น 10 โวลท์ รหัส 1011 จะแทนขนาดสัญญาณอนาลอกอินพุท

$$V_{input} = \frac{R_s}{2^n} (1\times2^3) + (0\times2^3) + (1\times2^1) + (1\times2^0)$$
$$= \frac{10}{2^4} (1\times2^3) + (0\times2^2) + (1\times2^1) + (1\times2^0)$$

จุดสำคัญที่เกี่ยวข้องกับกราฟทรานสเฟอร์ฟังก์ชันในรูปที่ 7 อันแรกได้แก่ รีโซลูชันของควอนไทเซอร์ ซึ่งกำหนดได้จากจำนวนบิทของรหัสดิจิตอล หรือจากกราฟคือขนาดความกว้างของสเตปทางแกนอนาลอกว่าเป็นสัดส่วนเท่าใดระหว่างเต็มสเกลอนาลอกกับค่า 2^n

จำนวนสถานะเอาท์พุทกำหนดได้จากจำนวนบิทคือเท่ากับ 2 สถานะ ตัวอย่างกรณีเอทูดี 8 บิท ควอนไทเซอร์จะให้เอาท์พุท 256 สถานะ และ 12 บิทให้ 4096 สถานะต่อค่าเต็มสเกลของอนาลอก ในไดอะแกรมแสดงทรานสเฟอร์ฟังก์ชัน จะเห็นว่าจุดแบ่งระดับ(decision point หรือ treshold level) สัญญาณอนาลอกจะมีจำนวน 2 -1 จุดอยู่ที่ 0.625, 1.875, 3.125, 4.375, 5.625, 6.875 และ 8.125 โวลท์, ระหว่างจุดดังกล่าวเป็นสัญญาณอนาลอกซึ่งแปลงเป็นรหัสดิจิตอล 1 สถานะ ดังนั้นค่าเหล่านี้จะต้องปรับให้ถูกต้องมากที่สุดเพื่อแปลงขนาดของอนาลอกให้ตรงกับค่าที่ทำการควอนไทซ์

แรงดันที่ 1.25, 2.50, 3.75, 5.0, 6.25, 7.25 และ8.75 โวลท์ เป็นจุดกึ่งกลางในช่วงของสัญญาณอนาลอกที่แสดง 1 สถานะ เอาท์พุทดิจิตอลฟังก์ชันที่เป็นลักษณะขั้นบันไดนี้สามารถประมาณเป็นเส้นตรงโดยการโยงเส้นตรงระหว่างจุดเริ่มต้นและจุดปลาย ณ จุดกึ่งกลางของรหัสดิจิตอลสถานะสุดท้าย สังเกตว่า ในทางทฤษฎีแล้วเส้นตรงนี้จะต้องผ่านจุดกึ่งกลางของทุกระดับดิจิตอล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.4 ควอนไทเซอร์รีโซลูชันและความผิดพลาด (Quantizer Resolution and Error)

ในแต่ละสถานะของสัญญาณดิจิตอลเอาท์พุทจะแทนขนาดของสัญญาณอนาลอกค่าใดค่าหนึ่งในช่วงเล็ก ๆ ระหว่างจุดแบ่งระดับสองจุด เรียกช่วงเล็ก ๆ นี้ว่าเป็นขนาดหนึ่งอนาลอกควอนไทเซชัน (analog quantization) หรือหนึ่งควันตัม(quantum) หรือ 1 LSB (least significant bit) ของการแปลงสัญญาณ ตัวอย่างในรูป 7 ก ควันตัมคือ 1.25 โวลท์ ค่านี้ได้จากการคำนวณจาก

$$Q = \frac{FSR}{2^n}$$

FSR คือ ช่วงเต็มสเกลของแรงดันอนาลอก

n คือ จำนวนบิทของระหัสดิจิตอล

จากสมการจะเห็นว่า หากจำนวนบิทมากขนาดของการควอนไทซ์ก็จะลดลง และถ้าให้สัญญาณอินพุทของควอนไทเซอร์กวาดไปตลอดช่วงของสัญญาณอนาลอกก็จะเห็นช่วงของผลต่างของอนาลอกอินพุทและดิจิตอลเอาท์พุทเป็นช่วงซึ่งพลอตได้เป็นรูปฟันเลื่อยดังรูป 7 (ข) เรียกว่าความผิดพลาดที่เกิดจากการควอนไทซ์ ซึ่งความผิดพลาดนั้นก็คือ 1 ช่วงสัญญาณ อนาลอกแปลงเป็นระหัสดิจิตอล 1 สถานะดังกล่าวมาแล้วนั่นเอง

ความผิดพลาดนี้เป็นธรรมชาติของการควอนไทซ์ ซึ่งจักทำการแก้ไขไม่ได้นอกจากการเพิ่มจำนวนบิทของควอนไทเซอร์ให้มากขึ้น และความผิดพลาดของเอาท์พุทจะอยู่ระหว่าง 0-Q/2 ความผิดพลาดอาจจะเป็น 0 เมื่อสัญญาณอนาลอกมีค่าที่จุดกึ่งกลางของควันตัมพอดีลักษณะฟังก์ชันของความผิดพลาดจะสามารถคิดเป็นสัญญาณรบกวนทางอินพุท ซึ่งมีค่าเป็น Q V_{p-p} และเฉลี่ยเป็น 0 ค่าอาร์เอ็มเอส (rms) เป็น $Q/2\sqrt{3}$ ซึ่งจะได้จากการวิเคราะห์รูปคลื่นฟันเลื่อย

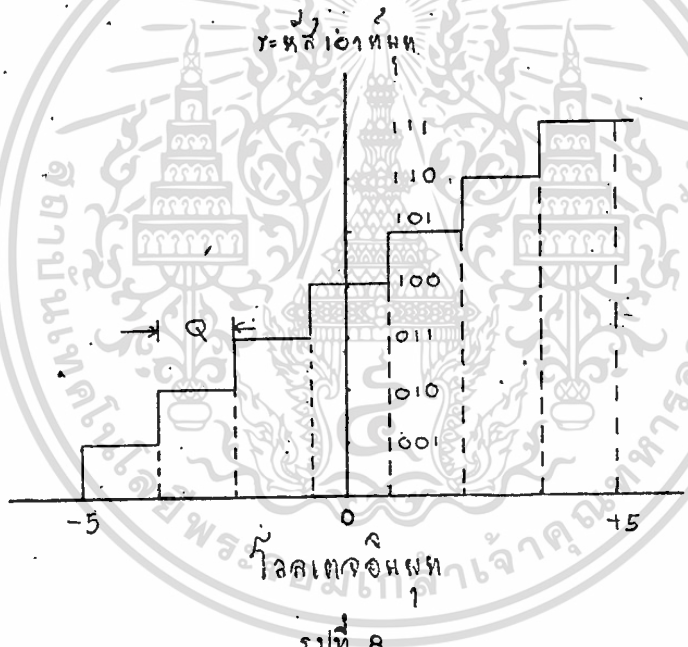
2.5 ระหัสตัวเลขสำหรับการเปลี่ยนข้อมูล

ระหัสตัวเลขที่นิยมนำมาใช้ในระบบเปลี่ยนข้อมูลได้แก่ระหัสไบนารีหรือที่เรียกว่าสเตรทไบนารี (straight binary) โดยที่ระหัสไบนารีสถานะสูงสุดจะแทนสัญญาณ FSR $(1-2^{-n})$ โวลท์ ตัวอย่างเช่นสัญญาณอนาลอกเต็มสเกล (FSR) เท่ากับ 20 โวลท์ สำหรับข้อมูลขนาด 12 บิท ดังนั้นระหัส 1111 1111 1111 จะแทนสัญญาณอนาลอกขนาด $20\ (1-2^{-n})$ 19.9951171 โวลท์ นอกจากระหัสไบนารีธรรมดาดังกล่าวยังมีการใช้ระบบไบนารีแบบอื่นๆในระบบการแปลงสัญญาณ ได้แก่ ออฟเซ็ทไบนารี, ทู คอมพลีเมนต์ (two's complement), บีซีดี (BCD) ซึ่งแต่ละระบบมีข้อดีและ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ในเชิงพาณิชย์ ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ความเหมาะสมต่างกัน ตัวอย่างเช่น ระบบบีซีดีเหมาะสำหรับการแสดงตัวเป็นตัวเลขหน้าปัทม์ หรือต่อเข้ากับดิจิทอลมิเตอร์ ระหัสแบบทู คอมพลีเมนท์ เหมาะสำหรับการคำนวณลอจิกทางคณิตศาสตร์ และระบบออฟเซ็ทไบนารีเหมาะสำหรับการแปลงสัญญาณอินพุทที่มีทั้งช่วงบวกและลบ ในรูปที่ 8 แสดงทรานสเฟอร์พังก์ชันของเอทูดี 3 บิทที่ใช้ระหัสออฟเซ็ทไบนารี

นอกจากมาตรฐานของการใช้ระหัสตัวเลขแล้ว ยังมีมาตรฐานของการเลือกช่วงของขนาดแรงดันอินพุทสำหรับเอทูดี คือหากเป็นสัญญาณช่วงบวกหรือลบอย่างเดียวจะใช้ 2.5 โวลท์ หรือ 0-10 โวลท์ แต่ถ้าเป็นช่วงลบจะใช้ 2.5โวลท์, 5 โวลท์ และ 10 โวลท์เป็นมาตรฐาน



รูปที่ 8

2.6 <u>วงจรแซมปลิ้งและโฮล</u>

ในตอนต้นได้ว่าถึงจุดหมายในการใช้วงจรแซมปลิ้งและโฮลถึงเอทูดี และต่อจากนี้จะได้กล่าวถึงรายละเอียดของวงจรแซมปลิ้งและโฮลบางวงจรที่ใช้ในปัจจุบัน

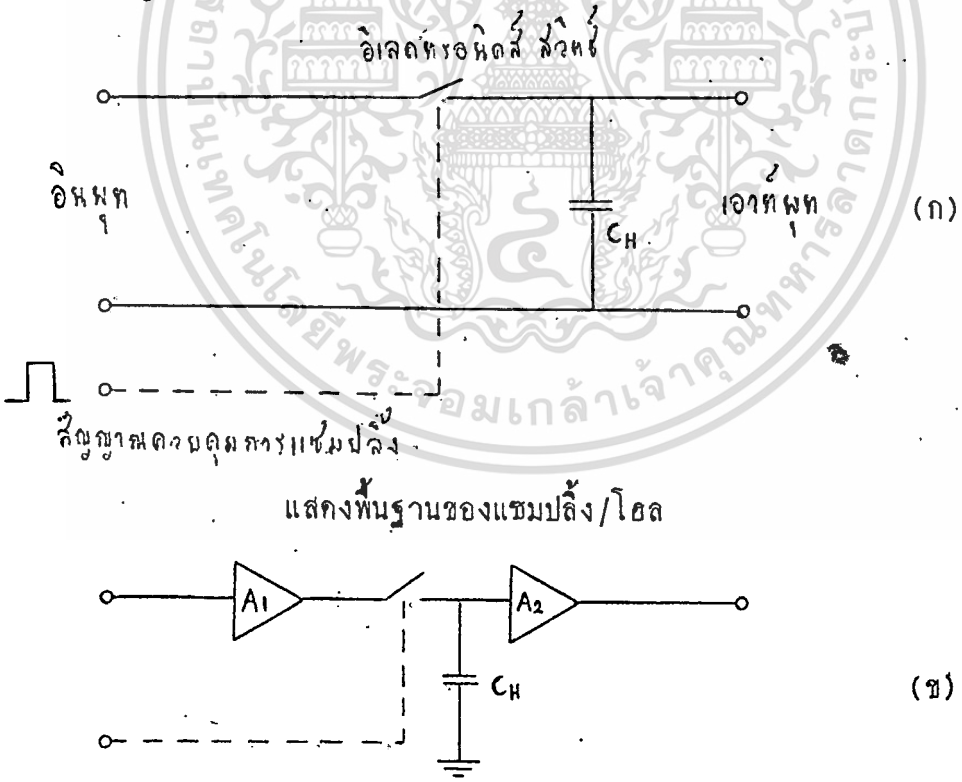
ความจริงแล้ววงจรแซมปลิ้งและโฮลมิได้มีใช้เฉพาะกับเอทูดีเท่านั้น แต่ก็ยังใช้กันทั่วๆไปในระบบดิจิทอลโวลท์มิเตอร์, อนาลอกคอมพิวเตอร์ เป็นต้น

วงจรแซมปลิ้งและโฮลโดยพื้นฐานแล้วเป็นอุปกรณ์หรือวงจรเก็บแรงดัน (voltage memory) ซึ่งใช้อุปกรณ์ร่วมสำคัญคือตัวเก็บประจุ ในรูปที่ 9 ก แสดงพื้นฐานของแซมปลิ้งและโฮลอิเล็กทรอนิกส์สวิทช์จะต่อสัญญาณแรงดันเข้ากับตัวเก็บประจุ ซึ่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

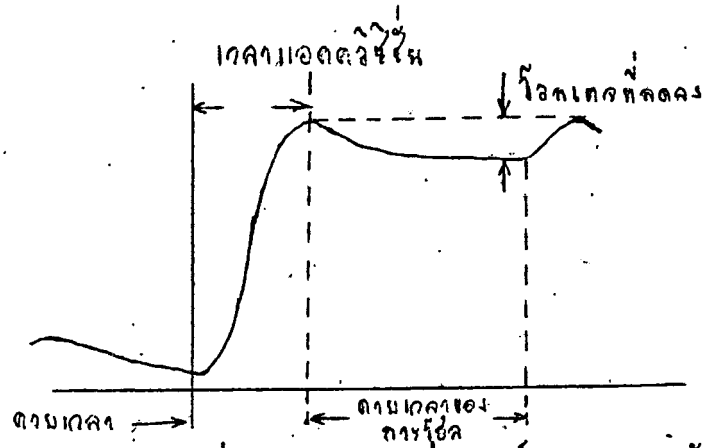
สวิทช์นี้ควบคุมจากพัลส์สุ่ม (sampling pulse) ช่วงการตัดสวิทช์และเวลาในการประจุแรงดันจนถึงค่าที่แซมปลิ้งมานั้นเรียกว่าเวลาอเพอเจอร์ของแซมปลิ้งและโฮล จากลักษณะการทำงานดังกล่าววงจรแซมปลิ้งและโฮลมีจุดต่อสัญญาณเข้าออก 3 จุดด้วยกันคือ สัญญาณอนาลอกอินพุท, สัญญาณแซมปลิ้ง และ เอาท์พุท

รูปที่ 9ข แสดงวงจรที่ใกล้เคียงกับวงจรที่ใช้ในทางปฏิบัติ โดยเพิ่มเติมบัฟเฟอร์แอมปลิไฟร์เข้าทางส่วนอินพุทและเอาท์พุทของแซมปลิ้งและโฮลพื้นฐาน แอมปลิไฟเออร์ทางด้านอินพุทช่วยทำให้วงจรมีอินพุทอิมพีแดนซ์สูง สะดวกต่อการใช้งานและสามารถเพิ่มกระแสเพื่อทำการประจุคาปาซิเตอร์ได้เร็วขึ้น ส่วนทางด้านเอาท์พุทช่วยทำให้เอาท์พุทอิมพีแดนซ์ต่ำสามารถขับเอาท์พุทได้ง่าย มีจุดสำคัญที่ต้องพิจารณาคือ ในส่วนของแอมปลิไฟร์ตัวหลังนี้ปกติแล้วจำเป็นต้องเป็นแอมปลิไฟร์ที่ใช้กระแสอินพุทต่ำ ทั้งนี้เพื่อให้ดึงกระแสจากตัวเก็บประจุในช่วงโฮลสัญญาณน้อยที่สุด มิฉะนั้นแรงดันที่โฮลไว้จะมีค่าลดลงดังแสดงในรูปที่ 10

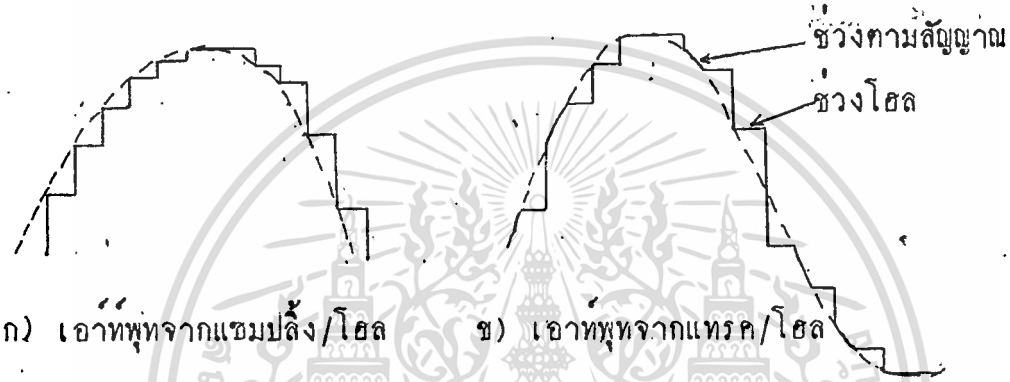


รูปที่ 9

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 10 แสดงรูปคลื่นเอาท์พุทของแซมปลิ้ง/โอล



ก) เอาท์พุทจากแซมปลิ้ง/โอล ข) เอาท์พุทจากแทรค/โอล

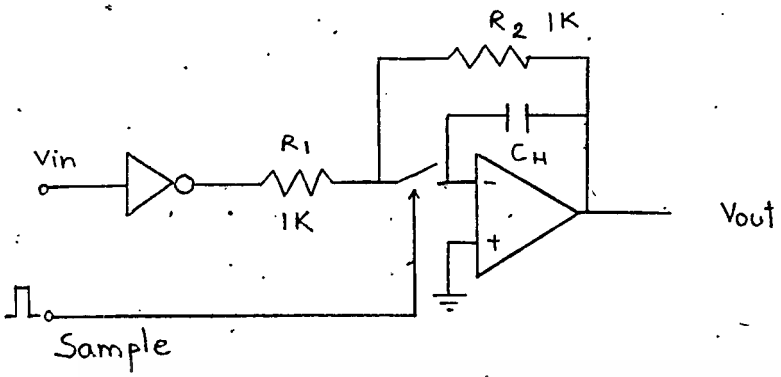
รูปที่ 11

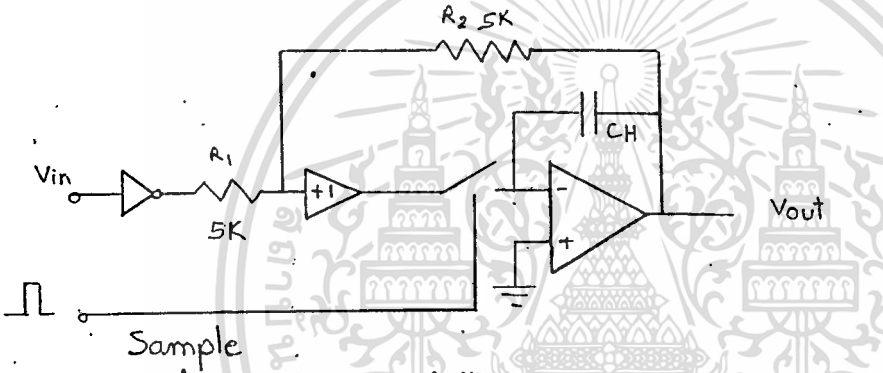
วงจรที่ใช้เป็นแซมปลิ้งและโอลใช้ระบบคาต้า แอคควิซิชัน (data acquisition) นิยมใช้ลองแบบคือ แซมปลิ้ง-โอลและแทรค-โอล วงจรแซมปลิ้งและโอลจะใช้วิธีสุ่มสัญญาณอย่างรวดเร็วแล้วเข้าสู่คาบเวลาของการโอล ซึ่งหมายความว่าสวิทช์ควบคุมจะต้อง ต่อช่วงเวลาอันสั้นต่อเนื่อง และส่วนแทรคและโอลจะต้องต่อสวิทช์แซมปลิ้งช้ากว่า แต่ขณะที่ตัดสัญญาณออกวงจรจะแทรคตามสัญญาณอินพุทจนกว่าจะมีการแซมปลิ้งสัญญาณใหม่ ลักษณะของเอาท์พุทของแซมปลิ้ง-โอลและแทรค-โอลแสดงในรูปที่ 11

นอกจากแซมปลิ้งและโอลทั้งสองแบบแล้ว ยังมีแบบอื่นๆที่มีการนำมาใช้ซึ่งจะไม่นำมากล่าว ณ ที่นี้

การจัดวงจรแซมปลิ้งและโอลมีการจัดวงจรได้หลายลักษณะ ซึ่งอาจนำไอซีหรือทรานซิสเตอร์มาประกอบเป็นวงจร ตลอดจนการสร้างวงจรทั้งหมดของแซมปลิ้งและโอลลงบนชิปไอซีเดียวกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

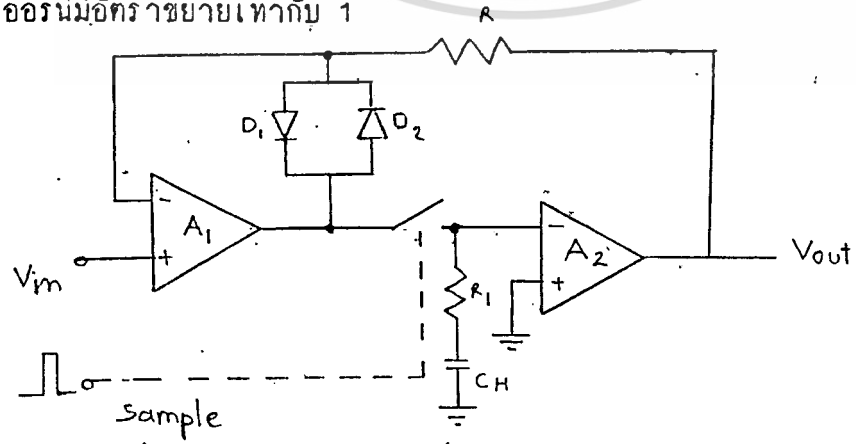




รูปที่ 12 วงจรอินเวอร์ทติ้งโคลสลูป

ก) วงจรอินเวอร์ทติ้งโคลสลูป (Inverting close loop circuit)

ในวงจรนี้ตัวเก็บประจุจะถูกประจุด้วยอัตรา RC ซึ่งสามารถเพิ่มความเร็วได้โดยใช้ current boot amplifier อยู่ในลูปป้อนกลับดังรูป ข. โดยแอมปลิ-ไฟเออร์นี้มีอัตราขยายเท่ากับ 1



รูปที่ 13 วงจรนอนอินเวอร์ติ้งโคลสลูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

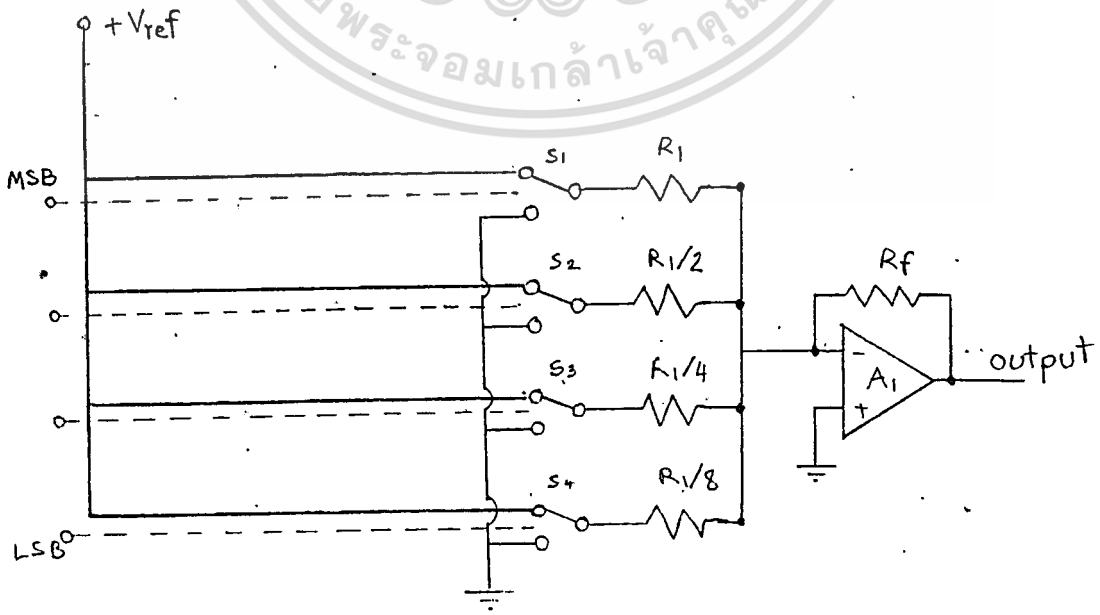
ข) วงจรนอนอินเวอร์ติ้งโคลสลูป (Noninverting close loop circuit)

แสดงในรูปที่ 13 ในวงจรนี้ A1จะทำหน้าที่เป็นบัฟเฟอร์ และ error amplifier ในตัว ซึ่งจะทำหน้าที่เปรียบเทียบแรงดันเอาท์พุทกับแรงดันอินพุทแล้วจะทำการประจุตัวเก็บประจุจนความผิดพลาดเท่ากับศูนย์ A2 ในวงจรนี้จะมีอินพุทอิมพีแดนซ์สูง และการป้อนกลับใน A1 ด้วยไดโอดทำให้ A1ไม่ช้าเป็นออปแอมป์ที่มีคุณภาพดีนัก ตัวต้านทาน R จะแยกอินพุทของ A1และเอาท์พุทของA2 ออกจากกันในช่วงโฮลโหมด (hold-mode)

ข้อดีของวงจรนี้คือ ทำงานได้รวดเร็วและแม่นยำ ความเร็วในการประจุขึ้นอยู่กับความเร็วของ A1 และความสามารถในการจ่ายกระแสของมัน ไดโอดสองตัวจะทำหน้าที่แคลมป์ (clamp) สัญญาณเอาท์พุทไปที่อินพุทอินเวอร์ทติ้งของ A1 เพื่อยังคงให้วงจรมีเสถียรภาพดีเมื่อสวิทช์แซมปลิ้งเปิดวงจร

2.7 <u>ดีทูเอแบบไบนารีเวทแลดเดอร์ (DAC binary weight ladder)</u>

การจัดวงจรแบบไบนารีเวทแลดเดอร์มีลักษณะตามรูปที่ 14 สวิทช์ S_1- S_4 จะถูกควบคุมเปิด/ปิดด้วยระหัสดิจิตอลเพื่อตัด/ต่อแรงดันอ้างอิงเข้ากับวงจร ความต้านทานที่มีค่า R, 2R, 4R,..... (2^n) R ตัวอย่างในกรณีดีทูเอแบบ 4 บิท ใช้ตัวต้านทานเป็น 10K, 20K, 40K และ 80K เป็นต้น



รูปที่ 14 ดีทูเอแบบไบนารีเวทแลดเดอร์

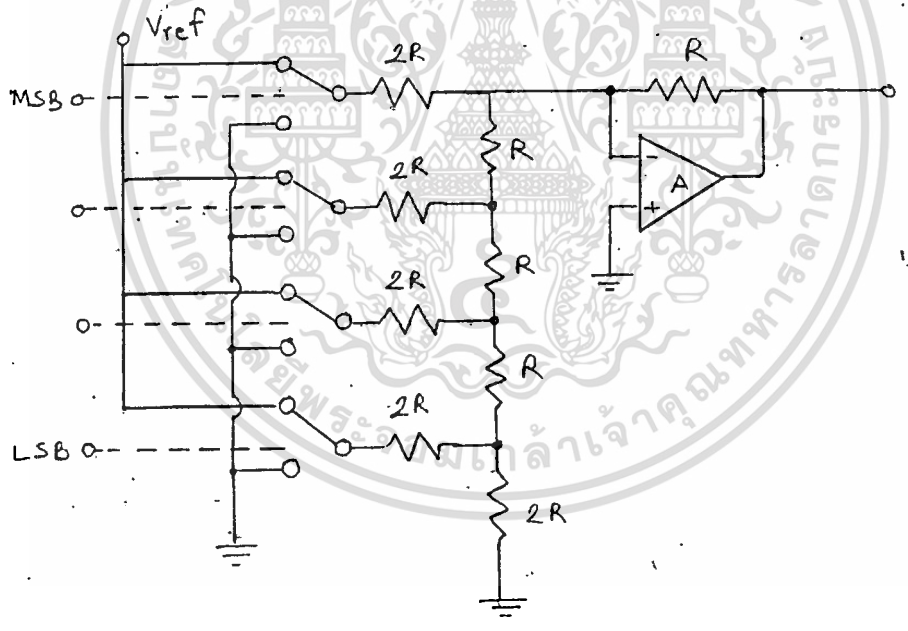
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ค่ารีซิสเตอร์ที่มีน้ำหนักตามระหัสดิจิตอลที่เพิ่มขึ้นจะทำให้กระแสผ่านรีซิสเตอร์เข้าไปรวมกันก่อนเข้าออปแอมป์ลดลงด้วยแฟกเตอร์ 2 ตามค่า R ที่เพิ่มขึ้น เช่น หากแรงดันอ้างอิงเป็น 10 โวลท์ ในตัวอย่างนี้กระแสที่ผ่านตัวต้านทานจะเป็น 1.0, 0.5, 0.25 และ 0.125 มิลลิแอมป์ ตามลำดับ ออปแอมป์ที่เอาท์พุทจะทำหน้าที่เปลี่ยนกระแสรวมให้เป็นแรงดันเอาท์พุท

$$V_o = - V_{ref} \frac{R_f}{R} (8S_4+4S_3+2S_2+S_1) \quad S \text{ close} = 1$$

2.8 <u>ดีทูเอแบบ R-2R แลดเดอร์</u>

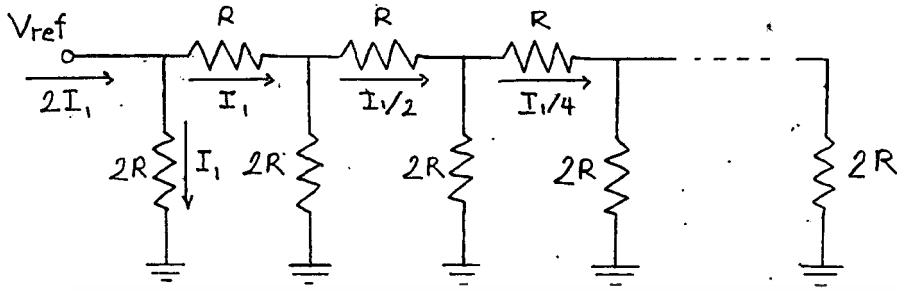
ถึงแม้ว่าดีทูเอแบบไบนารีเวท (binary weight) จะใช้ค่ารีซิสเตอร์เพียง 4 ค่าก็ตาม แต่ในการผลิตดีทูเอแบบนี้บนชิปไอซีเดียวกันก็ยังเป็นปัญหายุ่งยากในการผลิตอยู่ดี ซึ่งรูปแบบที่ดีกว่าคือการจัดวงจรแบบ R-2R ดังรูปที่ 15



รูปที่ 15 วงจรดีทูเอแบบ R-2R แลดเดอร์ ขนาด 4 บิท

ในวงจรนี้สวิทช์จะต่อให้แรงดันอ้างอิงต่อเข้ากับวงจรแลดเดอร์หรือต่อแลดเดอร์ลงกรา ที่ขา 2R จะเห็นได้ว่าสวิทช์อินพุทรีซิสเตอร์ (switch input resister,2R) มองเข้าไปจะเห็นคู่ของรีซิสเตอร์ระหว่างจุดต่อ R-2R ที่ติดกัน กระแสจะถูกบั่นทอนไปในอัตรา 2/1 ซึ่งสอดคล้องกับระหัสไบนารี ดังแสดงในรูปที่ 16

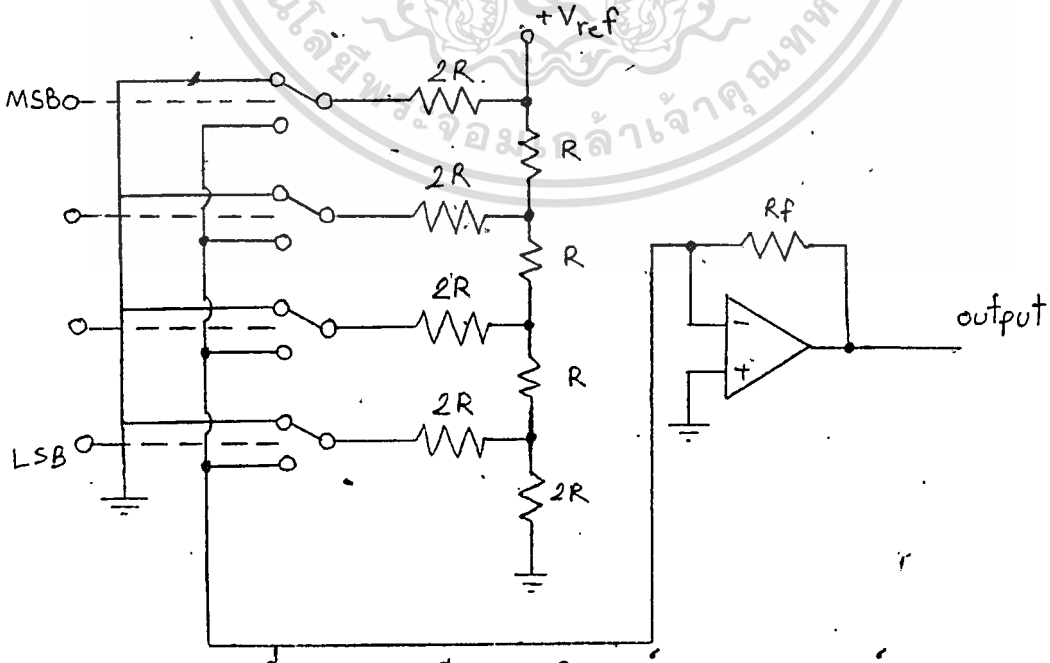
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 16 วงจรรีซีสทีฟแลดเดอร์

2.9 <u>ดีทูเอแบบอินเวอร์ท R/2R แลดเดอร์</u>

ลักษณะการจัดวงจรแบบนี้จะคล้ายกับแบบ R-2R แลดเดอร์ เพียงแต่สวิทช์จะต่อขา R กับกราวด์และอินพุทของวงจร ขยายการรวม (summing amplifier) แทนที่จะเป็น V_{ref} วิธีการนี้นิยมใช้ในการทำดีทูเอในวงจรรวม เพราะสวิทช์จะต่อที่แรงดันคร่อมต่ำกว่าซึ่งสร้างได้ง่ายกว่า

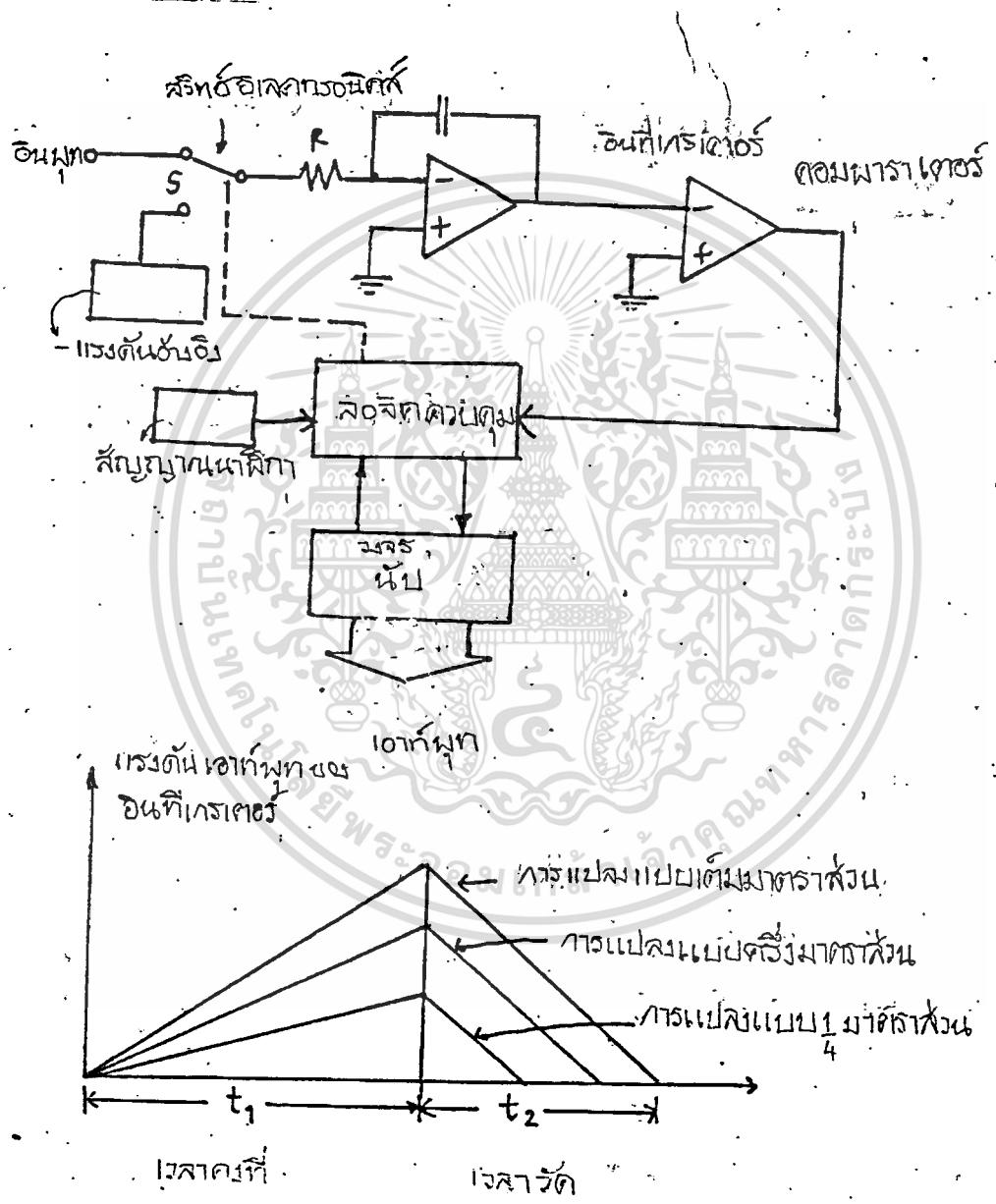


รูปที่ 17 วงจรดีทูเอแบบอินเวอร์ท R/2Rแลดเดอร์ S-close=1

$$V_0 = -V_{ref}\frac{Rf}{16\ R}(8S_4+4S_3+2S_2+S_1) \qquad \text{S-open=0}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอทูดี คอนเวอร์ทเตอร์ ชนิดนี้เป็นแบบหนึ่งที่ใช้การเชื่อมต่อ ซึ่งมีการจัดวงจรดังรูปที่ 18



รูปที่ 18 (ก) บล็อกไดอะแกรมของ ดูอัลสโลป เอทูดี

(ข) รูปคลื่นเอาท์พุท

ในไซเคิลการทำงานของวงจรจะมีสองช่วงคือ t_1 และ t_2 ในเวลา t_1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จะเป็นช่วงเวลาที่ได้รับการออกแบบให้มีค่าแน่นอนคงที่ ในช่วงเวลานี้สัญญาณอินพุทจะต่อเข้ากับอินทีเกรทเตอร์ผ่านสวิทช์ s ซึ่งทำให้เอาท์พุทที่ถูกอินทีเกรท V_{int} เป็นรูปสัญญาณ ramp เพิ่มขึ้นทางบวกและสโลปขึ้นอยู่กับขนาดของ V_{in} จนกระทั่ง V_{int} ถึงค่าค่าหนึ่งเมื่อสิ้นสุด t_1 ในช่วงเวลา t_2 อินพุทจะถูกตัดออกจากอินทีเกรเตอร์และต่อกับแรงดันอ้างอิง ซึ่งมีค่าเป็นลบเข้ากับอินพุทของอินทีเกรเตอร์ โดยการควบคุมทางลอจิค ในลักษณะเช่นนี้จะทำให้ V_{int} ลดลงด้วยสโลปคงที่จากการคายประจุผ่านลง $-V_{ref}$ เมื่อเริ่มต้นเวลา t_2 เคาท์เตอร์จะรีเซ็ทและเริ่มนับจนเมื่อ V_{int} มีค่าลดลงถึง 0 คอมพาราเตอร์จะเปลี่ยนสถานะไปบอกส่วนควบคุมลอจิคให้หยุดนับและเอาท์พุทของเคาท์เตอร์จะถูกแปลงเป็นระหัสดิจิตอล ความสัมพันธ์ระหว่างช่วงเวลากับแรงดันอินพุทจะเป็นไปตามสมการ

$$t_2 = t_1 \frac{V_{in}}{V_{ref}}$$

ดังนั้นระหัสดิจิตอลที่แสดงค่า t_2 จะแสดงค่าอัตราส่วนของแรงดันอินพุทต่อแรงดันอ้างอิง

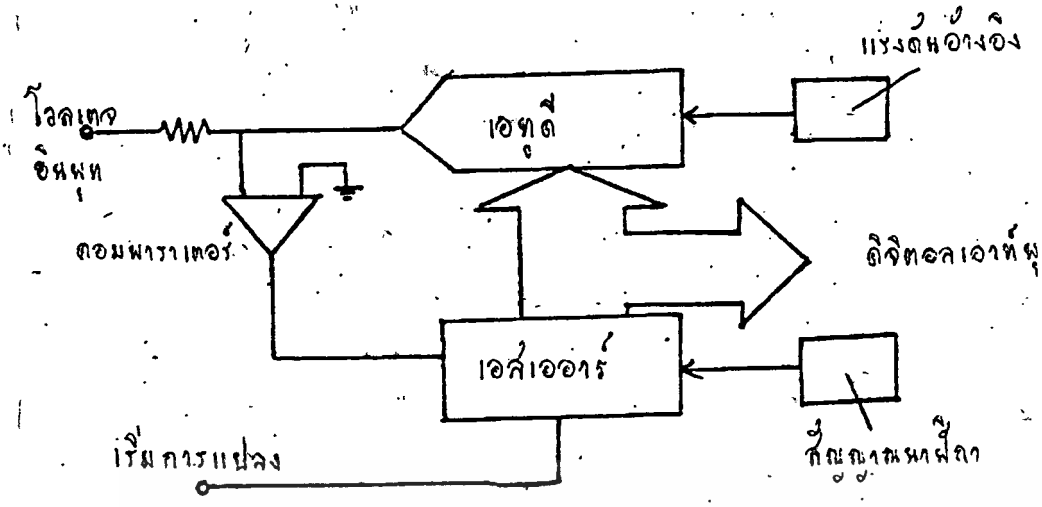
คุณลักษณะสำคัญของดูอัลสโลปมีหลายประการคือ ประการแรกความแม่นยำของมันไม่ขึ้นอยู่กับสเถียรภาพของสัญญาณนาฬิกาและตัวเก็บประจุ แต่จะขึ้นอยู่กับความเที่ยงตรงของแรงดันอ้างอิงและความเป็นเชิงเส้นของอินทิเกรเตอร์ ประการที่สองการจำกัดสัญญาณรบกวนด้วยตนเองของวงจรสามารถกระทำได้ ถ้าเซ็ทให้ t_1 มีขนาดเท่ากับคาบเวลาของสัญญาณรบกวน เช่นในการกำจัดสัญญาณ 50 เฮิร์ท t_1 จะทำให้มีค่า 20 มิลลิวินาที

ส่วนข้อเสียที่สำคัญของเอทูดีนี้คือ ความเร็วในการแปลงสัญญาณค่อนข้างต่ำซึ่งมักนิยมใช้กับเครื่องมือวัดที่ไม่ต้องการความเร็วเช่น ดิจิตอลมัลติมิเตอร์ เป็นต้น

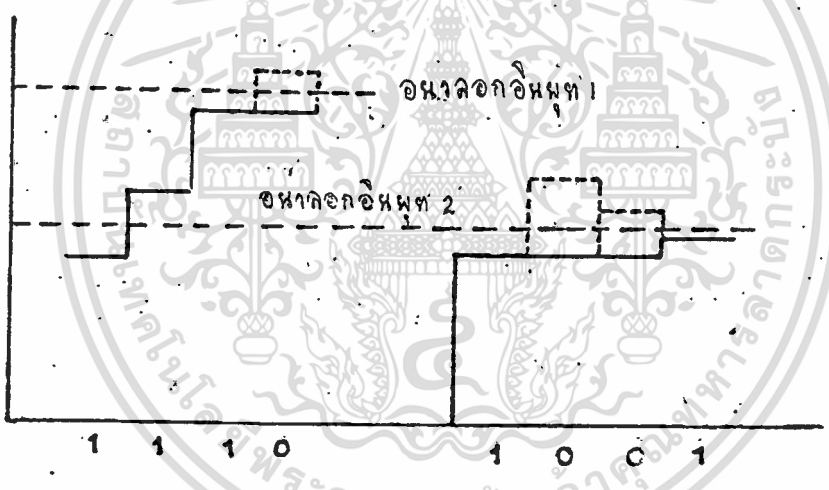
2.10 <u>ซัคเซสซีฟ แอบพรอคซิเมชัน</u>

วงจรเอทูดีชนิดนี้ เป็นเทคนิคที่ได้รับความนิยมในงานประยุกต์ที่ต้องการความเร็วสูงและปานกลาง การจัดวงจรจะคล้ายกับแบบเคาท์เตอร์ที่ทำงานในลักษณะการป้อนกลับบล็อกไดอะแกรมในรูปที่ 19 แสดงพังชั่นต่างๆในเอทูดีชนิดนี้ คอมพาราเตอร์จะคอยเปรียบเทียบเอาท์พุทจากเอทูดี กับอนาลอกอินพุท V_{in} เอาท์พุทจะไปควบคุม เอสเออาร์ (Successive Approximation register) ซึ่งเป็นไอซี MSI ที่ได้รับการออกแบบเป็นพิเศษเพื่อทำหน้าที่นี้โดยเฉพาะ การทำงานของ เอสเออาร์เป็นดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 19 บล็อกไดอะแกรมของ ซักเซสซีฟ แอบพรอคซิเมชั่น คอนเวอร์เตอร์



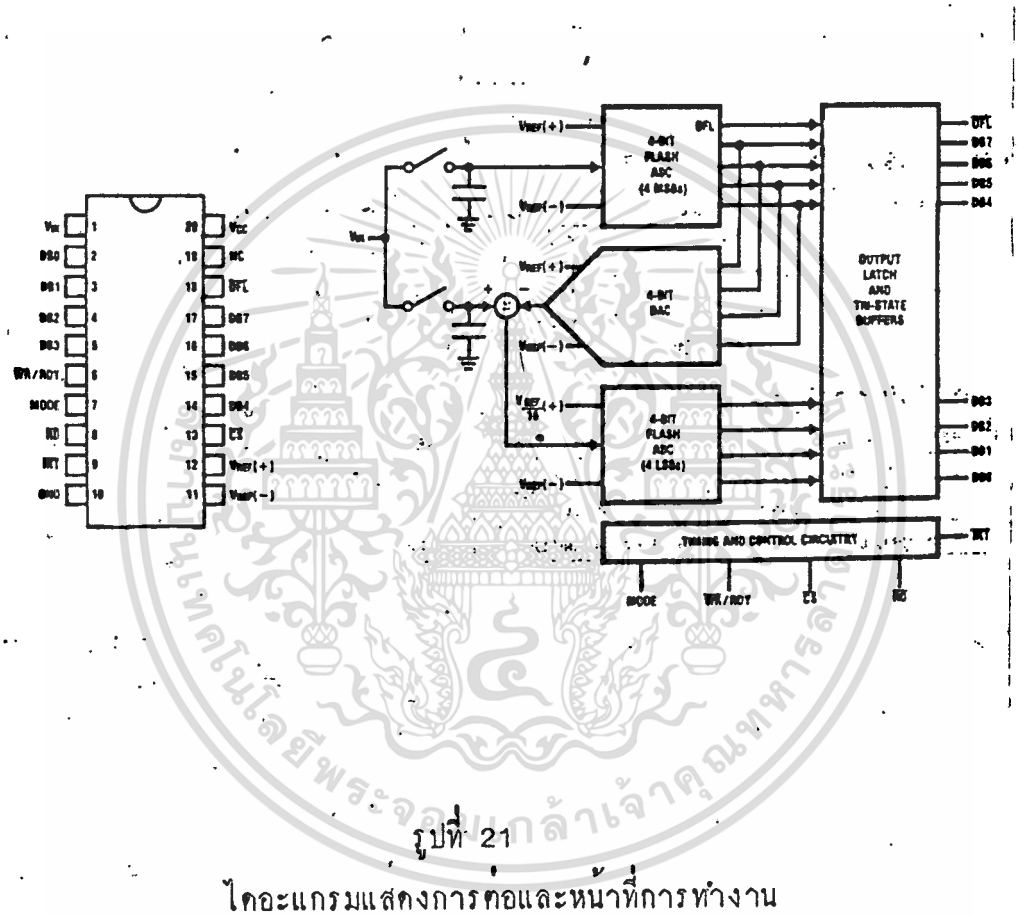
รูปที่ 20 แผนภูมิเวลาของ เอสเออาร์

ในรูปที่ 20 แสดงแผนภูมิเวลาของเอทูดี ที่มีระดับอนาลอก 1 และ 2 ที่ระดับ 1 เมื่อสัญญาณนาฬิกาเข้าไป 1 ลูก จะทำให้บิทที่มีนัยสำคัญสูงสุดเป็น 1 ทุกบิท ยังคงเป็นศูนย์ เอทูดีจะเปลี่ยนเอาท์พุทของ เอสเออาร์เป็นอนาลอกเปรียบเทียบกับสัญญาณอนาลอกอินพุท ถ้าผลการเปรียบเทียบที่คอมพาราเตอร์ว่าน้อยกว่าอินพุทให้คงบิทนั้นเป็น 1 ไว้ แต่ถ้ามากกว่าจะให้บิทนั้นเป็น 0 จากนั้นทำการทดสอบบิทถัดไป โดยทำให้เป็น 1 หากผลรวมของลองบิท หรือบิทหลังมากกว่าก็ทำให้บิทนั้นเป็น 0 แต่ถ้าน้อยกว่าให้คง 1 ไว้ แล้วทดสอบบิทถัดไป กรรมวิธีดังกล่าวจะกระทำต่อไปจนครบทุกบิทหรือจนกว่าเอาท์พุทจะต่างจาก V_{in} ไม่เกิน 1 บิทที่มีนัยสำคัญน้อยที่สุด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.11 เอทูดีที่ใช้งานจริง

อุปกรณ์ในการแปลงสัญญาณที่ใช้จริงคือเบอร์ 0820 (ADC 0820) ซึ่งใช้เวลาในการแปลงสัญญาณน้อยมากเพียง 1.5 ไมโครวินาที ซึ่งมีการทำงานแบบฮาล์ฟแฟลช (half flash) ซึ่งคล้ายกับ แฟลช (flash)



รูปที่ 21
ไดอะแกรมแสดงการต่อและหน้าที่การทำงาน
ของเอทูดี 0820

ซึ่งประกอบไปด้วยส่วนประกอบดังนี้

1. วงจรแฟลช 4 บิทนัยสำคัญสูงสุด (most significant flash)
2. วงจรแปลงสัญญาณดิจิตอล 4 บิทเป็นสัญญาณอนาลอก
3. วงจรแฟลช 4 บิทนัยสำคัญต่ำสุด (least significant flash)
4. วงจรควบคุม
5. วงจรเอาท์พุทแลทช์และไตรสเตทบัฟเฟอร์ (tri-state buffer)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรแฟลช 4 บิทนัยสำคัญสูงสุด

ประกอบด้วย

1. คอมพาราเตอร์ 15 ตัว และค่าความต้านทานแบ่งแรงดัน 15 ตัว เพื่อเป็นแรงดันอ้างอิงให้กับคอมพาราเตอร์ทั้ง 15 ตัว

2. วงจรถอดรหัส

โดยมีการทำงานดังนี้

เมื่อมีสัญญาณอินพุทเข้ามา คอมพาราเตอร์ก็จะทำการเปรียบเทียบแรงดันอินพุทกับแรงดันอ้างอิงค่าต่างๆจนได้ค่าเอาท์พุทค่าหนึ่ง แล้วจะผ่านเข้าสู่วงจรถอดระหัสสัญญาณนี้ให้ได้เป็นสัญญาณไบนารี 4 บิทนัยสำคัญสูงสุด

วงจรแปลงสัญญาณดิจิตอล 4 บิทเป็นสัญญาณอนาลอก

โครงสร้างเป็นวงจรอนาลอกทูดิจิตอลขนาด 4 บิท มีหน้าที่แปลงสัญญาณดิจิตอลขนาด 4 บิทจากวงจรส่วนแฟลช 4 บิทนัยสำคัญสูงสุดให้เป็นสัญญาณอนาลอก เพื่อจะนำไปสู่วงจรแฟลช 4 บิทนัยสำคัญต่ำสุดต่อไป

วงจรแฟลช 4 บิทนัยสำคัญต่ำสุด

ประกอบด้วย

1. คอมพาราเตอร์ 15 ตัวและความต้านทานแบ่งแรงดันอ้างอิงชุดเดียวกับที่ใช้ในวงจรแฟลช 4 บิทนัยสำคัญสูงสุด

2. วงจรถอดระหัส

โดยมีการทำงานดังนี้

แรงดันที่ได้จากวงจรแปลงสัญญาณดิจิตอล 4 บิทเป็นสัญญาณอนาลอกจะถูกนำมาเปรียบเทียบกับแรงดันอ้างอิง ซึ่งจะทำให้ได้ค่าเอาท์พุทออกมาค่าหนึ่ง และผ่านวงจรถอดระหัสซึ่งจะทำการถอดระหัสสัญญาณจากคอมพาราเตอร์ให้เป็นสัญญาณไบนารี 4 บิทนัยสำคัญต่ำสุด

วงจรควบคุม

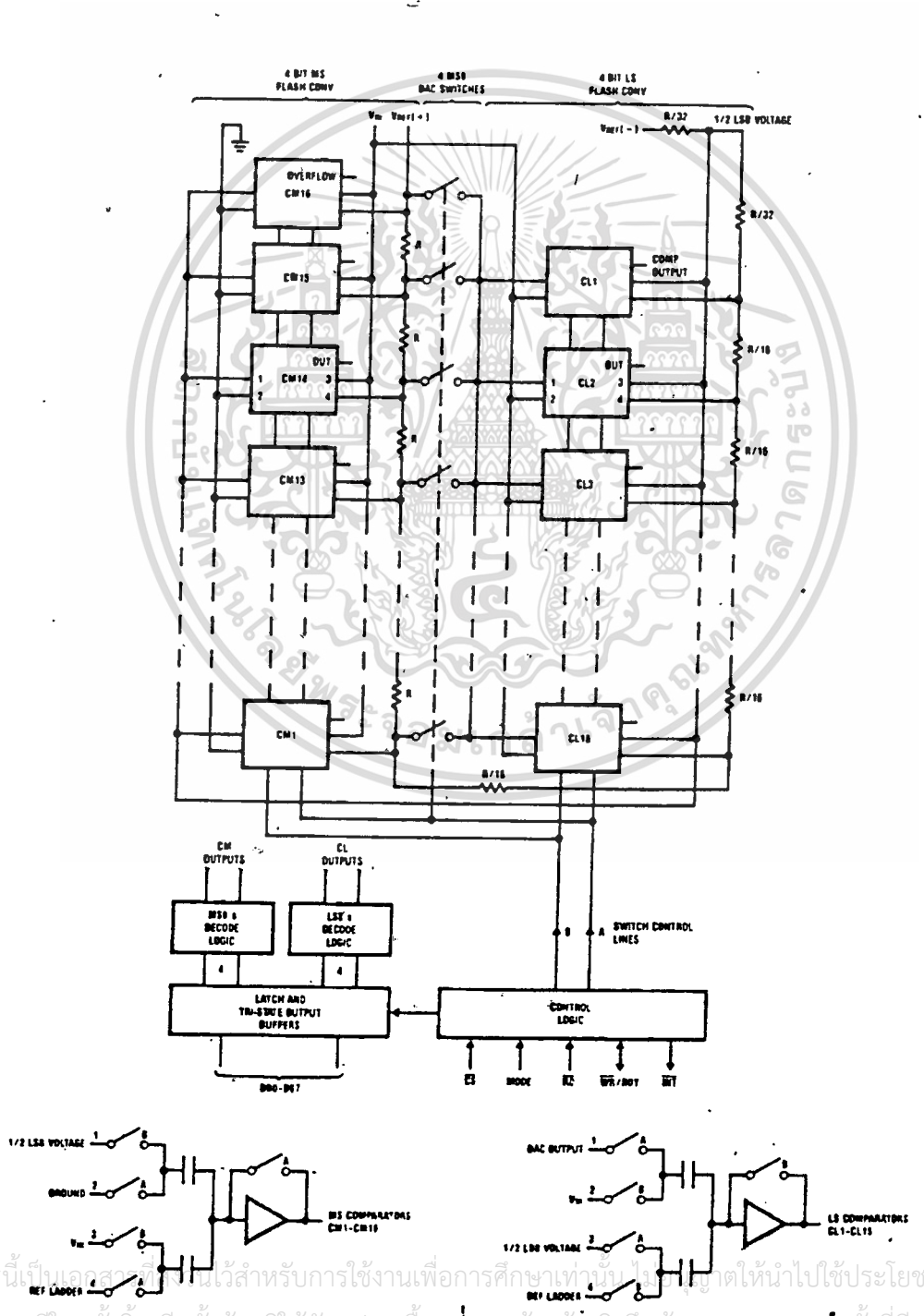
วงจรนี้ทำหน้าที่รับสัญญาณควบคุมสัญญาณจากภายนอก เพื่อนำมาควบคุมการทำงานภายในระบบให้ถูกต้อง เช่น สัญญาณการเขียน เป็นต้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

<u>วงจรเอาท์พุทแลทช์และไตร์สเตทบัฟเฟอร์</u>

วงจรนี้ทำหน้าที่ลงค่าของสัญญาณดิจิตอลเอาท์พุททั้ง 8 บิทไว้ในขณะที่ยังไม่ได้แปลงสัญญาณในครั้งต่อไป และเมื่อวงจรส่วนนี้ไม่ทำงาน วงจรส่วนนี้ก็จะมีความต้านทานสูงมาก ทำให้ตัดขาดจากดาต้าบัส

บล็อกไดอะแกรมของวงจรในภาคเอทูดีแสดงได้ดังนี้



รูปที่ 22 แสดงบล็อกไดอะแกรมของ เอทูดี

แผนภูมิ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

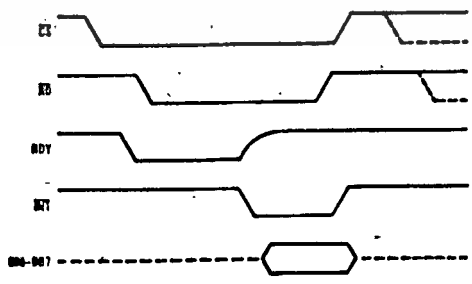
เอทูดี 0820 การแปลงอนาลอกเป็นดิจิตอลใช้ 4 บิทแฟลช 2 ชุด ในการทำให้ได้ดิจิตอล 8 บิท แต่ละแฟลชจะใช้ 15 คอมพาราเตอร์ เพื่อเปรียบเทียบกับสัญญาณอินพุทซึ่งไม่รู้ค่ากับสัญญาณอ้างอิง เพื่อให้ได้เป็นสัญญาณดิจิตอล 4 บิท

แฟลชชุดแรกจะทำให้ได้สัญญาณดิจิตอล 4 บิทนัยสำคัญสูง 4 บิทนัยสำคัญสูงนี้จะผ่านเข้าวงจรแปลงสัญญาณดิจิตอลเป็นอนาลอก(ดีทูเอ) เพื่อสร้างสัญญาณอนาลอก(มีดีทูเอภายใน) เพื่อนำไปหักล้างกับสัญญาณอินพุท และค่าแตกต่างของสัญญาณจะถูกแปลงเป็นสัญญาณดิจิตอลอีก 4 บิทนัยสำคัญต่ำโดยแฟลชชุดที่สอง ซึ่งเมื่อรวมกับชุดแรกก็จะเป็น 8 บิท

เอทูดี 0820 มีวิธีการต่อพื้นฐานอยู่ 2 วิธี คือ

1. <u>โหมดการอ่าน</u>

เมื่อขาโหมด (MODE) ต่อกับกราวด์ การแปลงก็จะถูกตั้งให้อยู่ในโหมดการอ่าน ($\overline{RD}$) การแปลงจะสมบูรณ์โดยการทำให้สัญญาณการอ่านต่ำ (low) จนกระทั่งสัญญาณข้อมูลปรากฏออกมา และสัญญาณอินเตอร์รัพท์ ($\overline{INT}$) จะต่ำที่ตอนท้ายของการแปลงดังรูปที่ 23

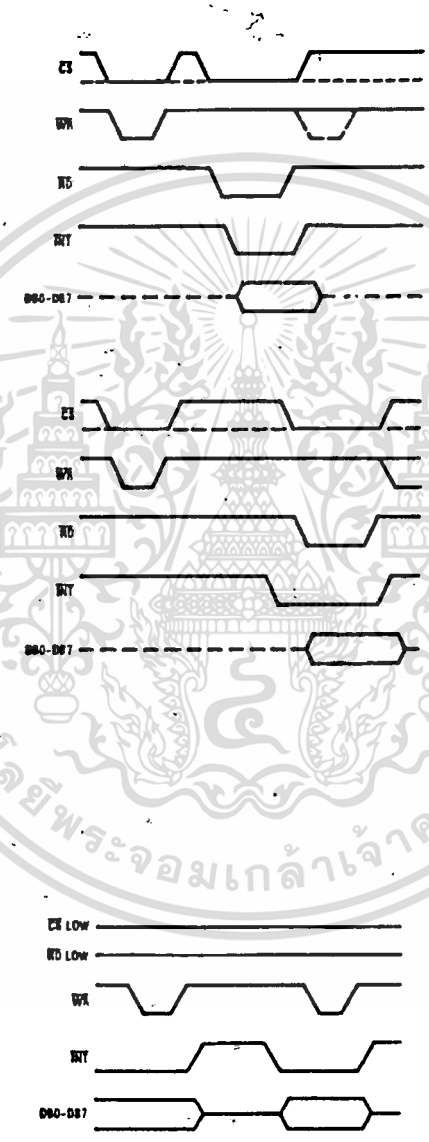


รูปที่ 23
แผนภูมิเวลาโหมดการอ่านขา 7 เป็นระดับต่ำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2. โหมดเขียน-อ่าน

เมื่อขาโหมดต่อกับแรงดันสูง (High) การแปลงก็จะถูกตั้งให้อยู่ในโหมดการเขียน-อ่าน ซึ่งมีสัญญาณควบคุมต่าง ๆ 3 แบบ ดังรูป เอ, บี และซี



24เอ โหมดเขียนอ่าน เมื่อขา $\overline{WR}$ เป็นระดับสูงและ $t_{RD} < t_\ell$

24บี โหมดเขียนอ่าน เมื่อขา $\overline{WR}$ เป็นระดับสูงและ $t_{RD} > t_\ell$

24ซี โหมดเขียนอ่าน เมื่อขา $\overline{WR}$ เป็นระดับสูง และเป็นการทำงานตามลำดับ

รูปที่ 24

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในที่นี้เลือกใช้ MC1408 8 บิทดีทูเอคอนเวอร์ทเตอร์ ซึ่งมีบล็อกไดอะ-แกรมดังรูปที่ ข้อมูลอินพุททั้ง 8 บิทจะถูกลงสถานะไว้โดยการควบคุมให้ 74LS273 ทำการแลทช์ข้อมูล แล้วส่งต่อให้ MC1408 แปลงข้อมูลโดยดีทูเอสวิทช์จะถูกควบคุมโดยระดับดิจิตอลอินพุทที่ป้อนเข้ามา ซึ่งมีจำนวนเท่ากับจำนวนไบนารีบิท สวิทช์เหล่านี้จะต่อกับแรงดันอ้างอิงขนาดหนึ่งเท่ากับวงจรดีทูเอสวิทช์ ค่าต่างๆที่เวทตามระหัสไบนารี เอาท์พุทบัฟเฟอร์แอมปลิไฟเออร์จะทำหน้าที่เปลี่ยนกระแสที่ถูกเวทโดยวงจรรี-ซิสเตอร์ให้เป็นแรงดันอนาลอกที่สัมพันธ์กัน โดยการใช้ NE5534 ต่อเป็นวงจรเปลี่ยนกระแสให้เป็นแรงดันเอาท์พุท ซึ่งจะนำไปปรับขนาดให้เท่ากับขนาดจริงต่อไป

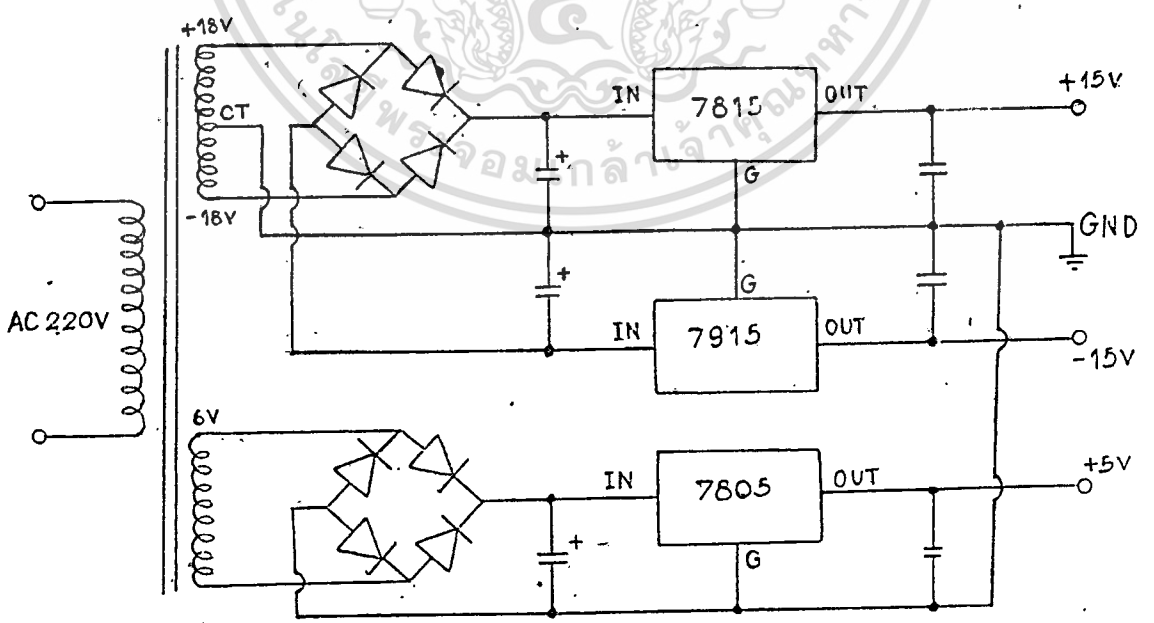
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3

การออกแบบและการทำงานของ ดิจิตอล สตอเรจ สโคป อแดปเตอร์

วงจรต่างๆภายในดิจิตอล สตอเรจ สโคป อแดปเตอร์สามารถอธิบายการทำงานของส่วนต่างๆของวงจร โดยการแบ่งวงจรเป็นส่วนๆดังนี้

3.1 วงจรแหล่งจ่ายไฟตรง . คือวงจรจ่ายพลังงานไฟฟ้าในรูปของแรงดันไฟฟ้า โดยการปรับแรงดันจากแหล่งกำเนิดให้อยู่ในระดับที่ต้องการและมีคุณสมบัติเหมาะสมกับการใช้งาน แหล่งจ่ายไฟตรงที่ใช้งานจริงแสดงได้ดังรูปที่ 25 แรงดันไฟสลับ 220 โวลท์ เข้ามาทางด้านขดปฐมภูมิของหม้อแปลง จะได้สัญญาณทางทุติยภูมิของหม้อแปลงขนาดเป็น 36 โวลท์อาร์เอ็มเอส โดยมีแรงดันไฟสลับอยู่ในช่วง -18 ถึง 18 โวลท์ เมื่อผ่านวงจรเรียงแรงดันแบบบริดจ์ (Bridge rectifier) จะแปลงแรงดันไฟสลับให้เป็นไฟตรงแล้วป้อนให้แก่วงจรควบคุมแรงดัน ซึ่งในที่นี้จะใช้ไอซี 3 เบอร์ด้วยกันคือ 7805,7815,7915 ซึ่งจะได้แรงดันทางเอาท์พุทเป็น 5,15,-15 โวลท์ตามลำดับ ตัวเก็บประจุทางอินพุทของวงจรควบคุมแรงดันทำหน้าที่เป็น วงจรกรองแรงดัน ส่วนตัวเก็ ประจุทางเอาท์พุทจะเป็นคาพาซิทีฟ โหลด



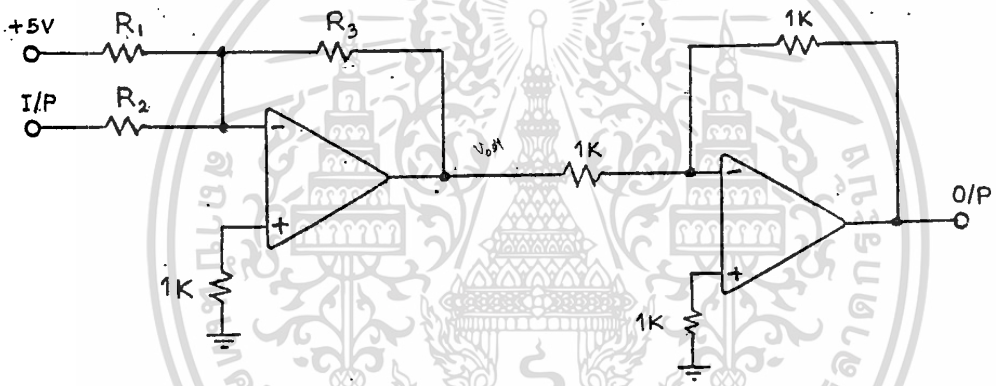
รูปที่ 25 แสดงวงจรแหล่งจ่ายไฟตรง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2 <u>วงจรด้านอินพุท</u>

ดังได้กล่าวไว้ข้างต้นแล้วว่า วงจรส่วนนี้เป็นวงจรในการจะปรับขนาดของสัญญาณอินพุทให้มีขนาดพอเหมาะคือ 0-5 โวลท์ มี 2 ช่องและแบ่งได้เป็น 3 ช่วง ดังนี้

1. ช่วงอินพุทอยู่ระหว่าง 2 โวลท์ ถึง 30 โวลท์
2. ช่วงอินพุทอยู่ระหว่าง 200 มิลลิโวลท์ ถึง 2.5 โวลท์
3. ช่วงอินพุทอยู่ระหว่าง 20 มิลลิโวลท์ ถึง 250 มิลลิโวลท์



รูปที่ 26 วงจรภาคอินพุท

สมการที่ใช้ในการออกแบบคือ

$$\text{อัตราขยาย} \approx \frac{R_3}{R_2} \qquad (1)$$

$$R_1 \approx 2\,R_3 \qquad (2)$$

1. <u>ช่วงอินพุทอยู่ระหว่าง 2 โวลท ถึง 30 โวลท์</u>

ในส่วนนี้ต้องลดขนาดของสัญญาณ 30 โวลท์ ลงมาให้เหลือ 5 โวลท์

$$\text{อัตราขยาย} = \frac{5}{30} = \frac{1}{6}$$

ให้ R_2 เท่ากับ 10 กิโลโอห์ม

$$R_3 \approx R_2 \times \text{อัตราขยาย}$$

$$\approx 10{,}000 \times \frac{1}{6}$$

$$\approx 1{,}666 \text{ โอห์ม}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดังนั้นเราเลือกใช้ R_3 เท่ากับ 1500 โอห์ม เพื่อความเหมาะสม

$$R_1 \approx 2 \times 1,500$$
$$\approx 3 \text{ กิโลโอห์ม}$$

ดังนั้นเราใช้ ประมาณ 3 กิโลโอห์ม

2. <u>ช่วงอินพุทอยู่ระหว่าง 200 มิลิโวลท์ถึง 2.5 โวลท์</u>

ในส่วนนี้ต้องเพิ่มขนาดของสัญญาณ 2.5 โวลท์ให้เป็น 5 โวลท์

$$\text{อัตราขยาย} = \frac{5}{2.5} = 2$$

ให้ R_2 เท่ากับ 10 กิโลโอห์ม

$$R_3 = R_2 \times \text{อัตราขยาย}$$
$$= 10,000 \times 2$$
$$20 \text{ กิโลโอห์ม}$$

ดังนั้นเราเลือกใช้ R_3 เท่ากับ 18 กิโลโอห์ม

$$R_1 \approx 2 \times 18,000$$
$$\approx 36 \text{ กิโลโอห์ม}$$

ดังนั้นเราเลือกใช้ R_1 ประมาณ 36 กิโลโอห์ม

3. <u>ช่วงอินพุทอยู่ระหว่าง 20 มิลลิโวลท์ ถึง 250 มิลลิโวลท์</u>

ในส่วนนี้ต้องเพิ่มขนาดของสัญญาณ 250 มิลลิโวลท์ให้เป็น 5 โวลท์

$$\text{อัตราการขยาย} = \frac{5}{250 \text{ มิลลิโวลท์}}$$
$$= 20$$

ใช้ R_2 เท่ากับ 10 กิโลโอห์ม

$$R_3 \approx 20 \times 10,000$$
$$\approx 200 \text{ กิโลโอห์ม}$$

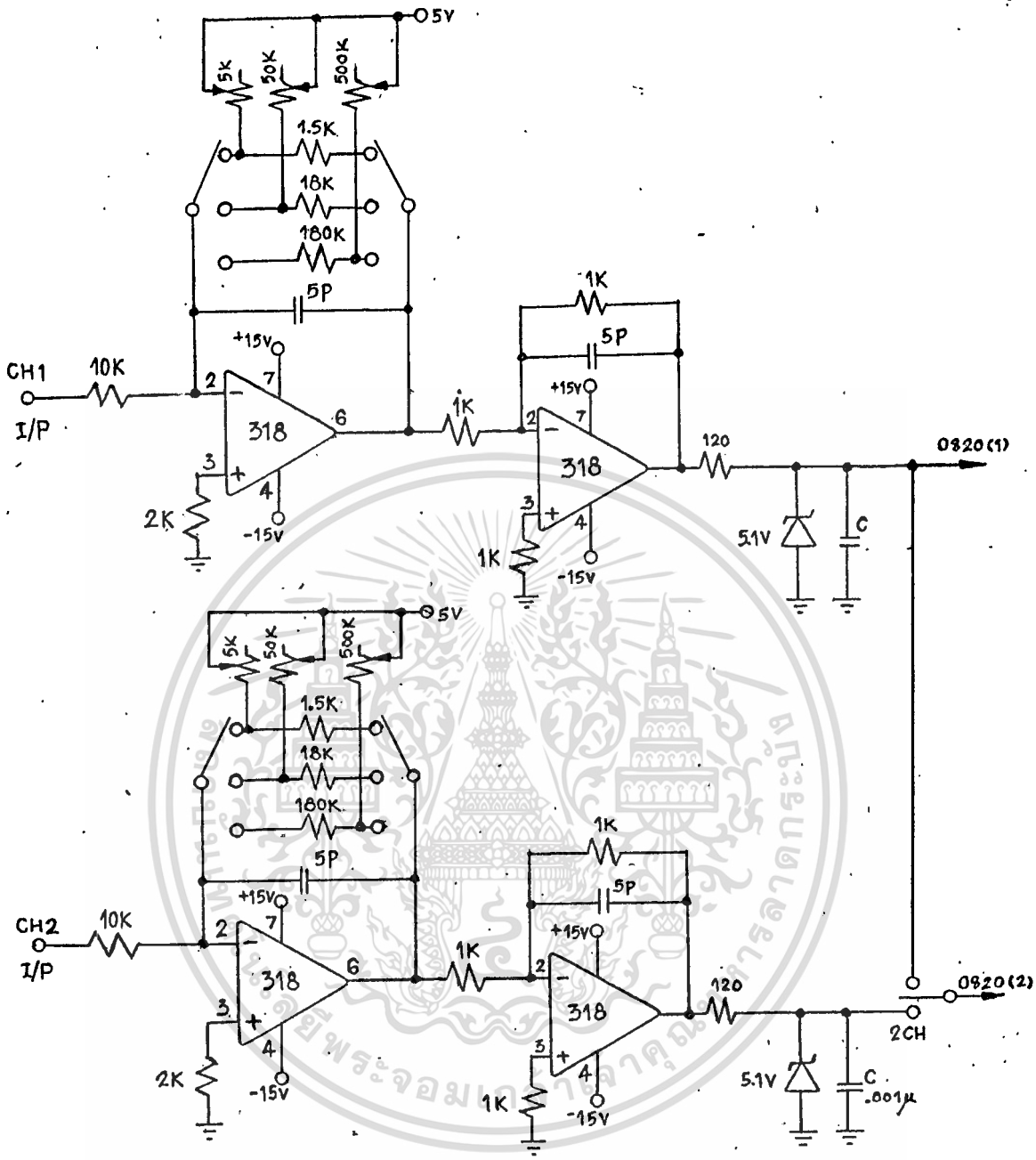
ดังนั้นเราเลือกใช้ R_3 เท่ากับ 180 กิโลโอห์ม

$$R_1 \approx 2 \times 180,000$$
$$\approx 360 \text{ กิโลโอห์ม}$$

ดังนั้นเราเลือกใช้ R_3 ประมาณ 360 กิโลโอห์ม

เราจะได้วงจรทั้งหมดดังรูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 27 วงจรภาคอินพุทโดยรวม

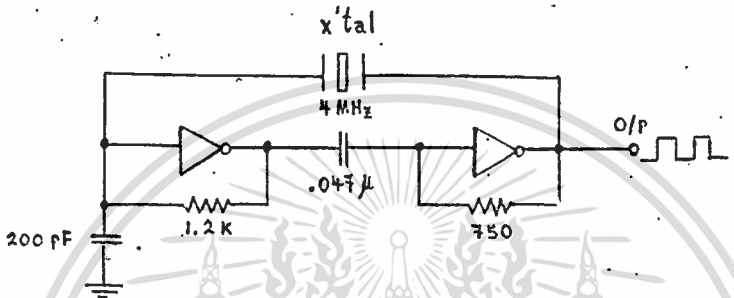
วงจรนี้มีการทำงานคือ เมื่อสัญญาณอินพุทเข้ามาจะผ่านออพแอมป์ตัวที่หนึ่ง ก็จะถูกขยายหรือลดขนาดของสัญญาณให้อยู่ในช่วง 0 - 5 โวลท์ ซึ่งมีเฟสกลับกันกับสัญญาณอินพุท และเพิ่มความแรงของสัญญาณ เพื่อจะนำไปเข้าสู่วงจรออพแอมป์ตัวที่ 2 เพื่อกลับเฟสให้ตรงกับสัญญาณอินพุท เพื่อจะนำไปป้อนเข้าวงจรแปลงสัญญาณอนาลอกเป็นดิจิตอลต่อไป ในกรณีที่เราใช้ 1ช่อง เราจะเปิดวงจรขยายชุดที่ 2 ไว้ และเมื่อใช้ทั้ง 2 ช่อง เราก็เปลี่ยนสวิทช์มาใช้ทั้ง 2 ชุดทำงานแยกอิสระกัน ตามวงจรข้างบน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3 ภาคการแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิทอล

ในที่นี้เลือกใช้เอทูดีเบอร์ 0820 เป็นตัวแปลงสัญญาณ เอทูดีตัวนี้ใช้เวลาในการแปลงสัญญาณเท่ากับ 1.5 ไมโครวินาที เมื่อคิดเป็นความเร็วในการแซมปลิ้งจะได้เท่ากับ 666 กิโลเฮิร์ท

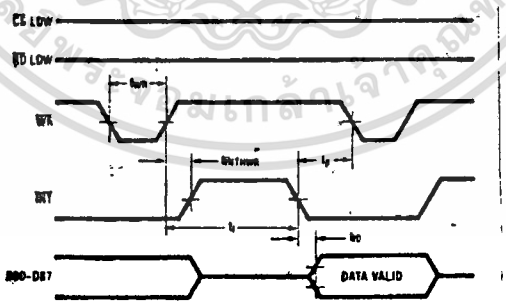
สิ่งแรกที่เราต้องออกแบบคือ สัญญาณนาฬิกาของระบบนี้ ซึ่งค่าที่สะดวกที่สุด 500 กิโลเฮิร์ท ที่ได้จากการหารความถี่จากคริสตอล 4 เมกกะเฮิร์ท ดังรูป



รูปที่ 28

รูปแสดงวงจรสร้างสัญญาณนาฬิกา

เมื่อได้สัญญาณนาฬิกาของระบบแล้ว เราก็ต้องสร้างสัญญาณควบคุมที่จำเป็นต้องใช้ โดยเราจะเลือกในโหมดเขียนอ่าน แบบทำงานตามลำพัง ซึ่งมีการแปลงได้เร็วที่สุด ซึ่งมีแผนภูมิเวาดังรูป



รูปที่ 29 แผนภูมิเวลาแสดงโหมดเขียนอ่านแบบทำงานตามลำพัง

สัญญาณควบคุมที่ต้องใช้เป็นดังนี้

1. สัญญาณ $\overline{CS}$ ต้องเป็นระดับต่ำเพื่อให้เอทูดีทำงานได้

2. สัญญาณ $\overline{RD}$ ต้องเป็นระดับต่ำเพื่อให้ส่วนไดรสเตททำงาน คือ สามารถส่งข้อมูลออกไปได้ตลอดเวลา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3. สัญญาณ $\overline{INT}$ ถูกควบคุมจากภายในของเอทูดี 0820

4. สัญญาณ $\overline{WR}$ การแปลงสัญญาณจะเริ่มต้นเมื่อสัญญาณ $\overline{WR}$ เปลี่ยนระดับจากระดับสูงมาเป็นระดับต่ำหลังจากนั้นประมาณ 800 นาโนวินาที หลังจากสัญญาณ $\overline{WR}$ เปลี่ยนระดับจากระดับต่ำเป็นสูง สัญญาณที่ถูกแปลงแล้วจะเริ่มถูกส่งมา และจะถูกแลทช์ไว้ที่เอาท์พุทแลทช์เมื่อสัญญาณ $\overline{INT}$ เป็นระดับต่ำ

จากแผนภูมิเวลาและการทำงานของแต่ละสัญญาณที่เราทราบ เราจำเป็นต้องออกแบบเพียงสัญญาณเดียว คือ สัญญาณ $\overline{WR}$ ซึ่งเราจะสร้างจากโมโนสเตเบิลมัลติไวเบรเตอร์ โดยเลือกใช้เบอร์ 74ls123 ซึ่งมีการจัดขาและตารางการทำงานดังรูปในภาคผนวก โดยค่าความต้านทาน และตัวเก็บประจุเราจะเลือกใช้ตามตารางกราฟจากคู่มือ เพื่อให้ได้คาบเวลาเป็นระดับต่ำ 600 นาโนวินาที ตามตารางข้อมูลของเอทูดี 0820 นี้ ค่าที่เราเลือกได้คือ ความต้านทาน 2.4 กิโลโอห์ม และตัวเก็บประจุค่า 500 พิโคฟารัด

<u>การทำงานของภาคการแปลงสัญญาณอนาลอกเป็นดิจิทอล</u>

โครงงานนี้สามารถวัดสัญญาณได้ 2 ช่อง โดยถ้าใช้ 2 ช่องพร้อมกัน แต่ละช่องจะใช้เอทูดีคนละตัวทำงานแยกอิสระกัน ซึ่งจะได้ความเร็วในการแซมปลิ้งแต่ละช่อง 500 กิโลเฮิร์ท แต่ในกรณีใช้ช่องที่ 1 เพียงช่องเดียว เราจะใช้เอทูดีทั้ง 2 ตัวมาทำงานร่วมกัน โดยตัวแรกทำงานตามขาขึ้นของสัญญาณนาฬิกา และอีกตัวทำงานตามขาลงของสัญญาณนาฬิกา ซึ่งเมื่อร่วมกันแล้วจะได้ความถี่ในการแซมปลิ้ง 1 เมกกะเฮิทซ์

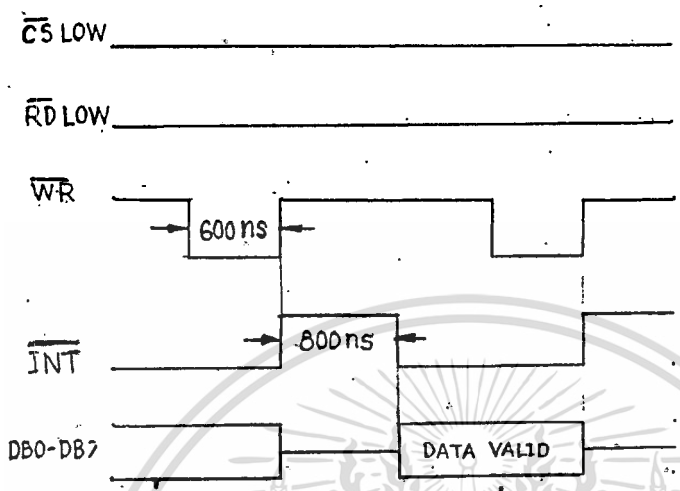
1. <u>กรณีทำงานเฉพาะช่องที่ 1 ช่องเดียว</u>

การทำงานเริ่มด้วยสัญญาณนาฬิกาเข้าสู่ระบบ สัญญาณนาฬิกาของโมโนสเตเบิ้ลตัวที่ 1 ใช้สัญญาณนาฬิกาของระบบ เพื่อสร้างสัญญาณ $\overline{WR}$ และสัญญาณนาฬิกาของโมโนสเตเบิลตัว 2 จะต้องกลับเฟสกับตัวที่ 1 เพื่อให้สลับกันทำงานคนละช่วงของสัญญาณนาฬิกาห่างกัน 1 ไมโครวินาที

เมื่อได้สัญญาณ $\overline{WR}$ ระบบจะเริ่มแปลงสัญญาณอินพุท โดยเริ่มแปลงที่ขาลงของสัญญาณ $\overline{WR}$ ซึ่งมีคาบเวลา 600 นาโนวินาที ก็จะเปลี่ยนระดับเป็นระดับสูง ในตอนขาขึ้นของสัญญาณ $\overline{WR}$ นี้ เมื่อเวลาผ่านไป 800 นาโนวินาที สัญญาณอินพุทก็จะแปลง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เป็นสัญญาณดิจิทอล 8 บิท เรียบร้อยแล้ว และจะถูกแลทช์และส่งออกไปยังภายนอก เมื่อสัญญาณ INT เป็นระดับต่ำ ซึ่งมีแผนภูมิเวลาดังรูปข้างล่าง



รูปที่ 30 รูปแสดงแผนภูมิเวลาที่ออกแบบ

2. กรณีทำงานทั้ง 2 ช่อง พร้อมกัน

การทำงานก็จะเหมือนกับในกรณีแรก โดยสวิทช์มาใช้สัญญานนาฬิกาอันเดียวกัน และยกเอทูดีออกจากกัน แต่ละตัวทำงานอิสระกัน ดังนั้นจะได้ความเร็วในการแซมปลิ้งแต่ละช่อง 500 กิโลเฮิทซ์

3.4การเขียน-อ่านข้อมูลลงในหน่วยความจำ

แบ่งได้เป็น 2 กรณีคือ

1. ในกรณี 1 ช่อง หลังจากสัญญาณอานาลอกถูกเปลี่ยนเป็นดิจิทอลแล้ว โดยเอทูดีทั้ง 2 ตัว ก็จะนำสัญญาณดิจิทอลที่ได้มาเก็บเข้าหน่วยความจำโดยผ่านทางบัฟเฟอร์ (Buffer) ซึ่งจะทำการเปิด-ปิดสลับไปมาเพื่อให้ข้อมูลผ่านมาจากเอทูดีเข้ามาสู่หน่วยความจำทีละตัว ซึ่งข้อมูลจะถูกเก็บลงหน่วยความจำสลับไปมา เช่น แอดเดรส 000 เป็นข้อมูลจากเอทูดี1 ข้อมูลในแอดเดรส001 เป็นข้อมูลจากเอทูดี2 แอดเดรส 002 เป็นข้อมูลจากเอทูดี1... จนกระทั่งหมด 8กิโลไบรท์ โดยใช้สัญญาณจากขา 12 ของ74LS161 มาควบคุมการปิด-เปิด ของบัฟเฟอร์ โดยบัฟเฟอรทั้ง 2 ตัวนี้เป็นแบบ 3สถานะ(tri-state) เมื่อตัวหนึ่งทำงานอีกตัวหนึ่งจะมีความต้านทานสูง (High impedance) มิฉะนั้นจะทำให้บัฟเฟอรเกิดการเสียหายได้ เมื่อเขียนข้อมูลจนครบ 8 กิโลไบท์แล้ว บัฟเฟอรทั้ง 2 ตัว จะมีความต้านทานสูงทั้งคู่ จนกว่าจะมีการรีเซ็ทให้เก็บข้อมูลใหม่ ซึ่งบัฟเฟอร์ทั้ง 2 ตัวนี้จะทำงานเหมือนกันทั้งในกรณี 1 ช่อง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

และ 2 ช่อง

2. ในกรณี 2 ช่อง จะคล้ายกับกรณี 1 ช่อง แต่การอ้างแอดเดรสของหน่วยความจำจะต่างกัน เช่น แอดเดรส 000 เก็บข้อมูลจากเอทูดี1 แอดเดรส 800 เป็นข้อมูลของเอทูดี2 แอดเดรส001 เป็นข้อมูลของเอทูดี1... ซึ่งก็จะเก็บข้อมูลจนครบ 8 กิโลไบท์ ในการอ้างแอดเดรสจะใช้เคาท์เตอร์เบอร์ 74HC4040 ทำการอ้างแอดเดรสแล้วในแต่ละแอดเดรสจะมีสัญญาณจาก $\overline{WE}$ ของเอทูดี1 และ WE ของเอทูดี2 มาทริกโมโนสเตเบิลไก้พัลส์มาเขียนข้อมูลลงหน่วยความจำดังรูป หน้า 32

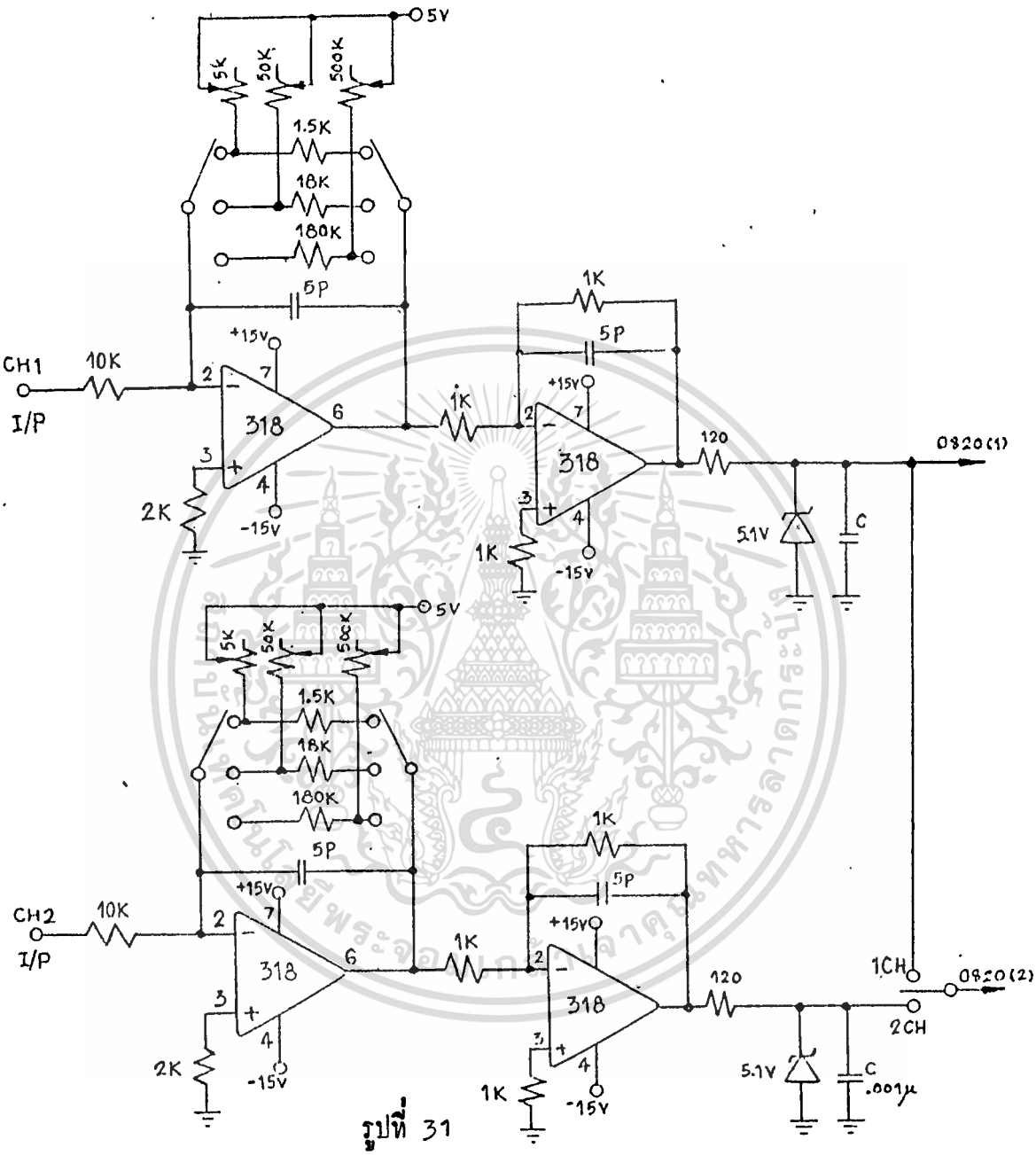
หลังจากเขียนข้อมูลจนครบ 8 กิโลไบท์แล้ว จะมีสัญญาณจากเคาท์เตอร์มาทริกฟลิบฟลอบ ให้ส่งสัญญาณให้หน่วยความจำปล่อยข้อมูลออกมา ซึ่งในกรณี 1 ช่อง จะใช้สัญญาณที่เขียนข้อมูลลงหน่วยความจำมาควบคุมการปล่อยข้อมูลไปยัง ดีทูเอ1 โดยผ่านทาง 74LS273 ซึ่งดีทูเอ1จะแปลงข้อมูลออกเป็นสัญญาณอนาลอกต่อไป ส่วน 74LS273 อีกตัวหนึ่งจะไม่ทำงานจึงไม่มีสัญญาณออกไปที่ดีทูเอ2 โดยที่แต่ละตัวจะแลทช์ข้อมูลของตัวเองไว้ ซึ่งจะมีข้อมูลที่ถูกต้องส่งให้ดีทูเอทำงานแปลงจากดิจิตอลเป็นอนาลอก ต่อไป ในกรณี2ช่อง หน่วยความจำจะปล่อยข้อมูลออกมาเรื่อย ๆ แต่จะมีสัญญาณจากโมโนสเตเบิล มาทำการปล่อยข้อมูลออกไปยังดีทูเอ1 และดีทูเอ2 ซึ่งสัญญาณที่ถูกแปลงโดยเอทูดี1จะถูกปล่อยออกมาให้ดีทูเอ1 แปลงเป็นสัญญาณอนาลอกต่อไป ส่วนสัญญาณที่ถูกแปลงโดยเอทูดี2 จะถูกแปลงเป็นสัญญาณอนาลอกโดยใช้ดีทูเอ2

3.5การแปลงข้อมูลจากดิจิตอลเป็นอนาลอก

เมื่อข้อมูลถูกส่งออกจากหน่วยความจำผ่าน 74LS273 มายังดีทูเอซึ่งใช้เบอร์ MC1408L ดังรูป ซึ่งสัญญาณที่ได้จะเป็นกระแส ซึ่งเปลี่ยนแปลงตามสัญญาณดิจิตอลที่เข้ามา ซึ่งจะนำกระแสนี้มาเปลี่ยนเป็นแรงดันโดยใช้วงจรเปลี่ยนกระแสเป็นแรงดัน ซึ่งประกอบด้วยNE5534 ร่วมกับ VR10K ได้เป็นแรงดันซึ่งจะนำมาผ่านวงจรกรองความถี่ต่ำผ่าน (low pass filter) ซึ่งประกอบด้วยVR10K, 50PF,NE5534 ซึ่งจะทำให้ความถี่ที่ต่ำกว่า800 กิโลเฮิทซ์ผ่าน เพื่อกรองแรงดันเอาท์พุทให้เรียบขึ้น ซึ่งจะนำไปเข้าวงจรขยาย - ลดขนาด เพื่อให้ได้รูปคลื่นขนาดเดียวกับอินพุทต่อไป

3.6ภาคเอาท์พุท หลังจากสัญญาณออกจากดีทูเอแล้ว ขนาดยังไม่เท่ากับอินพุท จึงต้องมีวงจรขยาย-ลดขนาดสัญญาณให้มีขนาดเท่ากับของเดิม โดยใช้วงจรเช่นเดียวกับอินพุท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



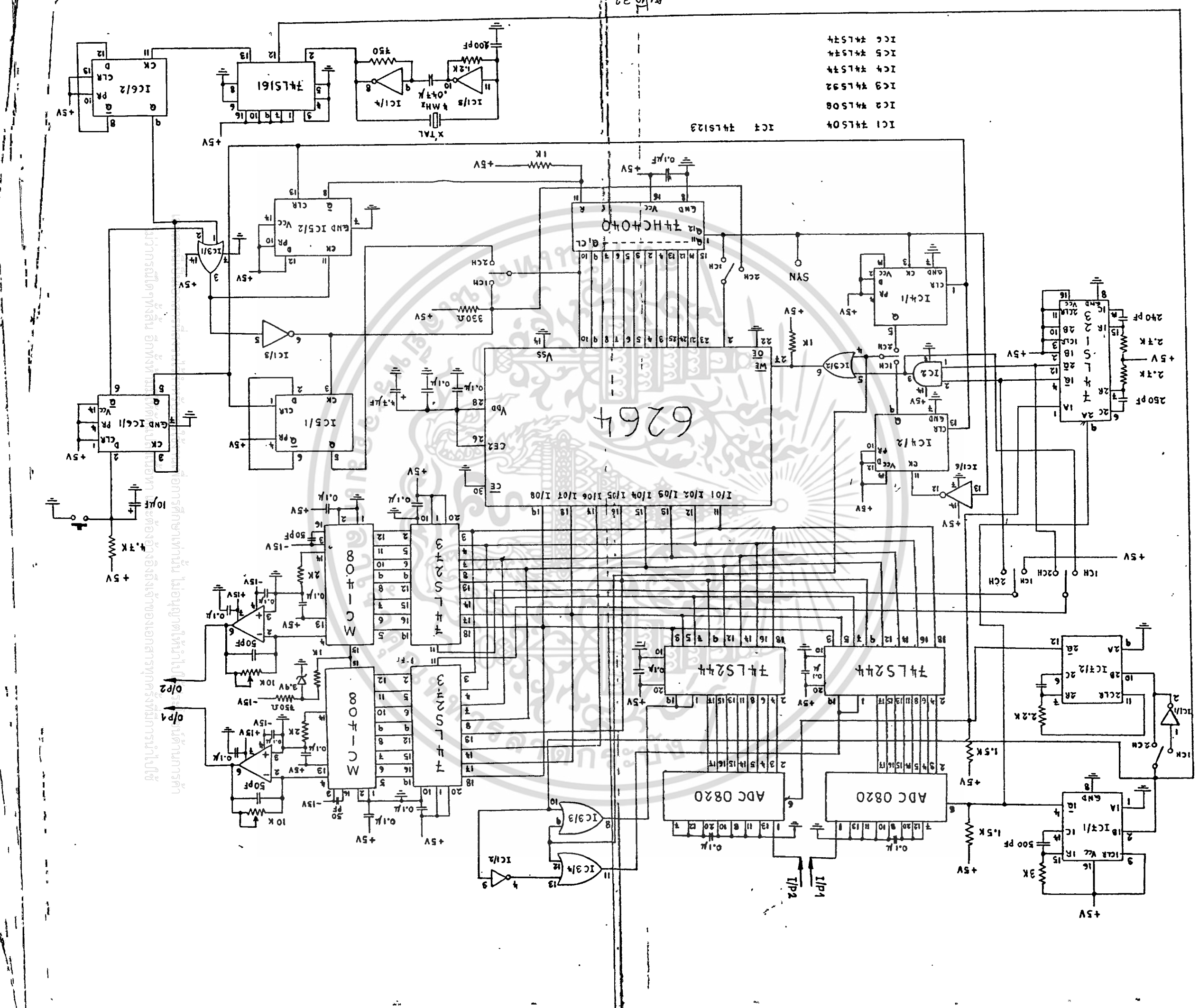
รูปที่ 31

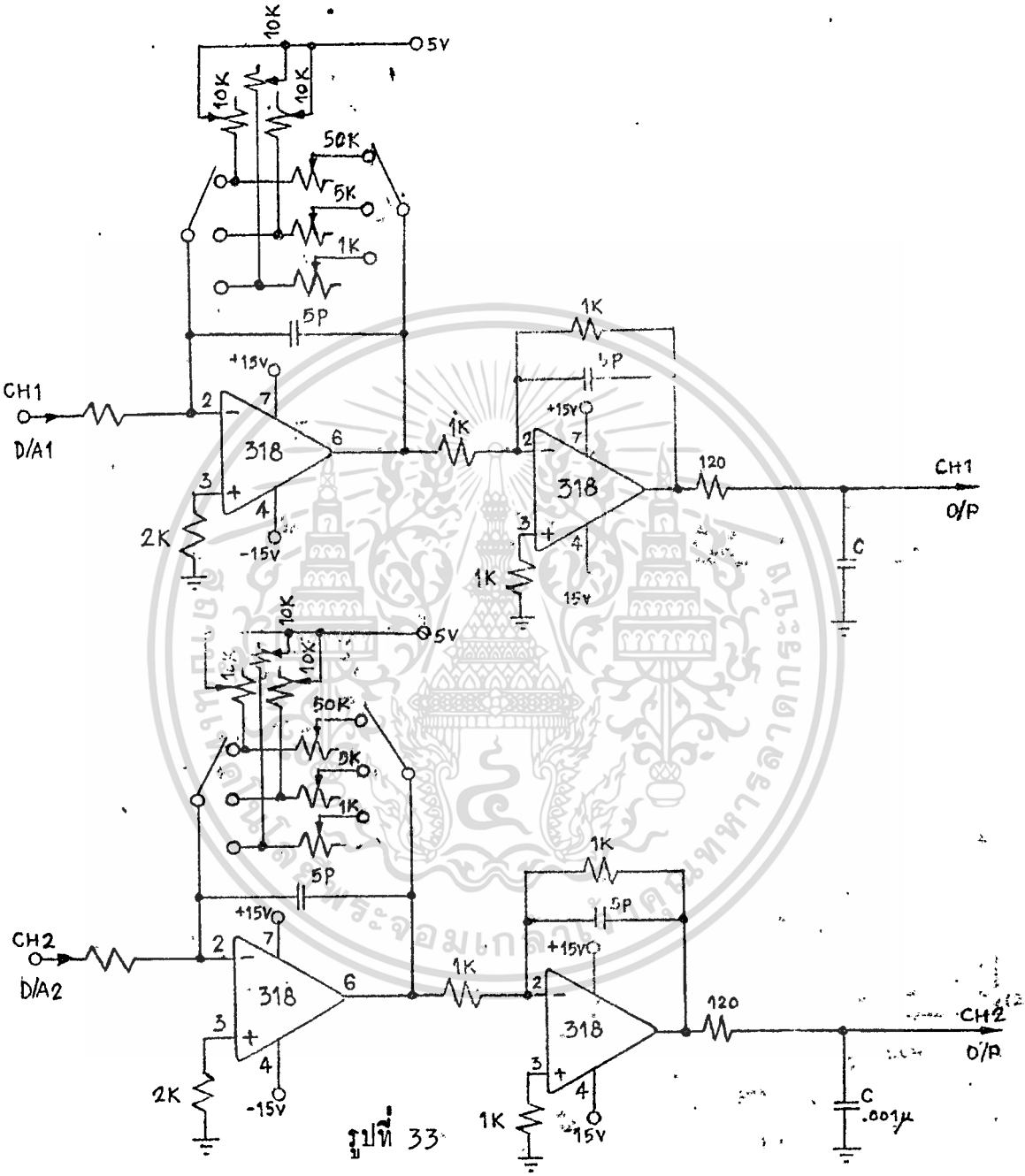
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

IC1 74LS04
IC2 74LS08
IC3 74LS92
IC4 74LS74
IC5 74LS74
IC6 74LS74

IC7 74LS123

626+





รูปที่ 33

รูปแสดงวงจรภาคเอาท์พุท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4
การทดลองและผลการทดลอง

ผลการทดลอง

ในขั้นแรกเมื่อทำการเขียนข้อมูลลงหน่วยความจำ โดยใช้เอทูดี 1 ตัว สามารถเขียนข้อมูลได้อย่างถูกต้อง ตรวจสอบได้โดยการอ่านข้อมูลออกมา ปรากฏว่าเหมือนกับข้อมูลที่เขียนลงไป แต่ในบางครั้งข้อมูลที่ได้ก็ไม่ถูกต้อง ซึ่งในขณะนั้นใช้ดีทูเอเบอร์ NE 5018 เป็นตัวแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาลอก (ในขณะนี้ไม่มีตัวเก็บประจุ ดีคับปลิ้ง decoupling-capacitor)

ต่อมาเมื่อใช้ เอทูดี 2 ตัว ทำการสุ่มสัญญาณอินพุทสลับกัน และเขียนข้อมูลลงหน่วยความจำ ปรากฏว่า ข้อมูลที่อ่านออกมาผิดพลาดมาก ตรวจสอบโดยจับสัญญาณที่แปลงจากดิจิตอลเป็นอนาลอก ปรากฏว่ารูปร่างต่างไปจากอินพุทมาก ซึ่งเมื่อทำการวัดไฟเลี้ยงและกราวน์ ปรากฏว่ามีการเปลี่ยนแปลงของแรงดันอยู่ในช่วงประมาณ 500 มิลลิโวลท์พีค-พีค ซึ่งเป็นสาเหตุหนึ่งที่ทำให้การเขียนข้อมูลผิดพลาด ซึ่งแก้ไขได้โดยใส่ตัวเก็บประจุดีคับปลิ้ง ค่าประมาณ 0.1 ไมโครฟารัด คร่อมไฟเลี้ยง กับกราวน์ ปรากฏว่าเมื่อวัดการเปลี่ยนแปลงของ ไฟเลี้ยง และ กราวน์ ปรากฏว่าเหลือประมาณ 200 มิลลิโวลท์พีค-พีค แต่ปรากฏว่าข้อมูลยังมีความผิดพลาดอยู่แต่น้อยกว่าเดิม

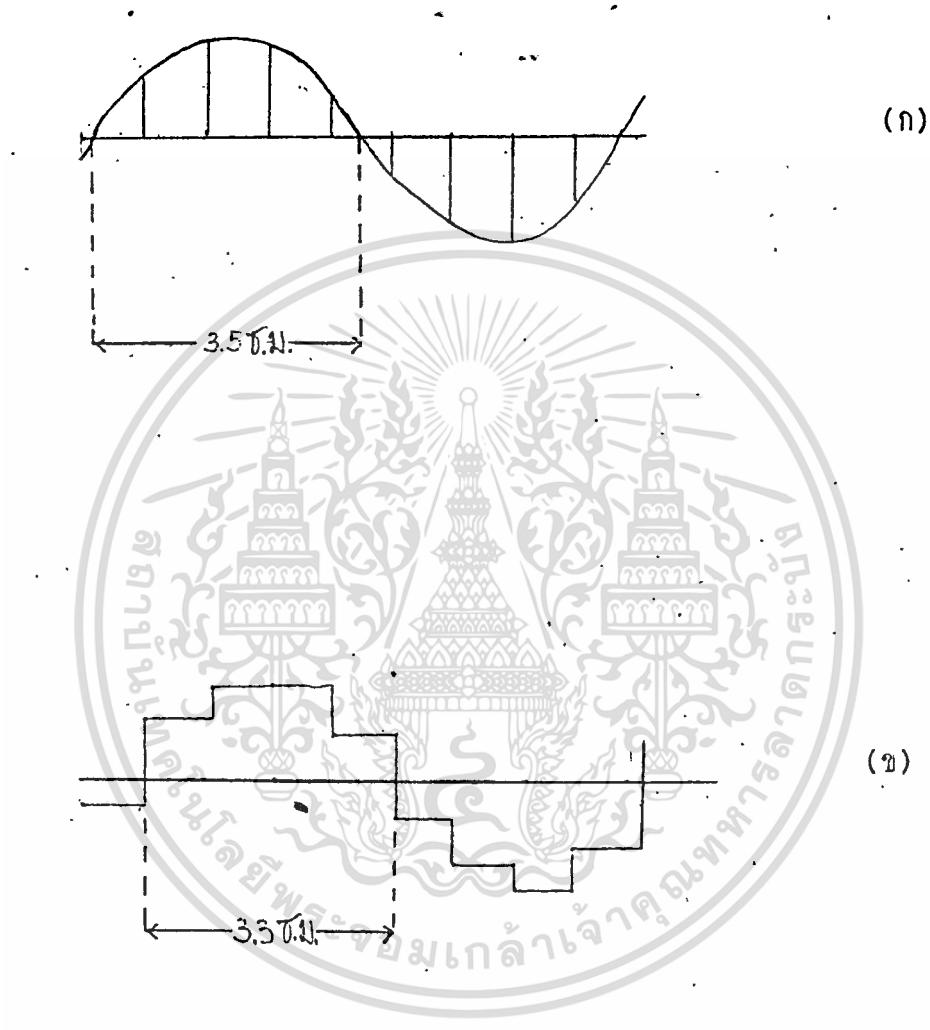
เมื่อทำการวัดสัญญาณจากเอาท์พุทของเคาท์เตอร์ ปรากฏว่ามี พรอพาเกชั่นดีเลย์ (Propagation delay) มาก ทำให้การเขียนและอ่านข้อมูลลงในหน่วยความจำผิดพลาดไป ซึ่งแก้ไขโดยใช้ไอซีที่มี พรอพาเกชั่นดีเลย์ต่ำ ๆ เช่นพวกซีมอสความเร็วสูง (High speed CMOS) ปรากฏว่าสามารถเขียนและอ่านออกมาได้อย่างถูกต้อง ในภาคแปลงสัญญาณดิจิตอลเป็นอนาลอกซึ่งแต่เดิมใช้เบอร์ NE5018 ปรากฏว่าเมื่อรูปคลื่นเอาท์พุทมีความถี่เกิน 50 กิโลเฮิร์ท ปรากฏว่ารูปคลื่นเริ่มผิดเพี้ยน ซึ่งเกิดจากพรอพาเกชั่นดีเลย์ของไอซีมีค่ามากเกินไป ซึ่งแก้ไขโดยเปลี่ยนไอซีเป็นเบอร์ MC1408L ซึ่งมีพรอพาเกชั่นดีเลย์น้อยกว่าจึงสามารถแสดงรูปคลื่นได้ถูกต้องกว่า

ผลที่มีต่อความถี่

ในการทดลองปรากฏว่าความถี่ของสัญญาณเอาท์พุทจะเปลี่ยนไปจากความถี่อินพุทเล็กน้อย เนื่องมาจากการสุ่มสัญญาณเข้ามาดังรูป ซึ่งจุดที่สัญญาณเอาท์พุทคัดระดับ 0 โวลท์ จะเปลี่ยนไปด้วย ถ้าความถี่ในการสุ่มมีค่ามากกว่าสัญญาณอินพุทมาก ๆ

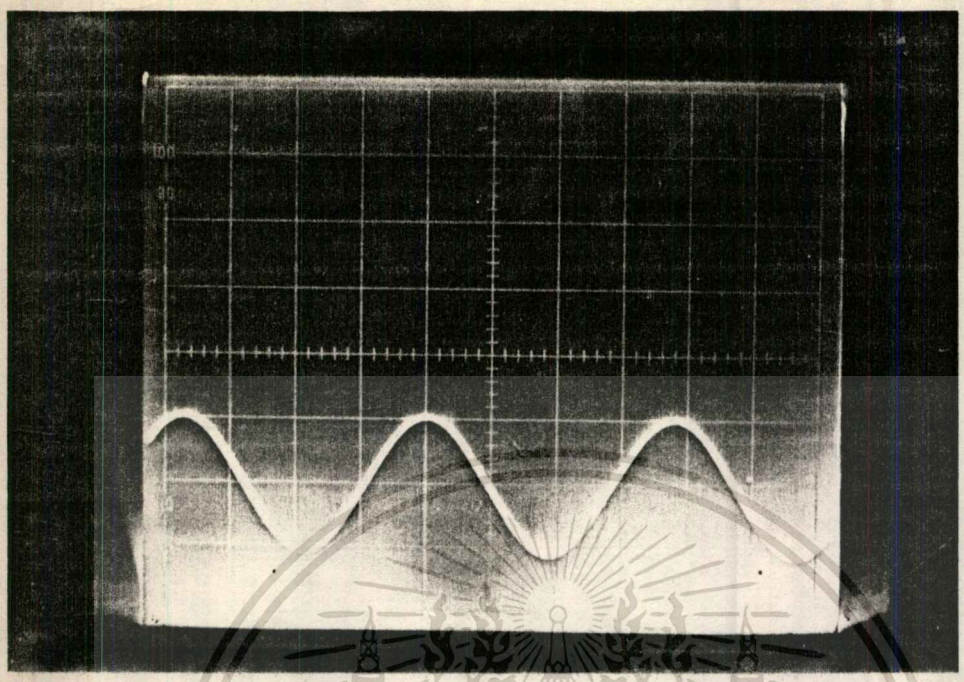
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แล้วก็จะทำให้โอกาสที่สัญญาณจะมีความถี่ผิดไปจะมีน้อย ยิ่งถ้าความถี่ในการสุ่มมีค่าใกล้เคียงกับสัญญาณอินพุทเท่าใดก็จะทำให้โอกาสที่ความถี่จะผิดมากมีค่าสูง

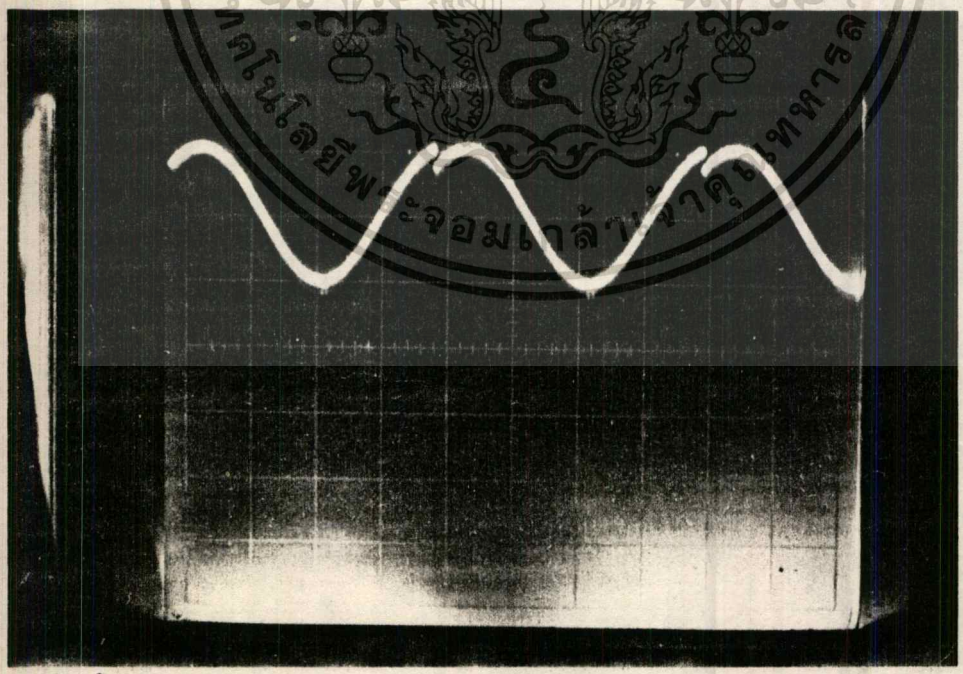


รูปที่ 2.34 (ก) แสดงรูปคลื่นอินพุทและสัญญาณสุ่ม
(ข) แสดงรูปคลื่นเอาท์พุท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



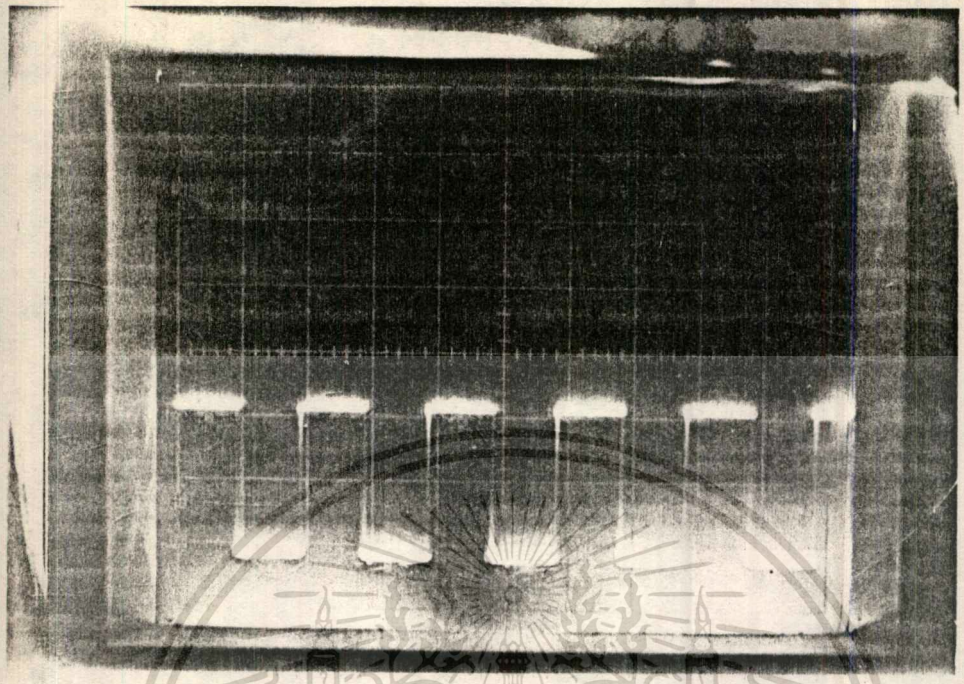
รูปที่ 35ก รูปแสดงสัญญาณอินพุทรูปซายน์ที่ความถี่ประมาณ 143 เฮิร์ท



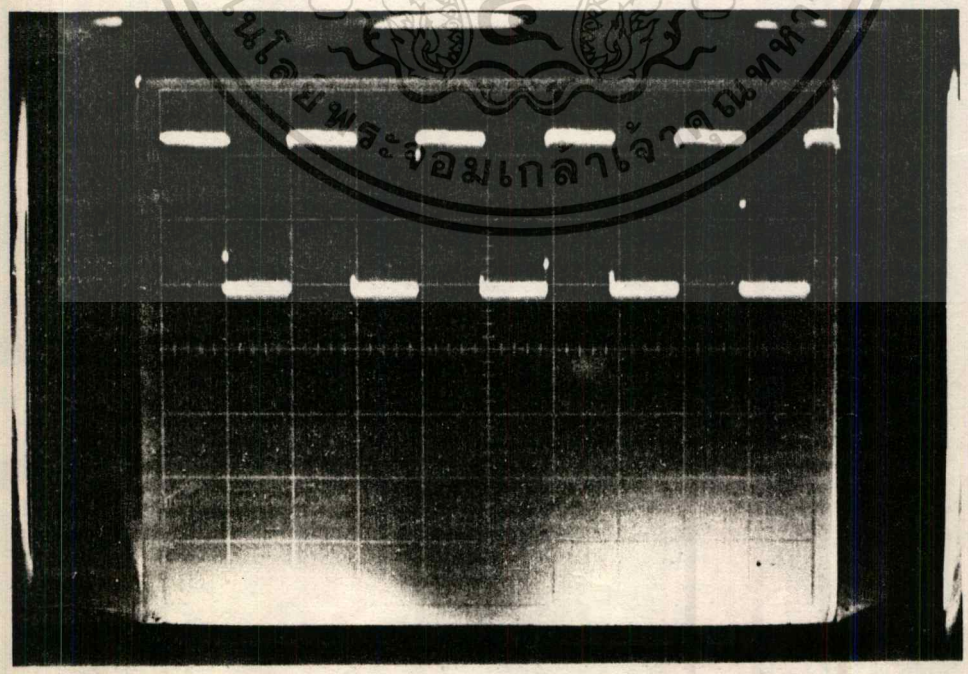
รูปที่ 35ข รูปแสดงสัญญาณเอาท์พุทรูปซายน์ที่ความถี่ประมาณ 143 เฮิร์ท

จะเห็นว่ารูปคลื่นขาดหายเนื่องจากหน่วยความจำมีน้อยเกินไป ทำให้ได้รูปคลื่นไม่ต่อเนื่อง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

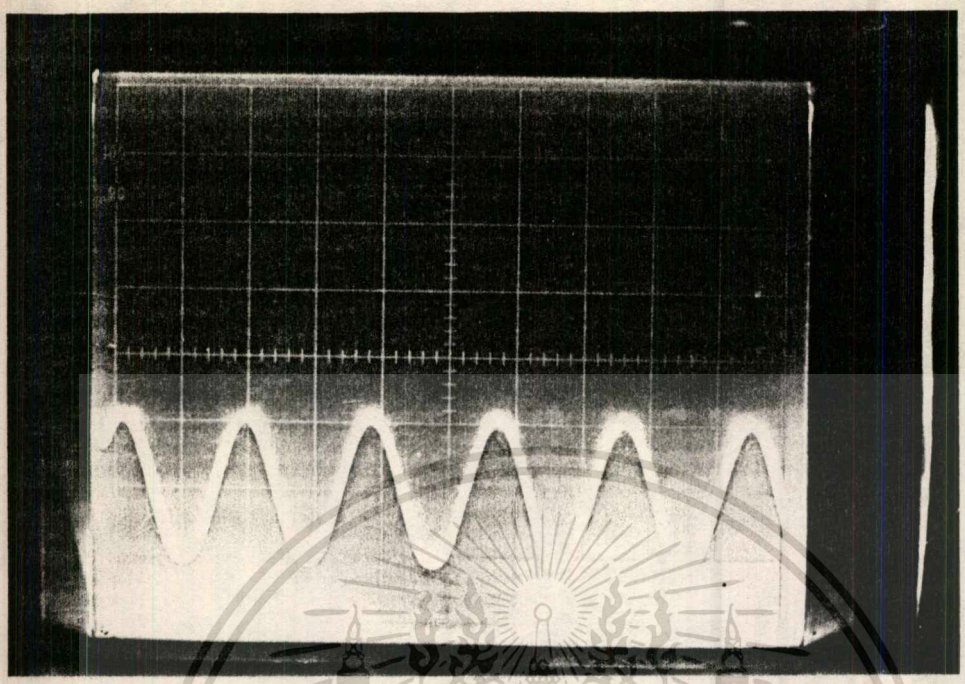


รูปที่ 36ก รูปแสดงสัญญาณอินพุทรูปสี่เหลี่ยมที่ความถี่ 5 กิโลเฮิร์ท

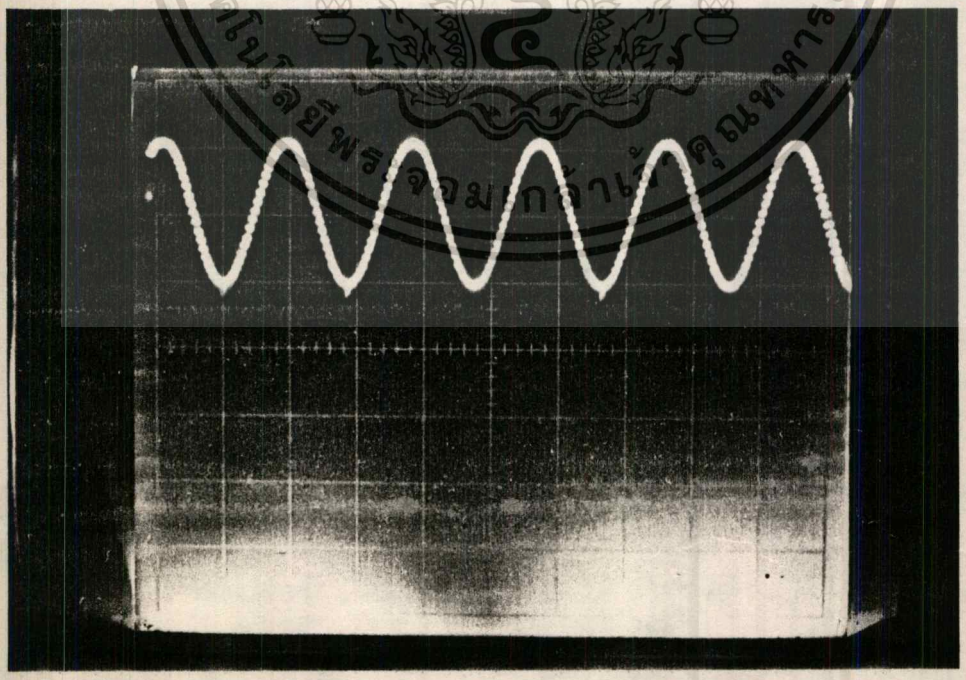


รูปที่ 36ข รูปแสดงสัญญาณเอาท์พุทรูปสี่เหลี่ยมที่ความถี่ 5 กิโลเฮิร์ท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

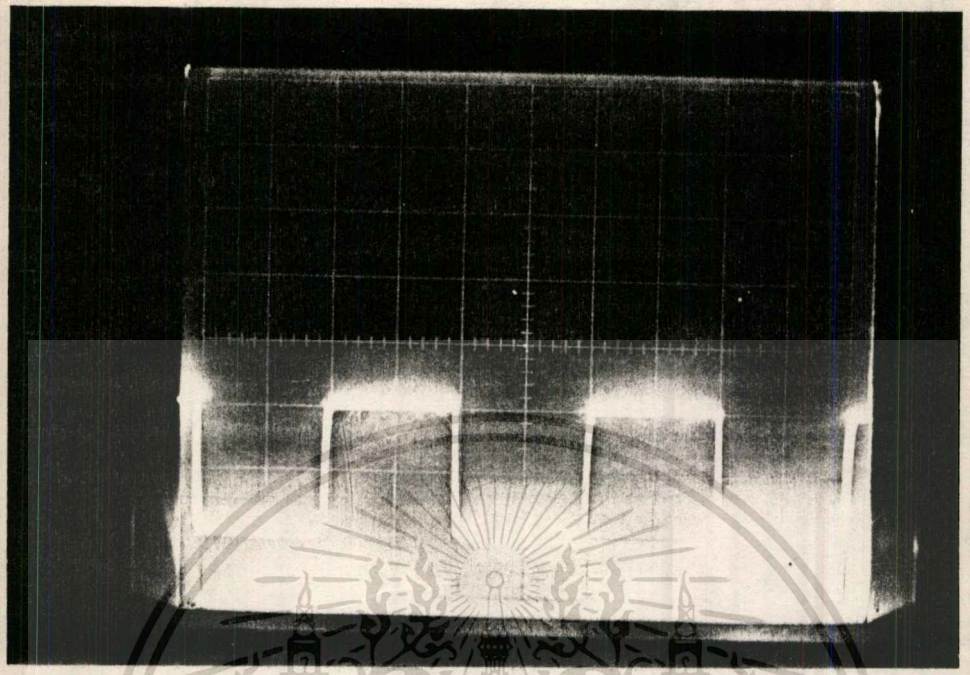


รูปที่ 37ก รูปแสดงสัญญาณอินพุทรูปซายน์ที่ความถี่ 10 กิโลเฮิร์ท

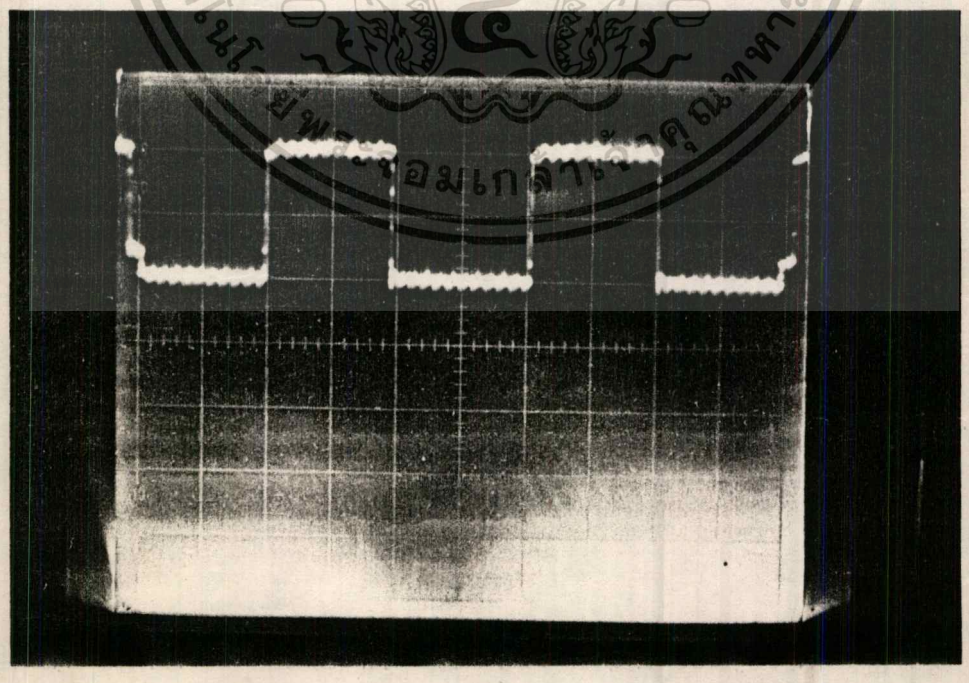


รูปที่37ข รูปแสดงสัญญาณเอาท์พุทรูปซายน์ที่ความถี่ 10 กิโลเฮิร์ท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

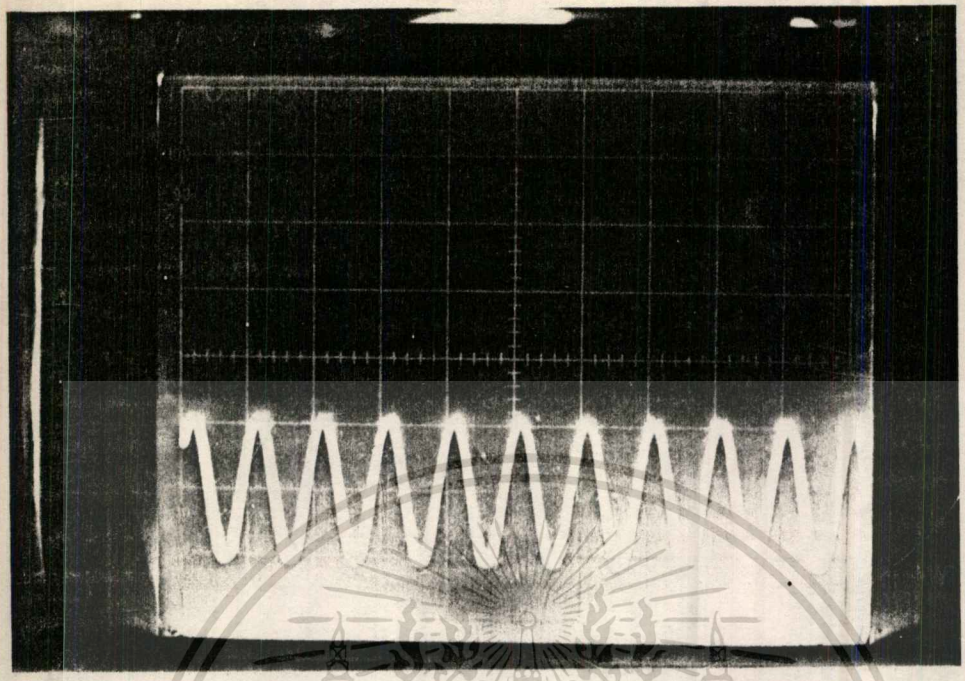


รูปที่ 38ก รูปแสดงสัญญาณอินพุทรูปสี่เหลี่ยมที่ความถี่ 50 กิโลเฮิร์ท

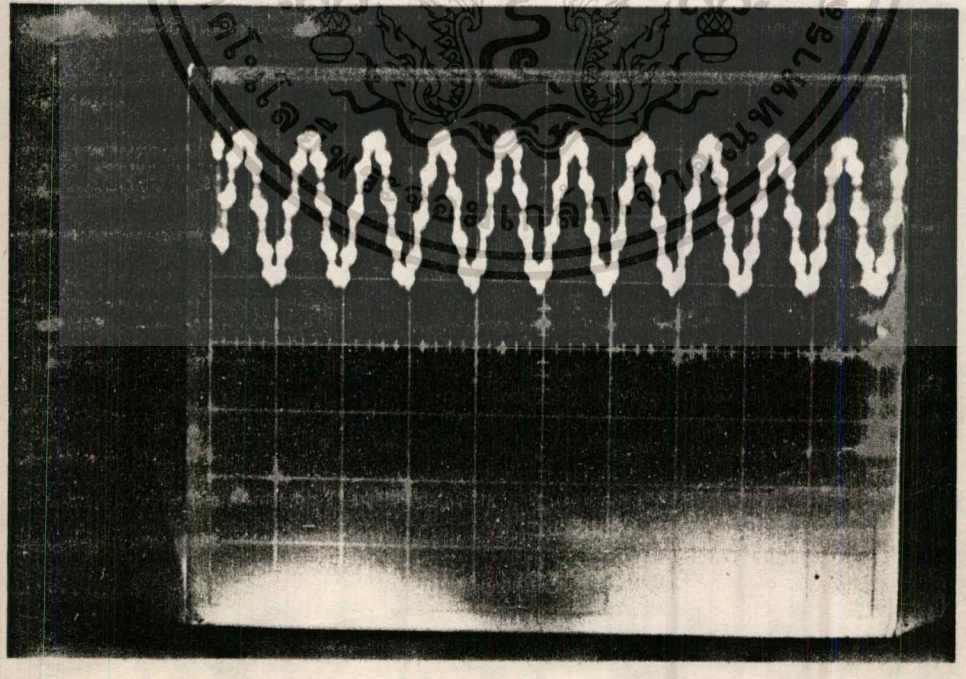


รูปที่38ข รูปแสดงสัญญาณเอาท์พุทรูปสี่เหลี่ยมที่ความถี่ 50 กิโลเฮิร์ท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

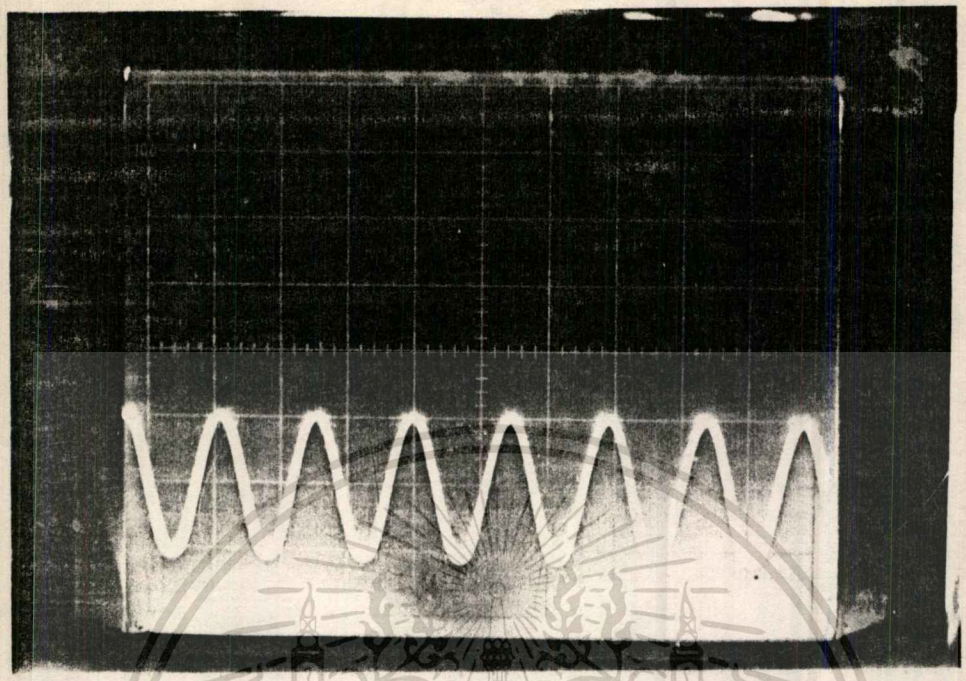


รูปที่ 39ก รูปแสดงสัญญาณอินพุทรูปซายน์ที่ความถี่ 50 กิโลเฮิร์ท

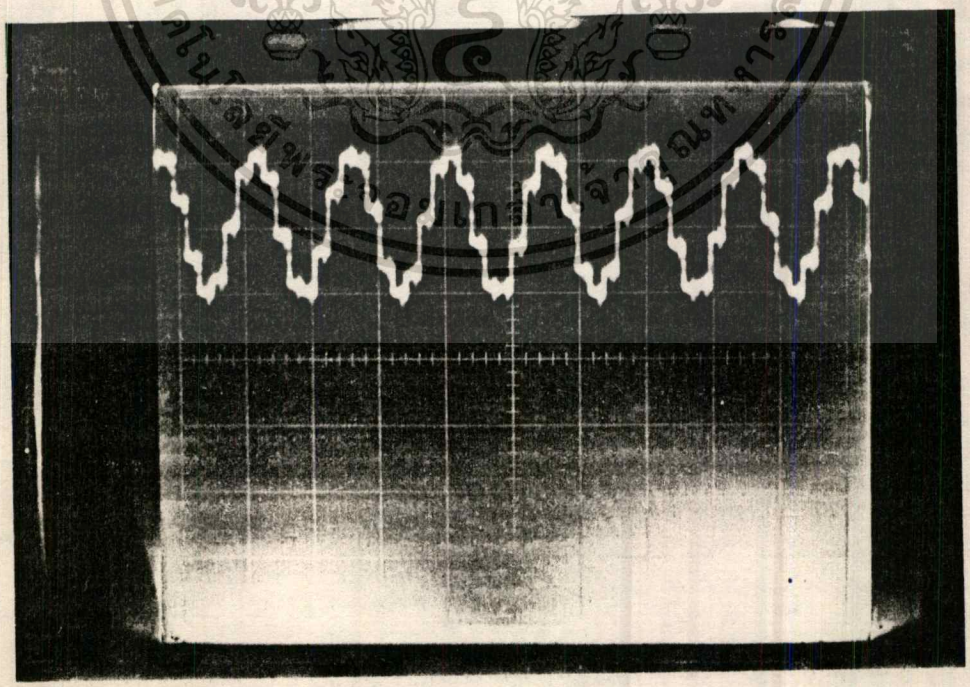


รูปที่ 39 ข รูปแสดงสัญญาณเอาท์พุทรูปซายน์ที่ความถี่ 50 กิโลเฮิร์ท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 40ก รูปแสดงสัญญาณอินพุทรูปซายน์ที่ความถี่ ๔๘.๑ กิโลเฮิร์ท



รูปที่ 40ข รูปแสดงสัญญาณเอาท์พุทรูปซายน์ที่ความถี่ ๔๘.๑ กิโลเฮิร์ท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5

บทสรุป

ปริญญานิพนธ์นี้ได้กล่าวถึงการนำเอา ดิจิตอล/อนาลอก, อนาลอก/ดิจิตอล คอนเวอร์ทเตอร์ ร่วมกับหน่วยความจำประกอบขึ้นเป็น ดิจิตอลสตอเรจสโคปอแคปเตอร์ ซึ่งสามารถใช้ในการเก็บรูปร่างและขนาดของสัญญาณไฟฟ้าที่ต้องการ โดยเฉพาะสัญญาณที่ผ่านมาในช่วงเวลาสั้นๆ ซึ่งสามารถนำไปใช้ร่วมกับออสซิลโลสโคปทั่วไปให้มีความสามารถเก็บหรือจดจำสัญญาณไฟฟ้าได้เช่นเดียวกับดิจิตอลสตอเรจสโคปทั่วไปแต่มีข้อจำกัดอยู่บางประการคือ

1. ในการใช้งานนั้นยังไม่สามารถใช้วัดสัญญาณที่มีความถี่เกินกว่า 100กิโลเฮิร์ทได้(ในกรณีที่ใช้ 1ช่อง) หรือ 50 กิโลเฮิร์ท (ในกรณี 2 ช่อง)เพราะจะทำให้รูปคลื่นที่ได้ผิดเพี้ยนจากของจริงมาก ซึ่งเกิดขึ้นเนื่องจากความถี่ในการสุ่มสัญญาณอินพุทมีค่าน้อยเกินไป

2. จากลักษณะของรูปคลื่นเอาท์พุทปรากฏว่ามีสัญญาณรบกวนปนออกมาด้วย เห็นได้จากรูปคลื่นสัญญาณไม่เรียบ ซึ่งอาจเกิดมาจากการที่สวิทช์ภายในตัว ดิจิตอล/อนาลอก คอนเวอร์ทเตอร์ เปลี่ยนไปมาทำให้เกิดสัญญาณรบกวนออกมาที่เอาท์พุท ซึ่งแก้ไขได้โดยการใช้วงจรกรองความถี่ต่ำผ่าน แต่ก็จะทำให้รูปคลื่นที่มีความถี่สูงเกิดผิดเพี้ยนโดยเฉพาะรูปสี่เหลี่ยม

3. ในการใช้วงจรที่ประดิษฐ์ขึ้นทำการจำสัญญาณอินพุทที่มีความถี่ต่ำๆ (มีช่วงเวลาใน 1 คาบน้อยกว่า 8.092 มิลิวินาที) จะทำให้หน่วยความจำไม่สามารถเก็บรูปคลื่นจนครบ 1 คาบจึงเห็นรูปคลื่นขาดไปบางส่วน ในกรณีใช้แบบ 1 ช่อง แต่ถ้าใช้แบบ 2 ช่อง ความถี่ที่มีเวลาใน 1 คาบน้อยกว่า 4.046 มิลิโวลท์ จะทำให้ไม่สามารถเก็บรูปคลื่นได้ครบ 1 คาบได้ ควรเปลี่ยนอัตราการสุ่มสัญญาณอินพุทให้มีค่าต่ำลง ซึ่งจะทำให้สามารถเห็นรูปคลื่นครบรูปได้

4. รูปคลื่นที่ได้จะมีความถี่ผิดเพี้ยนไปเล็กน้อยเนื่องจากการสุ่มทำให้เวลาที่สัญญาณศูนย์ระดับ 0 โวลท์มีค่าผิดไปจากเดิม ความถี่จึงผิดไปจากเดิม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

8-BIT MULTIPLYING D/A CONVERTER — MC1508-8/1408-8/1408-7

DESCRIPTION

The MC1508/MC1408 series of 8-bit monolithic digital-to-analog converters provide high-speed performance with low cost. They are designed for use where the output current is a linear product of an 8-bit digital word and an analog reference voltage.

FEATURES

- **Fast settling time—70ns (typ)**
- **Relative accuracy ±0.19% (max error)**
- **Non-inverting digital inputs are TTL and CMOS compatible**
- **High speed multiplying rate 4.0mA/μs (input slew)**
- **Output voltage swing +.5V to -5.0V**
- **Standard supply voltages + 5.0V and -5.0V to -15V**
- **Military qualifications pending**

APPLICATIONS

- **Tracking A-to-D converters**
- **2½-digit panel meters and DVM's**
- **Waveform synthesis**
- **Sample and hold**
- **Peak detector**
- **Programmable gain and attenuation**
- **CRT character generation**
- **Audio digitizing and decoding**
- **Programmable power supplies**
- **Analog-digital multiplication**
- **Digital-digital multiplication**
- **Analog-digital division**
- **Digital addition and subtraction**
- **Speech compression and expansion**
- **Stepping motor drive**
- **Modems**
- **Servo motor and pen drivers**

CIRCUIT DESCRIPTION

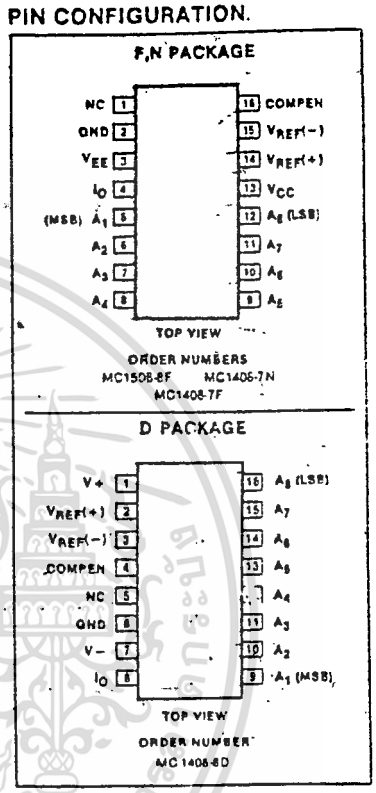
The MC1508/MC1408 consists of a reference current amplifier, an R-2R ladder, and 8 high speed current switches. For many applications, only a reference resistor and reference voltage need be added.

The switches are non-inverting in operation; therefore, a high state on the input turns on the specified output current component.

The switch uses current steering for high speed, and a termination amplifier consisting of an active load gain stage with unity gain feedback. The termination amplifier holds the parasitic capacitance of the ladder at a constant voltage during switching, and provides a low impedance termination of equal voltage for all legs of the ladder.

The R-2R ladder divides the reference amplifier current into binarily-related components, which are fed to the switches. Note that there is always a remainder current which is equal to the least significant bit. This current is shunted to ground, and the maximum output current is 255/256 of the reference amplifier current, or 1.992mA for a 2.0mA reference amplifier current if the NPN current source pair is perfectly matched.

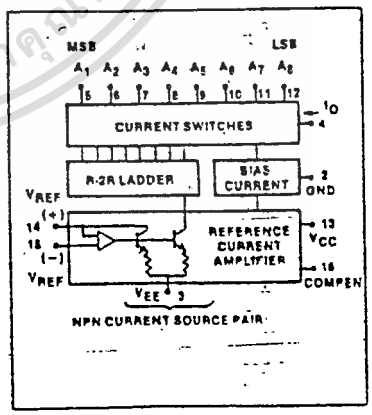
PIN CONFIGURATION



ABSOLUTE MAXIMUM RATINGS T_A = +25°C unless otherwise specified

	PARAMETER	RATING	UNIT
V_{CC}	Power supply voltage		V
V_{EE}	Positive	+5.5	
V_5-V_{12}	Negative	-16.5	
V_O	Digital input voltage	+5.5, 0	V
I_{14}	Applied output voltage	+0.5, -5.2	V
V_{14},V_{15}	Reference current	5.0	mA
	Reference amplifier inputs	V_{CC}, V_{EE}	V
P_D	Power dissipation (package limitation)		mW
	Ceramic package	1000	
	Plastic package	800	
T_A	Operating temperature range		°C
	MC1508	-55 to +125	
	MC1408	0 to +75	
T_{stg}	Storage temperature range	-65 to +150	°C

BLOCK DIAGRAM



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

8-BIT MULTIPLYING D/A CONVERTER — MC1508-8/1408-8/1408-7

DC ELECTRICAL CHARACTERISTICS

Pin 3 must be 3V more negative than the potential to which R_{15} is returned

V_{CC} = +5.0Vdc, V_{EE} = -15Vdc, $\frac{V_{ref}}{R_{14}}$ = 2.0mA unless otherwise specified.

MC1508: T_A = -55°C to 125°C. MC1408: T_A = 0°C to 75°C

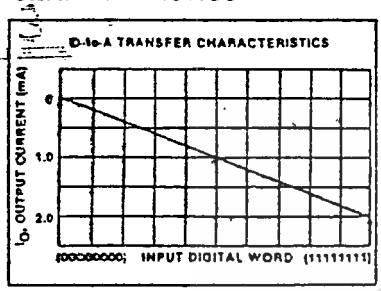
PARAMETER		TEST CONDITIONS	MC1508-8			MC1408-8			MC1408-7			UNIT
			Min	Typ	Max	Min.	Typ	Max	Min	Typ	Max	
E_r	Relative accuracy	Error relative to full scale I_O, Figure 3			±0.19			±0.19			±0.39	%
t_s	Setting time[1]	To within 1/2 LSB, includes tPLH, TA = +25°C, Figure 4		70			70			70		ns
	Propagation delay time											ns
t_{PLH}	Low-to-high	T_A = +25°C, Figure 4		30	100		30	100		30	100	
t_{PHL}	High-to-low											
TCIo	Output full scale current drift			-20			-20			-20		PPM/°C
	Digital input logic level (MSB)											Vdc
V_{IH}	High	Figure 5	2.0			2.0			2.0			
V_{IL}	Low				0.8			0.8			0.8	
	Digital input current (MSB)	Figure 5										mA
I_{IH}	High	V_{IH} = 5.0V		0	0.04		0	0.04		0	0.04	
I_{IL}	Low	V_{IL} = 0.8V		-0.4	-0.8		-0.4	-0.8		-0.4	-0.8	
I_{15}	Reference input bias current	Pin 15, Figure 5		-1.0	-5.0		-1.0	-5.0		-1.0	-5.0	μA
I_{OR}	Output current range	Figure 5										mA
		V_{EE} = -5.0V	0	2.0	2.1	0	2.0	2.1	0	2.0	2.1	
		V_{EE} = -7.0V to -15V	0	2.0	4.2	0	2.0	4.2	0	2.0	4.2	
I_O	Output current	Figure 5, V_{ref} = 2.000V, R14 = 1000Ω	1.9	1.99	2.1	1.9	1.99	2.1	1.9	1.99	2.1	mA
$I_{O(min)}$	Off-state	All bits low		0	4.0		0	4.0		0	4.0	μA
V_O	Output voltage compliance	E_r≤0.19% at T_A = +25°C, Figure 5										Vdc
		V_{EE} = -5V			-0.55, +0.5			-0.55, +0.5			-0.55, +0.5	
		V_{EE} below -10V			-5.0, +0.5			-5.0, +0.5			-5.0, +0.5	
SRI_{ref}	Reference current slew rate	Figure 6		4.0			4.0			4.0		mA/μs
PSRR(-)	Output current power supply sensitivity	I_{ref} = 1mA		0.5	2.7		0.5	2.7		0.5	2.7	μA/V
	Power supply current											mA
I_{CC}	Positive	All bits low, Figure 5		+13.5	+22		+13.5	+22		+13.5	+22	
I_{EE}	Negative			-7.5	-13		-7.5	-13		-7.5	-13	
	Power supply voltage range											Vdc
V_{CCR}	Positive	T_A = +25°C, Figure 5	+4.5	+5.0	+5.5	+4.5	+5.0	+5.5	+4.5	+5.0	+5.5	
V_{EER}	Negative		-4.5	-15	-16.5	-4.5	-15	-16.5	-4.5	-15	-16.5	
P_D	Power dissipation	All bits low, Figure 5										mW
		V_{EE} = -5.0Vdc		105	170		105	170		105	170	
		V_{EE} = -15Vdc		190	305		190	305		190	305	
		All bits high, Figure 5										
		V_{EE} = -5.0Vdc		90			90			90		
		V_{EE} = -15Vdc		160			160			160		

NOTES

1. All bits switched

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPICAL PERFORMANCE CHARACTERISTICS



FUNCTIONAL DESCRIPTION

Reference Amplifier Drive and Compensation

The reference amplifier input current must always flow into pin 14 regardless of the setup method or reference supply voltage polarity.

Connections for a positive reference voltage are shown in Figure 1. The reference voltage source supplies the full reference current. For bipolar reference signals, as in the multiplying mode, R_{15} can be tied to a negative voltage corresponding to the minimum input level. R_{15} may be eliminated with only a small sacrifice in accuracy and temperature drift.

The compensation capacitor value must be increased with increasing values of R_{14} to maintain proper phase margin. For R_{14} values of 1.0, 2.5, and 5.0K ohms, minimum capacitor values are 15, 37, and 75pF. The capacitor may be tied to either V_{EE} or ground, but using V_{EE} increases negative supply rejection. (Fluctuations in the negative supply have more effect on accuracy than do any changes in the positive supply).

A negative reference voltage may be used if R_{14} is grounded and the reference voltage is applied to R_{15}, as shown in Figure 2. A high input impedance is the main advantage of this method. The negative reference voltage must be at least 3.0V above the V_{EE} supply. Bipolar input signals may be handled by connecting R_{14} to a positive reference voltage equal to the peak positive input level at pin 15.

Capacitive bypass to ground is recommended when a DC reference voltage is used. The 5.0V logic supply is not recommended as a reference voltage, but if a well regulated 5.0V supply which drives logic is to be used as the reference, R_{14} should be formed of two series resistors and bypassing the junction of the two resistors with 0.1μF to ground. For reference voltages greater than 5.0V, a clamp diode is recommended between pin 14 and ground.

If pin 14 is driven by a high impedance such as a transistor current source, none of the above compensation methods apply and the amplifier must be heavily compensated, decreasing the overall bandwidth.

Output Voltage Range

The voltage at pin 4 must always be at least 4.5 volts more positive than the voltage of the negative supply (pin 3) when the reference current is 2mA or less, and at least 8 volts more positive than the negative supply when the reference current is between 2mA and 4mA. This is necessary to avoid saturation of the output transistors, which would cause serious degradation of accuracy.

Signetics' MC1508/MC1408 does not need a range control because the design extends the compliance range down to 4.5 volts (or 8 volts—see above) above the negative supply voltage without significant degradation of accuracy. Signetics' MC1508/MC1408 can be used in sockets designed for other manufacturers' MC1508/MC1408 without circuit modification.

Output Current Range

Any time the full scale current exceeds 2mA, the negative supply must be at least 8 volts more negative than the output voltage. This is due to the increased internal voltage drops between the negative supply and the outputs with higher reference currents.

Accuracy

Absolute accuracy is the measure of each output current level with respect to its intended value, and is dependent upon relative accuracy, full scale accuracy and full scale current drift. Relative accuracy is the measure of each output current level as a fraction of the full scale current after zero scale current has been nulled out. The relative accuracy of the MC1508/MC1408 is essentially constant over the operating temperature range because of the excellent temperature tracking of the monolithic resistor ladder. The reference current may drift with temperature, causing a change in the absolute accuracy of output current; however, the MC1508/MC1408 has a very low full scale current drift over the operating temperature range.

The MC1508/MC1408 series is guaranteed accurate to within ±1/2 LSB at +25°C at a full scale output current of 1.99mA. The relative accuracy test circuit is shown in Figure 3. The 12-bit converter is calibrated to a full scale output current of 1.99219mA; then the MC1508/MC1408's full scale current is trimmed to the same value with R_{14} so that a zero value appears at the error amplifier output. The counter is activated and the error band may be displayed on the oscilloscope, detected by comparators, or stored in a peak detector.

Two 8-bit D-to-A converters may not be used to construct a 16-bit accurate D-to-A converter. Sixteen-bit accuracy implies a total of ±1/2 part in 65,536, or ±0.00076%, which is much more accurate than the ±0.19% specification of the MC1508/MC1408.

Monotonicity

A monotonic converter is one which always provides an analog output greater than or equal to the preceding value for a corresponding increment in the digital input code. The MC1508/MC1408 is monotonic for all values of reference current above 0.5mA. The recommended range for operation is a DC reference current between 0.5mA and 4.0mA.

Settling Time

The worst case switching condition occurs when all bits are switched on, which corresponds to a low-to-high transition for all input bits. This time is typically 70ns for settling to within 1/2 LSB for 8-bit accuracy. This time applies when RL <500 ohms and C_O <25pF. The slowest single switch is the least significant bit, which typically turns on and settles in 65ns. In applications where the D-to-A converter functions in a positive going ramp mode, the worst case condition does not occur and settling times less than 70ns may be realized.

Extra care must be taken in board layout since this usually is the dominant factor in satisfactory test results when measuring settling time. Short leads, 100μF supply bypassing for low frequencies, minimum scope lead length, and avoidance of ground loops are all mandatory.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

EST CIRCUITS

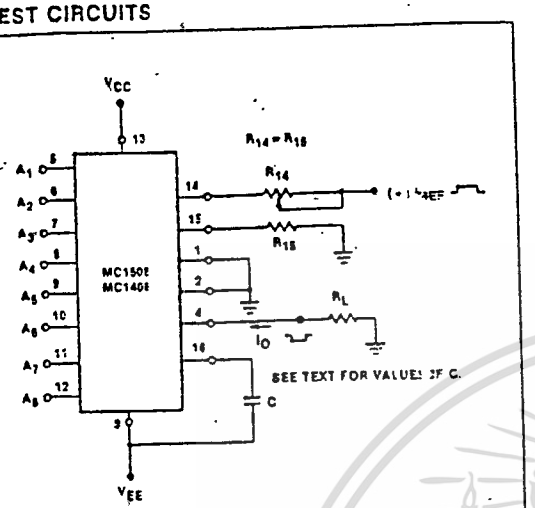


Figure 1. Positive V_{REF}

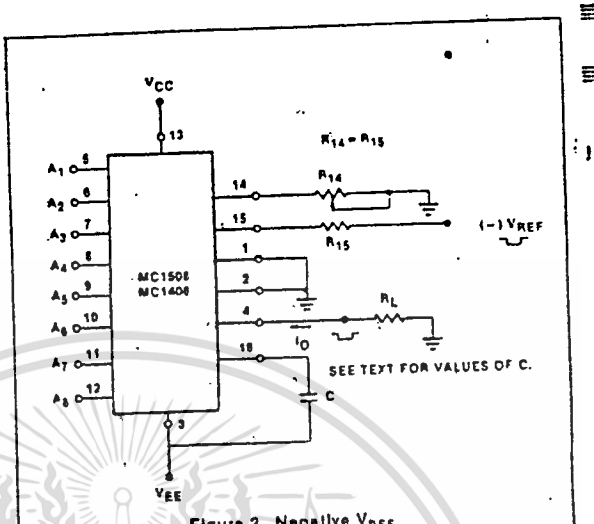
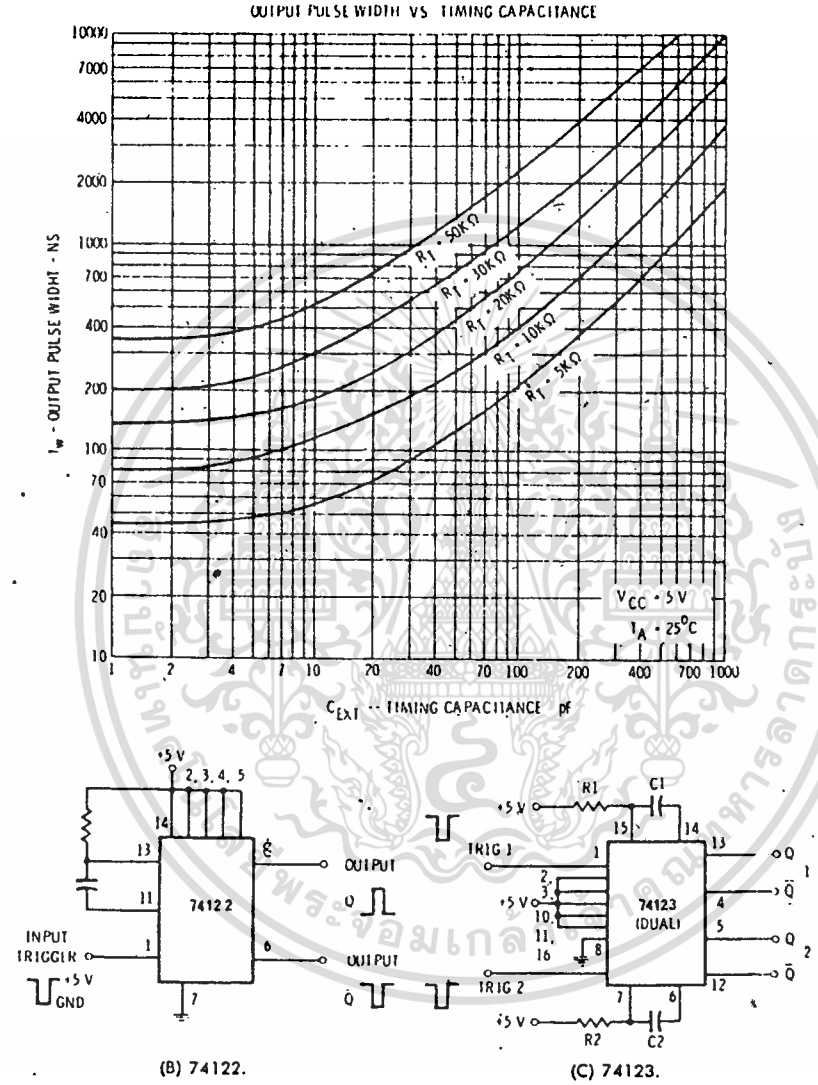


Figure 2. Negative V_{REF}

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(B) 74122.

(C) 74123.

using the 74121, 74122, and 74123.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

microCMOS

ADC0820 8-Bit High Speed μP Compatible A/D Converter with Track/Hold Function

General Description

By using a half-flash conversion technique, the 8-bit ADC0820 CMOS A/D offers a 1.5 μs conversion time and dissipates only 75 mW of power. The half-flash technique consists of 32 comparators, a most significant 4-bit ADC and a least significant 4-bit ADC.

The input to the ADC0820 is tracked and held by the input sampling circuitry eliminating the need for an external sample-and-hold for signals moving at less than 100 mV/μs.

For ease of interface to microprocessors, the ADC0820 has been designed to appear as a memory location or I/O port without the need for external interfacing logic.

Key Specifications

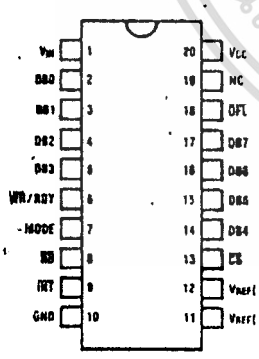
- Resolution 8 Bits
- Conversion Time 2.5 μs Max (RD Mode)
  1.5 μs Max (WR-RD Mode)
- Input signals with slew rate of 100 mV/μs converted without external sample-and-hold to 8 bits
- Low Power 75 mW Max
- Total Unadjusted Error ± ½ LSB and ± 1 LSB

Features

- Built-in track-and-hold function
- No missing codes
- No external clocking
- Single supply—5 V_{DC}
- Easy interface to all microprocessors, or operates stand-alone
- Latched TRI-STATE® output
- Logic inputs and outputs meet both MOS and T^2L voltage level specifications
- Operates ratiometrically or with any reference value equal to or less than V_{CC}
- 0V to 5V analog input voltage range with single 5V supply
- No zero or full-scale adjust required
- Overflow output available for cascading
- 0.3" standard width 20-pin DIP

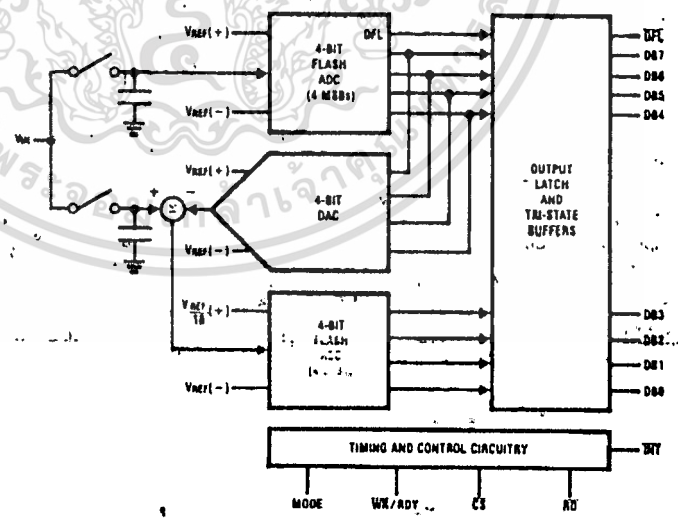
Connection and Functional Diagrams

Dual-In-Line Package



TOP VIEW

TL/H/5501–1



TL/H/5501–2

FIGURE 1

Order Number ADC0820D or ADC0820N
See NS Package D20A or N20A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings (Notes 1 & 2)

Supply Voltage (V_{CC})	10V
Logic Control Inputs	−0.2V to V_{CC} +0.2V
Voltage at Other Inputs and Output	−0.2V to V_{CC} +0.2V
Storage Temperature Range	−65°C to +150°C
Package Dissipation at T_A = 25°C	875 mW
Lead Temp. (Soldering, 10 seconds)	300°C

Operating Conditions (Notes 1 & 2)

Temperature Range	$T_{MIN} \le T_A \le T_{MAX}$
ADC0820BD, ADC0820CD	−55°C ≤ T_A ≤ +125°C
ADC0820BCD, ADC0820CCD	−40°C ≤ T_A ≤ +85°C
ADC0820BCN, ADC0820CCN	0°C ≤ T_A ≤ 70°C
V_{CC} Range	4.5V to 8V

Converter Characteristics

The following specifications apply for RD mode (pin 7 = 0), V_{CC} = 5V, $V_{REF}(+)$ = 5V, and $V_{REF}(-)$ = GND unless otherwise specified. Boldface limits apply from T_{MIN} to T_{MAX}; all other limits $T_A = T_J$ = 25°C.

Parameter	Conditions	ADC0820BD, ADC0820CD ADC0820BCD, ADC0820CCD			ADC0820BCN, ADC0820CCN			Limit Units
		Typ (Note 6)	Tested Limit (Note 7)	Design Limit (Note 8)	Typ (Note 6)	Tested Limit (Note 7)	Design Limit (Note 8)	
Resolution			8			8	8	Bits
Total Unadjusted Error (Note 3)	ADC0820BD, BCD ADC0820BCN ADC0820CD, CCD ADC0820CCN		±½ ±1			±½ ±1	±½ ±1	LSB LSB LSB LSB
Minimum Reference Resistance		2.3	1.25		2.3	1.4	1.25	kΩ
Maximum Reference Resistance		2.3	6		2.3	5.3	6	kΩ
Maximum $V_{REF}(+)$ Input Voltage			V_{CC}			V_{CC}	V_{CC}	V
Minimum $V_{REF}(-)$ Input Voltage			GND			GND	GND	V
Minimum $V_{REF}(+)$ Input Voltage			$V_{REF}(-)$			$V_{REF}(-)$	$V_{REF}(-)$	V
Maximum $V_{REF}(-)$ Input Voltage			$V_{REF}(+)$			$V_{REF}(+)$	$V_{REF}(+)$	V
Maximum V_{IN} Input Voltage			V_{CC} + 0.1			V_{CC} + 0.1	V_{CC} + 0.1	V
Minimum V_{IN} Input Voltage			GND − 0.1			GND − 0.1	GND − 0.1	V
Maximum Analog Input Leakage Current	$\overline{CS}$ = V_{CC} V_{IN} = V_{CC} V_{IN} = GND		3 −3			0.3 −0.3	3 −3	μA μA
Power Supply Sensitivity	V_{CC} = 5V ± 5%	±1/16	±¼		±1/16	±¼	±¼	LSB

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DC Electrical Characteristics

The following specifications apply for $V_{CC} = 5V$, unless otherwise specified. **Boldface limits apply from T_{MIN} to T_{MAX}**; all other limits $T_A = T_J = 25°C$.

Parameter	Conditions		ADC0820BD, ADC0820CD ADC0820BCD, ADC0820CCD			ADC0820BCN, ADC0820CCN			Limit Units
			Typ (Note 6)	Tested Limit (Note 7)	Design Limit (Note 8)	Typ (Note 6)	Tested Limit (Note 7)	Design Limit (Note 8)	
$V_{IN(1)}$, Logical "1" Input Voltage	$V_{CC} = 5.25V$	$\overline{CS}$, $\overline{WR}$, $\overline{RD}$		**2.0**			2.0	2.0	V
		Mode		**3.5**			3.5	3.5	V
$V_{IN(0)}$, Logical "0" Input Voltage	$V_{CC} = 4.75V$	$\overline{CS}$, $\overline{WR}$, $\overline{RD}$		**0.8**			0.8	0.8	V
		Mode		**1.5**			1.5	1.5	V
$I_{IN(1)}$, Logical "1" Input Current	$V_{IN(1)} = 5V$; $\overline{CS}$, $\overline{RD}$		0.005	**1**		0.005		1	μA
	$V_{IN(1)} = 5V$; $\overline{WR}$		0.1	**3**		0.1	0.3	3	μA
	$V_{IN(1)} = 5V$; Mode		50	**200**		50	170	200	μA
$I_{IN(0)}$, Logical "0" Input Current	$V_{IN(0)} = 0V$; $\overline{CS}$, $\overline{RD}$, $\overline{WR}$, Mode		−0.005	**−1**		−0.005		−1	μA
$V_{OUT(1)}$, Logical "1" Output Voltage	$V_{CC} = 4.75V$, $I_{OUT} = -360$ μA; DB0–DB7, $\overline{OFL}$, $\overline{INT}$			**2.4**			2.8	2.4	V
	$V_{CC} = 4.75V$, $I_{OUT} = -10$ μA; DB0–DB7, $\overline{OFL}$, $\overline{INT}$			**4.5**			4.6	4.5	V
$V_{OUT(0)}$, Logical "0" Output Voltage	$V_{CC} = 4.75V$, $I_{OUT} = 1.6$ mA; DB0–DB7, $\overline{OFL}$, $\overline{INT}$, RDY			**0.4**			0.34	0.4	V
I_{OUT}, TRI-STATE Output Current	$V_{OUT} = 5V$; DB0–DB7, RDY		0.1	**3**		0.1	0.3	3	μA
	$V_{OUT} = 0V$; DB0–DB7, RDY		−0.1	**−3**		−0.1	−0.3	−3	μA
I_{SOURCE}, Output Source Current	$V_{OUT} = 0V$; DB0–DB7, $\overline{OFL}$ $\overline{INT}$		−12	**−6**		−12	−7.2	−6	mA
			−9	**−4.5**		−9	−5.3	−4.5	mA
I_{SINK}, Output Sink Current	$V_{OUT} = 5V$; DB0–DB7, $\overline{OFL}$, $\overline{INT}$, RDY		14	**7**		14	8.4	7	mA
I_{CC}, Supply Current	$\overline{CS} = \overline{WR} = \overline{RD} = 0$		7.5	**15**		7.5	13	15	mA

AC Electrical Characteristics

The following specifications apply for $V_{CC} = 5V$, $t_r = t_f = 20$ ns, $V_{REF}(+) = 5V$, $V_{REF}(-) = 0V$ and $T_A = 25°C$ unless otherwise specified.

Parameter		Conditions	Typ (Note 6)	Tested Limit (Note 7)	Design Limit (Note 8)	Units
t_{CRD}, Conversion Time for RD Mode		Pin 7 = 0, *(Figure 2)*	1.6		2.5	μs
t_{ACC0}, Access Time (Delay from Falling Edge of $\overline{RD}$ to Output Valid)		Pin 7 = 0, *(Figure 2)*	$t_{CRD} + 20$		$t_{CRD} + 50$	ns
t_{CWR-RD}, Conversion Time for WR-RD Mode		Pin 7 = V_{CC}; t_{WR} = 600 ns, t_{RD} = 600 ns; *(Figures 3a* and *3b)*			1.52	μs
t_{WR}, Write Time	Min	Pin 7 = V_{CC}; *(Figures 3a* and *3b)*		600		ns
	Max	(Note 4) See Graph	50			μs
t_{RD}, Read Time	Min	Pin 7 = V_{CC}; *(Figures 3a* and *3b)* (Note 4) See Graph		600		ns
t_{ACC1}, Access Time (Delay from Falling Edge of $\overline{RD}$ to Output Valid)		Pin 7 = V_{CC}, $t_{RD} < t_l$; *(Figure 3a)* C_L = 15 pF	190		280	ns
		C_L = 100 pF	210		320	ns
t_{ACC2}, Access Time (Delay from Falling Edge of $\overline{RD}$ to Output Valid)		Pin 7 = V_{CC}, $t_{RD} > t_l$; *(Figure 3b)* C_L = 15 pF	70		120	ns
		C_L = 100 pF	90		150	ns

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC Electrical Characteristics (Continued) The following specifications apply for $V_{CC} = 5V$, $t_r = t_f = 20$ ns, $V_{REF}(+) = 5V$, $V_{REF}(-) = 0V$ and $T_A = 25°C$ unless otherwise specified.

Parameter	Conditions	Typ (Note 6)	Tested Limit (Note 7)	Design Limit (Note 8)	Units
t_c, Internal Comparison Time	Pin 7 = V_{CC}; *(Figures 3b and 4)* $C_L = 50$ pF	800		1300	ns
t_{1H}, t_{0H}, TRI-STATE Control (Delay from Rising Edge of $\overline{RD}$ to Hi-Z State)	$R_L = 1k$, $C_L = 10$ pF	100		200	ns
t_{INTL}, Delay from Rising Edge of $\overline{WR}$ to Falling Edge of $\overline{INT}$	Pin 7 = V_{CC}, $C_L = 50$ pF $t_{RD} > t_i$; *(Figure 3b)* $t_{RD} < t_i$; *(Figure 3a)*	 $t_{RD} + 200$		t_i $t_{RD} + 290$	ns ns
t_{INTH}, Delay from Rising Edge of $\overline{RD}$ to Rising Edge of $\overline{INT}$	*(Figures 2, 3a and 3b)* $C_L = 50$ pF	125		225	ns
t_{INTHWR}, Delay from Rising Edge of $\overline{WR}$ to Rising Edge of $\overline{INT}$	*(Figure 4)*, $C_L = 50$ pF	175		270	ns
t_{RDY}, Delay from $\overline{CS}$ to RDY	*(Figure 2)*, $C_L = 50$ pF, Pin 7 = 0	50		100	ns
t_{1D}, Delay from $\overline{INT}$ to Output Valid	*(Figure 4)*	20		50	ns
t_{RI}, Delay from $\overline{RD}$ to $\overline{INT}$	Pin 7 = V_{CC}, $t_{RD} < t_i$ *(Figure 3a)*	200		290	ns
t_p, Delay from End of Conversion to Next Conversion	*(Figures 2, 3a, 3b and 4)* (Note 4) See Graph			500	ns
Slew Rate, Tracking		0.1			V/μs
C_{VIN}, Analog Input Capacitance		45			pF
C_{OUT}, Logic Output Capacitance		5			pF
C_{IN}, Logic Input Capacitance		5			pF

Note 1: Absolute Maximum Ratings are those values beyond which the life of the device may be impaired.

Note 2: All voltages are measured with respect to GND, unless otherwise specified.

Note 3: Total unadjusted error includes offset, full-scale, and linearity errors.

Note 4: Accuracy may degrade if t_{WR} or t_{RD} is shorter than the minimum value specified. See Accuracy vs t_{WR} and Accuracy vs t_{RD} graphs.

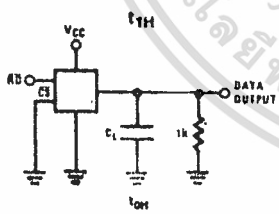
Note 5: The voltage at these pins should never go higher than V_{CC} nor lower than GND.

Note 6: Typicals are at 25°C and represent most likely parametric norm.

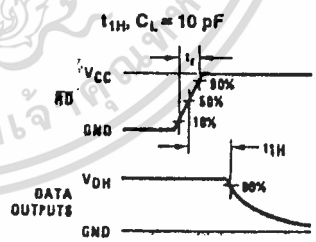
Note 7: Guaranteed and 100% production tested.

Note 8: Guaranteed, but not 100% production tested. These limits are not used to calculate outgoing quality levels.

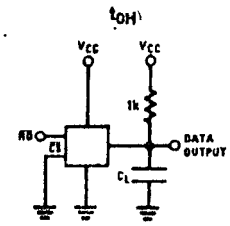
TRI-STATE Test Circuits and Waveforms



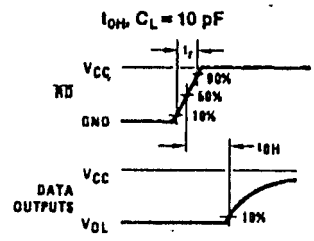
TL/H/5501–3



TL/H/5501–4



TL/H/5501–5



TL/H/5501–6

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Description of Pin Functions

Pin	Name	Function
1	V_{IN}	Analog input; range $-GND \leq V_{IN} \leq V_{CC}$
2	DB0	TRI-STATE data output—bit 0 (LSB)
3	DB1	TRI-STATE data output—bit 1
4	DB2	TRI-STATE data output—bit 2
5	DB3	TRI-STATE data output—bit 3
6	$\overline{WR}$/RDY	**WR-RD Mode** **$\overline{WR}$:** With $\overline{CS}$ low, the conversion is started on the falling edge of $\overline{WR}$. Approximately 800 ns (the preset internal time out, t_i) after the $\overline{WR}$ rising edge, the result of the conversion will be strobed into the output latch, provided that $\overline{RD}$ does not occur prior to this time out (see *Figures 3a* and *3b*). **RD Mode** **RDY:** This is an open drain output (no internal pull-up device). RDY will go low after the falling edge of $\overline{CS}$; RDY will go TRI-STATE when the result of the conversion is strobed into the output latch. It is used to simplify the interface to a microprocessor system (see *Figure 2*).
7	Mode	**Mode:** Mode selection input—it is internally tied to GND through a 50 μA current source. **RD Mode:** When mode is low **WR-RD Mode:** When mode is high
8	$\overline{RD}$	**WR-RD Mode** With $\overline{CS}$ low, the TRI-STATE data outputs (DB0-DB7) will be activated when $\overline{RD}$ goes low (see *Figure 4*). $\overline{RD}$ can also be used to increase the speed of the converter by reading data prior to the preset internal time out (t_i, ~800 ns). If this is done, the data result transferred to output latch is latched after the falling edge of the $\overline{RD}$ (see *Figures 3a* and *3b*). **RD Mode** With $\overline{CS}$ low, the conversion will start with $\overline{RD}$ going low, also $\overline{RD}$ will enable the TRI-STATE data outputs at the completion of the conversion. RDY going TRI-STATE and $\overline{INT}$ going low indicates the completion of the conversion (see *Figure 2*).
9	$\overline{INT}$	**WR-RD Mode** $\overline{INT}$ going low indicates that the conversion is completed and the data result is in the output latch. $\overline{INT}$ will go low, ~800 ns (the preset internal time out, t_i) after the rising edge of $\overline{WR}$ (see *Figure 3b*); or $\overline{INT}$ will go low after the falling edge of $\overline{RD}$, if $\overline{RD}$ goes low prior to the 800 ns time out (see *Figure 3a*). $\overline{INT}$ is reset by the rising edge of $\overline{RD}$ or $\overline{CS}$ (see *Figures 3a* and *3b*). **RD Mode** $\overline{INT}$ going low indicates that the conversion is completed and the data result is in the output latch. $\overline{INT}$ is reset by the rising edge of $\overline{RD}$ or $\overline{CS}$ (see *Figure 2*).
10	GND	Ground
11	$V_{REF}(-)$	The bottom of resistor ladder, voltage range: $GND \leq V_{REF}(-) \leq V_{REF}(+)$ (Note 5)
12	$V_{REF}(+)$	The top of resistor ladder, voltage range: $V_{REF}(-) \leq V_{REF}(+) \leq V_{CC}$ (Note 5)
13	$\overline{CS}$	$\overline{CS}$ must be low in order for the $\overline{RD}$ or $\overline{WR}$ to be recognized by the converter.
14	DB4	TRI-STATE data output—bit 4
15	DB5	TRI-STATE data output—bit 5
16	DB6	TRI-STATE data output—bit 6
17	DB7	TRI-STATE data output—bit 7 (MSB)
18	$\overline{OFL}$	Overflow output—If the analog input is higher than the $V_{REF}(+)$, $\overline{OFL}$ will be low at the end of conversion. It can be used to cascade 2 or more devices to have more resolution (9, 10-bit).
19	NC	No connection
20	V_{CC}	Power supply voltage

1.0 Functional Description

1.1 GENERAL OPERATION

The ADC0820 uses two 4-bit flash A/D convertors to make an 8-bit measurement (*Figure 1*). Each flash ADC is made up of 15 comparators which compare the unknown input to a reference ladder to get a 4-bit result. To take a full 8-bit reading, one flash conversion is done to provide the 4 most significant data bits (via the MS flash ADC). Driven by the 4 MSBs, an internal DAC recreates an analog approximation of the input voltage. This analog signal is then subtracted from the input, and the difference voltage is converted by a second 4-bit flash ADC (the LS ADC), providing the 4 least significant bits of the output data word.

The internal DAC is actually a subsection of the MS flash converter. This is accomplished by using the same resistor ladder for the A/D as well as for generating the DAC signal. The DAC output is actually the tap on the resistor ladder which most closely approximates the analog input. In addition, the "sampled-data" comparators used in the ADC0820 provide the ability to compare the magnitudes of several analog signals simultaneously, without using input summing amplifiers. This is especially useful in the LS flash ADC, where the signal to be converted is an analog difference.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ผู้จัดทำขอขอบคุณ อาจารย์ พลผดุง ผดุงกุล ที่ได้ให้คำแนะนำปรึกษาตลอดจนหนังสือ และอุปกรณ์ในการทดลอง จนกระทั่งงานชิ้นนี้สำเร็จลุล่วงไปได้ด้วยดี ไว้ ณ โอกาสนี้ด้วย

สุเชษฐ์ ก่อกิจสวัสดิ์
สมพล นิสสัยตรง
สมภพ วัฒนสมบูรณ์
ผู้จัดทำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หนังสืออ้างอิง

(1) ประเสริฐ โรจน์สุธีวัฒน์ และ สมชาย สุขพันธ์,"เรคอร์เดอร์บนจอสโคป เครื่องบันทึกรูปคลื่นที่มีคาบเวลายาว",วารสารเซมิคอนดัคเตอร์อิเลคทรอนิคส์ , ฉบับที่ 82 , หน้า 130 -137, พ.ศ. 2530

(2) David F. Hoeschele, Jr. " Analog to Digital / digital to analog conversion technique " , John-Wiley

(3) Datel-Intersil,INC, " Data acquisition-conversion handbook " Massachusetts,1987

(4) Sidney Soclof ," Applicat ions of Analog Int egrated Circuits", Prentice-Hall,Inc., 1985

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้