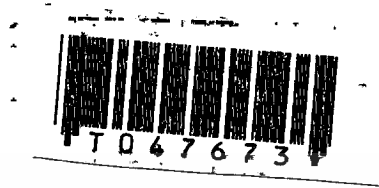


สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

การออกแบบวงจรถอดรากที่สองที่ใช้โครงสร้างแบบทรานส์ลิเนียร์

ON THE DESIGN OF TRANSLINEAR-BASED SQUARE-ROOTING CIRCUIT



เลขหม.....
เลขทะเบียน 47673
วัน, เดือน, ปี 21 ส.ค. 2546

.b.....
.i.....

วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรมหาบัณฑิต

สาขาวิชาวิศวกรรมไฟฟ้า

บัณฑิตวิทยาลัย

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

พ.ศ. 2546

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้ภายในเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ISBN 974-324-416-6
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ON THE DESIGN OF TRANSLINEAR-BASED SQUARE-ROOTING CIRCUIT



**A THESIS SUBMITTED IN PARTIAL FULFILLMENT
OF THE REQUIREMENTS FOR THE DEGREE OF
MASTER OF ENGINEERING IN ELECTRICAL ENGINEERING
SCHOOL OF GRADUATE STUDIES
KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG**

2003

ISBN 974-324-416-6

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



COPYRIGHT 2003

SCHOOL OF GRADUATE STUDIES

KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อวิทยานิพนธ์	การออกแบบวงจรถอดรหัสดิจิทัลที่ใช้โครงสร้างแบบทรานส์ลีนีเยร์
นักศึกษา	นางสาวธิภาพรรณ แซ่ลี
รหัสนักศึกษา	41061017
ปริญญา	วิศวกรรมศาสตรมหาบัณฑิต
สาขาวิชา	วิศวกรรมไฟฟ้า
พ.ศ.	2546
อาจารย์ผู้ควบคุมวิทยานิพนธ์	รศ.ดร.วันชัย ธีรวัจจา

บทคัดย่อ

วิทยานิพนธ์นี้มีวัตถุประสงค์เพื่อนำเสนอหลักการออกแบบวงจรถอดรหัสดิจิทัลสำหรับสัญญาณอนาล็อกบนพื้นฐานเทคโนโลยีทรานซิสเตอร์แบบมอสซึ่งมีความเหมาะสมต่อการนำไปสร้างเป็นวงจรรวมที่มีการทำงานในโหมดกระแส โครงสร้างของวงจรถอดรหัสดิจิทัลที่ได้นำเสนอประกอบไปด้วย วงจรจำกัดกระแส วงจรสะท้อนกระแส และวงจรถอดรหัสดิจิทัลแบบพื้นฐาน ซึ่งอาศัยคุณสมบัติของหลักการทรานส์ลีนีเยร์แบบมอสที่มีการทำงานในช่วงอิมิต์เป็นหลัก เพื่อยืนยันหลักการที่ได้นำเสนอในวิทยานิพนธ์นี้ จึงทำการทดสอบสมรรถนะการทำงานของวงจรโดยการเลียนแบบการทำงานด้วยโปรแกรม PSPICE ผลที่ได้แสดงให้เห็นถึง ความแม่นยำ ช่วงปฏิบัติการทางขนาด และผลตอบสนองทางความถี่ ซึ่งสอดคล้องกับหลักการทางทฤษฎีที่ได้นำเสนอไว้ในวิทยานิพนธ์เป็นอย่างดี

Thesis Title	On the Design of Translinear-based Square-rooting Circuit
Student	Miss. Tipapan Lee
Student ID	41061017
Degree	Master of Engineering
Programme	Electrical Engineering
Year	2003
Thesis Advisor	Assoc. Prof. Dr. Vanchai Riewruja

ABSTRACT

The Goal of this thesis is to present the design of CMOS-based square-rooting circuit for analog signal processing, which is suitable for current-mode integrated circuit form. The proposed circuit consists of the limiter circuit, the current mirror and the basic square-rooting cell by using the characteristic of MOS translinear principle. PSPICE simulation results confirm that the performance of the designed circuit, i.e. accuracy, dynamic range and frequency response, are agreed well with the theoretical analysis.

กิตติกรรมประกาศ

วิทยานิพนธ์ฉบับนี้สำเร็จลุล่วงได้ด้วยดี ด้วยคำแนะนำและคำปรึกษาชี้แนะแนวทางในการแก้ไขปัญหาดังกล่าว จาก ร.ศ. ดร. วันชัย ธีร์รุจา ซึ่งเป็นอาจารย์ที่ปรึกษา ผู้วิจัยรู้สึกซาบซึ้งในความอนุเคราะห์จากท่านและขอกราบขอบพระคุณเป็นอย่าง

ขอกราบขอบพระคุณ คุณพ่อ คุณแม่ ญาติพี่น้องที่คอยห่วงใยและเป็นกำลังใจให้การสนับสนุนในการศึกษามาตลอด

ขอขอบคุณพี่ๆ น้องๆ ทีมงานห้อง B420/2 และเพื่อนทุกท่านที่ได้เอื้อเฟื้ออุปกรณ์เครื่องมือสถานที่และแรงใจในการทำวิจัยและการเรียบเรียงวิทยานิพนธ์

สุดท้ายนี้ขอขอบคุณ สำนักงานพัฒนาวิทยาศาสตร์และเทคโนโลยีแห่งชาติภายใต้โครงการทุนส่งเสริมวิชาชีพนักวิจัย ประเภทรางวัลพัฒนาวิชาชีพนักวิจัย และศูนย์เทคโนโลยีอิเล็กทรอนิกส์และคอมพิวเตอร์แห่งชาติภายใต้โครงการสนับสนุนการออกแบบวงจรรวมสำหรับนิสิตนักศึกษา ที่ให้ทุนและเครื่องมือสนับสนุนในการทำวิทยานิพนธ์นี้ และขอขอบคุณทบวงมหาวิทยาลัยสำหรับทุนสนับสนุนในการจัดทำวิทยานิพนธ์ มา ณ โอกาสนี้ด้วย

ธิภาพรรณ แซ่ลี

สารบัญ

	หน้า
บทคัดย่อภาษาไทย.....	I
บทคัดย่อภาษาอังกฤษ.....	II
กิตติกรรมประกาศ.....	III
สารบัญ.....	IV
สารบัญตาราง.....	VII
สารบัญรูป.....	VIII
บทที่ 1 บทนำ.....	1
1.1 กล่าวนำ.....	1
1.2 วัตถุประสงค์ของวิทยานิพนธ์.....	1
1.3 หลักการใหม่ในวิทยานิพนธ์.....	1
1.4 รายละเอียดในวิทยานิพนธ์.....	2
บทที่ 2 ทฤษฎีการทำงานของมอสเฟตและหลักการของวงจรถานส์ลัสตีเนียร์.....	3
2.1 กล่าวนำ.....	3
2.2 ทฤษฎีการทำงานของมอสเฟต.....	3
2.2.1 โครงสร้างของมอสเฟต.....	3
2.2.2 หลักการทำงานของมอสเฟตและสมการแสดงความสัมพันธ์สำหรับ..... สัญญาณขนาดใหญ่.....	5
2.2.3 แบบจำลองและสมการแสดงความสัมพันธ์สำหรับสัญญาณขนาดเล็ก.....	7
2.3 ค่าความจุไฟฟ้าในมอสเฟต.....	9
2.4 ผลของมอสเฟตต่อการเปลี่ยนแปลงอุณหภูมิ.....	11
2.5 วงจรถานส์ลัสตีเนียร์.....	12
2.5.1 หลักการของวงจรถานส์ลัสตีเนียร์แบบไบโพลาร์ทรานซิสเตอร์.....	12
2.5.2 หลักการของวงจรถานส์ลัสตีเนียร์แบบมอสทรานซิสเตอร์ที่ทำงานอยู่ใน..... ช่วงอิมิตัว.....	15
2.6 สรุป.....	17

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ (ต่อ)

หน้า

บทที่ 3	วงจรถอดรอกที่สองสำหรับสัญญาณอนาล็อก.....	18
3.1	กล่าวนำ	18
3.2	วงจรถอดรอกที่สองที่ใช้ฮอปแอมป์ต่อร่วมกับตัวต้านทานและวงจรถูณ.....	18
3.3	วงจรถอดรอกที่สองที่ใช้ฮอปแอมป์ต่อร่วมกับตัวเก็บประจุและอนาล็อกสวิตช์.....	21
3.4	วงจรถอดรอกที่สองที่ใช้หลักการของวงจรถอานส์ลิเนียร์รูปแบบ ไบโพลาร์ทรานซิสเตอร์.....	23
3.5	วงจรถอดรอกที่สองที่ใช้คุณสมบัติของวงจรถอานส์ลิเนียร์แบบมอสเฟต.....	25
3.6	สรุป	27
บทที่ 4	การออกแบบและการวิเคราะห์คุณสมบัติการทำงานของวงจรถอดรอกที่สองที่นำเสนอ... ภายในวิทยานิพนธ์.....	28
4.1	กล่าวนำ	28
4.2	กลุ่มวงจรรย่อย	28
4.2.1	วงจรถอานส์ลิเนียร์แบบพื้นฐาน.....	28
4.2.2	วงจรถอานส์ลิเนียร์แบบ.....	29
4.2.3	วงจรถอดรอกที่สองแบบพื้นฐาน.....	30
4.3	การออกแบบวงจรถอดรอกที่สอง	32
4.4	การวิเคราะห์คุณสมบัติการทำงานของวงจรถอานส์ลิเนียร์.....	33
4.4.1	การวิเคราะห์ค่าความต้านทานที่จุดเข้าและออก.....	33
4.4.2	การวิเคราะห์ช่วงปฏิบัติงานทางขนาดของแหล่งจ่าย.....	35
4.4.3	การวิเคราะห์ช่วงปฏิบัติงานทางขนาดของกระแสอินพุต.....	35
4.4.4	การวิเคราะห์ผลตอบสนองทางความถี่	36
4.4.5	การวิเคราะห์ค่าความผิดพลาด	38
4.5	ผลการเทียบแบบการทำงานด้วยโปรแกรม PSPICE.....	40
4.6	สรุป.....	44
บทที่ 5	สรุปผลวิจัยและข้อเสนอแนะ	45
5.1	บทสรุปและวิจารณ์.....	45

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ (ต่อ)

หน้า

5.2 ข้อเสนอแนะแนวทางในการทำวิจัยและพัฒนางจร.....	45
เอกสารอ้างอิง.....	46
ภาคผนวก ก. การวิเคราะห์คุณสมบัติของวงจรสะท้อนกระแสแบบพื้นฐาน	48
ภาคผนวก ข. การวิเคราะห์หาค่ากระแสอินพุตสูงสุดด้วยโปรแกรม PSPICE	52
ภาคผนวก ค. แผนภาพบล็อกแสดงการทำงานของวงจรถอครากที่สอง	53
ภาคผนวก ง. ผลงานวิจัยที่ได้รับการตีพิมพ์	56
ประวัติผู้เขียน.....	88



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

ตารางที่

หน้า

4.1 อัตราส่วนความกว้างต่อความยาวเซลล์เนต (w_h) ของมอสทรานซิสเตอร์.....40



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญญรูป

รูปที่	หน้า
2.1	โครงสร้างมอสเฟตแบบดีเพทชั้นชนิดเอ็นแชนเนลและพีแชนเนล.....4
2.2	โครงสร้างมอสเฟตแบบเอนแฮนซ์เมนต์ชนิดเอ็นแชนเนลและพีแชนเนล5
2.3	กราฟแสดงคุณสมบัติการทำงานของมอสเฟตแบบเอนแฮนซ์เมนต์ชนิดเอ็นแชนเนล6
2.4	วงจรมูลสำหรับสัญญาณขนาดเล็กของมอสเฟต8
2.5	แบบจำลองค่าความจุไฟฟ้าที่เกิดขึ้นจากโครงสร้างของมอสเฟต.....10
2.6	วงจรรานส์ลิเนียร์รูปแบบพื้นฐานที่ใช้ไบโพลาร์ทรานซิสเตอร์14
2.7	วงจรรานส์ลิเนียร์รูปแบบพื้นฐานที่ใช้มอสทรานซิสเตอร์16
3.1	หลักการออกแบบวงจรถอดครากที่สองที่ใช้โอปแอมป์ต่อร่วมกับตัวต้านทานและ..... วงจรมูล19-20
3.2	หลักการออกแบบวงจรถอดครากที่สองที่ใช้โอปแอมป์ต่อร่วมกับตัวเก็บประจุและ..... อนาล็อกสวิทช์22
3.3	วงจรรขยายคลาสส์ AB แบบทรานส์ลิเนียร์รูป.....24
3.4	วงจรถอดครากที่สองที่อาศัยหลักการของวงจรรานส์ลิเนียร์รูปแบบ..... ไบโพลาร์ทรานซิสเตอร์.....25
3.5	หลักการออกแบบวงจรถอดครากที่สองที่ใช้คุณสมบัติของวงจรรขยายคลาสส์ AB..... แบบมอสเฟต.....26
4.1	วงจระสะท้อนกระแสแบบพื้นฐาน โดยใช้ออสเฟต.....29
4.2	วงจระจำกัดกระแส30
4.3	ผลของกระแสเอ้าท์พุทของวงจระจำกัดกระแสที่ค่ากระแสอินพุทต่างๆ30
4.4	วงจรถอดครากที่สองแบบพื้นฐาน31
4.5	วงจรถอดครากที่สองที่ได้นำเสนอ.....33
4.6	วงจรมูลสำหรับการคำนวณค่าความต้านทานที่จุดเข้าและออก34
4.7	วงจรมูลสำหรับการคำนวณผลตอบสนองทางความถี่37
4.8	วงจรถอดครากที่สองที่ใช้ในการเลียนแบบการทำงานด้วยโปรแกรม PSPICE40
4.9	คุณลักษณะสัญญาณไฟตรง (DC Characteristic) ของวงจระ41
4.10	ผลตอบสนองชั่วขณะของวงจระเมื่อป้อนสัญญาณอินพุตรูปสามเหลี่ยมที่ความถี่ต่าง ๆ42
4.11	ผลตอบสนองชั่วขณะของวงจระเมื่อป้อนสัญญาณอินพุตรูปคลื่น ไชน์ที่ความถี่ต่าง ๆ43
4.12	ผลตอบสนองทางความถี่ของวงจระ.....44

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป (ต่อ)

รูปที่	หน้า
ก.1 วงจรสะท้อนกระแสแบบพื้นฐาน.....	48
ก.2 วงจรสมมูลสำหรับการวิเคราะห์ค่าความต้านทานที่จุดเข้าและออกของวงจรสะท้อนกระแส... แบบพื้นฐาน	49
ก.3 วงจรสมมูลสำหรับการวิเคราะห์อัตราขยายสำหรับสัญญาณขนาดเล็ก.....	50
ข.1 ผลเปรียบเทียบแรงดันระหว่าง V_{DS} กับ $V_{GS}-V_{TH}$ ของทรานซิสเตอร์ M_{10} เมื่อทำการป้อนกระแส I_{in} ตั้งแต่ 0-180 μ A.....	52
ค.1 วงจรสมมูลสำหรับสัญญาณขนาดเล็กของวงจรลดราก็สองสำหรับการคำนวณผลตอบ... สนองทางความถี่	53



บทที่ 1

บทนำ

1.1 กล่าวนำ

วงจรถอดรอกที่สองสำหรับสัญญาณอนาล็อกเป็นวงจรที่มีประโยชน์และสำคัญมากวงจรมีหนึ่งซึ่งมีใช้ในเครื่องมือวัดวิเคราะห์และระบบตรวจจับค่าสัญญาณทางอิเล็กทรอนิกส์ การประยุกต์ใช้งานของวงจรถอดรอก เช่น ใช้ในการปรับสัญญาณที่ได้จากอุปกรณ์วัดอัตราการไหลให้เป็นเชิงเส้น หรือใช้ในการคำนวณหาค่ารากที่สองของกำลังสองเฉลี่ย (Root Mean Square: RMS) ของสัญญาณรูปคลื่นต่างๆ

ในปัจจุบันการออกแบบและการสร้างวงจรรวมบนพื้นฐานของเทคโนโลยีทรานซิสเตอร์แบบมอสกำลังได้รับความนิยมและสนใจเป็นอย่างมาก วัตถุประสงค์เพื่อที่จะทำการจัดการและประมวลผลสัญญาณ เนื่องจากเหตุผลสำคัญที่วงจรถอดรอกเป็นวงจรถอดรอกซึ่งประหยัดพลังงาน นอกจากนี้ยังประหยัดพื้นที่ และยังมีขั้นตอนในการสร้างน้อยกว่าทรานซิสเตอร์แบบไบโพลาร์ จึงเป็นที่น่าสนใจที่จะทำการออกแบบวงจรถอดรอกที่สองสำหรับสัญญาณอนาล็อกบนพื้นฐานเทคโนโลยีทรานซิสเตอร์แบบมอสเฟต

1.2 วัตถุประสงค์ของวิทยานิพนธ์

วิทยานิพนธ์นี้มีวัตถุประสงค์เพื่อที่จะศึกษาคุณสมบัติและหลักการออกแบบวงจรถอดรอกที่สองในโหมดกระแสแบบต่างๆ โดยมุ่งเน้นการออกแบบที่ใช้เทคโนโลยีและหลักการทรานส์ลิเนียร์แบบมอสทรานซิสเตอร์ ทำการออกแบบวงจรถอดรอกให้มีคุณสมบัติของช่วงปฏิบัติการทางความถี่ที่กว้าง มีความแม่นยำสูง โครงสร้างของวงจรมีความเรียบง่ายและมีขนาดเล็ก สามารถทำงานได้ที่แรงดันไฟเลี้ยงต่ำ รวมทั้งมีความเหมาะสมในการนำไปสร้างเป็นวงจรรวม

1.3 หลักการใหม่ในวิทยานิพนธ์

ในวิทยานิพนธ์ฉบับนี้ ได้นำเสนอหลักการออกแบบวงจรถอดรอกที่สอง 2 หลักการ คือ

1. วงจรถอดรอกแบบ จะให้ค่ากระแสเอาต์พุตที่แปรผันตรงกับค่ารากที่สองของกระแสอินพุตในลักษณะเชิงเส้น และสามารถปรับค่าได้ด้วยวิธีการทางอิเล็กทรอนิกส์
2. การออกแบบซึ่งใช้วงจรถอดรอกประกอบร่วมกัน และอาศัยหลักการทรานส์ลิเนียร์แบบมอสทรานซิสเตอร์ที่ทำงานอยู่ในช่วงอิมิตัว

1.4 รายละเอียดในวิทยานิพนธ์

ในวิทยานิพนธ์นี้ได้แบ่งเนื้อหาออกเป็น 5 บทกับอีก 4 ภาคผนวก ซึ่งมีรายละเอียดดังต่อไปนี้

- บทที่ 1 เป็นบทนำ กล่าวนำถึงวัตถุประสงค์ หลักการใหม่ที่ได้นำเสนอ และรายละเอียดในแต่ละบทของวิทยานิพนธ์
- บทที่ 2 กล่าวถึงทฤษฎีการทำงานและสมการแสดงความสัมพันธ์ของมอสเฟต โดยเน้นถึงมอสเฟตแบบเอนแฮนซ์เมนต์ (Enhancement-Mode MOSFET) ที่มีการทำงานในช่วงอิมิตัวเป็นหลัก และกล่าวถึงหลักการของทรานส์ลิเนียร์รูป ซึ่งเป็นหลักการที่ถูกนำมาประยุกต์ใช้เพื่อออกแบบวงจร และถูกกล่าวอ้างภายในวิทยานิพนธ์
- บทที่ 3 กล่าวถึงตัวอย่างของหลักการออกแบบวงจรทรานส์ลิเนียร์รูปที่เสนอสำหรับสัญญาณอนาล็อกที่เคยมีการนำเสนอในอดีต พร้อมทั้งเปรียบเทียบข้อดีข้อเสียของแต่ละหลักการ
- บทที่ 4 กล่าวถึงวงจรทรานส์ลิเนียร์รูปที่ทำการออกแบบภายในวิทยานิพนธ์ และวงจรร้อยที่ใช้ประกอบพร้อมทั้งวิเคราะห์คุณสมบัติต่างๆ ของวงจร เช่น ช่วงขนาดปฏิบัติการทางขนาดและผลตอบสนองทางความถี่ แล้วนำผลวิเคราะห์ที่ได้ไปอ้างอิงกับผลการเขียนแบบการทำงานของวงจรด้วยโปรแกรม PSPICE เพื่อทำการเปรียบเทียบคุณสมบัติดังกล่าวว่าเป็นไปตามที่ออกแบบไว้หรือไม่
- บทที่ 5 เป็นการกล่าวสรุป บอกถึงข้อดีข้อเสียของวงจรที่ได้ทำการออกแบบ และเสนอแนะแนวทางในการนำไปพัฒนาต่อ

เอกสารอ้างอิง

- ภาคผนวก ก. แสดงการวิเคราะห์คุณสมบัติต่างๆ ของวงจรสะท้อนกระแสแบบพื้นฐาน เช่น อัตราการสะท้อนกระแส ค่าความต้านทานที่จุดเข้าและจุดออก และอัตราการขยายกระแส สำหรับสัญญาณขนาดเล็ก เพื่อใช้ในการประกอบรวมกับการวิเคราะห์ระบบโดยรวม
- ภาคผนวก ข. เป็นผลการวิเคราะห์หาค่ากระแสอินพุตสูงสุดด้วยโปรแกรม PSPICE
- ภาคผนวก ค. แสดงแผนภาพบล็อกการทำงานของวงจรทรานส์ลิเนียร์รูปที่เสนอเพื่อช่วยในการวิเคราะห์หาสมการผลตอบสนองทางความถี่
- ภาคผนวก ง. แสดงผลงานวิจัยที่ได้รับการตีพิมพ์
- ประวัติผู้เขียน

บทที่ 2

ทฤษฎีการทำงานของมอสเฟตและ หลักการของวงจรถานส์ลัสตีเนียร์

2.1 กล่าวนำ

ในบทนี้มีเนื้อหา 2 ส่วนด้วยกัน ส่วนแรกจะกล่าวถึงทฤษฎีการทำงานและสมการสำคัญๆ ของมอสทรานซิสเตอร์ โดยเฉพาะมอสเฟตแบบเอนแฮนซ์เมนต์ที่มีการทำงานอยู่ในช่วงอิมิตัว ท้ายสุดจะกล่าวถึงหลักการของวงจรถานส์ลัสตีเนียร์ ทั้ง 2 ส่วนดังกล่าว นำมาใช้เพื่อเป็นพื้นฐานในการออกแบบวงจรลอจิกที่สอนในวิทยานิพนธ์ฉบับนี้

2.2 ทฤษฎีการทำงานของมอสเฟต [1]-[12]

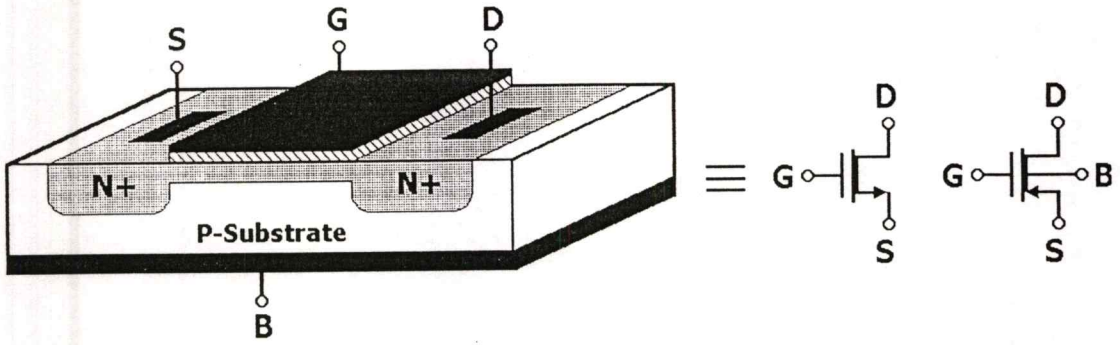
มอสเฟต (Metal-Oxide Semiconductor Field Effect Transistor: MOSFET) หรืออีกชื่อหนึ่งคือ อินซูลเลตเตดเกตเฟต (IGFET: Insulated Gate Field Effect Transistor) เป็นอุปกรณ์สารกึ่งตัวนำที่ทำงานด้วยผลของสนามไฟฟ้าหรือเฟต (Field Effect Transistor: FET) เนื่องจากมีลักษณะรูปแบบพื้นฐานของโครงสร้างที่เข้าใจได้ง่าย และมีข้อได้เปรียบอื่นๆ อีกหลายประการเมื่อเปรียบเทียบกับไบโพลาร์ทรานซิสเตอร์ ปัจจุบันมอสเฟตเป็นอุปกรณ์ที่นิยมนำมาใช้งานอย่างแพร่หลาย

2.2.1 โครงสร้างของมอสเฟต

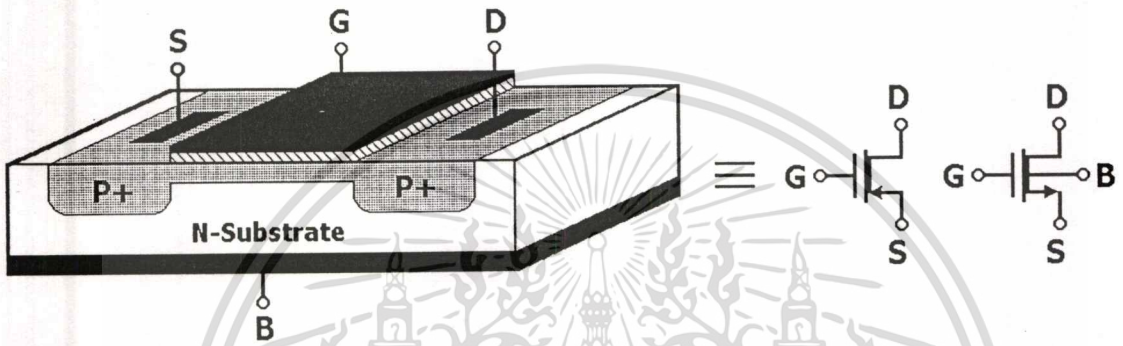
มอสเฟตสามารถแบ่งออกเป็น 2 แบบ จากลักษณะการเกิดแชนเนล ขึ้นอยู่กับว่าสิ่งประจักษ์ฐนั้นนำกระแส (Depletion) หรือไม่นำกระแส (Enhancement) ในขณะที่มีการไบแอสเป็นศูนย์ ได้แก่แบบดีเพลทชัน (Depletion Mode) และเอนแฮนซ์เมนต์ (Enhancement Mode) ซึ่งในแต่ละแบบจะสามารถแบ่งออกได้อีกตามชนิดของพาหะที่ใช้ในการนำกระแส คือ ชนิดเอ็นแชนเนล (N-channel) เป็นมอสเฟตที่ใช้อิเล็กตรอนเป็นพาหะในการนำกระแส และชนิดพีแชนเนล (P-channel) เป็นมอสเฟตที่ใช้โฮล (Hole) เป็นพาหะในการนำกระแส

มอสเฟตแบบดีเพลทชันชนิดเอ็นแชนเนล โครงสร้างจะประกอบด้วยขั้วเกรนและซอร์ส ที่ปลายของทั้งสองขั้วจะต่ออยู่กับสารกึ่งตัวนำชนิดเดียวกันซึ่งเจือด้วยสารชนิดเอ็น ต่อถึงกันในลักษณะที่เรียกว่า แชนเนล (Channel) บนผิวหน้าของฐานรอง (Substrate) ชนิดพี เหนือย่านแชนเนลชนิดเอ็นวางคือขั้วเกต (Gate) ซึ่งทำด้วยโลหะ และมีชั้นของฉนวนออกไซด์หนา t_{ox} ฉาบคั้น ทำด้วยซิลิกอนไดออกไซด์ (SiO_2) ที่มีค่าพิคัดความต้านทาน (Resistivity) ประมาณ $10^{15} \Omega \cdot \text{cm}$ อุณหภูมิห้อง [5]-[7]

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ก) ช่องทางเดินกระแสชนิดเอ็น (N-Channel)



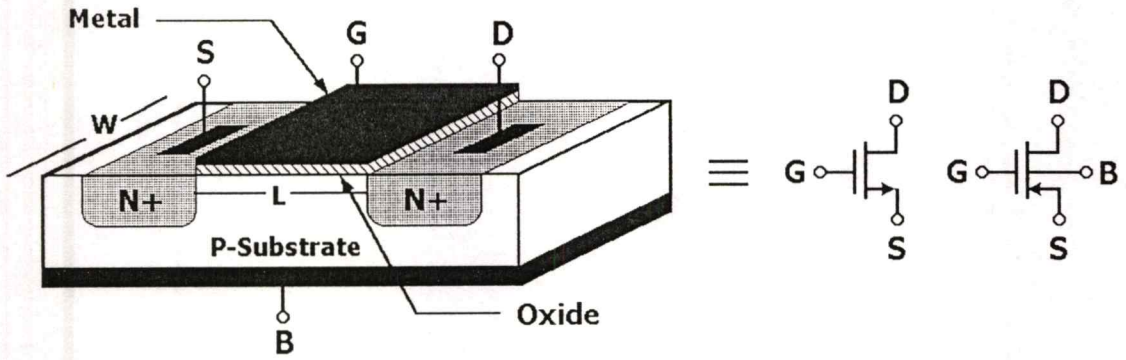
(ข) ช่องทางเดินกระแสชนิดพี (P-Channel)

รูปที่ 2.1 โครงสร้างมอสเฟตแบบดีพลทชั้นชนิดเอ็นแชนเนลและพีแชนเนล

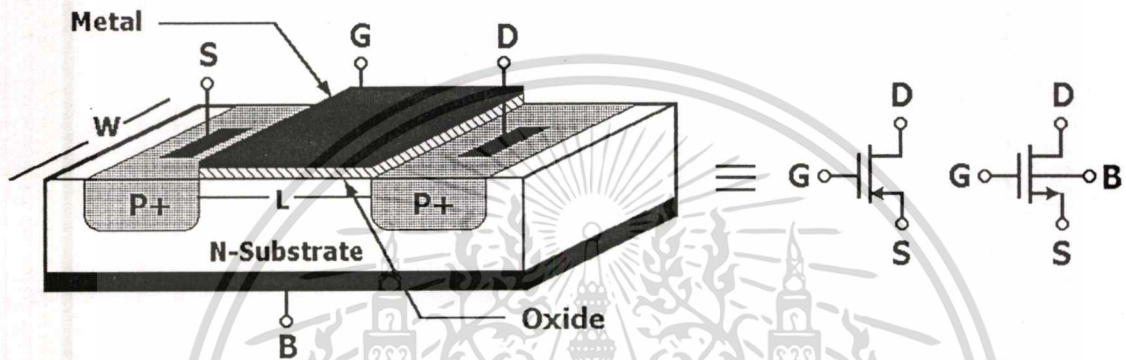
ทำนองเดียวกัน ถ้าเปลี่ยนไปใช้ฐานรองเป็นชนิดเอ็นและส่วนของแชนเนลเป็นชนิดพี เราจะเรียกมอสเฟตชนิดนี้ว่า มอสเฟตแบบดีพลทชั้นชนิดพีแชนเนล ดังแสดงในรูปที่ 2.1 การทำงานของมอสเฟตชนิดนี้ สามารถทำงานในย่านดีพลทชั้นด้วยการไบแอสย้อนกลับ (Reverse Bias) และในย่านเอนแฮนซ์เมนต์ด้วยการไบแอสตรง (Forward Bias) โดยมีแรงดันไบแอสเกต-ซอร์ส (V_{GS}) เป็นตัวควบคุมการไหลของกระแสเดรน (I_D) ที่เกิดขึ้น

มอสเฟตแบบเอนแฮนซ์เมนต์ชนิดเอ็นแชนเนลและพีแชนเนล มีขบวนการสร้างเช่นเดียวกันกับมอสเฟตแบบดีพลทชั้นชนิดเอ็นแชนเนลและพีแชนเนลตามลำดับ มีความแตกต่างเฉพาะในส่วนแชนเนลเท่านั้น คือ ปลายขั้วเดรนและซอร์สซึ่งต่ออยู่กับสารกึ่งตัวนำชนิดเดียวกันในลักษณะของแชนเนลซึ่งอยู่บนผิวของฐานรอง แต่แชนเนลดังกล่าวไม่ต่อเชื่อมกันเหมือนกรณีดีพลทชั้น โดยมีระยะห่างระหว่างเดรนกับซอร์สเป็นค่าความยาวแชนเนล L (Channel Length) และมีค่าความกว้างแชนเนลเป็น W (Channel Width) ดังแสดงในรูปที่ 2.2 การทำงานของมอสเฟตแบบเอนแฮนซ์เมนต์จะสามารถทำงานได้เฉพาะในย่านเอนแฮนซ์เมนต์ด้วยการไบแอสตรงเท่านั้น ไม่สามารถทำงานในย่านดีพลทชั้นด้วยการไบแอสย้อนกลับได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ก) ช่องทางเดินกระแสชนิดเอ็น (N-Channel)



(ข) ช่องทางเดินกระแสชนิดพี (P-Channel)

รูปที่ 2.2 โครงสร้างมอสเฟตแบบเอนแฮนซ์ชนิดเอ็นแชนแนลและพีแชนแนล

2.2.2 หลักการทำงานของมอสเฟตและสมการแสดงความสัมพันธ์สำหรับสัญญาณขนาดใหญ่ (Large-Signal Model)

ใหญ่ (Large-Signal Model)

การทำงานของมอสเฟตสามารถแบ่งได้ 3 ช่วงด้วยกันดังแสดงในรูปที่ 2.3 ทั้งนี้ขึ้นอยู่กับ การพิจารณาจากค่า $V_{GS} - V_{TH}$ และค่าแรงดัน V_{DS} ซึ่งสามารถเขียนสมการแสดงความสัมพันธ์สำหรับ สัญญาณขนาดใหญ่ (Large-Signal Model) ได้ดังต่อไปนี้

1. ช่วงที่มอสเฟตไม่นำกระแส (Cutoff Region) กล่าวคือ ในช่วงนี้แรงดันเกต-ซอร์ส V_{GS} ไม่สามารถเอาชนะค่าแรงดันขีดเริ่ม (Threshold Voltage) V_{TH} หรืออีกนัยหนึ่งคือ V_{GS} มีค่าน้อยกว่า V_{TH} นั้นเอง จึงไม่สามารถทำให้เกิดมีกระแส I_D ไหลได้ ดังนั้น

$$I_D = 0 \quad \text{เมื่อ } V_{GS} - V_{TH} < 0 \quad (2.1)$$

2. ช่วงนำกระแสไม่อิ่มตัวหรือช่วงเชิงเส้น (Non-Saturation Region or Triode Region)

ช่วงนี้ไบแอสมอสเฟตด้วยแรงดัน V_{DS} ค่าน้อยๆ แล้วจะได้ความสัมพันธ์ของกระแส I_D ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$I_D = \mu_n C_{ox} \frac{W}{L} \left[(V_{GS} - V_{TH})V_{DS} - \frac{V_{DS}^2}{2} \right] \quad \text{เมื่อ } 0 < V_{DS} < V_{GS} - V_{TH} \quad (2.2)$$

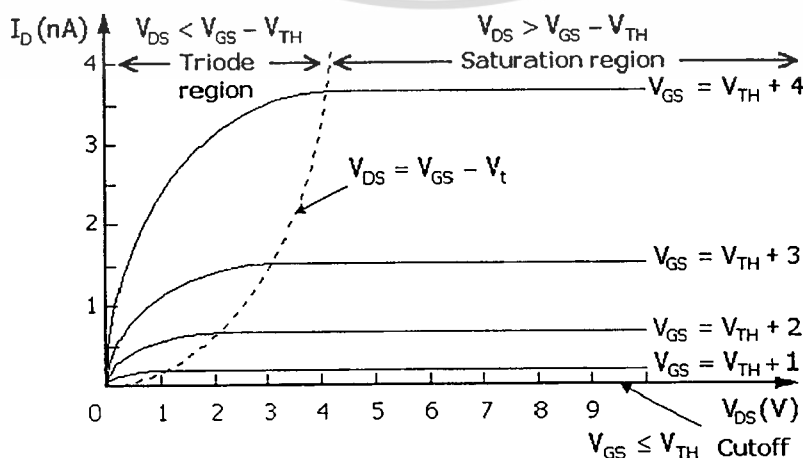
$$I_D = \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{TH})V_{DS} \quad \text{เมื่อ } 0 < V_{DS} \ll V_{GS} - V_{TH} \quad (2.3)$$

จากสมการ (2.2) ถ้าไบแอสมอสเฟตด้วยแรงดัน V_{DS} ซึ่งมีค่าน้อยกว่าค่า $V_{GS} - V_{TH}$ มากๆ เทอมของ $V_{DS}^2/2$ จะสามารถตัดทิ้งได้เพราะมีค่าน้อยมาก ผลที่ได้คือ ค่ากระแสเดรน I_D จะมีลักษณะความเป็นเชิงเส้นและค่าความชัน (Slope) ที่เกิดขึ้นจะเป็นค่าความต้านทานซึ่งขึ้นอยู่กับค่าแรงดันเกต-ซอร์ส V_{GS} นั้นเอง เราเรียกลักษณะของความต้านทานแบบนี้ว่า Voltage Control Resistance หรือ VCR ดังแสดงในสมการ (2.3) ถ้าต้องการออกแบบให้มอสเฟตทำงานเป็น Active Resistor Load หรือ สวิตช์ (Switch) ซึ่งมีค่าความต้านทานต่ำ ควรเลือกไบแอสมอสเฟตให้ทำงานในช่วงนี้

3. ช่วงนำกระแสอิ่มตัว (Saturation Region) ช่วงนี้ไบแอสมอสเฟตด้วยแรงดัน V_{DS} ซึ่งมีค่ามากกว่าหรือเท่ากับค่า $V_{GS} - V_{TH}$ โดยค่าแรงดัน V_{DS} ที่ทำให้เกิดช่วงอิ่มตัวจะแทนด้วย $V_{DS,SAT}$ (Saturation Voltage) ดังนี้

$$V_{DS,SAT} = V_{GS} - V_{TH} \quad (2.4)$$

แทนสมการ (2.4) ลงในสมการ (2.2) จะพบว่าค่ากระแสเดรน I_D ที่เกิดขึ้นเป็นกระแสอิ่มตัว (Saturation Current) ที่มีค่าคงที่และจะขึ้นอยู่กับค่าของ $(V_{GS} - V_{TH})^2$ ซึ่งเป็นไปตามกฎของสมการกำลังสอง (Square-Law of MOS Transistor in Saturation) ดังสมการต่อไปนี้



รูปที่ 2.3 กราฟแสดงคุณสมบัติการทำงานของมอสเฟตแบบเอ็นแชนซ์เมนต์ชนิดเอ็นแชนแนล

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$I_D = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{TH})^2 \quad \text{เมื่อ } V_{DS} \geq V_{GS} - V_{TH} \quad (2.5)$$

- เมื่อ I_D คือ ค่ากระแสเดรน (Drain Current)
- V_{GS} คือ ค่าศักดาตกรวมขาคเกต-ซอร์ส (Gate-Source Voltage)
- V_{DS} คือ ค่าศักดาตกรวมขาคเดรน-ซอร์ส (Drain-Source Voltage)
- μ_n คือ ค่าสภาพความคล่องตัวของผิวของประจุพาหะ (Surface Mobility of Carrier)
- C_{ox} คือ ค่าความจุไฟฟ้าต่อหนึ่งหน่วยพื้นที่ของเกตออกไซด์ (Capacitance per Unit Area of Gate Oxide) มีค่าเท่ากับ ϵ_{ox} / t_{ox} [F/Cm²]
- ϵ_{ox} คือ ค่าสภาพสมยอมของซิลิกอนไดออกไซด์ (SiO₂ Permittivity) มีค่าประมาณ $3.45 \cdot 10^{-11}$ [F/Cm]
- t_{ox} คือ ค่าความหนาของชั้นเกตออกไซด์
- W คือ ค่าความกว้างประสิทธิผลของแชนเนล (Effective Channel Width)
- L คือ ค่าความยาวประสิทธิผลของแชนเนล (Effective Channel Length)
- V_{TH} คือ ค่าศักดาไฟฟ้าขีดเริ่ม (Threshold Voltage)

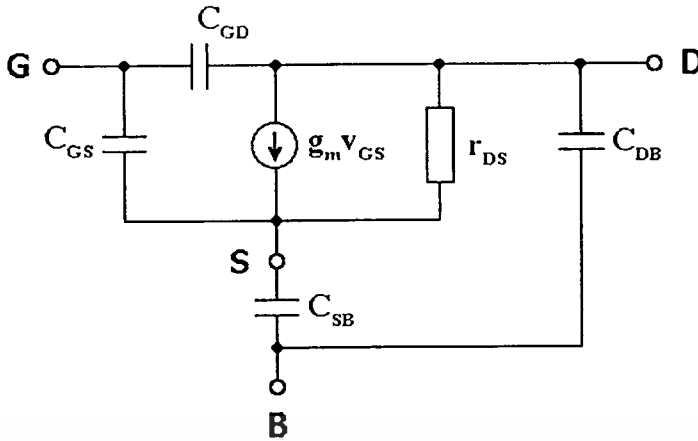
นอกจากจะจำแนกประเภทการใช้งานมอสเฟตออกเป็น 3 ช่วง จากการพิจารณาค่า $V_{GS} - V_{TH}$ และค่า V_{DS} ซึ่งจะได้ค่ากระแสเดรนเท่ากับศูนย์ เมื่อ $V_{GS} \leq V_{TH}$ และมีค่าเป็นไปตามสมการ (2.2) และสมการ (2.5) เมื่อ $V_{GS} > V_{TH}$ แต่ในความเป็นจริงแล้วเมื่อค่า V_{GS} มีค่าเข้าใกล้ V_{TH} สมการคุณลักษณะระหว่างค่ากระแสเดรนกับค่าศักดาตกรวมเกต-ซอร์สจะอยู่ในรูปเอ็กซ์โปเนนเชียล (Exponential) โดยเฉพาะอย่างยิ่งเมื่อ $V_{GS} \leq V_{TH}$ จะเรียกช่วงการทำงานของมอสเฟตในช่วงนี้ว่า ย่านวีคอินเวอร์สชัน (Weak Inversion Region or Subthreshold) [3], [6], [12] ซึ่งการทำงานในช่วงนี้จะมีข้อดีคือ สามารถทำงานได้ที่ศักดาไฟเลี้ยงต่ำและสูญเสียกำลังต่ำมาก แต่ก็ไม่เป็นที่ยอมรับ เนื่องจากมีช่วงปฏิบัติการทางขนาดที่แคบและผลตอบสนองทางความถี่ต่ำอีกด้วย

2.2.3 แบบจำลองและสมการแสดงความสัมพันธ์สำหรับสัญญาณขนาดเล็ก (Small-Signal Model)

การทำงานของมอสเฟตในช่วงอิมิตันนั้น ถ้ามีการป้อนสัญญาณขนาดเล็กที่มีการเปลี่ยนแปลงกับเวลาเข้าไป ณ จุดไบแอสหนึ่ง มอสเฟตจะทำงานได้เป็นเชิงเส้นในช่วงสั้น ๆ ซึ่งสามารถจำลองแบบการทำงานของมอสเฟตให้อยู่ในรูปที่เข้าใจได้ง่าย ๆ ดังแสดงในรูปที่ 2.4

ค่าความนำ (Transconductance) ของวงจรสามารถคำนวณได้จากสมการ (2.2) และ (2.5) จะได้ว่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.4 วงจรสมมูลสำหรับสัญญาณขนาดเล็กของมอสเฟต

$$g_m = \left. \frac{dI_D}{dV_{GS}} \right|_{v_{DS}=0} = \begin{cases} \frac{\mu_n C_{ox} W V_{DS}}{L} & \text{Non-saturation Region} \\ \frac{\mu_n C_{ox} W}{L} (V_{GS} - V_{TH}) & \text{Saturation Region} \end{cases} \quad (2.6)$$

จากสมการ (2.5) สำหรับการทำงานในช่วงอิมิตัว ค่าความนำของวงจรสามารถเขียนความสัมพันธ์ให้อยู่ในรูปของกระแสได้ดังนี้

$$g_m = \sqrt{\frac{2\mu_n C_{ox} W I_D}{L}} \quad (2.7)$$

สำหรับค่าความต้านทานที่จุดออกของวงจรสามารถคำนวณหาความสัมพันธ์ได้ดังนี้ คือ

$$g_{ds} = \left. \frac{dI_D}{dV_{DS}} \right|_{v_{GS}=0} = \begin{cases} \frac{\mu_n C_{ox} (V_{GS} - V_{TH} - V_{DS})}{L} & \text{Non-saturation Region} \\ \lambda I_D & \text{Saturation Region} \end{cases} \quad (2.8)$$

เมื่อ λ คือ channel length modulation parameter (volts⁻¹) จะมีค่าอยู่ในช่วง 0.1-0.01 V⁻¹

จากวงจรในรูปที่ 2.4 ได้รวมค่าความจุไฟฟ้า 4 ตัวด้วยกัน คือ C_{GS} , C_{GD} , C_{SB} และ C_{DB} ซึ่งใช้ในการวิเคราะห์ด้วยโปรแกรมคอมพิวเตอร์เท่านั้น เพราะค่อนข้างยุ่งยากและซับซ้อนสำหรับการวิเคราะห์ด้วยมือ เนื่องจากในวิชานีพนธ์นี้ได้ทำการออกแบบวงจรถอดรอกที่สองโดยใช้มอสเฟตที่ทำงานอยู่ในช่วงอิมิตัว ซึ่งเกิดสภาวะพินช์ออฟ (Pinch Off) กล่าวคือ แชลเนลซึ่งเป็นช่องทางเดินกระแสบริเวณปลายด้านตรงหน้าออกหรือแคบมาก สักคาที่ตรงนี้มีผลกระทบต่อแชลเนลหรือประจุเอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นอนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ที่เกิดน้อยมาก สามารถกล่าวได้ว่าค่าความจุไฟฟ้าระหว่างเกตกับเดรน (C_{GD}) มีค่าน้อยมาก ส่วนค่าความจุไฟฟ้าระหว่างซอร์สกับบอดี (C_{SB}) และเดรนกับบอดี (C_{DB}) นั้นถือว่ามีค่าน้อยมากเช่นกัน โดยเฉพาะเมื่อซอร์สกับบอดีเชื่อมต่อกัน จึงพิจารณาเฉพาะค่าความจุไฟฟ้าระหว่างเกต-ซอร์ส (C_{GS}) เท่านั้น ค่าความต้านทานที่เกิดเนื่องจากขาเกตของมอสเฟตที่ถูกกั้นด้วยฉนวน ค่าความต้านทานที่เกิดขึ้นระหว่างเกต-ซอร์ส (r_{GS}) และเกต-เดรน (r_{GD}) จะมีค่าสูง จึงมีเฉพาะค่าความต้านทานระหว่างเดรน-ซอร์ส (r_{DS}) เท่านั้นที่นำมาพิจารณา

2.3 ค่าความจุไฟฟ้าในมอสเฟต [2], [3], [6], [13]

ค่าความจุไฟฟ้าในโครงสร้างของมอสเฟตเป็นตัวแปรที่สำคัญในการออกแบบเพราะเป็นตัวกำหนดค่าผลตอบสนองทางความถี่ ค่าความจุไฟฟ้าเป็นค่าที่ขึ้นอยู่กับกระบวนการสร้างและโครงสร้างทางเรขาคณิต สามารถพิจารณาได้ตามโครงสร้างในรูปที่ 2.5

เมื่อพิจารณาค่าความจุไฟฟ้าของชั้นออกไซด์บริเวณส่วนที่เหลื่อมซ้อนทับกัน จะได้

1. C_{GSO} เป็นค่าความจุไฟฟ้าของชั้นออกไซด์ส่วนที่เหลื่อมซ้อนทับกันของพื้นที่การเชื่อมต่อระหว่างซอร์ส-เกต จะได้

$$C_{GSO} = C_{ox} WL_S \quad (2.9)$$

2. C_{GDO} เป็นค่าความจุไฟฟ้าของชั้นออกไซด์ส่วนที่เหลื่อมซ้อนทับกันของพื้นที่การเชื่อมต่อระหว่างเดรน-เกต จะได้

$$C_{GDO} = C_{ox} WL_D \quad (2.10)$$

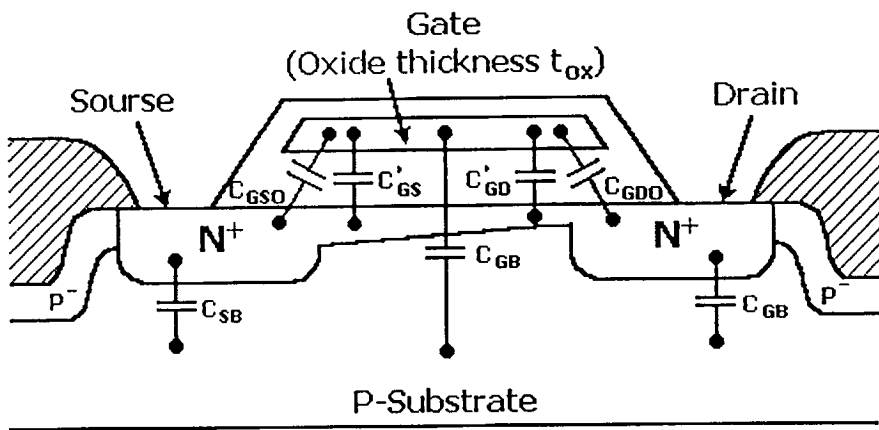
เมื่อ L คือ ความยาวจริงของช่องทางเดินกระแส

L_S คือ ค่าระยะซ้อนกันระหว่างเกต-ซอร์ส และ

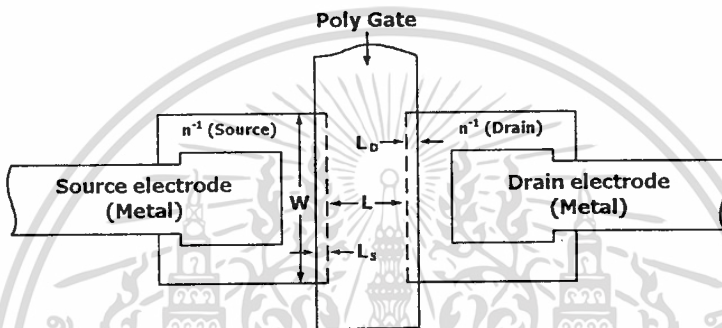
L_D คือ ค่าระยะซ้อนกันระหว่างเกต-เดรน

ต่อมาพิจารณาค่าความจุไฟฟ้าที่เกิดกับบริเวณช่องทางเดินกระแส โดยอธิบายให้เข้าใจด้วยการทำงาน 3 ช่วงของมอสเฟต สามารถสรุปค่าความจุไฟฟ้าของมอสเฟตในช่วงการทำงานต่าง ๆ โดยขึ้นกับค่า V_{DS} ดังนี้

1. C'_{GS} เป็นค่าความจุไฟฟ้าที่เกิดกับช่องทางเดินระหว่างเกต-ซอร์ส มีค่าดังนี้



(ก) แบบจำลองพื้นฐาน



(ข) รูปตัดส่วนทางเรขาคณิตด้านบน

รูปที่ 2.5 แบบจำลองค่าความจุไฟฟ้าที่เกิดขึ้นจากโครงสร้างของมอสเฟต

$$C'_{GS} = \begin{cases} 0 & \text{Cutoff} \\ \frac{1}{2} C_{ox} WL \left[1 + \frac{V_{DS}}{3V_{DS.SAT}} \right] & \text{Non-saturation Region} \\ \frac{2}{3} C_{ox} WL & \text{Saturation Region} \end{cases} \quad (2.11)$$

2. C'_{GD} เป็นค่าความจุไฟฟ้าที่เกิดกับช่องทางเดินระหว่างเกต-เดรน มีค่าดังนี้

$$C'_{GD} = \begin{cases} 0 & \text{Cutoff} \\ \frac{1}{2} C_{ox} WL \left[1 - \frac{V_{DS}}{V_{DS.SAT}} \right] & \text{Non-saturation Region} \\ 0 & \text{Saturation Region} \end{cases} \quad (2.12)$$

3. ค่า C_{GB} เป็นค่าความจุไฟฟ้าระหว่างเกตกับเนื้อสารที่เกิดจากช่วงปลอดพาหะ ซึ่งมีค่าน้อย

มาก ถ้ามอสเฟตทำงานอยู่ในช่วงเชิงเส้นและช่วงอิ่มตัว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$C_{ox} = \begin{cases} C_{ox} WL & \text{Cutoff} \\ 0 & \text{Non-saturation Region} \\ 0 & \text{Saturation Region} \end{cases} \quad (2.13)$$

สำหรับค่าความจุไฟฟ้าอีก 2 ตัวคือ C_{SB} และ C_{DB} ที่เกิดจากส่วนดีเพลทชันในรอยต่อพี-เอ็น ค่าความจุไฟฟ้าในส่วนนี้ คือ ส่วนที่เป็นพื้นที่ด้านล่างและส่วนข้าง ๆ ส่วนเดรนและซอร์ส

ค่าความจุไฟฟ้าดีเพลทชันต่อหน่วยพื้นที่ C_{SB} และ C_{DB} มีค่าดังนี้

$$C_{SB,DB} = \frac{C_{SB,DB}(0)}{\sqrt{1 + \frac{V_T}{\phi_0}}} \quad (2.14)$$

เมื่อ V_T คือ ค่าไบแอสย้อนกลับ

$C_{SB,DB}(0)$ คือ ค่าความจุไฟฟ้าที่ไบแอสเป็นศูนย์ ($V_T=0$)

2.4 ผลของมอสเฟตต่อการเปลี่ยนแปลงอุณหภูมิ [6], [7], [14]

พิจารณาจากสมการ (2.5) เมื่อมีการเปลี่ยนแปลงอุณหภูมิจะส่งผลทำให้ค่ากระแสเดรนของมอสเฟตเกิดการเปลี่ยนแปลงอันเนื่องมาจากค่าพารามิเตอร์ที่สำคัญ 2 ตัว ได้แก่

1. ค่าสภาพความคล่องตัวของประจุพาหะ μ_n (Surface Mobility of Carrier) ซึ่งสามารถแสดงได้ดังสมการ (2.9) โดยมีค่า T_r เป็นค่าของอุณหภูมิห้อง (Room Absolute Temperature)

$$\mu_n(T) = \mu(T_r) \left(\frac{T}{T_r} \right)^{-k} \quad (2.15)$$

เมื่อ T คือ ค่าอุณหภูมิขณะพิจารณา (K)

T_r คือ ค่าอุณหภูมิ ณ อุณหภูมิห้อง เท่ากับ 300K

k_r คือ ค่าคงที่อยู่ระหว่าง 1.5 ถึง 2.0

2. ค่าศักดาขีดเริ่ม (Threshold Voltage) หรือ V_{TH} ซึ่งสามารถเขียนแสดงความสัมพันธ์กับอุณหภูมิได้ดังสมการ (2.10)

$$V_{TH}(T) = V_T(T_r) - k_2(T - T_r) \quad (2.16)$$

เมื่อ k_2 เป็นค่าคงที่ที่อยู่ระหว่าง 0.5 ถึง 4.0

จะเห็นได้ว่าทั้ง μ_n และ V_{TH} ต่างเปลี่ยนแปลงตามอุณหภูมิ ขนาดของ V_{TH} จะมีค่าลดลงประมาณ $2\text{mV}/^\circ\text{C}$ [6] การลดลงของ V_{TH} จะทำให้กระแส I_D เพิ่มขึ้นเมื่ออุณหภูมิสูงขึ้น ขณะที่ค่า μ_n จะลดลงตามอุณหภูมิ และการลดลงของ μ_n มีผลต่อกระแส I_D มากกว่า V_{TH} ผลสรุปก็คือกระแส I_D จะลดลงในกรณีที่อุณหภูมิเพิ่มสูงขึ้น

2.5 วงจรทรานส์ลิเนียร์[1],[2],[16]

หลักการของวงจรทรานส์ลิเนียร์ถูกบัญญัติขึ้นมาเพื่อใช้อธิบายกลุ่มวงจรไม่เป็นเชิงเส้น [15] แนวความคิดได้มาจากคุณสมบัติพื้นฐานที่ว่า ค่าอัตราการส่งผ่านความนำ (Transconductance) ของไบโพลาร์ทรานซิสเตอร์จะมีการเปลี่ยนแปลงอย่างเป็นเชิงเส้น (Linear) กับกระแสที่ไหลผ่านขาคอลเล็กเตอร์ จึงกลายเป็นที่มาของคำว่า “Trans-linear” สำหรับการพิจารณาสัญญาณทั้งส่วนขาเข้าและขาออกนั้นจะอยู่ในรูปของกระแส มีเพียงศักดาที่รอยต่อพี-เอ็นเท่านั้นที่ถูกนำมาพิจารณา ร่วม เป็นเหตุให้ก่อนหน้านี้เราเรียกวงจรทรานส์ลิเนียร์ว่าเป็นวงจร โหมดกระแส (Current-mode Circuit) วงจรประเภทนี้ใช้ความใกล้เคียงกันของอุณหภูมิก่อนขณะปฏิบัติการ ความเข้ากันของโครงสร้างของอุปกรณ์ และความเข้มข้นของสารเจือ ซึ่งคุณสมบัติเหล่านี้มีความสำคัญเป็นอย่างมากต่อการทำงานของวงจร

ในปัจจุบันไม่ได้จำกัดอยู่แค่เพียงไบโพลาร์ทรานซิสเตอร์เท่านั้น มอสทรานซิสเตอร์ยังสามารถตอบสนองต่อคุณสมบัติต่าง ๆ ที่วงจรถานส์ลิเนียร์ต้องการ เพราะการทำงานของมอสทรานซิสเตอร์ในย่านวีกอินเวอร์ชัน (Weak Inversion Region) ซึ่งมีสมการคุณลักษณะระหว่างค่ากระแสกับค่าศักดาอยู่ในรูปของเอ็กซ์โปเนนเชียล (Exponential) เช่นเดียวกันกับไบโพลาร์ทรานซิสเตอร์ นอกจากนี้ยังพบว่าสามารถนำไปประยุกต์ใช้กับมอสทรานซิสเตอร์ที่มีการทำงานอยู่ในช่วงอิมิตัวอีกด้วย ในหัวข้อต่อไปจะกล่าวถึงหลักการของวงจรถานส์ลิเนียร์สำหรับไบโพลาร์ทรานซิสเตอร์และมอสทรานซิสเตอร์ที่มีการทำงานอยู่ในช่วงอิมิตัว เนื่องจากเป็นหลักการที่มีการนำไปประยุกต์ใช้งานสำหรับการออกแบบวงจรเพื่อประมวลผลสัญญาณกันอย่างกว้างขวาง รวมถึงนำไปใช้ในการออกแบบวงจรถอดครากที่สองภายในวิทยานิพนธ์นี้ด้วย

2.5.1 หลักการของวงจรถานส์ลิเนียร์แบบไบโพลาร์ทรานซิสเตอร์

หลักการของทรานส์ลิเนียร์แบบไบโพลาร์ทรานซิสเตอร์เป็นหลักการที่อาศัยความสัมพันธ์แบบเชิงเส้นระหว่างค่าอัตราการส่งผ่านความนำ (Transconductance) กับค่ากระแสคอลเล็กเตอร์ I_C ของไบโพลาร์ทรานซิสเตอร์ ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$g_m = \frac{dI}{dV} = aI \quad (2.17)$$

เมื่อ a คือ ค่าคงที่ (ที่เกี่ยวข้องกับ V หรือ I)

ทำการอินทิเกรตสมการ (2.17) จะได้

$$I = b \exp(aV) \quad (2.18)$$

เมื่อ b คือค่าคงที่

จากสมการ (2.18) สามารถอธิบายถึงคุณสมบัติระหว่างกระแสคอลเลกเตอร์ I_C และแรงดันเบส-อิมิตเตอร์ V_{BE} ของไบโพลาร์ทรานซิสเตอร์ จากคุณสมบัตินี้เมื่อนำไปประยุกต์ใช้กับวงจรที่ประกอบไปด้วยรอยต่อพี-เอ็น (p-n junction) เป็นจำนวนคู่และต่อกันในลักษณะไบแอสตรง (Forward Bias) โดยที่รอยต่อพี-เอ็นแต่ละตัวจะถูกต่อเข้ากับขั้วของรอยต่อตัวอื่นๆ ซึ่งเรียงต่อกันเป็นวงปิด (Loop) เรียกวงจรที่มีการต่อในลักษณะนี้ว่า วงจรทรานส์ลิเนียร์ลูป (Translinear Loop) ดังแสดงในรูปที่ 2.6 โดยปกติวงจรทรานส์ลิเนียร์ลูปต่างๆ ไป จะมีเพียงหนึ่งลูปเท่านั้น แต่จากหลักการโดยทั่วไปแล้วสามารถมีกี่ลูปก็ได้ โดยที่รอยต่อพี-เอ็นเหล่านี้จะเป็นรอยต่อพี-เอ็นของไดโอดหรือเป็นรอยต่อเบส-อิมิตเตอร์ของไบโพลาร์ทรานซิสเตอร์

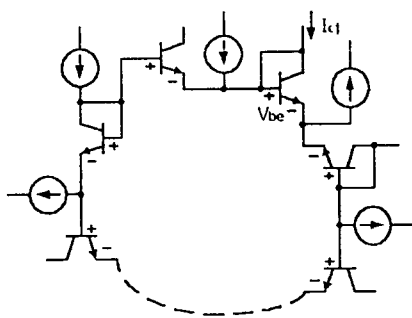
จากรูปที่ 2.6 สามารถแบ่งรอยต่อออกเป็น 2 จำพวกด้วยกัน คือ รอยต่อพี-เอ็นที่ได้รับการไบแอสจนมีศักดาตกร่อมในทิศทางตามเข็มนาฬิกา (Clockwise; CW) และรอยต่อพี-เอ็นที่ได้รับการไบแอสจนมีศักดาตกร่อมในทิศทางทวนเข็มนาฬิกา (Counterclockwise; CCW) โดยมีแหล่งจ่ายกระแสต่างๆ เป็นค่าคงที่ พร้อมทั้งแสดงการเชื่อมต่อของกระแสคอลเลกเตอร์เป็นทั้งอินพุตและเอาต์พุต ซึ่งจะได้ผลรวมของศักดาตกร่อมเบส-อิมิตเตอร์ภายในวงปิดเท่ากับศูนย์ สามารถเขียนได้ดังนี้

$$\sum_{j=1}^n V_{BEj} = 0 \quad (2.19)$$

หรือสามารถเขียนได้อีกรูปหนึ่ง คือ

$$\sum_{CW} V_{BEj} = \sum_{CCW} V_{BEj} \quad (2.20)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.6 วงจรทรานส์ลิเนียร์รูปแบบพื้นฐานที่ใช้ไบโพลาร์ทรานซิสเตอร์

เมื่อที่ค่าศักดาตกคร่อมอิมิตเตอร์-เบสสามารถหาได้ดังนี้

$$V_{BEj} = \frac{kT}{q} \ln \left(\frac{I_{Cj}}{I_S} \right) \quad (2.21)$$

หรือ

$$V_{BEj} = V_T \ln \left(\frac{I_{Cj}}{A_j J} \right) \quad (2.22)$$

โดยที่

$$V_T = \frac{kT}{q} \quad (2.23)$$

และ

$$I_S = A_j J \quad (2.24)$$

แทนค่าสมการ 2.22 ลงในสมการ 2.20 จะได้

$$\sum_{CW} V_T \ln \left(\frac{I_{Cj}}{A_j J} \right) = \sum_{CCW} V_T \ln \left(\frac{I_{Cj}}{A_j J} \right) \quad (2.25)$$

เมื่อ V_{BE} คือ ค่าศักดาตกคร่อมเบส-อิมิตเตอร์ของทรานซิสเตอร์ (Volt)

V_T คือ ค่าศักดาเชิงอุณหภูมิ (Thermal Voltage) ของทรานซิสเตอร์ (Volt)

I_{Cj} คือ ค่ากระแสคอลเลกเตอร์ของทรานซิสเตอร์ (Amp)

I_S คือ ค่ากระแสอิ่มตัว (Saturation Current) ของทรานซิสเตอร์ (Amp)

A_j คือ พื้นที่อิมิตเตอร์ของทรานซิสเตอร์ (cm^2)

J คือ ค่าความหนาแน่นของกระแสต่อพื้นที่อิมิตเตอร์ของทรานซิสเตอร์ (A/cm^2)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สมมติให้ทรานซิสเตอร์ทุกตัวมีค่าความหนาแน่นของกระแสต่อพื้นที่อิมิตเตอร์ และอุณหภูมิที่รอยต่อทุกตัวมีค่าเท่ากัน จากวงจรรวมโมโนลิทิกจะสามารถให้คุณสมบัติเหล่านี้ได้ ซึ่งคุณสมบัติดังกล่าวในวงจรทรานส์ลิเนียร์เป็นผลให้เกิดการชดเชยของอุณหภูมิหรือค่าศักดาเชิงอุณหภูมิ ดังนั้นสมการ (2.25) สามารถเขียนใหม่เป็น

$$\sum_{cw} \ln\left(\frac{I_{Cj}}{A_j}\right) = \sum_{ccw} \ln\left(\frac{I_{Cj}}{A_j}\right) \quad (2.26)$$

จะสังเกตได้ว่าสมการ (2.26) ไม่มีเทอมที่มีผลขึ้นอยู่กับอุณหภูมิรอบข้าง kT/q หรือค่าศักดาเชิงอุณหภูมิ V_T และความหนาแน่นของกระแส J แต่เนื่องจากสมการ (2.26) อยู่ในรูปของผลบวกอนุกรมในเทอมของลอการิทึม ดังนั้นสามารถจัดรูปสมการใหม่ให้อยู่ในเทอมของผลคูณ ดังนี้

$$\prod_{cw} \frac{I_{Cj}}{A_j} = \prod_{ccw} \frac{I_{Cj}}{A_j} \quad (2.27)$$

ถ้าทรานซิสเตอร์ถูกสร้างขึ้นให้มีพื้นที่อิมิตเตอร์เท่ากัน จากสมการ (2.27) สามารถเขียนใหม่ได้ดังนี้

$$\prod_{cw} I_{Cj} = \prod_{ccw} I_{Cj} \quad (2.28)$$

จากสมการ (2.28) สามารถสรุปเป็นหลักการของวงจรทรานส์ลิเนียร์แบบไบโพลาร์ทรานซิสเตอร์ได้ว่า “ผลคูณของกระแสคอลเลกเตอร์ในทิศทางตามเข็มนาฬิกาจะมีค่าเท่ากับผลคูณค่ากระแสคอลเลกเตอร์ในทิศทางทวนเข็มนาฬิกา”

2.5.2 หลักการของวงจรทรานส์ลิเนียร์แบบมอสทรานซิสเตอร์ที่ทำงานในช่วงอิมิตัว

ในหัวข้อนี้ขอกล่าวถึงหลักการของวงจรทรานส์ลิเนียร์แบบมอสทรานซิสเตอร์ (MOS Translinear: MTL) ซึ่งได้อาศัยคุณลักษณะของกฎกำลังสองของมอสทรานซิสเตอร์ (An Ideal Square-Law Characteristic) เป็นหลัก เมื่อพิจารณารูปของวงจรมอสทรานซิสเตอร์ ดังแสดงในรูปที่ 2.7 จะเห็นว่ามอสทรานซิสเตอร์แต่ละตัวถูกนำมาต่อโดยมีขั้วเกต-ซอร์สต่อกันเป็นอนุกรม โดยที่มีเงื่อนไข คือ จำนวนของทรานซิสเตอร์ที่นำมาต่อในทิศทางตามเข็มนาฬิกาจะต้องเท่ากับจำนวนของทรานซิสเตอร์ที่นำมาต่อในทิศทางทวนเข็มนาฬิกา ดังนั้นจำนวนทรานซิสเตอร์ทั้งหมดจะเป็นเลขคู่ เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แหล่งจ่ายกระแสในวงจรจะเป็นสัญญาณกระแสหรือเป็นส่วนไบแอสให้กับวงจร ทรานซิสเตอร์ทุกตัวทำงานอยู่ในช่วงอิมิตัว จะได้ผลรวมของศักดาตกคร่อมขั้วเกต-ซอร์สภายในรูปดังนี้

$$\sum_{j=1}^n V_{GSj} = 0 \quad (2.29)$$

หรือสามารถเขียนได้อีกรูปหนึ่ง คือ

$$\sum_{CW} V_{GS} = \sum_{CCW} V_{GS} \quad (2.30)$$

จากกฎกำลังสองของมอสทรานซิสเตอร์จะได้

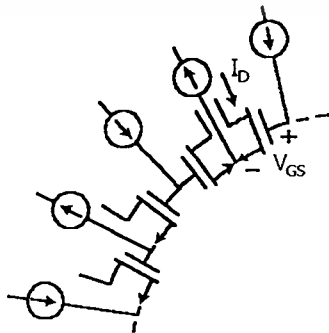
$$I_D = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{TH})^2 \quad (2.31)$$

จากสมการ (2.31) จะได้

$$V_{GS} = V_{TH} + \sqrt{\frac{I_D}{\mu_n C_{ox} (W/2L)}} \quad (2.32)$$

แทนค่าสมการ (2.32) ลงในสมการ (2.30) จะได้

$$\sum_{CW} \left(V_{TH} + \sqrt{\frac{I_D}{\mu_n C_{ox} (W/2L)}} \right) = \sum_{CCW} \left(V_{TH} + \sqrt{\frac{I_D}{\mu_n C_{ox} (W/2L)}} \right) \quad (2.33)$$



รูปที่ 2.7 วงจรทรานส์ลีนีเยร์รูปแบบพื้นฐานที่ใช้มอสทรานซิสเตอร์

เอกสารนี้เป็นเอกสารสงวนลิขสิทธิ์การเขียนเพื่อการศึกษาเท่านั้น เมื่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เนื่องจากจำนวนของทรานซิสเตอร์ในทิศทางตามเข็มนาฬิกามีจำนวนเท่ากับทรานซิสเตอร์ในทิศทางทวนเข็มนาฬิกา ดังนั้นค่าแรงดันขั้วเริ่มของทั้งข้างขวาและซ้ายของสมการ (2.33) จึงมีจำนวนเท่ากัน สมมติให้ทรานซิสเตอร์ทุกตัวมีความสมพียงกันทุกประการ จากสมการ (2.33) สามารถลดรูปได้เป็น

$$\sum_{CW} \sqrt{\frac{I_D}{W/L}} = \sum_{CCW} \sqrt{\frac{I_D}{W/L}} \quad (2.34)$$

จากสมการ (2.34) กล่าวได้ว่า “ผลบวกของค่าารากที่สองของกระแสเดรนหารด้วยอัตราส่วนความกว้างต่อความยาวเซลล์ในทิศทางตามเข็มนาฬิกา จะมีค่าเท่ากับผลบวกของค่าารากที่สองของกระแสเดรนหารด้วยอัตราส่วนความกว้างต่อความยาวเซลล์ในทิศทางทวนเข็มนาฬิกา” จากหลักการของวงจรถานส์ลิเนียร์ที่ได้กล่าวข้างต้น สามารถนำไปประยุกต์ใช้เพื่อทำการสังเคราะห์เป็นวงจรถานส์ลิเนียร์ต่าง ๆ เช่น วงจรคูณ (Multiplier Circuit) วงจรหาร (Divider Circuit) วงจรกำลังสอง (Squarer Circuit) และวงจรถานส์ลิเนียร์อื่น ๆ ได้

2.6 สรุป

ในวิทยานิพนธ์นี้จะเจาะจงศึกษาการออกแบบวงจรโดยใช้มอสเฟตเป็นหลัก จึงเน้นการอธิบายถึงทฤษฎีการทำงานและสมการแสดงคุณลักษณะ ตลอดจนวงจรถานส์ลิเนียร์ของมอสเฟตที่มีการทำงานอยู่ในช่วงอิ่มตัวสำหรับสัญญาณขนาดเล็ก เพื่อที่จะได้นำไปใช้ในการวิเคราะห์อ้างอิงผล และขอ กำหนดคำว่า “มอส” ณ. ที่นี้ เป็นการหมายถึง “มอสเฟตแบบเอนแฮนซ์เมนต์” รวมทั้งได้กล่าวถึงหลักการทำงานของวงจรถานส์ลิเนียร์แบบมอสทรานซิสเตอร์ ซึ่งจะได้นำไปเป็นแนวทางในการออกแบบวงจรถอดรากที่สองที่ได้กล่าวต่อไปในบทที่ 4

บทที่ 3

วงจรถอดราก็สองสำหรับสัญญาณอนาล็อก

3.1 กล่าวนำ

เนื้อหาในบทนี้จะทำการศึกษาและคู่อดี-ข้อเสียของวงจรถอดราก็สองที่ได้มีการนำเสนอในอดีต เพื่อใช้เป็นแนวทางสำหรับการออกแบบพัฒนาวงจร โดยจะกล่าวถึงตัวอย่างของหลักการออกแบบวงจรถอดราก็สองที่สำคัญ ๆ 4 แบบด้วยกัน คือ หลักการออกแบบวงจรถอดราก็สองที่ใช้โอปแอมป์ (Operational Amplifier: Op-Amp) ต่อร่วมกับตัวต้านทานและวงจรถคูณ (Multiplier Circuit), หลักการที่ใช้โอปแอมป์ต่อร่วมกับตัวเก็บประจุและอนาล็อกสวิตช์ (Analog Switch), หลักการของทรานส์ลิเนียร์รูปแบบไบโพลาร์ทรานซิสเตอร์, หลักการที่ใช้มอสเฟตซึ่งทำงานอยู่ในย่านวีคอินเวอร์ชัน (Inweaksion Region), หลักการที่ใช้มอสเฟตต่อร่วมกับโอปแอมป์และวงจรถคูณแบบกระแส และสุดท้ายเป็นหลักการของวงจรถคูณคลาสส์ AB ของมอสเฟต โดยจะมีรายละเอียดของแต่ละหลักการดังต่อไปนี้

3.2 วงจรถอดราก็สองที่ใช้โอปแอมป์ต่อร่วมกับตัวต้านทานและวงจรถคูณ [17], [18]

วงจรถอดราก็สองที่ใช้โอปแอมป์ต่อร่วมกับตัวต้านทานและวงจรถคูณนี้ เป็นการอาศัยหลักการของลอการิทึม (logarithm) และแอนติลอการิทึม (antilogarithm) เพื่อสังเคราะห์เป็นวงจรถคูณ และนำวงจรถคูณที่ได้ไปต่อร่วมกับโอปแอมป์เป็นวงจรถอดราก็สองดังแสดงในรูปที่ 3.1

จากรูปที่ 3.1(ก) และ (ข) แสดงวงจรถคูณเชิงลอการิทึมและเอกซ์โพเนนเชียล (exponential) ตามลำดับจะได้รับความสัมพันธ์ของคักดา ณ. จุดออกของทั้งสองวงจรถคูณนี้

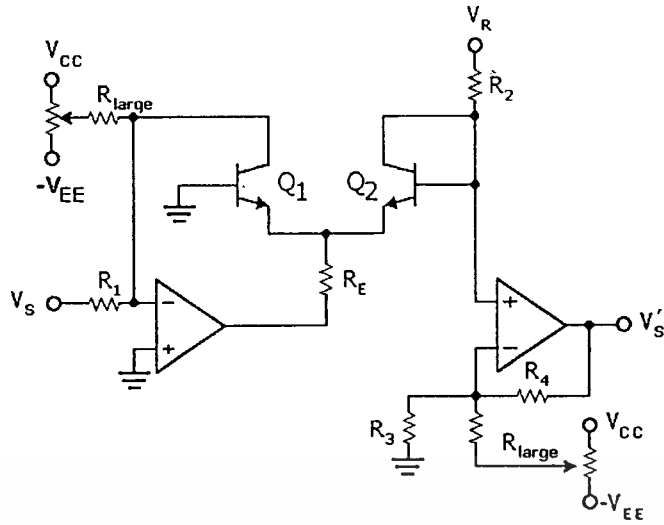
$$V'_S = -V_T \left(\frac{R_3 + R_4}{R_3} \right) \ln \left(\frac{V_S R_2}{V_R R_1} \right) \quad (3.1)$$

$$V'_C = \frac{R_1}{R_2} V_R \exp \left(\frac{-V_C}{V_R} \frac{R_3}{R_3 + R_4} \right) \quad (3.2)$$

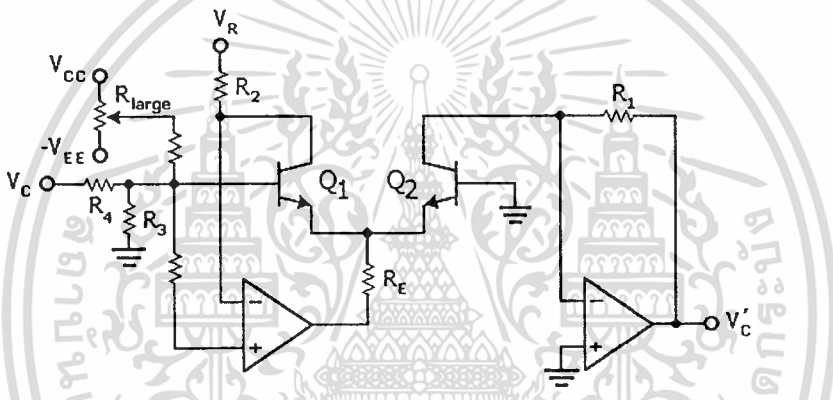
เมื่อ V_T เป็นค่าคักดาเชิงอุณหภูมิ (thermal Voltage)

จากหลักการข้างต้นเมื่อนำมาต่อร่วมกับวงจรถคูณสัญญาณ (unity gain non-inverting summation circuit) ดังแสดงในรูปที่ 3.1(ค) จะได้ค่าคักดา ณ. จุดออกดังนี้

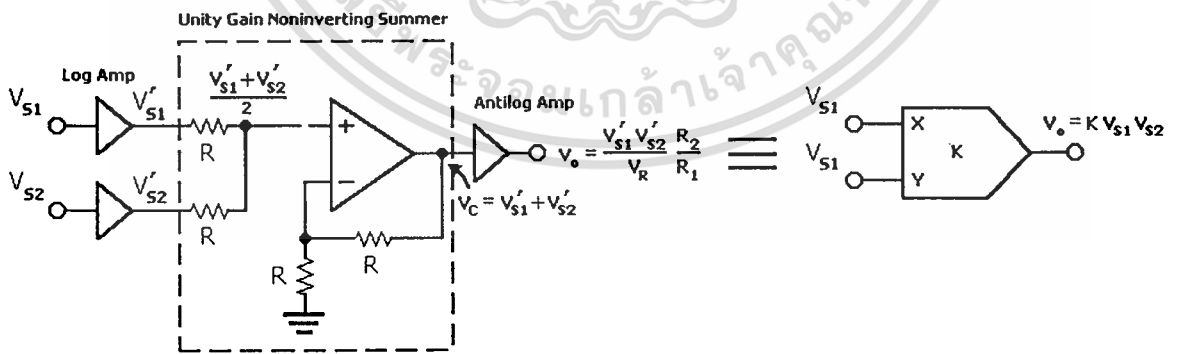
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ก) วงจรขยายเชิงลอการิทึม (logarithmic amplifier)

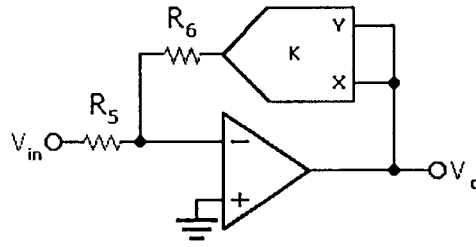


(ข) วงจรขยายเอกซ์โพเนนเชียลหรือแอนติลอการิทึม (exponential amplifier or antilogarithmic amplifier)



(ค) วงจรคูณ โดยอาศัยหลักการเชิงลอการิทึมและแอนติลอการิทึม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ง) วงจรอครากที่สอง

รูปที่ 3.1 หลักการออกแบบวงจรอครากที่สองที่ใช้อปแอมป์ต่อร่วมกับตัวต้านทานและวงจรคูณ

$$V_O = V_C = \frac{R_1}{R_2} V_R \exp \left[\ln \left(\frac{R_2^2}{R_1^2} \frac{V_{S1} V_{S2}}{V_R} \right) \right] \quad (3.3)$$

จะได้ว่า

$$V_O = K V_{S1} V_{S2} \quad (3.4)$$

เมื่อ K คือค่าคงที่ของการคูณ โดยมีค่าเท่ากับ $\frac{R_2}{R_1 V_R}$

จากรูปที่ 3.1(ง) แสดงวงจรอครากที่สองที่ใช้หลักการของอปแอมป์ต่อร่วมกับตัวต้านทานและวงจรคูณ ได้ความสัมพันธ์ของค่าศักดา ณ. จุดออกของวงจรดังนี้

$$\frac{V_{in}}{R_5} + K \frac{V_{out}^2}{R_6} = 0 \quad (3.5)$$

จะได้

$$V_{out} = \sqrt{\frac{R_6}{R_5} \frac{|V_{in}|}{K}} \quad (3.6)$$

เนื่องจาก โครงสร้างของวงจรที่ใช้หลักการนี้ ถูกออกแบบให้มีตัวต้านทานเป็นส่วนประกอบจำนวนมาก ทำให้มีปัญหาในเรื่องของพื้นที่ในการสร้างบนชิพและความสมพียงกันของตัวต้านทาน เพื่อลดปัญหาเรื่องของความสมพียงกันของตัวต้านทาน จึงมีการนำเสนอหลักการที่ใช้อปแอมป์ต่อร่วมกับตัวเก็บประจุและอนาล็อกสวิตช์ขึ้น ดังที่จะกล่าวรายละเอียดในหัวข้อต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3 วงจรถอดรหัสดิจิทัลที่ใช้โอปแอมป์ต่อร่วมกับตัวเก็บประจุและอนาล็อกสวิตช์ [19]

จากหลักหลักการที่ใช้โอปแอมป์ต่อร่วมกับวงจรคูณในหัวข้อที่ 3.2 มีโครงสร้างซึ่งประกอบไปด้วยตัวต้านทานหลายตัว ส่งผลต่อความแม่นยำในการทำงานของวงจร เนื่องจากตัวต้านทานบางคู่อาจไม่สมพียงกัน ดังนั้นเพื่อปรับปรุงคุณสมบัติของวงจรถอดรหัสดิจิทัลจึงได้มีการนำเสนอหลักการออกแบบวงจรถอดรหัสดิจิทัลที่ใช้โอปแอมป์ต่อร่วมกับตัวเก็บประจุและอนาล็อกสวิตช์ดังแสดงในรูปที่ 3.2 เป็นการอาศัยหลักการของสวิตช์คาปาซิเตอร์ (Switch Capacitor) เพื่อนำไปสังเคราะห์ตัวต้านทานแทนการสร้างตัวต้านทานจริง เพื่อลดปัญหาความไม่สมพียงกันของตัวต้านทาน อันอาจเกิดขึ้นระหว่างกระบวนการสร้างได้ วงจรจึงสามารถทำงานได้อย่างถูกต้องที่เที่ยงตรงยิ่งขึ้น

จากรูปที่ 3.2(ก) แสดงวงจรถอดรหัสดิจิทัลที่ใช้โอปแอมป์ต่อร่วมกับตัวเก็บประจุและอนาล็อกสวิตช์ เมื่อ Φ และ $\bar{\Phi}$ เป็นสัญญาณควบคุมสวิตช์ที่มีเฟสตรงข้ามกัน จะได้ความสัมพันธ์ของศักดา ณ จุดออกของดังนี้

$$V_{out} = V_2 \frac{C_2}{C_3} - V_1 \frac{C_1}{C_3} \quad (3.7)$$

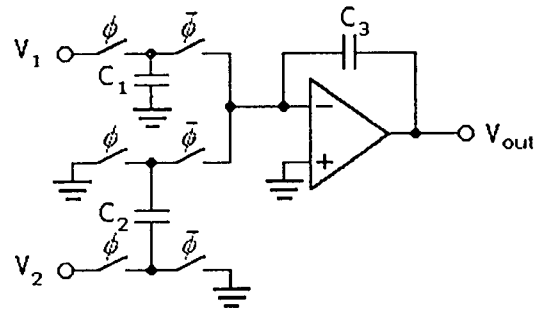
จากสมการ (3.7) กำหนดให้ $C_3 = 2C_1 = 2C_2$ จะได้ว่า

$$V_{out} = \frac{V_2}{2} - \frac{V_1}{2} \quad (3.8)$$

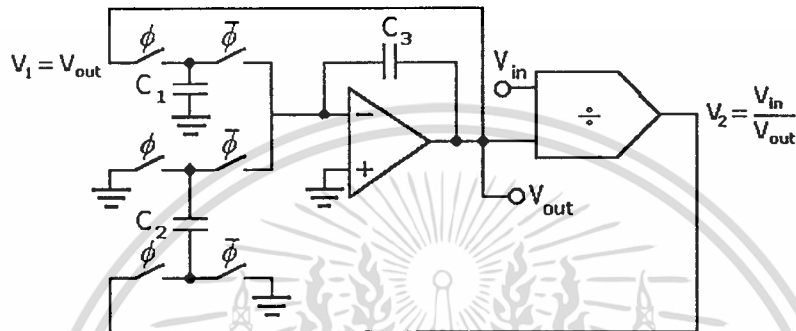
จากหลักการของวงจรถอดรหัสดิจิทัลในรูปที่ 3.2(ก) เมื่อนำมาต่อร่วมกับวงจรหารซึ่งมีโครงสร้างภายในประกอบไปด้วยตัวเก็บประจุ, โอปแอมป์ และอนาล็อกสวิตช์เช่นเดียวกันกับวงจรถอดรหัสดิจิทัลที่แสดงในรูปที่ 3.2(ข) ซึ่งจะได้ความสัมพันธ์ดังนี้

$$V_1 = V_{out} \quad (3.9)$$

$$V_2 = \frac{V_{in}}{V_{out}} \quad (3.10)$$



(ก) วงจรลบ



(ข) วงจรถอดรอกที่สอง

รูปที่ 3.2 หลักการออกแบบวงจรถอดรอกที่สองที่ใช้อปแอมป์ต่อร่วมกับตัวเก็บประจุและอนาล็อกสวิตช์

แทนค่าสมการ (3.9) และ (3.10) ลงในสมการ (3.8) จะได้

$$V_{out} = \frac{V_{in}}{2V_{out}} - \frac{V_{out}}{2} \quad (3.11)$$

จัดรูปสมการ (3.11) ใหม่จะได้

$$V_{out} = \sqrt{\frac{V_{in}}{3}} \quad (3.12)$$

การออกแบบวงจรถอดรอกที่สองที่ใช้อปแอมป์ต่อร่วมกับตัวเก็บประจุและอนาล็อกสวิตช์ แม้จะลดปัญหาเรื่องความสมพงษ์กันของตัวด้านทานได้ แต่เนื่องจากวิธีดังกล่าวจำเป็นต้องสร้างสัญญาณนาฬิกา $[\Phi, \bar{\Phi}]$ มาควบคุมการทำงานของอนาล็อกสวิตช์ ทำให้วงจรยังคงมีขนาดใหญ่ และมีช่วงปฏิบัติงานทางความถี่ที่ไม่สูง อย่างไรก็ตาม การออกแบบวงจรในลักษณะนี้จะมีความถี่ในการใช้งานที่ไม่สูงนัก อันเนื่องมาจากค่าแบนด์วิดท์ (band width) ที่แคบของอปแอมป์ นอกจากนี้เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นอนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรซึ่งมีออปแอมป์เป็นส่วนประกอบจะมีโครงสร้างภายในค่อนข้างใหญ่ ไม่เหมาะสมในการนำไปสร้างเป็นวงจรรวม

3.4 วงจรถอดรหัสดิจิทัลที่อาศัยหลักการของวงจรทรานส์ลีนีเยร์รูปแบบไบโพลาร์-ทรานซิสเตอร์ [2]-[3], [20]

แบบที่ 1 วงจรขยายคลาสส์ AB แบบทรานส์ลีนีเยร์รูป [20]

จากรูป 3.4 แสดงวงจรขยายคลาสส์ AB แบบทรานส์ลีนีเยร์รูป ประกอบไปด้วยทรานซิสเตอร์ PNP 2 ตัวและ NPN 2 ตัว I_B เป็นแหล่งจ่ายกระแสคงที่ และ I_{in} เป็นกระแสอินพุต สมมติให้ทรานซิสเตอร์ Q_1 - Q_4 มีความสมพียงกันทุกประการ จากหลักการของทรานส์ลีนีเยร์รูป จะได้ความสัมพันธ์ของค่าแรงดัน V_{BE} ของทรานซิสเตอร์ Q_1, Q_2, Q_3 และ Q_4 ดังนี้

$$V_{BE1} + V_{BE3} = V_{BE2} + V_{BE4} \quad (3.13)$$

โดยที่

$$V_{BEi} = V_T \ln\left(\frac{I_{Ci}}{I_s}\right) \quad (3.14)$$

เมื่อแรงดัน $V_{BE1}, V_{BE2}, V_{BE3}$ และ V_{BE4} เป็นแรงดันระหว่างขาเบสและขาอิมิตเตอร์ของทรานซิสเตอร์ Q_1, Q_2, Q_3 และ Q_4 ตามลำดับ ซึ่งถ้าป้อนกระแส I_{in} เข้าที่จุด B โดยให้แรงดันที่จุด A คงที่

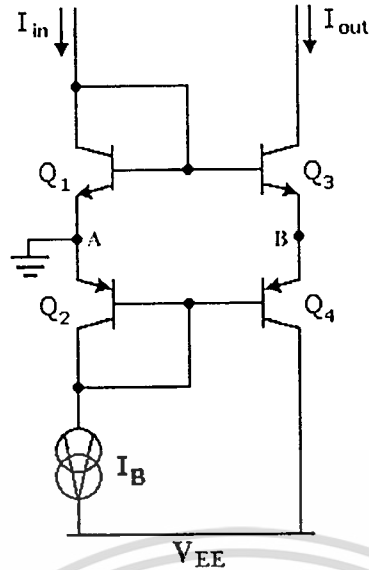
จากคุณลักษณะของทรานส์ลีนีเยร์รูป แทนสมการ (3.14) ลงในสมการ (3.13) ซึ่งจะได้ความสัมพันธ์ของกระแสคอลเลกเตอร์ของทรานซิสเตอร์เป็น

$$I_1 I_3 = I_2 I_4 \quad (3.15)$$

โดยที่กระแส $I_1 = I_3 = I_B$ ซึ่ง I_B เป็นกระแสไบแอสของทรานซิสเตอร์ ถ้าค่าอัตราขยายกระแส $\beta \gg 1$ พิจารณาที่จุด B จะได้ความสัมพันธ์ระหว่างกระแส I_2, I_4 และ I_{in} ดังนี้

$$I_2 = I_4 - I_{in} \quad (3.16)$$

หรือสามารถเขียนรูปใหม่ได้เป็น



รูปที่ 3.3 วงจรขยายคลาสส์ AB แบบทรานส์ลิเนียร์รูป

$$I_4 = I_2 + I_{in} \quad (3.17)$$

จากสมการ (3.15) ถึง (3.17) สามารถหากระแส I_2 และ I_4 ได้ในสมการต่อไปนี้

$$I_2 = \frac{1}{2} \left[\left(I_{in}^2 + 4I_B^2 \right)^{1/2} - I_{in} \right] \quad (3.18)$$

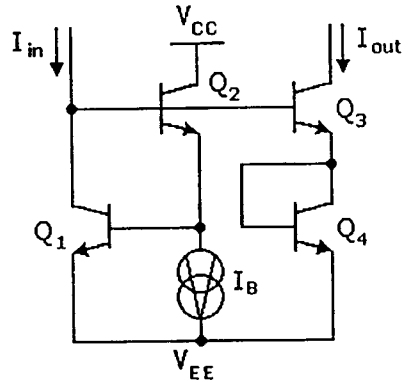
$$I_4 = \frac{1}{2} \left[\left(I_{in}^2 + 4I_B^2 \right)^{1/2} + I_{in} \right] \quad (3.19)$$

แบบที่ 2 วงจรลดครากที่สองที่อาศัยหลักการของวงจรทรานส์ลิเนียร์รูปแบบไบโพลาร์ ทรานซิสเตอร์ [2]-[3]

จากรูปที่ 3.4 แสดงวงจรลดครากที่สองที่ใช้ไบโพลาร์ทรานซิสเตอร์ โดยอาศัยหลักการของ ทรานส์ลิเนียร์รูป สังเกตว่ารอยต่อพี-เอ็นระหว่างเบส-อิมิตเตอร์ของทรานซิสเตอร์ Q_1 - Q_4 ต่อเรียงกันเป็นวงปิด จะให้ความสัมพันธ์ระหว่างแรงดันเบส-อิมิตเตอร์ดังนี้

$$V_{BE1} + V_{BE2} = V_{BE3} + V_{BE4} \quad (3.20)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.4 วงจรลอครากที่สองที่อาศัยหลักการของวงจรทรานส์ลิเนียร์รูปแบบไบโพลาร์
ทรานซิสเตอร์

โดยที่

$$V_{BEi} = V_T \ln \left(\frac{I_{Ci}}{I_s} \right) \quad (3.21)$$

เมื่อแรงดัน V_{BE1} , V_{BE2} , V_{BE3} และ V_{BE4} เป็นแรงดันระหว่างขาเบสและขาอิมิตเตอร์ของทรานซิสเตอร์ Q_1 , Q_2 , Q_3 และ Q_4 ตามลำดับ แทนค่าสมการ (3.14) ลงในสมการ (3.13) จะได้

$$I_{C1}I_{C2} = I_{C3}I_{C4} \quad (3.22)$$

จากสมการ (3.15) แทนค่า $I_{C1}=I_{in}$, $I_{C2}=I_B$ และ $I_{out}=I_{C3}=I_{C4}$ ดังนั้นจะได้ว่า

$$I_{out} = \sqrt{I_{in} I_B} \quad (3.23)$$

การอาศัยหลักการของทรานส์ลิเนียร์รูปมาใช้ในการออกแบบวงจรลอครากที่สอง วงจรที่
ได้จะมีขนาดเล็กกว่าวงจรที่ใช้หลักการในหัวข้อที่ 3.2 และ 3.3

3.5 วงจรลอครากที่สองที่ใช้คุณสมบัติของวงจรรขยายคลาสส์ AB แบบมอสเฟต [21]

ในรูปที่ 3.5(ก) แสดงวงจรรขยายคลาสส์ AB แบบมอสเฟต สมมติให้ทรานซิสเตอร์ M_1 , M_2 , M_3 และ M_4 มีความสมพียงกันทุกประการ ความสัมพันธ์ของศักดาเกต-ซอร์ส (V_{GS}) ของ ทรานซิสเตอร์ M_1 , M_2 , M_3 และ M_4 สามารถเขียนได้ดังนี้

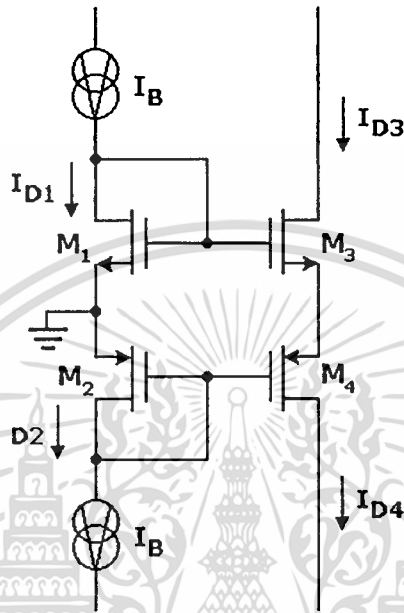
$$V_{GS1} + V_{GS2} = V_{GS3} + V_{GS4} \quad (3.24)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

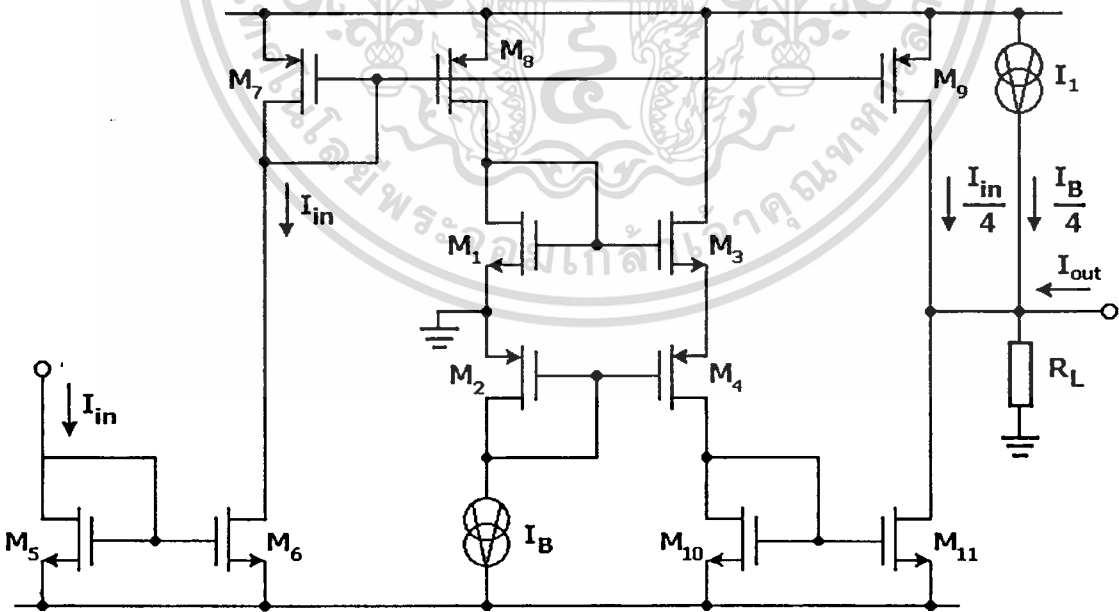
โดยที่

$$V_{GS} = V_{TH} + \sqrt{\frac{I_{D_{Mi}}}{\mu_n C_{ox} \left(\frac{W}{2L}\right)_{Mi}}} \tag{3.25}$$

เมื่อ $I_{D_{mi}}$ คือ ค่ากระแสเดรนของมอสทรานซิสเตอร์ตัวที่ i



(ก) วงจรขยายคลาสส์ AB แบบมอสเฟต



(ข) วงจรหลอดรากลที่สอง

รูปที่ 3.5 หลักการออกแบบวงจรหลอดรากลที่สองที่ใช้คุณสมบัติของวงจรขยายคลาสส์ AB แบบมอสเฟต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แทนค่าสมการ (3.25) ลงในสมการ (3.24) จะได้

$$I_{D3} = I_{D4} = \frac{I_{D1}}{4} + \frac{I_{D2}}{4} + \frac{\sqrt{I_{D1}} \sqrt{I_{D2}}}{2} \quad (3.26)$$

หลักการของวงจรทรานซิสเตอร์สองอาน์คคุณสมบัติของวงจรขยายคลาสส์ AB แบบมอสเฟต ดังแสดงในรูปที่ 3.5(ข) ประกอบไปด้วย I_B และ I_1 เป็นแหล่งจ่ายกระแสคงที่ ทรานซิสเตอร์ M_1 - M_4 เป็นส่วนของวงจรขยายคลาสส์ AB เมื่อนำมาต่อร่วมกับวงจรสะท้อนกระแส M_5 - M_6 , M_7 - M_8 และ M_{10} - M_{11} ที่กำหนดให้มีอัตราสะท้อนกระแสเป็นหนึ่ง และ M_7 - M_9 มีอัตราสะท้อนกระแสเป็น 1:0.25 การกำหนดอัตราสะท้อนกระแสดังกล่าวก็เพื่อจะกำจัดเทอมของกระแสอินพุต I_{in} ทางด้านขวามือของสมการ (3.26)

จากชุดของวงจรสะท้อนกระแส M_5 - M_6 , M_7 - M_8 จะได้ $I_{D1} = I_{in}$, $I_{D2} = I_B$ และกำหนดให้แหล่งจ่ายกระแสคงที่ $I_1 = I_B/4$ เพื่อที่จะกำจัดเทอมของกระแส I_B ทางด้านขวามือของสมการ (3.26) ความสัมพันธ์ของกระแส I_{out} ณ จุดออกเป็น

$$I_{out} = I_{D11} - \frac{I_B}{4} - \frac{I_{in}}{4} \quad (3.27)$$

จากวงจร จะได้ว่า $I_{D11} = I_{D3} = I_{D4}$ แทนค่าสมการ (3.26) ลงในสมการ (3.27) จะได้สมการแสดงความสัมพันธ์ของกระแสเอาต์พุตดังนี้

$$I_{out} = \frac{\sqrt{I_{in} I_B}}{2} \quad (3.27)$$

3.6 สรุป

การออกแบบวงจรทรานซิสเตอร์สองอาน์คที่มีการนำเสนอในรูปแบบต่างๆ เมื่อเปรียบเทียบคุณสมบัติการทำงานของแต่ละวงจรจะเห็นว่า วงจรซึ่งประกอบไปด้วย ออปแอมป์เป็นหลักจะมีข้อจำกัดอยู่หลายประการ เช่น ตอบสนองการทำงานในย่านความถี่ที่สูงได้ไม่ดี และยังใช้กำลังงานสูง เมื่อเปรียบเทียบกับวงจรที่ใช้ไบโพลาร์หรือมอสทรานซิสเตอร์ เมื่อพิจารณาถึงเทคโนโลยีที่ใช้ในการผลิตวงจรรวมในปัจจุบัน เทคโนโลยีแบบมอสทรานซิสเตอร์กำลังได้รับความนิยมเป็นอย่างมาก เนื่องจากมีขั้นตอนในการผลิตที่ง่าย และใช้พื้นที่บนชิปน้อยกว่าเมื่อเปรียบเทียบกับเทคโนโลยีแบบไบโพลาร์ทรานซิสเตอร์ ทำให้ใช้ต้นทุนในการผลิตต่ำ จึงเริ่มมีการพัฒนาออกแบบวงจรที่ใช้มอสทรานซิสเตอร์เป็นหลัก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

การออกแบบวงจรถอดรหัสดิจิทัลที่นำเสนอกายในวิทยานิพนธ์

4.1 กล่าวนำ

เนื้อหาในบทนี้จะกล่าวถึงคุณสมบัติของกลุ่มวงจรร้อยที่ใช้ประกอบรวมกันเพื่อทำหน้าที่สังเคราะห์ฟังก์ชันถอดรหัสดิจิทัล จากนั้นจะอธิบายหลักการนำเอากรุปวงจรร้อยดังกล่าวมาต่อรวมกันเป็นวงจรถอดรหัสดิจิทัลโดยสมบูรณ์ ทำการวิเคราะห์คุณสมบัติต่าง ๆ และเขียนแบบการทำงานของวงจรร้อยด้วยโปรแกรม PSPICE เพื่อทดสอบสมรรถนะการทำงานของวงจรถอดรหัสดิจิทัลที่ได้ทำการออกแบบ

4.2 กลุ่มวงจรร้อย

กลุ่มวงจรร้อยที่จะกล่าวถึงถูกแบ่งออกเป็น 3 ส่วนด้วยกัน คือ วงสะท้อนกระแสแบบพื้นฐาน วงจรจำกัดกระแส และวงจรถอดรหัสดิจิทัลสำหรับสัญญาณกระแสแบบเบื้องต้น ซึ่งจะได้อธิบายรายละเอียดของแต่ละวงจรมาดังต่อไปนี้

4.2.1 วงจรสะท้อนกระแสแบบพื้นฐาน [6], [8], [10], [14], [22]

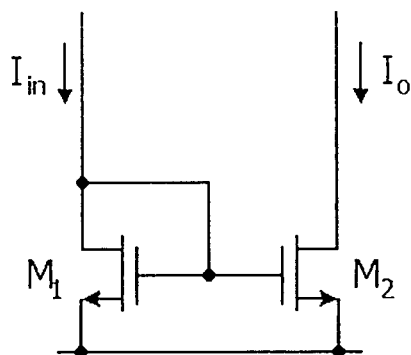
วงจรสะท้อนกระแสเป็นวงจรร้อยที่มีคุณสมบัติทางไฟฟ้า คือ มีค่าความต้านทานที่จุดเข้าของสัญญาณต่ำและค่าความต้านทานจุดออกสูง คุณสมบัติเหล่านี้เองทำให้วงจรสะท้อนกระแสถูกนำไปประยุกต์ใช้ในการออกแบบวงจรต่าง ๆ สำหรับส่งผ่านสัญญาณกระแสไปยังส่วนต่าง ๆ ของ วงจร และใช้เป็นแหล่งจ่ายกระแสไบแอส ในรูปที่ 4.1 แสดงวงจรสะท้อนกระแสแบบพื้นฐานประกอบไปด้วยทรานซิสเตอร์มอสเฟตชนิดเอ็นแชนเนล 2 ตัว โดยมีกระแส I_o เป็นกระแสอินพุตและ I_o เป็นกระแสเอาต์พุต M_1 ทำหน้าที่เสมือนเป็นตัวต้านทานค่าต่ำที่ทำให้กระแสอินพุตไหลเข้าสู่วงจรและเกิดศักดาไบแอส $V_{GS1}=V_{GS2}$ ให้กับทรานซิสเตอร์ M_2 ทำให้เกิดกระแสเอาต์พุต $I_o=I_{D_{M2}}=I_{in}$

จากการวิเคราะห์คุณสมบัติของวงจรสะท้อนกระแสแบบพื้นฐาน (ภาคผนวก ก.) จะได้คุณสมบัติต่าง ๆ ดังนี้

1. อัตราสะท้อนกระแส

$$\beta = \frac{I_o}{I_{in}} = \left(\frac{W_2 L_1}{W_1 L_2} \right) \quad (4.1)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.1 วงจรสะท้อนกระแสแบบพื้นฐานโดยใช้มอสเฟต

2. ค่าความต้านทานที่จุดเข้า

$$r_{in} = \frac{1}{g_{m1}} = \sqrt{\frac{L_1}{2\mu_n C_{ox} W_1}} \quad (4.2)$$

3. ค่าความต้านทานที่จุดออก

$$r_o = \frac{1}{\lambda I_{D2}} = \frac{1}{\lambda I_o} \quad (4.3)$$

4. อัตราขยายสำหรับสัญญาณขนาดเล็ก

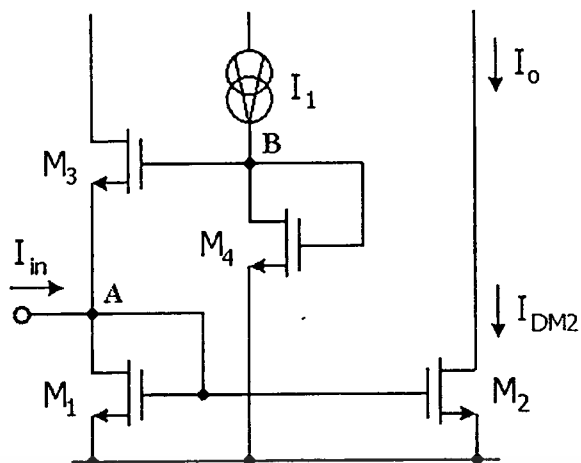
$$\beta(s) = \frac{i_o(s)}{i_{in}(s)} = \frac{g_{m2}}{g_{m1}} \left(1 + \frac{s(C_{GS1} + C_{GS2})}{g_{m1}} \right)^{-1} \quad (4.4)$$

เมื่อ g_{mi} เป็นค่าความนำของทรานซิสเตอร์ตัวที่ i

4.2.2 วงจรจำกัดกระแส

หลักการเบื้องต้นของวงจรจำกัดกระแสแสดงในรูปที่ 4.2 เมื่อกำหนดอัตราสะท้อนกระแสของวงจรสะท้อนกระแส M_1 - M_2 มีค่าเท่ากับหนึ่ง โดยที่ทรานซิสเตอร์ M_4 และแหล่งจ่ายกระแสคงที่ I_1 ทำหน้าที่กำหนดศักดาที่จุด B ให้มีค่าคงที่ $2V_{TH}$ การทำงานของวงจรสามารถอธิบายได้ดังต่อไปนี้ เมื่อป้อนสัญญาณอินพุต I_{in} ค่าน้อยกว่าศูนย์ ($I_{in} < 0$) เข้าไปที่จุด A กระแส I_{in} จะไหลผ่าน M_3 ศักดาที่จุด A จะมีค่าลดลง เป็นผลให้ทรานซิสเตอร์ M_1 หยุดการทำงาน ในทางตรงข้ามถ้าป้อนสัญญาณอินพุต I_{in} ค่ามากกว่าศูนย์ ($I_{in} \geq 0$) เข้าไปที่จุด A กระแส I_{in} จะไหลผ่าน M_1 ศักดาที่จุด A จะ

ารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

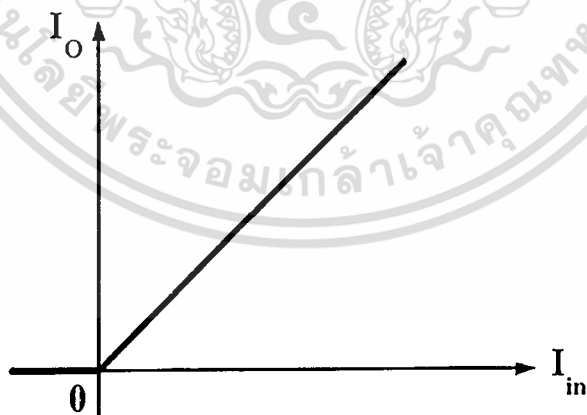


รูปที่ 4.2 วงจรจำกัดกระแส

มีค่าเพิ่มขึ้น เป็นผลให้ทรานซิสเตอร์ M_3 หยุดการทำงาน ดังนั้นคุณสมบัติของวงจรจำกัดกระแสสามารถแสดงเป็นสมการได้ดังนี้

$$I_{DM2} = I_o = \begin{cases} 0 & \text{เมื่อ } I_{in} < 0 \\ I_{in} & \text{เมื่อ } I_{in} \geq 0 \end{cases} \quad (4.5)$$

จากสมการ (4.5) แสดงให้เห็นว่า ผลของกระแสเอาต์พุตที่ได้จากวงจรจำกัดกระแสในรูปที่ 4.2 จะมีค่าเป็นศูนย์เมื่อ $I_{in} < 0$ และจะมีค่าเท่ากับกระแสอินพุต I_{in} เมื่อ $I_{in} \geq 0$ ดังแสดงในรูปที่ 4.3



รูปที่ 4.3 ผลของกระแสเอาต์พุตของวงจรจำกัดกระแสที่ค่ากระแสอินพุตต่างๆ

4.2.3 วงจรถอดรอกที่สองแบบพื้นฐาน

รูปที่ 4.4 แสดงวงจรถอดรอกที่สองแบบพื้นฐานซึ่งอาศัยหลักการของวงจรทรานส์ลิเนียร์แบบมอสทรานซิสเตอร์ที่อธิบายไว้ในหัวข้อที่ 2.5.2 เมื่อกำหนดให้ทรานซิสเตอร์ทุกตัวมี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ความสัมพันธ์กันทุกประการและทำงานอยู่ในช่วงอิมิตัว สามารถหาความสัมพันธ์ของศักดาเกต-ซอร์สของทรานซิสเตอร์ M_1 - M_4 ได้ดังนี้

$$V_{GS1} + V_{GS2} = V_{GS3} + V_{GS4} \quad (4.6)$$

จากสมการ (2.7) จะได้ว่า

$$V_{GSMi} = V_{TH} + \sqrt{\frac{I_{DMi}}{\mu_n C_{ox} \left(\frac{W}{2L}\right)_{Mi}}} \quad (4.7)$$

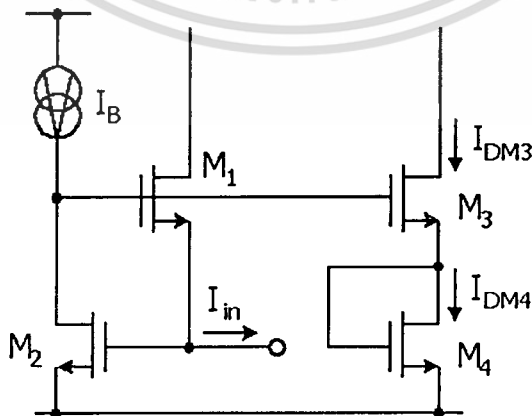
เมื่อ V_{GS} คือ ศักดาเกต-ซอร์สของทรานซิสเตอร์ตัวที่ i และ

I_{Dmi} คือ กระแสเดรนของทรานซิสเตอร์ตัวที่ i

แทนค่าสมการ (4.7) ลงในสมการ (4.6) จะได้ว่า

$$\sqrt{\frac{I_{DM1}}{\left(\frac{W}{L}\right)_{M1}}} + \sqrt{\frac{I_{DM2}}{\left(\frac{W}{L}\right)_{M2}}} = \sqrt{\frac{I_{DM3}}{\left(\frac{W}{L}\right)_{M3}}} + \sqrt{\frac{I_{DM4}}{\left(\frac{W}{L}\right)_{M4}}} \quad (4.8)$$

จากวงจรในรูปที่ 4.4 จะเห็นว่า $I_{DM1} = I_{in}$, $I_{DM2} = I_B$ และ $I_{DM3} = I_{DM4}$ เมื่อกำหนดให้ค่าอัตราส่วน W/L ของทรานซิสเตอร์ M_3 และ M_4 มีค่าเป็น 4 เท่าของทรานซิสเตอร์ M_1 และ M_2 ดังนั้นสามารถเขียนสมการ (4.8) ได้ใหม่เป็น



รูปที่ 4.4 วงจรถอดรอกที่สองแบบพื้นฐาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\sqrt{I_{in}} + \sqrt{I_B} = \sqrt{I_{DM4}} \quad (4.9)$$

ทำการยกกำลังสองสมการ (4.9) แล้วจัดรูปใหม่จะได้

$$I_{DM4} = 2\sqrt{I_B I_{in}} + I_{in} + I_B \quad (4.10)$$

จากสมการที่ (4.10) จะเห็นว่าค่ากระแส I_{DM4} ประกอบไปด้วยเทอมของค่ารากที่สองของ I_{in} และ I_B รวมอยู่กับเทอมของกระแส I_{in} และ I_B ซึ่งสองเทอมหลังเป็นค่าออฟเซต (offset current) ที่ไม่ต้องการ สามารถนำผลของกระแส I_{DM4} ไปพัฒนาต่อให้ได้กระแสเอาต์พุตที่แปรผันตรงกับค่ารากที่สองของกระแสอินพุตในลักษณะเชิงเส้น ดังจะกล่าวในหัวข้อต่อไป

4.3 การออกแบบวงจรลดครากที่สอง

จากวงจรย่อยที่ได้กล่าวไปแล้วเบื้องต้นในหัวข้อที่ 4.2 สามารถนำมาประกอบรวมกันเพื่อสังเคราะห์ออกมาเป็นวงจรลดครากที่สองสำหรับสัญญาณกระแส โดยสมบูรณ สามารถอธิบายการทำงานของวงจรได้ดังนี้ จากวงจรในรูปที่ 4.5 ประกอบไปด้วย กลุ่มของทรานซิสเตอร์ M_1-M_4 ทำหน้าที่เป็นวงจรลดครากที่สองแบบพื้นฐาน กลุ่มของทรานซิสเตอร์ M_6-M_9 เป็นวงจรจำกัดกระแส กลุ่มของทรานซิสเตอร์ M_4-M_5 , $M_8-M_9-M_{10}$ และ $M_{11}-M_{12}$ เป็นวงจรสะท้อนซึ่งมีอัตราสะท้อนกระแสเป็นหนึ่ง และมี I_1 , I_2 และ I_B เป็นแหล่งจ่ายกระแสคงที่ เมื่อป้อนกระแส I_{in} เข้าไปยังจุดเข้า x ของวงจรสะท้อนกระแส M_8-M_{10} จะทำหน้าที่สะท้อนกระแสด้วยอัตราส่วน 1:1 ส่งผ่านกระแส I_{in} ไปยังจุด d ซึ่งเป็นอินพุตของวงจรลดครากที่สองแบบพื้นฐาน จากหลักการที่ได้อธิบายไว้ในหัวข้อที่ 4.2.3 จะได้ค่ากระแสครนของ M_4 และ M_5 เป็น

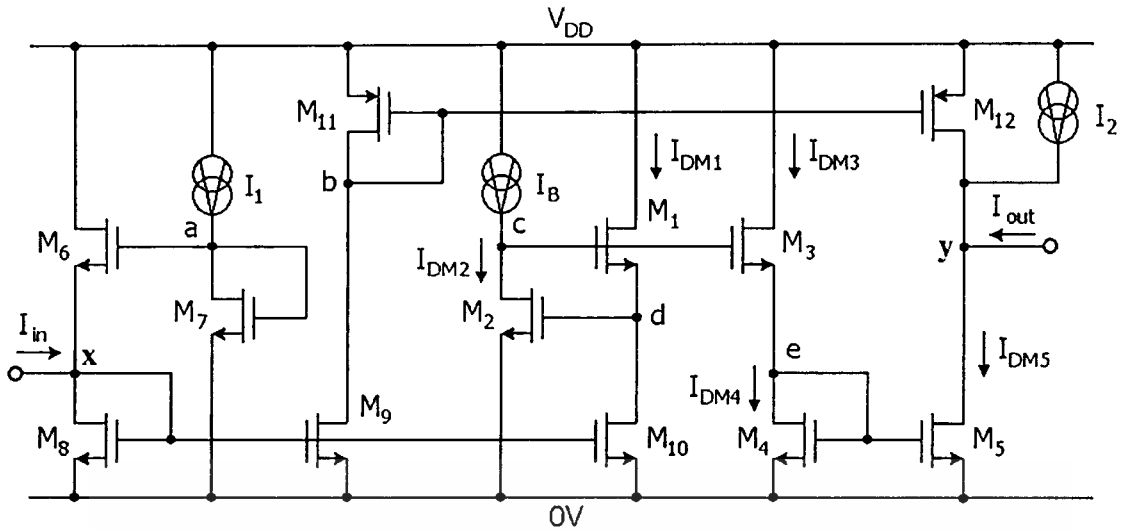
$$I_{DM5} = I_{DM4} = 2\sqrt{I_B I_{in}} + I_{in} + I_B \quad (4.11)$$

พิจารณา ณ จุดออก y จะได้ว่ากระแส I_{in} ถูกส่งผ่านด้วยวงจรสะท้อนกระแส $M_{11}-M_{12}$ ที่มีอัตราสะท้อนกระแสเป็นหนึ่ง กำหนดแหล่งจ่ายกระแสคงที่ I_2 ให้มีค่าเท่ากับ I_B จะได้ค่ากระแสเอาต์พุต ณ จุดออก y เป็น

$$I_{out} = I_{DM5} - I_{in} - I_B \quad (4.12)$$

แทนค่าสมการ (4.11) ลงในสมการ (4.12) จะได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.5 วงจรถอดราก็สองที่ได้นำเสนอ

$$I_{out} = G\sqrt{I_{in}} \quad (4.13)$$

เมื่อค่าสัมประสิทธิ์ G ในสมการ (4.13) มีค่าเท่ากับ

$$G = 2\sqrt{I_B} \quad (4.14)$$

จากสมการ (4.14) แสดงให้เห็นว่า ผลของกระแสเอาต์พุตที่ได้จากวงจรในรูปที่ 4.5 มีค่าแปรผันตรงกับค่ารากที่สองของสัญญาณกระแสอินพุต I_{in} ซึ่งไม่ขึ้นกับค่าอุณหภูมิ นอกจากนี้ยังสามารถควบคุมอัตราขยายด้วยวิธีทางอิเล็กทรอนิกส์ โดยปรับที่ค่ากระแสไบแอส I_B

4.4 การวิเคราะห์คุณสมบัติการทำงานของวงจร

จากวงจรถอดราก็สองที่ได้นำเสนอไปในหัวข้อ 4.3 สมมติให้มอสทรานซิสเตอร์แต่ละตัวมีคุณสมบัติตามอุดมคติ แต่สำหรับทางปฏิบัติแล้ว มอสทรานซิสเตอร์แต่ละตัวจะไม่สมพียงกัน และมีค่าความนำ (g_m) ไม่เป็นอนันต์ เป็นผลทำให้สมรรถนะของวงจรไม่เป็นไปตามที่ได้ออกแบบไว้ ในหัวข้อนี้จึงทำการวิเคราะห์คุณสมบัติต่างๆ ของวงจรถอดราก็สอง พิจารณาค่าความต้านทานที่จุดเข้าและออก ช่วงปฏิบัติงานทางขนาดของแหล่งจ่ายไฟ (supply) ช่วงปฏิบัติงานทางขนาดของกระแสอินพุต และผลตอบสนองทางความถี่ของวงจร เพื่อนำไปอ้างอิงกับผลการเลียนแบบการทำงานของวงจรด้วยโปรแกรม PSPICE

4.4.1 การวิเคราะห์ค่าความต้านทานที่จุดเข้าและออก

ในการวิเคราะห์หาค่าความต้านทานที่จุดเข้าและออกนั้น สามารถทำได้ด้วยการแทนวงจรในรูปที่ 4.5 ด้วยวงจรสมมูลสำหรับสัญญาณขนาดเล็ก โดยไม่พิจารณาถึงผลของตัวเก็บประจุแฝง ดังแสดงในรูปที่ 4.6

ก. ค่าความต้านทานที่จุดเข้า

จากรูปที่ 4.6 สามารถคำนวณหาค่าความต้านทานที่จุดเข้าได้โดยไม่พิจารณาผลอื่นเนื่องมาจากแหล่งจ่ายศักดาที่จุดออก ($V_{out}=0$) จากนั้นหาค่า I_{in} ที่ไหลเข้าจุด x

$$I_{in} = g_{m8} V_{in} + g_{d6} V_{in} + g_{m6} (V_{in} - V_a) \quad (4.15)$$

เมื่อ g_{di} คือ ค่าความนำซึ่งเป็นส่วนกลับของค่าความต้านทานเอาต์พุตของมอสเฟต M_i ,

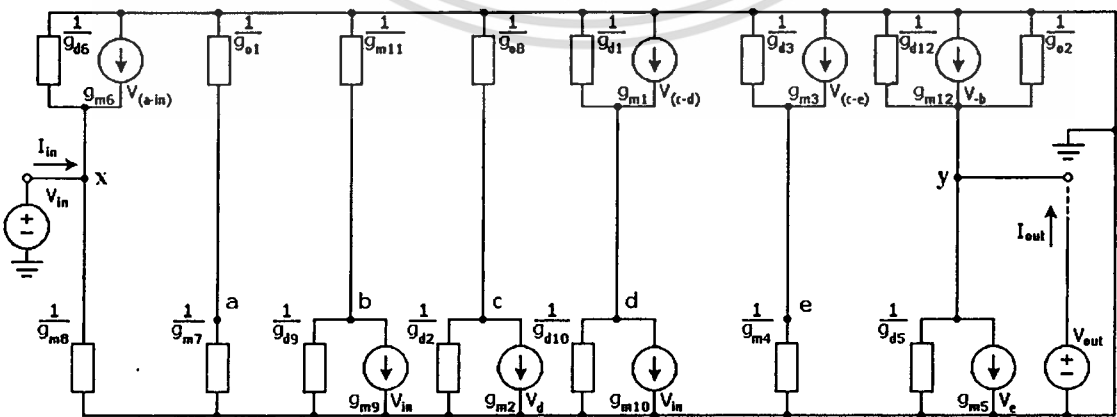
g_{mi} คือ ค่าความนำสำหรับสัญญาณขนาดเล็กของมอสเฟต M_i ,

จากรูปที่ 4.6 จะได้ศักดา $V_a=0$ ดังนั้นจะได้ค่าความต้านทานที่จุดเข้า x ดังนี้

$$r_{in} = \frac{V_{in}}{I_{in}} = \frac{1}{g_{m8} + g_{m6} + g_{d6}} \quad (4.16)$$

ข. ค่าความต้านทานที่จุดออก

ในการทำงานเดียวกันกับการหาค่าความต้านทานที่จุดเข้า การวิเคราะห์เพื่อหาค่าความต้านทานที่จุดออกของวงจร สามารถทำได้โดยป้อนศักดาทดสอบ V_{out} ที่จุดออก y โดยไม่พิจารณาผลอื่นเนื่องมาจากศักดาที่จุดเข้า ($V_{in}=0$) จากนั้นป้อนแรงดัน V_{out} แล้วทำการหาค่า I_{out} ที่ไหลเข้าที่จุดออก y จะได้



รูปที่ 4.6 วงจรสมมูลสำหรับการคำนวณค่าความต้านทานที่จุดเข้าและออก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$I_{out} = g_{m12} V_b + g_{m5} V_c + V_{out} (g_{o2} + g_{d5} + g_{d12}) \quad (4.17)$$

จากรูปที่ 4.6 จะได้ศักดา $V_b = V_c = 0$ จะได้ค่าความต้านทานที่จุดออก y ดังนี้

$$r_o = \frac{V_o}{I_{out}} = \frac{1}{g_{o2} + g_{d5} + g_{d12}} \quad (4.18)$$

4.4.2 การวิเคราะห์ช่วงปฏิบัติงานทางขนาดของแหล่งจ่าย (supply)

ถ้ากำหนดให้ $V_{DD(min)}$ คือ ค่าศักดาแหล่งจ่ายต่ำสุดซึ่งยังคงทำให้วงจรทำงานได้อย่างถูกต้อง และ $V_{DS(min)}$ คือ ค่าศักดาตกคร่อมขาเดรน-ซอร์ส (Drain-Source Voltage) ต่ำสุดของมอสทรานซิสเตอร์ซึ่งยังคงทำให้ทรานซิสเตอร์สามารถทำงานอยู่ในช่วงนำกระแสอิ่มตัวได้ จากรูปที่ 4.5 จะได้สมการแสดงความสัมพันธ์ของค่าศักดาแหล่งจ่ายไฟ ดังนี้

$$V_{DD(min)} \geq V_{DSM1(min)} + V_{DSM10(min)} \quad (4.19)$$

จากสมการ (2.4) และ (2.5) แทนค่าลงในสมการ (4.19) เป็น

$$V_{DD(min)} \geq V_{GSM1} - V_{TH} + \sqrt{\frac{I_{in}}{K}} \quad (4.20)$$

จากรูปที่ 4.5 จะได้ว่า $V_{GSM1} = V_{DSM2}$ แทนค่าลงในสมการ (4.20) จะได้สมการค่าศักดาแหล่งจ่ายต่ำสุด คือ

$$V_{DD(min)} \geq V_{DSM2} + \sqrt{\frac{I_{in}}{K}} - V_{TH}$$

$$\therefore V_{DD(min)} \geq \sqrt{\frac{I_B}{K}} + \sqrt{\frac{I_{in}}{K}} - V_{TH} \quad (4.21)$$

4.4.3 การวิเคราะห์ช่วงปฏิบัติงานทางขนาดของกระแสอินพุต

ถ้ากำหนดให้ $I_{in(max)}$ และ $I_{in(min)}$ คือ ค่ากระแสอินพุตสูงสุดและต่ำสุดซึ่งยังคงทำให้วงจรทำงานได้อย่างถูกต้องตามลำดับ เมื่อค่า I_{in} คือ ค่ากระแสอินพุตที่ป้อนเข้าที่จุดเข้า x นั่นคือ I_{in} จะต้องมีค่าไม่มากกว่าค่าศักดาที่ทำให้ M_{10} สามารถนำกระแสได้ นั่นคือ (ภาคผนวก ข.)

$$V_{DS10} \geq V_{GS10} - V_{TH} \quad (4.22)$$

$$\sqrt{\frac{I_B}{K_2}} + V_{TH} \geq \sqrt{\frac{I_{in(max)}}{K_{10}}} \quad (4.23)$$

เมื่อ
$$K_i = \frac{\mu_n C_{ox} W_i}{2L_i} \quad (4.24)$$

จากสมการ (4.27) ยกกำลังสองทั้งสองข้างจะได้

$$I_{in(max)} \leq I_B + 2V_{TH} \sqrt{K_2 I_B} + K_2 V_{TH}^2 \quad (4.25)$$

สำหรับการวิเคราะห์หาค่ากระแสอินพุตต่ำสุดที่ยังคงทำให้วงจรทำงานได้อย่างถูกต้อง เมื่อพิจารณาถึงหน้าที่ของวงจรถอดครากที่สอง คือ ทำหน้าที่ถอดครากที่สองของอินพุต ซึ่งไม่สามารถหาค่ารากของสัญญาณที่เป็นลบได้ ดังนั้นจะได้ว่า

$$I_{in(min)} \geq 0 \quad (4.26)$$

จะเห็นว่าช่วงปฏิบัติการทางขนาดของกระแสอินพุตจะอยู่ในช่วงดังนี้

$$0 \leq I_{in} \leq I_B + 2V_{TH} \sqrt{K_2 I_B} + K_2 V_{TH}^2 \quad (4.27)$$

ถ้ากำหนดให้ $K_2 = 129.49 \times 10^{-6}$, $V_{TH} = 0.64V$ และ $I_B = 25 \mu A$ แทนค่าในสมการ (4.27) จะได้ช่วงปฏิบัติการทางขนาดของกระแสอินพุต มีค่าเท่ากับ $150 \mu A$

4.4.4 การวิเคราะห์ผลตอบสนองทางความถี่

ในการวิเคราะห์เพื่อหาผลตอบสนองทางความถี่ปฏิบัติการ $\frac{i_{out}(s)}{i_{in}(s)}$ สามารถทำได้ด้วยการใช้วงจรสมมูลสำหรับสัญญาณขนาดเล็กมาวิเคราะห์ดังแสดงในรูปที่ 4.7 โดยทำการพิจารณาเฉพาะทรานส์ซิสเตอร์ที่ทำงานขณะป้อนสัญญาณอินพุต I_{in} ค่ามากกว่าศูนย์ ($I_{in} \geq 0$) และตัวเก็บประจุแฝงซึ่งเกิดขึ้นระหว่างขาเกตและซอร์ส เพราะตัวเก็บประจุแฝงนี้ มีความสำคัญมากต่อ

ผลตอบสนองทางความถี่ของวงจรทำการป้อนสัญญาณอินพุต i_{in} ที่จุดเข้า x แล้ว จากนั้นพิจารณาหาค่ากระแสเอาต์พุต i_{out} ที่จุดออก out ของวงจร จะได้อัตราส่วน $\frac{i_{out}(s)}{i_{in}(s)}$ ดังนี้ (ภาคผนวก ก.)

$$\frac{i_{out}(s)}{i_{in}(s)} = \frac{(As^3 + Bs^2 + Cs + D)}{g_{m11} \left(\frac{s}{T_1} + 1 \right) \left(\frac{s}{T_2} + 1 \right) (3g_{m2}g_{m8} + 3g_{m2}C_1s + 2g_{m8}C_3s + 3C_1^2s^2 + 4C_1C_3s^2)}$$

(4.28)

เมื่อ

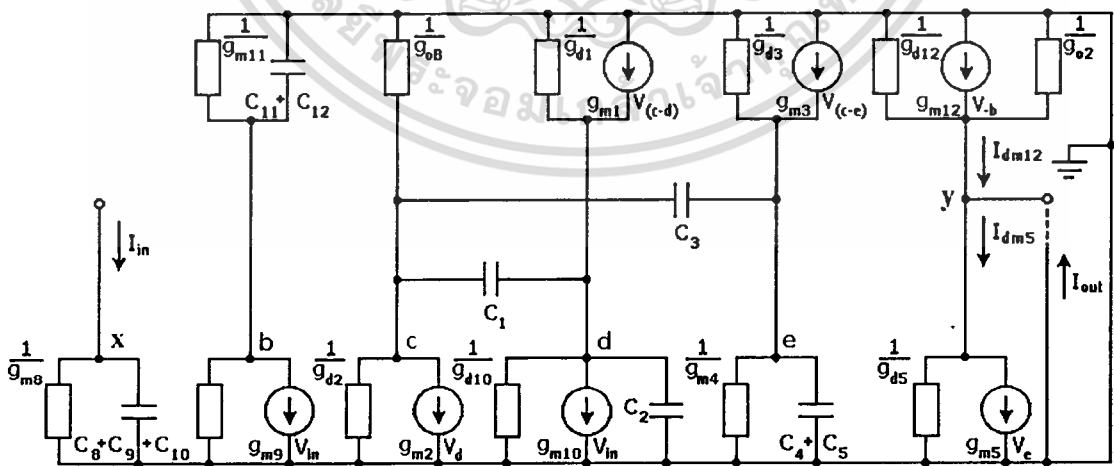
$$A = 9g_{m11}C_1^3 - 12g_{m11}C_1^2C_3 \quad (4.29)$$

$$B = -2g_{m3}C_1C_{11} - 9g_{m2}g_{m11}C_1^2 - 3g_{m8}g_{m11}C_1^2 + 10g_{m8}g_{m11}C_1C_3 \quad (4.30)$$

$$C = 2g_{m2}g_{m3}C_{11} - g_{m3}g_{m11}C_1 - 12g_{m2}g_{m8}g_{m11}C_1 - 2g_{m8}^2g_{m11}C_3 \quad (4.31)$$

$$D = g_{m2}g_{m3}g_{m11} - 3g_{m2}g_{m8}^2g_{m11} \quad (4.32)$$

$$T_1 = -\frac{g_{m8}}{3C_1} \quad (4.33)$$



รูปที่ 4.7 วงจรสมมูลสำหรับการคำนวณผลตอบสนองทางความถี่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$T_2 = -\frac{g_{m11}}{2C_{11}} \quad (4.34)$$

ถ้ากำหนดให้ $g_{m2}=3.72 \times 10^{-5}$, $g_{m8}=1.07 \times 10^{-4}$, $g_{m11}=1.6 \times 10^{-4}$, $C_1=6.52 \times 10^{-15}$, $C_3=2.6 \times 10^{-14}$ และ $C_{11}=8.63 \times 10^{-14}$ จากการแทนค่าลงในสมการ (4.28) จะได้ค่าความถี่ตอบสนองซึ่งเป็นค่าที่จำกัดช่วงปฏิบัติงานทางความถี่ มีค่าเท่ากับ 300.82MHz

4.4.5 การวิเคราะห์ค่าความผิดพลาด

จากรูปที่ 4.5 ค่าความผิดพลาดของวงจรเกิดจากความคลาดเคลื่อนในการสะท้อนกระแสของวงจรสะท้อนกระแสซึ่งไม่สามารถสะท้อนได้จริงตามอุดมคติ ดังนั้นค่ากระแส I_{DM9} , I_{DM10} และ I_{DM12} จึงมีค่าไม่เท่ากับกระแสอินพุต I_{in} และกระแส I_{DM4} มีค่าไม่เท่ากับกระแส I_{DM5} จากสมการ (4.1) สมการแสดงความสัมพันธ์ระหว่างกระแสจุดออกและจุดเข้าของวงจรสะท้อนกระแสแบบพื้นฐาน M_8 - M_{10} คือ

$$I_{DM10} = \frac{g_{m10}}{g_{m8}} I_{in} \quad (4.35)$$

สามารถหาค่าความผิดพลาด (ϵ) ที่เกิดจากวงจรสะท้อนกระแสแบบพื้นฐานได้ ดังนี้

$$\epsilon_{aM8,10} = I_{in} - I_{DM10} = 1 - \frac{g_{m10}}{g_{m8}} \quad (4.36)$$

พิจารณาเช่นเดียวกันกับการหาค่าความผิดพลาดที่วงจรสะท้อนกระแส M_8 - M_{10} จะได้ความสัมพันธ์ระหว่างกระแสจุดออกและจุดเข้าของวงจรสะท้อนกระแส M_8 - M_9 , M_{11} - M_{12} และ M_4 - M_5 ดังนี้

พิจารณาวงจรสะท้อนกระแส M_8 - M_9

$$I_{DM9} = \frac{g_{m9}}{g_{m8}} I_{in} \quad (4.37)$$

พิจารณาวงจรสะท้อนกระแส M_{11} - M_{12}

$$I_{DM12} = \frac{g_{m12}}{g_{m11}} (I_{DM9}) = \frac{g_{m12}}{g_{m11}} \left(\frac{g_{m9}}{g_{m8}} I_{in} \right) \quad (4.38)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นิยมนำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

พิจารณาวงจรสะท้อนกระแส M_4 - M_5

$$I_{DM5} = \frac{g_{m5}}{g_{m4}} I_{DM4} \quad (4.39)$$

จากสมการ (4.10) พิจารณาค่าความผิดพลาดอันเนื่องมาจากผลของการสะท้อนกระแสแล้ว จะได้สมการแสดงความสัมพันธ์ของกระแสเอาต์พุต I_{DM4} ของวงจรสะท้อนกระแสแบบพื้นฐานดังนี้

$$I_{DM4} = 2\sqrt{I_B \left(\frac{g_{m10}}{g_{m8}} I_{in} \right)} + \frac{g_{m10}}{g_{m8}} I_{in} + I_B \quad (4.40)$$

จากสมการ (4.37) - (4.39) และสมการ (4.12) จะได้สมการค่าความผิดพลาด (\mathcal{E}_r) และสมการค่าเปอร์เซ็นต์ความผิดพลาด ($\% \mathcal{E}_r$) ของวงจรออครากที่สองตามลำดับ ดังต่อไปนี้

$$\mathcal{E}_r = \frac{g_{m5}}{g_{m4}} \left(2\sqrt{I_B \left(\frac{g_{m10}}{g_{m8}} I_{in} \right)} + \frac{g_{m10}}{g_{m8}} I_{in} + I_B \right) - \frac{g_{m12}}{g_{m11}} \left(\frac{g_{m9}}{g_{m8}} I_{in} \right) - I_B \quad (4.41)$$

และ

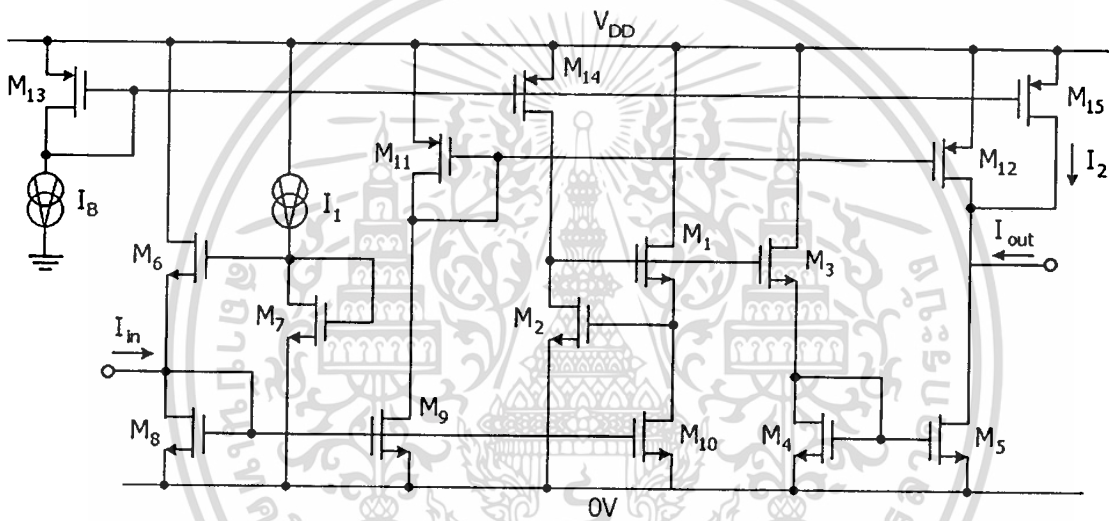
$$\% \mathcal{E}_r = \frac{g_{m5} \left(2\sqrt{I_B \left(\frac{g_{m10}}{g_{m8}} I_{in} \right)} + \frac{g_{m10}}{g_{m8}} I_{in} + I_B \right) - \frac{g_{m12}}{g_{m11}} \left(\frac{g_{m9}}{g_{m8}} I_{in} \right) - I_B}{2\sqrt{I_B I_{in}}} \times 100\% \quad (4.42)$$

ทำการสมมติค่าพารามิเตอร์ต่างๆ ดังนี้ $g_{m4}=7.45 \times 10^{-4}$, $g_{m5}=7.47 \times 10^{-4}$, $g_{m8}=2.38 \times 10^{-4}$, $g_{m9}=2.34 \times 10^{-4}$, $g_{m10}=2.36 \times 10^{-4}$, $g_{m11}=3.78 \times 10^{-4}$, $g_{m12}=3.75 \times 10^{-4}$ และ $I_B=25 \mu A$ จากการแทนค่าลงในสมการ (4.42) จะได้ค่าเปอร์เซ็นต์ความผิดพลาดของวงจรออครากที่สอง มีค่าเท่ากับ 2.2%

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.5 ผลการเลียนแบบการทำงานของวงจรด้วยโปรแกรม PSPICE

จากการวิเคราะห์คุณสมบัติการทำงานของวงจรถอดครากที่สองที่ได้นำเสนอไปในหัวข้อที่แล้ว ทำการทดสอบคุณสมบัติของวงจรด้วยโปรแกรม PSPICE เพื่อทำการเปรียบเทียบกับผลที่ได้จากการคำนวณ เลือกใช้มอสทรานซิสเตอร์เทคโนโลยี $0.5\mu\text{m}$ ของบริษัท ALGATEL ในรูปที่ 4.8 แสดงวงจรถอดครากที่สองที่ใช้เลียนแบบการทำงานของวงจรด้วยโปรแกรม PSPICE กำหนดอัตราส่วนความกว้างต่อความยาวแชนเนล (w/L) ของมอสทรานซิสเตอร์แต่ละตัว ดังแสดงในตารางที่ 4.1 และทำการกำหนดค่าพารามิเตอร์ต่างๆ ดังนี้ $V_{DD}=3\text{V}$, $I_1=10\mu\text{A}$ และ $I_2=I_8=25\mu\text{A}$ ซึ่งจะได้นำไปวิเคราะห์หาช่วงปฏิบัติการทางขนาด คุณลักษณะของสัญญาณไฟตรง ผลตอบสนองทางความถี่ และผลตอบสนองชั่วขณะของวงจรถอดครากที่สองกับสัญญาณอินพุตแบบต่างๆ

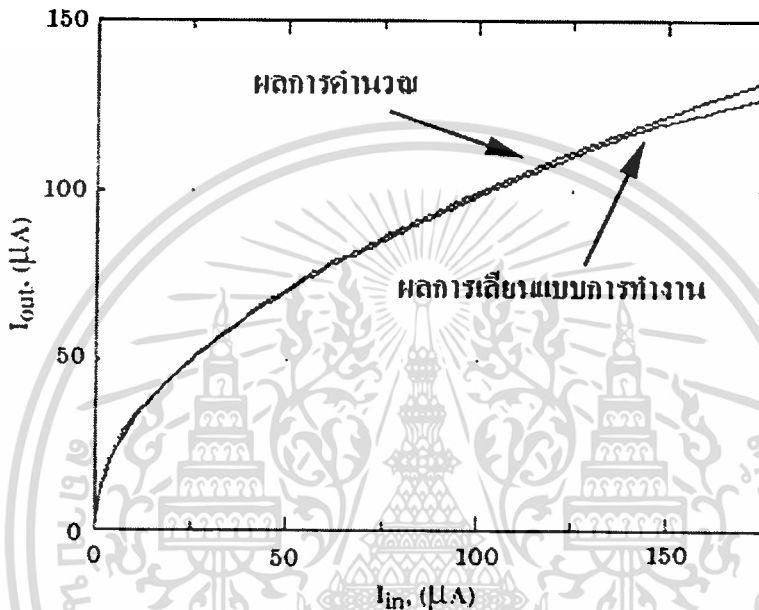


รูปที่ 4.8 วงจรถอดครากที่สองที่ใช้ในการเลียนแบบการทำงานของวงจรด้วยโปรแกรม PSPICE

ตารางที่ 4.1 อัตราส่วนความกว้างต่อความยาวแชนเนล (w/L) ของมอสทรานซิสเตอร์

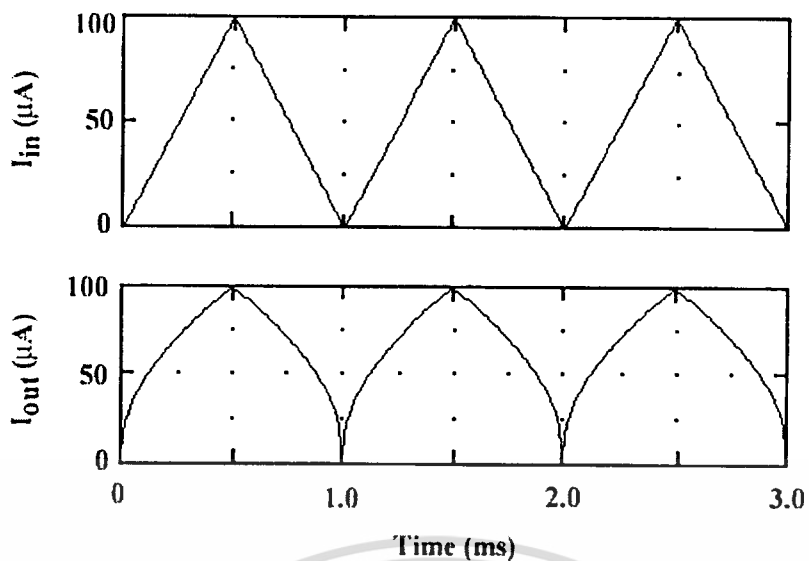
ทรานซิสเตอร์	ค่า w/L ($\mu\text{m}/\mu\text{m}$)
$M_1, M_2, M_6 - M_{10}$	4/1.2
$M_3 - M_5$	16/1.2
$M_{11} - M_{15}$	20/1.2

การทดสอบช่วงปฏิบัติงานทางขนาด ทำได้โดยการแปรค่าสัญญาณกระแสอินพุต I_{in} ตั้งแต่ 0-180 μA แล้วดูผลของกระแสเอาต์พุต I_{out} ดังแสดงในรูปที่ 4.9 เมื่อทำการเปรียบเทียบคุณลักษณะสัญญาณไฟตรง (DC Characteristic) ระหว่างค่าที่ได้จากการคำนวณและที่ได้จากผลการเลียนแบบการทำงานของวงจรด้วยโปรแกรม PSPICE จะให้ค่าที่ใกล้เคียงกันมาก ซึ่งจะมีความผิดพลาดอยู่บ้างในช่วงกระแสอินพุตมีค่าต่ำกว่า 2 μA และจะเพิ่มขึ้นเมื่อกระแสอินพุต I_{in} มีค่ามากกว่า 150 μA อันเป็นผลเนื่องมาจากวงจรสะท้อนกระแส

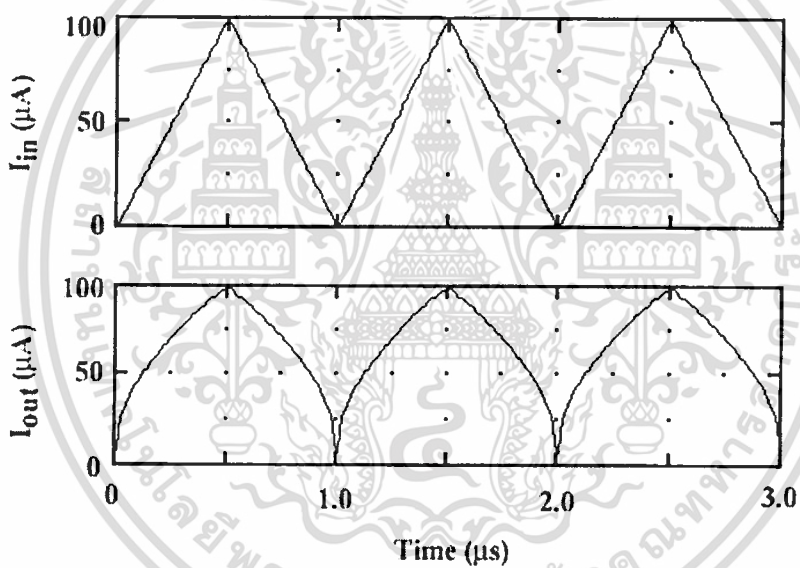


รูปที่ 4.9 คุณลักษณะสัญญาณไฟตรง (DC Characteristic) ของวงจร

จากรูปที่ 4.10 และ 4.11 แสดงผลตอบสนองชั่วขณะของวงจร (Transient Response) เมื่อป้อนสัญญาณอินพุตรูปสามเหลี่ยมและรูปคลื่นไซน์ชอยด์ที่ความถี่ 1kHz และ 1MHz ตามลำดับ เพื่อทำการทดสอบช่วงความถี่ในการปฏิบัติงานของวงจรที่ออกแบบ จะเห็นได้ว่าที่ความถี่สูงวงจรยังคงทำงานได้อย่างถูกต้อง และในรูปที่ 4.11 จะมีการผิดเพี้ยนของสัญญาณเอาต์พุต I_{out} ที่จุดตัดศูนย์ของสัญญาณอินพุต I_{in} น้อยมาก ทั้งนี้เนื่องจากวงจรที่ได้พัฒนาขึ้น ได้ออกแบบวงจรให้มีโครงสร้างเป็นวงจรคลาส AB ทำให้มอสทรานซิสเตอร์ถูกไบแอสให้อยู่ในสภาวะขอบนำกระแส ซึ่งจะเป็นการลดการหน่วงเวลา (delay time)



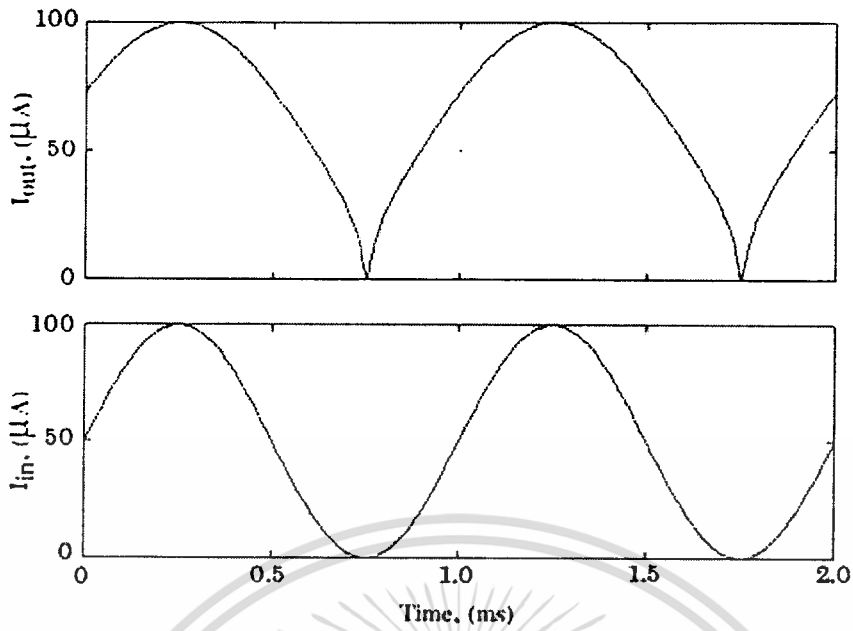
(ก) ความถี่ 1kHz



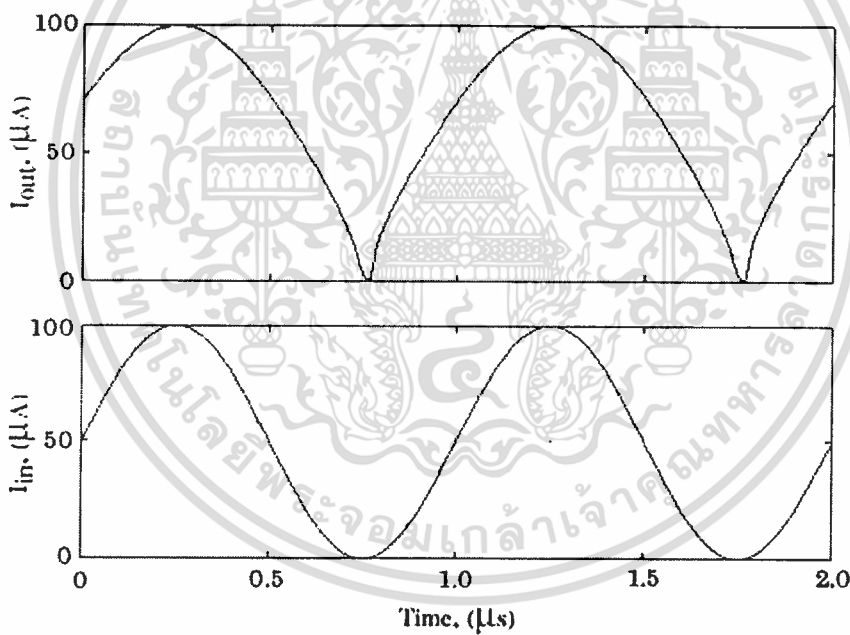
(ข) ความถี่ 1MHz

รูปที่ 4.10 ผลตอบสนองชั่วขณะของวงจรเมื่อป้อนสัญญาณอินพุตรูปสามเหลี่ยมที่ความถี่ต่างๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ก) ความถี่ 1kHz

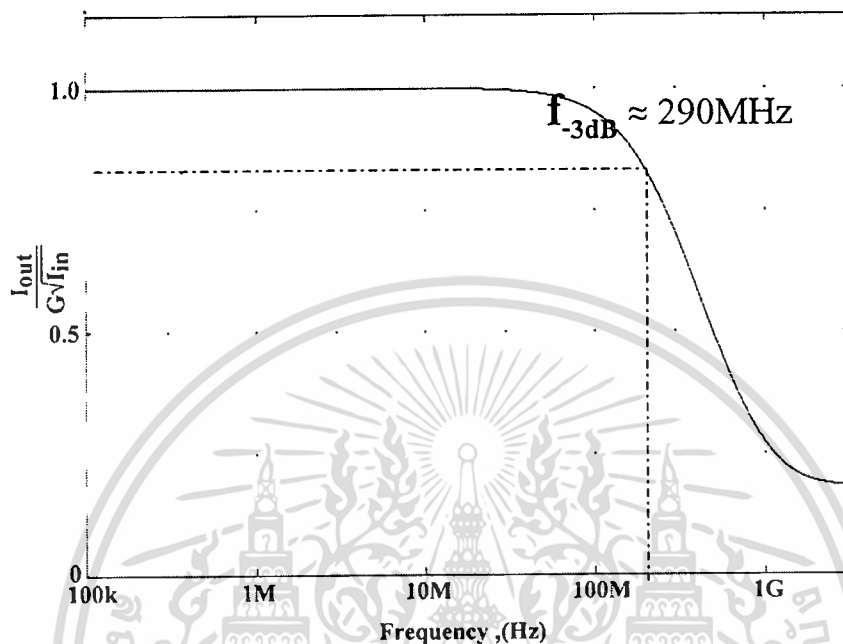


(ข) ความถี่ 1MHz

รูปที่ 4.11 ผลตอบสนองชั่วขณะของวงจรเมื่อป้อนสัญญาณอินพุตรูปคลื่นไซน์ที่มีความถี่ต่างๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 4.12 แสดงผลตอบสนองทางความถี่ (frequency response) ของวงจร เมื่อทำการป้อนกระแสอินพุตซึ่งมีขนาดสัญญาณไบแอส $20\mu\text{A}$ และสัญญาณขนาดเล็กไฟกระแสกลับ $1\mu\text{A}$ จากรูปจะสังเกตว่า วงจรมีความถี่ปฏิบัติการงาน (corner frequency) ประมาณ 290MHz



รูปที่ 4.12 ผลตอบสนองทางความถี่ของวงจร

4.6 สรุป

ในบทนี้ได้นำเสนอวงจรถอดรอกที่สองซึ่งประกอบไปด้วยวงจรร้อยที่มีการทำงานอยู่ในโหมดของกระแสต่าง ๆ ได้แก่ วงจรสะท้อนกระแสแบบพื้นฐาน วงจรจำกัดกระแส และวงจรถอดรอกที่สองแบบพื้นฐาน เพื่อนำมาสังเคราะห์เป็นฟังก์ชันถอดรอกที่สองสำหรับสัญญาณกระแส จากผลการวิเคราะห์คุณสมบัติของวงจร วงจรที่ได้นำเสนอมีประสิทธิภาพในการทำงานสูง ตลอดจนให้ความแม่นยำในการทำงานที่ดี และมีช่วงปฏิบัติการทางขนาดและผลตอบสนองทางความถี่ที่กว้าง สามารถทดสอบสมรรถนะการทำงานของวงจรถอดรอกที่สองที่ใช้โครงสร้างแบบทรานส์ลีนีเยร์ด้วยโปรแกรม PSPICE จากผลการทดสอบยืนยันถึง ความแม่นยำ ช่วงปฏิบัติการทางขนาดและผลตอบสนองทางความถี่ของวงจร

บทที่ 5

สรุปผลวิจัยและข้อเสนอแนะ

5.1 บทสรุปและวิจารณ์

ในการออกแบบวงจรลดครากที่สองที่ใช้โครงสร้างแบบทรานส์ลีนีเยอร์ซึ่งได้นำเสนอในวิทยานิพนธ์นี้ เป็นอีกแนวทางหนึ่งที่ได้ทำการวิจัยและพัฒนาขึ้น ซึ่งผลจากการออกแบบวงจรถัดนี้มีข้อดีดังนี้

1. โดยการออกแบบวงจรจะอาศัยหลักการทรานส์ลีนีเยอร์แบบมอสทรานซิสเตอร์และหลักการของวงจรรวม การทำงานของวงจรจะอยู่ในรูปแบบของกระแส จึงสามารถนำไปใช้งานทางด้านการประมวลผลสัญญาณทางอนาล็อกได้เป็นอย่างดี

2. เพื่อออกแบบสำหรับใช้งานกับอินพุตที่เป็นสัญญาณกระแสอย่างเดียวงจรจึงสามารถทำงานได้โดยใช้แหล่งจ่ายไฟเพียงด้านเดียว (single supply)

3. ผลของกระแสเอาต์พุตที่ได้จากวงจรจะมีค่าแปรผันตรงกับค่าครากที่สองของสัญญาณกระแสอินพุต I_{in} ซึ่งไม่ขึ้นกับค่าอุณหภูมิ นอกจากนี้ยังสามารถควบคุมอัตราขยายด้วยวิธีทางอิเล็กทรอนิกส์ โดยปรับที่ค่ากระแสไบแอส I_B

4. วงจรที่ได้นำเสนอยังมีสมรรถนะในการทำงานของวงจรสามารถขึ้นขั้นจากการวิเคราะห์คุณสมบัติของวงจรทั้งในทางทฤษฎีและจากผลการเลียนแบบการทำงานของวงจรด้วยโปรแกรม PSPICE

5.2 ข้อเสนอแนะแนวทางในการทำวิจัยและพัฒนาวงจร

การออกแบบวงจรลดครากที่สองที่ได้นำเสนอในวิทยานิพนธ์นี้ใช้แหล่งจ่ายศักดา 3V เพื่อที่จะสามารถใช้แหล่งพลังงานจากแบตเตอรี่หรือแหล่งจ่ายพลังงานแบบพกพาได้ ทำให้เกิดความสะดวกมากยิ่งขึ้นในการใช้งาน ดังนั้นแนวทางในการพัฒนาต่อไปโดยลดแหล่งจ่ายศักดาของวงจรให้น้อยลง จึงเป็นแนวทางหนึ่งในการวิจัยและพัฒนาต่อไป

เอกสารอ้างอิง

- [1] Gregorian R. and Temes G.C. **Analog MOS Integrated Circuit for Signal Processing.** Singapore : John Wiley & Sons. 1986.
- [2] Toumazou C. et. al. **Analogue IC Design: The Current Mode Approach.** London : Peter Peregrinus. 1990.
- [3] Greeneich E.W. **Analog Integrated Circuits.** Chapman & Hall. 1997.
- [4] Toumazou C. et. al. **Analogue IC Design: The Current Mode Approach.** John Wiley & Sons. 1986.
- [5] Richard S. et. al. **Device Electronics for Integrated Circuits.** 2nd Ed. Peter Peregrinus. 1990.
- [6] Phillip E. Allen. and Douglas R. Holberg. **CMOS Analog Circuit Design.** The United states of America : Holt, Rinehart and Winston. 1987.
- [7] Tsividis Y.P. **Operation and Modeling of the MOS Transistor.** New York : McGraw-Hill Book. 1989.
- [8] David Johns. and Ken Martin. **Analog Integrated Circuit Design.** The United States of America : John Wiley & Sons, Inc. 1997.
- [9] Sze S.M. **Physics of Semiconductor Devices.** 2nd Ed. John Wiley & Sons. 1981.
- [10] Adel S. Sedra. and Kenneth C. Smith. **Microelectronic Circuits.** 3rd Ed. New York : Oxford University Press, Inc. 1991.
- [11] Coughlin R.F. **Principle and Application of Semiconductors and Circuits.** Prentice-Hall, Inc. 1971.
- [12] Ong D.G. **Modern MOS Technology.** New York : McGraw-Hill Book. 1986.
- [13] Paul R. Gray. and Robert G. Mayer. **Analysis and Design of Analog Integrated Circuits.** 2nd Ed. John Wiley & Sons, Inc. 1977.
- [14] เกียรติศักดิ์ คมวัชร. “การสร้างวงจรสายพานกระแส และวงจรแปลงความต้านทานค่าลบด้วย CMOS.” วิทยานิพนธ์วิศวกรรมศาสตรดุษฎีบัณฑิต สาขาวิศวกรรมไฟฟ้า บัณฑิตวิทยาลัย, สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง. 2535.
- [15] Wiegerink R.J. **Analysis and Synthesis of MOS Translinear Circuits.** Kluwer Academic Publishers. 1993.
- [16] B. Gilbert. “Translinear circuits: a proposed classification.” *Electron. Lett.* Vol. 11, 1975. pp. 14-16.

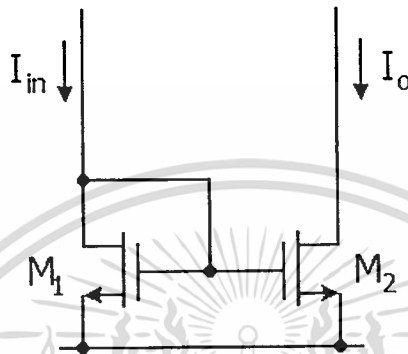
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- [17]Jacob Millman. and Arvin Grabel. **Microelectronics**. 2nd ED. Singapore : McGraw-Hill Book Co. 1988.
- [18]Franco S. **Design with Operation Amplifier and Analog Integrated Circuits**. New York : Mc Graw-Hill. 1998.
- [19]วิภา แสงพิสิทธิ์ และคณะ. “วงจรถอดรอกที่สองแบบใหม่.” การประชุมวิชาการทางวิศวกรรมไฟฟ้า. ครั้งที่ 18. หน้า 646-649.
- [20]Silva-Martinez J., Sanchez-Sinencio E. “Analogue OTA Multiplier without Input Voltage Swing Restrictions and Temperature-Compensated.” *Electron Lett.* Vol. 22, no. 11, May 1986. pp. 599-600.
- [21]คงศักดิ์ อนันตหิรัญรัตน์. “การออกแบบวงจรถอดความถี่และวงจรถอดรอกที่สอง โดยอาศัยคุณสมบัติการทำงานของวงจรถอดคลาส AB โดยใช้ CMOS.” วิทยานิพนธ์วิศวกรรมศาสตรมหาบัณฑิต สาขาวิชาวิศวกรรมไฟฟ้า บัณฑิตวิทยาลัย, สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง. 2536.
- [22] วันชัย รวีรุจา. “การออกแบบและการวิเคราะห์วงจรถอดรอกฟังก์ชันโดยใช้หลักการของวงจรรวม.” วิทยานิพนธ์วิศวกรรมศาสตรดุษฎีบัณฑิต สาขาวิชาวิศวกรรมไฟฟ้า บัณฑิตวิทยาลัย, สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง. 2535.

ภาคผนวก ก.

การวิเคราะห์คุณสมบัติของวงจรสะท้อนกระแสแบบพื้นฐาน

ก.1 อัตราการสะท้อนกระแส



รูปที่ ก.1 วงจรสะท้อนกระแสแบบพื้นฐาน

ในรูปที่ ก.1 แสดง วงจรสะท้อนกระแสแบบพื้นฐานชนิดเอ็นแชนแนล โดยมี I_{in} เป็นค่ากระแสอินพุต และ I_o เป็นค่ากระแสเอาต์พุตของวงจร เมื่อกำหนดให้ M_1 และ M_2 มีความสมพจน์กันทุกประการและทำงานอยู่ในช่วงอิมิตัว ซึ่งเมื่อพิจารณาจะเห็นว่า ทรานซิสเตอร์ M_1 และ M_2 ต่อกันอยู่ในลักษณะของวงจรทรานส์ลีนีร์รูปแบบมอสเฟต ทำให้ได้ความสัมพันธ์ คือ

$$V_{gsM1} = V_{gsM2} \tag{ก.1.1}$$

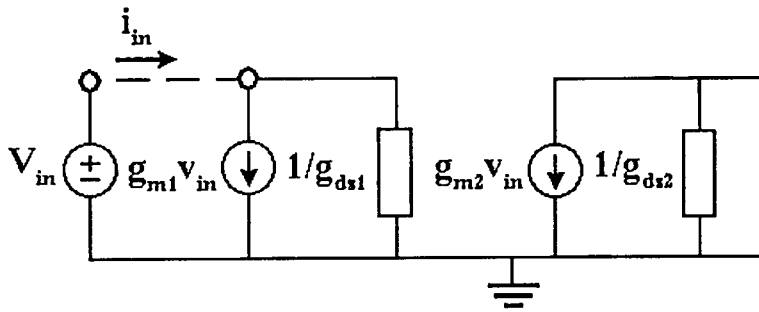
ซึ่ง

$$V_{gsMi} = V_{th} + \sqrt{\left(\frac{I_d}{\mu_n C_{ox} \frac{W}{2L}} \right)_{Mi}} \tag{ก.1.2}$$

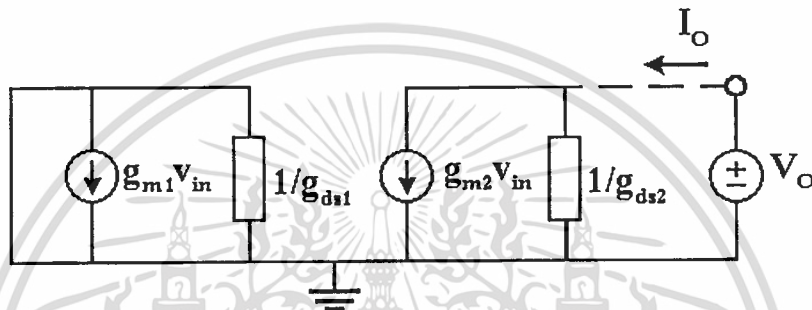
เมื่อ $I_{dM1} = I_{in}$ และ $I_{dM2} = I_o$ แทนค่าลงในสมการที่ (ก.1.1) และ (ก.1.2) จะได้

$$\frac{I_o}{I_{in}} = \left(\frac{W}{L} \right)_{M2} \left(\frac{L}{W} \right)_{M1} \tag{ก.1.3}$$

ก.2 ค่าความต้านทานที่จุดเข้าและจุดออก



(ก) สำหรับความต้านทานที่จุดเข้า



(ข) สำหรับความต้านทานที่จุดออก

รูปที่ ก.2 วงจรเสมือนสำหรับการวิเคราะห์ค่าความต้านทานที่จุดเข้าและจุดออกของวงจรสะท้อนกระแสแบบพื้นฐาน

จากวงจรในรูปที่ ก.2 (ก) การวิเคราะห์หาค่าความต้านทานที่จุดเข้าของวงจรสามารถทำได้โดยป้อนศักดาทดสอบ v_{in} ที่จุดเข้าของวงจรโดยไม่พิจารณาผลอันเนื่องมาจากค่าศักดาที่จุดออก จากนั้นพิจารณาหาค่ากระแส i_{in} ที่ไหลเข้าไปในวงจร โดยใช้กฎของ KCL ที่จุดเข้า ซึ่งจะได้

$$i_{in} = g_{m1} v_{in} + g_{ds1} v_{in} \quad (ก.2.1)$$

เขียนให้อยู่ในรูปใหม่เป็น

$$i_{in} = (g_{m1} + g_{ds1}) v_{in} \quad (ก.2.2)$$

จากสมการ (ก.2.2) จะได้ค่าความต้านทานที่จุดเข้าดังนี้

$$\therefore r_{in} = \frac{v_{in}}{i_{in}} = \frac{1}{g_{m1}} = \sqrt{\left(\frac{L}{2\mu_n C_{ox} W}\right)_{M1}} \quad \text{เมื่อ } g_{m1} \gg g_{ds1} \quad (ก.2.3)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากวงจรในรูปที่ ก.2(ข) การวิเคราะห์หาค่าความต้านทานที่จุดออกของวงจรสามารถทำได้ โดยป้อนศักดาทดสอบ v_o ที่จุดออกของวงจรโดยไม่พิจารณาผลอันเนื่องมาจากศักดาจุดเข้า ซึ่งจะได้ความสัมพันธ์ดังนี้

$$i_o = g_{ds2} v_o \quad (\text{ก.2.4})$$

จะได้ค่าความต้านทานที่จุดออกเป็น

$$\therefore r_o = \frac{v_o}{i_o} = \frac{1}{g_{ds2}} = \frac{1}{\lambda I_{d2}} \quad (\text{ก.2.5})$$

ก.3 อัตรายายกระแสสำหรับสัญญาณขนาดเล็ก

จากวงจรในรูปที่ ก.3 พิจารณาที่จุดต่างๆ จะได้ความสัมพันธ์ดังต่อไปนี้
ที่จุด v_1 จะได้

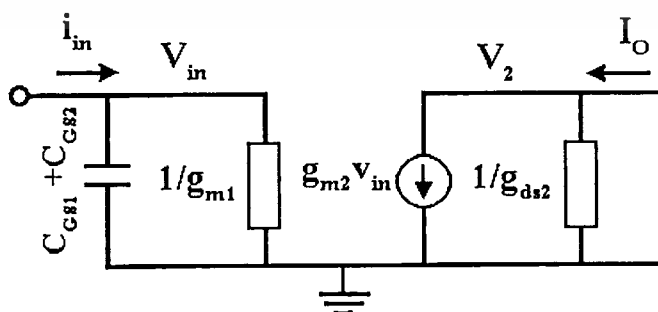
$$i_{in}(s) = (g_{m1} + s(C_{gs1} + C_{gs2})) v_{in}(s) \quad (\text{ก.3.1})$$

ที่จุด v_2 จะได้

$$i_o(s) = g_{m2} v_{in}(s) + g_{ds2} V_2(s) \quad (\text{ก.3.2})$$

กำหนดให้ $g_{ds} \ll g_m$ สมการ (ก.3.2) จะเขียนใหม่ได้ดังนี้

$$i_o(s) = g_{m2} v_{in}(s) \quad (\text{ก.3.3})$$



รูปที่ ก.3 วงจรเสมือนสำหรับวิเคราะห์ค่าอัตรายายสำหรับสัญญาณขนาดเล็ก

- เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เขียนให้อยู่ในรูปใหม่ได้ ดังนี้

$$V_{in}(s) = \frac{I_o(s)}{g_{m2}} \quad (ก.3.4)$$

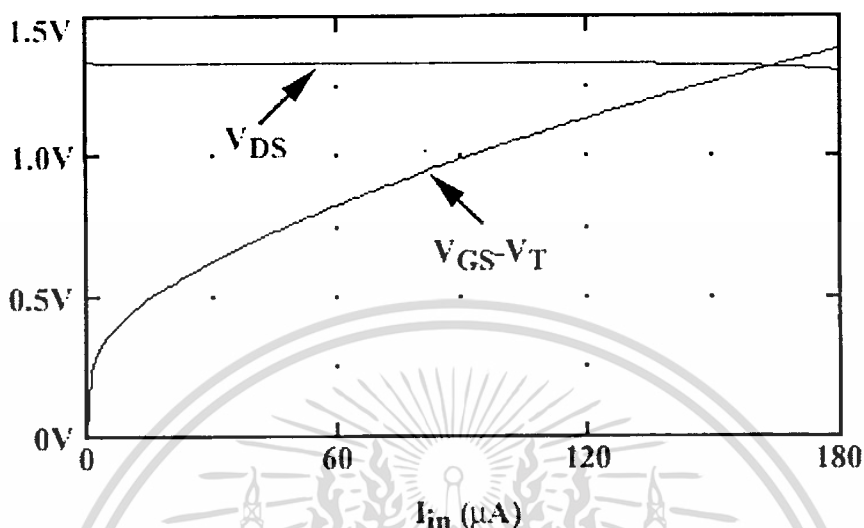
ทำการแทนค่าสมการ (ก.3.3) ลงในสมการ (ก.3.1) จะได้ฟังก์ชันส่งผ่าน (Transfer Function) ของวงจรสะท้อนกระแสแบบพื้นฐานได้ดังนี้

$$\frac{i_o(s)}{i_{in}(s)} = \frac{g_{m2}}{g_{m1}} \left(\frac{1}{1 + \frac{s(C_{gs1} + C_{gs2})}{g_{m1}}} \right) \quad (ก.3.5)$$

ถ้าพิจารณาที่ความถี่ต่ำๆ หรือ s มีค่าน้อยมากๆ สมการ ก.3.5 จะเขียนได้ใหม่เป็น

$$\frac{i_o}{i_{in}} = \frac{g_{m2}}{g_{m1}} \quad (ก.3.5)$$

เลียนแบบการทำงานของวงจรถ่ายด้วยโปรแกรม PSPICE

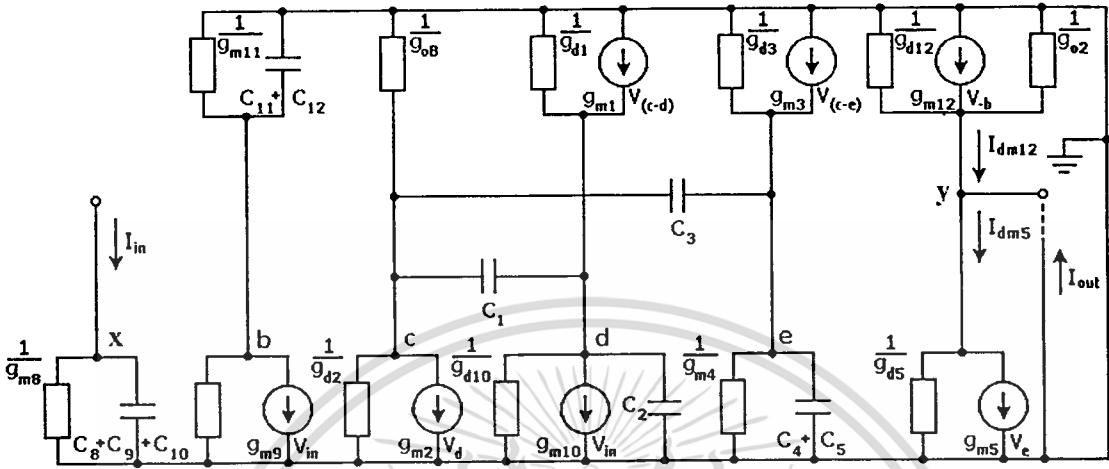


รูปที่ ข.1 ผลเปรียบเทียบแรงดันระหว่าง V_{DS} กับ $V_{GS}-V_{TH}$ ของทรานซิสเตอร์ M_{10} เมื่อทำการป้อนกระแส I_{in} ตั้งแต่ 0-180 μ A

รูปที่ ข.1 เป็นรูปแสดงผลการเปรียบเทียบแรงดันระหว่าง V_{DS} กับ $V_{GS}-V_{TH}$ ของทรานซิสเตอร์ M_{10} เมื่อทำการทดลองป้อนกระแส I_{in} ตั้งแต่ 0-180 μ A จะสังเกตได้ว่าเมื่อ แรงดัน V_{DS} มีค่าน้อยกว่าค่า $V_{GS}-V_{TH}$ ทรานซิสเตอร์ M_{10} จะมีสภาพที่ไม่อยู่ในเงื่อนไขเริ่มต้นที่กำหนดให้ทรานซิสเตอร์ทุกตัวทำงานอยู่ในช่วงอิ่มตัว ($V_{DS} \geq V_{GS}-V_{TH}$) เป็นผลให้วงจรสะท้อนกระแสไม่สามารถสะท้อนกระแสได้ในอัตรา 1:1 ที่ออกแบบไว้ วงจรที่ได้ทำการออกแบบไว้จึงทำงานผิดพลาด

ภาคผนวก ค.

การวิเคราะห์ผลตอบสนองทางความถี่ของวงจรอครากที่สอง



รูปที่ ค.1 วงจรสมมูลสำหรับสัญญาณขนาดเล็กของวงจรอครากที่สองสำหรับการคำนวณผลตอบสนองทางความถี่

รูปที่ ค.1 แสดงวงจรสมมูลสำหรับสัญญาณขนาดเล็กของรูปที่ 4.4 วงจรอครากที่สองที่ได้

นำเสนอ เพื่อคำนวณหาอัตราส่วน $\frac{i_{out}(s)}{i_{in}(s)}$ จะได้ค่าความสัมพันธ์ของกระแสที่จุดต่างๆ ดังนี้

จุดเข้า x จะได้

$$i_{in}(s) = (g_{m8} + s(C_8 + C_9 + C_{10}))V_{in} \tag{ค.1}$$

จุดออก y จะได้

$$i_{dm12} = g_{m12}(-V_b) \tag{ค.2}$$

จุด b จะได้

$$0 = g_{m9}V_{in} + (g_{d9} + g_{m11} + s(C_{11} - C_{12}))V_b \tag{ค.3}$$

จากสมการ (ค.1) ถึง (ค.3) กำหนดให้ $g_{m8}=g_{m9}$, $g_{m11}=g_{m12}$ และ $C_8=C_9=C_{10}$, $C_{11}=C_{12}$ เมื่อ $g_{d9} \ll g_{m11}$

จะได้ค่าอัตราส่วน $\frac{i_{dm12}(s)}{i_{in}(s)}$ ดังนี้

$$\frac{i_{dm12}(s)}{i_{in}(s)} = \frac{g_{m8}g_{m11}}{(g_{m8} + 3sC_8)(g_{m11} + 2sC_{11})} \quad (\text{ค.4})$$

จุด c จะได้

$$0 = g_{m2}V_d + (g_{d2} + g_B)V_c + sC_1(V_c - V_d) + sC_3(V_c - V_e) \quad (\text{ค.5})$$

จุด d จะได้

$$g_{m1}(V_c - V_d) + sC_1(V_c - V_d) = g_{m10}V_{in} + (g_{d1} + g_{d10} + sC_2)V_d \quad (\text{ค.6})$$

จุด e จะได้

$$g_{m3}(V_c - V_e) + sC_3(V_c - V_e) = (g_{d3} + g_{m4} + s(C_4 + C_5))V_e \quad (\text{ค.7})$$

จุดออก y จะได้

$$i_{dm5} = g_{m5}V_e \quad (\text{ค.8})$$

และ

$$i_{out}(s) = i_{dm5}(s) - i_{dm12}(s) \quad (\text{ค.9})$$

จากสมการ (ค.1) และ (ค.5) - (ค.8) กำหนดให้ $g_{m1}=g_{m8}=g_{m9}=g_{m10}$, $g_{m3}=g_{m4}=g_{m5}$ และ $C_3=C_4=C_5$,

$C_1=C_2=C_8=C_9=C_{10}$ จะได้ค่าอัตราส่วน $\frac{i_{dm5}(s)}{i_{in}(s)}$ ดังนี้

$$\frac{i_{dm5}(s)}{i_{in}(s)} = \frac{g_{m3}g_{m8}(g_{m2} - sC_1)}{(g_{m8} + 3sC_1)[3(g_{m8} + sC_1)(g_{m2} - sC_1) - (g_{m8} + 2sC_1)(-3sC_1 - 2sC_3^2)]} \quad (\text{ค.10})$$

แทนสมการ (ค.4) และ (ค.10) ลงใน (ค.9) จะได้ค่าอัตราส่วน $\frac{i_{out}(s)}{i_{in}(s)}$ ดังนี้

$$\frac{i_{out}(s)}{i_{in}(s)} = \frac{(As^3 + Bs^2 + Cs + D)}{g_{m11} \left(\frac{s}{T_1} + 1 \right) \left(\frac{s}{T_2} + 1 \right) (3g_{m2}g_{m8} + 3g_{m2}C_1s + 2g_{m8}C_3s + 3C_1^2s^2 + 4C_1C_3s^2)} \quad (\text{ค.11})$$

เมื่อ

$$A = 9g_{m11}C_1^3 - 12g_{m11}C_1^2C_3 \quad (\text{ค.12})$$

$$B = -2g_{m3}C_1C_{11} - 9g_{m2}g_{m11}C_1^2 - 3g_{m8}g_{m11}C_1^2 + 10g_{m8}g_{m11}C_1C_3 \quad (\text{ค.13})$$

$$C = 2g_{m2}g_{m3}C_{11} - g_{m3}g_{m11}C_1 - 12g_{m2}g_{m8}g_{m11}C_1 - 2g_{m8}^2g_{m11}C_3 \quad (\text{ค.14})$$

$$D = g_{m2}g_{m3}g_{m11} - 3g_{m2}g_{m8}^2g_{m11} \quad (\text{ค.15})$$

$$T_1 = -\frac{g_{m8}}{3C_1} \quad (\text{ค.16})$$

$$T_2 = -\frac{g_{m11}}{2C_{11}} \quad (\text{ค.17})$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ง.

ผลงานวิจัยที่ได้รับการตีพิมพ์

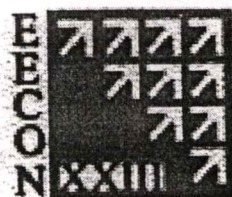
บทความที่ได้รับตีพิมพ์ลงในวารสารมี บทความดังต่อไปนี้

- [1] สมชาย สุภาพ. วันชัย รีวรุจา. อนุชา แก้วพูลสุข. ธาตรี คัมภีระ. และ ธิภาพรรณ แซ่ดี. "วงจรถ่ายเฟสที่ควบคุมได้ด้วยวิธีทางอิเล็กทรอนิกส์แบบซิมอส." การประชุมวิชาการทางวิศวกรรมไฟฟ้า. ครั้งที่ 23. 2543.
- [2] ธาตรี คัมภีระ. อนุชา แก้วพูลสุข. ธวัชชัย คำศรี. ธิภาพรรณ แซ่ดี. และ วันชัย รีวรุจา. "การชดเชยผลของอุณหภูมิในวงจรขยายโอทีเอแบบซิมอสและการประยุกต์ใช้งาน." การประชุมวิชาการของมหาวิทยาลัยเกษตรศาสตร์ ครั้งที่ 39. 2544.
- [3] Amphawan ChaiKla. **Tipapan Lee**. Prapath Ukakimaparn. Vanchai Riewruja. and Kongsak Anantahirunrat. "A CMOS SQUARE-ROOTING CIRCUIT." Proceedings of the ISIC-2001. Sept. 2001.
- [4] P. Laipasu. A. Chaikla., A. Jaruwawat. P. Pannil., **T. Lee**. and V. Riewruja. "Two-Input Max/Min Circuit for Fuzzy Interface System." ICCAS 2001, Oct. 2001.
- [5] Anucha Kaewpoonsuk. Amphawan Chaikla. Anong Linthong. **Tipapan Lee**. and Vanchai Riewruja. "AN ALGORITHMIC GRAY CODE ADC USING CURRENT LIMITTER." Proceedings of the ISCIT 2001. Nov. 2001.

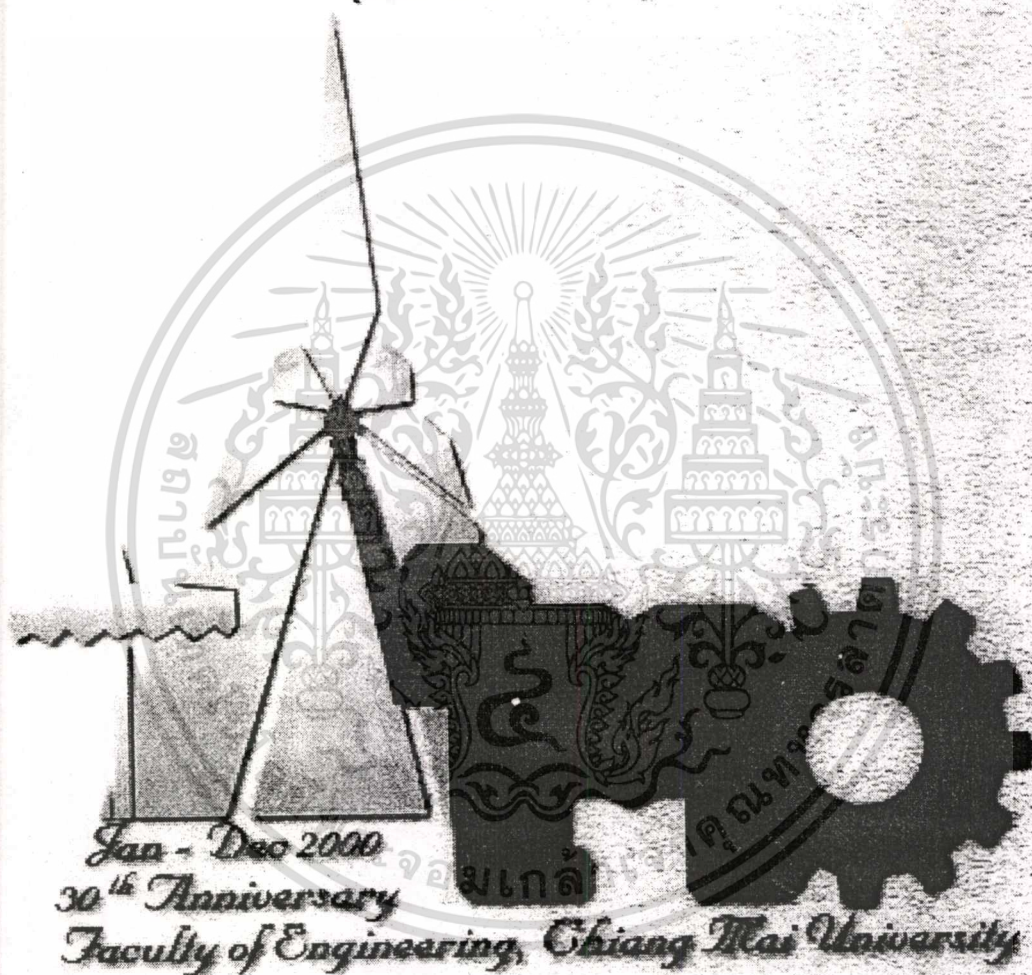
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



การประชุมวิชาการ
ทางวิศวกรรมไฟฟ้า ครั้งที่ 23



23rd Electrical Engineering Conference
(EECON-23)



วันที่ 23-24 พฤศจิกายน 2543 โรงแรมดิเอ็มเพรส เชียงใหม่

ดำเนินการจัดประชุมโดย

ภาควิชาวิศวกรรมไฟฟ้า คณะวิศวกรรมศาสตร์

มหาวิทยาลัยเชียงใหม่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- E13 : Improved Intelligent Adaptive Control System by Auto-Tuning Reference Model 613
 Phornsuk Ratiroch-anant Hiroshi Hirata
 Jongkol Ngamwiwit and Vipap Prejapamij
King Mongkut's Institute of Technology Ladkrabang and Tokai University
- E14 : วงจรเลือกค่าสูงสุดค่าสุคความเร็วสูง 617
 รัชชัย นิภาลี วันชัย รุ่งจา สมชาย สุภาพ และ วรณดี เพชรณดีล้ำค่า
 สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
- E15 : การเปรียบเทียบสมรรถนะของวงจรกรองแบบปรับค้ชชนิดต่าง ๆ 621
 ในการควบคุมห้กผันแบบปรับค้ช
 ทวีวัฒน์ ไชยศรี และ วัชรพงษ์ ไชยบุรณกิจ
 ุฬาลงกรณ์มหาวิทยาลัย
- E16 : Design of Fuzzy Controllers Using Genetic Algorithms 625
 Athula Rajapakse
Asian Institute of Technology
- E17 : วงจรเลือกน้สที่ควบคุมได้ค้ชวิธีทางอิเล็คทรอนิกส์ แบบซิมอส 629
 สมชาย สุภาพ วันชัย รุ่งจา อนุชา แก้วพุดสุข
 ธาตรี คัมภีระ และ ธิภาพรรณ แซ่ลี่
 สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
- หมวด F : อิเล็คทรอนิกส์ (Electronics : EL)**
- F01 : วงจรกรองความถี่หลายรูปแบบ โดยใช้วงจรสายพานกระแสร่นที่ตอง 633
 ที่ถูกควบคุมค้ชด้วยกระแส
 วุฒิพร เตืทวาสนา อนุรี หล่อสวัตค้ศิริ
 ราชู พันธุ์ธาดา และ กนก เจนจิระพงค์เวช
 มหาวิทยาลัยเทคโนโลยีมหานคร และ
 สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
- F02 : วงจรกรองสัญญาณหลายหน้าท้ที่โหมคกระแสที่มีพื้นฐานอยู่บน 637
 ทรานสลิเนียร์คอนเวเยอร์
 วิจิตราเพ็ชรกิจ อัจฉรวรรณ เนื่องนิคค์
 วิวัฒน์ กิรานนท์ และ วิภา แสงพิสิทธ์
 มหาวิทยาลัยสยาม และ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้ส้หรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้ไปใช้ประโยชน์ด้านการค้า
 ไม่ว่าจะกรณีใดท้ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรถ่ายเลื่อนเฟสที่ควบคุมได้ด้วยวิธีทางอิเล็กทรอนิกส์ แบบจีมอส

Electronically Tunable Phase-Shifter Based on CMOS Technology

สมชาย สุภาพ วินิจ วิวัจจา อนุชา แก้วพุดผุย ธาตรี คัมภีระ และ ธิกาพรพรรณ แซ่ดี
ภาควิชาวิศวกรรมระบบควบคุม คณะวิศวกรรมศาสตร์ และสำนักวิจัยเพื่อการสื่อสารและเทคโนโลยีสารสนเทศ
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
ถนนลาดกองกรุง เขตลาดกระบัง กรุงเทพฯ 10501 โทร.(02) 739-1362, E-mail: vanchai@mvlsi.eng.kmitl.ac.th

บทคัดย่อ

ในบทความนี้ได้นำเสนอการออกแบบวงจรถ่ายเลื่อนเฟสสำหรับสัญญาณกระแส โคอไซเทคโคโนโลยีออสตราเรชันจิสเตอร์ในรูปแบบของวงจรรวมเป็นหลัก ซึ่งวงจรถ่ายเลื่อนเฟสที่ได้ออกแบบอาศัยหลักการของความต้านทานจุดเข้าของวงจรถ่ายเลื่อนเฟสแบบออสตราเรชันจิสเตอร์ทำงานร่วมกับวงจรถ่ายเลื่อนเฟสที่ชดเชยค่าความนำ(K') จากเทคนิคดังกล่าวทำให้ได้วงจรถ่ายเลื่อนเฟสที่สามารถควบคุมได้ด้วยวิธีทางอิเล็กทรอนิกส์ นอกจากนี้ยังสามารถลดผลของอุณหภูมิได้ และเพื่อเป็นการยืนยันถึงสมรรถนะการทำงานของวงจรถ่ายเลื่อนเฟส ได้ใช้โปรแกรม PSPICE เพื่อแบบการทำงานของวงจรถ่ายเลื่อนเฟสที่ได้เป็นไปตามหลักการที่ได้นำเสนอ

คำสำคัญ : วงจรถ่ายเลื่อนเฟส, วงจรรวมแบบจีมอส

Abstract

A current-mode electronically tunable phase shifter based on CMOS technology is presented. The proposed circuit makes use of the input resistance of the current mirror and the transconductance parameter compensated circuit to provide an electronically tunable phase-shifter. The temperature effect to the circuit performance is compensated. PSPICE simulation results demonstrating the characteristic of the proposed circuit also are included.

Keywords : Phase-Shifter, All-pass filter, CMOS integrated circuits

1. บทนำ

วงจรถ่ายเลื่อนเฟสเป็นวงจรถ่ายที่สำคัญและมีประโยชน์มากวงจรถ่ายหนึ่ง สำหรับการจัดการและการประมวลผลสัญญาณ ตัวอย่างการประยุกต์ใช้งานเช่น นำไปใช้เป็นตัวกรองในระบบเครื่องมือวัดวิเคราะห์ หรือนำไปเป็นส่วนประกอบของวงจรถ่ายสัญญาณไซน์(Sinusoidal signals) [1] ในการออกแบบวงจรถ่ายเลื่อนเฟสแบบพื้นฐานแบบหนึ่ง คือการใช้โอปแอมป์ร่วมกับตัวต้านทานและตัวเก็บประจุ[2]

แต่เนื่องจากความถูกต้องแม่นยำของวงจรถ่ายส่วนหนึ่งจะขึ้นอยู่กับความสมพียงกันของตัวต้านทานที่ใช้เป็นส่วนประกอบ ดังนั้นจึงได้มีการพัฒนาการออกแบบวงจรถ่ายเลื่อนเฟสโคอไซเทคโคโนโลยีออสตราเรชันจิสเตอร์[3] โคอไซเทคโคโนโลยีออสตราเรชันจิสเตอร์ใช้หลักการของความต้านทานจุดเข้าของวงจรถ่ายเลื่อนเฟสที่ชดเชยค่าความนำ(K') จากเทคนิคดังกล่าวทำให้ได้วงจรถ่ายเลื่อนเฟสที่สามารถควบคุมได้ด้วยวิธีทางอิเล็กทรอนิกส์ นอกจากนี้ยังสามารถลดผลของอุณหภูมิได้ และเพื่อเป็นการยืนยันถึงสมรรถนะการทำงานของวงจรถ่ายเลื่อนเฟสที่ได้เป็นไปตามหลักการที่ได้นำเสนอ ได้ใช้โปรแกรม PSPICE เพื่อแบบการทำงานของวงจรถ่ายเลื่อนเฟสที่ได้เป็นไปตามหลักการที่ได้นำเสนอ

2. หลักการทำงานของวงจรถ่าย

2.1 วงจรถ่ายเลื่อนเฟสแบบจีมอส

จากวงจรถ่ายรูปที่ 1 กำหนดให้ทรานซิสเตอร์ทุกตัวมีการทำงานอยู่ในช่วงอิ่มตัว(Saturation region) วงจรถ่ายเลื่อนเฟส M₁ - M₂ , ร่วมกับตัวเก็บประจุ C₁ , ทำหน้าที่เป็นวงจรถ่ายความถี่ต่ำ(Low

แทนค่า สมการ (8) ลงในสมการที่ (9) เมื่อ $I_{out} = I_{out1} = I_{out2}$ จะได้

$$\therefore I_c' = \frac{I_c^2}{2\beta_n V_{gs}^2} \quad (10)$$

จากสมการที่ (10) จะเห็นว่ากระแส خروجของวงจรในรูปที่ 2 แปรผันตรงกับกระแส I_c' และแปรผกผันกับค่า K_p ดังนั้นเมื่อนำมาจกรในรูปที่ 2 มาประกอบกับวงจรในรูปที่ 1 โดยกำหนดให้ $I_c = I_c'$ และ $\beta_n = \beta_{n1} = \beta_n$ จะได้ว่าวงจรเลื่อนเฟสที่ไม่ขึ้นกับ K_p โดยมีค่าการเลื่อนเฟสคือ

$$\theta = -2 \tan^{-1} \left(\frac{\pi f C_1 V_{gs}}{I_c} \right) \quad (11)$$

3. ผลการเขียนแบบการทำงานของวงจร

เพื่อทดสอบสมรรถนะการทำงานของวงจรเลื่อนเฟสสำหรับสัญญาณกระแสที่ได้มีขนาด ได้ใช้โปรแกรม PSPICE เขียนแบบการทำงานของวงจร โดยใช้โมเดลทรานซิสเตอร์เทคโนโลยี 0.5 μm , $V_{DD} = -V_{SS} = 2.4\text{V}$, $V_A = -1\text{V}$, $V_B = 0.3\text{V}$, $C_1 = 30\text{pF}$ และกำหนดอัตราส่วนความกว้างต่อความยาวแชนแนล(W/L)ของทรานซิสเตอร์แต่ละตัวดังที่แสดงในตารางที่ 1

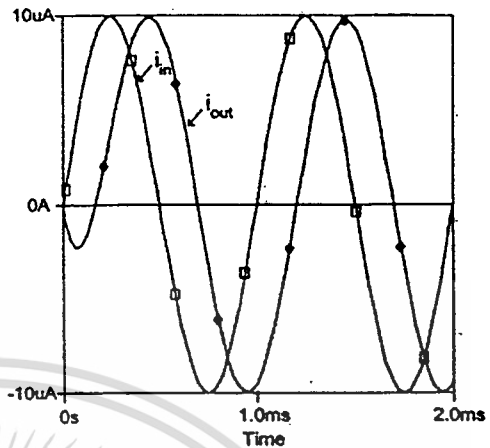
ทรานซิสเตอร์	ค่า (W/L)
M_1 - M_2 , M_{11} - M_{12} , M_{21} - M_{22}	16/8 $\mu\text{m}/\mu\text{m}$
M_{13} , M_{14} , M_{23} - M_{24} , M_{31}	32/8 $\mu\text{m}/\mu\text{m}$
M_{32} - M_{33}	8/8 $\mu\text{m}/\mu\text{m}$

ตารางที่ 1 อัตราส่วนความกว้างต่อความยาวแชนแนล(W/L)

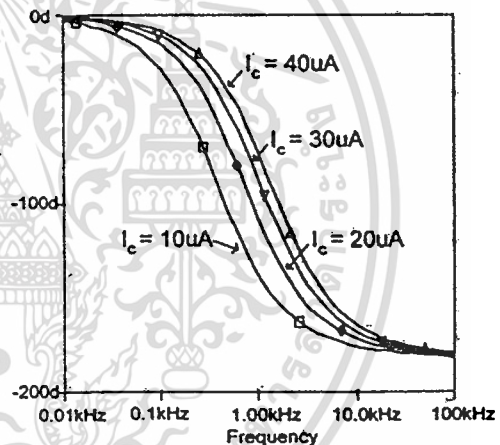
ในรูปที่ 3-5 แสดงผลการเขียนแบบการทำงานของวงจรโคธที่ในรูปที่ 3 แสดงผลการทำงานเมื่อ I_c เป็นกระแสเคลื่อนที่ขนาด $10\mu\text{A}$ ความถี่ 1kHz และกำหนด $I_c = 40\mu\text{A}$ รูปที่ 4 แสดงการเลื่อนเฟสที่ความถี่และกระแสควบคุม (I_c) ค่าต่างๆ เมื่อ I_c เป็นสัญญาณกระแสขนาด $10\mu\text{A}$ ในรูปที่ 5 แสดงผลตอบสนองต่อความถี่ที่ความถี่ต่างๆ โดยเปรียบเทียบกับการทำงานของวงจรในรูปที่ 1 ระหว่างการให้และไม่ให้วงจรชดเชยค่า K_p ในรูปที่ 2 ($I_c = I_c' = 97\mu\text{A}$)

จากผลเขียนแบบการทำงานจะเห็นได้ว่าวงจรเลื่อนเฟสที่ได้มีขนาดสามารถควบคุมการเลื่อนเฟสได้โดยการปรับค่ากระแสควบคุม และเมื่อใช้วงจรในรูปที่ 1 ทำงานร่วมกับวงจรในรูปที่ 2 ทำให้การนำไปประยุกต์ใช้งานสามารถทำได้ง่ายขึ้น เช่น การนำไปทำงานร่วมกับวงจร

เปลี่ยนความถี่เป็นกระแสสำหรับการทำงานชดเชยค่าความถี่ นอกจากนี้ยังสามารถลดผลของอุณหภูมิขึ้นเนื่องมาจากพารามิเตอร์ K_p ลงได้



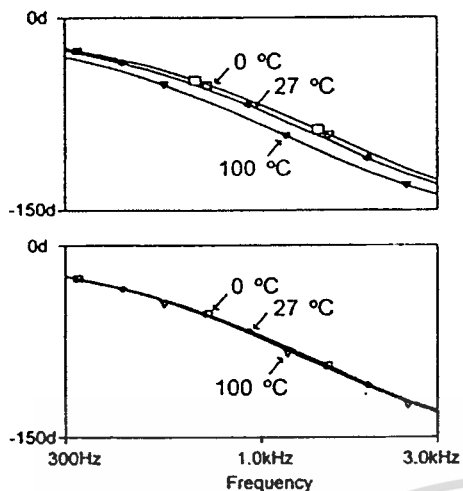
รูปที่ 3 ผลการทำงานเมื่อ I_c เป็นกระแสเคลื่อนที่ขนาด $10\mu\text{A}$ ความถี่ 1kHz และกำหนด $I_c = 40\mu\text{A}$



รูปที่ 4 การเลื่อนเฟสของสัญญาณที่ความถี่และกระแสควบคุมต่างๆ

4. สรุป

วงจรเลื่อนเฟสที่ได้มีขนาดเป็นกรรออกแบบโดยอาศัยคุณสมบัติการทำงานของมอดูลทรานซิสเตอร์ในรูปแบบของวงจรรวมเป็นหัด จากผลการเขียนแบบการทำงานของวงจรแสดงให้เห็นว่า มีคุณสมบัติเป็นไปคนหลักการทำงานที่ได้มีขนาดคือ สามารถควบคุมได้ด้วยวิธีทางอิเล็กทรอนิกส์ และสามารถลดผลของอุณหภูมิขึ้นเนื่องมาจากพารามิเตอร์ K_p ลงได้



รูปที่ 5 ผลตอบสนองต่ออุณหภูมิที่ความถี่ 300 Hz – 3kHz (รูปบน) ไม่ได้ใช้วงจรชดเชยค่า K'p ต่อร่วม (รูปล่าง) ใช้วงจรชดเชยค่า K'p ต่อร่วม

[5] T.Tsukutani, M.Ishida, S.Tsuiki and Y.Fukui, "Versatile current mode biquad filter using multiple current output OTA", INT.J. Electronics, vol 80, no.4, pp.533-541, 1996.

[6] S.Pookaiyaudom, K.Djhan and C.Watanachaipteep, "An Integrable Electronically Variable Phase Shifter", Proceeding of the IEEE, vol.67, no.1, 1979.

[7] S.Pookaiyaudom, K.Samootrut, "A Differential-current electronically-Variable Current-Mirror Phase-Shifter", INT.J. Electronics, vol.65, no.1, pp.130-136, 1988.

[8] Weixin Gai, Hongyi Chen and E.Seevinck, "Quadratic-Translinear CMOS multiplier-divider circuit", Electronics Letters, vol.33, no.10, pp.860-861, 1997.

[9] E.Seevinck, "Advanced Analog Circuit Design", Kluwer Academic Publishers, Dordrecht, 1997.

5. กิตติกรรมประกาศ

ขอขอบคุณสำนักงานพัฒนาวิทยาศาสตร์และเทคโนโลยีแห่งชาติ(สวทช) ภายใต้โครงการส่งเสริมวิชาชีพนักวิจัย ประเภทรางวัลพัฒนาวิชาชีพนักวิจัย และศูนย์เทคโนโลยีอิเล็กทรอนิกส์และคอมพิวเตอร์แห่งชาติภายใต้โครงการการออกแบบวงจรรวมขนาดใหญ่มาก และ Japan International Cooperation Agency (JICA) ที่ได้ให้ทุนและเครื่องมือสนับสนุนในการทำวิจัย

เอกสารอ้างอิง

[1] R. Boylestad and L. Nashelsky, Electronic Devices and Circuit Theory, Prentice Hall, pp.759-762, 1992

[2] A.M. Soliman, "Generation of Current Conveyor-Based All-Pass Filter From Op Amp-Based Circuit", IEEE Transaction on Circuit and System Analog and Digital Signal Processing, vol.44, no 4, 1997.

[3] C.A. Karynakas and G. A. Michalitsis, "A Circuit for Constant Phase Shift Using a Narrow Pulse Duty Cycle All-Pass Filter", IEEE Transaction on Instrumentation and Measurement, vol.39, no.4, 1990

เจ. อนุวัตร เวชวิทศิริ, วิภา แสงพิสมัย, ปราโมทย์ วัฒนชัย และ วิวัฒน์ วิมลนทร์ "วงจรเก็บพัลส์และ วงจรถอดสัญญาณที่รวมกันได้ด้วยวิธีการแบบใหม่" การประชุมวิชาการวชิราลงกรณ์ครั้งที่ 20, 2540



การประชุมทางวิชาการของมหาวิทยาลัยเกษตรศาสตร์
ครั้งที่ 39

The 39th Kasetsart University Annual Conference

บทคัดย่อ
Abstract

5-7 กุมภาพันธ์ 2544

5-7 February 2001

จัดโดย

มหาวิทยาลัยเกษตรศาสตร์

ร่วมกับ

กระทรวงศึกษาธิการ

กระทรวงเกษตรและสหกรณ์

กระทรวงวิทยาศาสตร์และเทคโนโลยีและสิ่งแวดล้อม

ทบวงมหาวิทยาลัย



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

43.	การชดเชยผลของอุณหภูมิในวงจรขยายโอเพนโพลแบบซีมอส และการประยุกต์ใช้งาน.....	321
	Temperature compensation of CMOS OTA and it's application โดย ชาศรี สัมภีระ อนุชา แก้วพูลสุข ชวิชัย คำศรี ธิภาพวรรณ แซ่ลี และวันชัย ธีวรุจ	
44.	การศึกษาดักจับอนุภาคขนาดเล็กโดยใช้เครื่องจับฝุ่นแบบเปียกชนิด Baffle Plate.....	328
	Removal of fine particle from air by baffle plate scrubber โดย คารณ จันทร์อำภากุล และวิทยา เทพไพฑูริย์	
45.	ระบบผสมผสานแบบใหม่เพื่อผลิตน้ำร้อนและปรับอากาศโดยใช้พลังงานแสงอาทิตย์ร่วมกับ เทอร์โมอิเล็กทริก.....	338
	A new hybrid solar-thermoelectric for domestic hot water and air-conditioning โดย ลมชาย มณีวรรณ โจเซฟ เกลารี นริส ประทีนทอง และจจจิตรี ธีรฤตยา	
46.	โพลีไดโอดแบบรอยต่อเนื้อสารต่างชนิดกันของฟิล์มเพชรชนิดพีและซิลิคอนชนิดเอ็น.....	344
	Heterojunction photodiode between p-type diamond/n-type silicon structure โดย สภาพร ปรีชเจริญวินัย นิรุช ปิ่นเกตุ ภกวัต สวายสุวรรณ และวิสุทธิ์ ฐิติรุ่งเรือง	
47.	การศึกษาคุณสมบัติของรอยต่อโจเซฟสันชนิดบริดจ์ของสารตัวนำไฟฟ้ายิ่งยวดอุณหภูมิสูง.....	352
	A study of high-Tc superconducting bridge Josephson Junctions properties โดย โมติภร สระทองรอด สภาพร ปรีชเจริญวินัย และวิสุทธิ์ ฐิติรุ่งเรือง	
48.	การศึกษาความเค้นไหลของอะลูมิเนียม เจือ AA6063 ที่อุณหภูมิสูง.....	359
	T ₁ study of flow stress for AA6063 Aluminum alloy at elevated temperature โดย จิลลิก ศรีประไพ	
49.	สมรรถนะระบบเก็บรักษาพลังงานความร้อนโดยอาศัยการถ่ายเทความร้อนแบบสัมผัสโดยตรง.....	368
	Performance of a direct-contact thermal energy storage โดย ทวีวัฒน์ สุภารัตน์ และทนงเกียรติ เกียรติศิริโรจน์	
50.	การพัฒนาต้นแบบเครื่องยนต์กังหันก๊าซขนาดเล็ก.....	374
	Prototype development of small gas turbine โดย สัมพันธ์ ไชยเทพ กฤษณ์ วารโรจน์ ก่อเกียรติ คำสุข ประภัสสร อนุชิตชาญชัย และปรีชา บุญยะนันท์	

ภาคโปสเตอร์ Poster Presentation

1. ผลกระทบจากผู้ใช้อินเทอร์เน็ตที่มีต่อโครงข่ายโทรศัพท์พื้นฐานในประเทศไทย.....
- Effect of internet users on public switching telephone network in Thailand
โดย คชา สุวรรณวัฒน์ ยุทธพงษ์ รั้งสรรพศิริ สิริระ โลภภิญโญ
สรญา ไพจิตร และพีระพงษ์ อูจารสกุล
2. ชุดฝึกพิมพ์สำหรับคนตาบอดและชุดพัฒนาระบบ.....
- Blinds-typing training set and its developing set
โดย สมจิต จรัสกิจวิทย์กุล และพลผล ผดุงกุล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การชดเชยผลของอุณหภูมิในวงจรขยายโอทีเอแบบซีมอส และการประยุกต์ใช้งาน

Temperature Compensation of CMOS OTA and It's Application

ชาติวี คิมทีระ² อนุชา แก้วพูนสุข² ธวัชชัย คำศรี² ธิภาพรรณ แซ่ลี¹ และ วันชัย วีรวัจน์¹
Tatree Kompeera², Anucha Keewpoonsuk², Thawatchai Kamser², Tipapan Lee², and Vanchal Ritwongja¹

บทคัดย่อ

บทความนี้เป็นงานนำเสนอ หลักการออกแบบวงจรชดเชยผลของอุณหภูมิในวงจรขยายโอทีเอแบบซีมอส (CMOS-based Operational Transconductance Amplifier) โดยวงจรที่ได้พัฒนาขึ้นเป็นการอาศัยคุณสมบัติของ วงจรทรานส์ดีไลน์าร์แบบซีมอสเพื่อสังเคราะห์ค่ากระแสไบอัสที่ค่าคงที่กับผลของอุณหภูมิ และเมื่อนำวงจรดังกล่าวนี้ไปใช้เป็นแหล่งจ่ายกระแสไบอัสให้กับวงจรโอทีเอแบบซีมอส จะเป็นการชดเชยผลของอุณหภูมิที่เกิดขึ้นกับวงจรโอทีเอ นอกจากนี้ยังเป็นการทำให้ค่าความไวของวงจรโอทีเอมีค่าที่เป็นเชิงเส้นกับกระแสควบคุมด้วย เพื่อเป็นการยืนยันถึงสมรรถนะของวงจรที่ได้นำเสนอ ได้ใช้โปรแกรม PSPICE เขียนแบบการทำงานของวงจร

ABSTRACT

In this article, a simple integrable circuit for implementing a temperature compensation circuit for CMOS OTA is introduced. The proposed circuit makes use of a CMOS translinear principle to provide a bias current for OTA, which is inversely proportional to the absolute temperature. As applied with CMOS OTA, the temperature sensitivity of the OTA is compensated and the transconductance gain can also be changed linearly with the bias current. Performance of the scheme is confirmed through PSPICE simulation results.

คำนำ

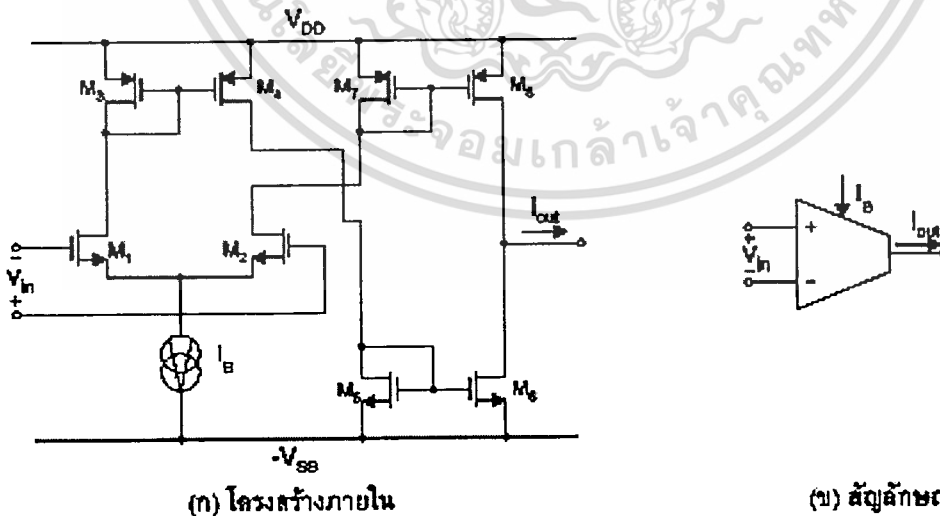
ปัจจุบันการออกแบบวงจรในรูปของวงจรรวม (Integrated Circuits) โดยใช้เทคโนโลยีทรานซิสเตอร์แบบซิมอสกำลังได้รับความนิยมและสนใจมากขึ้น เนื่องจากมีขั้นตอนการผลิตและการใช้พื้นที่บนชิปน้อยกว่าเมื่อเปรียบเทียบกับเทคโนโลยีแบบไบโพลาร์ ซึ่งทำให้มีต้นทุนที่ใช้ในการผลิตต่ำกว่ารวมทั้งเมื่อนำไปใช้งานยังใช้กำลังงานต่ำกว่าด้วย ดังจะเห็นได้จากการที่ในปัจจุบันมีผู้นำเสนอการออกแบบวงจรโดยใช้เทคโนโลยีทรานซิสเตอร์แบบซิมอสเพื่อการจัดการและการประมวลผลสัญญาณต่างๆ เป็นจำนวนมาก รวมทั้งการออกแบบเพื่อเป็นอุปกรณ์มาตรฐาน เช่น วงจรออปแอมป์ (Operational Amplifier) วงจรสายพานกระแส (Current Conveyor) และวงจรโอทีเอ (Operational Transconductance Amplifier) เป็นต้น ในส่วนของวงจรโอทีเอนั้นเป็นวงจรที่ให้เอาต์พุตเป็นสัญญาณกระแสที่แปรผันกับความแตกต่างของศักดาอินพุตที่จุดเข้าทั้งสอง โดยมีค่าอัตราขยายของวงจรคือค่าความนำ (G_m) โครงสร้างภายในและสัญลักษณ์ของวงจรโอทีเอแบบพื้นฐานโดยใช้เทคโนโลยีแบบซิมอส (Greenlech 1997) แสดงดังรูปที่ 1 โดยมีสมการแสดงความสัมพันธ์ดังนี้คือ

$$i_{out} = G_m v_{in} \quad (1)$$

และ

$$G_m = \frac{I_B}{R_m} = \sqrt{\frac{K'_n W_1 I_B}{L}} \quad (2)$$

เมื่อ R_m คือ ค่าความต้านทานที่เป็นส่วนกลับของค่าความนำ G_m , I_B คือ ค่ากระแสไบอัส, K_p คือ ค่าทรานส์คอนดักแตนซ์ (Transconductance Parameter) ของทรานซิสเตอร์, W และ L คือ ความกว้าง และความยาวแชนแนลของทรานซิสเตอร์ M_1 ตามลำดับ



รูปที่ 1 วงจรซิมอสโอทีเอแบบพื้นฐาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากสมการที่ (1) และ (2) จะเห็นได้ว่าค่าความนำ (G_m) ของวงจโรทีโอ สามารถปรับได้ด้วยวิธีทางอิเล็กทรอนิกส์โดยการปรับค่ากระแสไบอัส I_B ดังนั้นจึงได้มีการนำวงจโรทีโอไปประยุกต์ใช้ในการออกแบบวงจรเพื่อสังเคราะห์ฟังก์ชันต่างๆ เป็นจำนวนมากทั้งฟังก์ชันที่เป็นเชิงเส้นและที่ไม่เป็นเชิงเส้น (Geiger and Sanchez-Sinencio 1985, Sanchez-Sinencio et al 1989 and Inoue, Ueno, Motomura, Setoguchi and Matsuo 1991) เช่น ใช้เป็นวงจรแปลงสัญญาณแรงดันเป็นสัญญาณกระแส วงจรสังเคราะห์ค่าความต้านทาน และฟังก์ชันทางคณิตศาสตร์ต่างๆ วงจรหาค่าต่ำสุดและค่าสูงสุด หรือใช้ในการออกแบบเป็นวงจรกรองสัญญาณเป็นต้น จุดเด่นอีกประการหนึ่งของวงจโรทีโอคือมีแถบความถี่ใช้งานที่กว้างไม่ขึ้นกับค่าอัตราขยายของวงจร แต่จากสมการที่ (2) จะเห็นว่าค่าความนำวงจโรทีโอแบบซิมอสไม่ได้เป็นค่าที่เป็นเชิงเส้นกับกระแสไบอัส I_B แต่จะคิดอยู่ในรูปของค่ารากที่สองของกระแส I_B นอกจากนี้ยังขึ้นกับค่าพารามิเตอร์ความนำ K_p ของมอสทรานซิสเตอร์ ซึ่งจะทำให้กระแสเกาท์พิกของวงจโรทีโอขึ้นอยู่กับผลของอุณหภูมิอันเนื่องมาจากพารามิเตอร์ K_p ด้วย บทความนี้จะได้นำเสนองานวิจัยการออกแบบวงจรเพื่อปรับปรุงค่าความนำของวงจโรทีโอแบบซิมอส โดยการชดเชยผลของอุณหภูมิอันเนื่องมาจากพารามิเตอร์ K_p และการทำให้ค่าความนำของวงจโรทีโอเป็นเชิงเส้นกับกระแสไบอัส พร้อมทั้งได้นำเสนอตัวอย่างการนำไปประยุกต์ใช้งานและการเปรียบเทียบระหว่างการใช่และไม่ใช้วงจรถดเชยผลของอุณหภูมิที่ได้ทำการพัฒนาต่อรวม

ทฤษฎีและหลักการทำงานของวงจร

ในรูปที่ 2 แสดงวงจรถดเชยผลของอุณหภูมิที่ได้พัฒนาขึ้น โดยถือว่าทรานซิสเตอร์ทุกตัวมีความสมพียงกันและมีการทำงานอยู่ในช่วงอิมพั การทำงานของวงจรถดเชยได้ดังนี้คือ กำหนดให้ศักดาที่ขาเกตของทรานซิสเตอร์ M_1, M_2 เท่ากับ $V_{T1} + V_{DS}$, $V_{T2} - V_{DS}$ และ V_{T2} ตามลำดับ วงจรสะท้อนกระแส $M_1 - M_2$ มีอัตราการสะท้อนกระแสเท่ากับ 1 ซึ่งจะได้ความสัมพันธ์ดังนี้

$$I_{D1} = I_{D2} = I_{D1} + I_{D2} \quad (3)$$

$$I_{D1} = \beta_{M1} (V_{T1} + V_{DS} - V_{T1} - V_{DS})^2 + \beta_{M2} (V_{T2} - V_{DS} - V_{T2} - V_{DS})^2 \quad (4)$$

และ $I_{D1} = \beta_{M2} (V_{T2} - V_{DS} - V_{T2})^2 \quad (5)$

เมื่อ V_{T1} คือ ค่าศักดาวิกฤติ (Threshold Voltage) ของมอสทรานซิสเตอร์ และค่า β_i คือ

$$\beta_{M1} = \left(\frac{K'_p W}{2L} \right)_{M1} = \left(\frac{\mu_p C_{ox} W}{2L} \right)_{M1} \quad (6)$$

จากสมการที่ (4)-(6) กำหนดให้และ $\beta_{M1} = 2\beta_{M1} = 2\beta_{M2}$ จะได้กระแสตรงของ M_2 คือ

$$I_{D1} = I_{D2} - I_{D1} \quad (7)$$

$$I_{D1} = \left(\frac{K'_p W}{L} \right)_{M1} V_{DS}^2$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

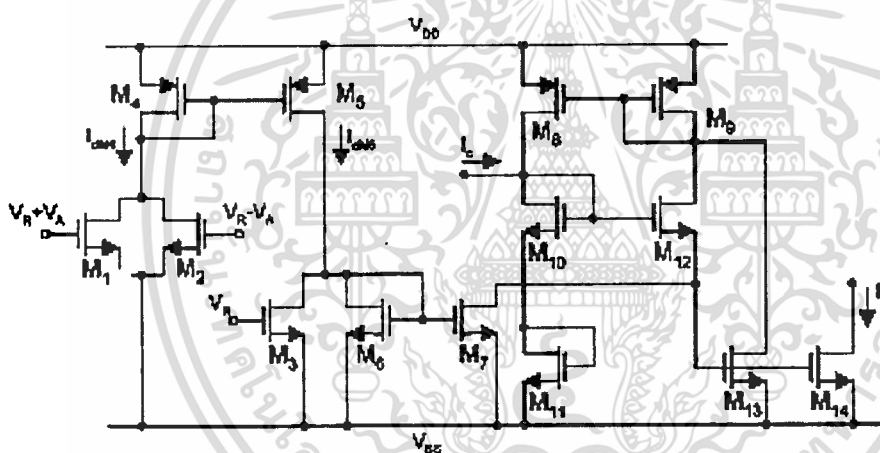
จากวงจรในรูปที่ 2 พิจารณาที่ M_{10} - M_{13} ศึกษาลักษณะการทรานส์คอนดักชันแบบซิมอส (Groenelch 1997) โดยกำหนดให้วงจรสะท้อนกระแส M_8 - M_9 มีอัตรากระแสสะท้อนกระแสเท่ากับ 1 ซึ่งจะได้

$$V_{gs10} + V_{gs11} = V_{gs8} + V_{gs9} \quad (8)$$

โดยที่
$$V_{gs} = V_{th} + \sqrt{\frac{I_{dc}}{\gamma\beta_{eff}}} \quad (9)$$

และ
$$I_{ds10} = I_{ds11} = I_{ds8} \quad (10)$$

$$I_{ds10} = I_{ds11} = I_c + I_{ds12} = I_c + I_{ds10} + I_{ds13} \quad (11)$$



รูปที่ 2 วงจรขดขยผลของจุดพหุุมิตที่ไดัพัฒนาศึน

แทนค่าสมการที่ (9)-(11) ลงในสมการที่ (8) โดยกำหนดให้ $\beta_{M10} = \beta_{M11} = 4\beta_{M12} = 4\beta_{M13}$ จะไดั

$$I_{ds10} = \frac{I_c}{4} \quad (12)$$

จากสมการที่ (12) เนื่องจากคักคาคคครอมขยเกทกับขอสของ M_{12} และ M_{14} ค้ยร่วมนกันคังนึ้นนือ กกำหนดให้ $\beta_{M14} = 4\beta_{M12}$ และทกการแทนค่าสมการที่ (7) ลงในสมการที่ (12) จะค้ยไดักรนสที่จุดออกขของวงจ $I_c = I_{ds14}$ เทกกับ

$$I_b = \frac{I_c}{\left(K_p \frac{W}{L}\right)_{M_1}} V_{A_1} \quad (13)$$

จากสมการที่ (13) จะเห็นว่ากระแสเอาท์พุทของวงจรรูปที่ 2 แปรผันตรงกับค่ากระแส I_c และแปรผกผันกับค่าพารามิเตอร์ความนำของมอสทรานซิสเตอร์ (K_p) ซึ่งเมื่อนำวงจรรูปดังกล่าวนี้ไปใช้เป็นแหล่งจ่ายกระแสไบอัสให้กับวงจโรทีเอในรูปที่ 1 จะได้ค่าความนำของวงจโรทีเอใหม่คือ

$$G_{m(new)} = \frac{I_c}{V_A} \sqrt{\left(\frac{W}{L}\right)_{M_1} \left(\frac{L}{W}\right)_{M_2}} \quad (14)$$

เมื่อ $(W/L)_{M_1}$ คือ อัตราส่วนความกว้างต่อความยาวแชนแนลของ M_1 ในวงจโรทีเอ(รูปที่ 1)

$(L/W)_{M_2}$ คือ อัตราส่วนความยาวต่อความกว้างแชนแนลของ M_2 ในวงจรรวมผลของอุณหภูมิต่างกัน (รูปที่ 2)

ผลการเลียนแบบการทำงานของวงจรรวม

ในการทดสอบสมรรถนะของวงจรรวมที่ได้นำเสนอ ได้ใช้โปรแกรม PSPICE เลียนแบบการทำงานของวงจรรวมโดยได้ยกตัวอย่างการนำวงจโรทีเอในรูปที่ 1 มาคือเป็นวงจรรวมเปลี่ยนทิศทางเป็นกระแส วงจรรวมแบบค่าความต้านทานแบบลอยตัว และวงจรรวมความถี่สูงผ่าน ดังแสดงในรูปที่ 3(ก), 4(ก) และ 5(ก) ตามลำดับ โดยมีการกำหนดค่าพารามิเตอร์ต่างๆ ดังนี้คือ $V_{DD} = -V_{SS} = 2.5V$, $V_R = -1.0V$, $V_A = 0.5V$, $R_L = 1k\Omega$ และ $C_1 = 10nF$ สำหรับค่าอัตราส่วน W/L ของทรานซิสเตอร์ในวงจโรทีเอ (รูปที่ 1) และวงจรรวมผลของอุณหภูมิต่างกัน (รูปที่ 2) แสดงดังตารางที่ 1 และ 2 ตามลำดับ ในรูปที่ 3(ข) และ 3(ค) เป็นผลการทดสอบเปรียบเทียบค่าความนำของวงจรรวมรูปที่ 3(ก) ระหว่างการใช้และไม่ใช้วงจรรวมรูปที่ 2 ต่อร่วมโดยการกำหนดค่า $V_{in} = 10mV$ ในรูปที่ 3(ข) เป็นผลจากการแปรค่ากระแสไบอัส I_b (วงจรรวมอทีเอแบบคั้งเดิม) และ I_c (ใช้วงจรรวมรูปที่ 2 ต่อร่วม) โดยกำหนดให้ $I_b = I_c$ แปรค่าจาก $0-90\mu A$ ซึ่งจะเห็นได้ว่ากรณีที่นำใช้วงจรรวมรูปที่ 2 ต่อร่วมค่าความนำของวงจรรวมจะแปรผันกับค่าความนำของกระแสไบอัส I_b และเมื่อใช้วงจรรวมรูปที่ 2 ต่อร่วมค่าความนำของวงจรรวมจะแปรผันตรงกับค่ากระแสไบอัส I_c แต่ก็จะมีความผิดพลาดอยู่บ้างในช่วง $I_c < 10\mu A$ ในรูปที่ 3(ค) แสดงผลจากการแปรค่าอุณหภูมิตั้งแต่ $0-100^\circ C$ โดยกำหนดค่า $I_b = I_c = I_c = 44.925\mu A$ รูปที่ 4(ข) เป็นผลการทดสอบการทำงานของวงจรรวมวงจรรวมรูปที่ 4(ก) โดยกำหนดค่า $V_2 = 0V$, $I_b = I_c = 44.925\mu A$ ที่อุณหภูมิต่างกัน $0^\circ C$, $27^\circ C$ และ $100^\circ C$ และทำการแปรค่าศักดา V_1 ตั้งแต่ $0-0.5V$ ในรูปที่ 5(ข) เป็นผลการทดสอบการทำงานของวงจรรวมวงจรรวมรูปที่ 5(ก) โดยกำหนดค่า V_{in} เป็นสัญญาณกระแสแอสลับขนาด $10mV$, $I_b = I_c = 44.925\mu A$ ที่อุณหภูมิต่างกัน $0^\circ C$, $27^\circ C$ และ $100^\circ C$ และทำการแปรค่าความถี่ตั้งแต่ $100Hz-100kHz$ จากผลการเลียนแบบการทำงานของวงจรรวมตั้งแต่ในรูปที่ 3(ข)-5(ข) จะเห็นได้ว่าเมื่อนำใช้วงจรรวมรูปที่ 2 ต่อร่วมจะสามารถลดผลของอุณหภูมิต่างกันกับวงจรรวมอทีเอแบบคั้งเดิมได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

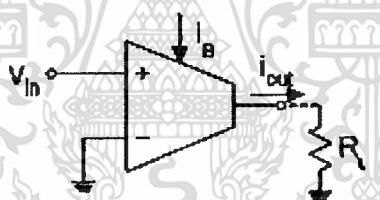
สาขาวิศวกรรมศาสตร์

ทรานซิสเตอร์	ค่า W/L ($\mu\text{m}/\mu\text{m}$)
M_1 - M_2 , M_6 - M_9	6/5
M_3 - M_4	10/5
M_7 - M_8	10/6

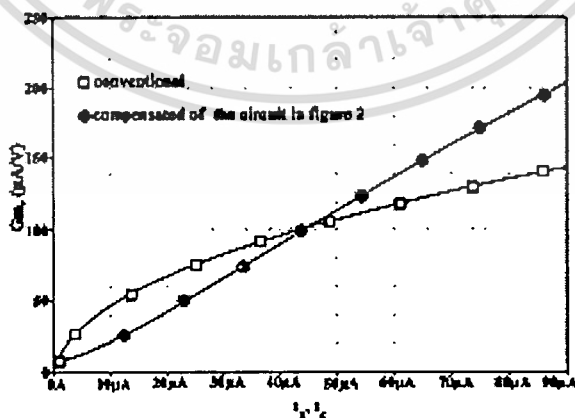
ตารางที่ 1 อัตราส่วน W/L ของทรานซิสเตอร์ในวงจรซีมอสโอดีเอ (รูปที่ 1)

ทรานซิสเตอร์	ค่า W/L ($\mu\text{m}/\mu\text{m}$)
M_1 - M_2	6/5
M_3	12/5
M_4 - M_5 , M_8 - M_9	10/5
M_6 - M_7	12/10
M_{10} - M_{11} , M_{14}	28/5
M_{12} - M_{13}	7/5

ตารางที่ 2 อัตราส่วน W/L ของทรานซิสเตอร์ในวงจรชดเชยผลของอุณหภูมิ (รูปที่ 2)

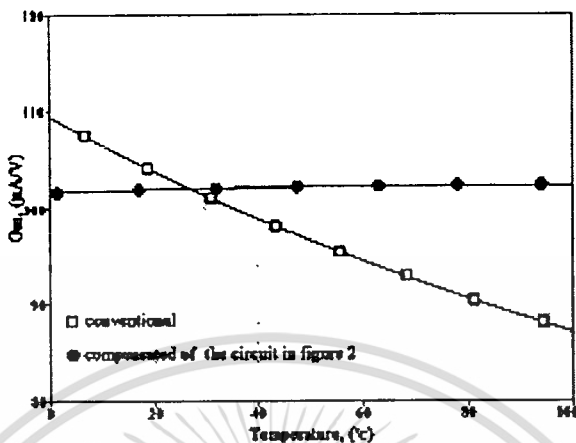


รูปที่ 3(ก) วงจรเปลี่ยนศักดาเป็นกระแส

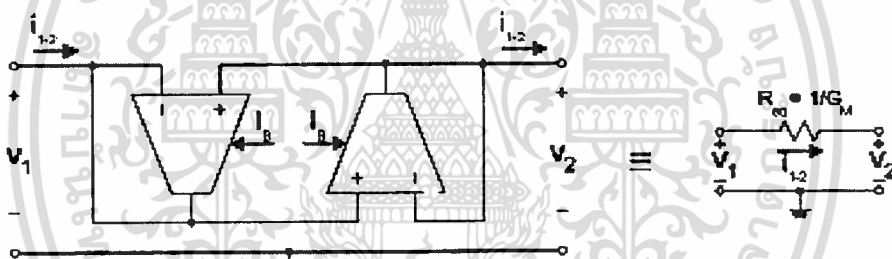
รูปที่ 3(ข) ผลการแปรค่ากระแสไบอัส I_B และ I_C

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

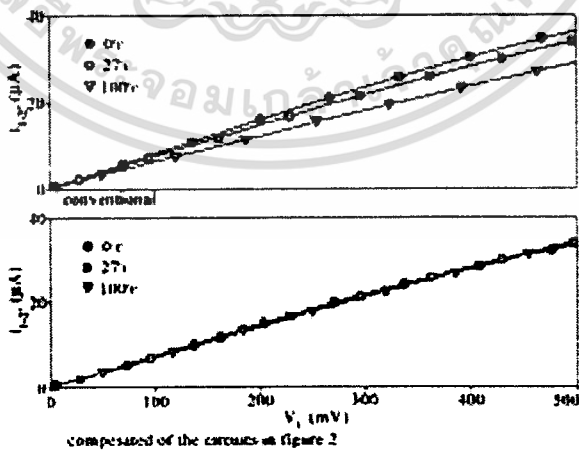
สาขาวิศวกรรมศาสตร์



รูปที่ 3(ค) ผลการแปรค่าอุณหภูมิ

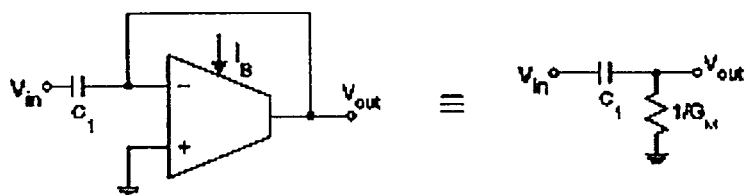


รูปที่ 4(ก) วงจรเลียนแบบค่าความต้านทานแบบลอยตัว

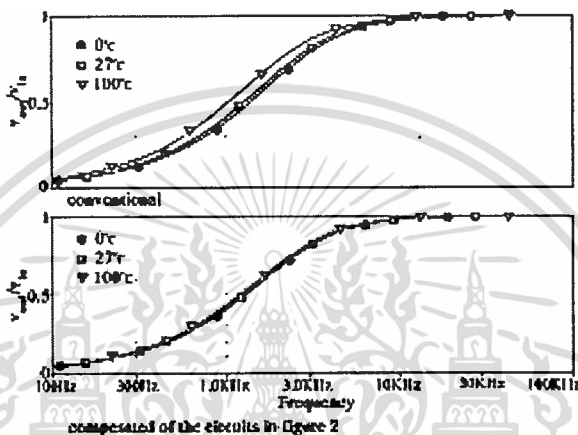


รูปที่ 4(ข) ผลการแปรค่าศักดา V_1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5(ก) วงจรกรองความถี่สูงผ่าน



รูปที่ 5(ข) ผลการแปรค่าความถี่

สรุป

บทความนี้เป็นการนำเสนอการออกแบบวงจรออกแบบวงจรเพื่อปรับปรุงค่าความนำ (G_m) ของวงจรขยายโอทีเอแบบซีมอส ซึ่งเมื่อนำวงจรดังกล่าวนี้ไปใช้เป็นตัวส่งจ่ายกระแสไบอัสให้กับวงจรโอทีเอแบบซีมอส จะสามารถลดผลของอุณหภูมิขึ้นเนื่องมาจากพารามิเตอร์ความนำ (K_p) ของมอสทรานซิสเตอร์ และยังเป็นการทำให้ค่าความนำของ วงจรโอทีเอสามารถควบคุมได้ด้วยวิธีทางอิเล็กทรอนิกส์อย่างเป็นจริงเสถียรกับค่ากระแสควบคุม

เอกสารอ้างอิง

Edwin W. Greeneich, 1997. CMOS Transconductance Amplifier. Analog Integrated Circuits, 191-194.
 Randall L. Geiger and Edgar Sanchez-Sinencio. 1985. Active Filter Design Using Operational Transconductance Amplifier: A Tutorial. IEEE Circuits and Devices Magazine, 1:20-32.
 Edgar Sanchez-Sinencio, Jaime Ramirez-Angulo, Bernab'e Linares-Barranco and Angel Rodriguez-V'zquez. 1989. Operational Transconductance Amplifier-Based Nonlinear Function Syntheses. IEEE Journal of Solid State Circuits, 24:1576-1989.
 T. Inoue, F. Ueno, T. Motomura, O. Setoguchi and R. Matsuo. 1991. New High-Speed Analogue Max and Min Circuits Using OTA-Based Bounded-Difference Operations, Electronics Letters, 27: 1034-1035.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

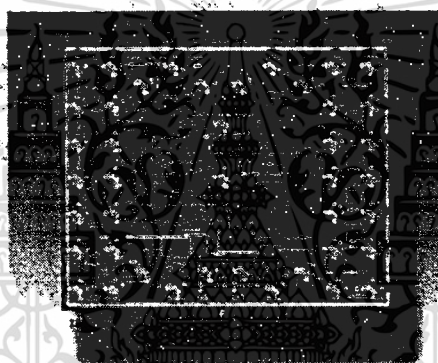
ISIC-2001

9th International Symposium on
Integrated Circuits, Devices & Systems

3 -5 September 2001
Marina Mandarin, Singapore

PROCEEDINGS

Low Power and Low Voltage Integrated Systems



Organised by:
**Nanyang Technological University
School of Electrical and Electronic Engineering**

Supported by:
**IEEE Singapore Section
IEE Singapore Centre
Singapore Exhibition & Convention Bureau**

Sponsored by:
Celestry Design Technologies (former BTA-Ultima)

Nanyang
Technological University



celestry

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

IC II	Integrated Circuits II: Switch Capacitor and Current Mode Circuits	
	Versatile Current-mode Bi-quadratic Circuit Using Dual Current Output OTAs	
	Tsukutani T./Higashimura M./Sumi Y./Fukui Y., Japan	79
	Multiplier and Divider Circuits Based on CMOS Current Controlled Current Conveyors	
	Pancklang J./Mohaweepaisan T./Nunthanawanich W., Thailand	83
	A CMOS Square-Rooting Circuit	
	Chaikla A./Lee T./Ukakitaporn P./Riewruja V./Anantahirunrat K., Thailand	87
	A CMOS Piecewise-Linear Circuit for Nonlinear Function Syntheses	
	Petchmaneeelunka W./Chaikla A./Pannil P./Julpapa A./Riewruja V., Thailand	90
	Temperature Compensation of CMOS Translinear Current Conveyor and OTA	
	Chaikla A./ Julsreeewong P./Petchmaneeelunka W./Kamsri T./Riewruja V., Thailand	94
	Dual Translinear Analog Multiplier	
	Kamsri T./Kaewpoonsuk A./Ukakitaporn P./Riewruja V./Tangsrirat W., Thailand	98



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

A CMOS SQUARE-ROOTING CIRCUIT

Amphawan Chaikla, Tipapan Lee, Prapath Ukakimapan,
Vanchai Riewruja and Kongsak Anantahirumrat

The Faculty of Engineering, King Mongkut's Institute of Technology Ladkrabang,
Ladkrabang, Bangkok 10520, Thailand.
(Tel: 66-2-739-0757; Fax: 66-2-739-0757; E-mail: vanchai@ca.eng.kmitl.ac.th)

Abstract: An integrable circuit technique for implementing square-rooting circuit is presented in this article. The proposed circuit achieves a wide-band capability and can be operated with a low-voltage supply power. The realization method is based on the use of the characteristic of MOS translinear principle and suitable for fabricating in a standard CMOS digital process. The accuracy of the circuit is also high over the entire dynamic range. Simulation results demonstrating the characteristic of the proposed circuit are included.

1. INTRODUCTION

A square-rooting circuit is a useful circuit building block used in analog measurement and instrumentation. Many applications can be found in [1]. In the past, one fundamental approach to realize a square-root function is based on the use of an operational amplifier (op-amp) together with a bipolar transistor to form a log and antilog amplifier [2]. This approach provides the logarithmic principle to realize a square-root function. Another approach is based on the use of op-amps, analog switches and resistor-capacitor time constant. However, the frequency performance achieved by these approaches is limited by the narrow bandwidth of an op-amp topology. Alternatively, an approach based on the characteristic of the translinear configuration of bipolar junction transistors, which is suitable for implementing in monolithic integrated circuit form, has been shown to realize a square-root function [3]. The advantage of this technique is a wide bandwidth due to the circuit operating in current mode. In addition, two approaches have been reported on the realization of a square-root function using MOS transistors. The first approach is based on the use of weak inverted MOS transistor [4]. This approach obtains low power consumption and low voltage operation. In contrast, the accuracy and the frequency performance are limited by the small transconductance value of the weak inverted MOS transistor restriction [5]. The second approach is based on the use of the second-generation current conveyor (CCII) connected with non-saturated MOS transistors and op-amp [6]. The high-frequency limitation of this approach is due to the finite gain

bandwidth product of the op-amp and parasitic capacitances of the non-saturated MOS transistors. Recently, a MOS translinear configuration to realize a square-rooting circuit is introduced in the literature [7]. This approach achieves a high accuracy and wide bandwidth. Unfortunately, this approach requires a high-voltage supply power for its operating which is undesirable for implementing in a standard CMOS digital process. The aim of this article is to propose a CMOS square-rooting circuit that can be implemented in mixed analog-digital circuit on the same chip using a standard CMOS digital process.

2. CIRCUIT DESCRIPTION

Figure 1 shows the basic principle of the square-rooting circuit composed of a MOS translinear configuration formed by transistors M_1 - M_4 .

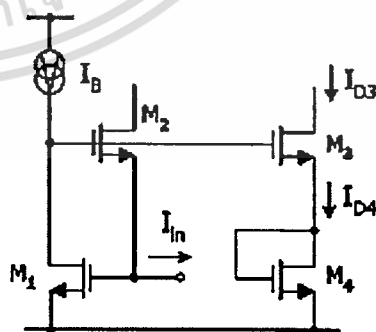


Figure 1. Principle of square-rooting circuit

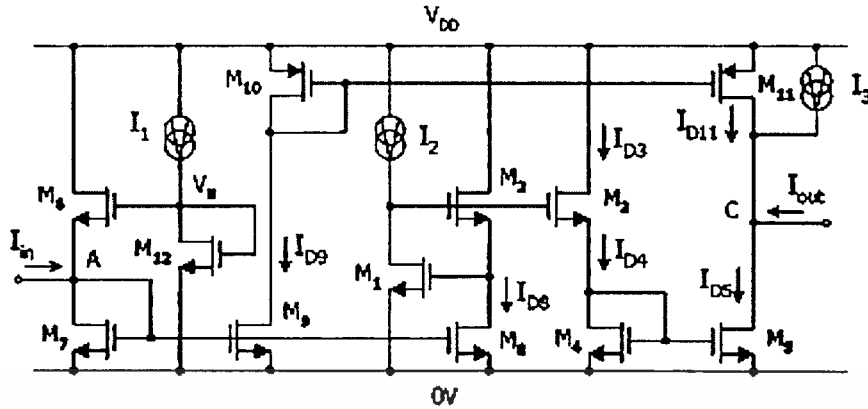


Figure 2. The proposed circuit

The constant current source I_B provides a bias current for the transistors M_1 - M_4 . It is required that the ratio of channel widths and lengths (W/L) of the transistors M_3 - M_4 are equal to four times of the transistors M_1 - M_2 and all transistors operate in their saturation region. If the input signal current I_{in} is applied to the circuit, then the relationship of the current I_{D3} , I_{D4} and I_{in} , since the current I_{D3} and I_{D4} are equal magnitude, can be expressed as

$$I_{D3} = I_{D4} = (I_B + I_{in}) + 2\sqrt{I_B} \sqrt{I_{in}} \quad (1)$$

where I_{D3} and I_{D4} are the drain currents of the transistors M_3 and M_4 , respectively. From equation (1), if the currents I_B and I_{in} in the first term of the right side are compensated, then the result is a square root function of the input current I_{in} .

The proposed square-rooting circuit is shown in figure 2. The transistors M_6 - M_6 and M_{12} function as a negative current limiter. The constant current source I_1 and transistor M_{12} provide the bias voltage V_B which is approximately equal to $2V_T$, where V_T is the threshold voltage of MOS transistor. Therefore, transistors M_6 and M_7 are forced to the edge of conduction by the bias voltage V_B to minimize the crossover distortion. Transistors M_1 - M_4 and M_{10} - M_{11} form a square-rooting cell as shown in figure 1 and unity gain current mirror, respectively. The operation of the proposed circuit can be explained as follow. If the negative input current $I_{in} < 0$ is applied to the circuit, the current I_{in} flows through transistor M_6 , which causes the voltage at node A to decrease and brings transistor M_7 to cutoff. In the

same way, if the positive input current $I_{in} > 0$, the current I_{in} flows through transistor M_7 , which brings transistor M_6 to cutoff. The current mirror M_7 - M_6 forces the current I_{D3} and I_{D4} equal to the current I_{in} . Then the current I_{D3} and I_{D4} can be stated as

$$I_{D3} = I_{D4} = \begin{cases} 0 & I_{in} \leq 0 \\ I_{in} & I_{in} > 0 \end{cases} \quad (2)$$

where I_{D4} is the drain current of the transistor M_4 . The current I_{in} is transferred by the unity gain current mirror M_7 - M_6 to the square-rooting cell. The constant current source I_2 provides the bias current for the square-rooting cell. The current I_{D3} is mirrored by the unity gain current mirror M_9 - M_8 to output node C and the current I_{D3} can be written as

$$I_{D5} = I_2 + I_{in} + 2\sqrt{I_2} \sqrt{I_{in}} \quad (3)$$

At the output node C, the input current I_{in} is reflected by the unity gain current mirror M_{10} - M_{11} to compensate I_{in} in the term of the right side in equation (3). The constant current source I_3 - I_2 provide to eliminate the output current offset. Then the output current I_{out} becomes

$$I_{out} = 2\sqrt{I_2} \sqrt{I_{in}} = G\sqrt{I_{in}} \quad (4)$$

which means that the output current I_{out} is a square-root of the input signal current I_{in} with the current gain equal to G or $2\sqrt{I_2}$.

3. SIMULATION RESULTS

The transfer characteristic and high-frequency response of the proposed circuit were observed using the PSPICE analogue simulation program. The constant current source I_1 and $I_2=I_1$ are set to $10\mu\text{A}$ and $25\mu\text{A}$, respectively and $V_{\text{DD}}=3\text{V}$. The $0.7\mu\text{m}$ CMOS process parameters were used for the circuit simulation. The ratio of channel widths and lengths (W/L) of the devices used in this circuit are as follow: $W_{10}/L_{10}=W_{11}/L_{11}=20\mu\text{m}/1.2\mu\text{m}$, $W_7/L_7=16\mu\text{m}/1.2\mu\text{m}$ and the other devices are set to $4\mu\text{m}/1.2\mu\text{m}$. The DC transfer characteristic of the proposed circuit is shown in figure 3. Figure 4 shows the transient responses for 1MHz triangular wave input signal current. The frequency response of the proposed circuit is shown in figure 5. The bandwidth of about 138MHz is observed. It is evident that the proposed circuit exhibits a high accuracy and wide-band capability.

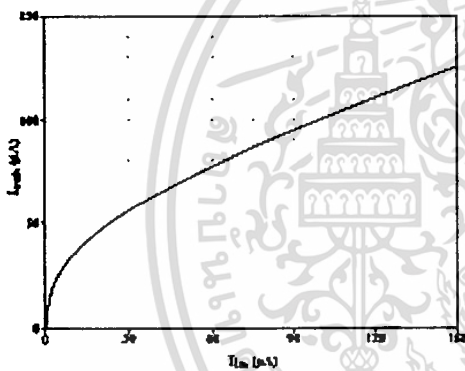


Figure 3. DC transfer characteristic

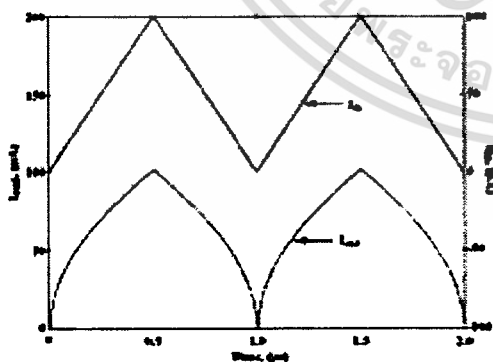


Figure 4. Simulated transient response

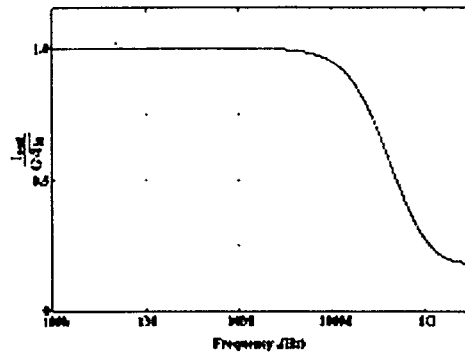


Figure 5. Frequency response of the proposed circuit

4. CONCLUSION

A current-controlled square-rooting circuit has been introduced. The proposed circuit is simple and suitable for implementation in a standard CMOS digital process. The simulation results have shown that the circuit performance is highly accurate over the entire dynamic range.

Acknowledgments

The authors would like to express sincere gratitude to the National Science and Technology Development Agency (NSTDA) and National Electronics and Computer Technology Center (NECTEC) Thailand, for the financial support of this work.

References

- [1] O.E. Doebelin, 'Measurement System: Application and Design', (New York: McGraw Hill), 1990.
- [2] J. Millman and A. Grabel, 'Microelectronics', (New York: McGraw Hill), 1992.
- [3] C. Tomazou, P. A. Lidgley and D. G. High, 'Analogue IC Design: the current-Mode Approach', (London, UK: Pergamon), 1990.
- [4] M. Van Der Gevel and J. C. Koonen, 'A circuit based on novel, back-gate using multiplier', *Electronics Letters*, Vol. 30, pp. 183-184, 1994.
- [5] P. R. Geay and R.G. Mayer, 'Analysis and Design of Analog Integrated Circuits', (Wiley), 1993.
- [6] S. I. Liu, 'square-rooting vector summation circuits using current conveyors', *IEE Proceedings: Circuits, Devices and Systems*, Vol. 142, pp. 223-226, 1995.
- [7] R. Gantapong, V. Kiewruja, A. Kaewpoosomk and C. Fongamart, 'Accurate CMOS-based square-rooting circuit', *ISAPCS'99 Proceedings*, pp. 637-639, 1999.



Final Program & Abstract Book

ICCAS 2001 | International Conference on Control, Automation and Systems

October 17~21, 2001

Cheju National University, Jeju Island, Korea

ICASE Institute of Control, Automation and Systems Engineering
<http://www.iccas.org> · <http://www.icasel.org>

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

I-FE01 : Micro Systems

- Design and Analysis of an Electrically-Driven Micro-Gripper for Grasping Millimeter-Sized Objects772
Jae-hong Shim(Korea Polytechnic Univ.), Won Choe(Samsung Co.), Kyunghwan Kim(KIST)
- Compliant Micro Actuator made from Dielectric Polymer776
Sunghwi Cho(AIST), Sungmoo Ryew, JaeWook Jeon, Hunmo Kim, Jae-Do Nam, Hyoukryeol Choi and Ryutaro Maeda(Sungkyunkwan Univ.)
- Realization of Fine Motion of Anemox by Distributed IPMC Actuators780
Jung Kwangmok, Ryew Sungmoo, Kim Hunmo, Nam Jae-do, Jeon Jae wook and Choi Hyoukryeol (Sungkyunkwan Univ.)
- Reoperated Microassembly and its Application to Peg-in-hole Task784
Deok-Ho Kim, YoonOkYong Kim, Kyunghwan(KIST), Won Choe(Samsung Co.)
- Multi-View-Scan Based Micromanipulation System for 3D Shaped Micro Parts Assembly789
Seok Joo Lee, Gwi Tae Park(Korea Univ.), Kyunghwan Kim, Deok-Ho Kim, Jong-Oh Park(KIST),
- Low Voltage Actuator for a Glaucoma Treatment by Using MEMS793
Byunghoon Bae, Hakhoon Kim, Kyunghwan Park (KAIST), Hongseok Kee, Seonho Kim, Yeon Lee(Lee yeon ophthalmic hospital)

I-FE02 : Robot & Measurement Application

- Development of Load Control and Load Forecasting System797
Tipsuwanpom Viltaya, Srisuwan Khomkrit, Suesul Taweesol, Kulpapich Suphan and Roengruen Prapas (KMITL, Thailand)
- Multi-Layer Printed Wiring Board with Built-in Soldering Heater and 3D Implementation of Dynamically Reconfigurable Highly Parallel Processors801
Yoshichika Fujioka, Noburio Tomabechi(Hachinohe Institute of Tech.)
- Formation Approach for Mobile Robots with Inaccurate Sensor Information805
Gunhee Kim(KIST), Doo Yong Lee, Kyungno Lee(KAIST)
- Subspace for Real Time Non-deterministic Discrete Event Systems under Bounded Time Constraint809
Seong-Jin Park(Samsung Electronics), Kwang-Hyun Cho(Ulsan Univ.), Jong-Tae Lim(KAIST)
- Control and Singular Analysis of an Anomalous System813
Nam Taek Kun and Mita Tsutomu (Tokyo Institute of Technology)

I-FE03 : Pattern Recognition

- Spinal Curvature Detection Based on the Evaluation of Middle Line's Distribution on a Model Image of a Human Back818
Hyungseop Kim, Seiji Ishikawa (Kyushu Institute of Technology), Yoshinori Otsuka(National Sanatorium Chiba Higashi Hospital), Hisashi Shimizu(Chiba Health Care Association) and Takashi Shinomiya(Nicon Digital Technos Co.)
- Continuous Korean Sign Language Recognition using Automatic based Gesture Segmentation and Hidden Markov Model822
Jung-Bae Kim, Kwang-Hyun Park, Won-Chul Bang, Z.Zenn Bien, (KAIST), Jong-Sung Kim(ETRI)
- Two Input Max-Min Circuit for Fuzzy Inference System826
Laiyasu Pornchai, Chaikla Amphawan, Jaruwanawal Anuchit, Pannit Pittaya, Lee Tipapen and Peiwruja Vanchai (KMITL, Thailand)
- Multi-bit Identification of a Real-World Image by a Real-World Tag (RWT) Accurate Color Tags

Two-Input Max/Min Circuit for Fuzzy Inference System

P. Laipasu, A. Chaikla, A. Jarunawanat, P. Panlil,
T. Lee and V. Riećruja

Faculty of Engineering, King Mongkut's Institute of Technology Ladkrabang,
Ladkrabang, Bangkok 10520, Thailand
(Tel: 66-2-326-9989; Fax: 66-2-326-9989; E-mail: vanchal@ca.eng.kmitl.ac.th)

Abstract: In this paper, a current mode two-input maximum (Max) and minimum (Min) operations scheme, which is a useful building block for analog fuzzy inference systems, is presented. The Max and Min operations are incorporated in the same scheme with parallel processing. The proposed scheme comprises a MOS class AB/B configuration and current mirrors. Its simple structure can provide a high efficiency. The performance of the scheme exhibits a very sharp transfer characteristic and high accuracy. The proposed scheme achieves a high-speed operation and is suitable for real-time systems. The simulation results verifying the performances of the scheme are agreed with the expected values.

Keywords: Maximum and Minimum Operations, Current Mode Circuit, Current Limiter

1. Introduction

Using a current representation of the fuzzy variable in fuzzy logic operations is a natural and effective way for performing complex fuzzy inference like fuzzy based control, fuzzy reasoning etc [1]. This direction of fuzzy logic hardware implementation was originated by Yamakawa [2]-[3]. Recently, the current mode approach stimulated many researches to follow this way toward the on chip implementation of current mode fuzzy logic systems [4]-[5]. The Max and Min operations are most frequently used in fuzzy inference systems. The applications of fuzzy inference in industry, robotics, image processing and home electronics are receiving much attention [6]. However, the approach of the fuzzy information processing using digital computers is limited with respect to the speed of processing, power consumption, design methodology and the complexity of system. An analog current mode circuit can provide the advantages of high-speed operation, low power consumption, high frequency response and implementing in small chip area [7]. The realizations of Max and Min operations in analog circuit form so far have been implemented by using either an operational transconductance amplifier (OTA) [8] or a second generation current conveyor (CCII) [9] as a basic active circuit element. Another approach is suitable for implementing in CMOS technology [10]-[12]. However, the Max and Min operations of these approaches so far have been implemented either Max or Min operations. If we incorporate both Max and Min operations into the same circuit, the advantage will be gained. The purpose of this paper is to propose a CMOS circuit technique for realization of Max/Min circuit. The proposed scheme achieves both Max and Min functions, which operate in the same time. The proposed scheme is simple and fast speed operation. The new current mode two-input Max/Min circuit can be operated using $\pm 2.4V$ supply power. The performances of the proposed circuit were studied by the use of the PSPICE analog simulation program. The simulation results confirming the circuit performances have high accuracy and high-speed operation, which is compared with the previous approaches.

2. Circuit Description

The proposed CMOS-based two-input Max/Min circuit is shown in figure 1. The transistors are all match and operate in their saturation regions. The transistors M_1 - M_2 (CM_1), M_3 - M_4 (CM_2), M_7 - M_8 (CM_3) and M_9 - M_{10} (CM_4) function as a unity gain positive current mirror. The transistors M_{11} - M_{12} (CM_5), M_{13} - M_{14} (CM_6) and M_{17} - M_{18} (CM_7) function as a unity gain negative current mirror. The transistors M_{17} and M_{18} function as a current follower and, at the same time, provide a fixed bias voltage to node IP_1 and IP_2 , respectively, which in this case is approximately at earth potential. The transistors M_{17} - M_{20} form an electronic switch. The transistor M_{21} and the bias current source

I_2 generate a constant voltage to provide a pre-bias M_{19} and M_{20} , and bring them to the edge of conduction. The operation of the proposed circuit can be explained as follow. Applying Kirchhoff's Current Law (KCL) at node IP_1 and IP_2 , we have

$$i_{D1} = i_{in1} + I_2 \quad (1)$$

$$i_{D7} = i_{in2} + I_2 \quad (2)$$

The positive current mirrors CM_1 and CM_3 and the negative current mirrors CM_5 and CM_6 force $i_{D1} = i_{D2}$, $i_{D7} = i_{D8}$, $i_{D3} = i_{D4}$ and $i_{D5} = i_{D6}$, respectively. The current i_{D2} is mirrored into node A, node B and node C by the positive current mirror CM_2 . Then, from eqns (1) and (2) can be rewritten as

$$i_{D1} = i_{D2} = i_{D12} = i_{D4} = i_{D5} = i_{D6} = i_{in1} + I_2 \quad (3)$$

$$i_{D7} = i_{D8} = i_{D14} = i_{in2} + I_2 \quad (4)$$

Applying KCL at node A, we obtain

$$i_{diff} = i_{D14} - i_{D4} = i_{in2} - i_{in1} \quad (5)$$

During $i_{in2} > i_{in1}$ or a positive difference input current $i_{diff} > 0$, the positive difference input current $i_{diff} > 0$ flows through the transistor M_{19} that cause the source-gate voltage of the transistor M_{19} to increase and the gate-source voltage of the transistor M_{20} to decrease effecting M_{20} to cutoff. Similarly, the flow of a negative difference input current $i_{diff} < 0$ through the transistor M_{20} causes the transistor M_{19} to cutoff. Therefore the current i_{D19} and i_{D20} can be given by

$$i_{D19} = \begin{cases} i_{diff} & ; i_{in2} > i_{in1} \\ 0 & ; i_{in1} > i_{in2} \end{cases} \quad (6)$$

$$i_{D20} = \begin{cases} 0 & ; i_{in2} > i_{in1} \\ i_{diff} & ; i_{in1} > i_{in2} \end{cases} \quad (7)$$

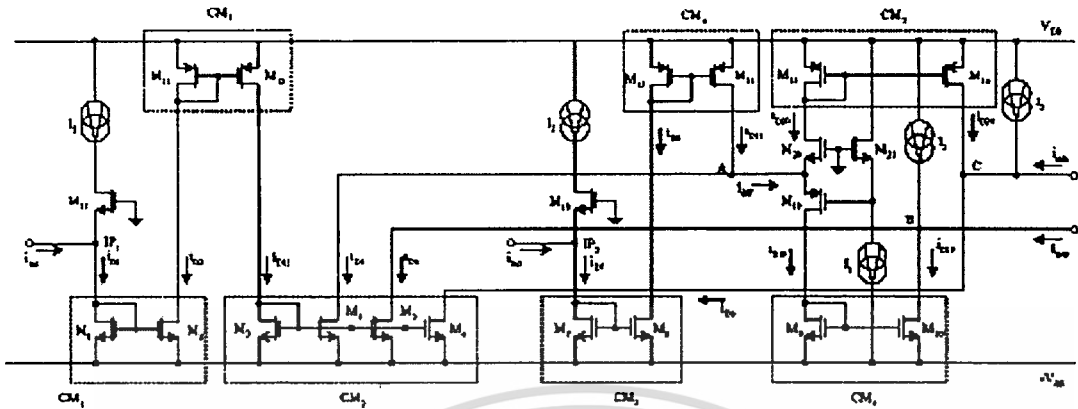


Fig. 1. The proposed circuit

The positive current mirror CM_1 and the negative current mirror CM_2 reflect i_{D19} and i_{D20} to the maximum output node (node B) and the minimum output node (node C), respectively. Applying KCL at these nodes, then the maximum current output i_{max} and the minimum output current i_{min} can be stated as

$$i_{max} = i_{D19} + i_{in1} \quad (8)$$

$$i_{min} = i_{in1} - i_{D20} \quad (9)$$

Substituting eqns. (6) and (7) into (8) and (9) respectively, the current i_{max} and i_{min} can be written as

$$i_{max} = \begin{cases} i_{in2} & ; i_{in2} > i_{in1} \\ i_{in1} & ; i_{in1} > i_{in2} \end{cases} \quad (10)$$

$$i_{min} = \begin{cases} i_{in1} & ; i_{in2} > i_{in1} \\ i_{in2} & ; i_{in1} > i_{in2} \end{cases} \quad (11)$$

It is clearly seen that the proposed circuit has the maximum and the minimum operations of two-input currents.

3. Circuit Performance

The ideal circuit performance so far has been based on the assumptions that the current mirrors have the unity gain and transistors are perfectly matched. However, in a practical realization, several non-ideal performances are presented. The major factor that should be considered is the transistor mismatch. From the circuit in figure 1, the maximum output current i_{max} and the minimum output current i_{min} can be approximately given by

For $i_{in2} > i_{in1}$ case

$$i_{min} = \left[\left(1 - \frac{\Delta g_{m1}}{g_{m1}} \right) \left(1 - \frac{|g_{m3} - g_{m4}|}{g_{m3}} \right) \left(1 - \frac{\Delta g_{m11}}{g_{m11}} \right) \right] (i_{in1} + I_2) \quad (12)$$

$$i_{max} = \left[\left(1 - \frac{\Delta g_{m7}}{g_{m7}} \right) \left(1 - \frac{\Delta g_{m13}}{g_{m13}} \right) (i_{in2} + I_2) \right] - I_2 - \left[\left(\frac{|g_{m3} - g_{m5}|}{g_{m3}} \right) \left(\frac{|g_{m3} - g_{m4}|}{g_{m3}} \right) \right] \left[\left(1 - \frac{\Delta g_{m1}}{g_{m1}} \right) \left(1 - \frac{\Delta g_{m11}}{g_{m11}} \right) (i_{in1} + I_2) \right] \quad (13)$$

For $i_{in2} < i_{in1}$ case

$$i_{min} = \left[\left(1 - \frac{\Delta g_{m7}}{g_{m7}} \right) \left(1 - \frac{\Delta g_{m13}}{g_{m13}} \right) (i_{in2} + I_2) \right] - I_2 + \left[\left(\frac{|g_{m3} - g_{m5}|}{g_{m3}} \right) \left(\frac{|g_{m3} - g_{m4}|}{g_{m3}} \right) \right] \left[\left(1 - \frac{\Delta g_{m1}}{g_{m1}} \right) \left(1 - \frac{\Delta g_{m11}}{g_{m11}} \right) (i_{in1} + I_2) \right] \quad (14)$$

and

$$i_{max} = \left[\left(1 - \frac{\Delta g_{m1}}{g_{m1}} \right) \left(1 - \frac{|g_{m3} - g_{m5}|}{g_{m3}} \right) \left(1 - \frac{\Delta g_{m11}}{g_{m11}} \right) \right] (i_{in1} + I_2) \quad (15)$$

where g_{mi} is the transconductance of the transistor M_i and Δg_{mi} is the transconductance error between the transistors M_i and M_{i+1} . From eqns. (12) to (15), if $g_{m7} = g_{m13} = 2.95 \times 10^{-4} \text{ A/V}$, $g_{m1} = 2.92 \times 10^{-4} \text{ A/V}$, $g_{m3} = g_{m5} = 2.98 \times 10^{-4} \text{ A/V}$, $g_{m11} = 1.94 \times 10^{-4} \text{ A/V}$, $g_{m4} = 2.51 \times 10^{-4} \text{ A/V}$, $g_{m13} = 1.8 \times 10^{-4} \text{ A/V}$, $g_{m3} = 1.56 \times 10^{-4} \text{ A/V}$, $g_{m5} = 1.02 \times 10^{-4} \text{ A/V}$, $\Delta g_{m1} = \Delta g_{m7} = 0.03 \times 10^{-4} \text{ A/V}$, $\Delta g_{m11} = 0.03 \times 10^{-4} \text{ A/V}$, $\Delta g_{m13} = 0.01 \times 10^{-4} \text{ A/V}$ and $\Delta g_{m15} = 0.04 \times 10^{-4} \text{ A/V}$, then, for i_{in1} (i_{max} or i_{min}) $> i_{in2}$ case, the percentage of the output current error is about 3%, and where i_{in2} (i_{max} or i_{min}) $> i_{in1}$, the percentage of the output current error is about 2%. It should be noted that the accumulated error of i_{in1} suffers more than the output current error of i_{in2} .

4. Simulation Results

The performances of the proposed circuit were studied by the use of the PSPICE analog simulation program. The BSIM MOS model of the 0.7 μ m CMOS process was used for the circuit simulation. The dimension W/L of the devices used are 10 μ m/1 μ m, the bias currents I_1 and I_2 are set to 50 μ A and $V_{DD} = -V_{SS} = 2.4$ V. Figure 2 shows the simulated transient response for the 1kHz sinusoidal, where i_{in1} and i_{in2} are 20 μ A peak amplitude with 45° phase shift. Figure 3 shows the simulated transient response for the triangular input signal current, where i_{in1} and i_{in2} are 20 μ A peak amplitude and 1.0ms time period. It is evident that the performance of the proposed circuit exhibits a high accuracy and high-speed operation, which is compared with the previous reports.

5. Conclusion

A current mode two-input Max/Min circuit is presented. The purpose of this paper is to propose a CMOS circuit technique for realization of both Max and Min operations into the same circuit scheme. PSPICE Analog simulation program confirming the circuit performances have high accuracy and high-speed operation.

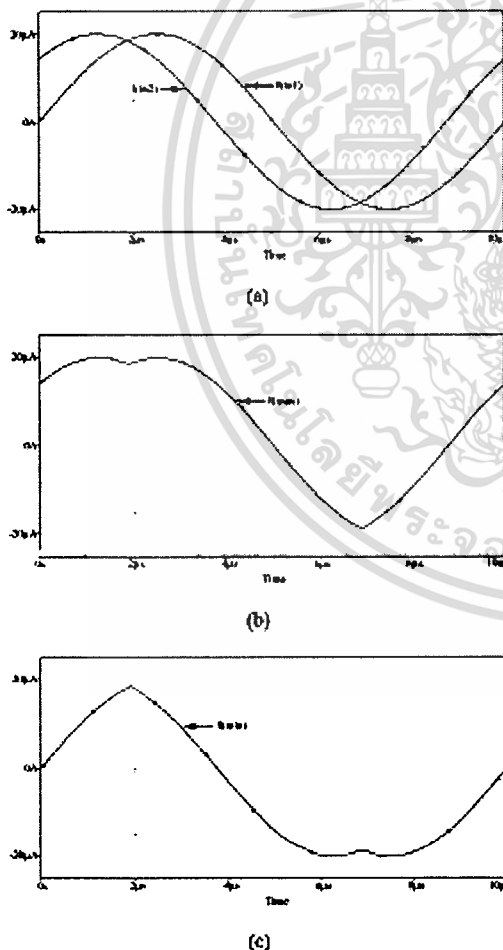


Fig. 2. Simulated transient response of the proposed
(a) 1kHz Sinusoidal input signal currents
(b) Max Operation
(c) Min Operation

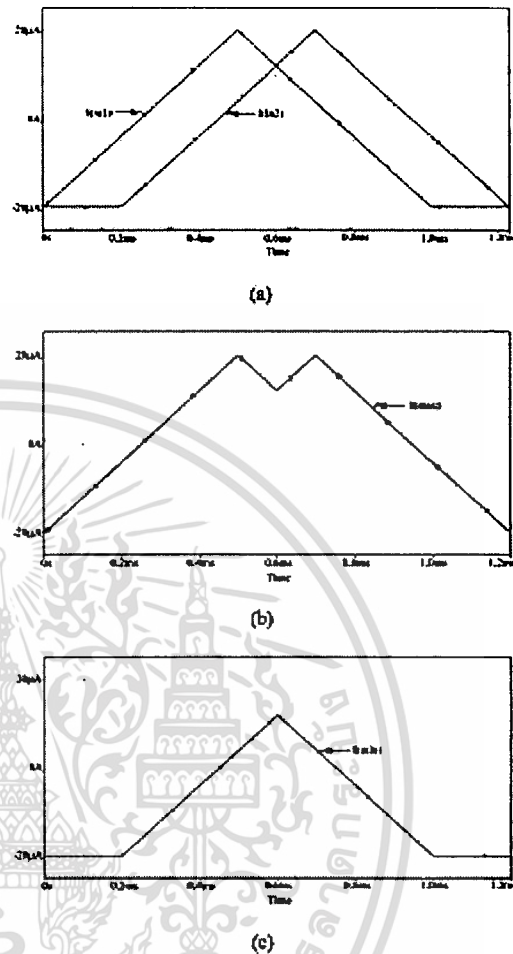


Fig. 3. Simulated transient response of the proposed
(a) Triangular input signal currents
(b) Max Operation
(c) Min Operation

Acknowledgement

The authors would like to express sincere gratitude to the National Science Technology Development Agency (NSTDA), Thailand for the financial support of this work.

References

- [1]Pattar, M.J. and Long J.E., "Synthesis of current mode building blocks for fuzzy logic control circuits" Proceedings of the *ISCAS'94 International Symposium on Circuits and Systems*, pp. 283-286, 1994
- [2]T. Yamakawa and T. Miki, "The Current Mode Fuzzy Logic Integrated Circuits Fabricated by the Standard CMOS Process" *IEEE Transactions on Computers*, vol. C-35, no. 2, pp. 161-167, February 1986
- [3]T. Yamakawa, T. Miki and F. Ueno, "The Design and Fabrication of the Current Mode Fuzzy Logic Semi-Custom IC in the Standard CMOS IC Technology" *Proceedings of the 15th International Symposium on Multiple-Valued Logic*, pp. 76-82, Kingston, Canada, May, 1985

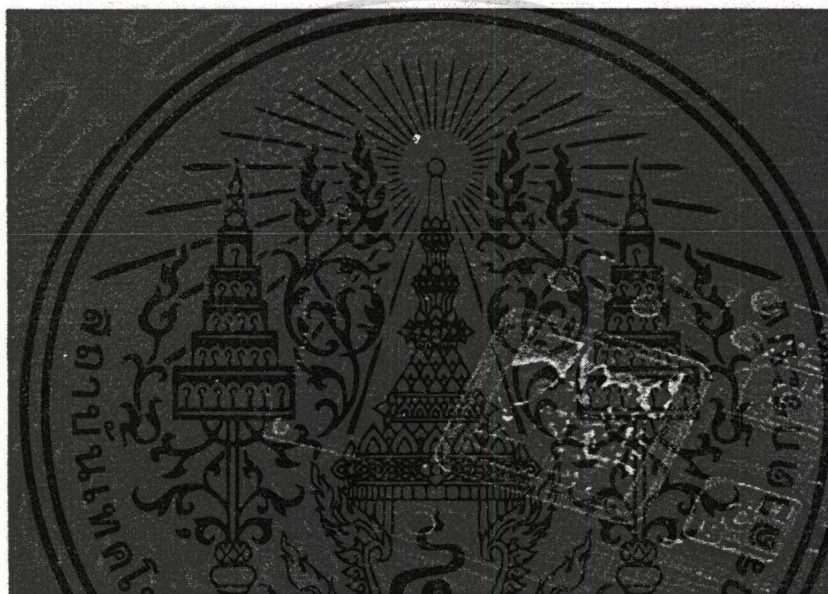
- [4] L. Lemaître, M. Potyra, and D. Mlunek, "CMOS Fuzzy Logic Controller in Current Mode" *Proceedings of the IEEE CICC'3*, San Diego, CA, May 1993.
- [5] L. Lemaître, M. Potyra, and D. Mlunek, "Analysis and Design of CMOS Fuzzy Logic Controller in Current Mode" *IEEE J. Solid-State Circuits*, vol. 29, no. 3, pp. 317-322, 1994
- [6] H.J. Zimmermann, *Fuzzy Set Theory and its applications*, Kluwer Academic Publishers, 1991
- [7] B. Wilson "Recent developments in current conveyors and current-mode circuits" *IEE Proc. G*, 137, (2), pp. 63-67, 1990
- [8] T. Inoue, F. Ueno, T. Motomura, O. Setoguchi and R. Masuo, "NEW HIGH-SPEED ANALOGUE MAX AND MIN CIRCUITS USING OTA-BASED BOUNDED-DIFFERENCE OPERATIONS" *Electronics Lett.*, vol. 27, no. 12, pp. 1034-1035, 1991
- [9] B.-J. Liu, Y.-S. Hwang and J.-H. Tsay, "CCII-BASED FUZZY MEMBERSHIP FUNCTION AND MAX/MIN CIRCUITS" *Electronics Lett.*, vol. 29, no. 1, pp. 116-118, 1993
- [10] C.-Y. Huang and B.-D. Liu, "Current-mode multiple input maximum circuit for fuzzy logic controllers" *Electronics Lett.*, vol. 33, no. 23, pp. 1924-1925, 1994
- [11] J. Baturone, J.L. Huertas, A. Barriga and S. Sanchez-Solano, "Current-mode multiple-input Max circuit" *Electronics Lett.*, vol. 30, no. 9, pp. 678-680, 1994
- [12] C.-Y. Huang, C.-J. Wang and B.-D. Liu, "Modular current-mode multiple input minimum circuit for fuzzy logic controllers" *Electronics Lett.*, vol. 32, no. 12, pp. 1067-1069, 1996



PROCEEDINGS

2001 International Symposium on
Communications and Information Technology

ISCIT 2001



The Merging Decade of
Communication Systems and Information Technology

November 14 - 16, 2001

Chiang Mai Orchid Hotel, Chiang Mai, Thailand



EIC

JICA

IEEE
Thailand Section

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีควรรนำไปใช้

TMB2-01	Closed-Form Design of Variable Fractional-Delay Filters T. B. Deng <i>Toho University, Japan</i>	279
TMB2-02	The 4th-Order Leapfrog Sigma-Delta A/D Converters Stabilized By Linear Methodology W. B. Lin and B. D. Liu <i>National Cheng Kung University, Taiwan</i>	283
TMB2-03	An Algorithmic Gray Code ADC Using Current Limiter A. Kaewpoonsuk, A. Chaikla, A. Linthong, T. Lee, and V. Riewruja <i>King Mongkut's Institute of Technology Ladkrabang, Thailand</i>	287

Session TMC 2 **Thursday, November 15, 2001**
(Room C) **11.00 – 12.00**

RF and Microwave Circuit I

Chairpersons: 1. Y. Suzuki *Tokai University, Japan*
2. P. Akkarakethalin *King Mongkut's Institute of Technology North Bangkok, Thailand*

TMC2-01	A 2.8V Single-Chip High-Efficiency RWDN Class-D Power Amplifier for Portable Devices K. Nandhasri, J. Ngarmnil, and K. Moolpho <i>Maharakorn University of Technology, Thailand</i>	291
TMC2-02	Class E Switching-Mode High-Efficiency Tuned RF/Microwave Power Amplifier with Output Power Control Characteristics I. Boonyaroonate and S. Mori <i>Nippon Institute of Technology, Japan</i>	295
TMC2-03	A K-Band Balanced Vector Modulator for Direct Carrier Modulation C. Y. Ng*, M. Chongcheawchamnan**, and I. D. Robertson* * <i>University of Surrey, United Kingdom</i> ** <i>Maharakorn University of Technology, Thailand</i>	299

Session TMD 2 **Thursday, November 15, 2001**
(Room D) **11.00 – 12.00**

Remote Sensing and Imaging

Chairpersons: 1. K. Hamamoto *Tokai University, Japan*
2. S. Choomchuay *King Mongkut's Institute of Technology Ladkrabang, Thailand*

TMD2-01	A Note on Fuzzy C-Mean Spectral Analysis Applied to Recognize Moving Objects S. Rodtook and S. Makhanov <i>Sirindhorn International Institute of Technology, Thammasat University, Thailand</i>	303
TMD2-02	3D visualization from X-Ray Radiograph C. Pintavirooj*, C. Ninkaew*, S. Tungjitkusolmun*, and K. Hamamoto** * <i>King Mongkut's Institute of Technology Ladkrabang, Thailand</i> ** <i>Tokai University, Japan</i>	307
TMD2-03	Sensitivity Analysis of Radar Tomography System for Use in Food Imaging K. C. Lim, M. C. Lim, M. A. Hanifa, A. Abd. Karim, and M. Z. Abdullah <i>Universiti Sains Malaysia, Malaysia</i>	311

Session TAA 1 **Thursday, November 15, 2001**
(Room A) **13.00 – 15.00**

Mobile and Wireless Communication Systems

Chairpersons: 1. M. Nakagawa *Keio University, Japan*
2. K. Wipusitwarakun *Sirindhorn International Institute of Technology, Thammasat University, Thailand*

AN ALGORITHMIC GRAY CODE ADC USING CURRENT LIMITER

A. Kaewpoonsuk, A. Chaikla, A. Linthong, T. Lee and V. Riewruja

Department of Control Engineering
Faculty of Engineering
King Mongkut's Institute of Technology Ladkrabang,
Ladkrabang, Bangkok 10520, Thailand.
Phone:02-326-9989, Fax:02-326-9989
Email:vanchai@cs.eng.kmitl.ac.th

ABSTRACT

An algorithmic gray code analog-to-digital converter (ADC), which is based on gray coding, is proposed in this article. The realization method makes use of a MOS current limiter to provide a high-speed operation and low accumulated error. The proposed ADC is simple, small in size and suitable for fabrication using a standard CMOS process. Simulation results showing the performances of the proposed circuit are also included.

1. INTRODUCTION

An analog-to-digital converter is one of the important circuit building blocks in mixed analog-digital systems. It can be found in many applications such as radar systems, TV and video systems, digital telephony, computerized control systems and instrumentation systems. An ADC is a small part of the total system, therefore, it should be small in size, low-power consumption, best speed performance and simple circuit configuration. In high-speed ADC, the parallel conversion method offers the best speed performance. However, the parallel conversion ADC has a circuit complexity and spends a large portion of the chip area. In recently years, there has been a strong motivation to implement both of analog and digital circuits on the same chip using a standard CMOS digital process. It has been shown that, among the existing ADCs, the algorithmic ADC offers the advantages both circuit performance and small in size of chip area [1]-[4]. The current mode algorithmic ADC based on binary code has been proposed in literature [1]-[2]. The configuration of these approaches is simple and can be realized with a minimum of chip area. The conversion technique based on binary code requires a subtract function to generate a sawtooth-like waveform for a continuously increasing input signal. However, the sawtooth-like waveform contains a broad frequency spectrum that causes the distortion on the subtracted signal and limitation of a high-speed performance. This is due to the finite bandwidth of the subtract function circuit. To minimize the disadvantage of the binary code algorithmic ADC, a gray code algorithmic ADC has been introduced [3]-[4]. The realization of a MOS gray code algorithmic ADC can be implemented by

the use of current mirrors, current comparators and analog switches [3]. The limitation of accuracy and conversion speed of this ADC is owing to the delay and distortion which are respectively caused by the current mirror operated in class B and the overlap operation of the analog switches. In this article, a CMOS gray code algorithmic ADC is introduced. The realization method is based on the use of a MOS current limiter to generate a gray coding. The proposed ADC provides a high accuracy, high-speed operation and low accumulated error.

2. CIRCUIT DESCRIPTION

2.1 Principle of gray code ADC

The flow chart of a gray code algorithmic conversion is shown in figure 1(a), where I_{ref} is a reference signal and I_{in} is an analog input signal which has a value between zero and the reference current I_{ref} . The input signal I_{in} is amplified by a factor two to generate a signal $2I_{in}$. The $2I_{in}$ signal is compared with the reference I_{ref} . If $2I_{in}$ is less than I_{ref} , the digital output is set to zero and $2I_{in}$ becomes the analog output signal. Otherwise, the digital output is set to one and the analog output signal is then generated by subtracting the $2I_{in}$ from I_{ref} . This analog output signal can either fed back to the input or on to a following identical cell to generate another bit of a resolution. Consequently, the transfer characteristic of the gray code algorithmic analog-to-digital conversion is a triangular-like waveform for continually increasing the input signal as shown in figure 1(b). It should be noted that the algorithmic ADC starts its conversion from the most significant bit (MSB) and continues its action successively bit by bit.

2.2 MOS current limiter

The MOS current limiter is shown in figure 2(a) [5]-[6]. Constant voltage source V_B provides a fixed potential at node A. Transistor M_{14} and current source I_B provide the bias voltage which is approximately equal to $2V_T$, where V_T is the threshold voltage of MOS transistor. Therefore, transistors M_7 and M_8 are forced to the edge of conduction to minimize the crossover distortion.

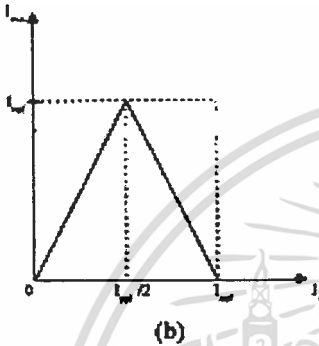
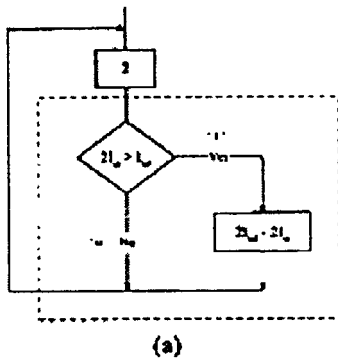


Figure 1. (a) flow chart of gray code algorithmic conversion
(b) transfer function of gray code algorithmic

Transistors M_9 - M_{10} and M_{12} - M_{13} form a unity gain current mirror. If $i_A > 0$, the current i_A flows through transistor M_8 and is reflected to node D by transistor M_7 - M_{10} . Then the currents at node C and node D are $i_{D12} = 0$ and $i_{D10} = i_A$, respectively. For the case of $i_A < 0$, the current flows through transistor M_7 . Current mirror M_{12} - M_{13} forces the current $i_{D12} = i_A$ and then the current i_{D12} is equal to zero. The DC transfer characteristics of the MOS current limiter are shown in figure 2(b) and 2(c).

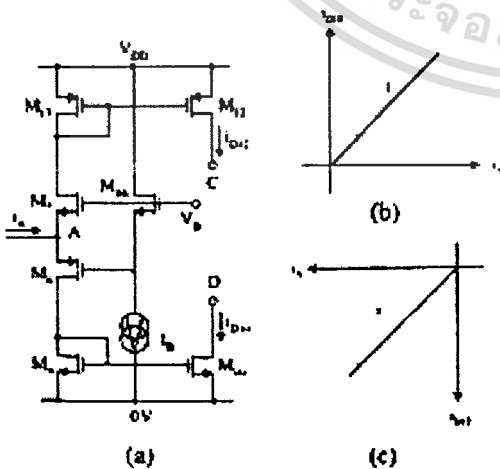


Figure 2. MOS current limiter

2.3 The proposed ADC

The proposed ADC is shown in figure 3. The function blocks in dashed-line frame of figure 1(a) is replaced by a current comparator M_{11} - M_{12} , M_{17} - M_{18} and a MOS current limiter. Transistor M_1 functions as a current follower and provides a fixed potential at input node. Transistors M_2 - M_4 and M_{15} - M_{16} , where the channel width of transistors M_3 - M_4 and M_{16} are twice of transistors M_2 and M_{15} , respectively, form a current mirror with current gain equal to two. Consider the circuit in figure 3, the current i_m is an input signal and I_{ref} is a reference current, the operation of the circuit can be explained as follow. The current i_m is amplified by a factor two by using the current mirror M_2 - M_4 . The new current $2i_m$ is compared with the current I_{ref} at node A. Then the current i_A can be stated as

$$i_A = 2i_m - I_{ref} \tag{1}$$

If $2i_m < I_{ref}$, the current i_A is negative and flows through the current limiter. The unity gain current mirror M_5 - M_6 reflects the current $2i_m$ to an output node B. Therefore, the analog output current i_{out} becomes

$$i_{out} = 2i_m \tag{2}$$

The current i_{D12} is reflected by the current mirror M_{12} - M_{13} to be equal to the current i_A and compared with the current i_{D11} , where i_{D11} is equal to zero. Therefore, the digital output V_O is set to low. For the current $2i_m > I_{ref}$, the current i_A is positive and flows through the transistor M_8 . The current i_A is reflected to the analog output node B by the current mirrors M_7 - M_{10} and M_{15} - M_{16} . The analog output current i_{out} becomes

$$i_{out} = 2i_m - 2i_A = 2I_{ref} - 2i_m \tag{3}$$

For this case, the current i_{D12} is zero and the current i_{D11} is equal to i_A . Thus the digital output V_O goes high. The analog output current i_{out} can be stated as

$$i_{out} = \begin{cases} 2i_m & \text{for } 2i_m < I_{ref} \\ 2I_{ref} - 2i_m & \text{for } 2i_m > I_{ref} \end{cases} \tag{4}$$

The N bit resolution can be achieved by cascading of N proposed circuits with the analog output of one circuit connected to the analog input of the following circuit as shown in figure 4.

3. SIMULATION RESULTS

The performances of the proposed circuit were observed through the use of a SPICE analog

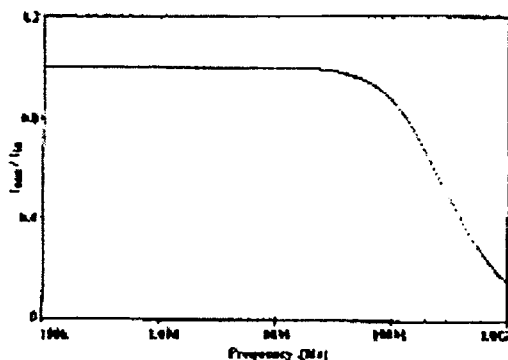


Figure 7. Frequency response

4. CONCLUSION

A CMOS integrated circuit technique for realizing an algorithmic analog to digital converter using current limiter has been introduced in this article. The DC transfer characteristic of the proposed ADC shows a good linearity and low distortion over the entire dynamic range. A N-bit resolution of an ADC can be achieved by cascading of N proposed circuit. Simulation results confirmed the circuit performances have been demonstrated.

ACKNOWLEDGMENT

The authors would like to express sincere gratitude to the National Science and Technology Development Agency (NASTDA) Thailand for the financial support of this work.

REFERENCES

- [1] Naim, D.G. and Salama, C.A.T., "Algorithmic analogue/digital converter based on current mirrors", *Electronics Letters*, Vol. 24, No.8, pp.471-472, April 1988.
- [2] Poulliquen, P.O., Boahen, K.A., and Andreou A.G., "A Gray-code Mos Current-mode analog-to-digital converter design", *IEEE International Symposium on Circuit and Syst.*, Vol.4, pp.1924-1927, 1991.
- [3] Anuntahirunrat, K., Surakamponom, W., and Riewruja, V., "One-bit algorithmic A/D based on nonlinear circuit", *Proc.RESTEC'S'96 KMITL*, pp. E81-E87, 1996.
- [4] Signell S., Jonsson B., Stetrom H., and Nianxiong T., "New A/D Converter Architectures Based on Gray Coding", *Circuits and Systems, 1997. ISCAS '97., Proceedings of 1997 IEEE International Symposium on*, Vol.1, pp.413-416, 1997.
- [5] Guntapong R., Riewruja V., Fongsamut C., and Kacwpoonsuk A., "High Frequency CMOS

Precision Full-Wave Rectifier Circuit", *Proc. ISIC99 Singapore*, pp.13-15, 1999.

- [6] Riewruja V., Chaikla A., Tammarugwattana N., Julsereewong P., and Surakamponom W., "OTA-Based Precision Full-Wave Rectifier", *Proc. KACC99, Korea*, pp. E-259-260, 1999.

ประวัติผู้เขียน

นางสาวธิภาพรรณ แซ่ลี เกิดเมื่อวันที่ 17 กุมภาพันธ์ 2519 ที่จังหวัดเลย สำเร็จการศึกษา
วิศวกรรมศาสตรบัณฑิต สาขาวิศวกรรมระบบควบคุม จากสถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณ
ทหารลาดกระบัง เมื่อปีการศึกษา 2540



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้