สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

เครื่องรับ - เครื่องส่งสัญญาณ โดยเข้ารหัสแบบ PCM และมัลติเพล็กซ์แบบแบ่งเวลา

Transmitter and Receiver using PCM and TDM

โดย

นาย สิทธิพล แสงสอาด

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิศวกรรมโทรคมนาคม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2545

เลขหมู่.....
เลขทะเบียน...50082...
วัน,เดือน,ปี 21 เม.ย. 2547

.b.....
.i.....

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เครื่องรับ - เครื่องส่งสัญญาณ โดยเข้ารหัสแบบ PCM และมัลติเพล็กซ์แบบแบ่งเวลา

Transmitter and Receiver using PCM and TDM

โดย

นาย สิทธิพล แสงสอาด 42010382

อาจารย์ที่ปรึกษา

ผศ.ดร. วิภา แสงพิสิทธิ์

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิศวกรรมโทรคมนาคม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2545

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ ปีการศึกษา 2545

ภาควิชาวิศวกรรมโทรคมนาคม

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง **เครื่องรับ – เครื่องส่งสัญญาณ โดยเข้ารหัสแบบ PCM และมัลติเพล็กซ์แบบแบ่งเวลา**

Transmitter and Receiver using PCM and TDM

ผู้จัดทำ

1. นาย สิทธิพล แสงสอาด 42010382

.....วิภา แสงพิสิทธิ์..... อาจารย์ที่ปรึกษา

(ผศ.ดร. วิภา แสงพิสิทธิ์)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เครื่องรับ – เครื่องส่งสัญญาณ โดยเข้ารหัสแบบ PCM และมัลติเพล็กซ์แบบแบ่งเวลา

Transmitter and Receiver using PCM and TDM

โดย นายสิทธิพล แสงสอาด 42010382

อาจารย์ที่ปรึกษา ผศ.ดร.วิภา แสงพิสิทธิ์

บทคัดย่อ

โครงงานนี้นำเสนอเรื่อง เครื่องรับ – เครื่องส่งสัญญาณ โดยการเข้ารหัสแบบ PCM และมัลติเพล็กซ์แบบแบ่งเวลา ในภาคส่งจะประกอบไปด้วยส่วนมอดูเลตแบบ PCM และส่วนมัลติเพล็กซ์ โดยส่วนมอดูเลตนั้น จะทำการแปลงสัญญาณข่าวสารให้อยู่ในรูปของสัญญาณดิจิตอลซึ่งมีอยู่ 3 ขั้นตอน คือ การชักค่าสัญญาณ , การจัดระดับสัญญาณ และการเข้ารหัส จะได้สัญญาณดิจิตอลโดยสมบูรณ์ สำหรับในส่วนมัลติเพล็กซ์จะทำการจัดสัญญาณ PCMจากหลายช่องสัญญาณ ส่งรวมไปในสายส่งเส้นเดียวกันโดยใช้การแบ่งเวลา

ในภาครับจะประกอบไปด้วย ส่วนดีมัลติเพล็กซ์ และส่วนดีมอดูเลตแบบ PCM โดยส่วนดีมัลติเพล็กซ์จะทำการแยกสัญญาณที่ได้จากภาคส่งออกไปในแต่ละช่องสัญญาณ ส่วนดีมอดูเลตจะมี 2 ขั้นตอน คือ การถอดรหัส และ วงจรกรองความถี่ต่ำผ่านจะทำการดีเทคสัญญาณข่าวกลับคืนมา

ABTRACT

This project presents transmitter and receiver using PCM and TDM. The transmitter uses PCM for converting input signal to digital by sampling , quantizing and encoding. The multiplexer will arrange PCM signal from each channel to a single transmission line by using time division multiplex. The receiver will demultiplex to separate signal and send to each channel. And then , demodulator will decode PCM signal and use low pass filter to detect input signal.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

			หน้า
บทที่	1	บทนำ	1
บทที่	2	ทฤษฎีหรือหลักการ	3
	2.1	ทฤษฎีการสื่อสาร	3
	2.2	สัญญาณและการมอดูเลต (Signal and Modulation)	7
	2.3	ทฤษฎีการสุ่มตัวอย่างสัญญาณ (Sampling Theorem)	13
	2.4	การจัดระดับสัญญาณ (Quantization)	21
	2.5	หลักการของ PCM (Pulse Code Modulation)	27
	2.6	การมัลติเพล็กซ์แบบแบ่งเวลา (Time Division Multiplex , TDM)	30
	2.7	วงจรสร้างสัญญาณควบคุมการชักค่า	32
	2.8	วงจรเข้ารหัสแบบขนาน	33
	2.9	วงจร Scaling Adder	36
	2.10	วงจรเข้ารหัสแบบ successive approximation	36
	2.11	วงจร absolute circuit	38
	2.12	วงจรกรองความถี่ต่ำผ่านแบบ active	39
	2.13	การทำ line encoding	44
บทที่	3	การคำนวณและการสร้าง	45
	3.1	การออกแบบวงจรทางด้านภาคส่ง	45
		3.1.1 การออกแบบวงจรสร้างสัญญาณนาฬิกาและวงจรหารความถี่	46
		3.1.2 การออกแบบวงจรสร้างสัญญาณควบคุมการชักค่า	46
		3.1.3 การออกแบบวงจรชักค่าและคงค่าสัญญาณ	48
		3.1.4 การออกแบบวงจรจัดระดับสัญญาณและวงจรเข้ารหัส PCM	49
		3.1.5 การออกแบบวงจร parallel to series	53
		3.1.6 การออกแบบวงจรทำการมัลติเพล็กซ์แบบแบ่งเวลา	53
		3.1.7 การออกแบบวงจร line encoder	54
		3.1.8 วงจรรวมภาคส่ง	54
	3.2	การออกแบบวงจรทางด้านภาครับ	57
		3.2.1 การออกแบบวงจร line decoder และวงจรกู้สัญญาณนาฬิกา	57
		3.2.2 การออกแบบวงจรดีมัลติเพล็กซ์	58

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2.3 การออกแบบวงจรถอดรหัส PCM 59
3.2.4 การออกแบบวงจรกรองความถี่ต่ำผ่าน 62
3.2.5 วงจรรวมภาครับ 66

บทที่ 4 การทดลองและผลการทดลอง 69
4.1 การทดสอบวงจรสร้างสัญญาณควบคุมการชักค่า (sampling pulse) 69
4.2 การทดสอบวงจรชักค่าสัญญาณ 70
4.3 การทดสอบวงจรชักค่าและคงค่าสัญญาณ 72
4.4 การทดสอบวงจรเข้ารหัส 73
4.5 การทดสอบวงจร Scaling Adder 76
4.6 การทดสอบวงจร absolute 78
4.7 การทดสอบวงจรหารความถี่ 79
4.8 การทดสอบวงจร parallel to series 80
4.9 การทดสอบวงจรมัลติเพล็กซ์แบ่งเวลา 82
4.10 การทดสอบวงจร line encoder 84
4.11 การทดสอบวงจร counter 85
4.12 การทดสอบวงจรกรองความถี่ต่ำผ่าน 87

บทที่ 5 บทวิจารณ์และบทสรุป 92

ภาคผนวก
หนังสืออ้างอิง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูปภาพ

			หน้า
รูปที่	2.1	Block diagram การสื่อสารขั้นพื้นฐาน	4
รูปที่	2.2	Block diagram การสื่อสารอย่างละเอียดมากขึ้น	6
รูปที่	2.3	สัญญาณอนาลอก	7
รูปที่	2.4	สัญญาณดีสครีต และ สัญญาณดิจิตอล	8
รูปที่	2.5	ลักษณะสัญญาณอนาลอกและสัญญาณดิจิตอล กับการรบกวน	9
รูปที่	2.6	แผนผังต้นไม้ของวิธีการมอดูเลตแบบต่างๆ	11
รูปที่	2.7	รูปสัญญาณการมอดูเลตพัลส์วิธีต่างๆ	12
รูปที่	2.8	ระบบการชักค่าตัวอย่างสัญญาณและรูปสัญญาณ	14
รูปที่	2.9	รูปสัญญาณควบคุมการแซมปลิ้งและสเปคตรัม	14
รูปที่	2.10	สัญญาณและสเปคตรัมของสัญญาณ $F(t)$, $S(t)$ และ $F_s(t)$	16
รูปที่	2.11	สเปกตรัม $F_s(\omega)$ ที่ความถี่ในการแซมปลิ้งต่างๆ	18
รูปที่	2.12	Aliasing error(fold-over distortion)	19
รูปที่	2.13	ระบบการชักค่าและคงค่าสัญญาณ	20
รูปที่	2.14	รูปสัญญาณ sampling and hold	21
รูปที่	2.15	ลักษณะการจัดระดับสัญญาณ	22
รูปที่	2.16	กราฟแสดงความสัมพันธ์ระหว่างแรงดัน input และ output ของการควอนไทซ์แบบเชิงเส้นและความสัมพันธ์ของค่าความผิดพลาดจากการควอนไทซ์	23
รูปที่	2.17	กราฟแสดงความสัมพันธ์ระหว่างแรงดัน input และ output ของการควอนไทซ์แบบไม่เชิงเส้น	24
รูปที่	2.18	ความสัมพันธ์ของการบีบอัดและขยายสัญญาณ	25
รูปที่	2.19	คุณลักษณะการบีบอัดแบบ μ – law	25
รูปที่	2.20	คุณลักษณะการบีบอัดแบบ A-law แบบแบ่ง segment (A = 87.6)	26
รูปที่	2.21	รูปสัญญาณแต่ละขั้นตอนในระบบ PCM	28
รูปที่	2.22	block diagram ภาคส่งของระบบ PCM พื้นฐาน	29
รูปที่	2.23	block diagram ภาคส่งของระบบ PCM อย่างละเอียดมากขึ้น	29
รูปที่	2.24	block diagram ภาครับของระบบ PCM	30
รูปที่	2.25	หลักการของการมัลติเพล็กซ์แบบแบ่งเวลา	31
รูปที่	2.26	วงจรพื้นฐานของการทำการมัลติเพล็กซ์แบบแบ่งเวลา	32
รูปที่	2.27	วงจรสร้างสัญญาณควบคุมการชักค่า	32
รูปที่	2.28	วงจรการเข้ารหัสแบบขนาน	34

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่	2.29	วงจรภายใน parallel encoder	35
รูปที่	2.30	วงจร scaling adder	36
รูปที่	2.31	วงจรเข้ารหัสแบบ successive approximation	37
รูปที่	2.32	วงจร เข้ารหัสของบิตแรกเมื่อสัญญาณข่าวสารมีค่าเป็นลบด้วย	38
รูปที่	2.33	วงจร absolute circuit	38
รูปที่	2.34	frequency response ของวงจรกรองความถี่ต่ำผ่าน	39
รูปที่	2.35	วงจรกรองความถี่ต่ำผ่านแบบ sallen and key	40
รูปที่	2.36	สัญญาณ BPRZ	44
รูปที่	3.1	block diagram เครื่องส่ง โดยการเข้ารหัสแบบ PCM และมัลติเพล็กซ์แบบแบ่งเวลา	45
รูปที่	3.2	วงจรสร้างสัญญาณนาฬิกาและวงจรหารความถี่	46
รูปที่	3.3	วงจรสร้างสัญญาณควบคุมการชักค่าสัญญาณ	48
รูปที่	3.4	วงจรชักค่าและคงค่าสัญญาณ	48
รูปที่	3.5	วงจรเข้ารหัสสัญญาณแบบ successive approximation 1 ชุด	50
รูปที่	3.6	วงจรเข้ารหัสโดยรวม	52
รูปที่	3.7	วงจร parallel to series	53
รูปที่	3.8	วงจรทำการมัลติเพล็กซ์สัญญาณ	54
รูปที่	3.9	วงจร line encoder	54
รูปที่	3.10	วงจรรวมภาคส่ง	55
รูปที่	3.11	block diagram เครื่องรับ โดยการเข้ารหัสแบบ PCM และมัลติเพล็กซ์แบบแบ่งเวลา	57
รูปที่	3.12	วงจรกู้สัญญาณนาฬิกา	58
รูปที่	3.13	วงจร line decoder	58
รูปที่	3.14	วงจรดีมัลติเพล็กซ์	59
รูปที่	3.15	ส่วนสร้าง timing signal ของวงจรถอดรหัส PCM	59
รูปที่	3.16	วงจรในส่วนของ scaling adder ในวงจรถอดรหัส	60
รูปที่	3.17	วงจรกรองความถี่ต่ำผ่านแบบ sallen and key	62
รูปที่	3.18	วงจรกรองความถี่ต่ำผ่านหลังทำการออกแบบ	66
รูปที่	3.19	วงจรรวมภาครับ	67
รูปที่	4.1	สัญญาณจากวงจรสร้างสัญญาณควบคุมการชักค่า	69
รูปที่	4.2	สัญญาณจากวงจรชักค่าสัญญาณ	71
รูปที่	4.3	สัญญาณจากวงจรชักค่าและคงค่าสัญญาณ	72
รูปที่	4.4	สัญญาณจากวงจรเข้ารหัสทั้ง 3 บิต จากการทดลองครั้งที่ 1	74
รูปที่	4.5	สัญญาณจากวงจรเข้ารหัสทั้ง 3 บิต จากการทดลองครั้งที่ 2	75

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่	4.6	สัญญาณจากวงจร Scaling Adder จากการทดลองครั้งที่ 1	76
รูปที่	4.7	สัญญาณจากวงจร Scaling Adder จากการทดลองครั้งที่ 2	77
รูปที่	4.8	สัญญาณจากวงจร absolute circuit	78
รูปที่	4.9	สัญญาณจากวงจรหารความถี่	80
รูปที่	4.10	สัญญาณจากวงจร parallel to series	81
รูปที่	4.11	สัญญาณจากวงจรมัลติเพล็กซ์แบ่งเวลา	83
รูปที่	4.12	สัญญาณจากวงจร line encoder	84
รูปที่	4.13	สัญญาณที่ใช้ควบคุมการทำงาน counter	85
รูปที่	4.14	สัญญาณเอาต์พุตที่ 1-4 ของ counter	86
รูปที่	4.15	สัญญาณเอาต์พุตที่ 5-8 ของ counter	87
รูปที่	4.16	กราฟ frequency response ของวงจรกรองความถี่ต่ำผ่านจากผลการทดลอง	89
รูปที่	4.17	กราฟ frequency response ของวงจรกรองความถี่ต่ำผ่านที่ได้จากการ simulate	90

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

	หน้า
ตารางที่ 3.1 ตารางเทียบค่า logic ของวงจรเข้ารหัส	50
ตารางที่ 4.1 ตารางบันทึกผลการทดลองที่ 4.12	88

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

ในสังคมมนุษย์นั้นต้องอาศัยการติดต่ออยู่ตลอดเวลาตั้งแต่ในอดีต ซึ่งเราเรียกการติดต่อนี้ว่าการสื่อสาร (Communication) โดยเริ่มแรกจะเป็นการสื่อสารระยะทางใกล้ เช่นการพูดคุยกันปากต่อปาก ภายหลังจึงพัฒนาเป็นการสื่อสารระยะทางไกล เช่น การส่งสัญญาณมือหรืออื่นๆ ซึ่งเราเรียกเฉพาะว่า การโทรคมนาคม (Telecommunication) คำว่า tele นั้น มีความหมายว่าระยะทางไกล เมื่อรวมกันแล้วจึงได้ความว่า การสื่อสารทางไกลนั่นเอง

ในสมัยโบราณได้มีการสื่อสาร โดยใช้สัญญาณต่างๆ ยกตัวอย่างเช่นการโบกธง ผู้สื่อสารอาจจะทำการโบกธงกี่ครั้งเพื่อสื่อความหมายต่างๆ ดังนั้นจะต้องมีการตกลงกันไว้ก่อนว่า สัญญาณแบบไหนมีความหมายว่าอย่างไร ซึ่งก็คือสิ่งที่เราเรียกว่า การกำหนดรหัสข้อมูล โดยมีจุดประสงค์คือ เพื่อเพิ่มประสิทธิภาพของการสื่อสาร อย่างเช่น การโบกธง แทนที่จะใช้ธงเป็นสัญญาณโดยการ “โบก” หรือ “ไม่โบก” เท่านั้น เราจะใช้การโบกธงเป็นจำนวนหลายครั้งหรือโบกในลักษณะต่างๆเป็นรหัสสัญญาณเพื่อสื่อความหมายที่แตกต่างกันออกไป ทำให้สามารถสื่อได้หลายความหมายโดยใช้ธงเท่าเดิม และเพื่อป้องกันความลับของข่าวสาร โดยที่ผู้ที่จะเข้าใจความหมายของสัญญาณได้ จะต้องเป็นผู้ที่ทำการตกลงรหัสสัญญาณกับผู้สื่อสารไว้ก่อนแล้วเท่านั้น
อย่างไรก็ตามการสื่อสารนั้นก็ยังต้องมีอุปสรรคจากสิ่งรบกวนต่างๆ เช่น ฝนตก หรือ หมอกลงจัด ทำให้มองไม่เห็นสัญญาณธงเป็นต้น เหตุเหล่านี้เป็นสาเหตุสำคัญทำให้การสื่อสารนั้น ผิดพลาด หรือไม่ประสบผลสำเร็จ

เมื่อความต้องการในการติดต่อสื่อสารของมนุษย์นั้น เพิ่มขึ้นอย่างมาก ทั้งต้องใช้ในการติดต่องานการต่างๆ รวมถึงการพูดคุยทั่วไปในชีวิตประจำวันด้วย มีผลทำให้วิทยาการการสื่อสารพัฒนาขึ้นมาอย่างรวดเร็ว เพื่อให้เพียงพอต่อความต้องการ และ ยังต้องถูกต้องแม่นยำด้วย ในปัจจุบันการสื่อสารมีหลายแบบ ทั้งการสื่อสาร โดยใช้สัญญาณไฟฟ้า , การสื่อสารด้วยสัญญาณแสง หรืออื่นๆ การสื่อสาร โดยใช้สัญญาณไฟฟ้านั้น จะทำการส่งไฟฟ้าผ่านไปในสายส่งเพื่อเป็นสัญญาณ สัญญาณก็จะแบ่งเป็น 2 ประเภทใหญ่ๆคือ สัญญาณอนาลอก และ สัญญาณดิจิตอล โดยในปัจจุบันจะใช้สัญญาณดิจิตอลเป็นส่วนใหญ่ เพราะสามารถทนต่อการรบกวนได้ดีกว่าสัญญาณอนาลอก ดังจะกล่าวถึงในบทที่ 2 การส่งสัญญาณนี้ก็อาจจะมีการเข้ารหัสแบบต่างเพื่อจุดประสงค์ที่ได้กล่าวแล้วข้างต้น

เมื่อมีผู้ใช้งานมาก การต้องใช้สายส่งหลายสายเป็นการลำบาก จึงได้เกิดการพัฒนาวิธีการหนึ่ง คือ การส่งหลายๆสัญญาณรวมกันไปในสายส่งเส้นเดียว เรียกว่า การมัลติเพล็กซ์ (Multiplexing) ซึ่งจะมีหลายแบบ เช่น การมัลติเพล็กซ์แบบแบ่งเวลา (Time Division Multiplexing) หรือ การมัลติเพล็กซ์แบบแบ่งความถี่ (Frequency Division Multiplexing) ด้วยวิธีการต่างๆนี้ การสื่อสารในปัจจุบันจึงมีประสิทธิภาพมาก สามารถรองรับผู้ใช้งานได้มาก ได้อย่างทั่วถึง รวดเร็ว ถูกต้อง และเสียค่าใช้จ่ายน้อย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ฉบับนี้จะนำเสนอ เครื่องรับ – เครื่องส่งสัญญาณ โดยจะใช้วิธีการเข้ารหัสแบบ PCM ซึ่งย่อมาจาก Pulse Code Modulation โดยจะทำการแปลงสัญญาณข่าวสารเป็นสัญญาณ ดิจิตอล ส่งออกไป โดยจะฝากค่าขนาดของสัญญาณข่าวสาร ไปในชุดรหัสเลขฐาน 2 ซึ่งจะแสดงในรูปของขบวนพัลส์ หลังจากนั้นจะทำการรวม 2 ช่องสัญญาณส่งไปในสายส่ง โดยใช้การมัลติเพล็กซ์แบบแบ่งเวลา (Time Division Multiplexing)

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
ทฤษฎีและหลักการ

2.1 ทฤษฎีการสื่อสาร

ลักษณะที่สำคัญอย่างหนึ่งของมนุษย์ที่ทำให้มนุษย์นั้นแตกต่างจากสัตว์ก็คือ มนุษย์มีความสามารถที่จะทำการติดต่อสื่อสารระหว่างมนุษย์ด้วยกันเองได้อย่างมีประสิทธิภาพ สลับซับซ้อนและรวดเร็ว ในสัตว์นั้น ถึงแม้ว่าสัตว์ก็ยังต้องทำการสื่อสารในชีวิตประจำวัน แต่ก็ยังเป็นแค่การสื่อสารโดยใช้สัญชาติญาณเท่านั้น เช่น การทำเครื่องหมายต่างๆของสัตว์ หรือการส่งเสียงต่างๆ แต่ในทางตรงกันข้าม ในการที่มนุษย์จะอยู่รอดได้นั้น มนุษย์ต้องสามารถจำบุคคลต่างๆได้ ต้องการการทำงานร่วมกัน ต้องถกเถียงกันในเรื่องความคิดที่ซับซ้อนและการกระทำต่างๆ และที่สำคัญมากก็คือ สามารถส่งต่อข้อมูลต่างๆที่ได้มาและสืบทอดประสบการณ์ต่างๆได้ ความสามารถเหล่านี้เกิดขึ้นมาเมื่อสมองของมนุษย์ได้พัฒนาขึ้นมาจนมนุษย์สามารถ พูดจาติดต่อสื่อสารได้ และยังรวมไปถึงการเขียนด้วย การสื่อสารนั้นโดยพื้นฐานจะประกอบไปด้วยส่วนสำคัญหลัก 3 ส่วน ได้แก่ เครื่องส่ง , ตัวกลาง และเครื่องรับ

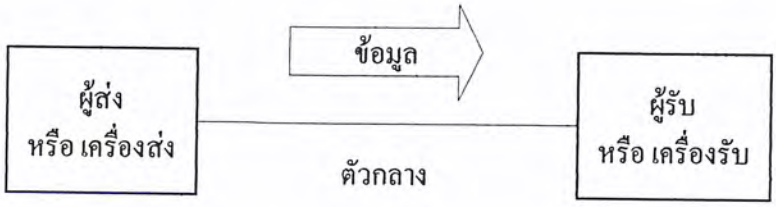
1. เครื่องส่ง (Transmitter) จะหมายความถึง ผู้ทำการส่งข้อมูล แหล่งกำเนิดข้อมูล และเครื่องส่งสัญญาณเพื่อการสื่อสารต่างๆ ส่วนประกอบอื่นๆ ซึ่งอยู่ในกระบวนการที่จะทำการส่งข้อมูลนั้นก็ถือรวมอยู่ในเครื่องส่งนี้ด้วย ยกตัวอย่างเช่น ในการที่มนุษย์จะทำการส่งข้อมูลนั้น สมองจะทำการเปลี่ยนความคิดหรือข้อมูลที่จะส่งนั้นเป็นรูปแบบการขยับตัวของกล้ามเนื้อ ซึ่งทำให้เกิดการเปลี่ยนแปลงความดันและเกิดเป็นสัญญาณเสียงส่งออกไป ทุกอย่างถือเป็นส่วนประกอบของเครื่องส่งทั้งสิ้น

2. ตัวกลาง (Transmission medium) หมายถึงตัวกลางซึ่งสัญญาณข้อมูลที่ส่งออกมานั้นเดินทางผ่านจากเครื่องส่งไปยังเครื่องรับ เมื่อพิจารณาที่ตัวกลางแล้ว ก็จะแบ่งการสื่อสารออกเป็น 2 ประเภทใหญ่ๆ คือ การสื่อสารตามสายและการสื่อสารไร้สาย โดยในการสื่อสารตามสายนั้นจะมีตัวกลางเป็นสายส่งสัญญาณ (transmission line) ซึ่งก็จะเป็นสายที่สัญญาณไฟฟ้าสามารถเดินทางผ่านไปยังเครื่องรับได้ เช่น สาย coaxial หรือสายส่งสัญญาณอื่นๆ ส่วนการสื่อการไร้สายนั้นจะทำการส่งสัญญาณโดยอาศัยคลื่นแม่เหล็กไฟฟ้าและเดินทางผ่านตัวกลางซึ่งก็คือ บรรยากาศ (atmosphere) ไปยังเครื่องรับ

3. เครื่องรับ (Receiver) หมายถึง ผู้ทำการรับข้อมูล แหล่งรับข้อมูล และเครื่องรับสัญญาณที่จุดหมายปลายทาง ยกตัวอย่างเช่น ในการที่มนุษย์เราจะรับฟังสิ่งที่คนอื่นพูดมา สัญญาณเสียงที่ส่งมานั้นก็จะผ่านหู ระบบต่างๆในหูก็จะสั่นสะเทือนตามสัญญาณเสียงที่เข้ามาและทำการเปลี่ยนเป็นกระแสประสาทส่งไปยังสมองเพื่อตีความหมาย เราจึงเข้าใจสิ่งที่ได้ยินนั้นได้ ถ้าขาดส่วนใดส่วนหนึ่งไป เราก็จะไม่มีทางรับทราบข้อมูลได้ ทั้งหมดนี้หมายความรวมเป็นเครื่องรับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดังนั้น block diagram ของการสื่อสารขั้นพื้นฐานนั้นจะเป็นดังในรูปที่ 2.1 จะประกอบไปด้วย 3 ส่วนหลักๆ ดังที่ได้กล่าวมาแล้ว



รูปที่ 2.1 Block diagram การสื่อสารขั้นพื้นฐาน

นอกจากส่วนประกอบหลักๆ 3 ส่วนนี้แล้ว ยังมีส่วนประกอบอื่นๆ ที่สำคัญเกี่ยวข้องกับการสื่อสารและจะต้องเกิดควบคู่กันตลอดเวลา ซึ่งได้แก่ การเข้ารหัส (Coding) , สัญญาณรบกวน (Noise) และการลดทอนของสัญญาณ (Distortion)

การเข้ารหัส (Coding)

การเข้ารหัสนี้เกิดขึ้นตลอดเวลาในการสื่อสารทั่วไปโดยที่เราคาดไม่ถึง ยกตัวอย่างเช่น การที่เราพูดคุยกับคนอื่นอยู่ทุกๆวัน ก็ถือว่าเป็นการสื่อสารที่ได้มีการเข้ารหัสแล้ว ซึ่งก็คือภาษาที่เราใช้นั่นเอง มนุษย์สามารถส่งสัญญาณเสียงเพื่อการสื่อสารได้เหมือนกัน แต่ภาษาที่ใช้นั้นแตกต่างกันไปในแต่ละพื้นที่ ซึ่งก็คือใช้วิธีการเข้ารหัสที่ไม่เหมือนกัน เราสามารถสรุปได้ว่าเหตุผลที่ต้องมีการเข้ารหัสนั้นคือเพื่อลดความผิดพลาดในการทำการสื่อสารให้เหลือน้อยที่สุด

สัญญาณรบกวน (Noise)

สัญญาณรบกวนเป็นสัญญาณที่มีขนาดไม่แน่นอนเพิ่มเข้ามาในสัญญาณข่าวสารเดิม ซึ่งจะทำให้สัญญาณข่าวสารนั้นผิดเพี้ยนไปและอาจทำให้สื่อความหมายผิดพลาด สามารถเปรียบเทียบได้กับการที่เราพูดกับเพื่อนในห้องที่มีคนอยู่มากๆ และพูดกันเสียงดัง จะทำให้เราสื่อสารกับเพื่อนได้ยากขึ้น เสียงของคนอื่นที่มารบกวนนี้ ที่เราเรียกว่าสัญญาณรบกวน ในทางการสื่อสาร สัญญาณรบกวนจะหมายถึงสัญญาณอื่นๆที่ปนเข้ามาในระบบ ซึ่งไม่เป็นที่ต้องการในระบบนั้นๆ ไม่ว่าสัญญาณที่เข้ามานั้นจะเป็นสัญญาณที่มีคุณภาพดีเพียงใดก็ตาม ดังนั้น การจะถือว่าสัญญาณใดเป็นสัญญาณรบกวนหรือไม่นั้นจึงขึ้นอยู่กับว่าเป็นที่ต้องการในระบบนั้นหรือไม่นั่นเอง สัญญาณข่าวสารที่เราใช้อยู่ในระบบของเรา เมื่อไปอยู่ในระบบอื่นก็อาจถือว่าเป็นสัญญาณรบกวนได้ สัญญาณรบกวนอาจเกิดขึ้นได้จากหลายทางไม่ว่าจะเป็นสัญญาณอื่นๆหรือปริมาณทางกายภาพอื่นที่เกิดขึ้นตามธรรมชาติ สัญญาณรบกวนเกิดขึ้นได้ในทุกที่และในทั้ง 3 ส่วนพื้นฐานของการสื่อสาร โดยในเครื่องส่งและเครื่องรับอาจเกิดจากความไม่สมบูรณ์ต่างๆของอุปกรณ์ ซึ่งถ้าเป็นคนเราแล้วก็อาจจะเป็นการที่คนพูดพูดไม่ชัด สำเนียงไม่ถูกต้อง หรือการที่คนฟังหูตึง เป็นต้น หรืออีกอย่างหนึ่งคือความไม่เป็นอุดมคติของอุปกรณ์การสื่อสาร ในตัวกลางนั้นสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รบกวนก็คือพลังงานรูปแบบอื่นๆที่มีอยู่ทั่วไป เช่น พลังงานจากคลื่นแม่เหล็กไฟฟ้า , ฟ้าผ่า หรือความร้อน เป็นต้นที่จะเข้ามากวน จะเห็นว่าสัญญาณรบกวนนี้ไม่เป็นที่ต้องการและมีผลทำให้การสื่อสารผิดพลาด แต่เราไม่สามารถหลีกเลี่ยงสัญญาณรบกวนเหล่านี้ได้ โดยเฉพาะเมื่อเกิดจากความไม่เป็นอุดมคติของอุปกรณ์ เราจึงต้องรักษาระดับของสัญญาณรบกวนนี้ให้อยู่ในระดับต่ำที่สุดเท่าที่จะเป็นไปได้ ในการพิจารณาสัญญาณรบกวนนั้นสามารถทำได้โดยเปรียบเทียบค่ากำลังเฉลี่ยของสัญญาณข่าวสารต่อค่ากำลังเฉลี่ยของสัญญาณรบกวน ซึ่งค่านี้เรียกว่า ค่าอัตราส่วนสัญญาณต่อสัญญาณรบกวน (Signal to noise ratio) หรือเรียกย่อว่า SNR ดังสมการที่ 2.1 เมื่อ $\overline{s^2(t)}$ คือค่ากำลังเฉลี่ยของสัญญาณ และ $\overline{n^2(t)}$ ค่ากำลังเฉลี่ยของสัญญาณรบกวน

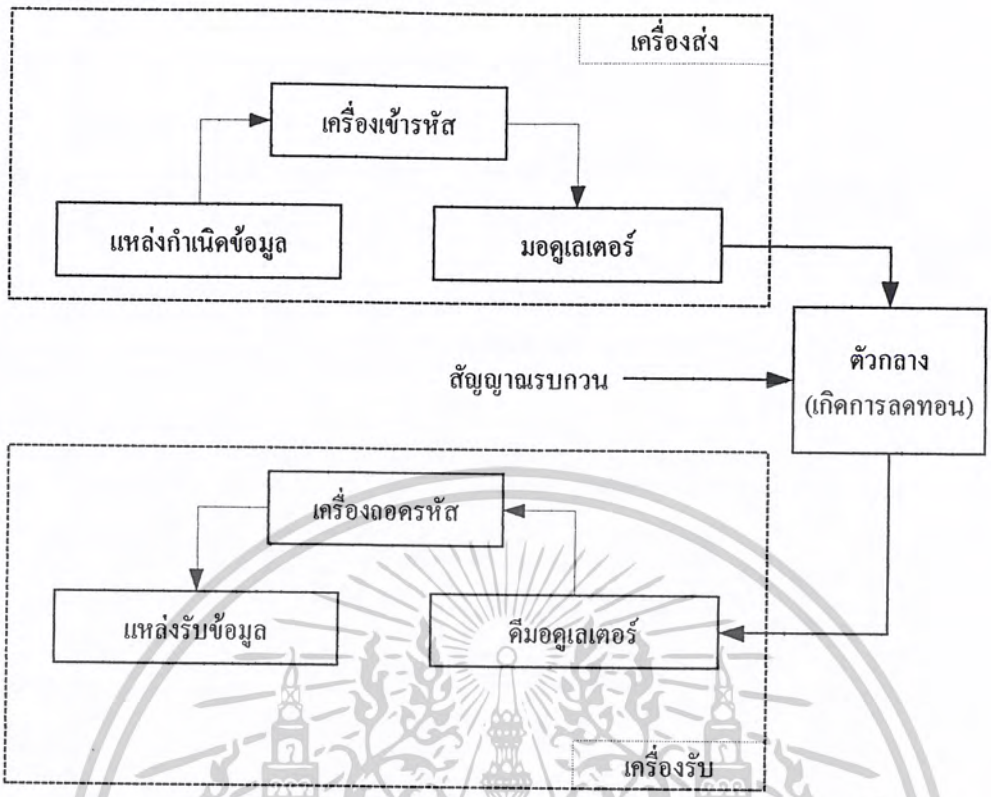
$$SNR = \frac{\overline{s^2(t)}}{\overline{n^2(t)}} \tag{2.1}$$

การที่เรารักษาค่าระดับสัญญาณรบกวนให้ต่ำ หรือก็คือ การรักษาค่า SNR ของสัญญาณให้สูงไว้นั้น สามารถทำได้หลายวิธี ยกตัวอย่างเช่น ถ้าเราอยู่ในห้องที่มีคนมากๆ เราก็จะตะโกนให้ดังๆให้เพื่อนเราได้ยินชัดขึ้น ซึ่งก็คือการเพิ่มกำลังส่งนั่นเอง จะทำให้สัญญาณรบกวนมีผลน้อยลง หรือเราอาจจะเดินเข้าไปพูดใกล้ๆ ซึ่งก็คือการลดระยะทางลงก็จะช่วยได้เช่นกัน หรืออีกวิธีหนึ่งก็คือทำการเข้ารหัสเสียก่อน เช่น การเข้ารหัสให้เป็นสัญญาณดิจิตอล จะช่วยลดความผิดพลาดจากการถูกรบกวนได้อย่างมาก

การลดทอน (Distortion)

การลดทอนของสัญญาณทำให้รูปร่างสัญญาณผิดเพี้ยนไป แต่ไม่ได้มีอย่างอื่นเพิ่มเข้ามา ถ้าเกิดขึ้นมากๆก็อาจจะทำให้ไม่สามารถตีความหมายในสัญญาณได้ถูกต้อง ยกตัวอย่างโดยการที่เราพูดกับเพื่อนในห้องโถงกว้างๆโล่งๆ เสียงที่เราพูดออกไปนั้น บางความถี่เกิดการ resonant เป็นเสียงดังกังวาน เกิดการสะท้อนของเสียงขึ้นเป็นผลให้สัญญาณเดินทางล่าช้าและลดทอนลงไป หรือการที่เราพูดกับคนที่อยู่ห่างจากเรามากๆ เสียงเดินทางไปก็จะเกิดการสูญเสียพลังงานและลดทอนไปเรื่อยๆจนทำให้ไม่สามารถจับความได้ การลดทอนนี้ส่วนมากจะเกิดขึ้นในส่วนที่เป็นตัวกลางในระบบการสื่อสาร อาจจะแก้ได้โดยการเพิ่มกำลังส่ง หรือทำการทวนสัญญาณ คือ การสร้างสัญญาณตัวเดิมขึ้นมาใหม่จากที่ถูกลดทอนไป โดยเมื่อสัญญาณเดินทางเป็นระยะทางไกลๆแล้ว ก็จะทำการทวนสัญญาณเป็นระยะๆ เพื่อรักษาสัญญาณให้คงสภาพที่ดีอยู่ตลอดเวลา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



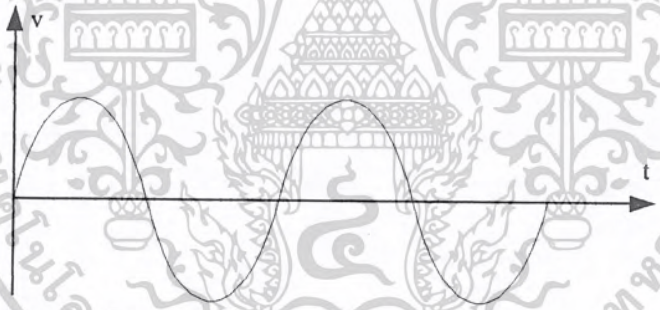
รูปที่ 2.2 block diagram การสื่อสารอย่างละเอียดมากขึ้น

จากส่วนประกอบเพิ่มเติมต่างๆที่ได้กล่าวถึงมานี้ ทำให้ block diagram ของการสื่อสารนั้นสามารถเขียนอย่างละเอียดมากขึ้นได้ดังรูปที่ 2.2 สัญญาณข่าวสารที่ได้มาจากแหล่งกำเนิดข้อมูลนั้น จะถูกทำการเข้ารหัสในเครื่องเข้ารหัส และนำไปทำการมอดูเลต (modulation) กับคลื่นพาห์ (Carrier) ที่มอดูเลเตอร์ (modulator) หลังจากส่งออกไปในตัวกลางก็จะเกิดการลดทอนและสัญญาณรบกวนต่างๆ หลังจากนั้นก็จะเข้าไปยังเครื่องรับ ก็จะทำการแยกสัญญาณข่าวสารออกจากคลื่นพาห์ ซึ่งเรียกว่า การดีมอดูเลต (demodulation) และตัวที่ทำหน้านี้จะเรียกว่าดีมอดูเลเตอร์ (demodulator) แล้วก็จะทำการถอดรหัสสัญญาณที่เครื่องถอดรหัส จึงได้สัญญาณข่าวสารตัวเดิมออกมาที่แหล่งรับข้อมูลในเครื่องรับ เครื่องมือสื่อสารส่วนใหญ่จะเป็นเครื่องรับ-ส่ง โดยจะมีทั้งเครื่องรับและเครื่องส่งอยู่ในตัวเดียวกัน จึงมักจะถูกสร้างตัวเข้ารหัสและตัวถอดรหัสอยู่คู่กันเรียกว่า codec ซึ่งย่อมาจาก **co**der และ **dec**oder และในทำนองเดียวกัน ก็จะสร้าง **mo**dulator และ **dem**odulator อยู่คู่กัน จึงรวมเรียกว่า modem นั่นเอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

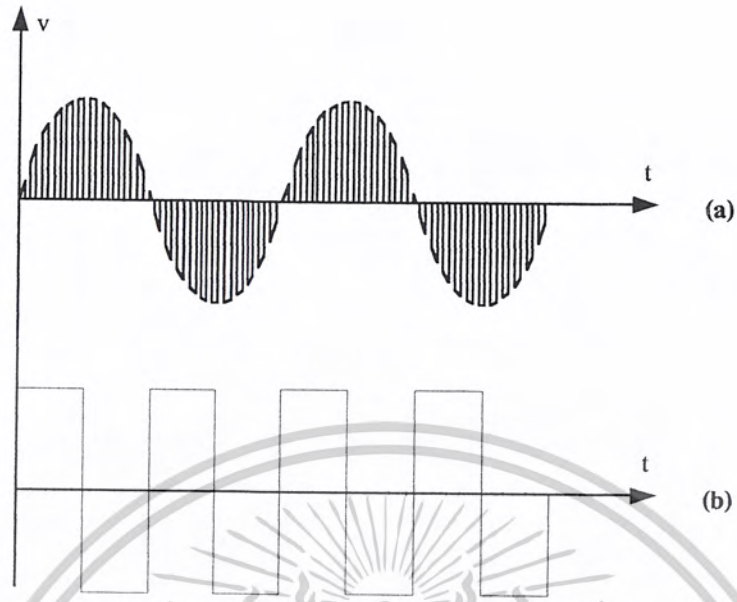
2.2 สัญญาณและการมอดูเลต (Signal and Modulation)

สัญญาณทางไฟฟ้าโดยทั่วไปนั้น เมื่อสังเกตจากการเปลี่ยนแปลงของขนาดสัญญาณแล้ว จะสามารถแบ่งสัญญาณได้ออกเป็น 2 ชนิดใหญ่ คือ สัญญาณอนาลอก และสัญญาณดิจิตอล สัญญาณอนาลอก (analog signal) คือ สัญญาณที่มีขนาดเปลี่ยนแปลงไปตามเวลาอย่างต่อเนื่อง มีลักษณะไม่แน่นอน และขนาดของสัญญาณอนาลอกนี้สามารถเป็นไปได้ทุกค่า สัญญาณที่เกิดขึ้นเองตามธรรมชาติส่วนใหญ่เป็นสัญญาณอนาลอกทั้งสิ้น ส่วนสัญญาณอีกชนิดหนึ่งจะเกิดขึ้นไม่ต่อเนื่องกันตลอดเวลา จะเกิดสัญญาณเป็นระยะๆ และจะหายไปทันทีชั่วขณะ แล้วก็เกิดสัญญาณอีก เรื่อยๆไปอย่างนี้ เรียกสัญญาณนี้ว่า สัญญาณไม่ต่อเนื่อง หรือสัญญาณดีสครีต (discrete signal) และสัญญาณดีสครีตที่มีค่าเปลี่ยนแปลงแค่ 2 ระดับเท่านั้น จึงเรียกว่าสัญญาณดิจิตอล (digital signal) ซึ่งจะเกิดจากการสร้างขึ้นมาเองเท่านั้น จากรูปที่ 2.3 สัญญาณรูปไซน์ (sine wave) จัดเป็นสัญญาณอนาลอกเพราะมีค่าขนาดเปลี่ยนแปลงตลอดเวลา และในรูปที่ 2.4a เป็นสัญญาณดีสครีต จะสังเกตเห็นว่าจะมีลักษณะขาดหายเป็นช่วง ๆ และ ค่าขนาดมีหลายค่า ส่วนในรูป 2.4b นั้น เป็นสัญญาณรูปสี่เหลี่ยม (square wave) จัดเป็นสัญญาณดิจิตอลเพราะมีลักษณะไม่ต่อเนื่องตามเวลาและมีค่าขนาดสัญญาณแค่ 2 ค่าเท่านั้น



รูปที่ 2.3 สัญญาณอนาลอก

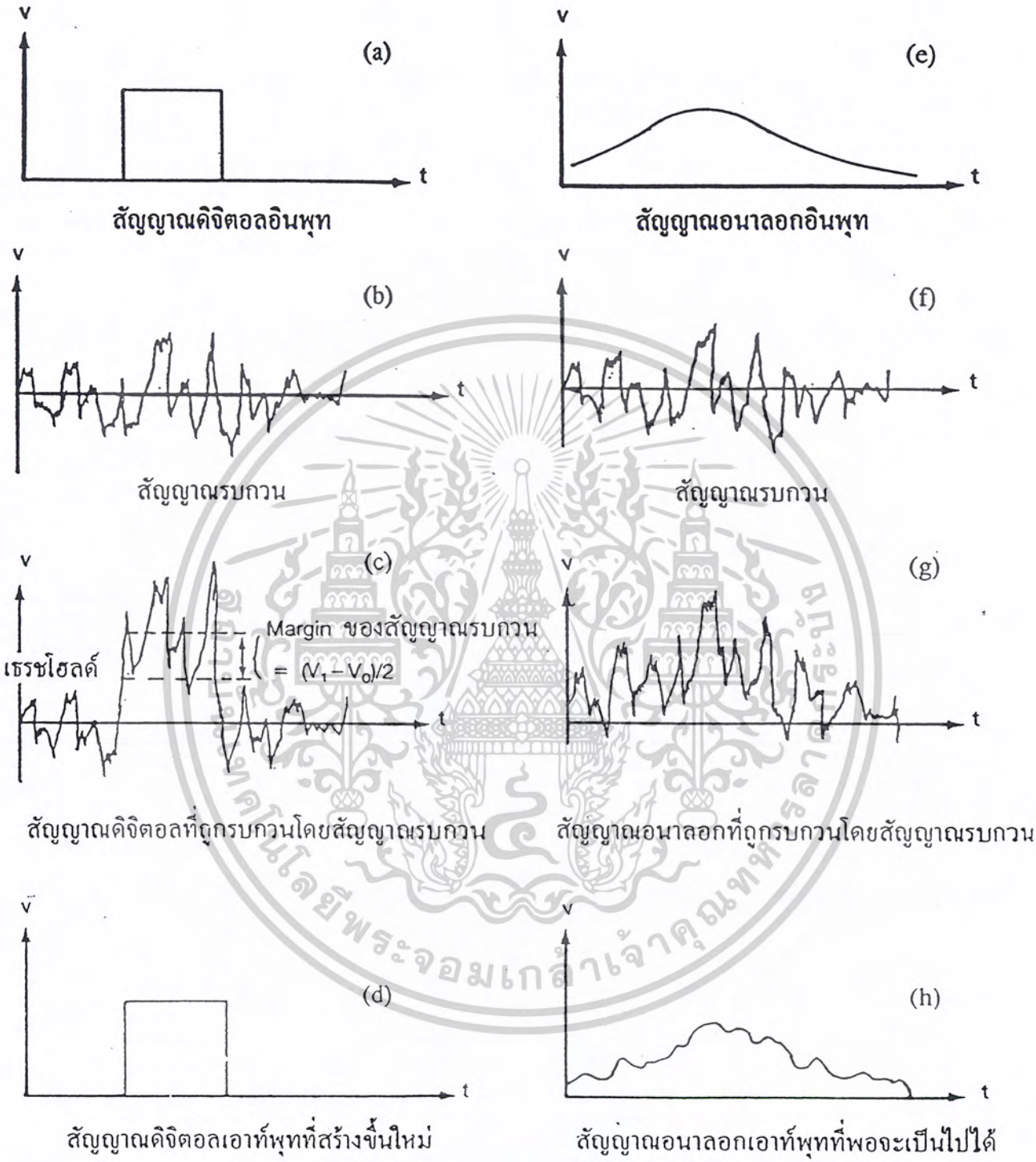
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.4 สัญญาณดีสครีต และ สัญญาณดิจิตอล

ข้อดีของสัญญาณดิจิตอลที่ชัดเจนที่สุดก็คือ สามารถทนต่อสัญญาณรบกวนได้ดีกว่า สัญญาณอนาลอกมาก ดังจะเห็นจากรูป 2.5 สัญญาณดิจิตอลในรูป 2.5a เมื่อถูกรบกวนโดยสัญญาณรบกวนในรูป 2.5b แล้วจะมีลักษณะดังรูป 2.5c แต่ถ้าระดับของสัญญาณรบกวนไม่เกินขีดจำกัด หรือ ระดับ threshold แล้ว (ระดับ threshold ในรูป 2.5c นั้นคือ ระดับกึ่งกลางระหว่างสถานะ "0" และ "1") ก็จะสามารถสร้างสัญญาณออกมาใหม่ได้โดยมีรูปร่างไม่ผิดเพี้ยน ดังรูป2.5d เพราะตัวสร้างสัญญาณใหม่นั้นจะตัดสินว่าขนาดของสัญญาณอยู่เหนือหรือใต้ระดับ threshold เท่านั้น ถ้าอยู่เหนือกว่าจะตัดสินเป็นสถานะ "1" และถ้าต่ำกว่าลงมาจะเป็นสถานะ "0" ส่วนสัญญาณอนาลอกในรูป 2.5e เมื่อถูกรบกวนแล้วจะเป็นการยากที่นำสัญญาณตัวเดิมกลับคืนมา เพราะระดับสัญญาณรบกวนมีผลอย่างมากต่อระดับของสัญญาณอนาลอก ที่ค่อยๆ เปลี่ยนแปลงทีละน้อย จะเห็นว่าสัญญาณที่ได้จะผิดเพี้ยนไปจากเดิมมาก ดังในรูป 2.5h

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.5 ลักษณะสัญญาณอนาลอกและสัญญาณดิจิตอล กับการรบกวน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ข้อดีของสัญญาณดิจิตอลเมื่อเทียบกับสัญญาณอนาลอก

1. สามารถทนต่อสัญญาณรบกวนได้ดี เพราะถ้าระดับการรบกวนไม่เกินระดับthreshold แล้ว ระบบก็ยังสามารถตีค่าสัญญาณได้ถูกต้อง และสามารถทวนสัญญาณและสร้างสัญญาณที่ไม่ผิดเพี้ยนขึ้นใหม่ได้เรื่อย ๆ แต่สัญญาณอนาลอกจะเกิดความผิดพลาดสะสมตลอดเส้นทางโดยหลีกเลี่ยงไม่ได้

2. พัลส์ดิจิตอลมีความเหมาะสมมากกว่าในการมัลติเพล็กซ์ สามารถปรับตัวและเชื่อมต่อกับอุปกรณ์ชนิดต่างๆ ได้ง่าย

3. ง่ายต่อการตรวจสอบข้อผิดผลาด

4. อุปกรณ์มีราคาถูก สามารถสร้างได้ง่าย

5. อุปกรณ์มีขนาดเล็ก

ข้อเสียของสัญญาณดิจิตอล เมื่อเทียบกับสัญญาณอนาลอก

1. band width กว้างกว่าสัญญาณอนาลอก ดังนั้นในการส่งสัญญาณดิจิตอลไม่สามารถบรรจุจำนวนสัญญาณได้เท่ากับสัญญาณอนาลอก

2. มีสัญญาณรบกวนแฝงอยู่ด้วย เช่น quantizing noise แต่สามารถแก้ไขได้

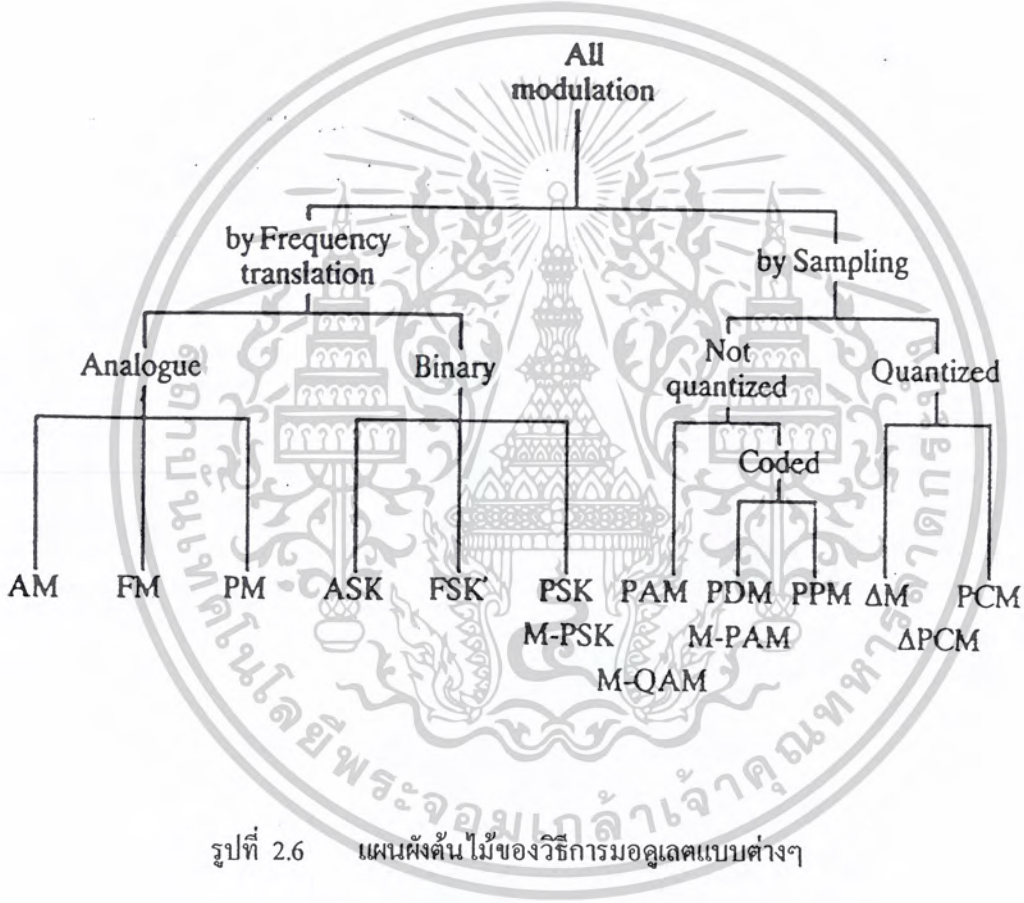
เมื่อเราต้องการที่จะส่งข้อมูลข่าวสารออกไปนั้น เช่น ต้องการจะส่งเสียงออกไป ในการสื่อสารโดยใช้สัญญาณไฟฟ้า เราจะทำการแปลงสัญญาณที่ต้องการจะส่งนั้นให้เป็นสัญญาณทางไฟฟ้าก่อน ซึ่งถ้าพูดถึงสัญญาณเสียงแล้วเราก็จะสามารถทำได้โดยนำไปผ่านไมโครโฟน ก็จะได้สัญญาณไฟฟ้าที่เราต้องการจะส่งออกมา ซึ่งเราจะเรียกสัญญาณนี้ว่า สัญญาณข่าวสาร (information signal) ซึ่งก็จะมีความถี่อยู่ในช่วงใดช่วงหนึ่งตามปกติของสัญญาณนั้นๆ เราเรียกสัญญาณที่มีความถี่อยู่ในช่วงปกติ และไม่มีการเปลี่ยนแปลงความถี่เลยหลังจากกำเนิดมาจากแหล่งกำเนิดนี้ว่า สัญญาณแบนด์มูลฐาน (baseband signal) สัญญาณข่าวสารนี้ส่วนมากมักจะมีลักษณะไม่เหมาะสมที่จะส่งออกไป โดยหลักก็คือความถี่ของสัญญาณที่ไม่เหมาะสม ความถี่ของสัญญาณเสียงคนเรานั้นมีค่าอยู่ในช่วงประมาณ 300 Hz – 3.4 KHz ซึ่งถ้าส่งออกไปในช่วงความถี่นี้เลย ด้วยความถี่ที่ต่ำเช่นนี้ทำให้เราต้องใช้เสาอากาศที่ยาวมาก และความถี่ก็อาจจะไม่ตรงกับช่องสัญญาณที่เราสามารถใช้ได้ ดังนั้นเราจึงต้องทำการย้ายความถี่ไปให้อยู่ในช่วงที่เหมาะสมก่อน โดยจะทำการฝากสัญญาณข่าวสารไปกับคลื่นที่มีความถี่เหมาะสมเรียกว่าคลื่นพาห์ (carrier) โดยจะใช้ลักษณะอย่างใดอย่างหนึ่งของสัญญาณข่าวสาร ซึ่งส่วนมากจะเป็นขนาดสัญญาณไปควบคุมลักษณะอย่างใดอย่างหนึ่งของคลื่นพาห์ ไม่ว่าจะเป็นขนาดสัญญาณ ความถี่ หรืออื่นๆก็ตาม ดังนั้นคลื่นพาห์ก็จะมีลักษณะที่เปลี่ยนแปลงไปที่สัมพันธ์และเป็นสัดส่วนกับสัญญาณข่าวสาร เราเรียกกระบวนการนี้ว่าการมอดูเลตสัญญาณ (signal modulation) การมอดูเลตสัญญาณสามารถแบ่งออกได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เป็น 2 ประเภทใหญ่ๆ คือ การแปลงความถี่ (Frequency translation) และการแปลงเป็นสัญญาณดิจิตอล (Digitizing)

2.2.1 การแปลงความถี่ (Frequency translation) จะจัดให้ขนาดของสัญญาณข่าวสารไปเปลี่ยนแปลงลักษณะอย่างใดของคลื่นพาห์

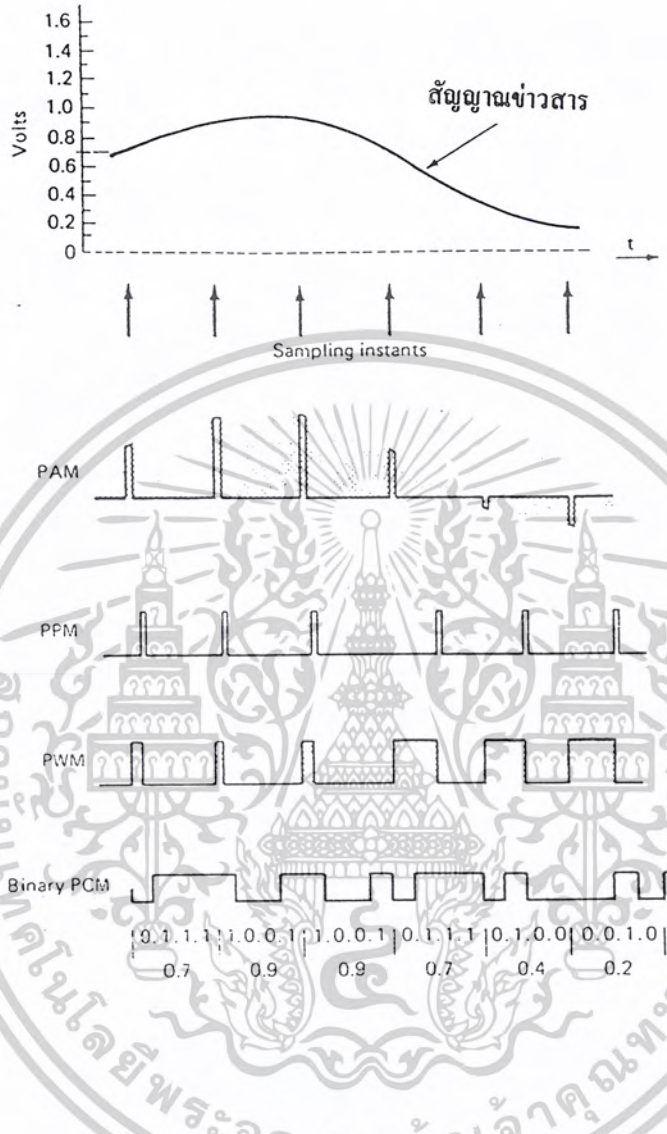
2.2.2 การแปลงเป็นสัญญาณดิจิตอล (Digitizing) สัญญาณข่าวสารจะถูกปล่อยให้ผ่านเป็นช่วงๆ เวลาเท่าๆกัน หรือก็คือทำการชักค่าสัญญาณ (sampling) แล้วจึงค่อยส่งออกไปโดยเข้ารหัสหรือไม่ก็ตาม



รูปที่ 2.6 แผนผังต้นไม้ของวิธีการมอดูเลตแบบต่างๆ

จากรูปที่ 2.6 จะเห็นว่าการมอดูเลตแบ่งได้เป็น 2 ประเภท คือการแปลงความถี่และการแปลงเป็นดิจิตอล ในส่วนของการแปลงความถี่ก็จะแบ่งเป็นแบบอนาลอก เช่น AM (amplitude modulation) โดยจะทำให้ขนาดของคลื่นพาห์เปลี่ยนแปลงตามขนาดของสัญญาณข่าวสารเป็นสัดส่วนกัน หรือ FM (frequency modulation) ซึ่งความถี่ของคลื่นพาห์นั้นจะเปลี่ยนแปลงตามขนาดสัญญาณข่าวสาร อีกแบบคือแบบไบนารี เช่น ASK(amplitude shift keying) หรือ PSK (phase shift keying) ในส่วนของการแปลงเป็นดิจิตอลก็จะเป็นพวกการมอดูเลตพัลส์แบบต่างๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.7 รูปสัญญาณการมอดูเลตพัลส์วิธีต่างๆ

จากรูปที่ 2.7 เมื่อเรานำสัญญาณข่าวสารมาทำการชักค่าสัญญาณให้ผ่านได้เป็นช่วงๆ เราจะได้สัญญาณ PAM (pulse amplitude modulation) ออกมา สัญญาณนี้ก็จะมีลักษณะเป็นสัญญาณดีสครีตค่าขนาดเปลี่ยนแปลงตามสัญญาณข่าวสาร และเป็นไปได้หลายค่า วิธีนี้เป็นวิธีแรกของการมอดูเลตพัลส์ แต่ไม่นิยมนำมาใช้ในทางการสื่อสารเนื่องจากขนาดที่เป็นไปได้หลายค่านั้น เมื่อส่งไปจะเกิดความผิดพลาดได้มากเหมือนสัญญาณอนาลอก ซึ่งสามารถแก้ได้โดยนำไปเข้ารหัสอีกทีหนึ่ง ซึ่งจะช่วยให้ความผิดพลาดลดลงอย่างมาก จะได้แก่วิธีมอดูเลตพัลส์แบบอื่นๆเช่น PWM (pulse width modulation) ซึ่งพัลส์แต่ละลูกจะมีความกว้างเปลี่ยนแปลงตามขนาดสัญญาณข่าวสาร แต่ถ้าเป็นแบบที่ความกว้างพัลส์แต่ละลูกคงที่ แต่พัลส์เลื่อนเวลาออกไปตามขนาดสัญญาณข่าวสารก็จะเรียกว่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

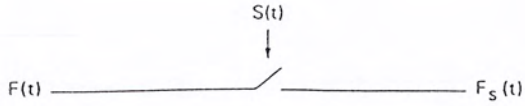
PPM (pulse position modulation) และอีกแบบหนึ่งที่เป็นที่นิยมใช้ในทางการสื่อสารมากก็คือ PCM (pulse code modulation) ซึ่งจะต้องทำการเข้ารหัสสัญญาณให้เป็นรหัสดิจิตอลซึ่งขบวนพัลส์จะเปลี่ยนแปลงตามรหัสนี้ วิธีการมอดูเลตพัลส์แบบต่างๆนี้ ถึงจะเป็นแค่การแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล และความถี่ของสัญญาณก็ยังอยู่ในย่านเดิมก็ตาม แต่ขบวนพัลส์ที่ได้นั้นก็มีลักษณะที่เปลี่ยนแปลงไปขึ้นอยู่กับสัญญาณข่าวสาร จึงถือว่าเป็นการมอดูเลตสัญญาณด้วย

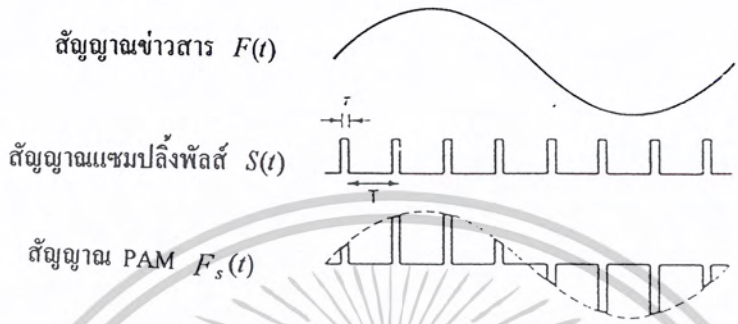
2.3 ทฤษฎีการสุ่มตัวอย่างสัญญาณ (Sampling Theorem)

ในการสื่อสารแบบดิจิตอลนั้น จะต้องนำสัญญาณข่าวสารที่เป็นสัญญาณอนาลอกไปผ่านกระบวนการแปลงให้เป็นสัญญาณดิจิตอลเสียก่อน (A/D , analog to digital conversion) โดยจะทำการแปลงสัญญาณอนาลอกให้เป็นสัญญาณดีสครีตก่อน หลังจากนั้นจึงจะนำไปแปลงเป็นสัญญาณเป็นดิจิตอลอีกทีหนึ่ง แล้วจึงทำการส่งออกไป เมื่อเรารับสัญญาณดิจิตอลนี้มาได้และต้องการสัญญาณข่าวสารตัวเดิมกลับคืนมา เราจะต้องทำการแปลงสัญญาณดิจิตอลเป็นอนาลอก (D/A , digital to analog conversion) โดยในทางกลับถ้าเราต้องทำการแปลงสัญญาณดิจิตอลกลับเป็นสัญญาณดีสครีตก่อน แล้วจึงแปลงเป็นสัญญาณอนาลอก

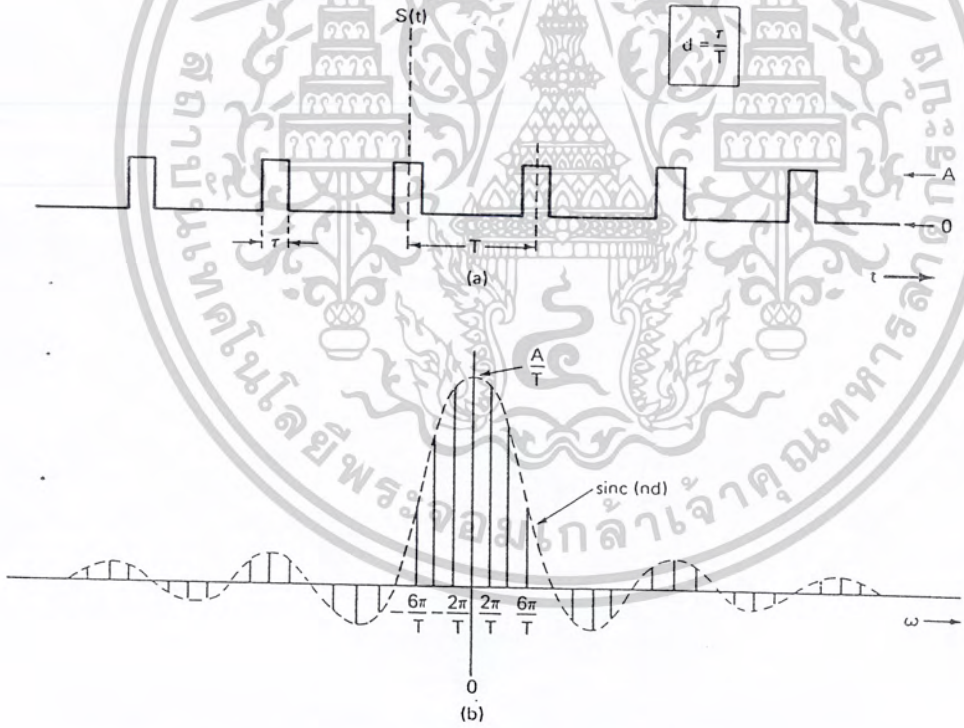
กระบวนการในการแปลงสัญญาณอนาลอกให้กลายเป็นสัญญาณดีสตรีตนั้นทำได้โดยการเลือกสุ่มเอาค่าขนาดของสัญญาณที่เวลาต่างๆ เป็นระยะเวลาเท่ากัน ซึ่งเรียกว่าการสุ่มตัวอย่างสัญญาณหรือการชักค่าตัวอย่างสัญญาณ (Sampling) ระบบการชักค่าสัญญาณจะเป็นดังในรูปที่ 2.8 เราจะต้องนำสัญญาณข่าวสาร $F(t)$ มาผ่านสวิตช์อนาลอกซึ่งเรียกว่า sampling gate เพื่อทำการปล่อยให้สัญญาณผ่านได้เป็นช่วงๆ โดยจะมีสัญญาณควบคุมการแซมปลิ้ง $S(t)$ คอยควบคุมการทำงาน สัญญาณเอาต์พุต $F_s(t)$ ที่ได้นั้นจะมีขนาดเท่าสัญญาณข่าวสารในช่วงที่ปล่อยให้สัญญาณข่าวสารผ่านมาได้หรือก็คือช่วงเวลาที่มีพัลส์บวกของสัญญาณ $S(t)$ มาทำให้สวิตช์ปิดลง ส่วนเวลานอกเหนือจากนี้สัญญาณข่าวสารจะผ่านไม่ได้และ $F_s(t)$ มีค่าเป็น 0 ซึ่งก็คือสัญญาณ PAM นั่นเอง

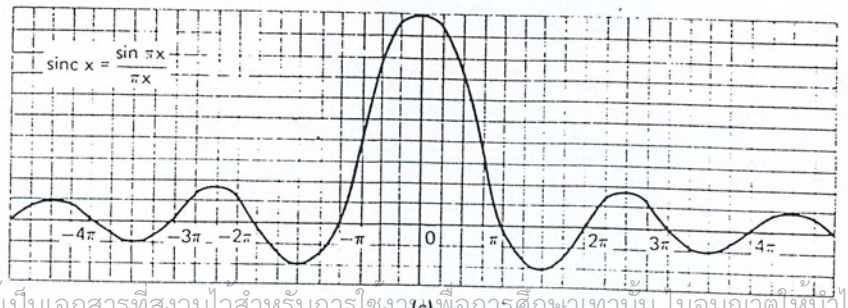
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้





รูปที่ 2.8 ระบบการชักค่าสัญญาณและรูปสัญญาณ





เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 2.9 รูปสัญญาณควบคุมการ sampling และ spectrum

จากสัญญาณควบคุมการแซมปลิ้งในรูปที่ 2.9a ที่มีคาบเวลา T และมีความกว้างพัลส์ τ ขนาดสูงสุดของพัลส์คือ A นั้น สัญญาณเป็นลักษณะไม่ต่อเนื่อง และสามารถเขียนเป็นสมการได้ดังนี้

$$S(t) = \begin{cases} A & \text{when } -\frac{\tau}{2} < t < \frac{\tau}{2} \\ 0 & \text{when } \frac{\tau}{2} < t < T - \frac{\tau}{2} \end{cases} \tag{2.2}$$

และจากการทำ exponential Fourier transform ในช่วง $-\frac{\tau}{2}$ ถึง $T-\frac{\tau}{2}$ แล้ว จะได้ exponential Fourier series, S_n ของสัญญาณ $S(t)$ ดังสมการที่ 2.3

$$S_n = \frac{A}{n\pi}\sin\left(n\pi\frac{\tau}{T}\right) \tag{2.3}$$

ค่า $\frac{\tau}{T}$ นั้น ก็จะคือ duty cycle ของสัญญาณนั่นเอง ถ้าเราให้ d คือ duty cycle ทำการแทนค่าลงในสมการและจัดรูปใหม่จะได้สมการที่ 2.4

$$S_n = Ad\left(\frac{\sin(n\pi d)}{n\pi d}\right) \tag{2.4}$$

จากสมการที่ 2.4 นี้ จะเห็นว่ามีลักษณะสมการเหมือนกับ sinc function ในสมการที่ 2.5

$$\text{sinc}(x) = \frac{\sin(\pi x)}{\pi x} \tag{2.5}$$

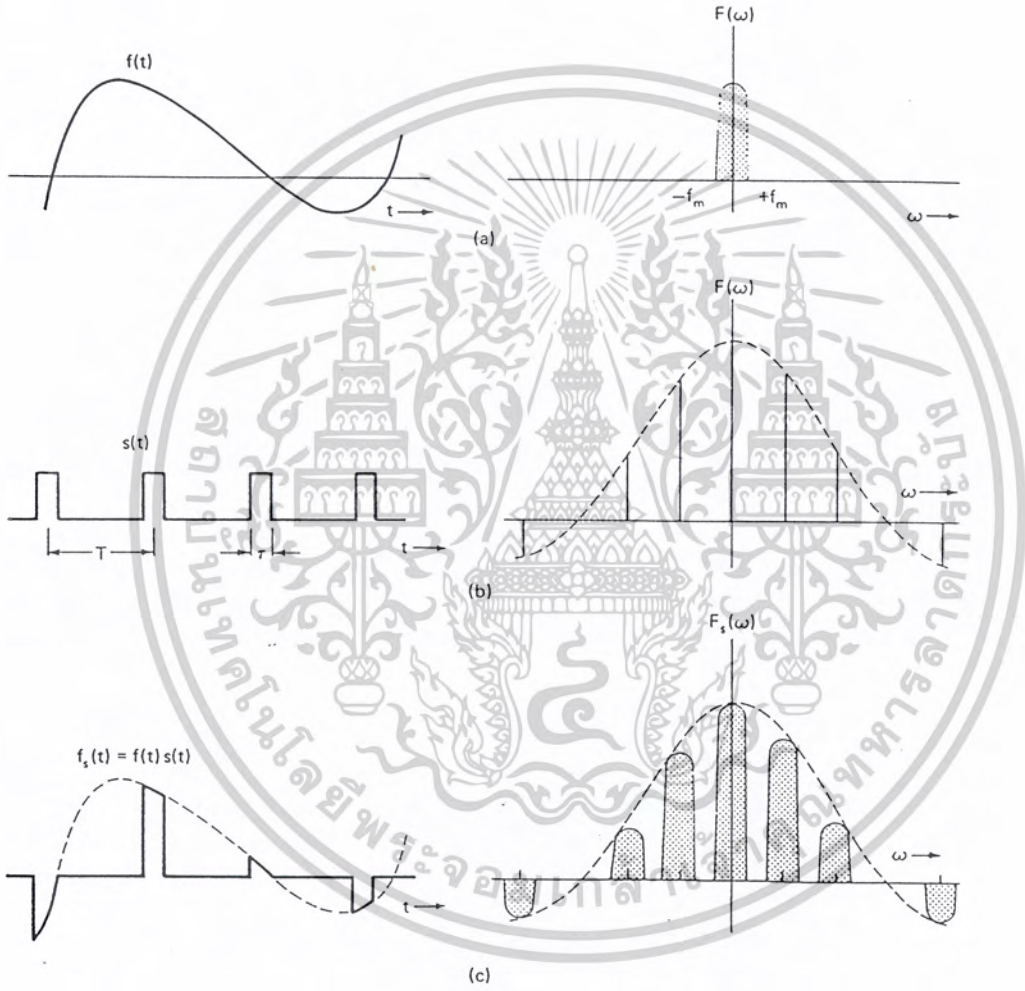
รูปกราฟของ sinc function นี้จะเป็นดังในรูปที่ 2.9c สมการที่ 2.4 นั้นก็คือ sinc function นี้เอง แต่มีค่า $x = nd$ รูปกราฟก็จะเหมือนกัน แต่เนื่องจากสัญญาณ $S(t)$ นั้นเป็นสัญญาณไม่ต่อเนื่อง และจากทำ Fourier transform ของ periodic function แล้วจะได้ว่าสเปคตรัมของสัญญาณ $S(t)$ นั้น จะเป็นอิมพัลส์ที่ห่างกันเป็นช่วงๆ ช่วงละ ω และมีขนาดเป็นเค้าโครงเป็น $2\pi Ad\,\text{sin}\,c(nd)$ ดังในรูปที่ 2.9b

จากระบบการชักค่าสัญญาณในรูปที่ 2.8 เราสามารถเขียนสมการของสัญญาณ $F_s(t)$ ให้อยู่ในรูปของ $F(t)$ และ $S(t)$ ได้ดังสมการที่ 2.6

$$F_s(t) = F(t)S(t) \tag{2.6}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากทฤษฎีการ Convolution ที่ว่า ผลคูณของฟังก์ชั่น 2 ฟังก์ชั่นที่คูณกันใน time domain จะสมมูลกับสเปคตรัมของทั้ง 2 ทำการ Convolution กันใน frequency domain



รูปที่ 2.10 สัญญาณและสเปคตรัมของสัญญาณ $F(t)$, $S(t)$ และ $F_s(t)$

จากรูปที่ 2.10 ถ้ากำหนดให้สัญญาณข่าวสาร $F(t)$ มีรูปร่างและสเปคตรัมดังในรูปที่ 2.10a และสัญญาณ $S(t)$ ในรูปที่ 2.10b เมื่อทำการ Convolution แล้วจะได้สเปคตรัมของสัญญาณ $F_s(t)$ ดังในรูปที่ 2.10c จะเห็นว่าเค้าโครงของสเปคตรัมยังคงเหมือนกับ $S(t)$ แต่จะมีสเปคตรัมของ $F(t)$ ทั้ง sideband บวกและลบเพิ่มมาอยู่ที่ทุกๆอิมพัลส์

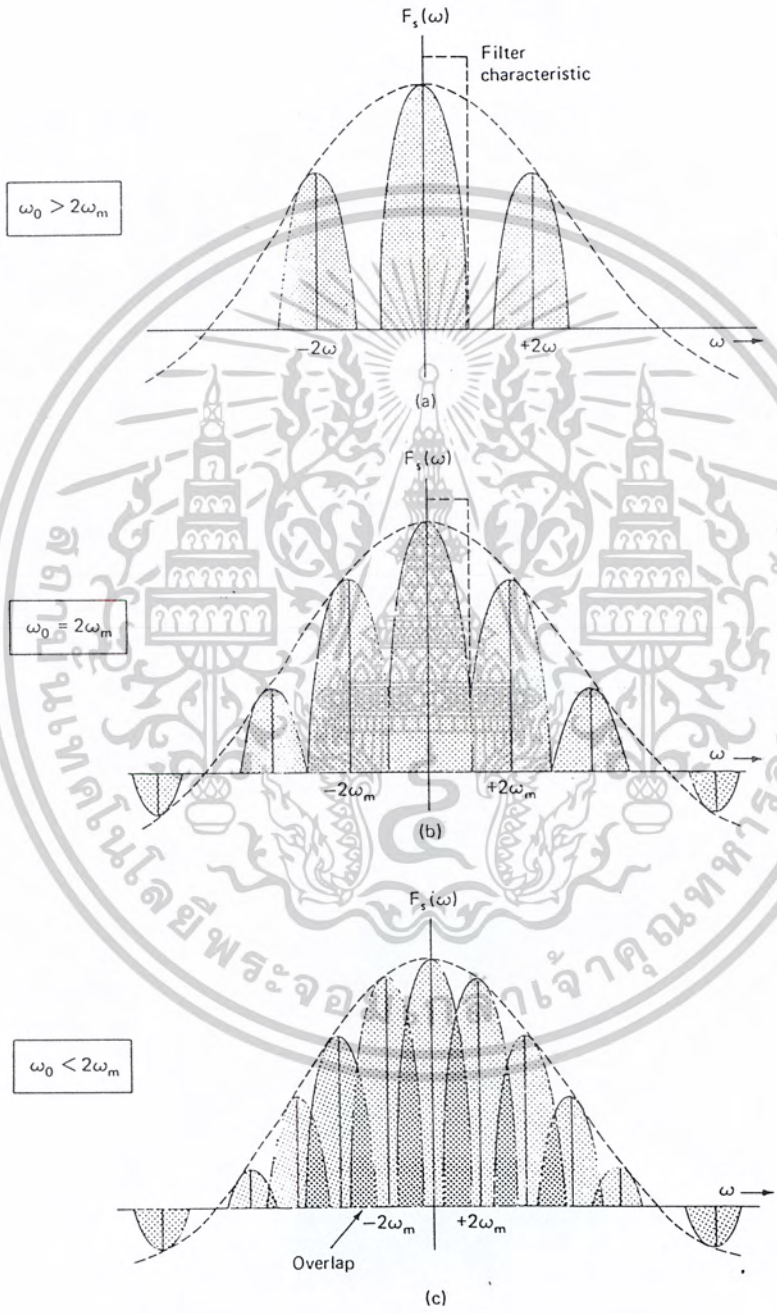
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

การแซมปลิ้งสัญญาณในอุดมคติ ideal sampling นั้น สัญญาณ $S(t)$ ที่ใช้จะมีความกว้างพัลส์เข้าใกล้ 0 ซึ่งก็คือ d จะเข้าใกล้ 0 เช่นเดียวกัน ดังนั้น เค้าโครงของสเปคตรัมสัญญาณ $S(t)$ ซึ่งคือ $\text{sinc}(nd)$ นั้นจะเท่ากับ sinc(0) และเท่ากับ 1 เป็นดังรูปที่ 2.11a เมื่อนำสัญญาณข่าวสารในรูปที่ 2.10a มาทำการแซมปลิ้งก็จะได้สเปคตรัมของสัญญาณ $F_s(t)$ ดังรูปที่ 2.11b ideal sampling นี้ต้องการ bandwidth ในการส่งเป็นอนันต์และไม่สามารถทำได้จริงในทางปฏิบัติ การแซมปลิ้งปกติที่ไม่ใช่ในทางอุดมคติเรียกว่า natural sampling จะต้องการ bandwidth ในการส่งที่มีค่าจำกัด เมื่อ $F_s(\omega)$ ลดทอนลงตามความถี่ที่เพิ่มขึ้น และลดทอนไปมากจนสามารถละทิ้งได้ที่ความถี่สูงๆ เมื่อความกว้างพัลส์มากขึ้น สเปคตรัมของสัญญาณ $S(t)$ ก็จะลดทอนไปเร็วขึ้นและก็จะต้องการ bandwidth ที่แคบลง จะเห็นว่าการส่งโดยใช้พัลส์กว้างๆนั้น จะสิ้นเปลือง bandwidth น้อยกว่า แต่เมื่อมาพิจารณาในทางเวลาแล้ว โดยปกติสัญญาณที่ทำการแซมปลิ้งจะใช้ในการมัลติเพล็กซ์แบบแบ่งเวลา ซึ่งถ้าเราทำให้ความกว้างพัลส์นี้แคบๆ ก็จะสามารถรวมสัญญาณไปได้หลายสัญญาณมากขึ้น

การทำ natural sampling นี้ ต้องทำที่อัตราที่เหมาะสมกับความถี่สัญญาณข่าวสาร คือ ถ้าสัญญาณข่าวสารนั้นมีองค์ประกอบสัญญาณที่มีความถี่สูงสุด f_m แล้ว จะต้องทำการแซมปลิ้งที่ความถี่อย่างน้อย 2 เท่าของ f_m นี้ ท้ายสุดแล้วจึงจะสามารถกู้สัญญาณข่าวสารเดิมออกมาได้ถูกต้อง เราจะพิจารณาจากสเปคตรัม $F_s(\omega)$ เมื่อทำการแซมปลิ้งที่ความถี่ต่ำกว่า , สูงกว่า และเท่ากับ $2f_m$ ดังในรูปที่ 2.11

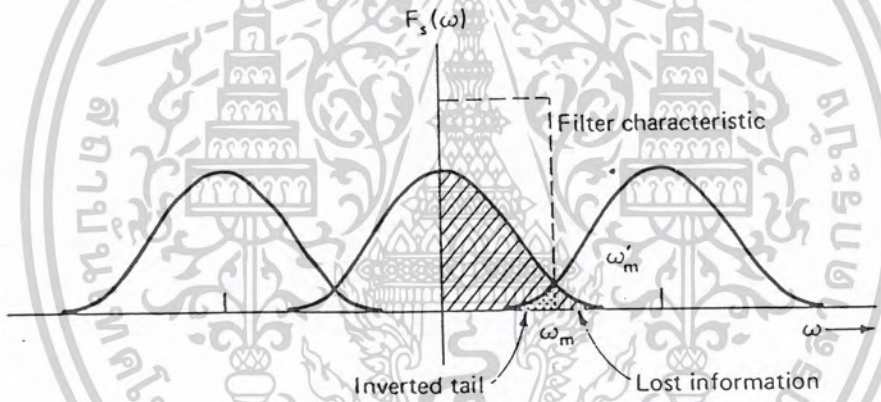
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
50082



รูปที่ 2.11 สเปกตรัม $F_s(\omega)$ ที่ความถี่ในการแซมปลิ้งต่างๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อเราทำการแซมปลิ้งที่ความถี่สูงกว่า $2f_m$ สเปคตรัมจะถูกแบ่งแยกออก โดยจะมีช่วงว่างๆ (guard space) คั่นอยู่ ดังรูปที่ 2.11a จากการทำ Fourier transform เพื่อหาลักษณะของสเปคตรัมนั้น ทำให้ทราบว่าข้อมูลที่สมบูรณ์ทั้งหมดจะบรรจุอยู่ในทุกๆ sideband ดังนั้นเราจึงสามารถกู้สัญญาณข้อมูลกลับมาได้โดยการกรอง sideband หนึ่งออกมาดังรูป ถ้าเราทำการแซมปลิ้งที่ความถี่เท่ากับ $2f_m$ สเปคตรัมจะอยู่ชิดกันดังรูปที่ 2.11b ด้วยอัตรานี้เราก็ยังสามารถกรอง sideband หนึ่งออกมาได้ แต่ถ้าทำการแซมปลิ้งที่ความถี่ต่ำกว่า $2f_m$ สเปคตรัมจะซ้อนทับกันดังในรูปที่ 2.11c ในกรณีนี้จะไม่สามารถกรองสัญญาณข่าวสารออกมาได้อย่างถูกต้อง ถ้าซ้อนทับกันมาก สัญญาณที่กู้ได้ก็จะไม่สามารถตีความหมายได้เลย แต่ถ้าทับกันเพียงเล็กน้อย สัญญาณที่กู้ได้ก็จะผิดเพี้ยนไปบ้าง และอาจยังพอจะตีความหมายได้ การผิดเพี้ยนของสัญญาณโดยสาเหตุนี้เรียกว่า Aliasing error หรือ fold-over distortion ดังรูปที่ 2.12

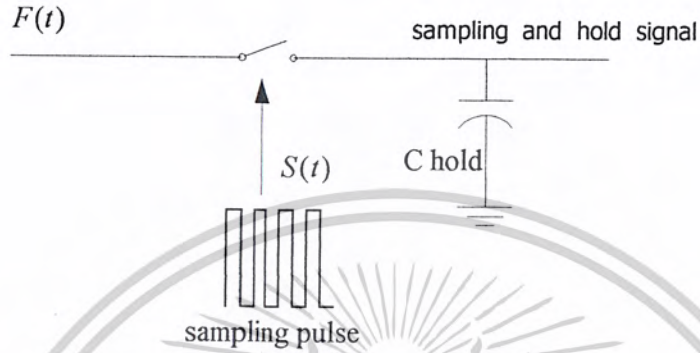


รูปที่ 2.12 Aliasing error(fold-over distrotion)

อัตราการแซมปลิ้งที่ $2f_m$ นี้ถือเป็นอัตราต่ำสุดที่สามารถใช้ได้ เรียกว่า Nyquist rate หรือ critical sampling rate ถึงแม้อัตราต่ำสุดจะเท่ากับ $2f_m$ ก็ตามแต่จากรูปที่ 2.11b จะเห็นว่า filter characteristic ที่กรองสัญญาณออกมานั้นมีลักษณะคมมากและยากในการที่จะสร้าง filter ที่มีลักษณะนี้ได้ ดังนั้นเราจึงควรจะต้องทำการแซมปลิ้งสัญญาณข่าวสารด้วยอัตรามากกว่า $2f_m$ เล็กน้อย ให้เป็นดังรูปที่ 2.11a เพื่อลดความยุ่งยากของ filter ลง ในการกู้สัญญาณข่าวสารคืนนั้นก็จะใช้ low pass filter ที่มีค่าความถี่คัทออฟอย่างน้อยเท่ากับ f_m และอย่างมากไม่เกิน $f_s - f_m$ เพราะจากรูปที่ 2.11a ถ้าความถี่คัทออฟเกิน $f_s - f_m$ แล้ว จะไปกรองติดส่วนปลายของสเปคตรัมช่วงต่อไปมาด้วยและทำให้สัญญาณผิดพลาด เสียงของคนเรานั้นอยู่ในช่วงความถี่ตั้งแต่ 300 Hz - 3.4 KHz ถ้าจะแซมปลิ้งสัญญาณเสียงคนเรานั้น อัตราต่ำสุดก็จะเท่ากับ 6.8 KHz แต่ในทางปฏิบัติจะเพิ่มอัตราขึ้นเล็กน้อยดังที่ได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กล่าวมาแล้วและอัตราที่นิยมใช้คือ 8 KHz ในระบบ PCM นั้น ไม่ได้ต้องการแค่การทำการชักค่าสัญญาณเท่านั้น แต่ต้องทำการชักค่าและคงค่าสัญญาณ sampling and hold ซึ่งก็จะคล้ายกับการทำการชักค่าสัญญาณธรรมดา แต่ค่าขนาดของทุกๆอิมพัลส์จะถูกคงค่าไว้ตลอดช่วงการแซมปลิ้งนั้นๆ ระบบการชักค่าและคงค่าสัญญาณนี้จะเป็นดังรูปที่ 2.13

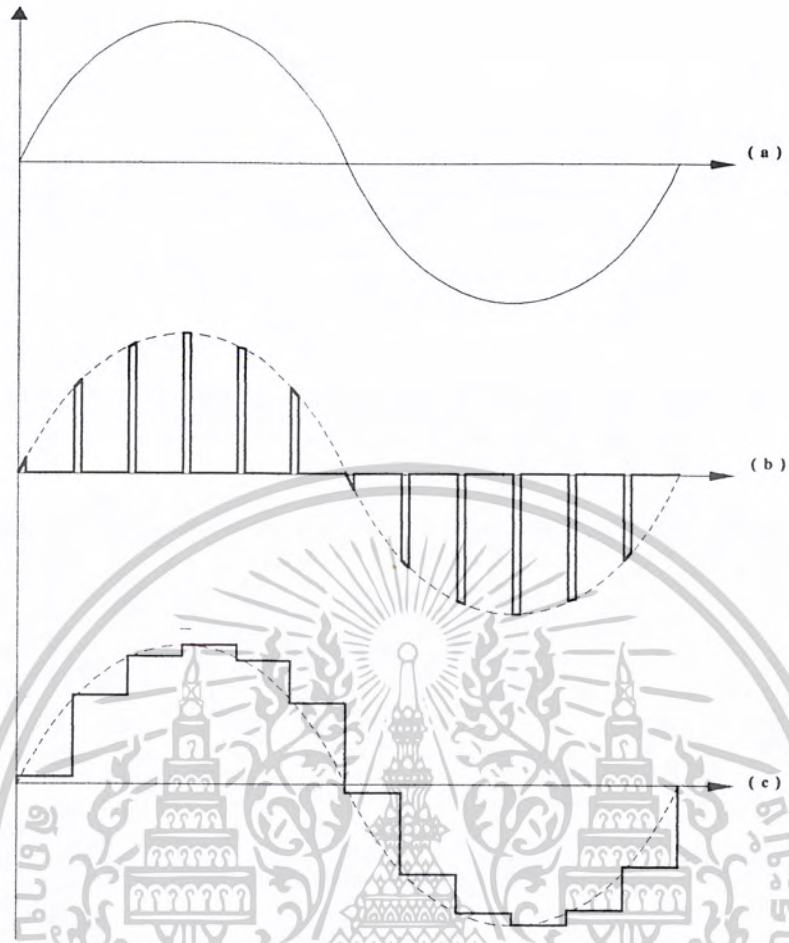


รูปที่ 2.13 ระบบการชักค่าและคงค่าสัญญาณ

ค่าสัญญาณจะถูกคงค่าไว้จนกว่าจะถึงการชักค่าครั้งต่อไป โดยตัวที่ทำหน้าที่นี้คือ C Hold ในรูปที่ 2.13 เมื่อสวิตช์ปิดลง C ก็จะถูก charge อย่างรวดเร็วจนถึงค่าแรงดันเท่ากับขนาดสัญญาณข่าวสารในขณะนั้น และเมื่อสวิตช์เปิด C ก็จะไม่ discharge เพื่อรักษาค่าแรงดันไว้ วงจรส่วนที่ต่อจากวงจรนี้จึงต้องมี input impedance ที่สูงเพื่อป้องกันการ discharge ของ C ด้วย

รูปสัญญาณ sampling and hold จะเป็นดังในรูปที่ 2.14c เมื่อกำหนดให้สัญญาณข่าวสารดังรูป 2.14a และสัญญาณแซมปลิ้ง $S(t)$ ในรูปที่ 2.14b

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

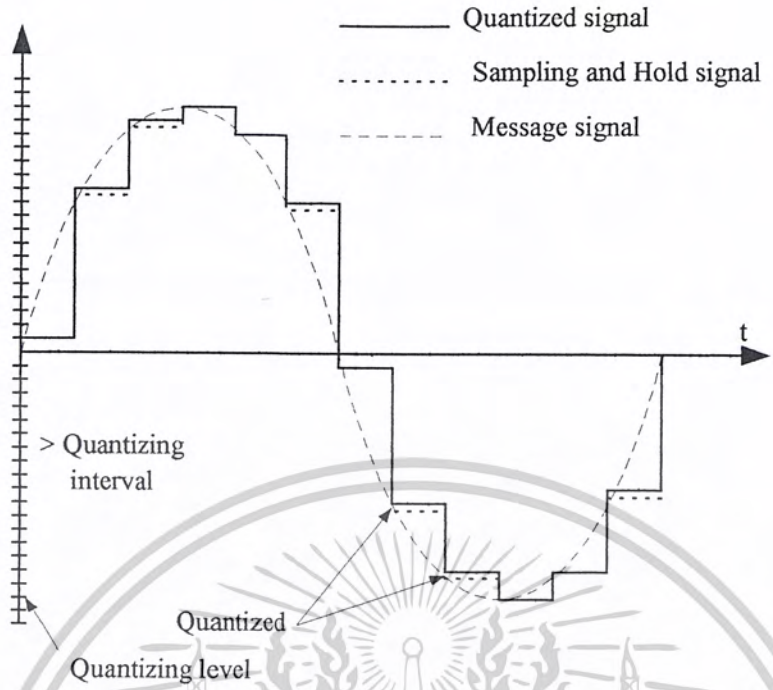


รูปที่ 2.14 รูปสัญญาณ sampling and hold

2.4 การจัดระดับสัญญาณ (Quantization)

จากหัวข้อที่ 2.3 เรื่องการชักค่าตัวอย่างสัญญาณนั้น ถึงแม้ว่าเราจะสร้างสัญญาณดีสครีต ที่สามารถกู้สัญญาณข่าวสารเดิมได้อย่างถูกต้อง (PAM) แล้วก็ตาม แต่เนื่องจากระดับของสัญญาณ PAM นั้นยังสามารถเป็นไปได้หลายค่าอยู่ จึงถูกรบกวนได้ง่ายพอๆ กับสัญญาณอนาลอก ดังนั้นแทนที่จะนำสัญญาณนี้ไปส่งเลย ในระบบ PCM จะทำการการกำหนดรหัสให้กับแต่ละค่าสัญญาณก่อน แล้วจึงค่อยส่งออกไปในรูปพัลส์ดิจิตอล อย่างไรก็ตามเนื่องจากค่าสัญญาณข้อมูลที่สุ่มออกมานั้นสามารถมีค่าต่างๆ ได้มากมาย เราจึงไม่สามารถกำหนดรหัสแทนค่าสัญญาณต่างๆได้ทั้งหมด ดังนั้นจึงต้องทำการลดจำนวนข้อมูลลงเสียก่อน โดยจะทำการแบ่งค่าขนาดสัญญาณออกเป็นกลุ่มๆ และเมื่อค่าขนาดสัญญาณที่เข้ามาอยู่ในกลุ่มไหนก็จะปัดค่าเป็นค่ากลางค่าเดียวในกลุ่มนั้นๆและทำการกำหนดรหัสให้กับทุกกลุ่ม แล้วจึงเป็นหน้าที่ของวงจรเข้ารหัสที่จะทำการสร้างขบวนพัลส์ตามรหัสเหล่านี้

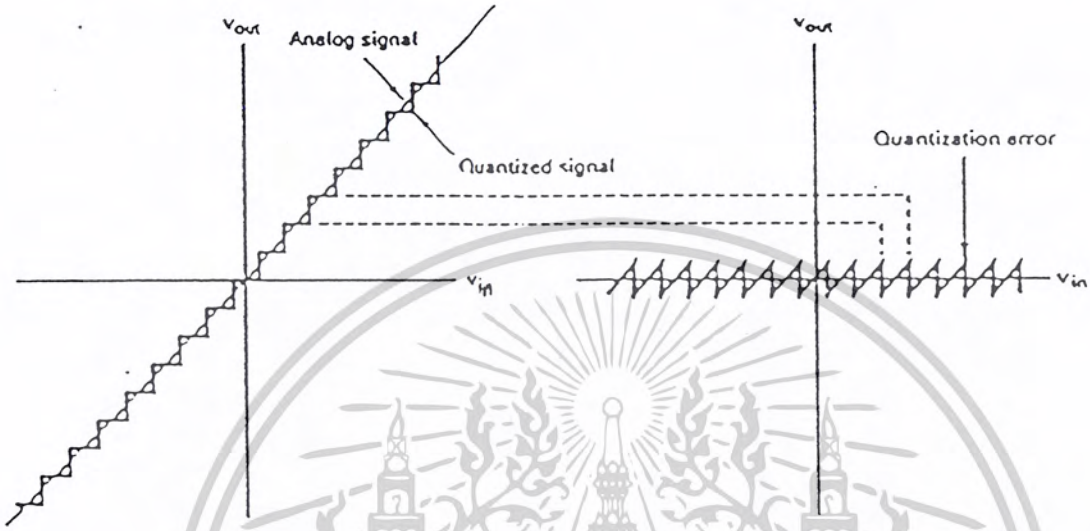
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.15 ลักษณะการจัดระดับสัญญาณ

จากรูปที่ 2.15 จะมีการแบ่งค่าขนาดสัญญาณออกเป็นกลุ่ม ซึ่งความกว้างของแต่ละกลุ่มนั้นเรียกว่า quantizing interval ในแต่ละกลุ่มก็จะมีค่ากลางของตัวเอง เรียกว่า ระดับการควอนไทซ์ quantizing level การปัดประมาณค่าขนาดสัญญาณในลักษณะนี้เรียกว่านี้เรียกว่า การจัดระดับสัญญาณ หรือการทำควอนไตเซชั่น (quantization) ผลจากการการปัดค่านี้ก็จะทำให้ค่าขนาดของสัญญาณเปลี่ยนไปและทำให้เกิดความผิดพลาดขึ้นคล้ายกับว่ามีสัญญาณมารบกวน เราจึงเรียกสิ่งนี้ว่า สัญญาณรบกวนจากการควอนไตเซชั่น (quantization noise) หรือ ค่าความผิดพลาดจากการจัดระดับสัญญาณ (quantizing error) เมื่อค่าสัญญาณข่าวสารมีขนาดเกินระดับสูงสุดที่ตั้งไว้ หรือน้อยกว่าระดับต่ำสุด จะเกิดภาวะ overload ค่าความผิดพลาดจะเพิ่มขึ้นตลอด ซึ่งระบบจะต้องไม่จะทำงานในสภาพนี้

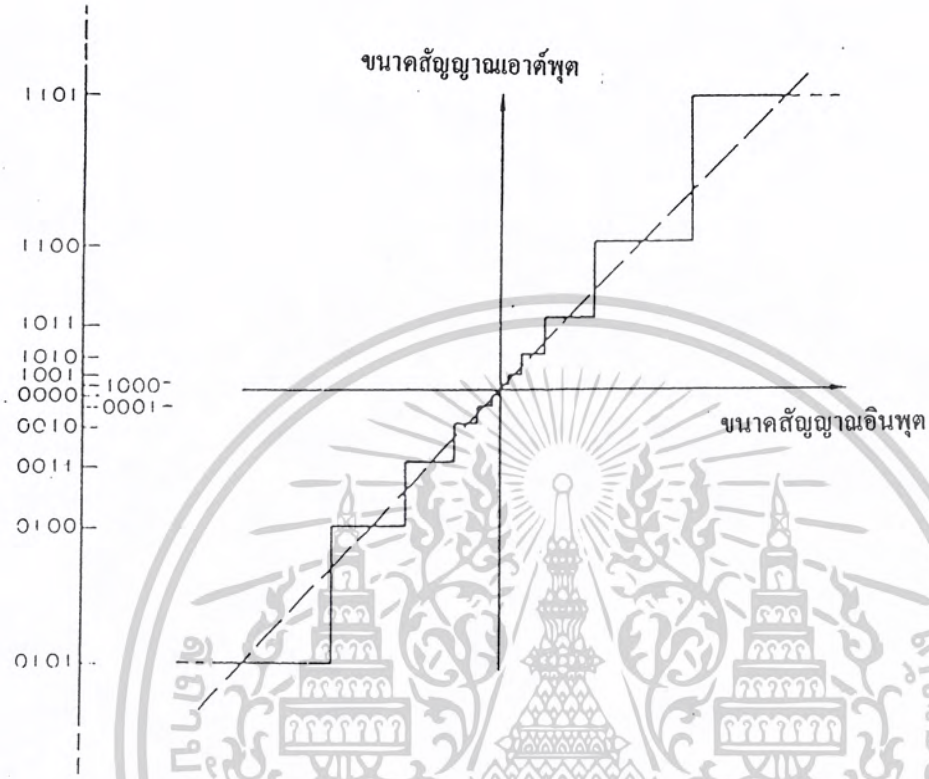
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.16 กราฟแสดงความสัมพันธ์ระหว่างแรงดัน input และ output ของการควอนไทซ์แบบเชิงเส้นและความสัมพันธ์ของค่าความผิดพลาดจากการควอนไทซ์

สัญญาณรบกวนรูปแบบนี้จะมีผลมากที่สุดต่อระบบการสื่อสารแบบ PCM มากกว่าสัญญาณรบกวนในรูปแบบอื่นๆ จากรูปที่ 2.16 จะเห็นว่าค่าความผิดพลาดนี้จะมีค่ามากที่สุดเท่ากับครึ่งหนึ่งของความกว้างของระดับ ดังนั้นเราสามารถลดความผิดพลาดได้โดยการลดความกว้างแต่ละระดับลงมา หรือก็คือเพิ่มจำนวนระดับนั่นเอง การควอนไทซ์มี 2 แบบ ได้แก่ การควอนไทซ์แบบเชิงเส้น (linear quantization) ระดับทุกระดับจะมีขนาดเท่ากัน ก็คือแบบที่ได้กล่าวข้างต้น และอีกแบบคือ การควอนไทซ์แบบไม่เชิงเส้น (nonlinear quantization) โดยจะมีระดับแต่ละระดับไม่เท่ากัน สังเกตความสัมพันธ์ระหว่างแรงดัน input และ output ได้จากรูปที่ 2.17

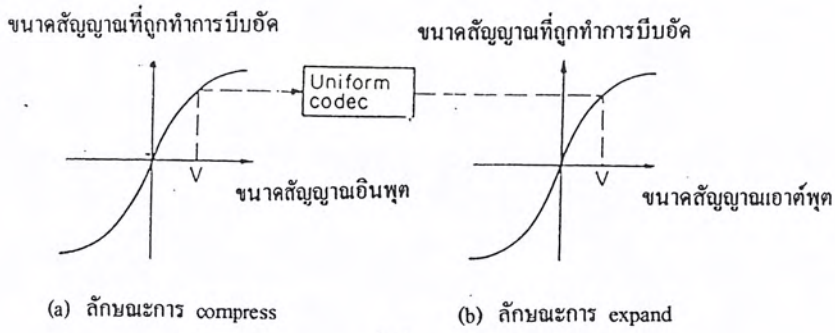
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.17 กราฟแสดงความสัมพันธ์ระหว่างแรงดัน input และ output ของการควอนไทซ์แบบไม่เชิงเส้น

จากรูปที่ 2.17 ขนาดของแต่ละระดับจะห่างกันไม่มาก เมื่อสัญญาณมีขนาดต่ำและจะห่างกันมากขึ้นเรื่อยๆ เมื่อขนาดสัญญาณเพิ่มขึ้น ดังนั้นความผิดพลาดช่วงขนาดสัญญาณต่ำจะน้อยมากและจะค่อยๆ เพิ่มขึ้นตามขนาดสัญญาณ การควอนไทซ์แบบนี้เหมาะจะนำไปใช้กับสัญญาณเสียง เพราะสำหรับสัญญาณเสียงแล้ว การควอนไทซ์แบบไม่เชิงเส้นนี้จะทำให้เกิดอัตราการผิดพลาดน้อยกว่าแบบเชิงเส้นในจำนวนระดับที่เท่ากัน สามารถทำได้โดยโดยนำสัญญาณไปผ่านวงจรบีบอัดสัญญาณ (compressor) ก่อน แล้วจึงทำการควอนไทซ์แบบเชิงเส้นธรรมดา เมื่อต้องการดีมอดูเลต ก็จะต้องนำมาถอดรหัสแบบเชิงเส้นก่อนแล้วจึงนำไปเข้าวงจรขยายสัญญาณ (expander) ก็จะได้สัญญาณตามปกติออกมา อุปกรณ์คู่นี้เรียกรวมกันว่า compander และเรียกการบีบอัดสัญญาณ กับ การขยายสัญญาณรวมกันว่า companding

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



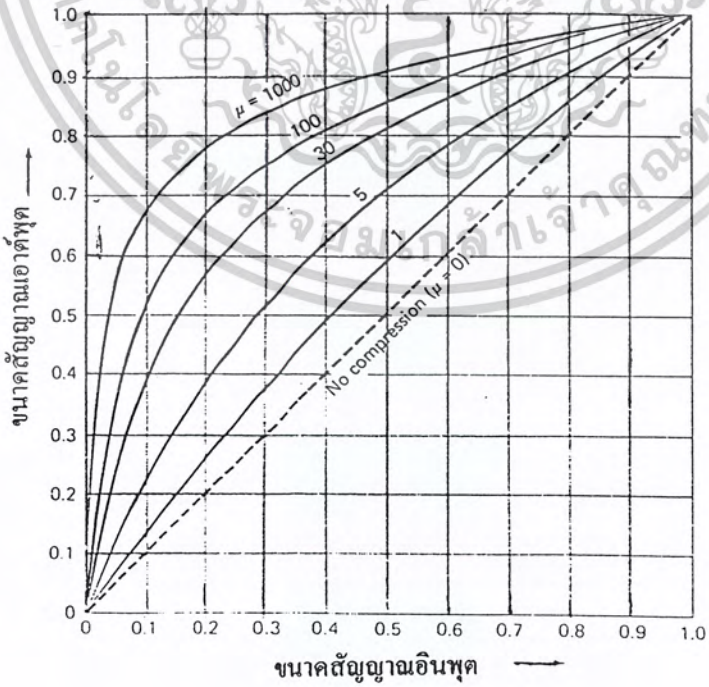
รูปที่ 2.18 ความสัมพันธ์ของการบีบอัดและขยายสัญญาณ

ลักษณะการบีบอัดจะมีอยู่ 2 ลักษณะ แล้วแต่ประเทศที่คิดค้น จะมีอยู่ 2 แบบ คือ A – law และ μ – law จะมีลักษณะการบีบอัดเป็นกราฟลอการิทึม μ – law จะเป็นมาตรฐานของอเมริกา และ ญี่ปุ่น ความสัมพันธ์ของ μ – law จะเป็นไปตามสมการที่ 2.7

$$y = \frac{\log(1+\mu x)}{\log(1+\mu)} \quad \text{เมื่อ } 0 \le x \le 1 \tag{2.7}$$

เมื่อ x คือ input signal amplitude

y คือ output signal amplitude



รูปที่ 2.19 คุณลักษณะการบีบอัดแบบ μ – law

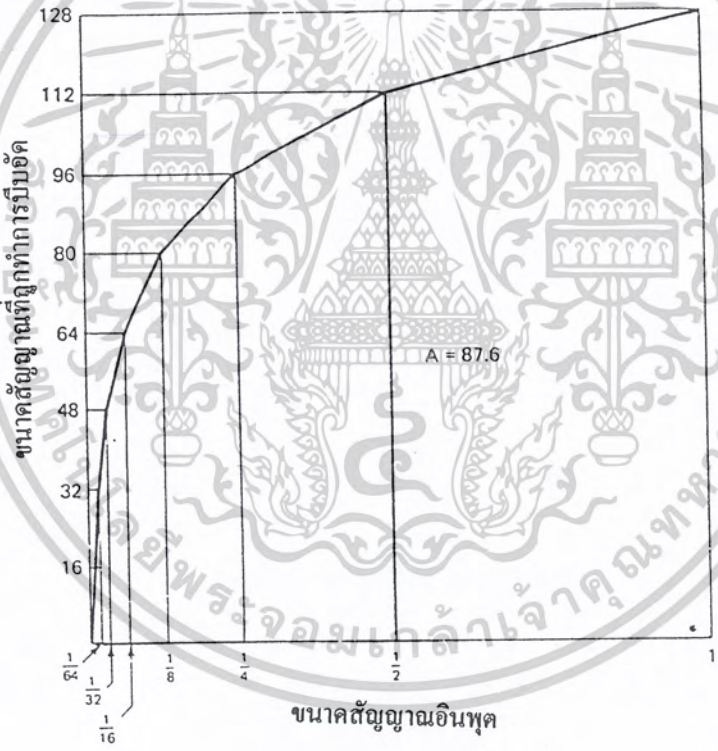
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 2.19 เมื่อค่า $\mu = 0$ ก็จะไม่มีการบีบอัดเลย ค่าที่นิยมใช้คือ $\mu = 255$ ส่วนความสัมพันธ์ของ A – law ซึ่งเป็นมาตรฐานของทางยุโรป จะเป็นไปตามสมการที่ 2.8

$$\begin{aligned} y &= \frac{1+\log Ax}{1+\log A} && 0 \le x \le 1/A \\ y &= \frac{Ax}{1+\log A} && 1/A \le x \le 1 \end{aligned} \quad \text{เมื่อ} \qquad (2.8)$$

เมื่อ x คือ input signal amplitude

y คือ output signal amplitude



รูปที่ 2.20 คุณลักษณะการบีบอัดแบบ A-law แบบแบ่ง segment (A = 87.6)

ค่า A-law ที่นิยมใช้คือ A = 87.6 เนื่องจากอัตราการบีบอัดที่เปลี่ยนแปลงต่อเนื่องกันตลอดเวลานั้นทำให้สร้างวงจรได้ยาก จึงนิยมใช้ แบบแบ่ง segment ดังรูปที่ 2.20 โดยจะมีลักษณะการบีบอัด เป็นช่วง linear หลายๆช่วง โดยแต่ละช่วงก็จะมีอัตราการบีบอัดไม่เท่ากัน แต่จะให้ใกล้เคียงกับแบบปกติมากที่สุด ซึ่งตามปกติแล้ว A – law ก็จะมีกราฟรูปโค้งลอการิทึมเช่นกัน

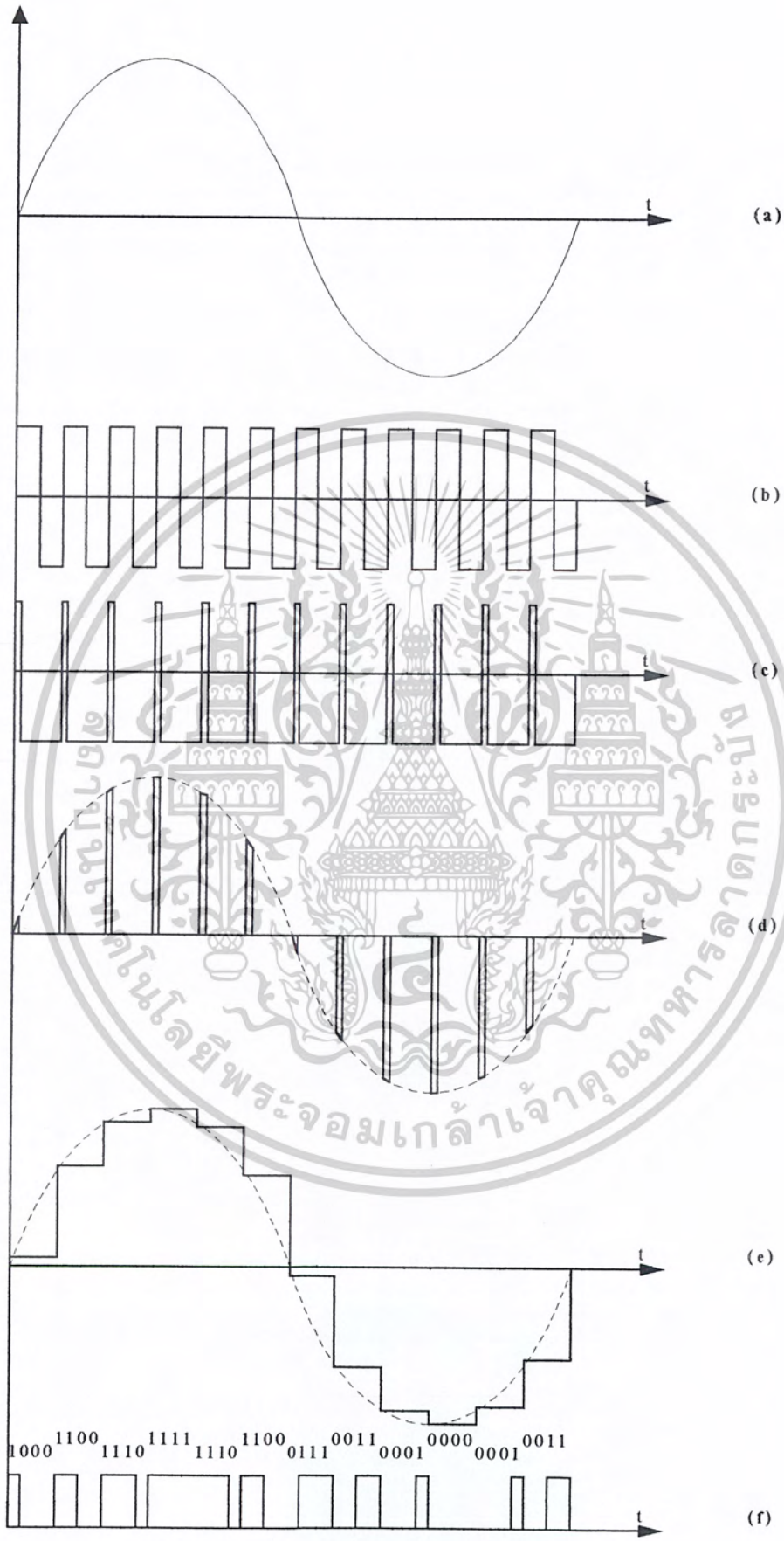
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปในแต่ละ segment นั้นจะมีอัตราของขนาดของแต่ละระดับเป็นเลขยกกำลังของ 2 คือตั้งแต่ 2^4 ถึง 2^{-2} จากระดับต่ำไปสูง ทั้งฝั่งบวกและฝั่งลบ เฉลี่ยจำนวนระดับโดยเท่ากัน

2.5 หลักการของ PCM (Pulse Code Modulation)

PCM (Pulse Code Modulation) เป็นการมอดูเลตสัญญาณโดยการฝากขนาดของสัญญาณข่าวสาร ไปกับชุดรหัสเลขฐาน 2 ซึ่งจะแสดงอยู่ในรูปของขบวนพัลส์ PCM เป็นวิธีการแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล (A/D converter) โดยจะรับอินพุตเป็นสัญญาณข่าวสารซึ่งเป็นสัญญาณอนาลอกและมีเอาต์พุตเป็นขบวนพัลส์ที่เป็นสัญญาณดิจิตอล รหัสเลขฐาน 2 หรือในที่นี้ก็คือหมายถึงลักษณะของขบวนพัลส์นั้นจะมีค่าเปลี่ยนแปลงไปตามขนาดของสัญญาณข่าวสารเป็นสัดส่วนกันเหมือนกับมีองค์ประกอบของสัญญาณข่าวสารอยู่ด้วย ดังนั้นจึงคล้ายกับได้ทำการฝากขนาดของสัญญาณข่าวสารไปกับขบวนพัลส์ซึ่งเสมือนเป็นคลื่นพาห์ (carrier) และได้ทำการย้ายย่านความถี่ไปเท่ากับขบวนพัลส์ด้วย จึงเรียกวิธีการนี้ว่า การมอดูเลตรหัสพัลส์ หรือ Pulse Code Modulation

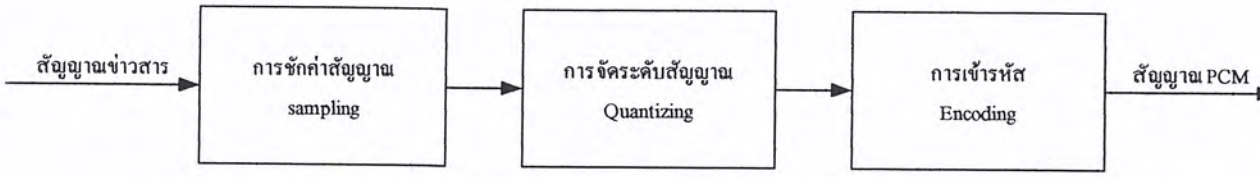
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.21 รูปสัญญาณของแต่ละขั้นตอนในระบบ PCM

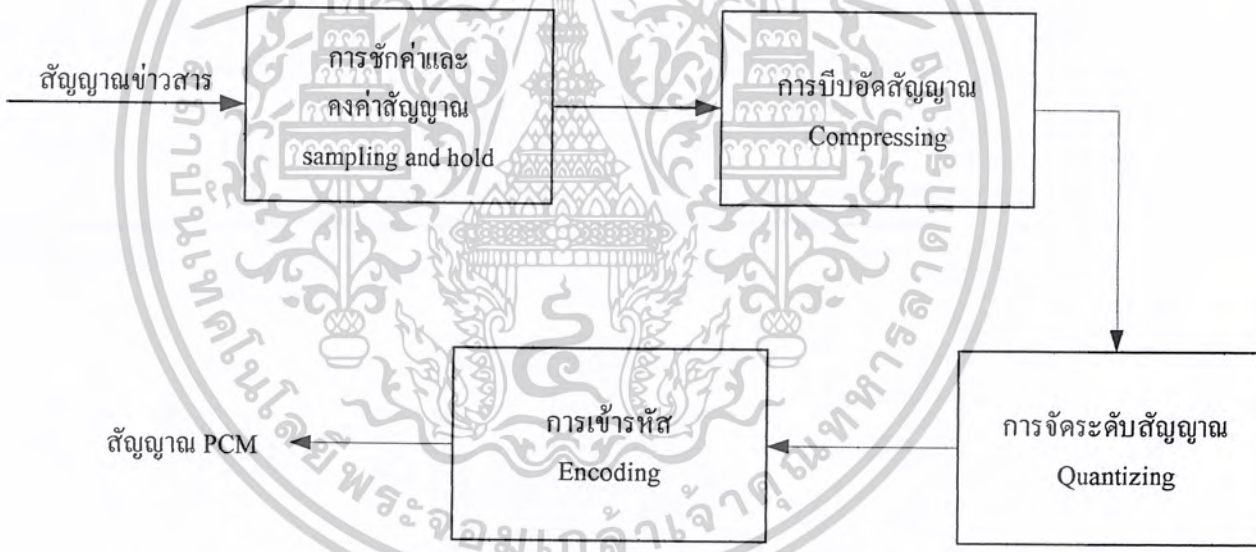
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ระบบ PCM โดยพื้นฐานแล้วจะประกอบไปด้วย 3 ขั้นตอน ได้แก่ การชักค่าสัญญาณ (Sampling), การจัดระดับสัญญาณ (Quantizing) และการเข้ารหัส (Encoding) ดังรูปที่ 2.22



รูปที่ 2.22 block diagram ภาคส่งของระบบ PCM พื้นฐาน

ตามหลักการของ PCM ในส่วนของการชักค่าสัญญาณ จะต้องทำการคงค่าสัญญาณระหว่างการชักค่าด้วย เรียกว่าการชักค่าและคงค่าสัญญาณ (Sampling and hold) และจากเรื่องการควอนไทซ์แบบไม่เชิงเส้นในหัวข้อที่ 2.4 จะมีส่วนของการบีบอัดสัญญาณเพิ่มเข้ามาด้วย จึงได้ block diagram ของระบบ PCM อย่างละเอียดมากขึ้นดังในรูปที่ 2.23



รูปที่ 2.23 block diagram ภาคส่งของระบบ PCM อย่างละเอียดมากขึ้น

เริ่มแรก จะนำสัญญาณข่าวสารมาทำการชักค่าและคงค่าสัญญาณก่อน เพื่อแปลงให้เป็นสัญญาณดีสครีต โดยวงจรที่ทำหน้าที่นี้ก็คือ วงจรชักค่าและคงค่าสัญญาณ (sampling and hold circuit) ในรูปที่ 2.13 วงจรจะคล้ายกับในรูปที่ 2.8 คือจะมีสวิตช์สำหรับทำการชักค่าโดยการชักค่านี้จะต้องเป็นไปตามทฤษฎีการชักค่าตัวอย่างสัญญาณในหัวข้อที่ 2.3 คือ ความถี่ที่ใช้ในการชักค่า f_s จะต้องเป็นอย่างน้อย 2 เท่าของสัญญาณข่าวสาร จากวงจรตัวกำหนดความถี่ f_s ก็คือสัญญาณควบคุมสวิตช์ $S(t)$ นั่นเอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในรูป 2.21c คือ สัญญาณที่ใช้ควบคุมการชักค่า (sampling waveform, $S(t)$) ซึ่งสร้างมาจากสัญญาณ clock ในรูป 2.21b ถ้าเราสมมติสัญญาณข่าวสาร $F(t)$ เป็นสัญญาณ sine wave ในรูป 2.21a แล้วทำการชักค่าสัญญาณจะได้สัญญาณในรูป 2.21d จะเห็นว่าสวิตซ์จะเปิดให้สัญญาณผ่านได้เป็นจังหวะๆตาม sampling waveform ซึ่งจะเป็นการเก็บค่าสัญญาณมาเป็นจุดๆ และจากรูปที่ 2.13 จะมี C hold ต่ออยู่ ในระหว่างช่วงเวลาการชักค่า (sampling interval) C hold จะทำการคงค่าสัญญาณที่ชักค่ามาได้ จึงได้สัญญาณในรูปที่2.21e ซึ่งคือ สัญญาณ ดีสครีตที่เราต้องการ หลังจากนั้นจะทำการจัดระดับสัญญาณตามหลักการในหัวข้อที่ 2.4 แล้วจึงนำไปผ่านวงจรเข้ารหัสเพื่อสร้างสัญญาณพัลส์ตามรหัสของระดับการควอนไทซ์ของสัญญาณข่าวสาร จึงได้สัญญาณ PCM ในรูปที่ 2.21f ออกมา หลังจากนั้นจึงนำไปมลติเพล็กซ์แล้วจึงส่งออกไปยังเครื่องรับ ภาครับของระบบ PCM นั้นจะเป็นดังในรูปที่ 2.24

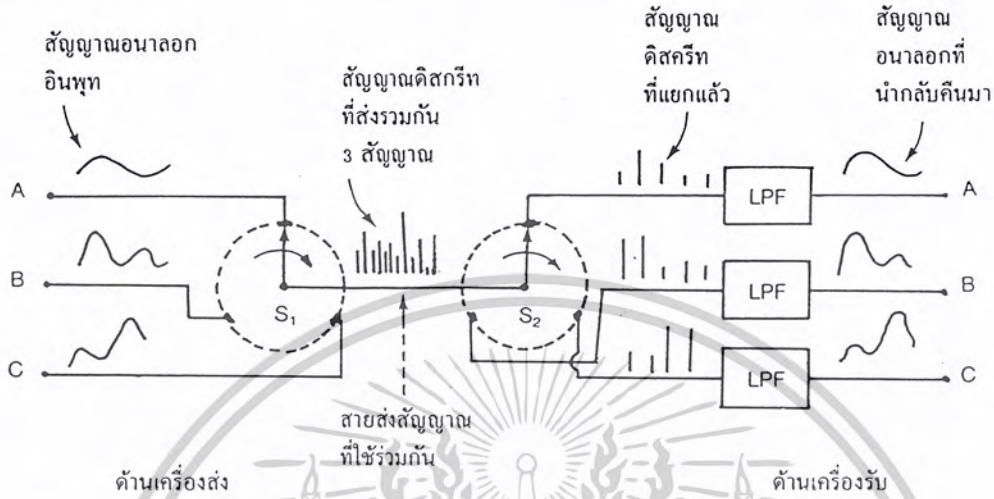
รูปที่ 2.24 block diagram ภาครับของระบบ PCM

จากรูปที่ 2.24 หลังจากรับสัญญาณมาจากภาคส่งและทำการดีมัลติเพล็กซ์แล้ว ก็จะนำมาทำการถอดรหัส เพื่อแปลความหมายของรหัสเลขฐาน 2 ว่าหมายถึงค่าขนาดสัญญาณเท่าไร ในส่วนนี้จะมีวงจร scaling adder ประกอบอยู่ด้วย จะทำให้เราได้สัญญาณในรูปที่ 2.21e กลับมาอีกครั้ง โดยที่สัญญาณนี้จะเป็นสัญญาณที่ถูกปัดค่าไปแล้ว ถ้าทางภาคส่งทำการบีบอัดสัญญาณมาก็จะต้องนำสัญญาณไปทำการอัดขยายสัญญาณด้วยหลังจากนั้นเมื่อนำไปเข้าวงจรกรองความถี่ต่ำผ่าน ที่มีความถี่คัตออฟ (frequency cutoff : f_C)เท่ากับความถี่สูงสุดของสัญญาณข่าวสารแล้วก็จะสามารถกู้สัญญาณข่าวสารกลับคืนมาได้

2.6 การมัลติเพล็กซ์แบบแบ่งเวลา (Time Division Multiplex , TDM)

การมัลติเพล็กซ์แบบแบ่งเวลานี้ คือการรวมสัญญาณหลายสัญญาณส่งไปในสายส่งเส้นเดียว โดยใช้การแบ่งเวลากัน โดยจะผลัดกันใช้ช่องสัญญาณ เรียงตามลำดับวนกันไปเรื่อยๆ จากหัวข้อ 2.3 เรื่องการชักค่าสัญญาณเราทราบว่า สามารถส่งสัญญาณอนาลอก โดยทำการชักค่าเป็นช่วงๆ เกิดเป็นสัญญาณดีสครีตแล้วสามารถกู้สัญญาณเดิมคืนได้ ดังนั้น ถ้าระหว่างช่วงเวลาที่สัญญาณขาดหายไป เรานำสัญญาณอื่นมาแทนที่ก็จะสามารถส่งไปได้โดยไม่รบกวนกัน ระบบนี้เหมาะสำหรับใช้กับระบบการสื่อสารแบบดิจิตอล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

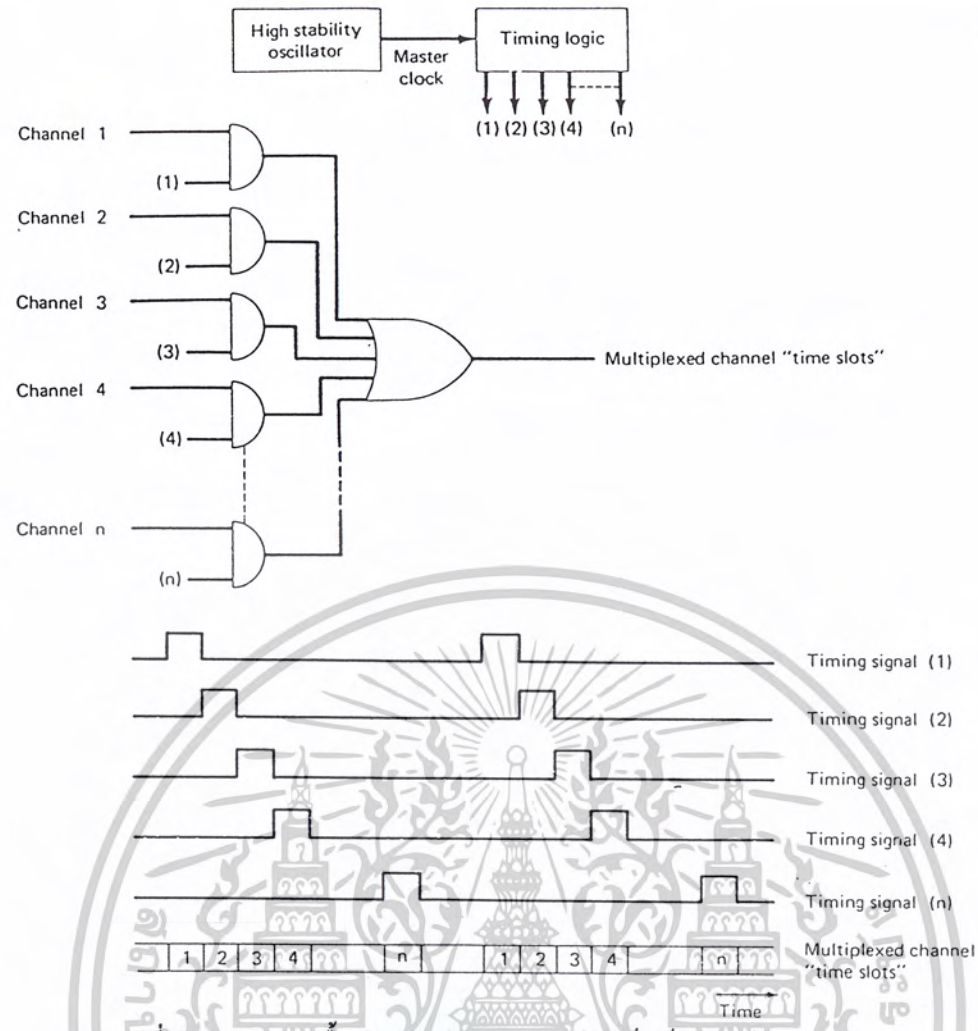


รูปที่ 2.25 หลักการของการมัลติเพล็กซ์แบบแบ่งเวลา

จากรูปที่ 2.25 โดยทฤษฎีแล้วจะประกอบไปด้วยสวิตซ์หมุน (rotary switch) 2 ตัว ทางภาครับและภาคส่งอย่างละตัว จะหมุนวนไปในแต่ละช่องสัญญาณ (A,B,C) ตามลำดับเรื่อยไป เพื่อทำการรับค่าของสัญญาณของทั้ง 3 ช่องสัญญาณแล้วทำการส่งไป ทางภาครับก็จะหมุนวนด้วยอัตราเดียวกัน เพื่อจ่ายสัญญาณเข้าให้ถูกช่องสัญญาณ เพื่อทำการกู้สัญญาณข่าวสารคืนต่อไป

ตังวงจรจริงๆจะถูกนำมาใช้เพื่อให้ได้ผลตามหลักการหลักการที่เป็นสวิตช์หมุนนี้ โดยที่วงจรอย่างง่ายจะเป็นดังรูปที่ 2.26 จะมีตัวผลิต clock มาเข้า timing logic เพื่อสร้างสัญญาณ timing signal ของแต่ละช่องสัญญาณ ซึ่งจะเป็นพัลส์บวกในช่วงเวลาที่ต่างกันเรียงเวลากันไปในแต่ละช่องสัญญาณดังรูป เมื่อนำ timing signal เหล่านี้ไป AND กับสัญญาณข้อมูลในช่องสัญญาณของตัวเองก็จะทำให้สัญญาณข้อมูลนั้นๆผ่านออกมาได้เฉพาะในช่วงเวลาของช่องสัญญาณของตัวเองเท่านั้น เมื่อผลัดเวลากันได้แล้วก็นำมาเข้า OR gate เพื่อรวมสัญญาณส่งไปในเส้นเดียวกัน จะได้สัญญาณที่มัลติเพล็กซ์แล้วมีข้องมูลเรียงกันอยู่ทุกช่องสัญญาณดังรูป

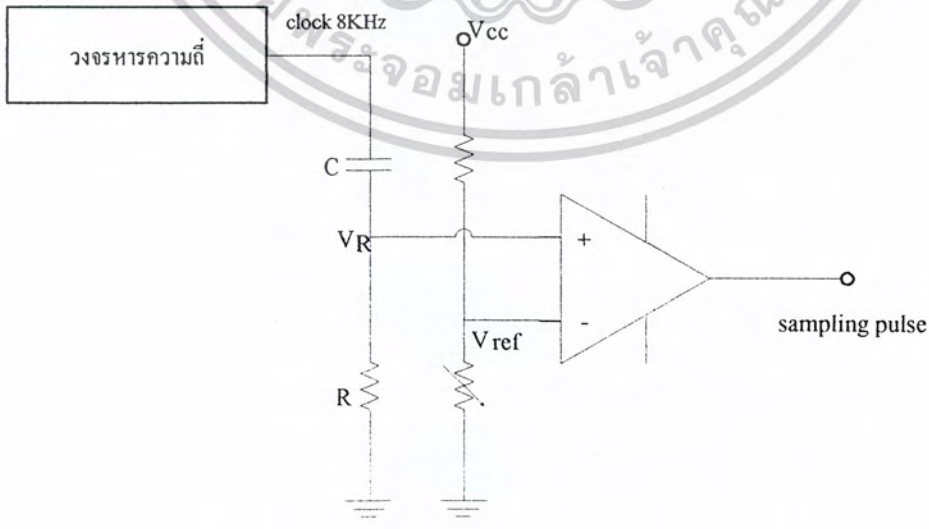
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.26 วงจรพื้นฐานของการทำการมัลติเพล็กซ์แบบแบ่งเวลา

2.7 วงจรสร้างสัญญาณควบคุมการชักค่า

เราจะสามารถสร้างสัญญาณควบคุมการชักค่า (sampling pulse) ได้จากสัญญาณรูปสี่เหลี่ยมที่ความถี่เท่ากับความถี่ในการชักค่าโดยใช้วงจรในรูปที่ 2.27



รูปที่ 2.27 วงจรสร้างสัญญาณควบคุมการชักค่า

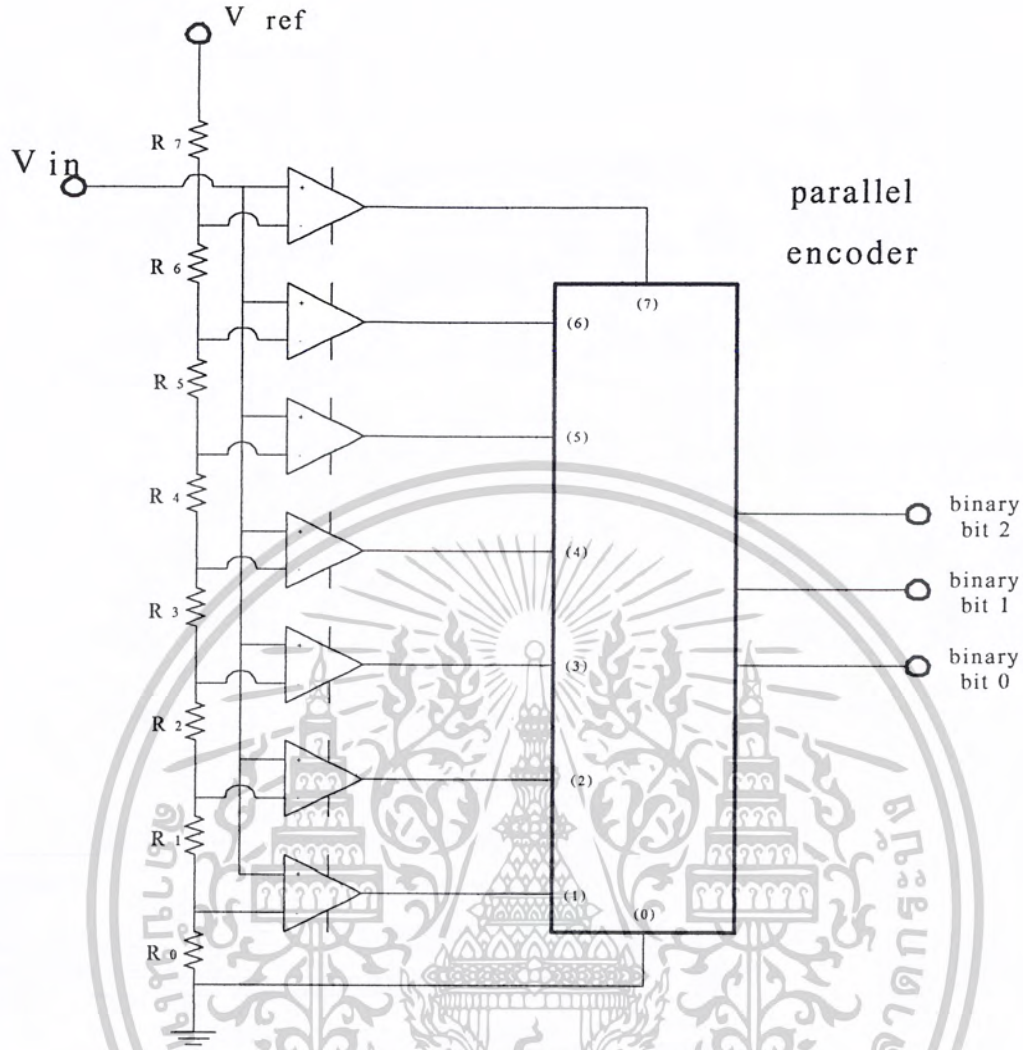
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากวงจรต้องทำการปรับค่า V_{ref} ให้ต่ำกว่าระดับแรงดันที่เป็นสถานะ "1" ของสัญญาณรูปสี่เหลี่ยมเล็กน้อย โดยที่หลักการก็คือ การอาศัยรูปสัญญาณการ charge C นั่นเอง เมื่อทำการ charge C ในลักษณะนี้แล้วรูปสัญญาณ V_R ที่ได้จะอยู่ในรูปของเอ็กโปเนนเชียลขาลง ซึ่งจะมีส่วนที่แคบๆ อยู่ด้านบน ถ้าเราทำการเปรียบเทียบค่าโดยตั้งค่าแรงดันอ้างอิงให้เหมาะสมแล้ว ก็จะได้สัญญาณ sampling pulse ที่มีขนาดพัลส์แคบๆออกมาได้

2.8 วงจรเข้ารหัสแบบขนาน

วงจรนี้จะทำงานโดยมีวงจรเปรียบเทียบสัญญาณ (comparator) ต่อกันแบบขนานเพื่อทำการเปรียบเทียบสัญญาณอินพุต กับค่าแรงดันอ้างอิงหลายๆค่า ที่ถูกกำหนดขึ้นโดย voltage divider ของ R ต่ออนุกรมกัน เมื่อขนาดของสัญญาณอินพุตมีค่าเกินกว่าค่าแรงดันอ้างอิงของวงจรเปรียบเทียบสัญญาณตัวใด วงจรตัวนั้นก็จะให้เอาท์พุตเป็นสถานะ "1" ทันที และเป็นหน้าที่ของ parallel encoder ที่จะทำการแปลความหมายและกำหนดค่าของรหัสเลขฐาน 2 ในแต่ละบิต ในรูปที่ 2.28 เป็นวงจรเข้ารหัสขนาด 3 บิต ซึ่งจำนวนวงจรเปรียบเทียบสัญญาณจะขึ้นอยู่กับจำนวนบิตโดยเท่ากับ 2^n-1 ตัว เมื่อ n คือจำนวนบิต ดังนั้นจำนวนวงจรเปรียบเทียบสัญญาณจึงมีจำนวนมาก ทำให้วงจรมีขนาดใหญ่ แต่ข้อดีของวงจรเข้ารหัสสัญญาณแบบนี้ก็คือ สามารถทำงานได้รวดเร็ว จากรูป วงจรเข้ารหัสนี้สามารถทำการดอนไทซ์สัญญาณได้ด้วย จะเห็นว่าขนาดของระดับการดอนไทซ์ จะขึ้นอยู่กับค่าแรงดันอ้างอิงของวงเปรียบเทียบสัญญาณแต่ละตัว ถ้าขนาดสัญญาณอินพุตมีค่ามากกว่าค่าแรงดันอ้างอิงตัวไหนก็จะเป็นการบ่งบอกระดับการดอนไทซ์ไปในตัว และถ้าเราต้องการทำการบีบอัดสัญญาณโดยทำให้แต่ละระดับมีขนาดไม่เท่ากัน ก็สามารถทำได้โดยการปรับ R แต่ละตัวให้มีสัดส่วนตามต้องการ

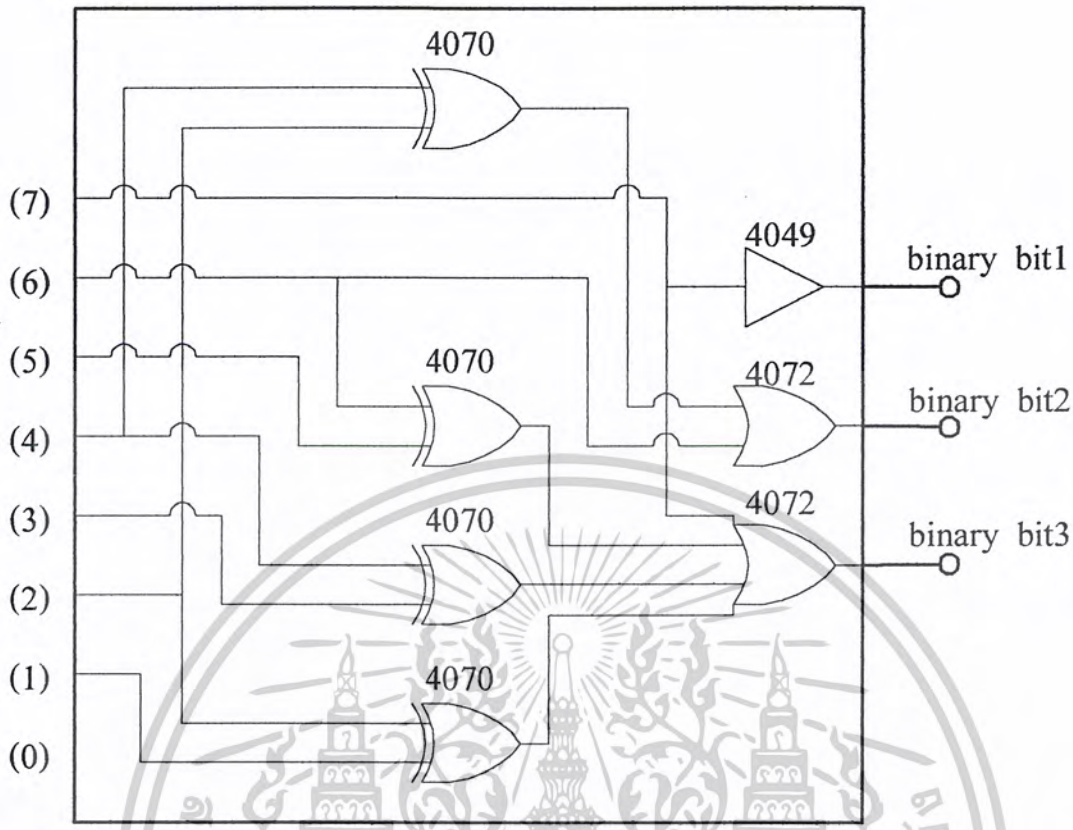
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.28 วงจรการเข้ารหัสแบบขนาน

จากวงจรในรูปที่ 2.28 ยกตัวอย่างการเข้ารหัส 3 บิต (จำนวนระดับเท่ากับ 8 ระดับ) ถ้าเราต่อวงจรโดยใช้ $R_0 - R_6 = 1K\Omega$ และ $R_7 = 3K\Omega$ แล้ว สังเกตจากค่า V_{ref} จะได้การควอนไทซ์เชิงเส้นในช่วง $0V$ ถึง $4V$ และจะได้แต่ละระดับมีขนาดเท่ากันคือ $0.5\ V$ ถ้าต้องการทำการบีบอัดก็สามารถทำได้โดยการเทียบอัตราค่า V_{ref} จากคุณลักษณะการบีบอัดแบบใดแบบหนึ่ง ในส่วนของวงจรในตัว parallel encoder นั้น จะเป็น digital logic เพื่อประมวลผลค่าของรหัสเลขฐาน 2 ของบิตต่างๆให้ถูกต้อง โดยวงจรจะเป็นดังรูปที่ 2.29

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



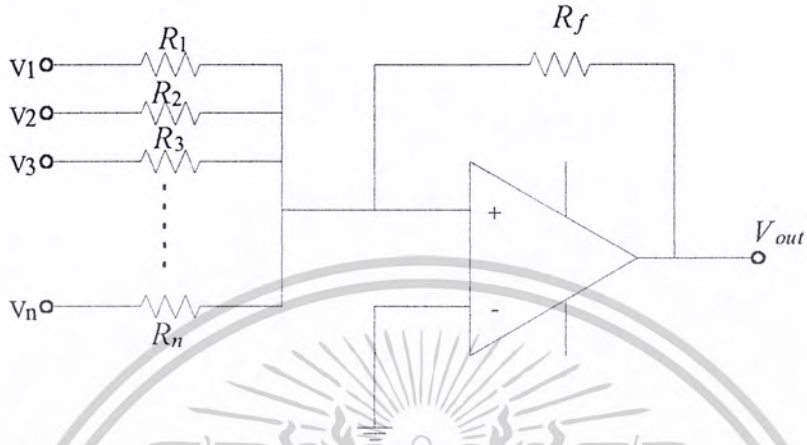
รูปที่ 2.29 วงจรภายใน parellel encoder

พิจารณาจากรูปที่ 2.29 โดยหลักการแล้วเป็นการหาจุดที่ค่าระดับแตกต่างกันโดยใช้ exclusive-or gate โดยถ้าพิจารณาที่บิต 0 และในขณะนั้น อยู่ที่ระดับ 3 วงจรเปรียบเทียบแรงดันตัวที่ 3 ก็จะให้ผลเป็น + และตัวที่ 4 ขึ้นไปย่อมให้ผลเป็น - ดังนั้น ในกรณีนี้ ex-or gate ที่ระดับ 3 และ 4 ย่อมให้ผลเป็นสถานะ "1" คือแตกต่างนั่นเอง ส่วนที่ระดับต่ำลงมา วงจรเปรียบเทียบแรงดันจะให้ผลเป็น + หมด ก็คือไม่แตกต่าง และในทำนองเดียวกัน ส่วนที่ระดับสูงกว่านั้น วงจรเปรียบเทียบแรงดันก็จะให้ผลเป็น – เหมือนกันหมด ในระดับที่ 4 กับ 5 นั้น ไม่ต้องทำการเปรียบเทียบ เพราะถ้าแตกต่างก็คืออยู่ในระดับที่ 4 ซึ่งบิต 0 จะไม่เป็น "1" หลังจากนั้น ก็นำเอาต์พุตที่ได้จาก ex-or gate ทุกตัวในบิตเดียวกันมาเข้า or gate เป็นการสุดท้าย หรือก็คือการบอกว่า " เมื่อ ex-or gate ตัวใดก็ตามในบิตนั้น ให้ผลว่าแตกต่างแล้ว แสดงว่าบิตนั้นมีค่าเป็น "1" ทันที " โดยสรุปแล้วหลักการก็คือการหาจุดที่ทำให้บิตนั้นเป็น "1" นั่นเอง และเป็นเช่นเดียวกันในการคิดของทุกๆบิต ส่วนในบิตที่ 2 นั้น นำเอาค่าเอาท์พุตของวงจรเปรียบเทียบแรงดันตัวที่ 4 มาใช้ได้เลยเพราะ บิตที่ 2 จะเป็น "1" ได้ ค่าขนาดสัญญาณต้องถึงระดับที่ 4 เสมอ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.9 วงจร Scaling Adder

วงจร scaling adder นี้จะมีสักษณะเหมือนวงจรบวกสัญญาณแต่จะแตกต่างกันที่ค่า R แต่ละตัวที่แต่ละ input นั้นจะมีค่าไม่เท่ากัน วงจรจะมีลักษณะดังรูปที่ 2.30



รูปที่ 2.30 วงจร scaling adder

จากรูป ค่า V_{out} จะมีค่าขึ้นอยู่กับแรงดันอินพุตทุกตัว แต่จะไม่ได้นำมาบวกกันโดยตรง โดยที่ความสัมพันธ์คือ

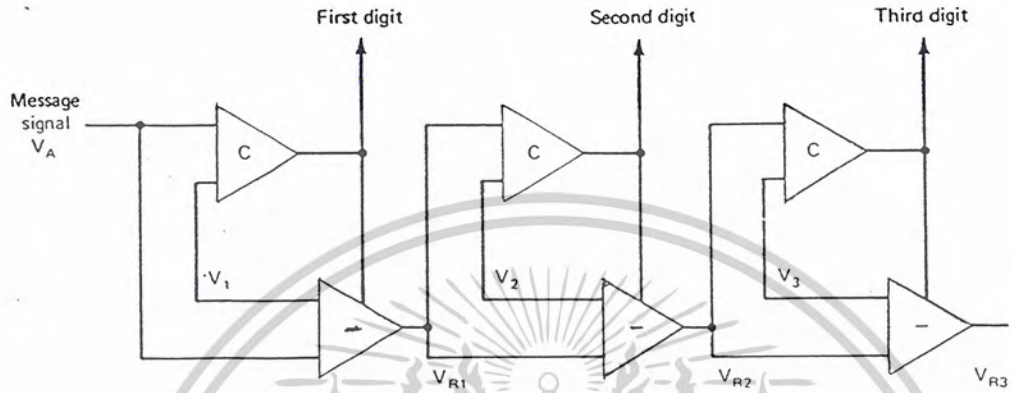
$$V_{out} = -\left(\frac{R_f}{R_1}V_1+\frac{R_f}{R_2}V_2+\frac{R_f}{R_3}V_3+\cdots\cdots\cdots+\frac{R_f}{R_n}V_n\right) \qquad (2.9)$$

จะเห็นว่าก่อนจะทำการบวกนั้น จะนำค่าแรงดันอินพุตมาคูณกับ R_f ส่วนด้วย R อินพุตนั้นๆก่อน ดังนั้นเราจึงสามารถเลือกตัวคูณได้โดยการกำหนดค่า R ต่างๆ ค่าที่คูณจึงเหมือนเป็น น้ำหนัก (weight) ของแรงดันอินพุตนั้นๆ วงจรนี้สามารถนำไปประยุกต์ใช้กับการถอดรหัส PCM ได้ เพราะรหัสเลขฐาน 2 แต่ละหลัก มีค่าไม่เท่ากันแล้วแต่ weight ของแต่ละบิต เช่น บิตท้ายสุดมีน้ำหนัก 2^0 เป็นต้น

2.10 วงเข้ารหัสแบบ successive approximation

เป็นวงจรที่ใช้ในการเข้ารหัสอีกแบบหนึ่ง ซึ่งสามารถใช้แทนกับวงจรเข้ารหัสแบบขนานได้ วงจรจะเป็นดังรูปที่ 2.31

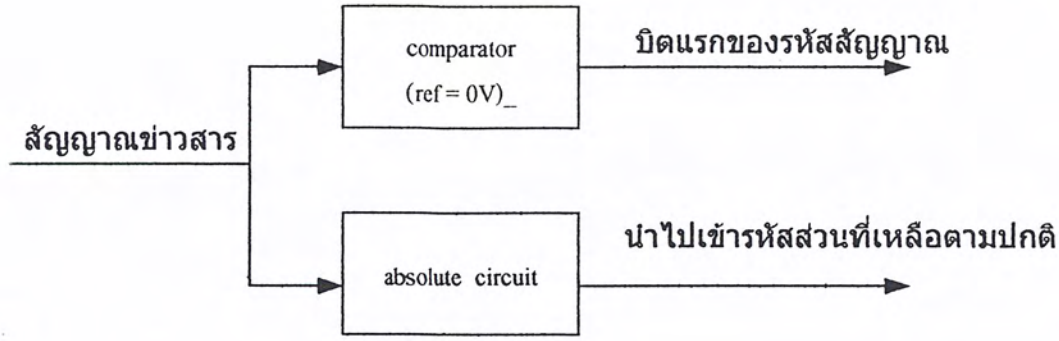
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.31 วงจรเข้ารหัสแบบ successive approximation

จากรูปที่ 2.31 ใน 1 ชุดของวงจรจะประกอบไปด้วย comparator และวงจรลบอย่างละ 1 ตัว เมื่อสัญญาณข่าวสารเข้ามาจะถูกเปรียบเทียบสัญญาณกับค่าแรงดันอ้างอิงแรก V_1 ก่อนเพื่อหารหัสของบิตแรก โดยถ้าสัญญาณข่าวสารมากกว่า V_1 บิตแรกก็จะเป็น 1 และถ้าน้อยกว่า บิตแรกจะเป็น 0 ซึ่งตัวที่ทำหน้าที่นี้ก็จะคือ comparator และค่าบิตแรกนี้จะนำไปควบคุมวงจรลบสัญญาณ โดยถ้าบิตแรกเป็น 1 ก็จะให้วงจรลบลบขนาดสัญญาณออกไปตามน้ำหนักของบิตแรกซึ่งก็คือ V_1 แต่ถ้าบิตแรกเป็น 0 ก็จะให้วงจรลบไม่ต้องทำการลบสัญญาณ แล้วจึงส่งสัญญาณจากวงจรลบนี้ไปเป็น input ของชุดที่ 2 เพื่อหาค่าบิตที่ 2 ต่อไป จะเป็นเช่นนี้ต่อไปเรื่อยๆจนถึงบิตสุดท้าย ชุดของวงจรจึงขึ้นอยู่กับจำนวนบิตของรหัสสัญญาณ วงจรนี้ทำงานได้เหมาะสมเฉพาะช่วงที่สัญญาณข่าวสารเป็นบวกเท่านั้นเพราะค่าแรงดันอ้างอิงและค่าแรงดันที่ต้องนำไปลบมีค่าเท่ากัน แต่ถ้าสัญญาณข่าวสารเป็นลบจะไม่เท่ากัน ทำให้วงจรยุ่งยากขึ้นและไม่สามารถทำตามรูปที่ 2.31 เลยได้ ดังนั้นเมื่อสัญญาณมีช่วงที่เป็นลบด้วย เราจะกำหนดให้บิตแรกของรหัสสัญญาณนี้ แสดงถึงค่าบวกหรือลบของสัญญาณก่อน โดยจะนำมาเข้า comparator ที่มีค่าแรงดันอ้างอิงเท่ากับ 0 หลังจากนั้นก็จะนำไปเข้าวงจร absolute สัญญาณเพื่อกลับสัญญาณให้เป็นบวกทั้งหมดแล้วจึงเข้ารหัสส่วนที่เหลือตามปกติ วงจรส่วนนี้จะเป็นดังรูปที่ 2.32

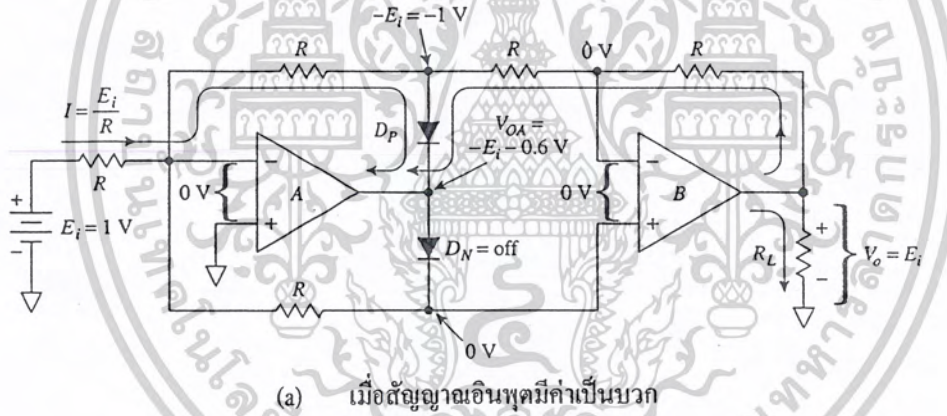
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



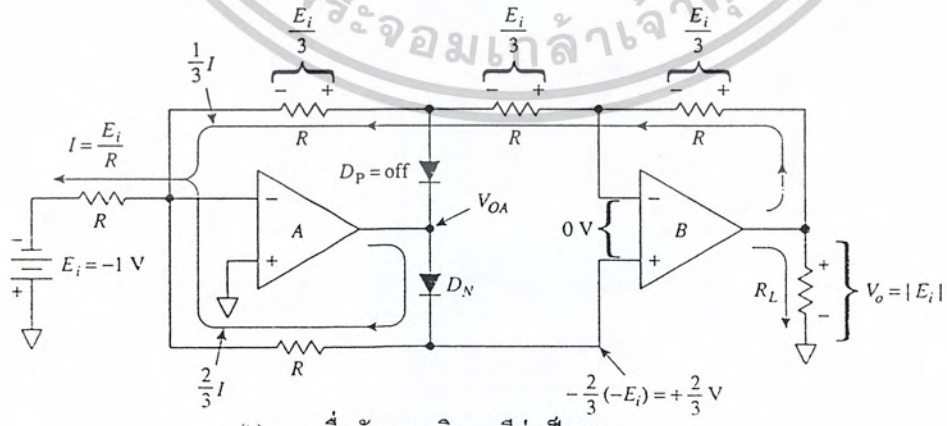
รูปที่ 2.32 วงจรเข้ารหัสของบิตแรกเมื่อสัญญาณข่าวสารมีค่าเป็นลบด้วย

2.11 วงจร absolute circuit

วงจรนี้จะทำการกลับสัญญาณที่เป็นลบให้เป็นบวกทั้งหมด ส่วนที่เป็นบวกก็จะยังคงเดิมวงจรจะเป็นดังรูปที่ 2.33



(a) เมื่อสัญญาณอินพุตมีค่าเป็นบวก



(b) เมื่อสัญญาณอินพุตมีค่าเป็นลบ

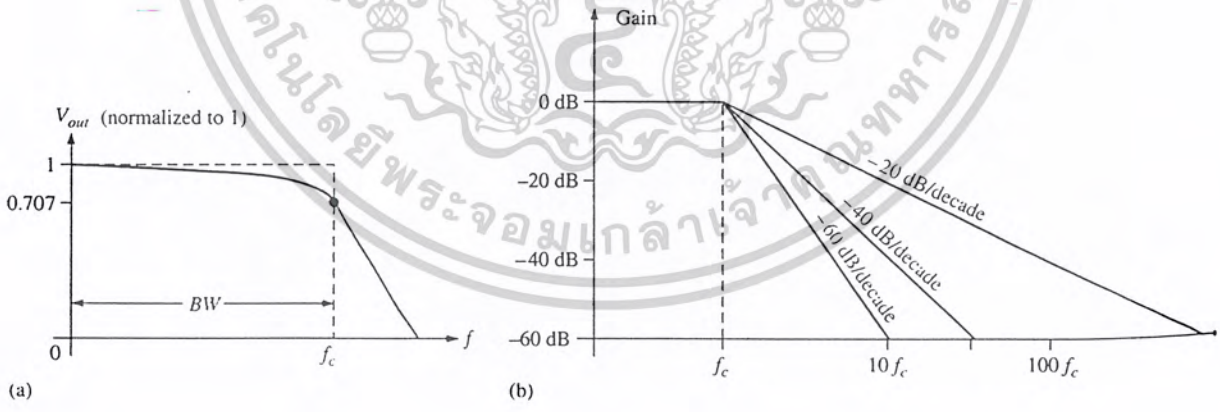
รูปที่ 2.33 วงจร absolute circuit

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูป วงจรจะประกอบไปด้วย op-amp 2 ตัว R ขนาดเท่ากัน 5 ตัว และไดโอด 2 ตัว เมื่อสัญญาณเข้ามาเป็นบวก D_P จะทำงานและ D_N จะไม่ทำงาน op-amp ทั้ง A และ B จะทำงานเป็น inverting amplifier ดังรูปที่2.33a output จะออกมาเป็นบวกเหมือนเดิม และเมื่อสัญญาณเป็นลบ D_P จะไม่ทำงานและ D_N จะทำงาน จะเกิดการแบ่งกระแสตามรูปที่ 2.33b และ op-amp เฉพาะ B จะทำงานเป็น inverting amplifier จะได้สัญญาณ output ออกมาเป็นบวก

2.12 วงจรกรองความถี่ต่ำผ่านแบบ active

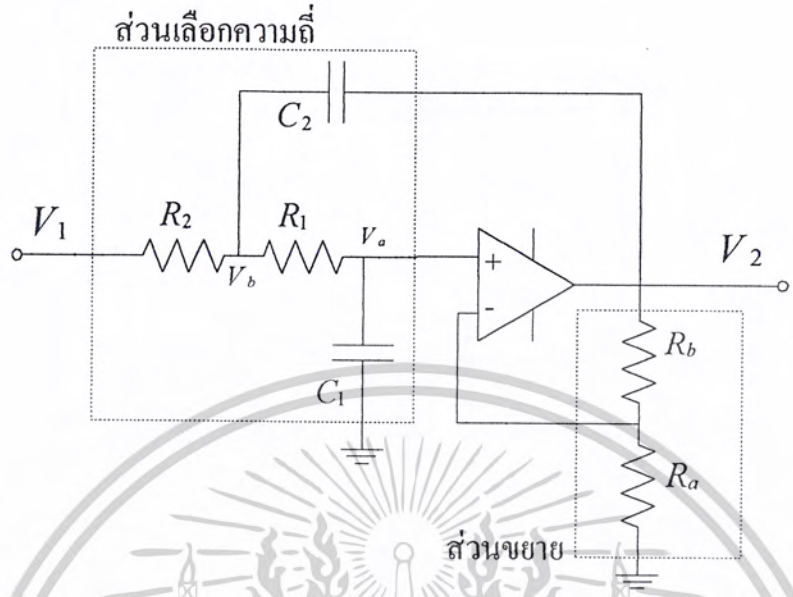
วงจรกรองความถี่ต่ำผ่านนั้นจะปล่อยให้ผ่านได้เฉพาะองค์ประกอบของสัญญาณที่มีความถี่ตั้งแต่ค่าความถี่คัทออฟ f_c ลงมาเท่านั้นส่วนความถี่ที่สูงกว่านั้นจะถูกลดทอนไป ค่า f_c จะถือเอาตำแหน่งที่สัญญาณมีกำลังลดทอนลงไปครึ่งหนึ่งเป็นเกณฑ์ ถ้าถูกลดทอนไปมากกว่านี้จะถือว่าสัญญาณไม่สามารถผ่านได้ ลักษณะการทำงานของวงจรกรองความถี่ต่ำผ่านสามารถดูได้จากได้จากรูปกราฟ frequency response ของวงจรกรองความถี่ต่ำผ่านดังรูปที่ 2.34



รูปที่ 2.34 frequency response ของวงจรกรองความถี่ต่ำผ่าน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เราจะใช้วงจรกรองความถี่ต่ำผ่านแบบ sallen and key ดังรูปที่ 2.35



รูปที่ 2.35 วงจรกรองความถี่ต่ำผ่านแบบ sallen and key

จากรูป ส่วนที่เป็น R และ C ที่อยู่ด้านหน้าจะเป็นส่วนเลือกความถี่ ส่วน R ที่อยู่ด้านหลังจะเป็น gain ของวงจรโดยจะมีค่าเท่ากับ

$$1+\frac{R_b}{R_a} = K \tag{2.10}$$

และเราจะทำการคำนวณวงจรนี้โดยใช้ Kirchhoff's current law
ทำการ take node ที่จุด V_a ได้สมการ

$$\frac{1}{R_2}\left(\frac{V_2}{K}-V_b\right)+\left(\frac{V_2}{K}-0\right)C_2 s = 0 \tag{2.11}$$

ทำการ take node ที่จุด V_b ได้สมการ

$$\frac{1}{R_2}\left(V_b-\frac{V_2}{K}\right)+C_1 s(V_b-V_2)+\frac{1}{R_1}(V_b-V_1) = 0 \tag{2.12}$$

ยุบสมการที่ 2.12 เพื่อหาค่า V_b ได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\left(\frac{1}{R_2}+\frac{1}{R_1}+C_1 s\right)V_b-\frac{1}{R_2}\cdot\frac{V_2}{K} = \frac{V_1}{R_1}+C_1 s V_2 \quad (2.13)$$

จัดสมการที่ 2.11 ได้

$$-\frac{1}{R_2}V_b+\left(\frac{1}{R_2}+C_2 s\right)\frac{V_2}{K} = 0 \quad (2.14)$$

$$-\frac{1}{R_2}V_b = -\left(\frac{1}{R_2}+C_2 s\right)\frac{V_2}{K} \quad (2.15)$$

คูณด้วย $-\frac{1}{R_2}$ ตลอดสมการได้

$$V_b = \left(1+R_2 C_2 s\right)\frac{V_2}{K} \quad (2.16)$$

แทนค่า V_b ที่ได้จากสมการที่ 2.16 ลงในสมการที่ 2.13

$$\frac{1}{R_2}+\frac{1}{R_1}+C_1 s+\left(1+R_2 C_2 s\right)\frac{V_2}{K}-\frac{1}{R_2}\cdot\frac{V_2}{K} = \frac{V_1}{R_1}+C_1 s V_2 \quad (2.17)$$

จัดสมการเพื่อหาค่า $\frac{V_2}{V_1}$

$$\left[\left(\frac{1}{R_2}+\frac{1}{R_1}+C_1 s\right)\left(1+R_2 C_2 s\right)\frac{1}{K}-\frac{1}{R_2 K}-C_1 s\right]V_2 = \frac{V_1}{R_1} \quad (2.18)$$

$$\frac{V_2}{V_1} = \frac{1}{R_1}\cdot\frac{1}{\left(\frac{1}{R_2}+\frac{1}{R_1}+C_1 s\right)\left(1+R_2 C_2 s\right)\frac{1}{K}-\frac{1}{R_2 K}-C_1 s} \quad (2.19)$$

$$= \frac{1}{R_1}\cdot\frac{1}{\left(\frac{1}{R_2}+\frac{1}{R_1}+C_1 s+C_2 s+\frac{R_2 C_2 s}{R_1}+R_2 C_1 C_2 s^2\right)\frac{1}{K}-\frac{1}{R_2 K}-C_1 s} \quad (2.20)$$

$$= \frac{1}{\left(\frac{R_1}{R_2}+1+R_1 C_1 s+R_1 C_2 s+R_2 C_2 s+R_1 R_2 C_1 C_2 s^2\right)\frac{1}{K}-\frac{R_1}{R_2 K}-R_1 C_1 s} \quad (2.21)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$= \frac{1}{\frac{R_1 R_2 C_1 C_2 s^2}{K} + \left(\frac{R_1 C_1}{K} + \frac{R_1 C_2}{K} + \frac{R_2 C_2}{K} - R_1 C_1\right)s + \left(\frac{1}{K} + \frac{R_1}{R_2 K} - \frac{R_1}{R_2 K}\right)} \quad (2.22)$$

จะได้ค่า $\frac{V_2}{V_1}$ คือ

$$\frac{V_2}{V_1} = \frac{K \cdot \frac{1}{R_1 R_2 C_1 C_2}}{s^2 + \left(\frac{1}{R_2 C_2} + \frac{1}{R_2 C_1} + \frac{1}{R_1 C_1} - \frac{K}{R_2 C_2}\right)s + \frac{1}{R_1 R_2 C_1 C_2}} \quad (2.23)$$

ดังนั้น จะได้ transfer function ของวงจร sallen and key

$$T(s) = \frac{K \cdot \frac{1}{R_1 R_2 C_1 C_2}}{s^2 + \left(\frac{1}{R_2 C_2} + \frac{1}{R_2 C_1} + \frac{1}{R_1 C_1} - \frac{K}{R_2 C_2}\right)s + \frac{1}{R_1 R_2 C_1 C_2}} \quad (2.24)$$

และจาก transfer function ของวงจร low pas filter นั้นเป็นดังสมการที่ 2.25

$$T(s) = \frac{K\omega_0^2}{s^2 + \left(\frac{\omega_0}{Q}\right)s + \omega_0^2} \quad (2.25)$$

เมื่อ ω_0 คือค่า ω คัทออฟของวงจร

เมื่อเปรียบเทียบระหว่าง transfer function ของวงจร sallen and key ในสมการที่ 2.24 และ transfer function ของ low pass filter ในสมการที่ 2.25 แล้วจะหาค่า ω_0 ได้คือ

$$\omega_0^2 = \frac{1}{R_1 R_2 C_1 C_2} \quad (2.26)$$

และถ้าเรากำหนดให้ค่า $R_1 = R_2 = R$ และ $C_1 = C_2 = C$ แล้วก็จะได้ว่า

$$\omega_0^2 = \frac{1}{R^2 C^2} \quad (2.27)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จะได้ค่า ω_0 เท่ากับ

$$\omega_0 = \frac{1}{RC} \tag{2.28}$$

ทำการหาค่าความถี่คัทออฟโดยใช้ความสัมพันธ์

$$\omega = 2\pi f \tag{2.29}$$

ดังนั้นค่าความถี่คัทออฟ (f_C) จะหาได้จากสมการที่ 2.30

$$f_C = \frac{1}{2\pi RC} \tag{2.30}$$

เมื่อเปรียบเทียบระหว่าง transfer function ของวงจร sallen and key ในสมการที่ 2.24 และ transfer function ของ low pass filter ในสมการที่ 2.25 เช่นกัน จะทำให้เราหาค่า quality factor หรือค่า Q ของวงจรได้โดย

$$\frac{\omega_0}{Q} = \left(\frac{1}{R_2C_2} + \frac{1}{R_2C_1} + \frac{1}{R_1C_1} - \frac{K}{R_2C_2}\right) \tag{2.31}$$

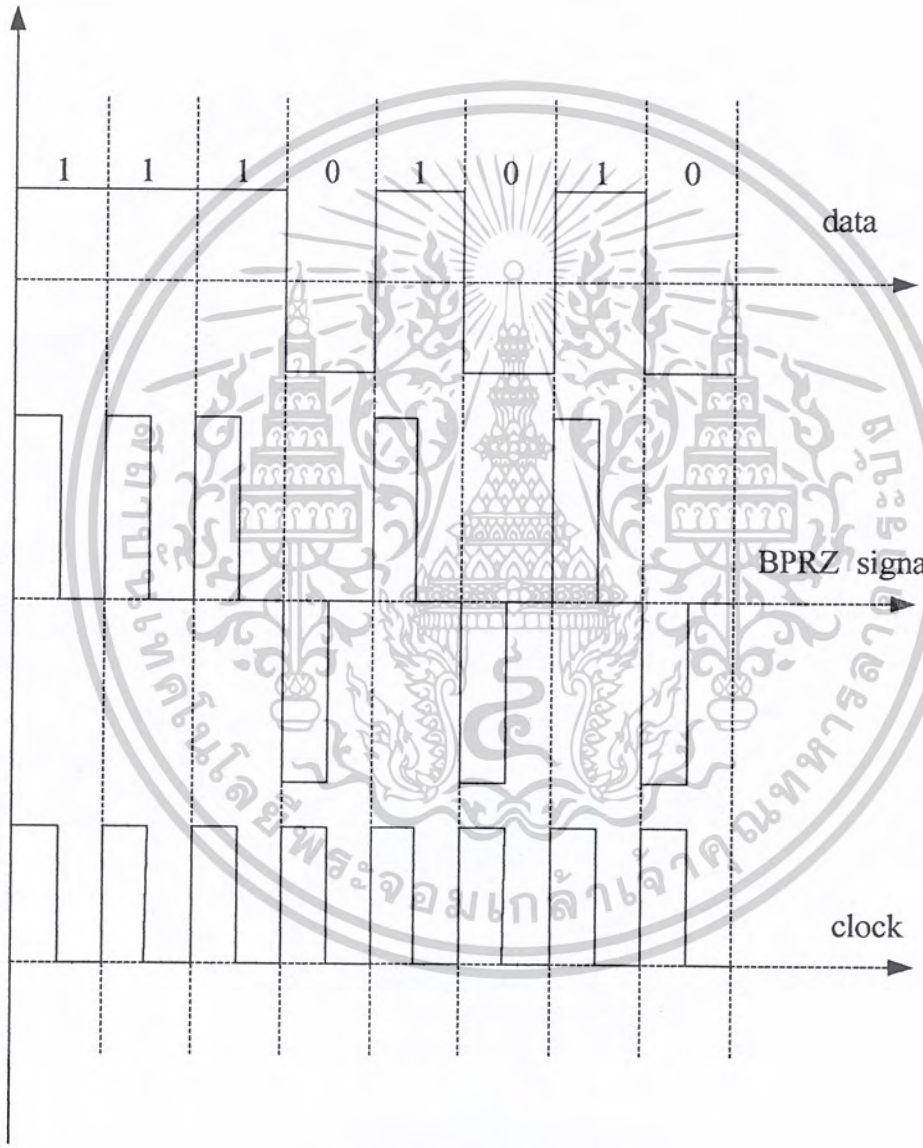
$$\frac{\omega_0}{Q} = \left(\frac{3}{R_2C_2} - \frac{K}{R_2C_2}\right) \tag{2.32}$$

เมื่อความถี่ของสัญญาณมากกว่า f_c ขึ้นไปจะถูกวงจรลดทอนไปมากขึ้นตามความถี่ที่เพิ่มขึ้น เราเรียกอัตราการลดทอนนี้ว่า roll-off rate เราสามารถเพิ่มอัตราการลดทอนนี้ให้มากขึ้นได้โดยการต่อวงจรกรองความถี่หลายๆชุดอนุกรมกัน วงจร sallen and key นี้เป็นวงจรกรองความถี่ 2 order ค่า roll-off rate จะมีค่า 20 dB/decade ต่อ 1 order ของวงจร จำนวน order ทั้งหมดสามารถหาได้จากการนับรวมจำนวน order ของแต่ละวงจรที่ต่ออนุกรมกันอยู่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.13 การทำ line encoding

การทำ line encoding นั้นเป็นการแปลงข้อมูลที่เป็นลอจิกให้อยู่ในรูปแบบที่เหมาะสมก่อนทำการส่งสัญญาณออกไป ในที่นี้จะกล่าวถึงการทำ line encoding รูปแบบหนึ่งซึ่งเรียกว่า BPRZ ย่อมาจาก bipolar return to zero สัญญาณดิจิตอลที่ถูกแปลงให้อยู่ในรูปของ BPRZ นี้จะมีลักษณะคือ มีค่า logic 0 และ 1 เป็นไฟบวกและไฟลบ เมื่อเวลาผ่านไปครึ่ง cycle สัญญาณจะกลับลงมาอยู่ที่ระดับ 0 ตัวอย่างสัญญาณจะเป็นดังรูปที่ 2.36



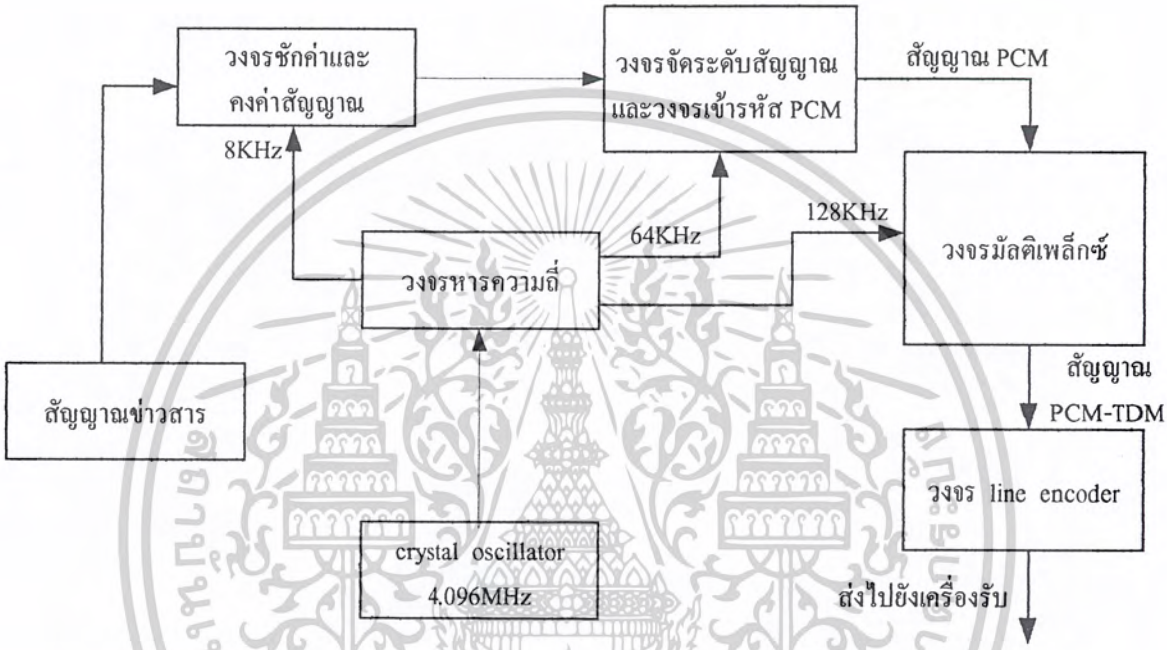
รูปที่ 2.36 สัญญาณ BPRZ

ข้อดีของสัญญาณ BPRZ คือเมื่อทำการแปลงแล้วส่งไปทางด้านรับ จะสามารถกู้ clock คืนได้ง่าย โดยนำไปผ่านวงจร absolute ก็จะได้ clock ดังรูปที่ 2.36

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3
การคำนวณและการสร้าง

3.1 การออกแบบวงจรทางด้านภาคส่ง

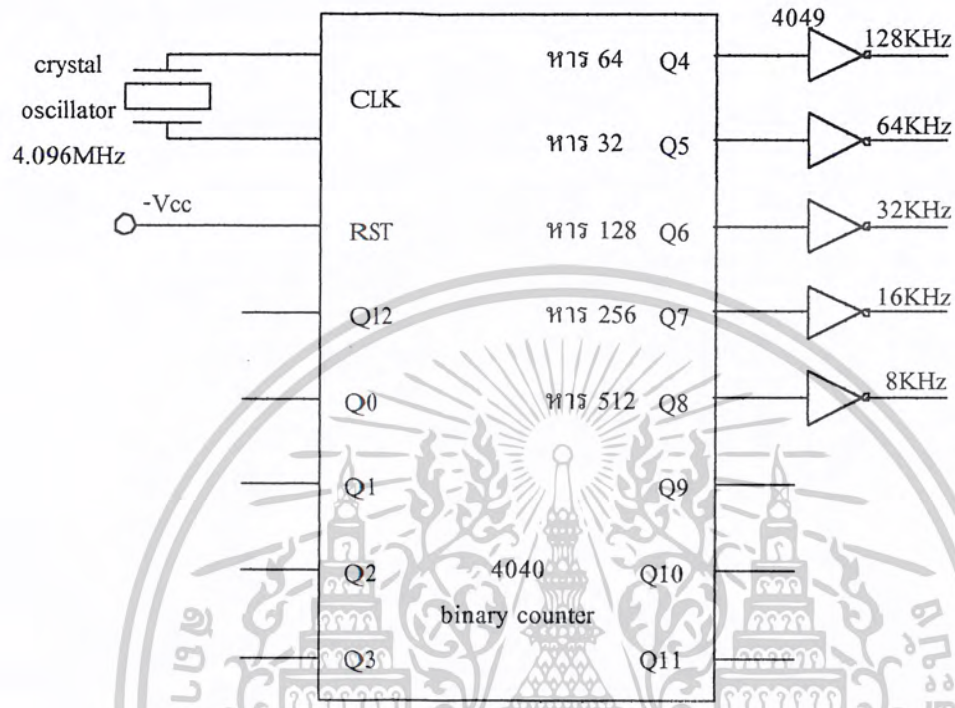


รูปที่ 3.1 block diagram เครื่องส่งโดยการเข้ารหัสแบบ PCM และมัลติเพล็กซ์แบบแบ่งเวลา

วงจรทางด้านภาคส่งนั้นจะมีขั้นตอนการทำงานดัง block diagram ในรูปที่ 3.1 สัญญาณข่าวสารที่เข้ามาจะถูกทำการชักค่าและคงค่าสัญญาณที่ความถี่ 8 KHz โดยใช้สัญญาณควบคุมความถี่ 8 KHz จากวงจรสร้าง clock และวงจรหารความถี่ นำสัญญาณที่ได้ไปทำการจัดระดับสัญญาณและเข้ารหัส PCM จะได้สัญญาณ PCM ออกมาจำนวน 1 ช่องสัญญาณ หลังจากนั้น จะนำสัญญาณ PCM ที่ได้นี้ ไปทำการมัลติเพล็กซ์กับสัญญาณจากช่องสัญญาณอื่น จะได้สัญญาณ PCM – TDM ออกมาแล้วจึงทำ line encoding ก่อนส่งไปยังเครื่องรับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.1.1 การออกแบบวงจรสร้างสัญญาณนาฬิกาและวงจรหารความถี่



รูปที่ 3.2 วงจรสร้างสัญญาณนาฬิกาและวงจรหารความถี่

ในส่วนของวงจรสร้างสัญญาณนาฬิกานั้นจะใช้ตัว crystal oscillator ซึ่งเป็นตัวสำเร็จรูป สามารถกำเนิดสัญญาณได้เลยโดยป้อนไฟเลี้ยงเข้าไป หลังจากนั้นก็จะนำมาทำการหารความถี่ลงมาโดยใช้ไอซีเบอร์ 4040 binary counter เพื่อทำการหารความถี่จาก 4.096MHz ลงมาเหลือ 128KHz และค่าอื่นๆ เพื่อใช้ในส่วนต่างๆของวงจร เนื่องจากไอซีตัวนี้ทำงานที่ขอบลงของ clock แต่ในระบบที่ใช้นั้นทำงานที่ขาขึ้น ดังนั้น ก่อนนำ clock ที่ได้ไปใช้ต้องทำการกลับสัญญาณก่อนทั้งหมด โดยจะใช้ไอซีเบอร์ 4049 inverter วงจรที่ได้จะมีลักษณะดังรูปที่ 3.2 ส่วนรายละเอียดของวงจรภายในนั้น สามารถศึกษาหาข้อมูลเพิ่มเติมได้จากในภาคผนวก

3.1.2 การออกแบบวงจรสร้างสัญญาณควบคุมการชักค่า

วงจรสร้างสัญญาณควบคุมการชักค่า (sampling pulse) จะรวมอยู่ในขั้นตอนการชักค่าและคงค่าสัญญาณโดย เราจะใช้วงจรในรูปที่ 2.27 สร้างสัญญาณควบคุมการชักค่าขึ้นมา โดยสร้างจากสัญญาณ clock ความถี่ 8 KHz ซึ่งได้มาจากวงจรหารความถี่ โดยตามทฤษฎีแล้วควรกำหนดค่ากำหนดค่า V_{ref} ให้ต่ำกว่าค่าขนาดสูงสุดของสัญญาณ clock เล็กน้อย ค่า V_{ref} นี้สารถปรับเปลี่ยนได้โดยใช้หลักการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

voltage divider ของ R 1K และ R ปรับค่าได้อีกตัวหนึ่ง เมื่อทำการเปลี่ยนค่า R ปรับค่าได้ก็จะได้ค่า V_{ref} ตามต้องการ ในวงจรนั้นมีค่าขนาดสูงสุดของสัญญาณ clock อยู่ที่ประมาณ 7V ดังนั้นเราจึงปรับค่า R ไปที่ประมาณ 8K เมื่อคำนวณตามหลักการ voltage divider แล้วจะได้ค่า V_{ref} ประมาณ 6.5V ซึ่งเหมาะสมจะนำไปใช้งานได้ ส่วนค่า RC นั้น ให้เลือกใช้ค่าที่ทำให้รูปสัญญาณการ charge C ซึ่งเป็นรูปกราฟ exponential ขาลง มียอดที่แหลมพอเหมาะ ไม่กว้างเกินไปจนไม่สามารถสร้างพัลส์แคบๆ ได้ตามต้องการ สามารถสังเกตุได้โดยการเปรียบเทียบค่า Time constant (τ) ของ R และ C กับคาบเวลาของ clock ความถี่ 8KHz ดังนั้น เราจะทำการหาค่าคาบเวลาของ clock จากสมการ

$$T = \frac{1}{f} \tag{3.1}$$

เมื่อ T คือคาบเวลา

f คือความถี่

แทนค่าความถี่ 8KHz ลงในสมการที่ 3.1 ได้

$$T = \frac{1}{8KHz} \tag{3.2}$$

จะได้ค่าคาบเวลาออกมาเท่ากับ 0.125ms จากนั้นก็ทำการคำนวณค่า time constant จากสมการ

$$\tau = RC \tag{3.3}$$

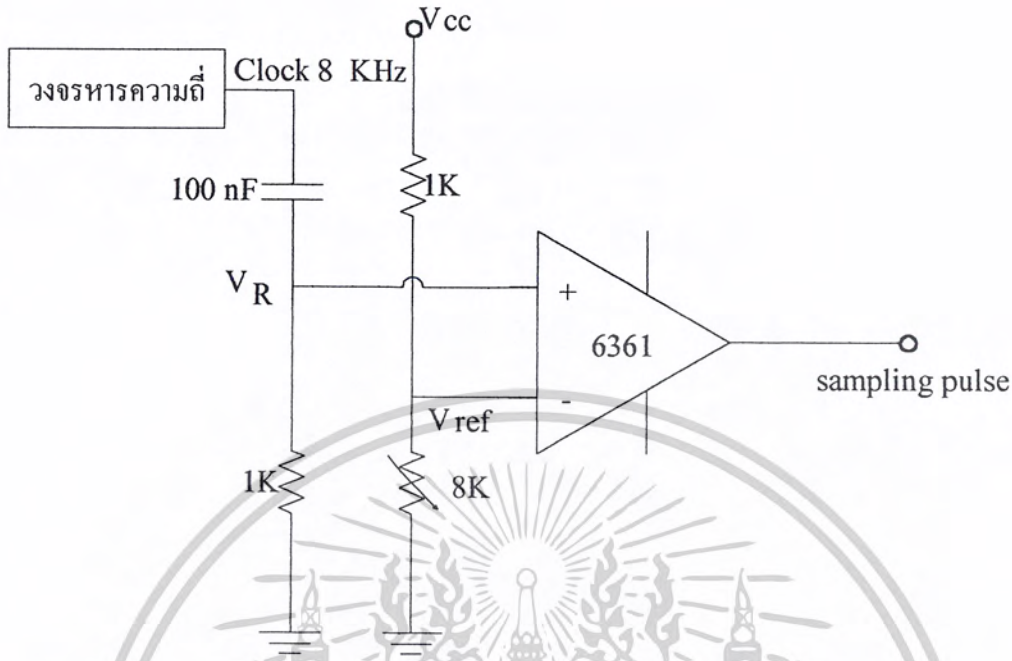
เมื่อ τ คือ time constant

ในที่นี้กำหนด $C = 100nF$, $R = 1K\Omega$ เมื่อแทนค่าลงในสมการที่ 3.3 ก็จะได้

$$\tau = 1K\Omega \times 100nF \tag{3.4}$$

ค่า time constant ที่ได้จะเท่ากับ 1×10^{-4} ซึ่งน้อยกว่าค่าคาบเวลาของ clock ที่ได้ และรูปสัญญาณจะเกิดลักษณะยอดแหลมที่เหมาะสมจะนำไปใช้งานได้ เมื่อนำค่าที่ได้นี้ไปต่อลงในวงจรรูปที่ 2.28 ก็จะได้วงจรสร้างสัญญาณควบคุมการชักค่าดังรูปที่ 3.3

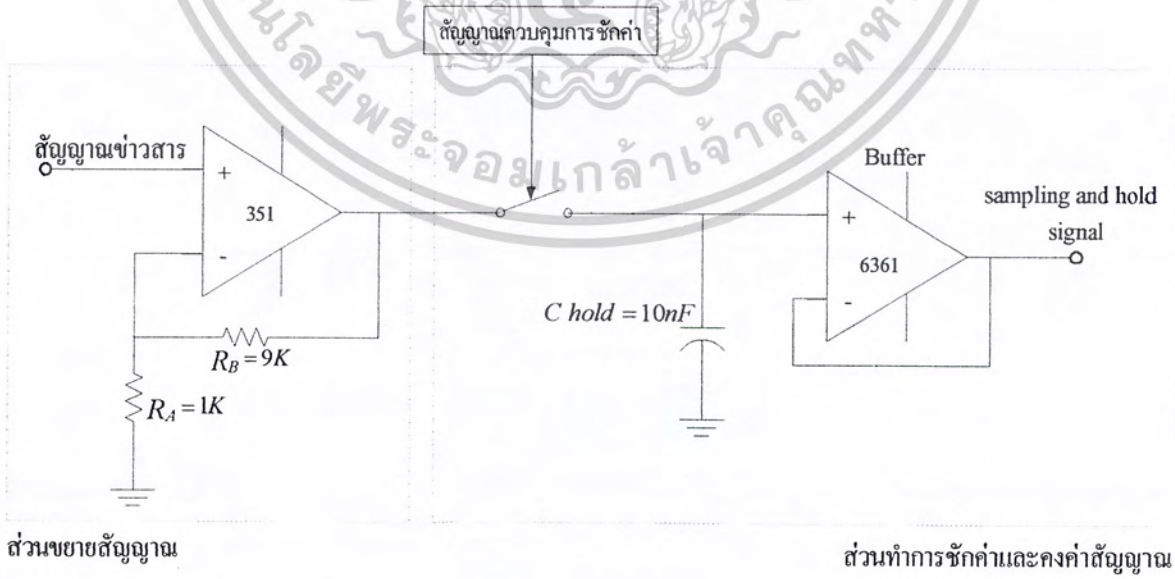
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.3 วงจรสร้างสัญญาณควบคุมการชักค่าสัญญาณ

3.1.3 การออกแบบวงจรชักค่าและคงค่าสัญญาณ

วงจรชักค่าและคงค่าสัญญาณนี้จะประกอบไปด้วย 2 ส่วน คือ ส่วนขยายสัญญาณ และส่วนทำการชักค่าและคงค่าสัญญาณดังในรูปที่ 3.4



รูปที่ 3.4 วงจรชักค่าและคงค่าสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เริ่มต้นนั้น สัญญาณข่าวสารจะถูกขยายโดยส่วนขยายสัญญาณก่อน เนื่องจากสัญญาณข่าวสารที่เข้ามามักจะมีจะมีขนาดเล็กเกินไปและไม่เหมาะสมกับการทำงาน วงจรในส่วนนี้เป็นวงจรขยายสัญญาณแบบ non-inverting โดยที่ค่า voltage gain นั้นเป็นไปตามสมการที่ 3.5

$$\frac{V_o}{V_i} = 1+\frac{R_B}{R_A} \tag{3.5}$$

จากรูปที่ 3.4 นั้น ต้องการให้ volage gain คือ 10 เท่า ดังนั้นจึงกำหนด $R_A = 1K$ และ $R_B = 9K$ แล้วทำการแทนค่าลงในสมการที่ 3.5 จะได้

$$\frac{V_o}{V_i} = 1+\frac{9K}{1K} \tag{3.6}$$

จากสมการที่ 3.6 นั้น เราจะได้ค่า voltage gain เท่ากับ 10 ตามต้องการ หลังจากนั้นนำสัญญาณข่าวสารที่ผ่านการขยายแล้วไปทำการชักค่าและคงค่าสัญญาณ โดยที่ในส่วนนี้จะใช้สัญญาณจากวงจรในรูปที่ 3.3 มาควบคุมอนาลอกสวิตช์ ส่วนค่า C hold นั้น จะต้องทำการเลือกค่า C ที่ไม่เล็กมากเกินไปเพื่อป้องกันการที่ค่าแรงดันของสัญญาณนั้นตกลงไปในช่วงของการคงค่าสัญญาณ ซึ่งจะทำให้รูปสัญญาณที่ได้ในช่วงของการคงค่าสัญญาณในแต่ละ cycle นั้นไม่เรียบอย่างที่ต้องการ เนื่องจากเกิดการรั่วของประจุไปบ้างเล็กน้อยเพราะความไม่เป็นอุดมคติของ buffer (ในทางอุดมคตินั้น buffer จะมี input impedance เป็นอนันต์และจะไม่เกิดการรั่วไหลของประจุได้เลย) ในที่นี้ใช้ $C\ hold = 10nF$ ซึ่งสามารถให้รูปสัญญาณตามต้องการ

3.1.4 การออกแบบวงจรจัดระดับสัญญาณและวงจรเข้ารหัส PCM

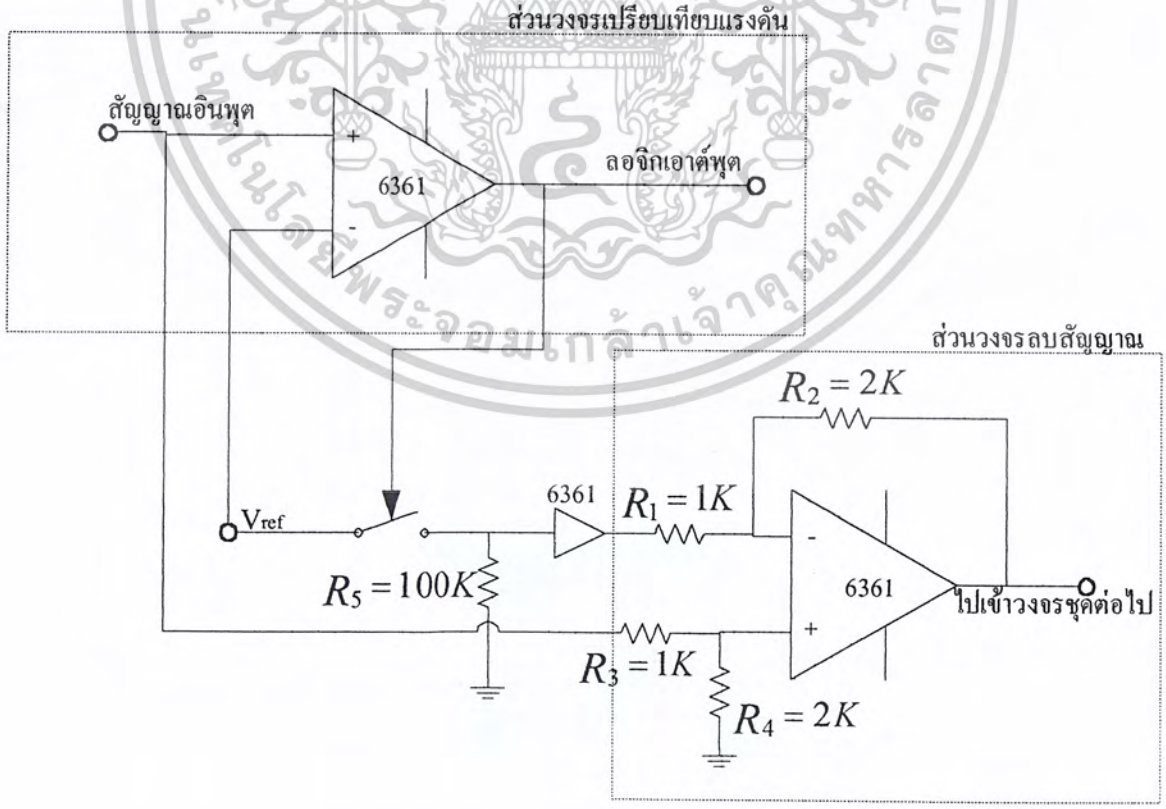
เริ่มแรก จะทำการทดลองออกแบบวงจรเข้ารหัส จำนวน 3 บิตก่อน โดยกำหนดให้ข้อมูลอยู่ในช่วงตั้งแต่ 0V-4V และระดับการควอนไทซ์กว้าง 0.5V ทำให้แบ่งได้ทั้งหมด 8 ระดับพอดี ซึ่งค่าต่างๆ นี้ จะเป็นดังในตารางที่ 3.1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ระดับ	Bit 2	Bit 1	Bit 0
7 (3.5-4.0V)	1	1	1
6 (3.0-3.5V)	1	1	0
5 (2.5-3.0V)	1	0	1
4 (2.0-2.5V)	1	0	0
3 (1.5-2.0V)	0	1	1
2 (1.0-1.5V)	0	1	0
1 (0.5-1.0V)	0	0	1
0 (0.0-0.5V)	0	0	0

ตารางที่ 3.1 ตารางเทียบค่า logic ของวงจรเข้ารหัส

วงจรเข้ารหัสที่จะใช้เป็นแบบ successive approximation ซึ่งจะนำมาใช้จริงในวงจร โดยจากหลักการของวงจรเข้ารหัสแบบนี้ในรูปที่ 2.31 สามารถออกแบบวงจรได้เป็นดังรูปที่ 3.5 เป็นวงจรเข้ารหัสจำนวน 1 ชุดซึ่งก็จะประกอบไปด้วย 2 ส่วนหลักๆ คือ ส่วนวงจรเปรียบเทียบแรงดัน และส่วนวงจรลบสัญญาณ โดยที่ส่วนนี้จะใช้เป็นวงจร subtracting amplifier



รูปที่ 3.5 วงจรเข้ารหัสสัญญาณแบบ successive approximation 1 ชุด

เอกสารนี้เป็นเอกสารสงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากค่าในตารางที่ 3.1 บิตแรกจะเป็น 1 ก็ต่อเมื่อสัญญาณข่าวสารมีขนาดเกิน 2V ซึ่งอยู่ตรงกึ่งกลางของช่วงขนาดสัญญาณพอดี ดังนั้นจึงต้องตั้งค่า reference ของวงจรเข้ารหัสชุดแรกเท่ากับ 2V ถ้าสัญญาณข่าวสารมีขนาดเกิน 2 V comparator ก็จะให้เอาต์พุตบิตแรกเป็น 1 และวงจรลบก็จะทำการลบขนาดสัญญาณข่าวสารออกไป 2V ทำให้สัญญาณข่าวสารที่ออกจากวงจรลบนั้นมีค่าอยู่ในช่วง 0V-2V หรือถ้าสัญญาณข่าวสารมีขนาดไม่เกิน 2 V comparator ก็จะให้เอาต์พุตบิตแรกเป็น 0 และวงจรลบก็จะไม่ทำการลบขนาดสัญญาณข่าวสารออก ทำให้สัญญาณข่าวสารที่ออกจากวงจรลบนั้นมีค่าอยู่ในช่วง 0V-2V เช่นกัน ดังนั้น เมื่อนำไปทำการการเข้ารหัสที่วงจรชุดที่ 2 ก็จะต้องทำการตั้งค่า reference เท่ากับ $1V$ และสัญญาณที่ออกจากวงจรลบของชุดที่ 2 นี้ก็จะมีค่า 0V – 1V ดังนั้นจะเห็นได้ว่าวงจรเข้ารหัสนี้จะต้องตั้งค่า reference เท่ากับ 2V , 1V และ 0.5V ตามลำดับตั้งแต่ชุดที่ 1 จนถึงชุดที่ 3 ซึ่งจะเห็นว่ามีขนาดเป็นครึ่งหนึ่งของชุดก่อนหน้า เช่นนี้เรื่อยไป แต่ถ้าทำการเข้ารหัสที่จำนวนบิตมากกว่านี้ก็จะต้องใช้ชุดวงจรมากกว่านี้และค่า reference ก็จะน้อยลงไปอีกจนมีผลทำให้เกิดความผิดพลาดเนื่องมาจากตัว comparator ซึ่งจะทำงานได้ไม่ดีในช่วงค่า reference ที่น้อยมากๆ ซึ่งจะสามารถทำการแก้ไขได้โดยใช้วงจรลบที่มี gain เท่ากับ 2 โดยที่สัญญาณข่าวสารที่ออกจากวงจรลบชุดที่ 1 นั้น จะมีขนาดอยู่ในช่วง 0V-2V นั้น เมื่อ gain ของวงจรลบเท่ากับ 2 แล้ว สัญญาณก็จะออกมามีขนาดอยู่ในช่วง 0V - 4V แทน ดังนั้นในชุดต่อไปจึงตั้งค่า reference ที่ $2V$ เท่าเดิมได้ และจะเป็นเช่นนี้ไปเรื่อยๆ ดังนั้นถ้าเราจะทำการเข้ารหัสสัญญาณที่มีขนาดอยู่ในช่วงใดๆแล้ว ก็สามารถใช้ชุดวงจรเข้ารหัสแบบนี้ที่มีค่า reference เท่ากับกึ่งกลางของช่วงการเข้ารหัส ต่ออนุกรมกันตามจำนวนบิตที่ต้องการได้เลย ในส่วนของวงจรลบสัญญาณนั้น ค่าเอาต์พุตของวงจรนั้นจะเป็นไปตามสมการที่ 3.7

$$V_o = \left(1+\frac{R_2}{R_1}\right)\left(\frac{R_4}{R_3+R_4}\right)V_2-\left(\frac{R_2}{R_1}\right)V_1 \qquad (3.7)$$

เมื่อทำการแทนค่า R โดยให้ $R_1=1K$, $R_2=2K$, $R_3=1K$ และ $R_4=2K$ แทนค่าลงในสมการที่ 3.7 จะได้

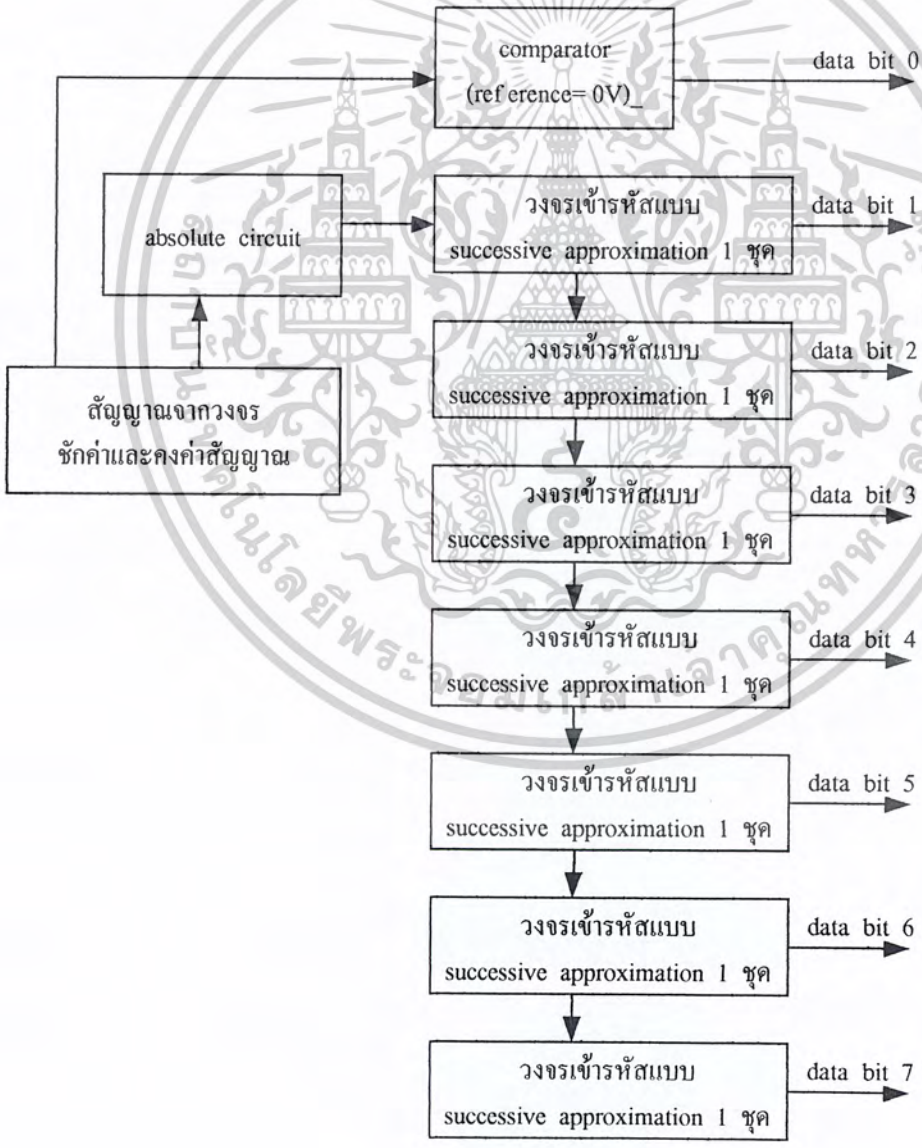
$$V_0 = \left(1+\frac{2}{1}\right)\left(\frac{2}{1+2}\right)V_2-\left(\frac{2}{1}\right)V_1 \qquad (3.8)$$

เมื่อทำการแก้สมการจะได้เอาต์พุตออกมาเป็นดังสมการที่ 3.9

$$V_0 = 2(V_2-V_1) \qquad (3.9)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดังนั้น เมื่อใช้ค่า R ตามกำหนด ก็จะได้วงจรลบสัญญาณที่มีค่า gain เท่ากับ 2 ออกมาได้ ส่วนค่า R_5 ตัวที่อยู่หลังสวิตช์นั้นจะต้องไม่ต่ำเกินไปเพื่อป้องกันการดึงกระแสลงกราวด์ ซึ่งจะทำให้ค่าแรงดันที่ป้อนให้ buffer นั้นตกลงไป ในที่นี้ใช้ค่า $R_5 = 100K$ ส่วนในวงจรที่ใช้จริงนั้น จะทำการเข้ารหัสเป็นจำนวน 8 บิต และอยู่ในช่วงไม่เกิน $\pm 6.4V$ ดังนั้นจากหลักการในรูปที่ 2.32 นั้น เมื่อสัญญาณที่ต้องการทำการเข้ารหัสมีค่าเป็นลบด้วยจะต้องทำการเปรียบเทียบแรงดันที่ค่า reference เท่ากับ 0 เพื่อเป็นข้อมูลบิต 0 ก่อน แล้วก็นำสัญญาณนี้ไปเข้าวงจร absolute circuit จากในรูปที่ 2.33 เพื่อทำการกลับสัญญาณให้เป็นบวก สัญญาณที่ทำการกลับแล้วนี้จึงอยู่ในช่วง 0-6.4V ดังนั้น เราต้องทำการเข้ารหัสอีก 7 บิตที่เหลือโดยใช้วงจรที่ 3.5 อีกจำนวน 7 ชุดต่อกันโดยตั้งค่า reference ที่ 3.2V จะได้วงจรโดยรวมในการเข้ารหัสดังรูปที่ 3.6

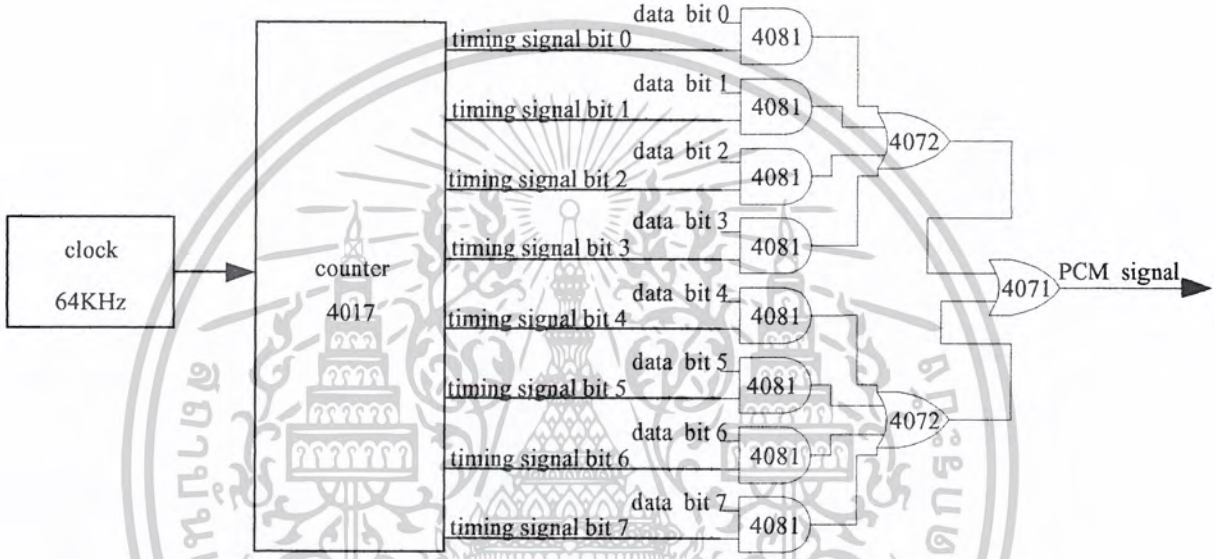


รูปที่ 3.6 วงจรเข้ารหัสโดยรวม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.1.5 การออกแบบวงจร parallel to series

วงจร parallel to series นี้จะอยู่ในส่วนของการเข้ารหัส เพื่อจัดเรียงข้อมูลจากวงจรเข้ารหัสจำนวน 8 บิตที่ขนานกันอยู่ให้อนุกรมลงมาในสายเดียวกันและเป็นสัญญาณ PCM โดยเมื่อข้อมูลจากวงจรเข้ารหัสแต่ละบิตมีความถี่ 8 KHz เมื่อนำมารวมกันจำนวน 8 บิต ก็จะได้สัญญาณ PCM ความถี่ 64 KHz รูปวงจร parallel to series นี้จะเป็นดังรูปที่ 3.7 จะต้องใช้ clock 64 KHz มาป้อนให้ตัว counter (นับ8) เพื่อสร้าง timing signal ของข้อมูลทั้ง 8 บิตออกมาแล้วนำมา AND กับข้อมูลตามลำดับ หลังจากนั้นจึงนำ output ของ AND gate ทั้งหมดมา OR กัน จึงได้สัญญาณ PCM ออกมา



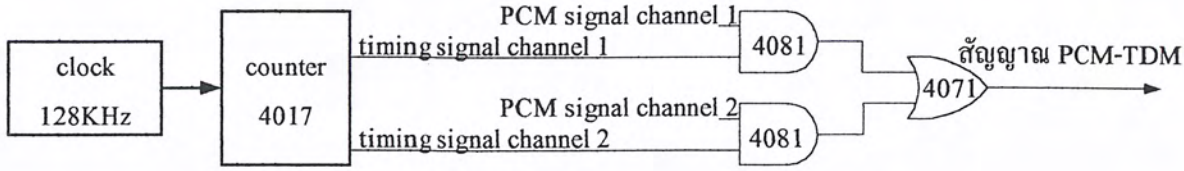
รูปที่ 3.7 วงจร parallel to series

สัญญาณที่ได้จะเป็นสัญญาณ PCM ของช่องสัญญาณนั้นๆ หลังจานั้นก็จะนำสัญญาณนี้ไปทำการมัลติเพล็กซ์กับสัญญาณจากช่องสัญญาณอื่นต่อไป

3.1.6 การออกแบบวงจรทำการมัลติเพล็กซ์แบบแบ่งเวลา

ส่วนวงจรทำการมัลติเพล็กซ์นั้นก็จะใช้หลักการเดียวกันกับวงจร parallel to series โดยเมื่อต้องการมัลติเพล็กซ์สัญญาณ PCM 2 ช่องสัญญาณที่มีความถี่ 64 KHz ก็ต้องใช้ clock 128 KHz ป้อนให้ counter (นับ 2) เพื่อสร้าง timing signal ของทั้ง 2 ช่องสัญญาณแล้วจึงนำไป AND กับสัญญาณ PCM ตามลำดับ หลังจากนั้นก็นำมา OR กันจึงจะได้สัญญาณที่มัลติเพล็กซ์แล้ว วงจรจะเป็นดังรูปที่ 3.8

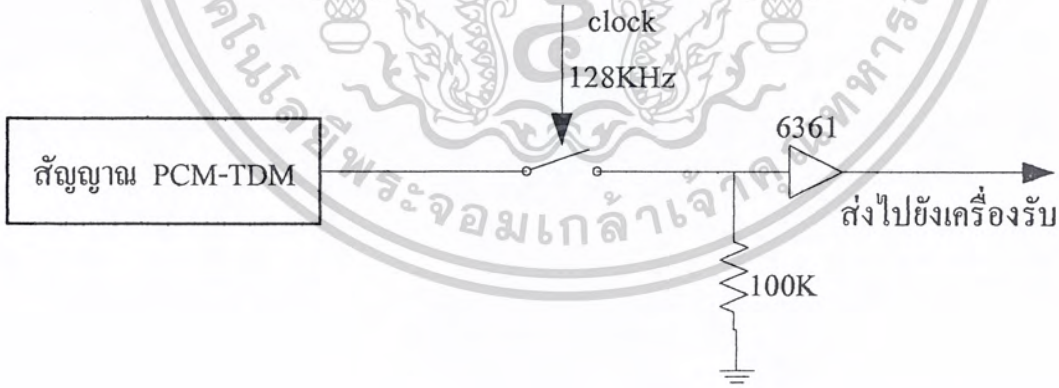
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.8 วงจรทำการมัลติเพล็กซ์สัญญาณ

3.1.7 การออกแบบวงจร line encoder

วงจรสำหรับทำการ line encoding ที่ใช้นี้จะทำการแปลงสัญญาณให้อยู่ในรูปแบบของ BPRZ โดยจะอยู่หลังส่วนของการมัลติเพล็กซ์ โดยที่เมื่อทำการมัลติเพล็กซ์สัญญาณเรียบร้อยแล้วก็จะทำการแปลงให้เป็นสัญญาณรูปแบบ BPRZ แล้วจึงส่งออกไปยังเครื่องรับ สามารถทำได้โดยใช้สัญญาณ PCM-TDM และ clock 128KHz มาป้อนเข้าวงจรในรูปที่ 3.9 ส่วนค่า R นั้นจะต้องไม่ต่ำเกินไปเพื่อป้องกันค่าแรงดันที่ป้อนให้ buffer นั้นตกลงไป ในที่นี้ใช้ค่า R เท่ากับ 100K ทางภาครับจะสามารถกู้สัญญาณ clock จากสัญญาณ BPRZ นี้ได้โดยใช้วงจร absolute ในรูปที่ 2.33

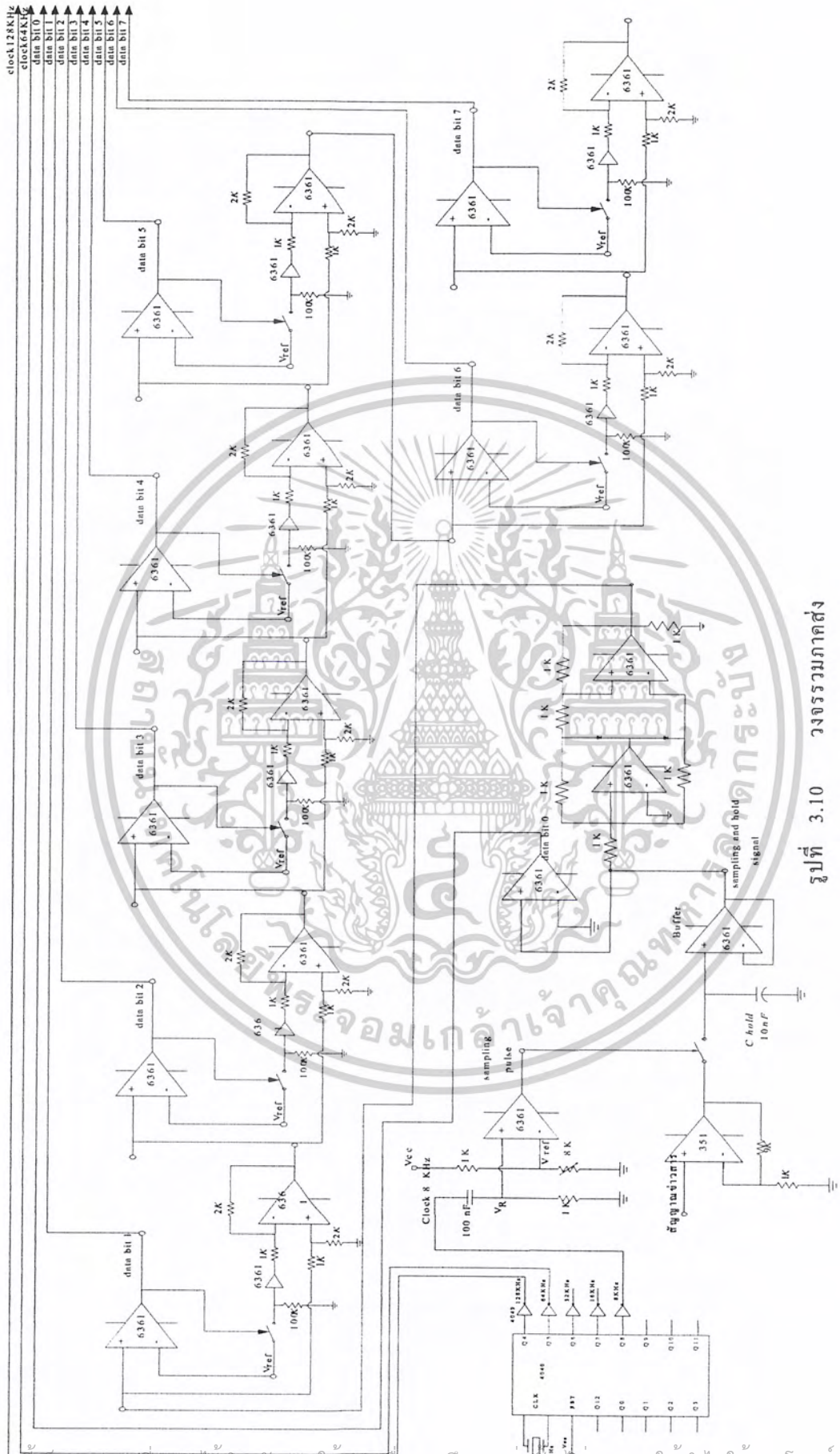


รูปที่ 3.9 วงจร line encoder

3.1.8 วงจรรวมภาคส่ง

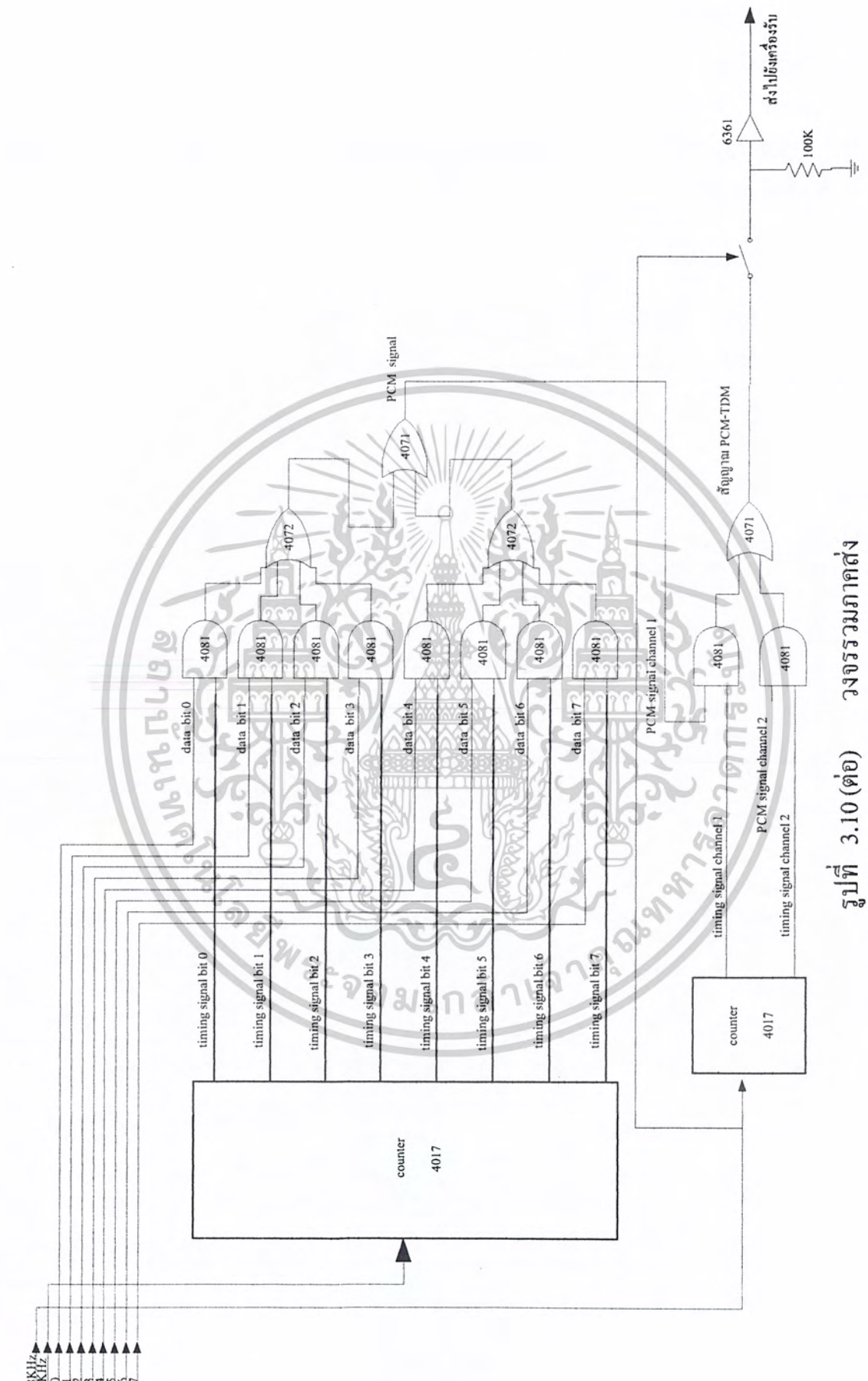
จากวงจรส่วนต่างๆทั้งหมดในภาคส่งสามารถนำมาเขียนเป็นวงจรรวมของภาคส่งได้ดังรูปที่ 3.10

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.10 วงจรรวมภาคส่ง

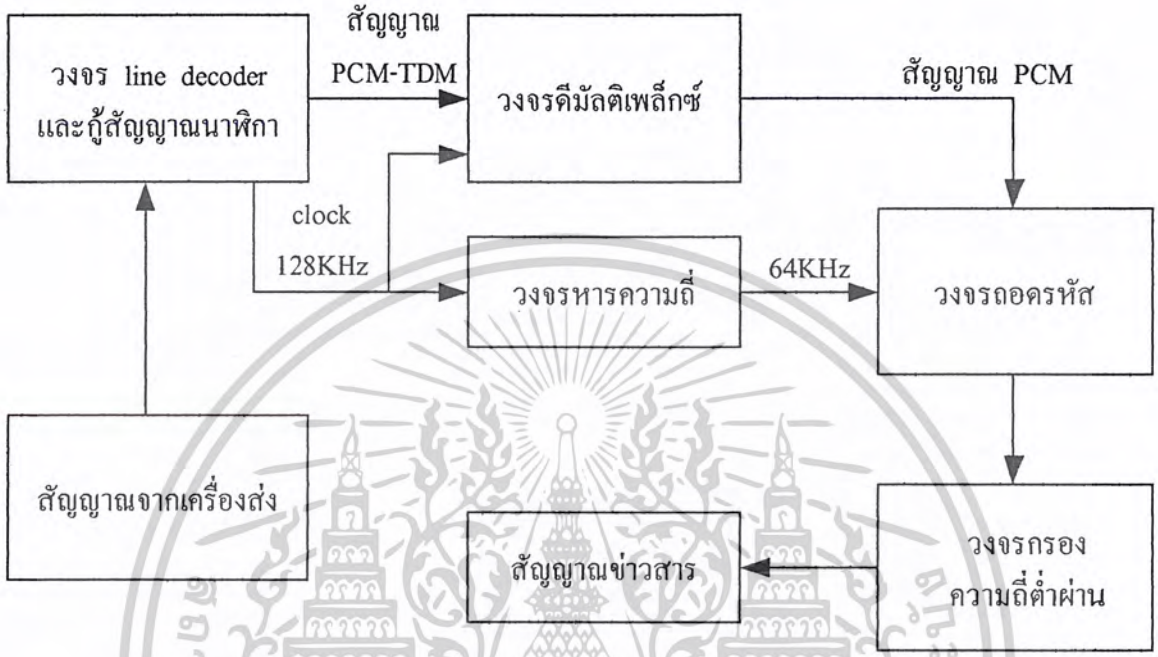
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.10 (ต่อ) วงจรรวมภาคส่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2 การออกแบบวงจรทางด้านภาครับ



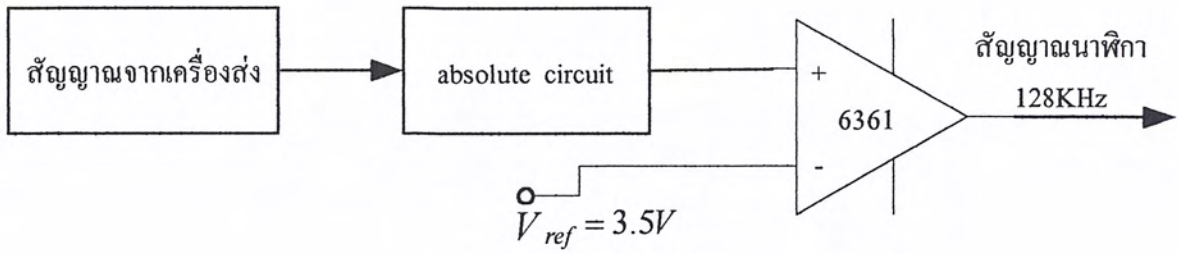
รูปที่ 3.11 block diagram เครื่องรับโดยการเข้ารหัสแบบ PCM และมัลติเพล็กซ์แบบแบ่งเวลา

วงจรทางด้านภาครับจะมีขั้นตอนการทำงานเป็นไปตาม block diagram ในรูปที่ 3.11 เมื่อรับสัญญาณมาจากเครื่องส่งแล้วก็จะทำการ line decoding เพื่อให้ได้สัญญาณ PCM-TDM กลับมา และต้องกู้สัญญาณนาฬิกาสำหรับการทำงานของวงจรส่วนต่างๆของภาครับด้วย หลังจากนั้น นำสัญญาณ PCM-TDM ไปทำการดีมัลติเพล็กซ์ จะได้สัญญาณ PCM ของแต่ละช่องสัญญาณออกมา ทำการถอดรหัส PCM และผ่านวงจรกรองความถี่ต่ำผ่านจึงจะได้สัญญาณข่าวสารกลับมา

3.2.1 การออกแบบวงจร line decoder และวงจรกู้สัญญาณนาฬิกา

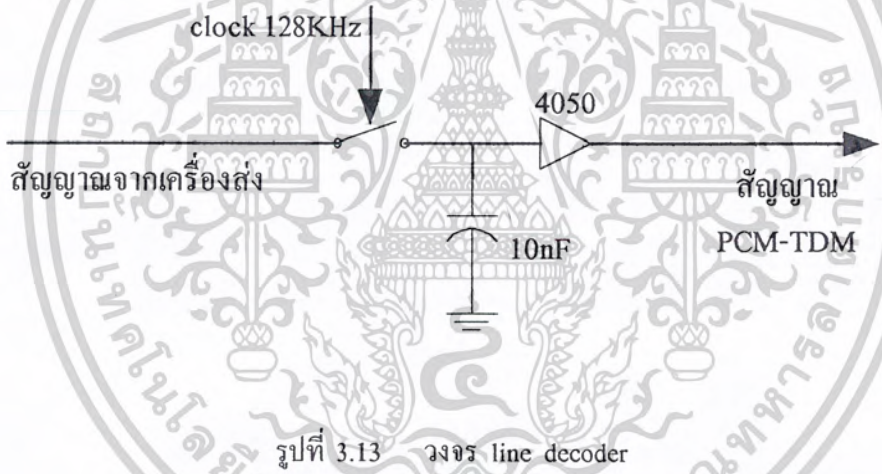
ในการกู้สัญญาณนาฬิกาจากสัญญาณที่ส่งมาจากเครื่องรับนั้น สามารถทำได้โดยนำสัญญาณนั้นไปผ่านวงจร absolute circuit ในรูปที่ 2.33 จะได้สัญญาณนาฬิกาที่มีระดับแรงดันเป็นบวกและศูนย์ออกมา และเราสามารถแปลี่ยนให้อยู่ที่ระดับแรงดันบวกและลบได้โดยนำไปเข้าวงจร comparator ที่มีค่า reference เท่ากับครึ่งหนึ่งของระดับแรงดันที่เป็นบวก ซึ่งในวงจรนี้ก็จะเท่ากับ 3.5V วงจรจะเป็นดังรูปที่ 3.12

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.12 วงจรกู้สัญญาณนาฬิกา

ส่วนวงจรทำ line decoding ให้เป็นสัญญาณ PCM-TDM เหมือนเดิมนั้น จะเป็นดังรูปที่ 3.13 โดยจะนำสัญญาณที่อยู่ในรูปแบบ BPRZ มาผ่านเข้า analog switch ที่มี clock 128KHz ที่กู้มาได้จากวงจรในรูปที่ 3.12 ควบคุม จะได้สัญญาณ PCM-TDM กลับมา

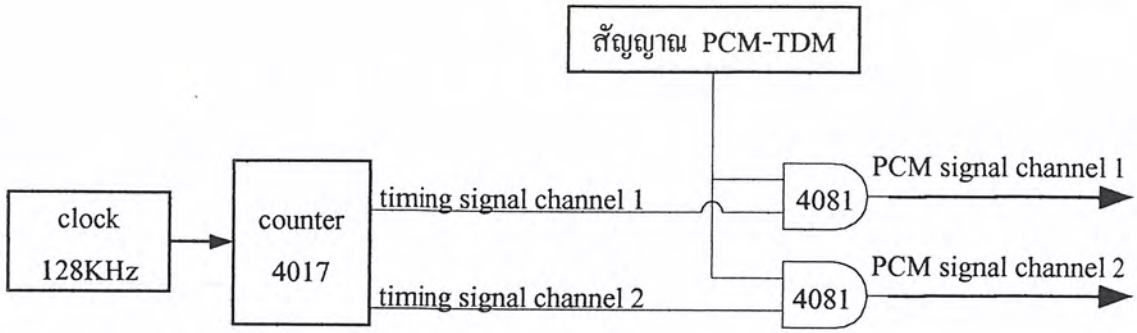


รูปที่ 3.13 วงจร line decoder

3.2.2 การออกแบบวงจรดีมัลติเพล็กซ์

วงจรดีมัลติเพล็กซ์นี้ จะทำหน้าที่แยกสัญญาณ PCM-TDM ออกไปเป็นสัญญาณ PCM ในแต่ละช่องสัญญาณ วงจรจะเป็นดังรูปที่ 3.14 โดยจะมี counter (นับ2) ซึ่งควบคุมด้วย clock 128KHz เพื่อสร้าง timing signal ของแต่ละช่องสัญญาณออกมาเพื่อนำไป AND กับสัญญาณ PCM-TDM จะได้สัญญาณ PCM ของแต่ละช่องสัญญาณออกมา

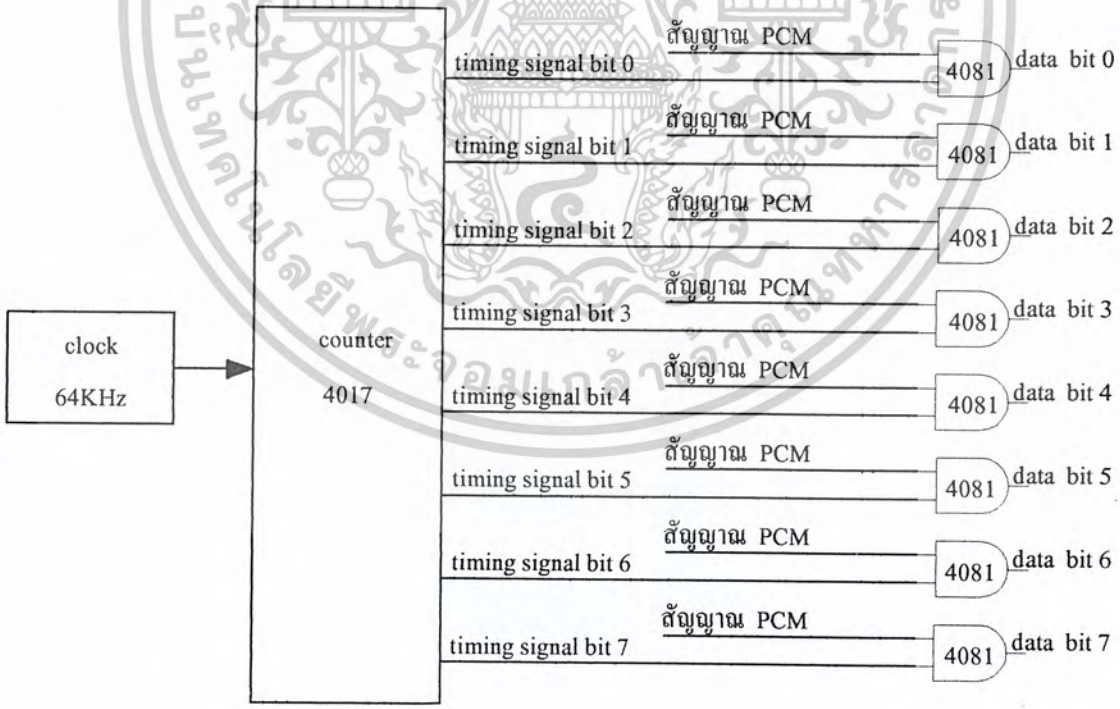
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.14 วงจรดีมัลติเพล็กซ์

3.2.3 การออกแบบวงจรถอดรหัส PCM

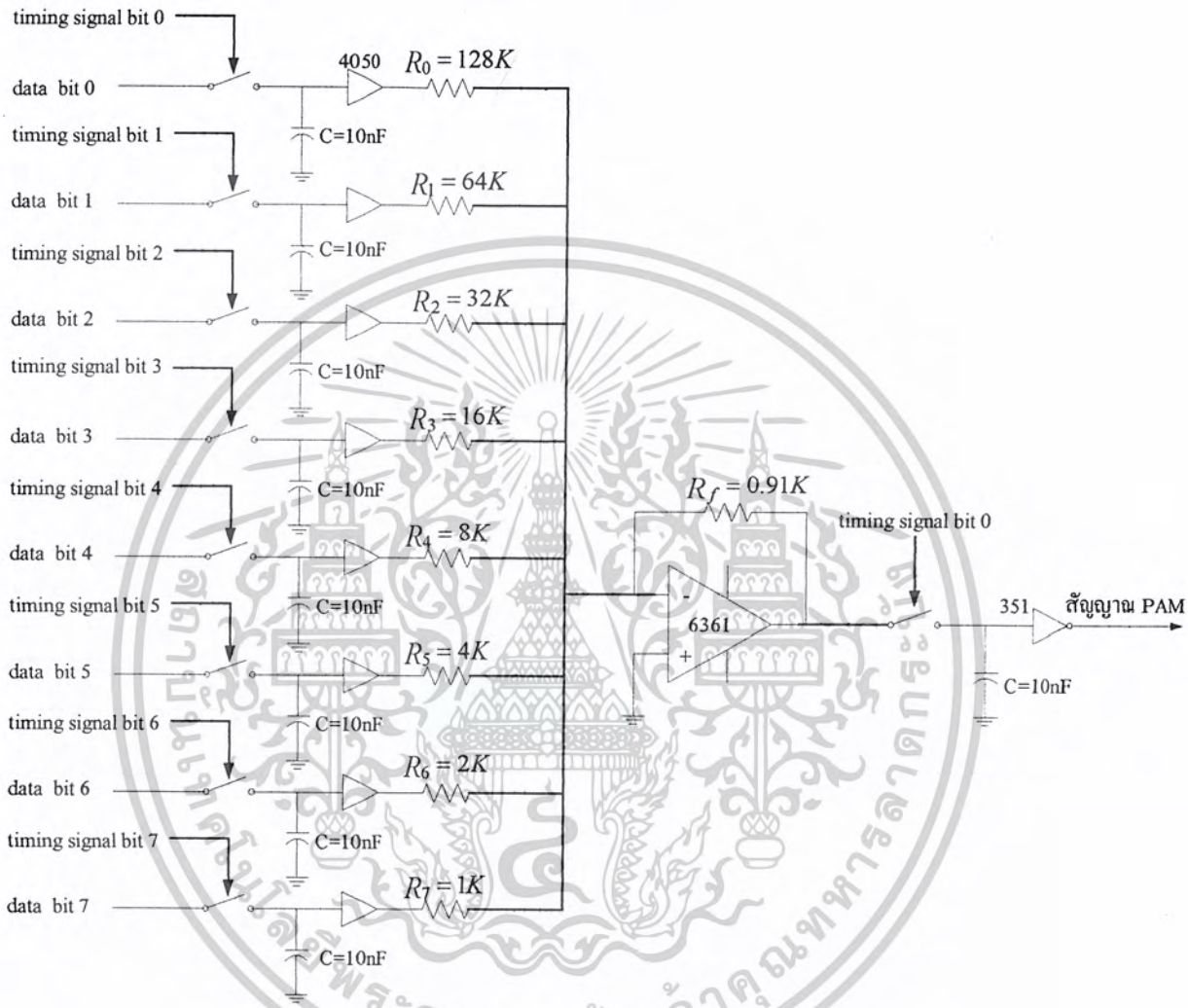
วงจรถอดรหัสสัญญาณ PCM นี้จะประกอบไปด้วย 2 ส่วนคือ ส่วนสร้าง timing signal ของแต่ละบิต และส่วนวงจร scaling adder ในส่วนของวงจรสร้าง timing signal นั้นจะเป็นดังรูปที่ 3.15 ซึ่งจะประกอบไปด้วย counter (นับ 8) ที่ควบคุมโดย clock 64KHz เพื่อสร้าง timing signal ของแต่ละบิต แล้วจึงนำไป AND กับสัญญาณ PCM เพื่อแยกข้อมูลแต่ละบิตออกมาได้เป็นจำนวน 8 บิต แล้วหลังจากนั้นจึงส่งต่อไปยังส่วนของวงจร scaling adder



รูปที่ 3.15 ส่วนสร้าง timing signal ของวงจรถอดรหัส PCM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรในส่วน scaling adder นั้น จากที่ได้กล่าวมาแล้วในหัวข้อที่ 2.9 ว่า วงจรนี้สามารถนำมาทำการถอดรหัสสัญญาณเลขฐาน 2 ได้ การออกแบบวงจรนี้ เราจะต้องทำการคำนวณ weight ของแต่ละอินพุตและนำไปใช้กับบิตที่ถูกต้อง วงจรจะเป็นดังรูปที่ 3.16



รูปที่ 3.16 วงจรในส่วนของ scaling adder ในวงจรถอดรหัส

จากรูปที่ 3.16 ก่อนที่จะนำข้อมูลแต่ละบิตมาเข้าอินพุตของวงจร scaling adder นั้น จะต้องทำการคงค่าของข้อมูลไว้ก่อนเพื่อรอข้อมูลบิตที่เหลือให้มาถึงแล้วจึงถอดรหัสพร้อมกันจึงจะได้ผลที่ได้ถูกต้อง สามารถทำได้โดยนำข้อมูลของแต่ละบิตมาเข้าอนาลอกสวิตช์ซึ่งควบคุมโดย timing signal ของบิตนั้นๆ และมี C ต่ออยู่ดังรูป และหลังจากวงจร scaling adder จะต้องผ่านอนาลอกสวิตช์อีกตัวหนึ่งซึ่งควบคุมโดย timing signal ของบิตสุดท้าย เพื่อให้เอาต์พุตของวงจรออกเฉพาะเวลาที่ข้อมูลมาครบ 8 บิตเท่านั้น และจะมี C สำหรับคงค่าสัญญาณเอาต์พุตนี้ไว้ตลอด cycle สุดท้ายต้องทำการกลับสัญญาณที่ได้ด้วย เนื่องจากวงจร scaling adder นี้ทำงานเป็นแบบ inverting

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในการคำนวณวงจรถอดรหัส 8 บิต พิจารณาที่ บิต 0 มีค่า weight ประจำบิตเองเท่ากับ 2^0 คือ 1 ระดับการควอนไทซ์ หมายความว่าถ้าบิตนี้มีสถานะเป็น "1" ก็จะแสดงว่า ค่าระดับการควอนไทซ์ที่ได้จะเพิ่มขึ้น 1 ระดับ เช่น ถ้ารหัส 3 บิตมีค่า 0000 0100 แสดงว่าค่าระดับสัญญาณในช่วงนั้นอยู่ในระดับที่ 4 แต่ถ้าบิต 0 เพิ่มขึ้นเป็น "1" รหัสก็จะคือ 0000 0101 ซึ่งเป็นระดับที่ 5 เป็นต้น ดังนั้น ถ้าบิต 0 มีสถานะเป็น "1" เข้ามาก็จะมีผลทำให้ เอาต์พุตมีค่าเพิ่มขึ้นเท่ากับความกว้างของ 1 ระดับการควอนไทซ์ ดังนั้นค่า bit weight ของแต่ละบิตในระบบซึ่งก็คือค่าแรงดันที่บิตนั้นมีผลต่อเอาต์พุตโดยรวม สามารถหาได้จาก

$$\text{bit weight} = 2^n \times \text{quantizing interval size} \tag{3.10}$$

เมื่อ n คือเลขบิต

ในการคำนวณนั้น จะทำการกำหนดค่า R ของแต่ละอินพุตก่อน โดยที่เราทราบอยู่แล้วว่าค่า R แต่ละตัวนั้นจะมีค่าเรียงกัน โดยจะเป็นครึ่งหนึ่งของบิตก่อนหน้า เนื่องมาจากการที่น้ำหนักของแต่ละบิตนั้นเป็นค่ายกกำลังของ 2 จากรูปที่ 3.16 กำหนดให้ R ของแต่ละอินพุตมีค่า 128K , 64K , 32K , 16K , 8K , 4K , 2K และ 1K ตามลำดับ หลังจากนั้นทำการคำนวณค่า bit weight และจากสมการที่ 2.9 แต่ละพจน์ของสมการนั้น ก็จะคือ bit weight ของแต่ละบิตนั่นเอง สำหรับบิต 0 นั้น สามารถสร้างสมการได้ดังสมการที่ 3.11

$$\text{bit weight} = 2^n \times \text{quantizing interval size} = \left(\frac{R_f}{R_0}\right) \times V_0 \tag{3.11}$$

เมื่อ n คือเลขบิต

R_0 คือ R อินพุตของบิต 0

V_0 คือแรงดันอินพุตของบิต 0

ทำการแทนค่า n เป็น 0 , ค่าความกว้างระดับการควอนไทซ์เท่ากับ 0.05V ส่วนค่า R อินพุตเท่ากับ 128KHz และค่าแรงกันอินพุตของวงจรเท่ากับ 7V จะได้สมการที่ 3.12

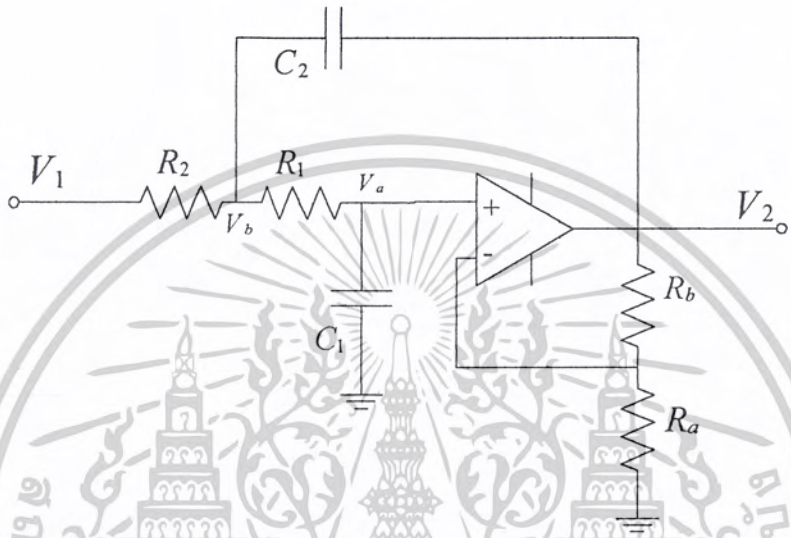
$$2^0 \times 0.05 = \left(\frac{R_f}{128K}\right) \times 7 \tag{3.12}$$

เมื่อแก้สมการก็จะได้ค่า R_f ออกมาเท่ากับ 0.91K ดังวงจรในรูปที่ 3.16 เมื่อนำไปถอดรหัสแล้วก็จะได้สัญญาณดีสครีต ในรูปที่ 2.28e ออกมา โดยที่ขนาดสัญญาณจะเป็นค่าที่ถูกปัดไปแล้ว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2.4 การออกแบบวงจรกรองความถี่ต่ำผ่าน

วงจรกรองความถี่ต่ำผ่านนี้จะอยู่ในส่วนของภาครับ เพื่อกรองสัญญาณข่าวสารออกมา และจากทฤษฎีการสุ่มตัวอย่างสัญญาณในหัวข้อที่ 2.3 จึงกำหนดให้วงจรกรองความถี่ต่ำผ่านนี้มีค่าความถี่คัทออฟประมาณ 4 KHz เราจะใช้วงจร sallen and key จากในรูปที่ 2.35 นั้นมาทำการกรองสัญญาณ



รูปที่ 3.17 วงจรกรองความถี่ต่ำผ่านแบบ sallen and key

จากรูปที่ 3.17 gain ของวงจรจะมีค่าเท่ากับ

$$1+\frac{R_b}{R_a} = K \tag{3.13}$$

ทำการ take node ที่จุด V_a ได้สมการ

$$\frac{1}{R_2}\left(\frac{V_2}{K}-V_b\right)+\left(\frac{V_2}{K}-0\right)C_2 s = 0 \tag{3.14}$$

ทำการ take node ที่จุด V_b ได้สมการ

$$\frac{1}{R_2}\left(V_b-\frac{V_2}{K}\right)+C_1 s(V_b-V_2)+\frac{1}{R_1}(V_b-V_1) = 0 \tag{3.15}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ยุบสมการที่ 3.15 เพื่อหาค่า V_b ได้

$$\left(\frac{1}{R_2}+\frac{1}{R_1}+C_1 s\right)V_b-\frac{1}{R_2}\cdot\frac{V_2}{K} = \frac{V_1}{R_1}+C_1 s V_2 \tag{3.16}$$

จัดสมการที่ 3.14 ได้

$$-\frac{1}{R_2}V_b+\left(\frac{1}{R_2}+C_2 s\right)\frac{V_2}{K} = 0 \tag{3.17}$$

$$-\frac{1}{R_2}V_b = -\left(\frac{1}{R_2}+C_2 s\right)\frac{V_2}{K} \tag{3.18}$$

คูณด้วย $-\frac{1}{R_2}$ ตลอดสมการได้

$$V_b = \left(1+R_2 C_2 s\right)\frac{V_2}{K} \tag{3.19}$$

แทนค่า V_b ที่ได้จากสมการที่ 3.19 ลงในสมการที่ 3.16

$$\frac{1}{R_2}+\frac{1}{R_1}+C_1 s+\left(1+R_2 C_2 s\right)\frac{V_2}{K}-\frac{1}{R_2}\cdot\frac{V_2}{K} = \frac{V_1}{R_1}+C_1 s V_2 \tag{3.20}$$

จัดสมการเพื่อหาค่า $\frac{V_2}{V_1}$

$$\left[\left(\frac{1}{R_2}+\frac{1}{R_1}+C_1 s\right)\left(1+R_2 C_2 s\right)\frac{1}{K}-\frac{1}{R_2 K}-C_1 s\right]V_2 = \frac{V_1}{R_1} \tag{3.21}$$

$$\frac{V_2}{V_1} = \frac{1}{R_1}\cdot\frac{1}{\left(\frac{1}{R_2}+\frac{1}{R_1}+C_1 s\right)\left(1+R_2 C_2 s\right)\frac{1}{K}-\frac{1}{R_2 K}-C_1 s} \tag{3.22}$$

$$= \frac{1}{R_1}\cdot\frac{1}{\left(\frac{1}{R_2}+\frac{1}{R_1}+C_1 s+C_2 s+\frac{R_2 C_2 s}{R_1}+R_2 C_1 C_2 s^2\right)\frac{1}{K}-\frac{1}{R_2 K}-C_1 s} \tag{3.23}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$= \frac{1}{\left(\frac{R_1}{R_2}+1+R_1C_1s+R_1C_2s+R_2C_2s+R_1R_2C_1C_2s^2\right)\frac{1}{K}-\frac{R_1}{R_2K}-R_1C_1s} \quad (3.24)$$

$$= \frac{1}{\frac{R_1R_2C_1C_2s^2}{K}+\left(\frac{R_1C_1}{K}+\frac{R_1C_2}{K}+\frac{R_2C_2}{K}-R_1C_1\right)s+\left(\frac{1}{K}+\frac{R_1}{R_2K}-\frac{R_1}{R_2K}\right)} \quad (3.25)$$

จะได้ค่า $\frac{V_2}{V_1}$ คือ

$$\frac{V_2}{V_1} = \frac{K\cdot\frac{1}{R_1R_2C_1C_2}}{s^2+\left(\frac{1}{R_2C_2}+\frac{1}{R_2C_1}+\frac{1}{R_1C_1}-\frac{K}{R_2C_2}\right)s+\frac{1}{R_1R_2C_1C_2}} \quad (3.26)$$

ดังนั้น transfer function ของวงจร sallen and key จะเป็นดังสมการที่ 3.27

$$T(s) = \frac{K\cdot\frac{1}{R_1R_2C_1C_2}}{s^2+\left(\frac{1}{R_2C_2}+\frac{1}{R_2C_1}+\frac{1}{R_1C_1}-\frac{K}{R_2C_2}\right)s+\frac{1}{R_1R_2C_1C_2}} \quad (3.27)$$

จากสมการที่ 3.13 ทำการแทนค่า $R_a=\infty$ และ $R_b=0$ จะได้ค่า K คือ

$$K = 1+\frac{0}{\infty} = 1 \quad (3.28)$$

กำหนดให้ค่า $R_1=R_2=3.9K$ และ $C_1=C_2=10nF$ แล้วทำการแทนค่า R , C และค่า K ที่ได้จากสมการที่ 3.28 วงในสมการที่ 3.27 จะได้ว่า

$$T(s) = \frac{1\cdot\frac{1}{(3.9K)(3.9K)(10n)(10n)}}{s^2+\left(\frac{3}{(3.9K)(10n)}-\frac{1}{(3.9K)(10n)}\right)s+\frac{1}{(3.9K)(3.9K)(10n)(10n)}} \quad (3.29)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

และจาก transfer function ของวงจร low pas filter นั้นเป็นดังสมการที่ 3.30

$$T(s) = \frac{K\omega_0^2}{s^2+\left(\frac{\omega_0}{Q}\right)s+\omega_0^2} \tag{3.30}$$

เมื่อ ω_0 คือค่า ω คัทออฟของวงจร

เมื่อเปรียบเทียบระหว่าง transfer function ของวงจร sallen and key ในสมการที่ 3.29 และ transfer function ของ low pass filter ในสมการที่ 3.30 แล้วจะหาค่า ω_0 ได้คือ

$$\omega_0^2 = \frac{1}{(3.9K)(3.9K)(10n)(10n)} \tag{3.31}$$

จะได้ค่า ω_0 เท่ากับ

$$\omega_0 = \frac{1}{(3.9K)(10n)} \tag{3.32}$$

$$\omega_0 = 25641.03 \ \ rad/s \tag{3.33}$$

ทำการหาค่าความถี่คัทออฟโดยใช้ความสัมพันธ์

$$\omega = 2\pi f \tag{3.34}$$

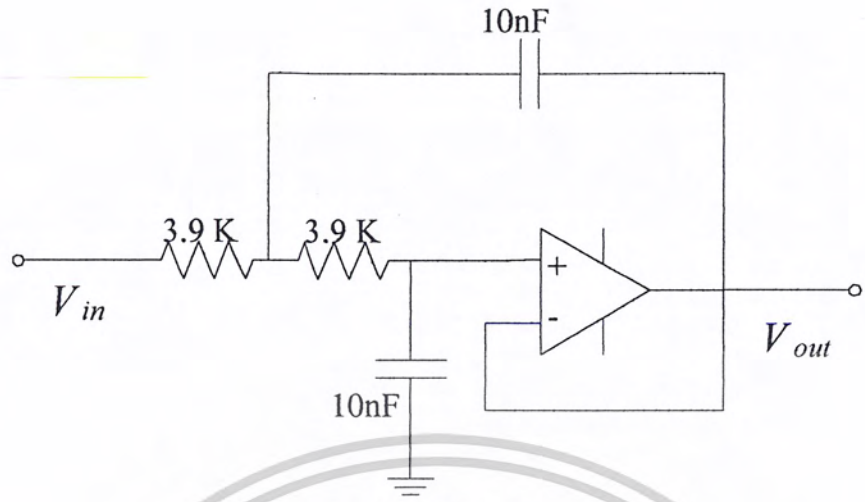
ดังนั้นค่าความถี่คัทออฟ (f_C) จะหาได้จากการแทนค่า ω_0 ลงในสมการที่ 3.34 จะได้

$$25641.03 = 2\pi(f_C) \tag{3.35}$$

$$f_C = 4.08 \ \ KHz \tag{3.36}$$

ค่า R_a ที่เป็นอนันต์นั้นก็จะเป็นการเปิดวงจร และค่า R_b ที่เท่ากับ 0 นั้นก็จะคือวงจร short ดังนั้น จะได้รูปวงจรกรองความถี่ต่ำผ่านที่มี gain ของส่วนขยายเท่ากับ 1 และค่าความถี่คัทออฟเท่ากับ 4 KHz ดังรูปที่ 3.18

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.18 วงจรกรองความถี่ต่ำผ่านหลังทำการออกแบบ

จากการเปรียบเทียบระหว่าง transfer function ของวงจร sallen and key ในสมการที่ 3.29 และ transfer function ของ low pass filter ในสมการที่ 3.30 เช่นกัน เราจะหาค่า Q ของวงจรกรองความถี่ได้จากได้คือ

$$\frac{\omega_0}{Q} = \frac{3}{(3.9K)(10n)} - \frac{1}{(3.9K)(10n)} \tag{3.37}$$

$$Q = \frac{2\omega_0}{(3.9K)(10n)} \tag{3.38}$$

แทนค่า ω_0 จากสมการที่ 3.33 ลงในสมการที่ 3.38 จะได้ว่า

$$Q = \frac{2(25641.03)}{(3.9K)(10n)} \tag{3.39}$$

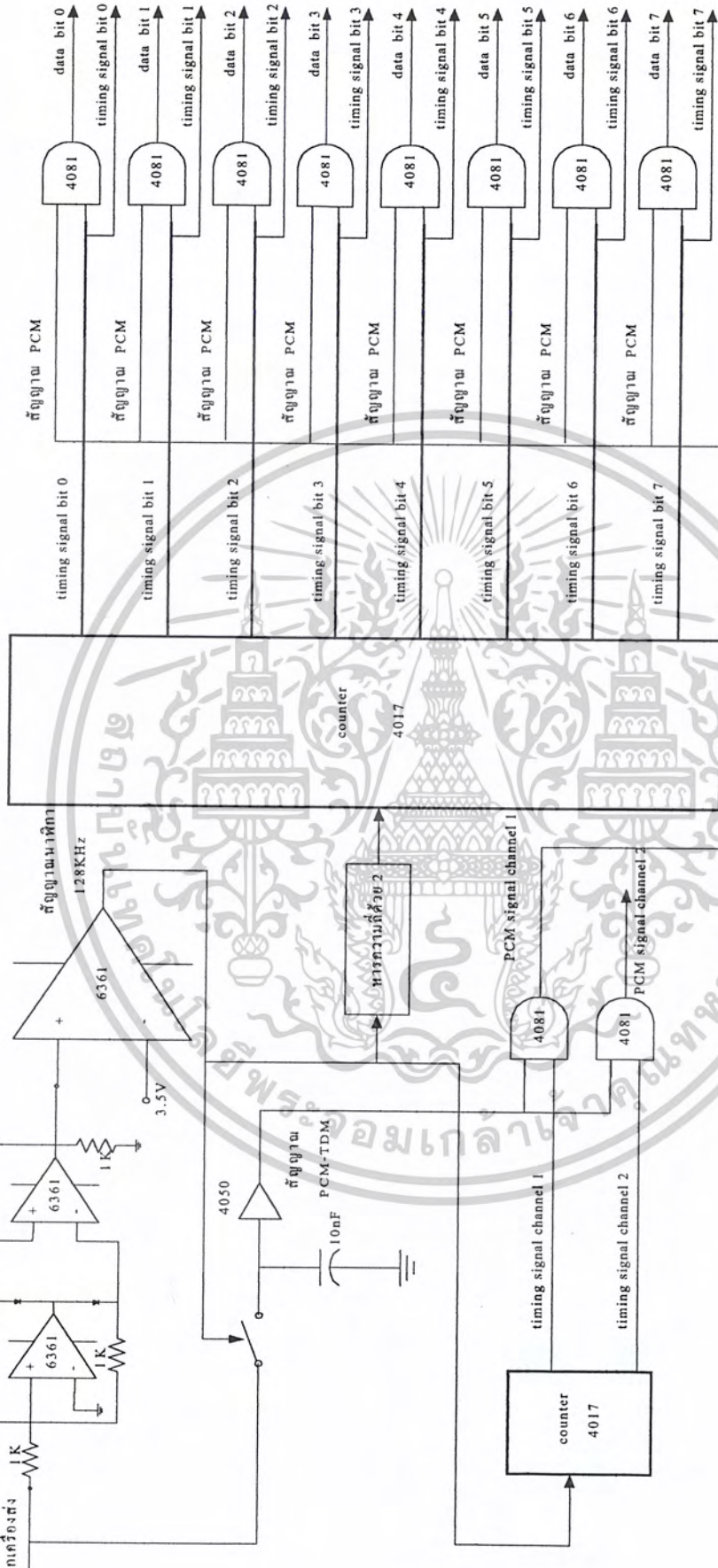
$$Q = 2 \tag{3.40}$$

ค่า Q หรือ quality factor ของวงจรกรองความถี่นี้จึงมีค่าเท่ากับ 2

3.2.5 วงจรรวมภาครับ

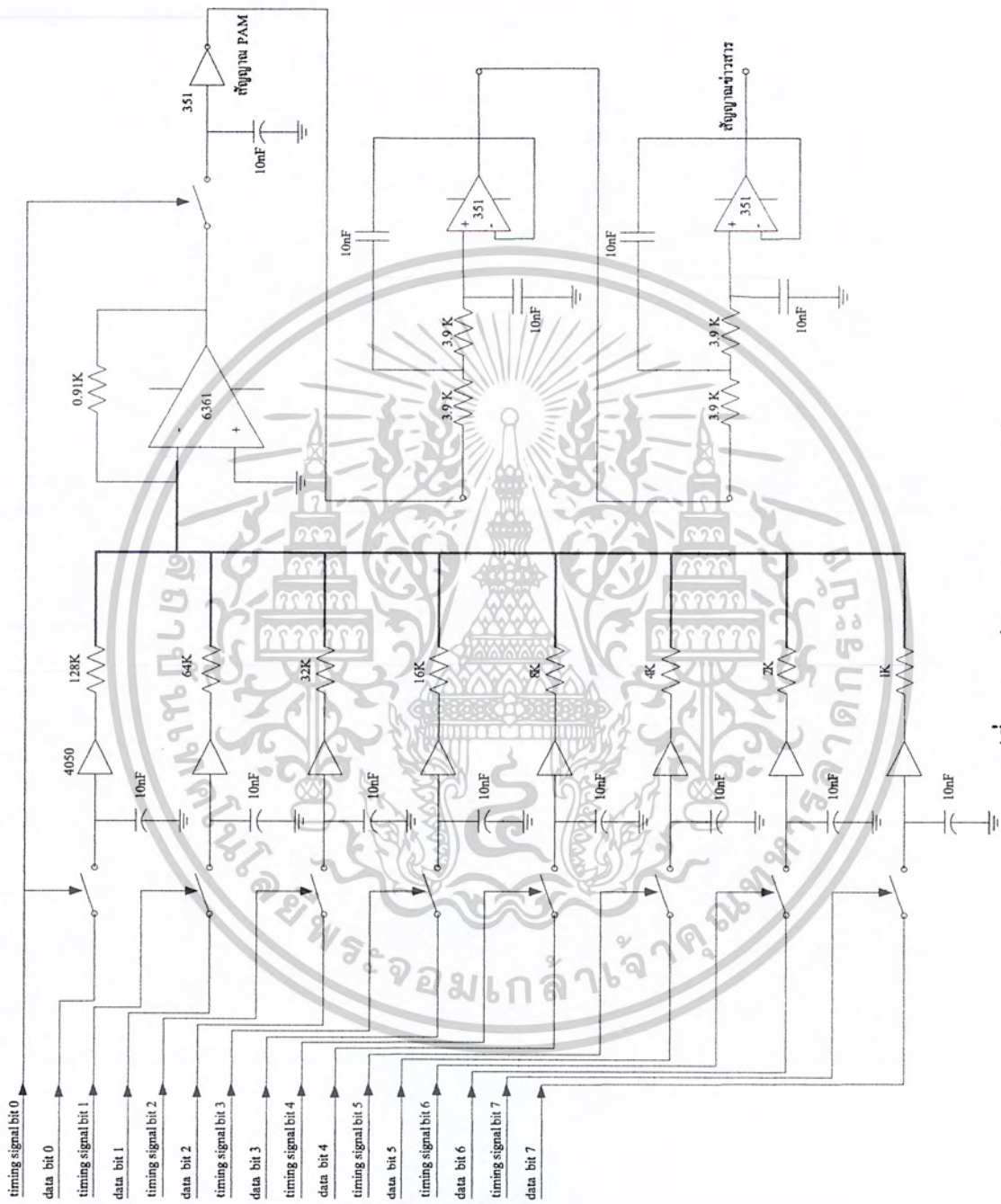
จากวงจรส่วนต่างๆทั้งหมดในภาครับสามารถนำมาเขียนเป็นวงจรรวมของภาครับได้ดังรูปที่ 3.19

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.19 วงจรรวมกาครับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.19 (ต่อ) วงจรรวมภาครับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4
การทดลองและผลการทดลอง

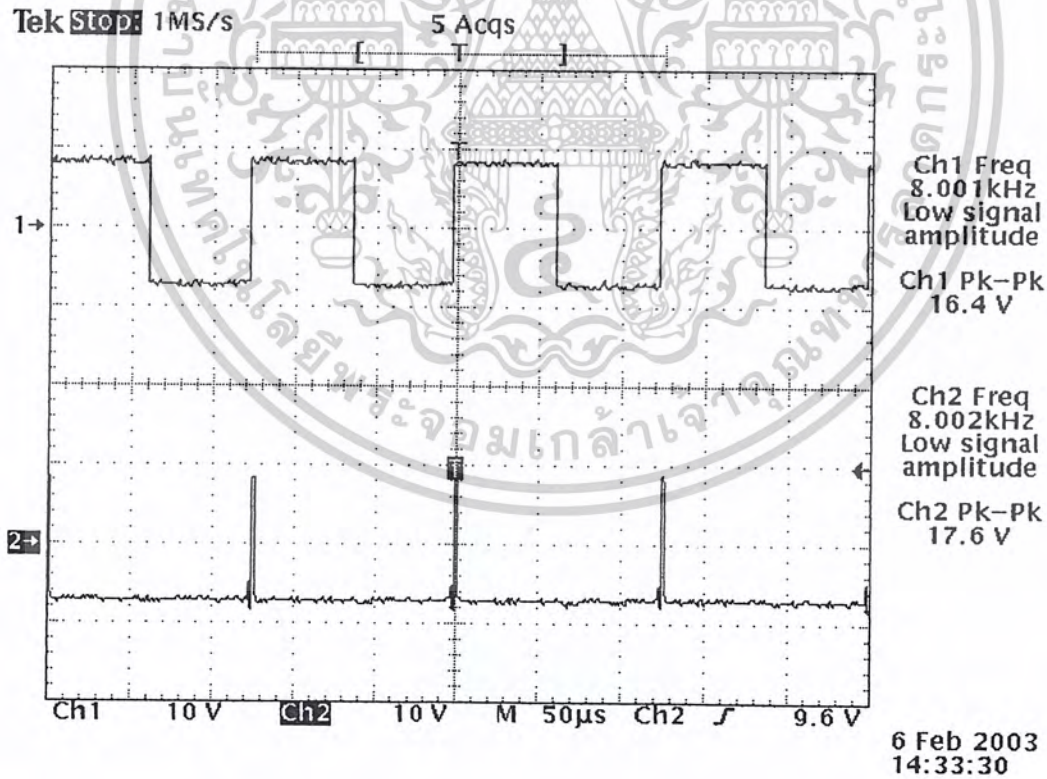
4.1 การทดสอบวงจรสร้างสัญญาณควบคุมการชักค่า (sampling pulse)

วัตถุประสงค์ เพื่อให้ทราบถึงลักษณะการทำงานของวงจร และศึกษารูปสัญญาณที่ได้จากวงจร . ว่าเหมาะสมจะนำไปควบคุมการชักค่าสัญญาณหรือไม่

4.1.1 ขั้นตอนการทดลอง

1. ต่อวงจรตามรูปที่ 3.3 โดยใช้ $C = 100nF$, $R = 1K\Omega$
2. ตั้งค่า V_{ref} ที่ประมาณ 6.5 V
3. ใช้ op-amp เบอร์ 6361 พร้อมทั้งป้อนไฟเลี้ยงบวกลบ เข้าที่ขา 7 และ 4 ตามลำดับ
4. ป้อนสัญญาณอินพุตเป็นสัญญาณรูปสี่เหลี่ยม ขนาด $\pm 9V$ ความถี่ 8 KHz จากเครื่อง function generator โดยผ่าน buffer ก่อนเข้าวงจรด้วย
5. วัดค่าสัญญาณ sampling pulse ที่เอาท์พุตเทียบกับสัญญาณรูปสี่เหลี่ยมอินพุต

4.1.2 ผลการทดลอง



รูปที่ 4.1 สัญญาณจากวงจรสร้างสัญญาณควบคุมการชักค่า

CH 1 สัญญาณรูปสี่เหลี่ยมอินพุต

CH 2 สัญญาณควบคุมการชักค่า sampling pulse

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.1.3 สรุปผลการทดลอง

เราจะทำการสร้างสัญญาณควบคุมการชักค่าที่ความถี่ 8 KHz จากสัญญาณ clock ความถี่ 8 KHz ในรูปที่ 1 โดยในระบบนั้น กำหนดให้ทำการชักค่าที่ทุกๆของขาขึ้นของ clock จากสัญญาณที่ได้ในรูปที่ 2 นั้นมีลักษณะเป็นสัญญาณรูปสี่เหลี่ยมซึ่งจะเกิดขึ้นที่ช่วงขอบขาขึ้นของ clock ในรูปที่ 1 พอดี และมีค่า duty cycle น้อยมาก ประมาณ5-6% (ในทางอุดมคตินั้นจะเป็นสัญญาณรูปสี่เหลี่ยมที่มีค่า duty cycle เข้าใกล้ 0 และมีขนาดเป็นอนันต์) ซึ่งจะนำไปใช้ในส่วนของวงจรชักค่าและคงค่าสัญญาณต่อไป

4.2 การทดสอบวงจรชักค่าสัญญาณ

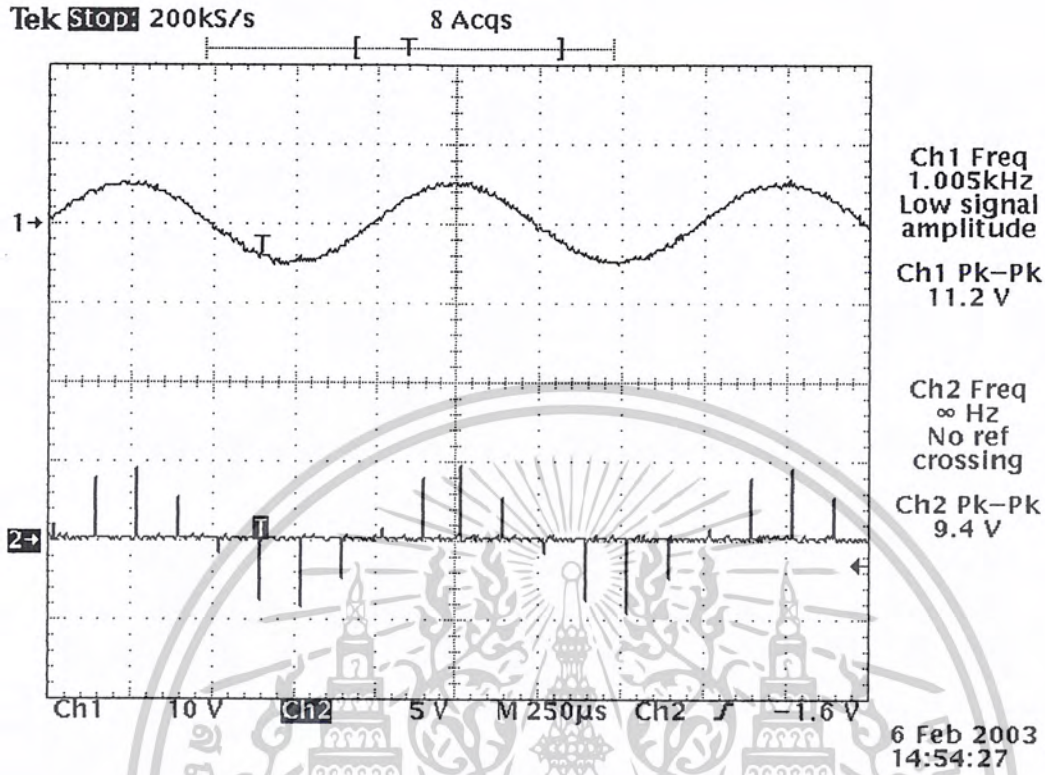
วัตถุประสงค์ เพื่อให้ทราบลักษณะการทำงานของวงจร และศึกษารูปสัญญาณที่ได้จากวงจรว่าสามารถทำการชักค่าตัวอย่างสัญญาณได้ถูกต้องตรงตามทฤษฎีหรือไม่

4.2.1 ขั้นตอนการทดลอง.

1. ต่อวงจรตามรูปที่ 3.4 เฉพาะในส่วนทำการชักค่าและคงค่าสัญญาณ โดยถอด $C\ hold = 10nF$ ออก
2. ป้อนสัญญาณควบคุมการชักค่าจากการทดลองที่ 4.1
3. ใส่อินพุตสัญญาณข่าวสารสมมุติเป็นสัญญาณ sine ขนาด 10 V_{pp} ความถี่ 1 KHz จาก function generator
4. ใช้ op-amp เบอร์ 6361 พร้อมทั้งป้อนไฟเลี้ยงบวกลบ เข้าที่ขา 7 และ 4 ตามลำดับ
5. ต่อสวิตช์ที่ใช้เป็น IC analog switch เบอร์ 4066
6. วัดค่าสัญญาณที่เอาท์พุตเทียบกับอินพุตสัญญาณข่าวสาร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2.2 ผลการทดลอง



รูปที่ 4.2 สัญญาณจากวงจรชักค่าสัญญาณ

CH 1 สัญญาณข่าวสาร

CH 2 สัญญาณจากการชักค่าสัญญาณ

4.2.3 สรุปผลการทดลอง

จากผลการทดลองในรูปที่ 4.2 เมื่อป้อนอินพุตสัญญาณข่าวสารสมมุติในรูปที่ 1 แล้ว สัญญาณที่ได้จากการชักค่านั้นจะมีลักษณะขาดเว้นกันเป็นช่วงๆ เป็นสัญญาณดีสครีต เหมือนกับสัญญาณควบคุมและมีเค้าโครงเหมือนสัญญาณข่าวสาร และเป็นไปตามทฤษฎีการชักค่าตัวอย่างสัญญาณ ดังในรูปที่ 2.21d จึงสามารถสรุปได้ว่าวงจรสามารถทำงานได้ถูกต้อง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

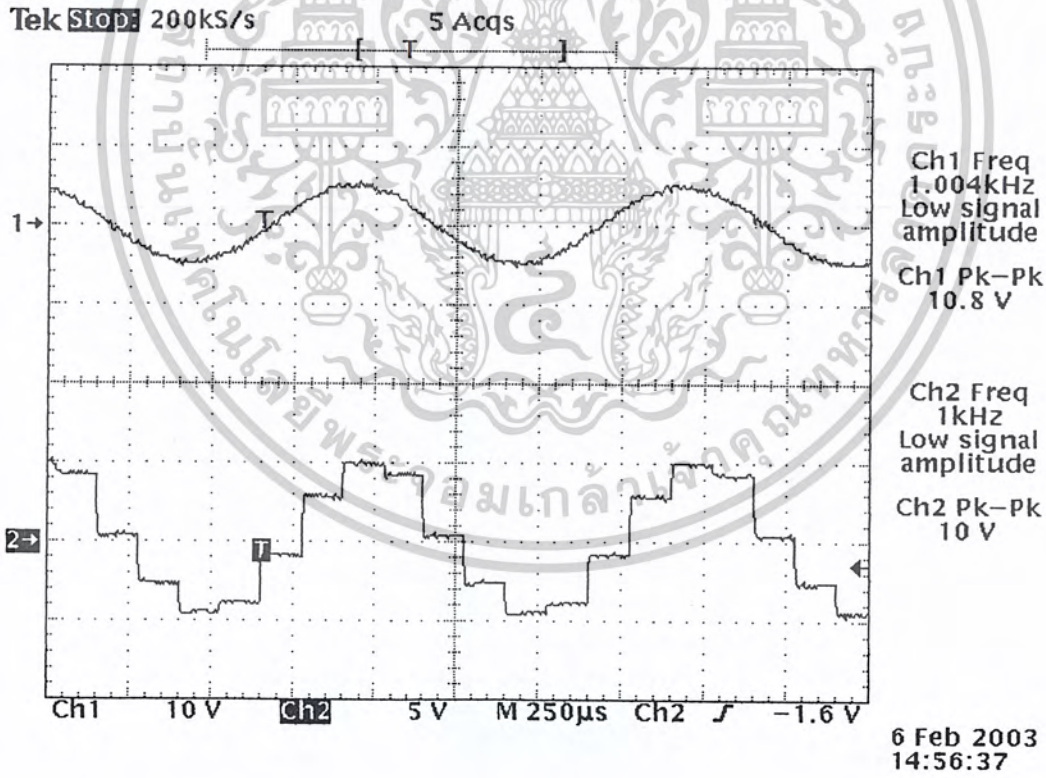
4.3 การทดสอบวงจรชักค่าและคงค่าสัญญาณ

วัตถุประสงค์ เพื่อให้ทราบลักษณะการทำงานของวงจรและศึกษารูปสัญญาณที่ได้จากวงจรว่าเป็นสัญญาณ PAM แบบที่ต้องการหรือไม่

4.3.1 ขั้นตอนการทดลอง

1. ต่อวงจรตามรูปที่ 3.4 เฉพาะในส่วนทำการชักค่าและคงค่าสัญญาณ
2. ป้อนสัญญาณควบคุมการชักค่าจากการทดลองที่ 4.1
3. ป้อนอินพุตสัญญาณข่าวสารสมมุติเป็นสัญญาณ sine ขนาด 10 V_{pp} ความถี่ 1 KHz จาก function generator
4. ใช้ op-amp เบอร์ 6361 พร้อมทั้งป้อนไฟเลี้ยงบวกลบ เข้าที่ขา 7 และ 4 ตามลำดับ
5. ต่อสวิตช์ที่ใช้เป็น IC analog switch เบอร์ 4066
6. วัดค่าสัญญาณที่เอาท์พุตเทียบกับอินพุตสัญญาณข่าวสาร

4.3.2 ผลการทดลอง



รูปที่ 4.3 สัญญาณจากวงจรชักค่าและคงค่าสัญญาณ

CH 1 สัญญาณข่าวสาร

CH 2 สัญญาณที่ได้จากวงจรชักค่าและคงค่าสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.3.3 สรุปผลการทดลอง

จากผลการทดลองในรูปที่ 4.3 เมื่อป้อนอินพุตสัญญาณข่าวสารสมมุติในรูปที่ 1 แล้ว สัญญาณที่ได้จากการชักค่าและคงค่าสัญญาณนั้น จะมีลักษณะคล้ายสัญญาณที่ได้จากการชักค่าจากการทดลองที่ 4.2 แต่ต่างกันคือ ช่วงเวลาที่เหลือในแต่ละ cycle การชักค่านั้น ขนาดสัญญาณจะถูกคงค่าไว้ตลอด cycle ดังผลการทดลองในรูปที่ 2 จึงสามารถสรุปได้ว่า เป็นสัญญาณ PAM เหมือนในรูปที่ 2.2e รูปสัญญาณถูกต้องและเป็นไปตามทฤษฎีของระบบ PCM

4.4 การทดสอบวงจรเข้ารหัส

วัตถุประสงค์ เพื่อให้ทราบลักษณะการทำงานของวงจรว่าสามารถเข้ารหัสได้ถูกต้อง

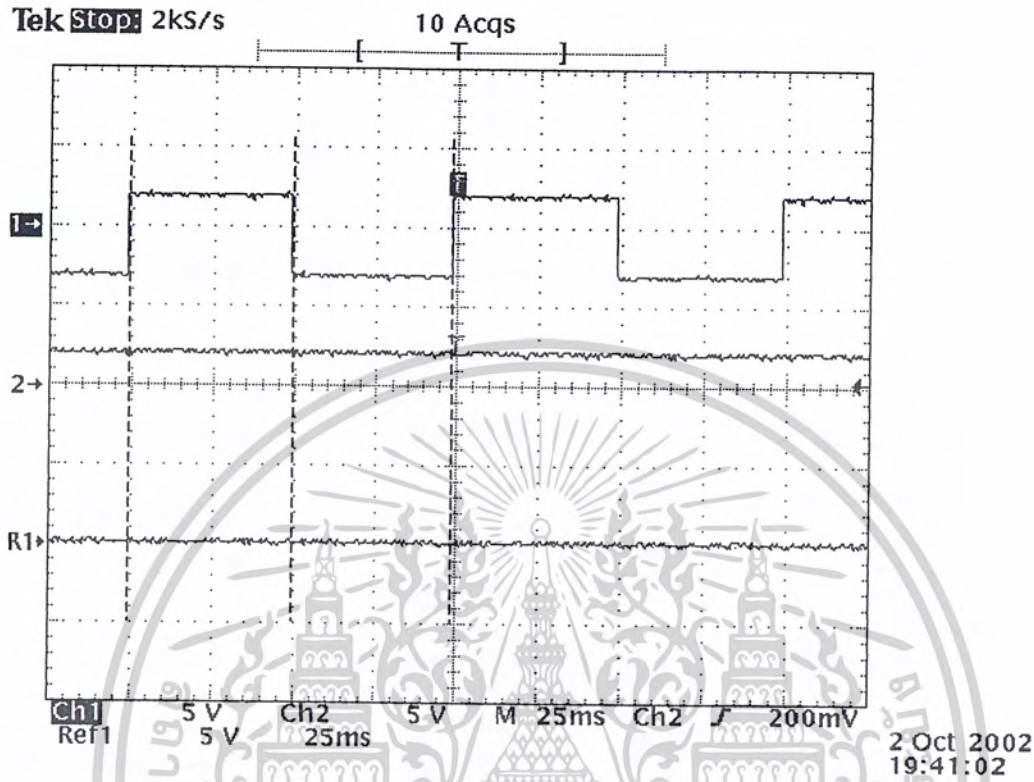
4.4.1 ขั้นตอนการทดลอง

1. ต่อวงจรเข้ารหัสตามรูปที่ 3.5 ต่ออนุกรมกัน โดยต่อเอาต์พุตของวงจรในส่วนของวงจรลบสัญญาณ ไปเข้าเป็นอินพุตของวงจรเข้ารหัสในชุดต่อไปเช่นนี้เรื่อยๆ เป็นจำนวน 3 ชุด
2. กำหนดค่า $V_{ref} = 2V$ และใช้ $R_1 = R_3 = 1K\Omega$, $R_2 = R_4 = 2K\Omega$ และ $R_5 = 100K\Omega$
3. ใช้ op-amp เบอร์ 6361 พร้อมทั้งป้อนไฟเลี้ยงบวกลบ เข้าที่ขา 7 และ 4 ตามลำดับ
4. ต่อสวิตช์ที่ใช้เป็น IC analog switch เบอร์ 4066
5. ทำการทดลอง 2 ครั้ง โดยที่ครั้งแรกใส่สัญญาณอินพุตเป็นสัญญาณรูปสี่เหลี่ยมขนาด $1.25V$ และ $3.25V$ ส่วนในครั้งที่ 2 ขนาด $0.25V$ และ $1.75V$ จากเครื่อง function generator โดยป้อนเข้าที่อินพุตของวงจรเข้ารหัสชุดแรกที่อนุกรมกันอยู่
6. วัดผลการเข้ารหัสทั้ง 3 บิต โดยวัดจากลอจิกเอาต์พุตในส่วนของวงจรเปรียบเทียบแรงดัน ของวงจรเข้ารหัสทั้ง 3 ชุด ตามลำดับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.4.2 ผลการทดลอง

ครั้งที่ 1



รูปที่ 4.4 สัญญาณจากวงจรเข้ารหัสทั้ง 3 บิต จากการทดลองครั้งที่ 1

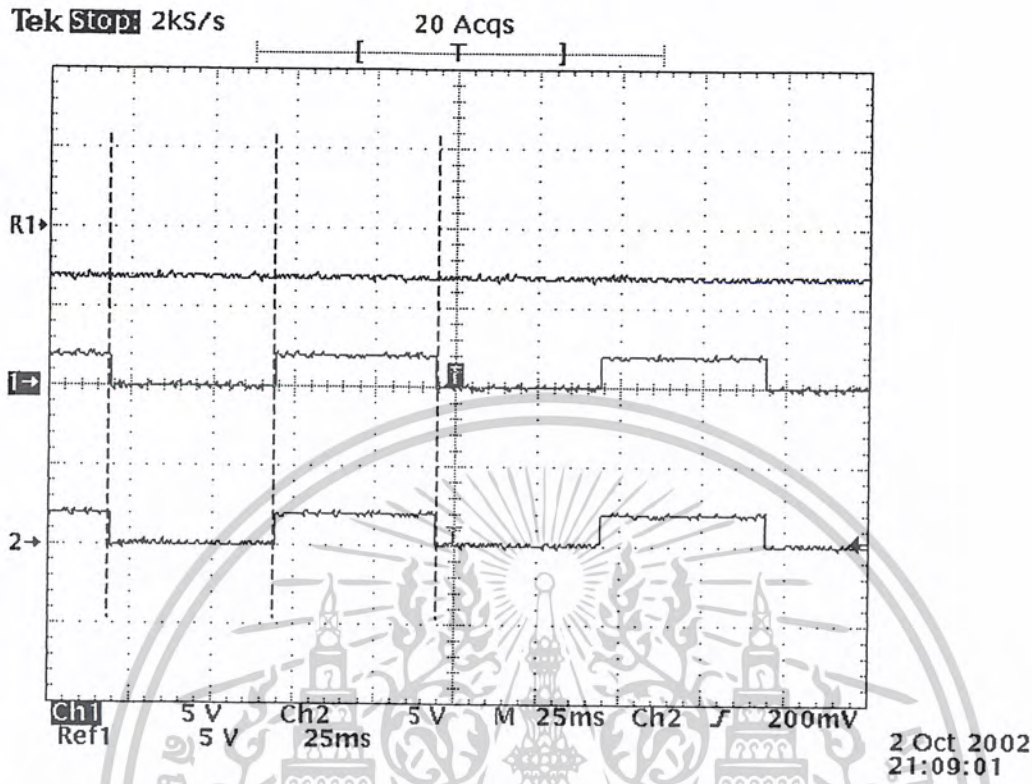
CH 1 สัญญาณจากวงจรเข้ารหัสบิตที่ 1

CH 2 สัญญาณจากวงจรเข้ารหัสบิตที่ 2

R 1 สัญญาณจากวงจรเข้ารหัสบิตที่ 3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ครั้งที่ 2



รูปที่ 4.5 สัญญาณจากวงจรเข้ารหัสทั้ง 3 บิต จากการทดลองครั้งที่ 2

R 1 สัญญาณจากวงจรเข้ารหัสบิตที่ 1

CH 1 สัญญาณจากวงจรเข้ารหัสบิตที่ 2

CH 2 สัญญาณจากวงจรเข้ารหัสบิตที่ 3

ขนาด 1.25 *V* และ 3.25*V* ส่วนในครั้งที่ 2 ขนาด 0.25 *V* และ 1.75*V*

4.4.3 สรุปผลการทดลอง

จากผลการทดลองของการทดลองครั้งแรกในรูปที่ 4.4 เมื่อป้อนสัญญาณอินพุตของวงจรเข้ารหัสเป็นสัญญาณรูปสี่เหลี่ยมที่มีขนาด 2 ค่าคือ 1.25V และ 3.25V นั้น เอาต์พุตของวงจรเข้ารหัสควรจะได้ผลออกมาเป็นรหัส 010 สลับกับ 011 ซึ่งจากผลการทดลองก็ออกมาถูกต้อง สามารถสังเกตได้จากรูปซึ่งช่วง 1 บิตนั้นก็จะคือช่วงที่ตีเส้นประไว้ และในการทดลองครั้งที่ 2 นั้น เมื่อป้อนสัญญาณอินพุตของวงจรเข้ารหัสเป็นสัญญาณรูปสี่เหลี่ยมที่มีขนาด 0.25V และ 1.75V ผลที่ได้ควรจะออกมาเป็นรหัส 000 สลับกับ 011 ซึ่งจากผลการทดลองของการทดลองครั้งที่ 2 ในรูปที่ 4.5 ก็ให้ผลตรงตามที่ต้องการเช่นกัน จึงสามารถสรุปได้ว่า วงจรเข้ารหัสนั้นทำงานได้ถูกต้อง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.5 การทดสอบวงจร Scaling Adder

วัตถุประสงค์ เพื่อให้ทราบถึงลักษณะการทำงานของวงจรและทดสอบความถูกต้องของวงจร

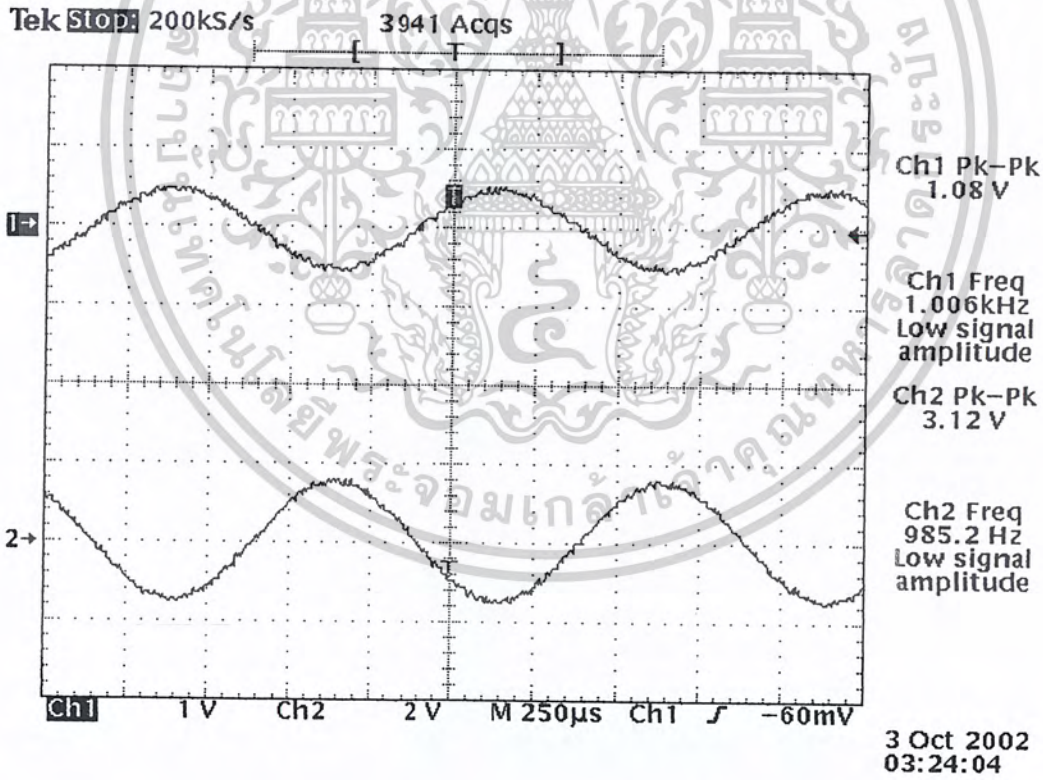
4.5.1 ขั้นตอนการทดลอง

1. ต่อวงจรตามรูปที่ 2.30 โดยจะทำการทดลอง 2 ครั้ง ครั้งแรกมีอินพุตเป็นจำนวน 2 อินพุต ส่วนครั้งที่ 2 ใช้ 3 อินพุต
2. ป้อนสัญญาณเข้าทุกอินพุตด้วยสัญญาณ sine ขนาด $1V_{pp}$ ความถี่ 1KHz
3. ใช้ op-amp เบอร์ 6361 พร้อมทั้งป้อนไฟเลี้ยงบวกลบ เข้าที่ขา 7 และ 4 ตามลำดับ
4. ทำการทดลองจำนวน 2 ครั้ง ครั้งแรกใช้ 2 อินพุต โดย $R_1 = 2K$, $R_2 = 1K$ และ $R_f = 2K$

   ครั้งที่ 2 ใช้ 3 อินพุตโดย $R_1 = 1K$, $R_2 = 2K$, $R_3 = 2K$ และ $R_f = 1K$
5. วัดค่าสัญญาณเอาท์พุตเทียบกับอินพุต

4.5.2 ผลการทดลอง

ครั้งที่ 1



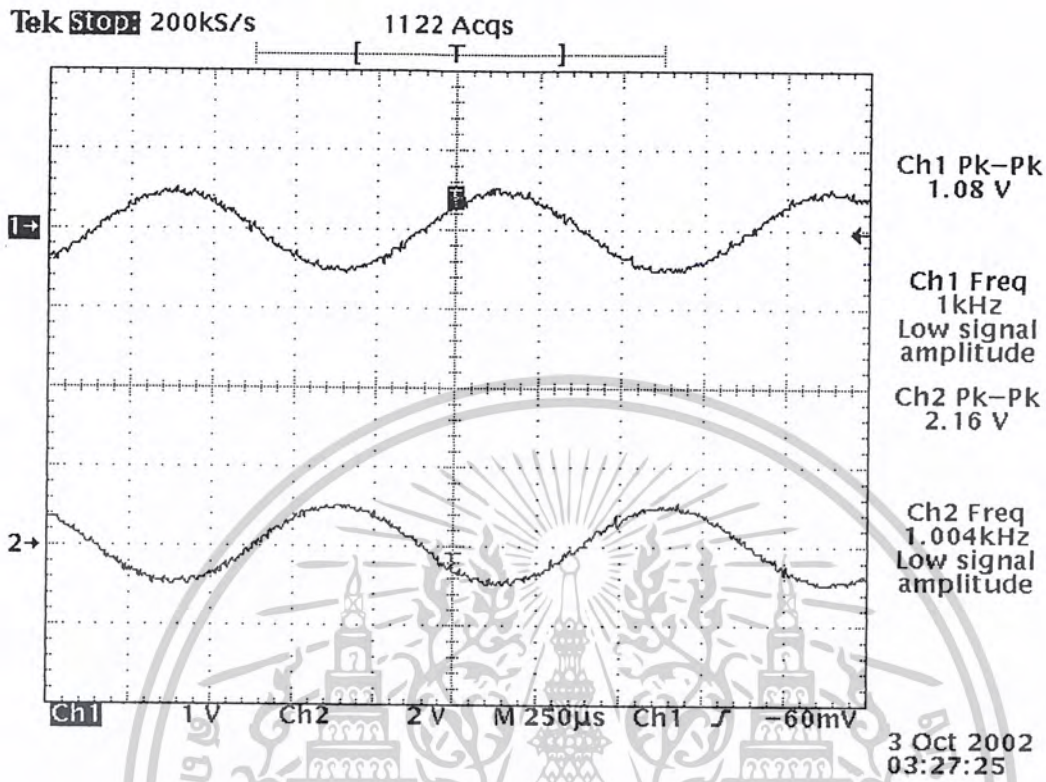
รูปที่ 4.6 สัญญาณจากวงจร Scaling Adder จากการทดลองครั้งที่ 1

CH 1 สัญญาณอินพุตรูป sine

CH 2 สัญญาณเอาต์พุต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ครั้งที่ 2



รูปที่ 4.7 สัญญาณจากวงจร Scaling Adder จากการทดลองครั้งที่ 2

CH 1 สัญญาณอินพุตรูป sine

CH 2 สัญญาณเอาต์พุต

4.5.3 สรุปผลการทดลอง

จากผลการทดลองครั้งที่ 1 ในรูปที่ 4.6 นั้น เมื่อป้องสัญญาณรูป sine ขนาด $1V_{pp}$ ความถี่ 1 KHz ตัวเดียวกันเป็นจำนวน 2 อินพุตแล้ว และจากค่า R ต่างที่กำหนดในวงจรนั้น วงจรจะทำการบวกสัญญาณด้วยน้ำหนักเท่ากับ 2 และอีกอินพุตมีน้ำหนักเป็น 1 ดังนั้น น้ำหนักรวมของวงจรจึงเท่ากับ 3 เอาต์พุตจึงควรมีขนาดเป็น 3 เท่าของอินพุต ซึ่งผลการทดลองนั้นได้ออกมาตามต้องการ ส่วนในการทดลองครั้งที่ 2 จะทำการบวกด้วยน้ำหนักอินพุตแรกเท่ากับ 1 และ 2 อินพุตที่เหลือมีน้ำหนักอินพุตละ 0.5 ดังนั้น เมื่อคิดรวมทั้ง 3 อินพุตแล้วจะได้น้ำหนักรวมเท่ากับ 2 และสัญญาณเอาต์พุตก็ควรจะออกมามีขนาดเป็น 2 เท่าของสัญญาณอินพุต ซึ่งผลการทดลองก็ถูกต้องเช่นเดียวกัน ในการทั้ง 2 ครั้งนั้น สังเกตสัญญาณเอาต์พุตที่ได้จะมีลักษณะกลับเฟส เนื่องมาจากวงจร scaling adder นี้ ได้ทำการออกแบบให้ทำงานเป็น inverting สัญญาณที่ได้จึงกลับเฟส ส่วนความถี่นั้นเท่ากับสัญญาณอินพุต สามารถสรุปได้ว่าวงจรทำการบวกค่าแรงดันตามน้ำหนักได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

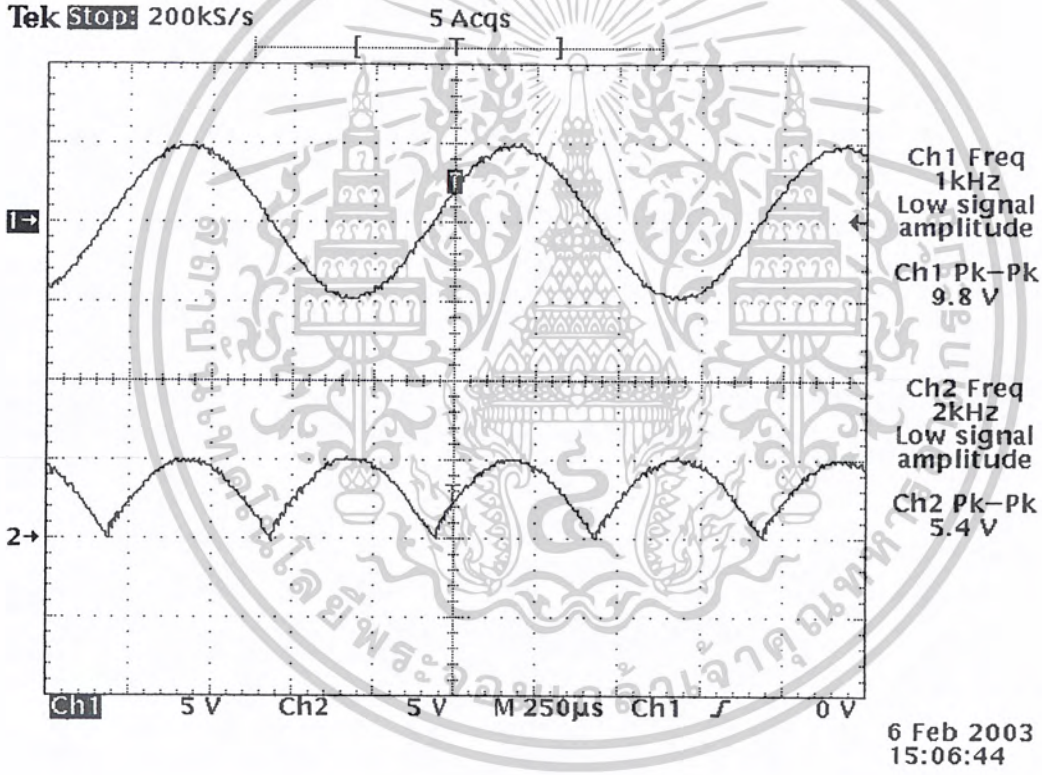
4.6 การทดสอบวงจร absolute

วัตถุประสงค์ เพื่อศึกษาว่าการทำงานของวงจรสามารถกลับสัญญาณได้ถูกต้อง

4.6.1 ขั้นตอนการทดลอง

1. ต่อวงจรตามรูปที่ 2.33
2. ใช้ R ทั้ง 5 ตัวค่าเท่ากับ 10 $K\Omega$ และ ไดโอดเบอร์ 1N4001
3. ใช้ op-amp เบอร์ LF351 พร้อมทั้งป้อนไฟเลี้ยงบวกลบเข้าที่ขา 7 และ 4 ตามลำดับ
4. ป้อนสัญญาณอินพุตรูป sine ขนาด 10 V_{pp} ความถี่ 1 KHz
5. วัดสัญญาณที่เอาต์พุตเทียบกันสัญญาณอินพุต

4.6.2 ผลการทดลอง



รูปที่ 4.8 สัญญาณจากวงจร absolute circuit

CH 1 สัญญาณรูป sine อินพุต

CH 2 สัญญาณเอาต์พุต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.6.3 สรุปผลการทดลอง

จากผลการทดลองในรูปที่ 4.8 เมื่อป้อนสัญญาณอินพุตเป็นสัญญาณรูป sine ในรูปที่ 1 แล้ว เมื่อผ่านเข้าวงจร absolute circuit แล้ว จะเห็นว่าสัญญาณในซีกบวกก็ยังคงเหมือนเดิม แต่สัญญาณในซีกลบจะกลับพลิกขึ้นมาเป็นบวกทั้งหมด ดังสัญญาณในรูปที่ 2 คล้ายกับว่า สัญญาณอินพุตนั้นถูกทำการ rectify จึงสามารถสรุปได้ว่าวงจรทำงานได้ถูกต้อง

4.7 การทดสอบวงจรหารความถี่

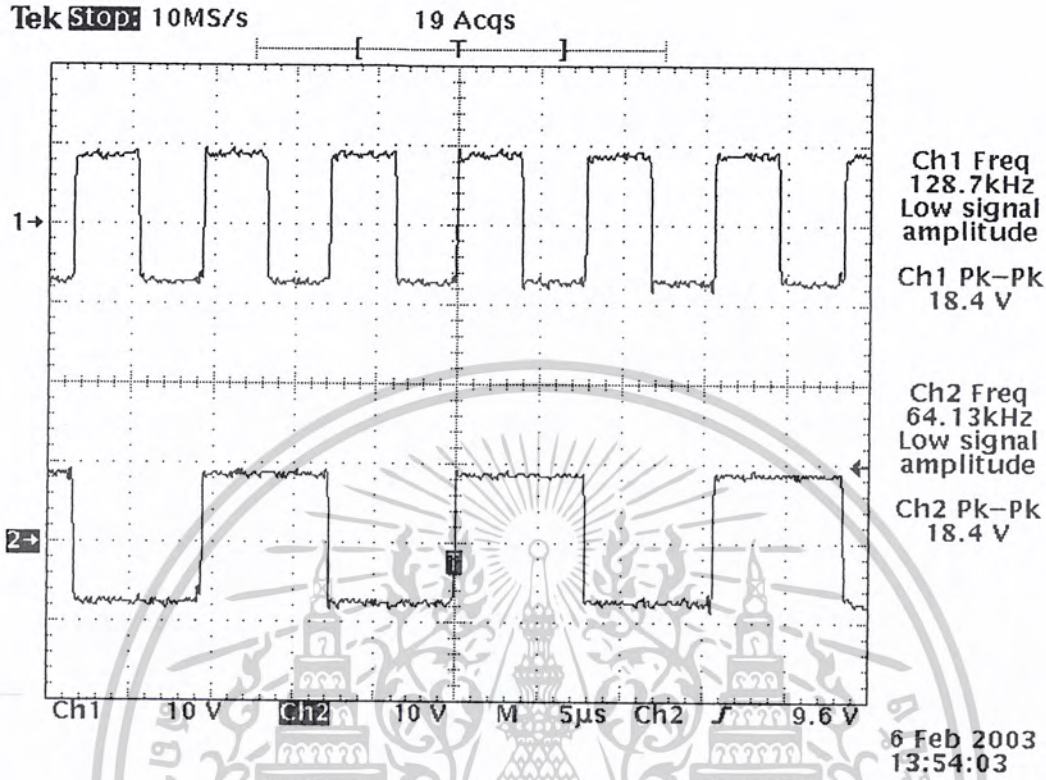
วัตถุประสงค์ เพื่อศึกษาการทำงานของวงจรหารความถี่ว่าทำงานถูกต้อง

4.7.1 ขั้นตอนการทดลอง

1. ต่อวงจรหารความถี่แบบ binary counter โดยใช้ IC เบอร์ 4040
2. ต่อไฟเลี้ยงบวกลบเข้าที่ขา 16 และขา 8 ตามลำดับ และต่อไฟเลี้ยงลบเข้าที่ขา 11 ของวงจร binary counter
3. ต่อวงจร inverter โดยใช้ IC เบอร์ 4049
4. ต่อไฟเลี้ยงบวกลบเข้าที่ขา 1 และขา 8 ของวงจร inverter ตามลำดับ
5. ป้อนสัญญาณรูปสี่เหลี่ยมอินพุต ความถี่ 128KHz ขนาด $\pm 9 V_{pp}$ จากเครื่อง function generator เข้าที่ขา 10 ของวงจร binary counter
6. นำสัญญาณอินพุตที่ขา 10 และสัญญาณเอาต์พุตที่ขา 9 ของวงจร binary counter ไปทำการกลับสัญญาณโดยต่อเข้ากับวงจร inverter 2 ชุด
7. ทำการวัดสัญญาณที่ได้จาก inverter ทั้ง 2 สัญญาณเทียบกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.7.2 ผลการทดลอง



รูปที่ 4.9 สัญญาณจากวงจรหารความถี่

CH 1 สัญญาณรูปสี่เหลี่ยมอินพุต

CH 2 สัญญาณเอาต์พุต

4.7.3 สรุปผลการทดลอง

จากผลการทดลองในรูปที่ 4.9 เมื่อป้อนสัญญาณอินพุต ซึ่งในที่นี้เป็น clock 128 KHz แล้ว สัญญาณนี้จะถูกหารความถี่ลงครึ่งหนึ่ง ซึ่งความถี่ก็จะคือ 64 KHz ดังสัญญาณในรูปที่ 2 ยังคงมีรูปร่างเป็นสัญญาณสี่เหลี่ยมเหมือนเดิม และสามารถจะนำไปใช้เป็น clock 64 KHz ต่อไปได้ สามารถสรุปได้ว่าวงจรสามารถทำการหารความถี่สัญญาณได้ถูกต้อง

4.8 การทดสอบวงจร parallel to series

วัตถุประสงค์ เพื่อศึกษาการทำงานของวงจร parallel to series ว่าสามารถทำงานโดยเรียงข้อมูลในแต่ละบิตลงมาเป็นสัญญาณ PCM ได้อย่างถูกต้อง

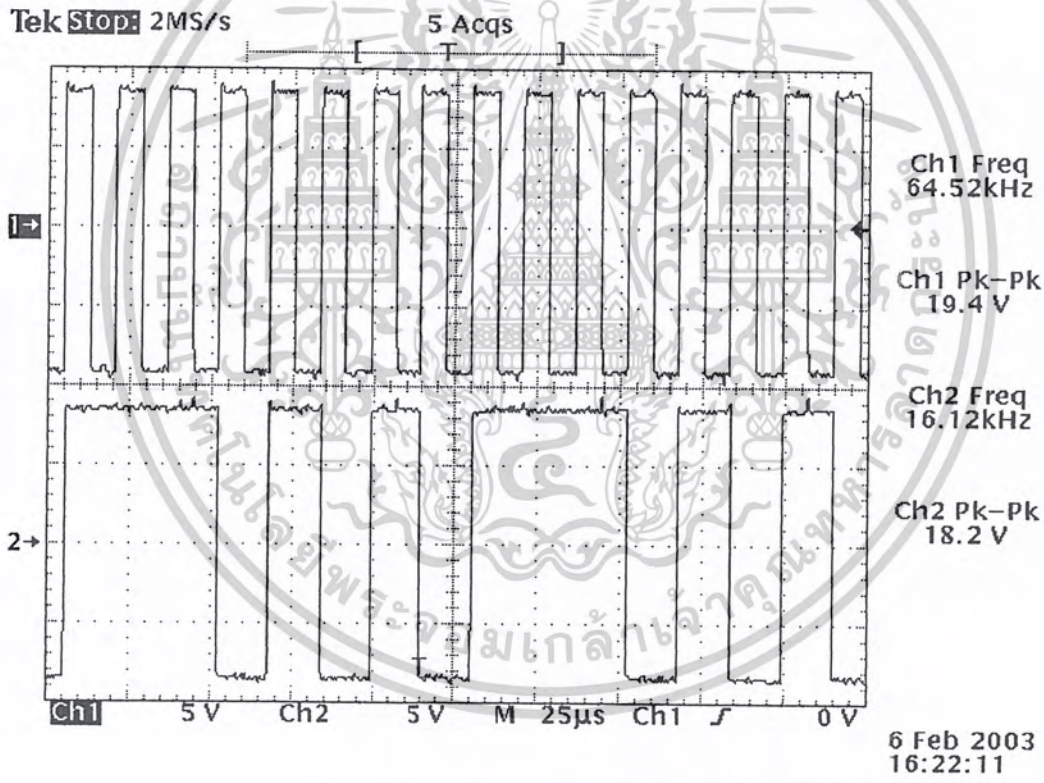
4.8.1 ขั้นตอนการทดลอง

1. ต่อวงจร parallel to series ตามรูปที่ 3.7
2. ต่อวงจร AND gate โดยใช้ IC เบอร์ 4081
3. ต่อวงจร OR gate โดยใช้ IC เบอร์ 4071 และ 4072 ตามรูปที่ 3.7

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4. ต่อวงจร counter โดยใช้ IC เบอร์ 4017 และป้อนสัญญาณ clock ความถี่ 64 KHz เข้าที่ขา 14 , ขา 13 ต่อไฟเลี้ยงลบ ส่วนขา 15 ให้ป้อนสัญญาณ reset counter โดยสัญญาณนี้จะเกิดจากสัญญาณ clock ความถี่ 128KHz , 64KHz , 32KHz และ 8 KHz ทำการ AND กัน และสัญญาณ clock ความถี่ต่างๆนี้ต้องมาจากการหารความถี่กันลงมาโดยวงจรในรูปที่ 3.2
5. นำเอาพุตทั้ง 8 ของวงจร counter ไป AND กับข้อมูลซึ่งสมมุติว่ามาจากวงจรเข้ารหัสคือ 1110 1010 หลังจากนั้นจึงนำเอาต์พุตที่ได้จาก AND gate ทั้งหมดไปเข้า OR gate ตามรูปที่ 3.7
6. วัดสัญญาณเอาต์พุตเทียบกับสัญญาณ clock ความถี่ 64 KHz

4.8.2 ผลการทดลอง



รูปที่ 4.10 สัญญาณจากวงจร parallel to series

CH 1 สัญญาณ clock ความถี่ 64 KHz

CH 2 สัญญาณ PCM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.8.3 สรุปผลการทดลอง

จากผลการทดลองในรูปที่ 4.10 นั้น เมื่อกำหนดรหัสทั้ง 8 บิตขึ้นมาเป็น 1110 1010 ซึ่งสมมุติว่ามาจากวงจรเข้ารหัสนั้น จากผลสัญญาณ PCM ที่ได้นั้น เมื่อดูเปรียบเทียบกับสัญญาณ clock ความถี่ 64KHz ทีละ cycle แล้ว จะเห็นว่าข้อมูลทั้ง 8 บิตนั้นสามารถเรียงออกมาได้ถูกต้องตามลำดับเป็นรหัสตามที่กำหนด แสดงว่าวงจร parallel to series นี้สามารถทำงานได้สัญญาณ PCM ออกมาได้อย่างถูกต้อง

4.9 การทดสอบวงจรมัลติเพล็กซ์แบ่งเวลา

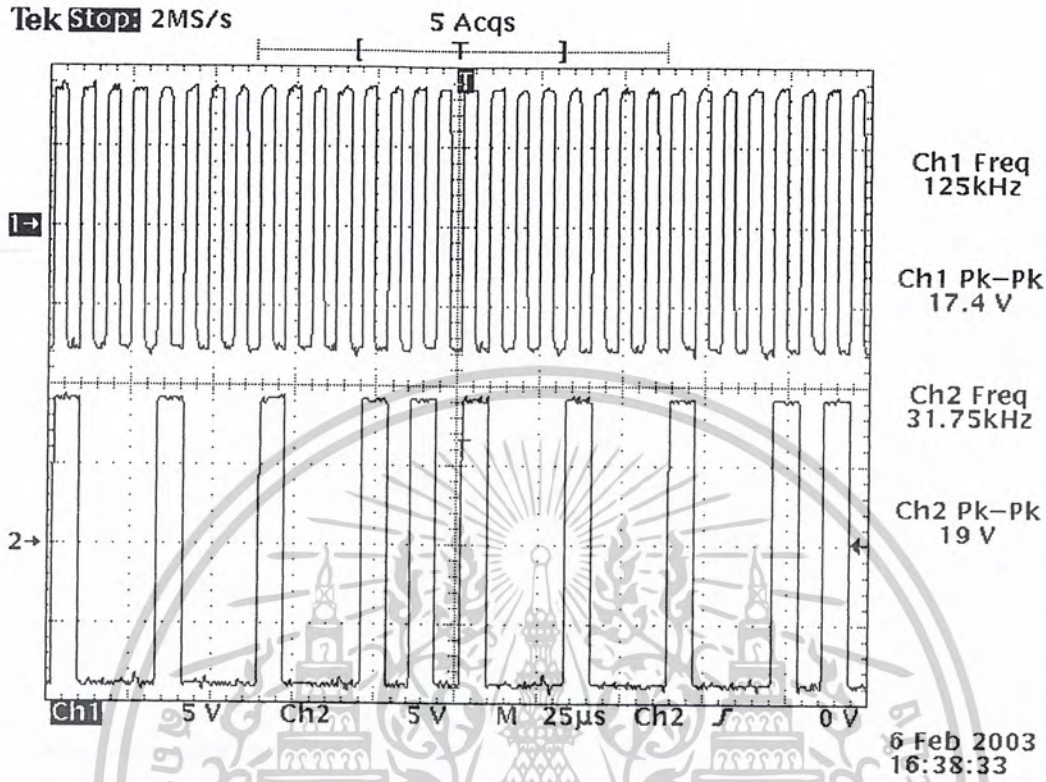
วัตถุประสงค์ เพื่อศึกษาว่าวงจรสามาถรวมสัญญาณ PCM สัญญาณได้ถูกต้อง

4.9.1 ขั้นตอนการทดลอง

1. ต่อวงจรทำการมัลติเพล็กซ์แบบแบ่งเวลาจำนวน 2 ช่องสัญญาณ ตามรูปที่ 3.8
2. ต่อวงจร AND gate โดยใช้ IC เบอร์ 4081
3. ต่อวงจร OR gate โดยใช้ IC เบอร์ 4071 และ 4072 ตามรูปที่ 3.8
4. ต่อวงจร counter โดยใช้ IC เบอร์ 4017 และป้อนสัญญาณ clock ความถี่ 128 KHz เข้าที่ขา 14 , ขา 13 ต่อไฟเลี้ยงลบ ส่วนขา 15 ให้ป้อนสัญญาณ reset counter โดยสัญญาณนี้จะเกิดจากสัญญาณ clock ความถี่ 128KHz และ 64KHz มาทำการ AND กัน และสัญญาณ clock ความถี่ต่างๆนี้ต้องมาจากการหารความถี่กันลงมาโดยใช้วงจรในรูปที่ 3.2
5. นำเอาต์พุตจาก counter ทั้ง 2 อัน ไป AND กับสัญญาณ PCM จากการทดลองที่ 4.8 ช่องสัญญาณหนึ่งและอีกช่องสัญญาณหนึ่งให้สัญญาณเป็น 0 ตลอด
6. วัดสัญญาณวัดสัญญาณเอาต์พุตเทียบกับสัญญาณ clock ความถี่ 128 KHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.9.2 ผลการทดลอง



รูปที่ 4.11 สัญญาณจากวงจรมัลติเพล็กซ์แบ่งเวลา

CH 1 สัญญาณ clock ความถี่ 128 KHz

CH 2 สัญญาณจากวงจรมัลติเพล็กซ์แบ่งเวลา

4.9.3 สรุปผลการทดลอง

จากผลการทดลองในรูปที่ 4.11 เป็นรูปสัญญาณที่แสดงถึงผลการทดลองในภาคการมัลติพล็กซ์แบบแบ่งเวลา เพียงแค่ 1 ช่องสัญญาณเท่านั้น เมื่อเปรียบเทียบสัญญาณเอาต์พุตกับสัญญาณ clock 128KHz แล้ว แสดงให้เห็นว่ามีค่าสัญญาณ PCM จากในการทดลองที่ 4.8 อยู่เป็นรหัสเรียงกันให้เห็น คือ 1110 1010 ส่วนช่วงเวลาของช่องสัญญาณที่เหลือจะเป็น 0 ไปหมด และถ้ามีข้อมูลในส่วนของช่องสัญญาณที่ 2 ด้วย รูปสัญญาณที่ได้ก็จะแสดงให้เห็นว่าการทำงานของวงจรนั้นจะสลับกับสัญญาณจากช่องสัญญาณอื่นๆตามต้องการ จากผลการทดลองในส่วนนี้มารถสรุปได้ว่าวงจรทำงานได้อย่างถูกต้อง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

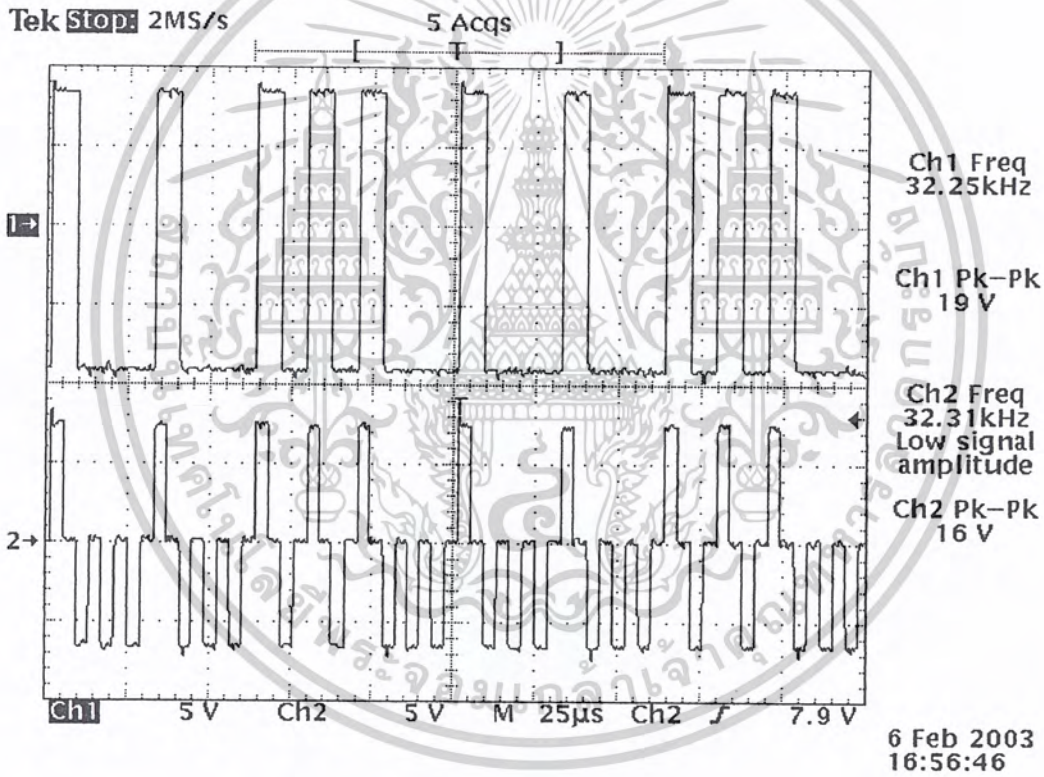
4.10 การทดสอบวงจร line encoder

วัตถุประสงค์ เพื่อศึกษาการทำงานของวงจร line encoder แบบ BPRZ ว่าสามารถทำงานได้ถูกต้อง

4.10.1 ขั้นตอนการทดลอง

1. ต่อวงจรตามรูปที่ 3.9
2. ป้อนสัญญาณข้อมูลเป็นสัญญาณ PCM-TDM จากการทดลองที่ 4.9
3. ต่อสวิตช์ที่ใช้เป็น IC analog switch เบอร์ 4066
4. ป้อนสัญญาณ clock ความถี่ 128 KHz ไปควบคุม analog switch
5. วัดสัญญาณที่เอาต์พุตเทียบกับอินพุต

4.10.2 ผลการทดลอง



รูปที่ 4.12 สัญญาณจากวงจร line encoder

CH 1 สัญญาณ PCM-TDM

CH 2 สัญญาณที่ทำการ line encoding แล้ว

4.10.3 สรุปผลการทดลอง

จากผลการทดลองในรูปที่ 4.12 ในการใช้ clock ความถี่ 128KHz มาคุม analog switch ซึ่งมีสัญญาณข้อมูลมาผ่านที่ความถี่ 128KHz แล้วจะได้ลักษณะสัญญาณแบบ BPRZ ที่มีลักษณะถูกต้องเป็นไปตามทฤษฎีในหัวข้อที่ 2.13 ทุกประการ

เอกสารนี้สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

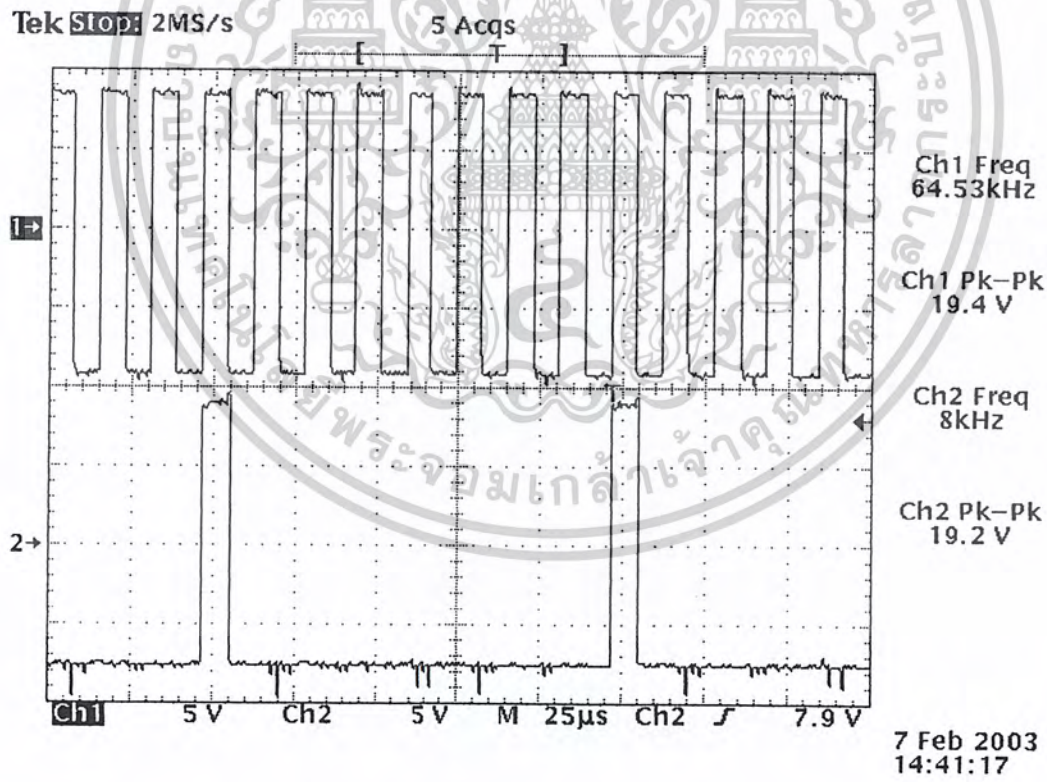
4.11 การทดสอบวงจร counter

วัตถุประสงค์ เพื่อศึกษาการทำงานและสัญญาณที่ได้จากวงจร counter ว่าสามารถใช้เป็น timing signal ได้อย่างถูกต้อง

4.11.1 ขั้นตอนการทดลอง

1. ต่อวงจร counter โดยใช้ IC เบอร์ 4017
2. ป้อนไฟเลี้ยงบวกลบที่ขา 16 และ 8 ตามลำดับ ป้อนสัญญาณ clock ความถี่ 64 KHz เข้าที่ขา 14 , ขา 13 ต่อไฟเลี้ยงลบ ส่วนขา 15 ให้ป้อนสัญญาณ reset counter โดยสัญญาณนี้จะเกิดจากสัญญาณ clock ความถี่ 64KHz , 32KHz และ 8 KHz มาทำการ AND กัน และสัญญาณ clock ทั้ง 3 ความถี่นี้ นี้ต้องมาจากการหารความถี่กันลงมาโดยวงจรในรูปที่ 3.2
3. วัดสัญญาณ clock เทียบกับสัญญาณ reset counter และเอาต์พุตทั้ง 8 ของ counter

4.11.2 ผลการทดลอง

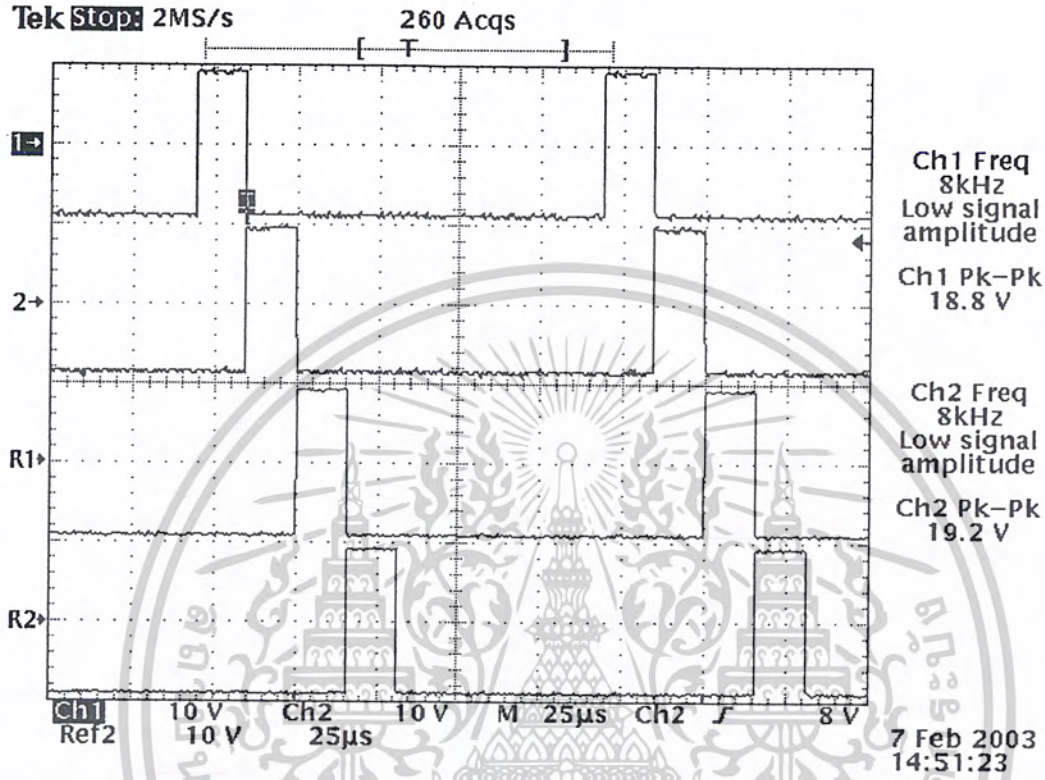


รูปที่ 4.13 สัญญาณที่ใช้ควบคุมการทำงาน counter

CH 1 สัญญาณ clock 64 KHz

CH 2 สัญญาณ reset counter

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.14 สัญญาณเอาต์พุตที่ 1-4 ของ counter

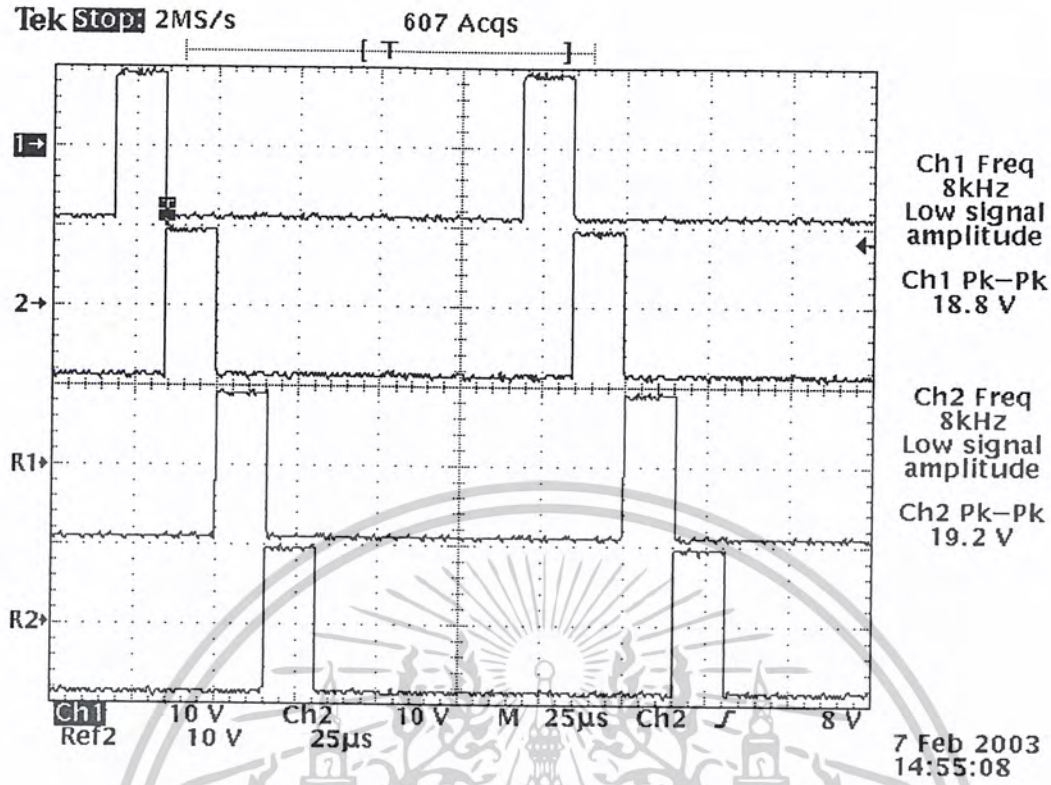
CH 1 สัญญาณเอาต์พุตที่ 1 ของ counter

CH 2 สัญญาณเอาต์พุตที่ 2 ของ counter

R 1 สัญญาณเอาต์พุตที่ 3 ของ counter

R 2 สัญญาณเอาต์พุตที่ 4 ของ counter

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.15 สัญญาณเอาต์พุตที่ 5-8 ของ counter

CH 1 สัญญาณเอาต์พุตที่ 5 ของ counter

CH 2 สัญญาณเอาต์พุตที่ 6 ของ counter

R 1 สัญญาณเอาต์พุตที่ 7 ของ counter

R 2 สัญญาณเอาต์พุตที่ 8 ของ counter

4.11.3 สรุปผลการทดลอง

เมื่อใช้ clock ความถี่ 64KHz มาควบคุม counter และใช้ สัญญาณ reset ดังรูปที่ 4.13 ซึ่งทำงานทุกๆ 8 cycle ของ clock ที่มาคุมแล้วนั้น จะทำให้ counter ตัวนี้ทำการนับ 8 และผลิตเอาต์พุตออกมาได้ จากรูปที่ 4.14 แสดงถึงเอาต์พุต timing signal ของ counter 4 บิตแรก เลื่อนเวลากันจากทั้งหมด 8 บิต ส่วนในรูปที่ 4.15 แสดงถึงเอาต์พุตของ counter 4 บิตหลัง เมื่อพิจารณารวมทั้งหมดแล้วจะเห็นว่าเอาต์พุตของ counter ทั้ง 8 นี้สามารถทำไปควบคุมการเลื่อนเวลาได้อย่างถูกต้อง

4.12 การทดสอบวงจรกรองความถี่ต่ำผ่าน

วัตถุประสงค์ เพื่อศึกษาว่าวงจรกรองความถี่ต่ำผ่านนี้มีลักษณะการทำงานที่ถูกต้อง

4.12.1 ขั้นตอนการทดลอง

1. ต่อวงจรตามรูปที่ 3.18 โดยต่อวงจรอนุกรมกัน 3 ชุด
2. ใช้ op-amp เบอร์ LF351 พร้อมทั้งป้อนไฟเลี้ยงบวกลบ เข้าที่ขา 7 และ 4 ตามลำดับ
3. ป้อนอินพุตสัญญาณรูป sinc ขนาด 5 V_{pp} ที่ความถี่ต่างๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4. บันทึกค่า gain ของวงจร ทุกค่าความถี่ที่เปลี่ยนไป
5. พลอทกราฟ frequency response ของวงจรเปรียบเทียบกับรูปกราฟที่ทำการ simulate มาจากโปรแกรม Pspice

4.12.2 ผลการทดลอง

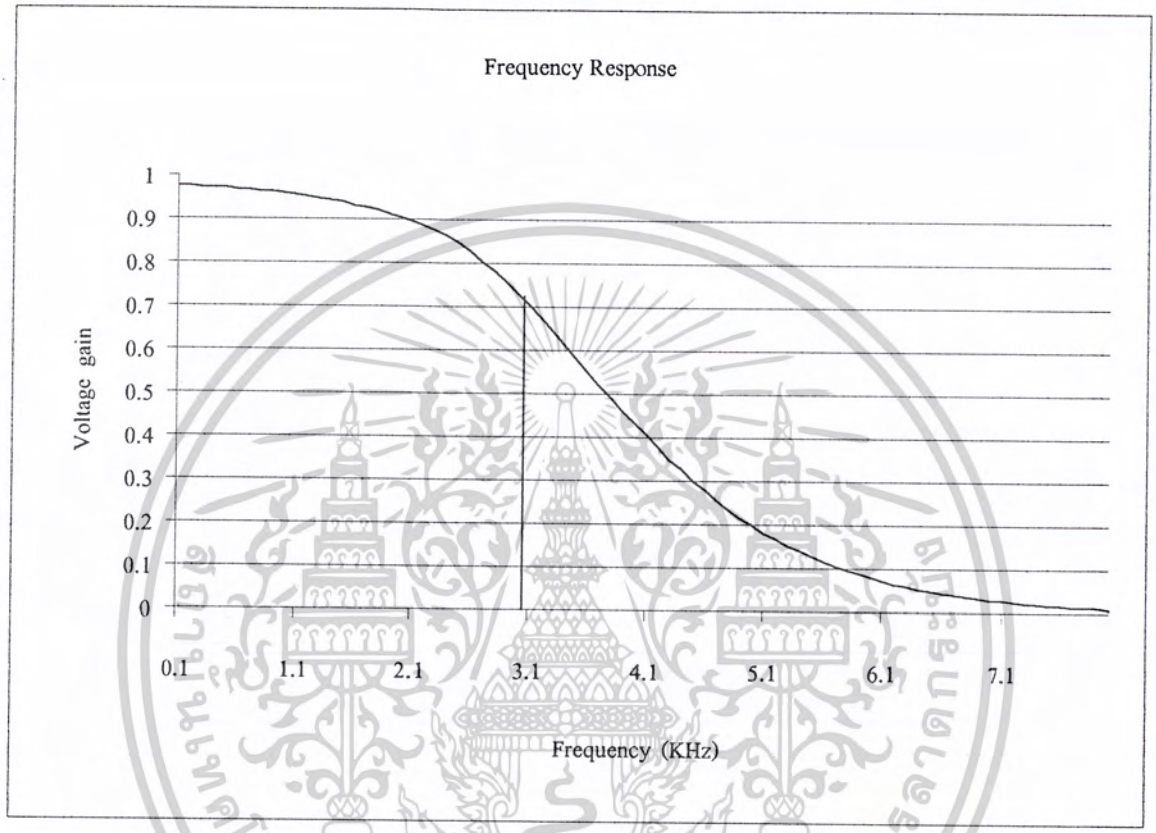
เมื่อทำการต่อวงจรและป้อนสัญญาณที่ความถี่ต่างๆ สามารถบันทึกค่า gain ของวงจรกรองความถี่ต่ำผ่านได้ดังตารางที่ 4.1

ความถี่สัญญาณอินพุต (KHz)	gain	ความถี่สัญญาณอินพุต (KHz)	gain	ความถี่สัญญาณอินพุต (KHz)	gain	ความถี่สัญญาณอินพุต (KHz)	gain
0.1	0.974	2.1	0.895	4.1	0.406	6.1	0.072
0.2	0.974	2.2	0.885	4.2	0.378	6.2	0.065
0.3	0.973	2.3	0.875	4.3	0.349	6.3	0.059
0.4	0.973	2.4	0.863	4.4	0.328	6.4	0.053
0.5	0.971	2.5	0.847	4.5	0.3	6.5	0.048
0.6	0.97	2.6	0.828	4.6	0.279	6.6	0.043
0.7	0.967	2.7	0.804	4.7	0.257	6.7	0.039
0.8	0.965	2.8	0.785	4.8	0.236	6.8	0.036
0.9	0.962	2.9	0.761	4.9	0.214	6.9	0.032
1	0.96	3	0.73	5	0.199	7	0.029
1.1	0.957	3.1	0.703	5.1	0.181	7.1	0.026
1.2	0.953	3.2	0.675	5.2	0.168	7.2	0.023
1.3	0.95	3.3	0.644	5.3	0.153	7.3	0.021
1.4	0.945	3.4	0.617	5.4	0.139	7.4	0.019
1.5	0.94	3.5	0.585	5.5	0.127	7.5	0.017
1.6	0.933	3.6	0.55	5.6	0.115	7.6	0.014
1.7	0.927	3.7	0.519	5.7	0.105	7.7	0.013
1.8	0.92	3.8	0.492	5.8	0.095	7.8	0.011
1.9	0.912	3.9	0.461	5.9	0.086	7.9	0.01
2	0.903	4	0.435	6	0.078	8	0.008

ตารางที่ 4.1 ตารางบันทึกผลการทดลองที่ 4.12

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

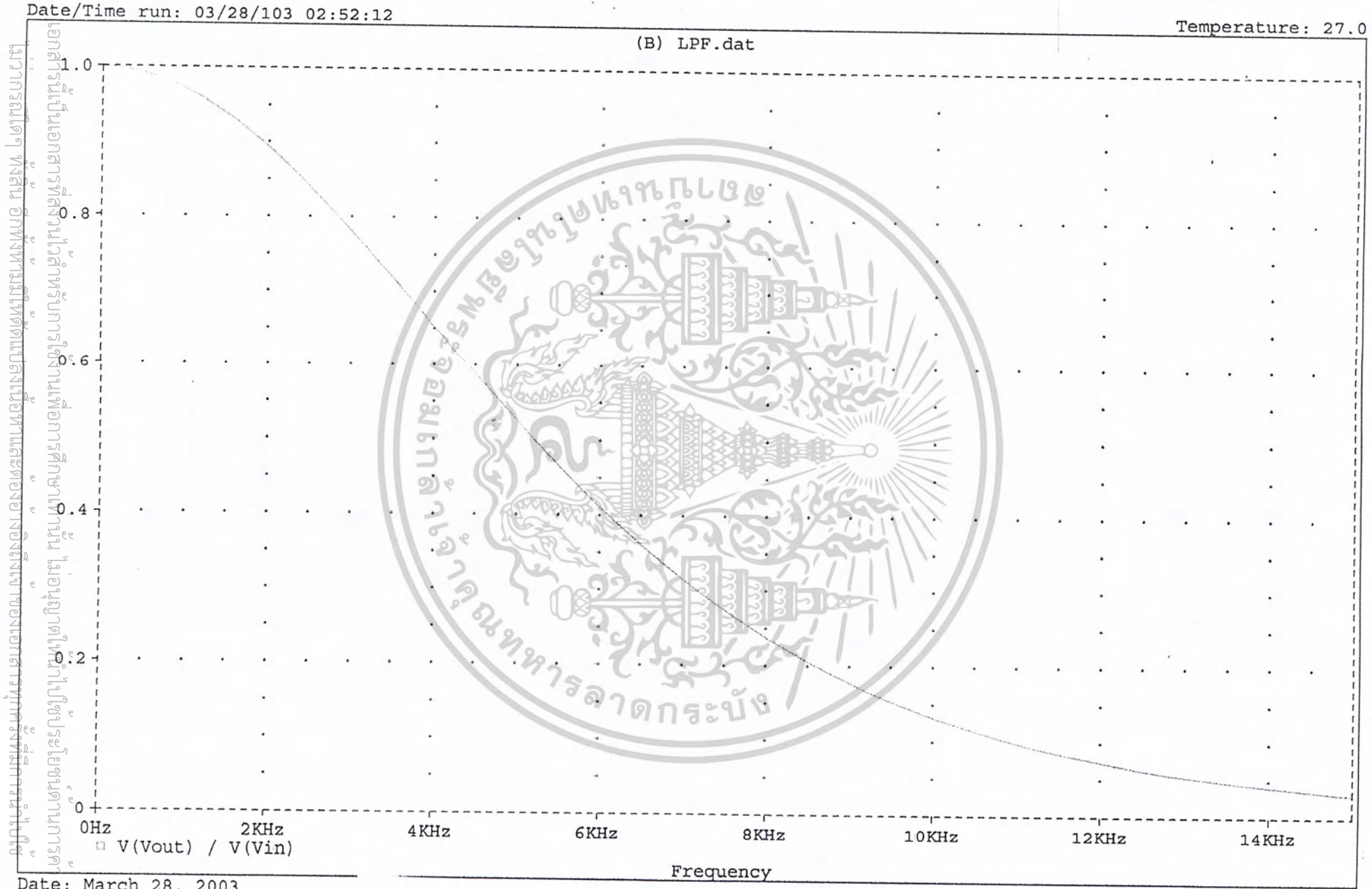
ทำการนำผลการทดลองที่บันทึกได้ในตารางที่ 4.1 มาพลอทได้เป็นกราฟ frequency response ของวงจรกรองความถี่ต่ำผ่านจากผลการทดลองได้ดังรูปที่



รูปที่ 4.16 กราฟ frequency response ของวงจรกรองความถี่ต่ำผ่านจากผลการทดลอง

ส่วนกราฟที่ได้จากการนำวงจรกรองความถี่ต่ำผ่านนี้ไปทำการ simulate โดยใช้โปรแกรม Pspice นั้น จะเป็นดังรูปที่ 4.17

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.17 กราฟ frequency response ของวงจรกรองความถี่ต่ำผ่านที่ได้จากการ simulate

4.12.3 ผลการทดลอง

จากผลการทดลองที่ทำการบันทึกค่ามาได้ในตารางที่ 4.1 นั้น เมื่อนำมาพลอทเป็นกราฟ frequency response ได้ในรูปที่ 1.16 แล้วนั้น จะเห็นว่าได้ค่าความถี่คัทออฟที่ประมาณ 3KHz กว่าๆ ส่วนค่าความถี่คัทออฟที่ได้จากกราฟที่ได้จากการ simulate นั้น มีค่าประมาณ 3.7KHz ซึ่งถือว่าได้ผลใกล้เคียงกันและสามารถสรุปได้ว่างวจรมีลักษณะการทำงานที่ถูกต้อง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
บทวิจารณ์และบทสรุป

การทำโครงงานในเรื่องเครื่องรับ – เครื่องส่งสัญญาณ โดยการเข้ารหัสแบบ PCM และมัลติเพล็กซ์แบบแบ่งเวลานั้น ในภาคการศึกษานี้ได้ทำการศึกษาทฤษฎีทั้งในภาครับและภาคส่งและได้ทำการศึกศาทดลองต่อวงจรต่างๆในระบบไปแล้ว ซึ่งส่วนหนึ่งก็นำมาจากตำราต่างๆ และบางส่วนก็ได้นำพื้นฐานมาจากตำราแล้วทำการออกแบบวงจรเอง โดยจากผลการทดลองที่ได้ทั้งหมดทำให้สามารถสรุปปัญหาที่เกิดขึ้นในวงจรต่างๆ ได้ดังนี้

วงจรสร้างสัญญาณควบคุมการชักค่าสัญญาณ

ในส่วนของวงจรสร้างสัญญาณควบคุมการชักค่านี้ เนื่องด้วยมีการเปลี่ยนแปลงค่าระดับสัญญาณด้วยความรวดเร็ว จึงต้องการ op-amp ที่มี speed ในการทำงานและค่า slew rate สูงๆ ซึ่ง op-amp 6361 นี้ก็สามารถทำให้รูปสัญญาณออกมาดีเป็นที่น่าพอใจ จากผลการทดลองที่ 4.1 จะเห็นว่าได้ค่า duty cycle เพียง 5-6% เท่านั้นซึ่งถือว่าใกล้เคียงทางอุดมคติมาก หรือถ้าต้องการมากกว่านี้อาจใช้ op-amp ที่ถูกสร้างขึ้นเพื่อทำงานเป็น comparator โดยเฉพาะ เช่น เบอร์ 710 ก็จะได้สัญญาณดีขึ้นไปอีก คือ duty cycle ประมาณ 3-4 % และถ้าเป็นไปได้ควรรักษาค่าขนาดของสัญญาณให้สูงเข้าไว้เผื่อสัญญาณข่าวสารที่มีขนาดสูงกว่านี้ จะได้ไม่ทำให้สวิตช์ เข้า mode saturate ได้ง่าย

วงจรชักค่าและคงค่าสัญญาณ

ผลการทดลองของวงจรในส่วนนี้ไม่มีปัญหามากนัก รูปสัญญาณออกมาเป็นที่น่าพอใจ วงชักค่าสัญญาณนั้นให้ผลการทดลองตรงตามที่ต้องการ ในส่วนวงจรชักค่าและคงค่าสัญญาณนั้นปัญหาส่วนใหญ่ที่มีจะขึ้นอยู่กับการทำการเลือกค่า C ให้เหมาะสม

วงจรเข้ารหัสสัญญาณ

ในการทำการเข้ารหัสนั้น ผลการทดลองออกมาถูกต้องตามต้องการ มีปัญหาก็จะอยู่ที่ตัววงจรนั้น ถ้าทำการต่อเองโดยใช้ทรานซิสเตอร์ต่อเป็นลอจิกต่างๆนั้น ต้องระวังเรื่องการรั่วไหลผิดทางของกระแสอาจทำให้เกิดการติดสินลอจิกผิดพลาด สามารถแก้ได้โดยการต่อ buffer ที่จุดต่างๆ แต่ก็จะทำให้วงจรมีขนดใหญ่และสิ้นเปลือง จึงสมควรเปลี่ยนเป็นใช้ IC ลอจิกต่างๆ ได้หลังจากทำการศึกษาวงจรธรรมดาแล้ว เพราะ IC ลอจิกมักจะมีการ buffer ไว้ให้ในส่วนที่จำเป็นอยู่แล้ว จึงสามารถนำไปใช้ได้โดยง่ายและสะดวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจร Scaling adder

ในส่วนวงจร scaling adder นี้ยังไม่เกิดปัญหาแต่อย่างใด เป็นวงจรง่ายๆ เหมือน summing amplifier ให้ผลการทดลองที่ตามที่ต้องการ เมื่อนำไปใช้อย่างเหมาะสมแล้วก็จะให้ผลที่ถูกต้อง

วงจร absolute circuit

วงจรที่ใช้เป็นวงจรที่ออกแบบมาเรียบร้อยแล้วจากในตำรา ผลที่ได้จึงถูกต้อง ไม่ผิดพลาดแต่อย่างใด สัญญาณอินพุตนั้นถูกกลับขึ้นมาได้เหมือนทำการ rectify สัญญาณทุกประการ

วงจรหารความถี่

ในส่วนวงจรหารความถี่นี้ ตัววงจรเป็น IC สำหรับทำการหารความถี่ลงมาอยู่แล้ว จึงได้ผลที่ถูกต้องทุกประการ

วงจร parallel to series และวงจรทำการมัลติเพล็กซ์แบบแบ่งเวลา

วงจร parallel to series และวงจรทำการมัลติเพล็กแบบแบ่งเวลานี้ใช้หลักการเหมือนกับ ดังนั้นปัญหาที่เกิดขึ้นจึงเหมือนๆกัน คือ สัญญาณ clock ความถี่ต่างๆที่ใช้นั้น ต้องระวังไม่ให้เกิดการล่าช้า จะทำให้วงจรทำงานผิดพลาด ปัญหาในส่วนอื่นๆนั้น นอกจากในส่วนวงจร counter แล้วไม่มีมีปัญหาอีก

วงจร line encoder

สำหรับวงจรทำการ line encoding แบบ BPRZ นี้ปัญหาจะอยู่ที่ตัววงจรนั้นทำงานที่ความเร็วสูง ดังนั้น สัญญาณ clock ที่ใช้นั้นหากล่าช้าเพียงเล็กน้อยก็จะทำให้ผลออกมาผิดพลาดได้

วงจร counter

ปัญหาของวงจร counter จะอยู่ที่สัญญาณ reset ที่ใช้นั้น ต้องเหมาะสม จึงจะทำให้วงจรนี้ทำงานนับได้ถูกต้อง และความกว้างของพัลส์สัญญาณ reset นั้นจะต้องน้อยกว่า 1 cycle ของ clock ไม่เช่นนั้น counter จะนับเกินออกไปและเกิดการผิดพลาดขึ้น

วงจรกรองความถี่ต่ำผ่าน

วงจรนี้เกิดปัญหาเล็กน้อยคือค่าความถี่คัทออฟที่ได้มีค่าไม่ตรงตามที่คำนวณ ซึ่งสามารถแก้ได้โดยการเปลี่ยนแปลงค่า R หรือ C ไปเล็กน้อย เพื่อชดเชยความผิดพลาดที่เกิดขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ผลทั้งหมดของวงจรภาคส่งนั้น การทำงานเป็นไปอย่างถูกต้องทั้งหมด ตั้งแต่การนำสัญญาณข่าวสารมาทำการชักค่าและคงค่าสัญญาณได้ถูกต้อง หลังจากนั้นเมื่อนำมาทำการเข้ารหัสก็สามารถได้ผลที่ถูกต้องเช่นกัน สามารถสร้างเป็นสัญญาณ PCM และทำการมัลติเพล็กซ์แล้วส่งออกไปยังเครื่องรับได้

ในส่วนของภาครับนั้น มีปัญหาในส่วนของวงจรกู้ clock เนื่องจากวงจรที่ใช้นั้น ถูกออกแบบมาอย่างง่ายๆไม่ซับซ้อนเท่าใดนัก และยังไม่สามารถทำงานได้ถูกต้องนัก เป็นผลทำให้ข้อมูลบิตต่างๆ เลื่อนเวลาและเกิดการผิดพลาดขึ้นในวงจรส่วนต่างๆของภาครับ ถ้าจะให้ดีนั้น อาจจะเปลี่ยนไปใช้วิธีการทำ line encoding แบบอื่นๆ ซึ่งมีให้เลือกอยู่หลายแบบ ที่มีคุณสมบัติแตกต่างกันออกไป เช่น อาจจะใช้วิธีเข้ารหัสแบบ manchester ซึ่งเป็นแบบที่นิยมใช้กันทั่วไปอยู่แล้ว ในส่วนของวงจรดีมัลติเพล็กซ์และวงจรถอดรหัสนั้น ยังทำงานได้ไม่สมบูรณ์ ซึ่งส่วนหนึ่งก็เนื่องมาจากตัววงจรที่ใช้ยังออกแบบมาได้ไม่ดีพอ และอีกส่วนหนึ่งก็มาจากความผิดพลาดในส่วนกู้ clock ดังที่ได้กล่าวมาแล้ว โดยที่วิธีแก้ปัญหาของวงจรในส่วนนี้นั้น อาจทำการเปลี่ยนไปใช้ IC สำหรับทำ Analog to Digital Converter ซึ่งจะทำงานเป็นคู่กับ Digital to Analog Converter ซึ่งจะให้ผลที่ถูกต้องแน่นอนกว่ามาก เนื่องจากวงจรได้ถูกออกแบบมาอย่างสมบูรณ์แล้ว

ข้อเสนอแนะ

จากวงจรเครื่องรับ-เครื่องส่งสัญญาณโดยการเข้ารหัสแบบ PCM และมัลติเพล็กซ์แบบแบ่งเวลานั้น ได้ทำการศึกษาวงจรต่างๆซึ่งเป็นวงจรง่ายๆและยังไม่ซับซ้อนมากนัก สามารถประยุกต์ไปทำการรับส่งสัญญาณข้อมูลต่างๆได้ทั่วไป เช่น สัญญาณเสียง สัญญาณภาพ เป็นต้น หรืออาจจะนำวงจรไปทำการพัฒนาให้มีคุณภาพที่สูงขึ้น และมีประสิทธิภาพมากขึ้น เพื่อที่สามารถนำวงจรที่ได้ไปทำการรับส่งสัญญาณอื่นๆต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

12-stage binary counter

HEF4040B
MSI

DESCRIPTION

The HEF4040B is a 12-stage binary ripple counter with a clock input ($\overline{CP}$), an overriding asynchronous master reset input (MR) and twelve fully buffered outputs (O_0 to O_{11}). The counter advances on the HIGH to LOW transition of $\overline{CP}$. A HIGH on MR clears all counter stages and forces all outputs LOW, independent of $\overline{CP}$. Each counter stage is a static toggle flip-flop. Schmitt-trigger action in the clock input makes the circuit highly tolerant to slower clock rise and fall times.

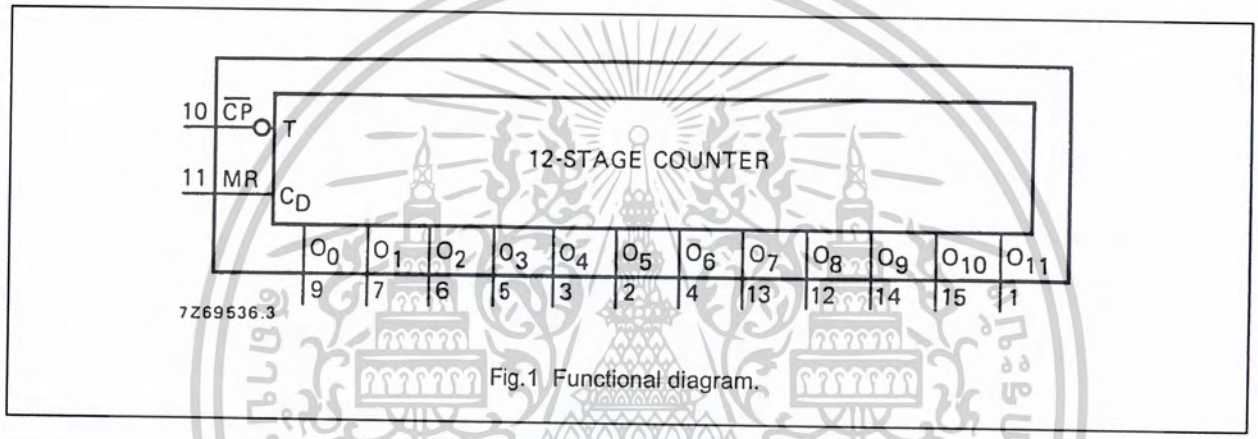


Fig.1 Functional diagram.

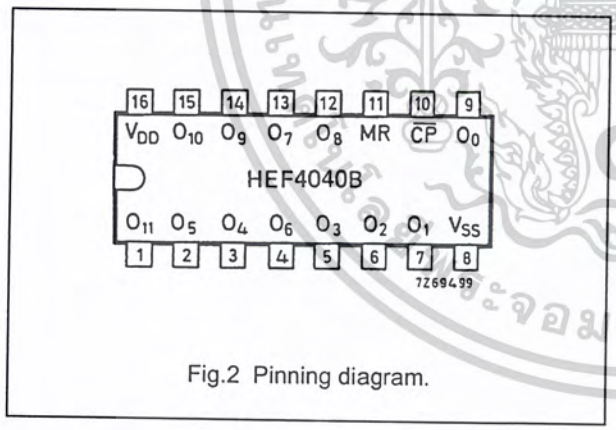


Fig.2 Pinning diagram.

PINNING

$\overline{CP}$	clock input (HIGH to LOW edge-triggered)
MR	master reset input (active HIGH)
O_0 to O_{11}	parallel outputs

APPLICATION INFORMATION

Some examples of applications for the HEF4040B are:

- Frequency dividing circuits
- Time delay circuits
- Control counters

FAMILY DATA, I_{DD} LIMITS category MSI

See Family Specifications

HEF4040BP(N): 16-lead DIL; plastic (SOT38-1)

HEF4040BD(F): 16-lead DIL; ceramic (cerdip) (SOT74)

HEF4040BT(D): 16-lead SO; plastic (SOT109-1)

( ): Package Designator North America

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

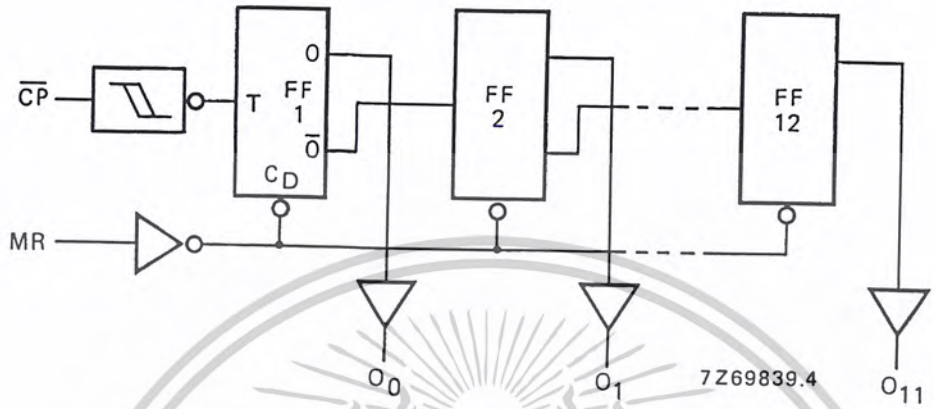


Fig.3 Logic diagram.

AC CHARACTERISTICS

V_{SS} = 0 V; T_{amb} = 25 °C; C_L = 50 pF; input transition times ≤ 20 ns

	V_{DD} V	SYMBOL	MIN.	TYP.	MAX.		TYPICAL EXTRAPOLATION FORMULA
Propagation delays							
$\overline{CP} \rightarrow O_0$							
HIGH to LOW	5	t_{PHL}		105	210	ns	78 ns + (0,55 ns/pF) C_L
	10			45	90	ns	34 ns + (0,23 ns/pF) C_L
	15			35	70	ns	27 ns + (0,16 ns/pF) C_L
LOW to HIGH	5	t_{PLH}		85	170	ns	58 ns + (0,55 ns/pF) C_L
	10			40	80	ns	29 ns + (0,23 ns/pF) C_L
	15			30	60	ns	22 ns + (0,16 ns/pF) C_L
$O_n \rightarrow O_{n+1}$							
HIGH to LOW	5	t_{PHL}		35	70	ns	note 1 (0,55 ns/pF) C_L
	10			15	30	ns	note 1 (0,23 ns/pF) C_L
	15			10	20	ns	note 1 (0,16 ns/pF) C_L
LOW to HIGH	5	t_{PLH}		35	70	ns	note 1 (0,55 ns/pF) C_L
	10			15	30	ns	note 1 (0,23 ns/pF) C_L
	15			10	20	ns	note 1 (0,16 ns/pF) C_L
$MR \rightarrow O_n$							
HIGH to LOW	5	t_{PHL}		90	180	ns	63 ns + (0,55 ns/pF) C_L
	10			40	80	ns	29 ns + (0,23 ns/pF) C_L
	15			30	60	ns	22 ns + (0,16 ns/pF) C_L
Output transition times							
HIGH to LOW	5	t_{THL}		60	120	ns	10 ns + (1,0 ns/pF) C_L
	10			30	60	ns	9 ns + (0,42 ns/pF) C_L
	15			20	40	ns	6 ns + (0,28 ns/pF) C_L
LOW to HIGH	5	t_{TLH}		60	120	ns	10 ns + (1,0 ns/pF) C_L
	10			30	60	ns	9 ns + (0,42 ns/pF) C_L
	15			20	40	ns	6 ns + (0,28 ns/pF) C_L

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

	V_{DD} V	SYMBOL	MIN.	TYP.	MAX.		TYPICAL EXTRAPOLATION FORMULA
Minimum clock pulse width; HIGH	5	t_{WCPH}		50	25	ns	see also waveforms Fig.4
	10			30	15	ns	
	15			20	10	ns	
Minimum MR pulse width; HIGH	5	t_{WMRH}		40	20	ns	
	10			30	15	ns	
	15			20	10	ns	
Recovery time for MR	5	t_{RMR}		40	20	ns	
	10			30	15	ns	
	15			20	10	ns	
Maximum clock pulse frequency	5	f_{max}		10	20	MHz	
	10			15	30	MHz	
	15			25	50	MHz	

Note

1. For other loads than 50 pF at the n^{th} output, use the slope given.

	V_{DD} V	TYPICAL FORMULA FOR P (μW)	
Dynamic power dissipation per package (P)	5	$400\ f_i + \Sigma\ (f_o C_L) \times V_{DD}^2$	where f_i = input freq. (MHz) f_o = output freq. (MHz) C_L = load cap. (pF) $\Sigma\ (f_o C_L)$ = sum of outputs V_{DD} = supply voltage (V)
	10	$2\ 000\ f_i + \Sigma\ (f_o C_L) \times V_{DD}^2$	
	15	$5\ 200\ f_i + \Sigma\ (f_o C_L) \times V_{DD}^2$	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

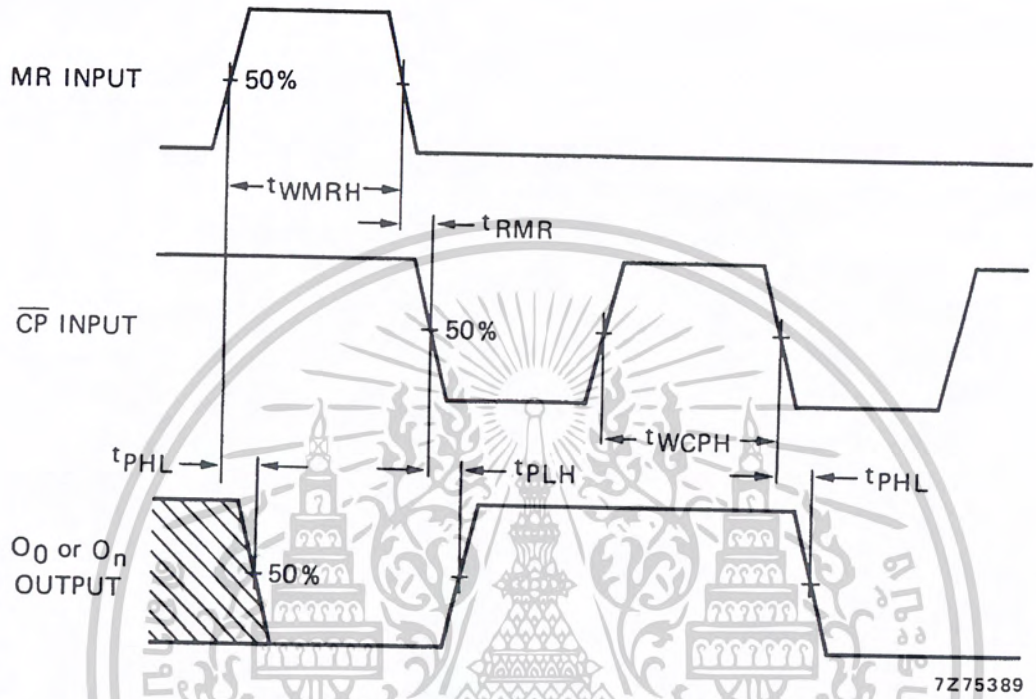


Fig.4 Waveforms showing propagation delays for MR to O_n and $\overline{CP}$ to O_0, minimum MR and $\overline{CP}$ pulse widths.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5-stage Johnson counter

HEF4017B
MSI

DESCRIPTION

The HEF4017B is a 5-stage Johnson decade counter with ten spike-free decoded active HIGH outputs (O_0 to O_9), an active LOW output from the most significant flip-flop ($\overline{O}_{5\text{-}9}$), active HIGH and active LOW clock inputs (CP_0, $\overline{CP}_1$) and an overriding asynchronous master reset input (MR).

The counter is advanced by either a LOW to HIGH transition at CP_0 while $\overline{CP}_1$ is LOW or a HIGH to LOW transition at $\overline{CP}_1$ while CP_0 is HIGH (see also function table).

When cascading counters, the $\overline{O}_{5\text{-}9}$ output, which is LOW while the counter is in states 5, 6, 7, 8 and 9, can be used to drive the CP_0 input of the next counter.

A HIGH on MR resets the counter to zero ($O_0 = \overline{O}_{5\text{-}9}$ = HIGH; O_1 to O_9 = LOW) independent of the clock inputs (CP_0, $\overline{CP}_1$).

Automatic code correction of the counter is provided by an internal circuit: following any illegal code the counter returns to a proper counting mode within 11 clock pulses.

Schmitt-trigger action in the clock input makes the circuit highly tolerant to slower clock rise and fall times.

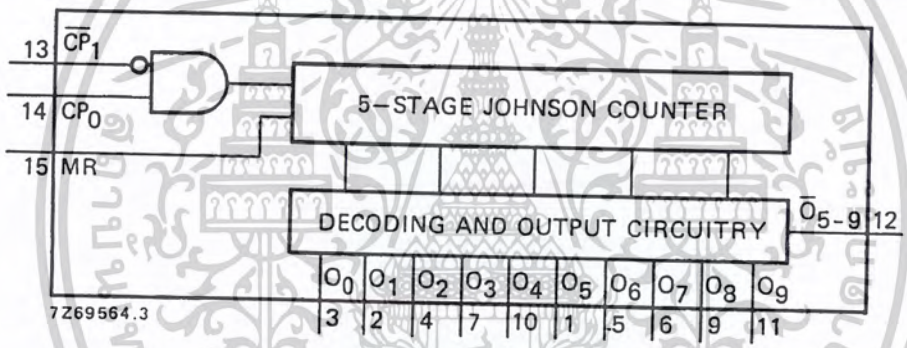


Fig.1 Functional diagram.

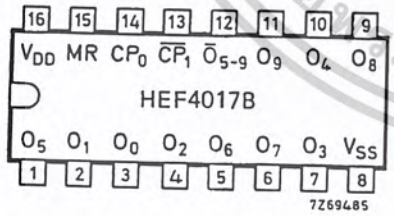


Fig.2 Pinning diagram.

PINNING

CP_0	clock input (LOW to HIGH triggered)
$\overline{CP}_1$	clock input (HIGH to LOW triggered)
MR	master reset input
O_0 to O_9	decoded outputs
$\overline{O}_{5\text{-}9}$	carry output (active LOW)

FAMILY DATA, I_{DD} LIMITS category MSI

See Family Specifications

HEF4017BP(N): 16-lead DIL; plastic (SOT38-1)
HEF4017BD(F): 16-lead DIL; ceramic (cerdip) (SOT74)
HEF4017BT(D): 16-lead SO; plastic (SOT109-1)
( ): Package Designator North America

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

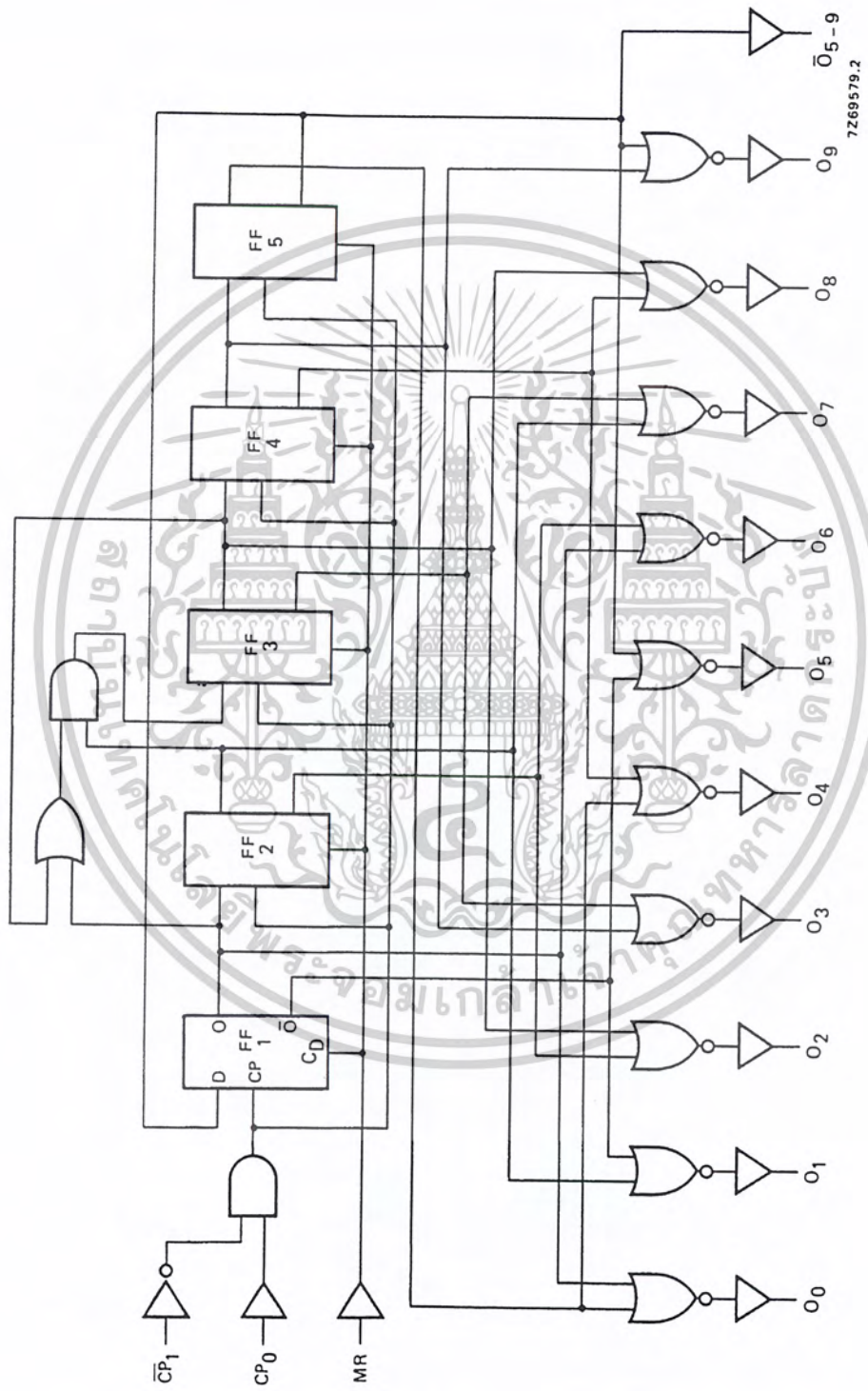


Fig.3 Logic diagram.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FUNCTION TABLE

MR	CP_0	$\overline{CP_1}$	OPERATION
H	X	X	$O_0 = \overline{O}_{5\text{-}9} = H$; O_1 to $O_9 = L$
L	H	↓	Counter advances
L	↑	L	Counter advances
L	L	X	No change
L	X	H	No change
L	H	↑	No change
L	↓	L	No change

Notes

1. H = HIGH state (the more positive voltage)
2. L = LOW state (the less positive voltage)
3. X = state is immaterial
4. ↑ = positive-going transition
5. ↓ = negative-going transition

AC CHARACTERISTICS

V_{SS} = 0 V; T_{amb} = 25 °C; C_L = 50 pF; input transition times ≤ 20 ns

	V_{DD} V	SYMBOL	MIN.	TYP.	MAX.		TYPICAL EXTRAPOLATION FORMULA
Propagation delays							
CP_0, $\overline{CP_1} \rightarrow O_0$ to O_9	5			140	280	ns	113 ns + (0,55 ns/pF) C_L
HIGH to LOW	10	t_{PHL}		55	110	ns	44 ns + (0,23 ns/pF) C_L
	15			40	80	ns	32 ns + (0,16 ns/pF) C_L
	5			125	250	ns	98 ns + (0,55 ns/pF) C_L
LOW to HIGH	10	t_{PLH}		50	100	ns	39 ns + (0,23 ns/pF) C_L
	15			40	80	ns	32 ns + (0,16 ns/pF) C_L
CP_0, $\overline{CP_1} \rightarrow \overline{O}_{5\text{-}9}$	5			145	290	ns	118 ns + (0,55 ns/pF) C_L
HIGH to LOW	10	t_{PHL}		55	110	ns	44 ns + (0,23 ns/pF) C_L
	15			40	80	ns	32 ns + (0,16 ns/pF) C_L
	5			125	250	ns	98 ns + (0,55 ns/pF) C_L
LOW to HIGH	10	t_{PLH}		50	100	ns	39 ns + (0,23 ns/pF) C_L
	15			40	80	ns	32 ns + (0,16 ns/pF) C_L
$MR \rightarrow O_1$ to O_9	5			115	230	ns	88 ns + (0,55 ns/pF) C_L
HIGH to LOW	10	t_{PHL}		50	100	ns	39 ns + (0,23 ns/pF) C_L
	15			35	70	ns	27 ns + (0,16 ns/pF) C_L
$MR \rightarrow \overline{O}_{5\text{-}9}$	5			110	220	ns	83 ns + (0,55 ns/pF) C_L
LOW to HIGH	10	t_{PLH}		45	90	ns	34 ns + (0,23 ns/pF) C_L
	15			35	70	ns	27 ns + (0,16 ns/pF) C_L
$MR \rightarrow O_0$	5			130	260	ns	103 ns + (0,55 ns/pF) C_L
LOW to HIGH	10	t_{PLH}		55	105	ns	44 ns + (0,23 ns/pF) C_L
	15			40	75	ns	32 ns + (0,16 ns/pF) C_L

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

	V_{DD} V	SYMBOL	MIN.	TYP.	MAX.		TYPICAL EXTRAPOLATION FORMULA
Output transition times HIGH to LOW	5	t_{THL}		60	120	ns	10 ns + (1,0 ns/pF) C_L
	10			30	60	ns	9 ns + (0,42 ns/pF) C_L
	15			20	40	ns	6 ns + (0,28 ns/pF) C_L
LOW to HIGH	5	t_{TLH}		60	120	ns	10 ns + (1,0 ns/pF) C_L
	10			30	60	ns	9 ns + (0,42 ns/pF) C_L
	15			20	40	ns	6 ns + (0,28 ns/pF) C_L

AC CHARACTERISTICS

V_{SS} = 0 V; T_{amb} = 25 °C; C_L = 50 pF; input transition times ≤ 20 ns

	V_{DD} V	SYMBOL	MIN.	TYP.	MAX.		
Hold times $CP_0 \rightarrow \overline{CP_1}$	5	t_{hold}	90	45		ns	see also waveforms Figs 4 and 5
	10		40	20		ns	
	15		20	10		ns	
$\overline{CP_1} \rightarrow CP_0$	5	t_{hold}	80	40		ns	
	10		40	20		ns	
	15		30	10		ns	
Minimum clock pulse width: CP_0 = LOW; $\overline{CP_1}$ = HIGH	5	t_{WCPL} = t_{WCPH}	80	40		ns	
	10		40	20		ns	
	15		30	15		ns	
Minimum MR pulse width; HIGH	5	t_{WMRH}	50	25		ns	
	10		30	15		ns	
	15		20	10		ns	
Recovery time for MR	5	t_{RMR}	60	30		ns	
	10		30	15		ns	
	15		20	10		ns	
Maximum clock pulse frequency	5	f_{max}	6	12		MHz	
	10		12	24		MHz	
	15		15	30		MHz	

	V_{DD} V	TYPICAL FORMULA FOR P (μW)	
Dynamic power dissipation per package (P)	5	$500\ f_i + \sum (f_o C_L) \times V_{DD}^2$	where f_i = input freq. (MHz) f_o = output freq. (MHz) C_L = load cap. (pF) $\sum (f_o C_L)$ = sum of outputs V_{DD} = supply voltage (V)
	10	$2200\ f_i + \sum (f_o C_L) \times V_{DD}^2$	
	15	$6000\ f_i + \sum (f_o C_L) \times V_{DD}^2$	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

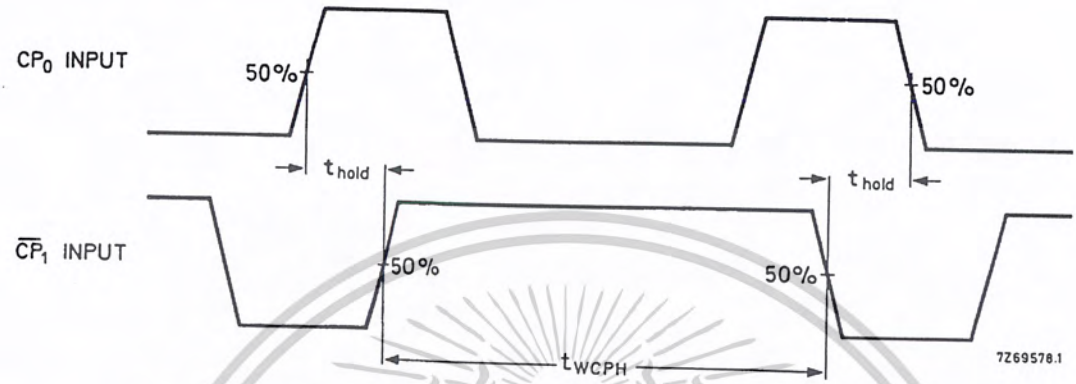
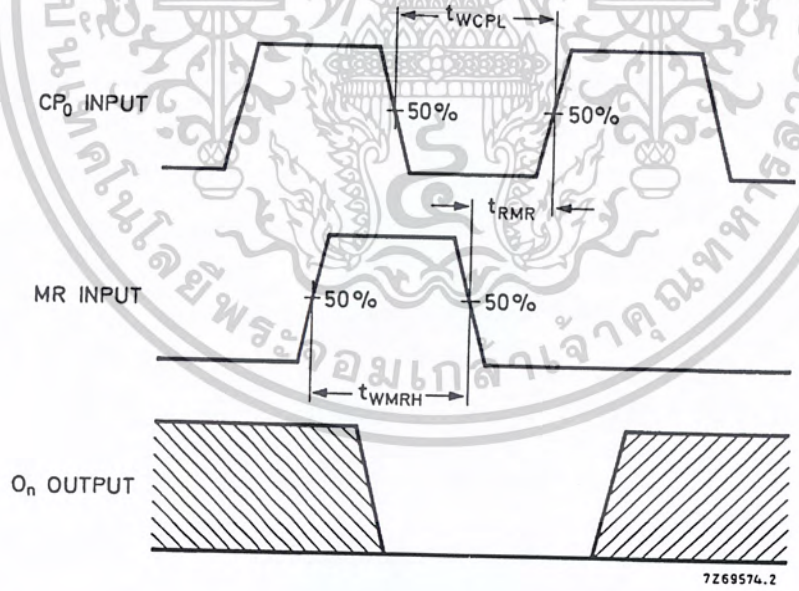


Fig.4 Waveforms showing hold times for CP_0 to $\overline{CP}_1$ and $\overline{CP}_1$ to CP_0. Hold times are shown as positive values, but may be specified as negative values.



Conditions: $\overline{CP}_1$ = LOW while CP_0 is triggered on a LOW to HIGH transition. t_{WCP} and t_{RMR} also apply when CP_0 = HIGH and $\overline{CP}_1$ is triggered on a HIGH to LOW transition.

Fig.5 Waveforms showing recovery time for MR; minimum CP_0 and MR pulse widths.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

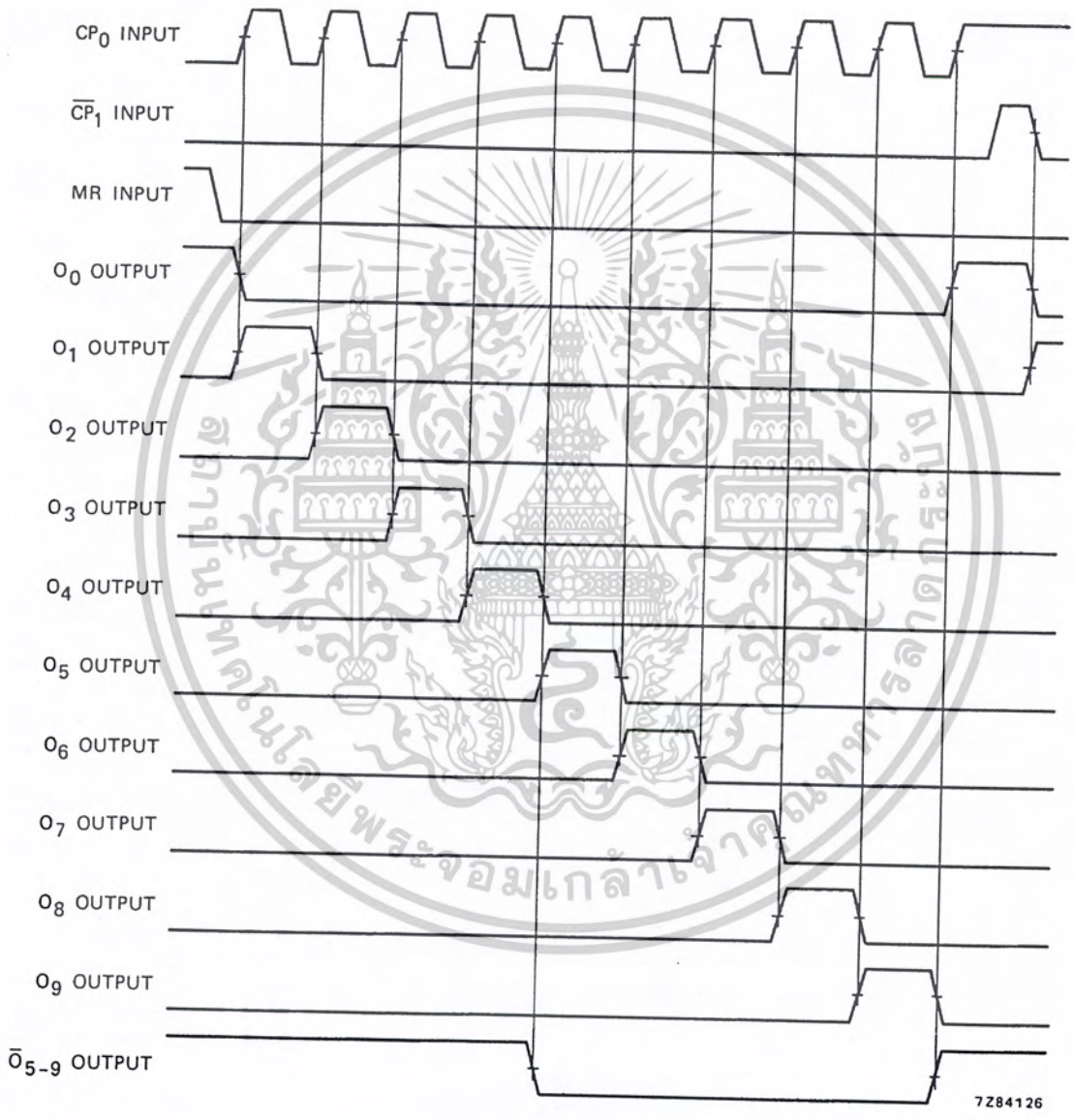


Fig.6 Timing diagram.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

APPLICATION INFORMATION

Some examples of applications for the HEF4017B are:

- Decade counter with decimal decoding
- 1 out of n decoding counter (when cascaded)
- Sequential controller
- Timer.

Figure 7 shows a technique for extending the number of decoded output states for the HEF4017B. Decoded outputs are sequential within each stage and from stage to stage, with no dead time (except propagation delay).

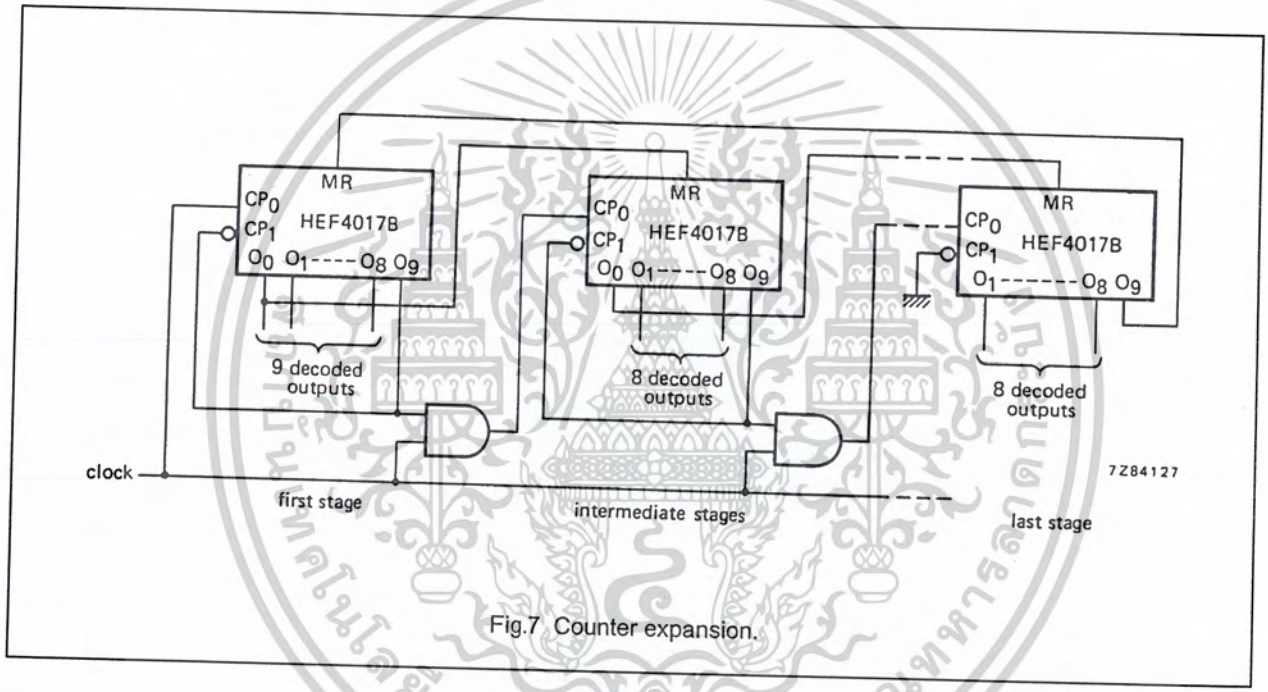


Fig.7 Counter expansion.

Note

It is essential not to enable the counter on $\overline{CP}_1$ when CP_0 is HIGH, or on CP_0 when $\overline{CP}_1$ is LOW, as the this would cause an extra count.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอกสารอ้างอิง

1. วิวัฒน์ กิรานนท์ , “พื้นฐานการสื่อสาร” : วิศวกรรมสถานแห่งประเทศไทย , 2539 .
2. วิวัฒน์ กิรานนท์ , “วิศวกรรมการสื่อสาร” สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง, 2542 .
3. พันธ์ศักดิ์ พุฒิมานิตพงศ์ , “วงจรพัลส์และสวิตชิ่ง” : ซีเอ็ดยูเคชั่น จำกัด , 2544 .
4. Thomas L.Floyd , “Electronics Devices” : Prentice-Hall, Inc. , 1999 .
5. Thomas L.Floyd , “Electric Circuits Fundamentals” : Prentice-Hall, Inc. , 2001 .
6. Frank F.E. Owen , “PCM and Digital Transmission System” : McGraw-Hill, Inc. , 1982 .
7. PJ. Wakeling , “Pulse Code Modulation” : Mills & Boon Limited. , 1972 .
8. Wayne Tomasi , “Electronic Communication System” : Prentice-Hall, Inc. , 1998 .
9. John Peason , “Communication Theory” .

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้