สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

# เครื่องรับส่งแบบสเพรดสเปกตรัม

# Spread Spectrum Transmitter and Receiver

T 050129

โดย

นายพีรพล ปุรณวัฒนกุลชัย

นางสาวเพ็ญสุดา แซ่ลิ้ม

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาวิศวกรรมโทรคมนาคม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2545

เลขหมู่.....
เลขทะเบียน...50129
วัน,เดือน,ปี 2 1 เม.ย. 2547

.b.....
.i.....

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# เครื่องรับส่งแบบสเพรดสเปกตรัม

# Spread Spectrum Transmitter and Receiver


โดย

นายพีรพล ปุรณวัฒนกุลชัย 42010238

นางสาวเพ็ญสุดา แซ่ลิ้ม 42010243

อาจารย์ที่ปรึกษา

ศ.ดร.วิวัฒน์ กิรานนท์


ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาวิศวกรรมโทรคมนาคม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2545


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ปีการศึกษา 2545

ภาควิชาวิศวกรรมโทรคมนาคม

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง **เครื่องรับส่งแบบสเพรดสเปกตรัม**

**Spread Spectrum Transmitter and Receiver**


ผู้จัดทำ

1.นายพีรพล ปุรณวัฒนกุลชัย 42010238

2.นางสาวเพ็ญสุดา แซ่ลิ้ม 42010243


..... อาจารย์ที่ปรึกษา

( ศ.ดร.วิวัฒน์ กิรานนท์)


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# เครื่องรับส่งแบบสเพรดสเปกตรัม

# Spread Spectrum Transmitter and Receiver

โดย 1.นายพีรพล ปุรณวัฒนกุลชัย 42010238
2.นางสาวเพ็ญสุดา แซ่ลิ้ม 42010243

**อาจารย์ที่ปรึกษา** ศ.ดร.วิวัฒน์ กิรานนท์

**บทคัดย่อ**

โครงงานนี้ได้สร้างเครื่องรับเครื่องส่งโดยใช้หลักการของสเพรดสเปกตรัมแบบไดเรกซีเควนซ์ โดยข้อมูลดิจิตอลจะถูกกระจายไปตามสัญญาณรหัส และส่งไปตามสายโคแอคเชียล

ในส่วนภาคส่งจะนำสัญญาณดิจิตอลไปคูณกับสัญญาณรหัสแบบสุ่ม จากนั้นจะนำไปมอดูเลต แบบ BPSK ส่งออกไปตามสายโคแอคเชียล ส่วนทางภาครับจะทำการกู้ข้อมูลเดิมกลับมาโดยการแทรคกิง แบบดีเลย์ล็อคลูป

ABSTRACT

This project is a spread spectrum transmitter and receiver by using direct sequence technique to widen the spectrum of a signal by multiply with a wide band signal.

In the transmitter, digital data is multiplied by pseudonoise code (PN code) , which is modulated by BPSK technique and transmitted via coaxial cable .The receiver despread the data by delay lock loop tracking.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# สารบัญ


| | หน้า |
|---|---|
| บทที่ 1 บทนำ | 1 |
| บทที่ 2 ทฤษฎีและหลักการ | 2 |
| 2.1 ระบบของสเพรดสเปกตรัม | 2 |
| 2.2 ประโยชน์ของระบบสเพรดสเปกตรัม | 2 |
| 2.3 ความหนาแน่นของกำลังงานลดลง | 4 |
| 2.4 ให้ผลความแตกต่างของเวลาที่น่าเชื่อถือ | 5 |
| 2.5 การใช้ช่องสัญญาณร่วมกัน | 6 |
| 2.6 รูปแบบของสเพรดสเปกตรัมที่กำจัดการแทรกสอด | 6 |
| 2.7 รูปแบบของเทคนิคสเพรดสเปกตรัม | 7 |
| 2.8 ลำดับของสัญญาณรบกวนเทียม | 8 |
| 2.9 คุณสมบัติแรนดอมเนส | 8 |
| 2.10 ลำดับของชิฟรีจิสเตอร์ | 8 |
| 2.11 ฟังก์ชันพีเอ็นออโตคอร์รีเลชัน | 10 |
| 2.12 ระบบสเพรดสเปกตรัมแบบไดเรคซีเควนซ์ | 11 |
| 2.13 การโมดูเลตสัญญาณดิจิตอล | 14 |
| 2.14 พื้นฐานการแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาลอก(D/A) | 21 |
| 2.15 พื้นฐานการแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล(A/D) | 25 |
| 2.16 ฟิลเตอร์แบบแอกทีฟ | 29 |
| 2.17 วงจรคูณสัญญาณ | 32 |
| 2.18 การออกแบบวงจรกรองความถี่ต่ำผ่าน | 35 |
| 2.19 วงจรกรองแถบความถี่ผ่าน | 36 |
| 2.20 ระบบพีเอสเคที่ไม่ต้องการใช้การกู้สัญญาณกลื่นพาห์ | 38 |
| 2.21 เฟสล็อคลูป | 41 |
| 2.22 วงจร Comparator | 43 |
| 2.23 วงจรรวมสัญญาณ | 45 |
| บทที่ 3 การคำนวณและการสร้าง | 47 |
| 3.1 การออกแบบวงจรภาคส่ง | 47 |
| 3.1.1 วงจรสร้างสัญญาณนาฬิกา 64 kbps | 47 |
| 3.1.2 วงจรสร้างสัญญาณรหัส | 49 |
| 3.1.3 วงจรเข้ารหัสสัญญาณแบบสเพรดสเปกตรัม | 50 |
| 3.1.4 วงจรเข้ารหัสสัญญาณแมนเชสเตอร์ | 50 |
| 3.1.5 วงจรสร้างสัญญาณพาหะ 512 kHz | 51 |


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ(ต่อ)


| | หน้า |
|---|---|
| 3.16วงจรกรองช่วงความถี่ผ่าน 512 kHz | 52 |
| 3.17วงจรแปลง 1 บิต เป็น 2 ระดับ | 54 |
| 3.18วงจรมอดูเลตสัญญาณ BPSK | 55 |
| 3.19วงจรรวมสัญญาณ | 55 |
| 3.2การออกแบบวงจรทางภาครับ | 56 |
| 3.2.1วงจรยกกำลังสอง | 56 |
| 3.2.2วงจรขยายสัญญาณ | 57 |
| 3.2.3วงจรแปลงสัญญาณ 2 ระดับ เป็น 1 บิต | 58 |
| 3.2.4วงจรกู้สัญญาณนาฬิกา | 58 |
| 3.2.5วงจรถอดรหัสแมนเชสเตอร์ | 60 |
| 3.2.6วงจรสร้างสัญญาณรหัส | 60 |
| 3.2.7วงจรถอดรหัสสัญญาณสเพรดสเปกตรัม | 61 |
| 3.3ภาควงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลและ ภาควงจรแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาลอก | 61 |
| บทที่ 4 การทดลองและผลการทดลอง | 66 |
| 4.1เครื่องส่ง | 66 |
| 4.1.1 วงจรสร้างสัญญาณนาฬิกา 64 kHz | 66 |
| 4.1.2 วงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล | 68 |
| 4.1.3วงจรสร้างสัญญาณรหัสแบบสุ่ม | 70 |
| 4.1.4วงจรเข้ารหัสสัญญาณแบบสเพรดสเปกตรัม | 73 |
| 4.1.5วงจรเข้ารหัสสัญญาณแบบแมนเชสเตอร์ | 75 |
| 4.1.6วงจรปรับระดับสัญญาณ | 75 |
| 4.1.7วงจรสร้างสัญญาณพาหะ 512 kHz | 76 |
| 4.1.8วงจรกรองความถี่แถบผ่าน 512 kHz | 78 |
| 4.1.9วงจรมอดูเลตสัญญาณแบบ BPSK | 80 |
| 4.1.10วงจรรวมสัญญาณ | 82 |
| 4.2 เครื่องรับ | 84 |
| 4.2.1ภาคการดีมอดูเลตสัญญาณ BPSK | 84 |
| 4.2.2วงจรกู้สัญญาณนาฬิกา | 87 |
| 4.2.3 วงจรถอดรหัสสัญญาณแมนเชสเตอร์ | 89 |
| 4.2.4วงจรสร้างสัญญาณรหัสแบบสุ่ม | 91 |
| 4.2.5 วงจรกู้สัญญาณข้อมูล | 92 |


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# สารบัญ(ต่อ)


| | หน้า |
|---|---|
| 4.2.6 วงจรแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาลอก | 95 |
| บทที่ 5 บทวิจารณ์และสรุป | 100 |
| 5.1 เครื่องส่ง | 100 |
| 5.2 ภาครับ | 101 |
| 5.3 การประยุกต์ใช้งาน | 102 |
| 5.4 ข้อเสนอแนะ | 103 |
| ภาคผนวก | |
| แผนผังการทำงานของเครื่องส่ง | |
| วงจรรวมของเครื่องส่ง | |
| แผนผังการทำงานของเครื่องรับ | |
| วงจรรวมของเครื่องรับ | |
| รายละเอียดโครงสร้างไอซี | |
| กิตติกรรมประกาศ | |
| หนังสืออ้างอิง | |



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# สารบัญรูปภาพ


| | หน้า |
|---|---|
| รูปที่ 2.1 แสดงการแผ่กระจายของสเปกตรัม | 3 |
| รูปที่ 2.2 แสดงเรดิโอมิเตอร์ (Radio meter) | 5 |
| รูปที่ 2.3 แสดงการวัดไทม์ดีเลย์(time delay) | 6 |
| รูปที่ 2.4 แสดงเทคนิคพื้นฐานของสเพรดสเปกตรัม | 7 |
| รูปที่ 2.5 แสดงตัวอย่างของชิฟรีจิสเตอร์ (shift register) ที่มีการป้อนกลับ ( feedback) แบบเชิงเส้น | 9 |
| รูปที่ 2.6 แสดงฟังก์ชันของพีเอ็นออโตคอร์รีเลชัน (PN Autocorrelation) | 11 |
| รูปที่ 2.7 แสดงระบบสเพรดสเปกตรัมแบบไดเรคซีเควนซ์(Direct Sequence) | 13 |
| รูปที่ 2.9 แสดงสัญญาณเบสแบนด์ดิจิตอล | 14 |
| รูปที่ 2.10 แสดง 2 PSK | 15 |
| รูปที่ 2.11 แสดงเฟสไดอะแกรมของ 2 PSK | 16 |
| รูปที่ 2.12 แสดง รหัส 4 คู่ของสัญญาณ QPSK | 16 |
| รูปที่ 2.13 แสดง Gray Code ที่ใช้ใน QPSK | 17 |
| รูปที่ 2.14 แสดง PSK vector และ noise vector | 17 |
| รูปที่ 2.15 เปรียบเทียบขนาดของ Noise ball ที่ไม่ทำให้เกิดความผิดพลาดของบิต | 18 |
| รูปที่ 2.16 แสดง QPSK error region | 21 |
| รูปที่ 2.16 4 บิท D/A converter (a)สัญลักษณ์ทั่วไปของ D/A (b) transfer charateristic | 22 |
| รูปที่2.17 การกำหนดความแน่นอนของ D/A settling time | 23 |
| รูปที่2.18R-2R ladder D/A converter | 24 |
| รูปที่ 2.19 สัญลักษณ์สำหรับ A/D converter n- bit | 25 |
| รูปที่ 2.20 กราฟถ่ายโอนคุณลักษณะสำหรับ A/D converter 4 bit ทางอุดมคติ | 25 |
| รูปที่ 2.21 การพล็อตค่าความผิดพลาดของ A/D converter | 26 |
| รูปที่ 2.22เวลาการแปลงที่ต้องการของ A/D | 27 |
| รูปที่ 2.24 SAR A/D converter 8 bit อย่างง่าย | 28 |
| รูปที่ 2.25 แสดงการแทนค่าของกระบวนการ Successive Approximation สำหรับ converter 8 bit | 28 |
| รูปที่ 2.26 ผลตอบสนองทางความถี่ของวงจรกรองความถี่แบบต่างๆ | 31 |
| รูปที่ 2.27 วงจร Gilbert Multiplier Circuit | 33 |
| รูปที่ 2.28 วงจรบาลานซ์มอดูเลเตอร์ | 35 |
| รูปที่2.29 การวาง node วงจร Sallen and Key | 35 |
| รูปที่2.29 วงจร DELYIANNIS-FRIEND | 37 |
| รูปที่2.30 วงจร DELYIANNIS-FRIEND ที่ใช้ในการคำนวณ | 38 |
| รูปที่2.31 แสดงแผนภูมิการเข้าและถอดรหัสพีเอสเคแบบเดิม | 39 |
| รูปที่2.32แสดงแผนภูมิการเข้าและถอดรหัสแบบใหม่ | 40 |


เอกสารนี้ใช้เพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## สารบัญรูปภาพ(ต่อ)


| | หน้า |
|---|---|
| รูปที่ 2.33 แผนผังการทำงานของวงจรเฟสล็อคลูป | 42 |
| รูปที่ 2.34 คุณลักษณะระหว่างความถี่กับ Error Voltage ของเฟสล็อคลูป | 43 |
| รูปที่ 2.35 รูปวงจรแปลง1 บิต เป็น 2 ระดับ | 43 |
| รูปที่ 2.36 รูป Timing Diagram แสดงการแปลง1 บิต เป็น 2 ระดับ | 44 |
| รูปที่ 2.37 รูปวงจรแปลง2 ระดับ เป็น 1 บิต | 44 |
| รูปที่ 2.38 รูป Timing Diagram แสดงการแปลง2 ระดับ เป็น 1 บิต | 45 |
| รูปที่ 2.39 รูปวงจรบวกแบบ Inverting | 45 |
| รูปที่ 2.40 รูปวงจรบวกแบบNon-Inverting | 46 |
| รูปที่ 3.1 แผนผังการทำงานทางภาคส่ง | 47 |
| รูปที่ 3.2 แผนผังการทำงานของวงจรสร้างสัญญาณนาฬิกา 64 kHz | 47 |
| รูปที่ 3.3 วงจรกำเนิดสัญญาณ 10.24 MHz | 48 |
| รูปที่ 3.4 วงจรหารความถี่ 16 เท่า | 48 |
| รูปที่ 3.5 วงจรหารความถี่ 10 เท่า | 48 |
| รูปที่ 3.6 แผนผังการทำงานวงจรสร้างสัญญาณรหัส | 49 |
| รูปที่ 3.7 วงจรสร้างสัญญาณรหัส | 50 |
| รูปที่ 3.8 วงจรเข้ารหัสแบบสเพรดสเปคตรัม | 50 |
| รูปที่ 3.9 วงจรเข้ารหัสสัญญาณแมนเชสเตอร์ | 50 |
| รูปที่ 3.10 แผนผังการทำงานของ เฟสล็อกลูป | 51 |
| รูปที่ 3.11 วงจรสร้างสัญญาณพาหะ 512 kHz | 51 |
| รูปที่3.12 วงจร DELYIANNIS-FRIEND | 52 |
| รูปที่3.13 วงจร DELYIANNIS-FRIEND ที่ใช้ในการคำนวณ | 53 |
| รูปที่ 3.14 วงจรกรองช่วงความถี่ผ่าน 512 kHz | 54 |
| รูปที่ 3.15 วงจรแปลง 1 บิต เป็น 2 ระดับ | 54 |
| รูปที่ 3.16 วงจรมอดูเลตสัญญาณ BPSK | 56 |
| รูปที่ 3.17 วงจรรวมสัญญาณ | 55 |
| รูปที่ 3.18 แผนผังการทำงานทางภาครับ | 56 |
| รูปที่ 3.19 วงจรยกกำลังสอง | 57 |
| รูปที่ 3.20 วงจรขยายสัญญาณ | 57 |
| รูปที่ 3.21 วงจรแปลงสัญญาณ 2 ระดับเป็น 1 บิต | 58 |
| รูปที่ 3.22วงจรกู้สัญญาณนาฬิกา | 58 |
| รูปที่ 3.23 ไทม์มิ่งไดอะแกรมของวงจรกู้สัญญาณนาฬิกา | 60 |
| รูปที่ 3.24วงจรถอดรหัสแมนเชสเตอร์ | 60 |


เอกสารนี้สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่อนุญาตให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูปภาพ(ต่อ)


| | หน้า |
|---|---|
| รูปที่3.25วงจรสร้างสัญญาณรหัส | 60 |
| รูปที่3.26วงจรถอดรหัสสัญญาณสเพรดสเปกตรัม | 61 |
| รูปที่ 3.27วงจรเข้ารหัสและถอดรหัสแบบ Continuously Variable Slope Delta Modulator/Demodulator | 61 |
| รูปที่ 3.28 วงจรเข้ารหัสแบบเดลต้ามอดูเลเตอร์ | 64 |
| รูปที่ 3.29 วงจรถอดรหัสแบบเดลต้ามอดูเลชั่น | 64 |
| รูปที่4.1.1(ก) สัญญาณจาก X-tal Oscillator ความถี่ 10.24 MHz | 66 |
| รูปที่4.1.1(ข) สัญญาณที่ได้จากการผ่านวงจรหารความถี่ 16 เท่า | 67 |
| รูปที่4.1.1(ค) สัญญาณที่ได้จากวงจรหารความถี่ 10 เท่า | 67 |
| รูปที่4.1.1(ง) สัญญาณนาฬิกาที่ใช้ในวงจร | 68 |
| รูปที่4.1.2(ก)สัญญาณอนาลอกเทียบกับสัญญาณดิจิตอลที่ผ่านวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล | 69 |
| รูปที่ 4.1.2(ข) สเปกตรัมของสัญญาณข้อมูล | 69 |
| รูปที่ 4.1.2(ค) สเปกตรัมของสัญญาณข้อมูล | 70 |
| รูปที่4.1.3(ก) สัญญาณนาฬิกาเทียบกับสัญญาณรหัสที่สร้างขึ้น | 71 |
| รูปที่4.1.3(ข) สเปกตรัมของสัญญาณรหัส | 71 |
| รูปที่ 4.1.3(ค) สเปกตรัมของสัญญาณรหัสที่ระยะ span เดียวกับสัญญาณข้อมูล | 72 |
| รูปที่ 4.1.3(ง) สเปกตรัมของสัญญาณรหัสที่ระยะ span ทั้งแบนด์วิท | 72 |
| รูปที่ 4.1.4(ก)สัญญาณข้อมูลเทียบกับสัญญาณสเพรดสเปกตรัม | 73 |
| รูปที่4.1.4(ข) สเปกตรัมของสัญญาณสเพรดสเปกตรัม | 74 |
| รูปที่ 4.1.4(ค) สเปกตรัมของสัญญาณสเพรดสเปกตรัมทั้งแบนด์วิท | 74 |
| รูปที่4.1.5(ก)สัญญาณแมนเชสเตอร์เทียบกับสัญญาณนาฬิกาและสัญญาณเพรดสเปกตรัม | 75 |
| รูปที่4.1.6(ก) สัญญาณแมนเชสเตอร์เทียบกับสัญญาณแมนเชสเตอร์ที่ปรับระดับแล้ว | 76 |
| รูปที่4.1.7(ก) สัญญาณนาฬิกาเทียบกับสัญญาณนาฬิกาที่ถูกคูณความถี่ด้วย 8 | 77 |
| รูปที่ 4.1.7(ข) สัญญาณนาฬิกาเทียบกับสัญญาณพาหะที่สร้างได้ | 77 |
| รูปที่4.1.8 (ก) กราฟแสดงผลตอบสนองทางความถี่ของวงจรกรองความถี่แถบผ่าน 512 kHz | 80 |
| รูปที่4.1.9(ก) สัญญาณแมนเชสเตอร์เทียบกับสัญญาณแมนเชสเตอร์ที่มอดูเลตสัญญาณแบบ BPSK | 81 |
| รูปที่4.1.9(ข) สเปกตรัมของสัญญาณที่มอดูเลตแบบ BPSK | 81 |
| รูปที่4.1.10(ก)สัญญาณแมนเชสเตอร์เทียบกับสัญญาณ BPSK ที่รวมกับสัญญาณพาหะ | 82 |
| รูปที่ 4.1.10(ข) สเปกตรัมของสัญญาณเอาท์พุต | 83 |
| รูปที่4.2.1(ก) สัญญาณที่ทางภาครับรับมาได้ | 85 |
| รูปที่ 4.2.1(ข) สเปกตรัมของสัญญาณที่รับได้ | 85 |


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## สารบัญรูปภาพ(ต่อ)

หน้า


รูปที่4.2.1(ก)สัญญาณแมนเชสเตอร์ที่ถูกมอดูเลตที่ภาคส่งเทียบกับสัญญาณที่รับได้ผ่านวงจรยกกำลังสอง 86

รูปที่4.2.1(ง) แสดงสัญญาณที่ผ่านวงจรยกกำลังสอง แล้วนำมาผ่านวงจรขยายสัญญาณ 86

รูปที่4.2.1(จ)แสดงสัญญาณที่นำมาผ่านวงจรปรับระดับสัญญาณ 87

รูปที่4.2.2(ก) สัญญาณแมนเชสเตอร์ที่ดีมอดูเลตได้เทียบกับสัญญาณนาฬิกาที่กู้ได้ 88

รูปที่4.2.2(ข) แสดงสัญญาณนาฬิกาที่ภาคส่งเทียบกับภาครับที่กู้ได้ 88

รูปที่4.2.3(ก) แสดงสัญญาณก่อนเข้ารหัสแมนเชสเตอร์ของทางภาคส่งเทียบกับสัญญาณที่ได้จากการถอดรหัสสัญญาณแมนเชสเตอร์ที่ภาครับ 89

รูปที่4.2.3(ข) รูปสัญญาณสเพรดสเปกตรัมเทียบกับสเปรกตัมของสัญญาณสเพรดสเปกตรัม 90

รูปที่ 4.2.3(ค) สเปกตรัมของสัญญาณที่ถอดรหัสแมนเชสเตอร์ 90

รูปที่4.2.4(ก)แสดงสัญญาณรหัสที่ภาครับสร้างได้เทียบกับสัญญาณนาฬิกาที่ภาครับ 91

รูปที่4.2.4(ข)แสดงสัญญาณรหัสทางภาคส่งเทียบกับสัญญาณรหัสทางภาครับ 92

รูปที่4.2.5(ก) สัญญาณรหัสที่ภาครับเทียบกับสัญญาณสเพรดสเปกตรัมที่ภาครับ 93

รูปที่4.2.5(ข)สัญญาณข้อมูลทางภาคส่งเทียบกับสัญญาณข้อมูลที่ภาครับกู้ได้ 93

รูปที่4.2.5(ค) สเปกตรัมของสัญญาณข้อมูลที่กู้มาได้ 94

รูปที่ 4.2.5(ง) สเปกตรัมของสัญญาณข้อมูลที่กู้ได้ 94

รูปที่4.2.6(ก) สัญญาณที่ออกจากวงจรวงจรแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาลอกเทียบกับสัญญาณอนาลอกอินพุตทางภาคส่ง 95

รูปที่ 4.2.6(ข)กราฟแสดงผลตอบสนองทางความถี่ของวงจรกรองความถี่ต่ำผ่าน 3.4 kHz 98

รูปที่ 4.2.6(ก) สัญญาณเอาท์พุตที่ออกจากวงจรกรองความถี่ต่ำผ่านเทียบกับสัญญาณอนาลอกอินพุตทางภาคส่ง 99



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# สารบัญตาราง


| | หน้า |
|---|---|
| ตารางที่2.1เปรียบเทียบวิธีการโมดูเลตแบบดิจิตอลและอนาลอก | 14 |
| ตารางที่2.2เปรียบเทียบแบนด์วิทต่ำที่สุดที่ใช้ | 19 |
| ตารางที่3.1แสดงเอาท์พุตของวงจรสร้างสัญญาณรหัส | 49 |
| ตารางที่4.1แสดงค่าอัตราขยายของวงจรกรองความถี่แถบผ่าน 512 kHz | 78 |
| ตารางที่4.2แสดงค่าอัตราขยายของวงจรกรองความถี่ต่ำผ่าน 3.4 kHz | 96 |



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# บทที่ 1
# บทนำ

ในปัจจุบันโลกเราได้มีการพัฒนาทางด้านการสื่อสารอย่างรวดเร็วซึ่งการสื่อสารนับเป็นปัจจัยที่สำคัญอย่างหนึ่งต่อการพัฒนาประเทศของทุกๆประเทศโดยเมื่อประชากรเพิ่มขึ้นก็ย่อมต้องมีการติดต่อสื่อสารกันมากขึ้นไม่ว่าจะเป็นในทางด้านธุรกิจ การศึกษาและอีกหลายๆด้าน ตลอดจนปัจจุบันได้นำไปใช้ทางด้านการแพทย์แล้ว โดยการสื่อสารได้แบ่งเป็นระบบดิจิตอล (Digital) และระบบอนาลอก (Analog) โดยในระบบอนาลอกนั้น มีการเข้าถึงช่องสัญญาณหลายทางแบบแบ่งความถี่ (Frequency Division Multiple Access : FDMA) แต่ช่องสัญญาณความถี่ไม่เพียงพอต่อการใช้งาน จึงได้มีการนำระบบดิจิตอลมาใช้เช่น ในระบบการเข้าถึงสัญญาณหลายทางแบบแบ่งช่วงเวลา (Time Division Multiple Access :TDMA) แต่ก็ยังไม่เพียงพอต่อการใช้งาน เช่นในระบบโทรศัพท์เคลื่อนที่แบบเซลลูล่าร์ ซึ่งแต่เดิมนั้นจะมีการเข้าถึงช่องสัญญาณหลายทางแบบแบ่งช่วงเวลาซึ่งก็ยังไม่เพียงพอต่อการให้บริการ จนในปัจจุบันได้เริ่มมีการนำระบบการเข้าถึงช่องสัญญาณหลายทางแบบแยกความแตกต่างทางรหัส (Code Division Multiple Access :CDMA) โดยพื้นฐานแล้วจะใช้หลักการของสเพรดสเปกตรัม (Spread Spectrum)

ระบบสเพรดสเปกตรัมได้ถูกพัฒนาขึ้นมาโดยการนำมาใช้งานครั้งแรกได้นำมาใช้งานทางด้านการทหาร หลังจากนั้นก็ได้มีการศึกษาค้นคว้าวิจัยจนสามารถนำไปใช้งานได้หลาย ๆ ด้านเช่น ระบบที่สามารถป้องกันสัญญาณรบกวน ระบบควบเทียม ฯลฯ

ระบบสเพรดสเปกตรัมโดยทั่วไปใช้กันอยู่ 2 วิธีคือแบบไดเรคซีเควนซ์ (Direct Sequence) และแบบฟรีเควนซีฮอปปิง (Frequency Hopping) โดยวิธีไดเรคซีเควนซ์ แต่ละบิตข้อมูลจะถูกแทนด้วยบิตที่ถูกเข้ารหัสจำนวนมากที่เรียกว่า ชิพ (Chip) และในวิธีฟรีเควนซีฮอปปิง จะมีช่องความถี่ N ช่องซึ่งช่องสัญญาณที่ใช้อยู่จะกระโดดไปมาระหว่างช่องความถี่ N ช่องที่มีแบบแผนการกระโดดเป็นไปตามรหัส

ในส่วนของโครงงานนี้เป็นการออกแบบและสร้างเครื่องรับส่งสัญญาณแบบสเพรดสเปกตรัม ได้ศึกษาถึงหลักการพื้นฐานและการทำงานของระบบแบบไดเรคซีเควนซ์ เพื่อนำไปใช้ในการประยุกต์ใช้งานต่อไปได้อนาคต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# บทที่ 2
# ทฤษฎีและหลักการ

## 2.1 ระบบของสเพรดสเปกตรัม

ในการศึกษาระบบการสื่อสาร สิ่งแรกที่มีความสัมพันธ์กับการทำงานของระบบการสื่อสารก็คือประสิทธิภาพแบนด์วิดท์ (Bandwidth) และกำลังงาน อย่างไรก็ตามในการประยุกต์ใช้งานก็ต้องคำนึงถึงความสามารถในการต่อต้านสัญญาณรบกวน (Noise) การขจัดการแทรกสอด ความสามารถในการใช้ช่องสัญญาณร่วมกัน (multiple access) ความสามารถที่เครื่องรับเครื่องอื่นไม่สามารถรับสัญญาณได้ (Low probability of intercept) ซึ่งสิ่งต่าง ๆเหล่านี้มีความสำคัญในการนำไปใช้ในทางการทหาร ระบบการสื่อสารที่ทำงานได้ดีตามคุณสมบัติที่กล่าวมาแล้วนั้น คือการใช้เทคนิคของการใช้สเพรดสเปกตรัม เนื่องจากว่าแบนด์วิทด์ที่ใช้ในการส่งสัญญาณจะมีค่ามากกว่าแบนด์วิทด์ที่น้อยที่สุดที่ต้องการในการส่งสัญญาณข้อมูลข่าวสารมาก ๆ

ระบบที่สามารถกำหนดได้ว่าเป็นระบบสเพรดสเปกตรัมจะต้องมีลักษณะดังต่อไปนี้คือ

1.แบนด์วิทด์ที่ใช้ในการส่งสัญญาณจะต้องมากกว่าแบนด์วิทด์ที่น้อยที่สุดที่ต้องการในการส่งสัญญาณข้อมูลข่าวสารมาก ๆ

2.การกระจายของสัญญาณจะทำได้โดยการมอดูเลต (Modulate) สัญญาณข้อมูล ข่าวสารกับสัญญาณสเพรดดิง (spreading signal) หรือเรียกอีกอย่างหนึ่งว่าสัญญาณรหัส (code) และสัญญาณรหัสจะต้องไม่ขึ้นกับสัญญาณข้อมูลข่าวสาร

3.ที่เครื่องรับจะสามารถทำการคืนสัญญาณกลับคืนมาโดยใช้การคอร์รีเลต (correlate) ของสัญญาณที่รับได้กับสัญญาณรหัสที่ใช้ในการกระจายข้อมูลข่าวสารทางเคาองส่ง

การมอดูเลตแบบเอฟเอ็ม (Frequency Modulation) , พีซีเอ็ม(Pulse Code Modulation) เป็นการกระจายสัญญาณข้อมูลข่าวสารจริง แต่ก็ไม่เหมาะสมกับระบบสเพรดสเปกตรัม เพราะว่าไม่ได้สอดคล้องกับเงื่อนไขที่กล่าวมาแล้วข้างต้น

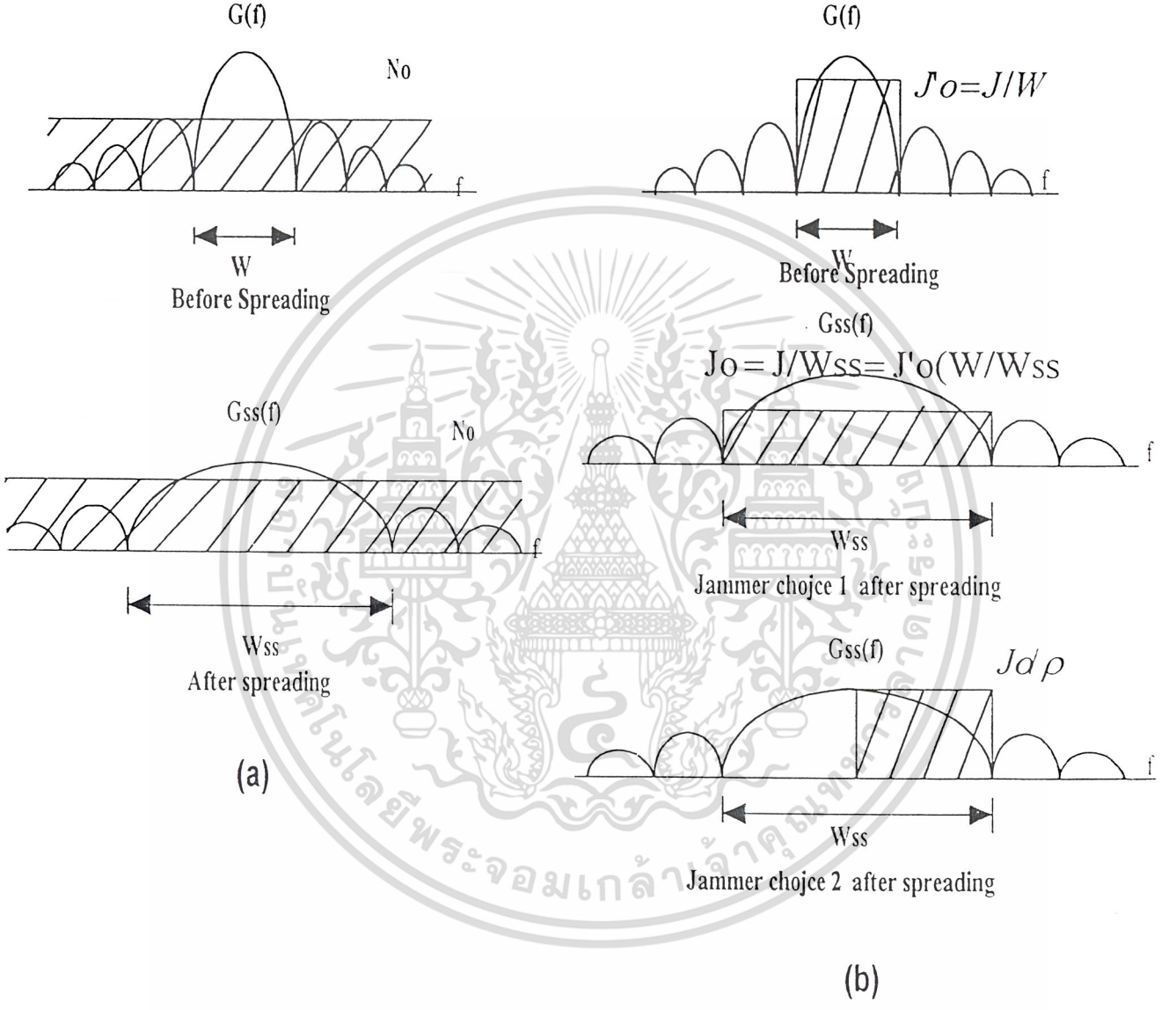
## 2.2 ประโยชน์ของระบบสเพรดสเปกตรัม( Interference Suppression Benefits)

รูปแบบสมการคณิตศาสตร์ที่ได้อธิบายสัญญาณรบกวนขาว (White Gaussian Noise)ว่ามีการกระจายกำลังงานที่ไม่จำกัดอย่างสม่ำเสมอตลอดทุกความถี่และการสื่อสารที่มีประสิทธิภาพอาจจะเกิดขึ้นได้โดยการแทรกสอดของสัญญาณรบกวนที่มีกำลังงานไม่จำกัด เพราะว่าสัญญาณรบกวนที่มีกำลังงานจำกัดเท่านั้นจึงจะสามารถแทรกสอดกับสัญญาณสเพรดสเปกตรัมได้ สำหรับสัญญาณที่มีแบนด์วิดท์สัญญาณรบกวนในแบนด์วิทด์ของสัญญาณสามารถลดลงได้ แนวความคิดของการต่อต้านสัญญาณรบกวนใน ระบบสเพรดสเปกตรัมเป็นดังนี้คือ พิจารณาสัญญาณที่ใช้ส่ง ภายในจะมีกลุ่มเล็ก ๆ ของสัญญาณข้อมูลข่าวสารที่ใช้อยู่ ณ ที่เวลาใด ๆ เราสมมติว่าสัญญาณรบกวนไม่สามาถที่จะทราบกลุ่มของสัญญาณที่ใช้งานอยู่ในขณะนั้น สัญญาณที่มีแบนด์วิทด์ (W) และมีช่วงเวลา (T) มีกลุ่มของสัญญาณสามารถประมาณได้ว่ามีแบนด์วิทเป็น 2WT โดยให้การผิดพลาดของระบบเป็นฟังก์ชั่น (function) ของ $N_0$ เท่านั้น การต่อต้านสัญญาณรบกวนขาวโดยการกระจายแบนด์วิดท์ที่มากกว่า 2WT ไม่ได้ทำให้ระบบมีประสิทธิภาพที่ดีขึ้น อย่างไรก็ตามสัญญาณรบกวนขาวจะถูกจำกัดโดยสัญญาณรบกวนที่มีกำลังจำกัดและความไม่แน่นอนของกลุ่มสัญญาณ ซึ่งจะทำให้ทางเลือกของสัญญาณรบกวนถูกกำจัดออกไปดังต่อไปนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.สัญญาณรบกวนจะแทรกตัวเข้าไปในสัญญาณสเพรดสเปกตรัมทั้งหมดของระบบด้วยค่ากำลังงานที่เท่ากัน ซึ่งทำให้แต่ละกลุ่มสัญญาณมีค่ากำลังงานที่น้อย

2.สัญญาณรบกวนจะแทรกตัวเข้าไปในสัญญาณสเพรดสเปกตรัมได้เพียงเล็กน้อย




รูปที่ 2.1 แสดงการแผ่กระจายของสเปกตรัม โดย

2.1(a) การกระจายสเปกตรัมของสัญญาณที่มีสัญญาณรบกวนขาว

2.1(b) การกระจายสเปกตรัมของสัญญาณที่มีสัญญาณรบกวนที่แทรกสอดเข้ามา

จากรูป2.1 เป็นการเปรียบเทียบการกระจายของสเปกตรัมที่แสดงด้วยสัญญาณรบกวนขาว และสัญญาณรบกวนที่แทรกสอดเข้ามา โดยกำหนดให้ความหนาแน่นกำลังเชิงสเปกตรัม (Power Spectrum Density: PSD) ของสัญญาณก่อนกระจายเป็น G(f) และความหนาแน่นกำลังเชิงสเปกตรัม (Power Spectrum Density: PSD) ของสัญญาณหลังการกระจายเป็น $G_{ss}(f)$ ซึ่งจะพิจารณาในทางความถี่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในรูปที่ 2.1(a) ชี้ให้เห็นว่าความหนาแน่นกำลังเชิงสเปกตรัมแถบข้างเดียวของสัญญาณรบกวนขาว ($N_0$)ซึ่งเป็นผลของการกระจายแบนด์วิทด์ของสัญญาณ W ไปเป็น $W_{ss}$ นั้นไม่มีการเปลี่ยนแปลงโดยที่ค่าของกำลังงานเฉลี่ยของสัญญารรบกวนขาวจะมีค่าไม่จำกัด ดังนั้นการกระจายของสัญญาณไม่ได้ทำให้ประสิทธิภาพดีขึ้น ในรูปที่ 2.1(b) แสดงให้เห็นถึงกำลังของสัญญาณรบกวนที่เครื่องรับ(ที่มีค่าจำกัด) J และความหนาแน่นกำลังเชิงสเปกตรัม $J_0 = J/W$ โดยที่ W เป็นแบนด์วิทด์ที่ไม่ถูกกระจายและถูกรบกวน เมื่อแบนด์วิทด์ของสัญญาณถูกกระจายสัญญาณรบกวนสามารถเลือกกระทำ 1 ใน 2 ทางเลือกดังต่อไปนี้

ทางเลือกที่ 1 จะมีผลทำให้สเปกตรัมกำลังงาน (Power spectrum) ของสัญญาณรบกวน $J_0$ ถูกทำให้ลดลงด้วย W/ $W_{SS}$ ซึ่งผลของความหนาแน่นเชิงสเปกตรัมจะเป็น $J_0 = J/W_{ss}$ ซึ่งเรียกว่า Broadband Jammer Noise Spectrum Density

ทางเลือกที่ 2 จะมีผลทำให้จำนวนของกลุ่มสัญญาณที่ถูกรบกวนนั้นมีค่าน้อยลง อย่างไรก็ตามสัญญาณรบกวนสามารถที่จะเพิ่มความหนาแน่นจาก $J_0$ เป็น $J_0/\rho$ โดยที่ $0 \le \rho \le 1$ โดยที่ $\rho$ เป็นสัดส่วนโดยตรงกับทั้งแบนด์วิดท์ของสัญญาณที่กระจายและแบนด์วิดท์ที่สัญญาณรบกวนเข้าแทรก

ถ้าสัญญาณรบกวนนั้นเลือกทางเลือกที่ไม่ดีนักในการเข้ารบกวน ก็จะมีผลเฉลี่ยน้อยมาก เมื่อเทียบกับทางเลือกที่ดีกว่า ถ้ากลุ่มสัญญาณมีมากก็จะทำให้มีการต่อต้านจากการรบกวนจากสัญญาณรบวนได้มาก

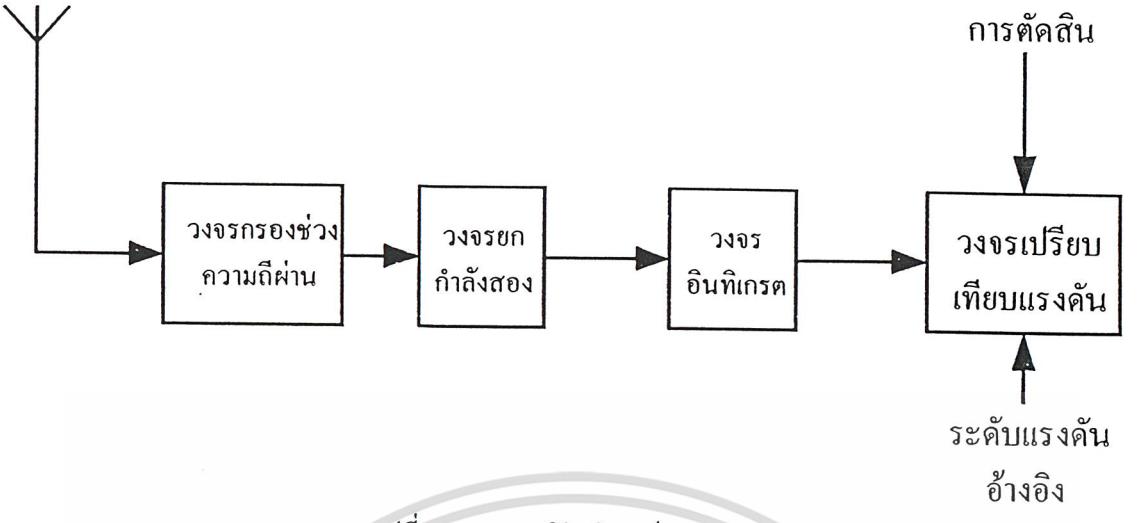
สัญญาณรบกวนไม่เป็นผลจากการกระทำที่ตั้งใจเท่านั้น บางครั้งสัญญาณรบกวนอาจเกิดจากปรากฏการณ์ทางธรรมชาติ และบางครั้งเกิดจากการแทรกสอดภายในตัวเอง ซึ่งเกิดจากคลื่นเดินทางมาจากหลาย ๆ เส้นทาง

### 2.3 ความหนาแน่นของกำลังงานลดลง (Energy Density Reduction)

สามารถพิจารณาถึงสภาวะที่มีความต้องการ ให้การติดต่อสื่อสนรนั้นทำงานโดยปราศจากการรับสัญญาณข้อมูลข่าสสารโดยเครื่องรับที่เราไม่ต้องการให้รับได้ ระบบนี้จะถูกออกแบบให้ใช้งานเฉพาะที่รู้จักกันคือความสามารถที่เครื่องรับเครื่องอื่นไม่สามรถรับสัญญาณได้ (Low probability of intercept : LPI) ซึ่งระบบนี้จะถูกออกแบบให้เครื่องรับใด ๆ สามารถที่จะแยกข้อมูลข่าวสารออกมาได้ยากมาก เป้าหมายของระบบคือการใช้กำลังของสัญญาณน้อย ๆ และมีโครงสร้างสัญญาณที่เหมาะสมซึ่งจะมีผลทำให้การดีเทค (detect) ข่าวสารเป็นไปได้น้อยที่สุด ซึ่งสอดคล้องกับระบบสเพรดสเปกตรัม

โดยที่สัญญาณจะมีการกระจายไปทั่วแบนด์วิดท์มากกว่าการมอดูเลตแบบธรรมดา ผลของกำลังของสัญญาณโดยเฉลี่ยแล้วจะมีการกระจายอยู่ทั่ว ๆ แบนด์วิทด์และกระจายอย่างไม่เป็นระเบียบ ซึ่งไม่เพียงแต่จะทำให้สัญญาณรบกวนเข้ามารบกวนได้ยากแล้ว ยังทำให้เครื่องรับใด ๆ ที่ไม่มีการซิงโครไนซ์ (synchronize) ของสัญญาณรหัสที่จำลองขึ้นก็ไม่สามารถรับสัญญาณข้อมูลข่าวสารได้ ซึ่งจะทำให้สัญญาณสเพรดสเปกตรัมถูกกลบด้วยสัญญาณรบกวน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 2.2 แสดงเรดิโอมิเตอร์ (Radio meter)

เรดิโอมิเตอร์ (Radio meter) เป็นเครื่องมือวัดอย่างง่าย ๆ การวัดกำลังงานที่สามารถจะใช้ในการดีเทคสัญญาณสเพรดสเปกตรัมที่มีแบนด์วิทแสดงในรูปที่ 2.2 ซึ่งประกอบด้วยวงจรกรองความถี่แถบผ่าน (Band Pass Filter) ที่มีแบนด์วิดท์เท่ากับ W และมีวงจรยกกำลังสอง เพื่อให้แน่ใจว่าเอาท์พุตจะเป็นค่าบวก และวงจรอินทิเกรต (integrate) ณ เวลาที่ t=T สัญญาณเอาท์พุตของวงจรอินทิเกรตจะถูกเปรียบเทียบระดับสัญญาณที่ตั้งไว้ก็แสดงว่ามีสัญญาณ ถ้าในกรณีอื่นถือว่าไม่มีสัญญาณ

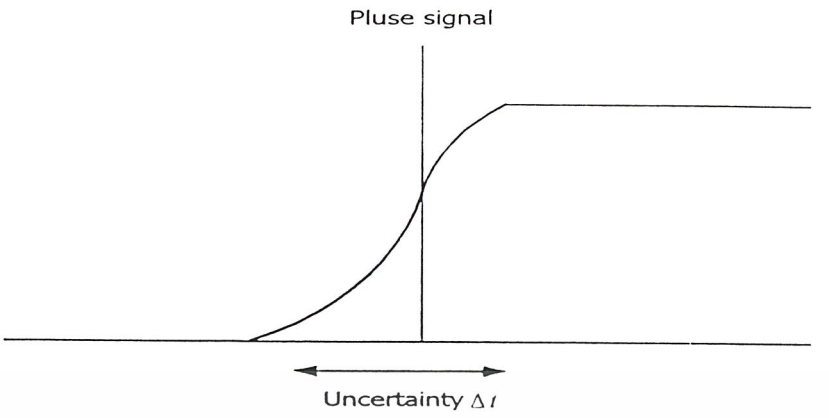
**2.4 ให้ผลความแตกต่างของเวลาที่น่าเชื่อถือ(Fine Time Resolution)**

สัญญาณสเพรดสเปกตรัมถูกนำไปใช้สำหรับหาระยะทางหรือคำนวณหาตำแหน่งได้โดย การวัดเวลาที่ถูกหน่วงไปของสัญญาณพัลส์(pulse signal) ซึ่งเคลื่อนที่ผ่านช่องสัญญาณ(channel) ความไม่แน่นอนของการวัดเวลาดีที่หน่วงไป (delay time) จะเป็นส่วนกลับกับแบนด์วิดท์ของสัญญาณพัลส์ ซึ่งสามารถแสดงได้ดังรูปที่ 2.3 โดยกำหนดให้ความไม่แน่นอนของการวัดเป็น $\Delta t$ เป็นสัดส่วนโดยตรงกับไรส์ไทม์(rise time) ของพัลส์และแปรผกผันกับแบนด์วิดท์

$$\Delta t \approx 1/W$$

ถ้าแบนด์วิดท์มากๆจะทำให้การวัดระยะทางแม่นยำขึ้น ถ้ามีสัญญาณรบกวนขาวรบกวนอยู่ภายในช่องสัญญาณ การใช้พัลส์เดียว(one short)เป็นตัวรับ ผลที่ได้ไม่น่าเชื่อถือเท่าไรนัก อย่างไรก็ตามเทคนิคของสเพรดสเปกตรัม จะใช้สัญญาณรหัสที่ยาวเป็นลำดับต่อเนื่องแทนสัญญาณพัลส์เดียวเครื่องรับจะทำการคอร์รีเลทสัญญาณที่รับได้กับสัญญาณรหัสที่ถูกจำลองขึ้น ซึ่งผลของการคอร์รีเลยทจะทำให้ได้ค่าของการวัดระยะทางที่ถูกต้องแม่นยำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




$$\Delta t \approx \text{Rise time of pulse} \approx \frac{1}{W}$$

รูปที่ 2.3 แสดงการวัดไทม์ดีเลย์(time delay)

**2.5 การใช้ช่องสัญญาณร่วมกัน(Multiple Access)**

สเพรดสเปกตรัมสามารถใช้ได้กับเทคนิคของการใช้ช่องสัญญาณร่วมกัน(multiple access) โดยการใช้ช่องสัญญาณร่วมกันระหว่างผู้ใช้จำนวนมากๆ ด้วนการใช้เทคนิคซีดีเอ็มเอ(CDMA:Code Division Multiple Access) เพราะว่าในเวลาเดียวกันนั้น ผู้ใช้จะใช้สัญญาณรหัสที่ไม่เหมือนกัน ซึ่งผลของการใช้ช่องสัญญาณร่วมกันนั้น จะทำให้เกิดการติดต่อสื่อสารที่เป็นส่วนตัวระหว่างผู้ใช้ ด้วยการใช้สัญญาณรหัสที่แตกต่างกัน ผู้ใช้ที่มีสัญญาณรหัสไม่ตรงกันจะไม่สามารถตรวจจับการใช้งานของผู้ใช้ที่มีสัญญาณรหัสไม่ตรงกันได้

**2.6 รูปแบบของสเพรดสเปกตรัมที่กำจัดการแทรกสอด (Model For Spread-Spectrum Interference Rejection)**

รูปที่ 2.4 แสดงระบบสเพรดสเปกตรัมที่มีการกำจัดการแทรกสอด ที่ตัวมอดูเลต (modulator) สัญญาณข้อมูลข่าวสาร x(t) ที่มีอัตราของ bit rate = R bit/sec ถูกคูณด้วยสัญญาณรหัส g(t) ที่มีอัตราเร็วของสัญญาณรหัส Rp chip/sec สมมติว่าแบนด์วิทด์ของการส่งสำหรับ x(t) และ g(t) เป็น R Hz และ Rp Hz ตามลำดับ การคูณในทางเวลาสามารถเปลี่ยนเป็นในทางความถี่ตัวนี้

$$x(t)g(t) \leftrightarrow x(\omega)g(\omega)$$

ดังนั้นถ้าสัญญาณมีแบนด์วิทด์เคบๆ เมื่อเทียบกับสัญญาณที่ถูกกระจายแล้ว ผลของการคูณหกสัญญาณ x(t)g(t) เราสามารถจะประมาณแบนด์วิดท์ว่าเท่ากับแบนด์วิดท์ของสัญญาณที่กระจายแล้วและที่ตัวดีมอดูเลต(demodulator) สัญญาณที่รับได้จะถูกคูณด้วยแบบจำลองของสัญญาณรหัส ที่มีการซิงโครไนซ์ ซึ่งจะทำให้มีการรวมสัญญาณที่กระจายกันอยู่ วงจรกรองความถี่ที่มีแบนด์วิทด์ R ก็จะกำจัดความถี่ที่สูงกว่า R ออกไป ถ้ามีสัญญาณที่ไม่ต้องการปรากฏที่เครื่องรับ การคูณด้วย g(t) จะเป็นการกระจายสัญญาณที่ไม่ต้องการออกไป และในทำนองเดียวกันการคูณด้วย g(t) ที่เครื่องส่งก็เป็นการกระจายสัญญาณข้อมูลข่าวสารเช่นกัน พิจารณาผลของสัญญาณรบกวนที่พยายามแทรกตัวเข้ามาอยู่ในแบนด์วิดท์ของสัญญาณข้อมูลข่าวสาร การคูณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

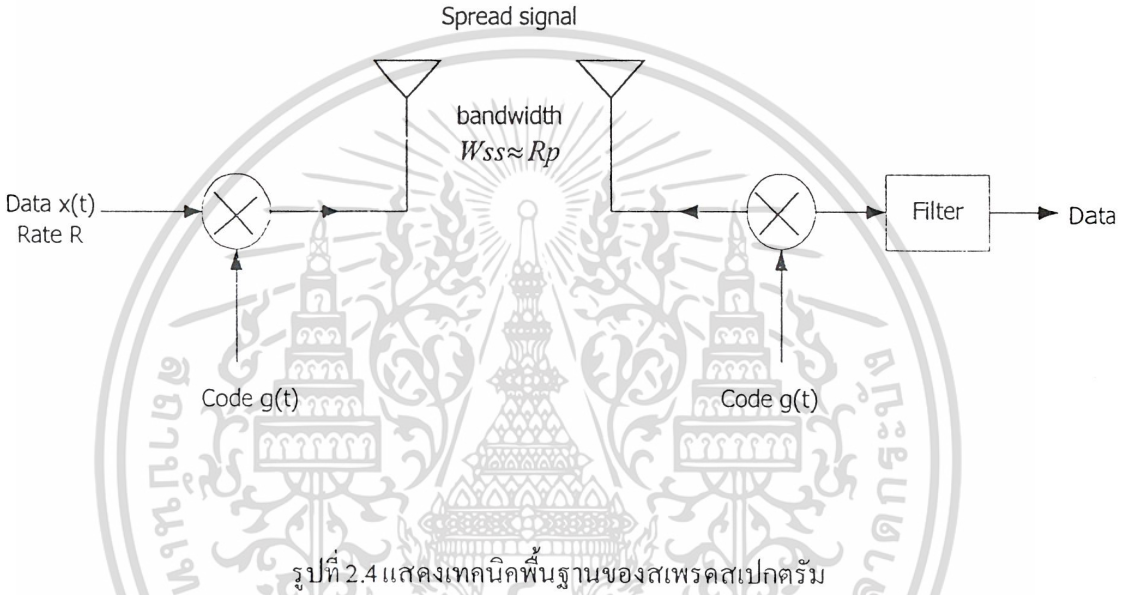
สัญญาณที่ได้รับกับสัญญาณรหัสจะทำให้สัญญาณรบกวนถูกกระจายไปที่แบนด์วิดท์ของสัญญาณที่ถูกกระจาย

สาระสำคัญของความสามารถในการกำจัดการแทรกสอดของสัญญาณ อื่นๆมีดังนี้

1.การคูณโดยสัญญาณรหัสครั้งแรก จะเป็นการกระจายแบนด์วิทด์ของสัญญาณ

2.การคูณโดยสัญญาณรหัสครั้งที่สอง และตามด้วยวงจรกรองความถี่ จะทำให้ได้สัญญาณข่าวสารกลับมา

3.สัญญาณข่าวสารจะได้โดยการคูณครั้งที่สอง แต่สัญญาณแทรกสอดจะได้โดยการคูณครั้งแรก




รูปที่ 2.4 แสดงเทคนิคพื้นฐานของสเพรดสเปกตรัม

**2.7 รูปแบบของเทคนิคสเพรดสเปกตรัม(A Catalog of Spreading Techniques)**

จุดเด่นของเทคนิคสเพรดสเปกตรัมคือ สัญญาณข่าวสารจะครอบคลุมขนาดและตำแหน่งของข่าวสารจำนวนมากๆ สำหรับแบนด์วิทด์ของสัญญาณ W และช่วงเวลา T กลุ่มของสัญญาณสามารถประมาณได้เท่ากับ 2WT เราสามารถเพิ่ม W โดยการกระจายสเปกตรัม หรือเพิ่ม T โดยการขยายเวลาหรือการกระโดดของเวลา (time hopping) สเปกตรัมของสัญญาณจะมีการกระจายในทางความ โดยที่สัญญาณข้อมูลข่าวสารจะมีช่วงเวลาของการส่งมากกว่าการมอดูเลตธรรมดา ซึ่งข่าวสารจะถูกส่งตามสัญญาณรหัส สามารถกล่าวได้ว่าสำหรับการกระโดดของเวลา สัญญาณจะกระจายในทางเวลา ซึ่งทั้งสองกรณีทั้งการกระจายทางความถี่และการกระจายทางเวลานั้น สัญญาณรบกวนจะไม่สามารถทราบกลุ่มสัญญาณข่าวสารที่ใช้อยู่ในขณะนั้นได้

ระบบสเพรดสเปกตรัมแบบไดเรคซีเควนซ์(Direct Sequence) และแบบฟรีเควนซีฮอปปิง(Frequency Hopping) จะเป็นแบบที่ใช้กันอยู่ทั่วไป สำหรับแบบการกระโดดทางเวลา(Time Hopping) มีลักษณะเหมือนกับการกระจายของสเปกตรัมที่ว่าตำแหน่งของข่าวสารจะถูกซ่อนอยู่ นอกจากนี้ยังมีแบบไฮบริดจ์(Hybrid) ซึ่งเป็น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การรวมเทคนิคต่างๆ เข้าด้วยกัน เช่น DS/FH,FH/TH,DS/FH/TH ในที่นี้จะทำการพิจารณาแบบ Direct Sequence

**2.8 ลำดับของสัญญาณรบกวนเทียม(Pseudonoise Sequence)**

วิธีของสเพรดสเปกตรัมที่เรียกว่า transmitted reference (TR) สามารถที่จะใช้สัญญาณรหัสที่เป็นแบบสุ่มเพื่อใช้ในการกระจายและรวมสัญญาณ เพราะว่าสัญญาณรหัสและสัญญาณข้อมูลที่ถูกมอดูเลตแล้วจะถูกส่งไปบนสเปกตรัมที่แตกต่างกันสำหรับ วิธี stored reference (SR) จะไม่สามารถใช้สัญญาณรหัสที่มีการสุ่มได้ เพราะว่าสัญญาณรหัส นี้จะต้องถูกเก็บและถูกสร้างที่เครื่องรับ ดังนั้นระบบ SR สัญญาณซูโดนอยส์ (pseudonoise) หรือสัญญาณสุ่มเทียม(pseudorandom) จะต้องถูกนำมาใช้ สัญญาณสุ่มเทียมจะแตกต่างจากสัญญาณแรนดอม(random signal) ตรงที่ว่าสัญญาณแรนดอมจะไม่สามารถที่จะทำนายได้และมีการเปลี่ยนแปลงอยู่เสมอ แต่สัญญาณสุ่มเทียมไม่มีการสุ่มทั้งหมด สามารถที่จะกำหนดคาบเวลาของสัญญาณได้ แต่อย่างไรก็ตาม ถึงแม้ว่าสัญญาณจะถูกกำหนดไว้แต่สัญญาณจะไม่ปรากฏแก่ผู้ฟังที่ไม่มีสิทธิเป็นสัญญาณแบบสุ่มอย่างแท้จริง

**2.9 คุณสมบัติแรนดอมเนส(Randomness)**

คุณสมบัติของแรนดอมเนส (randomness) เป็นสัญญาณสุ่มเทียม (pseudorandom) ให้มีลักษณะเหมือนการสุ่มจริงจะต้องมีคุณสมบัติ 3 ข้อที่สามารถตรวจสอบลำดับของดิจิตได้ดังนี้ คือ

1.บาลานซ์พรอพเพอร์ตี(Balance property) คือ ในแต่ละคาบเวลาลำดับของดิจิต จำนวนดิจิต 0 จะต้องน้อยกว่าดิจิต 1 เป็นจำนวน 1 ดิจิต

2.รันพรอพเพอร์ตี(Run property) การรัน หมายถึง ลำดับของดิจิตที่เป็นเลขดิจิตเดียวกัน ,การปรากฏของเลขดิจิตตัวอื่น จะหมายถึงการเริ่มรันใหม่ ,ความยาวของรัน คือ จำนวนของดิจิตที่อยู่ในรัน ในระหว่างการรันที่เป็น 0 และการรันที่เป็น 1 ในแต่ละคาบจะต้องมี 1 ใน 2 รันของรันแต่ละชนิดของการรัน จะมีความยาวเป็น 1, ถ้ามี 1 ใน 4 จะมีความยาวเป็น 2 ,ถ้ามี 1 ใน 8 จะมีความยาวเป็น 3

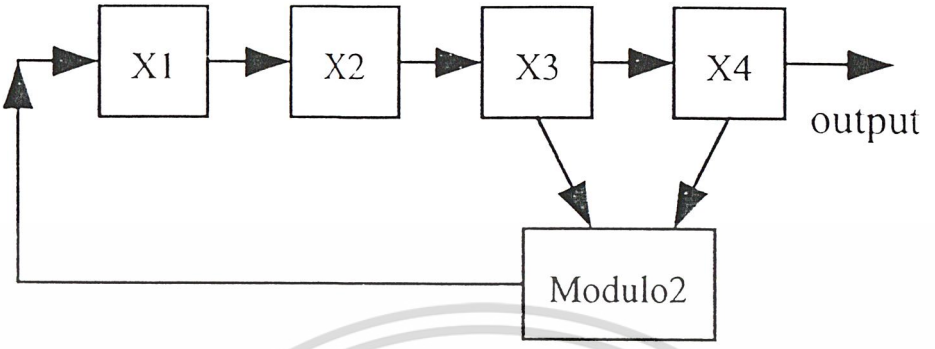
3.คอรีเลชันพรอพเพอร์ตี(Correlation property) หมายถึงในแต่ละคาบของลำดับดิจิต ถ้านำมาเปรียบเทียบกับคาบของลำดับของดิจิตที่มีการเลื่อนเป็นวงกลมรอบตัวมันแล้ว ในกรณีที่ดีที่สุดจำนวนของ อกรีเมนต์ (agreement) จะแตกต่างจากจำนวนของดิสอกรีเมนต์(disagreement) จะต้องไม่มากกว่า 1 ซึ่งต่อไปก็จะแสดงให้เห็นถึงว่าลำดับของ PN จะถูกสร้างโดยคุณสมบัติเหล่านี้

**2.10 ลำดับของชิฟรีจิสเตอร์ (shift register)**

พิจารณาชิฟรีจิสเตอร์ที่มีการป้อนกลับ(feedback) อย่างเป็นเชิงเส้นดังรูปที่ 2.5 ซึ่งเป็นชิฟรีจิสเตอร์ 4 สเตต (state)โดยจะทำหน้าที่เป็นตัวเก็บข้อมูลและเลื่อนข้อมูล ส่วนโมดูโล-2 (modulo-2) จะทำหน้าที่บวกแล้วป้อนกลับไปเป็นอินพุตของชิฟรีจิสเตอร์ การทำงานของชิฟรีจิสเตอร์จะถูกควบคุมโดยสัญญาณนาฬิกา (clock signal) โดยจะทำให้มีการเลื่อนข้อมูลจากซ้ายไปขวา โดยข้อมูลที่อยู่สเตต 3 จะถูกส่งไปให้ที่สเตต 4 แล้วข้อมูล

เอกสารนี้มีลิขสิทธิ์สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในสเตต 3 และสเตต 4 จะถูกนำมาบวกกันโดยใช้ โมดูโล-2 แล้วก็ถูกป้อนกลับไปที่สเตต 1 เอาท์พุตก็คือการดึงข้อมูลออกมาจากสเตต 4




รูปที่ 2.5 แสดงตัวอย่างของชิฟรีจิสเตอร์ (shift register) ที่มีการป้อนกลับ ( feedback) แบบเชิงเส้น

โดยสมมติให้ขั้นแรกสเตต 1 มีค่าเป็น 1 ส่วนสเตตอื่น ๆ เป็น 0 หมดดังนั้นค่าภายในรีจิสเตอร์ (register) จะมีค่าเป็น 1 0 0 0 โดยดูจากรูปแล้วเราจะได้เอาท์พุตของชิฟรีจิสเตอร์ในแต่ละสเตต จะมีค่าเป็นดังนี้

1000 0100 0010 1001 1100 0110 1011 0101

1010 1101 1110 1111 0111 00011 0001 1000

โดยค่าในชิฟรีจิสเตอร์ ในสเตตสุดท้ายจะมีค่าเป็น 1000 ซึ่งเป็นค่าเดียวกันกับในสเตตแรก ซึ่งจะเห็นว่ารีจิสเตอร์ จะซ้ำค่าเดิมโดยใช้สัญญาณนาฬิกา 15 ลูก เอาท์พุตที่ดึงออกจากสเตต 4 ในแต่ละสัญญาณนาฬิกาจะได้ดังนี้

0 0 0 1 0 0 1 1 0 1 0 1 1 1 1

โดยค่าที่อยู่ซ้ายสุดจะเป็นบิตแรกที่ได้ออกมา ต่อไปก็จะทำการตรวจสอบคุณสมบัติแรนดอมเนสตามที่ได้กล่าวมาแล้ว โดยคุณสมบัติแรกคือบาลานซ์ โดยพิจารณาเอาท์พุตเห็นว่าที่ดิจิต 0 อยู่ 7 ตัวและมีดิจิต 1 อยู่ 8 ตัว ซึ่งสอดคล้องตามคุณสมบัติ

เมื่อพิจารณาคุณสมบัติรัน ที่ดิจิต 0 จากเอาท์พุตจะเห็นว่ามีจำนวนรันอยู่ 4 ครั้ง โดย 1 ใน 2 มีความยาวเป็น 1 และ1 ใน 4 มีความยาวเป็น 2 ซึ่งสอดคล้องตามคุณสมบัติ และรันที่มีดิจิตเป็น 1 ก็มีลักษณะเช่นเดียวกัน ชิฟรีจิสเตอร์จะให้ค่าดิจิตออกมาขึ้นกับจำนวนของรีจิสเตอร์เงื่อนไขเริ่มแรก ค่าลำดับเอาท์พุตนั้นสามารถแบ่งเป็นความยาวสูงสุด (maximal length) และความยาวไม่สูงสุด (nonmaximal length) โดยที่ความยาวสูงสุดจะพิจารณาได้จากจำนวนของชิฟรีจิสเตอร์ ดังนั้นการซ้ำของเอาท์พุตจะต้องใช้จำนวนสัญญาณนาฬิกา เป็นจำนวน $p$ โดย

$$p = 2^n - 1$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ซึ่งจากตัวอย่างก็เป็นลำดับความยาวสูงสุด(maximal length sequence) ถ้าการซ้ำกันของเอาท์พุตมีเกิดขึ้นน้อยกว่า $2^n - 1$ จะถือว่าเป็นความยาวไม่สูงสุด ส่วนคุณสมบัติของคอร์รีเลชั่นจะแสดงให้เห็นในหัวข้อต่อไป

**2.11 ฟังก์ชันพีเอ็นออโตคอร์รีเลชัน (PN Autocorrelation)**

ฟังก์ชันพีเอ็นออโตคอร์รีเลชัน $Rx(\tau)$ ของรูปคลื่น X(t) ที่มีคาบเวลา To จะแสดงได้ดังนี้

$$Rx(\tau) = \frac{1}{K}\left(\frac{1}{T_0}\right)\int_{-T_0/2}^{T_0/2} X(t)X(t-\tau)dt \qquad -\infty\langle\tau\langle\infty \tag{1}$$

โดยที่

$$K = \frac{1}{T_0}\int_{-T_0/2}^{T_0/2} X^2(t)dt \tag{2}$$

โดยที่ X(t) แสดง รูปคลื่นพีเอ็นโค๊ด (PN code) ซึ่งเราจะเรียกค่าแต่ละพัลส์ของพีเอ็นโค๊ด ว่าชิฟ์ (chip) โดยจะการนอมอลไลซ์(normalize) ฟังก์ชันออโตคอร์รีเลชันด้วย p ซึ่งพิจารณาใน 1 คาบของพีเอ็น

$$Rx(\tau) = \frac{1}{p}\text{(จำนานของอกรีเมนต์-จำนวนของคิสอกรีเมนต์)} \tag{3}$$

นอมอลไลซ์ฟังก์ชันออโตคอร์รีเลชันที่เป็นความยาวสูงสุด $Rx(\tau)$ จะแสดงได้ดังรูปที่ 2.6 ซึ่งจากรูปที่ 2.6 จะเห็นได้ว่า $Rx(\tau)$ =i เมื่อมีการตรงกันของแบบจำลองสัญญาณรหัส อย่างไรก็ตามสำหรับการเลื่อนที่เป็นวงกลม ระหว่าง X(t) และX(t- $\tau$ ) เมื่อ $1 \le \tau \le$ p ค่าของออโตคอร์รีเลชัน จะมีค่าเป็น –1/p สำหรับค่า p ที่มีค่ามากๆจะเสมือนกับว่าไม่มีการคอร์รีเลทสำหรับการเลื่อน โดยพิจารณาคุณสมบัติข้อที่ 3 โดยการพิจารณาเอาต์พุตของชิฟรีจิสเตอร์ โดยให้แถวแรกเป็นเอาท์พุตของรีจิสเตอร์ และ แถวล่างเป็นเอาท์พุตที่สุดท้ายเลื่อนไปทางซ้าย

0 0 0 1 0 0 1 1 0 1 0 1 1 1 1

1 0 0 0 1 0 0 1 1 0 1 0 1 0 1 1 1

---

d a a d d a d a d d d d a a a

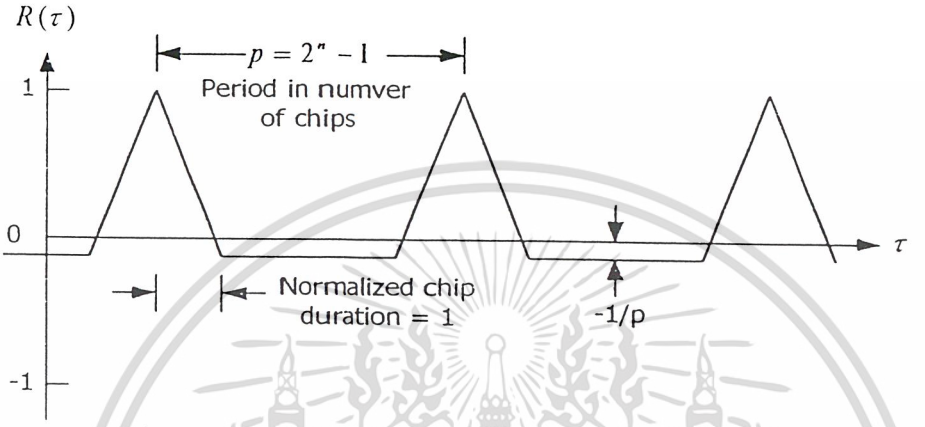
---

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยให้อกรี(agree)แทนด้วย a และคิสอกรี(disagree)แทนด้วย d จากสมการที่ (3) ค่าของออโตคอร์รีเลชันของ 1 ชิฟ จะได้

$$R(\tau - 1) = \frac{1}{15}(7 - 8) = -\frac{1}{15}$$

ซึ่งจะเห็นได้ว่า ถ้าไม่มีการซิงโครไนซ์แล้วค่าของออโตคอร์รีเลชันจะมีค่าเป็น -1/p ซึ่งสอดคล้องกับคุณสมบัติข้อที่ 3




รูปที่ 2.6 แสดงฟังก์ชันของพีเอ็นออโตคอร์รีเลชัน (PN Autocorrelation)

**2.12 ระบบสเพรดสเปกตรัมแบบไดเรคซีเควนซ์ (Direct Sequence)**

ตัวมอดูเลตแบบไดเรคซีเควนซ์ (Direct Sequence:DS) "Direct Sequence" เป็นชื่อที่ใช้เรียกเทคนิคการแผ่กระจายสเปกตรัม โดยที่คลื่นพาหะ (carrier) จะทำการมอดูเลตครั้งแรกกับสัญญาณข้อมูลข่าวสาร x(t) หลังจากนั้นจะถูกมอดูเลตอีกครั้งกับสัญญาณรหัสที่มีความเร็วสูง (wide band) g(t) พิจารณาสัญญาณคลื่นพาหะ ที่มอดูเลตกับสัญญาณข้อมูลข่าวสารแล้วมีเอนเวลโลป(envelope)คงที่ มีกำลัง P ความถี่เชิงมุมเป็น $\omega_0$ และการมอดูเลตทางเฟสของสัญญาณข้อมูลข่าวสารเป็น $\theta_x(t)$ จะได้เป็น

$$S_x(t) = \sqrt{2P}\cos[\omega_0 t + \theta_x(t)] \qquad (1)$$

ยิ่งไปกว่านั้นการมอดูเลตแบบเอนเวลโลปที่คงที่โดยสัญญาณรหัส g(t) คลื่นที่ส่งไปจะเป็น

$$S(t) = \sqrt{2P}\cos[\omega_0 t + \theta_x(t) + \theta_g(t)] \qquad (2)$$

ซึ่งเฟสของสัญญาณคลื่นพาหะจะถูกมองว่ามี 2 องค์ประกอบ คือ $\theta_x(t)$ ซึ่งเป็นสัญญาณข้อมูลข่าวสาร และ $\theta_g(t)$ เป็นของสัญญาณรหัส

ตามที่ได้ทำการกำหนดสัญญาณข้อมูลข่าวสาร จะสามารถแสดงสมการที่เหมือนกับสมการที่ (1) ในรูปการคูณคลื่นพาหะด้วย x(t) และขบวนสัญญาณพัลส์ที่มีขั้วสลับกันซึ่งมีค่าเป็น +1 หรือ –1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$S_x = \sqrt{2P}x(t)\cos\omega_0 t$$

เช่นเดียวกับสัญญาณข้อมูลข่าวสาร การมอดูเลตกับสัญญาณรหัสมักจะเป็น BPSK (Binary Phase Shift Keying) และ g(t) เป็นขบวนสัญญาณพัลส์ที่มีขั้วสลับกัน โดยมีค่าเป็น +1 หรือ –1 จึงสามารเขียนสมการ (2)ได้เป็น

$$S(t) = \sqrt{2P}x(t)g(t)\cos\omega_0 t$$

ตัวมอดูเลตจะใช้หลักการคังสมการข้างต้นนี้ ดังได้แสดงในรูป 2.7a ขบวนพัลส์ของสัญญาณข้อมูลข่าวสารและขบวนพัลส์ของสัญญาณรหัสจะถูกนำมาคูณกันก่อน และหลังจากนั้น x(t)g(t) จะไปมอดูเลตกับสัญญาณพาหะ ถ้าให้การกำหนดค่าของพัลส์กับค่าสัญญาณไบนารี (binary) สัมพันธ์กันดังนี้คือ

| Pulse value | Binary value |
|---|---|
| 1 | 0 |
| -1 | 1 |

หลังจากนั้นขั้นตอนการมอดูเลตแบบ BPSK สามารถทำได้โดยการบวกแบบโมดูโล-2 ขบวนลำดับสัญญาณข้อมูลแบบไบนารีกับขบวนสัญญาณรหัสที่เป็นไบนารีเช่นกัน

การดีมอดูเลตสัญญาณดีเอส/บีพีเอสเค (DS/BPSK : Direct Sequence /Binary Phase Shift Keying) จะทำได้โดยการคอร์รีเลทหรือการมอดูเลตสัญญาณที่ได้รับกับรูปแบบของสัญญาณรหัสที่ซิงโครไนซ์กันอีกครั้ง คือ $g(t-\hat{T}_d)$ ดังแสดงในรูปที่ 2.7b ซึ่ง $\hat{T}_d$ เป็นค่าประมาณการล่าช้าของเครื่องรับ $T_d$ จากเครื่องส่งถึงเครื่องรับในกรณีที่ไม่มีสัญญาณรบกวนและสัญญาณแทรกสอดอื่นๆ สัญญาณที่ได้จากการคอร์รีเลทสามารถเขียนได้เป็น

$$A\sqrt{2P}x(t-T_d)g(t-T_d)g(t-\hat{T}_d)\cos[\omega_0(t-T_d)+\phi]$$

ซึ่งค่าคงที่ A เป็นอัตราขยายของระบบ และ $\phi$ เป็นมุมเฟสที่มีความไม่แน่นอนอยู่ในช่วง $(0,2\pi)$ เนื่องจาก g(t)=$\pm$ 1 ผลคูณ $g(t-T_d)g(t-\hat{T}_d)$ จะเป็น 1 ถ้า $T_d=\hat{T}_d$ นั่นแสดงว่า ถ้าสัญญาณรหัสที่มีเครื่องรับซิงโครไนซ์กับสัญญาณรหัสที่เครื่องส่งจริง เมื่อเกิดการซิงโครไนซ์กันแล้วสัญญาณที่ได้จากการคอร์รีเลทโดยเครื่องรับเป็นการกระจายสัญญาณข้อมูลข่าวสารที่ผ่านการมอดูเลตแล้ว(ยกเว้นสำหรับมุมเฟส $\phi$ และช่วงเวลาล่าช้า $T_d$ ) ตัวคอร์รีเลทที่ทำการกระจายสัญญาณ นั้นจะถูกดำเนินการโดยตัวดีมอดูเลตที่มีความสัมพันธ์สอดคล้องกันสำหรับการกู้สัญญาณข้อมูลข่าวสารกลับมา

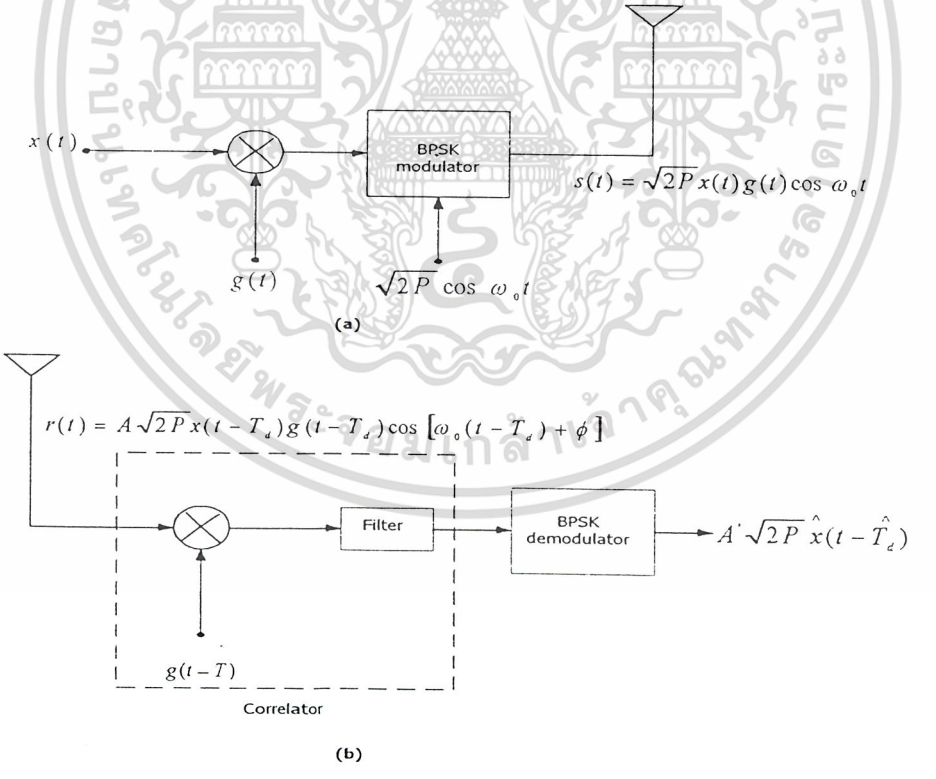
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หลังจากนั้นขั้นตอนการมอดูเลตแบบ BPSK สามารถทำได้โดยการบวกแบบโมดูโล-2 ขบวนลำดับสัญญาณข้อมูลแบบไบนารีกับขบวนสัญญาณรหัสที่เป็นไบนารีเช่นกัน

การคีมอดูเลตสัญญาณคีเอส/บีพีเอสเค (DS/BPSK : Direct Sequence /Binary Phase Shift Keying) จะทำได้โดยการคอร์รีเลทหรือการมอดูเลตสัญญาณที่ได้รับกับรูปแบบของสัญญาณรหัสที่ซิงโครไนซ์กันอีกครั้ง คือ $g(t-\hat{T}_d)$ ดังแสดงในรูปที่ 2.7b ซึ่ง $\hat{T}_d$ เป็นค่าประมาณการล่าช้าของเครื่องรับ $T_d$ จากเครื่องส่งถึงเครื่องรับในกรณีที่ไม่มีสัญญาณรบกวนและสัญญาณแทรกสอดอื่นๆ สัญญาณที่ได้จากการคอร์รีเลทสามารถเขียนได้เป็น

$$A\sqrt{2P}x(t-T_d)g(t-T_d)g(t-\hat{T}_d)\cos[\omega_0(t-T_d)+\phi]$$

ซึ่งค่าคงที่ A เป็นอัตราขยายของระบบ และ $\phi$ เป็นมุมเฟสที่มีความไม่แน่นอนอยู่ในช่วง $(0,2\pi)$ เนื่องจาก g(t)=$\pm$ 1 ผลคูณ $g(t-T_d)g(t-\hat{T}_d)$ จะเป็น 1 ถ้า $T_d=\hat{T}_d$ นั่นแสดงว่า ถ้าสัญญาณรหัสที่มีเครื่องรับซิงโครไนซ์กับสัญญาณรหัสที่เครื่องส่งจริง เมื่อเกิดการซิงโครไนซ์กันแล้วสัญญาณที่ได้จากการคอร์รีเลทโดยเครื่องรับเป็นการกระจายสัญญาณข้อมูลข่าวสารที่ผ่านการมอดูเลตแล้ว(ยกเว้นสำหรับมุมเฟส $\phi$ และช่วงเวลาล่าช้า $T_d$ ) ตัวคอร์รีเลทที่ทำการกระจายสัญญาณ นั้นจะถูกดำเนินการโดยตัวคีมอดูเลตที่มีความสัมพันธ์สอดคล้องกันสำหรับการกู้สัญญาณข้อมูลข่าวสารกลับมา




รูปที่ 2.7 แสดงระบบสเพรดสเปกตรัมแบบไดเรคซีเควนซ์(Direct Sequence)

a) แสดง direct sequence ที่มีการมอดูเลตแบบ BPSK อย่างง่าย

b) แสดงเครื่องรับ direct sequnce ที่มีการ มอดูเลตแบบ BPSK

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**2.13 การโมดูเลตสัญญาณดิจิตอล**

การส่งสัญญาณดิจิตอล เช่น สัญญาณ PCM โดยคลื่นวิทยุจำเป็นต้องเปลี่ยนสัญญาณดิจิตอลไปเป็นสัญญาณในย่านความถี่วิทยุ เทคนิคในการโมดูเลตสัญญาณดิจิตอลนี้มี 3 แบบคือ

1.Amplitude Shift Keying (ASK)

2.Frequency Shift Keying (FSK)

3.Phase Shift Keying (PSK)

คลื่นพาหะในย่านความถีวิทยุ สามารถกำหนดได้โดย

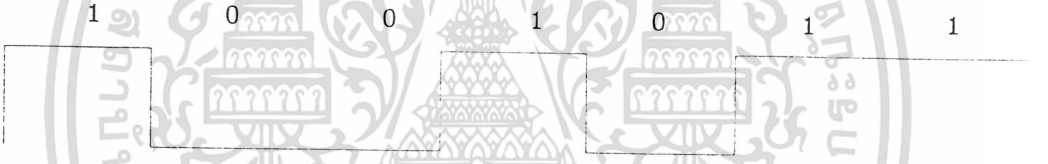
$$\text{carrier} = A\cos(2\pi f_c t + \sigma)$$

$\sigma$ = initial phase

ในที่นี้ A : แอมปลิจูดของคลื่นพาหะ

$f_c$ : ความถี่คลื่นพาหะ

สัญญาณดิจิตอลเบสแบนด์เป็นคลื่นรูปสี่เหลี่ยมแสดงรหัสไบนารี่ 1 และ 0 ในการโมดูเลตสัญญาณดิจิตอลนี้หนึ่งในสามพารามิเตอร์คือ แอมปลิจูด ความถี่ หรือเฟสของคลื่นพาหะจะเปลี่ยนไปตามสถานะ 1 หรือ 0 ของสัญญาณเบสแบนด์




รูปที่ 2.9 แสดงสัญญาณเบสแบนด์ดิจิตอล

| การโมดูเลตแบบดิจิตอล | การโมดูเลตแบบอนาลอก |
|---|---|
| (ASK)<br>Amplitude Shift Keying | AM |
| (FSK)<br>Frequency Shift Keying | FM |
| (PSK)<br>Phase Shift Keying | PM |

ตารางที่ 2.1 เปรียบเทียบวิธีการโมดูเลตแบบดิจิตอลและอนาลอก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การโมดูเลตทางเฟส .Phase Shift Keying (PSK)

คลื่นที่ถูกโมดูเลตทางเฟสสามารถได้รับโดยการเปลี่ยนเฟสของคลื่นพาหะสัมพันธ์กับสัญญาณเบสแบนด์ และสามารถแสดงได้โดยสมการ

$$P(t) = \cos\left(\omega_c t + \theta + \{S(t)\} * \Delta\phi / 2\right)$$

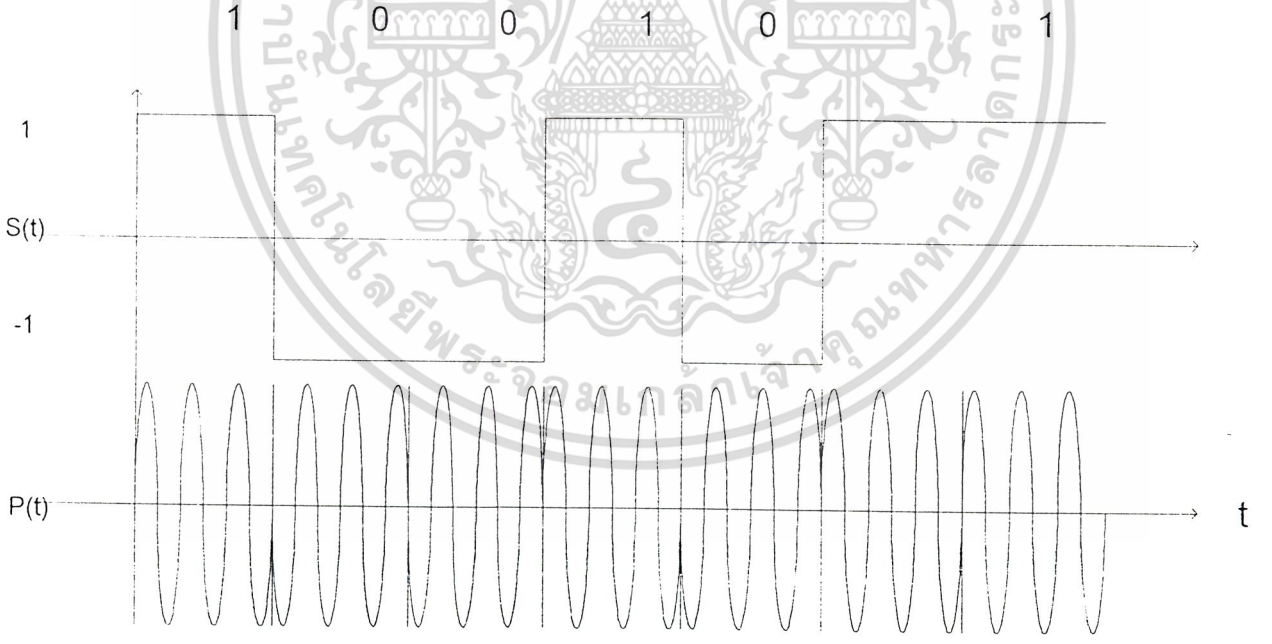
$\Delta\phi$ = $2\pi / n$ ซึ่งเป็นความต่างเฟสระหว่างสัญญาณข้างเคียง

S(t) = จำนวนระดับของสัญญาณเบสแบนด์ $(\pm 1, \pm 3, \ldots)$

n = จำนวนเฟส

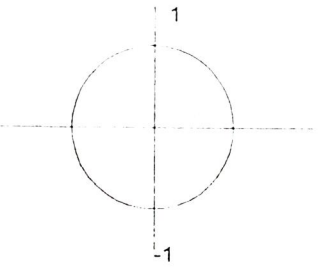
$$P(t) = \cos\left(\omega_c t + \theta + \{S(t)\} * \pi / 2\right)$$

ถ้า n = 2 ดังนั้น $\Delta\phi = 2\pi / 2 = \pi$ เรเดียน ดังนั้นคลื่นที่ถูกโมดูเลตจะเป็นถ้าสัญญาณเบสแบนด์ S(t) เป็นไบโพล่าร์ NRZ ซึ่งมี 2 ค่า ดังแสดงในรูปด้านล่าง รูปคลื่นที่ถูกโมดูเลตจะมีลักษณะเป็น ASK ที่มีการกลับเฟส ในกรณีนี้แต่ละเฟสจะห่างกัน 180 องศา เราเรียกว่า 2 PSK หรือ Binary PSK (BPSK)




รูปที่ 2.10 แสดง 2 PSK

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 2.11 แสดงเฟสไดอะแกรมของ 2 PSK

ถ้า n = 4 ดังนั้น $\Delta\phi = 2\pi/4 = \pi/2$ เรเดียน ดังนั้นคลื่นที่ถูกโมดูเลตจะเป็น

ถ้าสัญญาณเบสแบนด์ S(t) เป็นไบโพล่าร์ NRZ ซึ่งมี 4 ค่า รูปแบบการโมดูเลตหมายความว่าแต่ละเฟสห่างกัน

$$P(t) = \cos\left(\omega_c t + \theta + \{S(t)\}^{*}\pi/4\right)$$

90 องศา เราเรียกว่า 4 PSK หรือ Quadri-PSK (QPSK)

Quadrature Phase Shift Keying (QPSK)

ในวิธีการโมดูเลตแบบ QPSK นั้นสัญญาณ 2 บิตจะถูกส่งไปพร้อม ๆ กัน โดยลำดับสัญญาณดิจิตอลที่ถูกส่งแบ่งเป็น 2 ช่อง (I และ Q) แต่ละช่องประกอบด้วย 2 บิตซึ่งถูกส่งไปพร้อมกัน ในกรณีนี้จะมีการรวมรหัส 4 คู่กันคือ 00,01,10 และ 11 คู่ของรหัสทั้ง 4 คู่นี้จะเปรียบเทียบกับ initial phase ใน Gray code ซึ่งใช้ใน QPSK เฟส 0 แทนรหัส 00 เฟส $\frac{\pi}{2}$ แทนรหัส 01 เฟส $\pi$ แทนรหัส11 และเฟส $\frac{3\pi}{2}$ แทนรหัส 10 จะเห็นว่าเปรียบเทียบรหัสระหว่างสองเฟสข้างเคียง หนึ่งในสองบิตจะเหมือนกันทุก ๆ กรณีดังนั้น โดยการใช้ Gray code จะมีเพียงบิตเดียวที่เกิดผิดพลาด แม้ว่าสัญญาณที่รับได้ถูกดีโมดูเลตผิดไปเป็นเฟสข้างเคียง

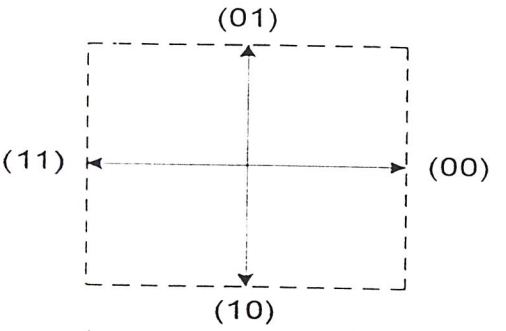
| สัญญาณดิจิตอล | รหัสสัญญาณที่ถูกส่งออกไป |
|---|---|
| 0 0 0 1 1 0 1 1 | 0 0 1 1 |
| | 0 1 0 1 |

รูปที่ 2.12 แสดง รหัส 4 คู่ของสัญญาณ QPSK

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง






รูปที่ 2.13 แสดง Gray Code ที่ใช้ใน QPSK

สมมุติว่าสัญญาณกำหนดโดย

$S(t) = A\cos 2\pi f_c t$ สำหรับรหัส 00

$S(t) = A\cos(2\pi f_c t + \frac{\pi}{2})$

$= -A\sin 2\pi f_c t$ สำหรับรหัส 01

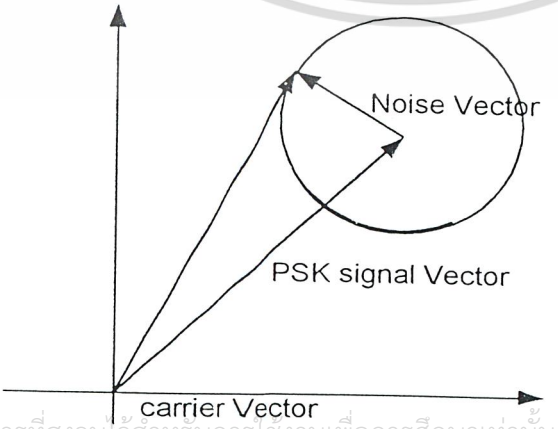
$S(t) = A\cos(2\pi f_c t + \pi)$

$= -A\cos 2\pi f_c t$ สำหรับรหัส 11

$S(t) = A\cos(2\pi f_c t + \frac{3\pi}{2})$

$= -A\sin 2\pi f_c t$ สำหรับรหัส 10

รูปต่อไปนี้เป็นเวคเตอร์ไดอะแกรมของสัญญาณ PSK เมื่อมีเสียงรบกวนเข้ามาทำให้แอมปลิจูดและเฟสเปลี่ยนไปจะเห็นว่าทิศทางของเวคเตอร์เสียงรบกวนเปลี่ยนไปได้ทุกทิศทาง เวคเตอร์เสียงรบกวนที่มีขนาดคงที่และหมุนไปทุกทิศทางเป็นวงกลมนี้เรียกว่า "noise ball" เมื่อเวคเตอร์ผลรวมระหว่าง PSK เวคเตอร์และเวคเตอร์เสียงรบกวนข้าม carrier vector ไปทางใดทางหนึ่ง (ดูรูปประกอบ) เฟสที่ส่งก็จะถูกดีมอดูเลตผิดไปเป็นเฟสข้างเคียง เพราะฉะนั้นเมื่อ noise มีค่ามากการผิดพลาดของบิตก็จะเกิดขึ้น

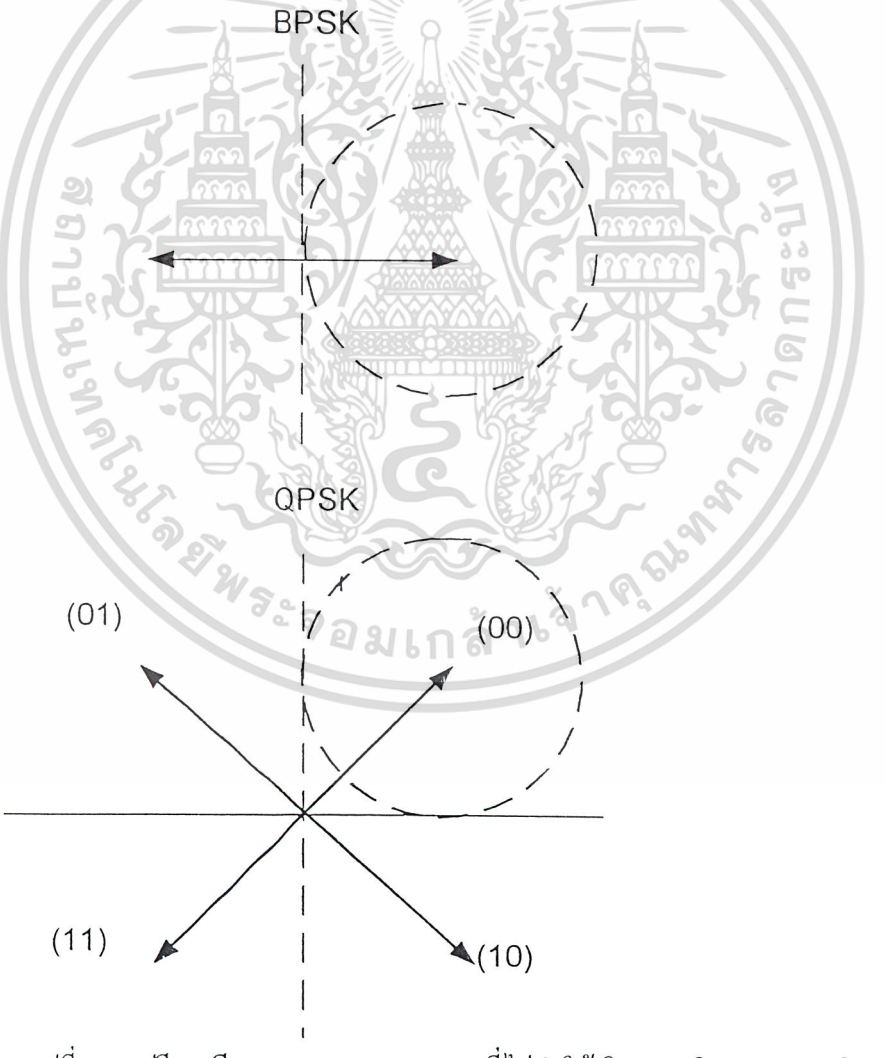



รูปที่ 2.14 แสดง PSK vector และ noise vector

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

50129

ลองเปรียบเทียบขนาดของ noise ball สูงสุดที่ไม่ทำให้เกิด bit error ขึ้นใน BPSK และ QPSK โดยที่ความยาวของเวคเตอร์สัญญาณมีขนาดเท่ากันซึ่งหมายความว่ากำลังส่งสัญญาณทั้ง QPSK และ BPSK มีกำลังส่งเท่ากันเราจะเห็นระยะระหว่าง 2 เวคเตอร์สัญญาณในกรณี QPSK จะสั้นกว่าในกรณี BPSK และช่วงขนาดของ noise ball ที่ไม่ทำให้เกิดการผิดพลาดของบิตในกรณี QPSK จะแคบกว่าดังในรูป ดังนั้นถ้ากำลังในการส่งสัญญาณเท่ากัน และย่านกว้างความถี่เท่ากันอัตราการผิดพลาดของบิตในกรณี QPSK จะสูงกว่ากรณี BPSK แต่จำนวนข้อมูลข่าวสารที่ส่งมากรณี QPSK จะมากเป็น 2 เท่าของ BPSK โดยลักษณะเช่นนี้ถ้าต้องการใช้ย่านความถี่ให้เหมาะสมมากที่สุดจึงควรใช้ QPSK มากกว่า BPSK แต่ถ้าจะให้อัตราการผิดพลาดของบิตเกิดขึ้นเท่ากันก็จำเป็นที่จะต้องให้กำลังในการส่งสัญญาณในกรณี QPSK มากกว่าในกรณี BPSK เพราะฉะนั้น QPSK จึงเหมาะสมสำหรับระบบสื่อสารดาวเทียมซึ่งมีย่านกว้างความถี่จำกัดเข้มงวดกว่าข้อจำกัดทางกำลังในการส่งสัญญาณ




รูปที่ 2.15 เปรียบเทียบขนาดของ Noise ball ที่ไม่ทำให้เกิดความผิดพลาดของบิต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ประสิทธิภาพของแถบความถี่ (BANDWIDTH EFFICIENCY)

ประสิทธิภาพของแถบความถี่ (bandwidth efficiency) หรือความหนาแน่นของข้อมูล มักจะใช้ในการเปรียบเทียบการมอดูเลตแบบดิจิตอล เป็นอัตราส่วนของอัตราเร็วในการส่งกับแบนด์วิธต่ำสุดโดยจะทำการนอมอลไลซ์ (normalized) ที่ 1 Hz ค่าที่ได้นี้จะแสดงจำนวนของข้อมูลบิตที่สามารถเคลื่อนที่ผ่านตัวกลาง โดย

$$BW\ efficiency = \frac{Transmission\quad rate\quad (bps)}{Minimum\quad bandwidth\quad (Hz)}$$

$$= \left(\frac{\left(bits/second\right)}{hertz}\right) = \left(\frac{\left(bit/second\right)}{\left(cycle/second\right)}\right)$$

$$= bits/cycle$$

การหาประสิทธิภาพของแถบความถี่สำหรับการมอดูเลตแบบ BPSK , QPSK < 8-PSK และ 16-QAM จากตารางเป็นการแสดงแถบความถี่ที่น้อยที่สุดที่ใช้ส่งสัญญาณที่มีอัตราส่ง 10 Mbps

| ชนิดแบบการส่งข้อมูล (Modulate Scheme) | แบนด์วิธต่ำที่สุดที่ใช้ (MHz) |
|---|---|
| BPSK | 10 |
| QPSK | 5 |
| 8-PSK | 3.3 |
| 16-QAM | 2.5 |

ตารางที่ 2.2 เปรียบเทียบแบนด์วิธต่ำที่สุดที่ใช้

ดังนั้น ถ้าเปรียบเทียบที่การส่งข้อมูล 10 Mbps

$$\text{BPSK BW efficiency} = \frac{10Mbps}{10MHz} = 1bit/cycle$$

$$\text{QPSK BW efficiency} = \frac{10Mbps}{5MHz} = 2bit/cycle$$

$$\text{8-PSK BW efficiency} = \frac{10Mbps}{3.3MHz} = 3bit/cycle$$

$$\text{16-QAM BW efficiency} = \frac{10Mbps}{2.5MHz} = 4bit/cycle$$

ความน่าจะเป็นของการเกิดข้อผิดพลาด และ อัตราการผิดพลาดในแต่ละบิต(Probability of error and bit error : P(e) and BER)

อัตราการผิดพลาดในแต่ละบิต (BER) เป็นพารามิเตอร์ที่สำคัญในการตรวจสอบระบบ ส่วนความน่าจะเป็นของการเกิดความผิดพลาด (P(e)) เป็นฟังก์ชั่นของอัตราส่วนระหว่างสัญญาณพาห์กับสัญญาณรบกวน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

(Carrier to Noise Power Ratio :C/N) ซึ่งค่าอัตราส่วนระหว่างสัญญาณพาห์กับสัญญาณรบกวน (Carrier to Noise Power Ratio :C/N)เป็นผลมาจาก สัญญาณรบกวนที่เกิดความร้อน (thermal noise)

โดยที่

$$\frac{C}{N} = \frac{C}{KTB}$$

C : พลังงานของสัญญาณคลื่นพาห์ (Carrier power (W))

K : ค่าคงที่ของโบลซ์มาน (Boltzmann's proportionality constant ($1.38X10^{-23}$ J/K))

T : อุณหภูมิ (Temperature (Kelvin))

B : แบนด์วิท (Bandwidth (Hz))

$$\left(\frac{C}{N}\right)_{dB} = 10\log\frac{C}{KTB}$$
$$= 10\log C - 10\log KTB$$

ค่าพลังงานต่อข้อมูลหนึ่งบิต (Energy per bit ) คือการคิดพลังงานต่อหนึ่งบิตของข้อมูล

$$E_b = CT_b(J/bit)$$

โดยที่

$E_b$ : energy of a single bit (J/bit)

$T_b$ : time of a single bit (s)

C : carrier power (W)

จาก

$$T_b = 1/f_b$$
$$\therefore E_b = C \quad (J/bit)$$

ในการทำนอมอลไลซ์ (Normalization) จะทำการคิดที่ B.W. เป็น 1 Hz ดังนั้น

$$N_0 = \frac{N}{B}(W/Hz)$$

$N_0$ : สัญญาณรบกวนที่ทำการนอมอลไลซ์แล้ว (noise power density (W/HZ))

N : พลังงานของสัญญาณรบกวนที่เกิดจากความร้อน (thermal noise power (W))

B : แบนด์วิท (Bandwidth (Hz))

Energy per bit-to-noise power density ($E_b/N$) จะใช้ในการเปรียบเทียบการมอดูเลตแบบดิจิตอล

$$\frac{E_b}{N} = \frac{C/fb}{N/B} = \frac{CB}{Nfb}$$

$$\frac{E_b}{N} = \frac{C}{N}\frac{B}{fb}$$

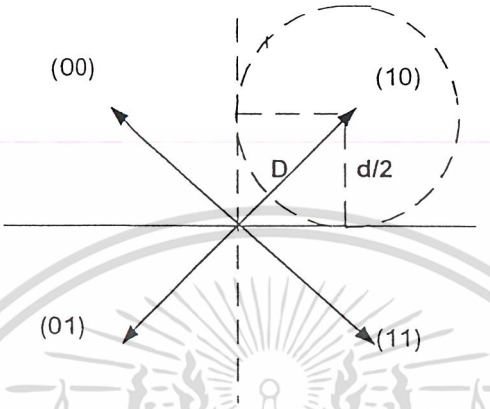
โดยที่ Eb/N : Energy per bit to noise density ratio

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

C/N : Carrier to noise power ratio

B/fb : Noise bandwidth to bit rate ratio

ค่าความผิดพลาดของการส่งแบบ QPSK (QPSK Error Performance)




รูปที่ 2.16 แสดง QPSK error region

จากรูปแสดงการเกิดข้อผิดพลาดของสัญญาณ QPSK

$$\sin\theta = \sin(\frac{d}{2}D) = \sin(360°/2M)$$

โดยที่ d : ระยะที่ผิดพลาด (error distance)

D : peak signal amplitude

M : จำนวนเฟส

ดังนั้นในการส่งสัญญาณด้วย QPSK ค่าเฟสสูงสุดในการเลื่อนที่ไม่เกิดข้อผิดพลาดจะได้

$$\sin\theta = 360°/2(4) = \pm 45°$$

ถ้าเป็น 8-PSK

$$\sin\theta = 360°/2(8) = \pm 22.5°$$

และถ้าเป็น 16-PSK

$$\sin\theta = 360°/2(16) = \pm 11.25°$$

**2.14 พื้นฐานการแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาลอก(D/A)**

หน้าที่ของวงจรแปลง D/A คือ รับกลุ่มของบิทจากคอมพิวเตอร์หรืออุปกรณ์ดิจิตอลอื่นๆและแปลงรูปแบบบิทนั้นไปเป็นระดับแรงดันอนาลอก โดยทั่วไปรูปแบบบิทมักจะเป็นไบนารี่(binary) เอาต์พุตของ D/A จะมีระดับที่แตกต่างกันสำหรับแต่ละดิจิตอลอินพุตที่จ่ายให้ นอกจากนี้เอาต์พุตของ D/Aอาจเป็นแรงดันหรือกระแสก็ได้ขึ้นอยู่กับโครงสร้างภายในของอุปกรณ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ความละเอียดและเอาต์พุตเต็มสเกลของ(D/A)

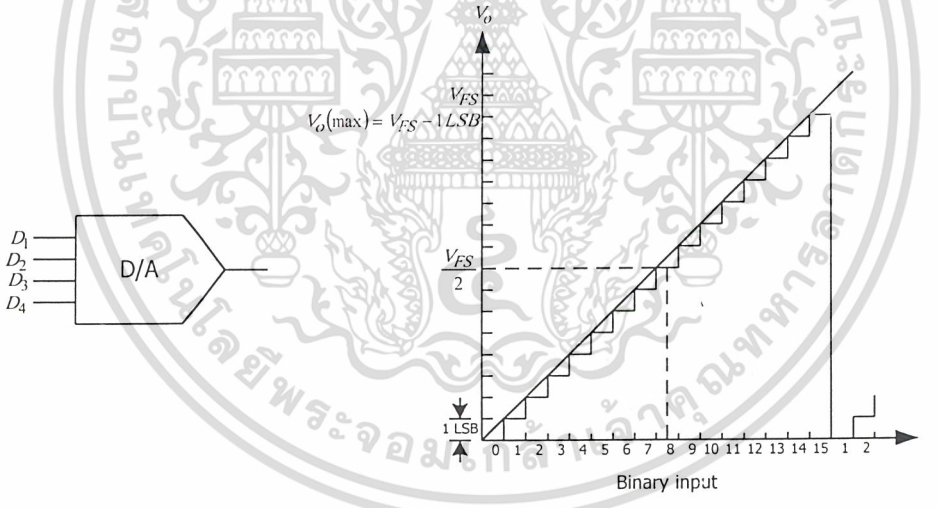
จำนวนของระดับเอาต์พุตที่แตกต่างกันที่สามารถผลิตได้โดย D/A นั้นจะสัมพันธ์กับจำนวนของอินพุตบิทที่วงจรมี โดยจะมีความสัมพันธ์ดังต่อไปนี้

$$N = 2^n \qquad (1)$$

เมื่อ N เป็นจำนวนของระดับเอาต์พุตที่แตกต่างกันที่ D/A สามารถผลิตได้ และ n คือจำนวนของอินพุตบิทที่วงจรมี ซึ่งค่า N ของ D/A ถูกใช้เพื่อกำหนดความละเอียด(resolution)ของ D/A ตัวนั้นๆ อินพุตของ D/A ที่มาก(n มาก) จะให้ความละเอียดที่สูง ความละเอียดอาจถูกแสดงได้เป็น1ใน Nส่วน (ค่าNถูกนิยามไว้ดังสมการที่1) ยกตัวอย่างเช่น D/A 10 บิท ก็จะมีความละเอียด 1ใน1024ส่วน หรือความละเอียดยังอาจถูกแสดงได้เป็นค่าเปอร์เซ็นอีกด้วยดังในสมการต่อไปนี้ ซึ่งเป็นความสัมพันธ์ระหว่างความละเอียดและจำนวนอินพุตของ D/A ที่มี

$$\text{Percent resolution} = \frac{1}{2^n} \times 100\% \qquad (2)$$

ใช้สมการที่(2) กับ D/A 10บิทที่ได้ยกตัวอย่างไปแล้วข้างต้นจะพบว่า D/Aนี้มีความละเอียด 0.098 % ซึ่งหมายถึงการเปลี่ยนแปลงน้อยที่สุด ที่เป็นไปได้ของเอาต์พุตD/A ที่สามารถเกิดขึ้นได้โดยการเปลี่ยนแปลงของอินพุตไบนารี่ จะเป็น 0.098 % ของค่าเอาต์พุตเต็มสเกล(scale)




รูปที่ 2.16 4 บิท D/A converter (ก)สัญลักษณ์ทั่วไปของ D/A (ข) transfer charateristic

เอาต์พุตเต็มสเกล(scale) คือแรงดัน( $V_{FS}$ )หรือกระแส( $I_{FS}$ )ซึ่งถูกผลิตขึ้นที่เอาต์พุตของ D/A ที่ถูกสมมติว่ามีความละเอียดเป็นอนันต์(จำนวนอินพุทเป็นอนันต์) โดยทุกๆอินพุตของ D/A ถูกจ่ายด้วยไบนารี่ "1" เนื่องจาก D/A ตามความเป็นจริงแล้วไม่สามารถมีจำนวนอินพุตเป็นอนันต์ได้ เอาต์พุตของมันจึงมีค่าไม่ถึงระดับเต็มสเกล(scale)ของเอาต์พุตทางอุดมคติแน่นอน ยกตัวอย่าง พิจารณา 4 บิท D/A ในรูปที่ 2.16 (ข) ถ้าเราจ่ายรหัสไบนารี่4บิทอย่างเป็นลำดับ(เริ่มต้นที่ทุกบิทเป็นศูนย์)จากน้อยไปหามากให้กับอินพุทจะได้กราฟถ่ายโอน( transfer curve )ที่เป็นขั้นบันไดดังรูป2.16 (ก) สังเกตว่ามีระดับแรงดันเอาต์พุต 16 ระดับหรือ 16 ขั้นที่แตกต่างกัน เพื่อให้มีเอาต์พุตที่เต็มสเกล เราต้องการลำดับขั้นถึง 17 ขั้น(ซึ่งไม่ใช่ค่าที่เป็นกำลังของ 2)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

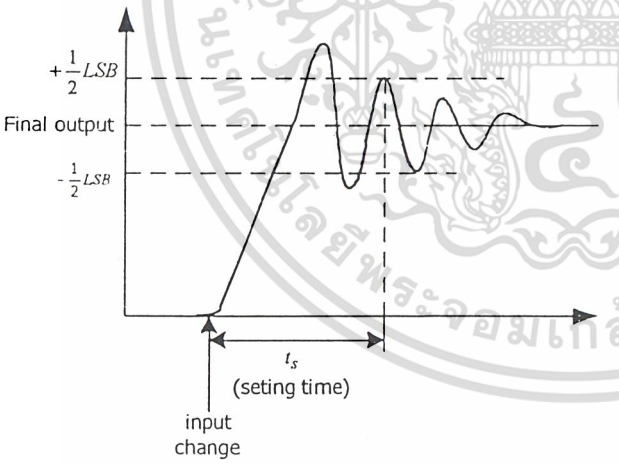
ดังนั้น เราจึงสารารถเห็นได้จากรูปว่าค่า $V_o$ มากที่สุดจะน้อยกว่า $V_{FS}$ อยู่หนึ่งขั้น การเปลี่ยนแปลงน้อยที่สุดที่เอาต์พุตซึ่งสามารถเกิดขึ้นได้จากการเปลี่ยนแปลงอินพุตจะมีค่าเป็น 1 LSB หรือ 1 ขั้น การเปลี่ยนแปลงนี้ใช้คำว่า 1 LSB เพราะว่ามันเกิดขึ้นเมื่อบิทที่มีความสำคัญต่ำสุด(LSB)ของอินพุตไบนารี่เปลี่ยนสถานะ

ในทางอุดมคติ ขนาดเอาต์พุต LSB จะเป็นค่าคงที่ซึ่งหมายความว่าทุกๆขั้นในรูปที่(8.2b)มีความสูงเท่ากัน ดังนั้นการเพิ่มขนาดในเอาต์พุตสำหรับแต่ละขั้นจะเท่ากัน และถูกกำหนดโดยจำนวนขั้น(ความละเอียด)และแรงดันเต็มสเกล ผ่านความสัมพันธ์ต่อไปนี้

$$\text{step size} = 1\ \text{LSB} = \frac{V_{FS}}{2^n} \qquad (3)$$

ที่ n เป็นจำนวนของอินพุตไบนารี่ของ D/A และ $V_{FS}$ เป็นแรงดันเต็มสเกลของD/Aเทียบเคียงในทางอุดมคติ

โดยการใช้สมการที่ 3 จึงเป็นไปได้ที่จะกำหนดแรงดันเอาต์พุตของ D/A (หรือกระแส)สำหรับอินพุตไบนารี่ใดๆที่กำหนดให้ ยกตัวอย่างเช่น 4 บิต D/A มี $V_{FS}$ = 10V ดังนั้น D/A จะมี step size เท่ากับ 0.625 V ถ้าข้อมูลbinaryเป็น 1000 แล้วเราจะได้แรงดันเอาต์พุตของ D/A คือ (8)(0.625V) = 5V จากตัวอย่างข้างต้น D/Aจะมีแรงดันเอาต์พุตเป็น $V_{FS}/2$ เมื่อ MSB บิตของอินพุตไบนารี่เป็น High และอินพุตบิท ที่เหลือเป็น Low นอกจากนี้ยังสังเกตุได้อีกว่าเมื่อค่าเชิงตัวเลขของอินพุตไบนารี่ถูกเพิ่มหรือลด แรงดันเอาต์พุตก็จะเพิ่มหรือลดตามเป็นสัดส่วนโดยตรง ความละเอียดของD/Aอาจถูกใช้เป็นเครื่องแสดงโดยทั่วไปถึงความเที่ยงของ D/A ได้




รูปที่2.17 การกำหนดความแน่นอนของ D/A settling time

Settling Time

D/A ในทางอุดมคติจะมีการตอบสนองที่ทันทีต่ออินพุต แต่ D/Aในทางปฏิบัติแล้วต้องการเวลาระยะหนึ่งเพื่อเปลี่ยนสถานะเอาต์พุต และทำให้ค่าสุดท้ายของเอาต์พุตสงบนิ่งในระดับหนึ่ง ช่วงเวลานี้ถูกระบุว่าเป็น Settling Time ของ converter ปกติโดยทั่วไป Settling Time ถูกนิยามว่าเป็นเวลาที่ต้องการสำหรับconverter ภายใต้เงื่อนไขที่เลวร้าย Settling Time สูงสุดจะเกิดขึ้นเมื่อเอาต์พุตของconverter ทำการเปลี่ยนแปลงจากค่าต่ำ

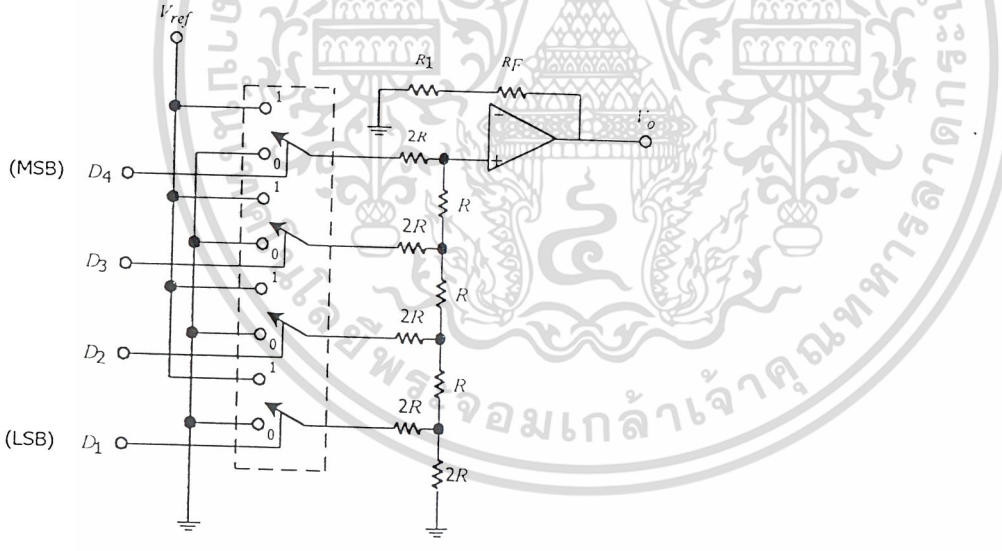
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เพื่อให้เอาต์พุตมาถึงภายในช่วง $\pm\frac{1}{2}LSB$ (หรือ99.5%ของระดับเอาต์พุตสุดท้าย) สุดไปยังค่าสูงสุด หรือในทางตรงกันข้ามจากค่าสูงสุดไปยังค่าต่ำสุด รูปที่8.5 แสดงภาพรวมของ Settling Time ซึ่งค่าสุดท้ายถูกสมมติว่าเป็น $\pm\frac{1}{2}LSB$ Settling Time นั้นจะเป็นตัวจำกัดอัตราที่ D/A สามารถทำการแปลงอย่างต่อเนื่องได้ ยกตัวอย่างเช่นพิจารณา D/Aconverter ที่มี SettlingTime ไม่เกิน 1 ms ค่าของไบนารี่อินพุตจะต้องไม่เปลี่ยนสถานะที่อัตรามากกว่าทุกๆ 1 ms เพื่อให้ได้รับเอาต์พุตที่ถูกต้องภายใต้การเปลี่ยนแปลงที่เป็นไปได้ทั้งหมดของอินพุทWord

The R-2R ladder D/A Converter

การออกแบบ D/A Converter ที่นิยมมากที่สุดคือวิธี R-2R ladder ซึ่งในโครงงานนี้ก็ใช้ D/A Converter ที่มีการออกแบบในลักษณะนี้ด้วย 4 บิท R-2R ladder ถูกแสดงไว้ในรูป8.8 ข้อดีของวงจรนี้คือต้องการตัวต้านทานที่มีค่าเที่ยงตรงเพียง 2 ค่าเท่านั้นสำหรับจำนวนอินพุทไบนารี่ใดๆ นอกจากนี้มันจะมีคุณลักษณะทางอุณหภูมิที่อาจจะเลื่อนไปคล้ายกันเพราะว่าเราใช้ตัวต้านทานที่มีค่าต่างกันเป็นจำนวนเท่า เอาต์พุตของ 4 บิท R-2R ladder converter แสดงได้ดังนี้

$$V_o = (V_{ref})(1+\frac{R_F}{R_1})(\frac{D_4}{2}+\frac{D_3}{4}+\frac{D_2}{8}+\frac{D_1}{16})$$




รูปที่2.18R-2R ladder D/A converter

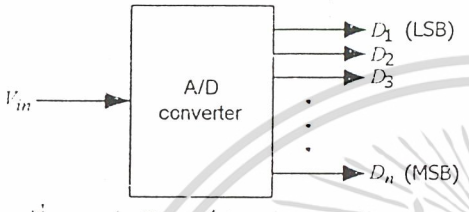
ถึงตอนนี้ดูเหมือนว่าเราสามารถที่จะขยายความละเอียดของ D/A เป็นเท่าใดก็ได้ โดยใช้โครงข่ายของตัวต้านทานอินพุต ซึ่งอาจจะจริง แต่อย่างไรก็ตามการเพิ่มความละเอียดก็ต้องการความเที่ยงตรงที่มากขึ้นจากออปแอมป์ พิจารณา 4บิท D/A converter ด้วยแรงดัน $V_{FS}$ = 10V เพื่อที่จะให้ยังคงความเที่ยงตรงที่ $\pm\frac{1}{2}LSB$ เอาต์พุตจะต้องอยู่ภายในช่วง 312.5 mV ความเที่ยงตรงเพียงเท่านี้อาจพอเพียงสำหรับความสามารถของของออปแอมป์ทั่วไปแต่ถ้าพิจารณา 16บิท D/Aด้วยความเที่ยงตรง $\pm\frac{1}{2}LSB$ และแรงดันเอาต์พุตเต็มสเกลค่าเดียวกัน ความเที่ยงตรงทางเอาต์พุตของวงจรจะต้องอยู่ในช่วง 76.29 $\mu V$ ที่ค่าความเที่ยงตรงระดับนี้ ต้องการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ใช้ออปแอมป์ที่มีประสิทธิภาพสูงมาก(แพง)และต้องชดเชยอิทธิพลจากสิ่งแวดล้อมอย่างระมัดระวัง สิ่งเหล่านี้เป็นข้อพิจารณาที่สำคัญในวงจร D/A Converter ใดๆ

**2.15 พื้นฐานการแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล(A/D)**

สัญลักษณ์บล๊อกไดอะแกรมพื้นฐานของ A/D แสดงได้ดังรูป8.15 หน้าที่ของA/Dคือสุ่มค่าระดับสัญญาณอนาล็อก(ปกติเป็นแรงดัน)และผลิตข้อมูลไบนารี่ที่เป็นตัวแทนของระดับนั้นที่เอาต์พุตของมันและเช่นเดียวกันกับ D/Aจำนวนของบิทที่เอาต์พุตของ A/D เป็นตัวกำหนดความละเอียด(resolution)และความเที่ยง(accuracy)ของ A/D

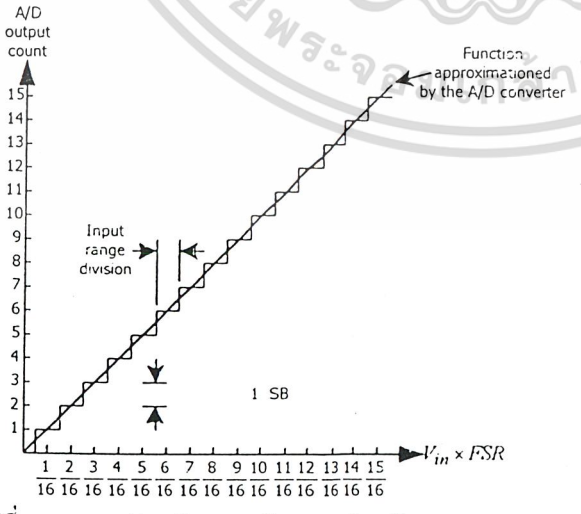



รูปที่ 2.19 สัญลักษณ์สำหรับ A/D converter n- bit

Full – Scale Range

ในรูป 2.20 เป็นกราฟถ่ายโอนคุณลักษณะ(Transfer Characteristics) ของ 4 บิท A/D ซึ่ง 4 บิท A/D สามารถจำแนก(resolved)สัญญาณอินพุทอนาลอกออกเป็น 1 ใน 16 เอาต์พุต code word อินพุทของ A/D นั้นเหมาะสมเฉพาะเพียงย่านที่จำกัดเท่านั้น ยกตัวอย่างเช่นจาก 0 ถึง 10V ช่วงของค่าอินพุตที่สามารถถูกจำแนกได้จะถูกเรียกว่า Full Scale Range (FSR) ย่านอินพุทของA/Dถูกแบ่งออกได้เป็น $2^n$ ส่วน เมื่อ n คือจำนวนบิทของเอาต์พุต code word การแบ่งย่านอินพุตของ A/D คล้ายคลึงกับความละเอียดของ D/A ดังแสดงไว้ในสมการที่ 3 ดังนั้นเราจะได้

$$\text{Input range division} = 1\,\text{LSB} = \frac{FSR}{2^n} \qquad (5)$$




รูปที่ 2.20 กราฟถ่ายโอนคุณลักษณะสำหรับ A/D converter 4 bit ทางอุดมคติ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

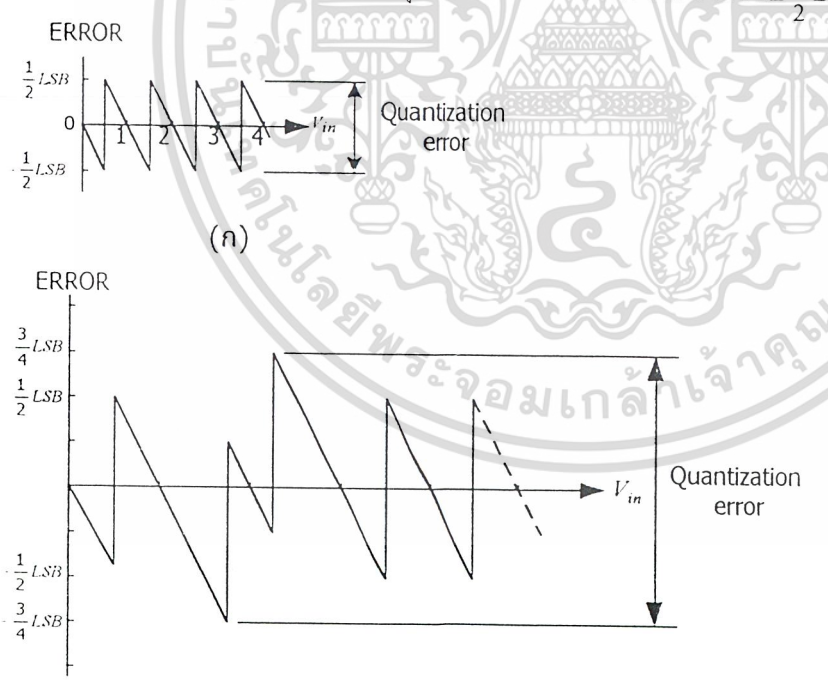
เอาต์พุตของ A/D ปกติแล้วจะเป็นรูปแบบ binary มาตรฐาน 8-4-2-1 มีอยู่ข้อหนึ่งที่ A/D คล้ายกับ D/A คือแรงดันเอาต์พุตเต็มสเกลไม่สามารถทำให้เกิดขึ้นจริงได้ แรงดันอินพุตที่เกิน FSR ของ A/Dจะทำให้ A/Dไม่สามารถคัดสินได้ว่าแรงดันอยู่ที่ระดับใด นั่นเป็นเพราะว่าอินพุตเต็มสเกลที่จ่ายไปยังA/D เกินจากเงื่อนไขที่ย่านจะรับได้

A/D Error Specification

ถึงแม้ว่าสัญญาณอนาลอกจะอยู่ภายในย่านที่จำกัด แต่ว่าสัญญาณอาจมีค่าใดๆก็ได้ที่แตกต่างกันอย่างไม่จำกัด A/D จะสุ่มสัญญาณอนาลอกอินพุตมาจัดระดับให้อยู่ในช่วงพิสัยที่จำกัดและผลิตเอาต์พุตเป็น code word ซึ่งใช้เป็นตัวแทนของอินพุตนั้น การทำแบบนี้เป็นไปได้ที่ตัวมันเองจะทำให้เกิดเอาต์พุต ผิดพลาด(error) ได้

Quantization error

มีความไม่แน่นอนเกิดขึ้นเสมอเกี่ยวกับค่าจริงของอินพุต เพราะว่าจำนวนบิทที่เอาต์พุตของA/Dนั้นมีจำกัด ซึ่งความไม่แน่นอนที่เกี่ยวข้องกับการแปลงนี้ถูกเรียกว่า Quantization error หรือ Quantization noise A/Dใดๆ จะแสดง Quantization error ต่ำสุดออกมาอย่างน้อย $\pm\frac{1}{2}LSB$ รูป2.21a แสดงการplotของ Quantization error เทียบกับแรงดันอินพุตสำหรับ A/D ด้วยความเที่ยงตรง $\pm\frac{1}{2}LSB$




รูปที่ 2.21 การพล็อตค่าความผิดพลาดของ A/D converter โดย

(ก) converter อุดมคติ (ข)converterที่มีความแม่นยำ $\pm\frac{3}{4}LSB$

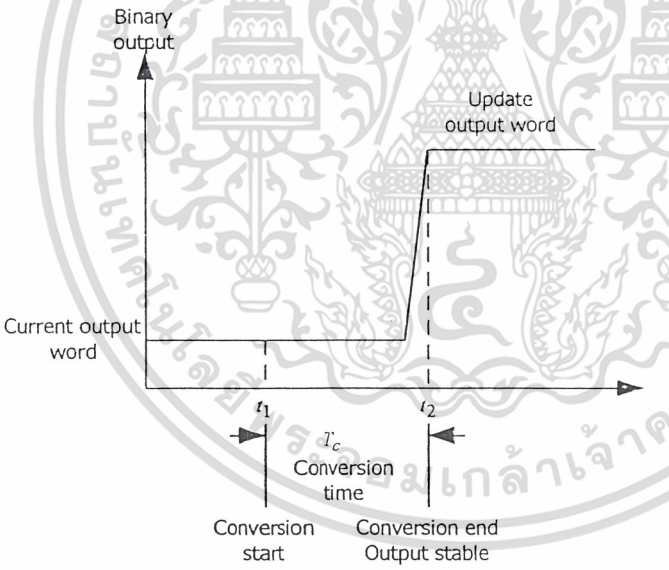
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

มันค่อนข้างยากที่จะผลิต A/D ความละเอียดสูงและมี Quantization error เพียง $\pm\frac{1}{2}LSB$ รูป2.21b) แสดง error plot ของA/Dที่มี Quantization error $\pm\frac{3}{4}LSB$ โดยทั่วไปตำแหน่งของ error peak มักมีค่าสุ่ม(random) ดังนั้นเราจึงต้องสมมติว่าสำหรับอินพุตใดๆที่กำหนดให้เอาต์พุต code word ของมันจะเกิดผิดพลาดขึ้นอย่างมาก $\pm\frac{3}{4}LSB$ A/Dบางตัวอาจแสดง Quantization error มากถึง $\pm LSB$ ในการใช้งานด้านการประมวลผลสัญญาณ บางครั้งต้องการแสดง Quantization noise ในรูปของเดซิเบล(dB)มากกว่า ซึ่งเรียกว่าอัตราส่วน Signal to Quantization Noise Ratio (SQNR) นิยามได้ดังนี้

$$SQNR = 20\log\frac{FSR(V)}{1LSB(V)} \quad \text{dB} \qquad \text{----------(6)}$$

Conversion Time

A/D ในทางปฏิบัติแล้วต้องการเวลาระยะหนึ่งในการแปลงข้อมูล ช่วงเวลานี้ถูกเรียกว่า Conversion time (Tc) ซึ่งแสดงไว้ในรูปที่ 2.22 ไม่เสมอไปว่าA/Dจะต้องมี Conversion timeที่คงที่ แต่ส่วนใหญ่จะระบุมาเป็นเงื่อนไขการทำงานที่ต้องการเวลามากที่สุดแทน



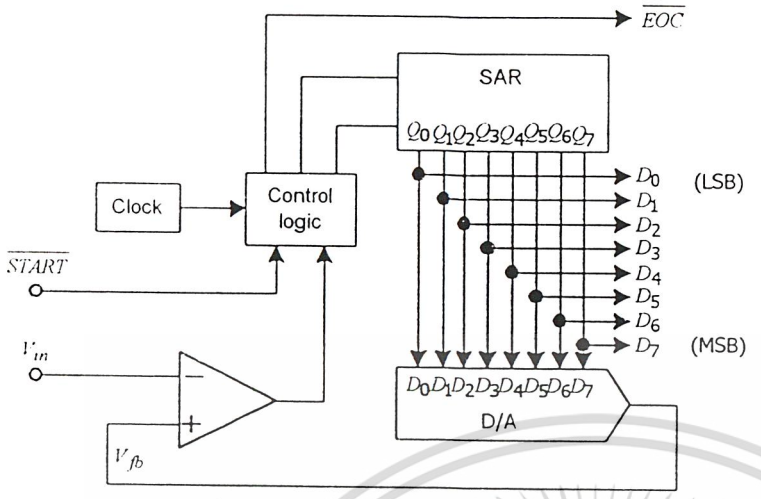

รูปที่ 2.22เวลาการแปลงที่ต้องการของ A/D

วงจร A/D ที่ใช้ในการแปลง

มีวิธีที่แตกต่างกันหลายวิธีที่จะทำวงจรA/Dขึ้น ซึ่งA/D converter หลายแบบถูกออกแบบขึ้นโดยการใช้ D/A Converter Ramp Converter และ Successive Approximation Converter ก็อยู่ในประเภทนี้เช่นกัน ส่วน A/D converter ชนิดอื่นๆ เช่น Integrating, Parallel และ Tracking Converter จะมีการออกแบบที่แตกต่างกันออกไป ในที่นี้จะกล่าวถึงรายละเอียดการทำงานเฉพาะ Successive Approximation Converterเท่านั้นเนื่องจากเป็นหลักการของไอซี A/Dที่ใช้ในโครงงานนี้

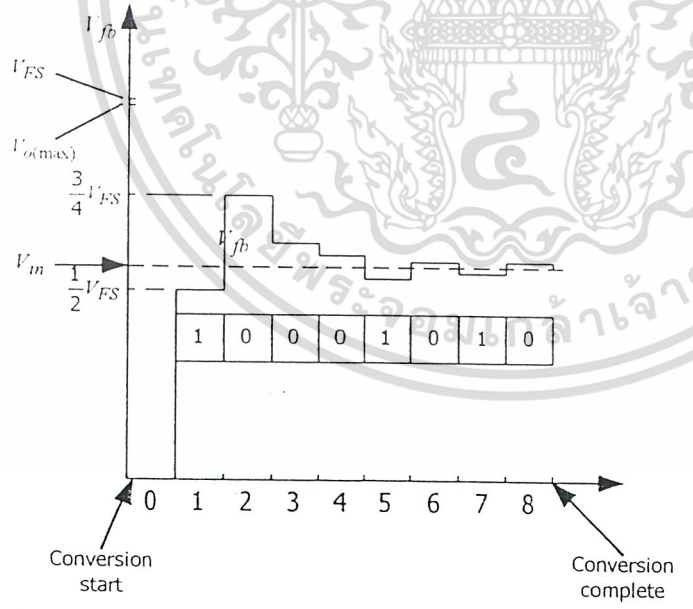
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Successive Approximation A/C Converter




รูป2.24 SAR A/D converter 8 bit อย่างง่าย

บล๊อกไดอะแกรมสำหรับ 8 บิท SAR A/D converter แสดงในรูป 2.24 SAR ถูกใช้เพื่อกำเนิดค่าประมาณของแรงดันอินพุต ซึ่งเริ่มต้นด้วยค่า FSR/2 และลดลงทีละหนึ่งตำแหน่งบิทจนถึงค่าLSB เอาต์พุตของ D/A converter ภายในจะถูกเปรียบเทียบค่ากับแรงดันอินพุตภายหลังจากแต่ละสถานะของ D/A มีการเปลี่ยนแปลง ถ้าการเซ็ต(set)ของใดก็ตามเป็นผลให้ $V_{fb} > V_{in}$ แล้วบิทนั้นจะถูกเคลียร์(clear) และถ้าการเซ็ตของบิทใดก็ตามเป็นผลให้ $V_{fb} < V_{in}$ บิทนั้นจะถูกกงระดับไว้ให้เป็น High เหมือนเดิม




รูป2.25 แสดงการแทนค่าของกระบวนการ Successive Approximation สำหรับ converter 8 bit

รูป 2.25 แสดงผังของเอาต์พุตของ D/A converter ($V_{fb}$) สำหรับแต่ละขั้นของการแปลง ขั้นตอนต่อไปนี้จะใช้อธิบายกระบวนการแปลงที่เกิดขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สมมติว่า D/A converter มี $V_{FS} = 10$ V ซึ่งทำให้มี FSR =10V และกำหนดให้ $V_{in} = 5.4$V

1) $\overline{START}$ อินพุตถูกกระตุ้นค้างขอจิก Low ซึ่งจะไปเคลียร์ SAR ให้ผลิต $V_{fb}$ = 0V และในตอนนี้ converter จึงถูกกำหนดค่าเริ่มต้น

2) MSB บิทของ SAR ($Q_7$) เซ็ตตัวเองเป็น High ซึ่งทำให้ผลิต $V_{fb}$ = 5V เนื่องจาก $V_{fb} < V_{in}$ เอาต์พุตของคอมพาราเตอร์(comparator)จึงเป็น Low control logicจะรับรู้สถานะ Low นี้ แล้วค้างบิท$Q_7$ ให้เป็น High ไว้

3) บิทถัดไปของ SAR ($Q_6$) เซ็ตตัวเองเป็น High ซึ่งทำให้ผลิต $V_{fb}$ = 7.5V เนื่องจาก $V_{fb} > V_{in}$ เอาต์พุตของคอมพาราเตอร์จึงเป็น High เป็นเหตุให้ control logic คลียร์บิท$Q_6$ของ SAR

4) ในตอนนี้บิท $Q_5$ของSAR จะเซ็ตซึ่งจะผลิต $V_{fb}$ = 6.25Vและเนื่องจาก $V_{fb} > V_{in}$ อีกครั้ง ทำให้คอมพาราเตอร์มีเอาต์พุตเป็น High เป็นเหตุให้บิท $Q_5$ถูกเคลียร์

กระบวนการทดสอบและการเซ็ตและเคลียร์บิทนี้ถูกทำซ้ำๆไปในแต่ละบิทที่เรียงลำดับกันจนกระทั่งหลังจากการทดสอบครั้งที่แปดการแปลงจึงจะเสร็จสมบูรณ์ เทคนิคนี้เป็นการเดาค่าระหว่าง 0 ถึง 255 ซึ่งด้วยวิธีนี้จะการเดาจะไม่เกินแปดครั้งก็สามารถจับค่าที่ถูกต้องได้

หลังทราบค่าที่แน่นอนของอินพุตแล้วก็ส่งสัญญาณ $\overline{EOC}$ (End of converter)ไปให้อุปกรณ์ที่ต่อร่วมเพื่อบอกให้อ่านข้อมูลเอาต์พุตไบนารี่ไปได้ ซึ่งข้อมูลไบนารี่นี้ก็คือข้อมูลไบนารี่ที่ D/A converter ภายใน

ข้อดีของ SAR A/D converter ก็คือเวลาการแปลง(conversion time)จะมีค่าคงที่เสมอไม่ว่าแรงดันอินพุทจะเป็นเท่าใดก็ตามซึ่งไม่เหมือนกับ Ramp converter ที่มีเวลาการแปลงที่เปลี่ยนไปตามระดับแรงดันอินพุต มาถึงจุดนี้เราได้สมมติเอาไว้ว่าแรงดันอินพุตนั้นคงที่ในขณะที่ยังคงทำการแปลง เหตุผลนี้เป็นเพราะว่าธรรมชาติของกระบวนการSAR ต้องการอย่างนั้น เพราะฉะนั้นโดยปกติแล้วTrack and hold(T/H) amplifier จะถูกวางไว้ก่อนหน้าอินพุตของ converter ดังแสดงในรูปที่ 2.25 วงจรT/H จะต้องใช้เมื่อแรงดันอินพุตที่มีการเปลี่ยนแปลงไปตามเวลาถูกสุ่มค่าและจัดระดับ ซึ่งจะทำให้แรงดันอินพุตนั้นคงระดับนิ่ง ณ จุดที่สุ่มค่าไป

**2.16 ฟิลเตอร์แบบแอกทีฟ (Active Filter)**

ฟิลเตอร์แบบแอกทีฟทำหน้าที่กรองความถี่สัญญาณ ซึ่งมีลักษณะวงจรที่ประกอบด้วยภาคขยาย เช่น ทรานซิสเตอร์หรือไอซี และ เครือข่ายเลือกความถี่ (Frequency Selective Network) จำพวกตัวความต้านทาน ตัวเก็บประจุ วงจรจะให้ผ่านได้เฉพาะสัญญาณในช่วงความถี่ที่กำหนดและในขณะเดียวกันจะขวางกั้น(Block) หรือลดทอนสัญญาณนอกเหนือช่วงความถี่ดังกล่าว มิให้ปรากฏที่เอาต์พุต

โดยทั่วไปแล้ววงจรกรองสัญญาณแบ่งออกเป็นหลายรูปแบบ ดังนี้

1. วงจรกรองความถี่ชนิดอนาลอกหรือดิจิตอล
2. วงจรกรองความถี่ประเภทแอกทีฟหรือพาสซีฟ
3. วงจรกรองความถี่ย่านความถี่เสียง(Audio Frequency) หรือ ย่านความถี่วิทยุ(Radio Frequency)

ฟิลเตอร์แบบแอกทีฟ ออกแบบมาเพื่อใช้กับสัญญาณอนาลอกส่วนวงจรกรองสัญญาณแบบดิจิตอลใช้งานกับสัญญาณดิจิตอลโดยอาศัยเทคนิคทางอนาลอกมาช่วย ถ้าคำนึงถึงชิ้นส่วน(Element)ที่นำมาประกอบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

กันเป็นวงจรกรองสัญญาณจะแบ่งออกเป็นฟิลเตอร์แบบแอกทีฟและพาสซีฟชิ้นส่วนที่วงจรใช้ในฟิลเตอร์แบบแอกทีฟประกอบด้วยตัวขยายสัญญาณจำพวกทรานซิสเตอร์หรือไอซี ในรูปของออปแอมป์และ ตัวต้านทาน ตัวเก็บประจุ ทำงานร่วมกัน ส่วนตัวต้านทาน ตัวเก็บประจุ และตัวเหนียวนำ ถือได้ว่าเป็นชิ้นส่วนประเภท Passive element การจะเลือกใช้ชิ้นส่วนชนิดใดนั้น ขึ้นอยู่กับย่านความถี่ของสัญญาณที่ต้องการให้วงจรกรองสัญญาณทำงาน ยกตัวอย่างเช่น ฟิลเตอร์แบบอาร์ซีใช้กับย่านความถี่เสียงหรือในย่านความถี่ต่ำในขณะที่ฟิลเตอร์แบบแอลซีจะใช้ในย่านความถี่วิทยุหรือย่านคามถี่สูง

ข้อดี ของ ฟิลเตอร์แบบแอกทีฟ ที่เหนือกว่า ฟิลเตอร์แบบพาสซีฟ

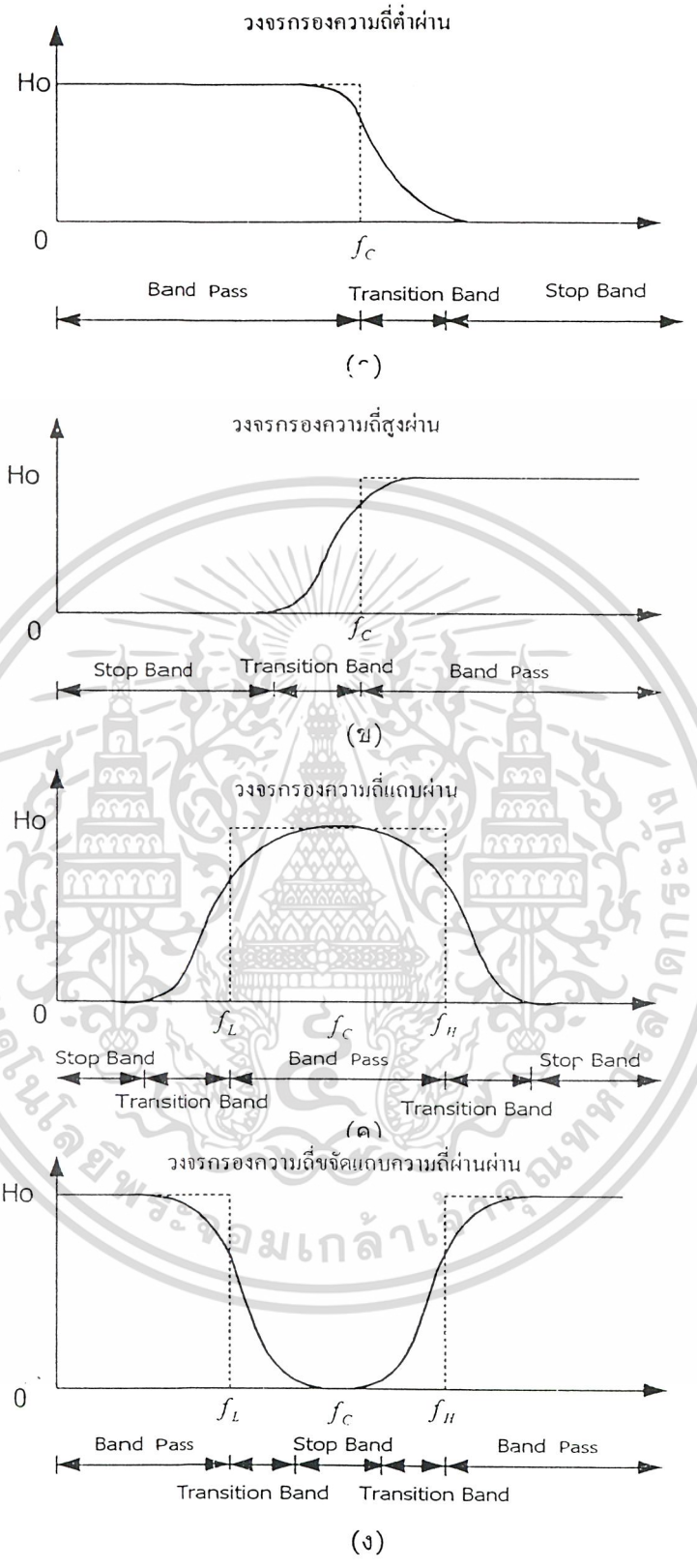
1. การปรับอัตราการขยายและปรับความถี่เป็นอิสระต่อกัน เราสามารถจัดค่าอัตราการขยายของออปแอมป์ชดเชยกับอัตราการลดทอนสัญญาณของวงจรอาร์ซี หรือเพิ่มอัตราการขยายของวงจรทั้งหมดด้วยการจัดค่าชิ้นส่วนอุปกรณ์ในส่วนของวงจรขยายออปแอมป์และการปรับเปลี่ยนความถี่ก็อยู่ที่ค่าอาร์ซี นี้ด้วย
2. ไม่มีปัญหาผลการโหลด (Loading effect) จากการที่ออปแอมป์มีคุณสมบัติของอินพุต อิมพีแดนซ์(Input Impedance)สูงและเอาต์พุตอิมพีแดนซ์(Output Impedance)ต่ำ วงจรฟิลเตอร์แบบแอกทีฟอาศัย ออปแอมป์จึงไม่เกิดปัญหาการโหลดระหว่างเอาต์พุตและอินพุตของวงจรณ จุดที่นำฟิลเตอร์แบบแอกทีฟเข้าต่อร่วม
3. ราคาถูกกว่าเนื่องจากฟิลเตอร์แบบแอกทีฟมีราคาถูกกว่าฟิลเตอร์แบบพาสซีฟเพราะไม่ต้องอาศัยตัวเหนี่ยวนำที่มีราคาแพงและยังใช้ออปแอมป์ซึ่งในปัจจุบันราคาถูก

เราแบ่ง Active Filter ตามลักษณะการทำงานออกเป็น 5 ชนิด

- กรองความถี่ต่ำผ่าน (Low Pass Filter)
- กรองความถี่สูงผ่าน(High Pass Filter)
- กรองช่วงความถี่ผ่าน(Band Pass Filter)
- กรองกำจัดแถบความถี่ (Band Reject Filter)
- กรองความถี่ผ่านตลอด(All Pass Filter)

ผลตอบสนองความถี่ของวงจรกรองความถี่ทั้ง 5 ชนิดแสดงดังรูปที่2.17 เส้นประแสดงถึงการตอบสนองที่เป็นอุดมคติในทางทฤษฎีส่วนเส้นทึบแสดงการตอบสนองในทางปฏิบัติ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 2.26 ผลตอบสนองทางความถี่ของวงจรกรองความถี่แบบต่างๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 2.26 (ก) แสดงการตอบสนองความถี่ของวงจรกรองความถี่ต่ำผ่านมีขนาดของอัตราขยาย (Gain) คงที่จากความถี่ 0Hz ถึงความถี่คัทออฟ( $f_C$ ) ค่าของแบนวิดท์(Bandwidth) จึงเท่ากับ $f_C$ ที่ $f_C$ หรือตำแหน่งความถี่คัทออฟนั้นอัตราขยายจะลดลง 3 dB และที่ความถี่มากกว่า $f_C$ นั้นคือที่ $f > f_C$ อัตราขยายของวงจรจะลงลดทุกขณะอย่างต่อเนื่องตามความถี่ของของสัญญาณอินพุตที่เพิ่มขึ้น ช่วงความถี่ระหว่าง 0 ถึง $f_C$ เรียกว่าช่วงผ่าน (Bandpass) ส่วนช่วงที่ความถี่สูงกว่า $f_C$ ขึ้นไปซึ่งเกิดการลดทอนทุกขณะจะเรียกว่าช่วงหยุด (Stopband)

จากการตอบสนองที่เป็นทางอุดมคติในเส้นประทำให้วงจรกรองสัญญาณที่เป็นทางอุดมคติจะมีความสูญเสียเป็นศูนย์ในช่วงผ่านและมีความสูญเสียเป็นอนันต์ในช่วงหยุดแต่สภาพความเป็นจริงในทาง ปฏิบัติ มิเป็นเช่นนั้นเพราะโครงข่ายวงจรชนิดเชิงเส้น (Linear Network) ไม่สามารถสร้างคุณสมบัติของความไม่ต่อเนื่องขึ้นได้ อย่างไรก็ตามเราอาจสร้างเส้นตอบสนองในทางปฏิบัติตามเส้นทึบให้ใกล้เคียงกับเส้นการตอบสนองที่เป็นอุดมคติได้ โดยอาศัยเทคนิคการออกแบบวงจรเป็นพิเศษเข้ามาช่วยรูปแบบของ วงจรกรองสัญญาณที่นิยมนำมาใช้กันในทางปฏิบัติ ซึ่งให้เส้นตอบสนองใกล้เคียงทางอุดมคติ ได้แก่ วงจร กรองแบบบัตเทอร์เวิร์ท ให้คุณลักษณะของทั้งช่วงผ่านและช่วงหยุดในลักษณะค่อนข้างราบเรียบซึ่งในโครงงานนี้จะใช้วิธีการนี้เช่นกัน

รูปที่2.26 (ข) เป็นเส้นตอบสนองของวงจรกรองความถี่สูงผ่าน เมื่อให้ $f$ เป็นความถี่ใดๆและ $f_C$ เป็นความถี่คัทออฟ แล้วช่วงหยุดจะอยู่ที่ความถี่ $0 < f < f_C$ และช่วงผ่านอยู่ที่ $f > f_C$

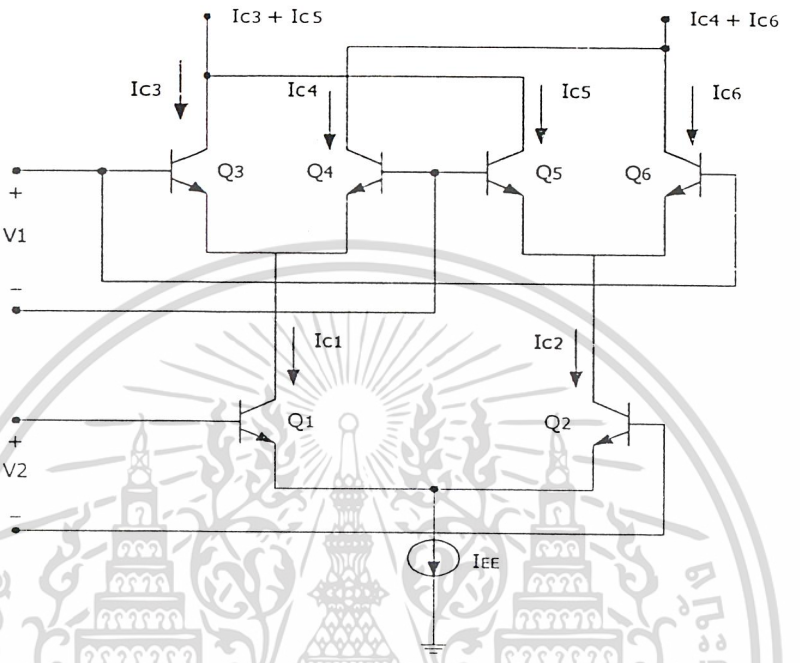
รูปที่2.26 (ค) แสดงการตอบสนองความถี่ของวงจรกรองแถบความถี่ผ่าน ช่วงผ่านจะอยู่ระหว่างสองความถี่คัทออฟได้แก่ $f_H$ (High cutoff frequency) และ $f_L$ (Low cutoff frequency) ซึ่งเป็นตำแหน่งที่อัตราขยายลดลง 3 dB และช่วงหยุดมีสองช่วงที่ $0 < f < f_L$ กับ $f > f_H$ โดยที่ $f_H > f_L$ ค่าแบนวิดธ์ของวงจรกรองแถบความถี่ผ่าน (Band pass filter) เท่ากับ $f_H - f_L$

รูปที่2.26 (ง) แสดงการตอบสนองความถี่ของวงจรกรองกำจัดแถบความถี่ ซึ่งมีเส้นคุณลักษณะตรงข้ามกับ วงจรกรองแถบความถี่ผ่าน กล่าวคือช่วงหยุดจะอยู่ระหว่างความถี่คัทออฟสองจุดคือ $f_H$ กับ $f_L$ และมีช่วงผ่านสองช่วงอยู่ระหว่างความถี่ $f > f_H$ และ $0 < f < f_L$ อาจเรียก Band Reject Filter ว่า Band Stop Filter หรือ Band Elimination Filter ก็ได้ ค่าแบนวิดท์ของช่วงหยุดเท่ากับ $f_H - f_L$

**2.17 วงจรคูณสัญญาณ**

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เนื่องจากการออกแบบวงจรคูณสัญญาณสามารถใช้วงจรคูณสัญญาณแบบ four Quardrant Multipier เป็นวงจรที่ใช้ในการคูณสัญญาณได้ พิจารณาวงจร four Quardrant Multipier มีการทำงานของวงจรดังนี้




$$Ic3 = \frac{Ic1}{1+\exp(-\frac{V_1}{V_T})} \qquad Ic5 = \frac{Ic2}{1+\exp(\frac{V_1}{V_T})}$$

$$Ic4 = \frac{Ic1}{1+\exp(\frac{V_1}{V_T})} \qquad Ic6 = \frac{Ic2}{1+\exp(-\frac{V_1}{V_T})}$$

รูปที่ 2.27 วงจร Gilbert Multiplier Circuit

โดย

$$Ic1 = \frac{I_{EE}}{1+\exp(-\frac{V_2}{V_T})} \qquad Ic3 = \frac{I_{EE}}{1+\exp(\frac{V_2}{V_T})}$$

$$\therefore Ic3 = \frac{I_{EE}}{\left[1+\exp(-\frac{V_1}{V_T})\right]\left[1+\exp(-\frac{V_2}{V_T})\right]} \qquad \therefore Ic4 = \frac{I_{EE}}{\left[1+\exp(\frac{V_1}{V_T})\right]\left[1+\exp(-\frac{V_2}{V_T})\right]}$$

$$\therefore Ic5 = \frac{I_{EE}}{\left[1+\exp(\frac{V_1}{V_T})\right]\left[1+\exp(\frac{V_2}{V_T})\right]} \qquad \therefore Ic6 = \frac{I_{EE}}{\left[1+\exp(-\frac{V_1}{V_T})\right]\left[1+\exp(\frac{V_2}{V_T})\right]}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\therefore \Delta Ic = (Ic3 + Ic5) - (Ic4 + Ic6)$$

ให้ $X1 = V1/VT$ , $X2 = V2/VT$

$$\therefore Iout = I_{EE}\left[\left(\frac{1}{1+e^{-x1}}\right)\left(\frac{1}{1+e^{-x2}}\right)+\left(\frac{1}{1+e^{x1}}\right)\left(\frac{1}{1+e^{x2}}\right)-\left(\frac{1}{1+e^{-x1}}\right)\left(\frac{1}{1+e^{x2}}\right)-\left(\frac{1}{1+e^{x1}}\right)\left(\frac{1}{1+e^{-x2}}\right)\right]$$

$$\therefore Iout = I_{EE}\left[\begin{array}{l}\left(\frac{e^{x1/2}}{e^{x1/2}+e^{-x1/2}}\right)\left(\frac{e^{x2/2}}{e^{x2/2}+e^{-x2/2}}\right)+\left(\frac{e^{-x1/2}}{e^{x1/2}+e^{-x1/2}}\right)\left(\frac{e^{-x2/2}}{e^{x2/2}+e^{-x2/2}}\right)\\ -\left(\frac{e^{-x2/2}}{e^{x2/2}+e^{-x2/2}}\right)\left(\frac{e^{x1/2}}{e^{x1/2}+e^{-x1/2}}\right)-\left(\frac{e^{x2/2}}{e^{x2/2}+e^{-x2/2}}\right)\left(\frac{e^{-x1/2}}{e^{x1/2}+e^{-x1/2}}\right)\end{array}\right]$$

วงจร Gilbert Multiplier Circuit ที่ดีต้องใช้ทรานซิสเตอร์ที่แมตช์กันอย่างสนิท จึงนิยมทำเป็นไอซี ในรูปที่ 2.28 เป็นไอซีที่ออกแบบเพื่อใช้งานเป็นวงจรบาลานซ์มอดูเลเตอร์(Balanced Modulator)

$$\therefore Iout = I_{EE}\left[\frac{e^{x1/2}.e^{x2/2}+e^{-x1/2}.e^{-x2/2}-e^{-x2/2}.e^{x1/2}-e^{x2/2}.e^{-x1/2}}{(e^{x1/2}+e^{-x1/2})(e^{x2/2}+e^{-x2/2})}\right]$$

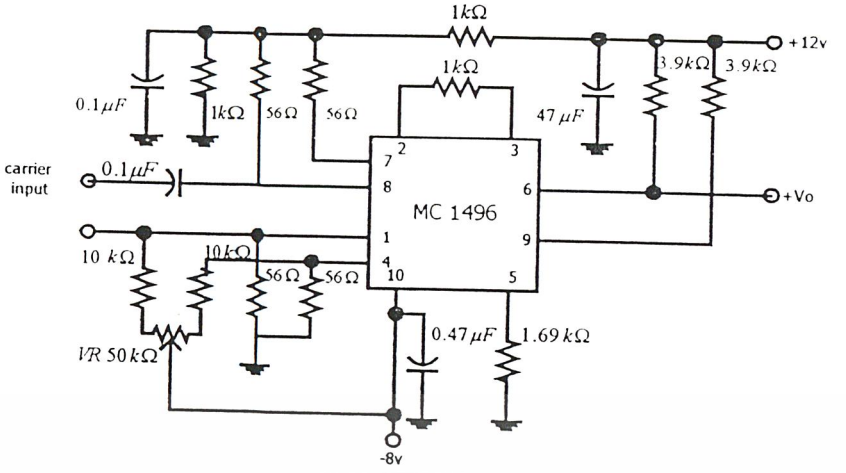
$$\therefore Iout = I_{EE}\frac{(e^{x1/2}-e^{-x1/2})(e^{x2/2}-e^{-x2/2})}{(e^{x1/2}+e^{-x1/2})(e^{x2/2}+e^{-x2/2})}$$

$$\therefore Iout = I_{EE}\tanh\frac{X1}{2V_T}\tanh\frac{X2}{2V_T} \qquad ;\tanh X = \frac{e^{x}-e^{-x}}{e^{x}+e^{-x}}$$

$$\therefore Iout = I_{EE}\tanh\frac{V1}{2V_T}\tanh\frac{V2}{2V_T}$$

$$Iout = I_{EE}\cdot\frac{V_1}{2V_T}\cdot\frac{V_2}{2V_T} = K_0V_1V_2 \qquad ;K_0 = \frac{I_{EE}}{4V_T^2}$$

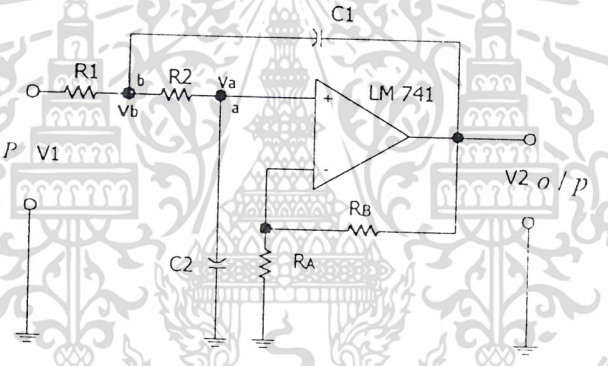
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 2.28 วงจรบาลานซ์มอดูเลเตอร์

**2.18 การออกแบบวงจรกรองความถี่ต่ำผ่าน (Low pass filter)**

จะใช้วงจร Sallen and key




รูปที่2.29 การวาง node วงจร Sallen and Key

จากรูปที่2.29 สามารถหาค่า Transfer function ดังนี้

$$\frac{V_2}{V_a} = 1 + \frac{R_B}{R_A} = K \qquad (1)$$

node(a)

$$Va[SC_2 + \frac{1}{R_2}] - \frac{1}{R_2} V_b = 0 \qquad (2)$$

node(b)

$$Vb[\frac{1}{R_1} + \frac{1}{R_2} + SC_1] - \frac{1}{R_1} V_1 - \frac{1}{R_2} V_a - SC_1 V_2 = 0 \qquad (3)$$

จากสมการ(2)

$$V_a[\frac{SR_2C_2 + 1}{R_2}] = \frac{1}{R_2} V_b$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$V_b = Va[SR_2C_2 + 1]$$

แทน $V_b$ ในสมการ(3)จะได้

$$Va[SR_2C_2 + 1][\frac{1}{R_1} + \frac{1}{R_2} + SC_1] - \frac{1}{R_1}V_1 - \frac{1}{R_2}V_a - SC_1V_2 = 0$$

จากสมการที่(1)

$$V_a = \frac{V_2}{K}$$

แทน $V_a$ ลงในสมการ

$$\frac{V_2}{K}[SR_2C_2 + 1][\frac{1}{R_1} + \frac{1}{R_2} + SC_1] - \frac{1}{R_1}V_1 - \frac{1}{R_2K}V_2 - SC_1V_2 = 0$$

$$\frac{V_2}{K}[\frac{SR_2C_1}{R_1} + SC_2 + S^2R_2C_1C_2 + \frac{1}{R_1} + \frac{1}{R_2} + SC_1 - \frac{1}{R_2} - SKC_1] = \frac{V_1}{R_1}$$

$$\frac{V_2}{K}[S^2R_1R_2C_1C_2 + S(R_2C_2 + R_1C_2 + C_1R_1 - C_1R_1K) + (1 + \frac{R_1}{R_2} - \frac{R_1}{R_2})] = V_1$$

$$\frac{V_2}{K}[S^2 + S(\frac{1}{R_1C_1} + \frac{1}{R_2C_1} + \frac{1}{R_2C_2} - \frac{K}{C_2R_2}) + \frac{1}{R_1R_2C_1C_2}] = \frac{V_1}{R_1R_2C_1C_2}$$

$$\frac{V_2}{V_1} = \frac{K/R_1R_2C_1C_2}{S^2 + S(\frac{1}{R_1C_1} + \frac{1}{R_2C_1} + \frac{1}{R_2C_2} - \frac{K}{C_2R_2}) + \frac{1}{R_1R_2C_1C_2}} \quad (4)$$

จากสมการทั่วไปของวงจรกรองความถี่ต่ำผ่าน

$$T(S) = \frac{K\omega_o^2}{S^2 + (\omega_o/Q)S + \omega_o^2} \quad (5)$$

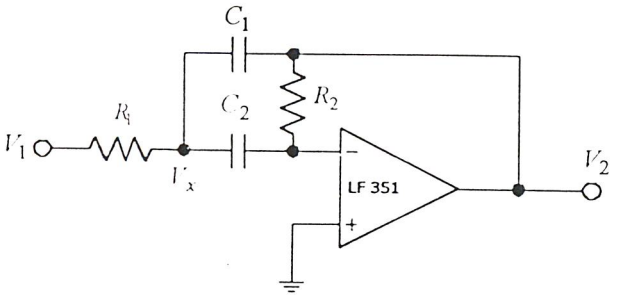
เมื่อเราให้ค่าของ R = C

จะได้ว่า $\omega_0 = \frac{1}{RC}$

และ $Q = \frac{1/RC}{(\frac{3}{RC} - \frac{K}{RC})}$

**2.19 วงจรกรองแถบความถี่ผ่าน**

เอกสารนี้สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่2.29 วงจร DELYIANNIS-FRIEND

จากรูปที่ 2.29 node x

$$V_2 = -\frac{R_2}{1/C_2 s} V_x = -R_2 C_2 s V_x \tag{1}$$

$$\frac{1}{R_1}(V_x - V_1) + C_2 s V_x + (V_x - V_2) C_1 s = 0 \tag{2}$$

จากสมการที่ (1) และ (2)

$$\frac{V_2}{V_1} = T(s) = \frac{(-1/R_1 C_1)s}{s^2 + (1/R_2)(1/C_1 + 1/C_2)s + 1/R_1 R_2 C_1 C_2} \tag{3}$$

ให้ $C = C_1 = C_2$ จะได้

$$T(s) = \frac{(1/R_1 C)s}{s^2 + (2/R_2 C)s + 1/R_1 R_2 C^2} \tag{4}$$

เมื่อเปรียบเทียบกับสมการมาตรฐานของวงจรกรองแถบความถี่ผ่านในสมการที่ (5)

$$T(s) = \frac{-(\omega_o/Q)s}{s^2 + (\omega_o/Q)s + \omega_o^2} \tag{5}$$

จากสมการที่ (4) จะได้

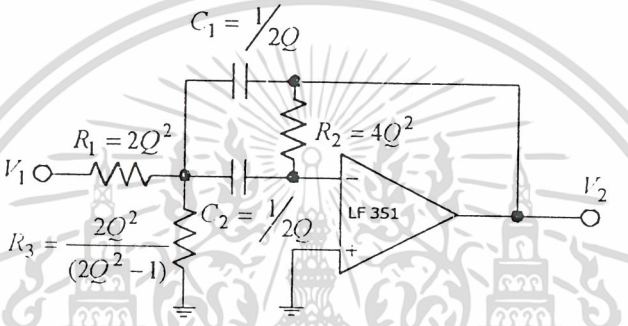
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\omega_o = \frac{1}{C\sqrt{R_1 R_2}} \quad , \quad Q = \frac{1}{2}\sqrt{\frac{R_2}{R_1}} \quad , \quad BW = \frac{\omega_o}{Q} = \frac{2}{R_2 C}$$

กำหนดให้ $R_1 = \omega_o = 1$ ดังนั้นจะได้

$$R_2 = 4Q^2 \quad \text{และ} \quad C = \frac{1}{2Q}$$

จากสมการที่ (5) จะพบว่ายิ่ง Q มีค่ามากขึ้นจะทำให้วงจรมีอัตราขยายมากขึ้นแต่เราต้องการให้อัตราขยายเท่ากับ 1 ดังนั้นจึงต้องใส่วงจรลดทอนเข้าไปจะได้วงจรดังรูปที่ 2.30




รูปที่2.30 วงจร DELYIANNIS-FRIEND ที่ใช้ในการคำนวณ

**2.20 ระบบพีเอสเคที่ไม่ต้องการใช้การก็สัญญาณคลื่นพาห์ (Non Carrier Recovery PSK system)**

ในระบบการสื่อสารข้อมูลกระบวนการเข้าและถอดรหัสนับได้ว่าเป็นการะบวนการที่สำคัญมากกระบวนการหนึ่ง โดยปกติจะมีการจัดประเภทการเข้ารหัสออกเป็น 4 ประเภทด้วยกัน ซึ่งหนึ่งใน 4 ประเภทนั้นก็คือการเข้ารหัสสัญญาณจากข้อมูลที่เป็นดิจิตอลให้ไปอยู่ในรูปสัญญาณที่ต่อเนื่องและการเข้ารหัสข้อมูลประเภทนี้ ยังมีการแบ่งกรรมวิธีย่อยในการเข้ารหัสออกเป็นหลายประเภทหลัก ๆ ด้วยกัน 3 ประเภทคือ เอเอสเค(การเข้ารหัสสัญญาณทางแอมปลิจูด) เอฟเอสเค (การเข้ารหัสสัญญาณทางความถี่) และพีเอสเค (การเข้ารหัสสัญญาณทางเฟส)

นอกจากนั้นยังมีการเข้ารหัสในลักษณะของการผสมอีกเช่น QAM เป็นต้น อย่างไรก็ตามการเข้ารหัสสัญญาณทางเฟสเป็นวิธีที่ได้รับความนิยมค่อนข้างมาก เพราะนอกจากจะมีภูมิคุ้มกันต่อต้านรบกวนใกล้เคียงกับการเข้ารหัสสัญญาณทางความถี่แล้ว กระบวนการที่ใช้ในการเข้าและถอดรหัสยังมีความยืดหยุ่นและสามารถเข้ารหัสข้อมูลกับสัญญาณได้ที่บิตจำนวนสูง ๆ ทั้งนี้ก็เพราะว่าการแบ่งแยกความถี่ที่แตกต่างกันอยู่ใกล้กันมากจะทำได้ยาก แต่ในกรณีของเฟสจะทำได้ง่ายกว่า

ในกระบวนการเข้าและถอดรหัสทางเฟสโดยทั่วไปจะแบ่งออกเป็น 2 ประเภทหลัก ๆ คือแบบ PSK และแบบ DPSK โดยที่แบบ PSK จะใช้การอ้างอิงเฟสกับสัญญาณคลื่นพาห์ ซึ่งในการกู้เอาข้อมูลกลับคืนมาจะต้องอาศัยคลื่นพาห์ที่หามาได้จากกระบวนการกู้สัญญาณคลื่นพาห์ ที่อยู่ทางด้านเครื่องรับ จึงสามารถกู้สัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ข้อมูลกลับคืนมาได้ และสำหรับ DPSK เพื่อเป็นการแก้ปัญหาในเรื่องสัญญาณคลื่นพาห์ดังในกรณี PSK ระบบของ DPSK จะใช้การอ้างอิงเฟสกับสัญญาณอ้างอิง 1 บิตสำหรับการเข้ารหัสบิตแรกและการเข้ารหัสสำหรับบิตต่อ ๆ ไปจะเทียบเฟสกับสัญญาณของบิตที่เข้ารหัสไปก่อนหน้านี้แล้วที่อยู่ติดกัน ดังนั้นในการถอดรหัสในกระบวนการ DPSK จึงไม่จำเป็นต้องอาศัยสัญญาณคลื่นพาหะ ซึ่งมีความยุ่งยากและซับซ้อนอยู่พอสมควร จึงเกิดกระบวนการในการเข้าและถอดรหัสในกระบวนการ PSK ที่ไม่ต้องอาศัยกระบวนการในการกู้สัญญาณคลื่นพาห์กลับคืนมาที่เครื่องรับ เพื่อให้ในการดีเทค ข้อมูลกลับคืนมา โดยจะมีการสร้างสัญญาณ PSK ตามปกติและก่อนส่งตจะมีการบวกสัญญาณคลื่นพาหะที่ใช้ที่เครื่องส่งไปด้วย และเมื่อไปถึงเครื่องรับ เครื่องรับก็จะอาศัยเพียงวงจรยกกำลังสอง วงจรกรองความถี่ต่ำผ่าน และตัวแปลงสัญญาณอนาลอกเป็นข้อมูลดิจิตอลที่เหมาะสมก็จะทำให้สามารถดีเทคข้อมูลกลับคืนมาได้โดยไม่ต้องอาศัยกระบวนการในการกู้สัญญาณคลื่นพาห์มาก่อนแล้วค่อยไปทำการดีเทคข้อมูลอีกครั้ง

หลักการและวงจร

พิจารณาหลังการเบื้องต้นโดยใช้ตัวอย่าง BPSK ให้

$\phi_c(t)$ เป็นสัญญาณคลื่นพาห์

$\phi_1(t)$ เป็นสัญญาณที่ได้จากการเข้ารหัสข้อมูล "1"

และ $\phi_2(t)$ เป็นสัญญาณที่ได้จากการเข้ารหัสข้อมูล "0"

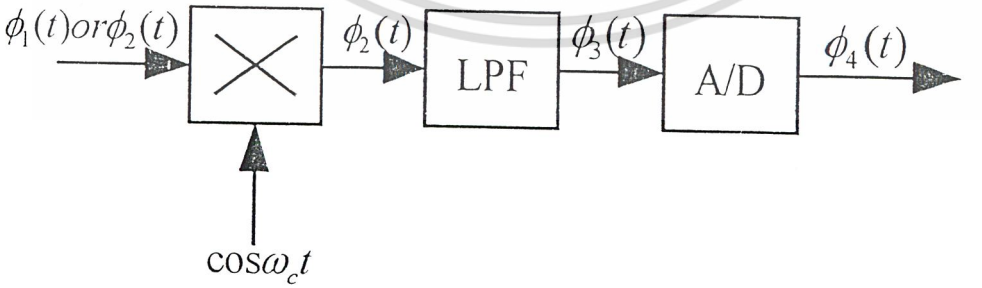
สำหรับการเข้ารหัสแบบ BPSK และถ้าข้อมูล "1" เข้ารหัสเฟส 0 องศาและ ข้อมูล "0" เข้ารหัสเฟส 180 องศา ดังนั้น

$$\phi c(t) = \cos(\omega_c t)$$

$$\phi_1(t) = \cos(\omega_c t - 0)$$

$$\phi_2(t) = \cos(\omega_c t - 180)$$

ซึ่งกระบวนการในการข้อมูลกลับคืนมาจะใช้การคูณกันระหว่าง $\phi_1(t)$ กับ $\phi c(t)$ หรือ $\phi_2(t)$ กับ $\phi c(t)$ แล้วนำสัญญาณดังกล่าวไปผ่านตัวกรองความถี่ต่ำ และตัวแปลงสัญญาณอนาลอกเป็นข้อมูลดิจิตอลที่เหมาะสมดังรูป




รูปที่ 2.31 แสดงแผนภูมิการเข้าและถอดรหัสพีเอสเคแบบเดิม

โดยที่จะได้

$$\phi_3(t) = \begin{cases} \phi_c(t)\phi_1(t) \\ \phi_c(t)\phi_2(t) \end{cases}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งไม่อนุญาตให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เป็น $\phi_c(t)\phi_1(t)$ เมื่อป้อนข้อมูลเป็น "1"

ป็น $\phi_c(t)\phi_2(t)$ เมื่อป้อนข้อมูลเป็น "0"

$$= \begin{cases} \frac{1}{2} + \frac{\cos(2\omega_c t)}{2} \\ -\frac{1}{2} - \frac{\cos(2\omega_c t)}{2} \end{cases}$$

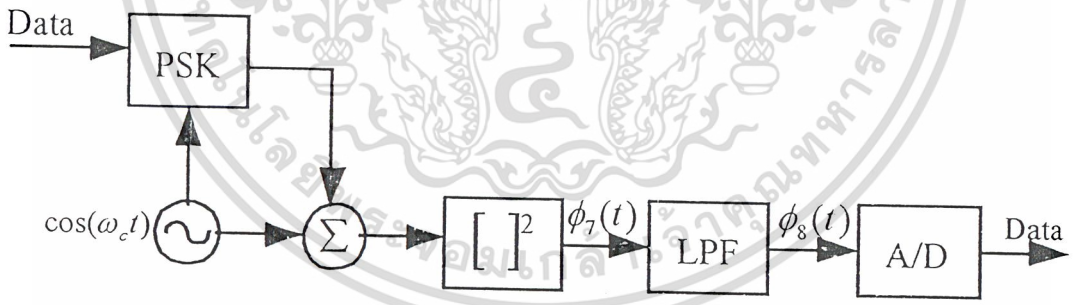
เป็น $\frac{1}{2} + \frac{\cos(2\omega_c t)}{2}$ เมื่อข้อมูลเป็น "1"

เป็น $-\frac{1}{2} - \frac{\cos(2\omega_c t)}{2}$ เมื่อข้อมูลเป็น "0"

$$\phi_4(t) = \begin{cases} \frac{1}{2} \\ -\frac{1}{2} \end{cases}$$

เป็น ½ เมื่อข้อมูลเป็น "1" เป็น –1/2 เมื่อข้อมูลเป็น "0"

ซึ่งจะเห็นว่าที่ตัวรันจำเป็นที่จะต้องมีกระบวนการในการกู้สัญญาณคลื่นพาห์กลับคืนมาเพื่อใช้ในการถอดรหัสข้อมูล และเพื่อเป็นการลดปัญหาดังกล่าวระบบการเข้ารหัสและถอดรหัสที่จะได้เสนอต่อไปนี้ เมื่อทำการสร้างสัญญาณทางเฟสได้เรียบร้อยแล้ว ก่อนที่จะส่งไปเครื่องรับจำทำการบวกสัญญาณคลื่นพาห์เข้าไปด้วยก่อนทำการส่ง และทางเครื่องรับจะนำสัญญาณดังกล่าวไปยกกำลังสอง ผ่านวงจรกรองความถี่ต่ำผ่าน และ A/D เพื่อแปลงเป็นข้อมูลต่อไปดังรูป




รูปที่2.32แสดงแผนภูมิการเข้าและถอดรหัสแบบใหม่

และในทำนองเดียวกันที่กล่าวไปแล้ว ถ้าให้ $\phi_5(t)$ เป็นสัญญาณที่เข้ารหัสกับข้อมูล "0"และ $\phi_6(t)$ เป็นสัญญาณที่เข้ารหัสกับข้อมูล "1" แล้วจะได้ว่า

$$\phi_5(t) = \cos(\omega_c t) + \cos(\omega_c t \pm 180)$$

$$\phi_6(t) = \cos(\omega_c t) + \cos(\omega_c t) = 2\cos(\omega_c t)$$

ดังนั้นที่ตัวรับจะได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\phi_7(t) = \begin{cases} \phi_5(t)^2 \text{.....} \text{"0"} \\ \phi_6(t)^2 \text{.....} \text{"1"} \end{cases}$$

$$= \begin{cases} (\cos(\omega_c t) + \cos(\omega_c t - \mathbf{180}))^2 \text{.....} \text{"0"} \\ (\mathbf{2}\cos(\omega_c t))^2 \text{.....} \text{"1"} \end{cases}$$

เป็น $(\cos(\omega_c t) + \cos(\omega_c t - \mathbf{180}))^2$ เมื่อข้อมูลเป็น "0"

เป็น $(2\cos(\omega_c t))^2$ เมื่อข้อมูลเป็น "1"

และเมื่อนำสัญญาณนี้ไปผ่านวงจรกรองความถี่ต่ำที่เหมาะสมแล้วจะได้

$$\phi_8(t) = \begin{cases} 0 \\ 1 \end{cases}$$

เป็น 0 เมื่อข้อมูลเป็น "0" เป็น 1 เมื่อข้อมูลเป็น "1"

$$\phi_8(t) = \begin{cases} A^2 + A^2\cos\theta_1 \\ A^2 + A^2\cos\theta_2 \end{cases}$$

เป็น $A^2 + A^2\cos\theta_1$ เมื่อข้อมูลเป็น "0"

$A^2 + A^2\cos\theta_2$ เมื่อข้อมูลเป็น "1"

ถ้า A คือขนาดของคลื่นพาห์ และสัญญาณที่เข้ารหัสทางเฟสแล้ว

$\theta_1, \theta_2$ คือมุมที่ทำการเข้ารหัส

ซึ่งจะเห็นว่าสามารถเข้าและถอดรหัสข้อมูลได้ นอกจากนั้นยังสามารถนำไปใช้กับสัญญาณที่ทีการเข้ารหัสแบบเฟสได้มากกว่า 2 เฟสเป็น M-array เฟสได้ โดยการดัดแปลงสัญญาณอนาลอกเป็นสัญญาณข้อมูลดิจิตอล (A/D) เท่านั้น

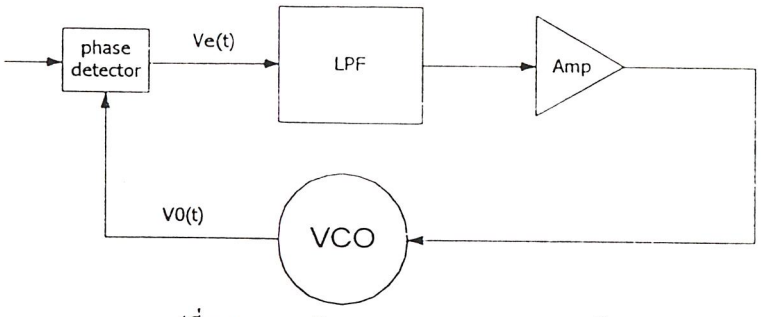
**2.21 เฟสล็อคลูป (Phase Lock Loop : PLL)**

เฟสล็อคลูป เป็นการสังเคราะห์สัญญาณโดยทางอ้อม (Indirect Synthesis) จะอาศัยการกำเนิดสัญญาณจากวงจรออสซิลเลเตอร์ โดยการปรับแรงดัน (VCO) และสัญญาณจาก VCO จะถูกป้อนกลับมาเปรียบเทียบกับความถี่อ้างอิงแล้วนำผลมาควบคุม VCO อีกที

<u>หลักการของเฟสล็อคลูป</u>

หลักการเบื้องต้นของเฟสล็อคลูปก็มาจากระบบป้อนกลับซึ่งประกอบด้วยส่วนสำคัญสามส่วนดังแผนผังการทำงานในรูปที่2.33 ซึ่งคือเฟสดีเทคเตอร์,วงจรกรองความถี่ต่ำผ่าน และ โวลเตจคอนโทรลออสซิลเลเตอร์ (Voltage Control Oscillator,VCO)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 2.33 แผนผังการทำงานของวงจรเฟสล็อคลูป

ในขณะที่ไม่มีสัญญาณป้อนเข้ามา $V_d$ จะเท่ากับศูนย์ และVCO จะผลิตความถี่แบบที่เรียกว่าความถี่อิสระ (free running) เท่ากับ f0 เมื่อมีอินพุท $V_s$ ป้อนเข้ามามีความถี่เท่ากับ $f_s$ วงจรเฟสดีเทคเตอร์จะทำหน้าที่เปรียบเทียบเฟสและความถี่ของสัญญาณที่เข้ามากับสัญญาณที่ VCO ถ้า $f_s$ และ $f_0$ แตกต่างกันจะได้ $V_e$ (Error Voltage) จากเอาท์พุตของเฟสดีเทคเตอร์ผ่านวงจรกรองความถี่ต่ำ Vd ไปเข้า VCO ปรับความถี่ f0 ให้เท่ากับ $f_s$ และเมื่อ $f_0$ เท่ากับ $f_s$ ก็คือสภาวะล็อคหรือซิงค์ เอาท์พุตจากเฟสดีเทคเตอร์ $V_e$ จะเป็นศูนย์ และ $V_d$ ก็เท่ากับศูนย์ด้วย

ในเรื่องของเฟสล็อคลูปมีคำที่เข้าใจสับสนกันบ่อย ๆ คือ ล็อคเรนจ์ (Lock Range) กับคำว่าแคปเจอร์เรนจ์ (Capture Range) ซึ่งมีความหมายต่างกันดังนี้

ล็อคเรนจ์ (Lock Range) หมายถึงย่านความถี่ที่ใกล้เคียงกับ $f_0$ ซึ่งเฟสล็อคลูปยังสามารถล็อคกับสัญญาณที่เข้ามา ค่า ล็อคเรนจ์ จะลดลงเมื่ออัตราการขยายทั้งหมดของเฟสล็อคลูปลดลง

แคปเจอร์เรนจ์ (Capture Range) หมายถึงบริเวณแถบความถี่ที่ใกล้เคียงกับ $f_0$ ที่เฟสล็อคลูปเริ่มล็อคกับสัญญาณที่เข้ามา ค่าของแคปเจอร์เรนจ์ขึ้นอยู่กับแบนด์วิทของวงจรกรองความถี่ต่ำผ่าน คือจะลดลงหากแบนด์วิทแคบ และโดยปกติแคปเจอร์เรนจ์จะมีค่าน้อยกว่าล็อคเรนจ์

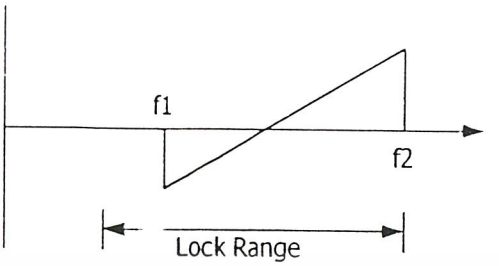
เพื่อให้เข้าใจคำว่าล็อคเรนจ์และแคปเจอร์เรนจ์ง่ายขึ้นพิจารณาดูจากรูปที่2.33ซึ่งแสดงคุณลักษณะระหว่างความถี่กับ $V_e$ ของเฟสล็อคลูปดังรูป จากส่วนบนของรูปที่ 2.33สมมุติว่าสัญญาณที่เข้ามามีความถี่ค่อย ๆ เปลี่ยนไปจากต่ำไปสูง ตอนแรกจะยังไม่มีอะไรเกิดขึ้น และ $V_d$ จะเท่ากับศูนย์จนกระทั่งความถี่ของสัญญาณที่เข้ามา $f_s$ ซึ่งเป็นความถี่ต่ำสุดของแคปเจอร์เรนจ์ ทำให้เฟสล็อคลูปเริ่มล็อคกับ $f_s$ และ $V_d$ มีค่าเป็นลบเพื่อปรับ VCO ให้ $f_0 = f_s$ แต่ในที่นี้เราสมมุติว่า $f_s$ เปลี่ยนไปเรื่อย ๆ ซึ่งทำให้ค่าของ $V_d$ เป็นลบน้อยลง จนกระทั่ง $f_s = f_0$ ทำให้ $V_d$ เท่ากับศูนย์ จากนั้น $V_d$ จะเริ่มเป็นบวกและมากขึ้นเรื่อย ๆ จนกระทั่ง $f_s = f_2$ ซึ่งเป็นความถี่สูงสุดของล็อคเรนจ์ จะทำให้หลุดจากการล็อค และ $V_d$ เท่ากับศูนย์

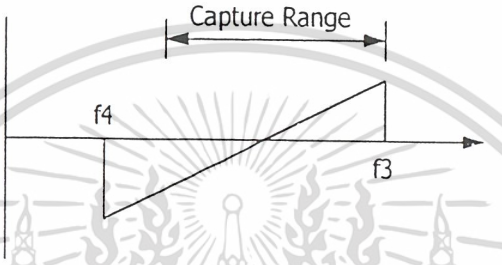
ในทางกลับกันถ้า $f_s$ เปลี่ยนจากสูงมาต่ำ ให้พิจารณารูปที่ 2.34 ส่วนล่างเฟสล็อคลูปจะเริ่มล็อคเมื่อ $f_s = f_3$ ซึ่งเป็นค่าสูงสุดของแคปเจอร์เรนจ์ ทำให้ $V_d$ มีค่าเป็นบวกทันทีเมื่อ $f_s$ ลดลงจน $f_s = f_0$ จะได้ $V_d$ เท่ากับศูนย์ แล้วมีค่าลบมากขึ้นเรื่อย ๆ จนกระทั่ง $f_s = f_4$ ซึ่งเป็นความถี่ต่ำสุดของล็อคเรนจ์ จะทำให้ $f_s$ หลุดจากการล็อคของเฟสล็อคลูป และ $V_d$ กลับเป็นศูนย์อีกครั้ง เราจึงได้ว่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ล็อคเรนจ์ = $f_2 - f_4$

แคปเจอร์เรนจ์ = $f_3 - f_1$



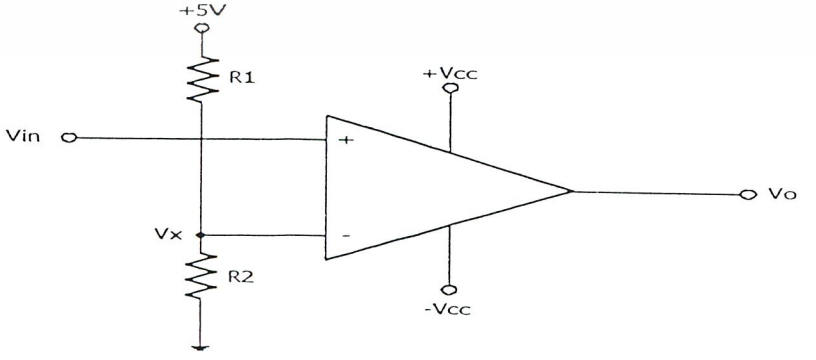

รูปที่ 2.34 คุณลักษณะระหว่างความถี่กับ Error Voltage ของเฟสล็อคลูป

ในวงจรที่เราทดลองจะใช้ IC เบอร์CD4046 เป็นวงจรรวมของเฟสดีเทคเตอร์กับ VCO โดยสามารถป้อนวัญญาณได้โดยตรงและใช้ IC 7490 เป็นวงจรหาร

## 2.22 วงจร Comparator

### 2.22.1 แปลง 1 บิต เป็น 2 ระดับ

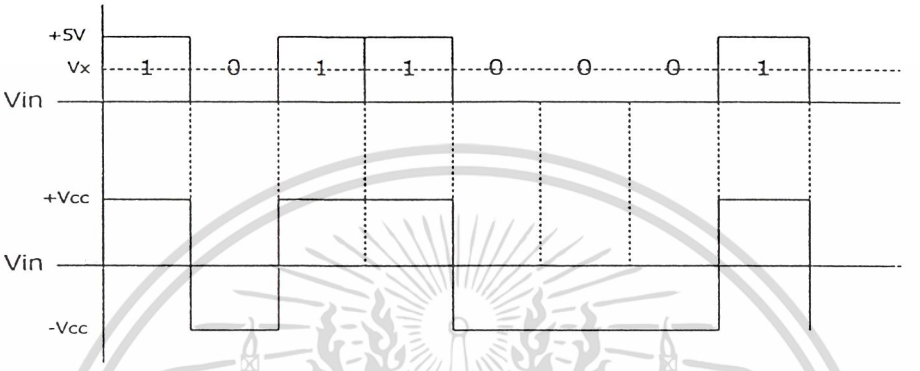
เป็นวงจรที่ใช้ในการแปลงจากรหัส Digital ที่มีแรงดัน 0V กับ +5V ให้เป็นแรงดันที่มีค่าเป็น +Vcc และ -Vcc โดยใช้ Op-Amp ทำการเปรียบเทียบแรงดันระหว่างขาของ Op-Amp




รูปที่ 2.35 รูปวงจรแปลง1 บิต เป็น 2 ระดับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

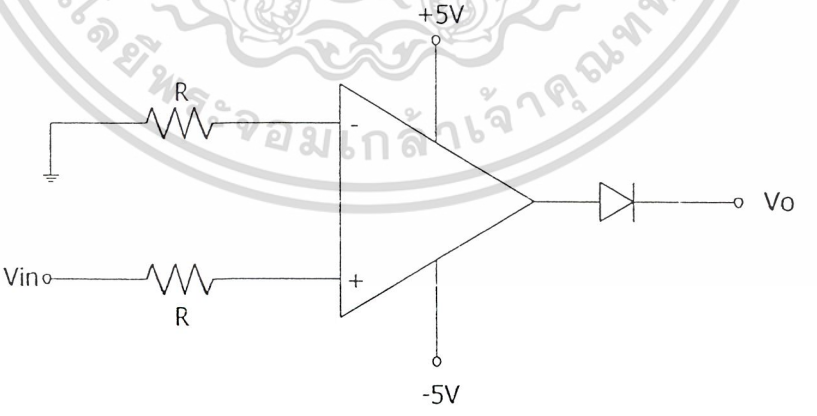
ให้ Vx เป็นแรงดันอ้างที่ต้องมีค่าอยู่ระหว่าง 0 ~5 V ทำให้เมื่อรหัส 1(+5V)เข้ามาจะทำให้แรงดันที่ขาบวกของ Op-Amp มากกว่าแรงดันที่ขาลบทำให้ได้ Vo=+Vcc และเมื่อรหัส0(0V)เข้ามาจะทำให้แรงดันที่ขาบวกของ Op-Amp น้อยกว่าแรงดันที่ขาบวกทำให้ Vo=-Vcc ซึ่งอธิบายได้โดยใช้ Timing Diagram ดังรูปที่ 2.36




รูปที่ 2.36 รูป Timing Diagram แสดงการแปลง1 บิต เป็น 2 ระดับ

**2.22.2แปลง 2 ระดับ เป็น 1 บิต**

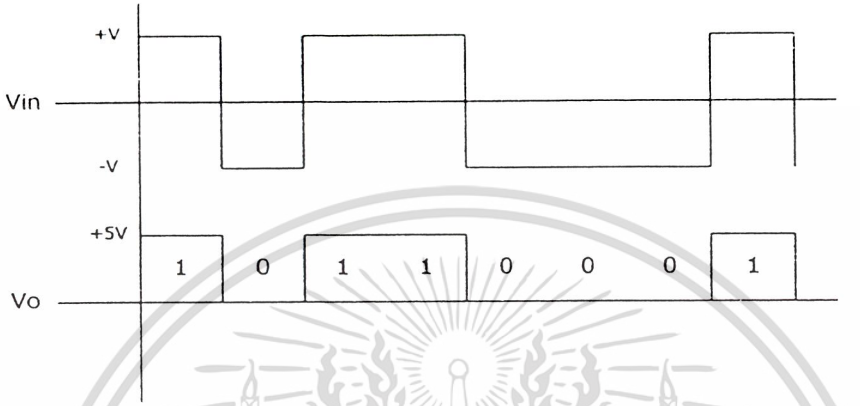
เป็นวงจรที่ใช้แปลงจากพัลส์ที่มีแรงดัน +,- เป็นรหัส Digital (0,5V) โดยใช้ Op-Amp เป็นตัวเปรียบเทียบ




รูปที่ 2.37 รูปวงจรแปลง2 ระดับ เป็น 1 บิต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อพัลส์ที่มีค่า +V เข้ามาจะทำให้แรงดันที่ขาบวกมากกว่าแรงดันที่ขาลบ ทำให้แรงดันเอาท์พุตของ Op-Amp เท่ากับ +5V เมื่อผ่าน Diode จะได้ Vo=+5V แต่เมื่อพัลส์ที่มีค่าลบเข้ามาจะทำให้แรงดันที่ขาบวกน้อยกว่าที่ขาลบทำให้แรงดันเอาท์พุตของ Op-Amp เท่ากับ –Vcc เมื่อผ่าน Diode จะผ่านไม่ได้ ทำให้ Vo=0V ซึ่งสามารถอธิบายได้โดยใช้ Timing Diagram ดังรูปที่ 2.38

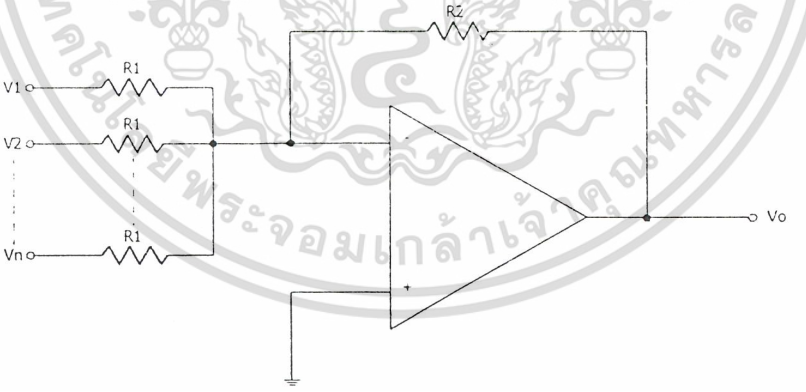



รูปที่ 2.38 รูป Timing Diagram แสดงการแปลง2 ระดับ เป็น 1 บิต

**2.23 วงจรรวมสัญญาณ (Summing)**

เป็นวงจรที่ทำหน้าที่รวมสัญญาณหลายๆสัญญาณเข้าด้วยกัน แบ่งออกเป็น 2 ชนิด คือ

แบบ Inverting




รูปที่ 2.39 รูปวงจรบวกแบบ Inverting

ใช้ node analysis :

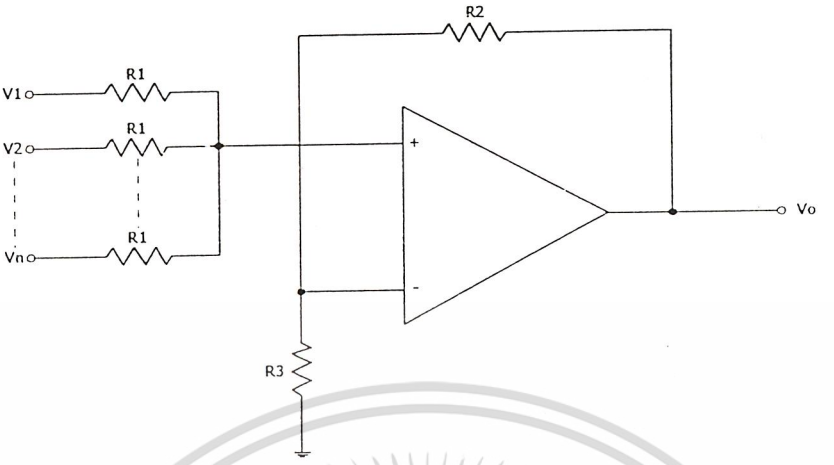
$$-\frac{V1}{R1}-\frac{V2}{R1}-.....-\frac{Vn}{R1}-\frac{V_O}{R2}=0$$

$$\frac{V_O}{R2}=-\frac{1}{R1}(V1+V2+.....Vn)$$

$$\therefore V_O=-\frac{R2}{R1}(V1+V2+.....Vn)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แบบ Non-Inverting




รูปที่ 2.40 รูปวงจรบวกแบบNon-Inverting

ที่ node ขาลบ : $$V_X = \frac{V_O.R3}{R2+R3} \quad (1)$$

ที่ node ขาบวก : $$\frac{(V_X - V1)}{R1} + \frac{(V_X - V2)}{R1} + \ldots\ldots + \frac{(V_X - Vn)}{R1} = 0$$

นำ R1 คูณตลอดสมการ

$$nV_X - (V1 + V2 + \ldots\ldots + Vn) = 0 \quad ; \text{ n = จำนวนเต็มบวก} \quad (2)$$

นำ (1) แทนใน (2) : $$\frac{V_O.n.R3}{R2+R3} = (V1 + V2 + \ldots\ldots + Vn)$$

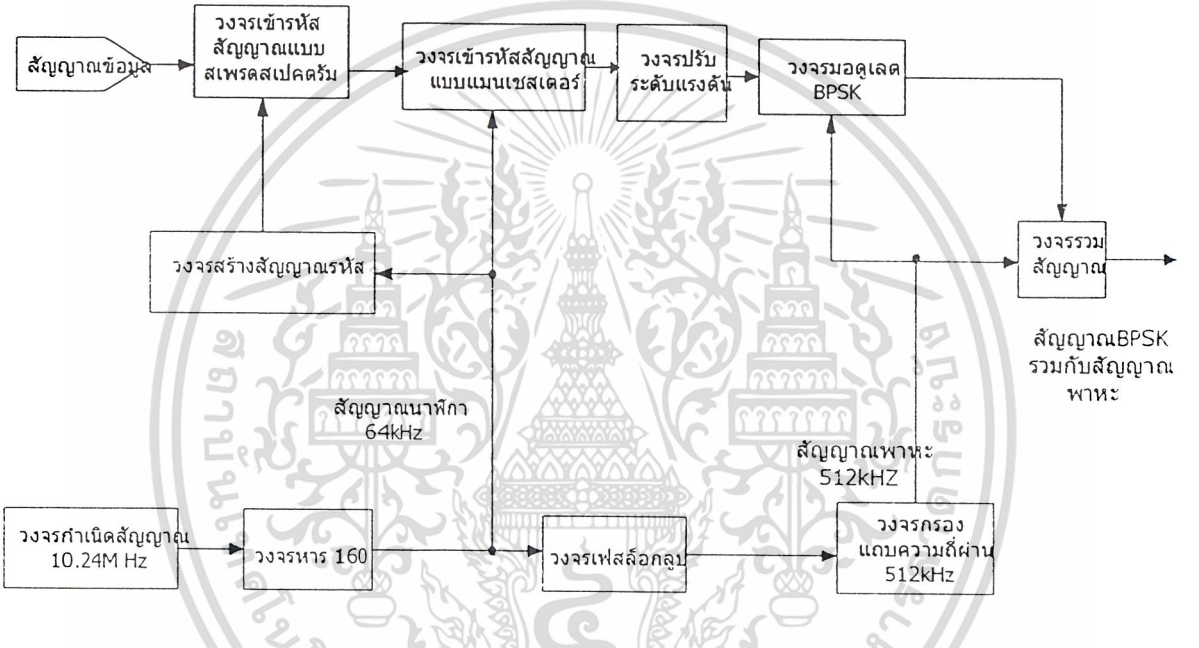
$$\therefore V_O = \frac{(R2+R3)}{n.R3}(V1 + V2 + \ldots\ldots + Vn)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# บทที่ 3
# การคำนวณและการสร้าง

## 3.1 การออกแบบวงจรภาคส่ง

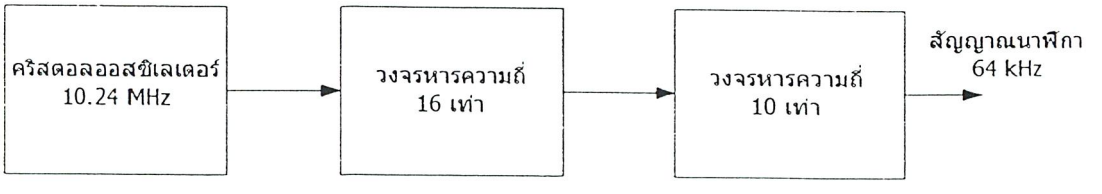
วงจรทางภาคส่งนั้นได้ออกแบบให้สัญญาณข้อมูลมีความเร็ว 8 kbps และให้สัญญาณนาฬิกาที่ใช้ในวงจรมีความเร็วเท่ากับ 64 kbps โดยสัญญาณนาฬิกานี้จะถูกใช้ในการสร้างสัญญาณรหัสที่มีความเร็วมากกว่าสัญญาณข้อมูลอยู่ 8 เท่า และในการมอดูเลตนั้นจะใช้สัญญาณพาหะความถี่ 512 kHz ที่สร้างจากสัญญาณนาฬิกาโดยใช้วงจรเฟสล็อกลูป(Phase Lock Loop:PLL)เพื่อให้เกิดความสัมพันธ์กัน




รูปที่ 3.1 แผนผังการทำงานทางภาคส่ง

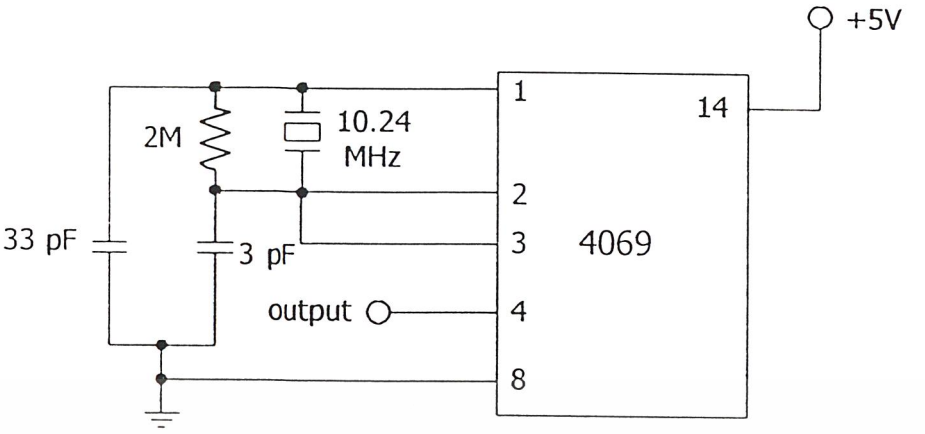
### 3.1.1 วงจรสร้างสัญญาณนาฬิกา 64 kbps

เป็นวงจรสร้างสัญญาณนาฬิกาเพื่อใช้เป็นสัญญาณนาฬิกาของทางภาคส่ง โดยการใช้คริสตอลออสซิเลเตอร์ผลิตสัญญาณที่มีความถี่เท่ากับ 10.24 MHz หลังจากนั้นไปทำการหารความถี่ 160 เท่า โดยการใช้วงจรหารความถี่ 16 เท่า กับวงจรหารความถี่ 10 เท่า

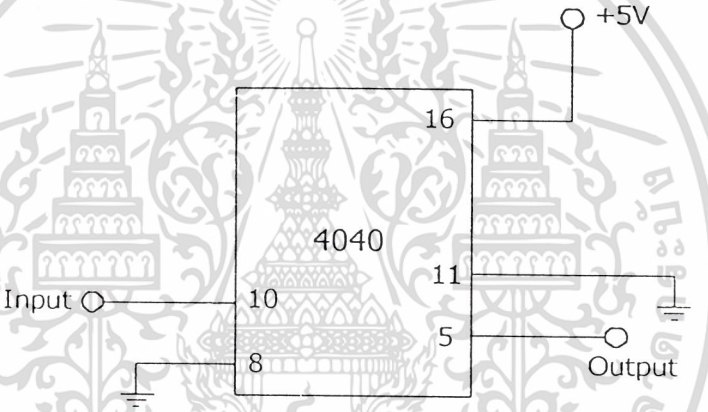



รูปที่ 3.2 แผนผังการทำงานของวงจรสร้างสัญญาณนาฬิกา 64 kHz

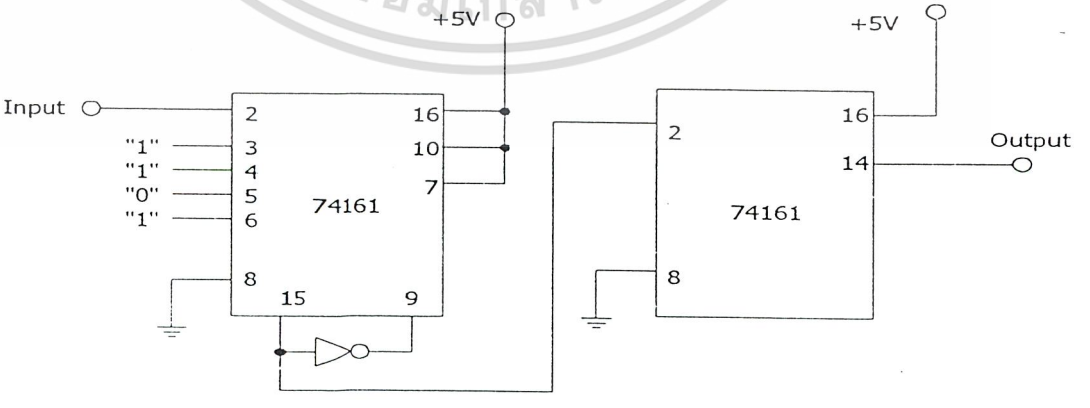
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่3.3 วงจรกำเนิดสัญญาณ 10.24 MHZ




รูปที่ 3.4 วงจรหารความถี่ 16 เท่า

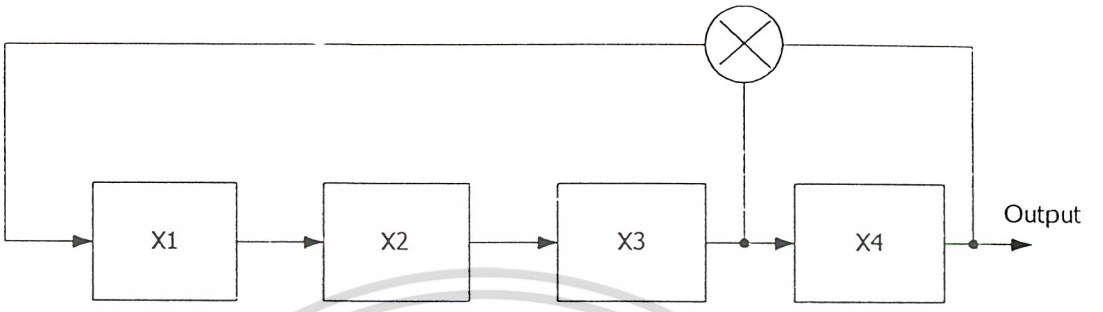



รูปที่ 3.5 วงจรหารความถี่ 10 เท่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### 3.1.2 วงจรสร้างสัญญาณรหัส

วงจรสร้างสัญญาณรหัสในโครงงานนี้ได้ออกแบบโดยใช้ชิพรีจิสเตอร์ 4 ตัวซึ่งสร้างจาก D Flip-Flop แล้วอาศัยหลักการผลิตสัญญาณรหัสแบบป้อนกลับ ที่จะผลิตสัญญาณรหัสแบบสุ่มที่ซ้ำกันทุกๆ 15 บิต



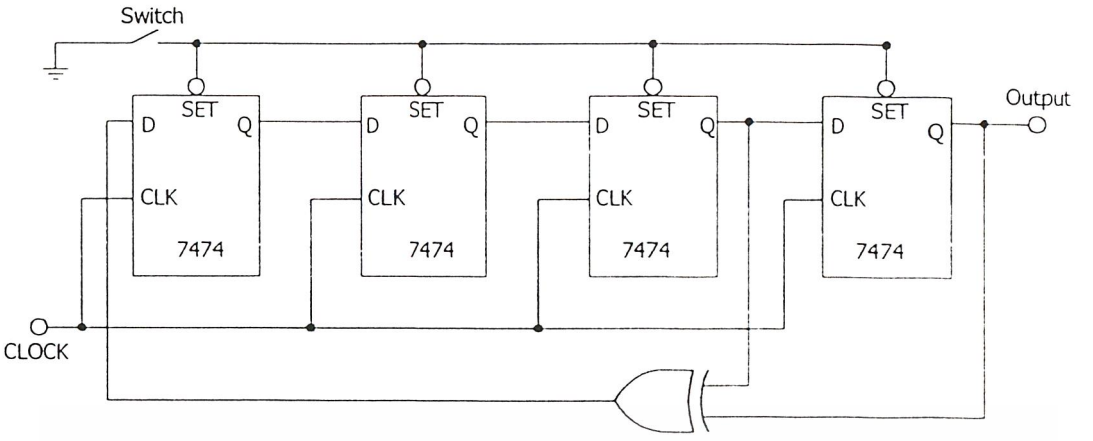

รูปที่ 3.6 แผนผังการทำงานวงจรสร้างสัญญาณรหัส

กำหนด initial code เป็น 1111 ซึ่งจะได้เอาท์พุตแบบ 15 บิต คือ 111100010011010 วนรอบไปเรื่อยๆ แสดงได้ดังนี้

| บิตที่ | X1 | X2 | X3 | X4(output) |
|---|---|---|---|---|
| Initial code : 1 | 1 | 1 | 1 | 1 |
| 2 | 0 | 1 | 1 | 1 |
| 3 | 0 | 0 | 1 | 1 |
| 4 | 0 | 0 | 0 | 1 |
| 5 | 1 | 0 | 0 | 0 |
| 6 | 0 | 1 | 0 | 0 |
| 7 | 0 | 0 | 1 | 0 |
| 8 | 1 | 0 | 0 | 1 |
| 9 | 1 | 1 | 0 | 0 |
| 10 | 0 | 1 | 1 | 0 |
| 11 | 1 | 0 | 1 | 1 |
| 12 | 0 | 1 | 0 | 1 |
| 13 | 1 | 0 | 1 | 0 |
| 14 | 1 | 1 | 0 | 1 |
| 15 | 1 | 1 | 1 | 0 |
| New period | 1 | 1 | 1 | 1 |

ตารางที่ 3.1 แสดงเอาท์พุตของวงจรสร้างสัญญาณรหัส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 3.7 วงจรสร้างสัญญาณรหัส

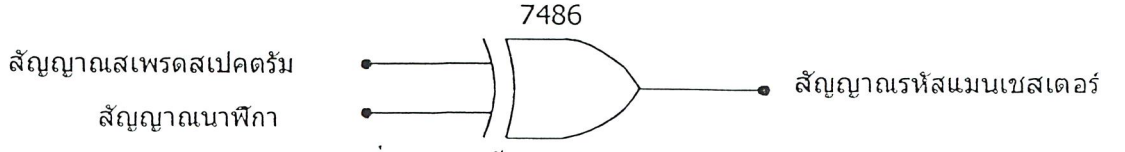
### 3.1.3 วงจรเข้ารหัสสัญญาณแบบสเพรดสเปกตรัม

วงจรนี้จะนำสัญญาณข้อมูลมาทำการเข้ารหัสกับสัญญาณรหัสที่มีความถี่มากกว่าอยู่ 8 เท่า เพื่อที่จะเป็นการแผ่กว้างทางสเปคตรัมของสัญญาณข้อมูล ซึ่งสามารถทำการเข้ารหัสได้โดยการนำสัญญาณข้อมูลมาทำการ Exclusive-OR กับสัญญาณรหัส

รูปที่ 3.8 วงจรเข้ารหัสแบบสเพรดสเปกตรัม

### 3.1.4 วงจรเข้ารหัสสัญญาณแมนเชสเตอร์

จากสัญญาณสเพรดสเปคตรัมที่ได้นั้นเราจะทำการเข้ารหัสสัญญาณแบบแมนเชสเตอร์ เพื่อให้ทางภาครับนั้นสามารถกู้สัญญาณนาฬิกากลับคืนมาได้จากการเข้านี้ตามทฤษฎีที่ได้กล่าวไว้ในบทที่2 ซึ่งการเข้ารหัสสัญญาณแมนเชสเตอร์นั้นสามารถทำได้โดยการนำสัญญาณสเพรดสเปกตรัมมาทำการ Exclusive-OR กับสัญญาณนาฬิกา

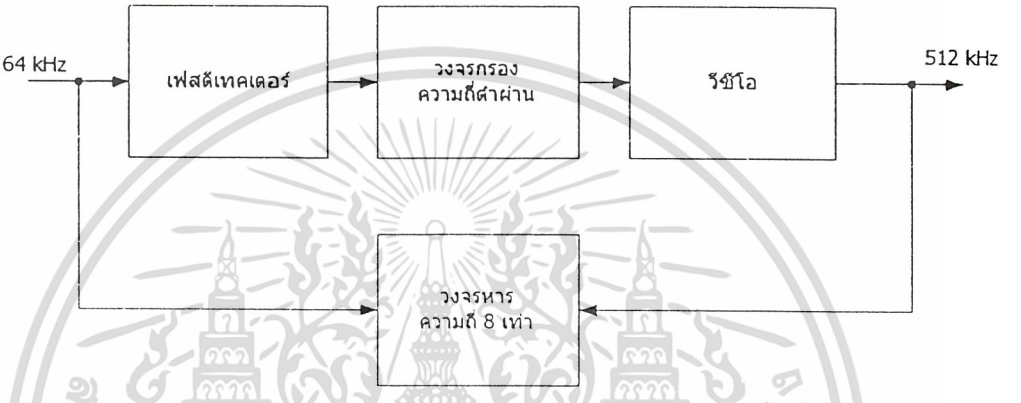



รูปที่ 3.9 วงจรเข้ารหัสสัญญาณแมนเชสเตอร์

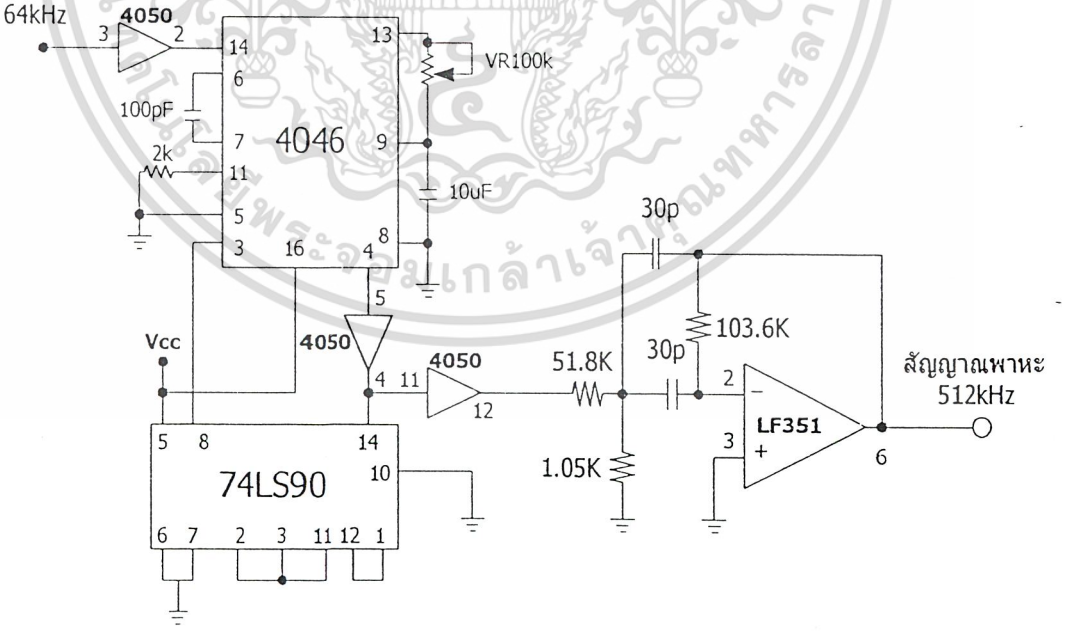
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### 3.1.5 วงจรสร้างสัญญาณพาหะ 512 kHz

วงจรส่วนนี้จะทำหน้าที่กำเนิดสัญญาณไซน์ความถี่ 512 kHz เพื่อมอดูเลตข้อมูลอินพุตที่เป็นสัญญาณรหัสแมนเชสเตอร์ที่ผ่านการปรับระดับแรงดันให้มีสองระดับที่วงจรมอดูเลตแบบ BPSK โดยใช้หลักการของเฟสล็อคลูปนำสัญญาณนาฬิกา 64 kHz ไปคูณ 8 เท่า ก็จะได้ 512 kHz พอดี โดยใช้ IC เบอร์ 4046 และใช้ IC เบอร์ 7490 เป็นวงจรหารแปด โดยสัญญาณที่ได้จะเป็นสัญญาณสี่เหลี่ยมดังนั้นจึงต้องผ่านวงจรกรองช่วงความถี่ที่ 512 kHz เพื่อกรองเอาสัญญาณรูปไซน์ออกมา




รูปที่ 3.10 แผนผังการทำงานของ เฟสล็อกลูป



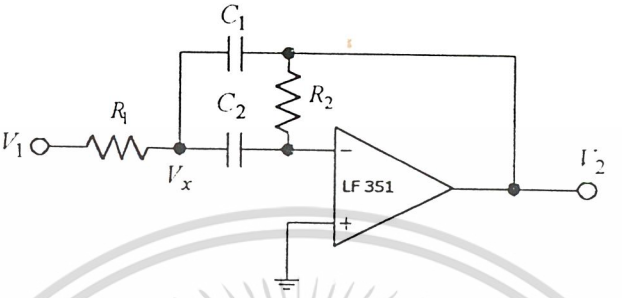

รูปที่ 3.11 วงจรสร้างสัญญาณพาหะ 512 kHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### 3.1.6 วงจรกรองช่วงความถี่ผ่าน 512 kHz

วงจรกรองช่วงความถี่ผ่านจะทำหน้าที่คัดเลือกสัญญาณในช่วงความถี่ที่ต้องการให้สามารถผ่านวงจรไปได้โดยไม่ถูกลดทอน ซึ่งในโครงงานนี้วงจรกรองช่วงความถี่ผ่านจะทำหน้าที่กรองสัญญาณคลื่นรูปซายน์ออกจากสัญญาณรูปสี่เหลี่ยมในส่วนสร้างสัญญาณพาหะ 512 kHzของภาคส่ง

ในการออกแบบใช้วงจรกรองช่วงความถี่ผ่านแบบ DELYIANNIS-FRIEND




รูปที่3.12 วงจร DELYIANNIS-FRIEND

จากรูปที่ 3.192 node x

$$V_2 = -\frac{R_2}{1/C_2 s} V_x = -R_2 C_2 s V_x \tag{1}$$

$$\frac{1}{R_1}(V_x - V_1) + C_2 s V_x + (V_x - V_2) C_1 s = 0 \tag{2}$$

จากสมการที่ (1) และ (2)

$$\frac{V_2}{V_1} = T(s) = \frac{(-1/R_1 C_1)s}{s^2 + (1/R_2)(1/C_1 + 1/C_2)s + 1/R_1 R_2 C_1 C_2}$$

ให้ $C = C_1 = C_2$ จะได้

$$T(s) = \frac{(1/R_1 C)s}{s^2 + (2/R_2 C)s + 1/R_1 R_2 C^2}$$

เมื่อเปรียบเทียบกับสมการมาตรฐานของวงจรกรองแถบความถี่ผ่านในสมการที่ (3)

เอกสารนี้สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$T(s) = \frac{-(\omega_o/Q)s}{s^2 + (\omega_o/Q)s + \omega_o^2} \qquad (3)$$

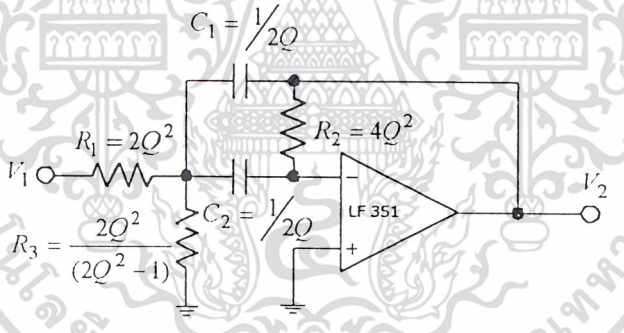
จะได้

$$\omega_o = \frac{1}{C\sqrt{R_1 R_2}} \ , \ Q = \frac{1}{2}\sqrt{\frac{R_2}{R_1}} \ , \ BW = \frac{\omega_o}{Q} = \frac{2}{R_2 C}$$

กำหนดให้ $R_1 = \omega_o = 1$ ดังนั้นจะได้

$$R_2 = 4Q^2 \quad \text{และ} \quad C = \frac{1}{2Q}$$

จากสมการที่ (3) จะพบว่ายิ่ง Q มีค่ามากขึ้นจะทำให้วงจรมีอัตราขยายมากขึ้นแต่เราต้องการให้อัตราขยายเท่ากับ 1 ดังนั้นจึงต้องใส่วงจรลดทอนเข้าไปจะได้วงจรดังรูปที่ 3.20




รูปที่3.13 วงจร DELYIANNIS-FRIEND ที่ใช้ในการคำนวณ

ในการออกแบบวงจรกรองความถี่แถบผ่านที่ความถี่ 200 kHz โดยกำหนดให้ Q = 5 และ C = 30pF ดังนั้น

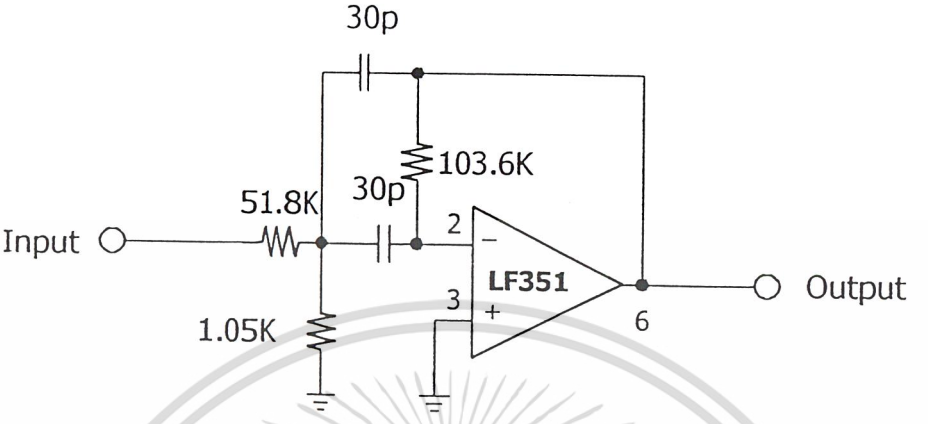
$$\text{kf} = \omega = 2\pi f = 2\pi \times 512 \times 10^3 = 3216990.877 \text{ rad/s}$$

$$C_{new} = \frac{1}{kfkm} C_{old}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$km = 1036.16$$

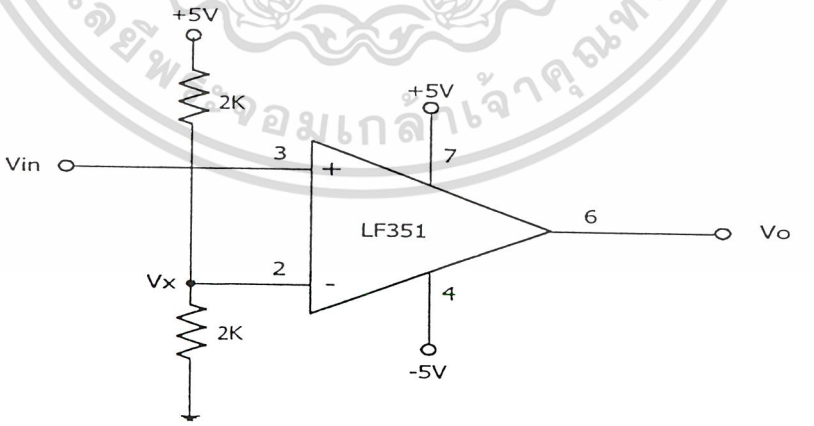
เมื่อคำนวณค่าต่างๆในวงจรจะได้ดังรูปที่ 3.14




รูปที่ 3.14 วงจรกรองช่วงความถี่ผ่าน 512 kHz

### 3.1.7 วงจรแปลง 1 บิต เป็น 2 ระดับ

ใช้ Op-Amp เป็นตัวเปรียบเทียบระดับแรงดันที่เข้ามาที่ขาอินพุตบวงลบของ Op-Amp โดยจะเปลี่ยนค่าแรงดันอินพุตที่เข้าเป็น 0V กับ 5V ให้เป็นแรงดันที่มีค่าบวกลบ ในการออกแบบใช้งานนั้นได้ออกแบบระดับแรงดันอ้างอิงที่ใช้เปรียบเทียบกับแรงดันอินพุตที่เข้ามาไว้ที่ 2.5V ทำให้ถ้าแรงดันอินพุตมีค่ามากกว่า 2.5V แล้วเอาท์พุตของ Op-Amp จะมีค่าเป็นบวก และถ้าแรงดันอินพุตมีค่าน้อยกว่า 2.5V แล้วเอาท์พุตของ Op-Amp จะมีค่าเป็นลบ

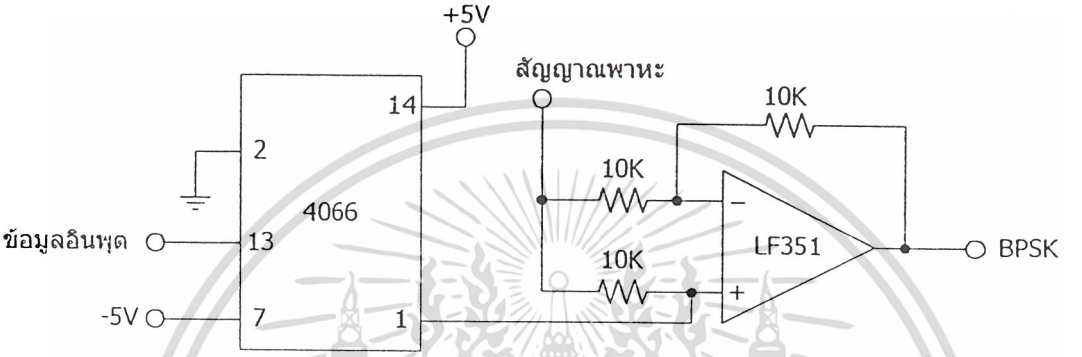



รูปที่ 3.15 วงจรแปลง 1 บิต เป็น 2 ระดับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### 3.1.8 วงจรมอดูเลตสัญญาณ BPSK

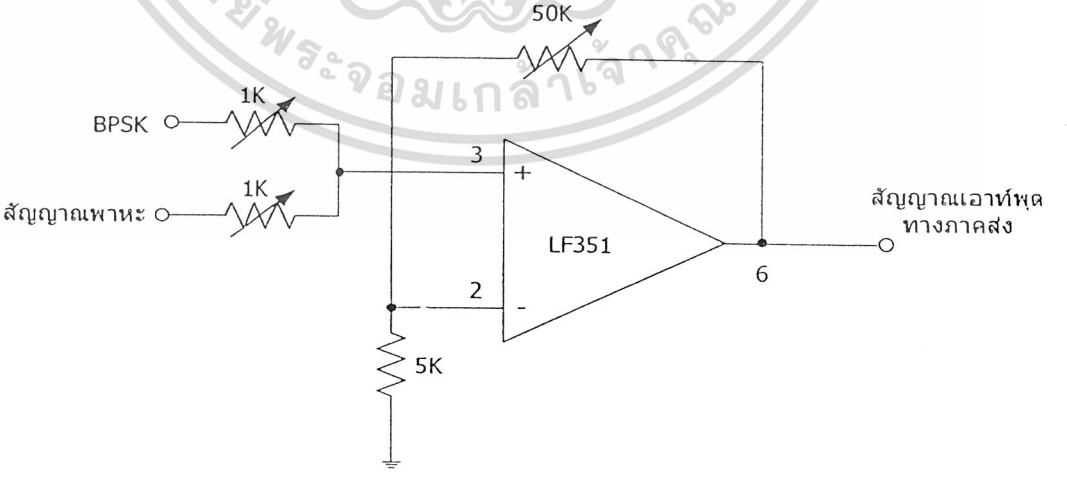
วงจรมอดูเลตสัญญาณ BPSK นี้จะใช้ ไอซีเบอร์ 4066 ทำหน้าที่เป็นสวิตช์ปิดเปิดให้กับวงจรขยายสัญญาณ ทำให้เกิดการขยายสัญญาณเป็น 2 ลักษณะ คือ เมื่อข้อมูลอินพุตมีค่าเป็นรหัส "1" วงจรขยายจะขยายสัญญาณแบบกลับเฟส(Inverting Amplifier) แต่ถ้าข้อมูลอินพุตมีค่าเป็นรหัส "0" วงจรขยายจะขยายสัญญาณแบบไม่กลับเฟส(Non-Inverting Amplifier) ทำให้สัญญาณพาหะที่ผ่านวงจรขยายที่มีสวิตช์ควบคุมด้วยสัญญาณข้อมูลอินพุตนี้ จะได้เป็นสัญญาณแบบBPSK




รูปที่ 3.16 วงจรมอดูเลตสัญญาณ BPSK

### 3.1.9 วงจรรวมสัญญาณ

วงจรรวมสัญญาณนี้จะทำการรวมสัญญาณระหว่างสัญญาณ BPSK กับ สัญญาณพาหะ เพื่อให้เป็นระบบที่ไม่ต้องกู้สัญญาณพาหะทางภาครับที่กล่าวแล้วในส่วนของทฤษฎีบทที่2 โดยสัญญาณที่ได้จะเป็นสัญญาณ BPSK รวมกับสัญญาณพาหะ เพื่อที่จะทำการส่งไปตามสายโคแอคเชียลให้กับทางภาครับ

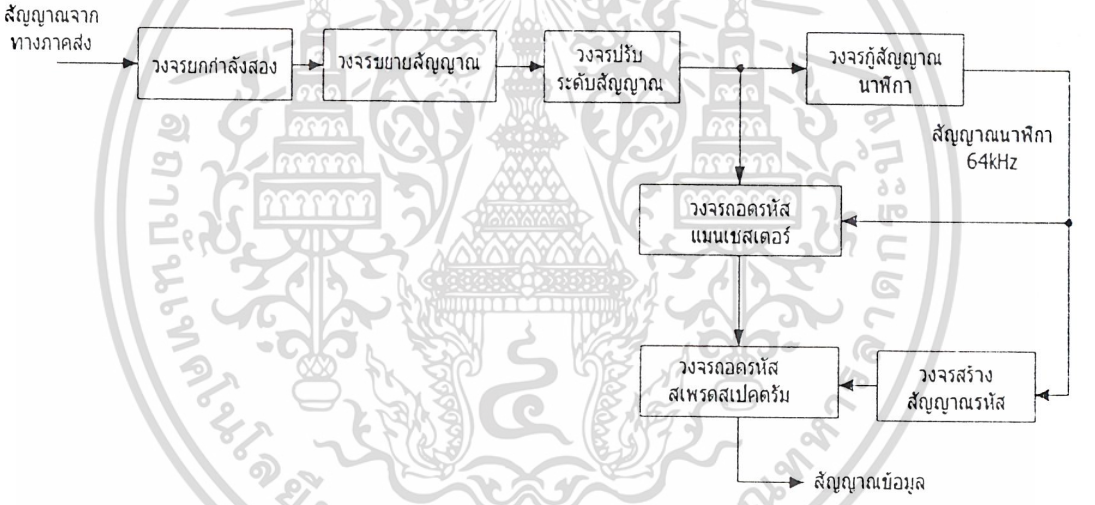



รูปที่ 3.17 วงจรรวมสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**3.2 การออกแบบวงจรทางภาครับ**

ทางภาครับนั้นจะรับที่ทางภาคส่งส่งมาตามสายโคแอคเชียล ซึ่งเป็นสัญญาณ BPSK รวมกับสัญญาณพาหะ 512 kHz ดังนั้นทางรับจะทำการกู้สัญญาณรหัสดิจิตอลกลับคืนมาโดยอาศัยหลักการกู้สัญญาณโดยไม่ต้องกู้สัญญาณพาหะ ซึ่งสามารถทำได้โดยนำไปผ่านวงจรยกกำลังสอง โดยสัญญาณที่ผ่านวงจรยกกำลังสองนั้นจะอยู่ในรูปของสัญญาณรหัสดิจิตอลที่เป็นรหัสแมนเชสเตอร์ปนอยู่กับสัญญาณพาหะที่มีความถี่สองเท่าซึ่งเป็นสัญญาณความถี่สูง เพราะฉะนั้นสัญญาณจะเป็นรูปของสัญญาณดิจิตอลที่มีความถี่สูงขี่อยู่ ซึ่งตามทฤษฎีนั้นเราจะต้องทำการกรองความถี่สูงนี้ออก แต่จากรูปสัญญาณพบว่าถ้าเราทำการขยายระดับสัญญาณแล้วนำไปขยายระดับสัญญาณเพื่อให้มีระดับที่เหมาะสมในการปรับระดับแรงดันแล้วจะสามารถทำการปรับระดับแรงดันให้เป็นสัญญาณรหัสดิจิตอลได้ โดยสัญญาณดิจิตอลที่ได้นี้จะอยู่ในรูปของรหัสแมนเชสเตอร์ซึ่งรหัสจะถูกนำไปใช้ในการกู้สัญญาณนาฬิกากลับคืนมาที่วงจรกู้สัญญาณนาฬิกา เมื่อได้สัญญาณนาฬิกาของทางภาครับแล้วก็จะทำการถอดรหัสแมนเชสเตอร์ และทางภาครับจะทำการสร้างสัญญาณรหัสขึ้นเพื่อนำไปถอดรหัสสัญญาณสเพรดสเปคตรัมเพื่อให้ได้สัญญาณข้อมูลเดิมกลับมา

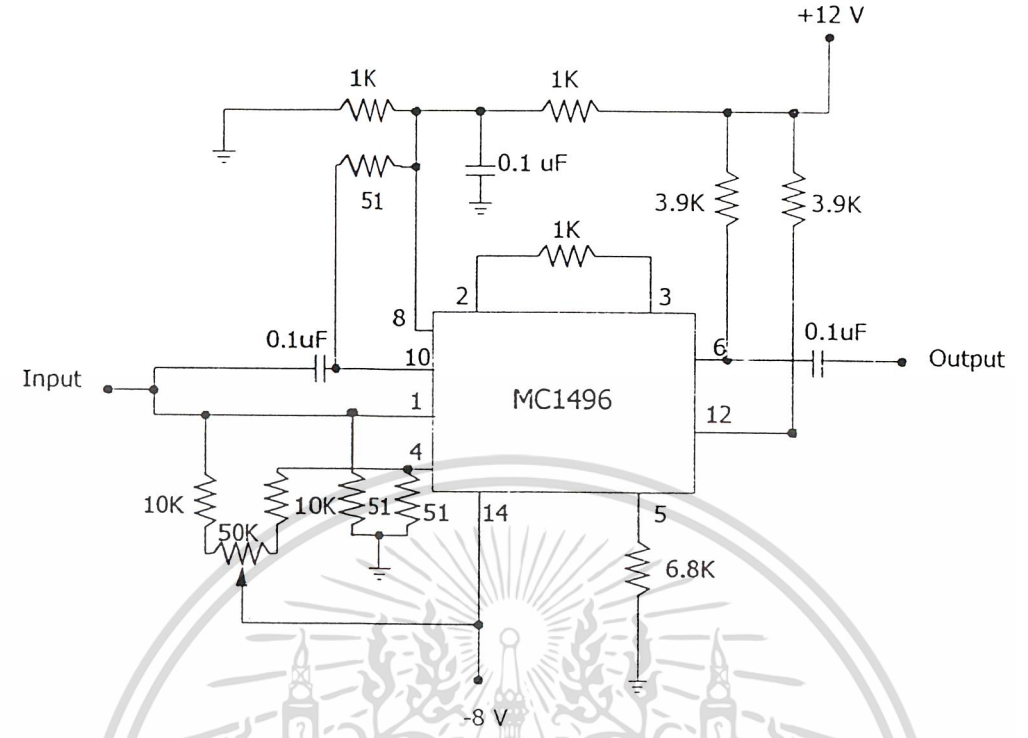



รูปที่ 3.18 แผนผังการทำงานทางภาครับ

**3.2.1 วงจรยกกำลังสอง**

วงจรนี้ทำหน้าที่ในการนำสัญญาณที่ทางภาครับรับมาจากทางภาคส่งมาทำการยกกำลังสอง เพื่อทำการกู้สัญญาณดิจิตอลแบบไม่ต้องอาศัยคลื่นพาหะ โดยเรานำวงจรคูณMC1496 มาเป็นวงจรยกกำลังสองโดยการป้อนสัญญาณเข้าที่อินพุตทั้งสองของวงจรคูณด้วยสัญญาณเดียวกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



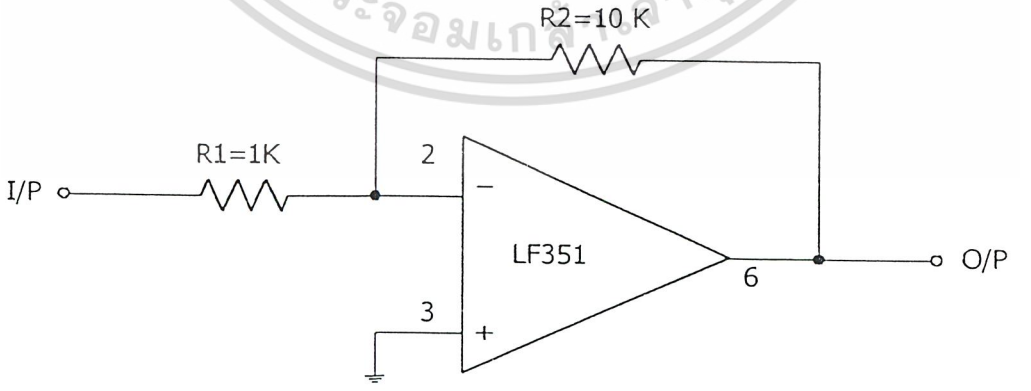

รูปที่ 3.19 วงจรยกกำลังสอง

3.2.2 วงจรขยายสัญญาณ

วงจรนี้จะทำหน้าที่ขยายระดับสัญญาณให้มีระดับสูงขึ้นเพื่อนำไปทำการปรับระดับสัญญาณ โดยวงจรขยายสัญญาณนี้ออกแบบให้มีอัตราขยายระดับสัญญาณเท่ากับ 10 เท่า

$$Vo = -R_2 \cdot Vin / R_1$$

ให้ R2 = 10k โอห์ม และ R1=1k โอห์ม จะได้อัตราขยายระดับสัญญาณเท่ากับ 10 เท่า

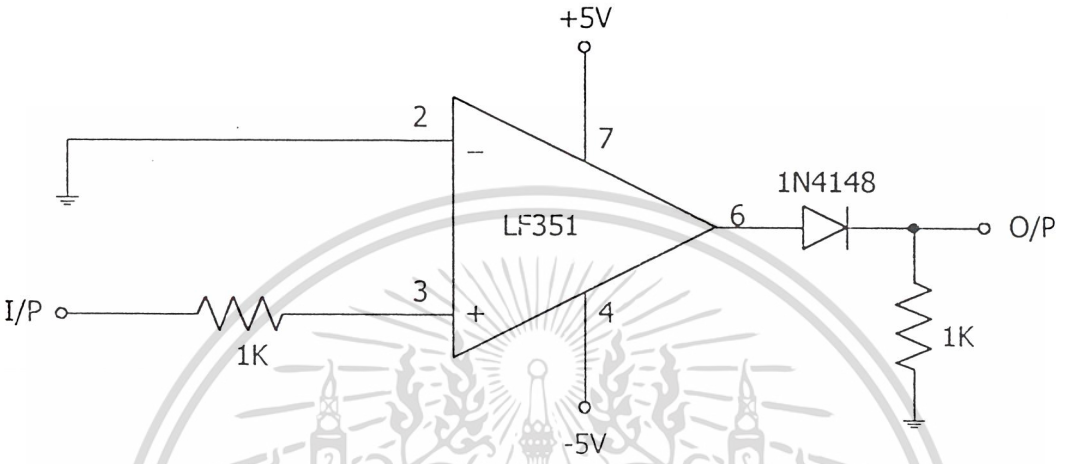



รูปที่ 3.20 วงจรขยายสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### 3.2.3 วงจรแปลงสัญญาณ 2 ระดับ เป็น 1 บิต

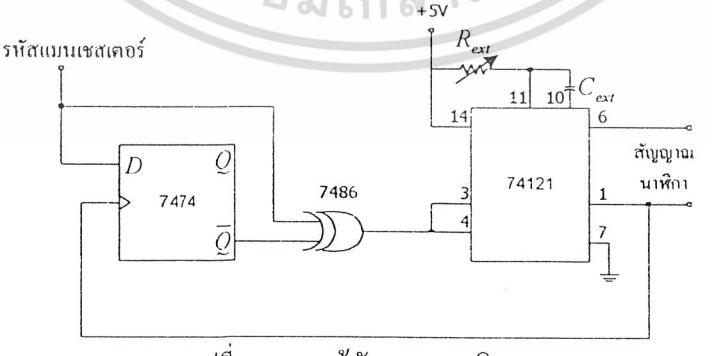
วงจรนี้จะทำการแปลงสัญญาณให้เป็นสัญญาณดิจิตอลที่มีระดับแรงดันเป็น 0V กับ 5V และนอกจากนี้ยังสามารถทำให้สัญญาณที่มีความถี่สูงขึ้นซึ่งมีลักษณะกระเพื่อมให้มีระดับสัญญาณที่เรียบอีกด้วย ซึ่งสัญญาณที่ได้นั้นจะเป็นสัญญาณรหัสแมนเชสเตอร์ที่เหมือนกับทางภาคส่ง




รูปที่ 3.21 วงจรแปลงสัญญาณ 2 ระดับเป็น 1 บิต

### 3.2.4 วงจรกู้สัญญาณนาฬิกา

ข้อมูลในบิท $D_1$ ที่ได้จากวงจรคีมอดูเลตแบบไม่อาศัยคลื่นพาหะที่เป็นสัญญาณแมนเชสเตอร์ ถูกนำมาเข้าวงจรกู้สัญญาณนาฬิกาเพื่อให้ได้สัญญาณนาฬิกากลับคืนมาสำหรับใช้ในวงจรดิจิตอลทางด้านภาครับ ในวงจรกู้สัญญาณนาฬิกาจะใช้ ดี-ฟลิปฟลอป(D-Flip Flop : ใช้ไอซีเบอร์ 74HC74) , เอกซ์คลูซีฟออร์เกท( XOR gate: ใช้ไอซีเบอร์ 74HC86) และโมโนสเตเบิล(Monostable : ใช้ไอซีเบอร์ 74121)ดังรูปที่3.22




รูปที่3.22วงจรกู้สัญญาณนาฬิกา

โดยค่าความต้านทาน(R)และค่าตัวเก็บประจุ(C)ที่ใช้ในวงจรกู้สัญญาณนาฬิกาในรูปที่3.22สามารถคำนวณได้ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$T = \frac{1}{f} = \frac{1}{64\text{kHz}} = 15.625\mu s$$

จาก

$$T = KCR$$

โดยที่

$K \approx 0.7$ (ใช้ได้ที่ C > 1000pF)

T = ความกว้างของพัลส์ของสัญญาณนาฬิกา หน่วย ns

C = ค่าของตัวเก็บประจุ หน่วย pF

R = ค่าความต้านทาน หน่วย $k\Omega$

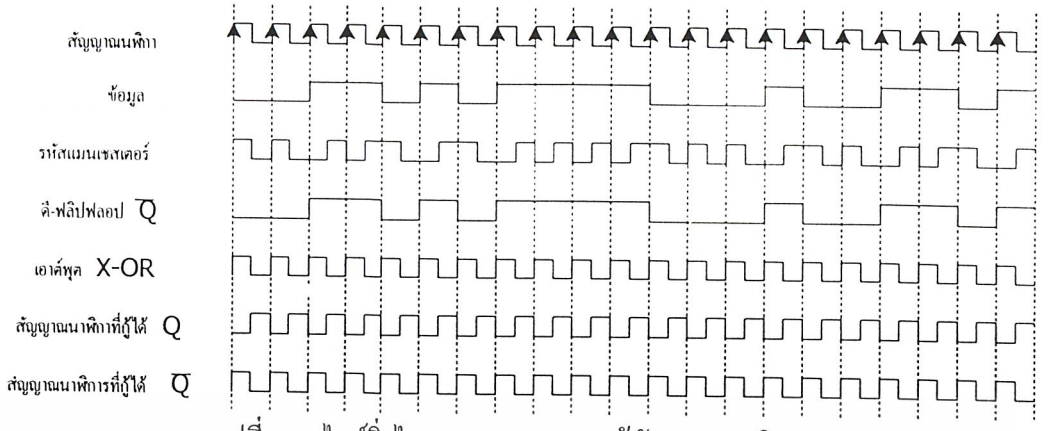
ที่นี้กำหนดให้ $C = 0.01\,\mu F$

$$R = \frac{T}{KC} = \frac{15.625 \times 10^{-6}}{0.7 \times 0.01 \times 10^{-6}} = 2232.14\Omega$$

ค่าความต้านทานและตัวเก็บประจุที่ได้จะเป็นตัวกำหนดค่าคงที่เวลา ในการต่อวงจรจะกำหนดให้ค่าความต้านทานเป็นแบบปรับค่าได้เพื่อสามารถปรับค่าเวลาของโมโนสเตเบิลได้ เวลาใช้งานจะปรับค่าคาบเวลาให้ได้ค่าดิวตี้ไซเคิล(Duty cycle) มากกว่า 50% เล็กน้อย โดยสัญญาณนาฬิกาที่ได้จริง(ขา 6)จะกลับเฟสกับทางด้านส่ง จึงเลือกใช้เอาต์พุตจากขา 1 ($\overline{Q}$)ซึ่งจะมีค่าดิวตี้ไซเคิลต่ำกว่า 50% เล็กน้อยแต่มี เฟสตรงกันกับทางด้านส่ง เพื่อที่จะสามารถดีเทคค่าได้อย่างถูกต้อง

เริ่มต้นการทำงานสัญญาณรหัสแมนเชสเตอร์ จะแยกเข้าขา D ของดี-ฟลิปฟลอปและขา 1 ของเอกซ์คลูซีฟออร์เกทเปลี่ยนจาก 1 เป็น 0 ซึ่งจะทำให้โมโนสเตเบิลทำงานเนื่องจากโมโนสเตเบิลทำงานที่ขอบขาลงของสัญญาณ สัญญาณพัลส์จะถูกสร้างออกมาที่ขา 6 ของไอซีซึ่งจะมีความกว้างพัลส์เท่ากับค่าคงที่เวลาRC สัญญาณที่ขา 1 จะเป็นส่วนกลับของสัญญาณของขา 6 ซึ่งเราจะนำไปเข้าขาสัญญาณนาฬิกาของดี-ฟลิปฟลอป เพื่อทริกให้ฟลิปฟลอปรับสัญญาณแมนเชสเตอร์ที่ขอบขาขึ้นของสัญญาณนาฬิกา จะทำให้สัญญาณขา 2 ของเอกซ์คลูซีฟออร์เกทตรงข้ามกับสัญญาณที่เข้าขา 1 ทำให้เอาต์พุตของเอกซ์คลูซีฟออร์เกทเป็น 1 เมื่ออินพุตทางขา 1 เปลี่ยนตามรหัสแมนเชสเตอร์แต่ขา 2 ไม่เปลี่ยนเนื่องจากไม่มีสัญญาณนาฬิกาทริก จึงทำให้สถานะของเอกซ์คลูซีฟออร์เปลี่ยนจาก 1 เป็น 0 เกิดขอบขาลงไปทริกโมโนสเตเบิลวนไปเรื่อยๆอยู่เช่นนี้ จะได้สัญญาณนาฬิกาออกมาที่ขา 1 ของโมโนสเตเบิลซึ่งนำไปใช้การถอดรหัสต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 3.23 ไทม์มิ่งไดอะแกรมของวงจรกู้สัญญาณนาฬิกา

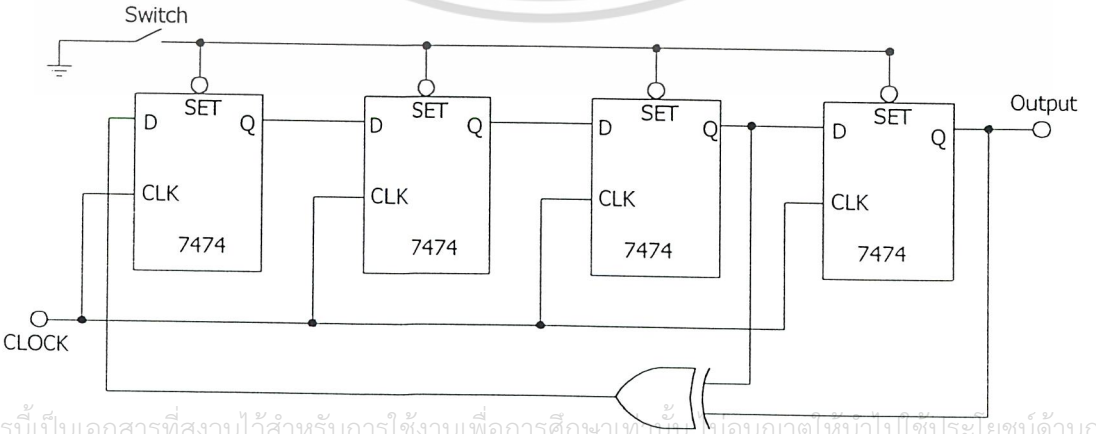
### 3.2.5 วงจรถอดรหัสแมนเชสเตอร์

การถอดรหัสแมนเชสเตอร์ทำได้โดยการนำสัญญาณนาฬิกาที่ทางภาครับกู้ได้มาทำการ Exclusive-OR กับสัญญาณรหัสแมนเชสเตอร์ ก็จะสามารถถอดรหัสสัญญาณแมนเชสเตอร์ได้ ซึ่งสัญญาณที่ได้จากการถอดรหัสแมนเชสเตอร์นี้จะได้เป็นสัญญาณสเพรดสเปคตรัม

รูปที่ 3.24วงจรถอดรหัสแมนเชสเตอร์

### 3.2.6 วงจรสร้างสัญญาณรหัส

วงจรนี้ทำหน้าที่ในการสร้างสัญญาณรหัสให้กับทางภาครับ เพื่อใช้ในการถอดรหัสสัญญาณสเพรดสเปคตรัม ซึ่งต้องมีรหัสที่เหมือนกับทางภาคส่ง ซึ่งวงจรที่ใช้จะเป็นรีจิสเตอร์เช่นเดียวกับทางภาคส่ง

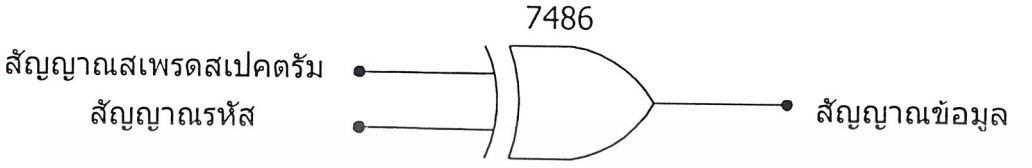



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 3.25 วงจรสร้างสัญญาณรหัส

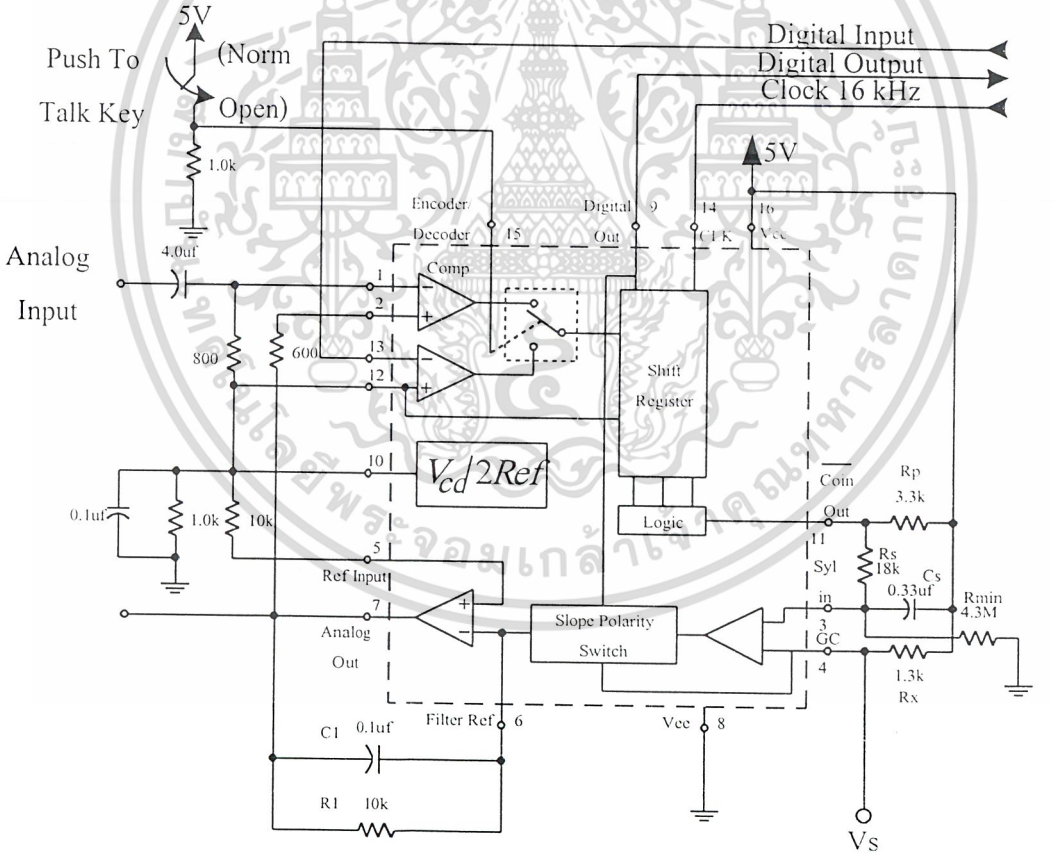
### 3.2.7 วงจรถอดรหัสสัญญาณสเพรดสเปคตรัม

การถอดรหัสสเพรดสเปคตรัมทำได้โดยการนำสัญญาณรหัสที่ทางภาครับสร้างมาได้มาทำการ Exclusive-OR กับสัญญาณสเพรดสเปคตรัม ก็จะสามารถถอดรหัสสัญญาณสเพรดสเปคตรัมได้ ซึ่งจะทำให้ได้สัญญาณข้อมูลเดิมที่เหมือนกับทางภาคส่งกลับคืนมา




รูปที่ 3.26 วงจรถอดรหัสสัญญาณสเพรดสเปคตรัม

## 3.3 วงจรแปลงสัญญาณอนาลอกเป็นดิจิตอลและดิจิตอลเป็นอนาลอก




รูปที่ 3.27 วงจรเข้ารหัสและถอดรหัสแบบ Continuously Variable Slope Delta Modulator/Demodulator

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในการออกแบบวงจรจะใช้ไอซีเบอร์ MC3418 ซึ่งเป็น Continuously Variable Slope Delta Modulator/Demodulator การต่อให้ทำงานเป็นวงจรเข้ารหัสและถอดรหัสแสดงดังในรูปที่ 3.27 ไอซีเบอร์นี้เป็น CVSD แบบใช้งานทั่วไป ผู้ใช้สามารถออกแบบปรับปรุงได้ มีสิ่งที่ต้องการกำหนดและออกแบบ 7 ข้อ คือ

1. กำหนดความถี่ของสัญญาณนาฬิกา (clock rate)
2. ขนาดของชิฟรีจิสเตอร์ที่ต้องใช้ (3 หรือ 4 บิท)
3. เลือกอัตราขยายลูป
4. กำหนดขนาดขั้น (step) ที่เล็กที่สุด
5. ออกแบบฟังก์ชั่นถ่ายโอนของอินทิเกรชั่นฟิลเตอร์
6. ออกแบบฟังก์ชั่นถ่ายโอนของ syllabic fillter
7. ออกแบบวงจรกรองความถี่ต่ำผ่าน

ขั้นตอนในการออกแบบวงจรขั้นพื้นฐานในรูปที่ 3.5 แสดงได้ดังนี้

**สัญญาณนาฬิกา**

ในการออกแบบขั้นต้น เราต้องกำหนดบิทเรทของ CVSD ซึ่งจำนวนบิทเรทนี้ก็คือ สัญญาณนาฬิกาที่ต้องใช้นั่นเอง เนื่องจากวงจรสร้างสัญญาณที่เป็นอนุกรมออกมาเลย ดังนั้นบิทเรทและสัญญาณนาฬิกาหรือความถี่ที่ต้องการแซมปลิ้ง ก็คือตัวเดียวกันนั่นเอง ถ้าความถี่ของสัญญาณนาฬิกาสูง S/N ก็จะสูงไปด้วย

**ขนาดของชิฟรีจิสเตอร์**

หลังจากการกำหนดบิทเรทแล้ว ก็ต้องทำการกำหนดขนาดของชิฟรีจิสเตอร์ ซึ่งเป็นตัวเก็บข้อมูลของสัญญาณในช่วงเวลาที่ได้ผ่านมาก่อนหน้านี้แล้ว เพื่อควบคุมอัตราขยายของอินทิเกรเตอร์ ซึ่งก็ขึ้นอยู่กับสัญญาณนาฬิกาด้วย ดังนั้นที่อัตราส่วนต่ำกว่า 16 kHz ควรใช้รีจิสเตอร์ขนาด 3 บิท ซึ่งจะให้ผลดีที่สุดและจาก 16 kbit ขึ้นไปจะใช้ 3 หรือ4 บิท อย่างใดอย่างหนึ่ง สำหรับ 4 บิท จะให้ S/N ที่ราบเรียบกว่า เพราะว่ารีจิสเตอร์มีการเก็บข้อมูลที่ยาวกว่า อย่างไรก็ตามผลตอบสนองของทรานเซียน จะไม่ดีเท่าที่ควร เนื่องจากการคอมแพนช้า ดังนั้นไอซีเบอร์ MC3418 ซึ่งมีรีจิสเตอร์ 3 ตัวนั้นใช้กับระบบที่ใช้บิทเรทต่ำ ส่วน MC3418 รีจิสเตอร์ 4 ตัว ใช้กับระบบที่มีบิทเรทสูงตั้งแต่ 64 kbit ขึ้นไปจะทำงานได้ดี

**การเลือกค่าอัตราขยายลูป**

อัตราขยายของวงจรในรูปที่ 3.27 ถูกตั้งค่าโดยค่าความต้านทาน Rx ซึ่งค่า Rx นี้ต้องทำให้ขนาดขั้น (step size) ของอินทิเกรเตอร์มีความเหมาะสมกับสัญญาณที่มีระดับสูงๆได้ เพื่อที่จะไม่ทำให้ อัตราส่วนการบีบอัดนั้นมีค่าเกินกว่า 25% ดังนั้นค่าอัตราขยายจึงขึ้นอยู่กับ

1. ระดับและความถี่สูงสุดของสัญญาณอินพุต
2. ฟังก์ชั่นถ่ายโอน ของอินทิเกรชั่นฟิลเตอร์

เพื่อที่จะคำนวณขนาดขั้นของกระแสที่ต้องการ เราจะเริ่มต้นด้วยการอธิบายคุณลักษณะถ่ายโอน ของอินทิเกรชั่นฟิลเตอร์ซึ่งเป็นแบบโพลเดียวที่ 160 Hz ก่อน ดังแสดงในรูปที่ 3.27

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$R_1 = 10k\Omega, C_1 = 0.1\mu F$

$$\frac{V_o}{I_i} = \frac{1}{C(s + \frac{1}{RC})} = \frac{K}{s + \omega_o}$$

$$\omega_o = 2\pi f$$

$$10^3 = \omega_o = 2\pi f$$

$$f = 159.2Hz$$

สังเกตเห็นว่าอินทิเกรชั่นฟิลเตอร์จะมีผลตอบสนองโพลเดี่ยวจาก 300 Hz ถึง 3 kHz กระแสที่ต้องการที่จะทำให้เอาต์พุตของ อินทิเกรเตอร์ เพิ่มจาก 0 ถึง จุดโวลท์เตจที่ต้องการ คือ

$$I_i = \frac{1.1V}{2(10k\Omega)} + \frac{0.1\mu F}{0.125ms} = 0.935m$$

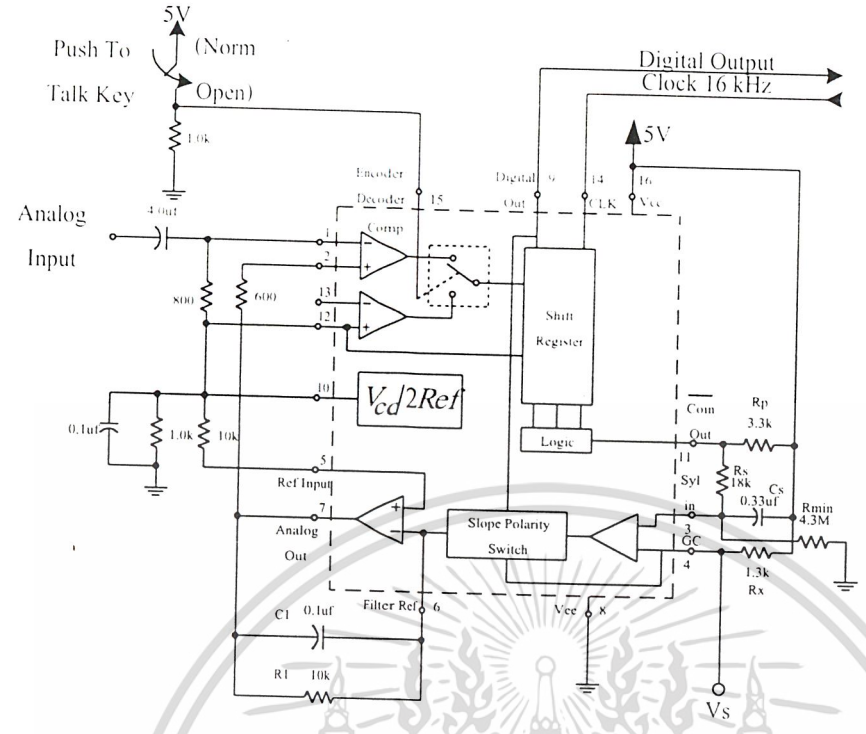
ตอนนี้ย่านแรงดันของ syllabic filter คือแหล่งจ่ายไฟเลี้ยงดังนั้น

$$Rx = 0.25(V_{cc})\frac{1}{0.935mA}$$

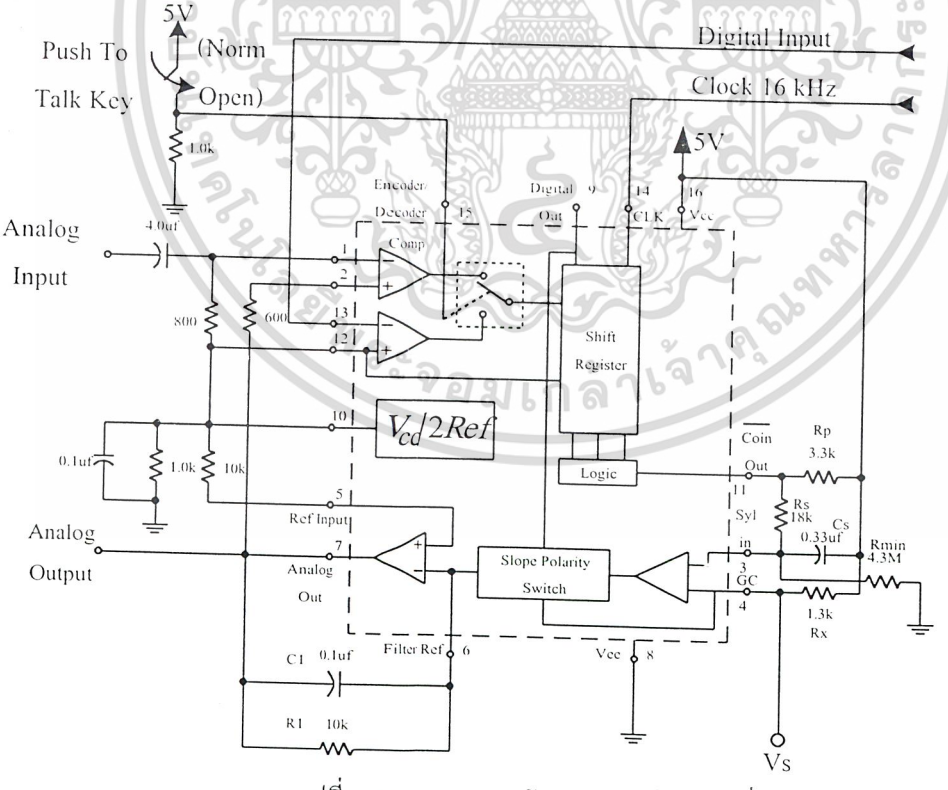
เมื่อ $V_{cc} = 5V$

จะได้ Rx=1.3 $k\Omega$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 3.28 วงจรเข้ารหัสแบบเดลต้ามอดูเลเตอร์




รูปที่ 3.29 วงจรถอดรหัสแบบเดลต้ามอดูเลชั่น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**ขนาดขั้นที่เล็กที่สุด (minimum step size)**

พารามิเตอร์สุดท้ายที่ต้องออกแบบสำหรับวงจรอย่างง่ายในรูปที่ 3.27 คือขนาดขั้นในขณะที่ไม่มีสัญญาณอินพุต บิทข้อมูลดิจิตอลเอาต์พุตจะมีรูปแบบเป็น "1" , "0" สลับกัน และอนาลอกเอาต์พุต จะมีลักษณะเป็นกลื่นรูปสามเหลี่ยมเล็กๆ ค่าของขนาดขั้นในขณะที่ไม่มีสัญญาณอินพุตนั้นถูกกำหนดจากค่าของ Rmin เมื่อไม่มีสัญญาณอินพุตเข้ามาส่วนควบคุมความชันจะไม่ทำงาน เพราะไม่มีการเกิดบิท "1" หรือ "0" เรียงต่อเนื่องกัน ดังนั้นแรงดันที่ตกคร่อม syllabic filter capacitor (Cs) จะเป็นศูนย์ อย่างไรก็ตาม การแบ่งแรงดันของ Rs และ Rmin จะทำให้มีแรงดันตกคร่อม Cs บ้าง ซึ่งแรงดันนี้จะทำให้เกิดสัญญาณสามเหลี่ยมที่เอาต์พุตอนาลอก จากสมการกระแสอินพุต

$$I_i = \frac{V_o}{R_1} + c\frac{dV_o}{dt}$$

สำหรับค่าของ $V_o$ ที่เข้าใกล้กับ $V_{cc}/2$ เทอม $V_o/R$ จะมีค่าน้อยมาก ตัดทิ้งได้ ดังนั้น

$$I_i = C_s.\frac{\Delta V_o}{\Delta T}$$

ที่ $\Delta T$ คือ คาบเวลาของสัญญาณนาฬิกาและ $\Delta V_o$ คือ ค่าพีคทูพีค (peak to peak) ที่ต้องการของเอาต์พุตว่าง (idel output) สำหรับวงจรในรูปที่ 3.27เมื่อใช้งานที่บิทเรท 16 kbps จะได้ว่า

$$I_i = \frac{(0.1\mu F)(20mV)}{(62.5\mu s)} = 33\mu s$$

แรงดันบน Cs ซึ่งจ่ายกระแส 33 $\mu s$ จะถูกกำหนดโดย ค่าของ Rx

$$I_i.R_X = V_{s\min}\text{; สำหรับ } 33\ \mu s\ ,\ V_{s\min} = 41.6mV$$

ในรูปที่ 3.5 Rs คือ 18 $k\Omega$ การแบ่งแรงดันของ Rs และ Rmin จะต้องผลิตเอาต์พุตออกมาให้ได้เท่ากับ 41.6 mV

$$V_{cc}.\frac{R_s}{R_s + R_{\min}} = V_{s\min}$$

จากการแทนค่า $V_{cc}, R_s, V_{s\min}$ จะได้

$$R_{\min} \approx 2.4M\Omega$$

จากการคำนวณข้างต้นและจากรูปที่ 3.27 ทำให้เราได้วงจร A/D และ D/A แบบ CVSD ซึ่งทำงานที่ความถี่แซมปลิ้ง 16 kHz ดังแสดงในรูปที่ 3.28 และ 3.29. ตามลำดับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น โดยไม่ต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# บทที่ 4

## ผลการทดลอง

### 4.1 เครื่องส่ง

ในการทดลองส่งข้อมูลแบบ Spread Spectrum จะทำการต่อสายโคแอคเชียล (Coaxial) จากเครื่องส่งไปยังเครื่องรับ เมื่อทำการวัดจุดต่าง ๆ แต่ละภาคจะได้ผลการทดลองดังนี้

#### 4.1.1 วงจรสร้างสัญญาณนาฬิกา 64 kHz

เป็นวงจรที่ใช้ในการสร้างสัญญาณนาฬิกาเพื่อที่จะนำไปเป็นสัญญาณนาฬิกาที่ใช้ในภาคส่งที่มีความถี่ 64 kHz โดยสร้างจากการนำคริสตอลออสซิเลเตอร์ที่ผลิตความถี่ 10.24 MHz มาผ่านวงจรหารความถี่ 160 เท่า

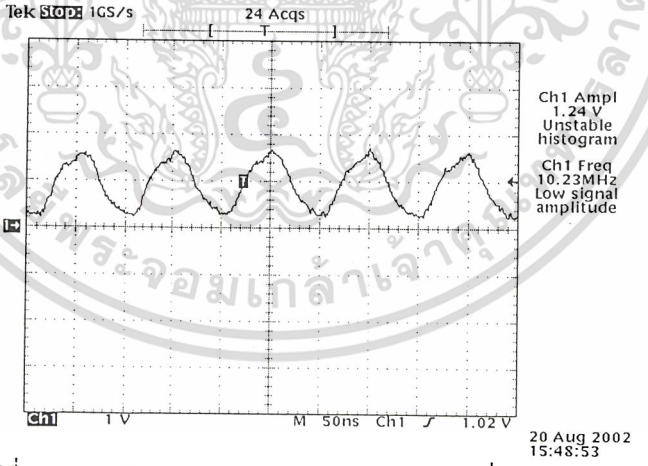
ขั้นตอนการทดลอง

1.ต่อวงจรตามบล็อคไดอะแกรมรูปที่3.2โดยวงจรที่ใช้ในแต่ละบล็อคไดอะแกรมแสดงดังรูปที่3.3, 3.4 และ 3.5

2.วัดสัญญาณเอาท์พุตที่ได้จากวงจรกำเนิดสัญญาณ 10.24 MHz ดังแสดงในรูปที่ 4.1.1(ก)

3.นำสัญญาณที่ได้จากวงจรกำเนิดสัญญาณ 10.24 MHz ไปผ่านวงจรหารความถี่ 16 เท่าแล้ววัดสัญญาณเอาท์พุตที่ได้จากวงจรหารความถี่ 16 เท่า จะได้สัญญาณสี่เหลี่ยมที่มีความถี่ 640 kHz ดังแสดงในรูปที่ 4.1.1(ข)

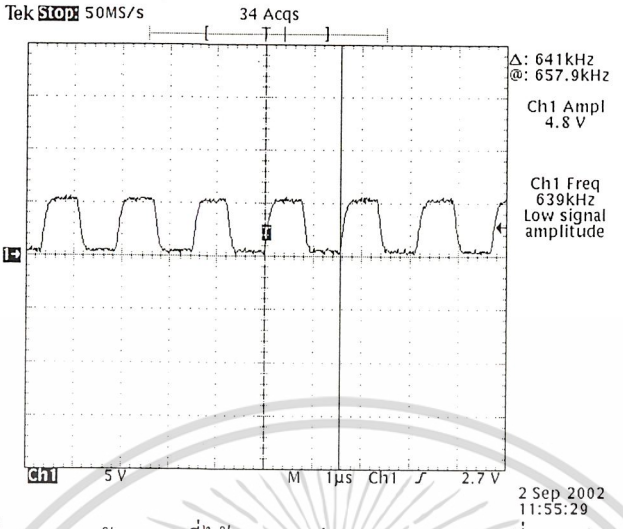
4.นำสัญญาณสี่เหลี่ยมที่มีความถี่ 640 kHz มาป้อนเป็นอินพุตให้กับวงจรหารความถี่ 10 เท่าแล้วใช้ Ch1 จับสัญญาณอินพุต และวัดสัญญาณเอาท์พุตที่ได้จากวงจรหารความถี่ 10 เท่าโดยใช้ Ch2 จะได้สัญญาณสี่เหลี่ยมที่มีความถี่ 64 kHz ซึ่งใช้เป็นสัญญาณนาฬิกาในภาคส่ง ดังแสดงในรูปที่ 4.1.1(ค)




รูปที่4.1.1(ก) สัญญาณจาก X-tal Oscillator ความถี่ 10.24 MHz

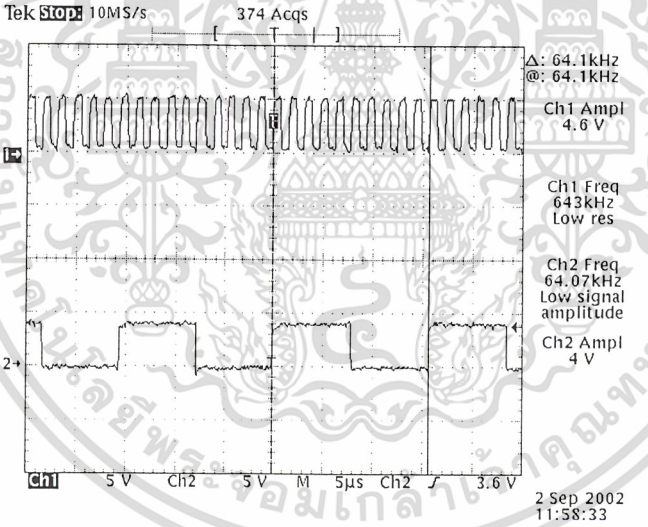
Ch1 : สัญญาณความถี่ 10.24 MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่4.1.1(ข) สัญญาณที่ได้จากการผ่านวงจรหารความถี่ 16 เท่า

Ch1 : สัญญาณความถี่ 640 kHz

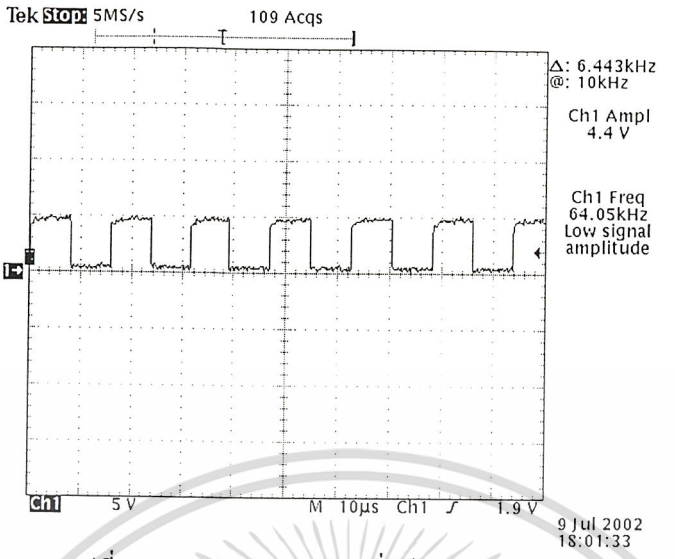



รูปที่4.1.1(ค) สัญญาณที่ได้จากวงจรหารความถี่ 10 เท่า

Ch1 : สัญญาณ 640 kHz

Ch2 : สัญญาณ 64 kHz (สัญญาณนาฬิกาที่สร้างขึ้น)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่4.1.1(ง) สัญญาณนาฬิกาที่ใช้ในวงจร

Ch1 : สัญญาณนาฬิกา 64 kHz

เมื่อทำการสร้างสัญญาณนาฬิกาแล้ว จึงนำสัญญาณนี้ไปเป็นสัญญาณนาฬิกาที่ใช้ในภาคส่ง โดยการนำสัญญาณนี้ไปใช้วงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล ใช้ในการสร้างสัญญาณรหัสและการเข้ารหัสแบบแมนเชสเตอร์

**4.1.2 วงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล**

เมื่อป้อนสัญญาณรูปไซน์ที่มีความถี่ 500 Hz มีขนาด 1.00 โวลท์เป็นสัญญาณอินพุตเพื่อทดสอบการส่งสัญญาณอนาลอกผ่านระบบการรับส่งสัญญาณแบบสเพรดสเปกตรัมโดยอาศัยวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลเพื่อให้เป็นสัญญาณอินพุตแบบดิจิตอลให้กับทางภาคส่ง

<u>ขั้นตอนการทดลอง</u>

1.ต่อวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลในรูปที่ 3.27

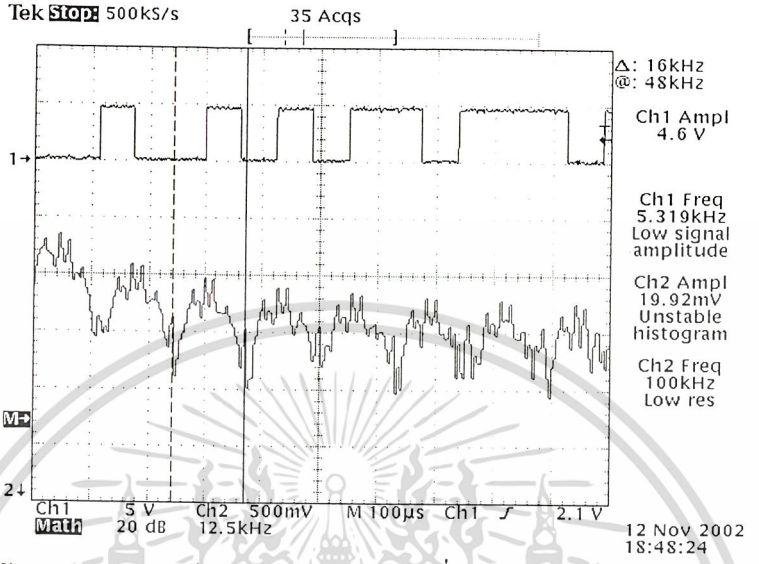
2.นำสัญญาณนาฬิกา 64 kHzมาหารความถี่ลง 4 เท่าได้สัญญาณนาฬิกา 16 kHzเป็นสัญญาณนาฬิกาของวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล

3.ป้อนสัญญาณรูปไซน์ที่มีความถี่ 500 Hz มีขนาด 1 โวลท์เป็นสัญญาณอินพุตให้กับวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลวัดที่ Ch1 เทียบกับเอาท์พุตที่ Ch2 ดังแสดงในรูปที่ 4.1.2(ก)

4.นำสัญญาณดิจิตอลที่แปลงได้มาทำการวัดสเปกตรัมของสัญญาณที่ Ch M เทียบกับ Ch 1 ดังแสดงในรูปที่ 4.1.2(ข)

5. นำสัญญาณดิจิตอลที่แปลงได้มาทำการวัดสเปกตรัมโดยเครื่องสเปกตรัมอนาไลเซอร์เพื่อพิจารณาแบนด์วิทของข้อมูล ดังแสดงในรูปที่ 4.1.2(ค)

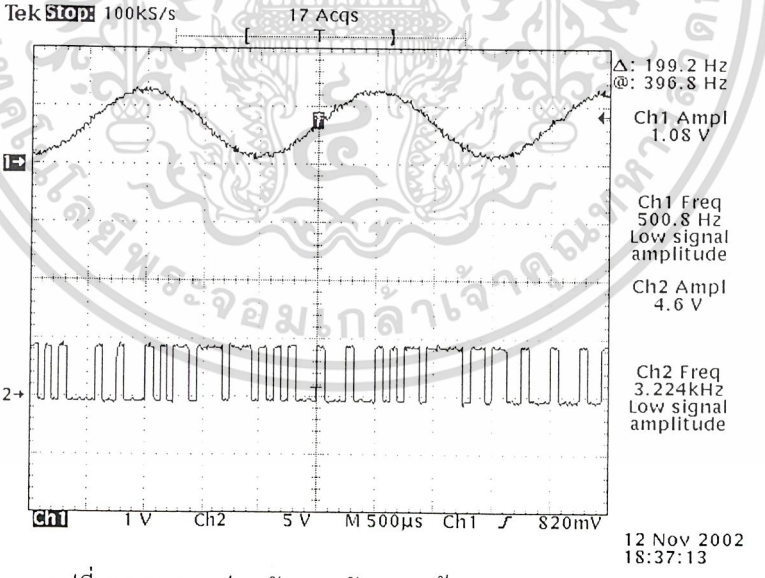
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่4.1.2(ก)สัญญาณอนาลอกเทียบกับสัญญาณดิจิตอลที่ผ่านวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล

Ch1 : สัญญาณอนาลอกที่ใช้ทดลอง

Ch2 : สัญญาณดิจิตอลที่ผ่านวงจร A/D

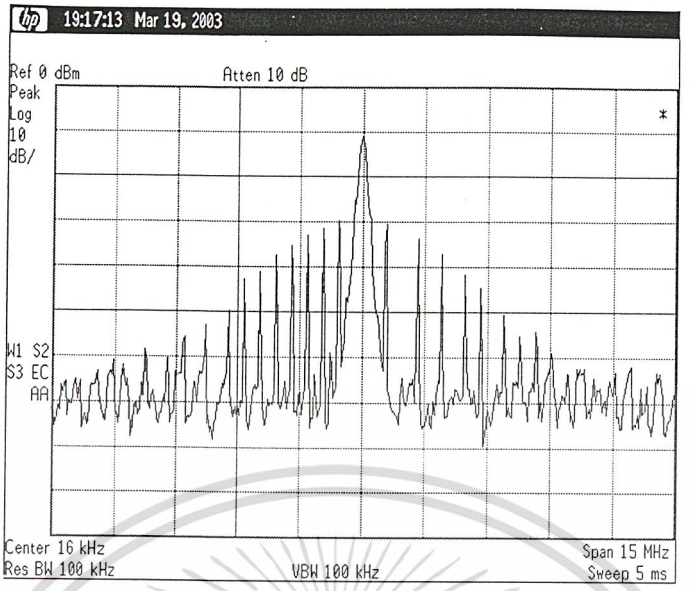



รูปที่ 4.1.2(ข) สเปกตรัมของสัญญาณข้อมูล

Ch1 : สัญญาณข้อมูล

Ch2 : สเปกตรัมของสัญญาณข้อมูล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 4.1.2(ค)สเปกตรัมของสัญญาณข้อมูล

เมื่อได้สัญญาณข้อมูลแบบดิจิตอลความเร็ว 16 kbpsแล้ว จะนำสัญญาณนี้ไปเป็นสัญญาณข้อมูลเพื่อทำการทดสอบการรับส่งสัญญาณแบบสเพรดสเปกตรัม

**4.1.3วงจรสร้างสัญญาณรหัสแบบสุ่ม**

วงจรนี้เป็นวงจรที่ใช้หลักการทำงานของ Shift Register โดยใช้ D flip-flop ทำงานร่วมกัน เมื่อให้ค่าเริ่มต้นกับวงจรค่าหนึ่ง วงจรจะผลิตสัญญาณรหัสแบบสุ่มออกมา 15 บิตซ้ำกันไป ซึ่งสัญญาณนี้จะมีความเร็วเป็น 4 เท่าของสัญญาณข้อมูล เพื่อนำไปทำการเข้ารหัสสัญญาณแบบสเพรดสเปกตรัมกับสัญญาณข้อมูลต่อไป

ขั้นตอนการทดลอง

1.ต่อวงจรสร้างสัญญาณรหัสดังรูปที่ 3.7แล้วทำการทดลอง

2.ป้อนสัญญาณนาฬิกาที่สร้างขึ้น 64 kHz เป็นสัญญาณนาฬิกาของวงจรสร้างสัญญาณรหัส

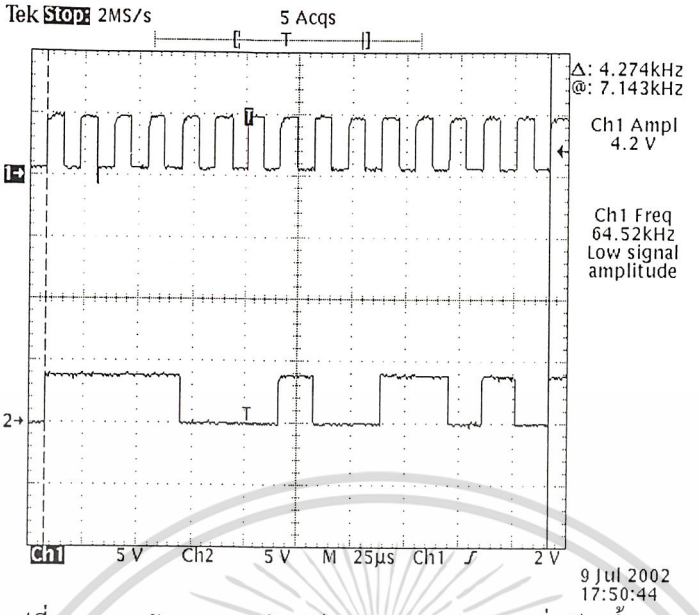
3.วัดค่าสัญญาณนาฬิกาเป็น Ch1 เทียบกับสัญญาณเอาท์พุตของวงจรสร้างสัญญาณรหัสเป็น Ch2 ซึ่งจะได้สัญญาณที่มีรหัสเป็น 111100010011010 ความเร็ว 64 kHz ดังแสดงในรูปที่ 4.1.3(ก)

4.วัดสัญญาณรหัสเป็น Ch1 เทียบกับสเปกตรัมของสัญญาณรหัสเองเป็น ChM ดังแสดงในรูปที่ 4.1.3 (ข)

5.วัดสเปกตรัมของสัญญาณรหัสโดยเครื่องสเปกตรัมอนาไลเซอร์โดยใช้การ span เดียวกับสัญญาณข้อมูลดังแสดงในรูปที่ 4.1.3(ค)

6. วัดสเปกตรัมของสัญญาณรหัสโดยเครื่องสเปกตรัมอนาไลเซอร์ทั้งแบนด์วิทดังแสดงในรูปที่ 4.1.3 (ง)

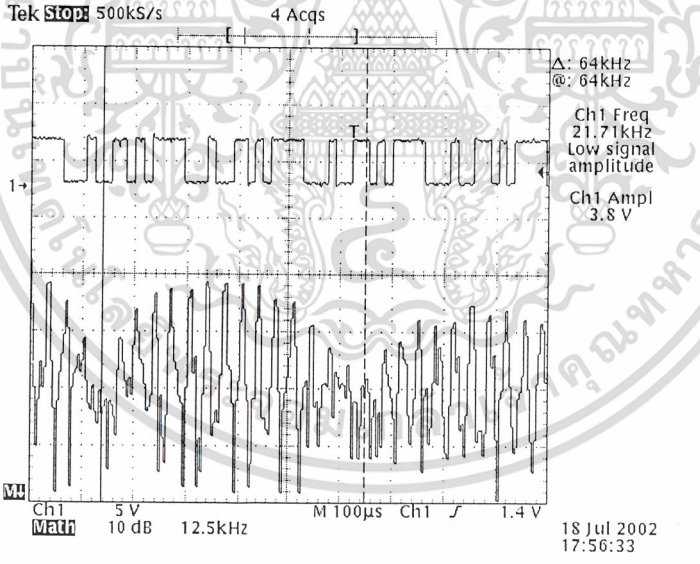
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่4.1.3(ก) สัญญาณนาฬิกาเทียบกับสัญญาณรหัสที่สร้างขึ้น

Ch1 : สัญญาณนาฬิกา

Ch2 : สัญญาณรหัส "1111000100111010"

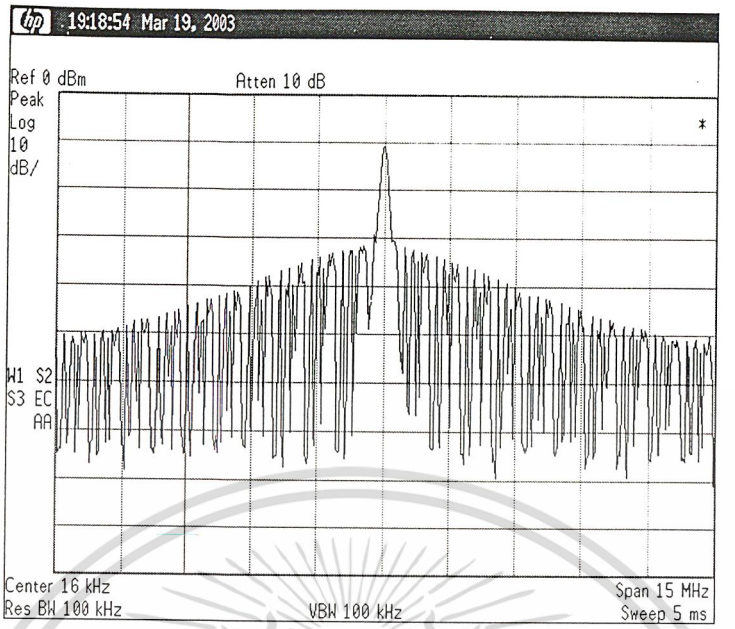



รูปที่4.1.3(ข) สเปกตรัมของสัญญาณรหัส

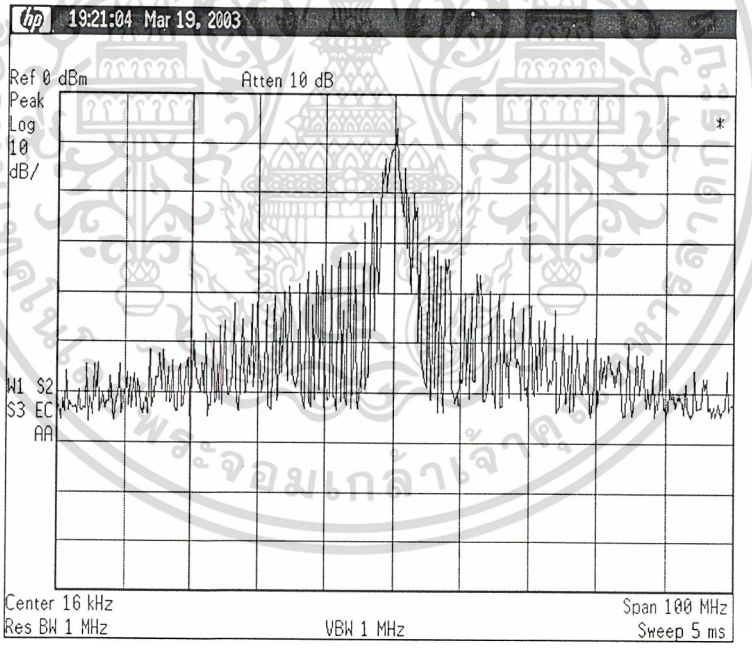
Ch1 : สัญญาณรหัส

ChM : สเปกตรัมของสัญญาณรหัส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 4.1.3(ค) สเปกตรัมของสัญญาณรหัสที่ระยะ span เดียวกับสัญญาณข้อมูล




รูปที่ 4.1.3(ง) สเปกตรัมของสัญญาณรหัสที่ระยะ span ทั้งแบนด์วิท

ซึ่งสัญญาณรหัสที่สร้างขึ้นนี้จะมีรหัสเป็น 111100100111010 ซ้ำกันทุก 15 บิตและมีความเร็วเป็น 4 เท่าของสัญญาณข้อมูล เพื่อนำไปทำการเข้ารหัสสัญญาณแบบสเพรดสเปกตรัมกับสัญญาณข้อมูลต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**4.1.4วงจรเข้ารหัสสัญญาณแบบสเพรดสเปกตรัม**

วงจรนี้เป็นวงจรที่ทำการเข้ารหัสสัญญาณแบบสเพรดสเปกตรัม โดยการนำสัญญาณข้อมูลไปทำการผ่านวงจร Exclusive-or กับสัญญาณรหัส จะทำให้สเปกตรัมของสัญญาณข้อมูลแผ่กว้างขึ้น

ขั้นตอนการทดลอง

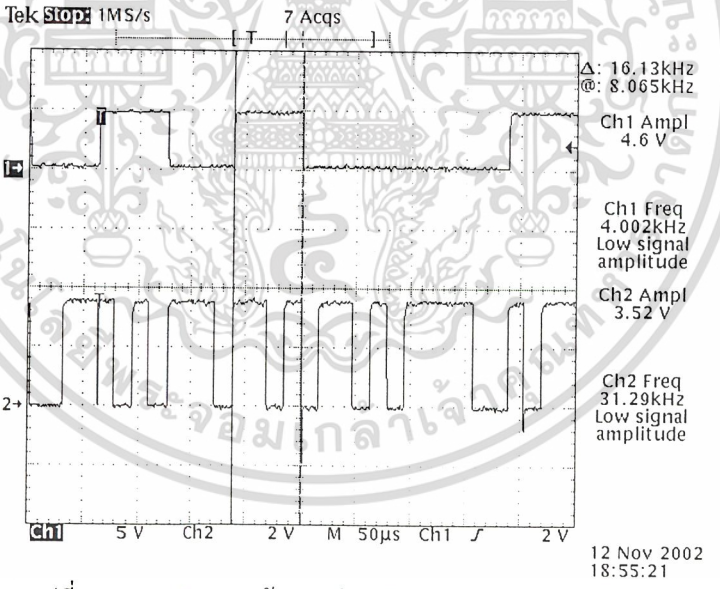
1.ต่อวงจรเข้ารหัสสัญญาณแบบสเพรดสเปกตรัมดังรูปที่ 3.8 แล้วทำการทดลอง

2.ป้อนสัญญาณข้อมูลดิจิตอลและสัญญาณรหัสเป็นอินพุตให้กับวงจร โดยจะได้สัญญาณเอาท์พุตเป็นสัญญาณที่ได้ทำการเข้ารหัสแบบสเพรดสเปกตรัม

3.วัดค่าสัญญาณเทียบกันโดยวัดค่าเอาท์พุตจากวงจรเป็น Ch2 เทียบกับสัญญาณข้อมูลเป็น Ch1 ดังแสดงรูปที่ 4.1.4(ก)

4.นำสัญญาณสเพรดสเปกตรัมที่ได้มาวัดที่ Ch1 เทียบกับสเปกตรัมของสัญญาณสเพรดสเปกตรัมเองที่ Ch2 ดังแสดงรูปที่ 4.1.4(ข)

5.วัดสเปกตรัมของสัญญาณสเพรดสเปกตรัมโดยใช้เครื่องสเปกตรัมอนาไลเซอร์ดังแสดงในรูปที่ 4.1.4(ค)

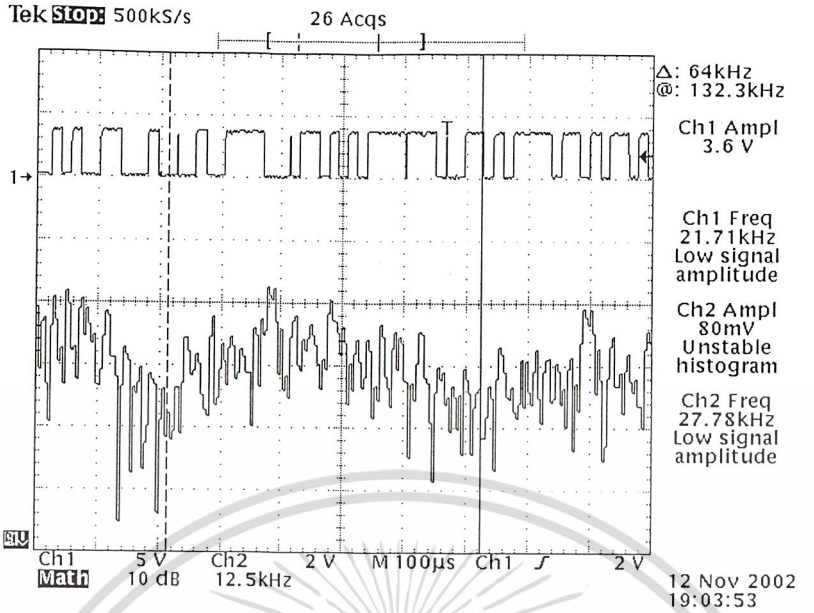



รูปที่ 4.1.4(ก)สัญญาณข้อมูลเทียบกับสัญญาณสเพรดสเปกตรัม

Ch1 : สัญญาณข้อมูล

Ch2 : สัญญาณสเพรดสเปกตรัม

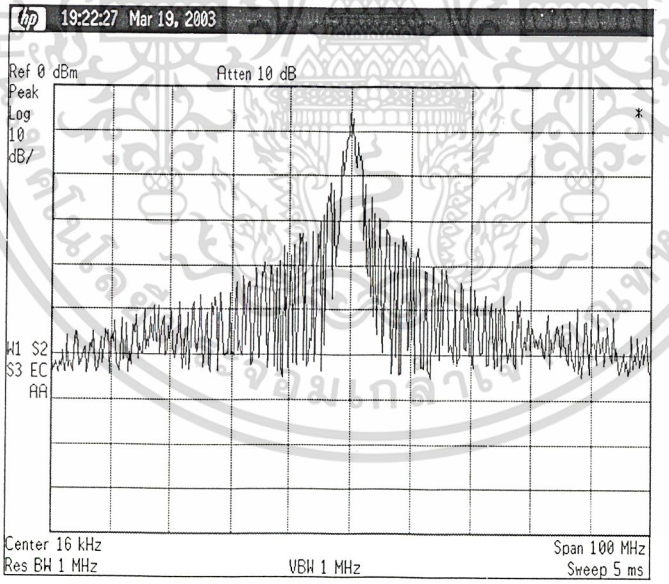
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่4.1.4(ข) สเปกตรัมของสัญญาณสเพรดสเปกตรัม

Ch1 : สัญญาณสเพรดสเปกตรัม

Ch2 : สเปกตรัมของสัญญาณสเพรดสเปกตรัม




รูปที่ 4.1.4(ค) สเปกตรัมของสัญญาณสเพรดสเปกตรัมทั้งแบนด์วิท

เมื่อได้สัญญาณที่ทำการเข้ารหัสสัญญาณแบบสเพรดสเปกตรัมแล้ว จะนำสัญญาณนี้ไปเข้ารหัสสัญญาณแบบแมนเชสเตอร์ เพื่อใช้ในการกู้สัญญาณนาฬิกาทางภาครับต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**4.1.5วงจรเข้ารหัสสัญญาณแบบแมนเชสเตอร์**

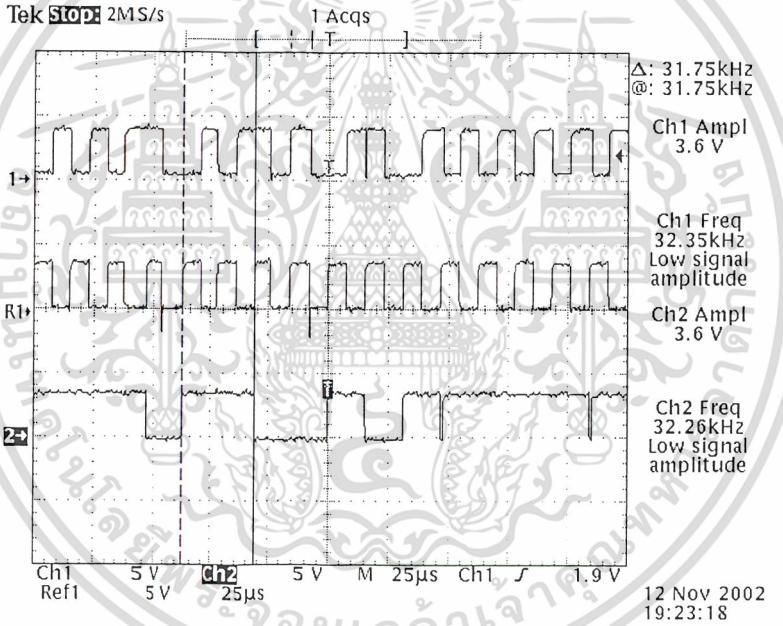
วงจรนี้เป็นวงจรที่นำสัญญาณที่ได้ทำการเข้ารหัสสัญญาณแบบสเพรดสเปกตรัมแล้วมาเข้ารหัสสัญญาณแบบแมนเชสเตอร์ โดยการนำสัญญาณที่ได้ทำการสเพรดสเปกตรัมไปทำการผ่านวงจร Exclusive-or กับสัญญาณนาฬิกา เพื่อนำสัญญาณนี้ไปกู้สัญญาณนาฬิกาคืนที่ภาครับ ได้ผลการทดลองดังนี้

ขั้นตอนการทดลอง

1.ต่อวงจรเข้ารหัสสัญญาณแบบแมนเชสเตอร์ดังรูปที่ 3.9 แล้วทำการทดลอง

2.ป้อนสัญญาณสเพรดสเปกตรัมและสัญญาณนาฬิกาเป็นอินพุตให้กับวงจรโดยจะได้สัญญาณเอาท์พุตเป็นสัญญาณที่ได้ทำการเข้ารหัสแบบแมนเชสเตอร์

3.วัดค่าสัญญาณเทียบกันโดยวัดค่าเอาท์พุตจากวงจรเป็น Ch1 เทียบกับสัญญาณนาฬิกาที่ช่อง Ref1 และเทียบกับสัญญาณสเพรดสเปกตรัมที่ Ch2 ดังแสดงในรูปที่ 4.1.5(ก)




รูปที่4.1.5(ก)สัญญาณแมนเชสเตอร์เทียบกับสัญญาณนาฬิกาและสัญญาณเพรดสเปกตรัม

Ch1 : สัญญาณแมนเชสเตอร์

Ref1 : สัญญาณนาฬิกา

Ch2 : สัญญาณเพรดสเปกตรัม

**4.1.6วงจรปรับระดับสัญญาณ**

วงจรนี้เป็นวงจรที่ทำการปรับระดับสัญญาณ เนื่องจากสัญญาณขาออกของวงจรประเภท TTL จะมีระดับ logic1,0 เป็นสัญญาณ +5V และ Ground ตามลำดับ แต่ในการส่งสัญญาณแบบ BPSK นั้นสัญญาณที่จะนำมามอดูเลตกับสัญญาณพาหะจะต้องมีความต่างของระดับสัญญาณ logic1,0 เป็น +V และ –V ตามลำดับ

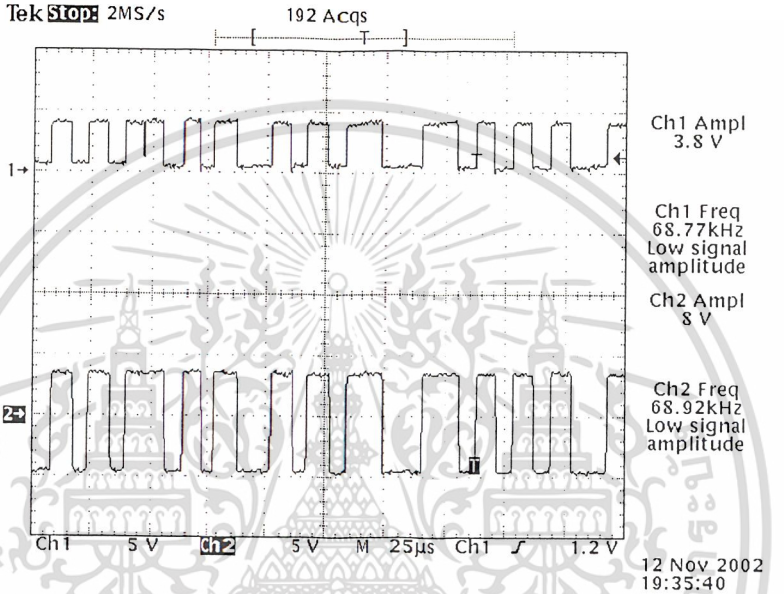
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขั้นตอนการทดลอง

1.ต่อวงจรปรับระดับสัญญาณในรูปที่ 3.15 แล้วทำการทดลอง

2.ป้อนสัญญาณรหัสแบบแมนเชสเตอร์เป็นอินพุตของวงจรแล้วจะได้เอาท์พุตเป็นสัญญาณเดิมที่มีระดับเป็น +V และ –V

3.วัดค่าสัญญาณ โดยวัดสัญญาณรหัสแบบแมนเชสเตอร์เป็น Ch1 เทียบกับสัญญาณเอาท์พุตเป็น Ch2 ดังแสดงในรูปที่ 4.1.6(ก)




รูปที่4.1.6(ก) สัญญาณแมนเชสเตอร์เทียบกับสัญญาณแมนเชสเตอร์ที่ปรับระดับแล้ว

Ch1 : สัญญาณแมนเชสเตอร์

Ch2 : สัญญาณแมนเชสเตอร์ที่ปรับระดับแล้ว

**4.1.7วงจรสร้างสัญญาณพาหะ 512 kHz**

เนื่องจากการมอดูเลตต้องใช้สัญญาณพาหะ ซึ่งในที่นี้จะสร้างขึ้นจากการนำสัญญาณนาฬิกา 64 kHz มาผ่านวงจร Phase Lock Loop เพื่อคูณความถี่ขึ้น 8 เท่าแล้วนำไปผ่านวงจร Band Pass Filter 512 kHz เพื่อให้ได้สัญญาณรูปไซน์ความถี่ 512 kHz เป็นสัญญาณพาหะที่ใช้ในการมอดูเลตแบบ BPSK

ขั้นตอนการทดลอง

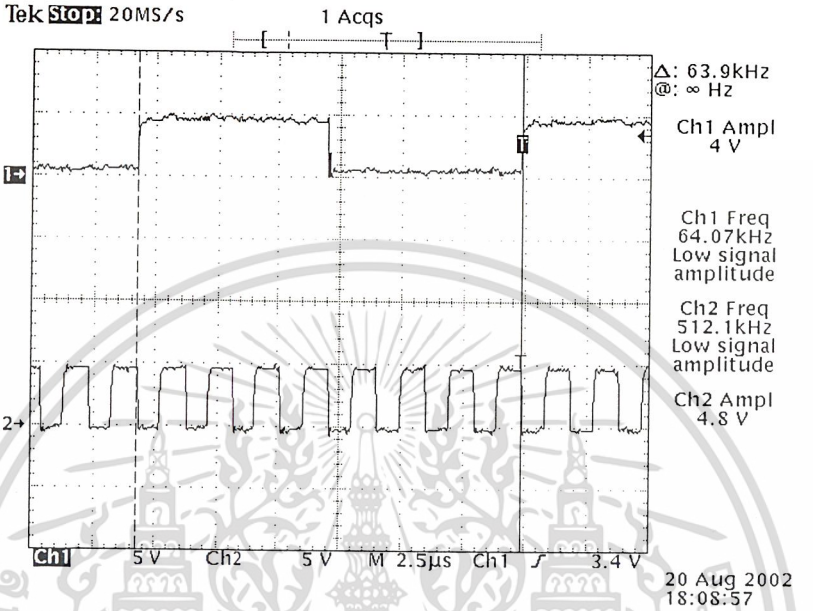
1.ต่อวงจรตามบล็อคไดอะแกรมรูปที่3.10 โดยวงจรที่ใช้ในแต่ละบล็อคไดอะแกรมแสดงในรูปที่3.11

2.ป้อนสัญญาณนาฬิกา 64 kHz เป็นอินพุตของวงจรและพิจารณาผลการทดลองในแต่ละส่วน

3.วัดสัญญาณเอาท์พุตที่ได้จากวงจรส่วนเฟสล็อคลูปเป็น Ch2 เทียบกับสัญญาณอินพุตคือสัญญาณนาฬิกาที่ Ch1 ดังแสดงในรูปที่ 4.1.7(ก)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

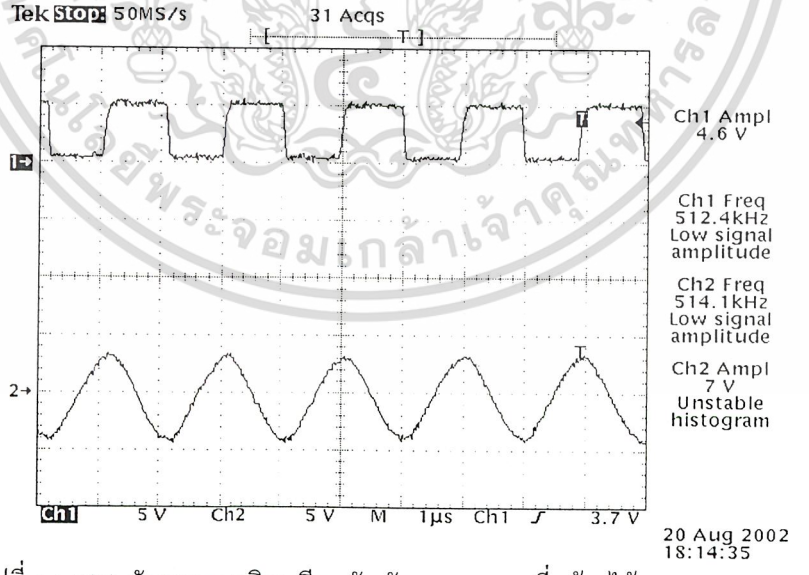
4.วัดสัญญาณเอาท์พุตที่ได้จากวงจรกรองความถี่แถบผ่าน 512 kHz ซึ่งเป็นสัญญาณพาหะที่ได้เป็นรูปไซน์ 512 kHz ที่ Ch2 เทียบกับสัญญาณอินพุตที่เป็นสัญญาณเอาท์พุตที่ได้มาจากส่วนวงจรเฟสล็อคลูปเป็น Ch1 ดังแสดงในรูปที่ 4.1.7(ข)




รูปที่4.1.7(ก) สัญญาณนาฬิกาเทียบกับสัญญาณนาฬิกาที่ถูกคูณความถี่ด้วย 8

Ch1 : สัญญาณนาฬิกา 64 kHz

Ch2 : สัญญาณนาฬิกาที่ถูกคูณความถี่ด้วย 8




รูปที่ 4.1.7(ข) สัญญาณนาฬิกาเทียบกับสัญญาณพาหะที่สร้างได้

Ch1 : สัญญาณนาฬิกา 64 kHz

Ch2 : สัญญาณพาหะ 512 kHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**4.1.8วงจรกรองความถี่แถบผ่าน 512 kHz**

ขั้นตอนการทดลอง

1.ต่อวงจรกรองความถี่แถบผ่าน 512 kHz ตามรูปที่ 3.14

2.ป้อนสัญญาณไซน์ขนาด 1Vp-p ความถี่ 1 kHz เข้าที่อินพุตของวงจรกรองความถี่แถบผ่าน 512 kHz แล้ววัดขนาดแรงดันของสัญญาณเอาท์พุต นำมาคำนวณค่าอัตราขยายในหน่วย dB

3.เพิ่มความถี่ขึ้นแล้วทำการทดลองเช่นเดียวกับข้อ 2

4.นำผลที่ได้มาเขียนตารางดังแสดงในตารางที่ 4.1 และพล็อตกราฟผลตอบสนองทางความถี่ดังแสดงในรูปที่ 4.1.8(ก)

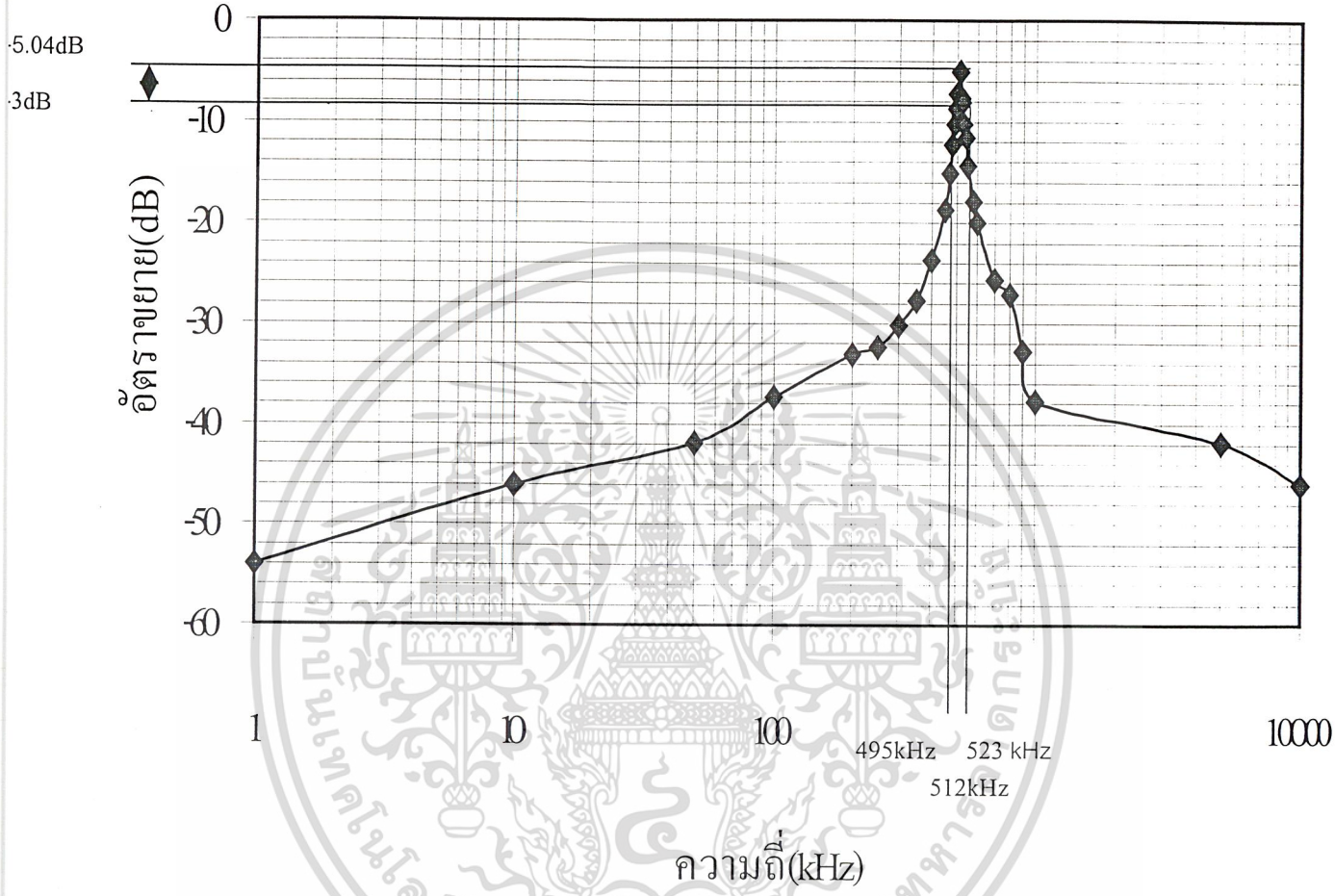
| ความถี่(kHz) | อัตราขยาย(dB) |
|---|---|
| 1 | -53.98 |
| 10 | -46 |
| 50 | -41.94 |
| 100 | -37.36 |
| 200 | -33.15 |
| 250 | -32.39 |
| 300 | -30.23 |
| 350 | -27.7 |
| 400 | -23.66 |
| 450 | -18.71 |
| 470 | -15.14 |
| 480 | -12.32 |
| 490 | -10.23 |
| 495 | -8.66 |
| 500 | -7.29 |
| 512 | -5.04 |
| 520 | -7.62 |

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

| ความถี่(kHz) | อัตราขยาย(dB) |
|---|---|
| 523 | -8.05 |
| 530 | -10.23 |
| 540 | -11.57 |
| 550 | -14.33 |
| 580 | -17.86 |
| 600 | -20 |
| 700 | -25.68 |
| 800 | -27.13 |
| 900 | -32.77 |
| 1000 | -37.72 |
| 5000 | -41.94 |
| 10000 | -46 |

ตารางที่ 4.1.8 (ก) แสดงค่าอัตราขยายของวงจรกรองความถี่แถบผ่าน 512 kHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่4.1.8 (ก) กราฟแสดงผลตอบสนองทางความถี่ของวงจรกรองความถี่แถบผ่าน 512 kHz

ทำการออกแบบและสร้างวงจรกรองความถี่แถบผ่านที่มีความถี่ศูนย์กลาง 512 kHz เพื่อนำไปกรองสัญญาณรูปสี่เหลี่ยม 512 kHz ให้เป็นสัญญาณรูปไซน์ 512 kHz เพื่อนำไปใช้ในการเป็นสัญญาณพาหะในการมอดูเลตสัญญาณแบบ BPSK

**4.1.9วงจรมอดูเลตสัญญาณแบบ BPSK**

เป็นวงจรที่นำสัญญาณแมนเชสเตอร์มามอดูเลตสัญญาณแบบ BPSK ก่อนส่งออกไปยังสายโคแอคเชียลซึ่งเป็นการมอดูเลตสัญญาณดิจิตอลทางเฟส โดยเฟสของสัญญาณพาหะจะเปลี่ยนไปตามรหัสดิจิตอลที่เข้ามา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

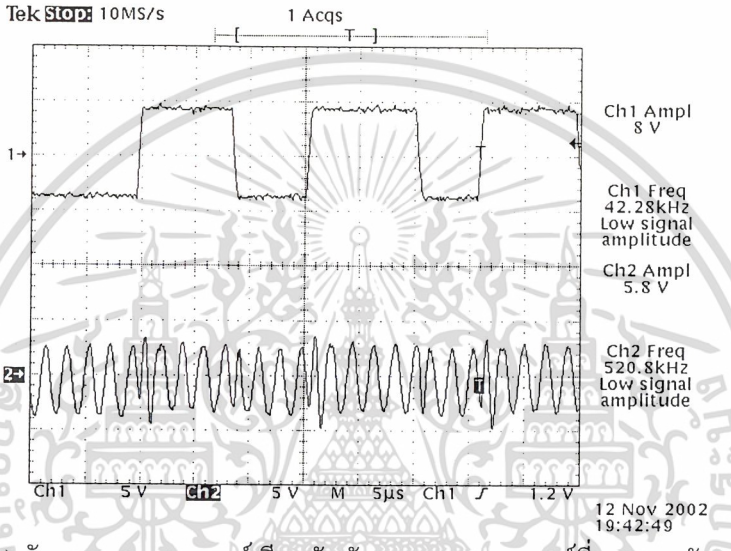
ขั้นตอนการทดลอง

1.ต่อวงจรมอดูเลตสัญญาณแบบ BPSKดังรูปที่ 3.16

2.ป้อนสัญญาณรหัสแมนเชสเตอร์ที่ปรับระดับสัญญาณแล้วเป็นสัญญาณข้อมูลอินพุตเข้าที่ส่วนสวิตช์ และใช้สัญญาณคลื่นพาหะ 512 kHz ที่สร้างขึ้นป้อนเป็นสัญญาณคลื่นพาหะให้กับวงจร

3.วัดสัญญาณอินพุตแมนเชสเตอร์เป็น Ch1 เทียบกับสัญญาณเอาท์พุตจากวงจรมอดูเลตสัญญาณแบบ BPSK ที่Ch2 ดังแสดงในรูปที่ 4.19(ก)

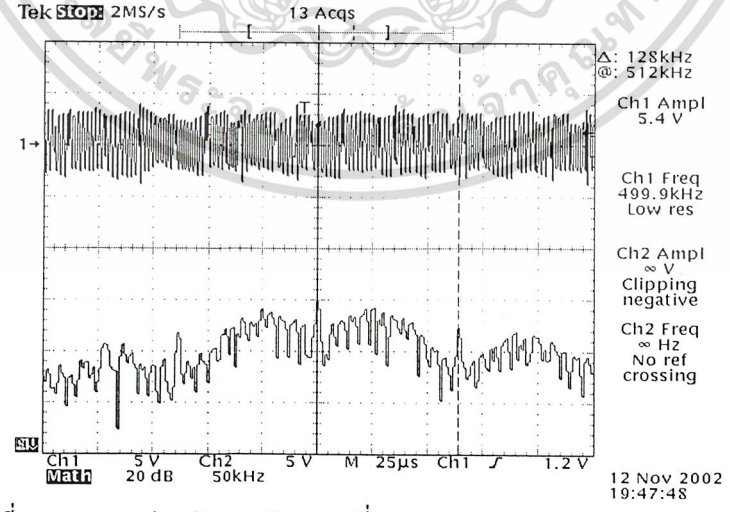
4.วัดสเปกตรัมของสัญญาณที่ถูกมอดูเลตแบบ BPSK ดังแสดงในรูปที่ 4.1.98(ข)




รูปที่4.1.9(ก) สัญญาณแมนเชสเตอร์เทียบกับสัญญาณแมนเชสเตอร์ที่มอดูเลตสัญญาณแบบ BPSK

Ch1 : สัญญาณแมนเชสเตอร์

Ch2 : สัญญาณแมนเชสเตอร์ที่มอดูเลตสัญญาณแบบ BPSK




รูปที่4.1.9(ข) สเปกตรัมของสัญญาณที่มอดูเลตแบบ BPSK

Ch1 : สัญญาณที่มอดูเลตแบบ BPSK

ChM : สเปกตรัมของสัญญาณที่มอดูเลตแบบ BPSK

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หลังจากนั้นนำสัญญาณที่ผ่านการมอดูเลตสัญญาณแบบ BPSK ไปรวมกับสัญญาณพาหะอีกครั้งเพื่อทำการดีมอดูเลตแบบไม่อาศัยคลื่นพาหะที่ภาครับ

**4.1.10วงจรรวมสัญญาณ**

ในการส่งสัญญาณจะนำสัญญาณ BPSK มารวมกับสัญญาณพาหะก่อนส่งออกไปที่สายโคแอคเชียลเพื่อทำการดีมอดูเลตแบบไม่อาศัยคลื่นพาหะที่ภาครับโดยนำสัญญาณ BPSK มารวมกับสัญญาณพาหะโดยนำไปผ่านวงจรรวมสัญญาณ

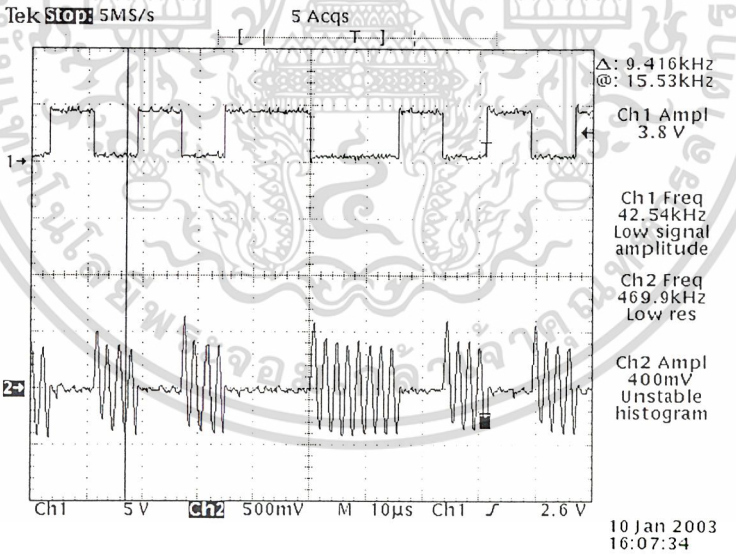
ขั้นตอนการทดลอง

1.ต่อวงจรรวมสัญญาณตามรูปที่ 3.17

2.ป้อนสัญญาณที่ได้จากการมอดูเลตสัญญาณแบบ BPSK และสัญญาณพาหะเป็นอินพุตของวงจรพิจารณาเอาท์พุตจะเป็นผลรวมของสัญญาณที่ได้จากการมอดูเลตสัญญาณแบบ BPSKและสัญญาณพาหะ

3.วัดสัญญาณเอาท์พุตของวงจรเป็น Ch2 เทียบกับสัญญาณก่อนการมอดูเลตแบบ BPSK เป็น Ch1 ดังแสดงในรูปที่ 4.1.10(ก)

4. วัดสัญญาณเอาท์พุตของวงจรด้วยเครื่องสเปกตรัมอนาไลเซอร์ดงแสดงในรูปที่ 4.1.10(ข)

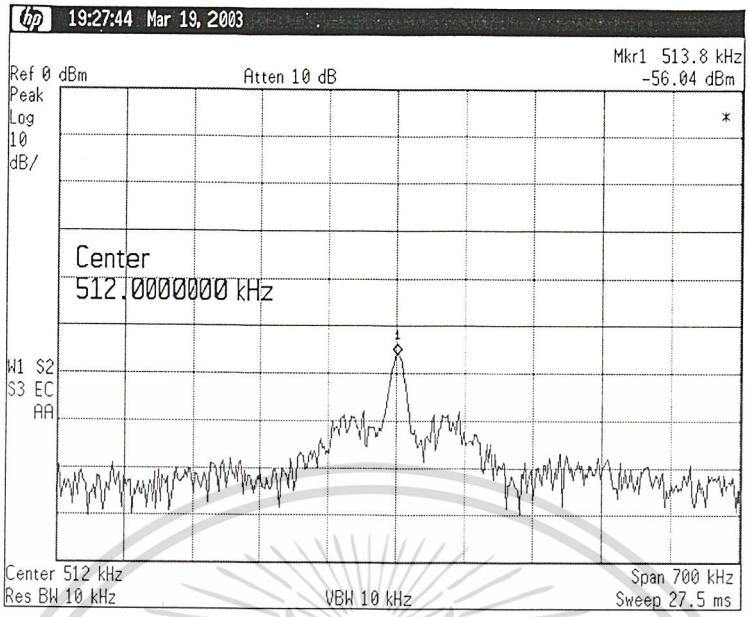



รูปที่4.1.10(ก)สัญญาณแมนเชสเตอร์เทียบกับสัญญาณ BPSK ที่รวมกับสัญญาณพาหะ

Ch1 : สัญญาณแมนเชสเตอร์

Ch2 : สัญญาณ BPSK ที่รวมกับสัญญาณพาหะ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 4.1.10(ข) สเปกตรัมของสัญญาณเอาท์พุต

สรุปผลการทดลองทางภาคส่ง

การส่งสัญญาณแบบสเพรดสเปกตรัมได้ทำการเข้ารหัสสัญญาณของสัญญาณข้อมูลด้วยสัญญาณรหัสที่มีความเร็วเป็น 4 เท่าของสัญญาณข้อมูลเพื่อทำให้สเปกตรัมของสัญญาณข้อมูลแผ่กว้างขึ้น และนำไปทำการเข้ารหัสสัญญาณแบบแมนเชสเตอร์เพื่อการกู้สัญญาณนาฬิกาทางภาครับ และในการส่งสัญญาณได้ใช้การมอดูเลตสัญญาณแบบ BPSK รวมกับสัญญาณพาหะเพื่อการดีมอดูเลตแบบไม่อาศัยคลื่นพาหะ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**4.2 เครื่องรับ**

เมื่อทางภาคส่งส่งสัญญาณมาทางภาครับโดยผ่านทางสายโคแอคเชียลซึ่งสัญญาณที่ส่งมาเป็นสัญญาณที่ได้ทำการมอดูเลตสัญญาณแบบ BPSK ซึ่งรวมกับสัญญาณพาหะ ทางภาครับจะนำสัญญาณที่ส่งมานี้มาทำการดีมอดูเลตเพื่อให้ได้สัญญาณข้อมูลดิจิตอลกลับคืนมา

**4.2.1ภาคการดีมอดูเลตสัญญาณ BPSK**

ในวงจรส่วนนี้จะทำการดีมอดูเลตสัญญาณที่ส่งมาโดยการใช้หลักการดีมอดูเลตสัญญาณแบบไม่อาศัยคลื่นพาหะ โดยนำสัญญาณที่รับได้ดังกล่าวมาผ่านวงจรยกกำลังสอง โดยสัญญาณที่ผ่านวงจรยกกำลังสองอยู่ในรูปสัญญาณดิจิตอลที่มีความถี่สูงขี่อยู่ จากนั้นสามารถตัดส่วนความถี่สูงออกไปได้โดยการนำไปผ่านวงจรขยายสัญญาณ แล้วนำสัญญาณที่ได้ไปทำการปรับระดับแรงดัน จะได้สัญญาณดิจิตอลกลับคืนมา

<u>ขั้นตอนการทดลอง</u>

1.ต่อวงจรในการดีมอดูเลตซึ่งประกอบด้วยส่วนวงจรยกกำลังสอง วงจรขยายสัญญาณ และวงจรปรับระดับสัญญาณ ดังรูปที่ 3.19,3.20 และ 3.21 ตามลำดับ

2.ทำการวัดสัญญาณที่รับได้จากสายโคแอคเชียลแล้วบันทึกผลดังแสดงในรูปที่ 4.2.1(ก) และวัดสเปกตรัมดังแสดงดังรูปที่ 4.2.1(ข)

3.นำสัญญาณที่รับได้ซึ่งเป็นสัญญาณที่มอดูเลตแบบ BPSK รวมกับสัญญาณพาหะมาป้อนเป็นอินพุตของวงจรยกกำลังสอง

4.วัดเอาท์พุตของวงจรยกกำลังสองเป็น Ch2 เทียบกับสัญญาณแมนเชสเตอร์ก่อนถูกมอดูเลตแบบ BPSK ที่ Ch1 จะเห็นว่าเอาท์พุตมีลักษณะคล้ายสัญญาณแมนเชสเตอร์ก่อนถูกมอดูเลตแบบ BPSK แต่จะมีส่วนของความถี่สูงขี่อยู่ดังแสดงในรูป 4.2.1(ค)

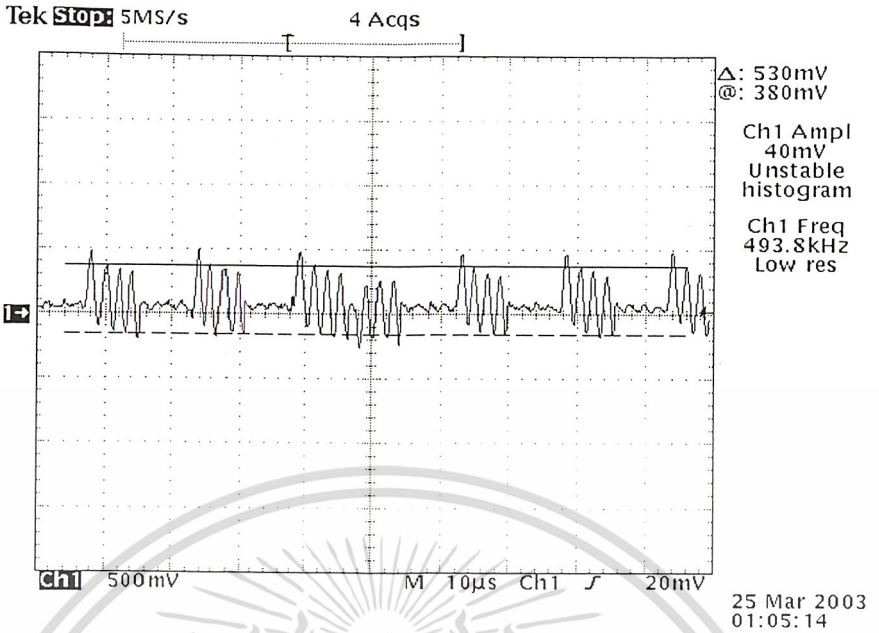
5.นำสัญญาณที่ได้จากวงจรยกกำลังสองไปผ่านวงจรขยายเพื่อทำให้ปรับระดับสัญญาณและตัดส่วนที่เป็นความถี่สูงออกไปได้

6.วัดเอาท์พุตของวงจรขยายสัญญาณเป็น Ch2 เทียบกับสัญญาณที่ได้จากวงจรยกกำลังสองที่เป็นอินพุตเป็น Ch1 ดังรูปที่ 4.2.1(ง)

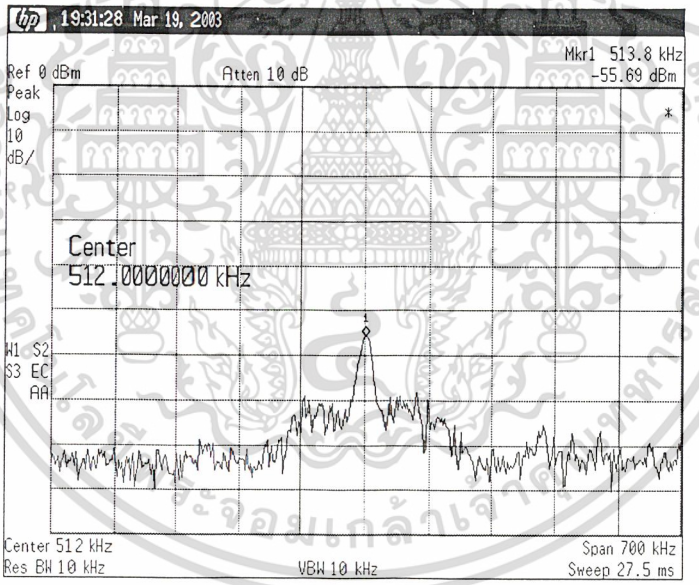
7.นำสัญญาณที่ผ่านการขยายแล้วมาเป็นอินพุตของวงจรปรับระดับสัญญาณเพื่อให้ได้สัญญาณแมนเชสเตอร์กลับคืนมา

8.วัดเอาท์พุตของวงจรปรับระดับสัญญาณเป็น Ch2 เทียบกับสัญญาณที่ผ่านการขยายก่อนปรับระดับสัญญาณเป็น Ch1 ดังรูปที่ 4.2.1(จ)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



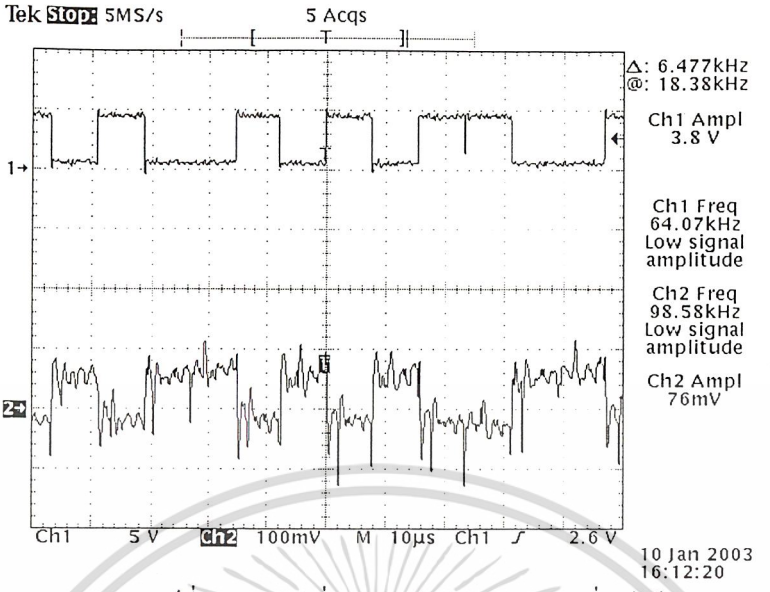

รูปที่4.2.1(ก) สัญญาณที่ทางภาครับรับมาได้




รูปที่ 4.2.1(ข) สเปกตรัมของสัญญาณที่รับได้

สัญญาณที่รับได้จะเป็นสัญญาณที่ถูกมอดูเลตแบบ BPSK ที่รวมกับสัญญาณพาหะเพื่อนำไปทำการดีมอดูเลตสัญญาณแบบที่ไม่ต้องการใช้การกู้สัญญาณคลื่นพาหะ

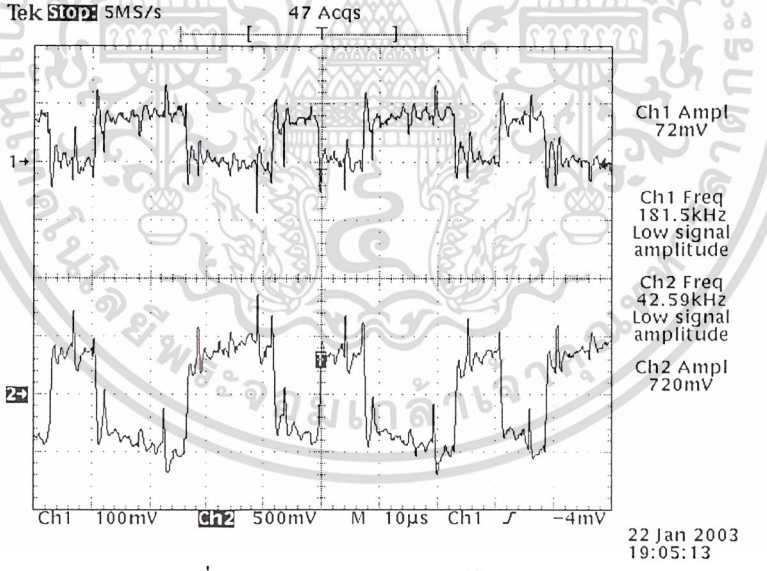
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่4.2.1(ค)สัญญาณแมนเชสเตอร์ที่ถูกมอดูเลตที่ภาคส่งเทียบกับสัญญาณที่รับได้ผ่านวงจรยกกำลังสอง

Ch1 : สัญญาณรหัสแมนเชสเตอร์ที่ถูกมอดูเลตที่ภาคส่ง

Ch2 : สัญญาณที่ผ่านวงจรยกกำลังสอง

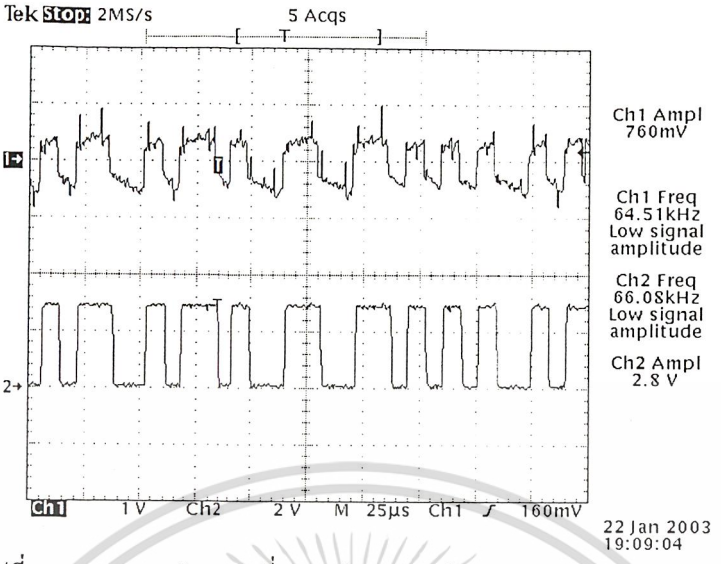



รูปที่4.2.1(ง) แสดงสัญญาณที่ผ่านวงจรยกกำลังสอง แล้วนำมาผ่านวงจรขยายสัญญาณ

Ch1 : สัญญาณที่ผ่านวงจรยกกำลังสอง

Ch2 : สัญญาณที่ผ่านวงจรขยายสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่4.2.1(จ)แสดงสัญญาณที่นำมาผ่านวงจรปรับระดับสัญญาณ

Ch1 : สัญญาณจากวงจรขยายสัญญาณก่อนทำการปรับระดับสัญญาณ

Ch2 : สัญญาณจากวงจรขยายสัญญาณที่ทำการปรับระดับสัญญาณแล้ว

จากสัญญาณที่ได้จากการดีมอดูเลตแบบไม่อาศัยคลื่นพาหะ จะได้เป็นสัญญาณดิจิตอลในรูปแบบของสัญญาณแมนเชสเตอร์เช่นเดียวกับทางภาคส่ง หลังจากนั้นจะนำสัญญาณที่ได้นี้ไปทำการกู้สัญญาณนาฬิกากลับคืนมา

**4.2.2วงจรกู้สัญญาณนาฬิกา**

เมื่อได้สัญญาณรหัสแมนเชสเตอร์ที่ดีมอดูเลตได้แล้ว จึงนำสัญญาณดังกล่าวมาเป็นสัญญาณอ้างอิงในการกู้สัญญาณนาฬิกา โดยใช้หลักการกู้สัญญาณนาฬิกาจากรหัสแมนเชสเตอร์

ขั้นตอนการทดลอง

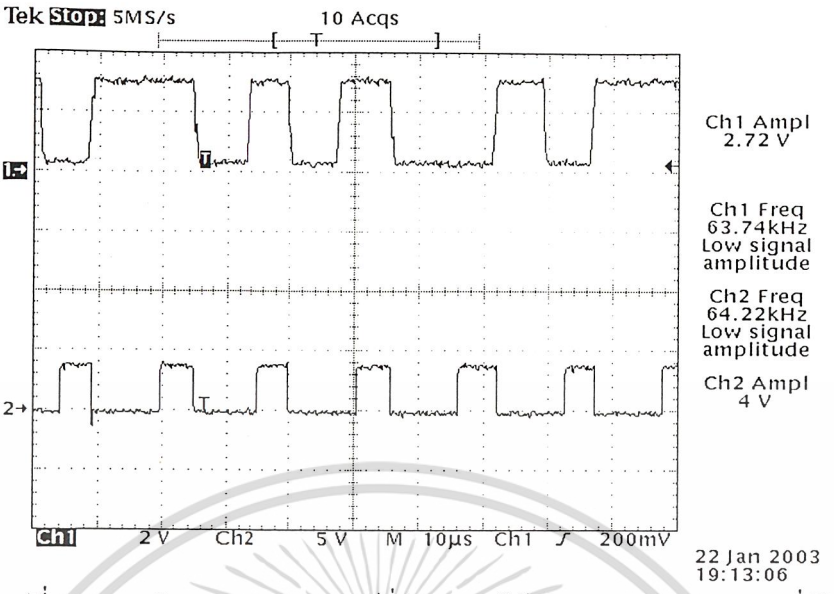
1.ต่อวงจรกู้สัญญาณนาฬิกาในรูป 3.22

2.นำสัญญาณแมนเชสเตอร์ที่ดีมอดูเลตมาได้เป็นอินพุตของวงจรกู้สัญญาณนาฬิกา และทำการปรับค่าความต้านทานในวงจรให้ตรงกับค่าที่ออกแบบไว้

3.วัดเอาท์พุตที่เป็นสัญญาณนาฬิกา Ch2 เทียบกับอินพุตที่เป็นสัญญาณรหัสแมนเชสเตอร์ที่ดีมอดูเลตมาได้ใน Ch1 ดังแสดงในรูปที่ 4.2.2(ก)

4.ทำการเปรียบเทียบลักษณะสัญญาณนาฬิกาทางภาคส่งใน Ch1 กับมางภาครับที่สร้างขึ้นใน Ch2 ดังแสดงในรูปที่ 4.2.2(ข)

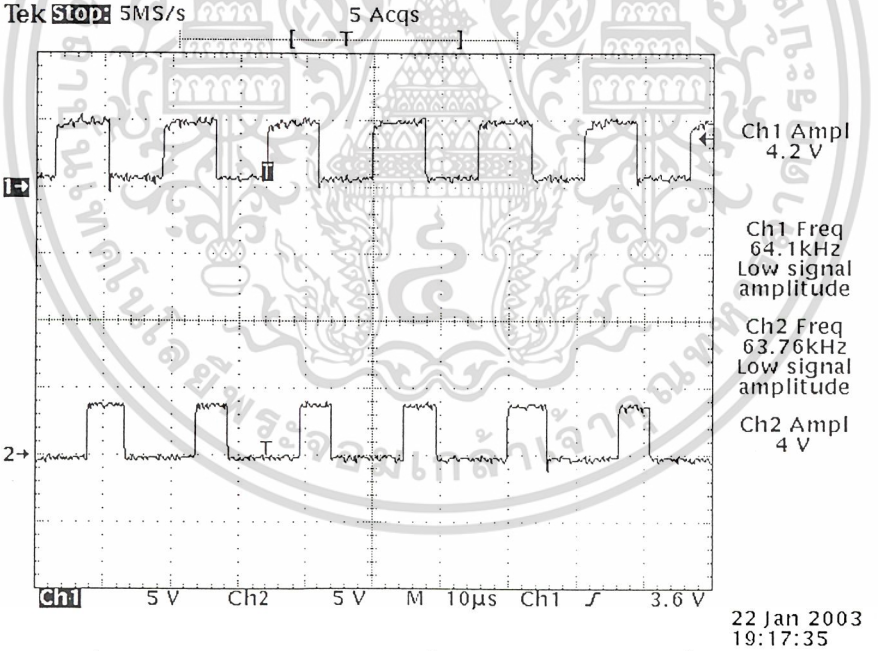
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่4..2.2(ก) สัญญาณแมนเชสเตอร์ที่ดีมอดูเลตได้เทียบกับสัญญาณนาฬิกาที่กู้ได้

Ch1 : สัญญาณแมนเชสเตอร์ที่ดีมอดูเลตได้

Ch2 : สัญญาณนาฬิกาที่กู้ได้




รูปที่4.2.2(ข) แสดงสัญญาณนาฬิกาที่ภาคส่งเทียบกับภาครับที่กู้ได้

Ch1 : สัญญาณนาฬิกาที่ภาคส่ง

Ch2 : สัญญาณนาฬิกาที่ภาครับ

จากสัญญาณนาฬิกาที่กู้ได้จากรหัสแมนเชสเตอร์ จะได้เป็นสัญญาณนาฬิกาที่มีความถี่เท่ากับทางภาคส่งคือ 64kHz หลังจากนั้นสัญญาณนาฬิกาจะนำไปใช้ในการถอดรหัสแมนเชสเตอร์ และสร้างสัญญาณรหัสต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**4.2.3 วงจรถอดรหัสสัญญาณแมนเชสเตอร์**

เมื่อเราทำการดีมอดูเลตสัญญาณแมนเชสเตอร์ และกู้สัญญาณนาฬิกาได้แล้ว จึงนำสัญญาณทั้งสองสัญญาณมาผ่านวงจรถอดรหัสสัญญาณแมนเชสเตอร์ โดยการนำไปผ่านวงจร Exclusive-OR ซึ่งได้ผลการทดลองดังนี้

ขั้นตอนการทดลอง

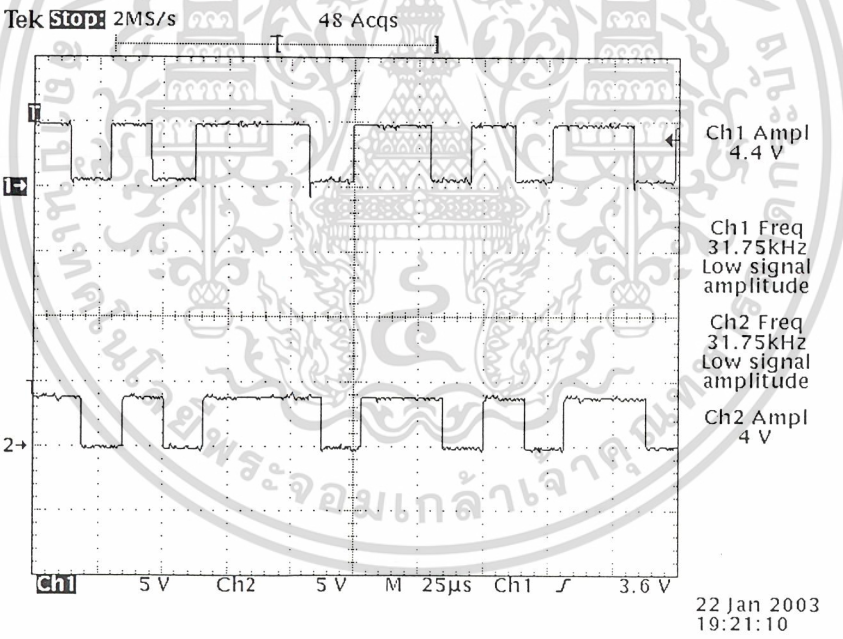
1.ต่อวงจรถอดรหัสสัญญาณแมนเชสเตอร์ดังรูปที่ 3.24

2.นำสัญญาณแมนเชสเตอร์ที่ดีมอดูเลตได้กับสัญญาณนาฬิกาที่กู้ได้มาเป็นอินพุตของวงจรถอดรหัสสัญญาณแมนเชสเตอร์

3.วัดสัญญาณเอาท์พุตของวงจรถอดรหัสสัญญาณแมนเชสเตอร์ซึ่งได้เป็นสัญญาณสเพรดสเปกตรัมที่ Ch2 เทียบกับสัญญาณสเพรดสเปกตรัมทางภาคส่งเป็น Ch1 ดังแสดงในรูป 4.2.3(ก)

4.วัดค่าสเปกตรัมของสัญญาณเอาท์พุต ดังแสดงในรูป 4.2.3(ข)

5. วัดค่าสเปกตรัมของสัญญาณเอาท์พุตโดยเครื่องสเปกตรัมอนาไลเซอร์ ดังแสดงในรูป 4.2.3(ค)

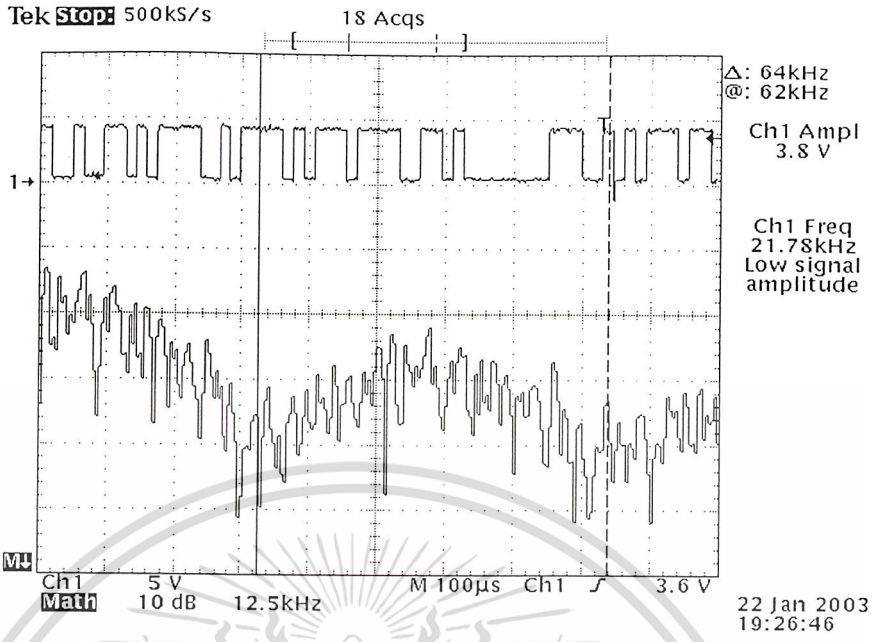



รูปที่4.2.3(ก) แสดงสัญญาณก่อนเข้ารหัสแมนเชสเตอร์ของทางภาคส่งเทียบกับสัญญาณที่ได้จากการถอดรหัสสัญญาณแมนเชสเตอร์ที่ภาครับ

Ch1 : สัญญาณก่อนเข้ารหัสแมนเชสเตอร์ของทางภาคส่ง

Ch2 : สัญญาณที่ได้จากการถอดรหัสสัญญาณแมนเชสเตอร์ที่ภาครับ

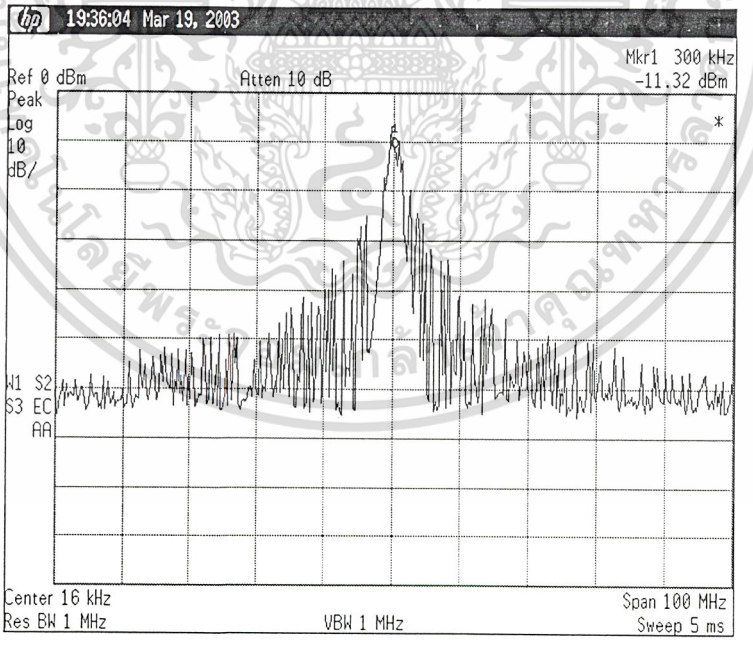
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่4.2.3(ข) รูปสัญญาณสเพรดสเปกตรัมเทียบกับสเปกตัมของสัญญาณสเพรดสเปกตรัม

Ch1 : สัญญาณสเพรดสเปกตรัม

ChM : สเปกตัมของสัญญาณสเพรดสเปกตรัม




รูปที่ 4.2.3(ค) สเปกตรัมของสัญญาณที่ถอดรหัสแมนเชสเตอร์

หลังจากถอดรหัสสัญญาณแมนเชสเตอร์จะได้เป็นสัญญาณสเพรดสเปกตรัมเช่นเดียวกับทางภาคส่ง ซึ่งจะนำสัญญาณที่ได้นี้ ไปทำการถอดรหัสสัญญาณสเพรดสเปกตรัมเพื่อให้ได้สัญญาณข้อมูลเดิมกลับคืนมา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**4.2.4วงจรสร้างสัญญาณรหัสแบบสุ่ม**

เป็นวงจรที่ใช้สร้างรหัสแบบสุ่มให้ได้รหัสเดียวกับทางภาคส่งเพื่อการกู้สัญญาณข้อมูลเดิมกลับมา โดยใช้สัญญาณนาฬิกาที่กู้ได้ที่ทางภาครับเป็นสัญญาณที่เป็นตัวกำหนดความเร็วของสัญญาณรหัส

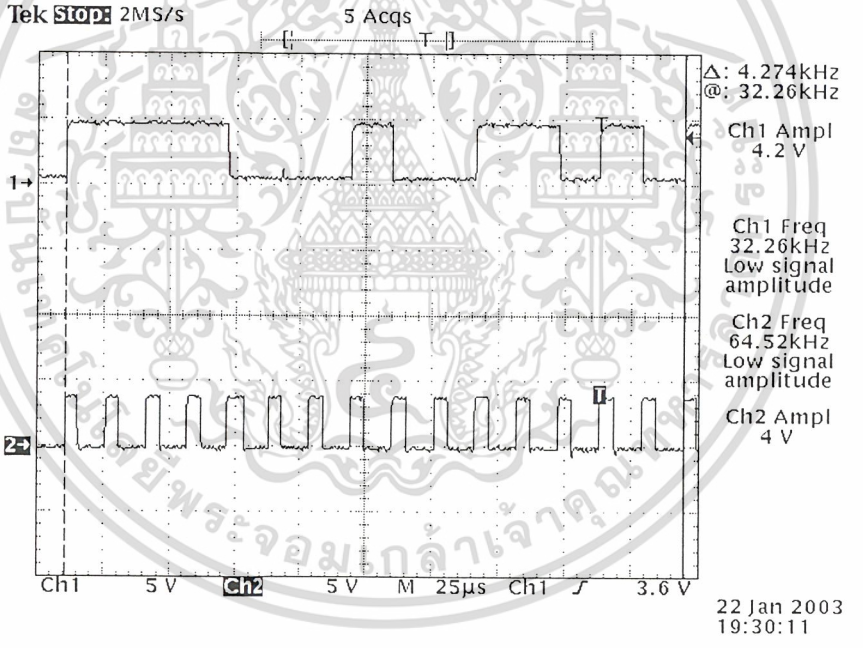
ขั้นตอนการทดลอง

1.ต่อวงจรสร้างสัญญาณรหัสในรูปที่ 3.25

2.นำสัญญาณนาฬิกาที่กู้ได้เป็นสัญญาณที่ป้อนให้กับวงจรสร้างสัญญาณรหัส

3.วัดสัญญาณเอาท์พุตที่เป็นสัญญาณรหัสที่สร้างขึ้นที่ Ch1 เทียบกับสัญญาณนาฬิกา Ch2 ดังแสดงในรูปที่ 4.2.4(ก)

4.วัดสัญญาณเอาท์พุตที่เป็นสัญญาณรหัสทางภาครับ Ch2 เทียบกันกับสัญญาณรหัสทางภาคส่งดังแสดงในรูปที่ 4.2.4(ก)

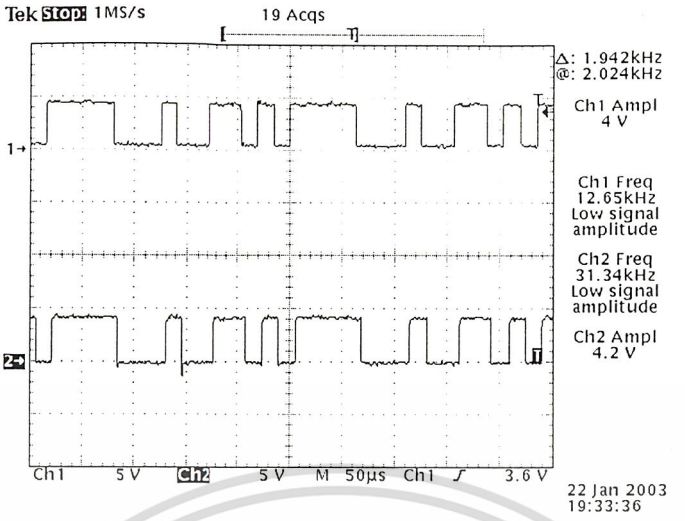



รูปที่4.2.4(ก)แสดงสัญญาณรหัสที่ภาครับสร้างได้เทียบกับสัญญาณนาฬิกาที่ภาครับ

Ch1 : สัญญาณรหัสที่ภาครับสร้างได้

Ch2 : สัญญาณนาฬิกาที่ภาครับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่4.2.4(ข)แสดงสัญญาณรหัสทางภาคส่งเทียบกับสัญญาณรหัสทางภาครับ

Ch1 : สัญญาณรหัสทางภาคส่ง

Ch2 : สัญญาณรหัสทางภาครับ

สัญญาณรหัสที่สร้างได้ทางภาครับนั้นจะมีรหัสและความเร็วเท่ากับสัญญาณรหัสทางภาคส่งเพื่อที่จะนำสัญญาณรหัสนี้ไปถอดรหัสสัญญาณสเพรดสเปกตรัม ให้ได้สัญญาณข้อมูลเดิมกลับคืนมา

**4.2.5 วงจรกู้สัญญาณข้อมูล**

นำสัญญาณรหัสที่ภาครับสร้างขึ้นที่มีรหัสตรงกับภาคส่งมาเป็นสัญญาณอ้างอิงในการกู้สัญญาณข้อมูลเดิมกลับมาโดยผ่านวงจร Exclusive-OR ได้ผลดังนี้

ขั้นตอนการทดลอง

1.ต่อวงจร กู้สัญญาณข้อมูลดังรูปที่ 3.26

2.ป้อนสัญญาณสเพรดสเปกตรัมที่กู้ได้ และสัญญาณรหัสที่สร้างขึ้น เป็นอินพุตของวงจรกู้สัญญาณข้อมูล

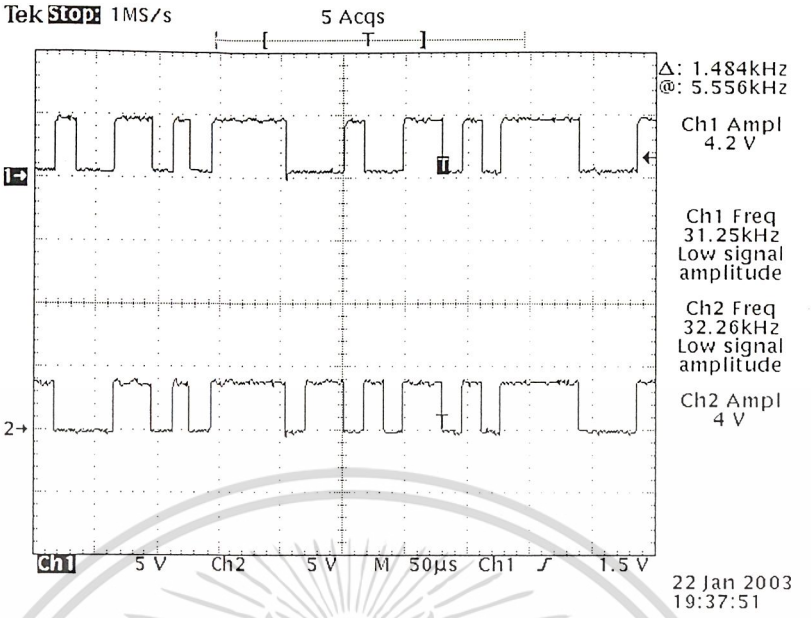
3.วัดค่าสัญญาณรหัสที่ภาครับสร้างขึ้น Ch1 เทียบกับสัญญาณสเพรดสเปกตรัมที่กู้ได้ที่ Ch2 เพื่อพิจารณาค่าเอาท์พุตที่ได้ ดังแสดงในรูปที่ 4.2.5(ก)

4.วัดค่าเอาท์พุตของวงจรซึ่งก็คือสัญญาณข้อมูลที่กู้ได้ทางภาครับเป็น Ch2 เทียบกับสัญญาณข้อมูลเดิมทางภาคส่ง ดังแสดงในรูปที่ 4.2.5(ข)

5.วัดสเปกตรัมของสัญญาณข้อมูลที่กู้ได้ ดังแสดงในรูปที่ 4.2.5(ค)

6. วัดสเปกตรัมของสัญญาณข้อมูลที่กู้ได้ทั้งแบนด์วิทด้วยเครื่องสเปกตรัมอนาไลเซอร์ ดังแสดงในรูปที่ 4.2.5(ง)

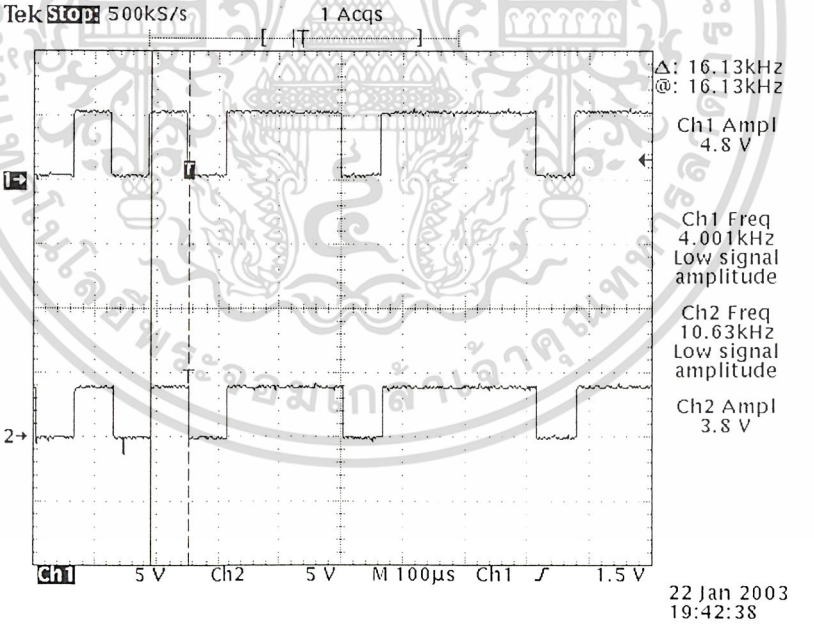
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่4.2.5(ก) สัญญาณรหัสที่ภาครับเทียบกับสัญญาณสเพรดสเปกตรัมที่ภาครับ

Ch1 : สัญญาณรหัสที่ภาครับ

Ch2 : สัญญาณสเพรดสเปกตรัมที่ภาครับ

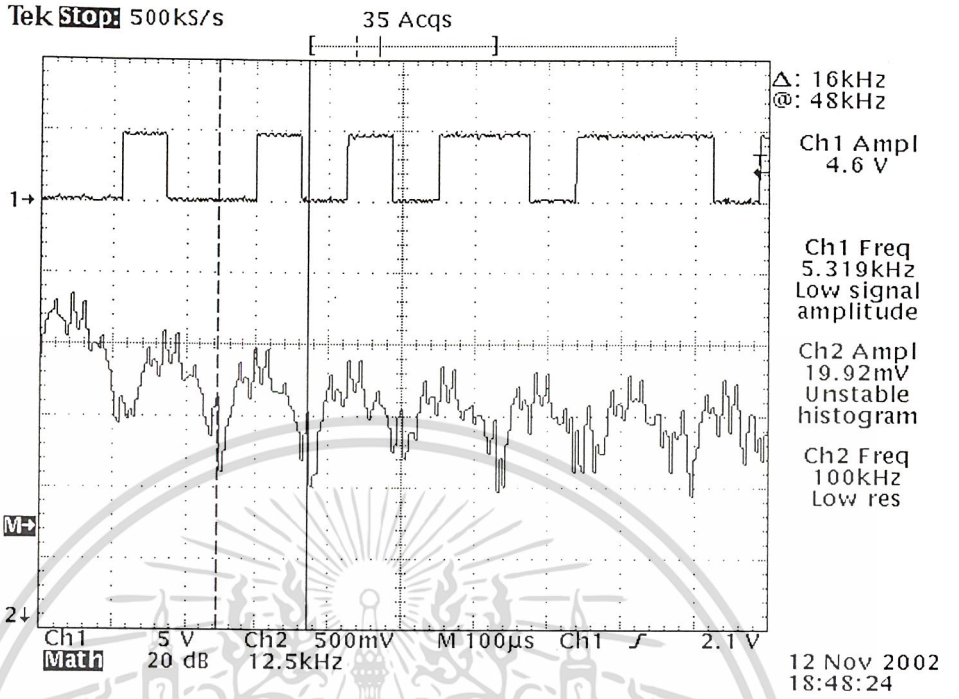



รูปที่4.2.5(ข)สัญญาณข้อมูลทางภาคส่งเทียบกับสัญญาณข้อมูลที่ภาครับกู้ได้

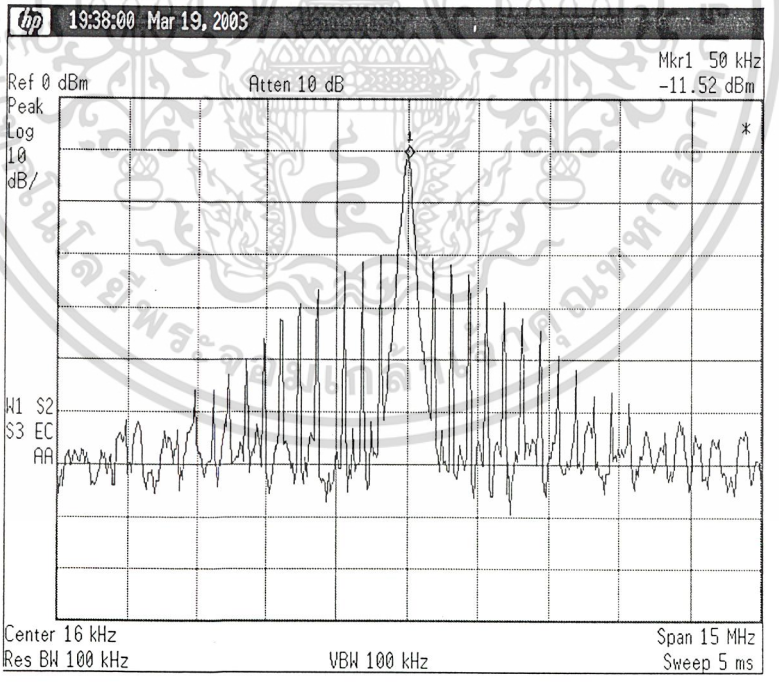
Ch1 : สัญญาณข้อมูลทางภาคส่ง

Ch2 : สัญญาณข้อมูลที่ภาครับกู้ได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่4.2.5(ค) สเปกตรัมของสัญญาณข้อมูลที่กู้มาได้




รูปที่ 4.2.5(ง) สเปกตรัมของสัญญาณข้อมูลที่กู้ได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**4.2.6 วงจรแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาลอก**

เมื่อทางภาครับทำการกู้สัญญาณข้อมูลเดิมกลับคืนมาได้แล้วซึ่งอยู่ในรูปของสัญญาณดิจิตอล จึงต้องนำสัญญาณข้อมูลที่กู้ได้นี้มาผ่านวงจรแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาลอกเพื่อแปลงสัญญาณดิจิตอลที่กู้ได้เป็นสัญญาณอนาลอกเหมือนกับทางภาคส่ง ได้ผลลดังนี้

ขั้นตอนการทดลอง

1.ต่อวงจรแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาลอกดังรูปที่ 3.29

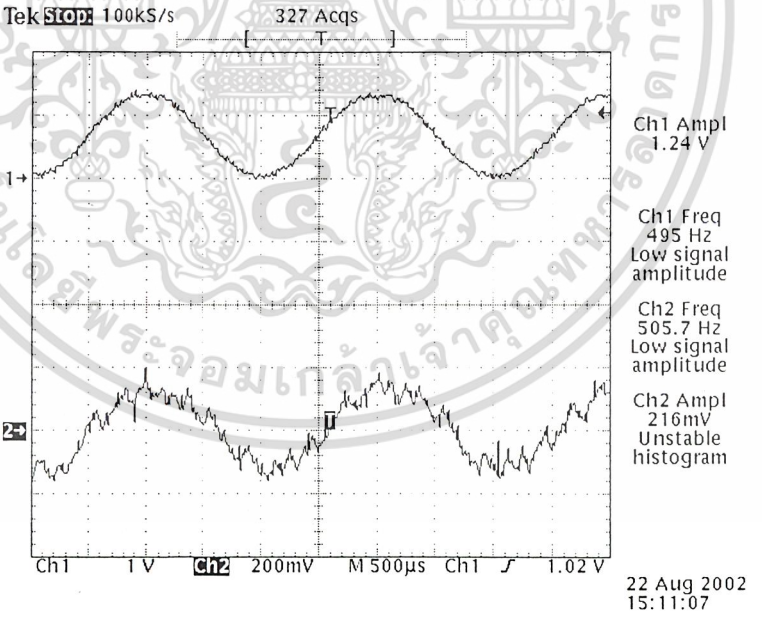
2. นำสัญญาณนาฬิกา 64 kHzที่ภาครับสร้างได้มาหารความถี่ลง 4 เท่าได้สัญญาณนาฬิกา 16 kHz เป็นสัญญาณนาฬิกาของวงจรแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาลอก

3.ป้อนสัญญาณข้อมูลที่กู้มาได้ซึ่งเป็นสัญญาณดิจิตอลและสัญญาณนาฬิกา 16 kHz เป็นอินพุตให้กับวงจรแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาลอก

4.วัดสัญญาณเอาท์พุตที่ออกจากวงจรวงจรแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาลอกที่ Ch2 เทียบกับสัญญาณอนาลอกอินพุตทางภาคส่งเป็น Ch1 ดังแสดงในรูปที่ 4.2.6(ก)

5.นำสัญญาณจากวงจรแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาลอกไปผ่านวงจรกรองความถี่ต่ำผ่าน 3.4 kHz ที่มีผลตอบสนองทางความถี่ดังแสดงในตารางที่ 4.2 และรูปที่ 4.2.6(ข)

6. วัดสัญญาณเอาท์พุตที่ออกจากวงจรวงจรจรกรองความถี่ต่ำผ่านที่ Ch2 เทียบกับสัญญาณอนาลอกอินพุตทางภาคส่งเป็น Ch1 ดังแสดงในรูปที่ 4.2.6(ค)




รูปที่4.2.6(ก) สัญญาณที่ออกจากวงจรวงจรแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาลอกเทียบกับสัญญาณอนาลอกอินพุตทางภาคส่ง

Ch1 : สัญญาณอนาลอกที่เป็นอินพุต

Ch2 : สัญญาณอนาลอกที่กู้ได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางแสดงค่าอัตราขยายของวงจรกรองความถี่ต่ำผ่าน 3.4 kHz

| ความถี่(kHz) | อัตราการขยาย(dB) |
|---|---|
| 0.1 | 4.506 |
| 0.2 | 4.506 |
| 0.3 | 4.506 |
| 0.5 | 4.506 |
| 0.7 | 4.402 |
| 0.8 | 4.297 |
| 0.9 | 4.297 |
| 1 | 4.297 |
| 1.5 | 4.297 |
| 2 | 3.75 |
| 2.1 | 3.637 |
| 2.3 | 3.522 |
| 2.5 | 3.29 |
| 2.6 | 3.02 |
| 2.8 | 2.54 |
| 3 | 2.28 |
| 3.1 | 2.01 |
| 3.2 | 1.87 |
| 3.3 | 1.73 |
| 3.4 | 1.44 |
| 3.5 | 1.14 |
| 3.6 | 0.98 |
| 3.7 | 0.51 |
| 3.8 | 0.34 |
| 3.9 | 0 |
| 4 | -0.175 |
| 4.1 | -0.035 |
| 4.3 | -0.915 |
| 4.5 | -1.31 |
| 4.8 | -2.16 |

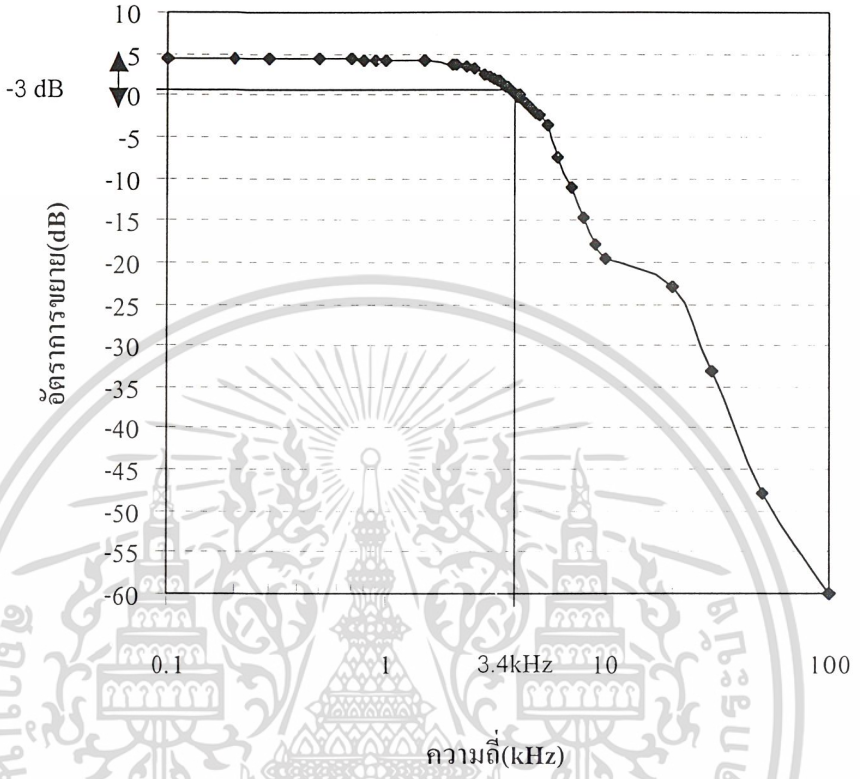
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

| ความถี่(kHz) | อัตราการขยาย(dB) |
|---|---|
| 5 | -2.38 |
| 5.5 | -3.61 |
| 6 | -7.54 |
| 7 | -11.06 |
| 8 | -14.703 |
| 9 | -17.86 |
| 10 | -19.66 |
| 20 | -22.85 |
| 30 | -33.15 |
| 50 | -47.96 |
| 100 | -60 |

ตารางที่ 4.2 แสดงค่าอัตราขยายของวงจรกรองความถี่ต่ำผ่าน 3.4 kHz

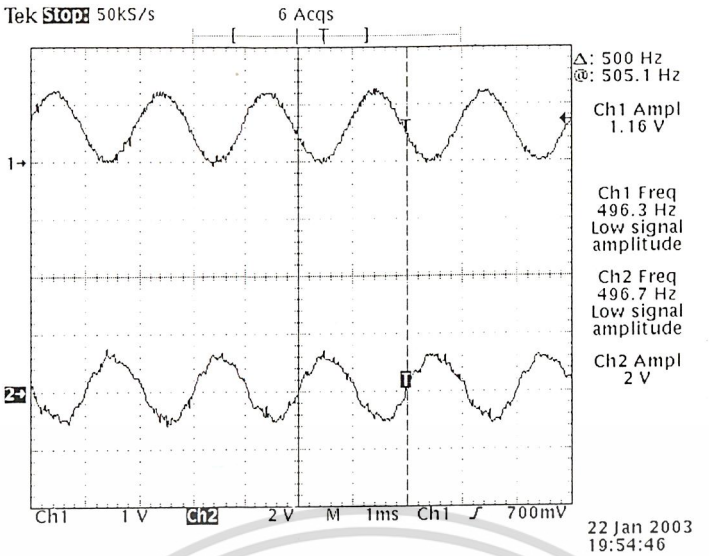
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กราฟแสดงผลตอบสนองทางความถี่ของวงจรกรองความถี่ต่ำผ่าน




รูปที่ 4.2.6(ข)กราฟแสดงผลตอบสนองทางความถี่ของวงจรกรองความถี่ต่ำผ่าน 3.4 kHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 4.2.6(ค) สัญญาณเอาท์พุตที่ออกจากวงจรกรองความถี่ต่ำผ่าน
เทียบกับสัญญาณอนาลอกอินพุตทางภาคส่ง

Ch1 : สัญญาณอนาลอกอินพุตทางภาคส่ง

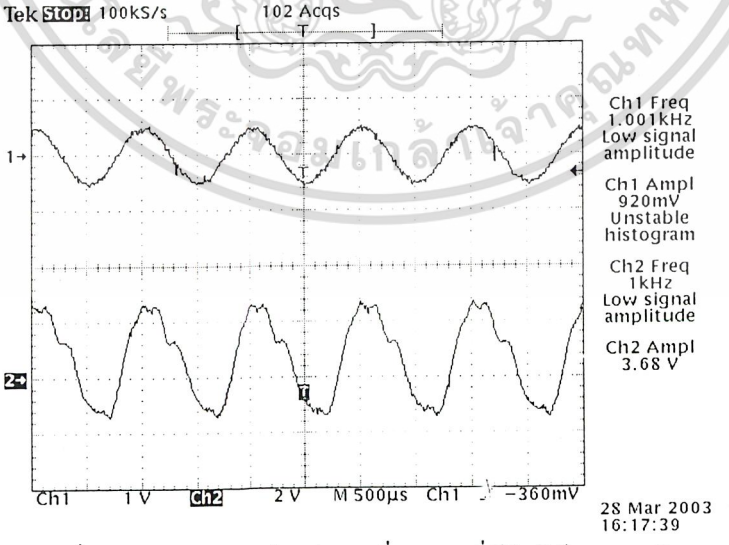
Ch2 : สัญญาณเอาท์พุตที่ออกจากวงจรกรองความถี่ต่ำผ่าน

**4.2.7 การทดสอบการกู้สัญญาณอนาลอกที่ความถี่ต่าง ๆ เมื่อทดสอบกับระบบทั้งหมด**

ขั้นตอนการทดลอง

1.ป้อนสัญญาณรูปไซน์ที่ความถี่ต่าง ๆ กันที่ความถี่ตั้งแต่ 1kHz, 2kHz, 4kHz และ 10kHz ตามลำดับเข้าไปในเครื่องรับส่งแบบสเพรดสเปกตรัม

2.ทำการวัดค่าสัญญาณที่ส่งไปเป็น Ch1 และที่ออกจากเครื่องรับส่งแบบสเพรดสเปกตรัมเมื่อผ่านทั้งระบบแล้ว (มีอัตราการขยาย) เป็น Ch2 ดังรูปที่ 4.2.7(ก), รูปที่ 4.2.7(ข), รูปที่ 4.2.7(ค) และ รูปที่ 4.2.7(ง) ตามลำดับ

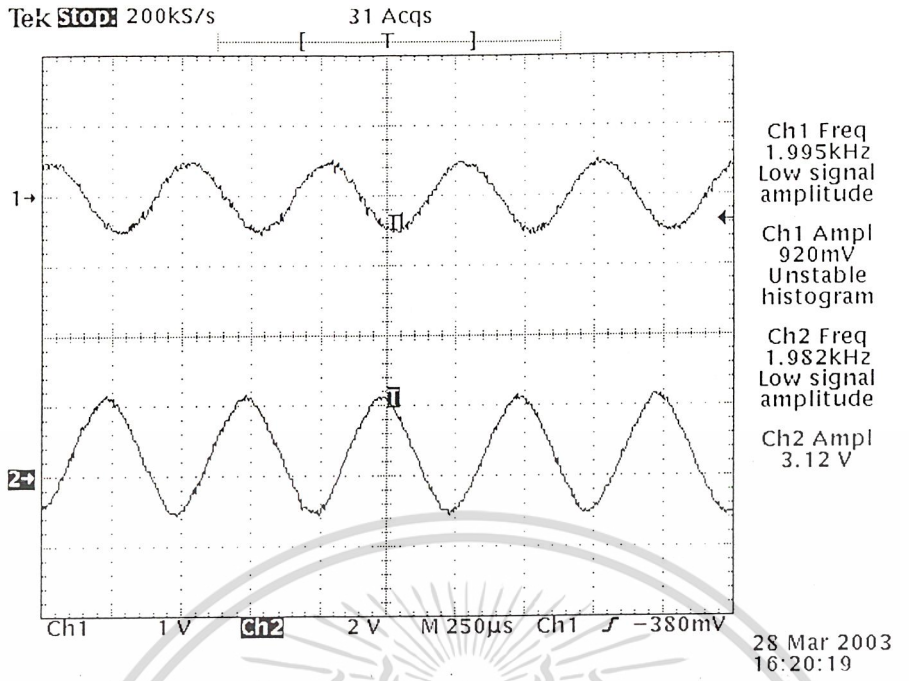



รูปที่ 4.2.7(ก) สัญญาณไซน์ความถี่ 1 kHz ที่กู้คืนได้ทางภาครับ

Ch1 : สัญญาณไซน์ความถี่ 1 kHz ที่ส่งมา

Ch2 : สัญญาณไซน์ความถี่ 1 kHz ที่กู้กลับ

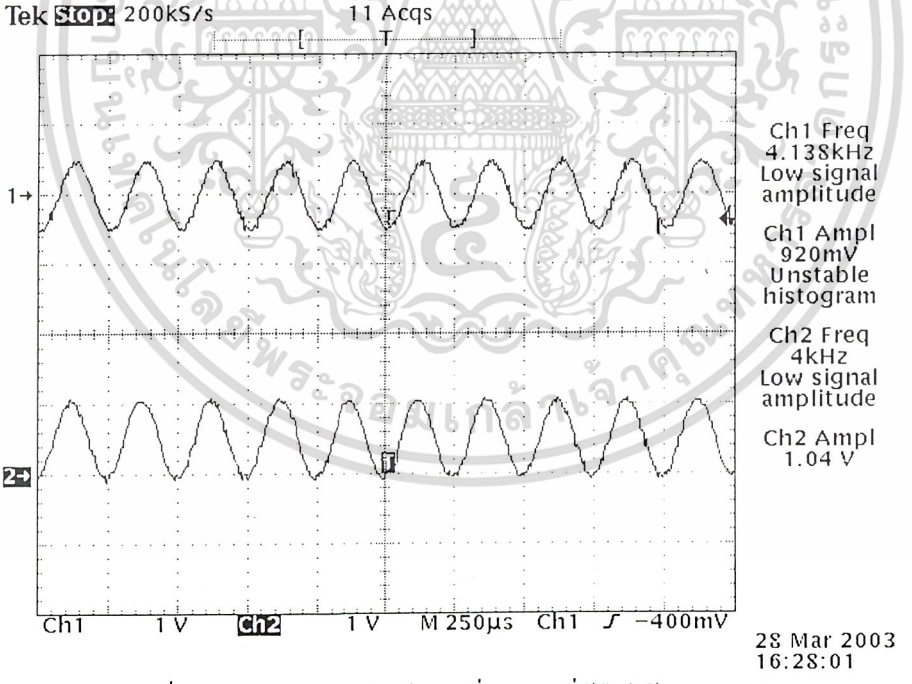
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 4.2.7(ข) สัญญาณไซน์ความถี่ 2 kHz ที่กู้คืนได้ทางภาครับ

Ch1 : สัญญาณไซน์ความถี่ 2 kHz ที่ส่งมา

Ch2 : สัญญาณไซน์ความถี่ 2 kHz ที่กู้กลับ

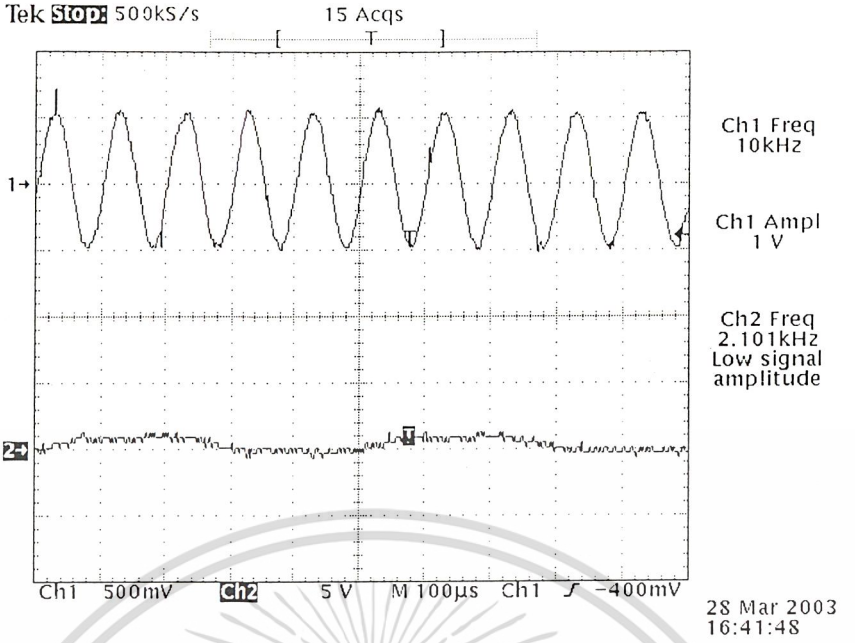



รูปที่ 4.2.7(ค) สัญญาณไซน์ความถี่ 4 kHz ที่กู้คืนได้ทางภาครับ

Ch1 : สัญญาณไซน์ความถี่ 4 kHz ที่ส่งมา

Ch2 : สัญญาณไซน์ความถี่ 4 kHz ที่กู้กลับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




รูปที่ 4.2.7(ง) สัญญาณไซน์ความถี่ 10kHz ที่กู้คืนได้ทางภาครับ

Ch1 : สัญญาณไซน์ความถี่ 10kHz ที่ส่งมา

Ch2 : สัญญาณไซน์ความถี่ 10kHz ที่กู้กลับ

จะพบว่าการกู้สัญญาณไซน์ในทางภาครับที่ความถี่หลังจากความถี่คัทออฟไปแล้วจะทำการกู้ได้ยาก และถูกตัดออกที่ความถี่สูง

<u>สรุปผลการทดลองทางภาครับ</u>

สัญญาณที่รับมาได้จากทางภาคส่งนั้นจะถูกนำไปทำการดีมอดูเลตสัญญาณแบบไม่อาศัยคลื่นพาหะทำให้ได้สัญญาณรหัสแมนเชสเตอร์กลับคืนมา หลังจากนั้นนำสัญญาณนี้ไปทำการกู้สัญญาณนาฬิกาเพื่อใช้เป็นสัญญาณนาฬิกาทางภาครับที่ใช้ในการถอดรหัสสัญญาณแบบแมนเชสเตอร์ และทางภาครับจะสร้างสัญญาณรหัสขึ้นมาที่มีรหัสเหมือนกับทางภาคส่งเพื่อนำไปทำการถอดรหัสสัญญาณสเพรดสเปกตรัม ทำให้ได้รหัสสัญญาณข้อมูลเดิมที่เหมือนกับทางภาคส่งกลับคืนมาจากนั้นนำสัญญาณที่กู้ได้นี้มาผ่านวงจรแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาลอกเพื่อให้ได้สัญญาณอนาลอกเช่นเดียวกับทางภาคส่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# บทที่ 5
# บทวิจารณ์และสรุป

การทำโครงงานเรื่องเครื่องรับเครื่องส่งระบบสเพรดสเปกตรัม ในส่วนแรกจะทำการศึกษาการทำงานของในส่วนภาคส่งก่อน โดยมุ่งเน้นถึงหลักการทำงานของระบบเพรดสเปกตรัม ในส่วนที่สองนั้นจะศึกษาการทำงานของภาครับ โดยส่วนสำคัญคือการกู้สัญญาณนาฬิกาให้มีความถี่ตรงกับสัญญาณนาฬิกาทางภาคส่งเพื่อใช้ในการทำให้สัญญาณรหัสที่สร้างขึ้นทางภาครับซิงโครไนซ์กับสัญญาณรหัสที่ใช้เข้ารหัสแบบสเพรดสเปกตรัมทางภาคส่ง เพื่อการกู้ข้อมูลเดิมกลับคืนมาได้ ในการออกแบบวงจรในส่วนต่าง ๆ นั้นได้อาศัยวงจรพื้นฐานต่าง ๆ มาประกอบกันเป็นวงจรรวม วงจรในแต่ละส่วนนั้นบางวงจรนำมาจากคู่มือการใช้งานไอซี และบางวงจรนั้นได้ออกแบบขึ้นมาให้เหมาะสมกับการใช้งาน ส่วนในการประกอบวงจรในแต่ละส่วนมีปัญหาบ้างเล็กน้อยแตกต่างกันไป โดยจะขอสรุปเป็นข้อเสนอแนะเพื่อเป็นประโยชน์แก่ผู้อ่านในแต่ละส่วนดังนี้

## 5.1 เครื่องส่ง

### 5.1.1 วงจรขยายสัญญาณเสียง

เป็นวงจรที่ทำหน้าที่ขยายสัญญาณเสียงที่ผ่านไมโครโฟนมาและทำการ Offset สัญญาณที่ได้ให้อยู่เหนือระดับกราวนด์เพื่อใช้เป็นอินพุตของวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล วงจรนี้ใช้ Op-Amp เป็นส่วนประกอบของวงจรซึ่งได้ผลเป็นที่น่าพอใจ

### 5.1.2 วงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล

ไอซีที่ทำหน้าที่เป็นวงจรนี้คือเบอร์ MC3418 มีปัญหาในการออกแบบคือข้อจำกัดของบิตเรทที่มีอัตราได้เพียง 16 kbps เนื่องจากต้องพิจารณาความเร็วสัญญาณข้อมูลให้น้อยกว่าค่าความเร็วสัญญาณรหัสที่สร้างขึ้นหลายเท่าเพื่อความต่างกันของแบนด์วิท จึงทำให้ไม่สามารถป้อนความถี่เสียงสูง ๆ เข้าไปได้ คุณภาพเสียงจึงไม่ดีนัก

### 5.1.3 วงจรสร้างสัญญาณนาฬิกา

เป็นวงจรที่ใช้ในการสร้างสัญญาณนาฬิกาเพื่อที่จะนำไปเป็นสัญญาณนาฬิกาที่ใช้ในภาคส่งมีความถี่ 64 kHz โดยสร้างจากการนำคริสตอลออสซิเลเตอร์ที่ผลิตความถี่ 10.24 MHz มาผ่านวงจรหารความถี่ 160 เท่า วงจรนี้ให้ผลเป็นที่น่าพอใจ

### 5.1.4 วงจรสร้างสัญญาณรหัสแบบสุ่ม

วงจรนี้เป็นวงจรที่ใช้หลักการทำงานของ Shift Register โดยใช้ D flip-flop ทำงานร่วมกันเมื่อให้ค่าเริ่มต้นกับวงจรค่าหนึ่ง วงจรจะผลิตสัญญาณรหัสแบบสุ่มออกมา 15 บิตซ้ำกับไป ซึ่งสัญญาณนี้จะมีความเร็วเป็น 8 เท่าของสัญญาณข้อมูล เพื่อนำไปทำการเข้ารหัสสัญญาณแบบสเพรดสเปกตรัมกับสัญญาณข้อมูลต่อไป วงจรนี้ให้ผลของสัญญาณรหัสที่ถูกต้องแม่นยำ

### 5.1.5 วงจรเข้ารหัสสัญญาณแบบสเพรดสเปกตรัม

วงจรนี้เป็นวงจรที่ทำการเข้ารหัสสัญญาณแบบสเพรดสเปกตรัม โดยการนำสัญญาณข้อมูลไปทำการผ่านวงจร Exclusive-or กับสัญญาณรหัส จะทำให้สเปกตรัมของสัญญาณข้อมูลแผ่กว้างขึ้น การทำงานของวงจรนี้มีหลักการง่ายและให้รหัสที่แม่นยำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**5.1.6 วงจรเข้ารหัสสัญญาณแบบแมนเชสเตอร์**

วงจรนี้เป็นวงจรที่นำสัญญาณที่ได้ทำการเข้ารหัสสัญญาณแบบสเพรดสเปกตรัม แล้วมาเข้ารหัสสัญญาณแบบแมนเชสเตอร์ โดยการนำสัญญาณที่ได้ทำการสเพรดสเปกตรัมไปทำการผ่านวงจร Exclusive-or กับสัญญาณนาฬิกา เพื่อนำสัญญาณนี้ไปกู้สัญญาณนาฬิกาคืนที่ภาครับ การทำงานของวงจรนี้มีหลักการง่ายและให้รหัสที่แม่นยำ เพื่อการกู้สัญญาณนาฬิกาคืนที่ภาครับได้อย่างแม่นยำ

**5.1.7 วงจรปรับระดับสัญญาณ**

วงจรนี้เป็นวงจรที่ทำการปรับระดับสัญญาณ เนื่องจากสัญญาณขาออกของวงจรประเภท TTL จะมีระดับ Logic 1,0 เป็นสัญญาณ +5V และ Ground ตามลำดับ แต่ในการส่งสัญญาณแบบ BPSK นั้น สัญญาณที่จะนำมามอดูเลตกับสัญญาณพาหะจะต้องมีความต่างของระดับสัญญาณ Logic 1,0 เป็น +V และ –V ตามลำดับ วงจรนี้ใช้ Op-Amp เป็นตัวเปรียบเทียบระดับแรงดันเพื่อให้เอาท์พุตออกมามี 2 ระดับ มีการทำงานง่ายและสามารถปรับระดับแรงดันเอาท์พุตได้ตามต้องการ ซึ่งได้ผลการทดลองอย่างถูกต้อง

**5.1.8 วงจรสร้างสัญญาณพาหะ 512 kHz**

วงจรนี้ได้อาศัยการทำงานของเฟสล็อคลูปโดยการทำการคูณความถี่สัญญาณนาฬิกา 64 kHz เป็น 512 kHz โดยหลักการทำงานของวงจรนี้อยู่ที่การล็อคความถี่ของเฟสดีเทคเตอร์ที่แม่นยำ และการกรองความถี่ให้ได้สัญญาณรูปไซน์ควรออกแบบวงจรกรองความถี่แถบผ่านให้มีคุณภาพที่ดี วงจรนี้มีปัญหาบ้างเล็กน้อยตรงส่วนวงจรกรองความถี่แถบผ่านต้องทำการปรับคุณลักษณะของวงจรกรองความถี่แถบผ่านให้กรองได้สัญญาณรูปไซน์ที่สวยงาม

**5.1.9 วงจรมอดูเลตสัญญาณแบบ BPSK**

เป็นวงจรที่นำสัญญาณแมนเชสเตอร์มามอดูเลตสัญญาณแบบ BPSK ก่อนส่งไปยังสายโคแอคเชียล ซึ่งเป็นการมอดูเลตสัญญาณดิจิตอลทางเฟส โดยเฟสของสัญญาณพาหะจะเปลี่ยนไปตามรหัสดิจิตอลที่เข้ามา ใช้การทำงานของอนาลอกสวิตซ์จึงไม่มีผลของขนาดของสัญญาณมาเกี่ยวข้อง เป็นวงจรที่ทำงานได้ดีเป็นที่น่าพอใจ

**5.1.10 วงจรรวมสัญญาณ**

เป็นวงจรที่ทำการรวมสัญญาณ BPSK กับสัญญาณพาหะก่อนส่งออกไปที่สายโคแอคเชียล เพื่อทำการดีมอดูเลตแบบไม่อาศัยคลื่นพาหะที่ภาครับ วงจรนี้ใช้การทำงานของ Op-Amp ซึ่งให้ผลเป็นที่น่าพอใจ

## 5.2 ภาครับ

**5.2.1 ภาคการดีมอดูเลตสัญญาณ BPSK**

ในส่วนนี้ตะทำการดีมอดูเลตสัญญาณที่ส่งมาโดยการใช้หลักการดีมอดูเลตสัญญาณแบบไม่อาศัยคลื่นพาหะ โดยนำสัญญาณที่รับได้ดังกล่าวมาผ่านวงจรยกกำลังสอง โดยสัญญาณที่ผ่านวงจรยกกำลังสองจะอยู่ในรูปของสัญญาณดิจิตอลที่มีความถี่สูงขึ่อยู่ จากนั้นสามารถตัดส่วนความถี่สูงออกไปได้โดยการนำไปผ่านวงจรขยายสัญญาณ แล้วนำสัญญาณที่ได้ไปทำการปรับระดับแรงดัน จะได้สัญญาณดิจิตอลกลับคืนมา จากการใช้การทำงานของวงจรที่กล่าวมาข้างต้น จะพบปัญหาบ้างเล็กน้อยคือจากวงจรปรับระดับแรงดันต้อง

เอกสารนี้จัดทำขึ้นเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทำการออกแบบให้พิจารณาค่าสัญญาณดิจิตอลให้ได้แม่นยำและตัดส่วนความถี่สูงที่ไม่ต้องการออกไปให้ได้ ซึ่งในการออกแบบให้ละเอียดและรอบคอบจะแก้ปัญหาตรงส่วนนี้ออกไปได้ ทำให้การทำงานของวงจรส่วนนี้เป็นที่น่าพอใจ

**5.2.2 วงจรกู้สัญญาณนาฬิกา**

เป็นวงจรที่ใช้หลักการกู้สัญญาณนาฬิกาจากรหัสแมนเชสเตอร์ ซึ่งหัวใจสำคัญของการกู้สัญญาณนาฬิกาอยู่ที่วงจรโมโนสเตเบิลซึ่งทำหน้าที่กำเนิดสัญญาณนาฬิกา ปัญหาการทำงานของวงจรอยู่ที่ เมื่อใดก็ตามที่เกิดการกระชากของแรงดันไฟจะทำให้สัญญาณนาฬิกาที่กู้ได้เกิดการกลับเฟส 180 องศาซึ่งมีผลให้การทำงานของวงจรดิจิตอลทางภาครับผิดพลาด ซึ่งต้องทำการปรับแต่งสัญญาณที่ดีมอดูเลตได้และทำการปรับค่าความต้านทานของวงจรโมโนสเตเบิลให้เหมาะสม

**5.2.3 วงจรถอดรหัสสัญญาณแมนเชสเตอร์**

เมื่อเราทำการดีมอดูเลตสัญญาณแมนเชสเตอร์ และกู้สัญญาณนาฬิกาได้แล้ว จึงนำสัญญาณทั้งสองมาผ่านวงจรถอดรหัสสัญญาณแมนเชสเตอร์ โดยการนำไปผ่านวงจร D flip-flop ที่ทำงานง่ายและให้ผลแม่นยำ ซึ่งวงจรนี้จะมีส่วนอยู่ในวงจรกู้สัญญาณนาฬิกาจึงให้ผลเป็นที่น่าพอใจ

**5.2.4 วงจรสร้างสัญญาณรหัสแบบสุ่ม**

เป็นวงจรที่ใช้สร้างสัญญาณรหัสให้ได้รหัสเดียวกับทางภาคส่งเพื่อใช้ในการกู้สัญญาณข้อมูลเดิมกลับคืนมาโดยใช้สัญญาณนาฬิกาที่กู้ได้ที่ทางภาครับเป็นสัญญาณที่เป็นตัวกำหนดความเร็วของสัญญาณรหัส วงจรนี้ถ้าในส่วนการกู้สัญญาณนาฬิกาไม่มีปัญหาอะไรก็จะทำงานได้ดี วงจรนี้ให้ผลเป็นที่น่าพอใจ

**5.2.5 วงจรกู้สัญญาณข้อมูล**

นำสัญญาณรหัสที่ทางภาครับสร้างขึ้นที่มีรหัสตรงกับทางภาคส่งมาเป็นสัญญาณอ้างอิงในการก็สัญญาณข้อมูลเดิมกลับคืนมา โดยการผ่านวงจร Exclusive-or สัญญาณข้อมูลที่กู้ได้นั้นให้ผลเป็นที่น่าพอใจ และมีรหัสที่ตรงกันกับทางภาคส่ง

**5.2.6 วงจรแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาลอก**

ไอซีที่ทำหน้าที่เป็นวงจรนี้คือเบอร์ MC3418 มีปัญหาในการออกแบบคือข้อจำกัดของบิตเรท ทำให้สัญญาณอนาลอกที่กู้ได้อยู่ในความถี่ที่จำกัด และสัญญาณที่ได้ยังไม่สวยงามจึงต้องผ่านวงจรกรองความถี่ต่ำผ่านอีกครั้งเพื่อการปรับแต่งสัญญาณ ซึ่งได้ผลเป็นที่น่าพอใจ

**5.2.7 วงจรขยายสัญญาณ**

เป็นวงจรที่เอาสัญญาณที่ผ่านวงจรกรองความถี่ต่ำผ่านมาขยายสัญญาณก่อนออกจากลำโพง ซึ่งให้ผลเป็นที่น่าพอใจ

## 5.3 การประยุกต์ใช้งาน

โดยภาพรวมของระบบรับส่งสัญญาณแบบสเพรดสเปตรัมในกระบวนการมอดุเลตเป็นการมอดูเลตสัญญาณดิจิตอลโดยใช้การเปลี่ยนแปลงเฟสของคลื่นพาหะ ซึ่งพบว่าการมอดูเลตแบบนี้มีภูมิคุ้มกันต่อสัญญาณรบกวน และทำการส่งได้อย่างแม่นยำ เพราะไม่มีอิทธิพลของแอมปลิจูดและความถี่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในส่วนการทำงานของระบบรับส่งสัญญาณแบบสเพรดสเปกตรัมมีข้อดีในส่วนความสามารถที่เครื่องรับเครื่องอื่นไม่สามารถรับสัญญาณได้ ซึ่งเป็นระบบที่ถูกออกแบบให้เครื่องรับใด ๆ สามารถที่จะแยกข้อมูลข่าวสารออกมาได้ยากมาก จากการที่สัญญาณจะมีการกระจายไปทั่วแบนด์วิทอย่างไม่เป็นระเบียบ ดังนั้นเครื่องรับใด ๆ ที่ไม่มีการซิงโครไนซ์ของสัญญาณรหัสก็จะไม่สามารถรับสัญญาณได้นั่นเอง ดังนั้นระบบนี้สามารถพัฒนาต่อไปได้หลายทางโดยการส่งสัญญาณเป็นเสียงผ่านวงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอลและใช้งานได้จริงในระบบการสื่อสารเคลื่อนที่แบบซีดีเอ็มเอ ซึ่งมีการเข้าถึงช่องสัญญาณร่วมกันได้หลายช่องสัญญาณ เป็นระบบที่มีประสิทธิภาพและเหมาะสมกับการพัฒนาของเทคโนโลยีในอนาคต

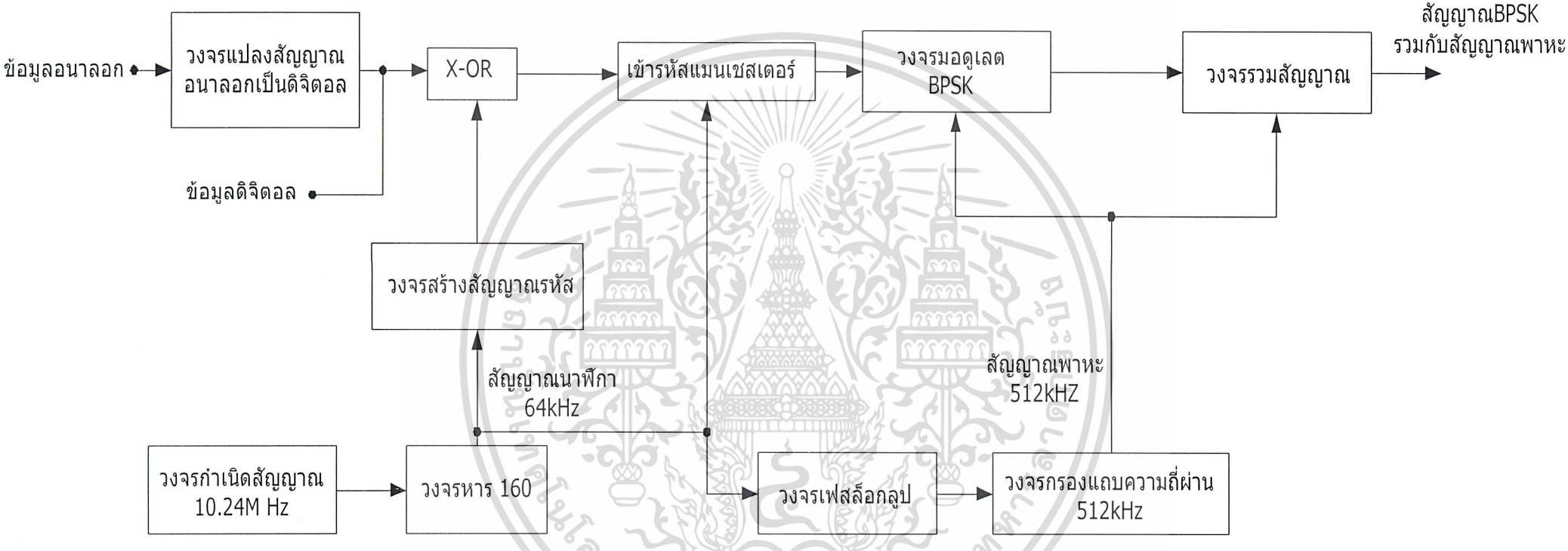
**5.4 ข้อเสนอแนะ**

ในการออกแบบและสร้างเครื่องรับส่งแบบสเพรดสเปกตรัมสามารถนำไปใช้งานได้จริงในระบบการสื่อสารเคลื่อนที่แบบซีดีเอ็มเอโดยทำการเลือกย่านความถี่ที่ใช้งานได้จากการเปลี่ยนความถี่พาหะที่ภาคส่งและยังกำหนดความเร็วของสัญญาณข้อมูลที่นำมาเข้ารหัสกันได้จากการกำหนดความเร็วของสัญญาณนาฬิกาที่สร้างขึ้น นอกจากนี้ประสิทธิภาพของเครื่องรับส่งแบบสเพรดสเปกตรัมยังเพิ่มได้จากการเพิ่มจำนวนบิตของสัญญาณรหัสซึ่งทำให้สเปกตรัมของสัญญาณข้อมูลแผ่กว้างขึ้นหลังจากการเข้ารหัสกับสัญญาณรหัส ซึ่งจะเกิดการเป็นความลับของข้อมูลมากขึ้นเนื่องจากเครื่องรับเครื่องอื่นจะถอดรหัสสัญญาณข้อมูลนี้ได้ยากขึ้น

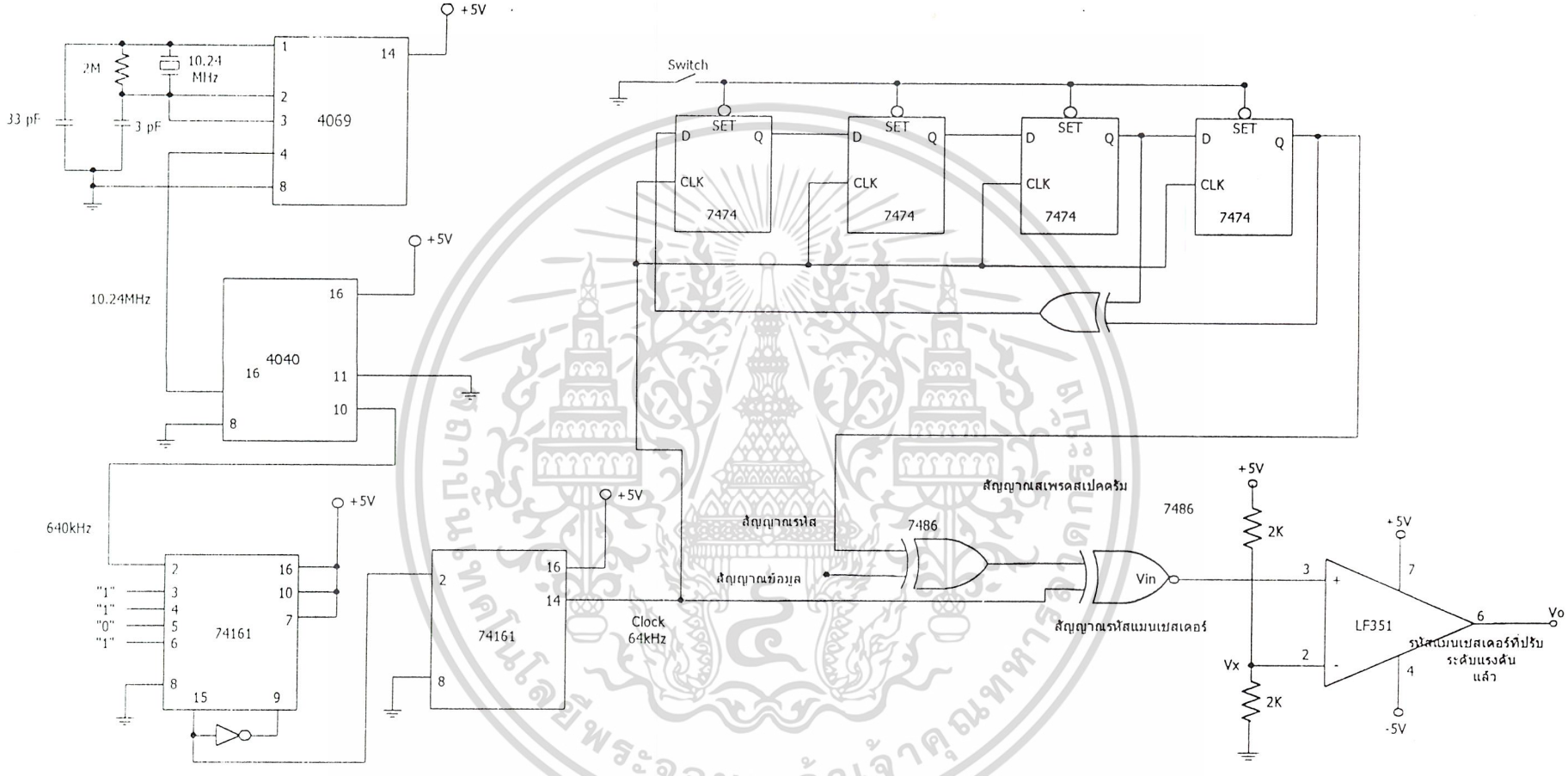
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# ภาคผนวก

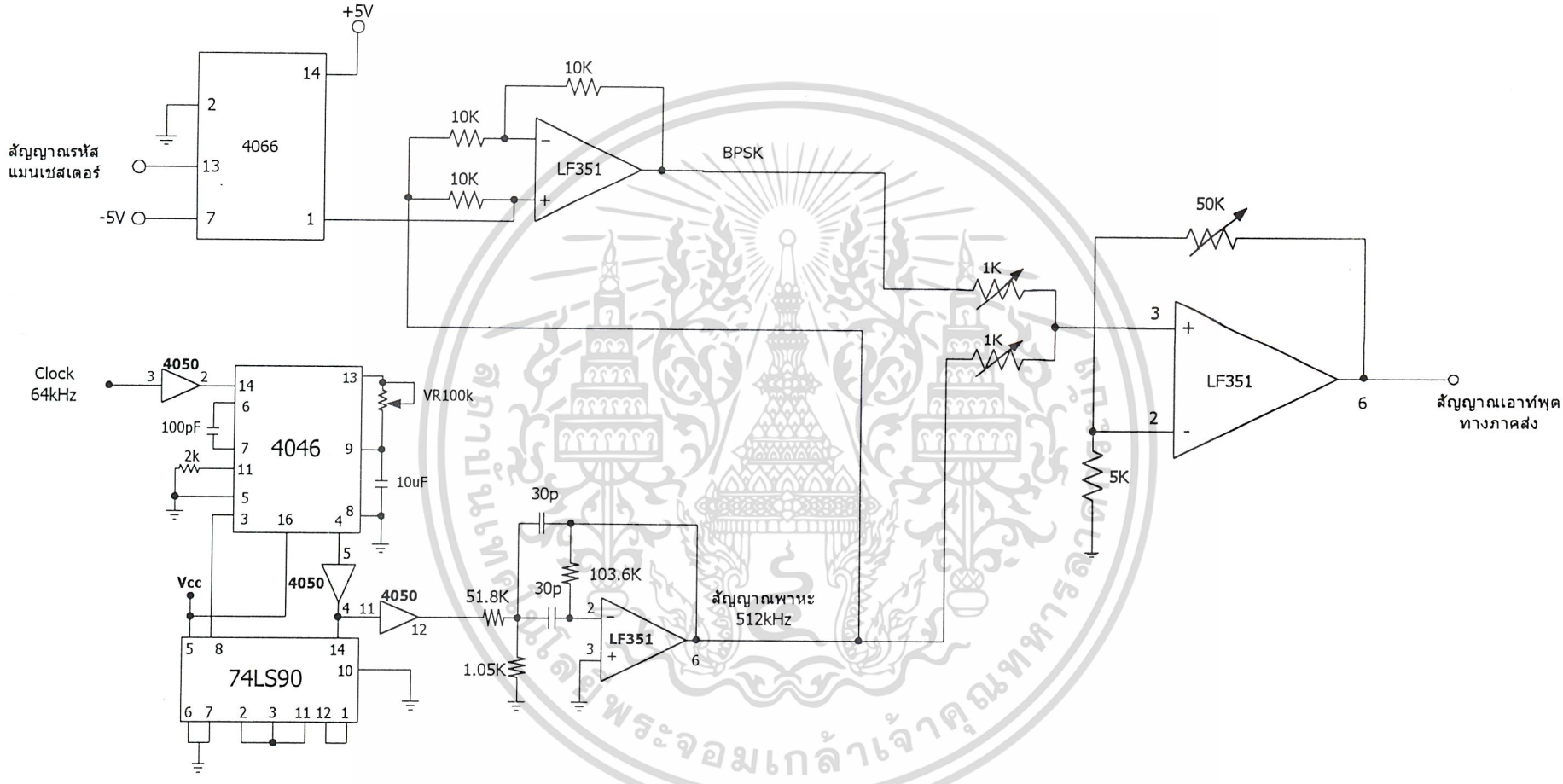
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



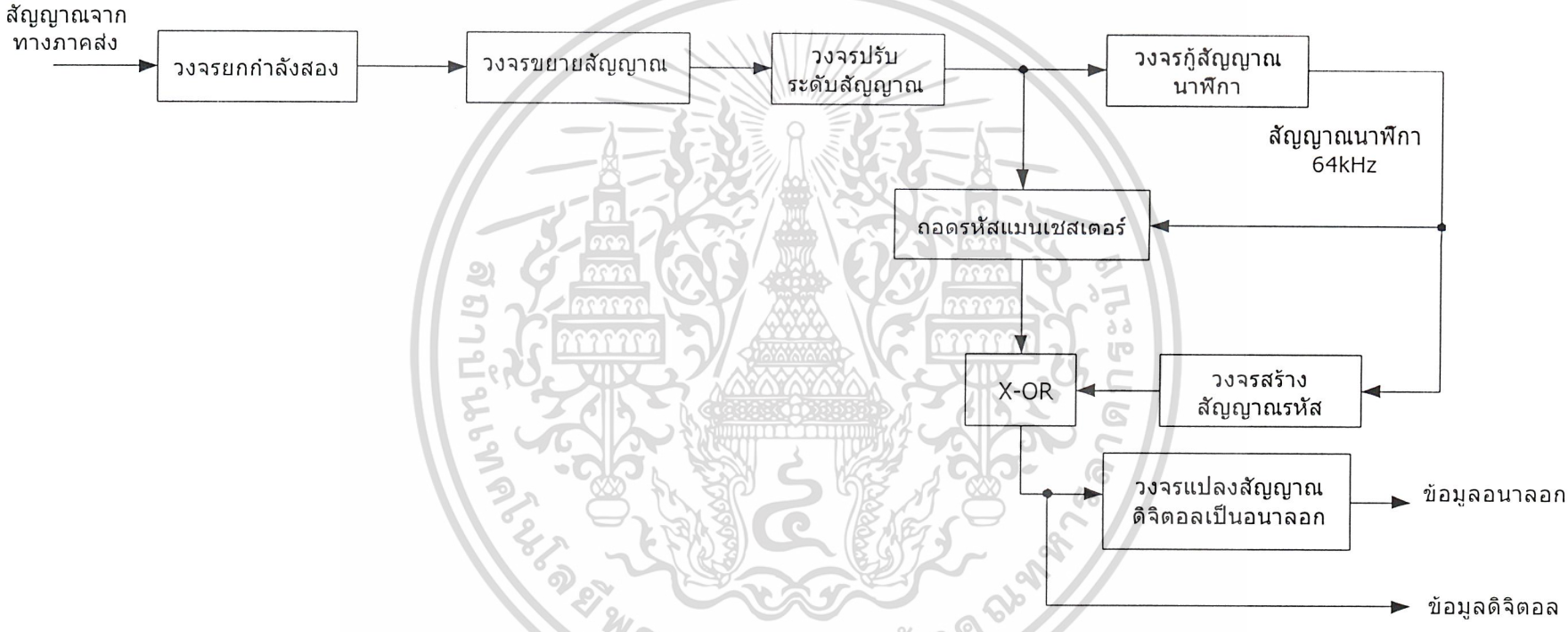

รูปแสดงแผนผังการทำงานของเครื่องส่ง



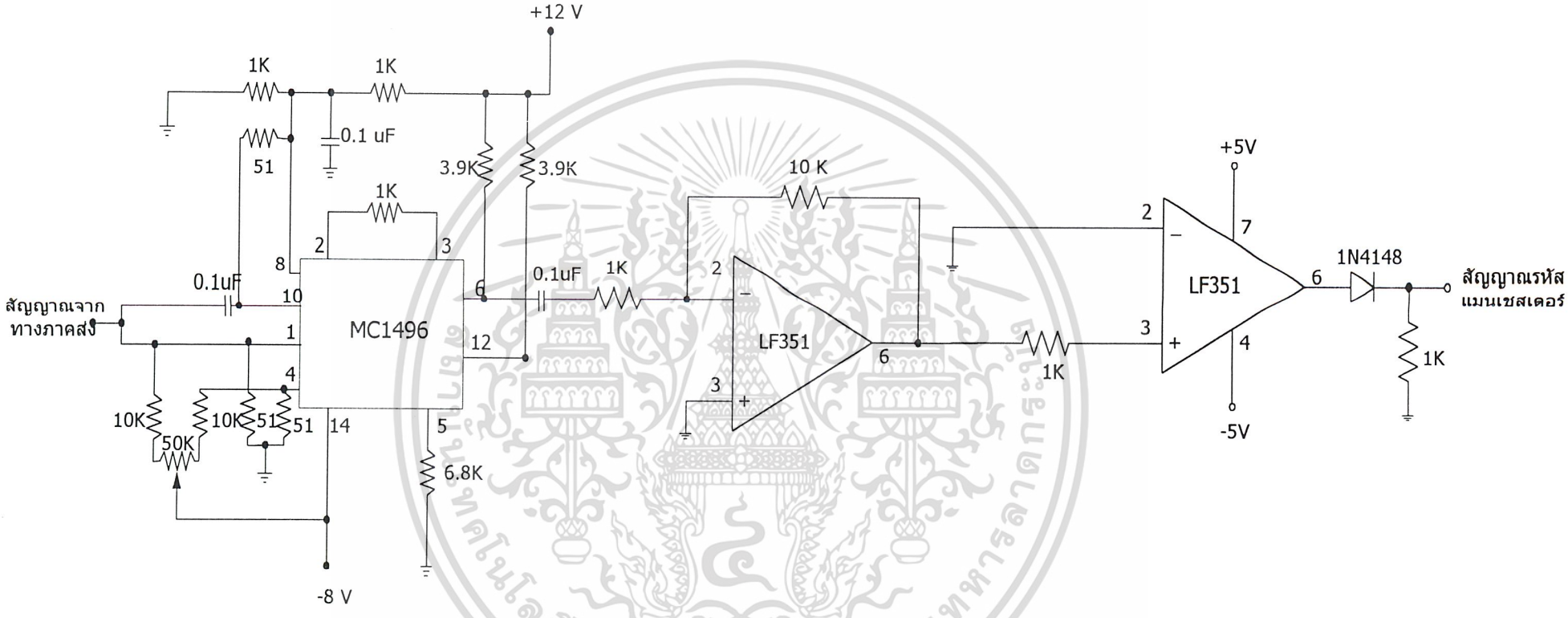

รูป วงจรรวมเครื่องส่ง ส่วนที่ 1



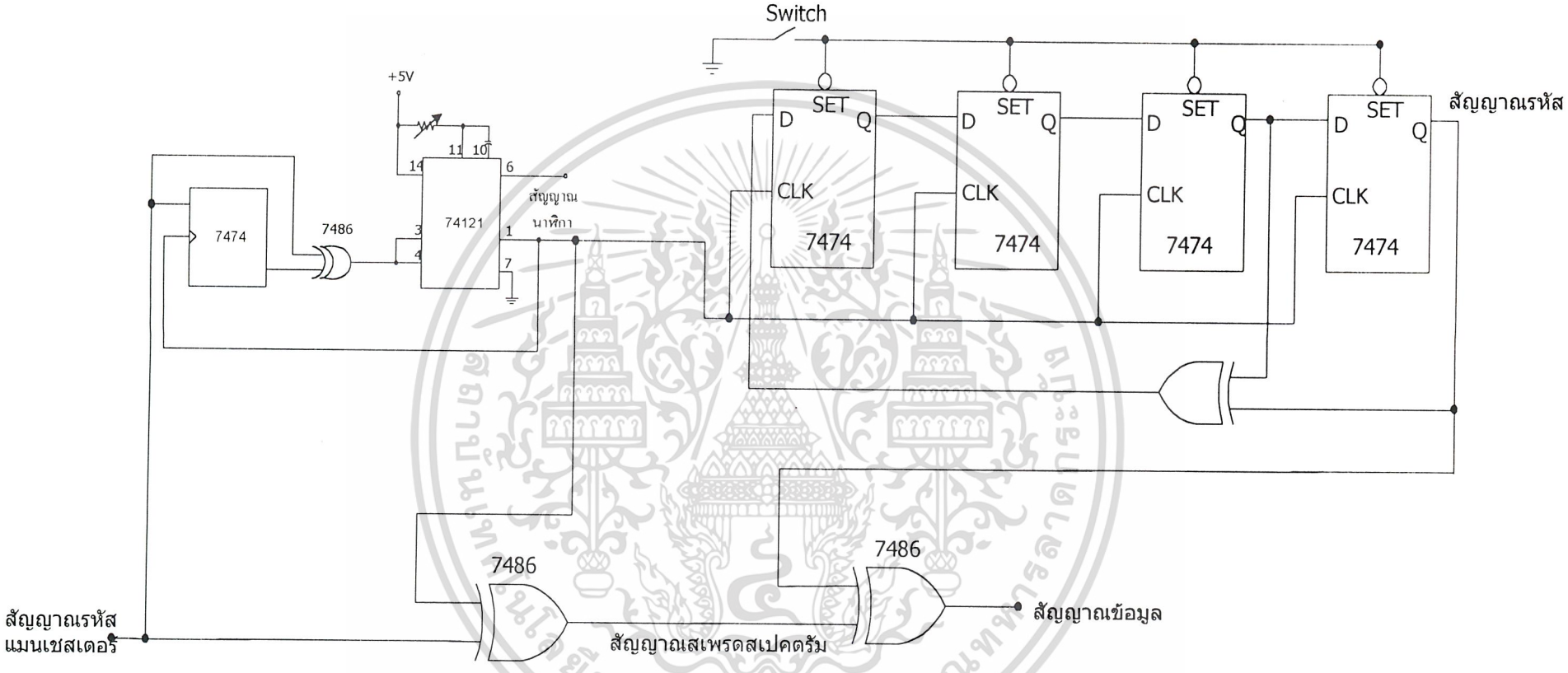

รูป วงจรรวมเครื่องส่ง ส่วนที่2




รูปแสดงแผนผังการทำงานของเครื่องรับ




รูป วงจรรวมเครื่องรับ ส่วนที่ 1




รูป วงจรรวมเครื่องรับ ส่วนที่2

TEXAS INSTRUMENTS

Data sheet acquired from Harris Semiconductor
SCHS204A

February 1998 - Revised May 2000

# CD54/74HC4046A, CD54/74HCT4046A

## High-Speed CMOS Logic Phase-Locked-Loop with VCO

### Features

- Operating Frequency Range
  - Up to 18MHz (Typ) at $V_{CC}$ = 5V
  - Minimum Center Frequency of 12MHz at $V_{CC}$ = 4.5V
- Choice of Three Phase Comparators
  - EXCLUSIVE-OR
  - Edge-Triggered JK Flip-Flop
  - Edge-Triggered RS Flip-Flop
- Excellent VCO Frequency Linearity
- VCO-Inhibit Control for ON/OFF Keying and for Low Standby Power Consumption
- Minimal Frequency Drift
- Operating Power Supply Voltage Range
  - VCO Section . . . . . 3V to 6V
  - Digital Section . . . . . 2V to 6V
- Fanout (Over Temperature Range)
  - Standard Outputs. . . . . 10 LSTTL Loads
  - Bus Driver Outputs . . . . . 15 LSTTL Loads
- Wide Operating Temperature Range . . . -55°C to 125°C
- Balanced Propagation Delay and Transition Times
- Significant Power Reduction Compared to LSTTL Logic ICs
- HC Types
  - 2V to 6V Operation
  - High Noise Immunity: $N_{IL}$ = 30%, $N_{IH}$ = 30% of $V_{CC}$ at $V_{CC}$ = 5V
- HCT Types
  - 4.5V to 5.5V Operation
  - Direct LSTTL Input Logic Compatibility, $V_{IL}$ = 0.8V (Max), $V_{IH}$ = 2V (Min)
  - CMOS Input Compatibility, $I_I \leq 1\mu A$ at $V_{OL}$, $V_{OH}$

### Description

The 'HC4046A and 'HCT4046A are high-speed silicon-gate CMOS devices that are pin compatible with the CD4046B of the "4000B" series. They are specified in compliance with JEDEC standard number 7.

The 'HC4046A and 'HCT4046A are phase-locked-loop circuits that contain a linear voltage-controlled oscillator (VCO) and three different phase comparators (PC1, PC2 and PC3). A signal input and a comparator input are common to each comparator.

The signal input can be directly coupled to large voltage signals, or indirectly coupled (with a series capacitor) to small voltage signals. A self-bias input circuit keeps small voltage signals within the linear region of the input amplifiers. With a passive low-pass filter, the 4046A forms a second-order loop PLL. The excellent VCO linearity is achieved by the use of linear op-amp techniques.

### Ordering Information

| PART NUMBER | TEMP. RANGE (°C) | PACKAGE |
|---|---|---|
| CD54HC4046AF | -55 to 125 | 16 Ld CERDIP |
| CD54HC4046AF3A | -55 to 125 | 16 Ld CERDIP |
| CD74HC4046AE | -55 to 125 | 16 Ld PDIP |
| CD74HC4046AM | -55 to 125 | 16 Ld SOIC |
| CD54HCT4046AF3A | -55 to 125 | 16 Ld CERDIP |
| CD74HCT4046AE | -55 to 125 | 16 Ld PDIP |
| CD74HCT4046AM | -55 to 125 | 16 Ld SOIC |

NOTES:

1. When ordering, use the entire part number. Add the suffix 96 to obtain the variant in the tape and reel.
2. Wafer and die for this part number is available which meets all electrical specifications. Please contact your local TI sales office or customer service for ordering information.

### Applications

- FM Modulation and Demodulation
- Frequency Synthesis and Multiplication
- Frequency Discrimination
- Tone Decoding
- Data Synchronization and Conditioning
- Voltage-to-Frequency Conversion
- Motor-Speed Control

CAUTION: These devices are sensitive to electrostatic discharge. Users should follow proper IC Handling Procedures.

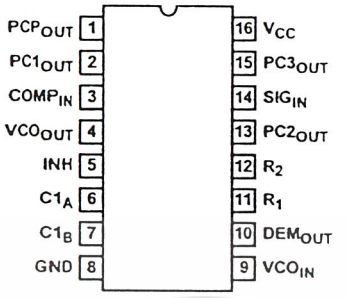
Copyright © 2000, Texas Instruments Incorporated



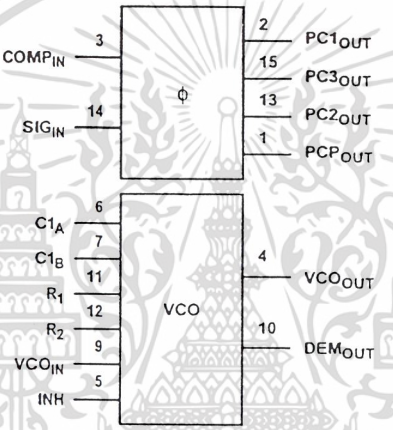
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## Pinout

CD54HC4046A, CD54HCT4046A (CERDIP)
CD74HC4046A, CD74HCT4046A (PDIP, SOIC)
TOP VIEW




## Functional Diagram




## Pin Descriptions

| PIN NUMBER | SYMBOL | NAME AND FUNCTION |
|---|---|---|
| 1 | $PCP_{OUT}$ | Phase Comparator Pulse Output |
| 2 | $PC1_{OUT}$ | Phase Comparator 1 Output |
| 3 | $COMP_{IN}$ | Comparator Input |
| 4 | $VCO_{OUT}$ | VCO Output |
| 5 | INH | Inhibit Input |
| 6 | $C1_A$ | Capacitor C1 Connection A |
| 7 | $C1_B$ | Capacitor C1 Connection B |
| 8 | GND | Ground (0V) |
| 9 | $VCO_{IN}$ | VCO Input |
| 10 | $DEM_{OUT}$ | Demodulator Output |
| 11 | $R_1$ | Resistor R1 Connection |
| 12 | $R_2$ | Resistor R2 Connection |
| 13 | $PC2_{OUT}$ | Phase Comparator 2 Output |
| 14 | $SIG_{IN}$ | Signal Input |
| 15 | $PC3_{OUT}$ | Phase Comparator 3 Output |
| 16 | $V_{CC}$ | Positive Supply Voltage |

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

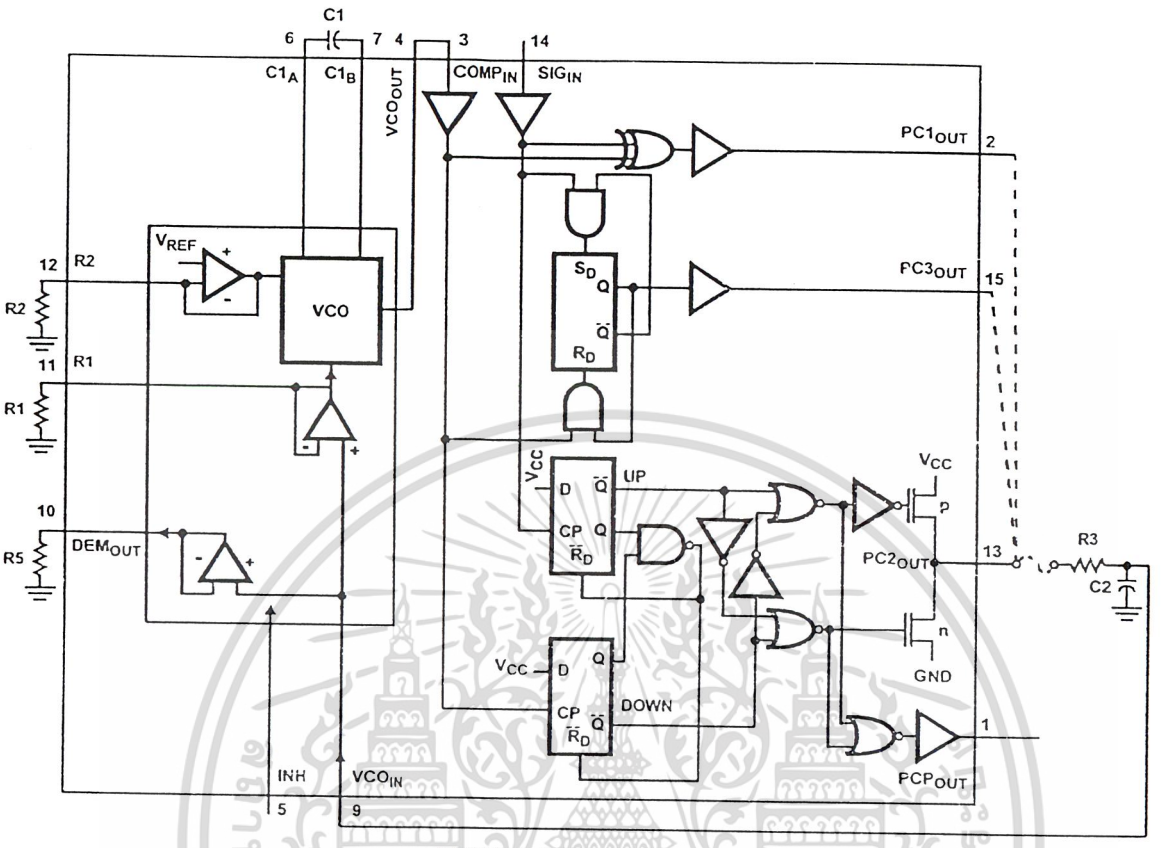



FIGURE 1. LOGIC DIAGRAM

## General Description

### VCO

The VCO requires one external capacitor C1 (between $C1_A$ and $C1_B$) and one external resistor R1 (between $R_1$ and GND) or two external resistors R1 and R2 (between $R_1$ and GND, and $R_2$ and GND). Resistor R1 and capacitor C1 determine the frequency range of the VCO. Resistor R2 enables the VCO to have a frequency offset if required. See logic diagram, Figure 1.

The high input impedance of the VCO simplifies the design of low-pass filters by giving the designer a wide choice of resistor/capacitor ranges. In order not to load the low-pass filter, a demodulator output of the VCO input voltage is provided at pin 10 ($DEM_{OUT}$). In contrast to conventional techniques where the $DEM_{OUT}$ voltage is one threshold voltage lower than the VCC input voltage, here the $DEM_{OUT}$ voltage equals that of the VCO input. If $DEM_{OUT}$ is used, a load resistor ($R_S$) should be connected from $DEM_{OUT}$ to GND; if unused, $DEM_{OUT}$ should be left open. The VCO output ($VCO_{OUT}$) can be connected directly to the comparator input ($COMP_{IN}$), or connected via a frequency-divider. The VCO output signal has a guaranteed duty factor of 50%. A LOW level at the inhibit input (INH) enables the VCO and demodulator, while a HIGH level turns both off to minimize standby power consumption.

### Phase Comparators

The signal input ($SIG_{IN}$) can be directly coupled to the self-biasing amplifier at pin 14, provided that the signal swing is between the standard HC family input logic levels. Capacitive coupling is required for signals with smaller swings.

### Phase Comparator 1 (PC1)

This is an Exclusive-OR network. The signal and comparator input frequencies ($f_i$) must have a 50% duty factor to obtain the maximum locking range. The transfer characteristic of PC1, assuming ripple ($f_r = 2f_i$) is suppressed, is:

$V_{DEMOUT} = (V_{CC}/\pi)\ (\phi SIG_{IN} - \phi COMP_{IN})$ where $V_{DEMOUT}$ is the demodulator output at pin 10; $V_{DEMOUT} = V_{PC1OUT}$ (via low-pass filter).

The average output voltage from PC1, fed to the VCO input via the low-pass filter and seen at the demodulator output at pin 10 ($V_{DEMOUT}$), is the resultant of the phase differences of signals ($SIG_{IN}$) and the comparator input ($COMP_{IN}$) as shown in Figure 2. The average of $V_{DEM}$ is equal to 1/2 $V_{CC}$ when there is no signal or noise at $SIG_{IN}$, and with this input the VCO oscillates at the center frequency ($f_o$). Typical waveforms for the PC1 loop locked at $f_o$ are shown in Figure 3.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

The frequency capture range ($2f_C$) is defined as the frequency range of input signals on which the PLL will lock if it was initially out-of-lock. The frequency lock range ($2f_L$) is defined as the frequency range of input signals on which the loop will stay locked if it was initially in lock. The capture range is smaller or equal to the lock range.

With PC1, the capture range depends on the low-pass filter characteristics and can be made as large as the lock range. This configuration retains lock behavior even with very noisy input signals. Typical of this type of phase comparator is that it can lock to input frequencies close to the harmonics of the VCO center frequency.

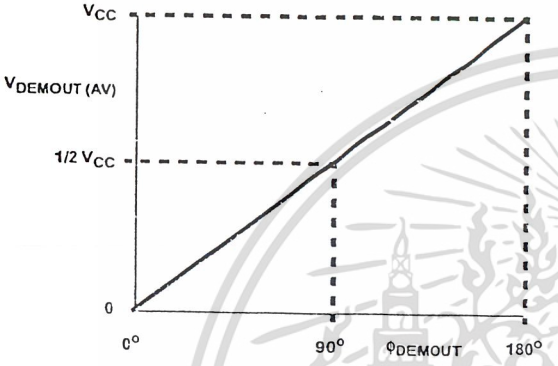



FIGURE 2. PHASE COMPARATOR 1: AVERAGE OUTPUT VOLTAGE vs INPUT PHASE DIFFERENCE: $V_{DEMOUT} = V_{PC1OUT} = (V_{CC}/\pi)\ (\phi SIG_{IN} - \phi COMP_{IN})$; $\phi_{DEMOUT} = (\phi SIG_{IN} - \phi COMP_{IN})$

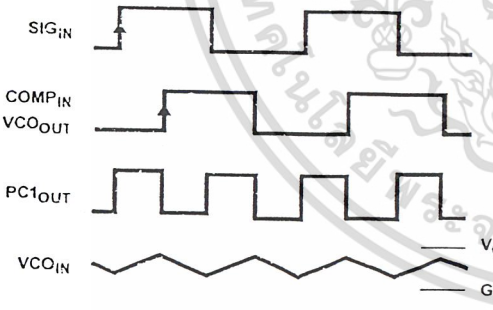



FIGURE 3. TYPICAL WAVEFORMS FOR PLL USING PHASE COMPARATOR 1, LOOP LOCKED AT $f_o$

### Phase Comparator 2 (PC2)

This is a positive edge-triggered phase and frequency detector. When the PLL is using this comparator, the loop is controlled by positive signal transitions and the duty factors of $SIG_{IN}$ and $COMP_{IN}$ are not important. PC2 comprises two D-type flip-flops, control-gating and a three-state output stage. The circuit functions as an up-down counter (Figure 1) where $SIG_{IN}$ causes an up-count and $COMP_{IN}$ a down-count. The transfer function of PC2, assuming ripple ($f_r = f_i$) is suppressed, is:

$V_{DEMOUT} = (V_{CC}/4\pi)\ (\phi SIG_{IN} - \phi COMP_{IN})$ where $V_{DEMOUT}$ is the demodulator output at pin 10; $V_{DEMOUT} = V_{PC2OUT}$ (via low-pass filter).

The average output voltage from PC2, fed to the VCO via the low-pass filter and seen at the demodulator output at pin 10 ($V_{DEMOUT}$), is the resultant of the phase differences of $SIG_{IN}$ and $COMP_{IN}$ as shown in Figure 4. Typical waveforms for the PC2 loop locked at $f_o$ are shown in Figure 5.

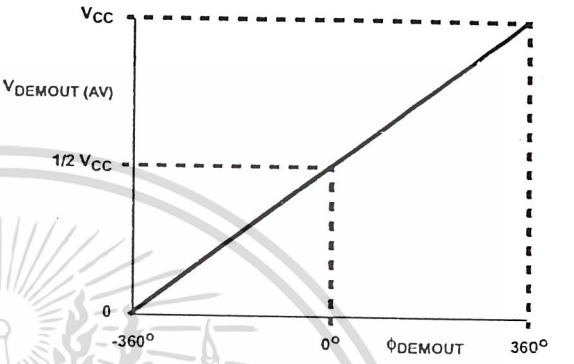



FIGURE 4. PHASE COMPARATOR 2: AVERAGE OUTPUT VOLTAGE vs INPUT PHASE DIFFERENCE: $V_{DEMOUT} = V_{PC2OUT} = (V_{CC}/4\pi)\ (\phi SIG_{IN} - \phi COMP_{IN})$; $\phi_{DEMOUT} = (\phi SIG_{IN} - \phi COMP_{IN})$

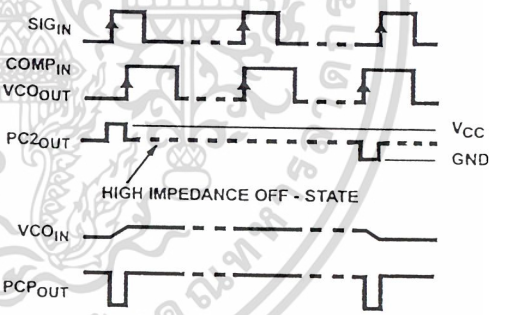



FIGURE 5. TYPICAL WAVEFORMS FOR PLL USING PHASE COMPARATOR 2, LOOP LOCKED AT $f_o$

When the frequencies of $SIG_{IN}$ and $COMP_{IN}$ are equal but the phase of $SIG_{IN}$ leads that of $COMP_{IN}$, the p-type output driver at $PC2_{OUT}$ is held "ON" for a time corresponding to the phase difference ($\phi_{DEMOUT}$). When the phase of $SIG_{IN}$ lags that of $COMP_{IN}$, the n-type driver is held "ON".

When the frequency of $SIG_{IN}$ is higher than that of $COMP_{IN}$, the p-type output driver is held "ON" for most of the input signal cycle time, and for the remainder of the cycle both n- and p-type drivers are "OFF" (three-state). If the $SIG_{IN}$ frequency is lower than the $COMP_{IN}$ frequency, then it is the n-type driver that is held "ON" for most of the cycle. Subsequently, the voltage at the capacitor (C2) of the low-pass filter connected to $PC2_{OUT}$ varies until the signal and comparator inputs are equal in both phase and frequency. At this stable

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

point the voltage on C2 remains constant as the PC2 output is in three-state and the VCO input at pin 9 is a high impedance. Also in this condition, the signal at the phase comparator pulse output ($PCP_{OUT}$) is a HIGH level and so can be used for indicating a locked condition.

Thus, for PC2, no phase difference exists between $SIG_{IN}$ and $COMP_{IN}$ over the full frequency range of the VCO. Moreover, the power dissipation due to the low-pass filter is reduced because both p- and n-type drivers are "OFF" for most of the signal input cycle. It should be noted that the PLL lock range for this type of phase comparator is equal to the capture range and is independent of the low-pass filter. With no signal present at $SIG_{IN}$, the VCO adjusts, via PC2, to its lowest frequency.

**Phase Comparator 3 (PC3)**

This is a positive edge-triggered sequential phase detector using an RS-type flip-flop. When the PLL is using this comparator, the loop is controlled by positive signal transitions and the duty factors of $SIG_{IN}$ and $COMP_{IN}$ are not important. The transfer characteristic of PC3, assuming ripple ($f_r = f_i$) is suppressed, is:

$V_{DEMOUT} = (V_{CC}/2p)$ ($fSIG_{IN}$ - $fCOMP_{IN}$) where $V_{DEMOUT}$ is the demodulator output at pin 10; $V_{DEMOUT} = V_{PC3OUT}$ (via low-pass filter).

The average output from PC3, fed to the VCO via the low-pass filter and seen at the demodulator at pin 10 ($V_{DEMOUT}$), is the resultant of the phase differences of $SIG_{IN}$ and $COMP_{IN}$ as shown in Figure 6. Typical waveforms for the PC3 loop locked at $f_o$ are shown in Figure 7.

The phase-to-output response characteristic of PC3 (Figure 6) differs from that of PC2 in that the phase angle between $SIG_{IN}$ and $COMP_{IN}$ varies between $0^o$ and $360^o$ and is $180^o$ at the center frequency. Also PC3 gives a greater voltage swing than PC2 for input phase differences but as a consequence the ripple content of the VCO input signal is higher. With no signal present at $SIG_{IN}$, the VCO adjusts, via PC3, to its highest frequency.

The only difference between the HC and HCT versions is the input level specification of the INH input. This input disables the VCO section. The comparator's sections are identical, so that there is no difference in the $SIG_{IN}$ (pin 14) or $COMP_{IN}$ (pin 3) inputs between the HC and the HCT versions.

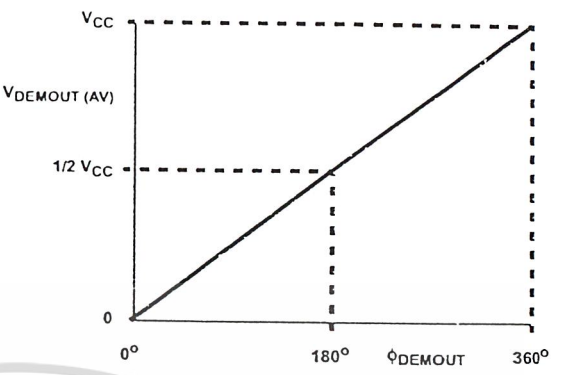



FIGURE 6. PHASE COMPARATOR 3: AVERAGE OUTPUT VOLTAGE vs INPUT PHASE DIFFERENCE: $V_{DEMOUT} = V_{PC3OUT} = (V_{CC}/2\pi)$ ($\phi SIG_{IN}$ - $\phi COMP_{IN}$); $\phi_{DEMOUT} = (\phi SIG_{IN} - \phi COMP_{IN})$

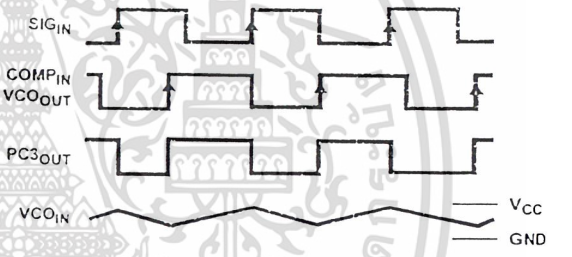



FIGURE 7. TYPICAL WAVEFORMS FOR PLL USING PHASE COMPARATOR 3, LOOP LOCKED AT $f_o$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# CD54/74HC4015

TEXAS INSTRUMENTS

Data sheet acquired from Harris Semiconductor
SCHS198A

November 1997 - Revised May 2000

## High Speed CMOS Logic
## Dual 4-Stage Static Shift Register

### Features

- Maximum Frequency, Typically 60MHz
  $C_L$ = 15pF, $V_{CC}$ = 5V, $T_A$ = 25°C
- Positive-Edge Clocking
- Overriding Reset
- Buffered Inputs and Outputs
- Fanout (Over Temperature Range)
  - Standard Outputs . . . . . 10 LSTTL Loads
  - Bus Driver Outputs . . . . . 15 LSTTL Loads
- Wide Operating Temperature Range . . . -55°C to 125°C
- Balanced Propagation Delay and Transition Times
- Significant Power Reduction Compared to LSTTL Logic ICs
- HC Types
  - 2V to 6V Operation
  - High Noise Immunity: $N_{IL}$ = 30%, $N_{IH}$ = 30% of $V_{CC}$ at $V_{CC}$ = 5V

### Description

The 'HC4015 consists of two identical, independent, 4-stage serial-input/parallel-output registers. Each register has independent Clock (CP) and Reset (MR) inputs as well as a single serial Data input. "Q" outputs are available from each of the four stages on both registers. All register stages are D-type, master-slave flip-flops. The logic level present at the Data input is transferred into the first register stage and shifted over one stage at each positive- going clock transition. Resetting of all stages is accomplished by a high level on the reset line.

The device can drive up to 10 low power Schottky equivalent loads. The 'HC4015 is an enhanced version of equivalent CMOS types.

### Ordering Information

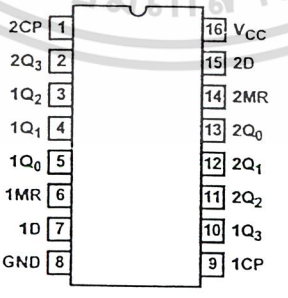
| PART NUMBER | TEMP. RANGE (°C) | PACKAGE |
|---|---|---|
| CD54HC4015F3A | -55 to 125 | 16 Ld CERDIP |
| CD74HC4015E | -55 to 125 | 16 Ld PDIP |

NOTES:

1. When ordering, use the entire part number. Add the suffix 96 to obtain the variant in the tape and reel.
2. Wafer or die for this part number is available which meets all electrical specifications. Please contact your local TI sales office or customer service for ordering information.

### Pinout

CD54HC4015
(CERDIP)
CD74HC4015
(PDIP)
TOP VIEW



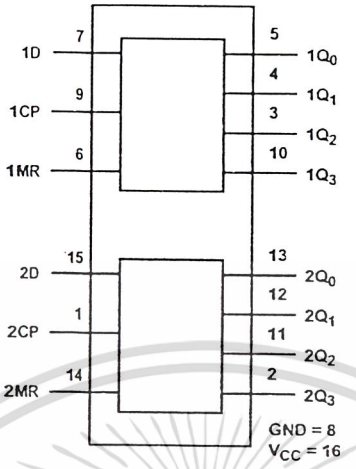

CAUTION: These devices are sensitive to electrostatic discharge. Users should follow proper IC Handling Procedures.

Copyright © 2000, Texas Instruments Incorporated



ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## Functional Diagram




TRUTH TABLE

| INPUTS | | | OUTPUTS | | | |
|---|---|---|---|---|---|---|
| CP | D | R | $Q_0$ | $Q_1$ | $Q_2$ | $Q_3$ |
| ↑ | l | L | L | $q'_0$ | $q'_1$ | $q'_2$ |
| ↑ | h | L | H | $q'_0$ | $q'_1$ | $q'_2$ |
| ↓ | X | L | $q'_0$ | $q'_1$ | $q'_2$ | $q'_3$ |
| X | X | H | L | L | L | L |

NOTES:
H = High Voltage Level
h = High Voltage Level One Set-up Time Prior to the Low to High Clock Transition
L = Low Voltage Level
l = Low Voltage Level One Set-up Time Prior to the Low to High Clock Transition
X = Don't Care.
↑ = Low to High Clock Transition
↓ = High to Low Clock Transition
$q'_n$ = Lower case letters indicate the state of the referenced output one set-up time prior to the Low to High clock transition.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## Absolute Maximum Ratings

DC Supply Voltage, $V_{CC}$ . . . . . -0.5V to 7V
DC Input Diode Current, $I_{IK}$
For $V_I$ < -0.5V or $V_I$ > $V_{CC}$ + 0.5V . . . . . ±20mA
DC Output Diode Current, $I_{OK}$
For $V_O$ < -0.5V or $V_O$ > $V_{CC}$ + 0.5V . . . . . ±20mA
DC Output Source or Sink Current per Output Pin, $I_O$
For $V_O$ > -0.5V or $V_O$ < $V_{CC}$ + 0.5V . . . . . ±25mA
DC $V_{CC}$ or Ground Current, $I_{CC}$ . . . . . ±50mA

## Operating Conditions

Temperature Range, $T_A$ . . . . . -55°C to 125°C
Supply Voltage Range, $V_{CC}$
HC Types . . . . . 2V to 6V
DC Input or Output Voltage, $V_I$, $V_O$ . . . . . 0V to $V_{CC}$
Input Rise and Fall Time
2V . . . . . 1000ns (Max)
4.5V . . . . . 500ns (Max)
6V . . . . . 400ns (Max)

## Thermal Information

Thermal Resistance (Typical, Note 3) $\theta_{JA}$ (°C/W)
PDIP Package . . . . . 90
Maximum Junction Temperature . . . . . 150oC
Maximum Storage Temperature Range . . . . . -65°C to 150°C
Maximum Lead Temperature (Soldering 10s) . . . . . 300°C
(SOIC - Lead Tips Only)

*CAUTION: Stresses above those listed in "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress only rating and operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied.*

NOTE:

3. $\theta_{JA}$ is measured with the component mounted on an evaluation PC board in free air.

## DC Electrical Specifications

| PARAMETER | SYMBOL | TEST CONDITIONS $V_I$ (V) | TEST CONDITIONS $I_O$ (mA) | $V_{CC}$ (V) | 25°C MIN | 25°C TYP | 25°C MAX | -40°C TO 85°C MIN | -40°C TO 85°C MAX | -55°C TO 125°C MIN | -55°C TO 125°C MAX | UNITS |
|---|---|---|---|---|---|---|---|---|---|---|---|---|
| High Level Input Voltage | $V_{IH}$ | - | - | 2 | 1.5 | - | - | 1.5 | - | 1.5 | - | V |
| | | | | 4.5 | 3.15 | - | - | 3.15 | - | 3.15 | - | V |
| | | | | 6 | 4.2 | - | - | 4.2 | - | 4.2 | - | V |
| Low Level Input Voltage | $V_{IL}$ | - | - | 2 | - | - | 0.5 | - | 0.5 | - | 0.5 | V |
| | | | | 4.5 | - | - | 1.35 | - | 1.35 | - | 1.35 | V |
| | | | | 6 | - | - | 1.8 | - | 1.8 | - | 1.8 | V |
| High Level Output Voltage CMOS Loads | $V_{OH}$ | $V_{IH}$ or $V_{IL}$ | -0.02 | 2 | 1.9 | - | - | 1.9 | - | 1.9 | - | V |
| | | | -0.02 | 4.5 | 4.4 | - | - | 4.4 | - | 4.4 | - | V |
| | | | -0.02 | 6 | 5.9 | - | - | 5.9 | - | 5.9 | - | V |
| High Level Output Voltage TTL Loads | | | - | - | - | - | - | - | - | - | - | V |
| | | | -4 | 4.5 | 3.98 | - | - | 3.84 | - | 3.7 | - | V |
| | | | -5.2 | 6 | 5.48 | - | - | 5.34 | - | 5.2 | - | V |
| Low Level Output Voltage CMOS Loads | $V_{OL}$ | $V_{IH}$ or $V_{IL}$ | 0.02 | 2 | - | - | 0.1 | - | 0.1 | - | 0.1 | V |
| | | | 0.02 | 4.5 | - | - | 0.1 | - | 0.1 | - | 0.1 | V |
| | | | 0.02 | 6 | - | - | 0.1 | - | 0.1 | - | 0.1 | V |
| Low Level Output Voltage TTL Loads | | | - | - | - | - | - | - | - | - | - | V |
| | | | 4 | 4.5 | - | - | 0.26 | - | 0.33 | - | 0.4 | V |
| | | | 5.2 | 6 | - | - | 0.26 | - | 0.33 | - | 0.4 | V |
| Input Leakage Current | $I_I$ | $V_{CC}$ or GND | - | 6 | - | - | ±0.1 | - | ±1 | - | ±1 | µA |
| Quiescent Device Current | $I_{CC}$ | $V_{CC}$ or GND | 0 | 6 | - | - | 8 | - | 80 | - | 160 | µA |

NOTE: For dual-supply systems theoretical worst case ($V_I$ = 2.4V, $V_{CC}$ = 5.5V) specification is 1.8mA.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## Prerequisite for Switching Specifications

| PARAMETER | SYMBOL | $V_{CC}$ (V) | 25°C | | -40°C TO 85°C | | -55°C TO 125°C | | UNITS |
|---|---|---|---|---|---|---|---|---|---|
| | | | MIN | MAX | MIN | MAX | MIN | MAX | |
| Maximum Clock Frequency | $f_{MAX}$ | 2 | 6 | - | 5 | - | 4 | - | MHz |
| | | 4.5 | 30 | - | 24 | - | 20 | - | MHz |
| | | 6 | 35 | - | 28 | - | 24 | - | MHz |
| Clock Pulse Width | $t_W$ | 2 | 80 | - | 100 | - | 120 | - | ns |
| | | 4.5 | 16 | - | 20 | - | 24 | - | ns |
| | | 6 | 14 | - | 17 | - | 20 | - | ns |
| MR Pulse Width | $t_W$ | 2 | 150 | - | 190 | - | 225 | - | ns |
| | | 4.5 | 30 | - | 38 | - | 45 | - | ns |
| | | 6 | 26 | - | 33 | - | 38 | - | ns |
| MR Recovery Time | $t_{REC}$ | 2 | 50 | - | 65 | - | 75 | - | ns |
| | | 4.5 | 10 | - | 13 | - | 15 | - | ns |
| | | 6 | 9 | - | 11 | - | 13 | - | ns |
| Set-up Time, Data-In to CP | $t_{SUL}$, $t_{SUH}$ | 2 | 60 | - | 75 | - | 90 | - | ns |
| | | 4.5 | 12 | - | 15 | - | 18 | - | ns |
| | | 6 | 10 | - | 13 | - | 15 | - | ns |
| Hold Time, Data-In to CP | $t_H$ | 2 | 0 | - | 0 | - | 0 | - | ns |
| | | 4.5 | 0 | - | 0 | - | 0 | - | ns |
| | | 6 | 0 | - | 0 | - | 0 | - | ns |

## Switching Specifications Input $t_r$, $t_f$ = 6ns

| PARAMETER | SYMBOL | TEST CONDITIONS | $V_{CC}$ (V) | 25°C | | | -40°C TO 85°C | | -55°C TO 125°C | | UNITS |
|---|---|---|---|---|---|---|---|---|---|---|---|
| | | | | MIN | TYP | MAX | MIN | MAX | MIN | MAX | |
| Propagation Delay (Figure 1) Clock to $Q_n$ | $t_{PLH}$, $t_{PHL}$ | $C_L$ = 50pF | 2 | - | - | 175 | - | 220 | - | 270 | ns |
| | | | 4.5 | - | - | 35 | - | 44 | - | 54 | ns |
| | | $C_L$ =15pF | 5 | - | 14 | - | - | - | - | - | ns |
| | | $C_L$ = 50pF | 6 | - | - | 30 | - | 37 | - | 46 | ns |
| MR to $Q_n$, (Clock High) | $t_{PLH}$, $t_{PHL}$ | $C_L$ = 50pF | 2 | - | - | 275 | - | 345 | - | 415 | ns |
| | | | 4.5 | - | - | 55 | - | 64 | - | 83 | ns |
| | | $C_L$ =15pF | | | 25 | - | - | - | - | - | ns |
| | | $C_L$ = 50pF | 6 | - | - | 47 | - | 54 | - | 71 | ns |
| MR to $Q_n$, (Clock Low) | $t_{PLH}$, $t_{PHL}$ | $C_L$ = 50pF | 2 | - | - | 325 | - | 400 | - | 490 | ns |
| | | | 4.5 | - | - | 65 | - | 81 | - | 98 | ns |
| | | $C_L$ =15pF | | | 25 | - | - | - | - | - | ns |
| | | $C_L$ = 50pF | 6 | - | - | 55 | - | 69 | - | 83 | ns |
| Output Transition Time (Figure 1) | $t_{TLH}$, $t_{THL}$ | $C_L$ = 50pF | 2 | - | - | 75 | - | 95 | - | 110 | ns |
| | | | 4.5 | - | - | 15 | - | 19 | - | 22 | ns |
| | | | 6 | - | - | 13 | - | 16 | - | 19 | ns |
| Input Capacitance | $C_{IN}$ | $C_L$ = 50pF | - | - | - | 10 | - | 10 | - | 10 | pF |
| Maximum Clock Frequency | $f_{MAX}$ | $C_L$ =15pF | 5 | - | 60 | - | - | - | - | - | MHz |
| Power Dissipation Capacitance (Notes 4, 5) | $C_{PD}$ | $C_L$ =15pF | 5 | - | 43 | - | - | - | - | - | pF |

NOTES:

4. $C_{PD}$ is used to determine the dynamic power consumption, per shift register.
5. $P_D = V_{CC}^2 f_i + \Sigma C_L V_{CC}^2$ where $f_i$ = Input Frequency, $C_L$ = Output Load Capacitance, $V_{CC}$ = Supply Voltage.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## Test Circuit and Waveform

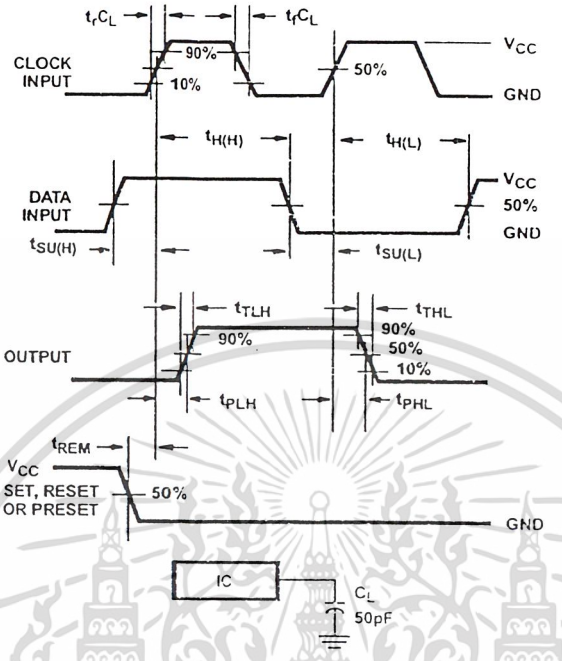



FIGURE 1. HC SETUP TIMES, HOLD TIMES, REMOVAL TIME, AND PROPAGATION DELAY TIMES FOR EDGE TRIGGERED SEQUENTIAL LOGIC CIRCUITS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# MC54/74HC4066

# Quad Analog Switch/ Multiplexer/Demultiplexer

## High–Performance Silicon–Gate CMOS

The MC54/74HC4066 utilizes silicon–gate CMOS technology to achieve fast propagation delays, low ON resistances, and low OFF–channel leakage current. This bilateral switch/multiplexer/demultiplexer controls analog and digital voltages that may vary across the full power–supply range (from $V_{CC}$ to GND).

The HC4066 is identical in pinout to the metal–gate CMOS MC14016 and MC14066. Each device has four independent switches. The device has been designed so that the ON resistances ($R_{ON}$) are much more linear over input voltage than $R_{ON}$ of metal–gate CMOS analog switches.

This device is identical in both function and pinout to the HC4016. The ON/OFF control inputs are compatible with standard CMOS outputs; with pullup resistors, they are compatible with LSTTL outputs. For analog switches with voltage–level translators, see the HC4316.

- Fast Switching and Propagation Speeds
- High ON/OFF Output Voltage Ratio
- Low Crosstalk Between Switches
- Diode Protection on All Inputs/Outputs
- Wide Power–Supply Voltage Range ($V_{CC}$ – GND) = 2.0 to 12.0 Volts
- Analog Input Voltage Range ($V_{CC}$ – GND) = 2.0 to 12.0 Volts
- Improved Linearity and Lower ON Resistance over Input Voltage than the MC14016 or MC14066 or HC4016
- Low Noise
- Chip Complexity: 44 FETs or 11 Equivalent Gates

**J SUFFIX**
CERAMIC PACKAGE
CASE 632–08

**N SUFFIX**
PLASTIC PACKAGE
CASE 646–06

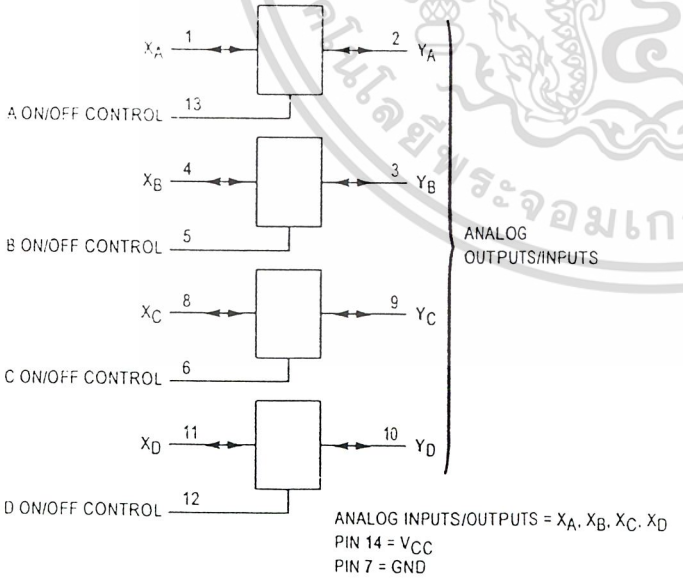
**D SUFFIX**
SOIC PACKAGE
CASE 751A–03

**DT SUFFIX**
TSSOP PACKAGE
CASE 948G–01

**ORDERING INFORMATION**

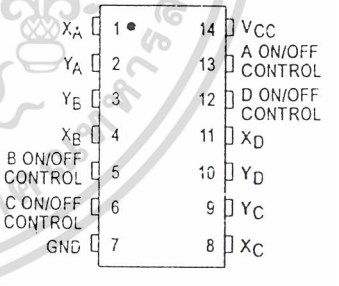
| | |
|---|---|
| MC54HCXXXXJ | Ceramic |
| MC74HCXXXXN | Plastic |
| MC74HCXXXXD | SOIC |
| MC74HCXXXXDT | TSSOP |

**LOGIC DIAGRAM**




ANALOG INPUTS/OUTPUTS = $X_A$, $X_B$, $X_C$, $X_D$
PIN 14 = $V_{CC}$
PIN 7 = GND

**PIN ASSIGNMENT**




**FUNCTION TABLE**

| On/Off Control Input | State of Analog Switch |
|---|---|
| L | Off |
| H | On |


© Motorola, Inc. 1995



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

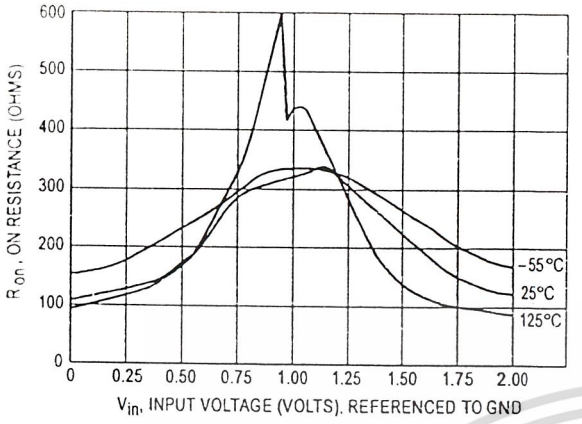



Figure 1a. Typical On Resistance, $V_{CC}$ = 2.0 V

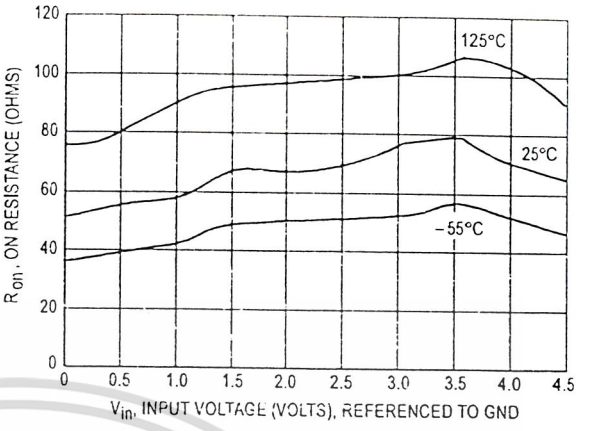



Figure 1b. Typical On Resistance, $V_{CC}$ = 4.5 V

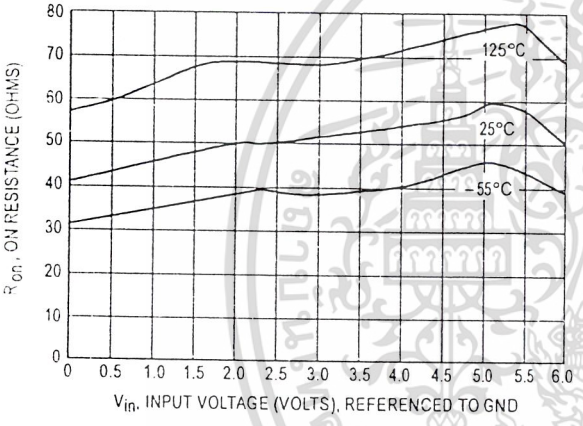



Figure 1c. Typical On Resistance, $V_{CC}$ = 6.0 V

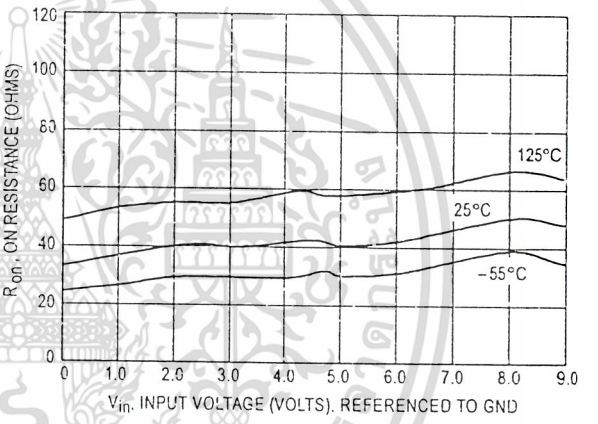



Figure 1d. Typical On Resistance, $V_{CC}$ = 9.0 V

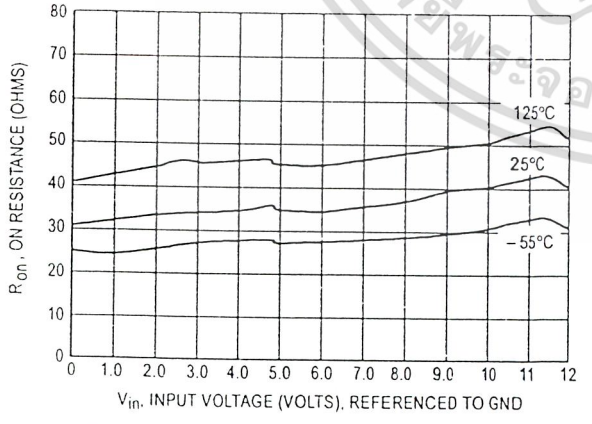



Figure 1e. Typical On Resistance, $V_{CC}$ = 12 V

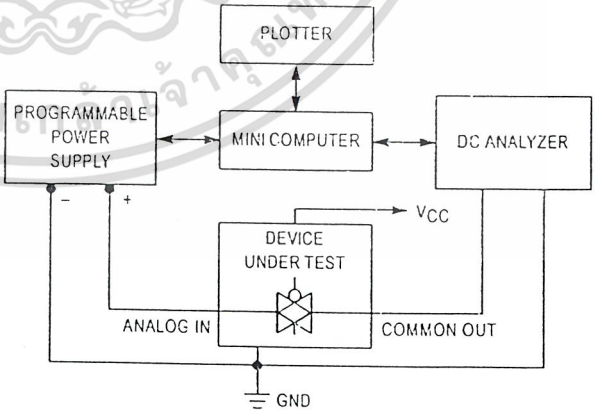



Figure 2. On Resistance Test Set–Up

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

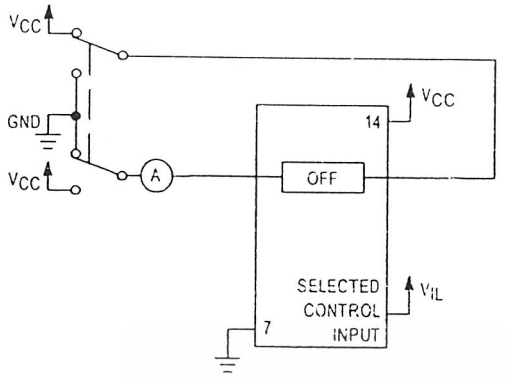



Figure 3. Maximum Off Channel Leakage Current, Any One Channel, Test Set–Up

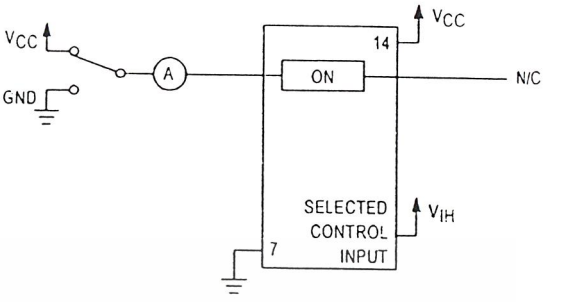
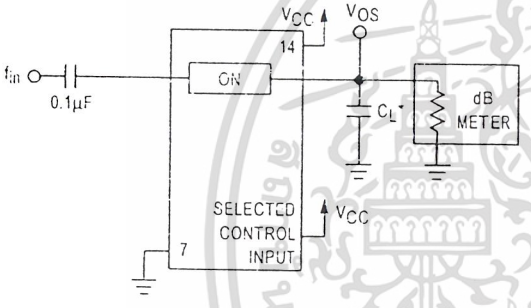
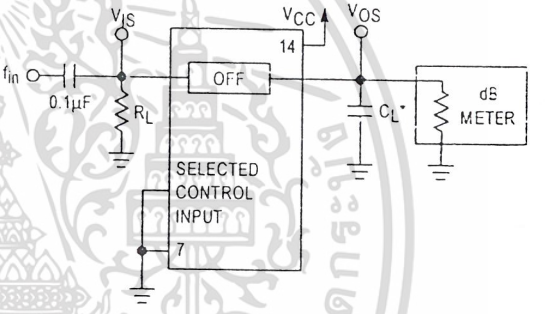



Figure 4. Maximum On Channel Leakage Current, Test Set–Up



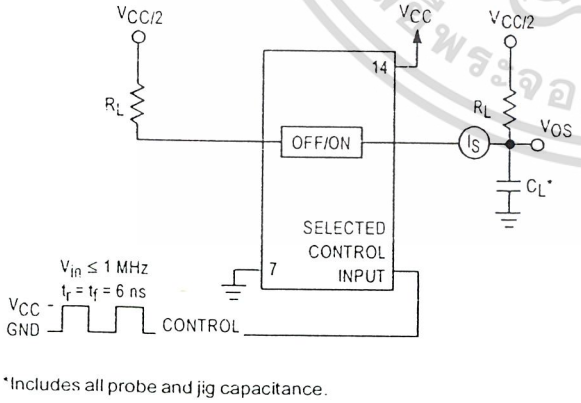

*Includes all probe and jig capacitance.

Figure 5. Maximum On–Channel Bandwidth Test Set–Up




*Includes all probe and jig capacitance.

Figure 6. Off–Channel Feedthrough Isolation, Test Set–Up




*Includes all probe and jig capacitance.

Figure 7. Feedthrough Noise, ON/OFF Control to Analog Out, Test Set–Up

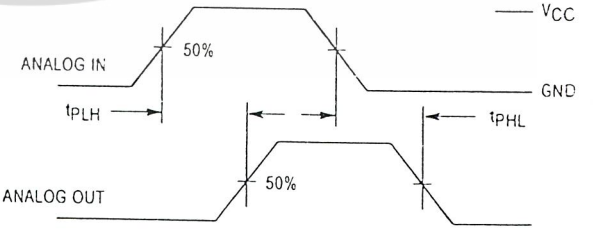
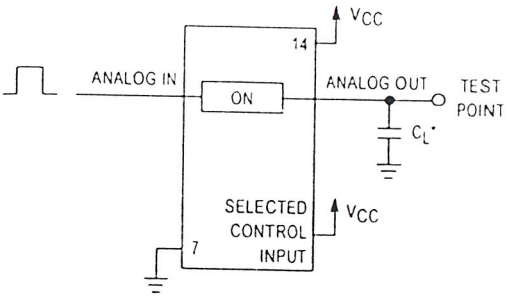



Figure 8. Propagation Delays, Analog In to Analog Out



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




*Includes all probe and jig capacitance.

Figure 9. Propagation Delay Test Set–Up

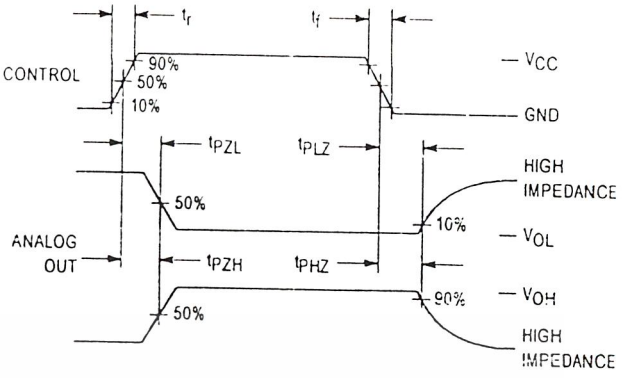
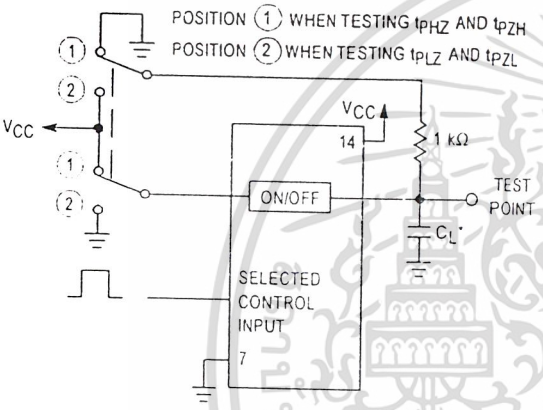
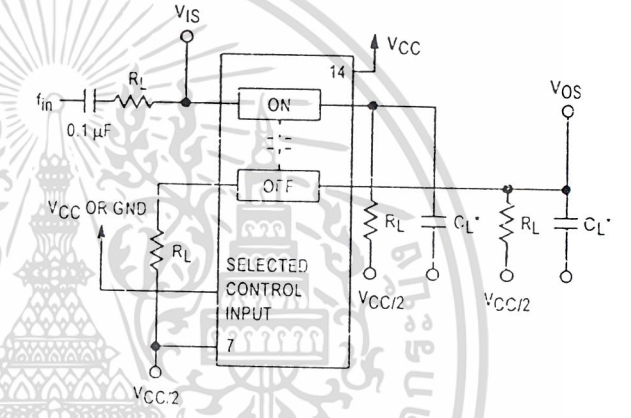



Figure 10. Propagation Delay, ON/OFF Control to Analog Out




*Includes all probe and jig capacitance.

Figure 11. Propagation Delay Test Set–Up




*Includes all probe and jig capacitance.

Figure 12. Crosstalk Between Any Two Switches, Test Set–Up

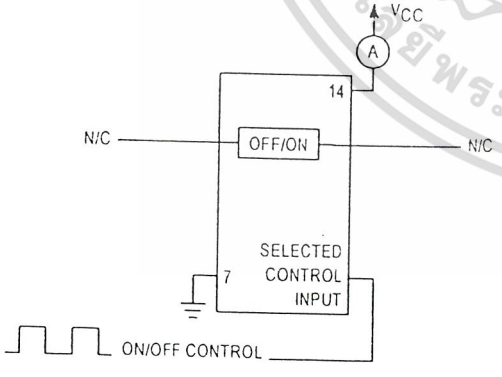
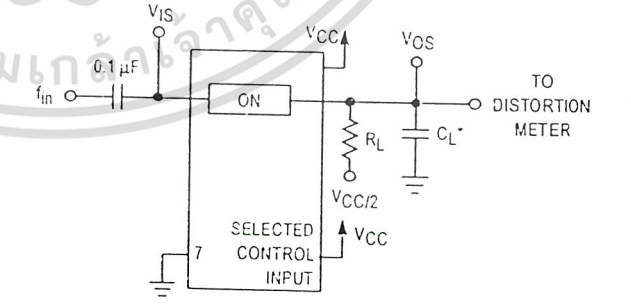



Figure 13. Power Dissipation Capacitance Test Set–Up




*Includes all probe and jig capacitance.

Figure 14. Total Harmonic Distortion, Test Set–Up

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Order this document by MC3418/D

MOTOROLA

# MC3418

CONTINUOUSLY VARIABLE SLOPE DELTA MODULATOR/DEMODULATOR

LASER–TRIMMED IC

SEMICONDUCTOR TECHNICAL DATA

# Continuously Variable Slope Delta Modulator/Demodulator

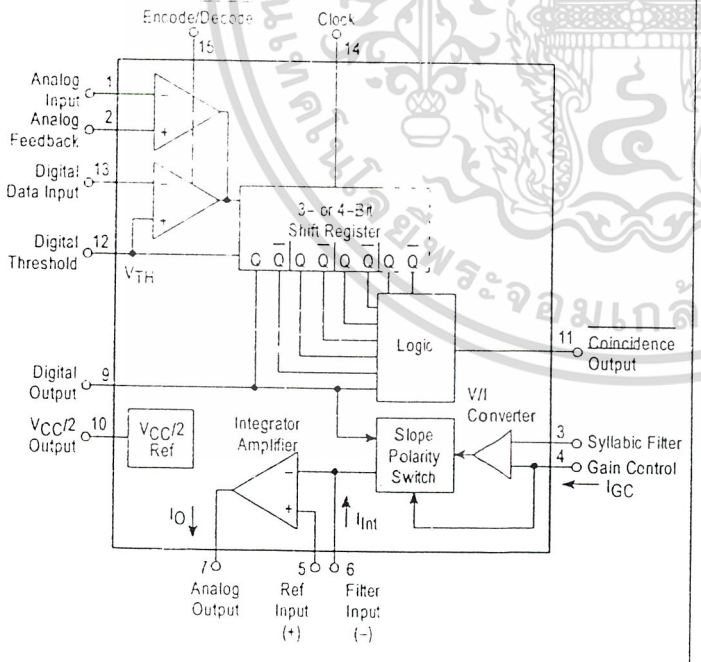
Providing a simplified approach to digital speech encoding/decoding, the MC3418 CVSD is designed for military secure communication and commercial telephone applications. A single IC provides both encoding and decoding functions.

- Encode and Decode Functions on the Same Chip with a Digital Input for Selection
- Utilization of Compatible $I^2L$ – Linear Bipolar Technology
- CMOS Compatible Digital Output
- Digital Input Threshold Selectable ($V_{CC}/2$ Reference Provided On–Chip)
- MC3418 has a 4–Bit Algorithm (Commercial Telephone)

P SUFFIX
PLASTIC PACKAGE
CASE 648

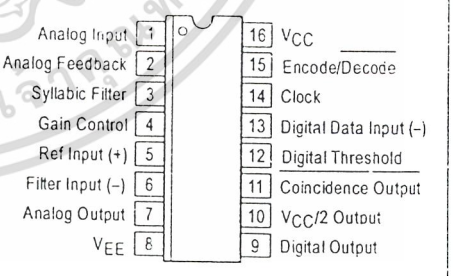
DW SUFFIX
PLASTIC PACKAGE
CASE 751G
(SO–16L)

Representative Block Diagram




This device contains 144 active transistors.

PIN CONNECTIONS




(Top View)

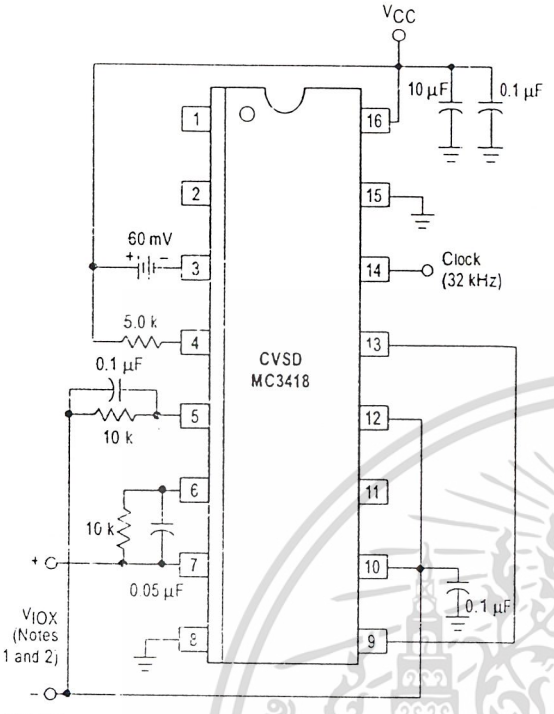
ORDERING INFORMATION

| Device | Operating Temperature Range | Package |
|---|---|---|
| MC3418DW | $T_A$ = 0° to +70°C | SO–16L |
| MC3418P | | Plastic DIP |

© Motorola, Inc. 1996

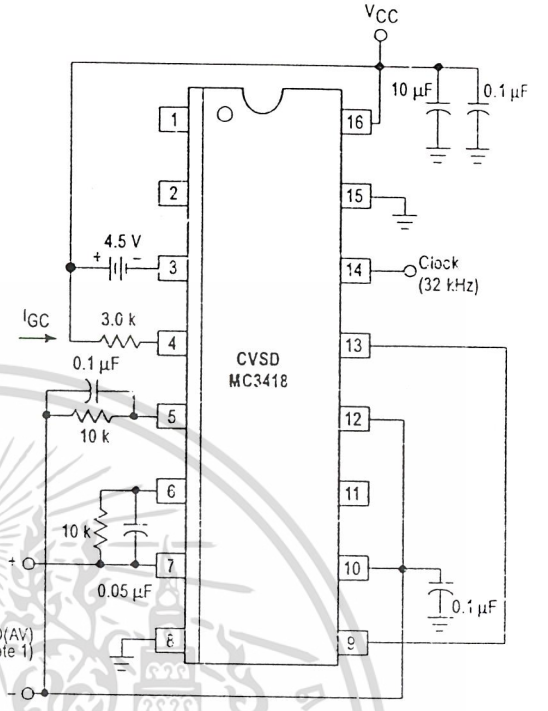
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 5. V/I Converter Offset Voltage, $V_{IO}$ and $V_{IOX}$




NOTES: 1. Integrator amplifier offset voltage plus slope polarity switch mismatch.
2. $V_{IOX}$ is the average voltage of the triangular wave form observed at the measurement points.

Figure 6. Dynamic Integrating Current Match




NOTES: 1. $V_{O(AV)}$, Dynamic Integrating Current Match, is the average voltage of the triangular waveform observed at t the measurement points, across 10 kΩ resistor with $I_{GC}$ = 1.5 mA.
2. See Note 2 in the Electrical Characteristics table.
3. See Figures 8 and 9.

## TYPICAL PERFORMANCE CURVES

Figure 7. Typical $I_{Int}$ versus $I_{GC}$ (Mean ±2 σ)

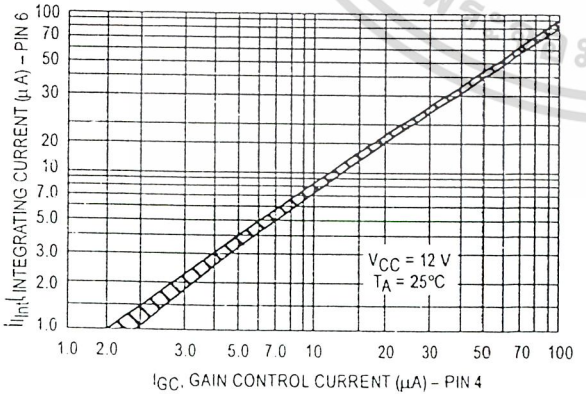
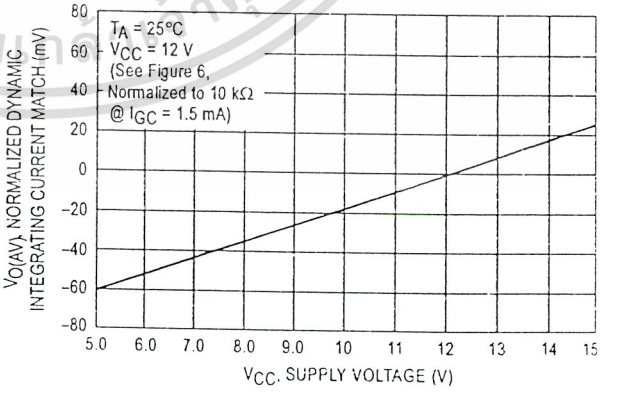



Figure 8. Normalized Dynamic Integrating Current Match versus $V_{CC}$




เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 9. Normalized Dynamic Integrating Current Match versus Clock Frequency

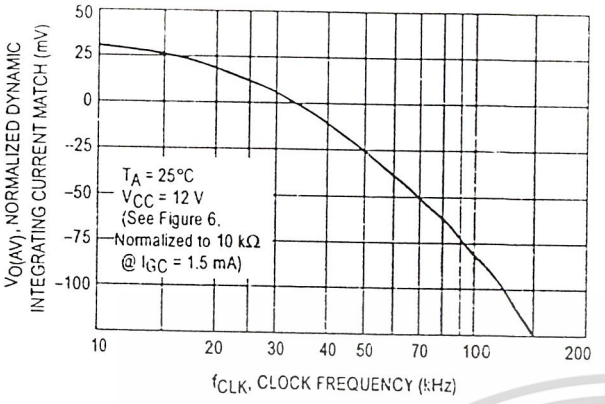



Figure 10. Dynamic Total Loop Offset versus Clock Frequency

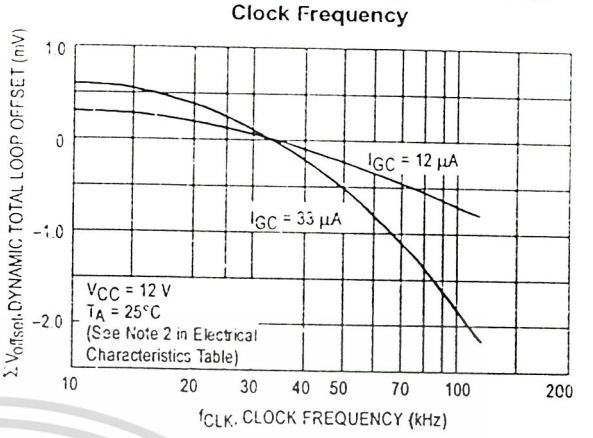



Figure 11. Block Diagram of the CVSD Encoder

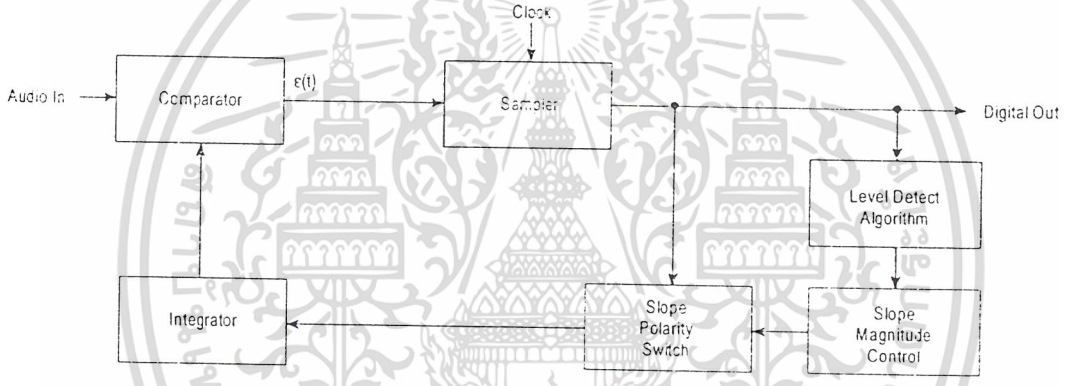
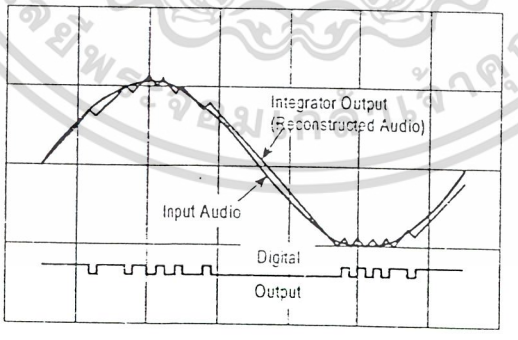



Figure 12. CVSD Waveforms




เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 13. Block Diagram of the CVSD Decoder

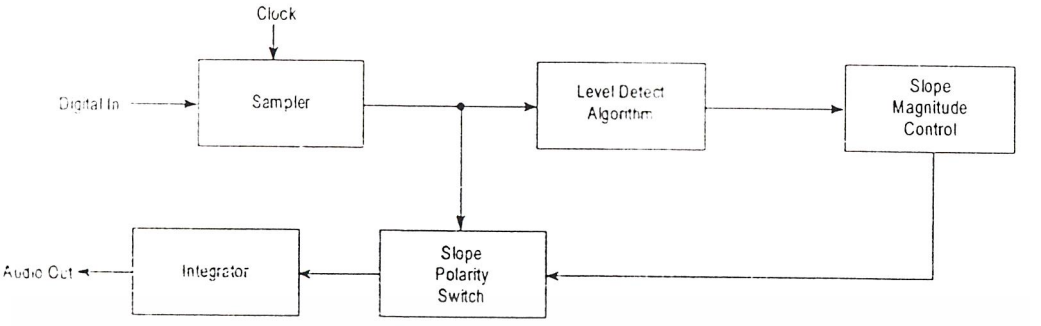
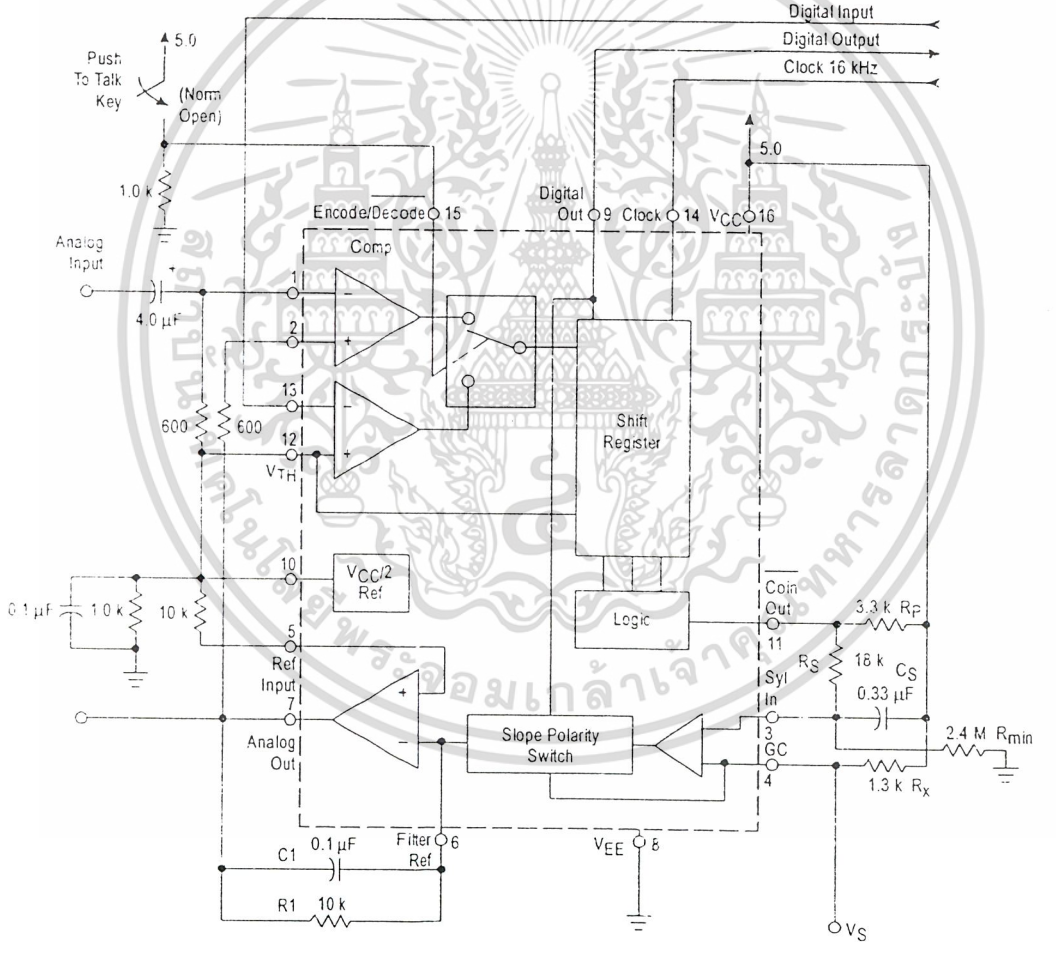



Figure 14. 16 kHz Simplex Voice Codec (Single–Pole Companding and Single Integration)




เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

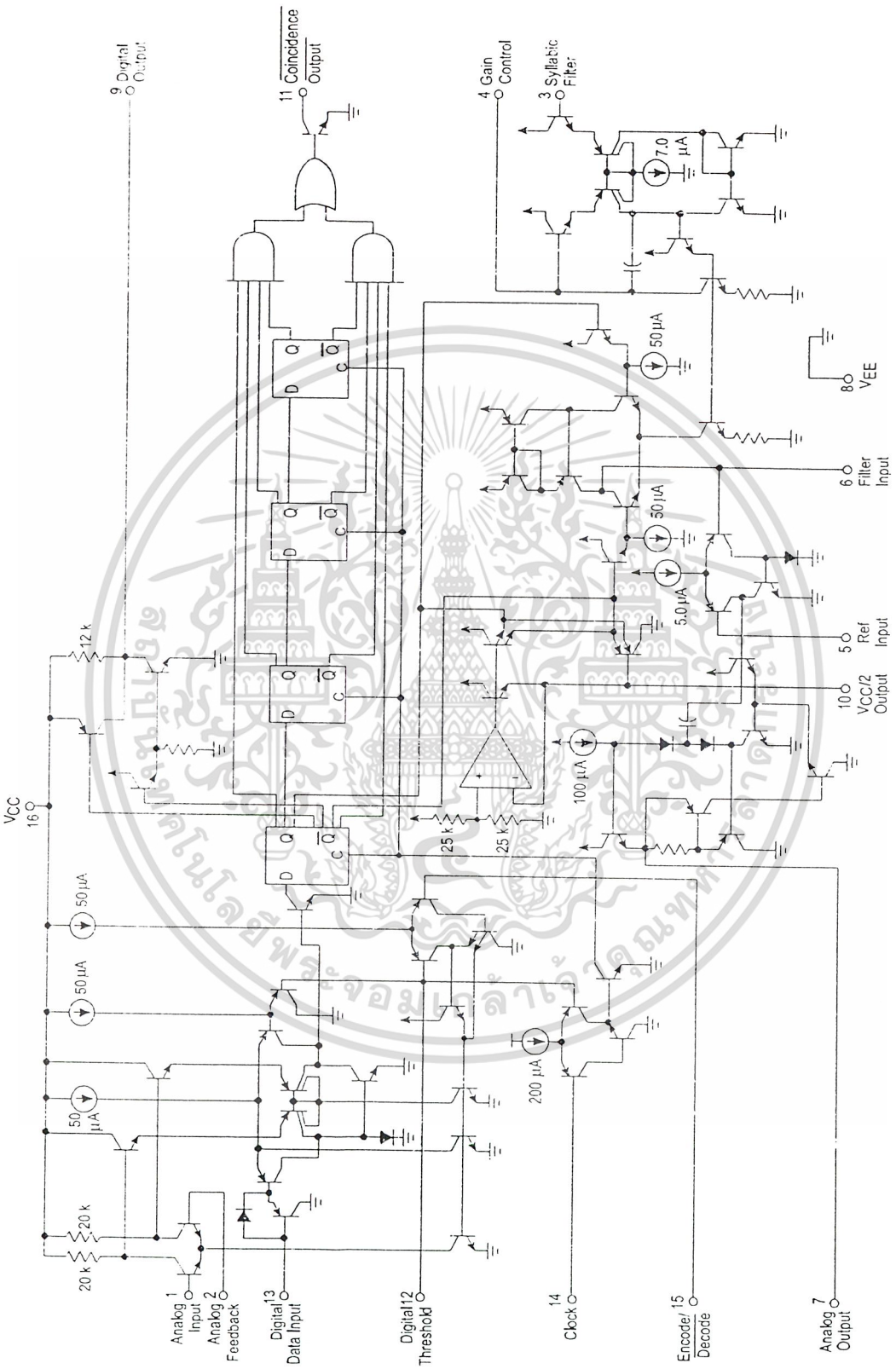
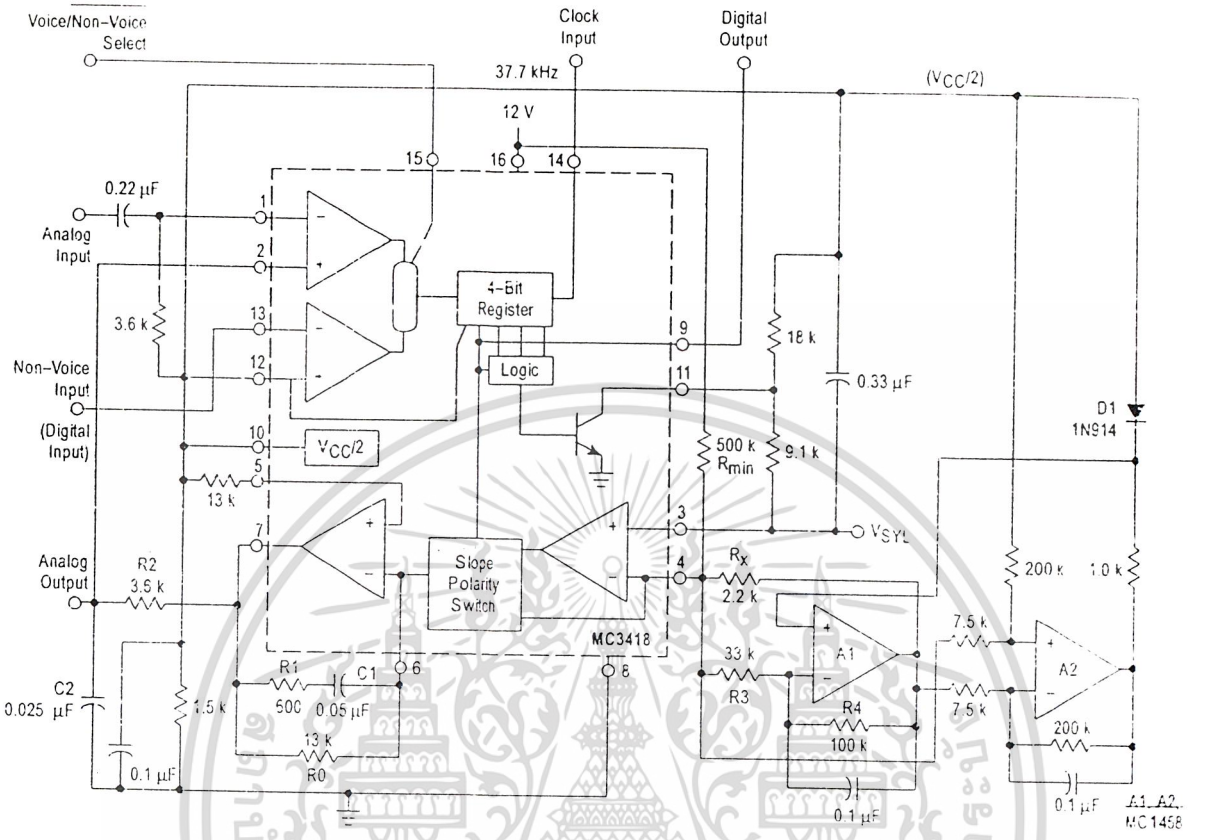



Figure 15. CVSD Circuit Schematic



เอกสารนี้จัดทำขึ้นสำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 19. Telephone Quality Deltamod Coder*




* Both double integration and active companding control are used to obtain improved CVSD performance. Laser trimming of the integrated circuit provides reliable idle channel and step size range characteristics.



เอกสารนี้ใช้งานเอกสารนี้สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# กิตติกรรมประกาศ

โครงงานนี้สำเร็จลุล่วงลงได้ด้วยความตั้งใจและความพยายามในการทำงานของผู้ร่วมงานในกลุ่มโครงงาน ตลอดจนความร่วมมือจากหลาย ๆ คน และได้รับความเมตตากรุณาจากท่านอาจารย์ วิวัฒน์ กิรานนท์ ที่ประสิทธิวิทยาการความรู้ต่างๆ รวมทั้งชี้แนะแนวทางการแก้ปัญหา ตลอดจนพยายามฝึกฝนให้ศิษย์ทุกคนมีความรู้ความสามารถควบคู่กับคุณธรรมอย่างทุ่มเท นอกจากนี้ทางคณะผู้จัดทำต้องขอขอบคุณอาจารย์วิภา แสงพิสิทธิ์ ที่ให้คำแนะนำและตรวจสอบแก้ไขรายงานฉบับนี้ด้วยดีตลอดมา ขอขอบคุณน้ำใจจากอาจารย์จริยา เลิศจรัสอร่ามดี และพี่ ๆ ปริญญาโทในห้องที่ให้คำแนะนำ และรอยยิ้มอันเป็นกำลังใจให้กับทางคณะผู้จัดทำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# หนังสืออ้างอิง


[1] M.E. VAN Valkenburg , Analog Filter Design , CBS College Publishing , 1982.

[2] K. Miyauchi , S. Seki , and H. Ishio , "New technique for generating multilevel signal format" , IEEE Trans. Commun. , vol. COM-24 , pp. 263-267 , Feb. 1976.

[3] Lathi , B.P. , "Modern Digital and Analog Communication Systems" , Holt , Rinehart and winton,Inc. , Florida , 1989.

[4] Bell , David A. , "Electronic Devices and Circuits" , Prentice-Hall Englewood Cliffs , 1986.

[5] Denton J.David , "Operational Amplifiers and Linear Integrated Circuit Theory and Applications" , McGraw – Hill , Inc. , 1989.

[6]Martin s. Roden L. Carpenter , "Electronic Design From Concept To Reality" , Third Edition , Book Promotion & Service LTD. 1997.

[7] Martin S. Roden , "Digital Communication System Design" , Prentice – Hall , Inc. , 1988.

[8] ศ. ดร. วิวัฒน์ กิรานนท์ , "วิศวกรรมการสื่อสาร" , สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง , 2542.

[9] ร.ต.อ. สุชาติ กังวารจิตต์ , "เครื่องรับส่งวิทยุและระบบวิทยุสื่อสาร" , บริษัท ซีเอ็ดเคชั่น จำกัด

[10] ณรงค์ เหมกรณ์ , การสื่อสารดาวเทียม ตำราชุดวิศวกรรมศาสตร์ , สถาบันเทคโนโลยีพระจอมเกล้าคุณทหารลาดกระบัง , 2533



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้