สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

การออกแบบหน่วยความจำ SRAM

SRAM DESIGN

โดย

นาย จมรเดช เล็กพรประเสริฐ

นาย บุญช่วย อินทร์นุ่มพันธ์

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2545

เลขหมู่.....
เลขทะเบียน 50320
วัน,เดือน,ปี 29 เม.ย. 2547

.b.....
.i.....

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การออกแบบหน่วยความจำ SRAM

SRAM DESIGN

โดย

นาย จมรเดช เล็กพรประเสริฐ รหัส 43015251

นาย บุญช่วย อินทร์นุ่มพันธ์ รหัส 43015264

อาจารย์ที่ปรึกษา

ผศ.ดร.วรากร เกษมสุวรรณ์

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2545

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ปีการศึกษา 2545

ภาควิชาอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง การออกแบบหน่วยความจำ SRAM

ผู้จัดทำ

1. นาย จมรเดช เล็กพรประเสริฐ รหัส 43015251
2. นาย บุญช่วย อินทร์นุ่มพันธ์ รหัส 43015264

.....อาจารย์ที่ปรึกษา

(ผศ.ดร.วรากร เกษมสุวรรณ์)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์เรื่อง การออกแบบหน่วยความจำ SRAM

SRAM DESIGN

ผู้จัดทำ นาย จมรเดช เล็กพรประเสริฐ รหัสประจำตัว 43015251

นาย บุญช่วย อินทร์นุ่มพันธ์ รหัสประจำตัว 43015264

โครงงานนี้ได้รับการตรวจสอบแล้วพร้อมที่จะทำการสอบได้

ลงชื่อ.....

(ผศ.ดร.วรากร เกษมสุวรรณ์)

อาจารย์ที่ปรึกษา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การออกแบบ STATIC RANDOM ACCESS MEMORY

นาย จมรเดช เล็กพรประเสริฐ รหัส 43015251
นาย บุญช่วย อินทร์นุ่มพันธ์ รหัส 43015264
ผศ.ดร.วรากร เกษมสุวรรณ์ อาจารย์ที่ปรึกษา
ภาคเรียนที่ 1 ปีการศึกษา 2545

บทคัดย่อ

คอมพิวเตอร์ได้เข้ามามีบทบาทสำคัญในชีวิตประจำวันของมนุษย์เราอย่างมาก คอมพิวเตอร์มีส่วนประกอบที่สำคัญหลายอย่างที่ทำให้มันสามารถทำงานได้เต็มประสิทธิภาพ หนึ่งในส่วนประกอบนั้นคือ SRAM โครงงานนี้เป็นการนำเสนอการออกแบบ SRAM ขนาด 1K x 8 โดยให้สามารถนำไปผลิตและสร้างได้จริง โปรแกรม TSPICE ได้ถูกใช้ในการจำลองการทำงานของวงจร SRAM ให้ได้ตามเงื่อนไข ท้ายสุด วงจร SRAM ได้ถูกสร้างเป็นลวดลายโดยอาศัยโปรแกรม L-EDIT

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Static Random Access Memory Designs

Mr.Jamondech Lekpornparsert

Mr.Boonchuay Innumpan

Assist.Prof.Dr.Varakorn Kasemsuwan

Advisor 2002

ABSTRACT

Now a day, the computer has played an important role in every daylife. Computer consists of several essential components. One among those components is Static Random Access Memory (SRAM). This project presents the design of SRAM. TSPICE is used to verify the SRAM performance. Finally, the designed SRAM is layouted using the program L-EDIT.

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

หน้า

บทคัดย่อ

Abstract

บทที่ 1 บทนำ 1

บทที่ 2 ทฤษฎีพื้นฐาน 2

2.1 ประเภทของหน่วยความจำ 2

2.1.1 รอม(ROM) 2

2.1.2 แรม (RAM) 2

2.1.3 หน่วยความจำแคช (Cache) 4

2.2 วงจรพื้นฐานของหน่วยความจำแบบสแตติค (SRAM) 4

2.3 หลักการทำงานของหน่วยความจำแบบสแตติค (SRAM) 7

2.4 การสูญเสียพลังงาน (Power Comsumption) 9

2.5 วงจรย่อยของหน่วยความจำแบบสแตติค (Full CMOS SRAM Cell) 9

2.6 เทคนิคการออกแบบวงจรหน่วยความจำแบบสแตติค 11

2.7 วงจรการเขียนข้อมูลของหน่วยความจำ 14

2.8 วงจรการอ่านของหน่วยความจำ 14

2.9 วงจรขยาย (Sense Amplifiers) 15

บทที่ 3 องค์ประกอบพื้นฐานของหน่วยความจำแบบสแตติค(SRAM) 16

3.1 หน่วยความจำแบบสแตติค (SRAM Memory) 16

3.2 วงจรย่อยของหน่วยความจำแบบสแตติค (SRAM Memory Cell) 17

3.3 วงจรถอดรหัสทางแนวนอน (Row Decoder) 18

3.4 วงจรถอดรหัสทางคอลัมน์ (Column Decoder) 22

3.5 วงจรควบคุมสัญญาณ (Control Logic Circuit) 23

3.6 วงจรควบคุมข้อมูลทางอินพุท (Input Data Control) 24

3.7 วงจรขยาย (Sense Amplifier) 25

3.8 วงจรควบคุมข้อมูลทางเอาท์พุท (Output Data Control) 26

บทที่ 4 การจำลองการทำงานและการออกแบบลวดลาย (Layout) ของวงจร 28

4.1 การทดลองในภาคหน่วยความจำ (Memory Cell) 28

4.2 การทดลองในภาคควบคุมข้อมูลทางอินพุท (Input Data Control) 31

4.3 การทดลองในภาคถอดรหัส 32

4.4 การทดลองในภาคขยาย (Sense Amplifier) 34

4.5 การทดลองในภาคควบคุมข้อมูลทางเอาท์พุท (Output Data Control) 35

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับใช้ในการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หน้า

4.6 ลวดลาย (Layout) ที่ใช้ในการสร้างชิป 37
4.6.1 วงจรแอนเกท (And Gate) 37
4.6.2 วงจรอินเวอร์เตอร์ (Inverter) 38
4.6.3 วงจรนอร์เกท (Nor gate) 39
4.7 ชิปหน่วยความจำแบบสแตติค (SRAM Chip) 40
4.8 การทดลองชิปหน่วยความจำ 40
4.8.1 ค่าคาปาซิเตอร์ที่เกิดขึ้นจากการสร้างลวดลวย(Layout) 42
บทที่ 5 สรุปผลการทดสอบและวิจารณ์ 45
5.1 สรุปผลการทดลองในภาคหน่วยความจำ (Memory Cell) 45
5.2 สรุปผลการทดลองในภาคควบคุมข้อมูลทางอินพุท(Input Data Control) 46
5.3 สรุปผลการทดลองในภาคถอดรหัส (Column และ Row decoder) 46
5.4 สรุปผลการทดลองในภาคขยาย (Sense Amplifier) 46
5.5 สรุปผลการทดลองในภาคควบคุมข้อมูลเอาท์พุท(Output Data Control) 46
5.6 สรุปผลการทดลอง ชิปหน่วยความจำ 1 บิท 47
5.7 ลักษณะของชิปหน่วยความจำ 48
บรรณานุกรม 49

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูปภาพ

หน้า

รูป 2.1 สัญลักษณ์วงจรหน่วยความจำสแตติค(SRAM) 5

รูป 2.2 วงจรทั่วไปของ MOS Static RAM Cell 5

รูป 2.3 วงจรหน่วยความจำที่ใช้ตัวต้านทานเป็นโหลด 6

รูป 2.4 วงจรหน่วยความจำที่ใช้โหลดเป็นมอสเฟสแบบดีพลีชั่น 6

รูป 2.5 วงจรหน่วยความจำที่เป็นวงจรCMOS 7

รูป 2.6 วงจรพื้นฐานของวงจรหน่วยความจำที่ใช้โหลดเป็นตัวต้านทาน 7

รูป 2.7 ระดับแรงดันที่คอลัมน์ของหน่วยความจำที่ใช้โหลดเป็นตัวต้านทาน 9

รูป 2.8 วงจรหน่วยความจำที่ใช้วงจร CMOS 10

รูป 2.9 (a)แบบจำลองของหน่วยความจำที่ใช้โหลดเป็นตัวต้านทาน 10

(b)แบบจำลองของหน่วยความจำที่ใช้วงจร CMOS 11

รูป 2.10 วงจรหน่วยความจำขณะเริ่มการอ่าน 12

รูป 2.11 วงจรหน่วยความจำขณะที่กำลังจะเริ่มต้นเขียนข้อมูล 13

รูป 2.12 วงจรขยายผลต่าง (Differential Amplifier) 14

รูป 2.13 วงจรขยายผลต่างที่ใช้กระแสคงที่ 15

รูป 3.1 บล็อกไดอะแกรมของหน่วยความจำแบบสแตติค (SRAM) 16

รูป 3.2 วงจรหน่วยความจำ (SRAM Memory Cell) 17

รูป 3.3 บล็อกไดอะแกรม ของวงจรถอดรหัส ขนาด 7:128 18

รูป 3.4 วงจรถอดรหัสทางแนวนอนทางด้านบิทต่ำ 20

รูป 3.5 วงจรถอดรหัสทางแนวนอนทางด้านบิทสูง 21

รูป 3.6 บล็อกไดอะแกรมของวงจรถอดรหัส ขนาด 3:8 22

รูป 3.7 วงจรถอดรหัสทางด้านคอลัมน์ 22

รูป 3.8 วงจรควบคุมข้อมูลทางอินพุท (Input Data Control) 24

รูป 3.9 วงจรขยาย(Sense Amplifier) 25

รูป 3.10 วงจรควบคุมข้อมูลทางเอาท์พุท (Output Data Control) 26

รูป 3.11 บล็อกไดอะแกรมของวงจรควบคุมข้อมูลทางเอาท์พุท (Output Data Control) 27

รูป 4.1 วงจรที่ใช้ในการทดลองภาคหน่วยความจำ (Memory Cell) 28

รูป 4.2 (ก) ลวดลาย(Layout)ในส่วนของหน่วยความจำในส่วนที่1 29

(ข) ลวดลาย(Layout)ในส่วนของหน่วยความจำในส่วนที่ 2 29

รูป 4.3 (ก) ผลการทดลองของหน่วยความจำในขณะทำการเขียน “1” และอ่าน “1” 30

(ข) ผลการทดลองของหน่วยความจำในขณะทำการเขียน “0” และอ่าน “0” 30

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หน้า

รูป 4.4 วงที่ใช้ในการทดลองในภาคควบคุมข้อมูลทางอินพุท (Input Data Control) 31

รูป 4.5 ลวดลาย(Layout)ในภาคควบคุมข้อมูลทางอินพุท (Input Data Control) 31

รูป 4.6 ผลการทดลองภาคควบคุมข้อมูลทางอินพุท (Input Data Control) 32

รูป 4.7 วงจรที่ใช้ในการทดลองภาคถอดรหัส 32

รูป 4.8 ลวดลาย(Layout) ของวงจรถอดรหัส 33

รูป 4.9 ผลการทดลองของวงจร ถอดรหัส 33

รูป 4.10 วงจรที่ใช้ในการทดลองภาคขยาย (Sense Amplifier) 34

รูป 4.11 ลวดลาย(Layout) ของวงจรขยาย (Sense Amplifier) 34

รูป 4.12 ผลการทดลองของวงจรขยาย (Sense Amplifier) 35

รูป 4.13 วงจรที่ใช้ในการทดลองภาคควบคุมข้อมูลทางเอาท์พุท (Output Data Control) 35

รูป 4.14 ลวดลาย(Layout)ของภาคควบคุมข้อมูลทางเอาท์พุท (Output Data Control) 36

รูป 4.15 ผลการทดลองในภาคควบคุมข้อมูลทางด้านเอาท์พุท (Output Data Control) 36

รูป 4.16 ลวดลาย(Layout)วงจรแอนเกท(And gate) 37

รูป 4.17 ผลการทดลองที่ได้จากวงจรลวดลาย(Layout)ของแอนเกท 37

รูป 4.18 ลวดลาย(Layout) ของวงจร อินเวอร์เตอร์ 38

รูป 4.19 ผลการทดลองที่ได้จากวงจรลวดลาย(Layout)ของอินเวอร์เตอร์ 38

รูป 4.20 ลวดลาย(Layout) ของวงจร นอร์เกท(Nor gate) 39

รูป 4.21 ผลการทดลองที่ได้จากวงจรลวดลาย(Layout)ของนอร์เกท 39

รูป 4.22 ชิปหน่วยความจำแบบสแตติค (SRAM Chip) 40

รูป 4.23 บล็อกไดอะแกรมของวงจรที่ใช้ในการทดลองชิปหน่วยความจำ 1 บิท 41

รูป 4.24 ลวดลาย(Layout)ของชิปหน่วยความจำ 1 บิท 41

รูป 4.25 ผลการทดลองในขณะทำการเขียนและการอ่านข้อมูล “1” 43

รูป 4.26 ผลการทดลองในขณะทำการเขียนและการอ่านข้อมูล “0” 44

รูป 5.1 ลักษณะของชิปหน่วยความจำแบบสแตติค(SRAM) 48

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

1.1 บทนำ

เนื่องจากทุกวันนี้คอมพิวเตอร์มีการใช้งานกันอย่างกว้างขวางในทุกประเภทของการทำงาน และข้อได้เปรียบบางประการที่ทำให้คอมพิวเตอร์ทำงานได้เต็มประสิทธิภาพ และมีความรวดเร็วในการรับส่งข้อมูลก็คือ หน่วยความจำ RAM ซึ่งในโครงงานนี้จะเป็นการออกแบบ SRAM (Static Random Access Memory) โดยในโครงงานนี้เป็นการออกแบบโดยใช้ CMOS เป็นตัวอุปกรณ์สำคัญ ซึ่งข้อได้เปรียบที่สำคัญของ CMOS ก็คือ การกินพลังงานต่ำ (Low Consumption) ขั้นตอนในการสร้างมีความซับซ้อนน้อย และใช้พื้นที่น้อยกว่าไบโพลาร์ทรานซิสเตอร์

1.2 วัตถุประสงค์และเป้าหมาย

1. เพื่อใช้เป็นส่วนประกอบหลักของรายวิชา โครงงาน
2. เพื่อใช้ศึกษากระบวนการทำงานของ หน่วยความจำแบบสแตติค (SRAM)
3. เพื่อใช้ศึกษาโครงสร้างทั่ว ๆ ไปของ หน่วยความจำแบบสแตติค (SRAM)
4. เพื่อใช้ในการศึกษาโปรแกรมที่ใช้ในการจำลองการทำงาน
5. เพื่อใช้ในการศึกษาวิธีการออกแบบลวดลาย(Layout) ตัวอุปกรณ์

1.3 ประโยชน์ของโครงงาน

1. ทำให้ได้รับความรู้เกี่ยวกับกระบวนการทำงานของ SRAM
2. ทำให้ได้รู้ถึงโครงสร้างโดยทั่วๆไปของ หน่วยความจำแบบสแตติค (SRAM)
3. ทำให้มีความรู้ในการใช้โปรแกรม จำลองการทำงาน เช่น TSPICE
4. ทำให้มีความเข้าใจการออกแบบออกแบบลวดลาย (Layout) ตัวอุปกรณ์ เช่น NMOS , PMOS
5. สามารถนำไปสร้างเป็นชิพเพื่อใช้งานจริงได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
ทฤษฎีพื้นฐาน

2.1 ประเภทของหน่วยความจำ

หน่วยความจำของเครื่องคอมพิวเตอร์ใช้ในการเก็บตัวคำสั่งและข้อมูลที่ใช้ในโปรแกรมซึ่งจะถูกเก็บลงในหน่วยความจำขณะที่มีการประมวลผล ขนาดของหน่วยความจำจะมีหน่วยวัดเป็นไบต์ (Byte) เช่น 32 เมกะไบต์ แต่ละไบต์มีขนาด 8 บิต (Bit) ซึ่งข้อมูลแต่ละบิตจะมีค่าได้ 2 ค่าคือ"0"กับ"1"ดังนั้น ข้อมูลขนาด 1 ไบต์ จึงมีค่าที่แตกต่างกันได้ถึง 256 ค่า ข้อมูลทุกประเภทจะถูกเก็บโดยการแปลงเป็นบิตลงหน่วยความจำ เมื่อจะนำขึ้นมาใช้ก็แปลงกลับเป็นข้อมูลที่ต้องการ เราอาจแบ่งประเภทของหน่วยความจำได้ดังนี้

1. หน่วยความจำหลัก
   - รอม (ROM)
   - แรม (RAM)
   - แคช (CACHE)
2. หน่วยความจำสำรอง
   - ฟล็อปปี้ดิสก์ (Floppy Disk)
   - ฮาร์ดดิสก์ (Hard Disk)
   - ซีดีรอม(CD – ROM)
   - ซิปไดรฟ์ (Zip Drive)
   - เทป (Tape)

ในที่นี้เราจะกล่าวถึงหน่วยความจำหลักเท่านั้น

2.1.1 รอม (ROM)

คำว่า ROM ย่อมาจาก Read Only Memory เป็นหน่วยความจำชนิดที่สามารถเก็บข้อมูลหรือใช้ในการโปรแกรมไว้อย่างถาวร ไม่สามารถเปลี่ยนแปลงอะไรได้ไม่ว่าจะต้องการหรือไม่ สิ่งที่เก็บไว้จะประกอบด้วยข้อมูลที่จำเป็นสำหรับเริ่มสตาร์ทเครื่องคอมพิวเตอร์และใช้เก็บโปรแกรมไบออสหรือโปรแกรมของที่ฝังอยู่ในฮาร์ดแวร์ของเครื่องที่ทำหน้าที่ตรวจสอบฮาร์ดแวร์และอุปกรณ์ต่าง ๆ ของคอมพิวเตอร์

2.1.2 แรม (RAM)

คำว่า RAM ย่อมาจาก Random Access Memory เป็นหน่วยความจำชนิดที่เก็บข้อมูลเอาไว้เพื่อให้โปรแกรมสามารถนำมาใช้งานได้ในทันที่ต้องการ ทั้งในส่วนของคำสั่งของโปรแกรมและข้อมูลที่ป้อนเข้าไปเป็นส่วนที่จะมีการเปลี่ยนแปลงอยู่ตลอดเวลาระหว่างที่กำลังทำงานกับโปรแกรมอยู่ และจะเป็นการเก็บไว้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เพียงชั่วคราวโดยจะหายไปเมื่อปิดเครื่องหรือไฟฟ้าดับนั่นคือแรมจะต้องมีไฟฟ้าคอยเลี้ยงตลอดเวลา แรมเป็นทรัพยากรที่มีค่ามากสำหรับคอมพิวเตอร์และดูเหมือนว่าเครื่องมีแรมเท่าไรก็ไม่พอต่อความต้องการของเราและของโปรแกรมแอพพลิเคชั่น ในอดีตการทำงานของแรมจะทำงานช้ากว่าซีพียูมากต่อมาจึงมีการพัฒนาหน่วยความจำแบบต่างๆ ให้มีความเร็วสูงขึ้น เทคโนโลยีของแรมที่เราควรรู้จักมีดังนี้

1. DRAM (Dynamic RAM) มีชื่อเรียกอีกอย่างหนึ่งว่า Fast Page Mode (FPM) การทำงานของ DRAM นั้น นอกจากต้องมีไฟฟ้าเลี้ยงตลอดเวลาแล้ว แรมชนิดนี้ต้องทำการ Recharge อยู่เสมอ คือ จะคอยป้อนไฟเลี้ยงให้กับตัวเก็บประจุ (Capacitor) ให้มีค่าเป็น“1” เป็นระยะ รูปแบบการเก็บข้อมูลของคอมพิวเตอร์นั้นหน่วยย่อยที่สุด คือ บิต ซึ่งมีค่าเป็น“0” หรือ “1” ข้อมูลในแต่ละบิตของ DRAM จะถูกเก็บลงในเซลล์หน่วยความจำ (Memory Cell) ซึ่งประกอบด้วย ตัวเก็บประจุ 1 ตัวและทรานซิสเตอร์ 1 ตัว ซึ่งตัวเก็บประจุจะเป็นอุปกรณ์ที่สามารถเก็บประจุของไฟฟ้าได้ ส่วนทรานซิสเตอร์เป็นสวิตซ์ที่สามารถเปิดหรือปิดได้โดยอาศัยการลดลงหรือเพิ่มขึ้นของแรงดันไฟฟ้าที่ไหลเข้ามา

เมื่อซีพียูต้องการข้อมูลที่อยู่ใน DRAM ที่มีลักษณะเป็นตารางประกอบด้วยแถวและคอลัมน์ก็จะเริ่มต้นค้นหาข้อมูลที่คอลัมน์แรกของหน่วยความจำ ข้อมูลที่เก็บอยู่ในหน่วยความจำจะถูกนำมาตรวจสอบว่าใช่ข้อมูลที่ต้องการหรือไม่ จนกระทั่งพบข้อมูลที่ต้องการ การค้นหาก็จะหยุดลงและเริ่มต้นการค้นหาข้อมูลลำดับต่อไป โดยการค้นหาจะต้องย้อนกลับไปเริ่มต้นที่คอลัมน์แรกของหน่วยความจำเสมอ

ลักษณะดังกล่าวทำให้การทำงานของแรมแบบนี้ช้ากว่า SRAM รวมทั้งระหว่างที่ทำการค้นหาข้อมูลใน DRAM ซีพียูที่ทำงานได้เร็วกว่าก็ต้องหยุดรอจนกว่าพบข้อมูลที่ต้องการ แต่ DRAM ก็มีข้อดีมีราคาถูก ใช้กระแสไฟน้อยกว่า SRAM

2. SRAM (Static RAM) เป็นหน่วยความจำแบบที่มีความเร็วสูงและราคาแพงกว่าแบบ DRAM โดยที่ SRAM นั้นเก็บค่าของบิตต่าง ๆ ในเซลล์หน่วยความจำด้วยสถานะของการ Flip–Flop ของทรานซิสเตอร์แทนการเก็บเป็นประจุในตัวเก็บประจุแบบใน DRAM ซึ่งในการการเก็บข้อมูล 1 บิต ของ SRAM จะต้องใช้ทรานซิสเตอร์ถึง 6 ตัว

การ Flip – Flop ใช้การเรียงตัวของทรานซิสเตอร์และรูปแบบการเปิดและปิดของสวิตซ์ของรีจิสเตอร์และมันจะคงสภาวะไว้ตลอดเวลาที่ยังมีกระแสไฟฟ้าอยู่ อีกประการหนึ่งที่ SRAM ดีกว่า DRAM ตรงที่ไม่ต้องคอย Recharge ทำให้ทำงานได้เร็วกว่า แต่มีข้อเสียคือกินไฟมากกว่าและแพงกว่า SRAMนิยมนำไปทำเป็นหน่วยจำแคช (Cache Memory)

3. EDO DRAM (Extended Data Out DRAM) เป็นแรมที่ออกมาในปี 1995 จะมีชื่อเรียกอีกอย่างหนึ่งว่า HPM DRAM (Hyper Page Mode DRAM) การทำงานจะเริ่มจากการจัดลำดับการค้นหาแล้วจึงเริ่มการค้นหาเพียงแต่ว่าเมื่อพบข้อมูลที่ต้องการแล้วแทนที่การค้นหาจะหยุดลงและปิดการทำงานของบัฟเฟอร์ หน่วยความจำแบบ EDO ก็จะเก็บบัฟเฟอร์ของผลลัพธ์และอ้างอิงตำแหน่งจากการค้นหาข้อมูลนั้นไว้ก่อนเพื่อใช้ในการค้นหาข้อมูลครั้งต่อไปอีก ทำให้สามารถลดเวลาในการรอของซีพียูลงได้ EDO RAM จะสามารถทำงานได้เร็วกว่า FPM DRAM ประมาณ 10 - 20 %

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4. SDRAM (Synchronous DRAM) เป็นแรมที่เกิดขึ้นในปี 1997 SDRAM มีความเร็วในการสื่อสารข้อมูลกับซีพียูสูงมาก เหตุที่เรียกว่า Synchronous ก็เพราะมันสามารถที่จะทำงานในระดับความเร็วที่สูงและสามารถรับ / ส่งข้อมูลในจังหวะเดียวกับซีพียู เมื่อเทียบกันแล้ว SDRAM จะสามารถทำงานได้เร็วกว่า EDO RAM ประมาณ 40 - 50 % และเป็นแรมที่นิยมใช้กันมาก สำหรับไมโครคอมพิวเตอร์ยุคปัจจุบัน

2.1.3 หน่วยความจำแคช (CACHE)

หน่วยความจำแคช ถือว่าเป็นหน่วยความจำแบบแรมชนิดหนึ่ง เพราะข้อมูลที่อยู่ในแคชจะหายไปเมื่อปิดเครื่องหรือเครื่องไฟฟ้าดับ แต่แคชจะมีความเร็วในการรับส่งข้อมูลกับซีพียูที่เร็วกว่าแรมปกติจึง แคชจึงถูกนำมาเก็บข้อมูลที่เรียกใช้บ่อย ๆ ซึ่งจะทำให้ความเร็วในการเข้าถึงข้อมูลโดยรวมสูงขึ้น ซีพียูจะใช้แคชสำหรับลดเวลาการทำงานกับข้อมูลที่ต้องการจากภายนอกซีพียู เช่น การเอาข้อมูลหรือคำสั่งจากหน่วยความจำหลักมาประมวลผล ซีพียูก็ไปดูที่แคชก่อนถ้ามีก็เอาจากแคชมาเลย หากไม่มีค่อยไปดูที่แรมยิ่งมีแคชสูงเท่าไรก็จะทำให้เครื่องเร็วขึ้นเท่านั้น แคชแบ่งประเภทเป็น

- แคชภายใน หรือที่เรียกว่า L1 (Level 1) บางทีเรียกว่า Primary Cache เป็นแคชที่อยู่ภายในซีพียู ทำหน้าที่เก็บข้อมูลหรือคำสั่งที่คาดว่าซีพียูจะต้องการใช้เอาไว้

- แคชภายนอก หรือ L2 (Level 2) บางทีเรียกว่า Secondary Cache เป็นแคชที่อยู่ภายนอกซีพียู ที่คั่นการรับส่งข้อมูลระหว่างซีพียูและหน่วยความจำหลัก แคชแบบนี้มักจะเป็นแรมแบบสแตติก (Static RAM) แคชนี้ก็เช่นเดียวกับ L1 ที่จะเก็บข้อมูลหรือคำสั่งเอาไว้ แต่ซีพียูจะค้นข้อมูลที่ต้องการใน L1 ก่อนถ้าไม่พบจึงจะหาที่ L2 การทำงานกับ L2 จะช้ากว่า L1 แต่ก็จะเร็วกว่าที่จะไปค้นหาที่หน่วยความจำหลัก

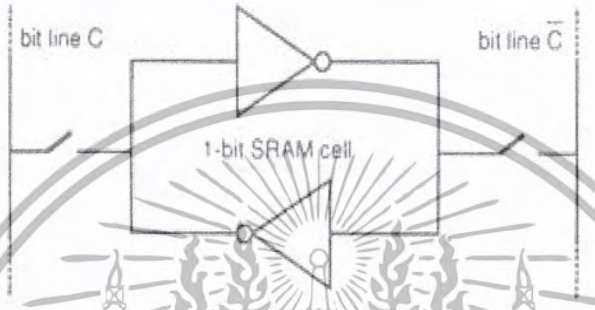
- ดิสก์แคช (Disk Cache) เป็นหน่วยความจำแคชที่คั่นการรับส่งข้อมูลระหว่างซีพียูและดิสก์เพื่อให้ทำงานได้เร็วขึ้น ความหมายของดิสก์แคชก็คือ เป็นหน่วยความจำชนิดหนึ่งที่เก็บข้อมูลชั่วคราวที่เราเรียกใช้บ่อย ๆหรือเก็บข้อมูลที่โปรแกรมแอพพลิเคชันมักร้องขอใช้บ่อยครั้ง การอ่านเขียนดิสก์ครั้งต่อไปก็ไม่จำเป็นต้องอ่านดิสก์ แต่จะไปอ่านที่หน่วยความจำแคชแทน ดิสก์แคชถูกสร้างขึ้นมาเพื่อแก้ปัญหาการทำงานของดิสก์ไดร์ฟที่ช้ามากเมื่อเทียบกับอุปกรณ์อื่น ๆ ทั้งนี้เนื่องจากเป็นชิ้นส่วนที่มีการเคลื่อนไหวกลไกของอุปกรณ์หัวอ่าน ประสิทธิภาพของแคชอาจจะวัดได้จาก Hit Rate หรืออัตราส่วนของจำนวนครั้งในการอ่านข้อมูลจากแคชต่อจำนวนครั้งในการอ่านข้อมูลทั้งหมดจากหน่วยความจำ Hit Rate ยิ่งมีค่าสูงจะยิ่งดีเพราะหมายถึงสามารถเก็บข้อมูลที่ใช้บ่อย ๆ เป็นส่วนใหญ่ไว้ในแคช

2.2 วงจรพื้นฐานของหน่วยความจำแบบสแตติค (SRAM)

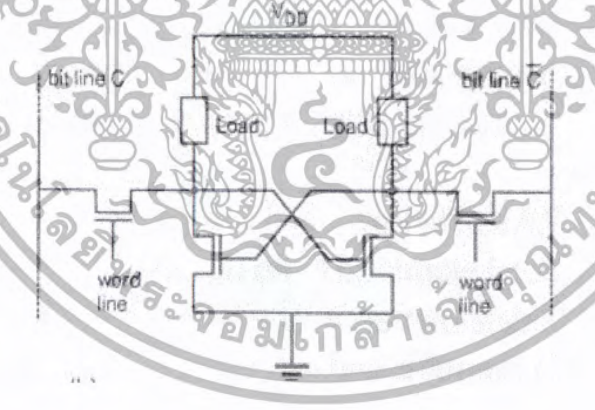
จากที่ได้ทราบแล้วว่า วงจร Read – write (R/W)สามารถเรียกอีกอย่างหนึ่งว่า RAM ซึ่งเอกลักษณ์ของ RAM ก็คือจะถูกออกแบบให้มีการปรับปรุงแก้ไขข้อมูลที่เก็บในหน่วยความจำได้และสามารถนำข้อมูลออกมาได้ตามความต้องการและวงจรก็ไม่ต้องการเวลาในการ Refresh อีกด้วย เราสามารถที่จะตรวจสอบโครงสร้างและการทำงานของ SRAM Cells ว่า วงจรได้ถูกออกแบบให้อ่านและเขียนข้อมูลได้ถูกต้องหรือไม่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในส่วนของเซลล์ที่เก็บข้อมูล หน่วยความจำ 1 บิทใน SRAM ประกอบด้วยวงจรแลทซ์ ซึ่งมีการทำงาน 2 สถานะ โดยการรักษาสถานะขึ้นอยู่กับวงจรแลทซ์อินเวอร์เตอร์ 2 ตัว ข้อมูลที่อยู่ในเซลล์จะเป็นได้ทั้ง “0” และ “1” การเข้าถึงข้อมูลที่บรรจุอยู่ในหน่วยความจำไม่ว่าจะเป็นการเขียนหรือการอ่านขึ้นอยู่กับ Bit Line และ Word Line โดยทั้งสองจะต้องมีการทำงานที่สัมพันธ์กัน จากรูปที่ 2.1 เป็นสัญลักษณ์วงจร SRAM โดยใช้อินเวอเตอร์ 2 ตัวและสวิชต์ที่ต่อมาจาก Bit Line อีก 2 ตัว



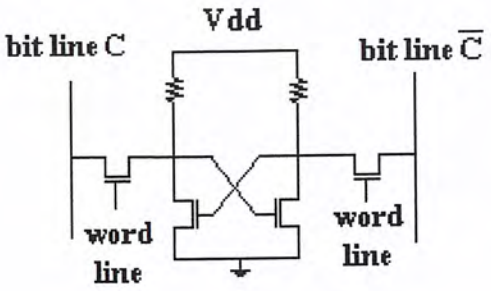
รูป 2.1 สัญลักษณ์วงจรหน่วยความจำสแตติค(SRAM)



รูป 2.2 วงจรทั่วไปของ MOS Static RAM Cell

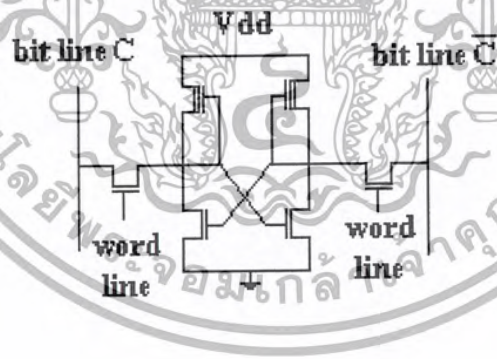
จากวงจรรูปที่ 2.2 เป็นโครงสร้างของวงจรทั่วไปของ MOS Static RAM Cell ซึ่งประกอบด้วย อินเวอร์เตอร์ 2 ตัว และทรานซิสเตอร์ 2 ตัว ซึ่งเป็นตัวควบคุมส่วนของเซลล์ ในส่วนของโหลดในที่นี้ อาจจะเป็นตัวต้านทานชนิดโพลีซิลิคอนหรือทรานซิสเตอร์ชนิด Depletion – NMOS หรือ PMOS ทรานซิสเตอร์ก็ได้ขึ้นอยู่กับชนิดของเซลล์หน่วยความจำและข้อมูลที่ผ่านเข้ามาที่เซลล์จะต้องผ่านทรานซิสเตอร์ชนิด Enhancement – NMOS เสมอ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 2.3 วงจรหน่วยความจำที่ใช้ตัวต้านทานเป็นโหลด

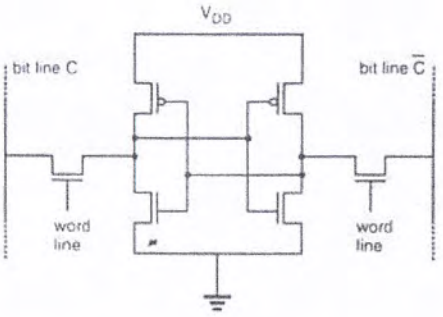
วงจรที่ใช้โหลดเป็นตัวต้านทานจะใช้ตัวต้านทานที่เป็นโพลีซิลิกอน ในโครงสร้างของแลทซ์ซึ่งมีผลมากต่อขนาดของเซลล์โดยเปรียบเทียบกับทางเลือกอื่น ๆ ซึ่งในรูปที่ 2.3 เป็นวงจรที่ใช้โหลดเป็นความต้านทาน สำหรับค่าโหลดความต้านทานสูง ๆ จะสามารถลดผลรวมของกระแสที่ไหลในทุก ๆ เซลล์หน่วยความจำ ดังนั้นจึงเกิดเป็นข้อดีข้อเสียของกันและกันระหว่างความต้องการความต้านทานสูงเพื่อให้เพาเวอร์ต่ำๆ และความต้องการเพิ่มขนาดของ Noise Margins ให้กว้างและความเร็วสูง



รูป 2.4 วงจรหน่วยความจำที่ใช้โหลดเป็นมอสเฟสแบบดีเพสชั่น

จากวงจรรูปที่ 2.4 เป็นหน่วยความจำที่ใช้โหลดเป็นมอสเฟสแบบดีพลีชั่น โดยจะใช้โพลีซิลิกอนและ Metal layer ซึ่งขนาดของเซลล์มีความสัมพันธ์เกี่ยวพันธ์กันเล็กน้อยโดยเฉพาะกับการใช้ buried metal diffusion contacts ซึ่งคุณสมบัติที่คงที่และnoise margin ของหน่วยความจำเซลล์จะดีกว่าแบบที่ใช้ตัวต้านทานเป็นโหลด แต่การกินกำลังงานของมอสเฟสแบบดีเพสชั่นนั้นก็ยังไม่เมาะสมสำหรับวงจรที่มีอุปกรณ์จำนวนมาก จึงได้มีการพัฒนามาเป็นวงจรเซลล์ชนิด CMOS SRAM

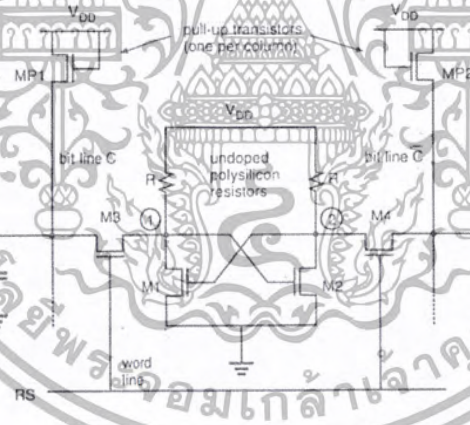
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 2.5 วงจรหน่วยความจำที่เป็นวงจร CMOS

จากวงจรรูปที่ 2.5 เป็นการออกแบบวงจรให้มีการใช้พลังงานให้น้อยที่สุด โดยการเพิ่ม CMOS เซลล์ จะให้ค่าของ Noise Margins และความเร็วในการสวิชต์ดีขึ้นและในส่วนต่อไปจะเป็นการกล่าวถึงหลักการทำงานของหน่วยความจำแบบสแตติค (SRAM)

2.3 หลักการทำงานของหน่วยความจำแบบสแตติค (SRAM)



รูป 2.6 วงจรพื้นฐานของวงจรหน่วยความจำที่ใช้โหลดเป็นตัวต้านทาน

จากรูปที่ 2.6 แสดงตัวอย่างของวงจรที่ใช้ตัวต้านทานเป็นโหลด โดยใช้ทรานซิสเตอร์ 4 ตัว ทำให้สามารถสร้างหน่วยความจำขนาดใหญ่ได้ ซึ่งในวงจรประกอบด้วยคู่ของอินเวอร์เตอร์ต่อเป็น CMOS–coupled ซึ่งกันและกัน มีจุดการทำงาน 2 สภาวะคงที่โดยจะใช้พื้นฐานของวงจรแลทช์เพื่อเป็นตัวเก็บข้อมูลขนาด 1 บิท ดังนั้นคู่ของ CMOS – coupled อินเวอร์เตอร์จะเป็นส่วนประกอบสำคัญของ SRAM Cell ในการอ่านและเขียนข้อมูลเราจะใช้ทรานซิสเตอร์ชนิด NMOS 2 ตัว(M3และM4)เป็นตัวที่ใช้ในการรับสัญญาณ Row Select (RS) ซึ่งแสดงว่า SRAM เซลล์ ในรูปที่ 2.6 สามารถเก็บข้อมูลเข้าไปในเซลล์โดยทาง bit line

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อ word line (RS)ไม่ถูกเลือก ยกตัวอย่างเช่น เมื่อระดับแรงดันที่เส้น RS มีค่าเป็น “0” ทรานซิสเตอร์ M3 และ M4 จะ Off วงจรแลทช์ภายในตัว SRAM เซลล์ก็ไม่เกิดการเปลี่ยนแปลงใด ๆ ข้อมูลกับคงเดิมอยู่ ในส่วนนี้ให้พิจารณาที่ 2 คอลัมน์ คือ ที่ C กับ $\overline{C}$ ถ้าทุก Word line ใน SRAM Array เป็น “0” โดยปกติก็จะเกิดมีการชาร์จประจุโดยทรานซิสเตอร์ Pull Up คือ MP1 และ MP2 ทันที เนื่องจากคู่ทรานซิสเตอร์ทำงานในโหมด Saturation ระดับแรงดันที่คอลัมน์จะคงที่ซึ่งคู่ของทรานซิสเตอร์เป็นตัวกำหนดตามความสัมพันธ์ ดังนี้

$$V_{DD} - V_C = V_{T0} + \gamma(\sqrt{|2\phi_F| + V_C} - \sqrt{|2\phi_F|}) \quad (1)$$

สมมุติให้ $V_{DD} = 5\ V$, $V_{T0} = 1\ V$, $|2\phi_F| = 0.6V$ และ $\gamma = 0.4\ V^{1/2}$ ระดับแรงดันที่พบจะมีค่าประมาณ 3.5 V และจะมีค่าเท่ากันทั้ง 2 คอลัมน์

ในตอนนี้สมมุติว่าเราเลือกหน่วยความจำมา 1 เซลล์ โดยให้ word line มีค่าเป็น “1” ดังนั้น M3 และ M4 จึง turn on ทันทีที่เซลล์ของหน่วยความจำถูกเลือกจะมีการทำงานขั้นพื้นฐานอยู่ 4 แบบดังนี้

1) การเขียน “1” : ระดับแรงดันที่คอลัมน์ คอลัมน์ C จะมีลอจิกเป็น “1” คอลัมน์ $\overline{C}$ จะมีลอจิกเป็น “0” ซึ่งในตอนนี้ M3 และ M4 ทำหน้าที่เหมือนเป็นสวิทช์ธรรมดาคอยต่อวงจรเท่านั้นโดยในตอนนี้ การจะ turn off และการจะ turn on ทำให้ที่จุด 1 มีค่าเป็น High และที่จุด 2 มีค่าเป็น Low

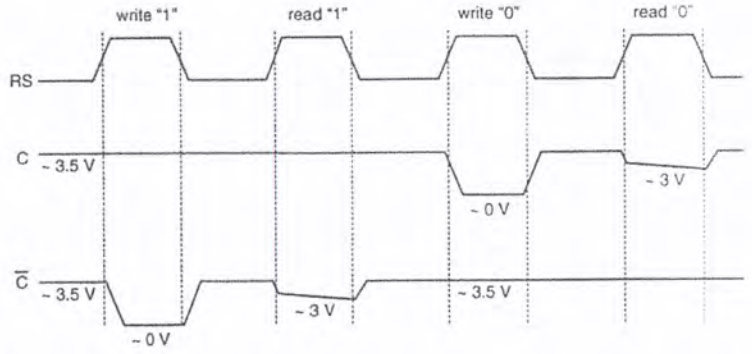
2) การอ่าน “1” : แรงดันที่จุดที่ 1 ซึ่งมีค่าเป็น High และที่จุด 2 เป็น Low เมื่อ M3 และ M4 ทำงานจะทำให้ที่คอลัมน์ C จะเกิดการชาร์จประจุ ส่วนที่คอลัมน์ $\overline{C}$ จะเกิดการ discharge โดยผ่าน M3และ M4 ซึ่งทั้งคอลัมน์ C และ $\overline{C}$ จะเกิดความแตกต่างระหว่างแรงดันโดย $V_C > V_{\overline{C}}$ ทำให้มี output เป็น High

3) การเขียน “0” : ระดับแรงดันที่คอลัมน์ C จะมีลอจิกเป็น “0” คอลัมน์ $\overline{C}$ จะมีค่าเป็น “1” ซึ่งในตอนนี้ M3 และ M4 ทำหน้าที่เหมือนเป็นสวิทช์ธรรมดาคอยต่อวงจรเท่านั้นโดย M1 จะ turn on และ M2 จะ turn off ทำให้ที่จุด 1 มีค่าเป็น Low และที่จุด 2 จะมีค่าเป็น High

4)การอ่าน “0” : แรงดันที่จุด 1 ซึ่งมีค่าเป็น Low และที่จุด 2 จะมีค่าเป็น High เมื่อ M3 และ M4 ถูกต่อวงจรจะทำให้คอลัมน์ C เกิดการดิสชาร์จประจุผ่าน M3 และ M1 ส่วนที่คอลัมน์ $\overline{C}$ จะเกิดการชาร์จประจุ ซึ่งทั้งในคอลัมน์ C และ $\overline{C}$ จะเกิดความแตกต่างระหว่างแรงดันโดย $V_C > V_{\overline{C}}$ ทำให้มีเป็น output เป็น Low

ซึ่งจากการทำงานทั้ง 4 แบบสามารถเขียนเป็น Wave forms ในแต่ละแบบได้ดังรูปที่ 2.7 ซึ่งจากรูปที่ 2.7 แรงดันที่ 2 คอลัมน์ ในช่วงการอ่านจะเห็นได้ว่ามีความแตกต่างระหว่างทั้งสองคอลัมน์ประมาณ 500 มิลลิโวลท์ ซึ่งจะเห็นได้ว่าช่วงที่อ่าน “0” ที่จุด C จะมีระดับแรงดันลดลงมาเพราะ M3 และ M1 จะทำหน้าที่เป็น Pull down

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.7 ระดับแรงดันที่คอลัมน์ของหน่วยความจำที่ใช้โหลดเป็นตัวต้านทาน

2.4. การสูญเสียพลังงาน (Power Comsumption)

การประมาณการใช้กำลังงานของ SRAM สมมุติว่าลอจิก "1" ถูกเก็บอยู่ในเซลล์ซึ่งในที่นี้หมายความว่าทรานซิสเตอร์ M1 "off" ขณะที่ทรานซิสเตอร์ M2 มีการนำกระแสผลลัพธ์ที่ได้ คือ $V_1 = V_{OH}$ และ $V_2 = V_{OL}$ ในวงจรนี้ใช้โหลดเป็นโหลดความต้านทานซึ่งการนำกระแสจะไม่เป็นศูนย์เพราะฉะนั้นจะเกิดการใช้พลังงานในระดับคงที่ตลอดเวลา ซึ่งอัตราการสูญเสียพลังงานนั้นจะถูกกำหนดโดยโหลดความต้านทาน ซึ่งเป็นตัวทำให้เกิดการสูญเสียพลังงานในวงจร

ขนาดของความต้านทานมากหรือน้อยสามารถทำได้โดยการโด๊ปบางส่วนหรือไม่โด๊ปที่โพลีซิลิกอนก็ได้ ซึ่งโดยทั่วไปแล้วความต้านทานจะมีค่าประมาณ 10 M หรือสูงกว่า การเพิ่มกระบวนการความซับซ้อนเพื่อที่จะใช้โหลดที่เป็นความต้านทาน จะมีข้อดีคือใช้พลังงานต่ำ เนื่องจากกระแสที่ไหลผ่านในแต่ละเซลล์มีค่าน้อย ยกตัวอย่างเช่น โหลดความต้านทานมีค่าเป็น 100 M ค่ากระแสที่ไหลในแต่ละเซลล์มีค่าน้อยกว่า 10nA ดั้งนั้นสามารถหาค่า power dissipation ของโหลดแบบตัวต้านทานจากรูปที่ 2.5 โดยจะมีความสัมพันธ์กันดังต่อไปนี้

$$P_{standby} = \frac{(V_{DD} - V_{OL})^2}{R} < 2.5\mu W/cell \qquad (2)$$

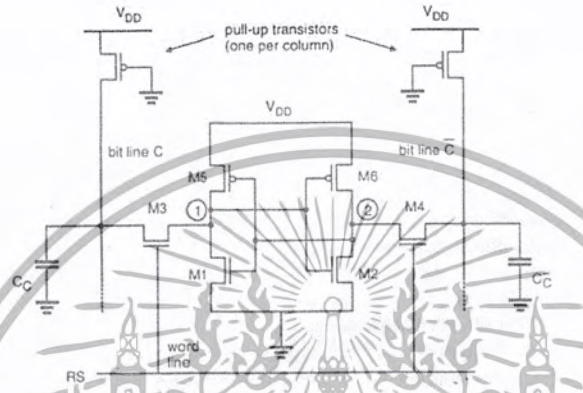
ถ้าเราพิจารณาที่ลักษณะของหน่วยความจำซึ่งจะมีจำนวนของหน่วยความจำเซลล์มาก ๆและถ้าทุกเซลล์มีการกินพลังงานไม่เป็นศูนย์จะก่อให้เกิดเป็นปัญหาขึ้นมาอย่างชัดเจน

2.5 วงจรหน่วยความจำแบบสแตติค (Full CMOS SRAM Cell)

SRAM ที่กินกำลังงานต่ำได้ถูกออกแบบอย่างง่ายด้วยการใช้ Cross – Coupled CMOS อินเวอร์เตอร์แทนที่ Resistive – Load NMOS อินเวอร์เตอร์ ในกรณีแบบนี้กำลังที่ใช้ในเซลล์จะถูกจำกัดเนื่องจากค่าของกระแสรั่วจากคู่ CMOS อินเวอร์เตอร์มีค่าน้อยมาก

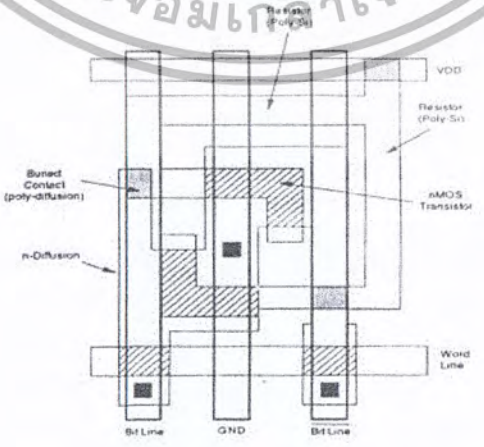
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โครงสร้างของวงจร Full CMOS SRAM Cell แสดงในรูปที่ 2.8 ประกอบไปด้วย PMOS pull up ทรานซิสเตอร์ ที่ Bit line หลักพื้นฐานของการทำงานของ CMOS SRAM จะเหมือนกับโหลดชนิดต่างๆ แต่จะตรวจสอบได้ง่ายกว่าและข้อใดเปรียบที่สำคัญของวงจรนี้ก็คือการสูญเสียกำลังงาน (Power dissipation) น้อยกว่า ซึ่งวงจรแบบนี้จะมีกระแสรั่วของ PMOS ทรานซิสเตอร์น้อยมาก หน่วยความจำแบบ CMOS จะมีกระแสจากแหล่งจ่ายเท่านั้น ดังนั้นจึงสรุปได้ว่า CMOS SRAM จะมีการใช้กำลังงานที่ต่ำ ซึ่งถือเป็นเอกลักษณ์เลยก็ว่าได้



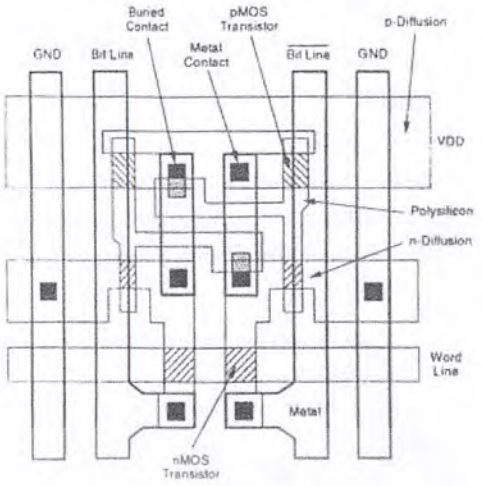
รูป 2.8 วงจรหน่วยความจำที่ใช้วงจร CMOS

ข้อได้เปรียบของ CMOS SRAM ยังรวมไปถึงการที่มี noise immunity ที่สูงโดยที่ noise immurity สูงจะทำให้สามารถใช้งานที่แหล่งจ่ายต่ำๆ ได้ ซึ่งเมื่อเปรียบเทียบกับวงจรที่ใช้โหลดเป็นตัวต้านทานแล้ว ข้อเสียเปรียบของ CMOS ก็คือขนาดของเซลล์ที่ใหญ่และมีความซับซ้อนมากกว่าในกระบวนการผลิต อย่างไรก็ตามข้อเสียเปรียบของ CMOS SRAM ได้ถูกลดความสำคัญลงมาเมื่อไม่นานมานี้เอง



รูป 2.9 (a) แบบจำลองของหน่วยความจำที่ใช้โหลดเป็นตัวต้านทาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 2.9 (b) แบบจำลองของหน่วยความจำที่ใช้วงจร CMOS

รูปที่ 2.9 เป็นการเปรียบเทียบแบบจำลองของ 4 ทรานซิสเตอร์ resistive – load กับ 6 ทรานซิสเตอร์ CMOS SRAM เมื่อทำการเปรียบเทียบ NMOS column pull – up ของ resistive – load SRAM กับ PMOS pull – up ของ CMOS SRAM โดย PMOS จะยอมให้แรงดันที่คอลัมน์มีระดับสูงถึง V_{DD} ส่งผลให้ การใช้กำลังงานลดลง

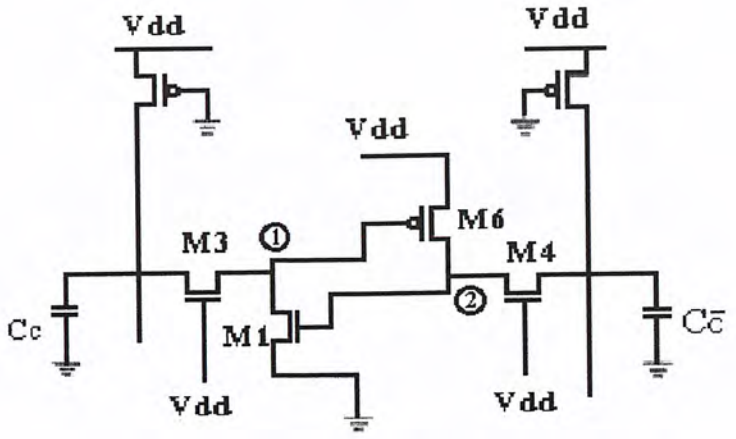
2.6 เทคนิคการออกแบบวงจรหน่วยความจำแบบสแตติค (CMOS SRAM Cell)

การกำหนดอัตราส่วน (W/L) ของ ทรานซิสเตอร์ตามรูปแบบ CMOS SRAM Cell ตามรูปที่แสดงในรูปที่ 2.8 โดยขนาดของการออกแบบจะถูกระบุด้วยความต้องการพื้นฐาน 2 ข้อ คือ 1) การอ่านข้อมูลต้องไม่ทำลายข้อมูลที่ถูกเก็บไว้ในSRAM และ 2) เซลล์สามารถแก้ไขหรือปรับปรุงข้อมูลที่เก็บไว้ได้ในช่องของการเขียนข้อมูล ในขั้นต้นนี้จะเป็นการพิจารณาช่วงของการอ่านข้อมูล ซึ่งสมมุติให้ ลอจิก “0” ถูกเก็บไว้ในเซลล์ซึ่งการทำงานจะถูกแสดงในรูปที่ 2.10

ในตอนนี้ทรานซิสเตอร์M2และM5 turn off ขณะที่ทรานซิสเตอร์M1 และ M6 ทำงานโหมดลิเนียร์ ดังนั้นโหนดภายในของแรงดันจึงเป็น $V_1 = 0$ และ $V_2 = V_{DD}$ ก่อนที่ทรานซิสเตอร์ M3 และ M4 จะถูก turn on การทำงานของทรานซิสเตอร์ในตอนเริ่มต้นช่วงการอ่านดังที่ได้แสดงไว้ในรูปที่ 2.10

หลังจากผ่านทรานซิสเตอร์ M3 และ M4 turn on ไปแล้ว ด้วยวงจร row selection ระดับแรงดันของคอลัมน์ $\overline{C}$ จะไม่มีการเปลี่ยนทำให้ไม่มีกระแสไหลผ่าน M4 และอีกด้านหนึ่งของเซลล์ M3 และ M1 จะนำกระแสและระดับแรงดันของคอลัมน์ C จะเริ่มลดลงเพียงเล็กน้อยโดยผลรวมของแรงดันที่ลดลงนั้นมีค่าประมาณ 0.2 - 0.3 มิลิโวลท์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 2.10 วงจรหน่วยความจำขณะเริ่มการอ่าน

ระหว่างช่วงของการอ่าน วงจรการอ่านข้อมูลจะถูกตรวจสอบต่อไปในส่วนของความสามารถในการอ่านข้อมูล "0" ขณะที่ทำการอ่านข้อมูล ประจุจะดิสชาร์จผ่าน M1 และ M3 อย่างช้า ๆ แรงดันที่โหนด V_1 จะเพิ่มขึ้นจากศูนย์ โดยเฉพาะถ้าอัตราส่วน (W/L) ของทรานซิสเตอร์ M3 ใหญ่เมื่อเทียบกับอัตราส่วน (W/L) ของ M1แล้ว ที่โหนดของ V_1 แรงดันอาจจะมากกว่าแรงดันขีดเริ่มของ M2 (V_{T2})

ในขั้นตอนนี้จะต้องมีการบังคับไม่ให้เกิดการเปลี่ยนแปลงของสถานะของข้อมูล กุญแจในการออกแบบสำหรับการอ่านข้อมูลเพื่อเป็นการรับประกันว่า แรงดันที่ V_1 ต้องไม่มากกว่า V_{T2} โดยที่ทรานซิสเตอร์ M2 ยังคง turn off ในระหว่างช่วงที่อ่านโดย

$$V_{1(MAX)} \leq V_{T2} \tag{3}$$

เราสามารถสมมุติได้ว่าหลังจากทรานซิสเตอร์ turn on แล้ว แรงดันที่คอลัมน์ V_C ยังคงมีค่าเท่ากับ V_{DD} ดังนั้น M3 จะทำงานที่ saturation ขณะที่ M1 การทำงานในย่านลิเนียร์

$$\frac{k_{n3}}{2}(V_{DD} - V_1 - V_{Tn})^2 = \frac{k_{n1}}{2}(2(V_{DD} - V_{Tn})V_1 - V_1^2) \tag{4}$$

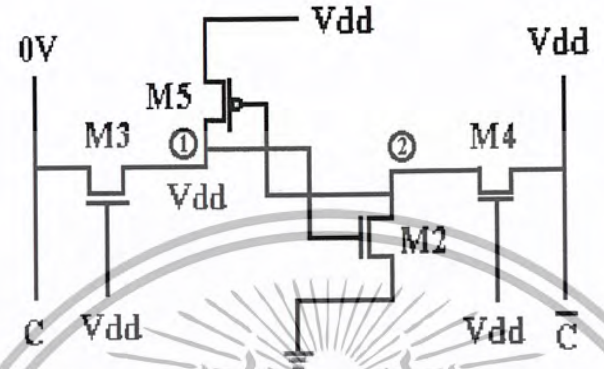
จากนั้นรวมสมการเข้ากับสมการที่ (3) จะได้

$$\frac{k_{n3}}{k_{n1}} = \frac{(W/L)_3}{(W/L)_1} < \frac{2(V_{DD} - 1.5V_{Tn})V_{Tn}}{(V_{DD} - 2V_{Tn})^2} \tag{5}$$

จากสมการที่ (5) นั้นจะเป็นตัวที่ใช้ในการกำหนดขนาดของทรานซิสเตอร์ M3 และ M5 โดยจะอยู่ในรูปของอัตราส่วน สรุปก็คือทรานซิสเตอร์ M2 จะยังคง cut - off ระหว่างช่วงที่อ่าน "0" ถ้าสภาวะที่อยู่ในสมการที่ (5) ถูกต้อง และในสภาวะที่สมมาตรกัน M2 และ M4 จะมีลักษณะอัตราส่วนที่เหมือนกับM1 และ M3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตอนนี้พิจารณาที่การเขียน "0" สมมุติว่ามีลอจิก "1" เก็บอยู่ใน SRAM เซลล์จากรูปที่ 2.11 แสดงระดับแรงดันในเซลล์ของ CMOS SRAM ในขณะที่เริ่มมีการเขียนข้อมูลโดยทรานซิสเตอร์ M1 และ M6 จะ "turn off" ขณะที่ทรานซิสเตอร์ M2 และM5 ทำงานในย่านลิเนียร์ดังนั้นแรงดันภายในจึงเป็น $V_1 = V_{DD}$ และ $V_2 = 0V$ ก่อนที่แรงดันจะผ่านเข้ามาที่ทรานซิสเตอร์ M3 และM4 หรือขณะที่ยังไม่ "turn on"



รูป 2.11 วงจรหน่วยความจำขณะที่กำลังจะเริ่มต้นเขียนข้อมูล

แรงดันในส่วนของคอลัมน์ V_C จะถูกกำหนดเป็นลอจิก " 0 " โดยวงจรเขียนข้อมูล ดังนั้นเราอาจสมมุติว่า V_C มีค่าประมาณ 0V ทันทีที่ M3 และ M4 ได้ "turn on" โดยการเลือกแบบ row selection เราหวังว่าแรงดันที่โหนด V_2 ยังคงต่ำกว่าแรงดัน V_T ของ M1 ดังนั้น M2 และM4 จึงถูกออกแบบให้มีการทำงานที่สอดคล้องกันตามสมการที่5 เพราะฉะนั้นระดับแรงดันที่โหนด 2 จะไม่เพียงพอที่ turn on M1 ได้ จึงทำให้สามารถเก็บข้อมูลได้ ดังตัวอย่างถ้าต้องการทำให้ V_1 มีค่าเป็น 0 V และ V_2 มีค่าเป็น V_{DD} แรงดันที่โหนด V_1 ต้องลดลงมาต่ำกว่าแรงดันขีดเริ่มของ M2 เพื่อให้ M2 turn off กรณีที่ $V_1 = V_{TN}$ ทรานซิสเตอร์ M3 จะทำงานในย่านลิเนียร์ ขณะที่ M5 จะทำงานในย่าน saturation

$$\frac{k_{p5}}{2}(0 - V_{DD} - V_{Tp})^2 = \frac{k_{n3}}{2}(2(V_{DD} - V_{Tn})V_{Tn} - V_{Tn}^2) \qquad (6)$$

จะได้

$$\frac{k_{p5}}{k_{n3}} < \frac{2(V_{DD} - 1.5V_{Tn})V_{Tn}}{(V_{DD} + V_{Tp})^2}$$

$$\frac{(W/L)_5}{(W/L)_3} < \frac{\mu_n}{\mu_p}\frac{2(V_{DD} - 1.5V_{Tn})V_{Tn}}{(V_{DD} + V_{Tp})} \qquad (7)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สรุปแล้วก็คือ ทรานซิสเตอร์ M2 จะถูกบังคับให้อยู่ในโหมด cut off ในระหว่างการเขียน “0” ถ้าสภาวะในสมการที่ 7 เป็นจริง ในขณะเดียวกันก็ยืนยันได้ว่า M1 จะ turn on ต่อไปถ้าเมื่อทำการหาขนาดของทรานซิสเตอร์ในขณะที่มีการเขียน “1” จะสรุปได้ว่าM4 และM6 ก็มีลักษณะเหมือนกับทรานซิสเตอร์ M3 และ M5

2.7 วงจรการเขียนข้อมูลของหน่วยความจำ

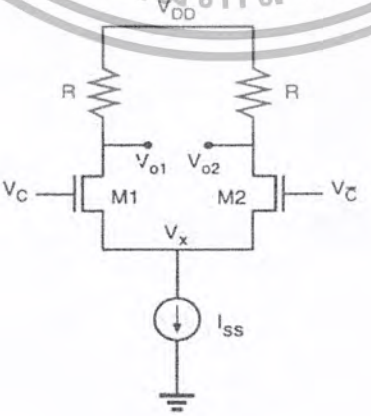
การทำงานในช่วงที่มีการเขียนได้อธิบายไว้ก่อนหน้านี้แล้ว โดยในการเขียนจะมีการปรับแรงดันที่คอลัมน์(bit line)ทั้งสองให้มีแรงดันเป็นไปตามเงื่อนไขของข้อมูลที่จะทำการเขียน โดยแรงดันในส่วนนี้จะถูกควบคุมจากวงจรควบคุมสัญญาณ(Control Logic Circuit) แรงดันที่ได้จากวงจรนี้คือ WB และ $\overline{WB}$ โดยจะได้มาจากวงจรที่ใช้นอร์เกทจำนวน 2 ตัว ซึ่งแรงดันในส่วนนี้จะต่อไปยังทุกๆคอลัมน์ของชิพหน่วยความจำ

2.8 วงจรการอ่านของหน่วยความจำ

ระหว่างที่มีการอ่านข้อมูลใน SRAM ระดับแรงดันในคอลัมน์ทั้งสองจะมีค่าต่างกันเพียงเล็กน้อย คือจะมี 1 คอลัมน์ที่มีแรงดันลดลงหลังจากที่ทรานซิสเตอร์ M3,M4 turn on ด้วยสัญญาณ row address decoder ความแตกต่างของแรงดัน ระหว่างคอลัมน์ทั้งสองจะถูกทำการขยายความแตกต่างของสัญญาณโดยวงจรขยายความแตกต่าง ดังแสดงในรูปที่ 2.12 ซึ่งเป็นการนำ NMOS ทรานซิสเตอร์มาต่อกันแบบ Complementary เพื่อให้ได้กระแสเดรน

$$I_{D1} = \frac{k_n}{2}(V_C - V_X - V_{T1})^2 \quad (8)$$

$$I_{D2} = \frac{k_n}{2}(V_{\overline{C}} - V_X - V_{T2})^2 \quad (9)$$



รูป 2.12 วงจรขยายผลต่าง (Differential Amplifier)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากนั้นทำการวิเคราะห์ small – signal จากวงจร จะได้ differential gain ของวงจรนี้เป็น

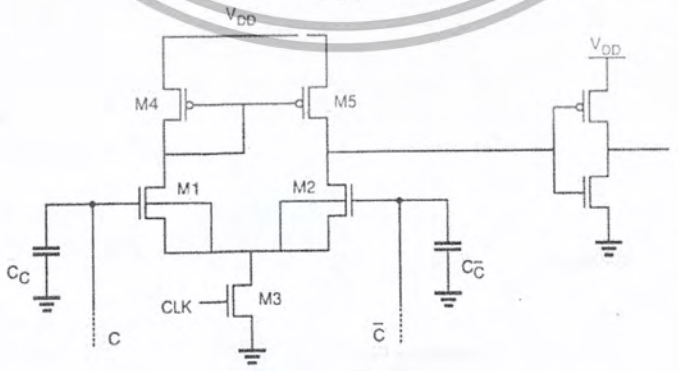
$$\frac{\partial(V_{o1} - V_{o2})}{\partial(V_C - V_{\overline{C}})} = -R.g_m$$

โดยที่ $$g_m = \frac{\partial I_D}{\partial V_{GS}} = \sqrt{2k_n I_D}$$

อัตราขยายของ differential gain จะเพิ่มขึ้นได้โดยการใช้ Active Load แทน resistors และใช้การต่อแบบ cascode โดยการต่อทรานซิสเตอร์ระหว่าง common – gate กับ common – source โดยที่สุดท้ายแล้วเอาท์พุตของวงจรดิฟเฟอร์เรนเชียลจะต้องถูกเปลี่ยนเป็นเอาท์พุตซึ่งมีเพียงสัญญาณเดียวแล้วจึงนำไปผ่านวงจรบัฟเฟอร์ ทั้งหมดนี้เป็นการอธิบายถึงวงจรอ่านข้อมูลซึ่งใช้ความสามารถในการขยายความแตกต่างของสัญญาณเล็ก ๆ ที่เป็นสัญญาณคอมพีเมนต์กันของ bit line (column)

2.9 วงจรขยาย (Sense Amplifiers)

วงจรในรูป2.13นี้ NMOS ทรานซิสเตอร์ M1 และ M2 ถูกต่อเข้ากับ bit line เพื่อรับแรงดันซึ่งเกิดจากค่าคาปาซิแตนซ์ที่แฝงอยู่ใน bit line โดย NMOS ทรานซิสเตอร์ M3 จะเป็นอุปกรณ์ที่ใช้ในการควบคุมการทำงานของวงจรนี้ โดยวงจรนี้จะนำผลต่างของอินพุทมาทำการขยายความแตกต่าง โดยเอาท์พุทที่ได้จะถูกกลับสัญญาณ โดยวงจรอินเวอร์เตอร์ซึ่งไม่ใช่ส่วนของดิฟเฟอร์เรนเชียลแอมป์ แต่ถูกใช้ในการขับโหลดของเอาท์พุต

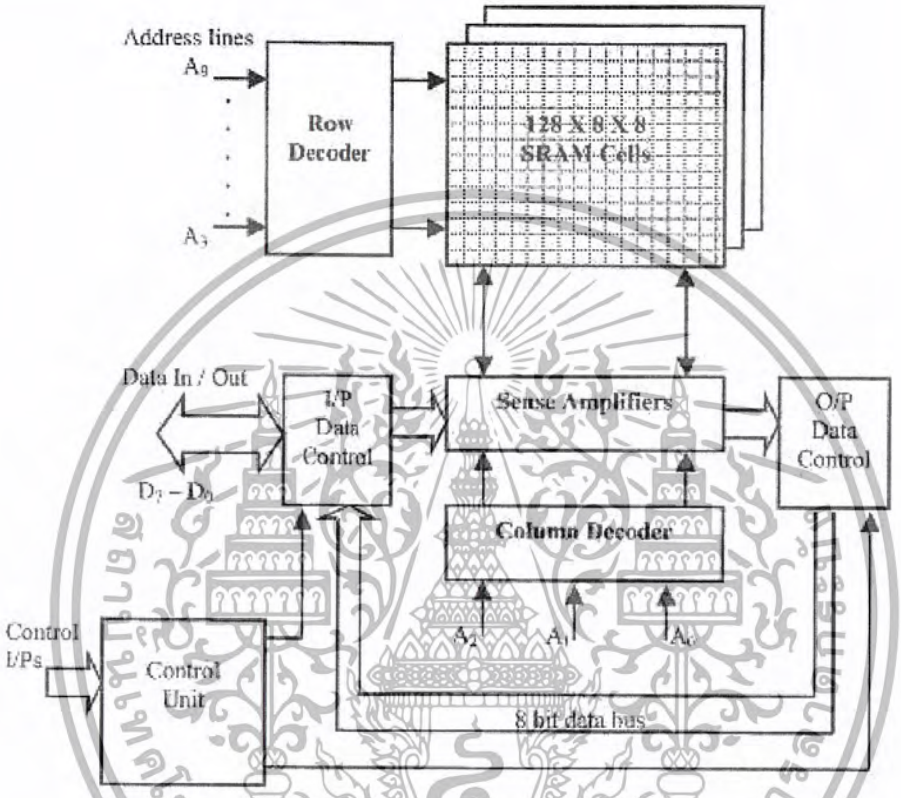


รูป 2.13 วงจรขยายผลต่างที่ใช้กระแสคงที่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3
องค์ประกอบพื้นฐานของหน่วยความจำแบบสแตติค (SRAM)

3.1 หน่วยความจำแบบสแตติค (SRAM Memory)



รูป 3.1 บล็อคไดอะแกรมของหน่วยความจำแบบสแตติค (SRAM)

ในโครงงานนี้วงจรจะอยู่ในส่วนของ Schematic และจะมีการตรวจสอบการออกแบบด้วยการใช้เครื่องมือในการจำลองหน่วยความจำบางส่วนเป็นวงจรอนาล็อก ในโครงงานนี้เราไม่สามารถ จำลองได้ทุกส่วนพร้อมกัน จึงต้องมีการแยกจำลองเป็นส่วนย่อย ๆ แต่ในการออกแบบให้ปฏิบัติงานจริงทุกส่วนจะถูก simulated เข้าด้วยกันก่อนที่จะมีการพัฒนาไปถึงขั้นตอนของการออกแบบลวดลาย (Layout)

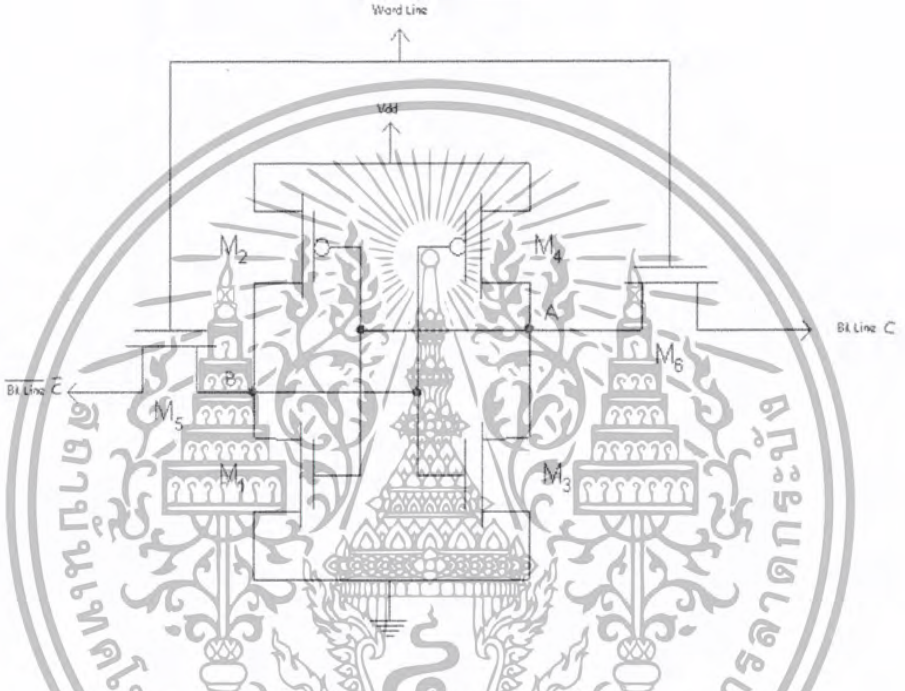
เราได้ตัดสินใจที่จะจำลอง (simulate) 1 คอลัมน์และ 1 แถว สำหรับส่วนของ Memory Array ตามด้วย Decoder , Sense Amplifier และ control logic ซึ่งเพียงพอที่จะบอกได้ว่า วงจรมีการทำงานเป็นอย่างไร หลังจากนั้นก็จะเป็นการออกแบบให้ถูกต้อง และกระทำในส่วนของการออกแบบลวดลาย (Layout) ต่อไปจากวงจรถ้าเรามี 1 แถว 1 คอลัมน์ เราสามารถอ่านและเขียนข้อมูลเข้าออกได้เพียง 1 เซลล์หน่วยความจำเท่านั้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

3.2 วงจรย่อยของหน่วยความจำ (SRAM Memory Cell)

จากรูป3.2นี้เป็นการแสดงขนาดของเซลล์หน่วยความจำจำนวน 1 เซลล์ ซึ่งแสดงให้เห็นว่าใน1 เซลล์จะประกอบด้วยทรานซิสเตอร์ทั้งหมด 6 ตัว โดยจะเป็นทรานซิสเตอร์ NMOS 4 ตัว และ PMOS 2 ตัว จากรูปจะเห็นว่าทรานซิสเตอร์ NMOS (M1,M3) และ PMOS (M2,M4) ถูกต่อเป็นโครงสร้างแบบแลทช์เพื่อเก็บข้อมูล ส่วนทรานซิสเตอร์ NMOS (M5,M6) ที่เพิ่มขึ้นมานั้นจะเป็นตัวควบคุมการปิดและเปิดเซลล์ ซึ่งถูกควบคุมโดย bit line และ word line ในการอ่านและการเขียนข้อมูลจริงจะมีการถูกควบคุมจากวงจรภายนอกอีกที



รูป 3.2 วงจรหน่วยความจำ (SRAM Memory Cell)

3.2.1 การทำงานของวงจรขณะมีการเขียนข้อมูล ในการเขียนข้อมูลจะต้องทำการเซ็ตแรงดันที่ bit line และ $\overline{\text{bit line}}$ ตามเงื่อนไขในการเขียนข้อมูลโดยจะกล่าวในส่วนต่อไป และเพื่อให้ข้อมูลเข้าไปในเซลล์ได้ word line จะเป็น high จากรูปที่ 3.2 สามารถแบ่งการทำงานในสภาวะต่าง ๆ ได้เป็น 2 กรณี คือ

1) การเขียน “1” : ระดับแรงดันที่ bit line C จะมีค่าเป็น“High”ที่ bit line $\overline{C}$ จะมีค่าเป็น “Low” และ word lineมีค่าเป็น“High” ทำให้ทรานซิสเตอร์ M5 และ M6 ทำงานซึ่งทำหน้าที่เป็นสวิทช์ต่อเข้ามาที่เซลล์จึงทำให้ทรานซิสเตอร์ M1,M4 “turn on” ส่วนทรานซิสเตอร์ M3และM6 “turn off”

2) การเขียน “0” : ระดับแรงดันที่ bit line C จะมีค่าเป็น “Low” ที่ bit line $\overline{C}$ จะมีค่าเป็น “ High” และ word line มีค่าเป็น “High” ทำให้ทรานซิสเตอร์ M5 และ M6 ทำงาน ซึ่งทำหน้าที่เป็นสวิทช์ต่อเข้ามาที่เซลล์จึงทำให้ทรานซิสเตอร์ M1,M4 “turn off” ส่วนทรานซิสเตอร์ M1 และ M3 “turn on”

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
50320

3.2.2 การทำงานของวงจรขณะมีการอ่านข้อมูล ในการอ่านข้อมูลที่อยู่ในเซลล์เป็นการเริ่มต้นด้วยการชาร์จประจุใหม่อีกครั้งที่คู่ของ bit line C และ bit line $\overline{C}$ ให้เป็นลอจิก “High” ในขณะที่ word line ก็จะถูกเซ็ตเป็น “High” ด้วยเช่นกัน การทำงานในสภาวะนี้แบ่งได้เป็น 2 กรณี คือ

1) การอ่าน “1” : แรงดันที่จุด A มีค่าเป็น “High” และ ที่จุด B มีค่าเป็น“Low” ในขณะเดียวกันที่ word line เป็น “High”ทำให้วงจรของเซลล์จะถูกต่อเข้ากับ bit line ทำให้ bit line C จะเกิดการชาร์จประจุผ่านมาทาง M4 และ M6 ส่วนที่ bit line $\overline{C}$ จะเกิดการดิสชาร์จประจุ ผ่านทาง M5 และ M1 ลงกราวด์

2) การอ่าน “0” : แรงดันที่จุด A มีค่าเป็น “Low” และที่จุด B มีค่าเป็น “High” ในขณะเดียวกันที่ word line เป็น “ High ” วงจรของเซลล์จะถูกต่อเข้ากับ bit line ทำให้ bit line C จะเกิดการดิสชาร์จประจุผ่านมาทาง M6 และ M3 ลงกราวด์ ส่วนที่ bit line $\overline{C}$ จะเกิดการชาร์จประจุผ่านทาง M2 และ M5

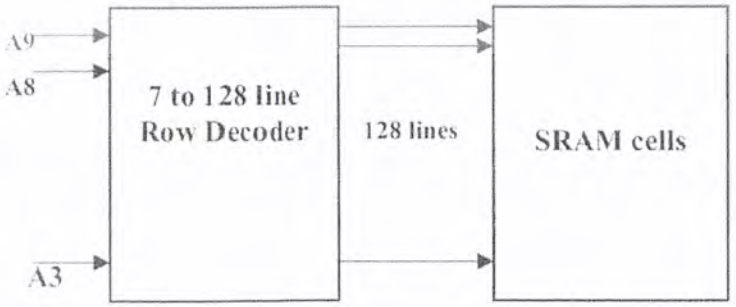
3.2.3 การพิจารณาขนาดของทรานซิสเตอร์ ขนาดของทรานซิสเตอร์มีความสำคัญมากในการทำงานของวงจรดังนั้นขนาดของที่เหมาะสมของทรานซิสเตอร์จะช่วยให้วงจรทำงานได้ในอัตราสูงสุด ดังนั้นในการกำหนดขนาดของทรานซิสเตอร์ที่ใช้ใน SRAM นี้จะพิจารณาดังนี้

- การ pull up และ pull down ที่ทำให้เกิดการแลทช์ที่คงที่ระหว่าง state up และ state downซึ่งในระหว่างนี้การสวิตช์จะทำให้เกิดการกินพลังงานในวงจร CMOS ดังนั้นเราต้องทำให้ขนาดของทรานซิสเตอร์ pull up และ ทรานซิสเตอร์ pull down มีขนาดเล็กเท่าที่จะเป็นไปได้

- NMOS ทรานซิสเตอร์ 2 ตัว ซึ่งมีหน้าที่เป็นตัวสวิทช์ในการปิดและเปิดข้อมูลเข้าไปใน SRAM เซลล์ เราต้องการให้มี propagattion delay น้อย ๆ

- ในการออกแบบควรคำนึงถึงขนาดของชิพโดยรวมซึ่งต้องออกแบบให้มีพื้นที่น้อยๆ

3.3 วงจรถอดรหัสทางแนวนอน (Row Decoder)



รูป 3.3 บล็อกไดอะแกรมของวงจรถอดรหัส ขนาด 7:128

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากบล็อกไดอะแกรมในรูป3.3 การทำงานพื้นฐานของวงจรถอดรหัสจะเลือกเพียง 1 เส้นจาก 128 เส้น ซึ่งเป็นการเลือกเพียง 1 เส้นแอดเดรส เอาท์พุทของวงจรถอดรหัสจะเป็นตัวที่ใช้ในการเลือกแถวของ SRAM เซลล์ โดย row decoder จะเลือก 1 แถวจากทั้งหมด

จากบล็อกไดอะแกรมของวงจรถอดรหัสที่แสดงในรูปที่ 3.3 มีจำนวน SRAM Memory เป็น 128 แถว * 8 คอลัมน์ โดยทุกคอลัมน์ประกอบด้วย 8 บิต (1ไบต์) ปกติแล้ววงจรถอดรหัสสามารถสร้างได้ด้วยการใช้ logic gate ตามที่เคยศึกษามาแล้วในคอร์สการออกแบบวงจรดิจิตอล อย่างไรก็ตาม วงจรถอดรหัสที่สร้างโดยการใช้เกทมีข้อเสียตามมาก็คือ

- ปัญหาหลักของวงจรถอดรหัสจะต้องใช้จำนวนทรานซิสเตอร์มาก
- ค่าคาปาซิแตนซ์รวมจะเพิ่มค่าดีเลย์ นั่นคือ Input Address จะต้องมีบัฟเฟอร์เพื่อขับโหลด
- ในการออกแบบลวดลาย(Layout) จำเป็นต้องมีความซับซ้อนและใช้เวลามาก ๆ
- ปัญหาด้านการกินพลังงานของวงจรถอดรหัสจะมีมากเมื่อมีจำนวนเกทมาก ส่วนใหญ่ชิพ SRAM เป็นส่วนประกอบสำคัญของระบบ โดยระบบที่ใช้แบบไร้สายจะมีแบตเตอรีเป็นส่วนประกอบจึงมีความจำเป็นที่จะต้องทำให้มันมีการกินพลังงานให้น้อยที่สุดและยืดอายุการใช้งานของแบตเตอรีให้มากที่สุด

การแก้ปัญหาเหล่านี้คือ การใช้ Dynamic NOR Decoder ซึ่งในการทำโครงสร้างนี้จะช่วยลดจำนวนของทรานซิสเตอร์ได้ครึ่งหนึ่ง อีกทั้งยังเพิ่มความเร็วของวงจรถอดรหัสและยังทำให้การออกแบบลวดลาย (Layout) ง่ายและใช้เวลาน้อยกว่า

3.3.1 การทำงานของ Dynamic NOR Decoder วงจร NOR decoder เหมือนกับวงจร dynamic อื่น ๆ คือมันต้องการช่วงของการ pre-charge ที่เกิดขึ้นก่อน ซึ่งแต่ละลำดับจะอธิบายในส่วนต่อไป

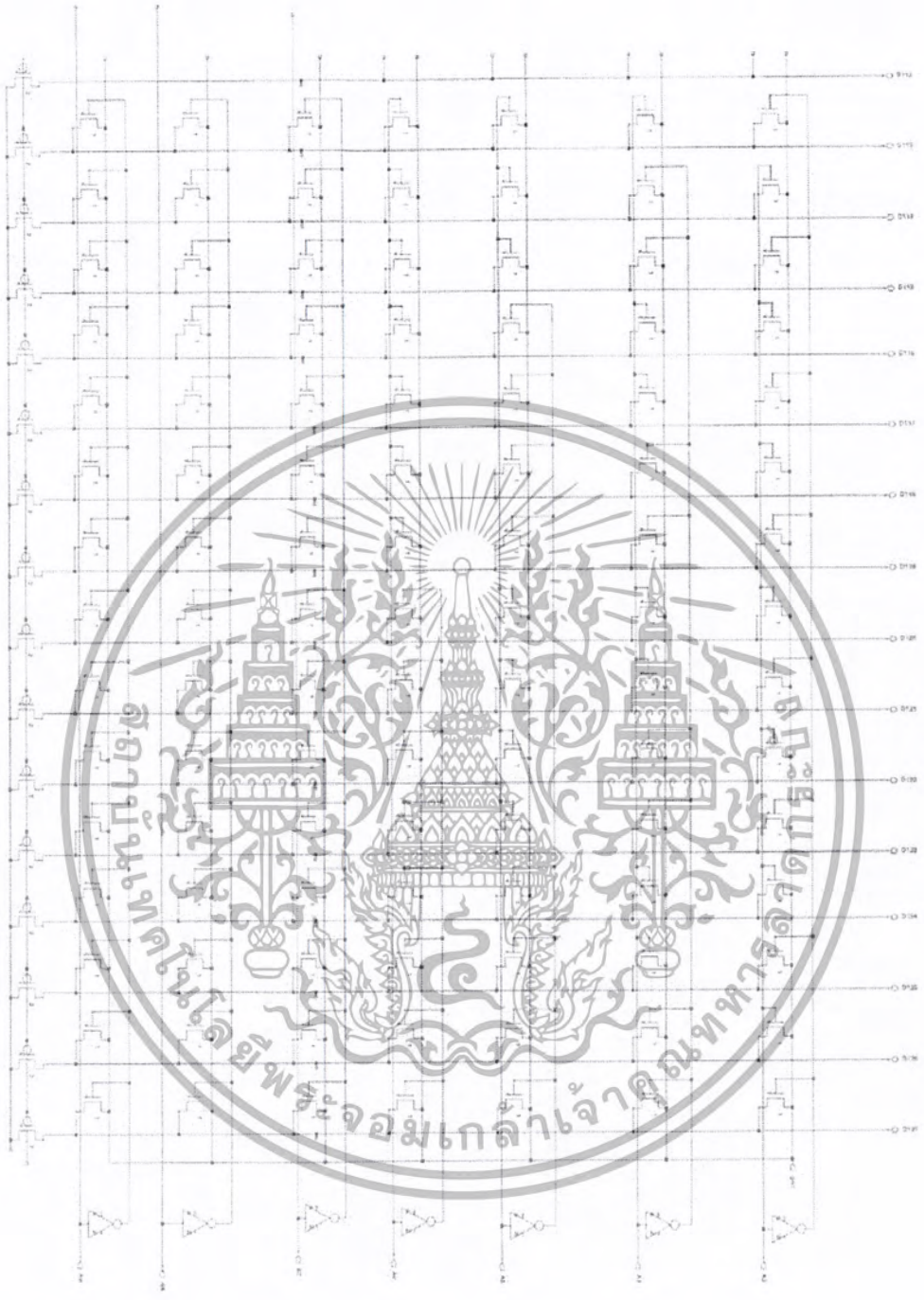
- สภาวะ pre-charge จะเริ่มทำงานโดยการ turn on ของ PMOS และ เอาท์พุททั้งหมดของวงจรถอดรหัสจะเป็น V_{DD} (ลอจิก “1”)

- ช่วงของการคำนวณ เมื่อมีการ pre-charge ไปแล้ว PMOS จะ turn off เอาท์พุทจะยังคงเป็นลอจิก “1” เพราะจะมีการชาร์จประจุเก็บไว้ในคาปาซิเตอร์แฝง(เกิดจาก NMOS ทรานซิสเตอร์) ต่อจากนั้นทำการต่ออินพุทเข้ามา NMOS ที่ได้รับอินพุท “High” ก็จะถูก turn on ทำให้ค่าแรงดันเอาท์พุทถูกดิสชาร์จลงกราวด์ โดยจะมีเอาท์พุท 1 เส้นที่ไม่มี NMOS ตัวใด turn on เลย เส้นนั้นคือเส้นที่ถูกเลือกโดยจะมีเอาท์พุทเป็น “High”เพียงเส้นเดียว สัญญาณเอาท์พุทที่ได้จะถูกยืนยันโดยสัญญาณ $\overline{OE}$ จากภายนอก จากนั้นเมื่อได้สัญญาณเอาท์พุทนี้แล้วจะนำไปต่ออนุกรมกับบัฟเฟอร์เพื่อความสามารถในการขับโหลดจำนวนมากได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูป 3.4 วงจรถอดรหัสทางแนวนอนทางด้านบิทต่ำ

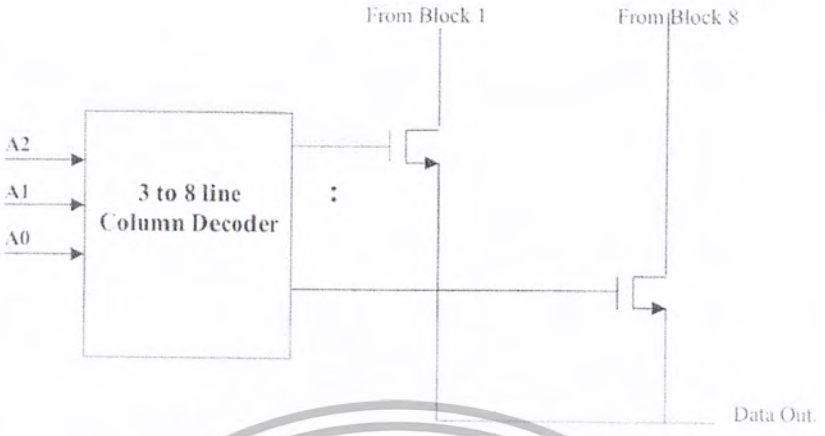
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 3.5 วงจรถอดรหัสทางแนวนอนทางด้านบิทสูง

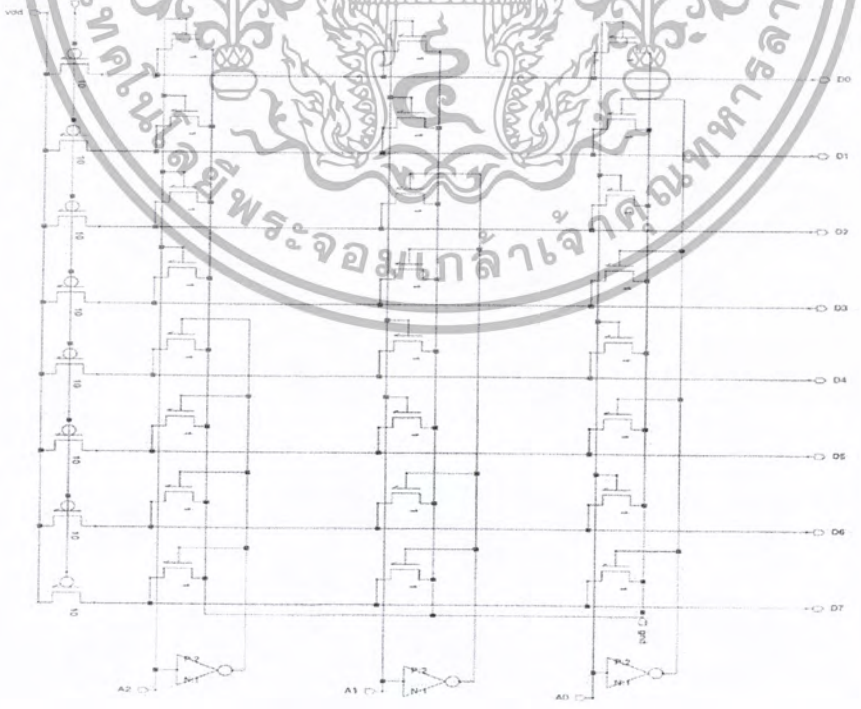
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.4 วงจรถอดรหัสทางคอลัมน์ (Column Deocoder)



รูป 3.6 บล็อกไดอะแกรมของวงจรถอดรหัส ขนาด 3:8

จากบล็อกไดอะแกรมของวงจรถอดรหัส 3 : 8 ซึ่งจะใช้เป็นวงจรถอดรหัสทางคอลัมน์ (Column Decoder) โดยหลักการพื้นฐานของวงจรถอดรหัสคือการเลือกเส้นสัญญาณ 1 ใน 8 เส้นสัญญาณ โดยกำหนดจากสัญญาณแอดเดรสที่เข้ามา โดย NMOS ทรานซิสเตอร์จะทำงานโดยการต่อกับ bit line เพื่อเป็นส่วนหนึ่งในการกำหนดการเขียนและการอ่านข้อมูล ซึ่งจะได้กล่าวในรายละเอียดต่อไป



รูป 3.7 วงจรถอดรหัสทางด้านคอลัมน์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากวงจรถอดรหัสทางคอลัมน์ (Column Decoder) ในรูปที่ 3.7 จะมีลักษณะการทำงานเหมือนกับวงจรถอดรหัสทางแนวนอน(Row Decoder) โดยจะนำวงจรถอดรหัสทั้งสองมาทำงานร่วมกันเพื่อสามารถสร้างหน่ายความจำที่มีขนาดเป็น128 แถว * 8 คอลัมน์

3.5 วงจรควบคุมสัญญาณ (Control Logic Circuit)

วงจรควบคุมสัญญาณ (Control Logic) เป็นตัวจัดลำดับการทำงานของวงจร ซึ่งมีการควบคุมข้อมูลไป 2 ทิศทาง โดยการส่งไปยัง I/P Data Control ในวงจร Control Logic จะมีสัญญาณเพื่อไปควบคุมส่วนต่างๆ จากภายนอก 3 สัญญาณ คือ $\overline{CE}$, $\overline{WE}$ และ $\overline{OE}$ ซึ่งทั้ง 3 สัญญาณจะมีการแอคทีพ " Low "

- $\overline{CE}$ - Enable / disable a entire ใช้ควบคุมชิพทั้งหมด
- $\overline{WE}$ - Enable / disable a entire ใช้ในการเขียนข้อมูล
- $\overline{OE}$ - Enable / disable a entire ใช้ในการอ่านข้อมูล

นอกจากนี้ยังมีสัญญาณเอาท์พุทจากภายในวงจร Control Logic อีก 2 สัญญาณ ได้แก่ P และ SE

- P ใช้ในภาคถอดรหัส
- SE - Sense Enable ใช้ในระหว่างการอ่านข้อมูลของ Sense Amplifier

3.5.1 การทำงานสภาวะการอ่าน

1. เริ่มต้นด้วย $\overline{WE}$ = 1 และ $\overline{OE}$ = 0 หรือเป็นการเปลี่ยนแปลง data bus / address bus ถ้ามีการอ่านอยู่ก่อนแล้ว
2. สัญญาณ $\overline{WE}$ และ $\overline{OE}$ จะถูกส่งไปยัง I/P Data Control และ O/P Data Controlเพื่อให้ข้อมูลเอาท์พุทส่งไปบนบัส
3. เกิดการชาร์จที่คู่ของ bit line
4. พัลส์บวกจากวงจรถอดรหัส เป็นลอจิก "1" เพื่อ turn on ทรานซิสเตอร์เพื่อจะเข้าถึง SRAM เซลล์
5. พัลส์บวก SE เป็นลอจิก 1 เพื่อเปิด Sense Amplifier
6. ข้อมูลผ่านบัฟเฟอร์เอาท์พุทลอจิกไปบนบัส
7. สัญญาณพัลส์ Output ได้มาอยู่บนบัสแล้ว

3.5.2 การทำงานในสภาวะการเขียน

1. เริ่มต้นด้วย $\overline{WE}$ = 0 และ $\overline{OE}$ = 1 เป็นการเปลี่ยน data bus/ address bus ถ้ามีการเขียนอยู่ก่อนแล้ว
2. สัญญาณ $\overline{WE}$ และ $\overline{OE}$ จะถูกส่งไปยัง I/P Data Control และ O/P Data Control เพื่อให้ข้อมูลอินพุทส่งไปบนชิพ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3. พัลส์บวกจากวงจรถอดรหัส เป็นลอจิก “1” เพื่อ turn on ทรานซิสเตอร์เพื่อจะเข้าถึง SRAM เซลล์

4. ในเวลานี้ข้อมูลถูกเขียนลงบนเซลล์แล้ว

3.6 วงจรควบคุมข้อมูลทางอินพุท (Input Data Control)

รูป 3.8 วงจรควบคุมข้อมูลทางอินพุท (Input Data Control)

วงจร Input Data Control ดังแสดงในรูป3.8 เป็นส่วนหนึ่งในการเดินทางของข้อมูล โดยข้อมูลจากขา I/O จะผ่านตรงไปยังเซลล์หน่วยความจำ โดยผ่านทางวงจรของบัฟเฟอร์ และ ผ่านทรานซิสเตอร์ โดยที่จะใช้ทรานซิสเตอร์เป็นตัวควบคุมการไหลของข้อมูลตรงไปยังส่วนของเซลล์หน่วยความจำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในช่วงของการเขียนข้อมูลสัญญาณ $\overline{WE}$ (Write Enable) จะเป็น "Low" ซึ่งทำให้ทรานซิสเตอร์turn on ทำให้ข้อมูลเข้าไปยังเซลล์หน่วยความจำได้ดังแสดงในรูปที่ 3.8

อินเวอร์เตอร์ 2 ตัว ซึ่งอยู่หน้าทรานซิสเตอร์เป็นบัฟเฟอร์พื้นฐาน ถูกใช้เพื่อเพิ่มกระแสให้กับข้อมูลทางอินพุท เนื่องเอาท์พุทของบล็อกไดอะแกรมนี้มีระยะทางในการเดินทางยาว ในการเพิ่มความจุกระแสของบัฟเฟอร์ จะทำให้ความเร็วของชิพเพิ่มขึ้น ทำให้ต้องเพิ่มขนาดของ NMOS ทรานซิสเตอร์ ซึ่งเป็นพื้นฐานในการทดลองและการทดสอบ

3.7 วงจรขยาย (Sense Amplifier)

วงจรขยาย (Sense Amplifier) เป็นวงจรที่จำเป็นในการออกแบบชิพหน่วยความจำ การออกแบบขนาดของ SRAM เซลล์ให้มีขนาดใหญ่ สัญญาณที่ได้ออกมาในช่วงของการอ่านจะมี voltage swing ต่ำมาก เราสามารถแก้ไขโดยใช้วงจรขยาย (Sense Amplifier) ต่อที่ bit line ทั้งสองเพื่อทำให้แรงดันที่มีการสวิงเพียงเล็กน้อยเกิดการสวิงที่สูงขึ้น โดยวงจรขยาย (Sense Amplifier) นี้มีการสวิงระหว่าง 0V-2.5V ช่วยลดค่า Time Delay และ Power Dissipation ในตัวของชิพหน่วยความจำ

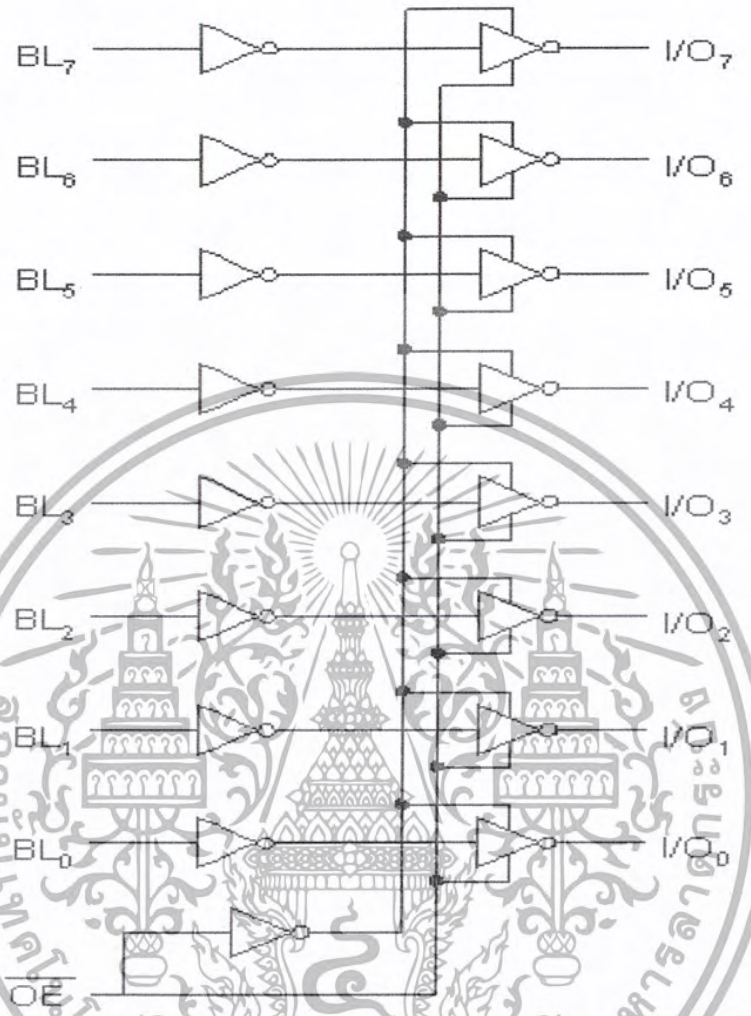
รูป 3.9 วงจรขยาย (Sense Amplifier)

ในวงจรขยาย (Sense Amplifier) มีการต่อหลายแบบที่ใช้ใน ชิพหน่วยความจำ แต่ที่ใช้ในโครงงานนี้เรียกว่า Cross-Couple Sense Amplifier ซึ่งแสดงให้เห็นในรูป 3.9

ในช่วงการอ่านของ bit line และ $\overline{\text{bit line}}$ ต่อตรงมายังจุด X และ $\overline{X}$ เมื่อมีสัญญาณ SE (sense enable) โดยถูกเซ็ทเป็นลอจิก "1" วงจรขยายทำงาน ทำให้สัญญาณเอาท์พุทออกที่ Y และ $\overline{Y}$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

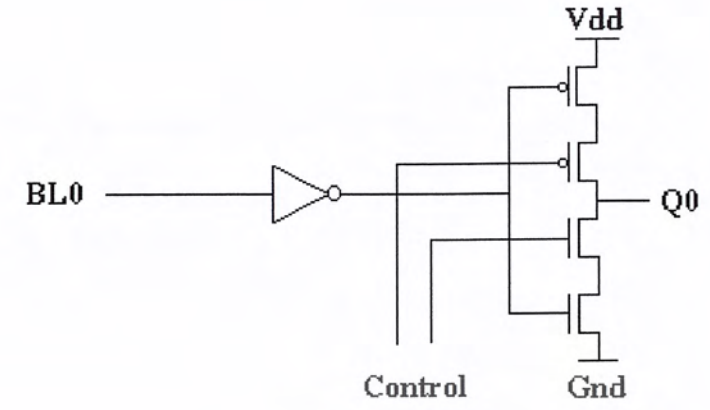
3.8 วงจรควบคุมข้อมูลทางเอาท์พุท (Output Data Control)

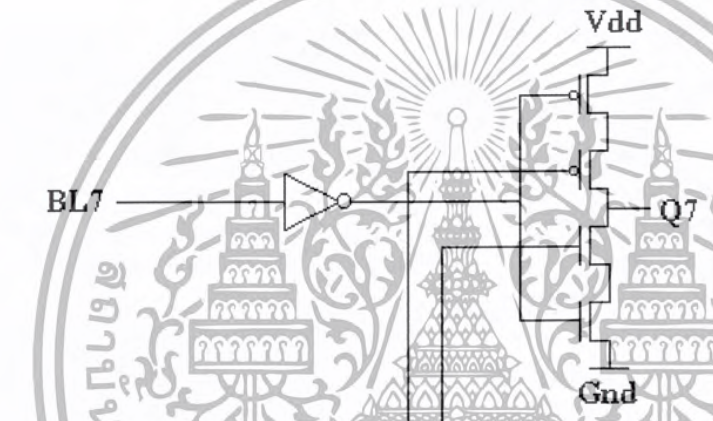


รูป 3.10 วงจรควบคุมข้อมูลทางเอาท์พุท (Output Data Control)

วงจร Output Data Control เป็นการควบคุมแบบง่าย ๆ โดยใช้วงจรบัฟเฟอร์แบบ tri-state และจะใช้อินเวอร์เตอร์ในการควบคุมการไหลของข้อมูลโดยที่ขา I/O นั้นจะมีเอาท์พุทออกได้ เมื่อมีสัญญาณ Read Enable หรือ Output Enable($\overline{OE}$) เป็น “Low” ข้อมูลจากส่วนของเซลล์หน่วยความจำจะถูกอ่านเป็นเอาท์พุท และเมื่อเส้น Output Enable เป็น “High” ทำให้ tri-state อินเวอร์เตอร์ turn off และป้องกันข้อมูลบนเส้นสัญญาณ I/O ด้านในของชิพจากเส้นทางข้อมูลภายนอก เพราะเราไม่ต้องการให้สัญญาณเกิดการผสมกันระหว่างข้อมูลที่จะเข้าไปในชิพและข้อมูลที่จะออกจากชิพ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้





รูป 3.11 บล็อกไดอะแกรมของวงจรควบคุมข้อมูลทางเอาท์พุท (Output Data Control)

จากโครงสร้างโดยทั่วไปของวงจรนี้ เป็นวงจรง่าย ๆและมีการทำงานที่ชัดเจนจากโครงสร้าง การกลับเฟสของ tri-state buffer เป็นการเลื่อนให้เป็นแบบนอนอินเวอร์ติ้งเพราะมันจะช่วยป้องกันเกทบางตัว โดยตัวอินเวอร์เตอร์จะถูกใช้ก่อน tri-state บัฟเฟอร์เพื่อกลับสัญญาณเพื่อให้ได้ข้อมูลเอาท์พุทที่ถูกต้อง

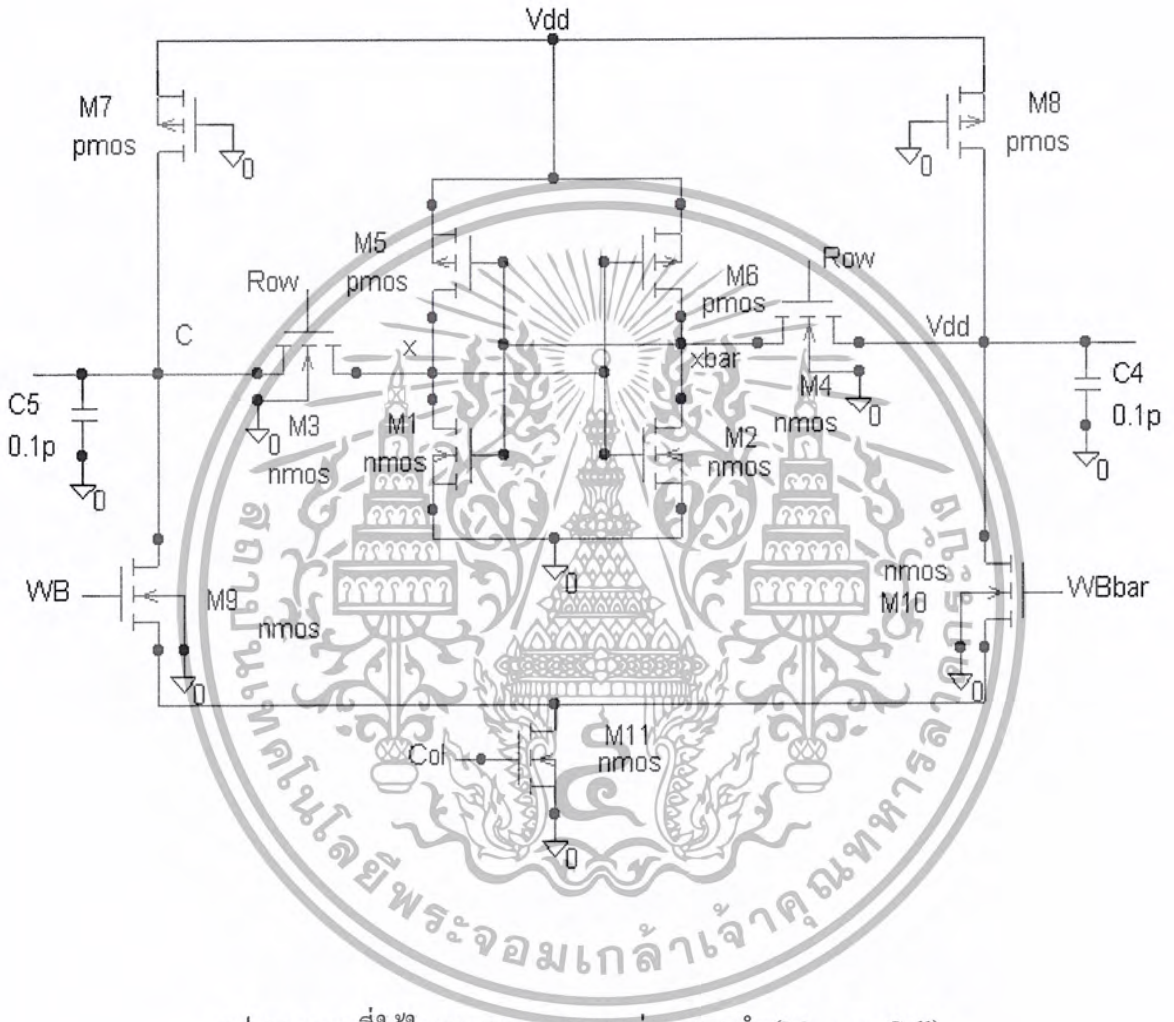
ในวงจรส่วนที่สองนี้จะเป็นการพิจารณาให้ลึกลงไปในอินเวอร์เตอร์ tri-state และ control logic ซึ่งจะทำให้เข้าใจระบบได้ดียิ่งขึ้น โดยจากโครงสร้างจะมี tri-state ทั้งหมด 8 บิทในเส้นทางของข้อมูล เส้นสัญญาณ Output Enable เป็นสัญญาณที่ใช้ควบคุมการเข้าถึงหน่วยความจำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

การจำลองการทำงานและ การออกแบบลวดลาย (Layout) ของวงจร

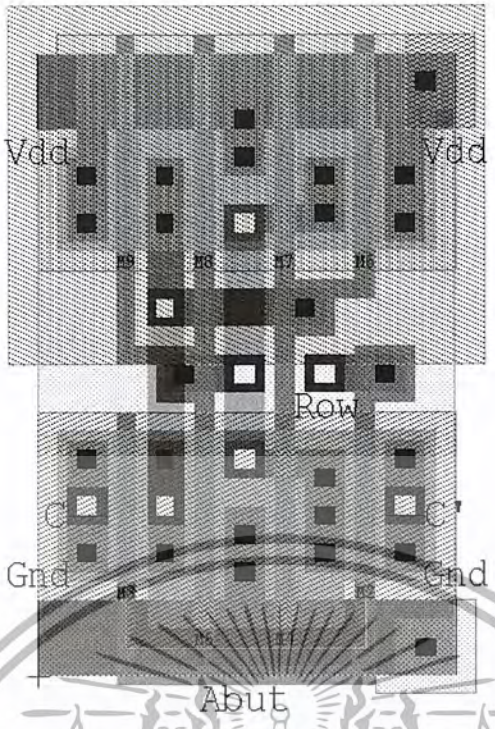
4.1 การทดลองในภาคหน่วยความจำ (Memory Cell)



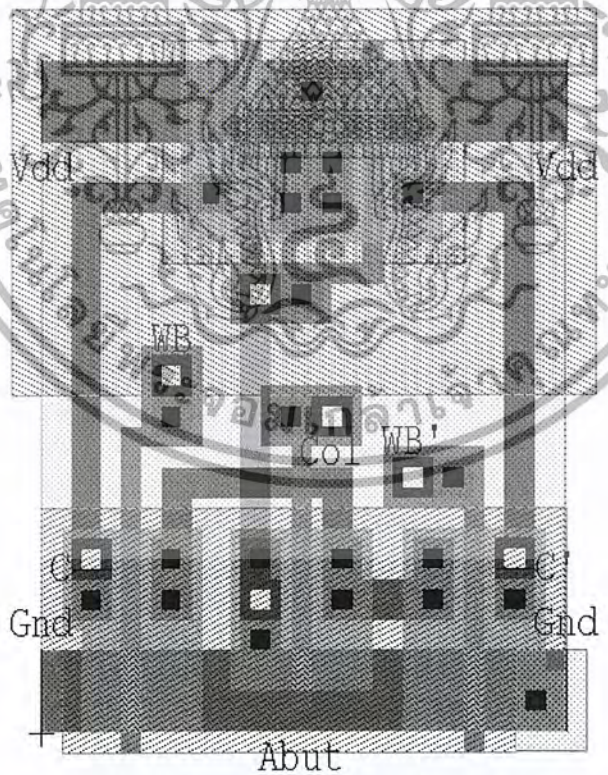
รูป 4.1 วงจรที่ใช้ในการทดลองภาคหน่วยความจำ (Memory Cell)

จากวงจรในรูป 4.1 สามารถออกแบบลวดลาย(Layout) โดยแบ่งวงจรเป็น 2 ส่วน โดยในส่วนที่ 1 คือ ส่วนของหน่วยความจำ และ มอสเฟสที่ทำหน้าที่เป็นสวิทช์เลือกจาก ภาค Row decoder และวงจรในส่วนที่ 2 จะประกอบไปด้วย PMOS 2 ตัว ที่ต่อให้ทำงานในย่านลิเนียร์ โดยเมื่อ มอสเฟสทำงานในย่านลิเนียร์จะเปรียบเสมือนเป็นตัวต้านทานค่าหนึ่งและวงจรในส่วนที่ 2 ยังรวมเอา M9 M10 (WB และ WBbar) ,M11(สวิทช์เลือกทาง Column decoder) โดยการออกแบบลวดลายจะได้ดังรูปที่ 4.2 (ก) ,รูปที่4.2 (ข)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



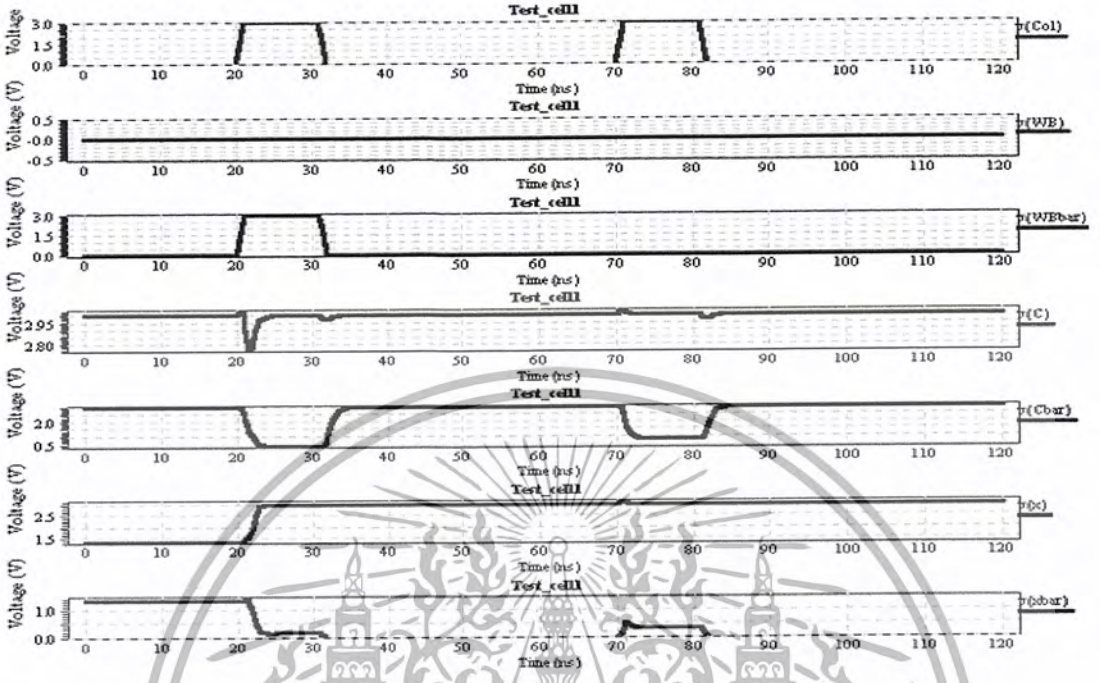
รูป4.2 (ก) ลวดลาย(Layout)ในส่วนของหน่วยความจำส่วนที่1



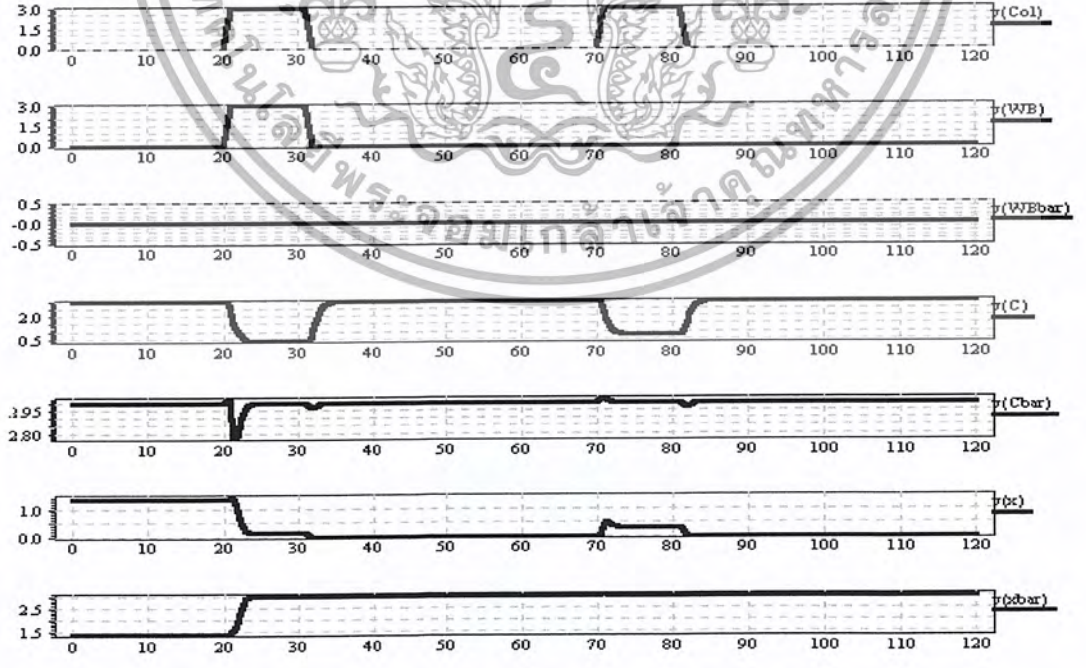
รูป 4.2 (ข) ลวดลาย(Layout)ในส่วนของหน่วยความจำในส่วนที่ 2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากลวดลาย(Layout)ที่ได้ทำการออกแบบมานั้นสามารถจำลองการทำงานโดยมีผลการทดลองที่ได้จะถูกแสดงในรูปที่ 4.3(ก)และ 4.3(ข)



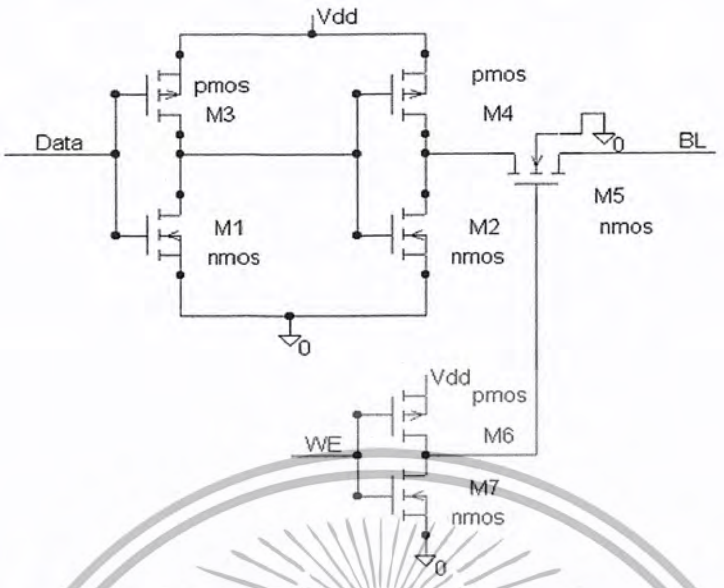
รูป 4.3 (ก) ผลการทดลองของหน่วยความจำในขณะทำการเขียน “1” และอ่าน “1”



รูป 4.3 (ข) ผลการทดลองของหน่วยความจำในขณะทำการเขียน “0” และอ่าน “0”

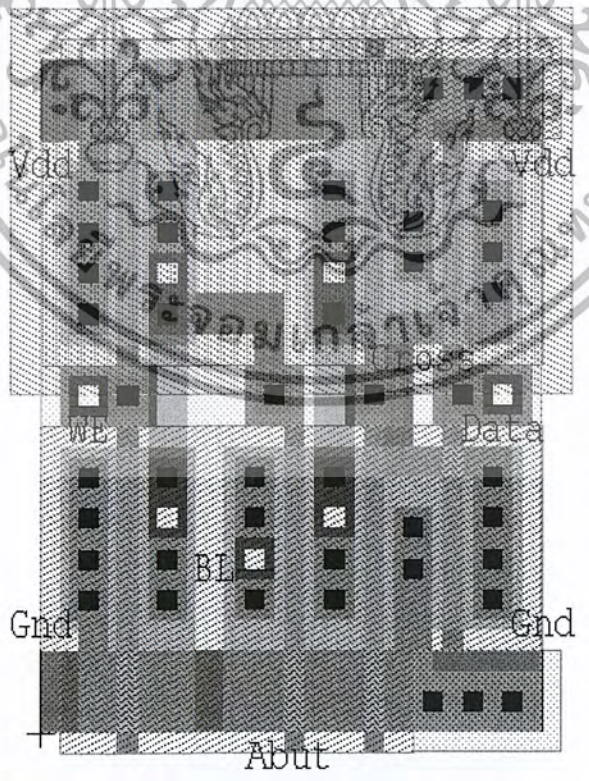
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2 การทดลองในภาคควบคุมข้อมูลทางอินพุท (Input Data Control)



รูป 4.4 วงที่ใช้ในการทดลองในภาคควบคุมข้อมูลทางอินพุท (Input Data Control)

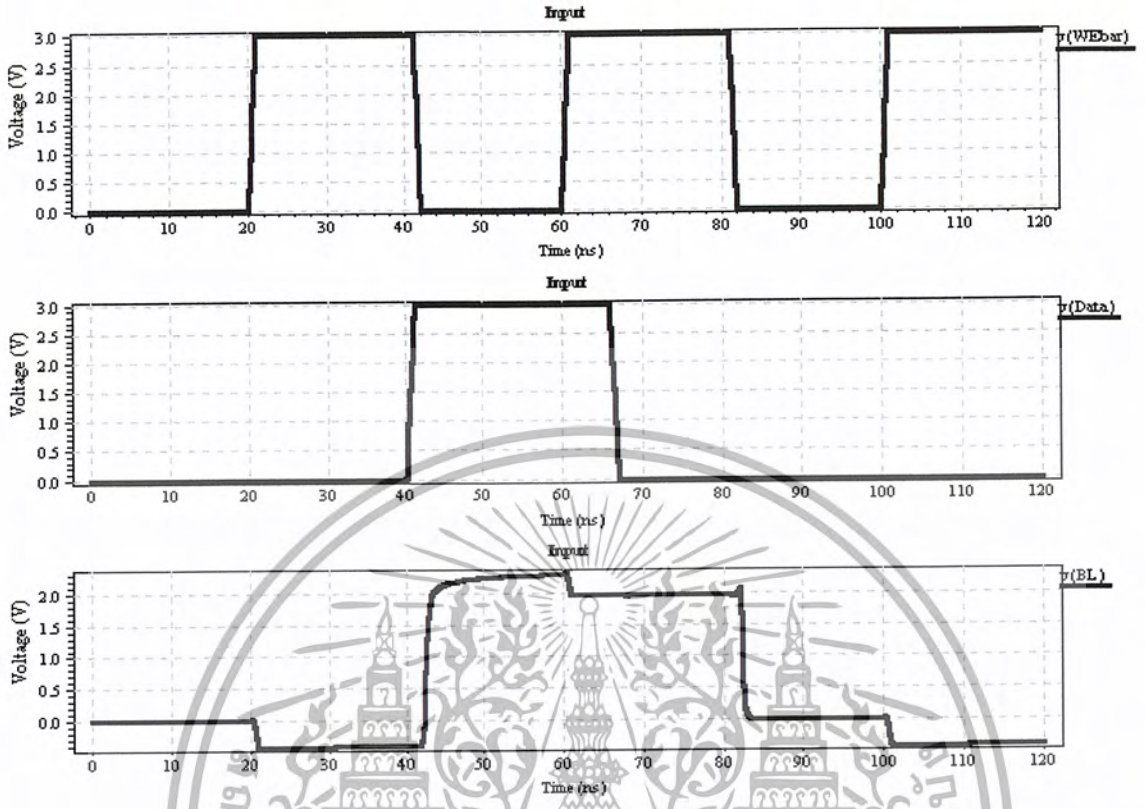
โดยในภาคนี้จะทำหน้าที่เป็นบัฟเฟอร์โดยใช้อินเวอร์เตอร์ 2 ตัวต่ออนุกรมและจะใช้ สัญญาณ WE เป็นตัวเลือกว่าจะให้สัญญาณจาก Data นั้นผ่านได้หรือไม่โดยมีเงื่อนไขดังนี้คือ ถ้า WE เป็น “0” ข้อมูลก็จะสามารถผ่านไปได้



รูป 4.5 ลวดลาย(Layout) ในภาคควบคุมข้อมูลทางอินพุท (Input Data Control)

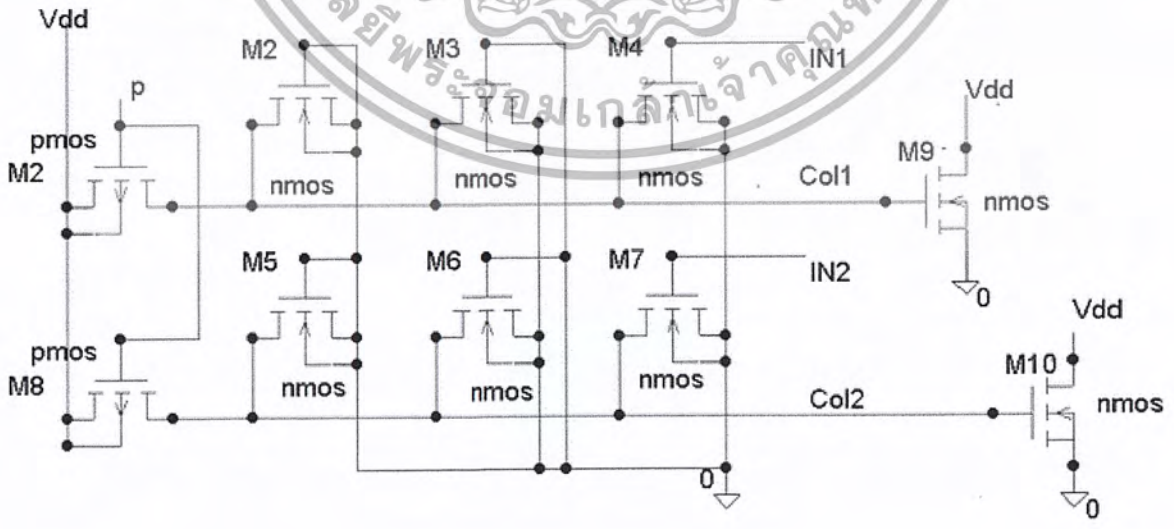
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อนำลวดลาย(Layout)ในรูปที่ 4.5 ไปทำการจำลองการทำงานจะได้ผลการทดลองดังรูปถัดไป



รูป 4.6 ผลการทดลองภาคควบคุมข้อมูลทางอินพุท (Input Data Control)

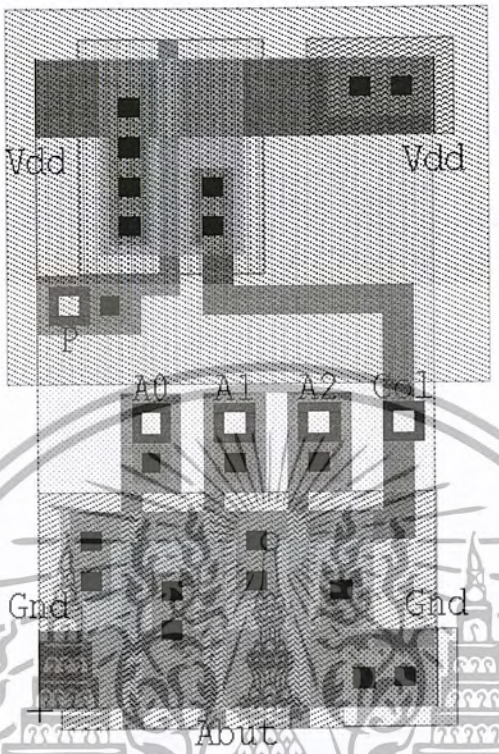
4.3 การทดลองในภาคถอดรหัส



รูป 4.7 วงจรที่ใช้ในการทดลองภาคถอดรหัส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรในรูปที่ 4.7 นั้นเป็นวงจะถอดรหัสแบบ NOR gate โดยวงจรที่นำมาทดลองนี้เป็นวงจรถอดรหัส (Column decoder) ทีถอดรหัสจาก 3: 8 การทำงานของวงจรถอดรหัสทางด้าน Row และ Column นั้นจะใช้หลักการเดียวกันในการทดลองนี้จึงทำการทดลองเพียงวงจรเดียว

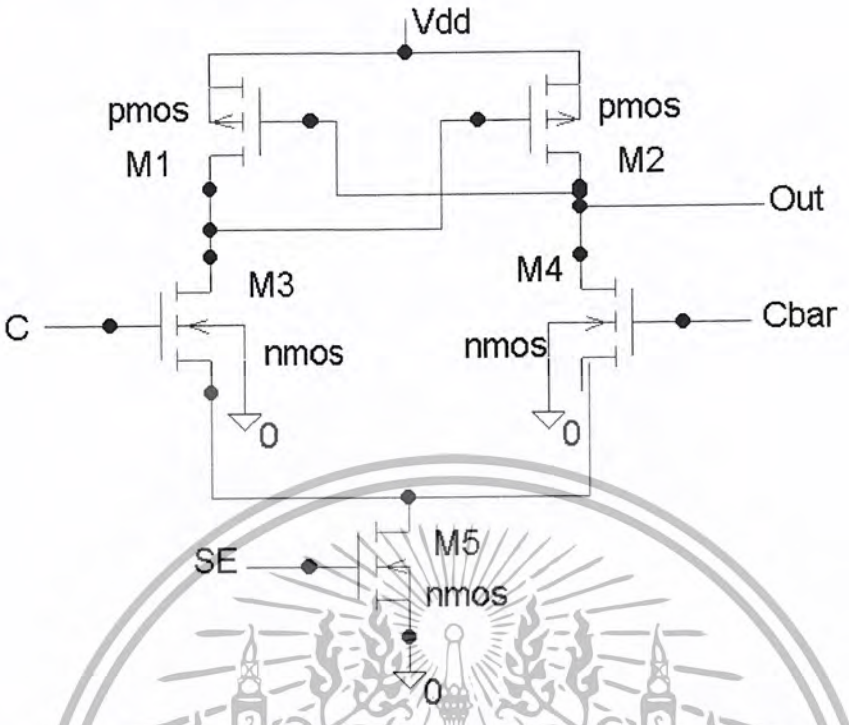


รูป 4.8 ลวดลาย(Layout) ของวงจรถอดรหัส

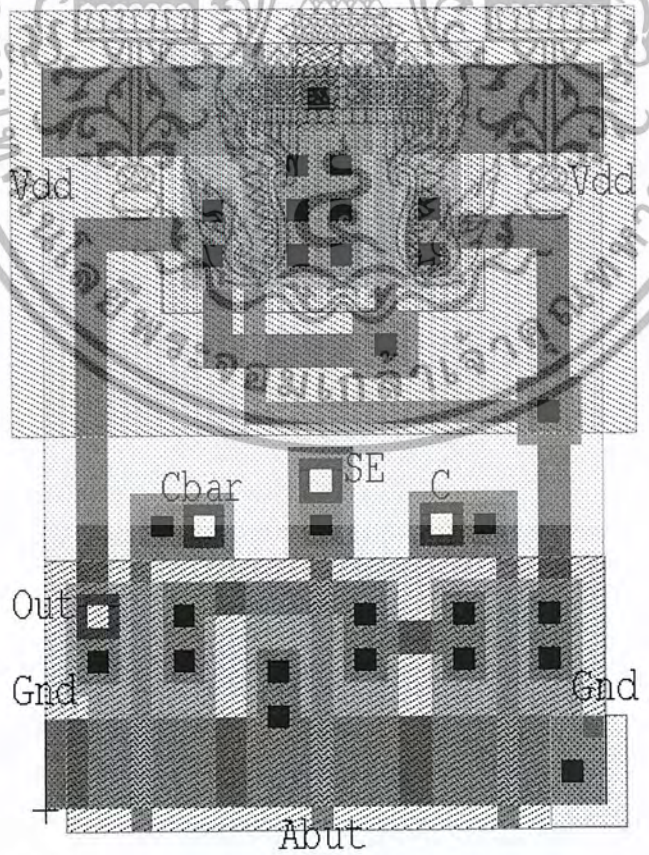
รูป 4.9 ผลการทดลองของวงจรถอดรหัส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.4 การทดลองในภาคขยาย (Sense Amplifier)



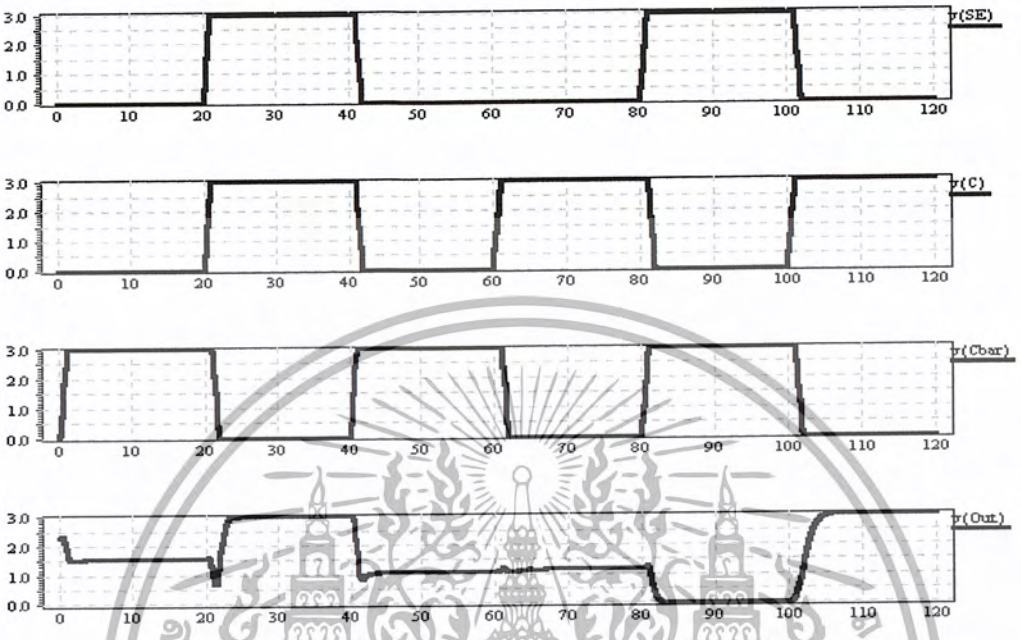
รูป 4.10 วงจรที่ใช้ในการทดลองภาคขยาย (Sense Amplifier)



รูป 4.11 ลวดลาย(Layout) ของวงจรขยาย (Sense Amplifier)

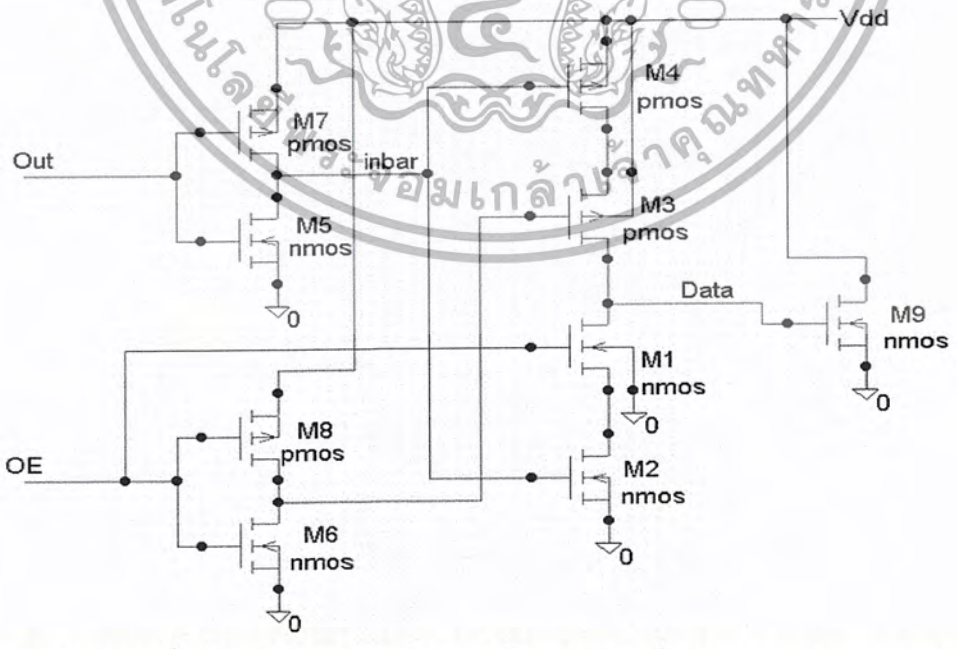
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรขยาย (Sense Amplifier) นั้นจะประกอบอยู่ในทุกๆคอลัมน์ของหน่วยความจำ โดยวงจรขยายนี้จะทำงานในขณะที่ต้องการอ่านข้อมูล โดยวงจรขยายนี้จะเป็นวงจรขยายความแตกต่าง โดยเอาท์พุทที่ได้จากวงจรนี้จะส่งต่อไปที่ภาค Output Data Control ผลการที่ได้จากการจำลองการทำงานได้แสดงไว้ในรูปที่ 4.12



รูป 4.12 ผลการทดลองของวงจรขยาย (Sense Amplifier)

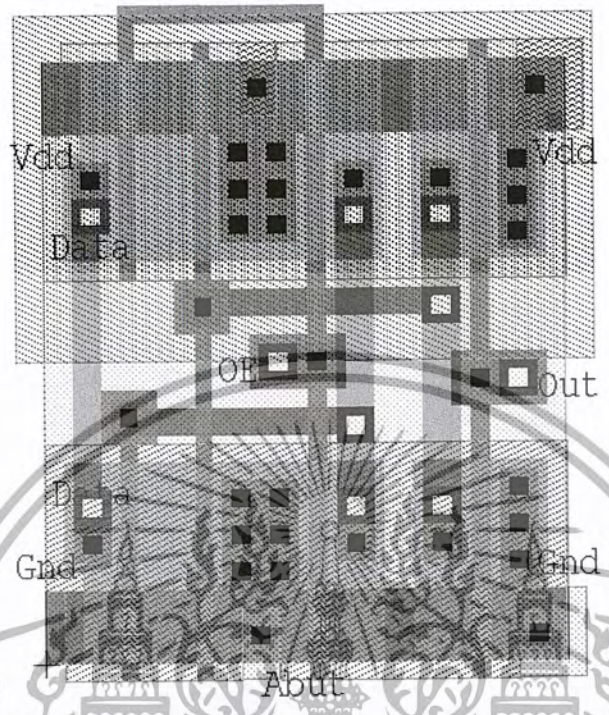
4.5 การทดลองในภาคควบคุมข้อมูลทางเอาท์พุท (Output Data Control)



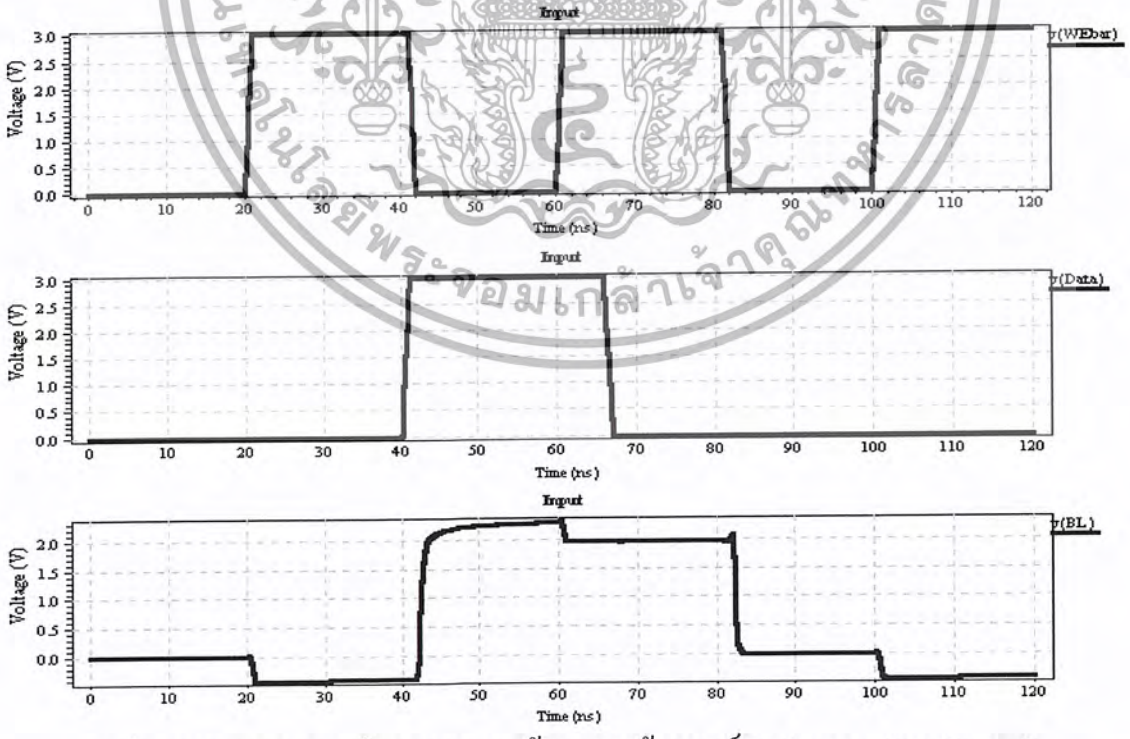
รูป 4.13 วงจรที่ใช้ในการทดลองภาคควบคุมข้อมูลทางเอาท์พุท (Output Data Control)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจร Output Data Control นั้นจะทำงานในลักษณะของ บัฟเฟอร์ โดยจะมีการควบคุมโดยสัญญาณ OE โดยภาคนี้จะทำงานได้ OE จะต้องเป็น “0”



รูป 4.14 ลวดลาย(Layout)ของภาคควบคุมข้อมูลทางเอาท์พุท (Output Data Control)



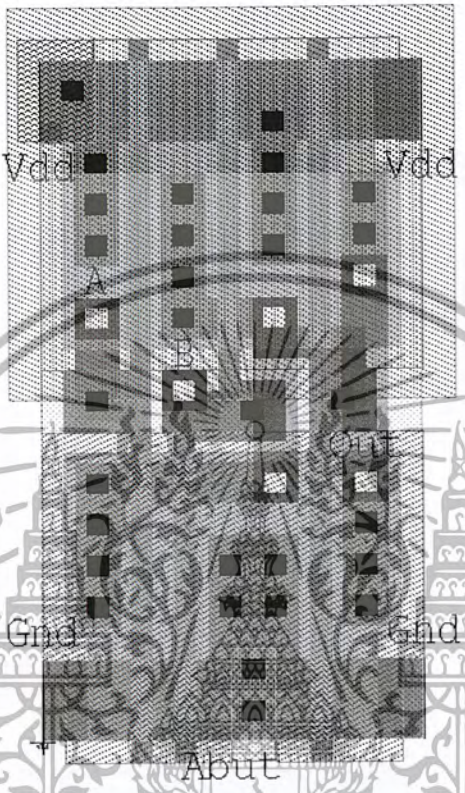
รูป 4.15 ผลการทดลองในภาคควบคุมข้อมูลทางด้านเอาท์พุท (Output Data Control)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

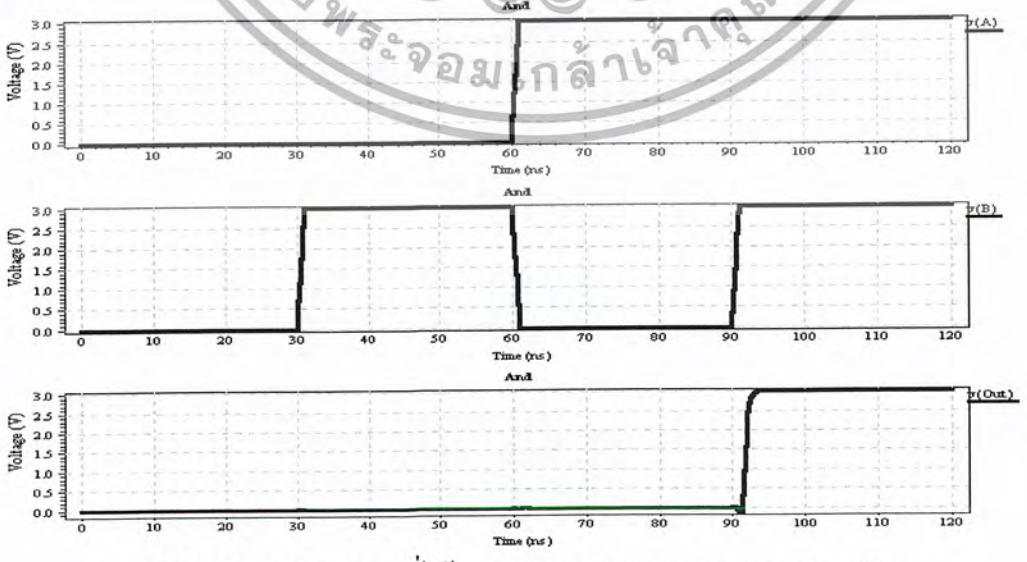
4.6 ลวดลาย (Layout) ที่ใช้ในการสร้างชิป

ในการสร้างชิพของหน่วยความจำนั้นยังมีอุปกรณ์อื่นๆที่มีความสำคัญต่อวงจรด้วยเช่น อินเวอร์เตอร์ , แอนเกท ,นอร์เกท ดั้งนั้นจึงต้องทำการออกแบบลวดลาย(Layout) อุปกรณ์เหล่านี้ด้วย

4.6.1 วงจรแอนเกท (And Gate)



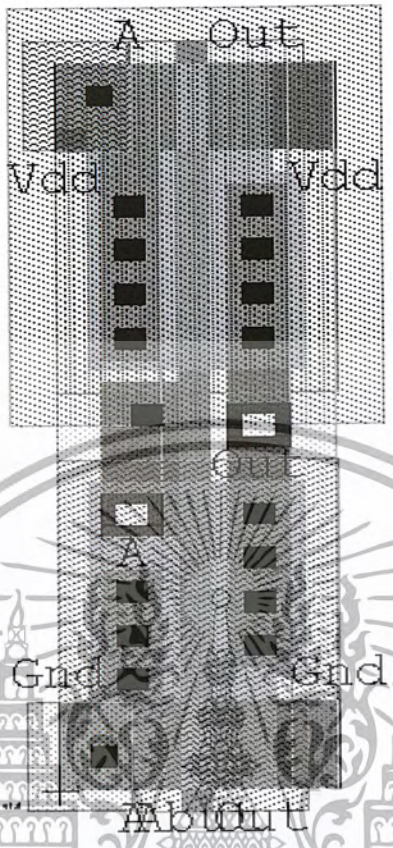
รูป 4.16 ลวดลาย(Layout) วงจรแอนเกท(And gate)



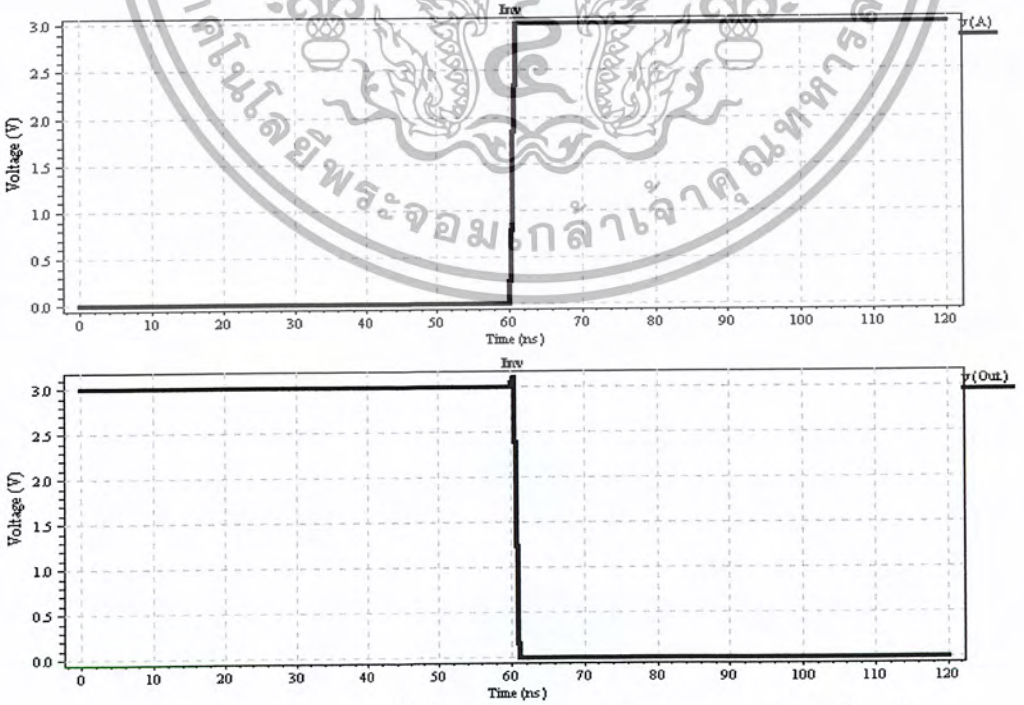
รูป 4.17 ผลการทดลองที่ได้จากวงจรลวดลาย(Layout)ของแอนเกท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.6.2 วงจรอินเวอร์เตอร์ (Inverter)



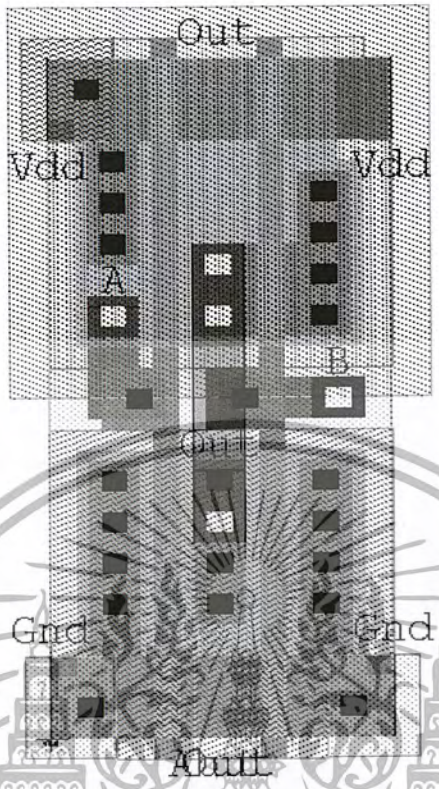
รูป 4.18 ลวดลาย(Layout) ของวงจร อินเวอร์เตอร์



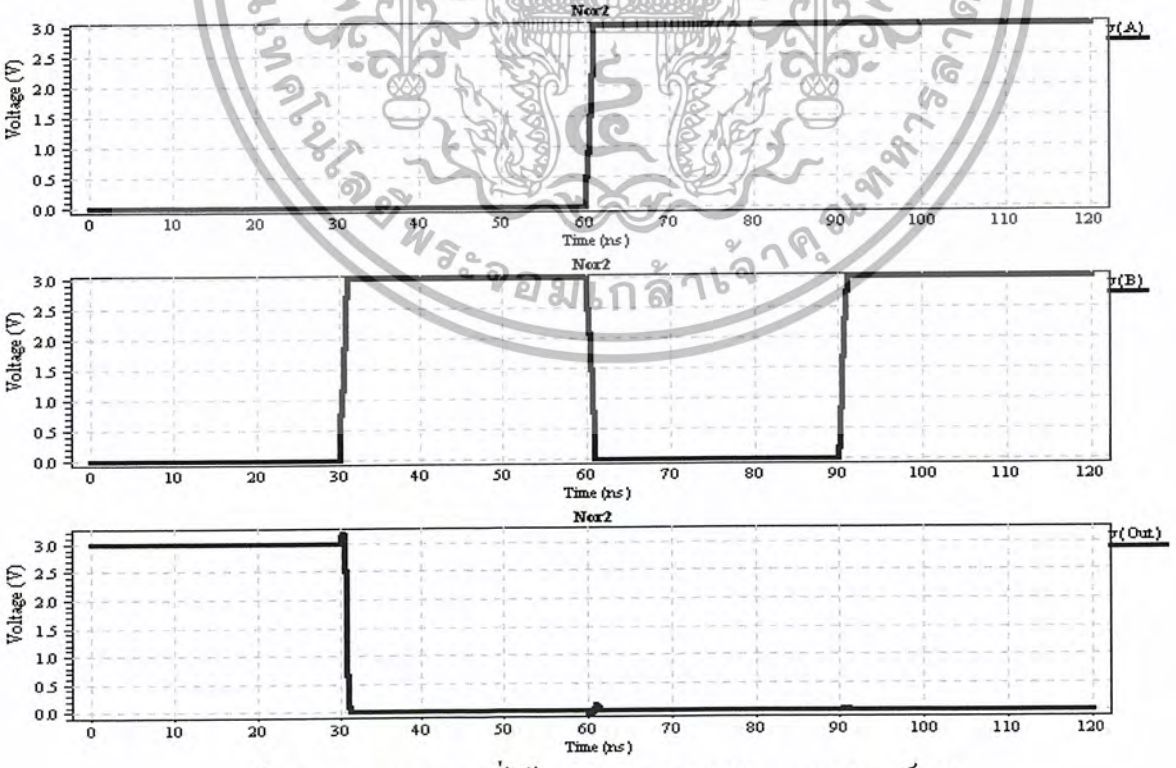
รูป 4.19 ผลการทดลองที่ได้จากวงจรลวดลาย(layout)ของอินเวอร์เตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.6.3 วงจรนอร์เกท (Nor gate)



รูป 4.20 ลวดลาย(Layout) ของวงจร นอร์เกท(Nor gate)

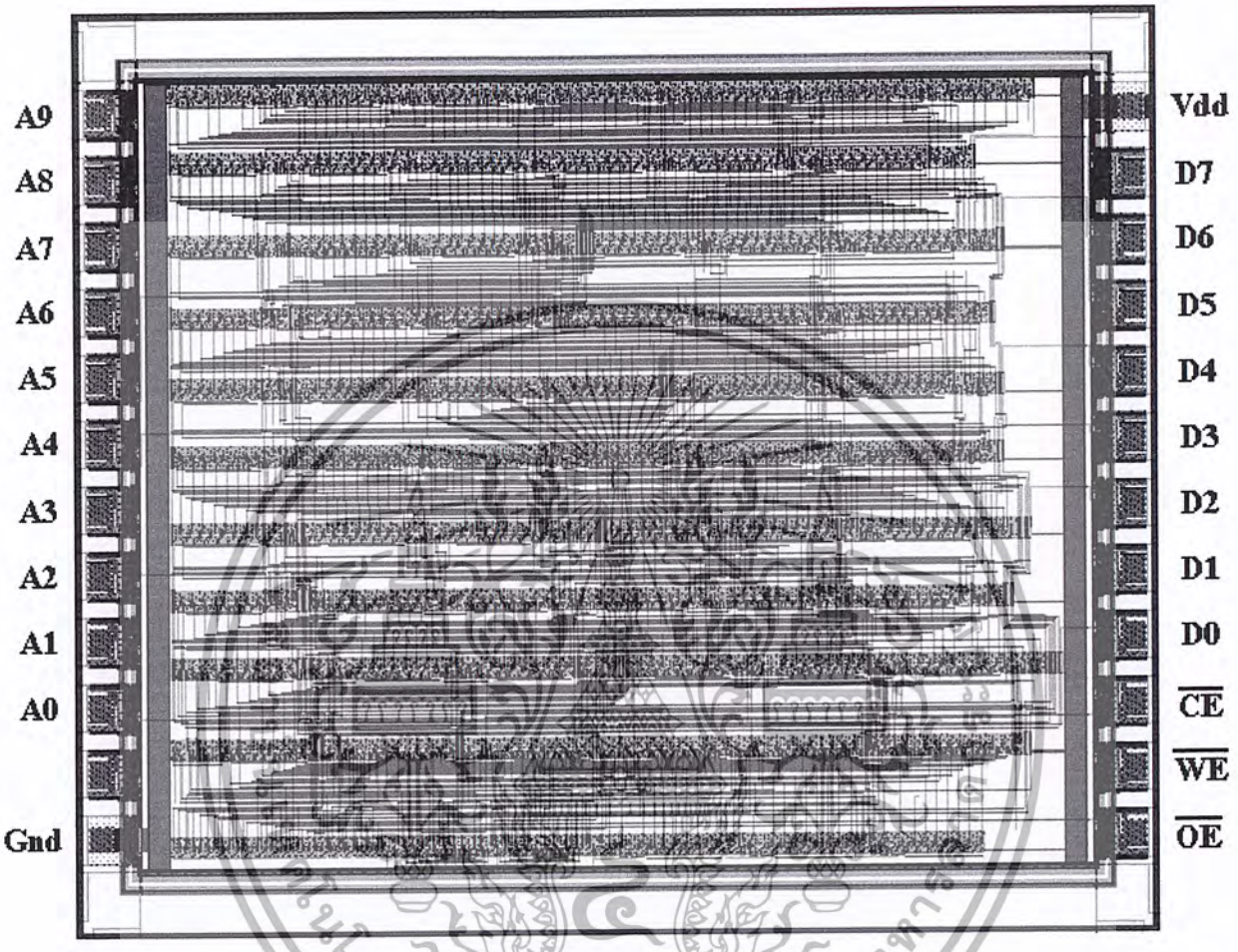


รูป 4.21 ผลการทดลองที่ได้จากวงจรลวดลาย(layout)ของนอร์เกท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.7 ชิปหน่วยความจำแบบสแตติค (SRAM Chip)

เมื่อมีเซลล์ของทุกวงจรครบแล้วขั้นตอนต่อไปก็คือการรวมเพื่อที่จะสร้างเป็นชิป

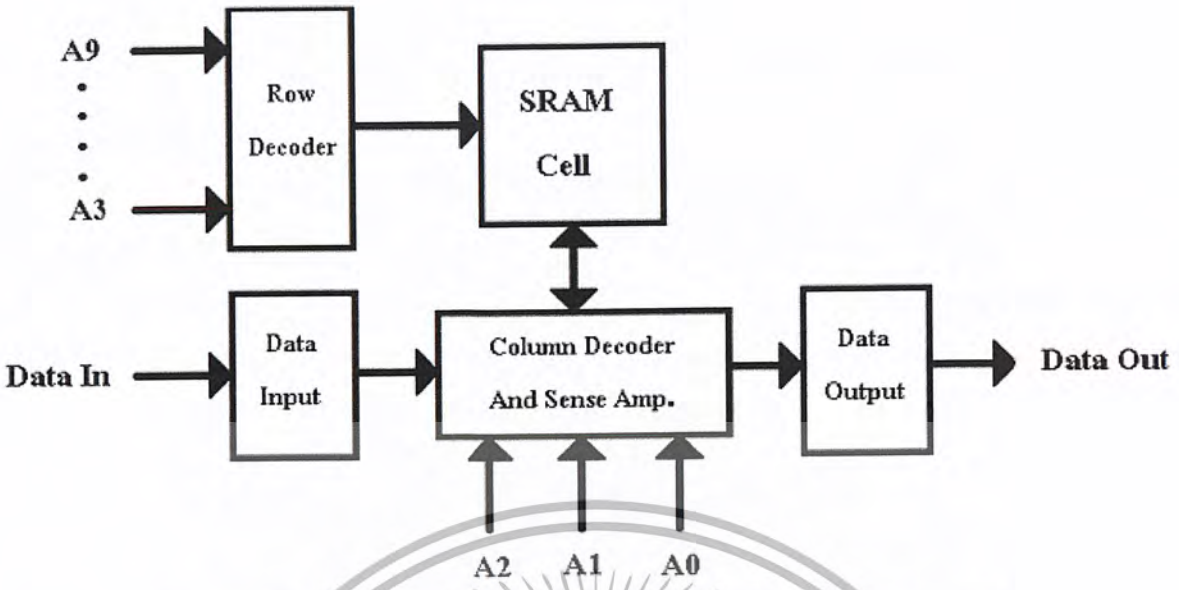


รูป 4.22 ชิปหน่วยความจำแบบสแตติค (SRAM Chip)

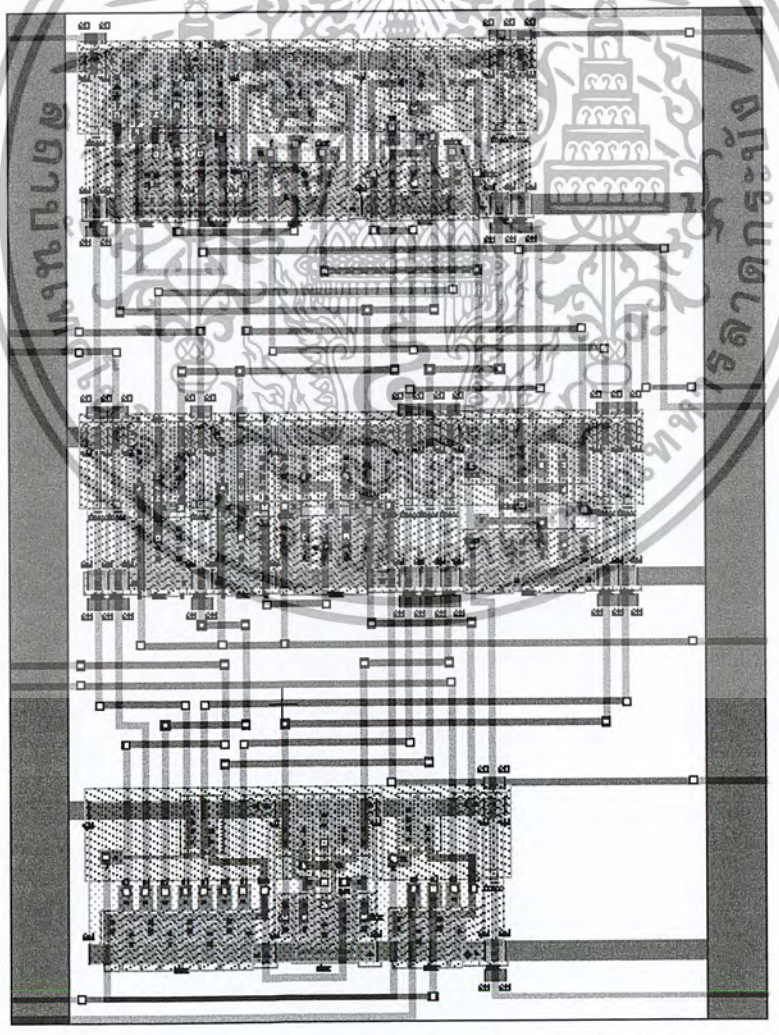
4.8 การทดลองชิปหน่วยความจำ

เนื่องจากชิปหน่วยความจำที่ได้ทำการวาดลวดลาย (Layout) มานั้นมีขนาดที่ใหญ่มากโดยจะประกอบไปด้วยมอสทรานซิสเตอร์ประมานเกือบ 1 แสนตัวทำให้โปรแกรมไม่สามารถจำลองการทำงานได้พร้อมกันทั้งชิป ดังนั้นโครงงานนี้จึงได้จำลองการทำงานของชิปหน่วยความจำโดยหลักการทำงานของทุกภาคในชิปหน่วยความจำยังคงทำงานเหมือนเดิม แต่ในการทดลองนี้จะนำมาเฉพาะตัวที่ถูกใช้งานในขณะที่ทำการเขียนข้อมูลและอ่านข้อมูลใน1 บิทเท่านั้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 4.23 บล็อคไดอะแกรมของวงจรที่ใช้ในการทดลองชิปหน่วยความจำ 1 บิท



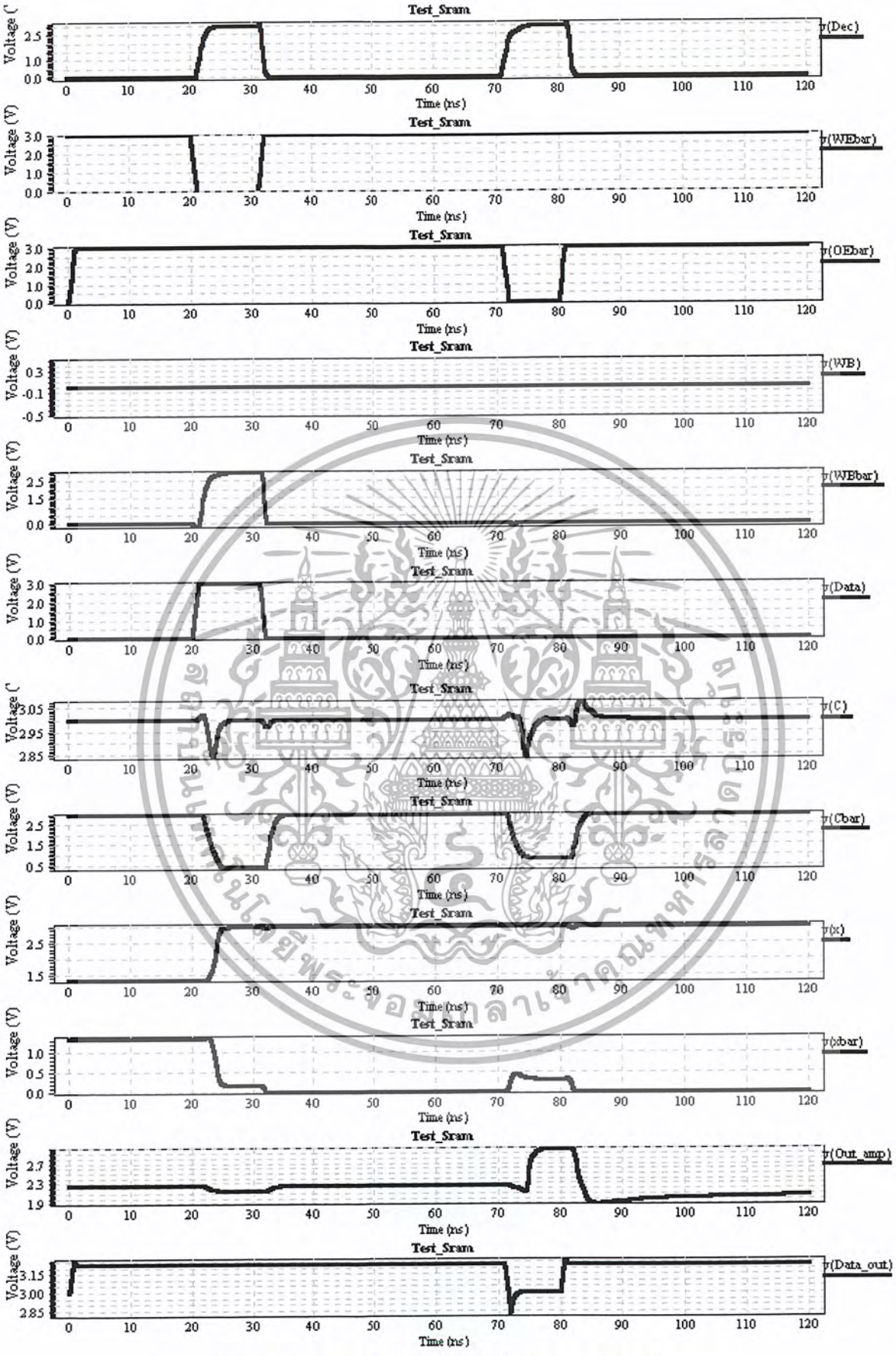
รูป 4.24 ลวดลาย(Layout)ของชิปหน่วยความจำ 1 บิท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.8.1 ค่าคาปาซิเตอร์ที่เกิดขึ้นจากการสร้างลวดลวย(layout) โดยค่าคาปาซิเตอร์นี้จะเกิดในโหนดต่างๆของวงจรที่นำไปทำการสร้างลวดลาย โดยค่าคาปาซิเตอร์ที่เกิดขึ้นมานี้จะมีจำนวนหลายตัวมากแต่จะมีตัวที่เราสนใจอยู่ 2 ตัว คือ ค่าของคาปาซิเตอร์ที่คอลัมน์ C และ Cbar โดยที่คอลัมน์ทั้ง 2 นี้ได้ค่าคาปาซิแตนซ์ประมาน 0.1 ปีโกฟาหรัด โดยคาปาซิเตอร์ทั้ง 2 ตัวนี้จะมีผลกับชิปหน่วยความจำทั้งในขณะที่ทำการอ่านข้อมูล และในขณะที่ทำการเขียนข้อมูลถ้าค่าคาปาซิแตนซ์มีค่ามากจะทำให้เวลาในการชาร์จคาปาซิเตอร์ต้องมีมากตามไปด้วยจะมีผลทำให้การเขียนและการอ่านข้อมูลจะต้องใช้เวลาเพิ่มขึ้นไปด้วย

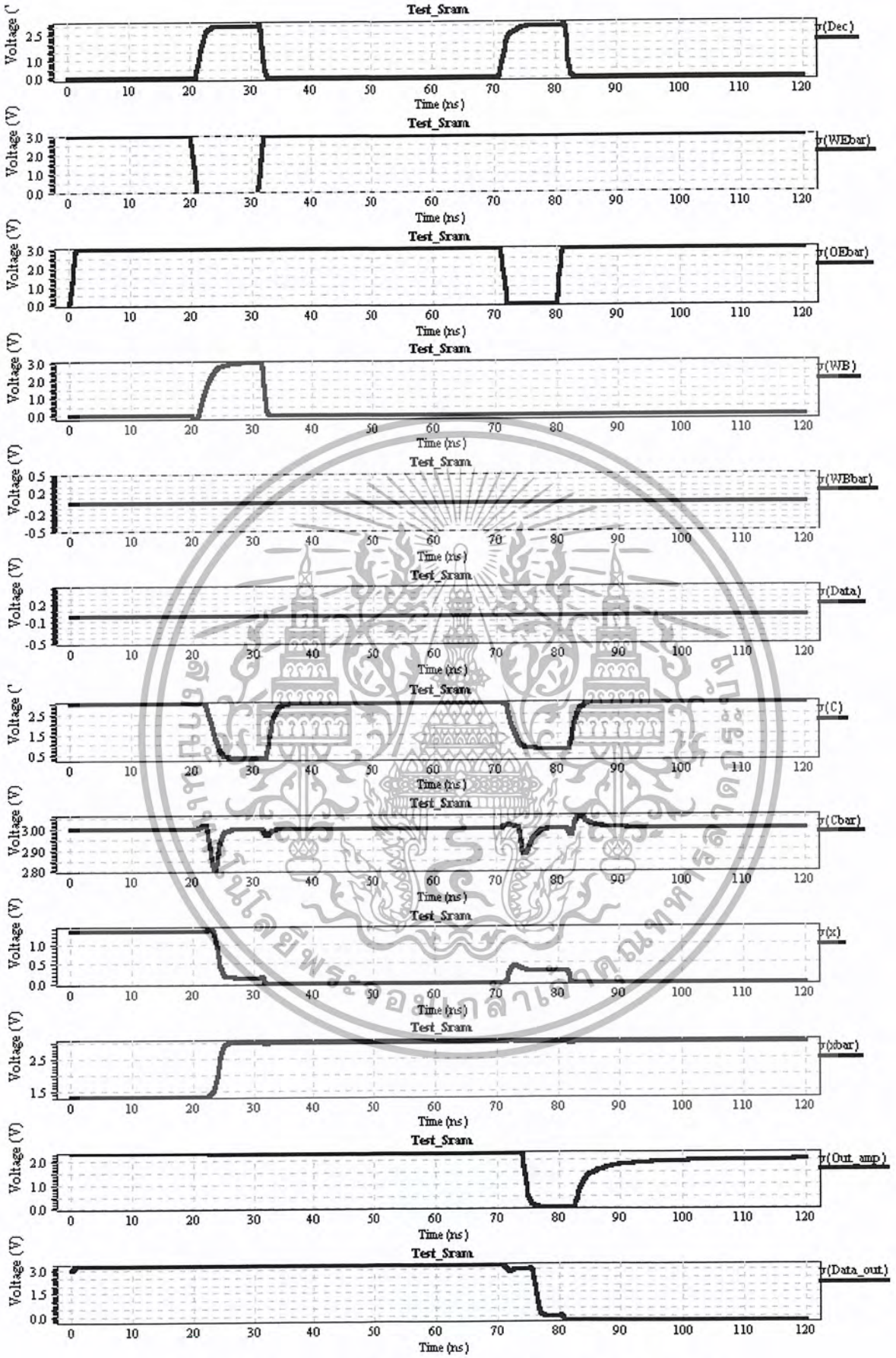
Cpar1 1 0 C=47.933f
Cpar2 2 0 C=55.7405f
Cpar3 3 0 C=50.03f
Cpar4 U0/B 0 C=81.3f
Cpar5 N12 0 C=32.705f
Cpar6 6 0 C=81.49f
Cpar7 SE 0 C=50.66f
Cpar8 Cbar 0 C=113.8415f
Cpar9 9 0 C=7.168f
Cpar10 10 0 C=42.504f
Cpar11 Out 0 C=58.4375f
Cpar12 U0/A 0 C=44.895f
Cpar13 13 0 C=54.096f
Cpar14 14 0 C=54.096f
Cpar15 15 0 C=74.6f
Cpar16 16 0 C=66.18f
Cpar17 N27 0 C=19.7375f
Cpar18 18 0 C=54.3f
Cpar19 19 0 C=82.74f
Cpar20 N15 0 C=34.9875f
Cpar21 21 0 C=66.255f
Cpar22 22 0 C=16.896f
Cpar23 N4 0 C=19.9075f
Cpar24 U3/WBbar 0 C=64.9625f
Cpar25 U3/WB 0 C=48.025f
Cpar26 Gnd 0 C=1.124565p
Cpar27 U9/Input_1/BL 0 C=31.099f
Cpar28 N25 0 C=72.1f
Cpar29 C 0 C=96.9745f
Cpar30 30 0 C=62.88f
Cpar31 31 0 C=62.66f
Cpar32 N32 0 C=39.2525f
Cpar33 N29 0 C=41.115f
Cpar34 N22 0 C=35.07f
Cpar35 N18 0 C=27.565f
Cpar36 N6 0 C=26.5875f
Cpar37 N2 0 C=18.555f
Cpar38 N3 0 C=17.3875f
Cpar39 N1 0 C=16.9075f
Cpar40 U10/Col_1/P 0 C=15.68f
Cpar41 N19 0 C=13.87f
Cpar42 U10/Cell_1/Row 0 C=116.92f
Cpar43 Vdd 0 C=1.244066p

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 4.25 ผลการทดลองในขณะทำการเขียนและการอ่านข้อมูล “1”

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 4.26 ผลการทดลองในขณะทำการเขียนและการอ่านข้อมูล “0”

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่5

สรุปผลการทดลองและวิเคราะห์ผลการทดลอง

5.1 สรุปผลการทดลองในภาคหน่วยความจำ (Memory Cell)

5.1.1 สรุปผลการทดลองของหน่วยความจำในขณะทำการเขียน “1” และอ่าน “1”

จากผลการทดลองในรูป 4.3(ก) ในช่วงของการเขียน “1” นั้น ในขณะที่มีสัญญาณจากวงจรถอดรหัสนั้น ค่า WB จะเป็น “0” ส่วนค่า $\overline{WB}$ จะมีค่าเป็น “1” จะส่งผลให้แรงดันในคอลัมน์ C มีค่าสูงขึ้นเนื่องจากค่า WB นั้นมีค่าเป็น “0” ไปแล้ว แรงดันทั้งหมดในคอลัมน์นี้จึงไปชาร์จที่ คาปาซิเตอร์และส่วนหนึ่งก็จะวิ่งผ่านตัวมอสที่ถูกทำให้ทำงานโดยสัญญาณ Row Decoderไปทำให้แรงดัน ณ จุด x มีค่าสูงขึ้น ส่วนทางด้านคอลัมน์ $\overline{C}$ นั้นจะมีค่าที่เข้าใกล้ “0” เนื่องจาก ค่าของ WB นั้นเป็น “1” ทำให้แรงดัน ณ จุด $\overline{C}$ ถูกช๊อตลงกราวด์ ในขณะเดียวกัน แรงดันที่จุด xbar ก็จะถูกดิสชาร์จ ผ่านมอสที่ทำหน้าที่เป็นสวิทช์ไปลงกราวด์ สงผลให้แรงดันในจุด $\overline{C}$ นมีค่าลดลงเข้าสู่ “0” ดั้งนั้นเมื่อสัญญาณจากวงจรถอดรหัสถูกตัดออกไปภายใน Memory Cell กจะเก็บข้อมูล “1” ณ ตำแหน่ง x และข้อมูล “0” ที่ตำแหน่ง xbar

ส่วนในช่วงของการอ่านข้อมูล “1” ในขณะที่มีสัญญาณจากภาคดีโค๊ดเดอร์นั้น ค่า WB และค่า $\overline{WB}$ จะมีค่าเป็น “1” ทำให้มีแรงดันไปชาร์จคาปาซิเตอร์ที่คอลัมน์ C และ $\overline{C}$ ให้มีแรงดันสูงขึ้น ในขณะที่ทำการอ่าน “1” นั้นที่จุด x จะมีค่าเป็น “1” ที่ xbar มีค่าเป็น “0” ดั้งนั้นแรงดันที่ชาร์จคาปาซิเตอร์ที่คอลัมน์ $\overline{C}$ จะถูกดิสชาร์จผ่านมอสที่ทำหน้าที่เป็นสวิทช์ไปที่ xbar ซึ่งในขณะนั้นมีค่าใกล้เคียง “0” ทำให้แรงดันที่คอลัมน์ $\overline{C}$ มีค่าต่ำลง ส่วนในคอลัมน์ C นั้นค่าแรงดันจะไม่ค่อยเปลี่ยนแปลงเนื่องจากที่จุด x นั้นมีค่าเป็น “1” เช่นกัน จนกระทั่งสัญญาณจากวงจรถอดรหัสถูกตัดออกไป ที่คอลัมน์ C จะมีค่าสูง ส่วนคอลัมน์ $\overline{C}$ มีค่าต่ำมากค่าทั้งสองค่านี้จะถูกส่งไปที่วงจรขยาย (Sense Amplifier) ซึ่งเป็นวงจรขยายความแตกต่างดังจะกล่าวในภายหลัง

5.1.2 สรุปผลการทดลองของหน่วยความจำในขณะทำการเขียน “0” และอ่าน “0”

จากผลการทดลองในรูป 4.3(ข) ในช่วงของการเขียน “0” นั้นค่า ในขณะที่มีสัญญาณจากวงจรขยายนั้น ค่า WB จะเป็น “1” ส่วนค่า $\overline{WB}$ จะมีค่าเป็น “0” จะส่งผลให้แรงดันในคอลัมน์ $\overline{C}$ มีค่าสูงขึ้นเนื่องจากค่า $\overline{WB}$ นั้นมีค่าเป็น “0” ไปแล้ว แรงดันทั้งหมดในคอลัมน์นี้จึงไปชาร์จที่ คาปาซิเตอร์และส่วนหนึ่งก็จะวิ่งผ่านตัวมอสที่ถูกทำให้ทำงานโดยสัญญาณ Row Decoder ไปทำให้แรงดัน ณ จุด xbar มีค่าสูงขึ้น ส่วนทางด้านคอลัมน์ C นั้นจะมีค่าที่เข้าใกล้ “0” เนื่องจาก ค่าของ WB นั้นเป็น “1” ทำให้แรงดัน ณ จุด C ถูกช๊อตลงกราวด์ ในขณะเดียวกัน แรงดันที่จุด x ก็จะถูกดิสชาร์จ ผ่านมอสที่ทำหน้าที่เป็นสวิทช์ ไปลงกราวด์ สงผลให้แรงดันในจุด C นมีค่าลดลงเข้าสู่ “0” ดั้งนั้นเมื่อสัญญาณจากวงจรถอดรหัสถูกตัดออกไปภายใน Memory Cell กจะเก็บข้อมูล “0” ณ ตำแหน่ง x และข้อมูล “1” ที่ตำแหน่ง xbar

ส่วนในช่วงของการอ่านข้อมูล “0” ในขณะที่มีสัญญาณจากภาคดีโค๊ดเดอร์นั้น ค่าWB และค่า $\overline{WB}$ จะมีค่าเป็น “1” ทำให้มีแรงดันไปชาร์จคาปาซิเตอร์ที่คอลัมน์ C และ $\overline{C}$ ให้มีแรงดันสูงขึ้น ในขณะที่ทำการอ่าน “1” นั้นที่จุด x จะมีค่าเป็น “0” ที่ xbar มีค่าเป็น “1” ดั้งนั้นแรงดันที่ชาร์จ คาปาซิเตอร์ที่คอลัมน์ C จะถูกดิส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ชาร์จผ่านมอสที่ทำหน้าที่เป็นสวิทช์ไปที่ x ซึ่งในขณะนั้นมีค่าใกล้เคียง “0” ทำให้แรงดันที่คอลัมน์ C มีค่าต่ำลง ส่วนในคอลัมน์ $\overline{C}$ นั้นค่าแรงดันจะไม่ค่อยเปลี่ยนแปลงเนื่องจากที่จุด xbar นั้นมีค่าเป็น “1” เช่นกัน จนกระทั่งสัญญาณจากวงจรถอดรหัสถูกตัดออกไป ที่คอลัมน์ $\overline{C}$ จะมีค่าสูง ส่วนคอลัมน์ C มีค่าต่ำมาก ค่าทั้งสองค่านี้จะถูกส่งไปที่วงจรขยาย (Sense Amplifier) ซึ่งเป็นวงจรขยายความแตกต่างดังจะกล่าวในภายหลัง

5.2 สรุปผลการทดลองในภาคควบคุมข้อมูลทางอินพุท (Input Data Control)

ในภาค Input Data Control นี้จะทำหน้าที่เป็นบัฟเฟอร์ โดยมีสัญญาณควบคุมจาก $\overline{WE}$ ซึ่งทำหน้าที่คล้ายกับเป็นตัวเลือกว่าจะทำการเขียนหรือไม่โดยเมื่อ $\overline{WE}$ เป็น “0” ก็หมายถึงว่าจะมีการเขียนเกิดขึ้น จากรูปที่ 4.6 เป็นผลการทดลองจากภาค Input Data Control โดยในภาคนี้จะทำการป้อนค่าอินพุทเพื่อทำการทดลองและทำการป้อน ค่า $\overline{WE}$ โดยจากการทดลองจะเห็นได้ว่า เมื่อค่า $\overline{WE}$ มีค่าเป็น “0” สัญญาณที่ Data ก็จะส่งผ่านไปยัง B ได้ แต่เมื่อค่า $\overline{WE}$ เป็น “1” ค่า BL จะไม่เปลี่ยนตามค่าของ Data จนกระทั่งค่า $\overline{WE}$ มีค่าเป็น 1 ค่าที่ BL ก็จะเปลี่ยนไปตามค่าของ Data

5.3 สรุปผลการทดลองในภาคถอดรหัส (Column And Row decoder)

วงจรColumn และRow Decoder ที่ใช้ในโครงงานนี้จะใช้ในลักษณะเป็นวงจรถอดรหัสแบบ นอร์เกท โดยวงจรถอดรหัสแบบนี้จะให้ค่าเอาท์พุทมีค่าเป็น“1” ก็ต่อเมื่อค่าที่อินพุทนั้นมีค่าเป็น “0” ทั้งหมด ที่กล่าวไปนั้นเป็นหลักการคร่าวๆของวงจรนี้ เมื่อพิจารณารูป 4.9 ซึ่งเป็นผลการทดลองที่ได้จากภาค Column และ Row Decoder โดยการทดลองนี้จะทำการทดลองเพียงสองคอลัมน์เท่านั้น ผลการทดลองที่ได้ก็คือ เมื่อที่ขา IN1 เป็น “0” ที่ขาIN2 เป็น “1” ทำให้ที่ Col1 นั้นมีเอาท์พุทออก ส่วนที่ Col2 นั้นไม่มีเอาท์พุทออก

5.4 สรุปผลการทดลองในภาคขยาย (Sense Amplifier)

ในภาค Sense Amplifierนั้นโครงงานนี้จะใช้เป็นวงจรดิฟแอมป์หรือเป็นวงจรขยายความแตกต่างโดยจากผลการทดลองในรูปที่ 4.12 นั้น สัญญาณ SE นั้นจะเป็นตัวกำหนดการทำงานของวงจรนี้ กล่าวคือ เมื่อ SE มีค่าเป็น “1” วงจรนี้ก็พร้อมจะทำงานได้ แต่ถ้า SE มีค่าเป็น “0” วงจรนี้ก็จะไม่ถูกใช้งานดังแสดงในผลการทดลองในขณะที่ สัญญาณ SE มีค่าเป็น “1” ถ้าค่าสัญญาณที่ C มีค่ามากกว่า $\overline{C}$ ค่าของ เอาท์พุทที่ได้จะมีค่า เป็น “1” แต่เมื่อสัญญาณที่ C มีค่าน้อยกว่าสัญญาณที่ $\overline{C}$ ค่าของเอาท์พุทที่ได้จะมีค่าเป็น “0”

5.5 สรุปผลการทดลองในภาคควบคุมข้อมูลทางเอาท์พุท (Output Data Control)

ในภาค Output Data Control นั้นจะใช้วงจรแบบไตรสเตจ คือจะสามารถแสดงเอาท์พุทได้ 3 สถานะ และวงจรนี้จะมีสัญญาณที่ควบคุมการทำงานคือ สัญญาณ $\overline{OE}$ โดยเงื่อนไขของการทำงานของภาคนี้ก็คือ เมื่อ $\overline{OE}$ มค่าเป็น “1” เอาท์พุทจากภาคนี้ก็จะไม่มีออกไป แต่เมื่อ ค่า $\overline{OE}$ มีค่าเป็น “1” จะทำให้ที่เอาท์พุทนั้นมีค่าตามอินพุทของภาคนี้ โดยจากผลการทดลองนี้สามารถสรุปได้ดังนี้คือ เมื่อ ค่า $\overline{OE}$ มีค่าเป็น 0 ค่า แรงดันที่ BL

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จะเปลี่ยนตามค่าของ Data แตเมื่อ ค่าของ $\overline{OE}$ มีค่าเป็น “1” ค่าของ BL กจะไม่เปลี่ยนตามค่าของ Data จนกระทั่งค่าของ $\overline{OE}$ มีค่าเป็น “0” อีกครั้ง ค่าของ BL ก็จะเปลี่ยนตามค่าของ Data อีกครั้ง

5.6 สรุปผลการทดลอง ชิปหน่วยความจำ 1 บิท

เนื่องด้วยชิปหน่วยความจำที่ได้ทำการออกแบบมานั้นมีขนาดที่ใหญ่มากจึงไม่สามารถทำการทดลองทั้งชิปได้พร้อมกันเพราะว่าโปรแกรมไม่สามารถจำลองการทำงานได้ ในส่วนนี้จึงได้ทำการทดลองเพียง 1 บิท เท่านั้น โดยค่าของผลการทดลองที่ได้ดังรูปที่ 4.25 เป็นผลการทดลองในขณะที่ทำการเขียนและอ่านข้อมูล “1” สามารถสรุปผลการทดลองได้ดังนี้คือ ในขณะทำการเขียน“1”นั้น สัญญาณ $\overline{WE}$ จะเป็น“0” และ $\overline{OE}$ จะเป็น“1” และทำการป้อนข้อมูล “1” ในขณะที่มีสัญญาณจากภาคถอดรหัส ผลการทดลองที่ได้ คือ ชิปหน่วยความจำนั้นสามารถเก็บข้อมูล“1”ไว้ที่ตำแหน่ง x หลังจากที่สัญญาณจากภาคถอดรหัสได้หมดไปแล้ว ในช่วงของการอ่านนั้น สัญญาณ $\overline{WE}$ จะเป็น “1” และ $\overline{OE}$ จะเป็น “0”ส่งผลให้ที่ WB และ $\overline{WB}$ เป็น “0” ในการอ่านข้อมูล “1” นั้น ที่คอลัมน์ $\overline{C}$ แรงดันจะมีค่าลดลงมาก ส่วนที่คอลัมน์ C ค่าของแรงดันนั้นจะไม่ค่อยเปลี่ยนแปลง ค่าที่คอลัมน์ทั้ง 2 นี้จะถูกส่งไปที่วงจร Sense Amplifier เพื่อขยายความแตกต่าง โดยถ้า ที่คอลัมน์ C มีค่ามากกว่า คอลัมน์ $\overline{C}$ เอาท์พุทที่ได้จากภาค Sense Amplifier จะเป็น “1” และ ค่านี้จะถูกส่งไปที่ภาค Output Data Control ซึ่งจะทำหน้าที่เป็นบัฟเฟอร์ หลังจากผ่านภาคนี้แล้วก็จะได้เป็น ข้อมูลที่ถูกอ่านออกไป

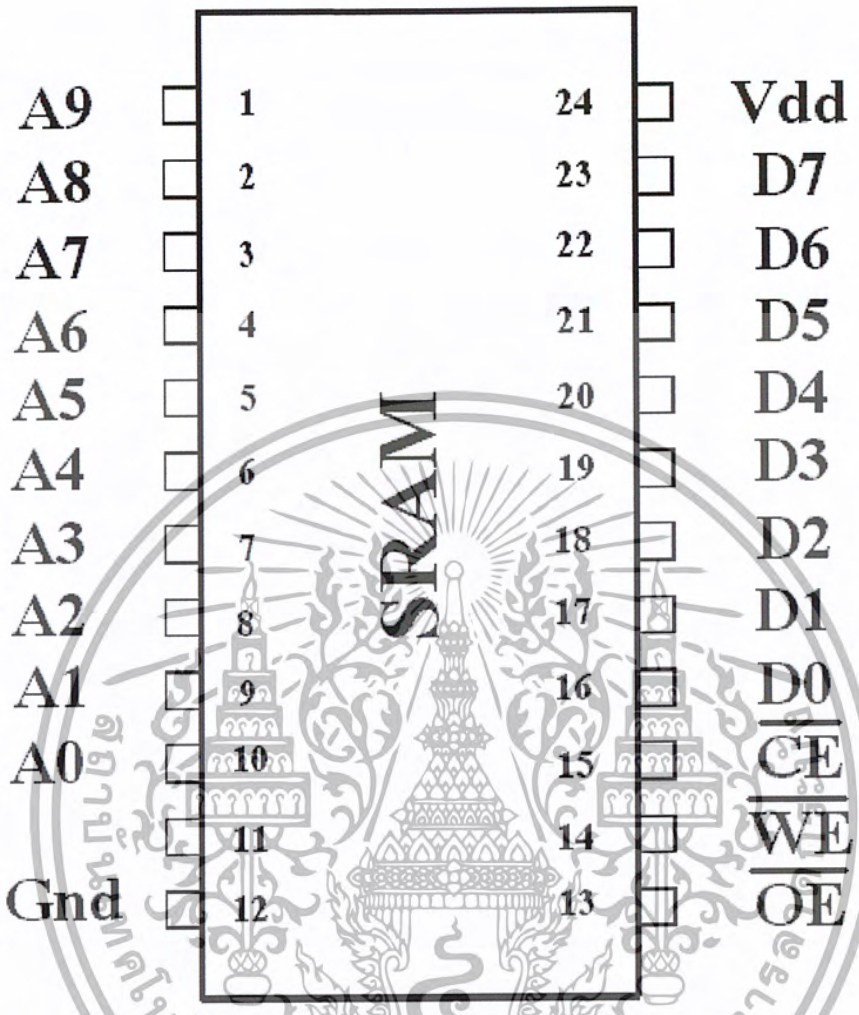
ส่วนการทดลองในขณะทำการเขียนและอ่านข้อมูล “0” ดังรูปที่ 4.26 สามารถสรุปผลการทดลองได้ดังนี้คือ ในขณะทำการเขียน “0” นั้น สัญญาณ $\overline{WE}$ จะเป็น “0” และ $\overline{OE}$ จะเป็น “1” และทำการป้อนข้อมูล “0” ในขณะที่มีสัญญาณจากภาคถอดรหัส ผลการทดลองที่ได้คือ ชิปหน่วยความจำสามารถเก็บข้อมูล “0” ไว้ที่ตำแหน่ง x หลังจากที่สัญญาณจากภาคถอดรหัสได้หมดไปแล้ว ในช่วงของการอ่านนั้น สัญญาณ $\overline{WE}$ จะเป็น “1” และ $\overline{OE}$ จะเป็น “0” ส่งผลให้ ที่ WB และ $\overline{WB}$ เป็น “0” ในการอ่านข้อมูล “0” นั้นที่คอลัมน์ C แรงดันจะมีค่าลดลงมาก ส่วนที่คอลัมน์ $\overline{C}$ ค่าของแรงดันนั้นจะไม่ค่อยเปลี่ยนแปลงค่าที่คอลัมน์ ทั้ง 2 นี้จะถูกส่งไปที่วงจร Sense Amplifier เพื่อขยายความแตกต่าง โดยถ้าที่คอลัมน์ $\overline{C}$ มีค่ามากกว่าคอลัมน์ C เอาท์พุทที่ได้จากภาคขยาย (Sense Amp) จะเป็น “0” และ ค่านี้จะถูกส่งไปที่ภาค Output Data Control ซึ่งจะทำหน้าที่เป็นบัฟเฟอร์ หลังจากผ่านภาคนี้แล้วก็จะได้เป็น ข้อมูลที่ถูกอ่านออกไป

จากผลการทดลองดังรูป 4.25 และ รูป 4.26 นั้นสามารถหาค่า ของAccess time ได้ โดยค่าของ Access time ที่ได้จะมีค่าประมาณ 10ns โดยค่านี้มีค่าน้อยเนื่องจากชิบที่นำมาทดลองนั้นเป็นเพียงส่วนหนึ่งจากชิปหน่วยความจำทั้งหมด จึงทำให้ค่าของคาปาซิเตอร์ที่เกิดจากการวาดลวดลาย(Layout) นั้นมีค่าน้อย ส่วนค่าของ Power Dissipation นั้นหาได้จากค่ากระแสสูงสุดที่ไหลจากแหล่งจ่าย คูณ กับค่าแรงดันของ แหล่งจ่าย

$$\begin{aligned} \text{Power Dissipation} &= \text{Vdd x Idd} \\ &= 3.0\text{V x } 5\text{ mA} \\ &= 15\text{ mW} \end{aligned}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.7 ลักษณะของชิปหน่วยความจำ



รูป 5.1 ลักษณะของชิปหน่วยความจำแบบสแตติค(SRAM)

A0 – A9 เป็นขา Address

D0 – D7 เป็นขา Data

$\overline{CE}$ เป็นขาที่ใช้ควบคุมการทำงานของชิปหน่วยความจำ

$\overline{WE}$ เป็นขาที่ใช้ควบคุมในการเขียนข้อมูล

$\overline{OE}$ เป็นขาที่ใช้ควบคุมในการอ่านข้อมูล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บรรณานุกรม

1. Sung – Mo (steve) kang , Yusuf Leblebici CMOS digital intigrate circuits : analysis and design New York , NY : Mcgraw – Hill , 1996
2. Dan Clein , CMOS IC Layout : concepts,methodologies and tools , Boston , Newnes , 2000
3. Belty Prince , High perfomance memories : new architecture Drams and SRAMs evolution and function Chichestes : wiley , 1999
4. Alan Swann , Basic design and layout , Oxford : Phaidon , 1989
5. http://www.personal.psu.edu/users/k/r/krm209/vlsihome.htm

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้