เครื่องส่งสัญญาณเตือนภัยผ่านทางโทรศัพท์

EMERGENCY CALLS VIA PHONE

T050087

โดย

นาย ธวัชชัย รัตนเสวี

นาย ประยูร ศรีอุดมกุล

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิศวกรรมโทรคมนาคม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2545

วพ.
ส 513 ค
2545

เลขหมู่.....
เลขทะเบียน 50087
วัน,เดือน,ปี 21 เม.ย. 2547

.b.....
.i.....

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เครื่องส่งสัญญาณเตือนภัยผ่านทางโทรศัพท์

EMERGENCY CALLS VIA PHONE

โดย

นาย ธวัชชัย รัตนเสวี 42010013

นาย ประยูร ศรีอุดมกุล 42010049

อาจารย์ที่ปรึกษา

อ. สมเกียรติ ฤกษ์วรัญญู

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิศวกรรมโทรคมนาคม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2545

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เครื่องส่งสัญญาณเตือนภัยผ่านทางโทรศัพท์

EMERGENCY CALLS VIA PHONE

ผู้จัดทำ นาย ธวัชชัย รัตนเสวี 42010144

นาย ประยูร ศรีอุดมกุล 42010184

อาจารย์ที่ปรึกษา อ.สมเกียรติ ฤกษ์วรัญญู

บทคัดย่อ

โครงงานนี้เป็นการสร้างเครื่องส่งสัญญาณเตือนภัยผ่านทางโทรศัพท์ซึ่งเป็นการฝากข้อความไปให้กับโทรศัพท์เคลื่อนที่ โดยเครื่องจะประกอบไปด้วยอุปกรณ์ตรวจจับสิ่งผิดปกติที่เกิดขึ้น เช่น มีการโจรกรรม ไฟไหม้ เป็นต้น ส่วนประมวลผลและควบคุม ส่วนตรวจจับสัญญาณไม่ว่างและสัญญาณเรียกกลับ ส่วนฝากข้อความเตือนภัย (ANNOUNCER) ส่วนกำเนิดสัญญาณความถี่คู่ (DTMF) โดยเมื่อได้รับสัญญาณเตือนภัยจากอุปกรณ์ตรวจจับ ส่วนควบคุมจะทำการส่งสัญญาณควบคุมไปที่ส่วนกำเนิดสัญญาณความถี่คู่ เพื่อทำการสร้างสัญญาณความถี่คู่ตามสัญญาณควบคุมซึ่งได้จาก โปรแกรมที่บันทึกไว้ในหน่วยความจำก่อนหน้านี้แล้ว และทำการติดต่อไปยังหมายเลขปลายทาง และส่วนตรวจจับสัญญาณไม่ว่างและสัญญาณเรียกกลับจะทำการตรวจจับสัญญาณไม่ว่างและสัญญาณเรียกกลับ เพื่อนำสัญญาณดังกล่าวไปควบคุมการส่งสัญญาณเตือนภัยโดยการฝากข้อความเตือยภัยในส่วนของวงจรฝากข้อความเตือนภัย ซึ่งข้อความดังกล่าวถูกบันทึกไว้ในหน่วยความจำไว้ก่อนแล้ว หลังจากเสร็จสิ้นการส่งสัญญาณเตือนภัย ส่วนตรวจจับสัญญาณไม่ว่างจะตรวจจับสัญญาณไม่ว่าง เพื่อทำการยกเลิกการทำงานของเครื่อง.

ABSTRACT

This project concerns about an emergency calls via phone which transmit the emergency message to mobile phone. The components have unusual checking equipment such as theft, fire etc., processing and control, busy and ring back detector, announcer, and DTMF generator when the machine receives the emergency signal from unusual checking equipment. The machine will send controlling signal to DTMF generator which generates DTMF signal. After that the DTMF signal is transmitted to mobile phone then the busy and ring back detector will detects busy and ring signal to take this signal control an emergency message transmission of announcer in memory. After finishing message transmission, busy detection busy signal again reset operation of system.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ปีการศึกษา 2545

ภาควิชาวิศวกรรมโทรคมนาคม

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง เครื่องส่งสัญญาณเตือนภัยผ่านทางโทรศัพท์เคลื่อนที่

EMERGENCY CALLS VIA MOBILE PHONE

ผู้จัดทำ

1. นาย ธวัชชัย รัตนเสวี 42010144

2. นาย ประยูร ศรีอุดมกุล 42010184

..... อาจารย์ที่ปรึกษา

(อ. สมเกียรติ ฤกษ์วรัญญู)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

	หน้า
บทคัดย่อ	ก
สารบัญรูป	ข
สารบัญตาราง	ค
บทที่ 1 บทนำ	1
บทที่ 2 ทฤษฎีและหลักการ	3
2.1 ส่วนของวงจรตรวจจับสัญญาณโทรศัพท์	6
2.1.1 วงจรตรวจสอบการยกหู (Hook Switch Detector)	6
2.1.2 วงจรตรวจสอบสัญญาณ Dial , RBT , Busy	9
2.2 วงจรใช้งานของ ISD 2590	10
2.2.1 ลำดับขั้นตอนในการบันทึกและเล่นกลับ	11
2.2.2 การกำหนดตำแหน่งแอดเดรสเพื่อใช้ในการบันทึกและเล่นกลับ	11
2.3 ไมโครคอนโทรลเลอร์ MCS – 51	12
2.3.1 กล่าวนำ	12
2.3.2 โครงสร้างของ MCS – 51	13
2.3.3 การจัดการหน่วยความจำของ MCS – 51	14
2.3.4 สถาปัตยกรรมของ MCS – 51	14
2.3.5 การทำงาน MCS – 51	15
2.3.6 การอินเตอร์รัปต์	16
2.4 ส่วนกำเนิดสัญญาณคู่ความถี่ (DTMF TRANSMITTER)	17
2.5 การใช้งาน 8255	21
2.5.1 ลักษณะทั่วไปของ 8255	21
2.5.2 การต่อ 8255 กับ CPU	23
2.5.3 การติดต่อกับพอร์ตต่างๆของ 8255	25
2.5.4 การใช้งาน 8255 ในโหมด 0	26
2.7 ทฤษฎีอินฟราเรดเซนเซอร์	26
บทที่ 3 การคำนวณและการสร้าง	32
3.1 การสร้างวงจรตรวจจับสัญญาณไม่ว่างและสัญญาณเรียกกลับ	32
3.2 วงจรตรวจนับสัญญาณเรียก (Ringing Detector)	32
บทที่ 4 การทดลองและผลการทดลอง	34
บทที่ 5 บทวิจารณ์และบทสรุป	41
หนังสืออ้างอิง	42

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป

หน้า

รูปที่ 1.1 แสดงการเชื่อมต่อเครื่องส่งสัญญาณเตือนภัยผ่านทางโทรศัพท์ 2

รูปที่ 2.1 แสดง Block Diagram ของเครื่องส่งสัญญาณเตือนภัยผ่านทางโทรศัพท์ 3

รูปที่ 2.2 แสดงขั้นตอนการทำงานของเครื่องส่งสัญญาณเตือนภัยผ่านทางโทรศัพท์ 5

รูปที่ 2.3 วงจรตรวจสอบการยกหู 6

รูปที่ 2.4 วงจรตรวจสอบสัญญาณเรียก 7

รูปที่ 2.5 วงจรตรวจนับสัญญาณเรียก 8

รูปที่ 2.6 วงจรตรวจจับสัญญาณ Dialing , RBT , Busy 9

รูปที่ 2.7 แสดงวงจรการใช้งานที่ต่อร่วมกับอุปกรณ์ภายนอกของ ISD2590 10

รูปที่ 2.8 Block Diagram แสดงโครงสร้างของ MCS – 51 13

รูปที่ 2.9 แสดงวงจรกำเนิดสัญญาณความถี่คู่ (DTMF) โดยใช้ IC TP 5088 18

รูปที่ 2.10 แสดงโครงสร้างภายในของ IC TP 5088 21

รูปที่ 2.11 แสดง Block Diagram ของ 8255 23

รูปที่ 2.12 แสดง CONTROL WORD ของ 8255 25

รูปที่ 2.13 บล็อกไดอะแกรมแสดงส่วนประกอบของการทำงานของโมดูลอินพุทแบบลอจิก 27

รูปที่ 2.14 วงจร A Stable 28

รูปที่ 2.15 วงจรอินฟราเรดด้านส่ง 29

รูปที่ 2.16 แสดงวงจรการใช้งาน 567 30

รูปที่ 2.17 วงจรอินฟราเรดด้านรับ 30

รูปที่ 4.1 สัญญาณยกหูโทรศัพท์ (HOOK SWITCH DETECTOR) 34

รูปที่ 4.2 สัญญาณ DIAL TONE 34

รูปที่ 4.3 สัญญาณ BUSY TONE 35

รูปที่ 4.4 สัญญาณ RING BACK TONE 35

รูปที่ 4.5 สัญญาณ DTMF หมายเลข 1 36

รูปที่ 4.6 สัญญาณ DTMF หมายเลข 5 36

รูปที่ 4.7 สัญญาณ DTMF หมายเลข 9 37

รูปที่ 4.8 สัญญาณ SINE 1 KHz ที่ใช้บันทึกใน ISD2590 37

รูปที่ 4.9 สัญญาณ OUTPUT ของ ISD2590 38

รูปที่ 4.10 ตัวอย่างสัญญาณเสียงที่ได้จากการบันทึกลงใน ISD2590 38

รูปที่ 4.11 รูปสัญญาณ Output ของวงจรส่งอินฟราเรด 39

รูปที่ 4.12 รูปสัญญาณ Output ของวงจรรับอินฟราเรดก่อนรับสัญญาณจากตัวส่ง 39

รูปที่ 4.13 รูปสัญญาณ Output ของวงจรรับอินฟราเรดหลังรับสัญญาณจากตัวส่ง 40

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

หน้า

ตารางที่ 1 การใช้งานและควบคุมการทำงานของ ISD2590 11

ตารางที่ 2 การกำหนดแอดเดรสของ ISD2590 11

ตารางที่ 3 ค่าความถี่เอาท์พุตจริงๆของ TP 5088 18

ตารางที่ 4 แสดง FUNCTIONAL TRUTH TABLE 19

ตารางที่ 5 รายละเอียดของขาใช้งาน TP 5088 20

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

ในปัจจุบันระบบเศรษฐกิจของประเทศมีการพัฒนามากขึ้นซึ่งเป็นเหตุให้การพัฒนาปัจจัยอื่นๆที่จำเป็นสำหรับการดำเนินงานมีผลตามไปด้วย โดยเฉพาะในระบบการสื่อสารโทรคมนาคมได้ก้าวหน้าไปอย่างมาก ซึ่งจะเห็นว่าอุปกรณ์ที่ใช้ในการสื่อสารโทรคมนาคมมีหลายรูปแบบด้วยกัน ตั้งแต่โทรทัศน์ วิทยุ ดาวเทียมและโดยเฉพาะโทรศัพท์มือถือ ซึ่งเป็นเครื่องมือที่ใช้อำนวยความสะดวกสบายในการสื่อสารเป็นอย่างมาก

เนื่องจากยุคปัจจุบันคนที่ทำงานจำนวนมากต้องใช้เวลาส่วนใหญ่ในการทำงานอยู่ในที่ทำงานจึงไม่ค่อยมีเวลาอยู่กับบ้าน ซึ่งเป็นสาเหตุที่ทำให้เกิดความวิตกกังวลกับทรัพย์สินที่มีค่าที่อยู่ที่บ้านอาจทำให้ประสิทธิภาพในการทำงานลดลงได้ ดังนั้น จึงคิดที่จะประดิษฐ์อุปกรณ์ที่ทำหน้าที่เป็นเสมือนหน่วยรักษาความปลอดภัยภายในบ้าน ที่คอยเตือนเจ้าของบ้านเมื่อตรวจพบความผิดปกติภายในบ้านได้ อุปกรณ์ชิ้นนี้เรียกว่า เครื่องส่งสัญญาณเตือนภัยทางโทรศัพท์ผ่านโทรศัพท์ โดยการทำงานของเครื่องมือชนิดนี้จะต่อพ่วงกับโทรศัพท์บ้าน

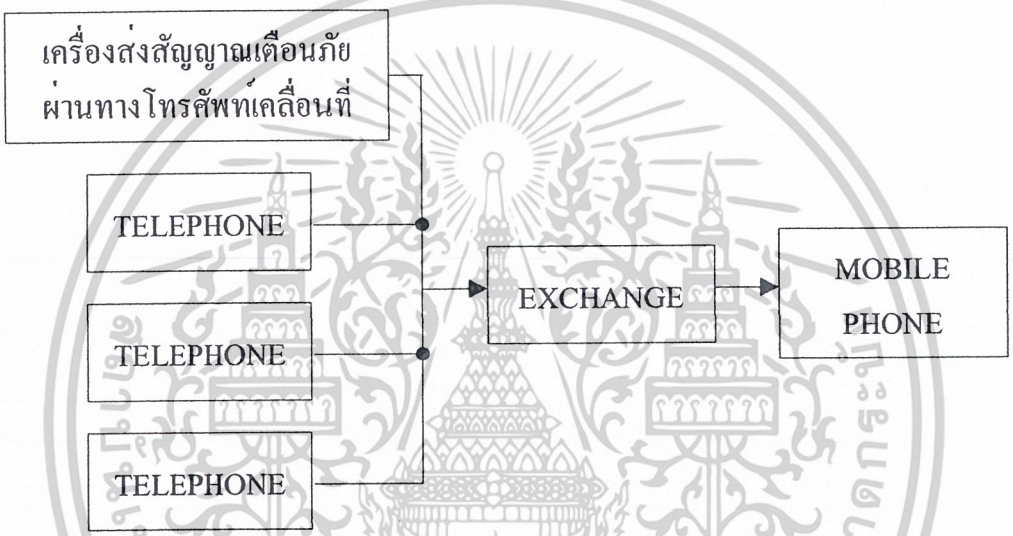
การทำงานของเครื่องในระบบโครงข่ายโทรศัพท์ จะเหมือนกับการใช้โทรศัพท์ติดต่อโทรศัพท์เคลื่อนที่ผ่านโครงข่ายโทรศัพท์ เพียงแต่ทำหน้าที่ติดต่อแบบอัตโนมัติแทน กล่าวคือ เมื่อเครื่องส่งสัญญาณเตือนภัยทางโทรศัพท์ผ่านโทรศัพท์ได้รับสัญญาณเตือนภัย เครื่องก็จะทำหน้าที่ติดต่อกับโทรศัพท์เคลื่อนที่โดยผ่านโครงข่ายโทรศัพท์แล้วทำการส่งข้อความที่ได้บันทึกไว้ก่อนแล้ว

เครื่องส่งสัญญาณเตือนภัยผ่านทางโทรศัพท์ประกอบด้วย อุปกรณ์ตรวจจับ (SENSOR) หน่วยประมวลผลและควบคุม ส่วนกำเนิดสัญญาณความถี่คู่ DTMF ส่วนตรวจจับสัญญาณไม่ว่างและสัญญาณเรียกกลับ (BUSY & RINGBACK TONE) ส่วนฝากข้อความเตือนภัย (ANNOUNCER)

ในการติดต่อโทรศัพท์เคลื่อนที่นั้น เมื่อเครื่องได้รับสัญญาณขัดจังหวะ (INTERRUPT) จากอุปกรณ์ตรวจจับ (SENSOR) เป็นเหตุให้หน่วยประมวลผลและควบคุม (CPU) สร้างสัญญาณควบคุมไปควบคุมการทำงานในส่วนต่างๆของวงจรตามรหัสคำสั่งของโปรแกรมที่ได้บันทึกไว้แล้วในหน่วยความจำ EPROM เพื่อแจ้งเหตุในลักษณะข้อความเตือนภัยไปยังโทรศัพท์เคลื่อนที่โดยผ่านโครงข่ายโทรศัพท์ เริ่มต้นโดยส่วนควบคุมส่งสัญญาณไปควบคุมการยกหู (HANDSET) หลังจากนั้นก็ส่งสัญญาณควบคุมไปยังส่วนกำเนิดสัญญาณความถี่คู่ (DTMF) เพื่อสร้างสัญญาณความถี่ตามหมายเลขของโทรศัพท์เคลื่อนที่ส่งผ่านโครงข่ายโทรศัพท์ หลังจากนั้นก็ส่งสัญญาณควบคุมไปยังส่วนตรวจสอบสัญญาณไม่ว่างและสัญญาณเรียกกลับ (BUSY & RING BACK TONE) เพื่อตรวจจับสัญญาณไม่ว่างและสัญญาณเรียกกลับ ถ้าหน่วยประมวลผลตรวจพบสัญญาณไม่ว่างก็จะสั่งให้ส่วนควบคุมทำการติดต่อกับโทรศัพท์เคลื่อนที่ใหม่ แต่ถ้าพบสัญญาณเรียกกลับ หน่วยประมวลผลก็จะสั่งให้หน่วยควบคุมส่งสัญญาณไปยังส่วนฝากข้อความ (ANNOUNCER) เพื่อฝากข้อความที่ได้บันทึกไว้แล้วไปยังโทรศัพท์เคลื่อนที่ผ่านทางโครงข่ายโทรศัพท์หลังจากเสร็จสิ้นการฝากข้อความส่วนประมวลผลและส่วนควบคุมจะตรวจสอบสัญญาณ EOS เพื่อยกเลิกการทำงาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

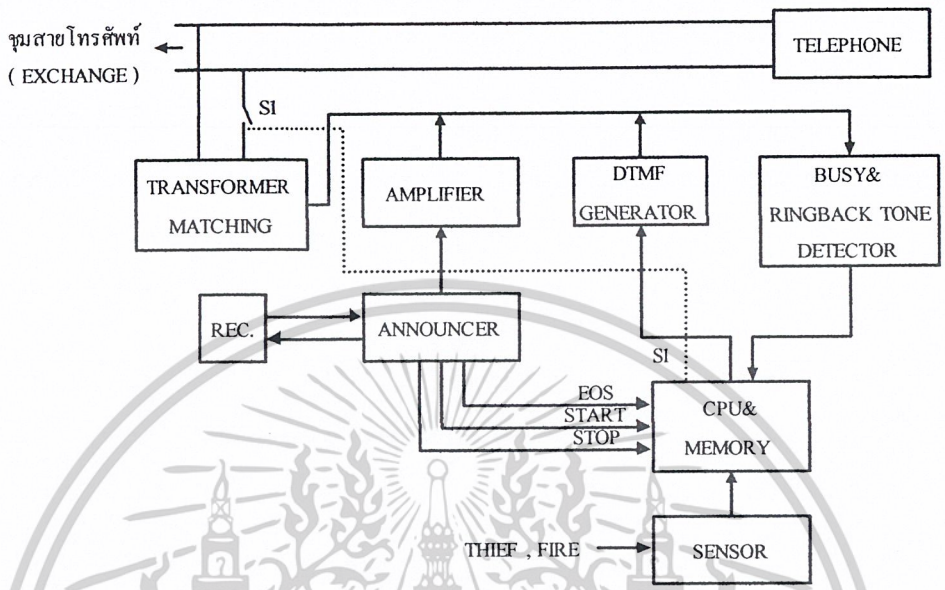
การทำงานของเครื่องส่งสัญญาณเตือนภัยผ่านทางโทรศัพท์ เมื่อต่อกับชุมสายแสดงได้ดังรูปที่ 1 สามารถต่อพ่วงกับเครื่องโทรศัพท์ตามบ้านได้ ในขณะที่เครื่องส่งสัญญาณเตือนภัยผ่านทางโทรศัพท์เคลื่อนที่กำลังทำงาน เครื่องโทรศัพท์ที่ต่อพ่วงอยู่ไม่สามารถใช้งานได้จนกว่าเครื่องนี้จะยกเลิกการทำงาน เครื่องโทรศัพท์จึงจะสามารถใช้งานได้ตามปกติ การทำงานของเครื่องนี้เริ่มจากเมื่อเครื่องได้รับสัญญาณเตือนภัยจากอุปกรณ์ตรวจจับ ก็จะส่งสัญญาณติดต่อโทรศัพท์เคลื่อนที่ผ่านทางโครงข่ายโทรศัพท์เข้าไปที่ชุมสายโทรศัพท์ผ่านไปยังโทรศัพท์เคลื่อนที่ แล้วทำการส่งข้อความไปตามหมายเลขเครื่องที่ได้รับ ซึ่งทำให้ผู้ที่ใช้เครื่องส่งสัญญาณเตือนภัยผ่านทางโทรศัพท์สามารถทราบเหตุที่เกิดขึ้นกับทรัพย์สินมีค่าได้อย่างรวดเร็วและสามารถแก้ปัญหาได้ทันท่วงที.



รูปที่ 1.1 แสดงการเชื่อมต่อเครื่องส่งสัญญาณเตือนภัยผ่านทางโทรศัพท์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
ทฤษฎีและหลักการ



รูปที่ 2.1 แสดง Block Diagram ของเครื่องส่งสัญญาณเตือนภัยผ่านทางโทรศัพท์

จากรูปที่ 2.1 แสดงบล็อกไดอะแกรมแสดงส่วนประกอบต่างๆภายในเครื่องส่งสัญญาณเตือนภัยผ่านทางโทรศัพท์ หลักการทำงานของเครื่อง คือ เมื่อเครื่องได้รับสัญญาณฉุกเฉินจากหน่วยตรวจจับ หน่วยประมวลผลและควบคุมจะทำหน้าที่ควบคุมการกำเนิดสัญญาณความถี่คู่ DTMF ของส่วนวงจร DTMF GENERATOR ตามหมายเลขเครื่องโทรศัพท์เคลื่อนที่ที่ได้กำหนดไว้ และมีวงจรตรวจจับสัญญาณ BUSY และ RING BACK TONE ในกรณีที่สายไม่ว่าง CPU จะควบคุมให้สร้างสัญญาณ DTMF ใหม่เพื่อหมุนไปยังหมายเลขเดิม และเมื่อสามารถติดต่อได้แล้วมีการรับ ส่วนวงจรตรวจจับเสียงจะส่งสัญญาณมาที่ CPU เพื่อควบคุมวงจร ANNOUNCER ให้เล่นเสียงที่ได้บันทึกไว้

ส่วนของวงจรตรวจจับสัญญาณเตือนภัย (DETECT SENSOR) จะทำหน้าที่ตรวจจับความผิดปกติที่เกิดขึ้นแล้วส่งสัญญาณอินเทอร์รัพท์ (INTERRUPT) ให้กับ CPU รับทราบ

S_1 (LINE RELAY) เป็นวงจรที่ทำหน้าที่เปรียบเสมือนกับการเปิด/ปิด (HOOK SWITCH) อาศัยหลักการทำงานของสวิทช์รีเลย์ ซึ่งถูกควบคุมด้วยหน่วยควบคุมและประมวลผล (CPU) และ ON SWITCH อยู่ตลอดเวลาในช่วงของการติดต่อโทรศัพท์เคลื่อนที่ผ่านโครงข่ายโทรศัพท์

ส่วนของวงจรกำเนิดสัญญาณความถี่คู่ (DTMF GENERATOR) จะสร้างสัญญาณความถี่คู่ DTMF ตามรหัสข้อมูลอินพุทแบบไบนารี่ที่ส่งมาจากหน่วยควบคุมและประมวลผล (CPU) ซึ่งเราโปรแกรมหมายเลขไว้ก่อนหน้าแล้ว การสร้างสัญญาณความถี่คู่ในช่วงของการฝากข้อความจะถูกควบคุมการทำงานจากหน่วยประมวลผลและควบคุม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

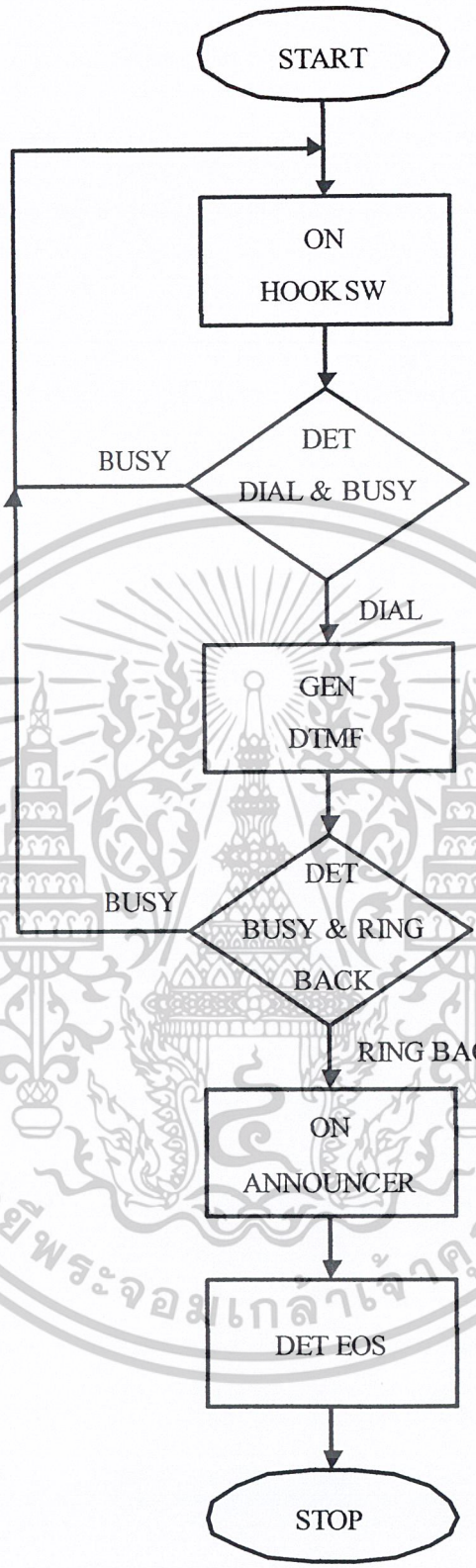
ส่วนของวงจรตรวจจับสัญญาณไม่ว่าง (DETECT BUSY TONE) จะตรวจจับสัญญาณไม่ว่าง (BUSY TONE) สองช่วงเวลา คือ ช่วงแรกจะตรวจจับสัญญาณ BUSY TONE หลังจากที่เครื่องติดต่อกับโทรศัพท์เคลื่อนที่ หลังจากส่งสัญญาณ DTMF ไปแล้ว ถ้าเจอสัญญาณ BUSY TONE ก็จะบอกให้ CPU ทำการส่งสัญญาณ DTMF ไปใหม่ ช่วงหลังจะตรวจจับสัญญาณหลังจากส่งสัญญาณฝากข้อความแล้วเพื่อ RESET เครื่อง

ส่วนของวงจรตรวจจับสัญญาณเรียกกลับ (DETECT RING BACK TONE) จะทำการตรวจจับสัญญาณ RING BACK TONE เมื่อเกิดการติดต่อกับโทรศัพท์เคลื่อนที่ เพื่อบอกให้ CPU ทำการส่งสัญญาณฝากข้อความ

ส่วนสัญญาณฝากข้อความ (ANNOUNCER) เป็นส่วนที่ทำหน้าที่ฝากข้อความไปยังโทรศัพท์เคลื่อนที่ ซึ่งข้อความจะถูกบันทึกไว้ในหน่วยความจำ การส่งสัญญาณฝากข้อความจะถูกควบคุมโดย CPU และสัญญาณฝากข้อความจะถูกขยายก่อนที่จะส่งออกไป

CPU & MEMORY เป็นส่วนที่ทำหน้าที่ประมวลผลและสร้างสัญญาณควบคุมการทำงานของส่วนต่างๆของวงจรให้มีลำดับการทำงานที่สัมพันธ์กัน เพื่อให้เครื่องสามารถทำงานได้ถูกต้อง และการสร้างสัญญาณควบคุมของแต่ละวงจรนั้น จะสร้างตามรหัสคำสั่งของโปรแกรมที่ถูกบันทึกไว้ในหน่วยความจำ EPROM.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

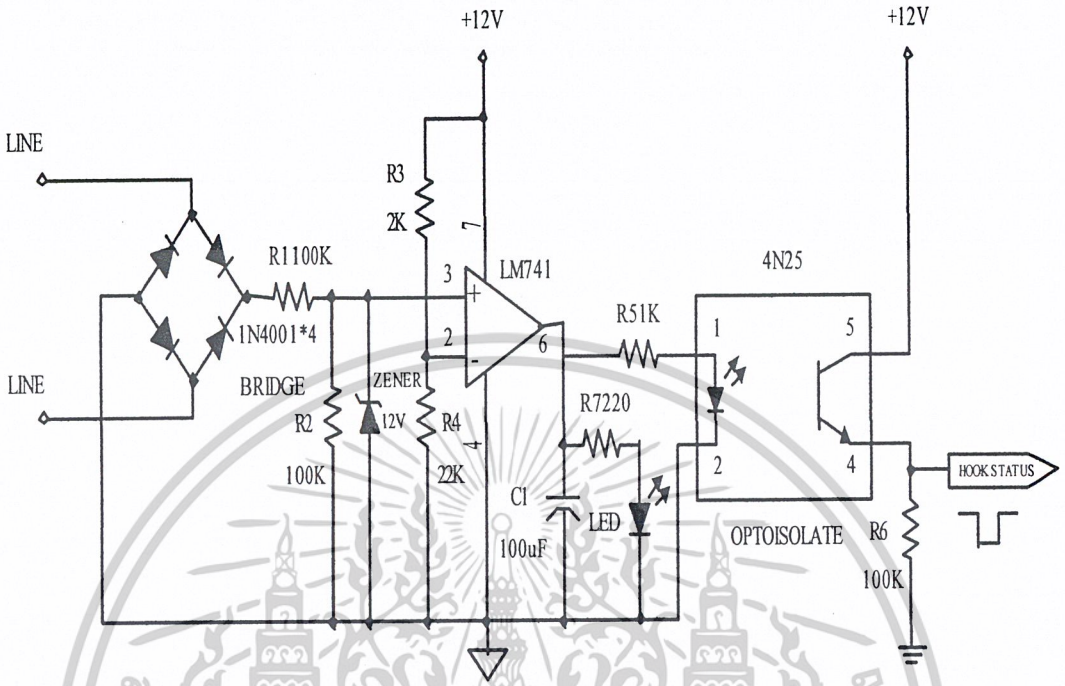


รูปที่ 2.2 แสดงขั้นตอนการทำงานของเครื่องส่งสัญญาณเตือนภัยผ่านทางโทรศัพท์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.1 ส่วนของวงจรตรวจจับสัญญาณโทรศัพท์

2.1.1 วงจรตรวจสอบการยกหู (Hook Switch Detector)



รูปที่ 2.3 วงจรตรวจสอบการยกหู

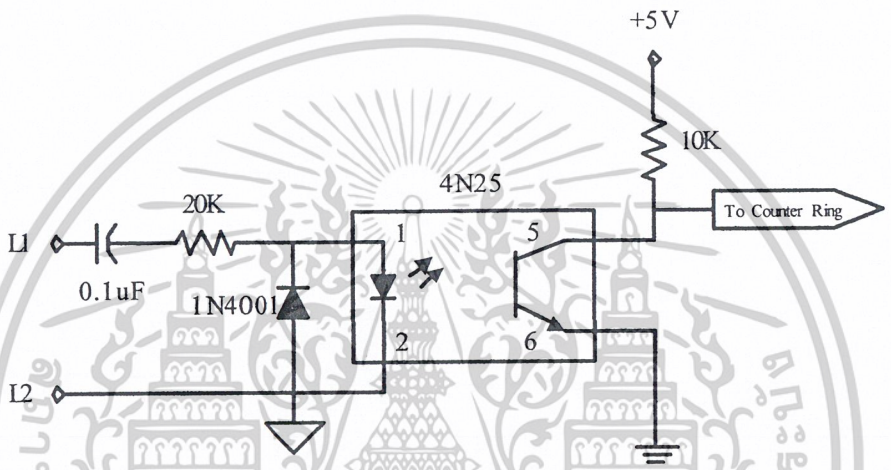
หลักการทำงานของวงจร คือ ใช้การเปรียบเทียบของแรงดันระหว่างการยกหูและการวางหู ซึ่งในขณะที่วางหูอยู่นั้นจะมีแรงดันตกคร่อมคู่สายโทรศัพท์ประมาณ 48 โวลต์ และในขณะที่ทำการยกหู จะทำให้แรงดันตกลงเหลือประมาณ 6 –10 โวลต์ ซึ่งก็แล้วแต่ค่าความต้านทานของเครื่องโทรศัพท์แต่ละเครื่อง เมื่อเป็นเช่นนี้เราจึงได้ใช้ออปแอมป์ ซึ่งตั้งระดับแรงดันอ้างอิงที่ขา 2 ไว้ที่ 11 โวลต์ มาทำงานในส่วนของการเปรียบเทียบระดับแรงดัน และใช้ออปโตไอโซเลเตอร์มาเป็นตัวเปลี่ยนระดับของแรงดันจาก 12 โวลต์มาเป็น 5 โวลต์ เพื่อที่จะให้สามารถใช้ร่วมกับแรงดันในส่วนของไมโครคอนโทรลเลอร์ได้

พิจารณาในขณะที่ทำการวางหู แรงดันไฟ 48 โวลต์จะผ่านวงจรบริดจ์เร็คติไฟเออร์ ซึ่งจะให้ขั้วของแรงดันแน่นอน จากนั้นก็จะตกคร่อมตัวต้านทานและซีเนอร์ไดโอด 12 โวลต์ ดังนั้นแรงดันที่ตกคร่อมขา 3 ของออปแอมป์ จึงมีค่าสูงสุดได้แค่ 12 โวลต์ เนื่องจากถูกซีเนอร์ไดโอดจำกัดแรงดันไว้ เมื่อระดับแรงดันที่เข้ามามีค่ามากกว่าระดับแรงดันอ้างอิง ทำให้เอาท์พุตของออปแอมป์มีค่าประมาณ 12 โวลต์ เป็นผลทำให้เกิดการนำกระแสของแอลอีดีและทรานซิสเตอร์ในออปโตไอโซเลเตอร์ เกิดแรงดันตกคร่อมตัวต้านทาน 100 กิโลโอห์มที่เอาท์พุตเป็น 5 โวลต์ ซึ่งแทนด้วยระดับลอจิก “ 1 ”

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

พิจารณาในขณะที่ทำการยกหู แรงดันจะตกลงเหลือประมาณ 6 – 10 โวลต์ตกคร่อมที่ขา 3 ของออปแอมป์ และเมื่อเปรียบเทียบกับระดับแรงดันอ้างอิงแล้วมีค่าน้อยกว่า ทำให้เอาท์พุตของออปแอมป์มีค่าประมาณ 0 โวลต์ เป็นผลทำให้แอลอีดีและทรานซิสเตอร์ไม่นำกระแสแรงดันเอาท์พุตจึงตกลงเป็น 0 โวลต์ ซึ่งแทนด้วยระดับลอจิก " 0 " และถ้าจะประยุกต์ใช้โครงงานนี้ให้สามารถเป็นเครื่องมือตอบรับโทรศัพท์อัตโนมัติและสามารถเปิด-ปิดเครื่องใช้ไฟฟ้าภายในบ้านได้โดยการเพิ่มเติมวงจรเหล่านี้เข้าไป.

2.1.1.1 วงจรตรวจสอบสัญญาณเรียก (Ringing Detector)



รูปที่ 2.4 วงจรตรวจสอบสัญญาณเรียก

หลักการทำงานของวงจรจะคล้ายกับวงจรฮุกสวิตช์ดีเทกเตอร์ คือ จะใช้การเปรียบเทียบของระดับแรงดันในคู่สาย กล่าวคือ ในขณะที่ชุมสายทำการส่งสัญญาณเรียกมายังเครื่องรับโทรศัพท์ ลักษณะของสัญญาณที่ส่งมานั้นจะเป็นคลื่นรูปไซน์ แรงดันประมาณ 100 โวลต์พีคทูพีคหรือประมาณ 70 – 90 โวลต์อาร์เอ็มเอ็สผ่านเข้าวงจร ซึ่งจะเจอกับตัวคาปาซิเตอร์ ซึ่งทำหน้าที่ในการกั้นแรงดันไฟตรงไม่ให้เข้ามาได้ จากนั้นก็จะตกคร่อมตัวต้านทานและไดโอด ทำให้แรงดันที่ตกคร่อมขา 3 ของออปแอมป์มีค่ามากกว่าแรงดันอ้างอิงมีผลทำให้แอลอีดีและทรานซิสเตอร์ในออปโตไอโซเลเตอร์นำกระแส เอาท์พุตที่จะได้ต่อมาจากแรงดันที่ตกคร่อมที่ขาคอลเลคเตอร์และกราวด์ของทรานซิสเตอร์ มีค่าประมาณ 0 โวลต์แทนด้วยระดับลอจิก " 0 "

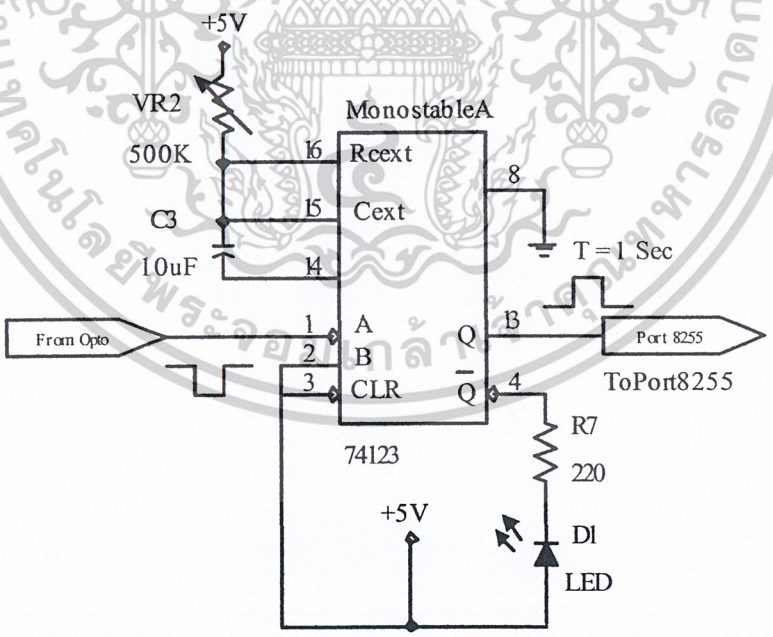
ในทำนองเดียวกัน ช่วงที่ไม่มีสัญญาณเรียกเข้ามา คือ สัญญาณหยุดเงียบ 4 วินาที ค่าเฉลี่ยของแรงดันก็มีค่า 0 โวลต์ตกคร่อมที่ขา 3 ของออปแอมป์ และมีค่าน้อยกว่าแรงดันอ้างอิง ทำให้เอาท์พุตของออปแอมป์มีค่าเป็น 0 โวลต์ไปด้วย แอลอีดีและทรานซิสเตอร์ในออปโตไอโซเลเตอร์จึงไม่เกิดการนำกระแส แรงดันเอาท์พุตที่ตกคร่อมขาคอลเลคเตอร์และอิมิตเตอร์จึงมีค่าประมาณ 5 โวลต์แทนด้วยระดับแรงดันลอจิก " 1 "

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดังนั้นเอาท์พุตที่ได้จากขาคอลเลคเตอร์ของออปโตไอโซเลเตอร์ จะมีค่าเป็นลอจิก " 1 " เมื่อไม่มีสัญญาณเรียกเข้ามา และจะเป็นลอจิก " 0 " เมื่อมีสัญญาณเรียกเข้ามา สัญญาณที่ได้นี้จะนำไปเข้าในส่วนของการนับจำนวนครั้งของสัญญาณเรียก เพื่อจะเป็นการกำหนดว่าจะให้สัญญาณเรียกดังกี่ครั้งจึงจะตัดเข้าสู่การทำงานของโหมดการตอบรับอัตโนมัติ โดยจะนำสัญญาณที่ได้เข้าไปยังวงจรโมโนสเตเบิ้ล ซึ่งใช้ไอซีเบอร์ 74123 และกำหนดค่าไทม์คอนสแตนซ์ไว้ที่ 1 วินาที ซึ่งจะเท่ากับเวลาของการเกิดสัญญาณเรียกพอดี ค่าของไทม์คอนสแตนซ์จะกำหนดได้จากอุปกรณ์ VR_2 และ C_3 ในวงจร ซึ่งสามารถคำนวณได้จากสูตร T = 1.1 RC โดยจะทำการกำหนดค่าความจุของคาปาซิเตอร์ไว้ก่อนที่ค่า 10 ไมโครฟารัด ดังนั้น เราจึงหาค่าของตัวต้านทานได้ คือ

$$R = T / 1.1\ C$$
$$= 1 / 1.1 * 10 \text{ ไมโครฟารัด}$$
$$= 90.9 \text{ กิโลโอห์ม}$$

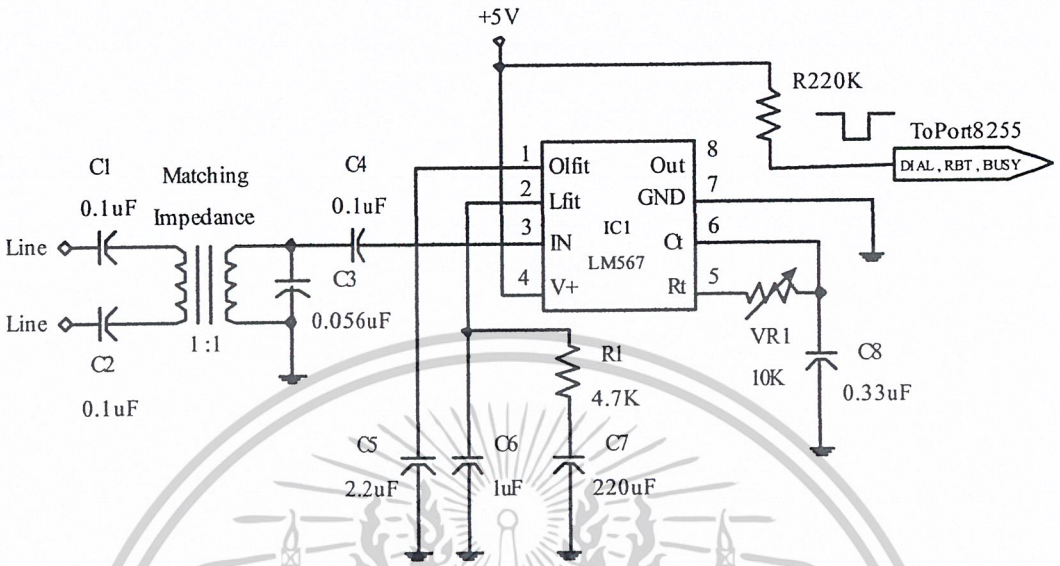
เอาท์พุตที่ได้ออกที่ขา 13 ของไอซี 74123 ซึ่งมีค่า T = 1 วินาที จะถูกป้อนให้กับวงจรนับซึ่งจะทำให้เอาท์พุต Q0 – Q9 เรียงลำดับออกมาเมื่อมีสัญญาณนาฬิกามากระตุ้นที่ขา CLK ของไอซี 74123 การกำหนดว่าต้องการให้เสียงกระดิ่งดังกี่ครั้งจึงจะตัดเข้าสู่การทำงานในโหมดของการตอบรับอัตโนมัติ ทำได้โดยเลือกจากดิพสวิตช์ก็จะสามารถกำหนดได้แล้ว.



รูปที่ 2.5 วงจรตรวจนับสัญญาณเรียก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.1.2 วงจรตรวจสอบสัญญาณหมุนหมายเลข (Dial) , สัญญาณเรียกกลับ (RBT) , สัญญาณไม่ว่าง (Busy)



รูปที่ 2.6 วงจรตรวจจับสัญญาณ Dialing , RBT , Busy

หลักการทำงาน คือ จะเห็นได้ว่าสัญญาณหมุนหมายเลข , สัญญาณเรียกกลับ , สัญญาณไม่ว่างนั้น จะมีลักษณะเป็นคลื่นรูปไซน์ และความถี่ประมาณ 400 เฮิรตซ์เท่ากัน จะแตกต่างที่ช่วงของเวลาการเกิดของสัญญาณแต่ละสัญญาณเท่านั้น จึงใช้ไอซีเบอร์ LM567 ซึ่งเป็นไอซีโทนดีโค้ดเดอร์ (Tone Decoder) เป็นตัวตรวจจับสัญญาณความถี่ 400 เฮิรตซ์ และจะให้เอาท์พุตเป็นลอจิก " 0 " ก็ต่อเมื่อความถี่ที่ป้อนเข้ามามีค่าตรงกับความถี่ที่เราต้องการดีเทค คือ 400 เฮิรตซ์ ถ้าความถี่ที่เข้ามาไม่ตรงกับความถี่ที่กำหนดไว้ เอาท์พุตก็จะมีค่าเป็นลอจิก " 1 " การกำหนดค่าของความถี่ที่ต้องการดีเทคออกมานั้น สามารถหาได้จากสูตร

$$f = 1 / 1.1\ RC$$

ในวงจรนี้ C_8 และ VR_1 จะเป็นตัวกำหนดความถี่ที่ต้องการออกมา โดยในการคำนวณ เราจะกำหนดค่า C ไว้ที่ 0.33 ไมโครฟารัด ความถี่ที่ต้องการ 400 เฮิรตซ์ เราก็จะได้ค่า R ออกมา คือ

$$R = 1 / 1.1 * f * C$$
$$= 1 / 1.1 * 400 * 0.33 \text{ ไมโครฟารัด}$$
$$= 6.88 \text{ กิโลโอห์ม}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

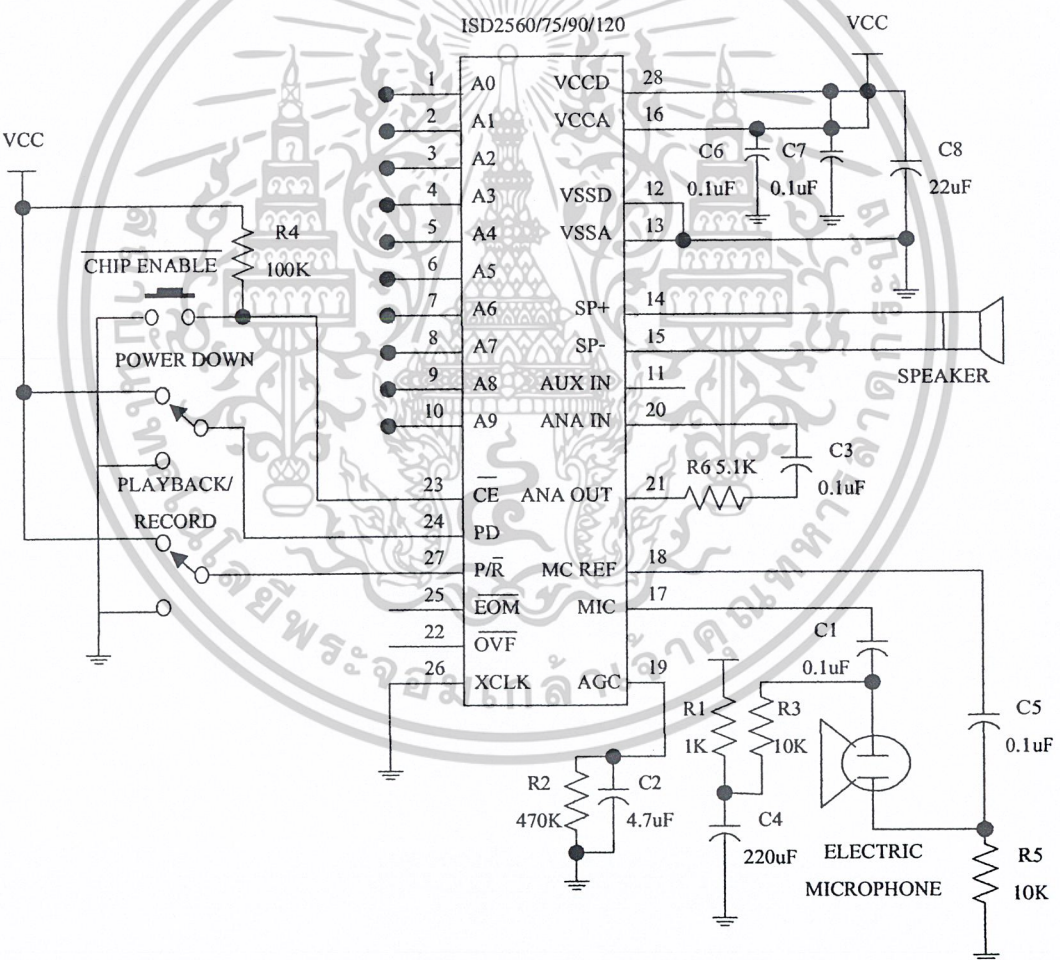
สัญญาณที่เอาท์พุตจะมีลักษณะเป็นพัลส์สแควร์เวฟ เกิดขึ้นตามสัญญาณที่เข้ามากล่าวคือ

1. ถ้าเป็นสัญญาณหมุนหมายเลข จะมีลักษณะการเกิดของสัญญาณความถี่ 400 เฮิรตซ์ที่ต่อเนื่องและยาว เอาท์พุตที่ออกมาจะมีลักษณะเป็นลอจิก " 0 " ยาวติดกันไปตลอด

2. ถ้าเป็นสัญญาณไม่ว่าง จะมีลักษณะการเกิดของสัญญาณความถี่ 400 เฮิรตซ์ 0.5 วินาที และเวลาหยุด 0.5 วินาที สลับกันไป เอาท์พุตที่ได้จะมีลักษณะเป็นลอจิก " 0 " และลอจิก " 1 " สลับกันตลอด

3. ถ้าเป็นสัญญาณเรียกกลับ จะมีลักษณะการเกิดของสัญญาณความถี่ 400 เฮิรตซ์ 1 วินาที และเวลาหยุด 4 วินาที สลับกันไปเรื่อยๆเอาท์พุตที่ได้จะมีลักษณะเป็นลอจิก " 0 " 1 วินาทีและลอจิก " 1 " 4 วินาที.

2.2 วงจรใช้งานของ ISD2590



รูปที่ 2.7 แสดงวงจรการใช้งานที่ต่อร่วมกับอุปกรณ์ภายนอกของ ISD2590

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2.1 ลำดับขั้นตอนในการบันทึกและเล่นกลับ แสดงดังตารางที่ 1

ขั้นตอนการควบคุม	หน้าที่	การปฏิบัติ
1	จ่ายไฟเลี้ยงและเลือกโหมดการบันทึกหรือเล่นกลับ	(1) PD = 0 (2) เลือกบันทึก/เล่นกลับ
2	Set จุดเริ่มต้นของการบันทึกหรือเล่นกลับ	Set ขา address A0 – A9
3A	เริ่มต้นการเล่นกลับ	PR = 1 และ CE = 0
3B	เริ่มต้นการบันทึก	PR = 0 และ CE = 0
4A	สิ้นสุดการเล่นกลับ	อัตโนมัติ
4B	สิ้นสุดการบันทึก	PD หรือ CE = 1

ตารางที่ 1 การใช้งานและควบคุมการทำงานของ ISD2590

2.2.2 การกำหนดตำแหน่งแอดเดรสเพื่อใช้ในการบันทึกและเล่นกลับ

ISD2590 สามารถอ้างแอดเดรสเพื่อกำหนดช่วงในการบันทึกและเล่นกลับได้ โดยการควบคุมที่ขา A9 ถึง A0 โดยค่าของ A9 ถึง A0 จะถูกควบคุมโดยการกำหนดสภาวะให้เป็น " 1 " หรือ " 0 " เพื่อเป็นการกำหนดตำแหน่งเริ่มต้นของข้อความที่บันทึกหรือเล่นกลับ ดูจากตารางที่ 2 ซึ่งแสดงตำแหน่งของแอดเดรสต่างๆดังต่อไปนี้

เลขฐานสิบ	*เลขฐานสอง*										วินาที
	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0	
0	0	0	0	0	0	0	0	0	0	0	0
120	0	0	0	1	1	1	1	0	0	0	18
240	0	0	1	1	1	1	0	0	0	0	36
360	0	1	0	1	1	0	1	0	0	0	54
480	0	1	1	1	1	0	0	0	0	0	72

ตารางที่ 2 การกำหนดแอดเดรสของ ISD2590

จากตารางที่ 2 ถ้ากำหนดให้แอดเดรส A9 ถึง A0 มีสภาวะเป็น " 0 " ทั้งหมด การบันทึกการเล่นกลับจะเริ่มต้นในวินาทีที่ 0 ในการออกแบบจะใช้ไอซี ISD2590 ทั้งหมด 2 ตัว โดยให้ตัวแรกทำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หน้าที่ในการตอบรับ และอีกตัวที่เหลือทำหน้าที่ในการบันทึกผู้ที่โทรเข้ามาในขณะที่ไม่มีผู้ใดรับสาย.

2.3 ไมโครคอนโทรลเลอร์ MCS – 51

2.3.1 กล่าวนำ

ไมโครคอนโทรลเลอร์แบบชิพเดี่ยว (Single Chip Microcontroller) คือ ไมโครคอมพิวเตอร์แบบที่มีขนาดเล็กโดยบรรจุไว้ในแผงวงจรรวม (Integrated Circuit) เพียงชิพเดียวเหมาะสำหรับควบคุมอุปกรณ์อื่นๆ โดยอัตโนมัติ โดยผู้ใช้สามารถเขียนโปรแกรมควบคุมได้ตามต้องการ ซึ่งไมโครคอนโทรลเลอร์ชิพเดี่ยวตระกูล 51 หรือ MCS – 51 ที่เลือกใช้ในโครงการนี้ คือ เบอร์ AT89C51 ของบริษัท ATMEL ซึ่งเป็นไมโครคอนโทรลเลอร์ ที่มีหน่วยความจำโปรแกรม (ROM) ภายในแบบ Flash Memory ขนาด 4 Kbytes ซึ่งเป็นหน่วยความจำที่สามารถเขียนและลบข้อมูลได้ใหม่ถึง 1,000 ครั้ง โดยที่ไม่ต้องใช้หน่วยความจำแบบ EPROM ภายนอก และสะดวกต่อการพัฒนาโปรแกรม

คุณสมบัติของไมโครคอนโทรลเลอร์เบอร์ AT89C51

ไมโครคอนโทรลเลอร์เบอร์ AT89C51 ผลิตโดยบริษัท ATMEL เป็นไมโครคอนโทรลเลอร์ขนาด 8 บิต ซึ่งมีคุณสมบัติที่สำคัญดังนี้

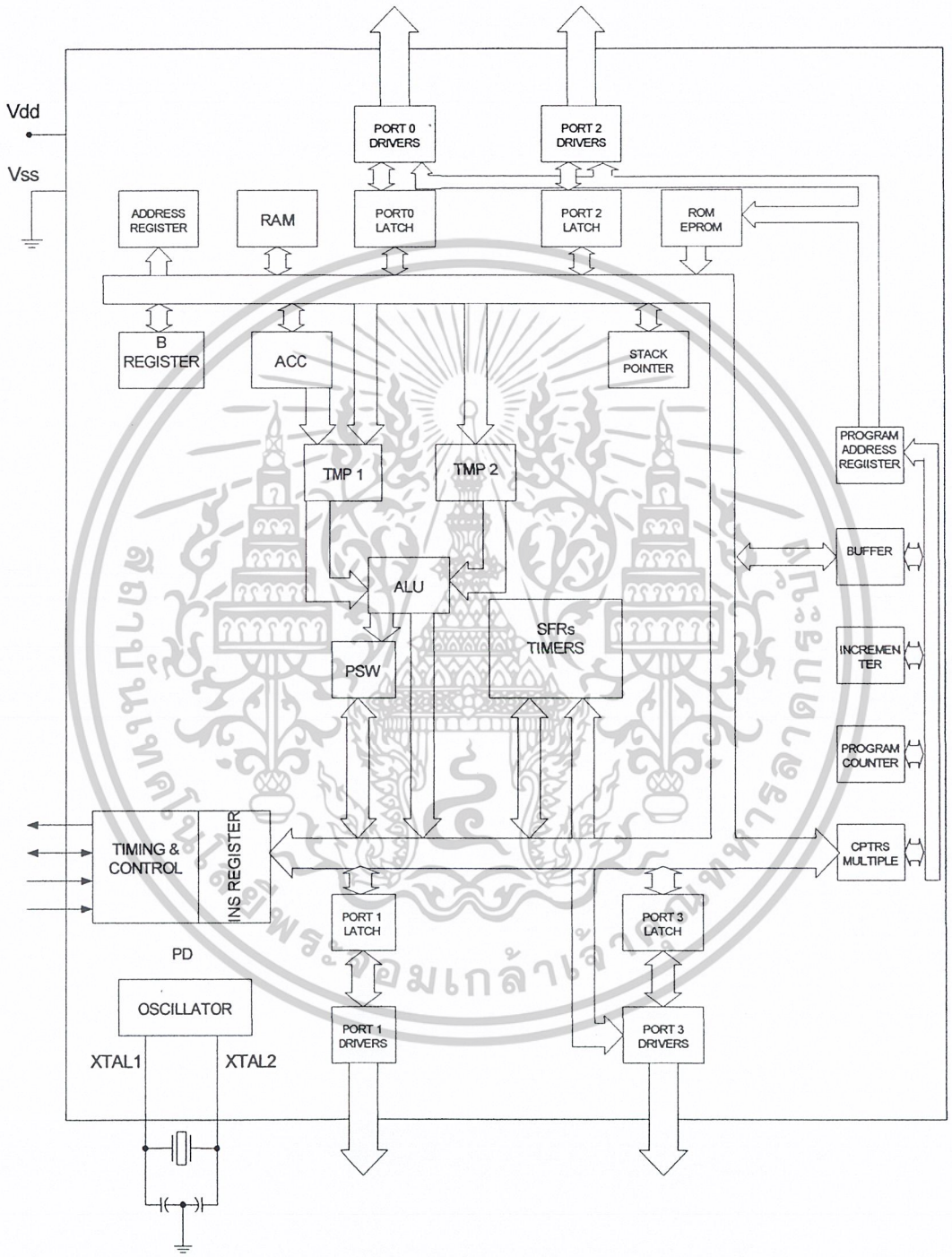
- มีหน่วยความจำสำหรับเก็บโปรแกรมควบคุมการทำงานอยู่ภายใน 4 Kbytes ซึ่งเพียงพอต่อการทำงานของโครงการนี้
- สามารถต่อหน่วยความจำข้อมูล (Data Memory) ซึ่งเป็นหน่วยความจำสำหรับเก็บข้อมูลในระหว่างการทำงานของโปรแกรม (RAM) ได้ 64 Kbytes
- สามารถใช้กับหน่วยความจำโปรแกรมภายนอก (Program Memory) ซึ่งเป็นหน่วยความจำซึ่งใช้สำหรับเก็บชุดคำสั่งที่จะทำให้ MCS – 51 ทำงานได้สูงสุด
- มีคำสั่งคูณและหารเลขขนาด 8 บิต
- มีการติดต่อสื่อสารข้อมูลแบบอนุกรม (Series) หรือ Universal Asynchronous Receiver Tramitter (UART)
- มีวงจร Timer / Counter ขนาด 16 บิต 2 ชุด
- มีการขอขัดจังหวะการทำงานของโปรแกรม (Interrupt)
- ต้องการแหล่งจ่ายไฟ 5 โวลต์เพียงชุดเดียว
- สามารถเลือกการทำงานให้อยู่ในโหมดของ Idle (การทำงานปรกติ) และ Powerdown (การประหยัดพลังงานไฟฟ้า)

จากคุณสมบัติที่กล่าวถึงทำให้ MCS – 51 เป็นที่นิยมใช้ในการควบคุมระบบอัตโนมัติซึ่งบรรจุไว้ในไอซีรวมเดี่ยว (Single Chip) ขนาด 40 ขา ดังนั้น จึงสามารถออกแบบให้ระบบมีขนาดเล็ก ทำให้ตรวจสอบหาข้อผิดพลาดได้ง่าย รวมถึงการลดต้นทุนการผลิต หากจะต้องมีการผลิตเป็นจำนวนมาก.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3.2 โครงสร้างของ MCS – 51

โครงสร้างภายในของ MCS – 51 ประกอบด้วยเกทต่างๆ เช่น AND OR NOT ซึ่งเกทเหล่านี้จะถูกออกแบบให้มีหน้าที่การทำงานต่างๆ เช่น วงจรถอดรหัสสร้างสัญญาณนาฬิกา โครงสร้างภายในของ MCS – 51 จะประกอบด้วยส่วนย่อยๆดังบล็อกไดอะแกรมรูปที่ 2.8



รูปที่ 2.8 บล็อกไดอะแกรมแสดงโครงสร้างของ MCS – 51

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 2.8 โครงสร้างของ MCS – 51 ประกอบด้วย 3 ส่วนใหญ่ๆ คือ

1. CPU (Central Processing Unit) ซึ่งมีส่วนย่อยอีก แต่ละส่วนมีหน้าที่ต่างๆกัน ได้แก่ส่วนสร้างสัญญาณควบคุม (Control Unit) ในการติดต่อกับส่วนอื่นๆ ส่วนประมวลผลทางคณิตศาสตร์ (Arithmetic Unit)
2. หน่วยความจำ (Memory) มีไว้สำหรับจดจำข้อมูล สำหรับนำข้อมูลไปเก็บไว้และอ่านเอาข้อมูลออกมาจากหน่วยความจำ
3. Input / Output Device ทำหน้าที่ในการรับส่งข้อมูลกับอุปกรณ์ภายนอก.

2.3.3 การจัดการหน่วยความจำของ MCS – 51

หน่วยความจำของ MCS – 51 แบ่งออกเป็น 2 แบบ คือ

1. Program Memory เป็นหน่วยความจำที่ใช้สำหรับเก็บโปรแกรมการทำงาน ซึ่งจะเป็น ROM (Read Only Memory) เท่านั้น แบ่งเป็นหน่วยความจำภายใน (Internal Memory) ซึ่งจะอยู่ภายใน MCS – 51 จำนวน 4 กิโลไบต์ ตำแหน่งของหน่วยความจำเนื้อที่ OOOOH ถึง OFFFH และหน่วยความจำภายนอก (External Memory) ตำแหน่งหน่วยความจำจะอยู่ที่ 1FFFH ถึง FFFFH.

2.3.4 สถาปัตยกรรมของ MCS – 51

สถาปัตยกรรมภายในของ MCS – 51 ซึ่งจะอธิบายถึงส่วนย่อยๆภายใน MCS – 51 เพียงชิพเดียว ดังรูปที่ 2.8 และสัญญาณจากภายในจะต่อออกมาสู่ภายนอกทางขา (Pin) ต่างๆของ MCS – 51 ที่มีอยู่ 40 ขา

ไมโครคอนโทรลเลอร์ MCS – 51 บรรจุอยู่ในไอซีวงจรรวมแบบ Dual Inline Package (DIP) มีขาอยู่ข้างละ 20 ขา รวมทั้งหมด 40 ขานั้นจะใช้งานต่างๆกันดังนี้

- Vcc ขา 40 เป็นขาที่ต้องป้อนไฟเลี้ยง +5V
- Vcc ขา 20 เป็นขาที่ต่อกับกราวด์
- Port 0 เป็นพอร์ตขนาน 8 บิตอยู่ที่ขา 39 ถึง 32 เริ่มจากบิต 0 ถึง บิต 7 ตามลำดับ (P0.0 – P 0.7) พอร์ต 0 นี้ใช้ได้ทั้งการรับและส่งตำแหน่งและข้อมูลกับหน่วยความจำหรือใช้เป็นพอร์ตรับ – ส่งข้อมูล
- Port 1 เป็นพอร์ตขนาน 8 บิต คือ ขา P1.0 ถึง P1.7 (ขา 1 – 8) ใช้ทำหน้าที่รับส่งข้อมูลเท่านั้น
- Port 2 อยู่ที่ขา 21 ถึง 28 เป็นพอร์ตขนาน 8 บิต คือ ขา P2.0 ถึง P2.7 ใช้งาน 2 ลักษณะ คือ ใช้ส่งค่าตำแหน่งหน่วยความจำภายนอก ค่าตำแหน่งนี้เป็น 8 บิตของค่าตำแหน่งและใช้เป็นพอร์ตรับและส่งข้อมูลกับภายนอก
- Port 3 คือ ขา P3.0 ถึง P3.7 (ขา 10 – 17) พอร์ตนี้ทำหน้าที่เป็น I / O Port และอีกหน้าที่หนึ่ง คือ ส่งสัญญาณควบคุมออกมาและรับสัญญาณเข้าไป สัญญาณต่างๆแต่ละบิตมีดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- P3.0 / RXD (Serial Input Port) เป็นขาที่ใช้รับข้อมูลแบบอนุกรม
- P3.1 / TXD (Serial Output Port) เป็นขาที่ใช้ส่งข้อมูลแบบอนุกรม
- P3.2 / INT0 (External Interrupt) ใช้รับสัญญาณขัดจังหวะจากภายนอก
- P3.3 / INT1 (External Interrupt) ใช้รับสัญญาณขัดจังหวะจากภายนอก
- P3.4 / T0 (Time / Counter 0 External Interrupt) ใช้รับสัญญาณเข้าไปยังวงจร Time / Counter 0 ที่ทำหน้าที่นับจำนวนไซเคิลของสัญญาณ T0 นี้หรือสัญญาณนาฬิกา
- P3.5 / T1 (Time / Counter 1 External Interrupt) ใช้รับสัญญาณเข้าไปยังวงจร Time / Counter 1 ทำหน้าที่เหมือนกับ T0
- P3.6 / WR (External Data Memory Write Strobe) ขาสัญญาณควบคุมการเขียนข้อมูลไปยังหน่วยความจำภายนอก
- P3.7 / RD (External Data Memory Read Strobe) ขาสัญญาณควบคุมการอ่านข้อมูลสำหรับหน่วยความจำภายนอก

➢ RST ขา 9 ใช้สำหรับรีเซ็ทการทำงานของ MCS – 51

➢ ALE (Program Store Enable) อุปกรณ์ภายนอก จะใช้สัญญาณนี้ในการแลตช์ข้อมูลที่ส่งออกมาทางพอร์ต 0

➢ PSEN (Program Store Enable) ขาที่ 29 ใช้เมื่อต้องการอ่านคำสั่งที่จะนำไปใช้งานมาจากหน่วยความจำสำหรับโปรแกรมภายนอก

➢ EA (External Access) คือ ขาที่ 31 เป็นขาอินพุทที่ต่อเข้าไปยังวงจร Timing and Control เพื่อควบคุมการสร้างสัญญาณ PS

➢ XTAL 1 (ขา 19) ขานี้จะต่อเข้ากับวงจรขยายแบบป้อนกลับเฟส (Inverting Amplifier) ที่ประกอบด้วยวงจรออสซิลเลเตอร์ ซึ่งเป็นอินพุตเข้าสู่วงจร

➢ XTAL 2 (ขา 18) ขานี้เป็นจุดเอาท์พุตของวงจรขยายแบบกลับเฟส ที่ประกอบด้วยวงจรออสซิลเลเตอร์.

2.3.5 การทำงานของ MCS – 51

การทำงานของ MCS – 51 ผู้ใช้จะต้องเขียนโปรแกรมเป็นภาษาเครื่องซึ่งอยู่ในรูปของเลขฐาน 2 ที่เก็บไว้ในหน่วยความจำประเภท Program Memory แต่ละคำสั่งอาจประกอบด้วย 1 , 2 หรือ 3 ไบต์ก็ได้มากระทำตามคำสั่งนั้น โดยจะเริ่มจากการทำงานภายใน MCS – 51 เองแล้วช่วงต่อไปจะเป็นช่วงการทำงานตามคำสั่ง (Execute Cycle) ซึ่งการทำงานดังกล่าวจะขึ้นอยู่กับสัญญาณควบคุมที่สร้างจากวงจร Oscillator ทำให้การทำงานต่างๆเป็นไปตามลำดับ

ในหนึ่งแมชชีนไซเคิล คือ ช่วงเวลาตั้งแต่ S1 ถึง S6 ซึ่งจะใช้เวลา 12 คาบของสัญญาณออสซิลเลเตอร์ หากใช้ออสซิลเลเตอร์ความถี่ 12 MHz จะได้ว่าใน 1 แมชชีนไซเคิลใช้เวลา 1 ไมโครวินาที ดังนั้นการทำงานใน 1 คำสั่ง ต่ำสุดจะกินเวลาเพียง 1 ไมโครวินาที รูปที่ 2.7 (A)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แสดงการทำงานของคำสั่ง INCA ซึ่งเป็นคำสั่ง 1 ไบต์ ทำงานเสร็จภายใน 1 แมชชีนไซเคิล รูปที่ 2.7 (C) แสดงการทำงานของคำสั่ง ADDA , # data ซึ่งเป็นคำสั่ง 2 ไบต์ แต่ทำงานเสร็จภายใน 1 แมชชีนไซเคิล รูปที่ 2.7 (D) แสดงการทำงานของคำสั่ง MOVX ซึ่งเป็นคำสั่ง 1 ไบต์ แต่ทำงานเสร็จภายใน 2 แมชชีนไซเคิล.

2.3.6 การอินเตอร์รัพต์

การอินเตอร์รัพต์ของ MCS – 51 สามารถรับสัญญาณอินเตอร์รัพต์ที่เกิดขึ้นได้อย่างน้อย 5 ชนิดได้แก่

- อินเตอร์รัพต์จากภายนอก 0 (External Interrupt 0)
- อินเตอร์รัพต์จากภายนอก 1 (External Interrupt 1)
- อินเตอร์รัพต์ของไทม์เมอร์ 0 (Timer Flag Interrupt 0)
- อินเตอร์รัพต์ของไทม์เมอร์ 1 (Timer Flag Interrupt 1)
- อินเตอร์รัพต์ของพอร์ตสื่อสารอนุกรม (Serial Port Interrupt)

การอินเตอร์รัพต์แต่ละชนิดที่ MCS – 51 สามารถรับได้ แบ่งกลุ่มดังนี้

1. External Interrupt เป็นอินเตอร์รัพต์ที่เกิดขึ้นจากภายนอก MCS – 51 มี 2 ชนิด คือ External Interrupt 0 และ External Interrupt 1 โดยต่อเข้าที่ขา 12 (INT 0) และขา 12 (INT 1) ตามลำดับ ซึ่งสัญญาณอินเตอร์รัพต์ชนิดนี้จะทำงานเมื่อสัญญาณภายนอกที่ส่งเข้ามามีสถานะลอจิกเป็น 0
2. Timer Flag Interrupt อินเตอร์รัพต์ของกลุ่มนี้ประกอบด้วย Timer Flag Interrupt 0 และ Timer Flag Interrupt 1 เป็นอินเตอร์รัพต์ที่เกิดขึ้นจากภายในตัวเอง จะเกิดขึ้นโดยบิต TF0 หรือ TF1 ถูกเซ็ตเมื่อ ไทม์เมอร์ 0 หรือไทม์เมอร์ 1 เกิด Overflow ขึ้น ทำให้เกิดสัญญาณอินเตอร์รัพต์เข้าไปขัดจังหวะการทำงานของโปรแกรมที่ทำงานอยู่ขณะนั้นให้ทำงานอื่นแทน
3. Serial Port Interrupt เป็นอินเตอร์รัพต์ที่เกิดขึ้นจากภายในตัวชิพเอง สัญญาณอินเตอร์รัพต์ที่เกิดขึ้นได้มาจากบิต TI หรือ RI บิตที่ควบคุมการอินเตอร์รัพต์ทั้งสองนี้จะไม่ถูกเคลียร์โดยฮาร์ดแวร์ใน MCS – 51 เมื่อซีพียูไปทำงานในโปรแกรมบริการอินเตอร์รัพต์ เพราะการเกิดอินเตอร์รัพต์ของพอร์ตสื่อสารอนุกรมอาจเกิดจากบิต RI หรือ TI ก็ได้ ดังนั้น โปรแกรมในส่วนบริการอินเตอร์รัพต์จะต้องตรวจสอบเองว่า สัญญาณอินเตอร์รัพต์ที่เกิดขึ้นได้มาจากบิต TI หรือ RI บิตทั้งสองจะถูกเคลียร์โดยซอฟแวร์เท่านั้น

การทำงานเกี่ยวกับการอินเตอร์รัพต์นั้น จะมี Special Function Register ที่เกี่ยวข้องโดยตรง 2 ตัว ได้แก่ IE (Interrupt Enable) และ IP (Interrupt Priority) รีจิสเตอร์ IE สามารถควบคุมการอินเตอร์รัพต์ใน MCS – 51 ได้ทั้งหมด โดยใช้บิต EA ให้มีค่าเป็น 0 สัญญาณอินเตอร์รัพต์ทุกชนิดที่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เกิดขึ้นจะไม่สามารถอินเตอร์รัพต์ MCS – 51 ได้สำหรับรีจิสเตอร์ IP นั้น เราสามารถจัดลำดับความสำคัญของการทำอินเตอร์รัพต์ได้โดยเซ็ทบิตเป็น 1 สำหรับอินเตอร์รัพต์ที่มีความสำคัญสูง และเซ็ทบิตให้เป็น 1 สำหรับอินเตอร์รัพต์ที่มีความสำคัญต่ำ

ขา 22 สัญญาณพลัส " 0 " จะปรากฏออกทางขาเอาท์พุตนี้เพื่อเป็นการแสดงว่าสิ้นสุดการเล่นกลับหรือหน่วยความจำภายใน ไอซีถูกอ่านออกมาจนหมดแล้วและจะแสดงเป็นสภาวะเล่นกลับ พัลส์จากขานี้จะจ่ายให้กับขาอินพุตจนกว่าขาจะได้รับพัลส์เพื่อทำการรีเซ็ท และเริ่มวงรอบการเล่นกลับใหม่อีกครั้ง พัลส์ที่ขานี้จะสามารถใช้เริ่มต้นการทำงานของ ISD2590 ในตัวถัดไปได้เมื่อมีการต่อค่าคาสเคดกันอยู่หลายตัว

- Auxiliary Input : (AUX IN)

ขา 11 จะเป็นขารับอินพุตจากภายนอกเพื่อทำการมัลติเพล็กซ์สัญญาณผ่านออกไปทางเอาท์พุตลำโพง โดยขั้นตอนการทำงานนี้จะเกิดขึ้นเมื่อขามีสถานะเป็น " 1 " วงรอบของการเล่นกลับก็จะสิ้นสุดลง หรือเมื่อสัญญาณที่บันทึกไว้ถูกเล่นกลับจนหมดแล้ว มีการต่อคาสเคด ISD2590 กันหลายๆขา AUX IN จะถูกใช้เมื่อต่อเข้ากับสัญญาณเล่นกลับที่ออกมาจากขาเอาท์พุตลำโพงของตัวก่อนหน้านี้หรือจากตัวอันดับแรก

- Voltage Input (Vcca , Vccd)

ขา 16 และ 28 เป็นขารับแรงดันที่จะต้องแยกกันระหว่างขารับแรงดันของวงจรอนาล็อกและวงจรดิจิตอลที่ปรากฏอยู่ในตัวไอซีแล้ว ขารับแรงดันต้องการแรงดันไฟเลี้ยง +5 โวลต์และต้องเป็นแรงดันไฟเลี้ยงที่มีสัญญาณรบกวนต่ำมาก

- Ground Input (Vssa , Vssd)

ขา 12 และขา 13 โดยมีคุณสมบัติของไอซีในตระกูล ISD25XX จะมีการแยกกันระหว่างกราวด์ของสัญญาณอนาล็อกและกราวด์ของสัญญาณดิจิตอล ขากราวด์ทั้งสองข้างนี้จะถูกต่อและปิดไว้ในตัวถังบรรจุของไอซี การใช้งานของกราวด์ทั้งสองจะเลือกต่อกับกราวด์ของเพาเวอร์ซัพพลายในส่วนที่มีค่าอิมพีแดนซ์ เพื่อไม่ต้องการให้เกิดค่าแรงดันที่แตกต่างกันระหว่างกราวด์ทั้งสอง.

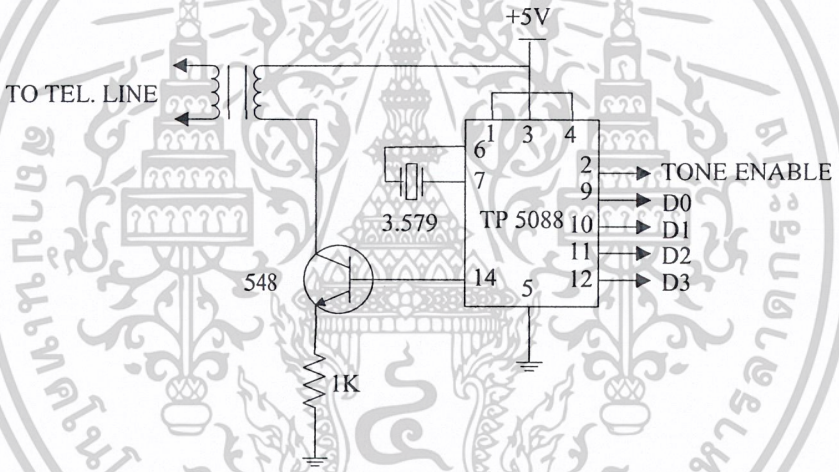
2.4 ส่วนกำเนิดสัญญาณคู่ความถี่ (DTMF TRANSMITTER)

ไอซีที่นำมาใช้ทำหน้าที่กำเนิดสัญญาณ DTMF ในวงจรส่วนนี้เป็นไอซีเบอร์ TP 5088 เป็นไอซีที่มีราคาถูกและสามารถนำไปประยุกต์ใช้ในงานโทรศัพท์ที่ถูกควบคุมด้วยไมโครโปรเซสเซอร์ ข้อมูลไบนารี่ขนาด 4 บิทจะถูกเข้ารหัสโดยตรง โดยไม่จำเป็นต้องใช้อินพุทเป็น KEYBOARD เมื่อเราต้องการสัญญาณ DTMF มาตรฐานในช่วงที่ขา TONE ENABLE อยู่ในสภาวะแรงดันต่ำ (* โวลต์) จะทำให้วงจรออสซิลเลเตอร์ไม่ทำงานและไม่รับข้อมูลอินพุทเข้ามาและไอซีจะอยู่ในสภาวะกินแรงดันไฟต่ำ (IDLE MODE) ขณะที่มีการเปลี่ยนสภาวะจากไฟต่ำไปสู่ระดับแรงดันไฟสูงที่ขา TONE ENABLE ข้อมูลจะถูกแลทซ์เข้าไปในอุปกรณ์และสัญญาณคู่ความถี่จะถูกเลือกจากความถี่ DTMF มาตรฐานนี้ถูกสร้างขึ้นมา ซึ่งจะมีกลุ่มความถี่ต่ำและกลุ่มความถี่สูง ซึ่งความถี่ทั้งสองนี้จะถูกนำมารวมกันที่วงจร MIXER ตามรหัสข้อมูลอินพุทดังแสดงตามตารางข้างล่าง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
50087

กลุ่มความถี่	DTMF มาตรฐาน (Hz)	ความถี่เอาท์พุท	ค่าผิดพลาด (%)
กลุ่มความถี่ต่ำ	697	694.8	-0.32
(f_L)	770	770.1	+0.02
	852	852.4	+0.03
	941	940.0	-0.11
กลุ่มความถี่สูง	1209	1306.0	-0.24
(f_H)	1336	1331.7	-0.32
	1477	1486.5	+0.64
	1633	1639.0	+0.37

ตารางที่ 3 ค่าความถี่เอาท์พุตจริงๆของ TP 5088



รูปที่ 2.9 แสดงวงจรกำเนิดสัญญาณความถี่คู่ (DTMF) โดยใช้ IC TP 5088

การกำเนิดสัญญาณความถี่คู่ (DTMF) ใช้ไมโครคอนโทรลเลอร์ทำการควบคุมการกำเนิดสัญญาณความถี่คู่ (DTMF) โดยส่งสัญญาณควบคุมจาก PORT 1 ของเบอร์ 8031 เข้าขาอินพุต D3 – D0 และ TONE ENABLE ซึ่งทำหน้าที่ควบคุมสัญญาณเอาท์พุตของไอซี TP 5088 การสร้างสัญญาณความถี่คู่ (DTMF) โดยการส่งสัญญาณที่เป็นรหัสไบนารี่เข้าขา D3 – D0 ตามคำสั่งที่ได้โปรแกรมไว้เพื่อติดต่อกับโทรศัพท์เคลื่อนที่ สัญญาณเอาท์พุตที่ได้จะขึ้นอยู่กับรหัสสัญญาณไบนารี่ที่เข้ามาทางอินพุทและสภาวะระดับแรงดันที่ขา TONE ENABLE และสัญญาณเอาท์พุตจะออกมาทางขา TONE OUT เมื่อสภาวะแรงดันที่ขา TONE ENABLE เปลี่ยนแปลงจากระดับแรงดันต่ำไปเป็นระดับแรงดันสูงและทางเอาท์พุตขา 14 จะมี TRANSISTOR และความต้านทานต่อ LOAD ไว้และมี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TRANSFORMER COUPLING ทำหน้าที่ COUPLING สัญญาณเอาท์พุต DTMF ออกไปทางคู่สายโทรศัพท์เพื่อส่งไปยังโทรศัพท์เคลื่อนที่

หมายเลข	ข้อมูลอินพุท				TONE ENABLE	สัญญาณเอาท์พุต		MUTE
	D3	D2	D1	D0		f_L (Hz)	f_H (Hz)	
X	X	X	X	X	LOW	0V	0V	0V
1	0	0	0	1	HIGH	697	1209	0/C
2	0	0	1	0	HIGH	697	1336	0/C
3	0	0	1	1	HIGH	697	1477	0/C
4	0	1	0	0	HIGH	770	1209	0/C
5	0	1	0	1	HIGH	770	1336	0/C
6	0	1	1	0	HIGH	770	1477	0/C
7	0	1	1	1	HIGH	852	1209	0/C
8	1	0	0	0	HIGH	852	1336	0/C
9	1	0	0	1	HIGH	852	1477	0/C
0	1	0	1	0	HIGH	941	1336	0/C
*	1	0	1	1	HIGH	941	1209	0/C
#	1	1	0	0	HIGH	941	1477	0/C
A	1	1	0	1	HIGH	697	1633	0/C
B	1	1	1	0	HIGH	770	1633	0/C
C	1	1	1	1	HIGH	852	1633	0/C
D	0	0	0	0	HIGH	941	1633	0/C

ตารางที่ 4 แสดง FUNCTIONAL TRUTH TABLE

จากรูปแสดงค่า FUNCTIONAL TRUTH TABLE ของ IC TP 5088 ซึ่งทำหน้าที่สร้างสัญญาณความถี่คู่ (DTMF) สัญญาณเอาท์พุตที่ได้เกิดจากการป้อนสัญญาณอินพุทแบบไบนารี่เข้าทางขา D0 – D3 ซึ่งจะมีสัญญาณเอาท์พุตเมื่อสภาวะแรงดันที่ขา TONE ENABLE เปลี่ยนแปลงจากระดับแรงดันต่ำเป็นแรงดันสูงและเมื่อมีการเปลี่ยนแปลงรหัสสัญญาณอินพุท สัญญาณเอาท์พุตยังคงไม่เปลี่ยนแปลงจนกว่าระดับแรงดันที่ขา TONE ENABLE เปลี่ยนสถานะแรงดันจาก 0 โวลต์เป็น 5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

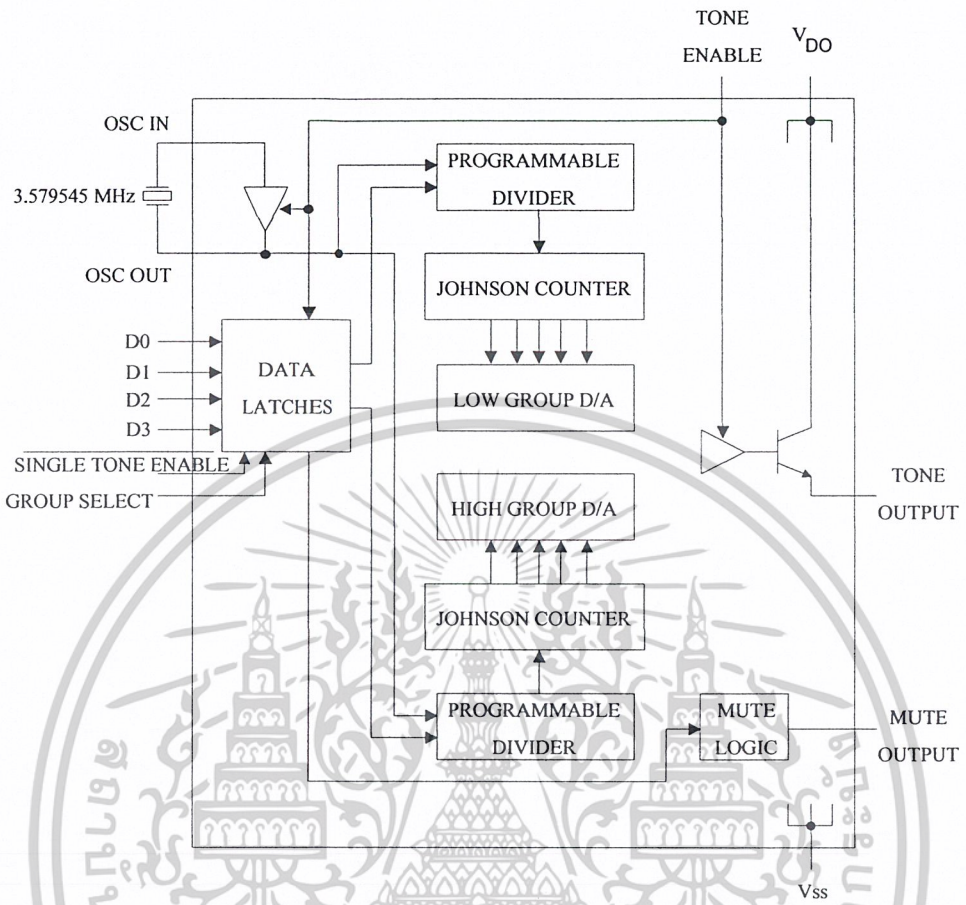
โวลต์ สัญญาณเอาท์พุตจึงเปลี่ยนแปลงตามรหัสสัญญาณอินพุทปัจจุบัน ซึ่งค่า FUNCTION ของสัญญาณเอาท์พุตแสดงได้ด้วยรหัสสัญญาณอินพุตดังตารางข้างบน.

หมายเลข	ชื่อ	รายละเอียด
1	V_{DD}	แรงดันไฟบวกเมื่อเทียบกับ Vss (0 โวลต์)
2	TONE ENABLE	เป็นขาอินพุทที่มีความต้านทาน PULL-UP เมื่อขานี้อยู่ในสภาวะแรงดันต่ำ การออสซิลเลตและการกำเนิดสัญญาณ DTMF จะไม่ทำงาน เมื่อแรงดันที่ขานี้มีการเปลี่ยนสภาวะจากแรงดันต่ำไปอยู่ในสภาวะแรงดันสูง ข้อมูลอินพุทขา D0 - D3 ก็จะถูกรับเข้ามา การกำเนิดสัญญาณ DTMF ก็จะถูกส่งออกไปตลอดจนกว่า TONE ENABLE จะกลับเป็นศูนย์อีกครั้ง
5	Vss	แรงดันไฟลบ (0 โวลต์)
6 – 7	OSCILLATOR	สร้างสัญญาณทั้งหมดโดยการติดคริสตอลความถี่ 3.579545 MHz ระหว่างขาทั้ง 2 OSCILLATOR จะหยุดทำงานเมื่อ TONE ENABLE อยู่ในสภาวะแรงดันต่ำ (0 โวลต์)
8	MUTE	เอาท์พุต กระแสจะลดต่ำลงเท่ากับ Vss เมื่อขา TONE ENABLE อยู่ในสภาวะแรงดันต่ำ
9 , 10 , 11 , 12	D0 , D1 , D2 , D3	เป็นอินพุทที่รับข้อมูลเป็นรหัสไบนารี่ ซึ่งข้อมูลจะถูกรับเข้ามาที่ขอบขาขึ้นของสัญญาณที่ขา TONE ENABLE
14	TONE OUT	เอาท์พุตของสัญญาณ DTMF

ตารางที่ 5 รายละเอียดของขาใช้งาน TP 5088

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โครงสร้างภายในของ TP 5088



รูปที่ 2.10 แสดงโครงสร้างภายในของ IC TP 5088

2.5 การใช้งาน 8255

2.6.1 ลักษณะทั่วไปของ 8255

8255 เป็น LSI ขนาด 40 ขาทำหน้าที่อินเตอร์เฟสระหว่างไมโครโปรเซสเซอร์กับอุปกรณ์ภายนอก 8255 ถูกออกแบบมาใช้กับไมโครโปรเซสเซอร์เบอร์ 8080

บล็อกไดอะแกรมของ 8255 แสดงดังรูป 2.11 ซึ่งมีส่วนที่ติดต่อกับอุปกรณ์ภายนอก 4 กลุ่ม คือ PA0 – PA7 , PB0 – PB7 , PC0 – PC3 , PC4 – PC7 กลุ่มของสัญญาณควบคุมมี 2 กลุ่ม คือ GROUP A CONTROL และ GROUP B CONTROL ซึ่งเป็นส่วนควบคุมการทำงานของทั้ง 3 พอร์ต DATA BUS BUFFER และ READ / WRITE CONTROL LOGIC ใช้สำหรับติดต่อกับไมโครโปรเซสเซอร์ทางบัสข้อมูลและสัญญาณควบคุมการอ่านและเขียนข้อมูลกับรีจิสเตอร์ที่อยู่ภายใน 8255

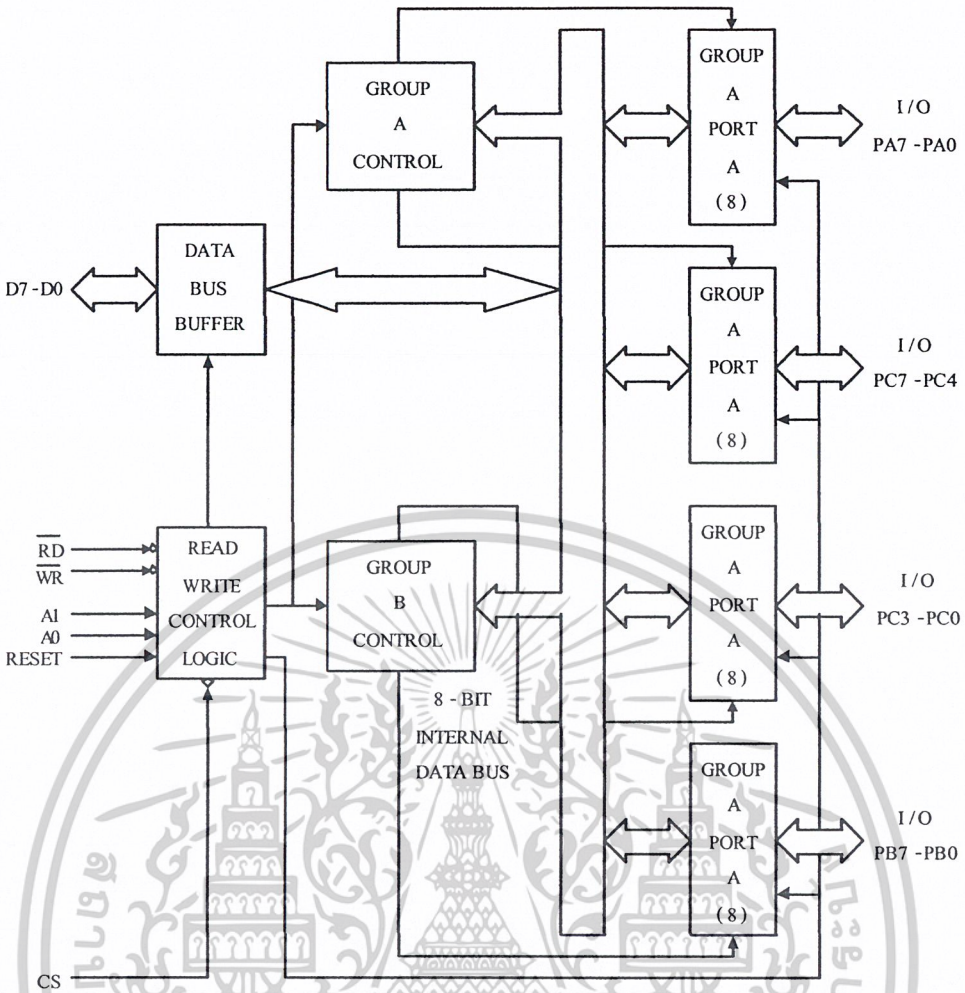
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณต่างๆของ 8255

หน้าที่ของสัญญาณต่างๆของ 8255 เป็นดังนี้

D0 – D7	เป็นข้อมูลที่ใช้ติดต่อกับไมโครโปรเซสเซอร์
CS (CHIP SELECT INPUT)	เมื่อขานี้มีลอจิก 0 CPU สามารถติดต่อกับ 8255 ได้
SD (READ INPUT)	เมื่อขานี้มีลอจิก 0 พร้อมกับ CS 8255 จะส่งข้อมูลออกมาทางบัสข้อมูล
WR (WRITE INPUT)	เมื่อขานี้มีลอจิก 0 พร้อมกับ CS ข้อมูลที่อยู่บนบัสข้อมูลของระบบจะถูกเขียนลงไป
A0 – A7 (ADDRESS INPUT)	ใช้สำหรับชี้ตำแหน่งของรีจิสเตอร์ภายใน 8255 ที่ CPU ต้องการติดต่อด้วย
RESET	เมื่อขานี้มีลอจิก 0 8255 จะอยู่ในช่วงรีเซ็ตพอร์ตทุกพอร์ตอยู่ในโหมดของอินพุตพอร์ต
PA0 – PA7	เป็นพอร์ตข้อมูลที่ใช้สำหรับติดต่อกับอุปกรณ์ภายนอก
PB0 – PB7	เป็นพอร์ตข้อมูลที่ใช้สำหรับติดต่อกับอุปกรณ์ภายนอก
PC0 – PC7	เป็นพอร์ตข้อมูลที่ใช้สำหรับติดต่อกับอุปกรณ์ภายนอก.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.11 แสดง Block Diagram ของ 8255

2.5.2 การต่อ 8255 กับ CPU

การต่อ 8255 กับ CPU นั้น 8255 เป็นอุปกรณ์อินพุต – เอาท์พุต ซึ่งเหมือนกับอุปกรณ์ภายนอกชนิดอื่นๆ ขา A0 และ A1 จะต่อโดยตรงกับขา A0 และ A1 ของ CPU ขา CS ของ 8255 จะต่ออยู่กับภาคถอดรหัสของแอดเดรสความสำคัญสูงกว่า และลำดับความสำคัญสูงจะไม่ถูกอินเตอร์รัพต์ที่มีความสำคัญต่ำกว่า

ถ้ามีการอินเตอร์รัพต์ด้วยลำดับความสำคัญเท่ากันมากกว่า 1 สัญญาณ CPU จะทำการตรวจ (POLLING) และตัดสินใจว่าจะให้บริการกับสัญญาณอินเตอร์รัพต์ตัวใด ในแต่ละลำดับความสำคัญยังมีการจัดลำดับความสำคัญไว้อีกดังตารางรายละเอียดข้างล่าง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SOURCE	VECTOR ADDRESS
IE0	0003H
TF0	000BH
IE1	0013H
TF1	001BH
R1 + T1	0023H
TF2 + EXF2	002BH(8032/8052)

หมายเหตุ ลำดับความสำคัญนี้ใช้เฉพาะเมื่อมีสัญญาณอินเตอร์รัพต์ในความสำคัญเท่ากันมากกว่า 1 สัญญาณ

การทำงานของสัญญาณอินเตอร์รัพต์

แฟลกของสัญญาณอินเตอร์รัพต์จะถูกสุ่มตัวอย่างในสเตทที่ 5 เฟสที่ 2 ของทุกแมชชีนไซเคิลและทำการตรวจ (POLLING) การอินเตอร์รัพต์จาก 5 แหล่งสัญญาณในแมชชีนไซเคิลต่อมา ถ้าผลการสุ่มตัวอย่างพบว่า แฟลกอินเตอร์รัพต์ถูกเซ็ทในสเตทที่ * เฟสที่ 2 ของแมชชีนไซเคิลที่ผ่านมาแล้วจะมีการเรียกไปยังส่วนของโปรแกรมบริการอินเตอร์รัพต์ หากไม่ถูกขัดขวางด้วยสภาวะใดสภาวะหนึ่งดังต่อไปนี้

1. กำลังทำคำสั่งในโปรแกรมบริการอินเตอร์รัพต์ที่มีความสำคัญเท่ากันหรือสูงกว่า
2. ไม่ใช่ไซเคิลสุดท้ายของคำสั่งที่กำลังปฏิบัติงานอยู่
3. คำสั่งที่ปฏิบัติอยู่นั่น คือ RETI หรือคำสั่งที่ติดต่อกับรีจิสเตอร์ IE หรือ IP

ในสภาวะตามข้อ 2 เพื่อเป็นการประกันว่าคำสั่งที่ปฏิบัติถึงไซเคิลสุดท้ายแล้ว จะไม่ถูกอินเตอร์รัพต์จนกว่าจะปฏิบัติคำสั่งนั้นจนจบเสียก่อน

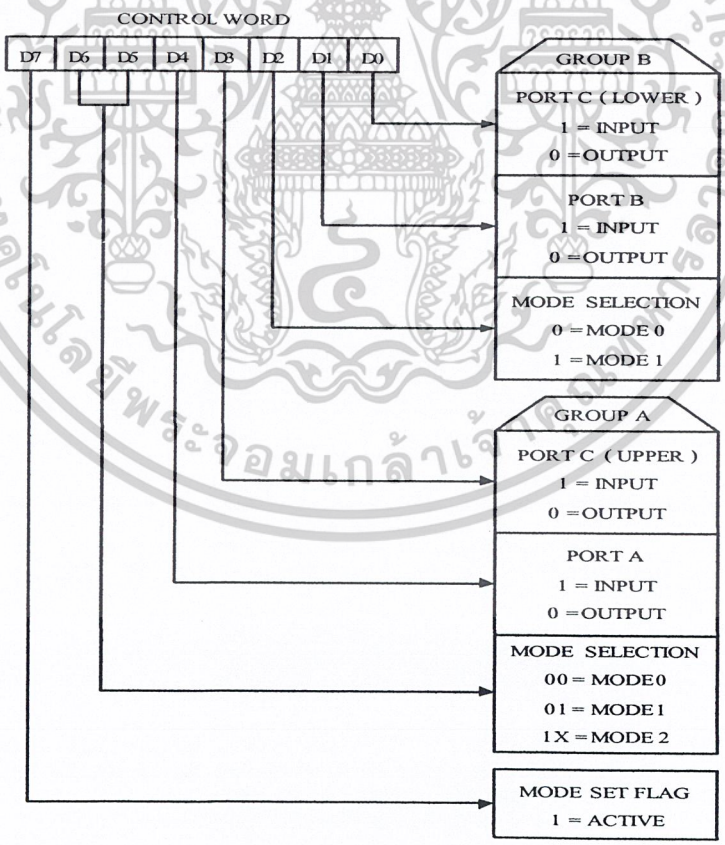
ตามข้อ 3 นั่นในกรณีที่ CPU กำลังทำคำสั่ง RETI หรือกำลังติดต่อกับ IE หรือ IP ตัวใดตัวหนึ่งอยู่แล้วเกิดอินเตอร์รัพต์ขึ้น CPU จะยอมให้มีการอินเตอร์รัพต์ แต่ต้องปฏิบัติอย่างน้อยอีก 1 คำสั่งหลังจากทำคำสั่ง IE , IP หรือ RETI ตัวอย่างเช่น ถูกอินเตอร์รัพต์ในขณะที่กำลังทำคำสั่ง RETI หน่วยประมวลผลจะสั่งแอดเดรส คือ ให้ PC หลังจากคำสั่ง RETI และปฏิบัติอีกหนึ่งคำสั่งในโปรแกรมหลัก ต่อจากนั้นจึงตอบสนองการอินเตอร์รัพต์ CPU จะรับรู้การอินเตอร์รัพต์ โดยกระโดดไปทำโปรแกรมบริการอินเตอร์รัพต์ ในบางกรณีจะไม่เคลียร์แฟลกที่กำเนิดสัญญาณอินเตอร์รัพต์นั้นกรณีที่ไม่เคลียร์แฟลก.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.5.3 การติดต่อกับพอร์ตต่างๆของ 8255

ภายใน 8255 มีพอร์ตภายในอยู่ 4 พอร์ต ซึ่งสามารถติดต่อกับพอร์ตต่างๆได้ดังนี้

SOURCE				PORT NAME
RD	WR	A1	A0	
1	0	0	0	WRITE PORT A DATA
0	1	0	0	READ PORT A DATA
1	0	0	1	WRITE PORT B DATA
0	1	0	1	READ PORT B DATA
1	0	1	0	WRITE PORT C DATA
0	1	1	0	READ PORT C DATA
1	0	1	1	WRITE CONTROL WORD
0	1	1	1	ILLGAL REGISTER



รูปที่ 2.12 แสดง CONTROL WORD ของ 8255

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทำงานของพอร์ต A , B , C จะกำหนดโดยข้อมูลที่ส่งไปยังพอร์ตควบคุม โดยแต่ละบิตจะแสดงความหมายดังรูปที่ 2.12 ซึ่งสามารถกำหนดการทำงานได้ 2 โหมด.

2.5.4 การใช้งาน 8255 ในโหมด 0

การทำงานของ 8255 ในโหมด 0 จะเป็นพอร์ตอินพุตหรือเอาท์พุตแบบธรรมดา สามารถกำหนดให้ 8255 ทำงานในโหมด 0 ได้โดยส่ง CONTROL WORD ไปยังพอร์ตควบคุม มีค่าดังต่อไปนี้

D7	D6	D5	D4	D3	D2	D1	D0
1	0	0	0	0	0	0	0

สามารถอธิบายความหมายของของบิตต่างๆได้ดังนี้

D7 = 1 กำหนดให้ข้อมูลนี้เป็น CONTROL

D6 , D5 = 0 กำหนดให้พอร์ต A ใน 8255 ทำงานในโหมด

D4 = 0 กำหนดให้พอร์ต A เป็นเอาท์พุต

D3 = 0 กำหนด 4 บิตบนของพอร์ต C เป็นเอาท์พุต

D2 = 0 กำหนดพอร์ต B ทำงานในโหมด 0

D1 = 0 กำหนดให้พอร์ต B เป็นเอาท์พุต

D0 = 0 กำหนด 4 บิตล่างของพอร์ต C เป็นเอาท์พุต

จาก CONTROL WORD ที่ส่งออกไปจะกำหนดให้พอร์ต A, B , C เป็นเอาท์พุตทั้งหมด ซึ่งสามารถต่อกับอุปกรณ์ภายนอกทั้งหมดได้ 24 บิต เนื่องจากในโครงงานนี้ใช้งานในโหมด 0 จึงไม่ขอกล่าวถึงโหมด 1 และ 2.

2.6 ทฤษฎีอินฟราเรดเซนเซอร์

อินพุทโมดูลที่ทำหน้าที่เชื่อมต่อระหว่างหน่วยประมวลผล กับ อุปกรณ์อินพุทภายนอก ซึ่งเราเรียกอุปกรณ์เหล่านั้นว่า เซนเซอร์ (Sensors) โดยจะรับสัญญาณที่มีสถานะ (" On " หรือ " Off ") หรือ ปริมาณทางกายภาพ แล้วส่งสัญญาณหรือข้อมูลเหล่านั้นให้กับหน่วยประมวลผลเพื่อทำการประมวลผลตามโปรแกรมที่ผู้ใช้สร้างขึ้น ซึ่งลักษณะอินฟราเรดเซนเซอร์จะแบ่งออกเป็น 2 ลักษณะขึ้นอยู่กับชนิดของสัญญาณ คือ อินฟราเรดเซนเซอร์สำหรับสัญญาณลอจิก (DI : Digital Input Module) และอินฟราเรดเซนเซอร์สำหรับสัญญาณอนาลอก (AI : Analog Input Module) ในโครงงานนี้ จะอธิบายเฉพาะอินฟราเรดเซนเซอร์สำหรับสัญญาณลอจิกเท่านั้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- อินฟราเรดเซนเซอร์สำหรับสัญญาณลอจิก

อินฟราเรดเซนเซอร์แบบนี้จะทำหน้าที่เชื่อมต่อระหว่างหน่วยประมวลผลกับอุปกรณ์อินพุทภายนอกที่มีลักษณะเป็นสัญญาณไบนารี่หรือดิจิตอลเท่านั้น แล้วนำสัญญาณหรือข้อมูลเหล่านั้นมาปรับแต่งให้มีระดับสัญญาณที่เหมาะสมกับการทำงานของหน่วยประมวลผลเพื่อใช้ข้อมูลเหล่านั้นในการประมวลผลตามโปรแกรมที่ผู้ใช้สร้างขึ้นมา ซึ่งตรงสร้างภายในของอินพุทโมดูลสำหรับสัญญาณลอจิกจะแบ่งออกเป็น 2 ชนิด คือ แบบ DC ลอจิกและแบบ AC ลอจิก การเลือกใช้งานขึ้นอยู่กับความต้องการของผู้ใช้

รูปที่ 2.13 บล็อกไดอะแกรมแสดงส่วนประกอบของการทำงานของโมดูลอินพุทแบบลอจิก

ส่วนประกอบหลักของอินฟราเรดเซนเซอร์ คือ อุปกรณ์เชื่อมโยงทางแสง (Optocoupler) ซึ่งจะทำหน้าที่ส่งผ่านข้อมูลจากด้านหนึ่งไปสู่อีกด้านหนึ่งโดยใช้แสงในการส่งผ่านข้อมูล ดังนั้นจึงทำให้สามารถแยกสัญญาณไฟฟ้าระหว่างอุปกรณ์ภายนอกกับส่วนประมวลผลของโปรแกรมเมเบลิลอจิกคอนโทรลเลอร์ออกจากกัน ทำให้สามารถป้องกันวงจรอีเล็คทรอนิคส์ไม่ให้เกิดความเสียหายในกรณีที่เกิดการลัดวงจรที่ภายนอก นอกจากนั้นที่โมดูลอินพุทยังมีส่วนประกอบที่สำคัญอีกก็คือส่วนที่ทำหน้าที่ตรวจวัดระดับของสัญญาณจากภายนอกว่ามีขนาดที่เหมาะสมกับโมดูลหรือไม่และส่วนที่ทำหน้าที่หน่วงสัญญาณอินพุทเพื่อลดสัญญาณรบกวนจากภายนอก.

วงจรอินฟราเรด (Infrared) ในโครงการนี้ นำมาใช้เพื่อตรวจจับความเคลื่อนไหว โดยติดตั้งตัวส่งและตัวรับที่บริเวณหน้าต่างหรือประตูบางบางจุดที่เป็นทางเข้าออกของบ้าน โดยใช้สัญญาณอินฟราเรดจากตัวส่ง ส่งไปยังตัวรับซึ่งในสภาวะปกติที่ไม่มีอะไรมาบังระหว่างตัวส่งกับตัวรับ แสดงว่าไม่มีความเคลื่อนไหว แต่ถ้ามีการบังเกิดขึ้น แสดงถึงมีความเคลื่อนไหวภายในบ้าน โดยจะมีการส่งเป็นความถี่คงที่เพื่อจะป้องกันปัญหาเกี่ยวกับแสงอินฟราเรดที่มาจากแหล่งอื่น (เช่นแสงอินฟราเรดจากแสงอาทิตย์) ที่เราไม่ต้องการได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรอินฟราเรดด้านส่ง

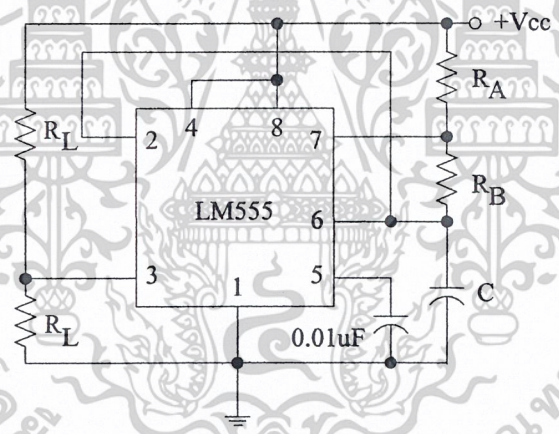
จะใช้ไอซี 555 สร้างสัญญาณพัลส์เพื่อใช้ควบคุมการไบแอสอินฟราเรดที่ความถี่คงที่ โดยหลักการทำงานของไอซี 555 จะใช้การกระตุ้นของการ charge C_A ผ่าน R_A และ R_B เมื่อแรงดันค่อม C_A มีค่า $2/3V_{CC}$ จะทำให้วงจรเปรียบเทียบแรงดันชุดบนทำงาน ไปกระตุ้นในวงจรควบคุมฟลิปฟลอปทำงานไปอีกต่อหนึ่งเป็นผลให้ C_A คายประจุผ่าน R_B และขา 7 (ผ่าน Q_1 ในไอซี) ลงกราวด์ช่วงนี้เอาต์พุตขา 3 จะมีแรงดันต่ำและเมื่อแรงดันที่ C_A ลดลงมาถึง $1/3V_{CC}$ ก็จะไปกระตุ้นให้วงจรเปรียบเทียบชุดล่างทำงานกระตุ้นวงจร Flip-Flop ทำให้แรงดันเอาต์พุตสูงขึ้นและ C_A ไม่สามารถคายประจุได้อีกเพราะทรานซิสเตอร์ภายในซึ่งทำหน้าที่เป็นสวิทช์จะอยู่ในสภาวะ off ดังนั้น C_A จะเริ่ม Charge อีกจนแรงดันเท่ากับ $2/3V_{CC}$ ก็จะเริ่มทำงานแบบเดิมอีกครั้งหนึ่ง

จากลักษณะการทำงานของวงจร จะเห็นว่าช่วงความกว้างของคลื่นที่ได้ทางเอาต์พุตจะขึ้นอยู่กับการ charge และ discharge ของ C_A จะได้ว่า

ช่วง charge : $T_1 = 0.693 (R_A + R_B) C_A$

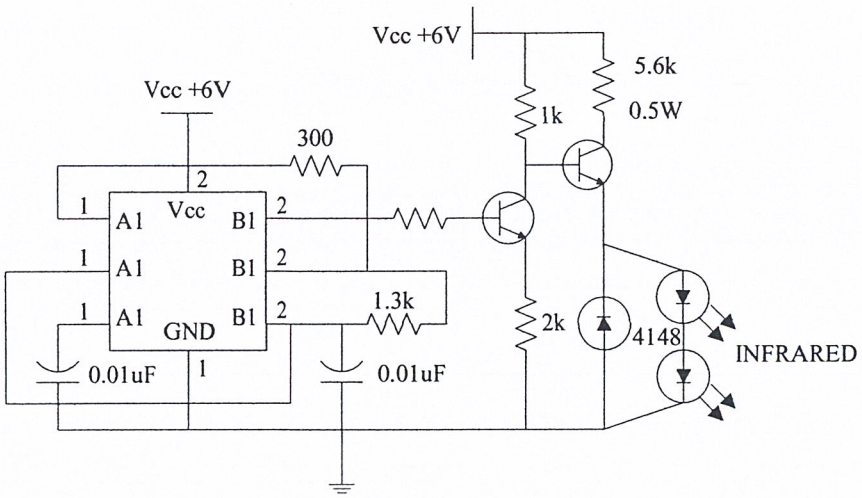
ช่วง discharge : $T_2 = 0.693 R_A C_A$

$f = 1/(T_1 + T_2)$



รูปที่ 2.14 วงจร A Stable

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.15 วงจรอินฟราเรดด้านส่ง

วงจรนี้ใช้ไอซี 555 ในการสร้างสัญญาณพัลส์ โดยความถี่ที่สร้างขึ้นกำหนดจาก R_1, R_2 และ C_1 จากสูตรที่ได้กล่าวมาแล้ว ในวงจรนี้เราสร้างสัญญาณพัลส์ความถี่ประมาณ 38 kHz เพื่อให้ตรงกับความถี่ของวงจร PLL ทางด้านรับซึ่งตั้งความถี่ไว้ที่ค่า 38 kHz ซึ่งทำได้โดยการปรับค่า R1 สัญญาณพัลส์ที่ได้ที่ขา 3 ของไอซี 555 จะถูกส่งไปยังส่วน driver โดยใช้ทรานซิสเตอร์ 3904 ทำหน้าที่เป็นสวิทช์ชิ่ง และขับ Power ทรานซิสเตอร์ 3904 เพื่อควบคุมอินฟราเรด

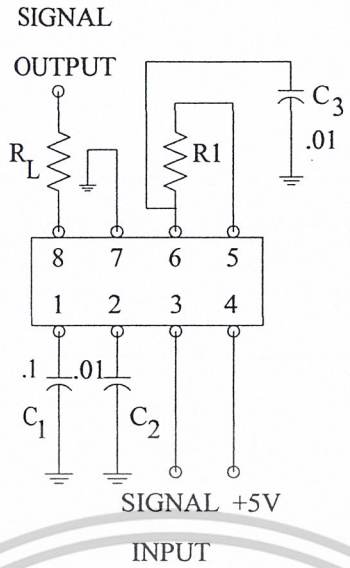
วงจรอินฟราเรดด้านรับ

จะใช้งานตัวรับอินฟราเรดควบคู่กับไอซี 567 ซึ่งเป็น Phase Lock Loop (PLL) ทำหน้าที่เป็น Tone Decoder คือ เมื่อรับสัญญาณเข้ามาแล้วจะนำสัญญาณนั้นมาทำการเปรียบเทียบความถี่กับความถี่ที่สร้างขึ้นด้วยตัวมันเอง ถ้าหากว่าความถี่ของสัญญาณที่รับเข้ามาได้นั้นเท่ากับความถี่ของตัวมันเองแล้ว จะให้เอาต์พุตเป็น “Low” แต่ถ้าหากความถี่ไม่ตรงกันแล้วจะให้เอาต์พุตเป็น “High” จึงสามารถใช้เป็นตัวตรวจจับแสงอินฟราเรดที่ความถี่ที่เราที่เราต้องการได้

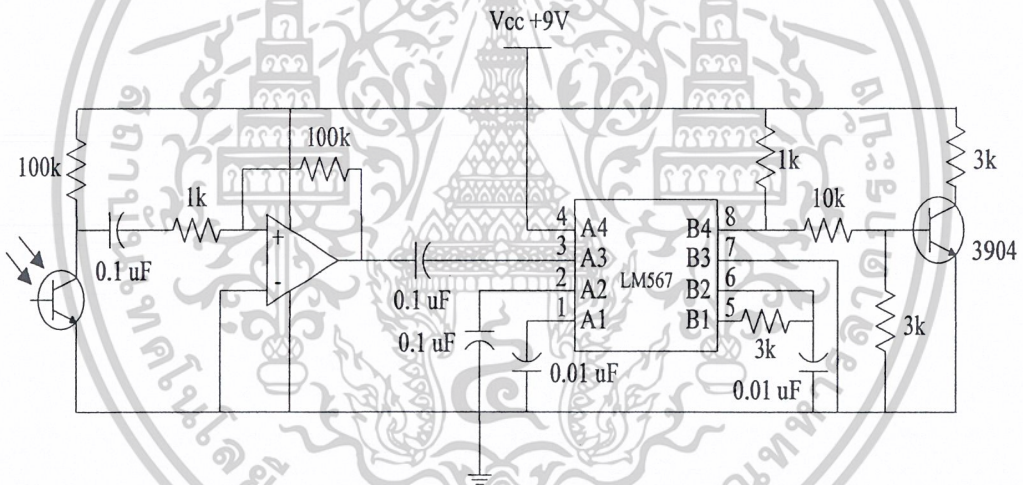
โดยความถี่ที่ใช้เปรียบเทียบในการ Locked คือ f_0 ซึ่งคำนวณได้จากค่า R_1 และ C_1 ที่ขา 5 และ 6 ตามลำดับ

$$f_0 = 1.1 / R_1C_1$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.16 แสดงวงจรการใช้งาน 567



รูปที่ 2.17 วงจรอินฟราเรดด้านรับ

สัญญาณอินฟราเรดที่ส่งมาจะถูก Detect โดย MRD 800 และถูกขยายให้สัญญาณใหญ่ขึ้น โดยไอซี LM741 ซึ่งต่อเป็นวงจรขยายแบบ inverter มีค่า gain ประมาณ 100 เท่า สัญญาณที่ได้จากการขยายจะส่งให้เป็นความถี่อินพุตของไอซี 567 ซึ่งเป็น PLL ทำหน้าที่ในการ locked ความถี่ที่ส่งมาแล้วนำไปเปรียบเทียบกับความถี่ที่ตัวมันเองสร้างขึ้นมา ในวงจรนี้ได้ตั้งความถี่ของ 567 ไว้ประมาณ 38 kHz (โดยใช้ค่า RC ตามสูตรที่ได้กล่าวมาแล้ว) ถ้าความถี่ทางด้านรับตรงกับทางด้านส่งจะทำให้เอาต์พุตที่ขา 8 มีค่าเป็นลอจิก 0 หมายความว่าไม่มีอะไรมาบังตัวรับกับตัวส่ง ในทางกลับกันถ้าความถี่ไม่ตรงกันเอาต์พุตที่ขา 8 จะมีค่าเป็นลอจิก 1 คือมีการบังระหว่างตัวรับกับตัวส่ง ซึ่งแสดงว่ามี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ความเคลื่อนไหวเกิดขึ้น สัญญาณที่ได้จากเอาต์พุตขา 8 นี้จะส่งไปให้ MCS-51 Controller เพื่อทำการตรวจสอบเงื่อนไขต่อไป.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3

การคำนวณและการสร้าง

3.1 การสร้างวงจรตรวจจับสัญญาณไม่ว่างและสัญญาณเรียกกลับ (BUSY & RING BACK DETECTION)

การสร้างวงจรตรวจจับสัญญาณไม่ว่างและสัญญาณเรียกกลับ (BUSY & RING BACK DETECTION) วงจรส่วนนี้จะทำหน้าที่ตรวจสอบสัญญาณ BUSY & RING BACK TONE ที่มีความถี่ 400 Hz โดยใช้ไอซีเบอร์ LM567 เป็นตัวตรวจจับสัญญาณไม่ว่างละสัญญาณเรียกกลับ การที่วงจรสามารถตรวจจับสัญญาณได้ เราจำเป็นต้องกำหนดค่าพารามิเตอร์ต่างๆให้กับวงจร ซึ่งประกอบด้วย R_1 , C_1 ในการกำหนดค่า R_1 และ C_1 จะต้องมีความสัมพันธ์ดังนี้

$$f_0 = 1 / (1.1 R_1 C_1)$$

โดยที่ f_0 คือค่าความถี่ของสัญญาณอินพุตซึ่งเป็นสัญญาณไม่ว่างและสัญญาณเรียกกลับ

จากคุณสมบัติของไอซี LM567 จะทำหน้าที่ LOCK สัญญาณเป็นไปตามสมการ $f_0 = (n+1)$ โดยที่ค่า $n = 0 , 1 , 2 , 3 \ldots$ และค่า R_1 ที่จะทำให้วงจรทำงานมีเสถียรภาพควรมีค่าอยู่ในช่วง 2k – 20k ดังนั้น เมื่อเราทราบค่าความถี่ของสัญญาณอินพุตก็สามารถที่จะคำนวณหาค่า C_1 ได้โดยให้ค่าของ R_1 อยู่ในช่วง 2k – 20k

จากการทดลองสัญญาณอินพุตที่เป็นสัญญาณไม่ว่างและสัญญาณเรียกกลับที่ความถี่ $f_0 = 400$ Hz ดังนั้น เราเลือกค่า C_1 ที่ยังคงทำให้ค่าของ R_1 อยู่ในช่วง 2k – 20k และค่า R_1 นี้เราเลือกเป็นแบบปรับค่าได้ เนื่องจากความถี่ของสัญญาณไม่ว่างและสัญญาณเรียกกลับในแต่ละชุมสายอาจมีค่าไม่เท่ากัน ทำให้เราสามารถปรับค่า R_1 เพื่อให้วงจร LM567 สามารถ LOCK สัญญาณความถี่อินพุตได้

เมื่อเราทราบค่าสัญญาณความถี่อินพุต $f_0 = 400$ Hz และกำหนดค่า $C_1 = 0.33$ µF แล้วค่า R_1 ก็สามารถคำนวณหาค่าได้จากสูตร

$$R_1 = 1 / (1.1 * 400 * 0.33)$$

$$R_1 = 6.88 \text{ k}$$

ซึ่งค่า R_1 ที่ได้ละเอียดเป็นแบบความต้านทานปรับค่าได้ 10k มาต่ออนุกรมกับขา 5 และขา 6 ของไอซี LM567 ส่วนค่า C_1 ก็ต่อเข้ากับขา 6 ลงกราวด์.

3.2 วงจรตรวจนับสัญญาณเรียก (RINGING DETECTOR)

ในการคำนวณเราจะกำหนดค่าไทม์คอนสแตนซ์ไว้ที่ 1 วินาที ซึ่งเท่ากับเวลาของการเกิดสัญญาณเรียกพอดี ค่าไทม์คอนสแตนซ์จะกำหนดได้จากอุปกรณ์ VR_2 และ C_3 ในวงจร ซึ่งสามารถคำนวณได้จากสูตร $T = 1.1 RC$ โดยจะทำการกำหนดค่าความจุของคาปาซิเตอร์ไว้ก่อนที่ค่า 10 µF ดังนั้น เราจึงหาค่าของตัวต้านทานได้ คือ

$$R = T / 1.1 C$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$R = 1 / 1.1 * 10\ \mu F$$

$$R = 90.9\ k$$

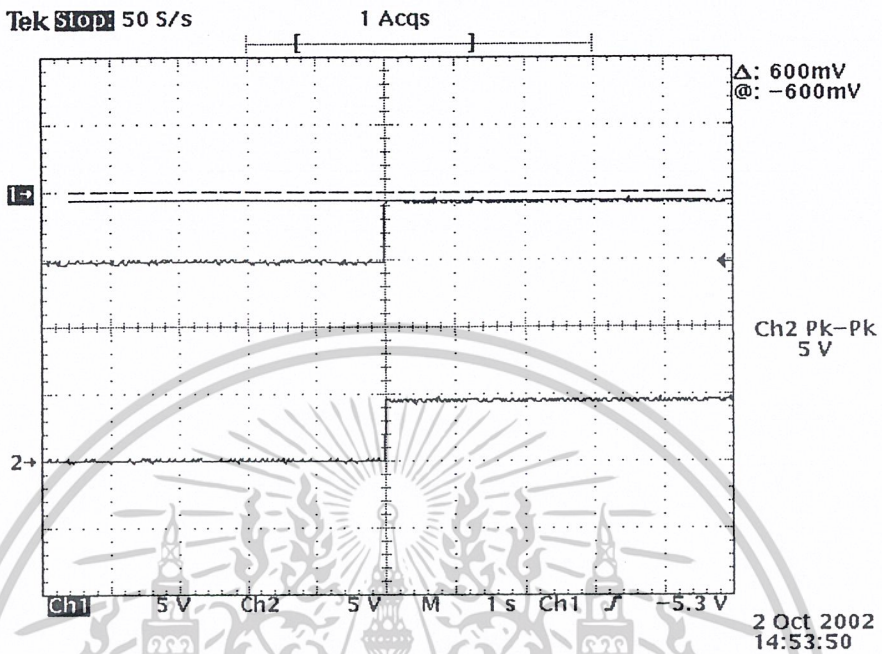
เอาท์พุตที่ได้ออกที่ขา 13 ของไอซี 74123 ซึ่งมีค่า T = 1 s จะถูกป้อนให้กับวงจรนับ ซึ่งจะให้เอาท์พุต Q0 – Q9 เรียงลำดับออกมา เมื่อมีสัญญาณนาฬิกามากระตุ้นที่ขา CLK ของไอซี 74123 การกำหนดว่าต้องการให้เสียงกระดิ่งดังกี่ครั้งจึงจะตัดเข้าสู่การทำงานในโหมดของการตอบรับอัตโนมัติ ทำได้โดยการเลือกดิพสวิตซ์ก็จะสามารถกำหนดได้แล้ว.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

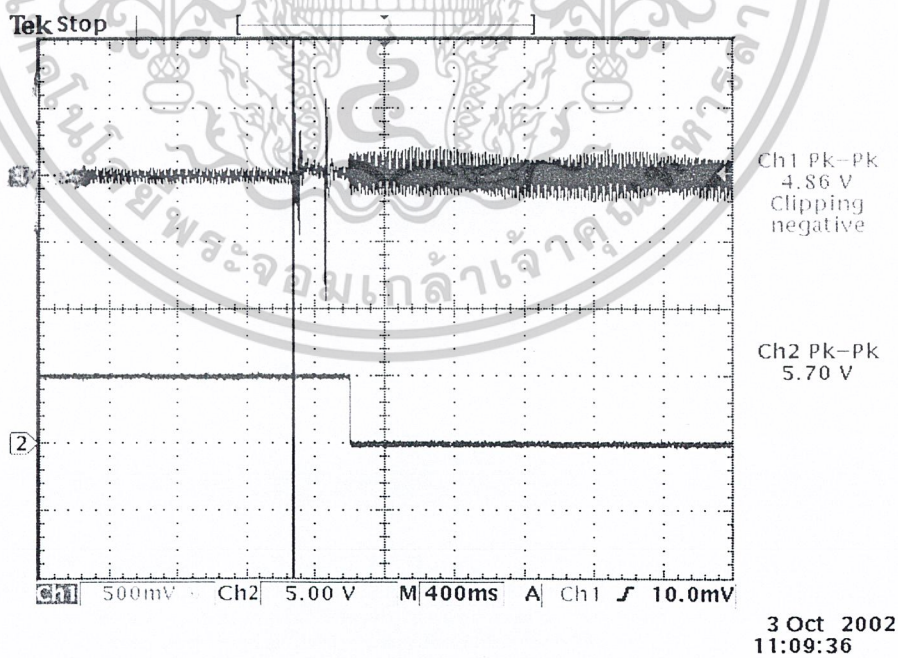
บทที่ 4

การทดลองและผลการทดลอง

ผลการทดลอง

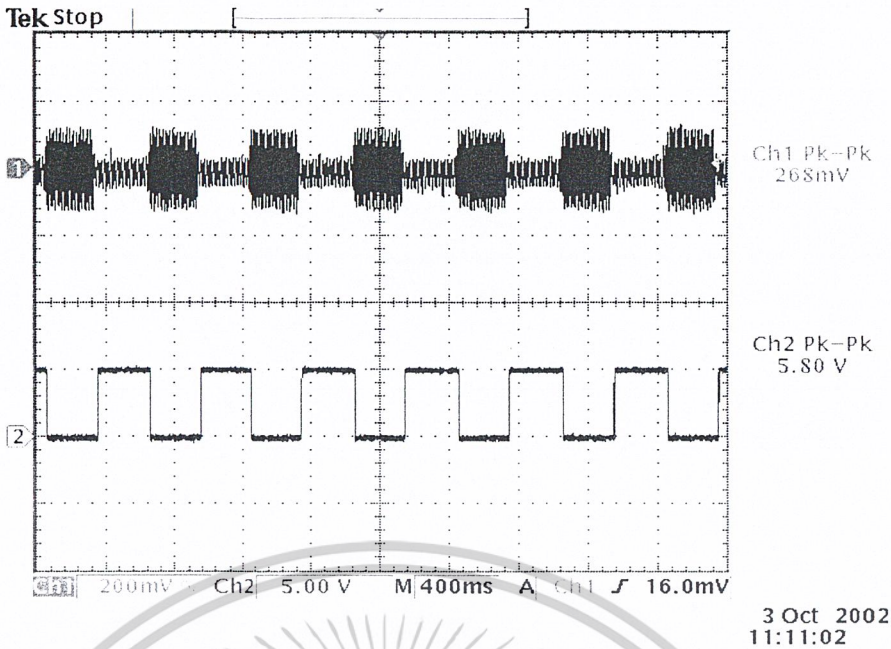


รูปที่ 4.1 สัญญาณยกหูโทรศัพท์ (HOOK SWITCH DETECTION)

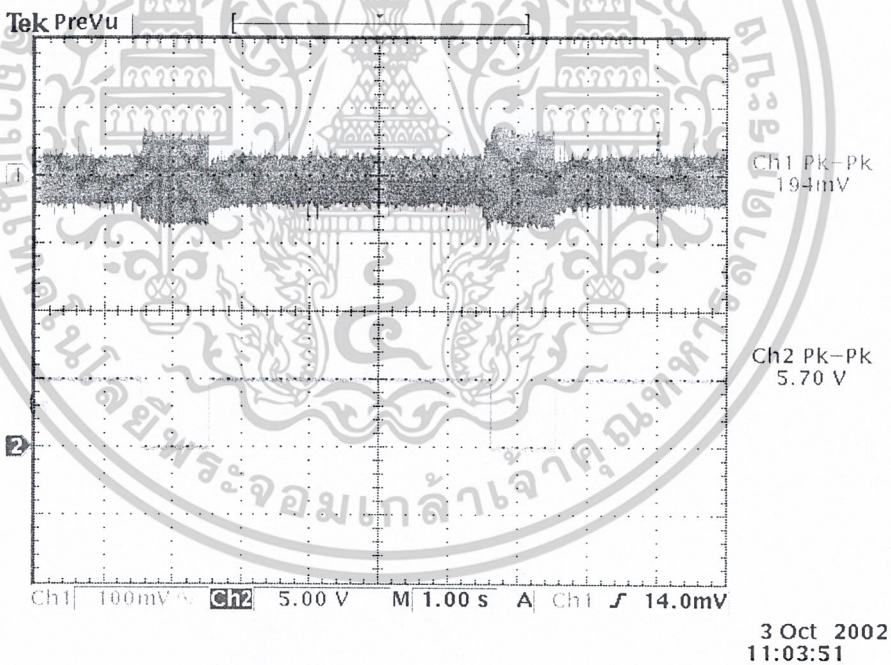


รูปที่ 4.2 สัญญาณ DIAL TONE

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

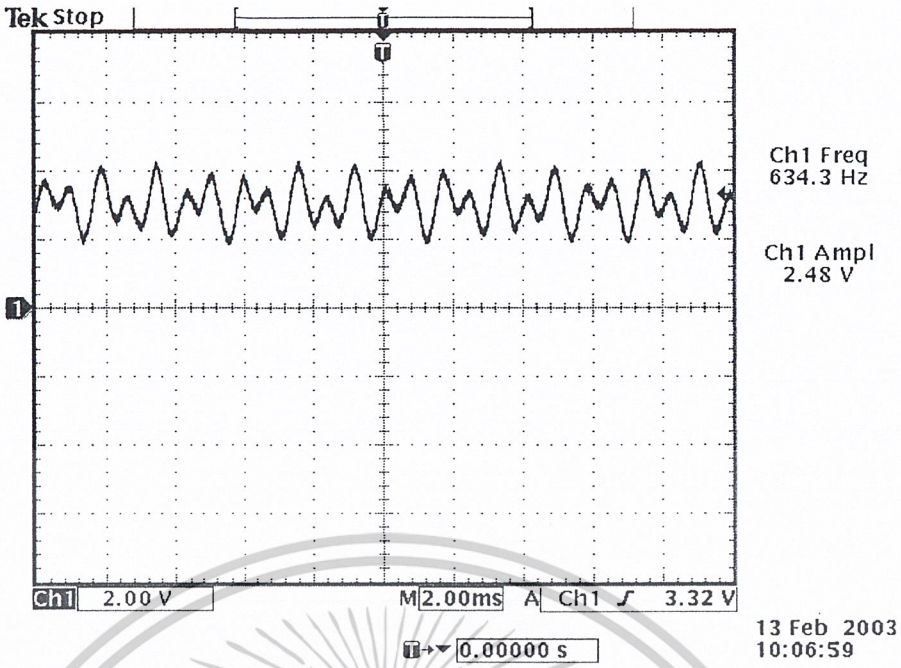


รูปที่ 4.3 สัญญาณ BUSY TONE

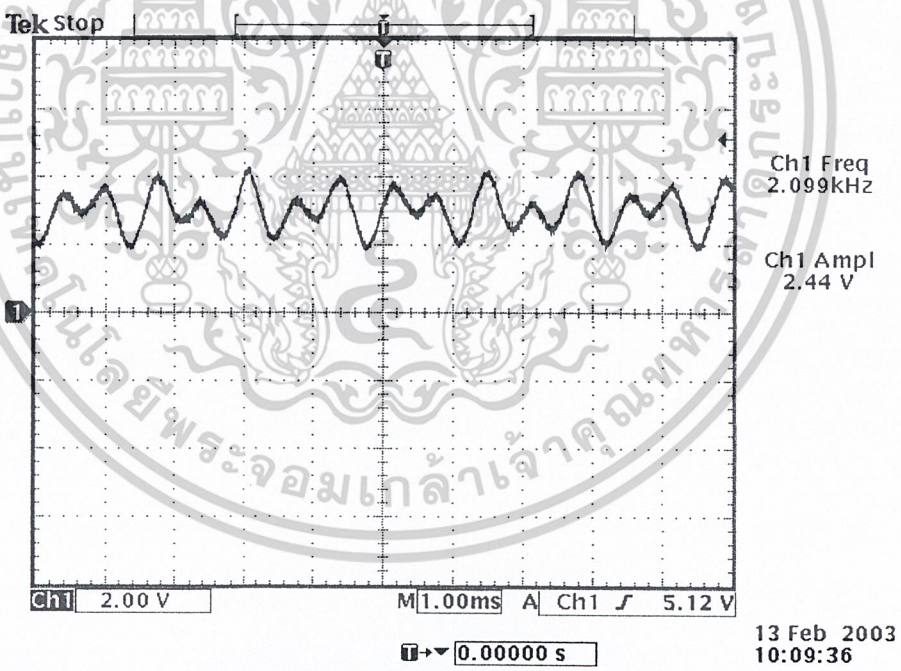


รูปที่ 4.4 สัญญาณ RING BACK TONE

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

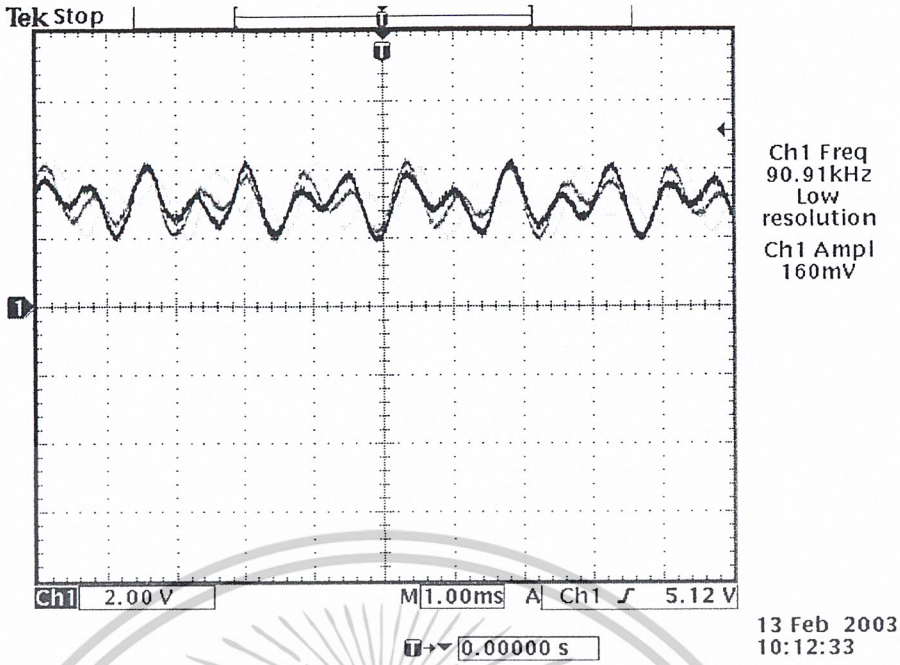


รูปที่ 4.5 สัญญาณ DTMF หมายเลข 1

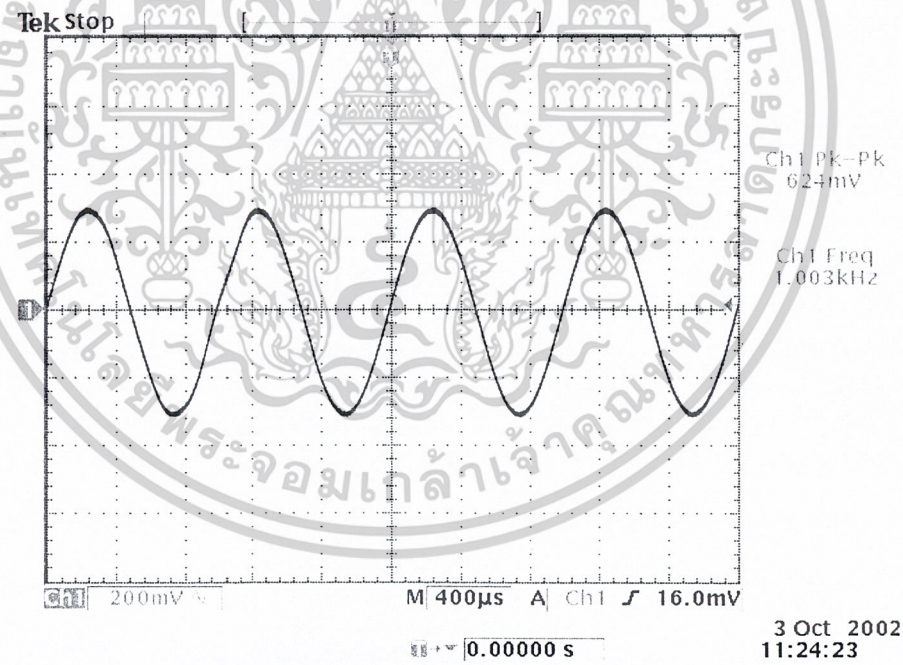


รูปที่ 4.6 สัญญาณ DTMF หมายเลข 5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

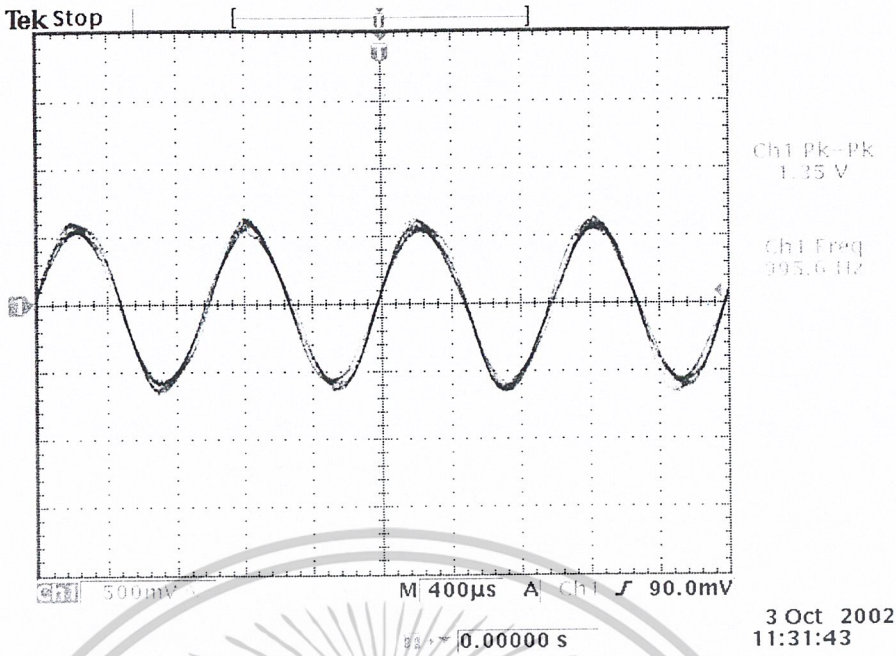


รูปที่ 4.7 สัญญาณ DTMF หมายเลข 9

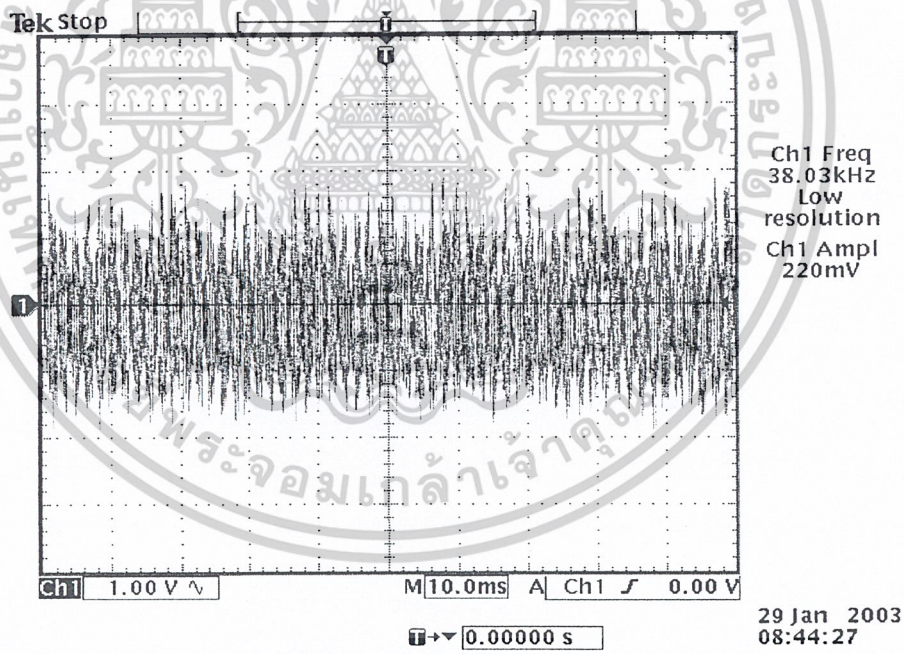


รูปที่ 4.8 สัญญาณ SINE 1 kHZ ที่ใช้บันทึกใน ISD2590

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

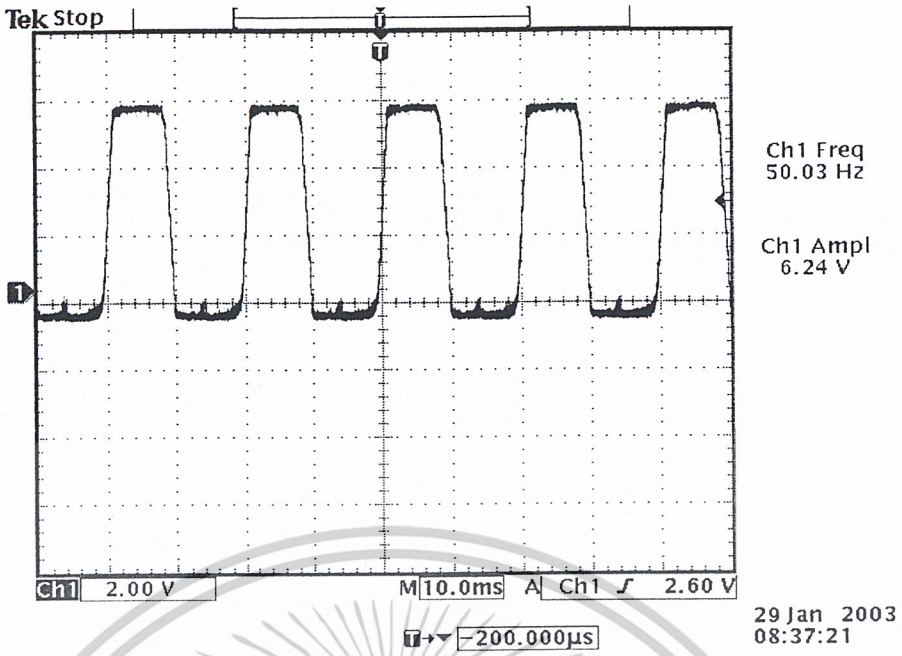


รูปที่ 4.9 สัญญาณ OUTPUT ของ ISD2590

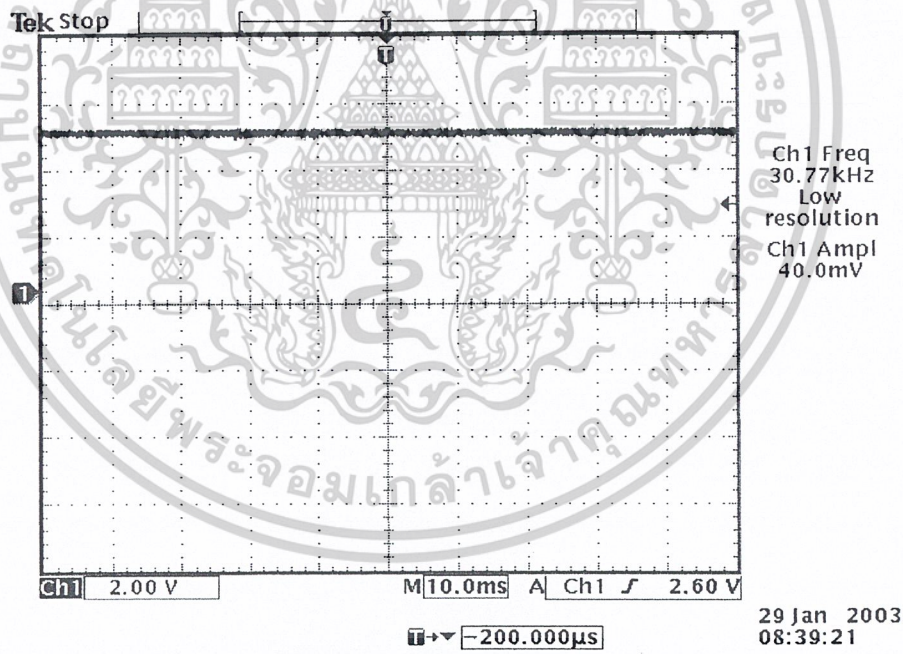


รูปที่ 4.10 ตัวอย่างสัญญาณเสียงที่ได้จากการบันทึกลงใน ISD2590

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

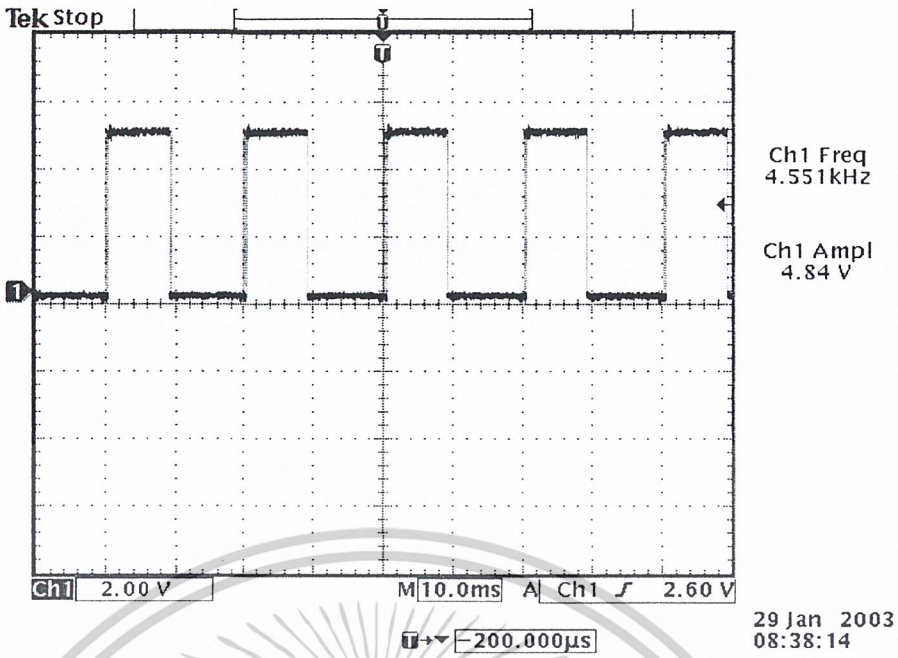


รูปที่ 4.11 รูปสัญญาณ Output ของวงจรส่งอินฟราเรด



รูปที่ 4.12 รูปสัญญาณ Output ของวงจรรับอินฟราเรดก่อนรับสัญญาณจากตัวส่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.13 รูปสัญญาณ Output ของวงจรอินฟราเรดหลังได้รับสัญญาณจากตัวส่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5

บทวิจารณ์และสรุป

หลังจากที่ได้ศึกษาถึงโครงสร้างของหัวข้อโครงงานจนเข้าใจถึงหลักการทำงานและขอบเขตการทำงานทั้งหมดของอุปกรณ์ เครื่องส่งสัญญาณเตือนภัยผ่านทางโทรศัพท์ เราจะแบ่งการทำงานของเครื่องออกเป็นส่วนๆ ซึ่งสามารถแบ่งได้ 5 ส่วนดังนี้

1. ส่วนประมวลผลและควบคุม (CENTRAL PROCESSING UNIT)
2. ส่วนส่งสัญญาณคู่ความถี่ (DTMF GENERATOR)
3. ส่วนตรวจจับสัญญาณไม่ว่าง (BUSY DETECTOR)
4. ส่วนตรวจจับสัญญาณเรียกกลับ (RING BACK DETECTOR)
5. ส่วนฝากข้อความ (ANNOUNCER)

การทำงานของเครื่องในระบบโครงข่ายโทรศัพท์ จะเหมือนกับการใช้โทรศัพท์ติดต่อโทรศัพท์เคลื่อนที่ผ่านโครงข่ายโทรศัพท์ โดยในการติดต่อโทรศัพท์เคลื่อนที่นั้นจะใช้อุปกรณ์ตรวจจับ (SENSOR) เป็นตัวตรวจจับและส่งสัญญาณไปให้หน่วยประมวลผลและควบคุม หลังจากนั้นหน่วยประมวลผลและควบคุมจะส่งสัญญาณควบคุมไปยังส่วนกำเนิดสัญญาณความถี่คู่ DTMF เพื่อส่งสัญญาณหมายเลขติดต่อกับโทรศัพท์เคลื่อนที่และส่วนตรวจจับสัญญาณไม่ว่างและสัญญาณเรียกกลับ (BUSY & RING BACK TONE) จะทำการตรวจจับสัญญาณไม่ว่างและสัญญาณเรียกกลับถ้าพบสัญญาณไม่ว่างก็จะทำการติดต่อใหม่ แต่ถ้าพบสัญญาณเรียกกลับก็จะส่งสัญญาณไปยังส่วนฝากข้อความเตือนภัย (ANNOUNCER) เพื่อส่งสัญญาณฝากข้อความที่ได้บันทึกเอาไว้แล้วไปให้กับผู้ใช้โดยผ่านทางโทรศัพท์เคลื่อนที่และเมื่อประกอบเป็นวงจรที่สมบูรณ์แล้วน่าจะมีประโยชน์ในการใช้งานได้ในระดับหนึ่ง โดยสามารถนำไปประยุกต์และพัฒนาเครื่องให้สามารถใช้งานได้หลายอย่าง.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หนังสืออ้างอิง

1. เรียนรู้และปฏิบัติการไมโครคอนโทรลเลอร์ (MCS – 51 FLASH) Microcontroller
ฉบับ AT89C5X ของ ATMEL แต่งโดย วรพจน์ กรแก้ว และ ชัยวัฒน์ ลิ้มพรวิจิตรวิลัย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

```
INF1            BIT     P0.0
INF2            BIT     P0.1
INF3            BIT     P0.2
RBT             BIT     P0.3
RELAY           BIT     P0.4
DTMF0           BIT     P0.5
DTMF1           BIT     P0.6
DTMF2           BIT     P0.7
DTMF3           BIT     P1.0
ENABLE          BIT     P1.1
ISD             BIT     P1.2
CON             BIT     P1.3

        ORG     0000H
X:      JNB     INF1,NUMBER         ;INFRARED NO.1
        JNB     INF2,X2             ;INFRARED NO.2
        SJMP    X
X2:     JNB     INF3,PRESS          ;INFRARED NO.3
        SJMP    X2

NUMBER:     LCALL DELAY_07S
            CLR   RELAY
            LCALL DELAY_07S
            MOV   RELAY,#01H    ;RELAY(ON HOOK SW)
            LJMP  PRESS

;*********************PRESS NUMBER*********************

PRESS: SETB   ENABLE
       MOV    DTMF0,#00000000B     ;TO PRESS NO.0
       MOV    DTMF1,#00000001B
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
MOV    DTMF2,#00000000B
MOV    DTMF3,#00000001B
LCALL DELAY_0.7S
SETB   ENABLE
MOV    DTMF0,#00000001B      ;TO PRESS NO.9
MOV    DTMF1,#00000000B
MOV    DTMF2,#00000000B
MOV    DTMF3,#00000001B
LCALL DELAY_0.7S
SETB   ENABLE
MOV    DTMF0,#00000000B      ;TO PRESS NO.4
MOV    DTMF1,#00000000B
MOV    DTMF2,#00000001B
MOV    DTMF3,#00000000B
LCALL DELAY_0.7S
SETB   ENABLE
MOV    DTMF0,#00000000B      ;TO PRESS NO.4
MOV    DTMF1,#00000000B
MOV    DTMF2,#00000001B
MOV    DTMF3,#00000000B
LCALL DELAY_0.7S
SETB   ENABLE
MOV    DTMF0,#00000000B      ;TO PRESS NO.4
MOV    DTMF1,#00000000B
MOV    DTMF2,#00000001B
MOV    DTMF3,#00000000B
LCALL DELAY_0.7S
SETB   ENABLE
MOV    DTMF0,#00000001B      ;TO PRESS NO.9
MOV    DTMF1,#00000000B
MOV    DTMF2,#00000000B
MOV    DTMF3,#00000001B
LCALL DELAY_0.7S
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

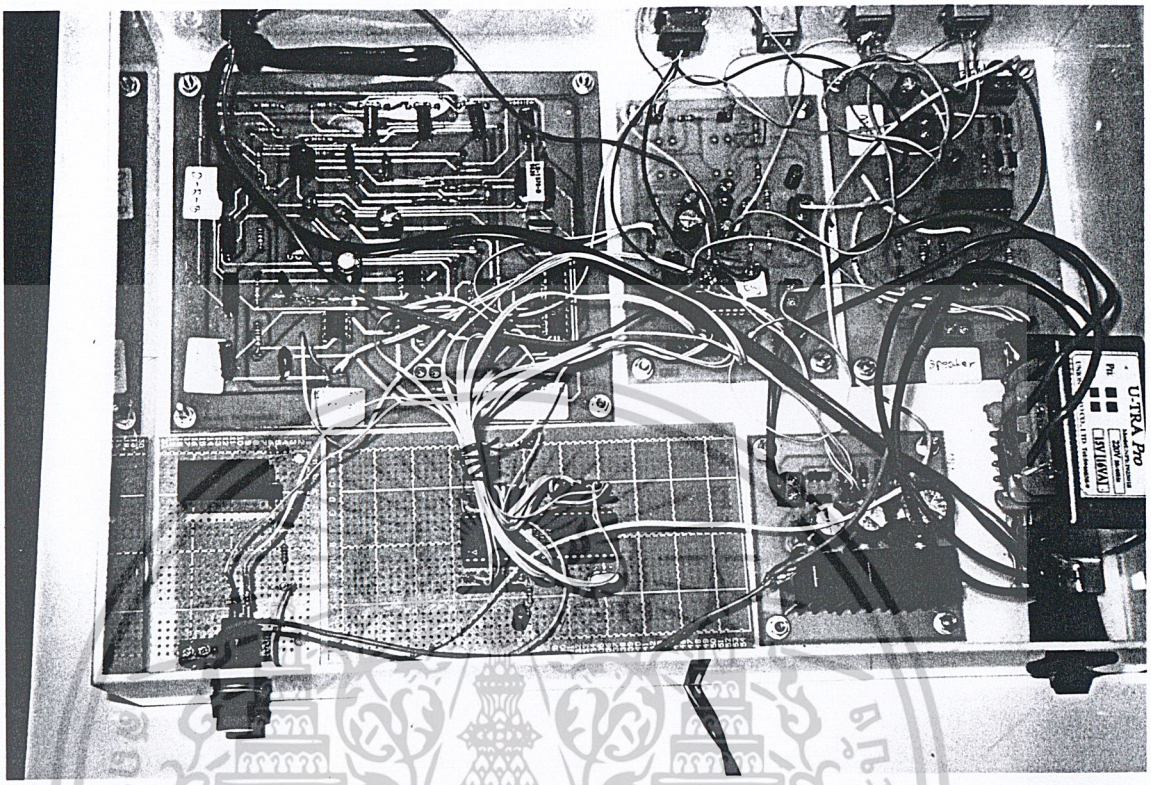
```
        SETB   ENABLE
        MOV    DTMF0,#00000000B      ;TO PRESS NO.8
        MOV    DTMF1,#00000000B
        MOV    DTMF2,#00000000B
        MOV    DTMF3,#00000001B
        LCALL  DELAY_0.7S
        SETB   ENABLE
        MOV    DTMF0,#00000000B      ;TO PRESS NO.8
        MOV    DTMF1,#00000000B
        MOV    DTMF2,#00000000B
        MOV    DTMF3,#00000001B
        LCALL  DELAY_0.7S
        SETB   ENABLE
        MOV    DTMF0,#00000001B      ;TO PRESS NO.1
        MOV    DTMF1,#00000000B
        MOV    DTMF2,#00000000B
        MOV    DTMF3,#00000000B
        LCALL  DELAY_0.7S

;******************CHECK RBT AND BST******************
        JB     RBT,Z1
Z1:     LCALL  DELAY_0.7S
        JNB    RBT,BUSY
        LJMP   RBACK
BUSY:   MOV    RELAY,#00H
        LJMP   NUMBER
RBACK:  JNB    RBT,Z2
Z2:     LCALL  DELAY_4.2S
        JB     RBT,Z2
        LCALL  DELAY_0.7S
        SETB   CON                   ;CONTROL ISD
        MOV    ISD,#01H              ;ISD IS ADDRESS
```

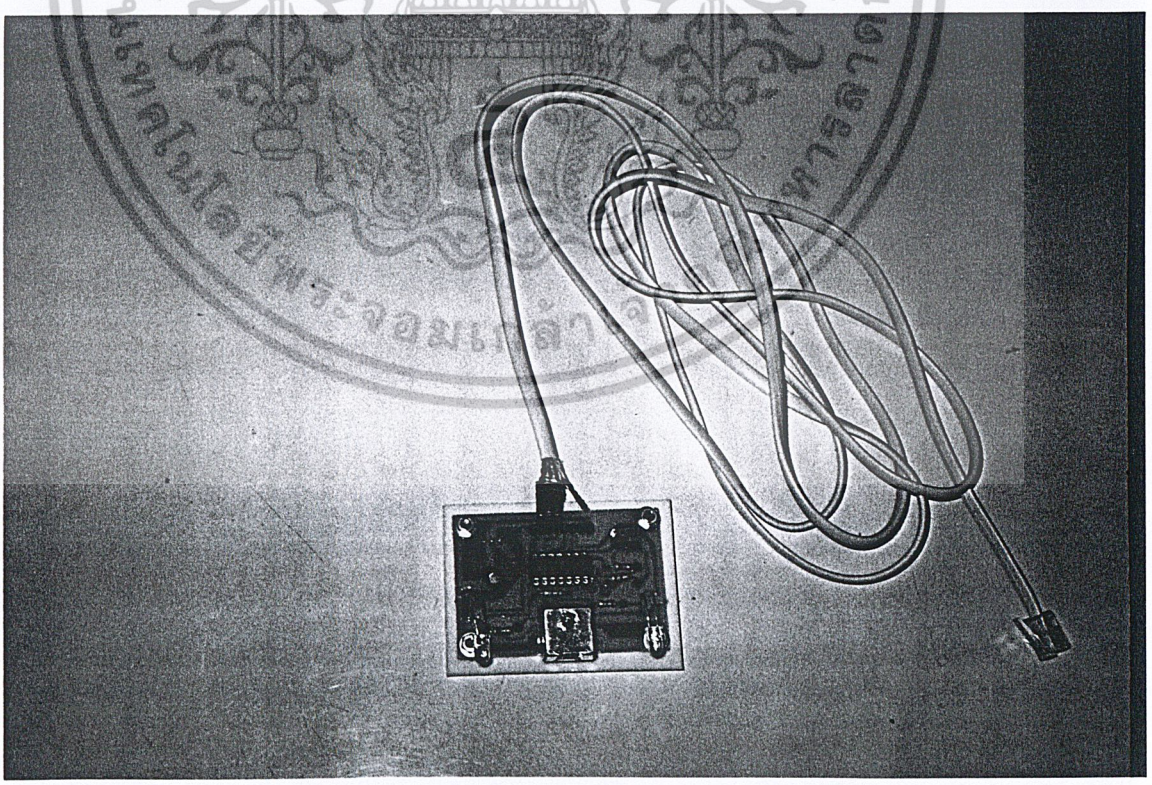
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
;**********************TEST RBT,BST**************************

DELAY_1MS:   MOV   R0,#0E6H
DELAY_1MS_1:       NOP
                   NOP
                   DJNZ  R0,DELAY_1MS_1
                   RET

DELAY_0.1S:        MOV   R1,#100
DELAY_0.1S_1:      MOV   R0,#0E6H
DELAY_0.1S_2:      NOP
                   NOP
                   DJNZ  R0,DELAY_0.1S_2
                   DJNZ  R1,DELAY_0.1S_1
                   RET

DELAY_0.7S:        MOV   R2,#07
DELAY_0.7S_1:      LCALL DELAY_0.1S
                   DJNZ  R2,DELAY_0.7S_1
                   RET

DELAY_4.2S:        MOV   R3,#06
DELAY_4.2S_1:      LCALL DELAY_0.7S
                   DJNZ  R3,DELAY_4.2S_1
                   RET

                   END
```

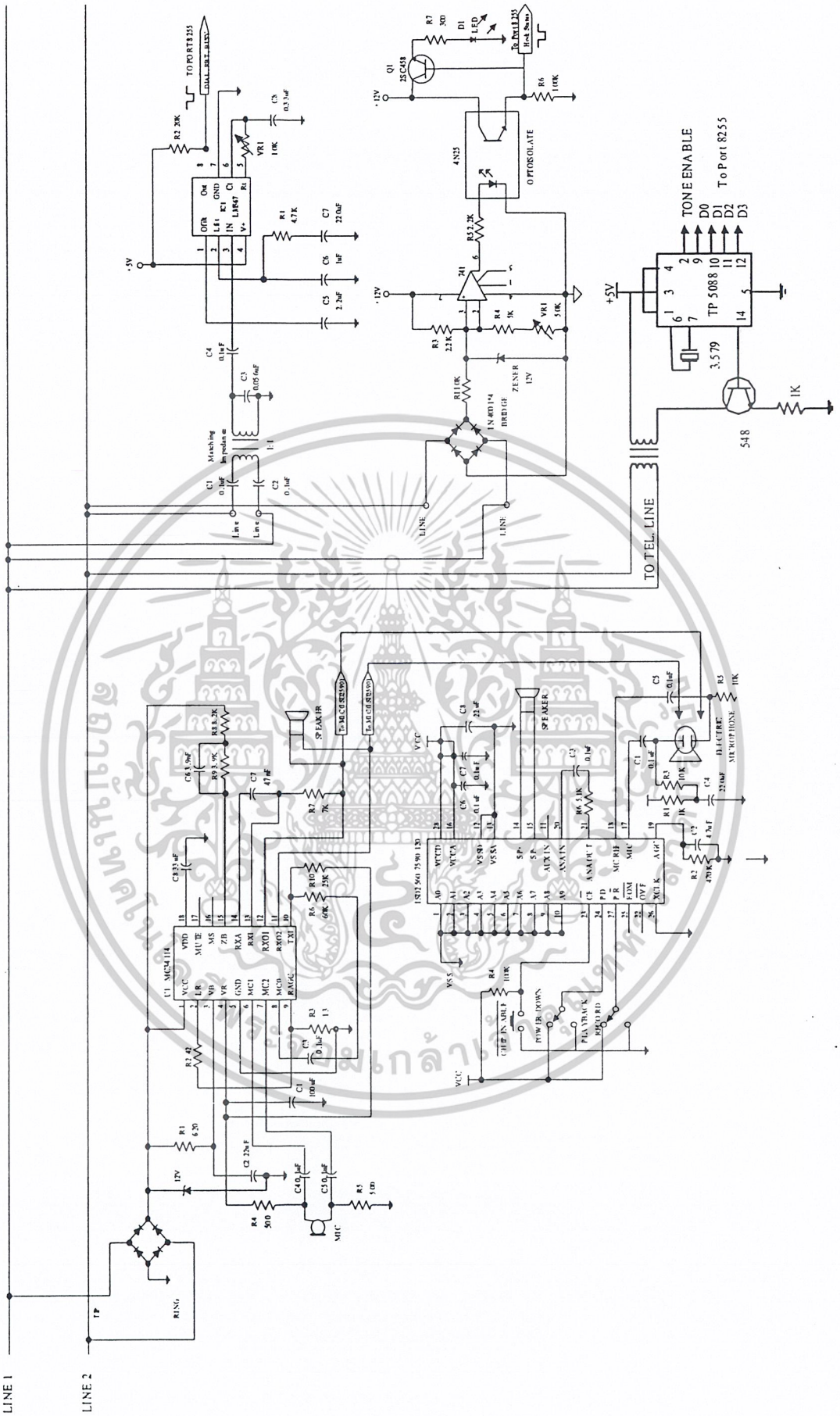
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปเครื่องส่งสัญญาณเตือนภัยผ่านทางโทรศัพท์



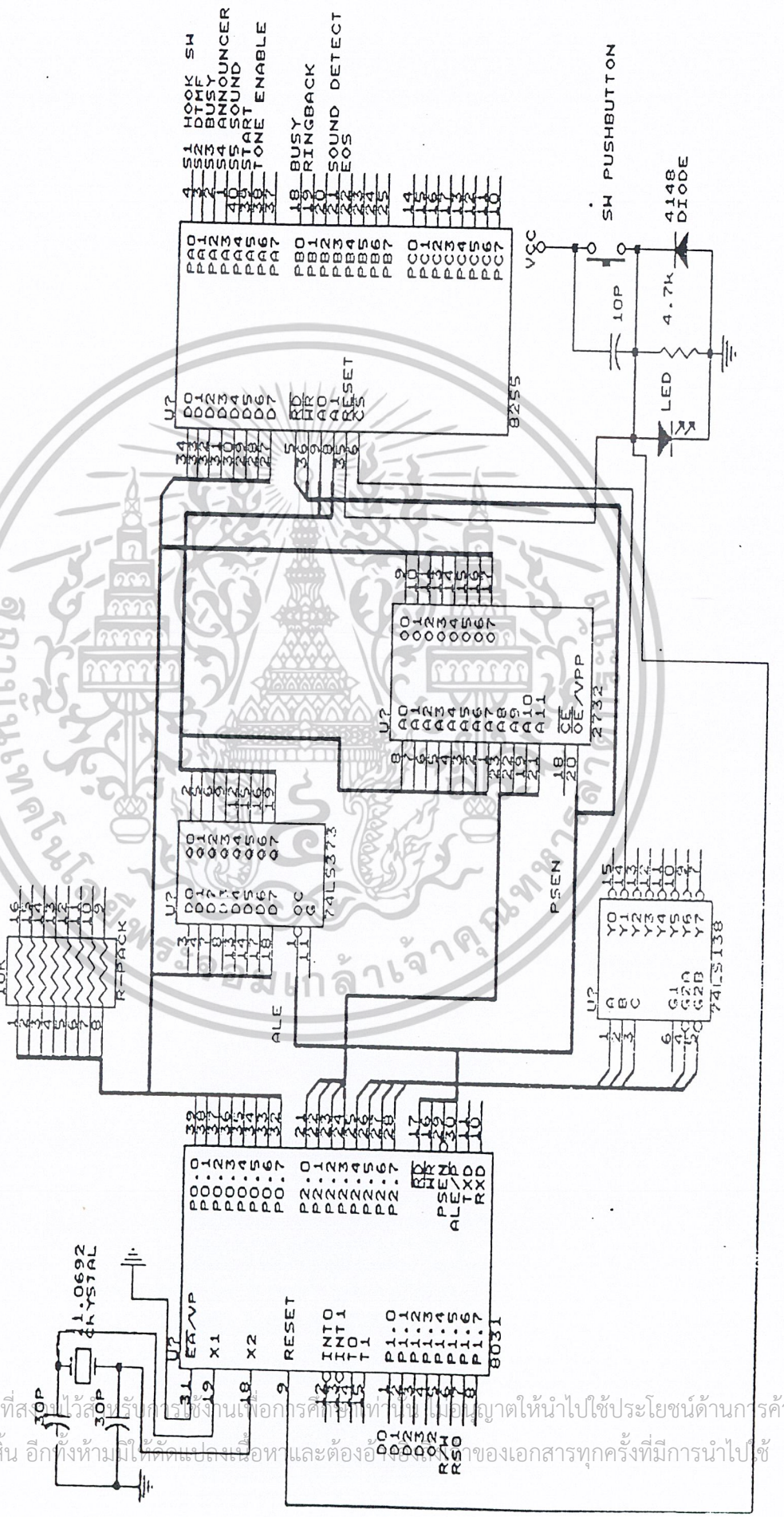


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรส่วนควบคุมและประมวลผล



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

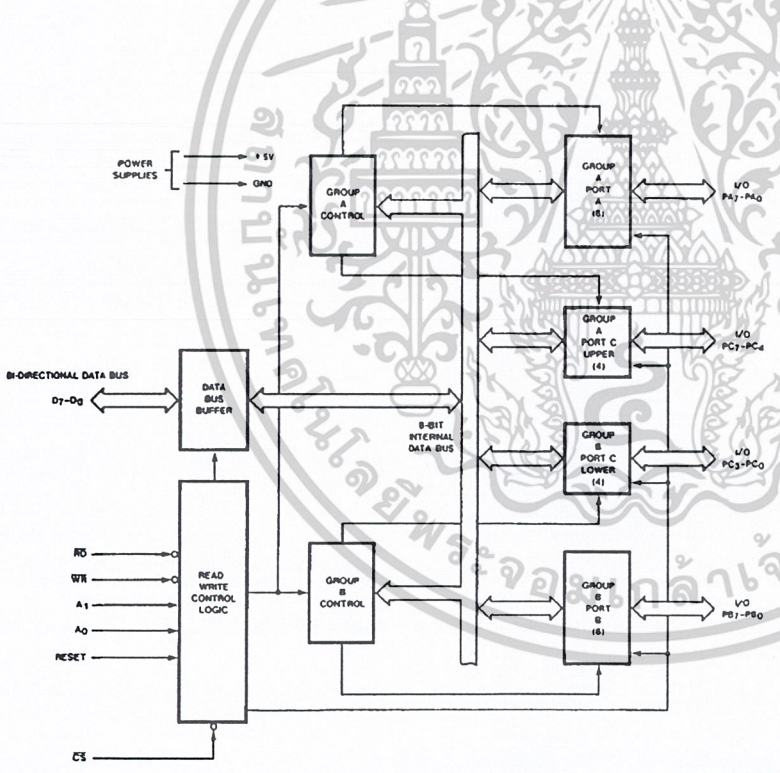
82C55A
CHMOS PROGRAMMABLE PERIPHERAL INTERFACE

- **Compatible with all Intel and Most Other Microprocessors**
- **High Speed, "Zero Wait State" Operation with 8 MHz 8086/88 and 80186/188**
- **24 Programmable I/O Pins**
- **Low Power CHMOS**
- **Completely TTL Compatible**
- **Control Word Read-Back Capability**
- **Direct Bit Set/Reset Capability**
- **2.5 mA DC Drive Capability on all I/O Port Outputs**
- **Available in 40-Pin DIP and 44-Pin PLCC**
- **Available in EXPRESS**
  - **— Standard Temperature Range**
  - **— Extended Temperature Range**

The Intel 82C55A is a high-performance, CHMOS version of the industry standard 8255A general purpose programmable I/O device which is designed for use with all Intel and most other microprocessors. It provides 24 I/O pins which may be individually programmed in 2 groups of 12 and used in 3 major modes of operation. The 82C55A is pin compatible with the NMOS 8255A and 8255A-5.

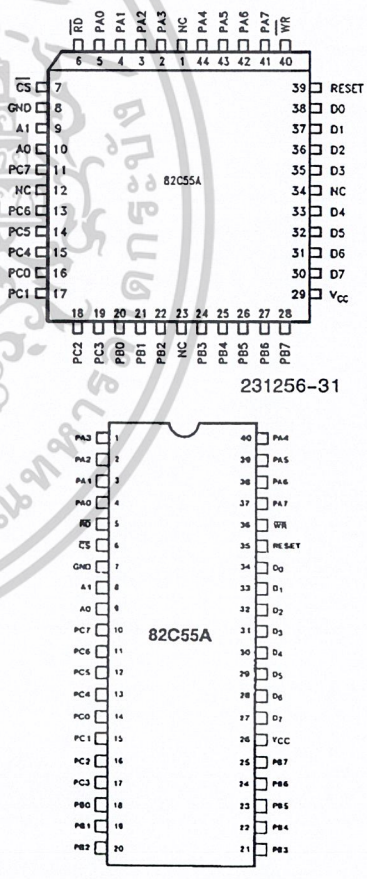
In MODE 0, each group of 12 I/O pins may be programmed in sets of 4 and 8 to be inputs or outputs. In MODE 1, each group may be programmed to have 8 lines of input or output. 3 of the remaining 4 pins are used for handshaking and interrupt control signals. MODE 2 is a strobed bi-directional bus configuration.

The 82C55A is fabricated on Intel's advanced CHMOS III technology which provides low power consumption with performance equal to or greater than the equivalent NMOS product. The 82C55A is available in 40-pin DIP and 44-pin plastic leaded chip carrier (PLCC) packages.



231256-1

Figure 1. 82C55A Block Diagram



231256-31

231256-2

Figure 2. 82C55A Pinout

Diagrams are for pin reference only. Package sizes are not to scale.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table 1. Pin Description

Symbol	Pin Number Dip	Pin Number PLCC	Type	Name and Function
PA_{3-0}	1–4	2–5	I/O	**PORT A, PINS 0–3:** Lower nibble of an 8-bit data output latch/buffer and an 8-bit data input latch.
$\overline{RD}$	5	6	I	**READ CONTROL:** This input is low during CPU read operations.
$\overline{CS}$	6	7	I	**CHIP SELECT:** A low on this input enables the 82C55A to respond to $\overline{RD}$ and $\overline{WR}$ signals. $\overline{RD}$ and WR are ignored otherwise.
GND	7	8		**System Ground**
A_{1-0}	8–9	9–10	I	**ADDRESS:** These input signals, in conjunction $\overline{RD}$ and $\overline{WR}$, control the selection of one of the three ports or the control word registers.

A_1	A_0	$\overline{RD}$	$\overline{WR}$	$\overline{CS}$	Input Operation (Read)
0	0	0	1	0	Port A - Data Bus
0	1	0	1	0	Port B - Data Bus
1	0	0	1	0	Port C - Data Bus
1	1	0	1	0	Control Word - Data Bus
					Output Operation (Write)
0	0	1	0	0	Data Bus - Port A
0	1	1	0	0	Data Bus - Port B
1	0	1	0	0	Data Bus - Port C
1	1	1	0	0	Data Bus - Control
					Disable Function
X	X	X	X	1	Data Bus - 3 - State
X	X	1	1	0	Data Bus - 3 - State

PC_{7-4}	10–13	11,13–15	I/O	**PORT C, PINS 4–7:** Upper nibble of an 8-bit data output latch/buffer and an 8-bit data input buffer (no latch for input). This port can be divided into two 4-bit ports under the mode control. Each 4-bit port contains a 4-bit latch and it can be used for the control signal outputs and status signal inputs in conjunction with ports A and B.
PC_{0-3}	14–17	16–19	I/O	**PORT C, PINS 0–3:** Lower nibble of Port C.
PB_{0-7}	18–25	20–22, 24–28	I/O	**PORT B, PINS 0–7:** An 8-bit data output latch/buffer and an 8-bit data input buffer.
V_{CC}	26	29		**SYSTEM POWER:** + 5V Power Supply.
D_{7-0}	27–34	30–33, 35–38	I/O	**DATA BUS:** Bi-directional, tri-state data bus lines, connected to system data bus.
RESET	35	39	I	**RESET:** A high on this input clears the control register and all ports are set to the input mode.
$\overline{WR}$	36	40	I	**WRITE CONTROL:** This input is low during CPU write operations.
PA_{7-4}	37–40	41–44	I/O	**PORT A, PINS 4–7:** Upper nibble of an 8-bit data output latch/buffer and an 8-bit data input latch.
NC		1, 12, 23, 34		No Connect

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

82C55A FUNCTIONAL DESCRIPTION

General

The 82C55A is a programmable peripheral interface device designed for use in Intel microcomputer systems. Its function is that of a general purpose I/O component to interface peripheral equipment to the microcomputer system bus. The functional configuration of the 82C55A is programmed by the system software so that normally no external logic is necessary to interface peripheral devices or structures.

Data Bus Buffer

This 3-state bidirectional 8-bit buffer is used to interface the 82C55A to the system data bus. Data is transmitted or received by the buffer upon execution of input or output instructions by the CPU. Control words and status information are also transferred through the data bus buffer.

Read/Write and Control Logic

The function of this block is to manage all of the internal and external transfers of both Data and Control or Status words. It accepts inputs from the CPU Address and Control busses and in turn, issues commands to both of the Control Groups.

Group A and Group B Controls

The functional configuration of each port is programmed by the systems software. In essence, the CPU "outputs" a control word to the 82C55A. The control word contains information such as "mode", "bit set", "bit reset", etc., that initializes the functional configuration of the 82C55A.

Each of the Control blocks (Group A and Group B) accepts "commands" from the Read/Write Control Logic, receives "control words" from the internal data bus and issues the proper commands to its associated ports.

Control Group A - Port A and Port C upper (C7–C4)
Control Group B - Port B and Port C lower (C3–C0)

The control word register can be both written and read as shown in the address decode table in the pin descriptions. Figure 6 shows the control word format for both Read and Write operations. When the control word is read, bit D7 will always be a logic "1", as this implies control word mode information.

Ports A, B, and C

The 82C55A contains three 8-bit ports (A, B, and C). All can be configured in a wide variety of functional characteristics by the system software but each has its own special features or "personality" to further enhance the power and flexibility of the 82C55A.

Port A. One 8-bit data output latch/buffer and one 8-bit input latch buffer. Both "pull-up" and "pull-down" bus hold devices are present on Port A.

Port B. One 8-bit data input/output latch/buffer. Only "pull-up" bus hold devices are present on Port B.

Port C. One 8-bit data output latch/buffer and one 8-bit data input buffer (no latch for input). This port can be divided into two 4-bit ports under the mode control. Each 4-bit port contains a 4-bit latch and it can be used for the control signal outputs and status signal inputs in conjunction with ports A and B. Only "pull-up" bus hold devices are present on Port C.

See Figure 4 for the bus-hold circuit configuration for Port A, B, and C.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

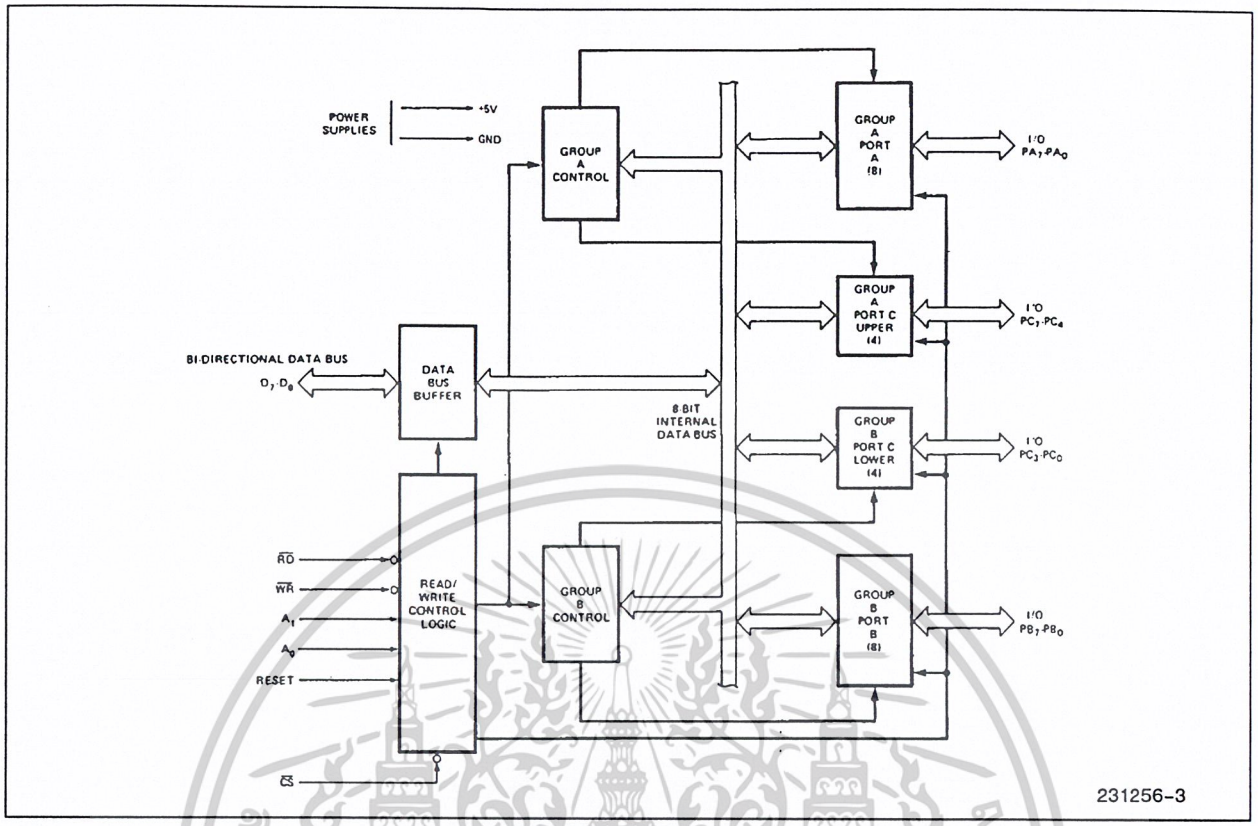
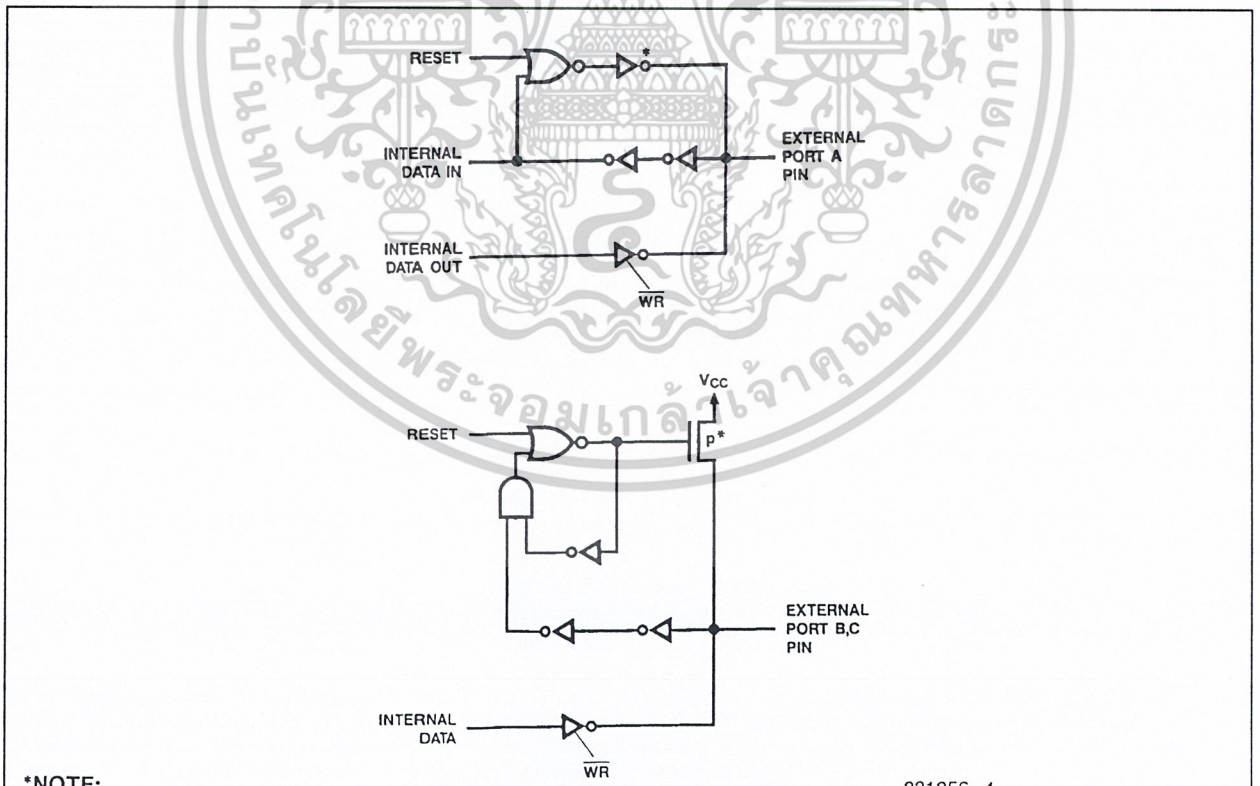


Figure 3. 82C55A Block Diagram Showing Data Bus Buffer and Read/Write Control Logic Functions



***NOTE:**
Port pins loaded with more than 20 pF capacitance may not have their logic level guaranteed following a hardware reset.

Figure 4. Port A, B, C, Bus-hold Configuration

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

82C55A OPERATIONAL DESCRIPTION

Mode Selection

There are three basic modes of operation that can be selected by the system software:

Mode 0 — Basic input/output
Mode 1 — Strobed Input/output
Mode 2 — Bi-directional Bus

When the reset input goes "high" all ports will be set to the input mode with all 24 port lines held at a logic "one" level by the internal bus hold devices (see Figure 4 Note). After the reset is removed the 82C55A can remain in the input mode with no additional initialization required. This eliminates the need for pullup or pulldown devices in "all CMOS" designs. During the execution of the system program, any of the other modes may be selected by using a single output instruction. This allows a single 82C55A to service a variety of peripheral devices with a simple software maintenance routine.

The modes for Port A and Port B can be separately defined, while Port C is divided into two portions as required by the Port A and Port B definitions. All of the output registers, including the status flip-flops, will be reset whenever the mode is changed. Modes may be combined so that their functional definition can be "tailored" to almost any I/O structure. For instance; Group B can be programmed in Mode 0 to monitor simple switch closings or display computational results, Group A could be programmed in Mode 1 to monitor a keyboard or tape reader on an interrupt-driven basis.

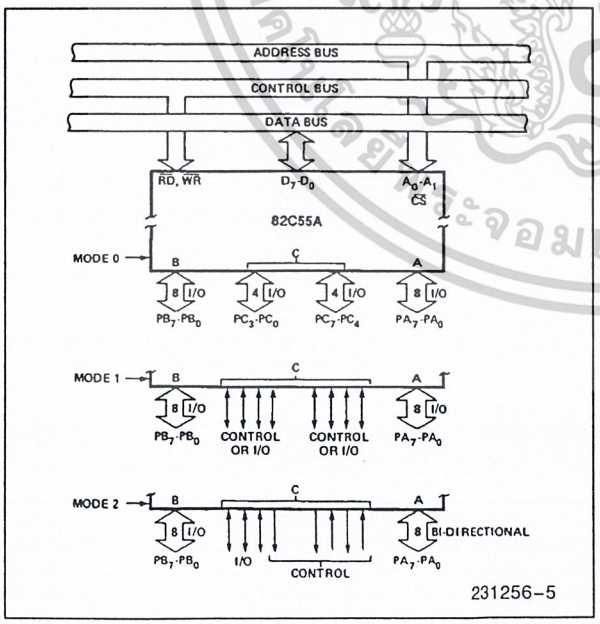


Figure 5. Basic Mode Definitions and Bus Interface

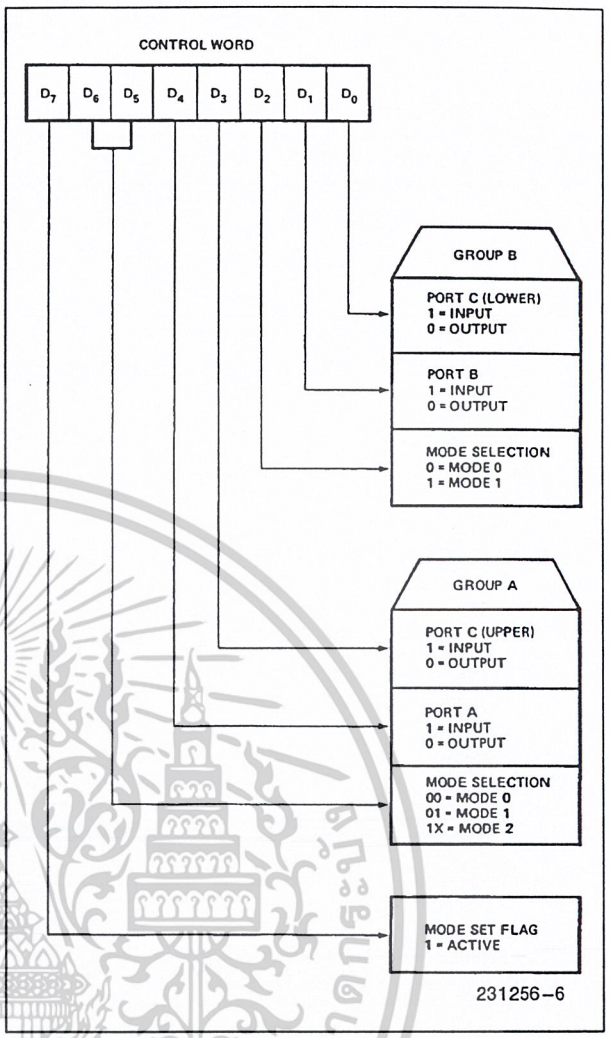


Figure 6. Mode Definition Format

The mode definitions and possible mode combinations may seem confusing at first but after a cursory review of the complete device operation a simple, logical I/O approach will surface. The design of the 82C55A has taken into account things such as efficient PC board layout, control signal definition vs PC layout and complete functional flexibility to support almost any peripheral device with no external logic. Such design represents the maximum use of the available pins.

Single Bit Set/Reset Feature

Any of the eight bits of Port C can be Set or Reset using a single OUTput instruction. This feature reduces software requirements in Control-based applications.

When Port C is being used as status/control for Port A or B, these bits can be set or reset by using the Bit Set/Reset operation just as if they were data output ports.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

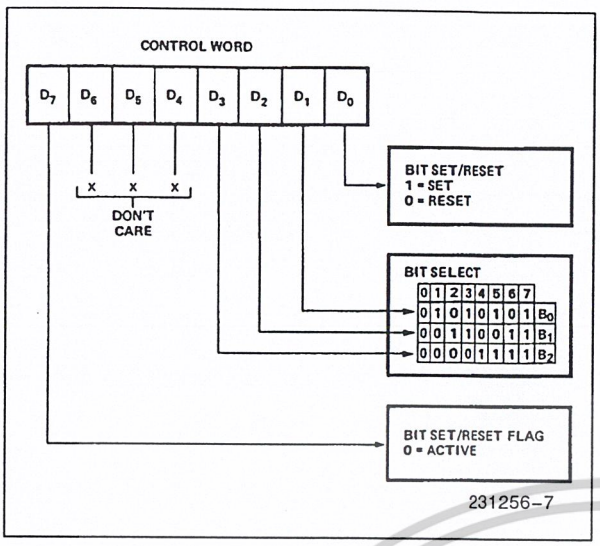


Figure 7. Bit Set/Reset Format

Interrupt Control Functions

When the 82C55A is programmed to operate in mode 1 or mode 2, control signals are provided that can be used as interrupt request inputs to the CPU. The interrupt request signals, generated from port C, can be inhibited or enabled by setting or resetting the associated INTE flip-flop, using the bit set/reset function of port C.

This function allows the Programmer to disallow or allow a specific I/O device to interrupt the CPU without affecting any other device in the interrupt structure.

INTE flip-flop definition:

(BIT-SET)—INTE is SET—Interrupt enable
(BIT-RESET)—INTE is RESET—Interrupt disable

Note:
All Mask flip-flops are automatically reset during mode selection and device Reset.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

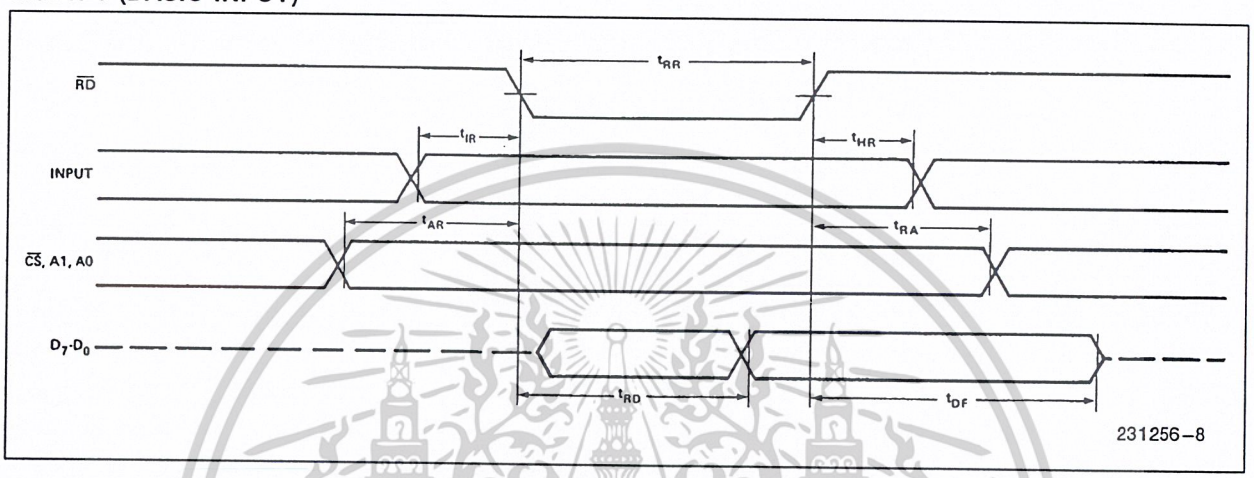
Operating Modes

Mode 0 (Basic Input/Output). This functional configuration provides simple input and output operations for each of the three ports. No "handshaking" is required, data is simply written to or read from a specified port.

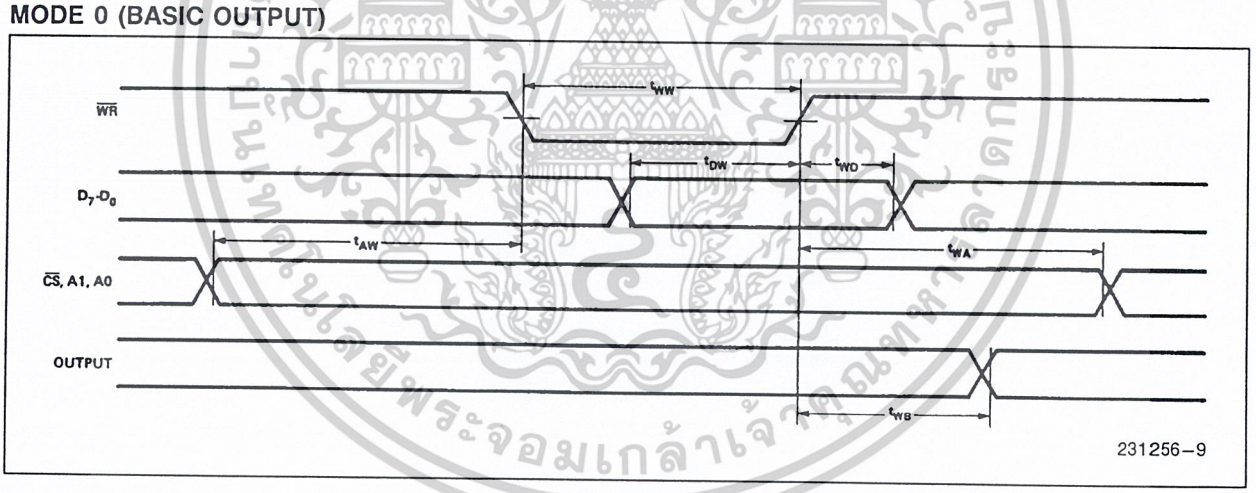
Mode 0 Basic Functional Definitions:

- Two 8-bit ports and two 4-bit ports.
- Any port can be input or output.
- Outputs are latched.
- Inputs are not latched.
- 16 different Input/Output configurations are possible in this Mode.

MODE 0 (BASIC INPUT)



MODE 0 (BASIC OUTPUT)

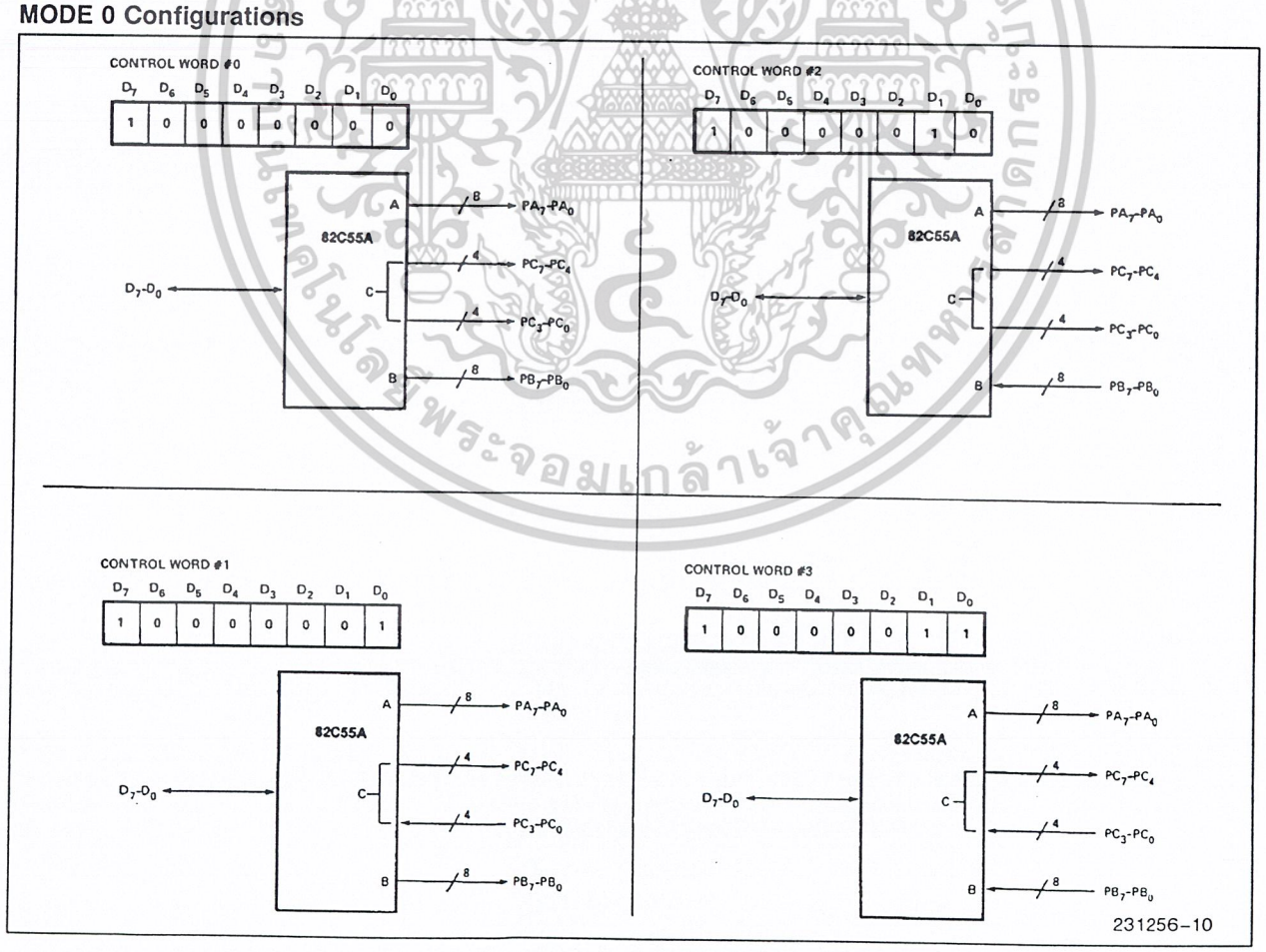


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MODE 0 Port Definition

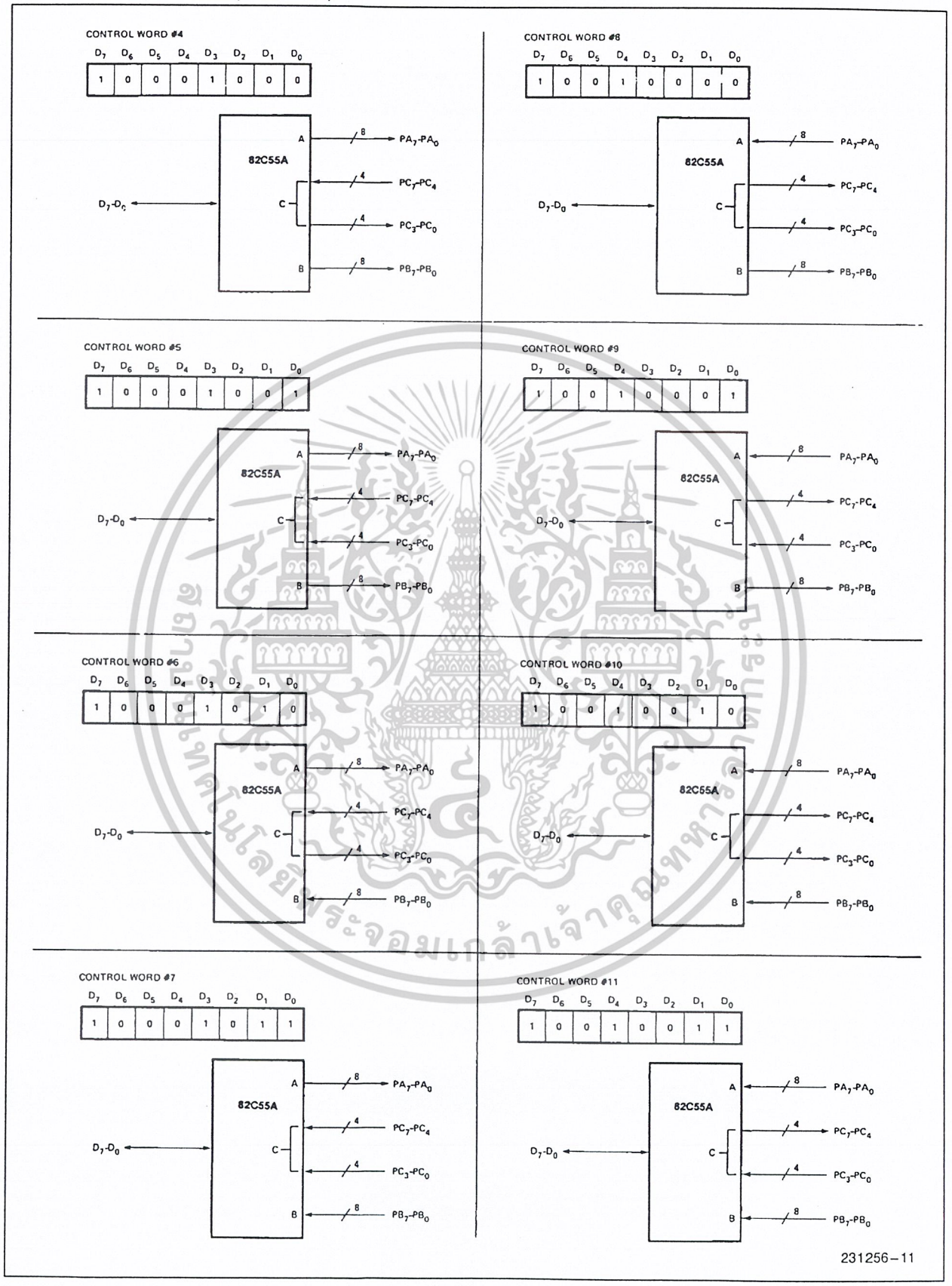
A		B		GROUP A			GROUP B	
D_4	D_3	D_1	D_0	PORT A	PORT C (UPPER)	#	PORT B	PORT C (LOWER)
0	0	0	0	OUTPUT	OUTPUT	0	OUTPUT	OUTPUT
0	0	0	1	OUTPUT	OUTPUT	1	OUTPUT	INPUT
0	0	1	0	OUTPUT	OUTPUT	2	INPUT	OUTPUT
0	0	1	1	OUTPUT	OUTPUT	3	INPUT	INPUT
0	1	0	0	OUTPUT	INPUT	4	OUTPUT	OUTPUT
0	1	0	1	OUTPUT	INPUT	5	OUTPUT	INPUT
0	1	1	0	OUTPUT	INPUT	6	INPUT	OUTPUT
0	1	1	1	OUTPUT	INPUT	7	INPUT	INPUT
1	0	0	0	INPUT	OUTPUT	8	OUTPUT	OUTPUT
1	0	0	1	INPUT	OUTPUT	9	OUTPUT	INPUT
1	0	1	0	INPUT	OUTPUT	10	INPUT	OUTPUT
1	0	1	1	INPUT	OUTPUT	11	INPUT	INPUT
1	1	0	0	INPUT	INPUT	12	OUTPUT	OUTPUT
1	1	0	1	INPUT	INPUT	13	OUTPUT	INPUT
1	1	1	0	INPUT	INPUT	14	INPUT	OUTPUT
1	1	1	1	INPUT	INPUT	15	INPUT	INPUT

MODE 0 Configurations



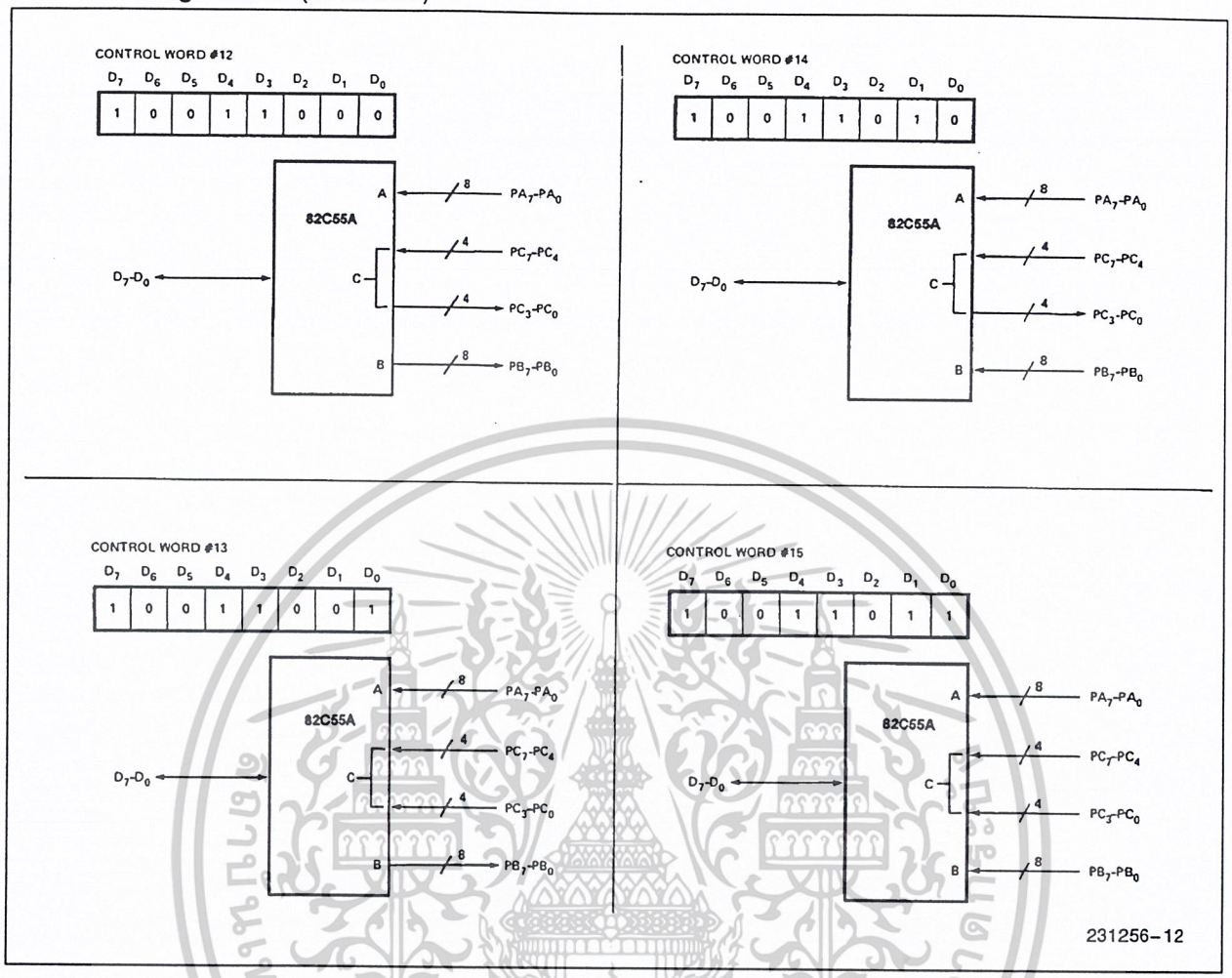
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MODE 0 Configurations (Continued)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MODE 0 Configurations (Continued)



Operating Modes

MODE 1 (Strobed Input/Output). This functional configuration provides a means for transferring I/O data to or from a specified port in conjunction with strobes or "handshaking" signals. In mode 1, Port A and Port B use the lines on Port C to generate or accept these "handshaking" signals.

Mode 1 Basic functional Definitions:

- Two Groups (Group A and Group B).
- Each group contains one 8-bit data port and one 4-bit control/data port.
- The 8-bit data port can be either input or output Both inputs and outputs are latched.
- The 4-bit port is used for control and status of the 8-bit data port.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FAIRCHILD SEMICONDUCTOR™

August 1986
Revised March 2000

DM74LS138 • DM74LS139 Decoder/Demultiplexer

General Description

These Schottky-clamped circuits are designed to be used in high-performance memory-decoding or data-routing applications, requiring very short propagation delay times. In high-performance memory systems these decoders can be used to minimize the effects of system decoding. When used with high-speed memories, the delay times of these decoders are usually less than the typical access time of the memory. This means that the effective system delay introduced by the decoder is negligible.

The DM74LS138 decodes one-of-eight lines, based upon the conditions at the three binary select inputs and the three enable inputs. Two active-low and one active-high enable inputs reduce the need for external gates or inverters when expanding. A 24-line decoder can be implemented with no external inverters, and a 32-line decoder requires only one inverter. An enable input can be used as a data input for demultiplexing applications.

The DM74LS139 comprises two separate two-line-to-four-line decoders in a single package. The active-low enable input can be used as a data line in demultiplexing applications.

All of these decoders/demultiplexers feature fully buffered inputs, presenting only one normalized load to its driving circuit. All inputs are clamped with high-performance Schottky diodes to suppress line-ringing and simplify system design.

Features

- Designed specifically for high speed:
  - Memory decoders
  - Data transmission systems
- DM74LS138 3-to-8-line decoders incorporates 3 enable inputs to simplify cascading and/or data reception
- DM74LS139 contains two fully independent 2-to-4-line decoders/demultiplexers
- Schottky clamped for high performance
- Typical propagation delay (3 levels of logic)
  - DM74LS138 21 ns
  - DM74LS139 21 ns
- Typical power dissipation
  - DM74LS138 32 mW
  - DM74LS139 34 mW

Ordering Code:

Order Number	Package Number	Package Description
DM74LS138M	M16A	16-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-012, 0.150 Narrow
DM74LS138SJ	M16D	16-Lead Small Outline Package (SOP), EIAJ TYPE II, 5.3mm Wide
DM74LS138N	N16E	16-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300 Wide
DM74LS139M	M16A	16-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-012, 0.150 Narrow
DM74LS139SJ	M16D	16-Lead Small Outline Package (SOP), EIAJ TYPE II, 5.3mm Wide
DM74LS139N	N16E	16-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300 Wide

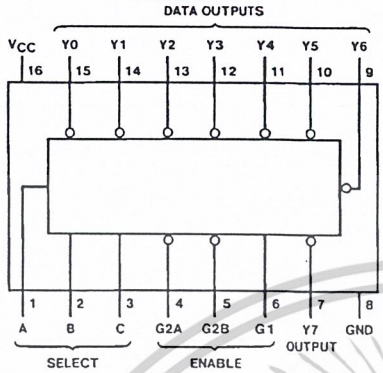
Devices also available in Tape and Reel. Specify by appending the suffix letter "X" to the ordering code.

© 2000 Fairchild Semiconductor Corporation

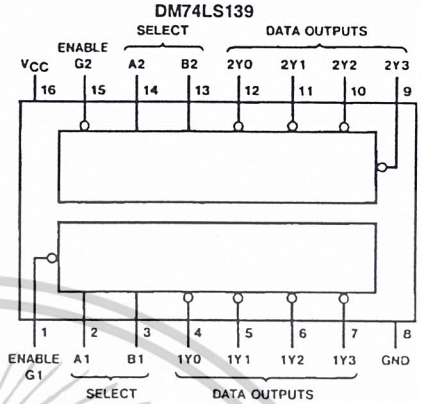
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Connection Diagrams

DM74LS138



DM74LS139



Function Tables

DM74LS138

Inputs				Outputs							
Enable		Select									
G1	G2 (Note 1)	C	B	A	Y0	Y1	Y2	Y3	Y4	Y5	Y6	Y7
X	H	X	X	X	H	H	H	H	H	H	H	H
L	X	X	X	X	H	H	H	H	H	H	H	H
H	L	L	L	L	L	H	H	H	H	H	H	H
H	L	L	L	H	H	L	H	H	H	H	H	H
H	L	L	H	L	H	H	L	H	H	H	H	H
H	L	L	H	H	H	H	H	L	H	H	H	H
H	L	H	L	L	H	H	H	H	L	H	H	H
H	L	H	L	H	H	H	H	H	H	L	H	H
H	L	H	H	L	H	H	H	H	H	H	L	H
H	L	H	H	H	H	H	H	H	H	H	H	L

H = HIGH Level
L = LOW Level
X = Don't Care

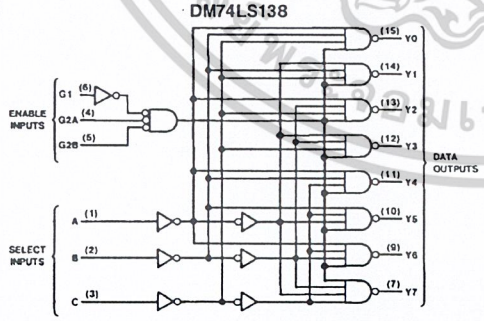
Note 1: G2 = G2A + G2B

DM74LS139

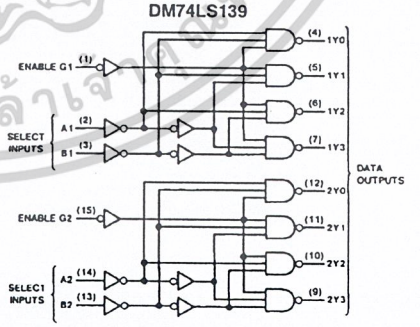
Inputs			Outputs			
Enable	Select					
G	B	A	Y0	Y1	Y2	Y3
H	X	X	H	H	H	H
L	L	L	L	H	H	H
L	L	H	H	L	H	H
L	H	L	H	H	L	H
L	H	H	H	H	H	L

Logic Diagrams

DM74LS138



DM74LS139



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings(Note 2)

Supply Voltage	7V
Input Voltage	7V
Operating Free Air Temperature Range	0°C to +70°C
Storage Temperature Range	−65°C to +150°C

Note 2: The "Absolute Maximum Ratings" are those values beyond which the safety of the device cannot be guaranteed. The device should not be operated at these limits. The parametric values defined in the Electrical Characteristics tables are not guaranteed at the absolute maximum ratings. The "Recommended Operating Conditions" table will define the conditions for actual device operation.

DM74LS138 Recommended Operating Conditions

Symbol	Parameter	Min	Nom	Max	Units
V_{CC}	Supply Voltage	4.75	5	5.25	V
V_{IH}	HIGH Level Input Voltage	2			V
V_{IL}	LOW Level Input Voltage			0.8	V
I_{OH}	HIGH Level Output Current			−0.4	mA
I_{OL}	LOW Level Output Current			8	mA
T_A	Free Air Operating Temperature	0		70	°C

DM74LS138 Electrical Characteristics

over recommended operating free air temperature range (unless otherwise noted)

Symbol	Parameter	Conditions	Min	Typ (Note 3)	Max	Units
V_I	Input Clamp Voltage	V_{CC} = Min, I_I = −18 mA			−1.5	V
V_{OH}	HIGH Level Output Voltage	V_{CC} = Min, I_{OH} = Max, V_{IL} = Max, V_{IH} = Min	2.7	3.4		V
V_{OL}	LOW Level Output Voltage	V_{CC} = Min, I_{OL} = Max, V_{IL} = Max, V_{IH} = Min		0.35	0.5	V
		I_{OL} = 4 mA, V_{CC} = Min		0.25	0.4	
I_I	Input Current @ Max Input Voltage	V_{CC} = Max, V_I = 7V			0.1	mA
I_{IH}	HIGH Level Input Current	V_{CC} = Max, V_I = 2.7V			20	µA
I_{IL}	LOW Level Input Current	V_{CC} = Max, V_I = 0.4V			−0.36	mA
I_{OS}	Short Circuit Output Current	V_{CC} = Max (Note 4)	−20		−100	mA
I_{CC}	Supply Current	V_{CC} = Max (Note 5)		6.3	10	mA

Note 3: All typicals are at V_{CC} = 5V, T_A = 25°C.

Note 4: Not more than one output should be shorted at a time, and the duration should not exceed one second.

Note 5: I_{CC} is measured with all outputs enabled and OPEN.

DM74LS138 Switching Characteristics

at V_{CC} = 5V and T_A = 25°C

Symbol	Parameter	From (Input) To (Output)	Levels of Delay	R_L = 2 kΩ				Units
				C_L = 15 pF		C_L = 50 pF		
				Min	Max	Min	Max	
t_{PLH}	Propagation Delay Time LOW-to-HIGH Level Output	Select to Output	2		18		27	ns
t_{PHL}	Propagation Delay Time HIGH-to-LOW Level Output	Select to Output	2		27		40	ns
t_{PLH}	Propagation Delay Time LOW-to-HIGH Level Output	Select to Output	3		18		27	ns
t_{PHL}	Propagation Delay Time HIGH-to-LOW Level Output	Select to Output	3		27		40	ns
t_{PLH}	Propagation Delay Time LOW-to-HIGH Level Output	Enable to Output	2		18		27	ns
t_{PHL}	Propagation Delay Time HIGH-to-LOW Level Output	Enable to Output	2		24		40	ns
t_{PLH}	Propagation Delay Time LOW-to-HIGH Level Output	Enable to Output	3		18		27	ns
t_{PHL}	Propagation Delay Time HIGH-to-LOW Level Output	Enable to Output	3		28		40	ns

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DM74LS139 Recommended Operating Conditions

Symbol	Parameter	Min	Nom	Max	Units
V_{CC}	Supply Voltage	4.75	5	5.25	V
V_{IH}	HIGH Level Input Voltage	2			V
V_{IL}	LOW Level Input Voltage			0.8	V
I_{OH}	HIGH Level Output Current			−0.4	mA
I_{OL}	LOW Level Output Current			8	mA
T_A	Free Air Operating Temperature	0		70	°C

DM74LS139 Electrical Characteristics

over recommended operating free air temperature range (unless otherwise noted)

Symbol	Parameter	Conditions	Min	Typ (Note 6)	Max	Units
V_I	Input Clamp Voltage	V_{CC} = Min, I_I = −18 mA			−1.5	V
V_{OH}	HIGH Level Output Voltage	V_{CC} = Min, I_{OH} = Max, V_{IL} = Max, V_{IH} = Min	2.7	3.4		V
V_{OL}	LOW Level Output Voltage	V_{CC} = Min, I_{OL} = Max, V_{IL} = Max, V_{IH} = Min		0.35	0.5	V
		I_{OL} = 4 mA, V_{CC} = Min		0.25	0.4	
I_I	Input Current @ Max Input Voltage	V_{CC} = Max, V_I = 7V			0.1	mA
I_{IH}	HIGH Level Input Current	V_{CC} = Max, V_I = 2.7V			20	µA
I_{IL}	LOW Level Input Current	V_{CC} = Max, V_I = 0.4V			−0.36	mA
I_{OS}	Short Circuit Output Current	V_{CC} = Max (Note 7)	−20		−100	mA
I_{CC}	Supply Current	V_{CC} = Max (Note 8)		6.8	11	mA

Note 6: All typicals are at V_{CC} = 5V, T_A = 25°C.

Note 7: Not more than one output should be shorted at a time, and the duration should not exceed one second.

Note 8: I_{CC} is measured with all outputs enabled and OPEN.

DM74LS139 Switching Characteristics

at V_{CC} = 5V and T_A = 25°C

Symbol	Parameter	From (Input) To (Output)	R_L = 2 kΩ				Units
			C_L = 15 pF		C_L = 50 pF		
			Min	Max	Min	Max	
t_{PLH}	Propagation Delay Time LOW-to-HIGH Level Output	Select to Output		18		27	ns
t_{PHL}	Propagation Delay Time HIGH-to-LOW Level Output	Select to Output		27		40	ns
t_{PLH}	Propagation Delay Time LOW-to-HIGH Level Output	Enable to Output		18		27	ns
t_{PHL}	Propagation Delay Time HIGH-to-LOW Level Output	Enable to Output		24		40	ns

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FAIRCHILD
SEMICONDUCTOR™

April 1986
Revised November 2001

DM74LS373 • DM74LS374
3-STATE Octal D-Type Transparent Latches and Edge-Triggered Flip-Flops

General Description

These 8-bit registers feature totem-pole 3-STATE outputs designed specifically for driving highly-capacitive or relatively low-impedance loads. The high-impedance state and increased high-logic level drive provide these registers with the capability of being connected directly to and driving the bus lines in a bus-organized system without need for interface or pull-up components. They are particularly attractive for implementing buffer registers, I/O ports, bidirectional bus drivers, and working registers.

The eight latches of the DM74LS373 are transparent D-type latches meaning that while the enable (G) is HIGH the Q outputs will follow the data (D) inputs. When the enable is taken LOW the output will be latched at the level of the data that was set up.

The eight flip-flops of the DM74LS374 are edge-triggered D-type flip flops. On the positive transition of the clock, the Q outputs will be set to the logic states that were set up at the D inputs.

A buffered output control input can be used to place the eight outputs in either a normal logic state (HIGH or LOW logic levels) or a high-impedance state. In the high-impedance state the outputs neither load nor drive the bus lines significantly.

The output control does not affect the internal operation of the latches or flip-flops. That is, the old data can be retained or new data can be entered even while the outputs are OFF.

Features

- Choice of 8 latches or 8 D-type flip-flops in a single package
- 3-STATE bus-driving outputs
- Full parallel-access for loading
- Buffered control inputs
- P-N-P inputs reduce D-C loading on data lines

Ordering Code:

Order Number	Package Number	Package Description
DM74LS373WM	M20B	20-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-013, 0.300" Wide
DM74LS373SJ	M20D	20-Lead Small Outline Package (SOP), EIAJ TYPE II, 5.3mm Wide
DM74LS373N	N20A	20-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300" Wide
DM74LS374WM	M20B	20-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-013, 0.300" Wide
DM74LS374SJ	M20D	20-Lead Small Outline Package (SOP), EIAJ TYPE II, 5.3mm Wide
DM74LS374N	N20A	20-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300" Wide

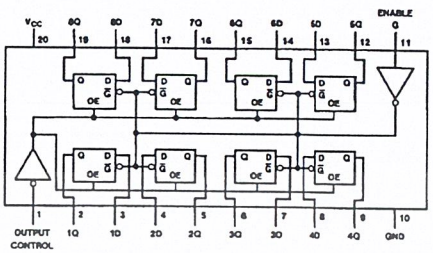
Devices also available in Tape and Reel. Specify by appending the suffix letter "X" to the ordering code.

© 2001 Fairchild Semiconductor Corporation

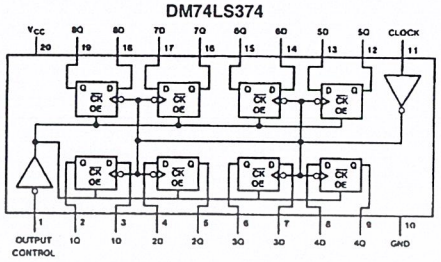
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Connection Diagrams

DM74LS373



DM74LS374



Function Tables

DM74LS373

Output Control	Enable G	D	Output
L	H	H	H
L	H	L	L
L	L	X	Q_0
H	X	X	Z

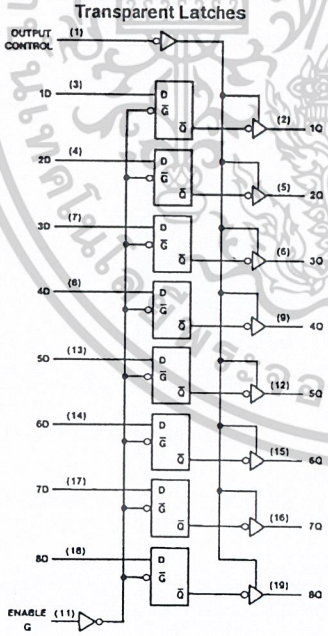
DM74LS374

Output Control	Clock	D	Output
L	↑	H	H
L	↑	L	L
L	L	X	Q_0
H	X	X	Z

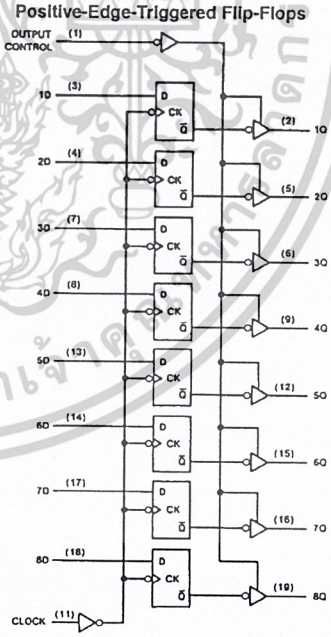
H = HIGH Level (Steady State) L = LOW Level (Steady State)
X = Don't Care Z = High Impedance State
↑ = Transition from LOW-to-HIGH level Q_0 = The level of the output before steady-state input conditions were established.

Logic Diagrams

DM74LS373
Transparent Latches



DM74LS374
Positive-Edge-Triggered Flip-Flops



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings(Note 1)

Supply Voltage	7V
Input Voltage	7V
Storage Temperature Range	−65°C to +150°C
Operating Free Air Temperature Range	0°C to +70°C

Note 1: The "Absolute Maximum Ratings" are those values beyond which the safety of the device cannot be guaranteed. The device should not be operated at these limits. The parametric values defined in the Electrical Characteristics tables are not guaranteed at the absolute maximum ratings. The "Recommended Operating Conditions" table will define the conditions for actual device operation.

DM74LS373 Recommended Operating Conditions

Symbol	Parameter		Min	Nom	Max	Units
V_{CC}	Supply Voltage		4.75	5	5.25	V
V_{IH}	HIGH Level Input Voltage		2			V
V_{IL}	LOW Level Input Voltage				0.8	V
I_{OH}	HIGH Level Output Current				−2.6	mA
I_{OL}	LOW Level Output Current				24	mA
t_W	Pulse Width	Enable HIGH	15			ns
	(Note 3)	Enable LOW	15			
t_{SU}	Data Setup Time (Note 2) (Note 3)		5↓			ns
t_H	Data Hold Time (Note 2) (Note 3)		20↓			ns
T_A	Free Air Operating Temperature		0		70	°C

Note 2: The symbol (↓) indicates the falling edge of the clock pulse is used for reference.

Note 3: $T_A = 25°C$ and $V_{CC} = 5V$.

DM74LS373 Electrical Characteristics

over recommended operating free air temperature range (unless otherwise noted)

Symbol	Parameter	Conditions	Min	Typ (Note 4)	Max	Units
V_I	Input Clamp Voltage	V_{CC} = Min, I_I = −18 mA			−1.5	V
V_{OH}	HIGH Level Output Voltage	V_{CC} = Min, I_{OH} = Max, V_{IL} = Max, V_{IH} = Min	2.4	3.1		V
V_{OL}	LOW Level Output Voltage	V_{CC} = Min, I_{OL} = Max, V_{IL} = Max, V_{IH} = Min		0.35	0.5	V
		I_{OL} = 12 mA, V_{CC} = Min			0.4	
I_I	Input Current @ Max Input Voltage	V_{CC} = Max, V_I = 7V			0.1	mA
I_{IH}	HIGH Level Input Current	V_{CC} = Max, V_I = 2.7V			20	µA
I_{IL}	LOW Level Input Current	V_{CC} = Max, V_I = 0.4V			−0.4	mA
I_{OZH}	Off-State Output Current with HIGH Level Output Voltage Applied	V_{CC} = Max, V_O = 2.7V, V_{IH} = Min, V_{IL} = Max			20	µA
I_{OZL}	Off-State Output Current with LOW Level Output Voltage Applied	V_{CC} = Max, V_O = 0.4V, V_{IH} = Min, V_{IL} = Max			−20	µA
I_{OS}	Short Circuit Output Current	V_{CC} = Max (Note 5)	−50		−225	mA
I_{CC}	Supply Current	V_{CC} = Max, OC = 4.5V, D_n, Enable = GND		24	40	mA

Note 4: All typicals are at $V_{CC} = 5V$, $T_A = 25°C$.

Note 5: Not more than one output should be shorted at a time, and the duration should not exceed one second.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

February 1995

LM567/LM567C Tone Decoder

General Description

The LM567 and LM567C are general purpose tone decoders designed to provide a saturated transistor switch to ground when an input signal is present within the passband. The circuit consists of an I and Q detector driven by a voltage controlled oscillator which determines the center frequency of the decoder. External components are used to independently set center frequency, bandwidth and output delay.

Features

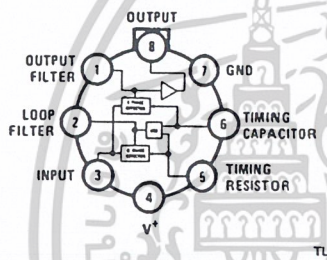
- 20 to 1 frequency range with an external resistor
- Logic compatible output with 100 mA current sinking capability
- Bandwidth adjustable from 0 to 14%
- High rejection of out of band signals and noise
- Immunity to false signals
- Highly stable center frequency
- Center frequency adjustable from 0.01 Hz to 500 kHz

Applications

- Touch tone decoding
- Precision oscillator
- Frequency monitoring and control
- Wide band FSK demodulation
- Ultrasonic controls
- Carrier current remote controls
- Communications paging decoders

Connection Diagrams

Metal Can Package

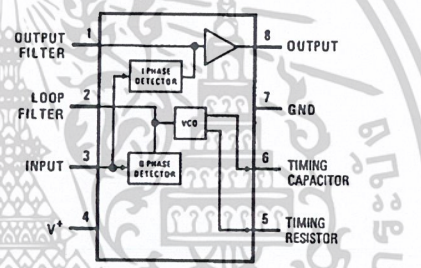


TL/H/6975–1

Top View

Order Number LM567H or LM567CH
See NS Package Number H08C

Dual-In-Line and Small Outline Packages



TL/H/6975–2

Top View

Order Number LM567CM
See NS Package Number M08A
Order Number LM567CN
See NS Package Number N08E

©1995 National Semiconductor Corporation TL/H/6975

RRD-B30M115/Printed in U. S. A.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Supply Voltage Pin	9V
Power Dissipation (Note 1)	1100 mW
V_8	15V
V_3	−10V
V_3	V_4 + 0.5V
Storage Temperature Range	−65°C to +150°C
Operating Temperature Range	
LM567H	−55°C to +125°C
LM567CH, LM567CM, LM567CN	0°C to +70°C

Soldering Information

Dual-In-Line Package	
Soldering (10 sec.)	260°C
Small Outline Package	
Vapor Phase (60 sec.)	215°C
Infrared (15 sec.)	220°C

See AN-450 "Surface Mounting Methods and Their Effect on Product Reliability" for other methods of soldering surface mount devices.

Electrical Characteristics AC Test Circuit, T_A = 25°C, V^+ = 5V

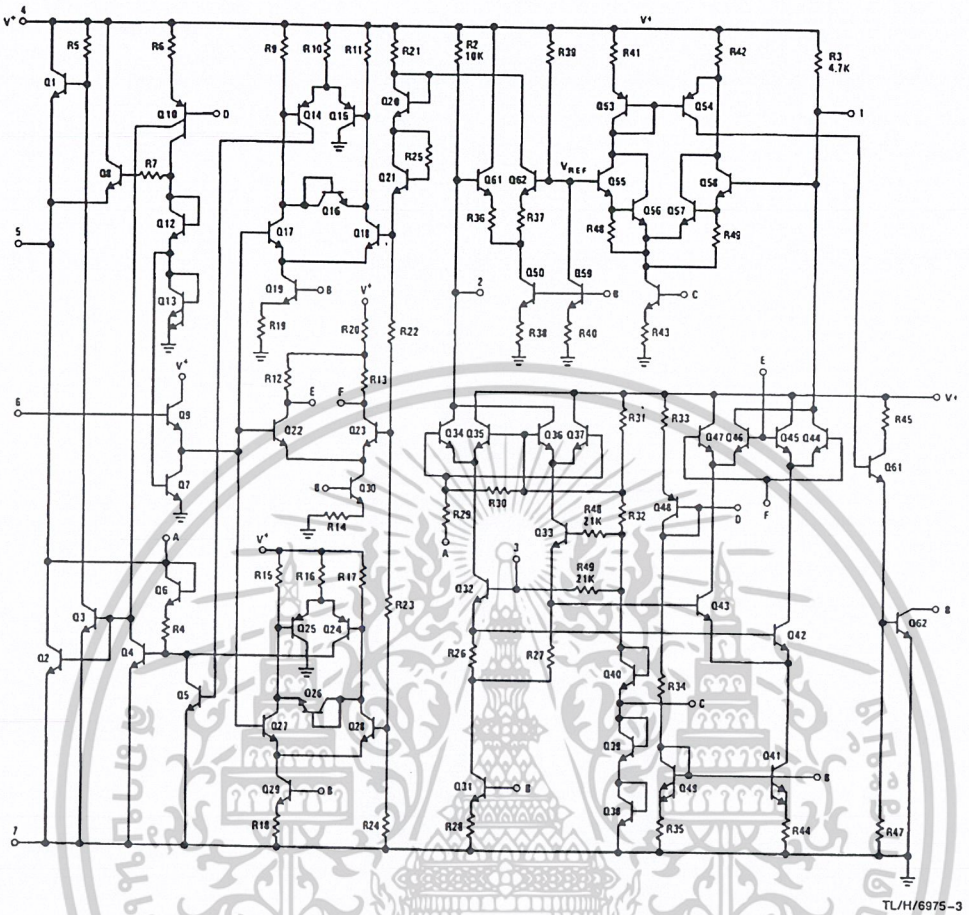
Parameters	Conditions	LM567			LM567C/LM567CM			Units
		Min	Typ	Max	Min	Typ	Max	
Power Supply Voltage Range		4.75	5.0	9.0	4.75	5.0	9.0	V
Power Supply Current Quiescent	R_L = 20k		6	8		7	10	mA
Power Supply Current Activated	R_L = 20k		11	13		12	15	mA
Input Resistance		18	20		15	20		kΩ
Smallest Detectable Input Voltage	I_L = 100 mA, $f_i = f_o$		20	25		20	25	mVrms
Largest No Output Input Voltage	I_C = 100 mA, $f_i = f_o$	10	15		10	15		mVrms
Largest Simultaneous Outband Signal to Inband Signal Ratio			6			6		dB
Minimum Input Signal to Wideband Noise Ratio	B_n = 140 kHz		−6			−6		dB
Largest Detection Bandwidth		12	14	16	10	14	18	% of f_o
Largest Detection Bandwidth Skew			1	2		2	3	% of f_o
Largest Detection Bandwidth Variation with Temperature			±0.1			±0.1		%/°C
Largest Detection Bandwidth Variation with Supply Voltage	4.75 − 6.75V		±1	±2		±1	±5	%V
Highest Center Frequency		100	500		100	500		kHz
Center Frequency Stability (4.75–5.75V)	$0 < T_A < 70$ $-55 < T_A < +125$		35 ± 60 35 ± 140			35 ±60 35 ± 140		ppm/°C ppm/°C
Center Frequency Shift with Supply Voltage	4.75V − 6.75V 4.75V − 9V		0.5	1.0 2.0		0.4	2.0 2.0	%/V %/V
Fastest ON-OFF Cycling Rate			f_o/20			f_o/20		
Output Leakage Current	V_8 = 15V		0.01	25		0.01	25	μA
Output Saturation Voltage	e_i = 25 mV, I_8 = 30 mA e_i = 25 mV, I_8 = 100 mA		0.2 0.6	0.4 1.0		0.2 0.6	0.4 1.0	V
Output Fall Time			30			30		ns
Output Rise Time			150			150		ns

Note 1: The maximum junction temperature of the LM567 and LM567C is 150°C. For operating at elevated temperatures, devices in the TO-5 package must be derated based on a thermal resistance of 150°C/W, junction to ambient or 45°C/W, junction to case. For the DIP the device must be derated based on a thermal resistance of 110°C/W, junction to ambient. For the Small Outline package, the device must be derated based on a thermal resistance of 160°C/W, junction to ambient.

Note 2: Refer to RETS567X drawing for specifications of military LM567H version.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

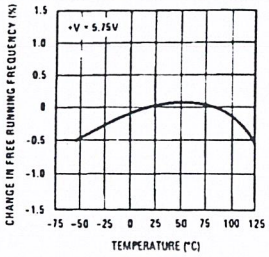
Schematic Diagram



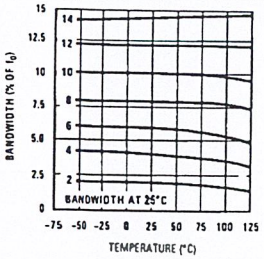
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics

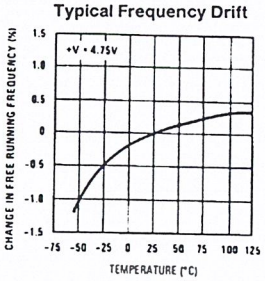
Typical Frequency Drift



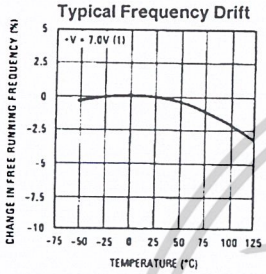
Typical Bandwidth Variation



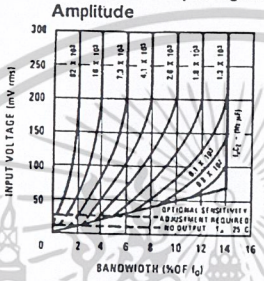
Typical Frequency Drift



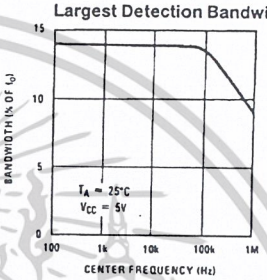
Typical Frequency Drift



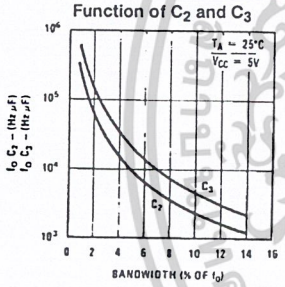
Bandwidth vs Input Signal Amplitude



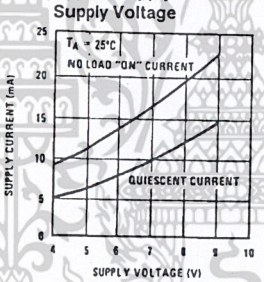
Largest Detection Bandwidth



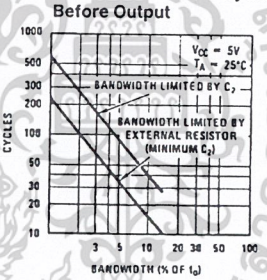
Detection Bandwidth as a Function of C_2 and C_3



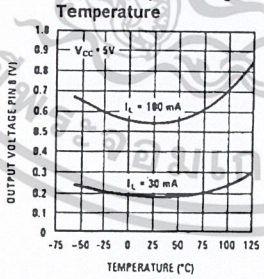
Typical Supply Current vs Supply Voltage



Greatest Number of Cycles Before Output



Typical Output Voltage vs Temperature

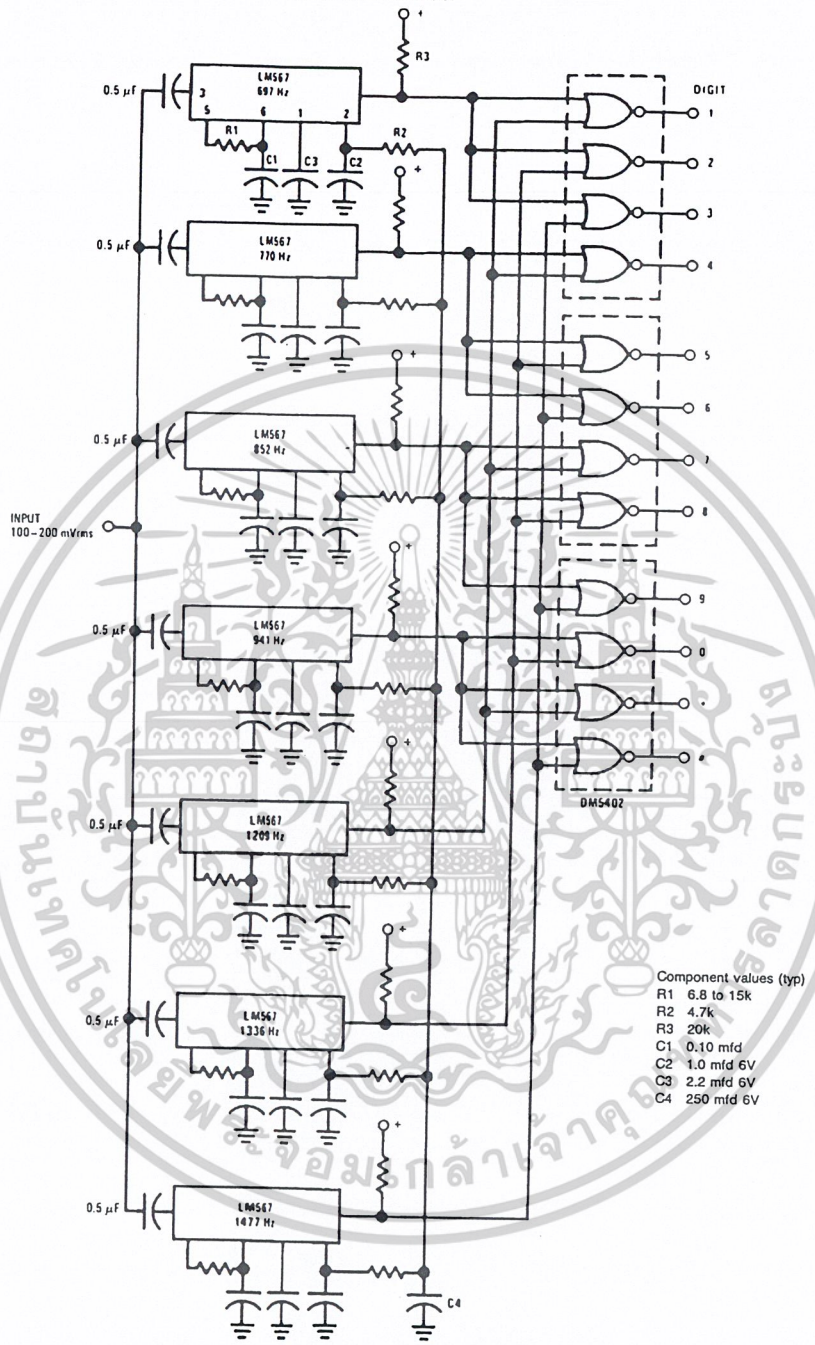


TL/H/6975–4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Applications

Touch-Tone Decoder

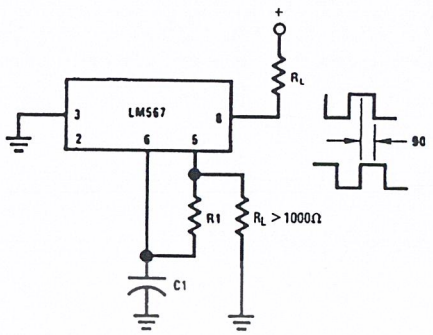


TL/H/6975–5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Applications (Continued)

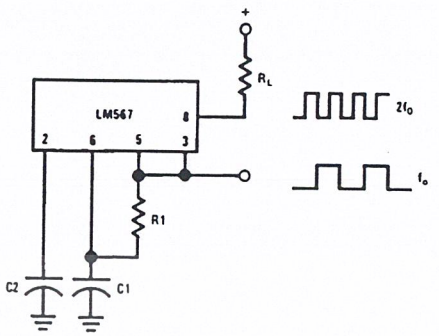
Oscillator with Quadrature Output



Connect Pin 3 to 2.8V to Invert Output

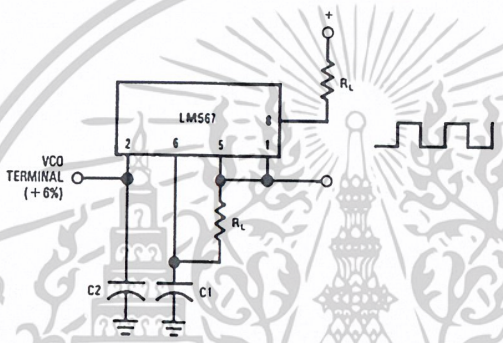
TL/H/6975–6

Oscillator with Double Frequency Output



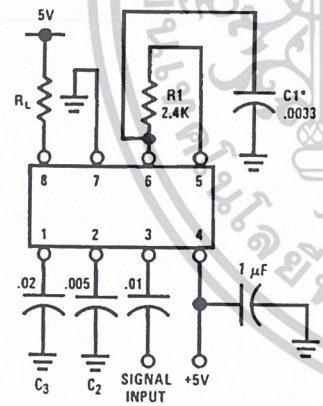
TL/H/6975–7

Precision Oscillator Drive 100 mA Loads



TL/H/6975–8

AC Test Circuit



TL/H/6975–9

f_i = 100 kHz + 5V

*Note: Adjust for f_o = 100 kHz.

Applications Information

The center frequency of the tone decoder is equal to the free running frequency of the VCO. This is given by

$$f_o \cong \frac{1}{1.1\, R_1 C_1}$$

The bandwidth of the filter may be found from the approximation

$$BW = 1070 \sqrt{\frac{V_i}{f_o C_2}} \text{ in \% of } f_o$$

Where:

V_i = Input voltage (volts rms), $V_i \leq 200$ mV

C_2 = Capacitance at Pin 2 (μF)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Features

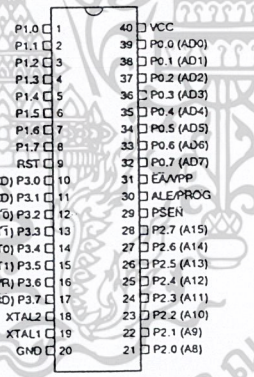
- Compatible with MCS-51™ Products
- 4K Bytes of In-System Reprogrammable Flash Memory
  - Endurance: 1,000 Write/Erase Cycles
- Fully Static Operation: 0 Hz to 24 MHz
- Three-level Program Memory Lock
- 128 x 8-bit Internal RAM
- 32 Programmable I/O Lines
- Two 16-bit Timer/Counters
- Six Interrupt Sources
- Programmable Serial Channel
- Low-power Idle and Power-down Modes

Description

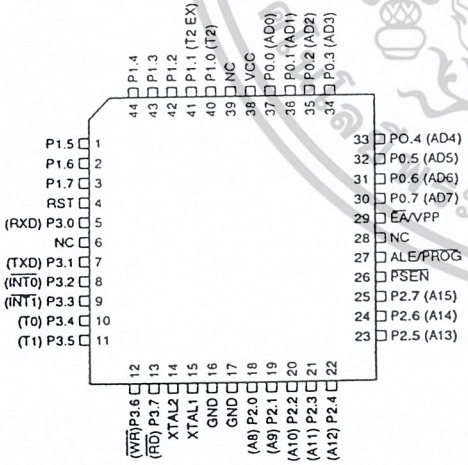
The AT89C51 is a low-power, high-performance CMOS 8-bit microcomputer with 4K bytes of Flash programmable and erasable read only memory (PEROM). The device is manufactured using Atmel's high-density nonvolatile memory technology and is compatible with the industry-standard MCS-51 instruction set and pinout. The on-chip Flash allows the program memory to be reprogrammed in-system or by a conventional nonvolatile memory programmer. By combining a versatile 8-bit CPU with Flash on a monolithic chip, the Atmel AT89C51 is a powerful microcomputer which provides a highly-flexible and cost-effective solution to many embedded control applications.

Pin Configurations

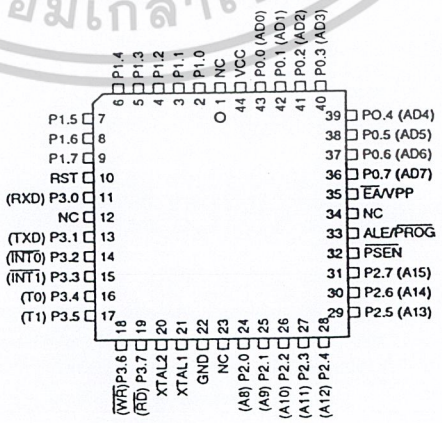
PDIP



PQFP/TQFP



PLCC



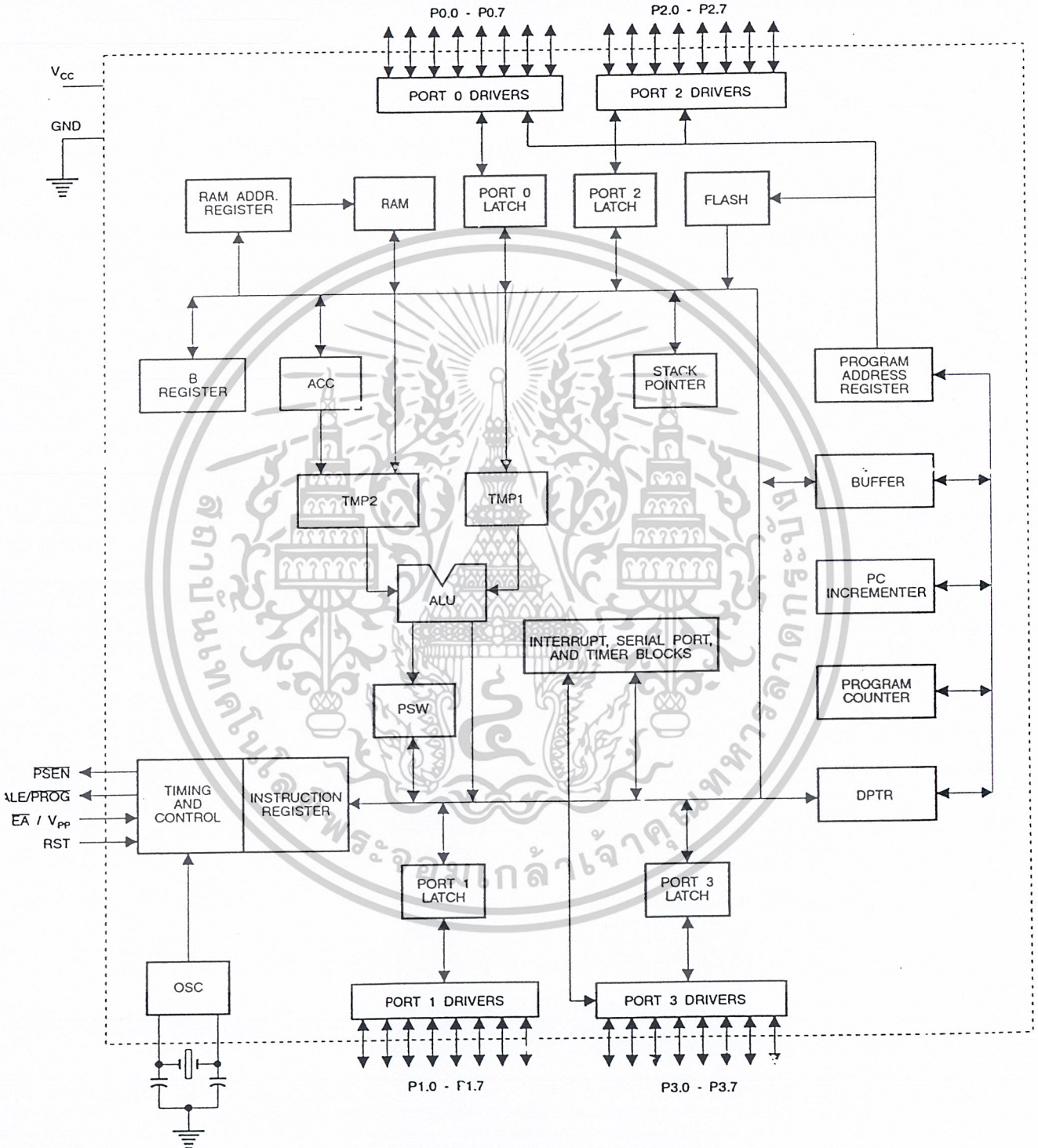
8-bit Microcontroller with 4K Bytes Flash

AT89C51

Rev. 0265G–02/00

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Block Diagram



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

The AT89C51 provides the following standard features: 4K bytes of Flash, 128 bytes of RAM, 32 I/O lines, two 16-bit timer/counters, a five vector two-level interrupt architecture, a full duplex serial port, on-chip oscillator and clock circuitry. In addition, the AT89C51 is designed with static logic for operation down to zero frequency and supports two software selectable power saving modes. The Idle Mode stops the CPU while allowing the RAM, timer/counters, serial port and interrupt system to continue functioning. The Power-down Mode saves the RAM contents but freezes the oscillator disabling all other chip functions until the next hardware reset.

Pin Description

VCC

Supply voltage.

GND

Ground.

Port 0

Port 0 is an 8-bit open-drain bi-directional I/O port. As an output port, each pin can sink eight TTL inputs. When 1s are written to port 0 pins, the pins can be used as high-impedance inputs.

Port 0 may also be configured to be the multiplexed low-order address/data bus during accesses to external program and data memory. In this mode P0 has internal pullups.

Port 0 also receives the code bytes during Flash programming, and outputs the code bytes during program verification. External pullups are required during program verification.

Port 1

Port 1 is an 8-bit bi-directional I/O port with internal pullups. The Port 1 output buffers can sink/source four TTL inputs. When 1s are written to Port 1 pins they are pulled high by the internal pullups and can be used as inputs. As inputs, Port 1 pins that are externally being pulled low will source current (I_{IL}) because of the internal pullups.

Port 1 also receives the low-order address bytes during Flash programming and verification.

Port 2

Port 2 is an 8-bit bi-directional I/O port with internal pullups. The Port 2 output buffers can sink/source four TTL inputs. When 1s are written to Port 2 pins they are pulled high by the internal pullups and can be used as inputs. As inputs, Port 2 pins that are externally being pulled low will source current (I_{IL}) because of the internal pullups.

Port 2 emits the high-order address byte during fetches from external program memory and during accesses to external data memory that use 16-bit addresses (MOVX @ DPTR). In this application, it uses strong internal pullups when emitting 1s. During accesses to external data memory that use 8-bit addresses (MOVX @ RI), Port 2 emits the contents of the P2 Special Function Register.

Port 2 also receives the high-order address bits and some control signals during Flash programming and verification.

Port 3

Port 3 is an 8-bit bi-directional I/O port with internal pullups. The Port 3 output buffers can sink/source four TTL inputs. When 1s are written to Port 3 pins they are pulled high by the internal pullups and can be used as inputs. As inputs, Port 3 pins that are externally being pulled low will source current (I_{IL}) because of the pullups.

Port 3 also serves the functions of various special features of the AT89C51 as listed below:

Port Pin	Alternate Functions
P3.0	RXD (serial input port)
P3.1	TXD (serial output port)
P3.2	$\overline{INT0}$ (external interrupt 0)
P3.3	$\overline{INT1}$ (external interrupt 1)
P3.4	T0 (timer 0 external input)
P3.5	T1 (timer 1 external input)
P3.6	$\overline{WR}$ (external data memory write strobe)
P3.7	$\overline{RD}$ (external data memory read strobe)

Port 3 also receives some control signals for Flash programming and verification.

RST

Reset input. A high on this pin for two machine cycles while the oscillator is running resets the device.

ALE/$\overline{PROG}$

Address Latch Enable output pulse for latching the low byte of the address during accesses to external memory. This pin is also the program pulse input ($\overline{PROG}$) during Flash programming.

In normal operation ALE is emitted at a constant rate of 1/6 the oscillator frequency, and may be used for external timing or clocking purposes. Note, however, that one ALE

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้