

การออกแบบวงจรการประชุมร่วมทางโทรศัพท์ด้วยอุปกรณ์เอ็พฟี่จีเอ

Telephone Conferencing Circuit Design Based on FPGA



ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาวิศวกรรมโทรคมนาคม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2545

เลขหมู่.....

เลขทะเบียน 50121

วัน,เดือน,ปี 2 1 เม.ย. 2547

.b.....
.i.....

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การออกแบบวงจรการประชุมร่วมทางโทรศัพท์ด้วยอุปกรณ์เอฟพีจีเอ

Telephone Conferencing Circuit Design Based on FPGA

โดย

น.ส.ศิรินยา เหล่าพิพัฒน์ตระกูล 42010345

นายสมิทธิ หาเรือนพิษณุ 42010368

นายสันทัต สาระปลีก 42010375

อาจารย์ที่ปรึกษา

รศ.ดร.กอบชัย เดชหาญ

อาจารย์สรวิวัฒน์ ชิวปรีชา

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาวิศวกรรมโทรคมนาคม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2545

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ ปีการศึกษา 2545

ภาควิชาวิศวกรรมโทรคมนาคม

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง การออกแบบวงจรการประชุมร่วมทางโทรศัพท์ด้วยอุปกรณ์เอ็ฟพีอีเอ

Telephone Conferencing Circuit Design Based on FPGA

ผู้จัดทำ

1. น.ส. ศิริินยา เหล่าพิพัฒนั้ตระกูล 42010345

2. นาย สมัทธิ หาเรือนพีชนั้ 42010368

3. นาย สันทัต สาระปลัีก 42010375



..... อาจารย์ที่ปรึกษา

(รศ.ดร. กอบชัย เดชหาญ)



..... อาจารย์ที่ปรึกษา

(อาจารย์สรวิวัฒน์ จิวปรีชา)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การออกแบบวงจรการประชุมร่วมทางโทรศัพท์ด้วยอุปกรณ์ FPGA

Telephone Conference Circuit Design Based on FPGA

ผู้จัดทำ	น.ส.ศรินยา	เหล่าพิพัฒน์ตระกูล	42010345
	นายสมิทธิ	หาเรือนพิชน์	42010368
	นายสันทัต	สาระปลีก	42010375

อาจารย์ที่ปรึกษา	รศ.ดร.กอบชัย เดชหาญ
	อาจารย์ศรวัฒน์ ชิวปรีชา

บทคัดย่อ

โครงการนี้นำเสนอการออกแบบ สร้างและทดลองวงจรการประชุมร่วมทางโทรศัพท์ในระบบ PCM (Pulse Code Modulation) ซึ่งรองรับการคอมเพนดแบบ A-Law และกำหนดช่องสัญญาณในการรับ-ส่งข้อมูลแบบตายตัว โดยใช้อัลกอริทึมหาค่ากำลังเฉลี่ยสัญญาณของข้อมูล PCM ขั้นตอนการออกแบบจะใช้วิธีอธิบายพฤติกรรมการทำงานของวงจรด้วยภาษา VHDL (Very high speed integrated circuit Hardware Description Language) และใช้โปรแกรม Max Plus II ในการพัฒนางจรทั้งหมด วงจรที่ได้จะนำไปโปรแกรมลงในอุปกรณ์ FPGA (Field Programmable Gate Array) เพื่อเป็นต้นแบบในการใช้งาน

Abstract

This project presents a design, implementation and testing circuit designed for conference on the telephone. The design is used for PCM data, and based on A-Law companding and having fixed time slot in receiving-transmitting data. Algorithm for this design is the calculation of average power signal of PCM data. This circuit is designed by describing the behavior by using VHDL and tool used in design is Max Plus II. After the designed circuit will be programmed into FPGA.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

เรื่อง	หน้า
บทที่ 1 บทนำ	1
บทที่ 2 ทฤษฎีและหลักการ	2
2.1 หลักการการทำชิพการประชุมทางโทรศัพท์	2
2.2 หลักการพื้นฐานของชุมสายโทรศัพท์ระบบดิจิทัล	2
2.3 หลักการทำงานของวงจรประชุมร่วมทางโทรศัพท์	3
2.4 หลักการพื้นฐานของพีซีเอ็ม	3
2.4.1 สัญญาณรบกวนจากการควอนไทซ์	5
2.4.2 การคอมแพนด์	8
2.5 คุณลักษณะของสัญญาณเสียง	12
2.6 คุณลักษณะการได้ยินเสียงของมนุษย์	12
2.7 การวิเคราะห์และการหาค่ากำลังเฉลี่ยของสัญญาณ	13
บทที่ 3 การออกแบบโดยใช้ภาษาวีเอชดีแอล	14
3.1 ภาษาวีเอชดีแอล	14
3.1.1 ประวัติความเป็นมาของภาษาวีเอชดีแอล	14
3.1.2 การออกแบบระบบดิจิทัล	15
3.1.3 องค์ประกอบพื้นฐานของวีเอชดีแอล	17
3.2 FPGA	29
3.2.1 สถาปัตยกรรมภายในของ FPGA	30
3.2.2 ปัจจัยที่ทำให้การออกแบบ FPGA ทำได้ง่ายและสะดวกรวดเร็ว	32
3.2.3 การออกแบบโดยใช้ภาษาอธิบายพฤติกรรมของฮาร์ดแวร์	32
3.3 เครื่องมือสำหรับการออกแบบ FPGA	36
บทที่ 4 ขั้นตอนการออกแบบและหลักการสร้างชิพการประชุมร่วมทางโทรศัพท์	38
4.1 หลักการทำงานของชิพ	39
4.2 การทำงานของแต่ละโมดูล	40
4.2.1 โมดูลแปลงข้อมูลพีซีเอ็มแบบอนุกรมเป็นขนาน	40
4.2.2 โมดูลแปลงข้อมูลพีซีเอ็มเป็นข้อมูลเชิงเส้นยกกำลังสอง	42
4.2.3 โมดูลหาค่ากำลังเฉลี่ยของสัญญาณเสียงของแต่ละช่อง	44
4.2.4 โมดูลการเปรียบเทียบกำลังเฉลี่ยของสัญญาณเสียงแต่ละช่องสัญญาณ	46
4.2.5 โมดูลหน่วยความจำ	51
4.2.6 โมดูลการแปลงข้อมูลพีซีเอ็มแบบขนานเป็นแบบอนุกรม	54

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ(ต่อ)

	หน้า
4.2.7 โมดูลกำหนดช่องสัญญาณ	55
4.3 วงจรการประจุมร่วมทางโทรศัพท์ด้วยอุปกรณ์เอฟพีจีเอ	58
บทที่ 5 ผลการทดลอง	59
5.1 โมดูลแปลงข้อมูลพีซีเอ็มแบบอนุกรมเป็นแบบขนาน	59
5.2 โมดูลแปลงข้อมูลจากข้อมูลพีซีเอ็มเป็นข้อมูลเชิงเส้นยกกำลังสอง	60
5.3 โมดูลหาค่าล้นเฉลี่ยของสัญญาณเสียงของแต่ละช่องสัญญาณ	62
5.4 โมดูลการเปรียบเทียบค่าล้นเฉลี่ยของสัญญาณเสียงแต่ละช่องสัญญาณ	63
5.5 ส่วนของการสร้างสัญญาณควบคุมหน่วยความจำ	63
5.6 โมดูลหน่วยความจำและโมดูลแปลงข้อมูลพีซีเอ็มแบบขนานเป็นแบบอนุกรม	64
5.7 โมดูลกำหนดช่องสัญญาณ	66
5.8 ผลการทดสอบรวมทั้ง 7 โมดูล	68
5.8.1 ภาคโมดูลกำหนดช่องสัญญาณ	68
5.8.2 ภาควงจรเอชดี(A/D)และดีทูเอ(D/A)	69
5.8.3 ภาคโมดูลแปลงข้อมูลพีซีเอ็มแบบอนุกรมเป็นขนานกับภาค โมดูลแปลงข้อมูลจากพีซีเอ็มเป็นข้อมูลเชิงเส้นยกกำลังสอง	71
5.8.4 ภาคโมดูลแปลงข้อมูลพีซีเอ็มแบบอนุกรมเป็นขนานกับภาค โมดูลการแปลงข้อมูลพีซีเอ็มแบบขนานเป็นอนุกรม	71
5.8.5 ภาควงจรรวมของชิพการประจุมร่วมทางโทรศัพท์	72
บทที่ 6 วิจารณ์และสรุปผลการทดลอง	80
บรรณานุกรม	
ภาคผนวก ก	
ภาคผนวก ข	
กิตติกรรมประกาศ	

สารบัญรูปภาพ

	หน้า
รูปที่ 2.1 บล็อกไดอะแกรมการทำงาน	3
รูปที่ 2.2 บล็อกไดอะแกรมของระบบพีซีเอ็ม	5
รูปที่ 2.3 ควอนไทเซอร์ชนิดขึ้นบันไดที่มีช่องห่างเท่ากัน	6
รูปที่ 2.4 การคอมแพนด์พีซีเอ็มกับสัญญาณแอนะล็อกด้วยการบีบอัดและบีบขยายสัญญาณ	9
รูปที่ 2.5 คุณสมบัติการคอมแพนด์แบบ A – Law เมื่อ $A = 87.6$	10
รูปที่ 3.1 แสดงขั้นตอนการออกแบบระบบดิจิทัล	16
รูปที่ 3.2 การออกแบบระบบเส้นทางของข้อมูล	17
รูปที่ 3.3 การกำหนดการเชื่อมต่อและสถาปัตยกรรม	18
รูปที่ 3.4 บล็อกไดอะแกรมและการบรรยายการเชื่อมต่อของ Clock_component	18
รูปที่ 3.5 การบรรยายเชิงพฤติกรรมของ Clock_component	19
รูปที่ 3.6 โครงสร้างทั่วไปของส่วนการประกาศแพ็คเกจ	20
รูปที่ 3.7 โครงสร้างของบอดีแพ็คเกจ	20
รูปที่ 3.8 โครงสร้างโดยทั่วไปของหน่วยการออกแบบโครงแบบ	21
รูปที่ 3.9 การใช้โปรซีเจอร์	21
รูปที่ 3.10 การใช้ฟังก์ชัน	22
รูปที่ 3.11 ตัวดำเนินการใน วีเอชดีแอล	22
รูปที่ 3.12 รูปแบบของการบรรยายแบบโปรเซส	24
รูปที่ 3.13 ตัวอย่างการประกาศตัวดำเนินการภายในโปรเซส	24
รูปที่ 3.14 เงื่อนไขการกระทำในโปรเซส	25
รูปที่ 3.15 แสดงการกระทำในโปรเซส	25
รูปที่ 3.16 (a) ตัวอย่างโมเดล D-Flip Flop	26
(b) การบรรยายการเชื่อมต่อของ D-Flip Flop	26
รูปที่ 3.17 การบรรยายเชิงพฤติกรรม ของ D-Flip Flop	27
(a) การใช้ตัวกระทำภายนอกโปรเซส	27
(b) การใช้ตัวกระทำภายในโปรเซส	27
รูปที่ 3.18 ขั้นตอนการออกแบบจากบนลงล่าง	28
รูปที่ 3.19 แสดงวงจรภายในของซีแอลบีของ FPGA ตระกูล XC4000	31
รูปที่ 3.20 แสดงวงจรภายในของไอโอบีของ FPGA ตระกูล XC4000	31
รูปที่ 3.21 แสดง Interconnection ระหว่างไอโอบีกับซีแอลบีของ FPGA ตระกูล XC4000	32
รูปที่ 3.22 แสดงขั้นตอนการออกแบบโดยใช้อุปกรณ์ FPGA	33
รูปที่ 4.1 บล็อกไดอะแกรมภายในวงจรชีพการประชุมร่วมทางโทรศัพท์	38
รูปที่ 4.2 แผนภาพเวลาที่ใช้เป็นหลักการออกชีพการประชุมทางโทรศัพท์	40

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูปภาพ(ต่อ)

รูปที่ 4.3	รูปแบบของข้อมูลพีซีเอ็มในหนึ่งเฟรม	40
รูปที่ 4.4	แสดงแผนภาพเวลาของโมดูลการแปลงข้อมูลพีซีเอ็มแบบอนุกรมเป็นขนาน	41
รูปที่ 4.5	แสดงโครงสร้างของโมดูลการแปลงข้อมูลพีซีเอ็มแบบอนุกรมเป็นขนาน	41
รูปที่ 4.6	แผนภาพเวลาของโมดูลการแปลงข้อมูลพีซีเอ็มเป็นข้อมูลเชิงเส้นยกกำลังสอง	43
รูปที่ 4.7	ขั้นตอนการทำงานของโมดูลการแปลงข้อมูลพีซีเอ็มเป็นข้อมูลเชิงเส้นยกกำลังสอง	43
รูปที่ 4.8	แสดงโครงสร้างของโมดูลการแปลงข้อมูลพีซีเอ็มเป็นข้อมูลเชิงเส้นยกกำลังสอง	44
รูปที่ 4.9	แสดงแผนภาพเวลาในโมดูลการหาค่าเฉลี่ยของสัญญาณเสียงในแต่ละช่องสัญญาณ	45
รูปที่ 4.10	แสดงขั้นตอนการทำงานของโมดูลการหาค่าเฉลี่ยของสัญญาณเสียงในแต่ละช่องสัญญาณ	45
รูปที่ 4.11	แสดงโครงสร้างในโมดูลการหาค่าเฉลี่ยของสัญญาณเสียงในแต่ละช่องสัญญาณ	46
รูปที่ 4.12	แสดงแผนภาพเวลาของวงจรการเปรียบเทียบกำลังเฉลี่ยของสัญญาณเสียงในรอบที่ 1	48
รูปที่ 4.13	แสดงแผนภาพเวลาของวงจรการเปรียบเทียบกำลังเฉลี่ยของสัญญาณเสียงในรอบที่ 2	49
รูปที่ 4.14	แสดงขั้นตอนการทำงานของโมดูลการเปรียบเทียบกำลังเฉลี่ยของสัญญาณเสียงในแต่ละช่องสัญญาณ	49
รูปที่ 4.15	แสดงโครงสร้างของโมดูลการเปรียบเทียบกำลังเฉลี่ยของสัญญาณเสียงในแต่ละช่องสัญญาณ	50
รูปที่ 4.16	แสดงโครงสร้างของโมดูลหน่วยความจำซึ่งเป็นส่วนหนึ่งของโมดูลการเปรียบเทียบกำลังเฉลี่ยของสัญญาณเสียงในแต่ละช่องสัญญาณ	51
รูปที่ 4.17	แสดงแผนภาพเวลาของโมดูลหน่วยความจำ	52
รูปที่ 4.18	แสดงขั้นตอนการทำงานของโมดูลหน่วยความจำ	53
รูปที่ 4.19	แสดงโครงสร้างของโมดูลหน่วยความจำ และ โมดูลแปลงข้อมูลแบบขนานเป็นอนุกรม	54
รูปที่ 4.20	แสดงแผนภาพเวลาของโมดูลกำหนดช่องสัญญาณ	56
รูปที่ 4.21	แสดงโครงสร้างของโมดูลกำหนดช่องสัญญาณ	57
รูปที่ 4.22	แสดงวงจรการประจุมรวมทางโทรศัพท์ด้วยอุปกรณ์เอฟพีจีเอ	58
รูปที่ 5.1	แสดงผลจำลองการทำงานของโมดูลแปลงข้อมูลพีซีเอ็มแบบอนุกรมเป็นแบบขนาน	59

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูปภาพ(ต่อ)

รูปที่ 5.2 แสดงผลการสังเคราะห์ของโมดูลแปลงข้อมูลพีซีเอ็มแบบอนุกรมเป็นแบบขนาน	60
รูปที่ 5.3 แสดงผลจำลองการทำงานของโมดูลแปลงข้อมูลจากข้อมูลพีซีเอ็ม เป็นข้อมูลเชิงเส้นยกกำลังสอง	61
รูปที่ 5.4 แสดงผลการสังเคราะห์ของโมดูลแปลงข้อมูลจากข้อมูลพีซีเอ็ม เป็นข้อมูลเชิงเส้นยกกำลังสอง	61
รูปที่ 5.5 แสดงผลจำลองการทำงานของอุปกรณ์เบอร์ fd_30_re ที่อยู่ภายใน โมดูลหาค่ากำลังเฉลี่ยของสัญญาณเสียงของแต่ละช่องสัญญาณ	62
รูปที่ 5.6 แสดงผลการสังเคราะห์ของโมดูลหาค่ากำลังเฉลี่ยของสัญญาณเสียง ของแต่ละช่องสัญญาณ	63
รูปที่ 5.7 แสดงผลจำลองการทำงานของโมดูลการเปรียบเทียบกำลังเฉลี่ย ของสัญญาณเสียงแต่ละช่องสัญญาณ	63
รูปที่ 5.8 แสดงผลการสังเคราะห์ของส่วนการสร้างสัญญาณควบคุมหน่วยความจำ	64
รูปที่ 5.9 แสดงผลจำลองการทำงานของอุปกรณ์เบอร์ x74_165S ในโมดูล หน่วยความจำและ โมดูลแปลงข้อมูลพีซีเอ็มแบบขนานเป็นแบบอนุกรม	65
รูปที่ 5.10 แสดงผลการสังเคราะห์โมดูลหน่วยความจำและ โมดูลแปลงข้อมูลพีซีเอ็ม แบบขนานเป็นแบบอนุกรม	65
รูปที่ 5.11 แสดงผลจำลองการทำงานของโมดูลโมดูลกำหนดช่องสัญญาณ	66
รูปที่ 5.12 แสดงผลการสังเคราะห์ของโมดูลกำหนดช่องสัญญาณ	67
รูปที่ 5.13 แสดงช่องสัญญาณ (Time Slot) เปรียบเทียบกับสัญญาณนาฬิกาที่สร้างขึ้น	68
รูปที่ 5.14 สัญญาณนาฬิกา (C) ที่สร้างขึ้นเปรียบเทียบกับสัญญาณคล็อก (CLK) ที่สร้าง จากโมดูลกำหนดช่องสัญญาณ	68
รูปที่ 5.15 ช่องสัญญาณ (Time Slot) ของผู้ประชุมแต่ละคน	69
รูปที่ 5.16 สัญญาณนาฬิกาที่ใช้ควบคุมจังหวะการส่งสัญญาณข้อมูลเทียบกับสัญญาณ ข้อมูลที่ได้จากวงจรเอชดี	69
รูปที่ 5.17 สัญญาณข้อมูลที่ได้จากวงจรเอชดีเทียบกับสัญญาณข่าวสารที่กู้คืนได้	70
รูปที่ 5.18 สัญญาณข่าวสารก่อนและหลังผ่านวงจรเทียบกับสัญญาณข้อมูลที่ได้ จากวงจรเอชดี	70
รูปที่ 5.19 แสดงผลจำลองการทำงานเมื่อรวมโมดูลแปลงข้อมูลพีซีเอ็มแบบอนุกรมเป็น ขนานเข้ากับ โมดูลแปลงข้อมูลจากพีซีเอ็มเป็นข้อมูลเชิงเส้นยกกำลังสอง	71
รูปที่ 5.20 ช่องสัญญาณ (Time Slot) ของผู้ประชุมที่ใช้ส่งสัญญาณข้อมูลเทียบกับสัญญาณ ข้อมูลแบบอนุกรมที่ถูกส่งในช่วงเวลาของ Time Slot	71

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูปภาพ(ต่อ)

รูปที่ 5.21 สัญญาณของผู้ประชุมก่อนและหลังผ่านโมดูลแปลงข้อมูลพีซีเอ็มแบบอนุกรม เป็นขนานกับภาคโมดูลการแปลงข้อมูลพีซีเอ็มแบบขนานเป็นอนุกรม	72
รูปที่ 5.22 แสดงผลจำลองการทำงานของชิพการประชุมทางโทรศัพท์ในเฟรมที่ N	73
รูปที่ 5.23 ข้อมูลพีซีเอ็มที่แสดงด้วยเลขฐาน 16 และฐาน 2 ในเฟรมที่ N (เมื่อกำหนด ให้ผู้ประชุมคนที่ 3 มีเสียงดังที่สุด ตามด้วยคนที่ 2 และคนที่ 1 ตามลำดับ)	73
รูปที่ 5.24 แสดงผลจำลองการทำงานของชิพการประชุมทางโทรศัพท์ในเฟรมที่ N+1	73
รูปที่ 5.25 ข้อมูลพีซีเอ็มที่แสดงด้วยเลขฐาน 16 และฐาน 2 ในเฟรมที่ N+1 (เมื่อกำหนด ให้ผู้ประชุมคนที่ 3 มีเสียงดังที่สุด ตามด้วยคนที่ 2 และคนที่ 1 ตามลำดับ)	74
รูปที่ 5.26 แสดงผลจำลองการทำงานของชิพการประชุมทางโทรศัพท์ในเฟรมที่ N+2	74
รูปที่ 5.27 ข้อมูลพีซีเอ็มที่แสดงด้วยเลขฐาน 16 และฐาน 2 ในเฟรมที่ N+2(เมื่อกำหนด ให้ผู้ประชุมคนที่ 3 มีเสียงดังที่สุด ตามด้วยคนที่ 2 และคนที่ 1 ตามลำดับ)	74
รูปที่ 5.28 ช่องสัญญาณ (TS_en1) เปรียบเทียบกับสัญญาณข้อมูลของผู้ประชุมคนที่ หนึ่งก่อนเข้าชิพ	75
รูปที่ 5.29 ช่องสัญญาณ (TS_en2) เปรียบเทียบกับสัญญาณข้อมูลของผู้ประชุมคนที่ ที่สองก่อนเข้าชิพ	75
รูปที่ 5.30 ช่องสัญญาณ (TS_en3) เปรียบเทียบกับสัญญาณข้อมูลของผู้ประชุมคนที่ ที่สามก่อนเข้าชิพ	76
รูปที่ 5.31 ช่องสัญญาณ (TS_en1) เปรียบเทียบกับสัญญาณข้อมูล (pcmout) หลังออกจากชิพ	76
รูปที่ 5.32 สัญญาณข้อมูลก่อนเข้าและหลังออกจากชิพที่ช่องสัญญาณของ ผู้ประชุมคนที่หนึ่ง	77
รูปที่ 5.33 สัญญาณข้อมูลก่อนเข้าและหลังออกจากชิพที่ช่องสัญญาณของ ผู้ประชุมคนที่สอง	77
รูปที่ 5.34 สัญญาณข้อมูลก่อนเข้าและหลังออกจากชิพที่ช่องสัญญาณของ ผู้ประชุมคนที่สาม	78
รูปที่ 5.35 ผลการสังเคราะห์ของวงจรรวมของชิพการประชุมทางโทรศัพท์	78
รูปที่ 5.36 แสดงความถี่สูงสุดของวงจรที่สังเคราะห์ได้	79
รูปที่ 5.37 แสดงปริมาณ logic cells, EAB และ input-output pins ที่ใช้งานใน FPGA	79

สารบัญตาราง

	หน้า
ตารางที่ 1.1 คุณลักษณะการเข้ารหัสและถอดรหัส A-Law	11
ตารางที่ 1.2 คุณลักษณะการเข้ารหัสและถอดรหัสแบบ A-Law ของซีพียู mc 145557	12
ตารางที่ 4.1 แสดงตารางความจริงของ SR8RE	42
ตารางที่ 4.2 แสดงตารางความจริงของ FD8	42
ตารางที่ 4.3 แสดงตารางความจริงของ FD_30_RE	46
ตารางที่ 4.4 แสดงตารางความจริงของ FD_32_RE	50
ตารางที่ 4.5 แสดงตารางความจริงของ FD_33_RE	50
ตารางที่ 4.6 แสดงตารางความจริงของ Compare	51
ตารางที่ 4.7 แสดงตารางความจริงของ Latch_Data	51
ตารางที่ 4.8 แสดงตารางความจริงของ X74_165S	55



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1

บทนำ

การวิจัยและพัฒนาทางด้านไมโครอิเล็กทรอนิกส์จะเป็นจุดเริ่มต้นในการสร้างเทคโนโลยีต่าง ๆ ของตนเองได้ โดยเริ่มต้นจากเทคโนโลยีการผลิตชิปไอซีเป็นส่วนประกอบสำคัญทางวงจรอิเล็กทรอนิกส์เป็นอันดับแรก จากนั้นนำชิปไอซีมาพัฒนาให้เกิดเป็นเทคโนโลยีอื่น ๆ อีกหลายประเภท เช่น นำมาใช้บนแผงวงจรของโทรศัพท์มือถือ เป็นต้น และเนื่องจากความก้าวหน้าทางเทคโนโลยีในปัจจุบันได้มีการพัฒนาไปอย่างรวดเร็ว ทำให้การติดต่อสื่อสารนั้นมีส่วนสำคัญต่อการพัฒนาประเทศ โดยในปัจจุบันจะเห็นว่าการติดต่อสื่อสารผ่านโทรศัพท์เป็นปัจจัยสำคัญส่วนหนึ่งในการติดต่อสื่อสารที่สะดวกและรวดเร็วไม่ว่าจะเป็นวงการ ธุรกิจ หน่วยงานราชการ หน่วยงานเอกชนหรือศูนย์กลางการศึกษาใด ๆ ก็ตาม และการติดต่อสื่อสารหรือแม้กระทั่งการประชุมใด ๆ ก็ตามมักต้องการความสะดวกรวดเร็วและประหยัดเวลา โดยเฉพาะอย่างยิ่งเวลาเวลาที่ต้องใช้เพื่อให้สมาชิกเดินทางมาประชุม ณ สถานที่เดียวกัน ด้วยเหตุนี้จึงได้มีผู้คิดค้นและพัฒนาวิธีที่จะให้สมาชิกจากหลายๆ หน่วยงานสามารถมาร่วมประชุมร่วมกันได้โดยไม่ต้องพบกันซึ่งหนึ่งในแนวความคิดดังกล่าวก็คือการประชุมทางโทรศัพท์

ในอดีตชิปไอซีที่มีขนาดใหญ่และอาจต้องใช้หลายตัวบนแผงวงจร ในปัจจุบันได้มีการย่อชิปไอซีหลาย ๆ ตัวให้อยู่ในชิปไอซีเดียวลดเนื้อที่ในแผงวงจรพิมพ์ลงยังผลให้การทำงานของตัววงจรมีประสิทธิภาพดีขึ้น กระบวนการดังกล่าวได้มาจากการพัฒนาเทคโนโลยีทางด้านไมโครอิเล็กทรอนิกส์มีความยุ่งยากน้อยลงรวมทั้งช่วยในการตรวจสอบข้อผิดพลาดต่าง ๆ ที่อาจเกิดขึ้นได้ดังนั้นเครื่องมือช่วยในการออกแบบโดยคอมพิวเตอร์ (Computer Aided Design , CAD) จึงนับเป็นสิ่งสำคัญในยุคนี้

ด้วยเหตุนี้คณะผู้จัดทำได้นำเสนอโครงการที่ช่วยเพิ่มประสิทธิภาพในการติดต่อสื่อสารผ่านโทรศัพท์ให้สูงขึ้นด้วยวงจรประชุมร่วมทางโทรศัพท์ เทคโนโลยีนี้จะช่วยให้การติดต่อสื่อสารสามารถกระทำได้อย่างสะดวก รวดเร็วและประหยัดค่าใช้จ่ายมากขึ้น เช่น ไม่ต้องเสียค่าใช้จ่าย หรือเสียเวลาในการเดินทางมาประชุมและเท่าที่ทางผู้จัดทำได้ทราบมาบริษัททศ.คอปเปอเรชั่นแห่งประเทศไทยได้เปิดให้บริการแก่ลูกค้าซึ่งเป็นบริษัทหรือสำนักงานที่สนใจในบริการนี้โดยกำหนดอัตราค่าบริการรายเดือนคิดในราคาเพียงเดือนละ 30 บาทต่อคู่สาย

บทที่ 2

ทฤษฎีและหลักการ

2.1 หลักการการทำิพการประชุมทางโทรศัพท์

1. การรวมสัญญาณเข้าด้วยกัน เป็นวิธีที่ดีที่สุดในการแก้แ่งของความถูกต้องที่ได้รับ และถูกต้องในแง่ความเป็นธรรมชาติในการประชุม โดยจะใช้วิธีการรวมสัญญาณจากผู้ส่งทั้งหมด เข้าด้วยกัน แล้วส่งสัญญาณที่ได้ผู้ส่งอื่น การรวมสัญญาณในที่นี้หมายถึง การแปลงสัญญาณทั้งหมดจากสัญญาณพีซีเอ็มที่ไม่เป็นเชิงเส้นไปเป็นสัญญาณเชิงเส้นก่อน แล้วจึงรวมสัญญาณทั้งหมดเข้าด้วยกัน ด้วยการใช่วงจรบวก จากนั้น จึงแปลงกลับไปเป็นสัญญาณพีซีเอ็มตามเดิม แล้วจึงส่งต่อไปให้ผู้รับ

2. การใช้เสียงดังที่สุด เป็นอัลกอริทึมที่ใช้ในโครงการนี้อัลกอริทึมดังกล่าวจะใช้หลักความจริง 2 ประการที่ว่า เสียงของมนุษย์จะมีลักษณะที่คล้ายคลึงกันและเสียงสนทนาของคนเราจะมีลักษณะที่เป็นคาบเวลา ดังนั้นจึงเป็นผลให้สามารถทำการประชุมทางโทรศัพท์ได้ ข้อได้เปรียบของการใช้อัลกอริทึมนี้คือ ไม่มีความเพี้ยนของสัญญาณเสียงเมื่อมีผู้ประชุมพูดเพียงคนเดียว ณ เวลาใดเวลาหนึ่งและสัญญาณเสียงที่ประชุมได้รับมีความชัดเจนเนื่องจากไม่มีวงจรบวกข้อมูลเชิงเส้นเหมือนกับอัลกอริทึมการรวมสัญญาณเข้าด้วยกัน ข้อมูลเชิงเส้นจะไม่มีข้อมูลที่แท้จริงเพียงอย่างเดียวแต่จะมีสัญญาณรบกวนปนมาเข้ามาด้วย ดังนั้นเมื่อบวกสัญญาณเชิงเส้นของผู้ประชุมทุกคนก็จะเป็นการเพิ่มสัญญาณรบกวนตามจำนวนผู้เข้าประชุม และเมื่อแปลงกลับเป็นข้อมูลพีซีเอ็มจะทำให้เกิดความไม่คมชัดของสัญญาณเสียง

2.2 หลักการพื้นฐานของชุมสายโทรศัพท์ระบบดิจิตอล

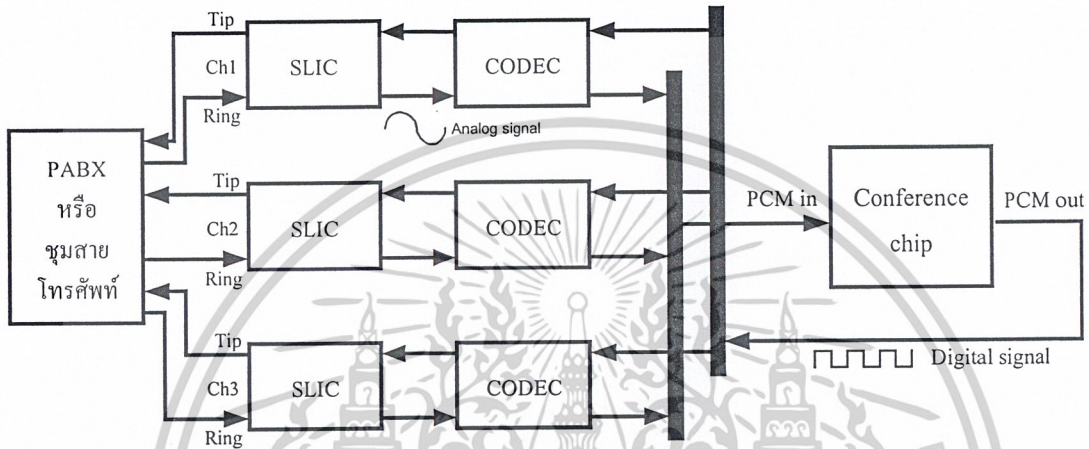
หลักการพื้นฐานของชุมสายโทรศัพท์ระบบดิจิตอลก็คือ การรับสัญญาณอนาลอกจากเครื่องโทรศัพท์ของกลุ่มสายสมาชิกแล้วทำการเข้ารหัสเป็นสัญญาณดิจิตอลจากนั้นชุมสายโทรศัพท์ก็จะทำการสวิตช์สัญญาณนี้ไปยังกลุ่มสายสมาชิกปลายทางแล้วทำการถอดรหัสให้เป็นสัญญาณอนาลอกส่งให้กับเครื่องโทรศัพท์ หลักการของการเข้าและถอดรหัสสัญญาณดิจิตอลนี้มีหลายวิธีด้วยกันเป็นต้นว่า พัลส์แอมพลิจูดมอดูเลชัน (Pulse Amplitude Modulation; PAM) พัลส์โคดมอดูเลชัน (Pulse Code Modulation; PCM) และเดลตามอดูเลชัน (Delta Modulation)

สำหรับพีเอเอ็มหลักการของการเปลี่ยนสัญญาณอนาลอกเป็นสัญญาณดิจิตอล โดยทำการชักตัวอย่าง (Sampling) สัญญาณอนาลอกเดิมออกเป็นพัลส์ แต่ยังคงใช้ แอมพลิจูด ของสัญญาณอนาลอกอยู่ หลักการนี้ถูกนำมาใช้ใน PABX บางระบบแต่จะมีการเกิดสัญญาณไขว้แทรก (crosstalk) ในส่วนของวงจรเสียงพูดผ่านซึ่งเกิดจากการส่งสัญญาณจำนวนมากและระดับความแรงของสัญญาณสูงให้กับส่วนวงจรเสียงพูดผ่านจึงเกิดการรบกวนกันระหว่างช่องสัญญาณที่อยู่ใกล้เคียงกันได้ง่าย ดังนั้นในการใช้งานและพัฒนาชุมสายโทรศัพท์ที่ใช้หลักการนี้ควรมีการระวังเรื่องของการรบกวนของสัญญาณซึ่งถ้ามากเกินไปจะเกิดสัญญาณไขว้แทรกได้ง่าย สำหรับหลักการเดลตามอดูเลชัน จะถูกนำมาใช้เฉพาะบางวงจรเท่านั้น เพราะมีลักษณะการออกแบบวงจรที่ยุ่งยากมาก แต่ก็ก็มีข้อดีก็คือ ราคาของอุปกรณ์ที่ใช้มีราคาถูกกว่าอุปกรณ์ที่ใช้ในหลักการพีซีเอ็มจะเป็นหลักการที่ให้อยู่ในชุมสายโทรศัพท์ระบบดิจิตอลและใช้ค่าใช้จ่ายต่ำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3 หลักการทำงานของวงจรประชุมร่วมทางโทรศัพท์

โดยทั่วไปการใช้งานโทรศัพท์จะเป็นของ 2 บุคคลต่างสถานที่กันแต่สำหรับการใช้โทรศัพท์เพื่อการประชุมต้องมีบุคคลมากกว่า 2 บุคคลขึ้นไปในการสนทนาต่างสถานที่กัน จึงจำเป็นต้องมีวงจรและหลักการทำงานเพิ่มเติมจากระบบโทรศัพท์ปกติทั่ว ๆ ไป โดยหลักการทำงานของการใช้งานโทรศัพท์เพื่อการประชุม จะมีผู้พูดเพียงคนเดียวและผู้ที่ยื่นสนทนาพร้อมที่เหลือน่าจะมีมากกว่า 2-3 บุคคลขึ้นไปเป็นผู้ฟังแต่จากโครงการนี้ จะมีผู้ร่วมประชุมทั้งหมด 3 คนซึ่งสามารถแสดงดังรูปในบล็อกไดอะแกรมโดยมีรายละเอียดของส่วนต่างๆดังนี้



รูปที่ 2.1 บล็อกไดอะแกรมการทำงาน

จากรูปบล็อกไดอะแกรมแสดงถึงคู่สายที่ต้องการประชุม 3 คู่สาย ซึ่งอาจมาจาก PABX หรือชุมสายโทรศัพท์แต่ละคู่สายจะมาเข้า SLIC โดยหลักการที่สำคัญของส่วน SLIC คือการเชื่อมต่อเข้ากับคู่สายทิบและริงจะได้เอาท์พุตแยกออกมาระหว่างสัญญาณที่ไปและกลับหรือที่เรียกว่า 2W ไป 4W นั่นเองและสัญญาณที่ได้จาก 4W จะส่งเข้าวงจรโคดเดอร์และดีโคดเดอร์ซึ่งทำหน้าที่แปลงสัญญาณอนาลอกเป็นดิจิตอลและสัญญาณดิจิตอลเป็นอนาลอกตามลำดับ

สัญญาณพีซีเอ็มของแต่ละช่องสัญญาณจะถูกจัดเรียงอยู่ในรูปทีดีเอ็ม (Time Division Multiplex; TDM) โดยที่ภายใน Conference Chip จะทำการตรวจหากำลังเฉลี่ยของสัญญาณเสียงในแต่ละช่องสัญญาณเพื่อหาสายโทรศัพท์ที่มีผู้พูดอยู่ในขณะนั้นและทำการส่งสัญญาณเสียงของผู้พูดไปยังคู่สายโทรศัพท์ที่เหลือให้ได้ยิน

2.4 หลักการพื้นฐานของพีซีเอ็ม

การสื่อสารในระบบดิจิตอลมิได้หมายความว่าสัญญาณทั้งหมดที่อยู่ระบบจะต้องเป็นดิจิตอลเสมอไป เนื่องจากโดยธรรมชาติทุกสัญญาณจะเป็นสัญญาณอนาลอก เช่น เสียงพูด สัญญาณคลื่นวิทยุโทรทัศน์ ฯลฯ ดังนั้นสัญญาณต่างๆ ในธรรมชาติจะต้องถูกแปลงไปเป็นสัญญาณดิจิตอลเสียก่อนแล้วจึงจะถูกส่งผ่านไปทางช่องทางการสื่อสารในระบบดิจิตอล อุปกรณ์ในการแปลงสัญญาณไปกลับระหว่างดิจิตอลและอนาลอกรวมเรียก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ว่า Codec ย่อมาจาก Code decode การแปลงสัญญาณจากสัญญาณอนาลอกไปสู่สัญญาณดิจิทัลนั้น มีหลายวิธีและเรียกรวม ๆ กันว่าพัลส์โคดมอดูเลชัน เนื่องจากสัญญาณต่อเนื่องของ อนาลอกจะถูกสุ่มเป็นช่วง ๆ ค่าที่ได้จากการสุ่มจะเป็นลักษณะของสัญญาณรูปพัลส์ (pulse) หลาย ๆ ลูก ซึ่งก็เป็นที่มาของชื่อนั่นเอง ลักษณะของการแปลงสัญญาณแบบพีซีเอ็มนั้นจะประกอบด้วยขั้นตอนต่าง ๆ 3 ขั้นตอนคือ

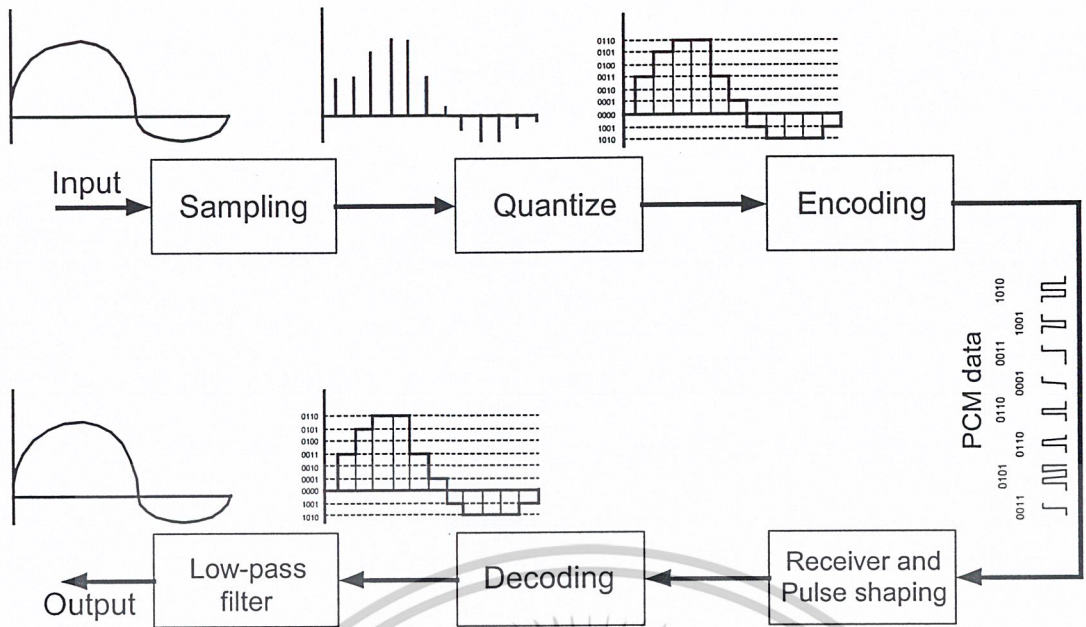
1. การชักตัวอย่างและการสร้างพัลส์แอมพลิจูดมอดูเลชัน
2. การควอนไทซ์(Quantize)หรือการจัดขนาดของพัลส์แอมพลิจูดมอดูเลชันให้มีค่าเป็นเลขที่ลงตัว
3. การเข้ารหัส (Coding)

จากรูปที่ 2.2 แสดงถึงบล็อกไดอะแกรมของระบบพีซีเอ็ม สัญญาณอินพุตซึ่งเป็นสัญญาณอนาลอก จะถูกชักตัวอย่าง ความถี่ในการชักตัวอย่างนี้จะจะเป็นไปตามทฤษฎีของไนควิสต์ (Nyquist sampling theory) ซึ่งความถี่ในการชักตัวอย่าง f_s นี้ต้องมีค่าไม่น้อยกว่าสองเท่าของแบนด์วิธของสัญญาณอินพุต ดังแสดงในสมการ (2.1)

$$f_s > 2BW \quad (2.1)$$

โดยที่ f_s = ความถี่ในการชักตัวอย่าง
 BW = แบนด์วิธของสัญญาณอินพุต

สัญญาณอนาลอกเมื่อผ่านเครื่องชักตัวอย่างแล้วจะได้เอาท์พุทเป็นสัญญาณพัลส์แอมพลิจูดมอดูเลชัน จากนั้นนำสัญญาณพัลส์แอมพลิจูดมอดูเลชันมาผ่านควอนไทเซอร์เพื่อจัดขนาดของพัลส์แอมพลิจูดให้เป็นเลขที่มีค่าลงตัวซึ่งจะขึ้นอยู่กับค่าความสูงของพัลส์ว่าตกอยู่ในช่วงไหนของขั้นบันไดควอนไทเซอร์ ถ้าความสูงของพัลส์มีค่ามากกว่าจุดกึ่งกลางของขั้นบันไดควอนไทเซอร์จะถูกจัดขนาดเพิ่มขึ้นอีก 1 ขั้นและถ้าความสูงของพัลส์มีค่าน้อยกว่าจุดกึ่งกลางของควอนไทเซอร์จะถูกจัดขนาดให้มีค่าเท่ากับบันได ควอนไทเซอร์ที่ต่ำลง 1 ขั้น ดังรูปที่ 2.3 ซึ่งเป็นควอนไทเซอร์แบบขั้นบันไดที่มีช่วงห่างเท่ากัน (Uniform quantizer) โดยความสูงของขั้นบันไดเท่ากับ Δ (Quantizing interval) รูปที่ 2.3(ก) แสดงบางส่วนของสัญญาณเบสแบนด์ $m(t)$ รูปที่ 2.3 (ข) แสดงลักษณะสัญญาณขั้นบันไดของควอนไทเซอร์ สำหรับรูปที่ 2.3 (ค) แสดงสัญญาณทางเอาท์พุท เมื่อควอนไทเซอร์เป็นแบบที่มีขั้นบันไดห่างเท่ากัน จากลักษณะของสัญญาณเอาท์พุทจะเห็นได้ว่าการจัดขนาดของพัลส์จะเป็นค่าลงตัวที่สูงขึ้นหรือต่ำลงทำให้ขนาดของพัลส์ที่ถูกควอนไทซ์แล้วเกิดความผิดเพี้ยนขึ้นค่าผิดพลาดนี้เราเรียกว่าความผิดพลาดจากควอนไทซ์ (Quantization error) ความผิดพลาดจากการควอนไทซ์นี้สามารถคิดเป็นสัญญาณรบกวนที่เกิดจากการควอนไทซ์ รายละเอียดเกี่ยวกับสัญญาณรบกวนที่เกิดจากการควอนไทซ์จะกล่าวในหัวข้อ 2.4.1



รูปที่ 2.2 บล็อกไดอะแกรมของระบบพีซีเอ็ม

เมื่อได้สัญญาณพัลส์แอมพลิจูดมอดูเลชันซึ่งผ่านคอนโทรลเลอร์เพื่อจัดขนาดของพัลส์แอมพลิจูดให้เป็นเลขที่มีค่าลงตัวแล้วจากนั้นนำพัลส์แอมพลิจูดมอดูเลชันดังกล่าวมาผ่านเครื่องเข้ารหัสซึ่งเป็นขั้นตอนสุดท้ายของระบบพีซีเอ็มที่ทำหน้าที่แปลงค่าขนาดของพัลส์แอมพลิจูดมอดูเลชันที่ถูกคอนโทรลไว้แล้วให้เป็นพัลส์เลขฐานสอง

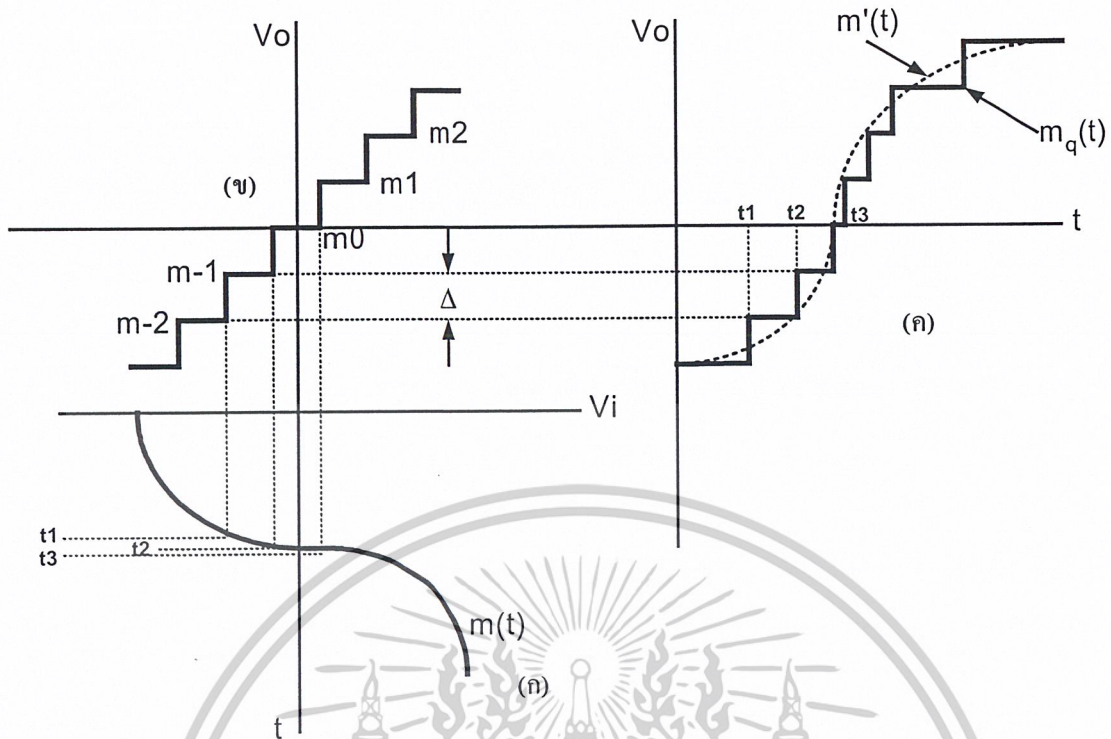
2.4.1 สัญญาณรบกวนจากการควอนไทซ์ (Quantization noise)

เมื่อกำหนดให้สัญญาณเบสแบนด์ $m(t)$ ดังที่ได้กล่าวแล้วในหัวข้อ 2.3 ส่งผ่านคอนโทรลเลอร์ชนิดขึ้นบันไดที่มีช่องบันไดห่างเท่ากัน จะได้ค่าควอนไทซ์เป็น $m_q(t)$ ค่าหนึ่งดังรูปที่ 2.3(ค) ดังนั้น ค่ากำลังเฉลี่ยของกำลังสองของผลต่างระหว่างสัญญาณเบสแบนด์จริง $m(t)$ และค่าควอนไทซ์ $m_q(t)$ ถูกกำหนดเป็นสัญญาณรบกวนจากการควอนไทซ์นั้นคือ

$$N_q = \overline{(m(t) - m_q(t))^2} \tag{2.2}$$

สมการ (2.2) แสดงให้เห็นว่าสามารถหาค่าของสัญญาณรบกวนจากการควอนไทซ์โดยการคำนวณหาค่าเฉลี่ยของความผิดพลาดกำลังสอง (Mean square error)

ในที่นี้ สมมติให้ $f(m)dm$ เป็นความน่าจะเป็นที่ $m(t)$ จะมีค่าอยู่ระหว่าง $m - d\Delta/2$ และ $m + d\Delta/2$ และสมมติให้ขึ้นบันไดมีช่วงห่างเท่ากับ Δ โดยแบ่งครึ่ง Δ เป็น $\Delta/2$



รูปที่ 2.3 ควอนไทเซอร์ชนิดขึ้นบันไดที่มีช่องห่างเท่ากัน

$$N_q = \int_{m_1 - \Delta/2}^{m_1 + \Delta/2} f(m)(m - m_{q1})^2 dm + \int_{m_2 - \Delta/2}^{m_2 + \Delta/2} f(m)(m - m_{q2})^2 dm + \dots \quad (2.3)$$

โดยทั่วไปค่า ฟังก์ชันความหนาแน่นของความน่าจะเป็น $f(m)$ ของสัญญาณเบสแบนด์ $m(t)$ จะไม่คงที่ แต่ถ้าสมมติว่าควอนไทเซอร์มีขึ้นบันไดเป็น M ชั้น โดยแต่ละชั้นมีช่วงห่างแคบมากเมื่อเทียบกับค่าที่เปลี่ยนแปลงจากจุดยอด (peak to peak) ของสัญญาณเบสแบนด์ ในกรณีนี้เราสามารถคิดได้ว่า $f(m)$ มีค่าคงที่ภายในช่วงห่างของขึ้นบันไดแต่ละชั้น ดังนั้นเราให้เทอมแรกของสมการ (2.3) $f(m) = f(1)$ ซึ่งเป็นค่าคงที่และเทอมที่ 2 $f(m) = f(2)$ ตามลำดับและสามารถดึงค่า $f(1), f(2)$ ออกนอกเครื่องหมายอินทิกรัล และแทนค่า $x \equiv m - m_{qk}$ ดังนั้นสมการ (2.3) จะเป็น

$$\begin{aligned} N_q &= [f(1) + f(2) + \dots + f(m)] \int_{-\Delta/2}^{\Delta/2} x^2 dx \\ &= [f(1) + f(2) + \dots + f(m)] \frac{\Delta^3}{12} \\ &= [f(1)\Delta + f(2)\Delta + \dots + f(m)\Delta] \frac{\Delta^2}{12} \end{aligned} \quad (2.4)$$

เมื่อ M เป็นจำนวนขึ้นบันไดของควอนไทเซอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากสมการที่ (2.4) จะเห็นได้ว่า $f(t)\Delta$, $f(2)\Delta$,... เป็นค่าความน่าจะเป็นของสัญญาณเบสแบนด์ จะอยู่ในช่วงของการควอนไทซ์ที่ 1,2,... ดังนั้นผลบวกเทอมต่างๆ ในวงเล็บมีค่าเป็นหนึ่ง ดังนั้นค่าเฉลี่ยของกำลังของสัญญาณรบกวนจากการควอนไทซ์จะเป็น

$$N_q = \frac{\Delta^2}{12} \quad (2.5)$$

สำหรับค่ากำลังของสัญญาณที่เอาต์พุตของควอนไทเซอร์ สามารถหาได้จาก

$$\begin{aligned} S &= \overline{(m)^2} \\ &= \int_{-M\Delta/2}^{M\Delta/2} f(m)m^2 dm \end{aligned} \quad (2.6)$$

สมมติว่าค่าความน่าจะเป็นของสัญญาณเบสแบนด์ $m(t)$ ที่อยู่ในช่วงการควอนไทซ์ช่องใดช่องหนึ่งมีโอกาสเกิดเท่า ๆ กันซึ่งค่าความน่าจะเป็นของ m ก็คือ $f(m)$ มีการกระจายแบบสม่ำเสมอและมีค่าเป็น

$$f(m) = \frac{1}{M\Delta} \quad (2.7)$$

แทนค่า $f(m)$ จากสมการ (2.7) ในสมการ (2.6) จะได้

$$\begin{aligned} S_0 &= \int_{-M\Delta/2}^{M\Delta/2} \frac{m^2}{M\Delta} dm \\ &= \frac{M^2\Delta^2}{12} \end{aligned} \quad (2.8)$$

ดังนั้น อัตราส่วนของกำลังของสัญญาณต่อเสียงรบกวนจากการควอนไทซ์ SQR หรือ Signal to quantizing noise ratio คือ

$$SQR = \frac{S_0}{N_q} = M^2 = (2^N)^2 = 2^{2N} \quad (2.9)$$

เมื่อ N คือจำนวนดิจิตฐานสองที่ใช้ในการเข้ารหัสเพื่อแทนค่าระดับของควอนไทซ์ (Quantization level)

จากสมการ (2.9) แสดงให้เห็นว่า อัตราส่วนของกำลังของสัญญาณต่อสัญญาณรบกวนของการควอนไทซ์ ซึ่งจะมีค่ามากขึ้นเมื่อจำนวนขั้นบันไดของการควอนไทซ์เพิ่มขึ้น นั่นก็คือความเชื่อถือของ ควอนไทเซอร์ที่ใช้ในระบบโทรศัพท์แบบดิจิตอลจะมีระดับของการควอนไทซ์ 128 ระดับ โดยจะมีดิจิตฐานสองอยู่ 7 บิตด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กัน นอกจากนี้ อัตราส่วนดังกล่าวสามารถแสดงความสัมพันธ์กับ แอมพลิจูดของสัญญาณในหน่วย dB ได้ดังสมการ (2.10) และ (2.11)

จากสมการ (2.5) ค่าเฉลี่ยของกำลังของสัญญาณรบกวนในระบบการควอนไทซ์แบบสม่ำเสมอจะเป็นค่าคงตัวที่ไม่ขึ้นอยู่กับค่าตัวอย่างและมีค่าเป็น $N_q = \Delta^2 / 12$ และค่าอัตราส่วนของ กำลังของสัญญาณต่อสัญญาณการรบกวนในหน่วย dB ถูกกำหนดเป็น

$$\begin{aligned} SQR (dB) &= 10 \log_{10} \left[\frac{v^2}{\Delta^2 / 12} \right] \\ &= 10.8 + 20 \log_{10} \left[\frac{v}{\Delta} \right] \end{aligned} \quad (2.10)$$

โดยที่ v คือ ค่าแอมพลิจูดประสิทธิผล (rms. amplitude) ของอินพุต ($v = A / 2^{1/2}$) สำหรับในกรณีอินพุตคลื่นรูปไซน์จะให้อัตราส่วนกำลังเฉลี่ยของสัญญาณกับกำลังเฉลี่ยของสัญญาณรบกวนที่การควอนไทซ์แบบสม่ำเสมอคือ

$$\begin{aligned} SQR (dB) &= 10 \log_{10} \left[\frac{A^2 / 2}{\Delta^2 / 12} \right] \\ &= 7.78 + 20 \log_{10} \left[\frac{A}{\Delta} \right] \end{aligned} \quad (2.11)$$

โดยที่ A คือ แอมพลิจูดค่ายอดของคลื่นรูปไซน์

2.4.2 การคอมแพนส์

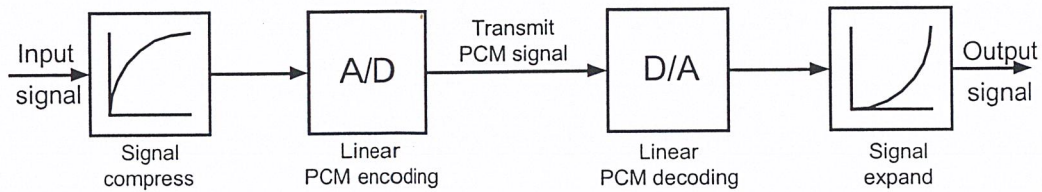
ในการควอนไทซ์แบบสม่ำเสมอของระบบพีซีเอ็ม ขนาดของช่วงห่างในการควอนไทซ์จะถูกกำหนดด้วยค่า SQR ของระดับสัญญาณที่มีขนาดเล็กที่สุดที่ถูกเข้ารหัส เนื่องจากสัญญาณขนาดใหญ่จะถูกเข้ารหัสโดยใช้ขนาดของช่วงห่างในการควอนไทซ์ที่เท่ากันกับสัญญาณขนาดเล็ก เป็นผลให้ค่า SQR ที่ระดับสัญญาณขนาดใหญ่สุดจะให้ค่าที่สูงเกินความต้องการ นอกจากนั้นที่ระดับสัญญาณขนาดใหญ่จะเกิดขึ้นได้น้อยครั้งมาก ดังนั้นเนื้อที่ในการเข้ารหัส (code space) ของระบบพีซีเอ็มแบบสม่ำเสมอจึงเป็นสิ่งที่สิ้นเปลืองเกินความจำเป็น

กระบวนการเข้ารหัสเพื่อให้มีประสิทธิภาพทำได้โดยการควอนไทซ์แบบไม่สม่ำเสมอแต่ยอมให้เพิ่มตามค่าตัวอย่าง (Sample value) นั่นคือเมื่อให้ช่วงห่างในการควอนไทซ์เป็นสัดส่วนโดยตรงกับค่าตัวอย่างแล้วค่า SQR จะคงที่สำหรับทุกระดับสัญญาณ เทคนิคนี้จะใช้ 2-3 บิต ต่อตัวอย่าง เพื่อกำหนด SQR ของสัญญาณขนาดเล็กและพิสัยพลวัตที่เหมาะสมสำหรับสัญญาณขนาดใหญ่ เมื่อช่วงห่างของการควอนไทซ์ที่ไม่สม่ำเสมอเกิดขึ้นความสัมพันธ์แบบไม่เชิงเส้นระหว่างค่ารหัสและค่าตัวอย่างจึงเป็นสิ่งที่ตามมา

ในอดีต ฟังก์ชันไม่เชิงเส้น (Nonlinear function) ได้ถูกนำไปใช้ครั้งแรกกับสัญญาณอนาล็อกโดยใช้อุปกรณ์ไม่เชิงเส้น เช่น ไดโอด กระบวนการขั้นพื้นฐาน แสดงดังรูปที่ 2.4 โดยสัญญาณอนาล็อกที่เป็น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อินพุตจะถูกบีบอัด (Compression) ก่อน และทำการควอนไทซ์แบบสม่ำเสมอซึ่งผลลัพธ์จะเหมือนกับการควอนไทซ์แบบไม่สม่ำเสมอ จากนั้นนำข้อมูลที่ได้จากควอนไทซ์มาทำการเข้ารหัส ทางด้านรับจะถอดรหัสได้ค่าตัวอย่างและทำการขยาย (expansion) สัญญาณซึ่งจะได้สัญญาณเดิมกลับคืนมา



รูปที่ 2.4 การคอมแพนด์พีซีเอ็มกับสัญญาณอนาลอกด้วยการบีบอัดและขยายสัญญาณ

กระบวนการบีบอัดและขยายสัญญาณนี้จะถูกเรียกว่าการคอมแพนด์ (Companding) การคอมแพนด์สัญญาณจะมีอยู่ด้วยกัน 2 ลักษณะคือแบบ A - Law และแบบ μ -Law โดย A - Law จะเป็นรูปแบบที่ใช้ในระบบของยุโรปและเอเชีย ซึ่งจะมีความสัมพันธ์ดังนี้

$$Y = \frac{AX}{1 + \log A} ; 0 < v < \frac{V}{A} \quad (2.12)$$

$$= \frac{1 + \log (AX)}{1 + \log A} ; \frac{V}{A} < v < V$$

v คือแรงดันขาเข้าที่ขณะใดขณะหนึ่ง V คือแรงดันขาเข้ามากที่สุด $A = 87.6$ สำหรับระบบของยุโรป เอเชีย และลาตินอเมริกา ตามมาตรฐาน CEPT

ในส่วนของ μ -Law จะเป็นกฎที่ใช้กับระบบของอเมริกาเหนือและญี่ปุ่น ซึ่งจะมีฟังก์ชันดังนี้

$$Y = \frac{\log(1 + \mu X)}{\log(1 + \mu)} \quad (2.13)$$

ในที่นี้ $\mu = 100$ สำหรับระบบดั้งเดิม T1 ของอเมริกาเหนือ

และ $\mu = 255$ สำหรับระบบ D1, D2 ของอเมริกาเหนือ

และแทนค่าลงในสมการ (2.10) ด้วย $x = \frac{v}{V}$ และ $Y = \frac{i}{B}$

โดย v คือ ค่าของแรงดันทางอินพุตที่ขณะใดขณะหนึ่ง

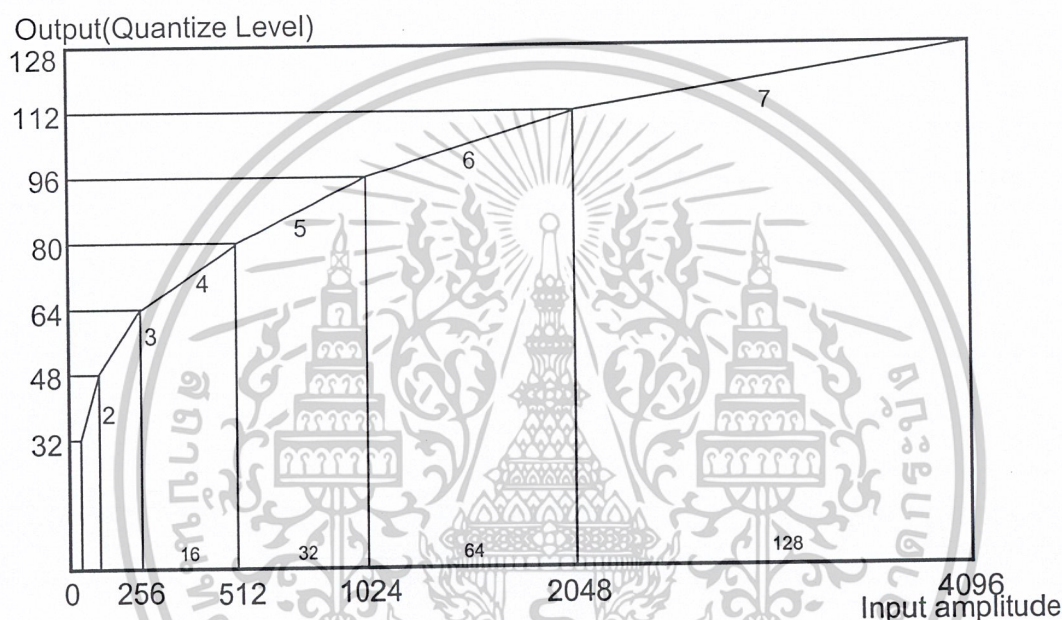
V คือ ค่าของแรงดันทางอินพุตสูงสุด

I คือ จำนวนขั้นบันไดที่เริ่มจากจุดกึ่งกลางของช่วงการกด

B คือ จำนวนขั้นบันไดที่มีอยู่ในแต่ละข้างของจุดกึ่งกลางของช่วงการกด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในการแปลงสัญญาณเสียงให้เป็นเชิงเลข (Voice digitize) และแปลงค่าเชิงเลขกลับเป็นสัญญาณเสียง ถ้าต้องการคุณภาพเสียงดีเป็นที่ยอมรับได้ต้องใช้จำนวนบิตในการเข้ารหัสถึง 13 บิต ซึ่งจะให้อัตราส่วนสัญญาณต่อสัญญาณความผิดเพี้ยน (signal to distortion ratio) ประมาณ 30 dB ภายในพิสัยพลวัตประมาณ 40 dB แต่ถ้าอัตราส่วนดังกล่าวจะมีมากเกินไปความต้องการที่แอมพลิจูดของสัญญาณเกิน 40 dB ณ ตำแหน่งได้แอมพลิจูดสูงสุด (40 dB below the peak amplitude) การกระทำกับส่วนเกินนี้ (excess performance) เพื่อลดความสิ้นเปลือง (expense) ของข้อมูลต่อตัวอย่าง ซึ่งสามารถกระทำได้โดยการย่อหรือลดขนาดข้อมูลด้วยการบีบอัดข้อมูล 13 บิต เป็นข้อมูล 8 บิต



รูปที่ 2.5 คุณลักษณะการคอมแพนดแบบ A – Law เมื่อ $A = 87.6$

การคอมแพนดแบบ A – Law กรณีที่ใช้ $A = 87.6$ จะแบ่งเส้นตรงออกเป็น 13 ส่วน โดยส่วนที่ 1 จะเป็นเส้นตรงผ่านจุดเริ่มต้นไปทั้งด้านบวกและลบ สำหรับคุณลักษณะของ A – Law นี้ได้แสดงไว้ในรูปที่ 2.5 ซึ่งแสดงเฉพาะด้านบวกเท่านั้น อินพุตแอมพลิจูด 4096 จะสอดคล้องกับสัญญาณซึ่งมีกำลัง 3.14 dBm สำหรับเอาต์พุตจะถูกจัดระดับให้มี 256 (ทั้งทางด้านบวกและด้านลบ) คือใช้ 8 บิตต่อค่าตัวอย่าง 1 ตัวอย่าง

นอกจากนี้คุณลักษณะการคอมแพนดแบบ A – Law ในรูปที่ 2.5 ยังสามารถแสดงความสัมพันธ์การเข้ารหัสและถอดรหัสระหว่างข้อมูลเชิงเส้นและข้อมูลพีซีเอ็มดังแสดงในตารางที่ 2.1

ตารางที่ 2.1 เป็นตารางการเข้ารหัสและถอดรหัสแบบ A – Law โดยทั่วไป แต่ในทางปฏิบัติ Chip Codec ที่จำหน่ายในเชิงการค้า (ซึ่งทำหน้าที่แปลงข้อมูลอนาลอกเป็นข้อมูลดิจิทัลและแปลงข้อมูลดิจิทัลเป็นข้อมูลอนาลอก) จะมีการให้ข้อมูลพีซีเอ็มออกมา 2 ลักษณะ คือ แบบบิตผกผันและแบบบิตไม่ผกผัน แต่ส่วนใหญ่มักนิยมใช้แบบผกผัน นอกจากนี้แบบบิตผกผันยังแบ่งย่อยเป็นอีก 2 ประเภท คือแบบบิตผกผันหมด (μ – Law) และแบบผกผันเฉพาะบิตคู่ (even bit inversion, A – Law) ดังนั้นการเลือกใช้ Chip Codec เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ต้องตรวจสอบจากเอกสารคู่มือการใช้งานซึ่งพบว่าการส่งข้อมูลพีซีเอ็มในรูปแบบไค ในงานวิจัยนี้ได้ใช้ Chip Codec ที่คอมแพคต์แบบ A – Law ของ Motorola เบอร์ MC 145557 ซึ่งจะให้ข้อมูลพีซีเอ็มแบบผันกลับ เฉพาะบิตคู่ และการเข้ารหัสและถอดรหัสแบบ A – Law ของชิพดังกล่าว ได้แสดงดังตารางที่ 2.2

ตารางที่ 2.1 คุณลักษณะการเข้ารหัสและถอดรหัสแบบ A – Law

ช่วงต่าง ๆ ของสัญญาณ อินพุต	ขนาดของชั้น	หมายเลขคอร์ค	ค่ารหัสของ การควอนไทซ์ Q	ค่าตัวอย่าง	ขนาดสัญญาณ ที่ถอดรหัสได้
0-2			0000	0	1
2-4			0001	1	3
-		000	-	-	-
30-32			1111	15	31
32-34	2		0000	16	33
-		001	-	-	-
62-64			1111	31	63
64-68			0000	32	66
-	4	010	-	-	-
124-128			1111	47	126
-	8	011	-	-	-
248-256			1111	63	252
256-272			0000	64	264
-	16	100	-	-	-
496-512			1111	79	504
512-544			0000	80	528
-	32	101	-	-	-
992-1024			1111	95	1008
1024-1088			0000	96	1056
-	64	110	-	-	-
1984-2048			1111	111	2016
2049-2176			0000	112	2112
-	128	111	-	-	-
3968-4069			1111	127	4032

ที่มา: Bellamy (1991) [5]

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 2.2 คุณลักษณะการเข้ารหัสและถอดรหัสแบบ A-Law ของซีพ MC 145557

Chord Number	Number of Steps	Step Size	Normalized Encode Decision Levels	Digital Code								Normalized Decode Levels
				1	2	3	4	5	6	7	8	
				Sign	Chord	Chord	Chord	Step	Step	Step	Step	
7	16	128	4096	1	0	1	0	1	0	1	0	4032
			3968									
			2176	1	0	1	0	0	1	0	1	2112
6	16	64	2048									
			1088	1	0	1	1	0	1	0	1	1056
			1024									
5	16	32	544	1	0	0	0	0	1	0	1	528
			512									
			272	1	0	0	1	0	1	0	1	264
3	16	8	256									
			136	1	1	1	0	0	1	0	1	132
			128									
2	16	4	68	1	1	1	1	0	1	0	1	66
			64									
			2	1	1	0	1	0	1	0	1	1
1	32	2	0									

ที่มา

: Motorola Semiconductor (1995)

2.5 คุณลักษณะของสัญญาณเสียง

- 2.5.1 ระดับแอมพลิจูดของสัญญาณที่มีขนาดต่ำจะเกิดขึ้นบ่อย
- 2.5.2 ระดับของสัญญาณจะเปลี่ยนแปลงอย่างมากไปตามเวลา
- 2.5.3 สเปกตรัมความถี่จะไม่เป็นแบบสม่ำเสมอ และแนวโน้มของกำลังเฉลี่ยของเสียงส่วนใหญ่จะอยู่ในบริเวณความถี่ต่ำ
- 2.5.4 เมื่อทำการชักตัวอย่างสัญญาณเสียงเพื่อทำให้เป็นดิจิทัลนั้น ตัวอย่างสัญญาณเสียงระหว่างตัวข้างเคียงจะมีความคล้ายคลึงกันอย่างมาก
- 2.5.5 สัญญาณเสียงในขณะที่สนทนากันจะมีคาบเวลา

2.6 คุณลักษณะการได้ยินเสียงของมนุษย์

- 2.6.1 เมื่อสัญญาณเสียงมีกำลังเฉลี่ยสูง (เสียงดัง) สัญญาณรบกวนที่เกิดจากการควอนไทซ์ จะถูกกดโดยสัญญาณที่มีแอมพลิจูดสูง ส่งผลให้ไม่ได้ยินสัญญาณรบกวนนี้
- 2.6.2 โดยการสังเกตอย่างแน่ชัดว่าจะได้ยินเสียงแตกต่างกันในแต่ละความถี่แต่ละจะได้ยินชัดที่สุดในบริเวณใกล้กับความถี่ 0.8 kHz ส่วนความถี่ที่อยู่นอกเหนือจากนี้จะมีผลการได้ยินน้อย
- 2.6.3 ถ้าสัญญาณเสียงถูกเก็บรักษา (ในหน่วยความจำ) ไว้อย่างดีแล้ว เมื่อมีการอ่านข้อมูล กลับคืนมาเสียงที่ได้ยินนั้นจะมีลักษณะใกล้เคียงกับสัญญาณเดิม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.7 การวิเคราะห์และการหาค่ากำลังเฉลี่ยของสัญญาณ

ความสัมพันธ์ของสัญญาณที่เป็นคาบเวลา (Periodic) ซึ่งเป็นความสัมพันธ์ที่อยู่ในรูปเวลา สัญญาณเหล่านี้จะมีความสัมพันธ์

$$v(t \pm mT_0) = v(t) \quad ; \quad -\infty < t < \infty \quad (2.14)$$

โดยที่ m คือ เลขจำนวนเต็มใดๆ

T_0 คือ คาบเวลา

$v(t)$ คือ สัญญาณที่ขึ้นกับเวลา

ค่าเฉลี่ยของ $v(t)$ โดยคิดตลอดช่วงเวลา ถูกกำหนดให้เป็น

$$[v(t)] = \lim_{T \rightarrow \infty} \frac{1}{T} \int_{-T/2}^{T/2} v(t) dt \quad (2.15)$$

สังเกตเห็นว่า $[v(t)]$ เป็นการหาค่าเฉลี่ยทางด้านขวามือซึ่งประกอบด้วยสามขั้นตอน (1) อินทิเกรต (integrate) $v(t)$ เพื่อที่จะหาพื้นที่สุทธิภายใต้เส้นโค้งจาก $-T/2 \leq t \leq T/2$ (2) หารด้วยช่วงเวลา T และ (3) $T \rightarrow \infty$ ในกรณีที่สัญญาณเป็นแบบคาบเวลา สมการ (2.18) สามารถลดรูปเป็นการหาค่าเฉลี่ยภายในช่วงเวลา T_0 ได้ ดังนี้

$$[v(t)] = \frac{1}{T_0} \int_{t_1}^{t_1+T_0} v(t) dt = \frac{1}{T_0} \int_0^{T_0} v(t) dt \quad (2.16)$$

ถ้า $v(t)$ เป็นแรงดันตกคร่อมความต้านทาน R จะทำให้เกิดกระแส $i(t) = v(t) / R$ และสามารถคำนวณกำลังงานเฉลี่ยที่ได้โดยค่าเฉลี่ยของกำลังงานขณะหนึ่ง $v(t) i(t) = v^2(t) / R = R i^2(t)$ เมื่อทำการนอร์มอลไลซ์กำลังงานด้วยการสมมติว่า $R = 1 \Omega$ แล้ว คำนิยามของค่ากำลังงานเฉลี่ยของสัญญาณคาบเวลาคือ

$$P = [v(t)^2] = \frac{1}{T_0} \int_0^{T_0} |v(t)|^2 dt \quad (2.17)$$

ถ้าให้สัญญาณ $v(t)$ เป็นสัญญาณคลื่นรูปไซน์ $[v(t)] = A \cos(\omega_0 t + \phi)$ จะได้

$$[v(t)] = 0 \quad ; \quad P = \frac{A^2}{2} \quad (2.18)$$

โดยที่ A คือ แอมพลิจูดของสัญญาณรูปคลื่นไซน์

ทฤษฎีทั้งหมดที่กล่าวมานี้จะนำมาใช้ออกแบบโมดูลการทำงานต่าง ๆ ในชิพประชุมร่วมทางโทรศัพท์ในบทต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.1 ภาษาวีเอชดีแอล

ความซับซ้อนและขนาดของระบบดิจิทัลในปัจจุบันได้เพิ่มมากขึ้นทุกขณะส่งผลให้มีการนำคอมพิวเตอร์เพื่อช่วยในการออกแบบหรือ CAD มาใช้ในขบวนการออกแบบฮาร์ดแวร์เพิ่มขึ้นเช่นกัน อีกทั้งอุปกรณ์และวิธีการออกแบบใหม่ ๆ ก็ถูกพัฒนาขึ้นมาเพื่อช่วยอำนวยความสะดวกให้กับนักออกแบบมากขึ้นด้วย สำหรับภาษาบรรยายอุปกรณ์ฮาร์ดแวร์ (Hardware Description Language; HDL) ก็เป็นเครื่องมืออย่างหนึ่งที่ได้รับการพัฒนามาอย่างต่อเนื่องเพื่อช่วยให้การปรับปรุงขบวนการออกแบบระบบดิจิทัลเป็นไปอย่างมีประสิทธิภาพ

3.1.1 ประวัติความเป็นมาของภาษาวีเอชดีแอล

VHDL ย่อมาจากคำว่า VHSIC Hardware Description Language (VHSIC: Very High Speed Integrated Circuit) เป็นภาษาโปรแกรมระดับสูง (High Level Language) ที่ใช้สำหรับการออกแบบฮาร์ดแวร์ในระบบดิจิทัล ตัวของภาษาสามารถบรรยายพฤติกรรมการทำงานในรูปของลำดับชั้น (Hierarchy) และสามารถเขียนได้หลายรูปแบบด้วยเหตุผลนี้จึงทำให้ภาษาวีเอชดีแอล เป็นเครื่องมือที่ใช้ออกแบบตั้งแต่ขั้นตอนบนสุด คือ แนวความคิดที่จะแก้ปัญหา ลงไปถึงขั้นจนถึง ขั้นตอนของการสร้างวงจรจริง และตัวภาษาก็เปิดโอกาสให้วิศวกรได้พัฒนาและจำลองการทำงานของรูปแบบฟังก์ชันการทำงานของวงจรอย่างสังเขป โดยไม่ต้องคำนึงถึงรายละเอียดเกี่ยวกับโครงสร้างวงจรจริง นอกจากนี้วีเอชดีแอลยังเป็นภาษาที่สนับสนุนลักษณะต่าง ๆ ของระบบดิจิทัลที่มีความซับซ้อนได้ทั้งหมด ดังนั้นวีเอชดีแอล จึงเป็นภาษาที่น่าสนใจในการศึกษาและนำไปใช้งานเป็นอย่างยิ่ง

วิวัฒนาการของภาษา วีเอชดีแอล เริ่มต้นประมาณปี ค.ศ.1981 เมื่อกระทรวงกลาโหมสหรัฐอเมริกา หรือ DoD (Department of Defense) ได้พยายามปรับปรุงอุปกรณ์อิเล็กทรอนิกส์และคอมพิวเตอร์ที่ใช้ในกิจการทางทหารให้มีความทันสมัยมากขึ้น ประกอบกับเทคโนโลยีทางด้านไมโครอิเล็กทรอนิกส์มีการพัฒนาไปอย่างรวดเร็วดังจะเห็นได้จากการนำวงจรดิจิทัลหลาย ๆ วงจรมาทำการผลิตอยู่บนแผ่นซิลิกอนที่มีพื้นที่เพียง 1 -2 ตารางเซนติเมตรเท่านั้น ซึ่งเป็นผลให้ประสิทธิภาพในการทำงานของวงจรสูงขึ้น ตลอดจนความน่าเชื่อถือในการทำงานและความคงทนต่อสภาพแวดล้อมสูงแต่เนื่องจากในขณะนั้นขั้นตอนของการออกแบบ การผลิต และการตรวจสอบวงจรต้นแบบ เป็นขบวนการที่ต้องใช้วิศวกร และเวลาในการดำเนินการมาก ฉะนั้นทาง DoD จึงจัดตั้งโครงการขึ้นมาเพื่อศึกษาวิธีการที่ช่วยในการพัฒนางานอิเล็กทรอนิกส์ โดยเฉพาะอย่างยิ่งวงจรระบบดิจิทัล ให้สามารถนำไปผลิตได้เร็วขึ้น ซึ่งโครงการดังกล่าวมีชื่อว่า “Very High Speed Integrated Circuits” หรือ VHSIC โดยในระยะแรกนั้นโครงการนี้ถือเป็นความลับทางด้านความมั่นคงของประเทศ และอยู่ภายใต้ความควบคุมดูแลของ United States International Traffic and Arms Regulations (ITAR)

สำหรับมาตรฐานของภาษาที่ใช้บรรยายพฤติกรรมวงจรหรือฮาร์ดแวร์ของระบบสำหรับ โครงการ VHSIC ที่ DoD ได้ให้ไว้สามารถสรุปได้ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- ต้องเป็นภาษาที่นำไปเขียนรูปแบบระบบดิจิทัล และมีคุณสมบัติที่สามารถเข้าใจได้ทั้งมนุษย์และเครื่องคอมพิวเตอร์โดยไม่ต้องมีการแปลหรือเปลี่ยนแปลงอีก
- สามารถนำไปใช้เป็นเอกสารประกอบโครงการได้
- ต้องเป็นภาษาที่เขียนขึ้นสำหรับใช้จำลองการทำงานของวงจร

ฉะนั้นภาษาดังกล่าวนี้นี้จึงจัดเป็นภาษาโปรแกรมระดับสูง เช่นเดียวกับภาษาปาสคาลหรือภาษาซี ซึ่งในทางวิศวกรรมภาษาที่ใช้ในการออกแบบฮาร์ดแวร์นี้ เรียกว่า “Hardware Description Language” หรือ HDL

ในตอนเริ่มแรกนั้น DoD ได้มอบหมายให้บริษัทไอบีเอ็ม เท็กซัสอินสตรูเมนต์ และอินเตอร์เมทริกซ์ เป็นผู้ศึกษาและพัฒนาโครงการ ซึ่งการดำเนินงานเป็นไปอย่างต่อเนื่อง จนกระทั่งในปี ค.ศ. 1985 ทาง ITAR ได้ยกเลิกข้อจำกัดในการถ่ายทอดเทคโนโลยีทางทหารออกจากโครงการนี้ ดังนั้นภาษา วีเอชดีแอล จึงเริ่มเป็นที่รู้จักกันโดยทั่วไป และประมาณปี ค.ศ.1987 IEEE ได้ทำการกำหนดมาตรฐานของภาษานี้เป็น IEEE 1076-1987 และมีชื่อเรียกว่า วีเอชดีแอล ซึ่งมาตรฐานนี้ได้รับการปรับปรุงจนเป็นมาตรฐาน IEEE 1076-1993 หรือ วีเอชดีแอล 1993

เนื่องจากในขณะนั้น DoD เป็นลูกค้ารายใหญ่ของอุตสาหกรรมอิเล็กทรอนิกส์และคอมพิวเตอร์ ดังนั้นจึงมีผู้รับโครงการต่าง ๆ จาก DoD ไปดำเนินการวิจัยและพัฒนาเป็นจำนวนมาก และเพื่อให้ทุกโครงการอยู่ในมาตรฐานเดียวกันหมด ดังนั้นทาง DoD จึงได้กำหนดว่า ทุก ๆ โครงการต้องเขียนอยู่ในรูปของภาษา วีเอชดีแอล เท่านั้น ซึ่งทำให้ DoD สามารถนำโครงการเหล่านี้ไปจำลองกับเครื่องคอมพิวเตอร์ได้หลาย ๆ ระบบ

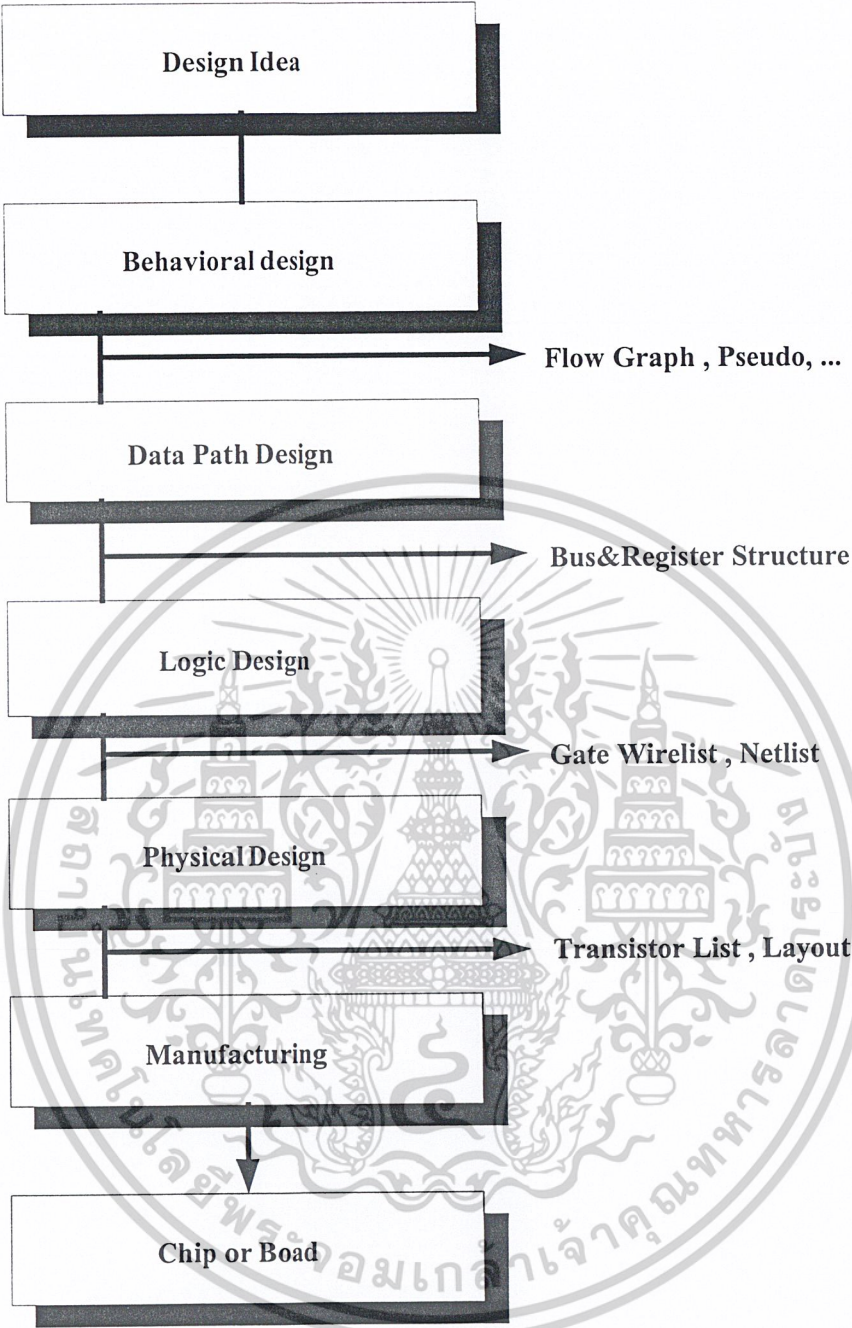
3.1.2 การออกแบบระบบดิจิทัล

ในการออกแบบระบบดิจิทัล เริ่มตั้งแต่การกำหนดแนวความคิดเบื้องต้นจนกระทั่งได้ออกมาเป็นอุปกรณ์ฮาร์ดแวร์ที่ใช้งานได้จะต้องผ่านขั้นตอนต่าง ๆ มากมายและในแต่ละขั้นตอน ผู้ออกแบบจะต้องตรวจสอบผลลัพธ์ในแต่ละขั้นก่อนเข้าสู่กระบวนการออกแบบในขั้นต่อไป

รูปที่ 3.1 แสดงขั้นตอนปกติที่ใช้ในการออกแบบระบบดิจิทัลทั่วไป ขั้นแรกผู้ออกแบบจะกำหนดแนวความคิดในการออกแบบแล้วทำการพัฒนาให้สามารถนำมาใช้ได้อย่างสมบูรณ์ ซึ่งภายในขั้นตอนนี้ผู้ออกแบบจำเป็นต้องสร้างรูปแบบระบบในเชิงพฤติกรรมขึ้นมาตรวจสอบซึ่งอาจจะเป็นผังงานแสดงแบบหรือรหัสคำสั่งเทียม (Pseudo code) ก็ได้

ขั้นตอนต่อไปเป็นการออกแบบระบบเส้นทางของข้อมูลผู้ออกแบบจะกำหนดส่วนประกอบของรีจิสเตอร์และวงจรลอจิกที่จำเป็นทั้งหมดเพื่อนำมาประกอบเป็นระบบที่สมบูรณ์ โดยแต่ละองค์ประกอบสามารถเชื่อมต่อกันด้วยบัสหนึ่งหรือสองทิศทาง (Unidirectional or Bi-directional Bus) ส่วนกระบวนการในการควบคุมการเคลื่อนย้ายข้อมูลระหว่างรีจิสเตอร์และวงจรลอจิกจะขึ้นอยู่กับพฤติกรรมของระบบที่กำหนดไว้ดังรูปที่ 3.2

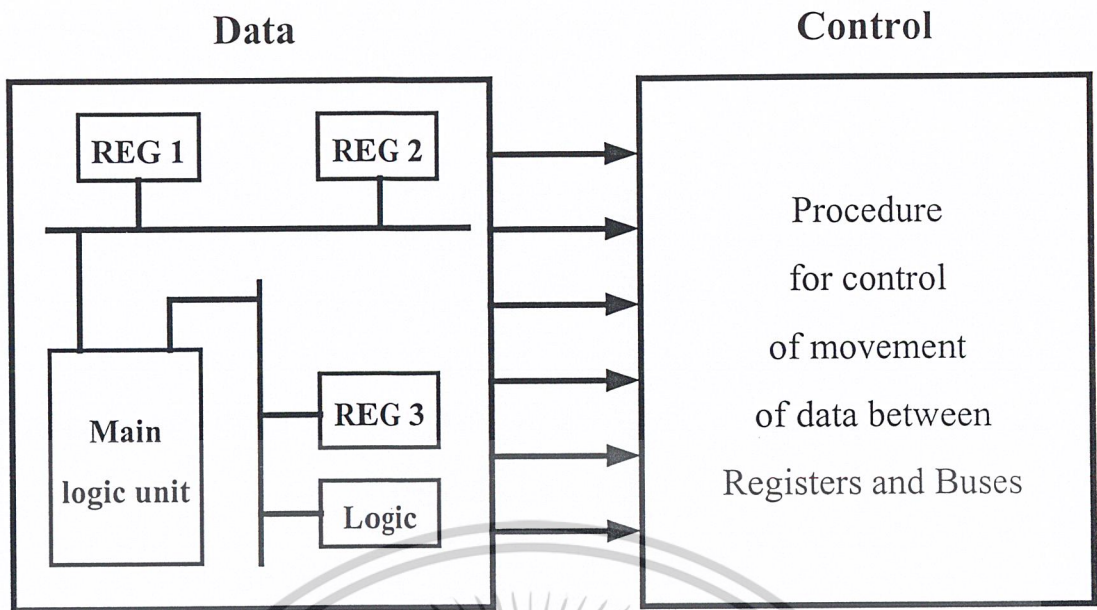
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 3.1 แสดงขั้นตอนการออกแบบระบบดิจิทัล

ขั้นตอนถัดมาเป็นการออกแบบวงจรลอจิกซึ่งจะเกี่ยวข้องกับการนำเกตดิจิทัลพื้นฐานและฟลิปฟล็อป (Flip-flop) มาประกอบเป็นอุปกรณ์ย่อยต่าง ๆ เช่นรีจิสเตอร์เก็บข้อมูลบัสวงจรลอจิกและส่วนควบคุมฮาร์ดแวร์ซึ่งผลลัพธ์ที่ได้ในขั้นตอนนี้จะเป็นเครือข่ายของการโยงใยระหว่างเกตและฟลิปฟล็อปนั่นเอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.2 การออกแบบระบบเส้นทางของข้อมูล

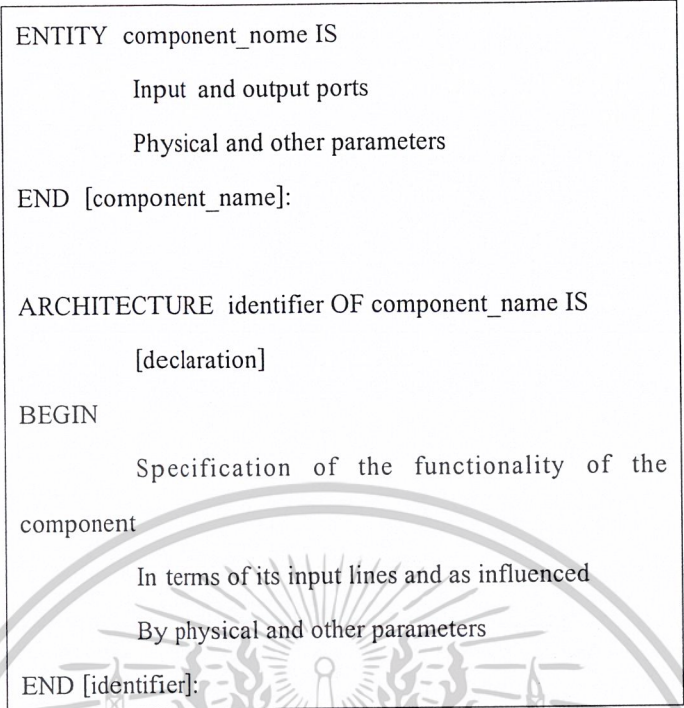
การออกแบบในขั้นตอนถัดไปเป็นการเปลี่ยนเครือข่ายการโยงใยที่ได้จากขั้นตอนที่แล้วให้เป็นลำดับของทรานซิสเตอร์ (Transistor List) และ Layout ซึ่งขั้นตอนนี้จะเกี่ยวข้องโดยตรงกับการจัดวางทรานซิสเตอร์หรือไลบรารีเซลล์เพื่อแทนเกตและฟลิปฟล็อปต่าง ๆ

และในขั้นตอนสุดท้ายจะเป็นการส่งระบบที่ออกแบบไว้ไปทำการสื่อสารที่โรงงานเพื่อผลิตออกมาเป็นวงจรรวมในที่สุด

3.1.3 องค์ประกอบพื้นฐานของ วีเอชดีแอล

รูปแบบพื้นฐานที่ใช้ในการบรรยายถึงองค์ประกอบของวีเอชดีแอลจะประกอบไปด้วยส่วนกำหนดการเชื่อมต่อ (Interface) และส่วนกำหนดลักษณะเชิงสถาปัตยกรรม (Architecture) ดังแสดงในรูปที่ 3.3 โดยในการบรรยายการเชื่อมต่อจะขึ้นต้นด้วยคำว่า ENTITY แล้วตามด้วยชื่อขององค์ประกอบจากนั้นตามด้วยคำว่า IS และถัดมาจะเป็นการบรรยายถึงพอร์ตการติดต่อ อินพุต - เอาท์พุต ขององค์ประกอบ ส่วนลักษณะภายนอกอื่น ๆ เช่น เวลา อุณหภูมิก็สามารถรวมเข้าไปใน ส่วนนี้ได้เช่นกัน

ในส่วนของการกำหนดลักษณะเชิงสถาปัตยกรรมจะขึ้นต้นด้วยคำว่า ARCHITECTURE ซึ่งเป็นส่วนที่ใช้บรรยายหน้าที่การทำงานขององค์ประกอบ โดยหน้าที่การทำงานนี้จะขึ้นอยู่กับสัญญาณอินพุต - เอาท์พุต และพารามิเตอร์อื่น ๆ ที่ได้กำหนดไว้ในส่วนของการเชื่อมต่องดรูปที่ 3.3 และสำหรับการบรรยายหน้าที่ขององค์ประกอบจะเริ่มต้นหลังจากคำว่า BEGIN เป็นต้นไป

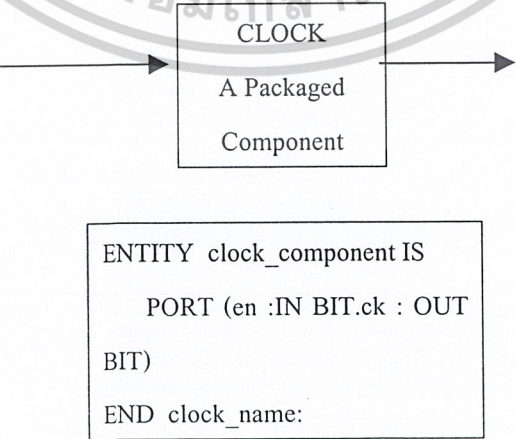


รูปที่ 3.3 การกำหนดการเชื่อมต่อและสถาปัตยกรรม

1. การกำหนดการเชื่อมต่อ

การกำหนดการเชื่อมต่อเป็นระดับบนสุดของการออกแบบโดยในระดับนี้ต้องกำหนดพอร์ตสำหรับการติดต่อกับองค์ประกอบภายนอกอื่น ๆ ดังตัวอย่างในรูปที่ 3.4 ซึ่งเป็นบล็อกไดอะแกรม และการบรรยายการเชื่อมต่อขององค์ประกอบสำหรับตัวง่ายสัญญาณนาฬิกา

ในบรรทัดแรกของการบรรยายการเชื่อมต่อเป็นการกำหนดชื่อขององค์ประกอบซึ่งกำหนดเป็น clock_component ตามด้วยคำว่า PORT และชื่อของพอร์ตอยู่ในวงเล็บ ส่วน IN และ OUT เป็นการกำหนดโหนดของสัญญาณให้เป็นอินพุตหรือเอาต์พุต และ BIT เป็นการแสดงชนิดของข้อมูล



รูปที่ 3.4 บล็อกไดอะแกรมและการบรรยายการเชื่อมต่อของ clock_component

2. การกำหนดรูปแบบการบรรยาย

หน้าที่การทำงานขององค์ประกอบจะถูกบรรยายภายในส่วนนี้ ซึ่งในการบรรยายสามารถกำหนดค่าของสัญญาณเอาต์พุตในเทอมของอินพุตหรือในรูปขององค์ประกอบอื่น ๆ หรือทั้งสองอย่างรวมกันก็ได้ ดังตัวอย่างการบรรยายของ Clock_component ในรูปที่ 3.5 ซึ่งเป็นการบรรยายในเชิงพฤติกรรมโดยมี en เป็นอินพุตและ ck เป็นเอาต์พุต

PROCESS เป็นคำที่ใช้ในการเริ่มต้นสำหรับการบรรยายในเชิงพฤติกรรม และภายใน PROCESS กำหนดให้ periodic เป็นตัวแปรที่มีค่าเริ่มต้นเป็น “0” ถ้าสัญญาณ en มีค่าเป็น “1” จะทำให้ตัวแปร periodic ถูกคอมพลิเมนต์ (complement) และส่งค่าให้กับ ck ซึ่งเป็นสัญญาณเอาต์พุตและสำหรับคำสั่ง WAIT จะเป็นการกำหนดให้สัญญาณมีคาบเวลาเท่ากับ 1 ไมโครวินาที

```

ARCHITECTURE behavioral OF
clock_component IS
BEGIN
  PROCESS
    VARIABLE periodic : BIT := '0';
  BEGIN
    IF en = '1' THEN
      Periodic := Not periodic;
    END IF;
    Ck <= periodic;
    WAIT FOR 1 US;
  END PROCESS ;
END behavioral;

```

รูปที่ 3.5 การบรรยายเชิงพฤติกรรมของ Clock_component

3. หน่วยการออกแบบแพ็คเกจ

ข้อมูลต่าง ๆ ตลอดจนโปรแกรมย่อย ที่เป็นประโยชน์ต่อการเขียนรูปแบบการบรรยายระบบดิจิทัล สามารถเก็บไว้ในส่วนของแพ็คเกจ ซึ่งหน่วยการออกแบบต่าง ๆ เช่น หน่วยการออกแบบ Entity หน่วยการออกแบบสถาปัตยกรรม หรือหน่วยการออกแบบแพ็คเกจอื่น ๆ สามารถเรียกข้อมูลเหล่านี้ไปใช้ได้ นอกจากนั้นสิ่งที่นิยมทำกันมากคือการนำรูปแบบมาตรฐานต่าง ๆ เช่น อุปกรณ์มาตรฐาน (เช่น ไอซีตระกูล 74XXX เป็นต้น) มาเก็บไว้ในรูปของแพ็คเกจ ที่ทุกคนสามารถเข้าถึงได้

ตามปกติแล้วแพ็คเกจจะแบ่งออกเป็น 2 ส่วนคือการประกาศแพ็คเกจ (Package declaration) และ ส่วนของบอดี้แพ็คเกจ (Package body) เนื่องจาก แพ็คเกจถูกสร้างขึ้นเป็นส่วนแยกต่างหากออกจากรูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตามปกติแล้วแพ็คเกจจะแบ่งออกเป็น 2 ส่วนคือการประกาศแพ็คเกจ (Package declaration) และ ส่วนของบอดีแพ็คเกจ (Package body) เนื่องจาก แพ็คเกจถูกสร้างขึ้นเป็นส่วนแยกต่างหากออกจากรูปแบบที่กำลังเขียนอยู่ ฉะนั้นการที่นำแพ็คเกจไปใช้นั้นจะต้องมีการเชื่อมโยงหรืออ้างอิงเสียก่อน ซึ่งในภาษาวีเอสซีแอลสามารถกระทำได้ด้วยชุดคำสั่ง USE

- PACKAGE DECLARATION

ส่วนที่มีความสำคัญที่สุดของแพ็คเกจ (ถ้ามองในแง่ของการนำไปใช้จากภายนอก) ได้แก่ ส่วนการประกาศแพ็คเกจ เนื่องจากเป็นส่วนที่ใช้กำหนดชื่อของสิ่งที่ประกาศ อยู่ภายในแพ็คเกจ สำหรับนำไปใช้ภายนอกตัวของแพ็คเกจเอง ถ้ามีการประกาศสิ่งใด ๆ ในส่วนของส่วนบอดีแพ็คเกจ แต่ไม่ถูกประกาศในส่วนการประกาศแพ็คเกจ จะทำให้ค่าและพฤติกรรมไม่สามารถนำไปใช้งานในส่วนนอกได้ ซึ่งเปรียบเทียบได้กับสิ่งที่ประกาศไว้ในส่วนของการประกาศ Entity คือ จุดเชื่อมต่อ หรือ พอร์ต ที่มีหน้าที่ติดต่อกับโลกภายนอก ฉะนั้นโดยทั่วไปแล้วแพ็คเกจสามารถสร้างขึ้นได้โดยไม่จำเป็นต้องมีส่วนบอดี และสามารถนำไปใช้งานจากรูปแบบภายนอกได้เช่น ใช้สำหรับประกาศ ชนิด (Type) หรือสัญญาณเช่นเดียวกับส่วนบอดีแพ็คเกจที่ไม่จำเป็นต้องมี ส่วนของการประกาศแพ็คเกจ แต่แพ็คเกจนั้นจะไม่สามารถนำไปใช้จากรูปแบบอื่นได้

```
PACKAGE package_name IS
    Package_declarative_part
END package_name;
```

รูปที่ 3.6 โครงสร้างทั่วไปของส่วนการประกาศแพ็คเกจ

- PACKAGE BODY

โครงสร้างซึ่งประกอบด้วยลำดับคำสั่งที่ใช้บรรยายฟังก์ชันการทำงานของโปรแกรมย่อยทั้งหลาย ซึ่งชื่อของโปรแกรมย่อยนั้น ๆ ได้ถูกประกาศไปแล้วในส่วนของการประกาศแพ็คเกจ จะถูกเก็บไว้ใน ส่วนของบอดีแพ็คเกจ ทั้งนี้รวมถึงการกำหนดค่าที่ต่าง ๆ อันได้แก่ค่าคงที่ที่ถูกประกาศชื่อไว้ก่อนใน ส่วนของการประกาศแพ็คเกจ และถูกกำหนดค่าในส่วนของบอดีแพ็คเกจ ฉะนั้นในส่วนของบอดีแพ็คเกจจึงไม่จำเป็นต้องมี ถ้าในส่วนของการประกาศแพ็คเกจไม่มีการประกาศชื่อที่เป็นโปรแกรมย่อย หรือค่าคงที่ การเขียนบอดีแพ็คเกจนั้นจะเป็นไปตามกฎเกณฑ์ดังแสดงในรูปที่ 3.7

```
PACKAGE BODY package_name IS
    Declarative_part
END package_name;
```

รูปที่ 3.7 โครงสร้างของบอดีแพ็คเกจ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- หน่วยการออกแบบ Configuration

สิ่งที่ทราบกันแล้วว่าระบบดิจิทัลรูปแบบหนึ่งไม่ว่าจะเป็นอะไรก็ตาม จะสามารถมีหน่วยการออกแบบ Entity ได้เพียงหนึ่งเดียวเท่านั้น ซึ่งในหน่วยการออกแบบ Entity หนึ่งหน่วยนี้อาจจะมีสถาปัตยกรรมที่เป็นหน่วยรองได้หลายหน่วย ดังนั้นจะต้องมีหน่วยการออกแบบ Configuration มาเพื่อกำหนดการใช้ Configuration ของการประกอบ Entity กับหน่วยการออกแบบสถาปัตยกรรมหน่วยใด ๆ เข้าด้วยกัน

```
CONFIGURTRION identifier OF entiry_name IS
    Configurection_declarative_part
END :
```

รูปที่ 3.8 โครงสร้างโดยทั่วไปของหน่วยการออกแบบโครงแบบ

- โปรแกรมย่อย (Procedure)

การใช้ฟังก์ชันและโปรแกรมย่อยในวีเอชดีแอลเปรียบได้กับการใช้โปรแกรมย่อยในการเขียนโปรแกรมภาษาชั้นสูงทั่ว ๆ ไปค่าที่ถูกส่งกลับหรือถูกเปลี่ยนแปลงโดยโปรแกรมย่อยอาจจะมีหรือไม่มีผลต่อฮาร์ดแวร์โดยตรงก็ได้ เช่นถ้าใช้ฟังก์ชันแทนการกระทำในสมการบูลีนก็จะมีผลต่อวงจรลอจิกจริง ๆ ในขณะที่ถ้าใช้โปรแกรมย่อยในการเปลี่ยนชนิดของข้อมูลหรือในการคำนวณค่าการหน่วงเวลาแล้วก็จะไม่มีผลต่อโครงสร้างของฮาร์ดแวร์รูปที่ 3.9 แสดงการใช้โพรซีเจอร์เพื่อเปลี่ยนข้อมูลชนิด 8 บิตเป็นค่าจำนวนเต็ม และรูปที่ 3.10 แสดงการใช้ฟังก์ชันโดยกำหนดให้ X เป็นตัวแปรชนิดบิตแทนการกระทำในสมการบูลีน

```
TYPE byte IS ARRAY (7 DOWNTO 0) OF BIT;
PROCEDURE byte_to_integer (ib:IN byte; oi : OUT INTEGER) Is
    VARIABLE result:INTEGER:=0;
BEGIN
    FOR ; In o to 7 LOOP
        IF ib (I) = 1 THEN
            Result := result + 2**I;
        End iF ;
    END LOOP
    Oi := result;
END byte_to_integer
```

รูปที่ 3.9 การใช้โพรซีเจอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้


```
FUNCTION f(a,b,c:BIT) RETURN BIT IS
    VARIABLE x:BIT;
BEGIN
    X:= (Not a) AND (NOT b) AND c);
    RETURN x;
END f ;
```

รูปที่ 3.10 การใช้ฟังก์ชัน

- โอเปอเรเตอร์

การบรรยายเชิงพฤติกรรมในภาษาวีเอชดีแอล มีตัวดำเนินการหรือโอเปอเรเตอร์ทางลอจิกและคณิตศาสตร์เช่นเดียวกับภาษาซอฟต์แวร์ทั่วไป ดังรูปที่ 3.11

PREDEFIND OPERATORS
LOGICAL OPERATORS : NOT AND OR NAND NOR XOR
OPERAND TYPE: BIT BOOLEAN
RESULT TYPE: BIT BOOLEAN
RELATIONAL OPERATORS : /= << = >> =
OPERAND TYPE: any type
RESULT TYPE: Boolean
ARITHMETIC OPERATORS :+ - */** MOREM ABS
OPERAND TYPE: INTEGER REAL Physical
RESULT TYPE: INTEGER REAL Physical
CONCANTENATION OPERATOR : &
OPERAND TYPE: ARRAY of any type
RESULT TYPE: array of any type
RESULT TYPE: array of any type

รูปที่ 3.11 ตัวดำเนินการใน วีเอชดีแอล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- เวลาและความพร้อมเพรียง

ในวงจรอิเล็กทรอนิกส์อุปกรณ์ทุก ๆ ตัวจะอยู่ในสภาพเตรียมพร้อมเสมอ (Always Active) จะมีเรื่องของเวลาเข้ามาเกี่ยวข้องในทุก ๆ เหตุการณ์ที่เกิดขึ้นเสมอ

วีเอชดีแอลเป็นภาษาที่ได้รับการออกแบบมาเพื่อให้สามารถบรรยายรูปแบบและการป้องกันของเวลาสำหรับการทำงานของอุปกรณ์ได้อย่างถูกต้องการบรรยายการทำงานที่อยู่ภายในส่วนของการบรรยายสถาปัตยกรรม จะมีการทำงานที่พร้อมเพรียงกันเสมอ หรือแม้แต่ PROCESS ซึ่งมีการทำงานภายในเป็นแบบลำดับคำสั่งก็ตามซึ่งหากมีหลาย ๆ PROCESS อยู่ภายในโครงสร้างเดียวกันทุก ๆ PROCESS ก็จะทำงานไปพร้อม ๆ กันด้วย

- สัญญาณและตัวแปร

สัญญาณมีลักษณะเป็นเสมือนตัวกลางฮาร์ดแวร์ที่ใช้ในการส่งผ่านข้อมูลและมีเรื่องของเวลาเข้ามาเกี่ยวข้องด้วย การกำหนดค่าให้กับสัญญาณจะใช้สัญลักษณ์ $\leq$ ในการส่งค่าและสามารถใช้คำสั่ง AFTER เพื่อกำหนดช่วงเวลาในการส่งผ่านค่าของสัญญาณเช่น $w \leq a$ AFTER 12 NS หมายถึงการกำหนดค่าสัญญาณ a ให้กับ w หลังจากเวลาผ่านไป 12 นาโนวินาที

ในทางตรงข้ามตัวแปรมีลักษณะเป็นเสมือนตัวกลางที่ใช้ในการส่งผ่านข้อมูลและไม่มีเรื่องของเวลาเข้ามาเกี่ยวข้องด้วยซึ่งตัวแปรจะถูกใช้ในส่วนที่มีการทำงานเป็นแบบลำดับคำสั่งเช่นในฟังก์ชันโพธิ์เจอร์ และ PROCESS สำหรับการกำหนดค่าให้กับตัวแปรจะใช้สัญลักษณ์ :=

การบรรยายเชิงพฤติกรรม

การบรรยายลักษณะการทำงานของอุปกรณ์ฮาร์ดแวร์ในเชิงพฤติกรรม เป็นการบรรยายลักษณะการเปลี่ยนแปลงของข้อมูลในรูปแบบของอัลกอริทึมสำหรับการคำนวณผลลัพธ์ที่เกิดขึ้นซึ่งสืบเนื่องมาจากการเปลี่ยนแปลงสถานะของข้อมูลที่เข้ามาโดยไม่คำนึงลักษณะโครงสร้างหรือความสัมพันธ์ของอุปกรณ์ที่อยู่ภายในว่าจะเป็นอย่างใด ในหัวข้อนี้จะแสดงถึงการบรรยายเชิงพฤติกรรม แทนการใช้โมดูลฮาร์ดแวร์รวมถึงข้อกำหนดต่าง ๆ ที่ควรรู้

PROCESS

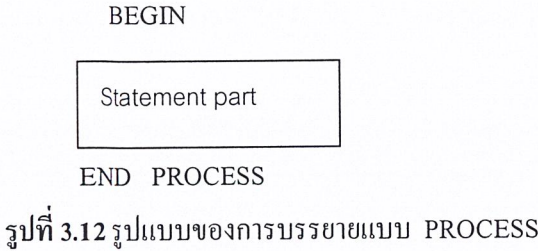
PROCESS เป็นรูปแบบพื้นฐานอย่างหนึ่งที่ใช้ในการกำหนดให้กับสัญญาณ PROCESS จะอยู่ในสถานะที่เตรียมพร้อมอยู่เสมอและจะปฏิบัติตามคำสั่งพร้อม ๆ กันกับ PROCESS อื่น ๆ ที่อยู่ภายในสถาปัตยกรรมกรรมบรรยายเดียวกัน โดย PROCESS จะปฏิบัติตามคำสั่งทันทีที่มีเหตุการณ์เกิดขึ้นกับสัญญาณที่อยู่ทางด้านขาของสัญญาณกำหนดค่าให้กับสัญญาณ ($\leq$)

การบรรยาย PROCESS จะเริ่มต้นด้วยคำสั่ง PROCESS และจบด้วยคำสั่ง END PROCESS ในรูปที่ 3.12 เป็นการแสดงส่วนประกอบของการบรรยายแบบ PROCESS ซึ่งประกอบด้วยส่วนของการประกาศตัวแปรที่ต้องใช้และส่วนของการปฏิบัติตามคำสั่งเพื่อให้ได้ผลลัพธ์ที่ต้องการ

PROCESS

Declarative part
.....

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.12 รูปแบบของการบรรยายแบบ PROCESS

การกำหนดตัวดำเนินการภายใน PROCESS

ตัวดำเนินการภายใน PROCESS มี 3 ชนิด คือ ตัวแปร (Variable) ไฟล์ (File) และตัวคงที่ (Constant) ซึ่งตัวดำเนินการทั้งสามชนิดนี้หากมีการประกาศไว้ใน PROCESS ใดก็จะใช้ได้เฉพาะภายใน PROCESS นั้นเท่านั้น สำหรับการติดต่อกับภายนอกหรือระหว่าง PROCESS สามารถทำได้โดยใช้ สัญญาณ (Signal) หรือตัวคงที่ที่ได้ประกาศไว้ในส่วนของ ARCHITECTURE ในรูปที่ 3.13 แสดงตัวอย่างการประกาศตัวกระทำภายใน PROCESS ซึ่งจะอยู่ระหว่างคำสั่ง PROCESS และ BEGIN และค่าเริ่มต้นที่ถูกกำหนดให้กับตัวดำเนินการภายใน PROCESS จะถูกนำมาใช้ในตอนเริ่มต้นของการปฏิบัติเพียงครั้งเดียวเท่านั้น ต่างกับค่าเริ่มต้นที่อยู่ภายในโปรแกรมย่อยจะถูกนำมาใช้ทุกครั้งที่มีการเรียกใช้โปรแกรมย่อยนั้น ๆ

```
PROCESS
FILE flush : TEXT IS IN "filenamme.dat"
VARIABLE var : BIT;
CONSTANT n: INTEGER:= 0 ;
BEGIN
....
END PROCESS :
```

รูปที่ 3.13 ตัวอย่างการประกาศตัวดำเนินการภายใน PROCESS

การกำหนดการกระทำภายใน PROCESS

การกระทำใด ๆ ภายใน PROCESS จะเป็นการปฏิบัติแบบลำดับ (Sequential) เสมอ ซึ่งภายใน PROCESS สามารถใช้ประโยคเงื่อนไขหรือการทำซ้ำได้เช่น IF-THEN-ELSE, CASE-WHEN, FOR LOOP และ WHILE LOOP ดังตัวอย่างในรูปที่ 3.14 และ 3.15


```
ARCHITECTURE demo OF partial _ PROCESS IS
...
BEGIN
    PROCESS
    ....
    BEGIN
    ...
    x <= "1";
    IF x = 1 THEN
    Perform action _ 1
    ELSE
    Perform action _ 2
    END IF;
    ....
    END PROCESS :
    END demo;
```

รูปที่ 3.14 เงื่อนไขการกระทำใน PROCESS

```
ARCHITECTURE demo OF partial _ PROCESS IS
...
    BEGIN
    PROCESS
    BEGIN
    ...
    x <= a AFTER 10 NS;
    y <= b AFTER 6 NS;

    END PROCESS :
    END demo;
```

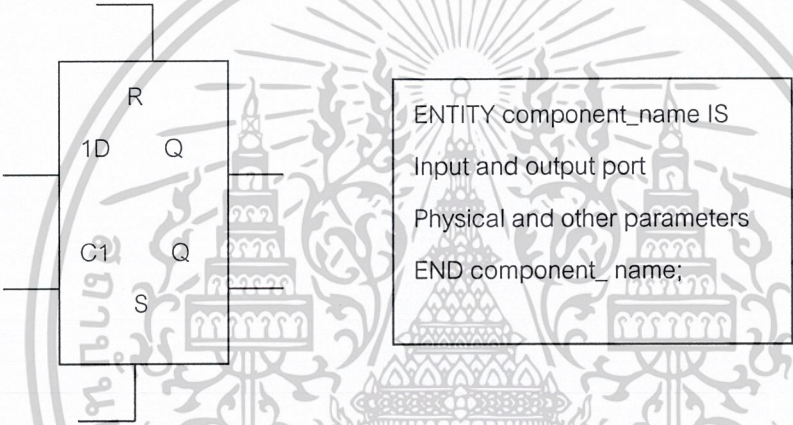
รูปที่ 3.15 แสดงการกระทำใน PROCESS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การกระตุ้นและยับยั้งการกระทำของ PROCESS

การกระทำภายใน PROCESS จะอยู่ในสภาพเตรียมพร้อม และมีการปฏิบัติงานอยู่ตลอดเวลาที่มีการเปลี่ยนแปลงของเหตุการณ์เกิดขึ้นอย่างไรก็ดีเราสามารถกระตุ้นหรือยับยั้งการกระทำภายใน PROCESS ได้โดยการกำหนดรายการของสัญญาณที่ต้องการให้ PROCESS ปฏิบัติงานเมื่อมีเหตุการณ์เกิดขึ้นกับสัญญาณที่กำหนดไว้เท่านั้น ส่วนเหตุการณ์ใด ๆ ที่เกิดขึ้นกับสัญญาณที่ไม่ได้กำหนดไว้ในรายการก็并不会ส่งผลให้มีการกระทำภายใน PROCESS ซึ่งรายการของสัญญาณนี้เรียกว่า Sensitivity List และจะกำหนดไว้ในวงเล็บหลังคำสั่ง PROCESS

รูปที่ 3.16 (a) แสดงตัวอย่างโมเดล และรูปที่ 3.16 (b) เป็นตัวอย่างการบรรยายการเชื่อมต่อของ D-Flip Flop ส่วนรูปที่ 3.17 แสดงถึงการบรรยายเชิงพฤติกรรมของ D-Flip Flop โดยในรูปที่ 3.17 (a) เป็นการใส่ตัวกระทำภายนอก PROCESS และรูปที่ 3.17 (b) เป็นการใส่ตัวกระทำภายใน PROCESS โดยมีรายการของสัญญาณ (rst, set, clk) เป็นตัวกระตุ้นการปฏิบัติงานภายใน PROCESS



รูปที่ 3.16 (a) ตัวอย่างโมเดล D-Flip Flop
(b) การบรรยายการเชื่อมต่อของ D-Flip Flop

```
ARCHITECTURE demo OF partial _ PROCESS IS
...
BEGIN
PROCESS
....
BEGIN
...
x <= "1" ;
IF x = 1 THEN
Perform action _ 1
ELSE
```



```

Perform action _ 1

ELSE

Perform action _ 2

END IF;

....

END PROCESS :

END demo:

```

```

ARCHITECTURE demo OF partial _ PROCESS IS

...

BEGIN

PROCESS

BEGIN

...

x <= a AFTER 10 NS;

y <= b AFTER 6 NS;

END PROCESS :

END demo:

```

รูปที่ 3.17 การบรรยายเชิงพฤติกรรม ของ D-Flip Flop

(a) การใช้ตัวกระทำภายนอก PROCESS

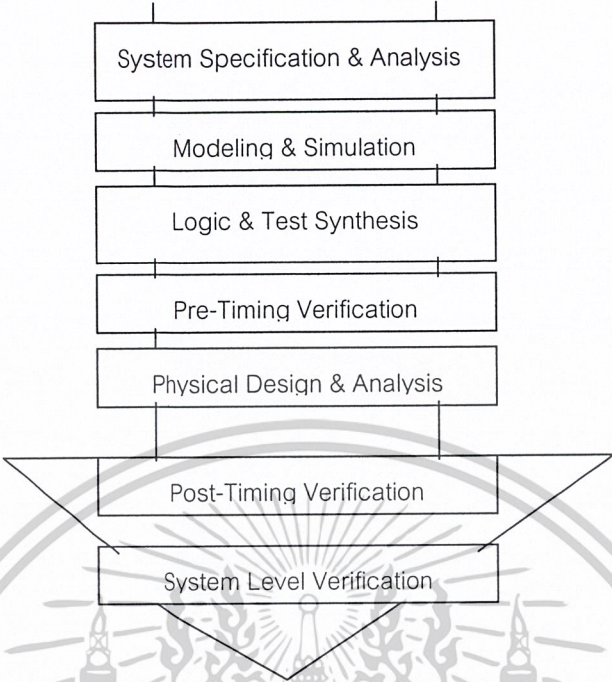
(b) การใช้ตัวกระทำภายใน PROCESS

การออกแบบจากบนลงล่าง

ในการพัฒนางจรรวมดิจิทัลขนาดใหญ่ที่มีความซับซ้อนวิศวกรหรือผู้ออกแบบมักจะมองการออกแบบให้อยู่ในรูปของของบล็อกไดอะแกรมก่อนที่จะทำวิเคราะห์ให้ถึงรายละเอียดต่อไป ซึ่งภาษาวีเอชดีแอล นั้น อนุญาตให้อธิบายและวิเคราะห์การทำงานของแต่ละบล็อก รวมถึงการปรับปรุงการทำงานจากผลที่วิเคราะห์เพื่อให้ได้การทำงานตามต้องการ นอกจากนี้ยังสามารถเพิ่มเติมในรายละเอียดในแต่ละขั้นตอนได้ซึ่งหลักการนี้สอดคล้องกับหลักการออกแบบจากบนลงล่าง (Top-Down Design) นั่นเอง ถ้าทดลองเปรียบเทียบกับกรออกแบบจากล่างขึ้นบน (Bottom Up Design) จะเห็นได้ว่าการออกแบบจากล่างขึ้นบนจะใช้เวลาการออกแบบมากกว่า 90% เนื่องจากการตรวจสอบจริงด้วยอุปกรณ์ต่าง ๆ (Schematiccapture) ที่ประกอบกันเข้าเป็นวงจรที่ต้องการออกแบบ ก่อนแล้วจึงทำการจำลองการทำงาน และตรวจสอบความถูกต้อง ดังนั้นการใช้ภาษาวีเอชดีแอลกับหลักการออกแบบจากบนลงล่างจึงเป็นทาง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ออกให้กับวิศวกรให้สามารถออกแบบและพัฒนาวงจรที่มีความซับซ้อนได้มากขึ้น ทั้งยังช่วยลดเวลาและค่าใช้จ่ายในการออกแบบด้วย



รูปที่ 3.18 ขั้นตอนการออกแบบจากบนลงล่าง

จากรูปที่ 3.18 แสดงถึงขั้นตอนของการออกแบบจากบนลงล่างทั้งนี้ในการปฏิบัติอาจมีข้อแตกต่างไปจากนี้บ้างเล็กน้อย เนื่องจากขั้นตอนของการผลิต (Implementation) สามารถกระทำได้หลายเทคโนโลยี สำหรับรายละเอียดของขั้นตอนการออกแบบจากบนลงล่างในแต่ละขั้นตอนมี ดังนี้

- 1 สร้างข้อกำหนดของความต้องการ และวิเคราะห์ระบบ เพื่อหาแนวความคิดและหลักการ (Idea and Concept) ในการแก้ปัญหา
- 2 เขียนรูปแบบของระบบที่ต้องการออกแบบโดยใช้ภาษาวีเอชดีแอลหรือ ภาษา HDL อื่น ๆ สำหรับบรรยายพฤติกรรมการทำงาน พร้อมทั้งจำลองการทำงาน เพื่อเปรียบเทียบและตรวจสอบความถูกต้องกับข้อกำหนด
- 3 หลังจากที่ได้หลักการขั้นต้นพร้อมแนวความคิดที่ผ่านการตรวจสอบแล้ว หลักการนี้จะถูกเพิ่มเติมในการรายละเอียดลงมาเป็นลำดับขั้นที่สองจนกระทั่งอยู่ในระดับที่จะนำไปผลิตวงจรจริงหรือสังเคราะห์ในขั้นตอนนี้เองเทคโนโลยีที่จะมารองรับวงจรออกแบบจะถูกกำหนดขึ้น และระบบช่วยการออกแบบจะสังเคราะห์วงจรที่ได้จากรูปแบบที่เขียนขึ้นให้อยู่ในรูปของวงจรที่ประกอบด้วยอุปกรณ์อิเล็กทรอนิกส์หรือวงจรในระดับเกต และการเชื่อมต่อระหว่างกันของอุปกรณ์เหล่านั้นหรือไม่ก็อยู่ในรูปของ Netlist ที่สามารถนำไปผลิตในอุปกรณ์อื่นได้
- 4 หลังจากการสังเคราะห์วงจรให้อยู่ในระดับเกต หรือ Netlist แล้วข้อมูลนี้จะถูกใช้สำหรับจำลองการทำงานในเรื่องความถูกต้องของฟังก์ชัน พร้อมกับนำข้อมูลที่เกี่ยวข้องกับเวลาเข้ามาประกอบการพิจารณาด้วย ซึ่งตามปกติแล้วอุปกรณ์ทางอิเล็กทรอนิกส์ทุกชิ้นจะมีเวลาหน่วงของการแพร่กระจาย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

(Propagation delay Time) เสมอ ถึงแม้ว่าจะเป็นเวลาที่น้อยมากในระดับนาโนวินาทีก็ตาม แต่ถ้าภายในวงจรหนึ่งประกอบด้วยเกตของฟังก์ชันต่าง ๆ จำนวน 10,000 เกต ขึ้นไป เวลาดังกล่าวนี้จะสะสมกันมากขึ้น จนอาจทำให้การทำงานของวงจรรวมทั้งหมดผิดพลาดไป หรือไม่ สามารถทำงานในย่านความถี่สัญญาณนาฬิกาที่สูงได้

5. ผลิตเป็นวงจรจริง (Technology and device mapping) โดยนำข้อมูลที่ได้จากการสังเคราะห์มาผลิต ซึ่งอาจจะอยู่ในรูปของแผงวงจรไฟฟ้า ที่ประกอบด้วยอุปกรณ์หลาย ๆ ชิ้นหรืออยู่ในรูปของวงจรรวม ASIC

- ทำการตรวจสอบการทำงานและตัวแปรทางด้านเวลาทั้งหมดเพื่อความต้องการของวงจรเป็นครั้งสุดท้ายก่อนนำไปรวมเข้ากับอุปกรณ์อื่น ๆ ให้เป็นระบบดิจิทัล เนื่องจากในขั้นตอนนี้วงจรที่ออกแบบจะประกอบด้วยจุดต่อทางอินพุตและเอาต์พุต ซึ่งเป็นจุดต่อสำหรับการรับและส่งสัญญาณกับภายนอก

- นำวงจรที่ออกแบบไว้ประกอบเข้ากับอุปกรณ์อื่น ๆ ให้เป็นระบบที่สมบูรณ์แล้วทำการทดสอบการทำงานทั้งระบบร่วมกับอุปกรณ์อื่น ๆ อีกครั้งเพื่อควบคุมคุณภาพของผลิตภัณฑ์ภาษาวีเอชดีแอลเป็นภาษาที่ใช้ในการบรรยายหรืออธิบายรูปแบบการทำงานและความสัมพันธ์ของอุปกรณ์ฮาร์ดแวร์ในลักษณะของข้อความที่เป็นภาษาที่ถูกนำมาใช้ประโยชน์ในการออกแบบอุปกรณ์ฮาร์ดแวร์ต่าง ๆ ทั้งในระดับเกตจนถึงระดับดิจิทัลที่ซับซ้อน

ปัจจุบันเทคโนโลยีในการผลิตอุปกรณ์ฮาร์ดแวร์ที่ใช้กันในอุตสาหกรรมการผลิตอุปกรณ์ชิ้นส่วนทางอิเล็กทรอนิกส์และคอมพิวเตอร์ได้มีการพัฒนาและก้าวล้ำไปอย่างมาก อุปกรณ์ที่ผลิตขึ้นมามีขนาดเล็กแต่มีความซับซ้อน ภายในประกอบด้วยวงจรขนาดเล็กจำนวนมาก ดังนั้นในการออกแบบวงจรรวมที่มีขนาดใหญ่มาก และมีความซับซ้อนเช่นนี้จำเป็นต้องอาศัยวิธีการออกแบบวงจรที่มีประสิทธิภาพและใช้อุปกรณ์หรือเครื่องมือที่ทันสมัย เช่น คอมพิวเตอร์ช่วยในการออกแบบเพื่อให้ได้ผลผลิตที่มีคุณภาพรวมทั้งต้องประหยัดเวลาและค่าใช้จ่ายด้วย

การออกแบบวงจรในอดีตนั้นออกแบบส่วนมากมักจะเริ่มต้นด้วยการออกแบบวงจรในลักษณะแผนภาพวาด การออกแบบในลักษณะนี้เหมาะสำหรับวงจรที่มีความสลับซับซ้อนน้อย ๆ และสามารถใช้เพียงคนเดียวในขั้นตอนการออกแบบ แต่ในปัจจุบันเรากำลังเกี่ยวข้องกับการออกแบบวงจรรวมเฉพาะกิจที่มีปริมาณทรานซิสเตอร์เพิ่มขึ้นเรื่อย ๆ ดังนั้น จึงจำเป็นต้องมีวิธีการหรือหนทางใหม่ เพื่อนำมาใช้ในการจัดการกับการออกแบบวงจรที่มีความสลับซับซ้อน ดังนั้นจึงนำภาษาที่บรรยายฮาร์ดแวร์มาช่วยในการออกแบบและ วีเอชดีแอล ก็เป็นวิธีหนึ่งที่น่าสนใจในการจัดการกับปัญหาในลักษณะนี้เป็นอย่างดี

3.2 FPGA

ในปัจจุบัน FPGA อยู่ 4 ชนิดที่วางขายอยู่ในท้องตลาดได้แก่ Symmetrical Array, Row-Based, Hierarchical PLD และ Sea-of-Gates ซึ่งแต่ละชนิดก็มีลักษณะการเชื่อมต่อภายในและการโปรแกรมที่แตกต่างกันไป นอกจากนี้ในการแบ่งประเภทของ FPGA อาจแบ่งได้ตามเทคโนโลยีที่ใช้ในการโปรแกรม ซึ่งมีอยู่ 2 แบบ คือ การโปรแกรมโดยการทำให้เกิดการเปลี่ยนแปลงทางกายภาพของตัวชิพ และการโปรแกรมโดยการใช้หน่วยความจำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การโปรแกรมโดยทำให้เกิดการเปลี่ยนแปลงทางกายภาพ

- Fuse เป็นวิธีการโปรแกรมที่สามารถทำได้เพียงครั้งเดียว ซึ่งหลังจากที่โปรแกรมแล้วจุดเชื่อมต่อจะขาดจากกัน

- Anti Fuse เป็นวิธีการโปรแกรมที่คล้ายกับแบบFuse แต่ว่างกันที่หลังจากการทำการโปรแกรมแล้ว จุดเชื่อมต่อจะเชื่อมถึงกัน

การโปรแกรมโดยใช้หน่วยความจำ

- EEPROM Based FPGA

FPGA ที่ใช้การโปรแกรมแบบนี้มักเรียกว่า CPLD ซึ่งเทคโนโลยีที่ใช้จะเหมือนกับ EEPROM ทำให้มีความจุของเกตต่ำ โดยทั่วไปจะน้อยกว่า 20,000 เกต แต่ข้อดีของ EEPROM Based FPGA คือ สามารถเก็บข้อมูลที่โปรแกรมลงไปได้โดยไม่จำเป็นต้องมีไฟเลี้ยงและในการโปรแกรมจะใช้ทรานซิสเตอร์ 1 ตัวต่อ 1 บิต ซึ่งการโปรแกรมสามารถทำได้ประมาณ 10,000 ครั้ง

- SRAM Based FPGA

FPGA แบบนี้จะใช้เทคโนโลยีในการโปรแกรมเหมือนกับ SRAM (Static Ram) ทำให้สามารถโปรแกรมซ้ำได้โดยไม่จำกัดจำนวนครั้งนอกจากนี้ยังมีความจุของเกตในระดับปานกลางถึงสูงมาก (ประมาณ 10,000-1,000,000 เกต) ซึ่งข้อดีของ SRAM Based FPGA คือใช้เวลาในการโปรแกรมน้อย (ระดับ nsec) การโปรแกรมทำได้ง่ายเทียบได้กับการเขียนSRAM ทั่วไปและเหมาะสำหรับการออกแบบวงจรที่มีความสลับซับซ้อนส่วนข้อเสียคือไม่สามารถเก็บโปรแกรมในสถานะที่ไม่มีไฟเลี้ยงได้ดังนั้น FPGA ชนิดนี้จึงมักใช้ควบคู่กับ ROW เพื่อเก็บโปรแกรมและทำการโหลดโปรแกรมลงในตัวชิปในขณะที่เริ่มต้นใช้งาน

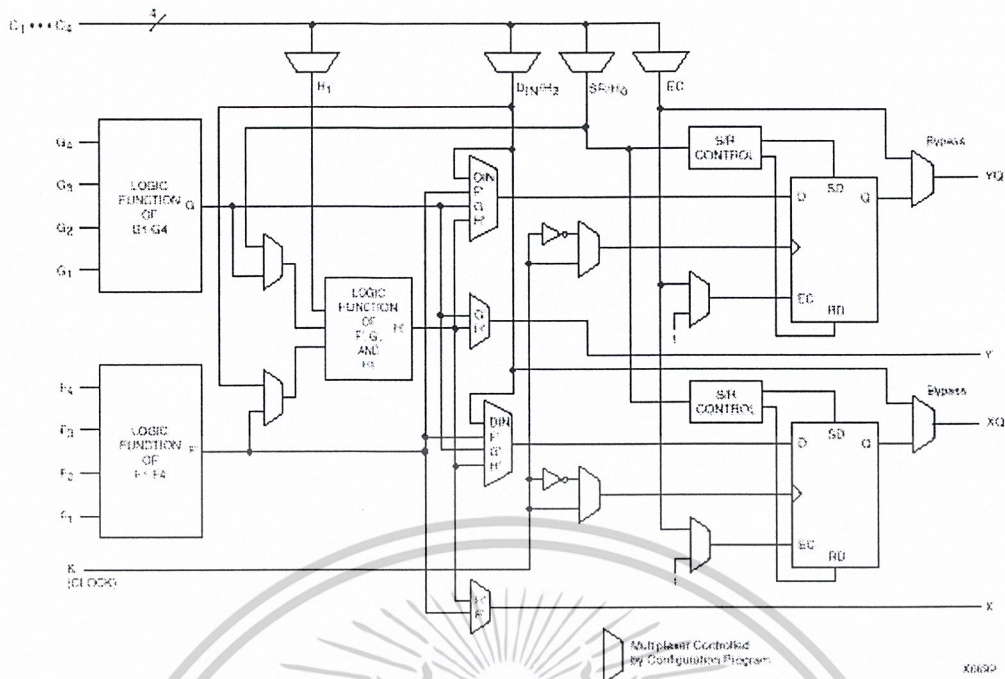
3.2.1 สถาปัตยกรรมภายในของ FPGA

สถาปัตยกรรมภายในของ Xilinx FPGA จะมีลักษณะเป็นตารางของลอจิกบล็อก (Logic Block) และล้อมรอบไปด้วยบล็อกการเชื่อมต่อของไอโอ (I/O Interface Block) การเชื่อมต่อระหว่างซีแอลบี (CLB : Configuration Logic Block) และไอโอบี (IOB : Input Output Block) ทำได้โดยผ่านช่องว่างที่พาดผ่านระหว่างแถว (Row) และคอลัมน์ (Column) หน้าทีของซีแอลบีและไอโอบีแต่ละตัว การเชื่อมต่อภายใน (Interconnection) จะถูกกำหนดไว้ในโปรแกรมคอนฟิกูเรชัน (Configuration program) โดยแสดงรายละเอียดของทั้ง 3 ส่วนประกอบใหญ่ ๆ ได้ดังนี้

- CLB (Configuration Logic Block)

ภายใน FPGA จะเป็นเมทริกซ์ของซีแอลบีซึ่งซีแอลบีแต่ละตัวจะประกอบด้วยหน่วยของคอมบิเนชันลอจิกที่สามารถโปรแกรมได้ (Programmable Combination logic) และส่วนของรีจิสเตอร์เก็บข้อมูล (Storage register) ส่วนของวงจรคอมบิเนชันลอจิกสามารถใช้สร้างวงจรทางด้านฟังก์ชัน บูลีนของอินพุต ส่วนรีจิสเตอร์รับค่าจากส่วนคอมบิเนชันหรือโดยตรงจากเอาต์พุตของซีแอลบี สามารถขับวงจรคอมบิเนชันลอจิกโดยตรงผ่านเส้นทางเดินย้อนกลับ (Feedback path)

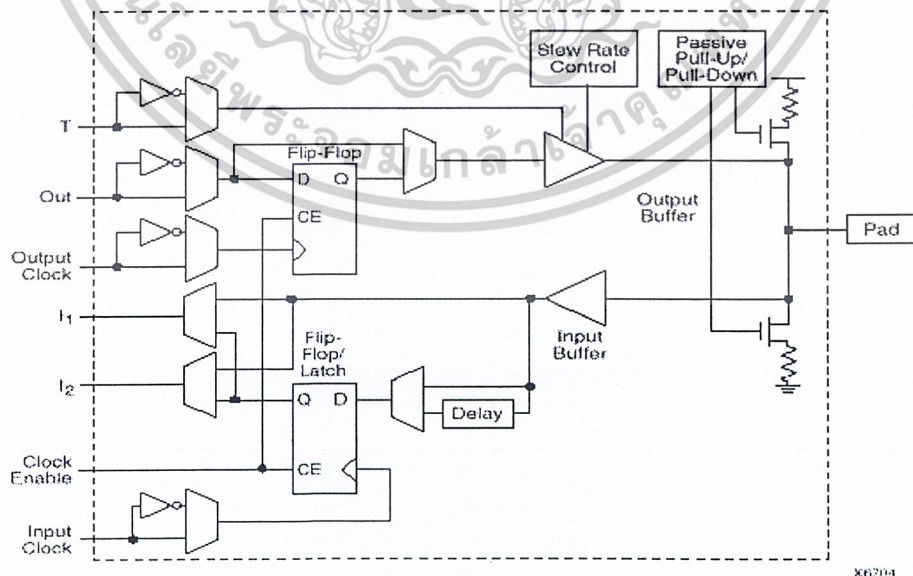
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.19 แสดงวงจรภายในของซีแอลบีของ FPGA ตระกูล XC4000

- IOB (Input Output Block)

เป็นส่วนติดต่อกับวงจรภายนอกของ FPGA สร้างมาจากส่วนของอุปกรณ์อินพุต/เอาต์พุตที่สามารถโปรแกรมได้ (Programmable Input/Output device) แต่ละตัวสามารถโปรแกรมได้อย่างอิสระโดยจะให้เป็นอินพุต/เอาต์พุตแบบ 3 สถานะ หรือโอโอแบบสองทิศทางก็ได้ โดยอินพุตสามารถโปรแกรมให้รู้จักทั้งระดับสัญญาณทีทีแอล และซีมอสเทรคโวลของไอโอบีแต่ละตัวมีฟลิปฟล็อปสามารถใช้เป็นบัฟเฟอร์สำหรับอินพุตและเอาต์พุต



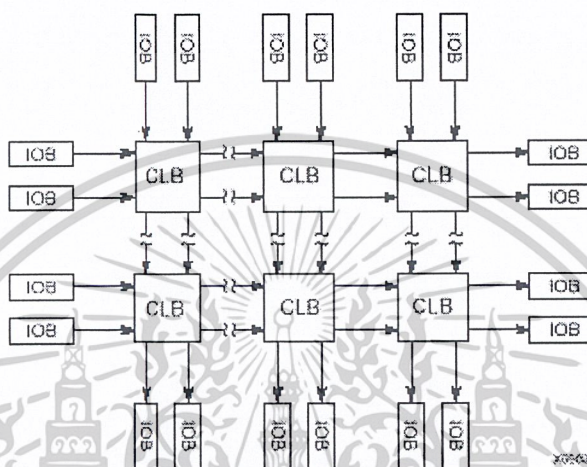
รูปที่ 3.20 แสดงวงจรภายในของไอโอบีของ FPGA ตระกูล XC4000

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- Interconnection

ความยืดหยุ่นของการใช้ FPGA มาทำเป็นอุปกรณ์ขึ้นอยู่กับโปรแกรมทรัพยากรต่าง ๆ ที่อยู่ในเข้าด้วยกัน การที่จะควบคุมการเชื่อมต่อระหว่างจุดสองจุดภายในชิพจะประกอบไปด้วยเน็ตเวิร์ก 2 ทิศทาง คือทางแถวและคอลัมน์ ซึ่งวางอยู่ระหว่าง

CLB Programmable switch จะทำการเชื่อมต่ออินพุตและเอาต์พุตของไอโอบีและซีแอลบีที่จุดต่อร่วมระหว่างแถวกับคอลัมน์และสามารถสลับสัญญาณจากเส้นทางไปยังส่วนต่าง ๆ ได้



รูปที่ 3.21 แสดง Interconnection ระหว่างไอโอบีกับซีแอลบีของ FPGA ตระกูล XC4000

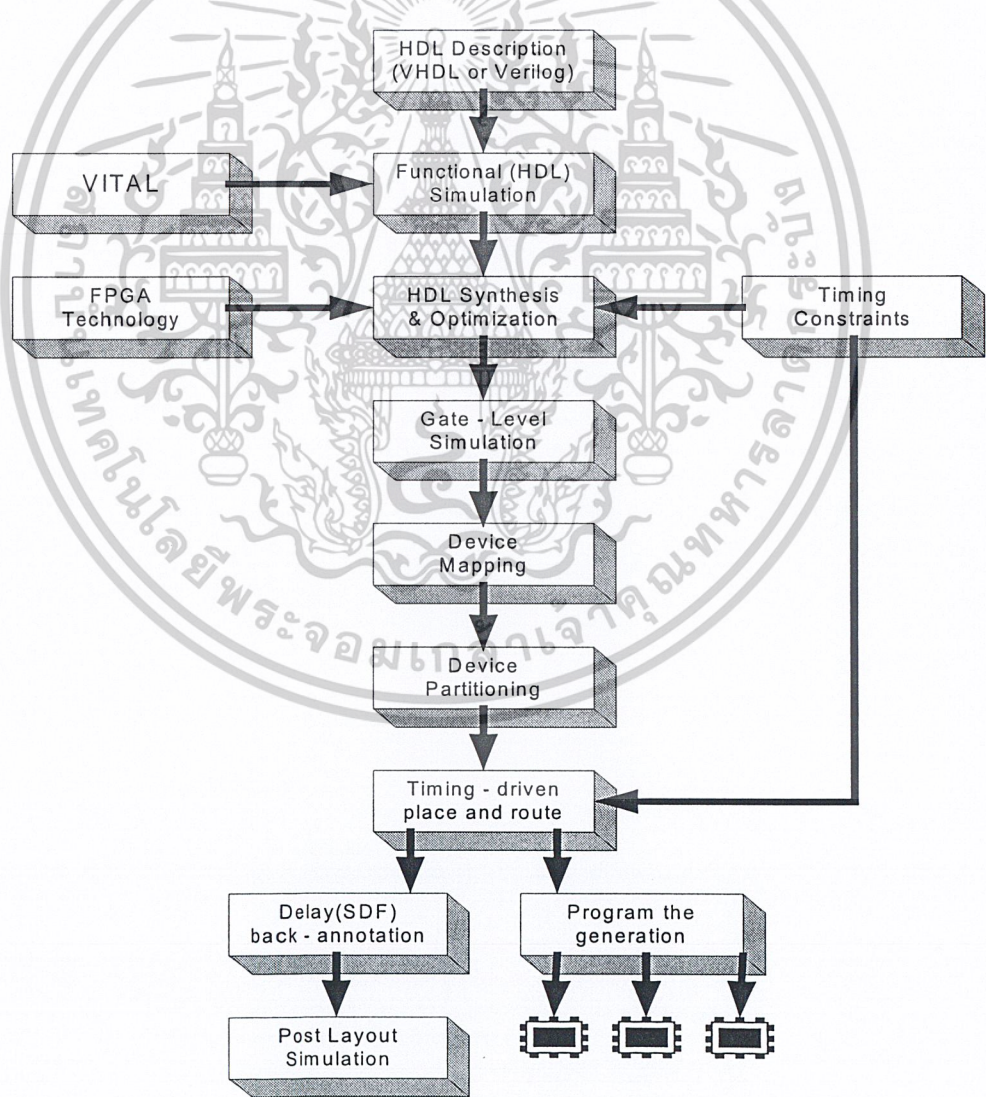
3.2.2 ปัจจัยที่ทำให้การออกแบบ FPGA ทำได้ง่ายและสะดวกรวดเร็ว

- ผู้ออกแบบไม่จำเป็นต้องทราบถึงโครงสร้างภายในของตัวชิพเพียงแต่มีความรู้เกี่ยวกับขั้นตอนการออกแบบลอจิกก็เพียงพอแล้ว ต่างกับการใช้ไมโคร PROCESS เซอร์ซึ่งจำเป็นต้องศึกษาโครงสร้างภายในรวมถึงภาษา Assembly ของไมโคร โปรเซสเซอร์ตัวนั้นด้วย
- มีการออกแบบโดยใช้ภาษาในการอธิบายการทำงานของวงจรหรือ HDL (Hardware Description Language) เป็นเครื่องมือในการออกแบบ ซึ่งเป็นวิธีการที่มีความยืดหยุ่นสูง ทำให้รวดเร็วและไม่จำเป็นต้องทราบถึงลักษณะของวงจรที่ต้องการว่าจะเชื่อมต่อกันอย่างไร เพียงแต่กำหนดลักษณะการทำงานให้มันจากนั้นตัวซอฟต์แวร์จะทำการ Synthesis and Optimize ให้ทั้งหมด นอกจากนี้ภาษาที่ใช้ยังเป็นมาตรฐานเดียวกันสามารถใช้ได้กับชิพทุกตัวและทุกบริษัท
- การโปรแกรมสามารถทำได้เองและใช้เวลาไม่นาน เพียงแค่ส่งข้อมูลผ่านสายดาวน์โหลดทางพอร์ตของคอมพิวเตอร์ก็สามารถโปรแกรมตัวชิพขณะที่อยู่ในระบบได้ โดยไม่จำเป็นต้องถอดมาโปรแกรมข้างนอก และที่สำคัญสามารถโปรแกรมได้หลายครั้ง จึงทำให้ง่ายในการแก้ไขและพัฒนาโดยไม่ต้องเสียค่าใช้จ่ายเพิ่มแต่อย่างใด

3.2.3 การออกแบบโดยใช้ภาษาอธิบายพฤติกรรมของฮาร์ดแวร์

ในการออกแบบวงจรดิจิทัลนั้นสามารถทำได้โดยการวาดวงจร (Schematic) หรือใช้ภาษาอธิบายพฤติกรรม (Hardware Description Language) ของฮาร์ดแวร์ จากที่ได้กล่าวไปแล้วในบทที่ 1 ในกรณีของการออกแบบวงจรด้วย ASIC ชนิด Full Custom ผู้ออกแบบจะต้องเขียนวงจรด้วย (Simulate) ซึ่งหากผลออกมาเป็นที่พอใจก็จะต้อง Layout เป็นชั้นสาร และในการออกแบบ ASIC ชนิดนี้ผู้ออกแบบจำเป็นต้องทราบถึงเทคโนโลยีที่ใช้ในการสร้างด้วย หลังจากได้ Layout ที่สมบูรณ์แล้วจึงจะส่งไปเข้ากระบวนการสร้างไอซีหรือ Fabrication เพื่อสร้างเป็นชิปไอซีออกมา

สำหรับตัวอุปกรณ์ FPGA นั้นก็มีโครงสร้างพื้นฐาน เทคโนโลยีที่ใช้สร้าง ตลอดจนเทคนิควิธีการโปรแกรมที่ต่างกันไปสำหรับผู้ผลิตแต่ละราย นอกจากนั้นอุปกรณ์ FPGA ของแต่ละผู้ผลิตก็มีโครงสร้างและความสามารถที่ต่างกันไปบางส่วน ในการใช้งานนั้นอุปกรณ์ FPGA สามารถนำไปประยุกต์ใช้งานได้ เช่น การประมวลผลสัญญาณเชิงเลข (Digital Signal Processing;DSP) การออกแบบไมโครคอนโทรลเลอร์ เป็นต้น โดยมีขั้นตอนในการออกแบบ ดังแสดงในรูปที่ 3.22



รูปที่ 3.22 แสดงขั้นตอนการออกแบบโดยใช้อุปกรณ์ FPGA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แต่ในการออกแบบวงจรด้วย FPGA โดยการใช้ Schematic หรือใช้ภาษาอธิบายการทำงานของวงจรจะทำให้สะดวกกว่า เนื่องจากวิธีนี้ผู้ออกแบบไม่จำเป็นต้องคำนึงถึงเทคโนโลยีที่จะใช้สร้างไอซี และที่สำคัญการออกแบบโดยวิธีนี้สามารถแก้ไขโมเดล (Model) หรือเปลี่ยนแปลง เทคโนโลยีได้สะดวกกว่า เพราะไม่ต้องวาดวงจรใหม่ นั่นคือการออกแบบโดยใช้ภาษาอธิบายฮาร์ดแวร์ จะทำให้โมเดลที่ได้ไม่ขึ้นกับเทคโนโลยีสำหรับภาษาที่ใช้สำหรับพฤติกรรมของฮาร์ดแวร์ที่ใช้กันก็มี วีเอชดีแอล VHDL และ Verilog เป็นต้น ส่วนรายละเอียดของขั้นตอนในการออกแบบสามารถอธิบายได้ดังนี้

การสังเคราะห์วงจร (Logic Synthesis)

ในขั้นตอนนี้จะใช้ซอฟต์แวร์ในการสังเคราะห์วงจร (Synthesis Tools) ทำการสังเคราะห์พฤติกรรมของวงจรที่ได้จากการออกแบบด้วย Schematic หรือ วีเอชดีแอล ซึ่งต้องทำการตรวจสอบว่าซอฟต์แวร์นั้นสนับสนุนเทคโนโลยี FPGA (FPGA Library) ที่ต้องการหรือไม่ ตัวอย่างเช่น FPGA ของบริษัท XILINX และบริษัท ALTERA จะมีซอฟต์แวร์หลายตัวที่สามารถใช้ได้ เช่น MAX Plus II ในขั้นตอนนี้ซอฟต์แวร์สังเคราะห์วงจรจะทำการแปลงโค้ด วีเอชดีแอล และทำการ Optimize เพื่อให้ได้วงจรตามเทคโนโลยีที่เลือกใช้ ในการสังเคราะห์วงจรในระดับเกต (Gate Level) จะไม่เหมาะสมกับโครงสร้างที่มีอยู่ในอุปกรณ์ FPGA ดังนั้นในการ Optimize ซอฟต์แวร์สังเคราะห์วงจร จะต้องทำการ Optimize ให้ได้เป็นวงจรที่ประกอบด้วยกลุ่มของลอจิกที่เหมาะสมกับอุปกรณ์ FPGA นั้น ๆ จึงทำให้ผลที่ได้มีประสิทธิภาพและในขั้นตอนการสังเคราะห์วงจรนี้ ผู้ออกแบบสามารถกำหนดข้อบังคับสำหรับโมเดลแต่ละตัวได้ เช่น ข้อบังคับในเรื่องเวลา (Timing Constraints) หรือข้อบังคับในเรื่องของพื้นที่ (Area) หรือกำหนดชนิดและตำแหน่งของ I/O ซึ่งข้อบังคับเหล่านี้จะถูกนำไปใช้ในขั้นตอน Optimize เพื่อให้วงจรที่ได้เป็นไปตามที่กำหนด ส่วนสำคัญในการ Optimize คือการเทียบ (Mapping) โมเดลให้เข้ากับเทคโนโลยีที่ใช้เพื่อให้ได้วงจรที่เหมาะสมกับโครงสร้างและสถาปัตยกรรมภายในอุปกรณ์ FPGA เมื่อทำการสังเคราะห์วงจรเสร็จแล้ว ซอฟต์แวร์การสังเคราะห์วงจรจะมีการรายงานผลว่าโมเดลที่ออกแบบไปนั้นเป็นอย่างไร เช่นมีค่าความหน่วง (Delay) เท่าใด ใช้ทรัพยากรต่าง ๆ ใน FPGA อะไรบ้าง เมื่อมาถึงขั้นตอนนี้ผู้ออกแบบก็จะทราบว่าโมเดลเป็นไปตามข้อบังคับหรือไม่ ถ้าไม่ก็สังเคราะห์ใหม่จนกว่าจะเป็นไปตามที่กำหนด

การแบ่งวงจร (Partitioning)

ขั้นตอนนี้เป็นการแบ่งวงจรที่ได้จากการสังเคราะห์ เป็นส่วนย่อย ๆ สำหรับลงใน CLB, IOBs หรือองค์ประกอบอื่น ๆ ภายในอุปกรณ์ FPGA สำหรับเกณฑ์ที่ใช้ในการแบ่งคือให้แต่ละส่วนที่จะแยกออกจากกันมีจำนวนสัญญาณที่เชื่อมต่อระหว่างกันน้อยที่สุดเท่าที่จะทำได้ เพื่อลดความหนาแน่นในขั้นตอนการเชื่อมต่อสัญญาณ (routing) ในขั้นตอนนี้จะใช้ซอฟต์แวร์ทำ โดยซอฟต์แวร์จะเทียบส่วนประกอบของวงจรเช่น เกต (gate), ฟลิป-ฟล็อป (Flip-Flop) ลงในทรัพยากรต่าง ๆ ที่มีอยู่ในอุปกรณ์ FPGA

หลังจากทำขั้นตอนนี้เสร็จแล้วผู้ออกแบบสามารถที่จะทราบว่าวงจรใช้จำนวนทรัพยากรภายในอุปกรณ์ FPGA ไปเท่าไร ส่วนข้อมูลทางเวลานั้นผู้ออกแบบจะทราบเฉพาะความหน่วงภายในแต่ละส่วนเท่านั้น หรือที่เรียกว่าความหน่วงลอจิก (logic delay) ส่วนซอฟต์แวร์จะรวมเอาซอฟต์แวร์ย่อยอื่น ๆ อีก เพื่อให้การทำ PPR (Partitioning Placement & Routing) เป็นไปอย่างต่อเนื่อง

การวางอุปกรณ์ (Placement)

ขั้นตอนนี้เป็นทางเลือกที่ตั้งของแต่ละส่วนของวงจรที่ผ่านการแบ่งวงจร (Partitioning) มาแล้วว่าควรอยู่ ณ ตำแหน่งไหนในอุปกรณ์ FPGA เพื่อให้ได้ผลลัพธ์ที่ดีที่สุด เช่นวงจรส่วนไหนควรอยู่ใกล้กัน เพื่อจะได้ค้นหาเส้นทางได้ (route) ง่ายหรือช่วยลดความหน่วงจะเห็นได้ว่าตำแหน่งภายในอุปกรณ์FPGAนั้นมีความสำคัญเพราะถ้าจัดวางวงจรลงในตำแหน่งที่ไม่เหมาะสมแล้วจะทำให้ความหน่วงเพิ่มขึ้นหรือ Router ทำการค้นหาเส้นทางสัญญาณได้ไม่หมด

การวางอุปกรณ์ที่ดีควรวางส่วนต่าง ๆ ให้อยู่ใกล้กันโดยเฉพาะส่วนที่มีการเชื่อมต่อสัญญาณด้วยกันนอกจากนั้นการกำหนดตำแหน่งขา I/O (I/O pin) ตามตำแหน่ง I/O ของ FPGA บนแผ่น PCB ก็จะมีผลโดยตรงเลยคือซอฟต์แวร์จะวาง I/O ลงในตำแหน่งที่ผู้ออกแบบกำหนดซึ่งบางครั้งตำแหน่งที่กำหนดไปไม่เหมาะสม ดังนั้นการกำหนดขา I/O ควรกำหนดตำแหน่งให้เหมาะสมหรือไม่ก็ให้ซอฟต์แวร์จัดการเอง

การเชื่อมต่อสัญญาณ (Routing)

ในขั้นตอนนี้เป็น การเชื่อมต่อสัญญาณระหว่างองค์ประกอบต่าง ๆ ภายในอุปกรณ์ FPGA ขั้นตอนนี้จะทำต่อเนื่องจากการวางอุปกรณ์ในกรณีที่ทำการวางอุปกรณ์ไว้ไม่ดีซอฟต์แวร์ก็จะทำการเชื่อมต่อสัญญาณได้ไม่หมด(เนื่องจากจำนวนทรัพยากรสำหรับเชื่อมต่อสัญญาณนั้นมีอยู่จำกัด)หรือเกิดความหน่วงเกินค่าที่กำหนดในข้อบังคับ

ผู้ออกแบบสามารถทำขั้นตอนนี้ได้โดยใช้ซอฟต์แวร์หรือผู้ออกแบบจะทำการเชื่อมต่อสัญญาณด้วยตนเองก็ได้แต่ทางที่ดีควรใช้ซอฟต์แวร์ทำดีกว่านอกจากนั้นการกำหนดข้อบังคับทางเวลาจะช่วยให้ผลที่ได้จากการเชื่อมต่อสัญญาณดีขึ้นได้

ความหน่วงด้านเวลา (Delay)

ในการทำ FPGA นั้นความหน่วงที่เกิดขึ้นเป็นความหน่วงที่เกิดจากการวางตำแหน่ง (layout) ของอุปกรณ์ซึ่งผู้ออกแบบไม่สามารถเข้าไปแก้ไขได้แต่สามารถทำให้มีความหน่วงน้อยที่สุดได้สำหรับความหน่วงที่เกิดขึ้นนั้นแยกได้เป็นสองประเภท คือ

- ความหน่วงลอจิก (Logic delay) เป็นความหน่วงภายในองค์ประกอบของอุปกรณ์ FPGA เอง
- ความหน่วงที่เกิดจากการเชื่อมต่อสัญญาณ (Routing delay) เป็นความหน่วงที่เกิดจากการเชื่อมต่อสัญญาณระหว่างองค์ประกอบภายในอุปกรณ์ FPGA

โดยปกติแล้วค่าความหน่วงลอจิกไม่ควรเกิน 50% ของค่าความหน่วงที่ยอมรับได้เพราะความหน่วงที่เกิดจากการเชื่อมต่อสัญญาณมักจะมีค่ามากกว่าค่าความหน่วงลอจิกดังนั้นในการวางอุปกรณ์และเชื่อมต่อสัญญาณ ผู้ออกแบบควรกำหนดข้อบังคับทางเวลาเพื่อให้ซอฟต์แวร์ได้ทำงานอย่างมีประสิทธิภาพเพิ่มขึ้น และเพื่อให้ได้ผลลัพธ์ที่ดีขึ้น

ค่าความหน่วงที่ได้หลังจากการวางอุปกรณ์ และเชื่อมต่อสัญญาณแล้วจะมีค่าความหน่วงที่ค่อนข้างแน่นอน ซึ่งผู้ออกแบบสามารถทราบได้ว่าโมเดลที่ออกแบบนั้นเป็นไปตามข้อกำหนดหรือไม่

การจำลองการทำงานของวงจร (Simulation)

ในขั้นตอนนี้เป็นขั้นตอนที่สำคัญอีกขั้นตอนหนึ่งเพราะเป็นขั้นตอนที่ผู้ออกแบบตรวจสอบฟังก์ชันการทำงานของโมเดลว่าถูกต้องหรือไม่ มีข้อผิดพลาดตรงไหนเพื่อจะได้ทำการแก้ไขให้ถูกต้องเอกสารนี้เป็นเอกสารที่ส่งมอบไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในขั้นตอนนี้จะมีซอฟต์แวร์ที่ใช้สำหรับทำการจำลองการทำงานของวงจรที่ใช้อยู่ เช่น Model Sim ของบริษัท Model Technology หรือ Max Plus II ของบริษัท Altera ในการจำลองการทำงานของวงจรควรทำทุกครั้งหลังจากที่มีการทำแต่ละขั้นตอนหลักเสร็จแล้ว เพื่อจะได้ทราบว่าข้อผิดพลาดของโมเดลเกิดขึ้นตอนไหน จะได้แก้ไขข้อผิดพลาดตรงขั้นตอนนี้ ๆ ได้เลย ไม่ต้องมาคอยตรวจหาขั้นตอนที่ทำให้เกิดข้อผิดพลาด นั่นคือการทำการจำลองการทำงานของวงจร ต้องทำทั้งหลังการเขียนโค้ด, การสังเคราะห์วงจร และการทำ PPR การจำลองการทำงานของวงจรหลังจากที่เขียนโค้ดเสร็จแล้วนั้น ผู้ออกแบบสามารถทราบได้แค่โมเดลทำงานถูกต้องหรือไม่เท่านั้น (functional test) ยังไม่สามารถตรวจสอบการทำงานในเชิงเวลาได้ถูกต้อง ในการจำลองการทำงานของวงจรหลังจากที่สังเคราะห์เป็นวงจรแล้ว เพื่อตรวจสอบว่าฟังก์ชันการทำงานยังคงถูกต้องหรือไม่ และค่าความหน่วงที่เกิดขึ้นเป็นไปตามข้อบังคับหรือไม่ มีข้อผิดพลาดเกิดขึ้นหรือไม่ถ้ามีจะแก้ไขให้ถูกต้อง

ในการจำลองการทำงานของวงจรหลังจากที่ทำการวางอุปกรณ์การเชื่อมต่อสัญญาณ (Post layout simulation) แล้วก็มีความสำคัญเช่นกันเพราะผลที่ได้จากการจำลองการทำงานของวงจรในตอนนี้จะเป็นผลลัพธ์ของโทมเซลล์เลย ซึ่งผู้ออกแบบนอกจากจะตรวจสอบฟังก์ชันการทำงานแล้วยังต้องตรวจสอบคุณสมบัติอื่น ๆ เช่น ความหน่วงที่ได้จากการทำ PPR ในรูปแบบค่าความหน่วงมาตรฐาน (Standard Delay Format ; SDF) ว่าตรงตามที่กำหนดหรือไม่ หรือตรวจสอบว่าวงจรรวมสามารถใช้งานที่ความถี่สูงสุดเท่าไรนั่นเอง ในการจำลองการทำงานของ วงจรควรใช้ซอฟต์แวร์ตัวเดียวกันตลอดเพื่อจะได้เปรียบเทียบผลที่ได้จากขั้นตอนต่าง ๆ

การโปรแกรมอุปกรณ์ FPGA (Configuration)

หลังจากที่โมเดลผ่านขั้นตอนต่าง ๆ จนกระทั่งผ่านการทำ PPR (Partitioning) Placement & Routing) แล้วนั้น ถึงตอนนี้ก็สามารถที่จะดาวน์โหลด (download) ลงในอุปกรณ์ FPGA ได้แล้ว ในการดาวน์โหลดนี้ก่อนอื่นต้องแปลงแบบวงจรรวมที่ได้เป็นข้อมูลวงจร (configuration data) ซึ่งอยู่ในรูปของบิตสตรีม (bit stream) ก่อนแล้วจึงดาวน์โหลดลงไปเพื่อให้อุปกรณ์ FPGA มีฟังก์ชันการทำงานตามโมเดลที่ผู้ออกแบบต้องการ ซึ่งในขั้นตอนนี้จะใช้วิธีที่แตกต่างกันออกไปสำหรับอุปกรณ์ FPGA ของแต่ละบริษัทผู้ผลิตคือ ในกรณีที่ใช้อุปกรณ์ FPGA ชนิดที่ต้องโปรแกรมโดยวิธี SRAM นั้น ในการใช้งานผู้ออกแบบจะต้องเก็บข้อมูลวงจรไว้ในหน่วยความจำประเภท EPROM หรือ PROM ด้วยเพื่อจะใช้งานสะดวกขึ้นคือในการใช้งานโมเดลครั้งต่อไปไม่ต้องดาวน์โหลดข้อมูลวงจรจากเครื่องคอมพิวเตอร์อีก เพราะมีข้อมูลวงจรเก็บอยู่ในหน่วยความจำอยู่แล้ว แต่กรณีที่ใช้อุปกรณ์ FPGA เป็นชนิดที่โปรแกรมโดยใช้วิธี EPROM หรือ Anti fuse ก็ไม่จำเป็นต้องมีหน่วยความจำสำหรับเก็บข้อมูลวงจร เพราะว่าอุปกรณ์ FPGA ชนิดนี้เมื่อดาวน์โหลดข้อมูลวงจรลงไป ข้อมูลที่มีดาวน์โหลดลงไปก็ยังคงอยู่ในอุปกรณ์ FPGA และครั้งต่อไปก็ใช้งานโมเดลที่ออกแบบไว้ได้เลย

3.3 เครื่องมือสำหรับการออกแบบ FPGA

จะเห็นได้ว่าการออกแบบเพื่อทำ FPGA นั้นทำได้สะดวกกว่า AISC มากเพราะใช้เวลาน้อยกว่ามากด้วย ส่วนสำคัญที่ใช้ในการทำ FPGA คือ ซอฟต์แวร์ที่ใช้ตั้งแต่เขียนโค้ดอธิบาย ฮาร์ดแวร์จนกระทั่งเอกสารนี้เป็นเอกสารที่ส่งมอบไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ความโหลดลงในอุปกรณ์ FPGA ซึ่งซอฟต์แวร์ที่ใช้ต้องเป็น ซอฟต์แวร์ที่ทำงานต่อเนื่องกันได้ สำหรับซอฟต์แวร์ที่ใช้ทำการจำลองการทำงานของวงจรนั้น ต้องสามารถใช้งานต่อเนื่องกับซอฟต์แวร์ที่ใช้ทั้งระบบ เพราะโมเดลที่ได้จากการทำขั้นตอนต่าง ๆ (ด้วยซอฟต์แวร์ต่าง ๆ) ต้องเอามาจำลองการทำงานได้ และในการจำลองการทำงานของวงจรควรใช้ซอฟต์แวร์ตัวเดียวกันตลอดทั้งระบบ เพื่อจะได้เปรียบเทียบผลได้ง่าย ในอดีตซอฟต์แวร์ส่วนใหญ่จะใช้งานอยู่บนคอมพิวเตอร์สมรรถนะสูงอย่างเวิร์กสเตชัน (Workstation) ในปัจจุบันมีการพัฒนาซอฟต์แวร์ที่ใช้บนพีซี (PC) มากขึ้นซึ่งสามารถลดค่าใช้จ่ายในด้านอุปกรณ์คอมพิวเตอร์

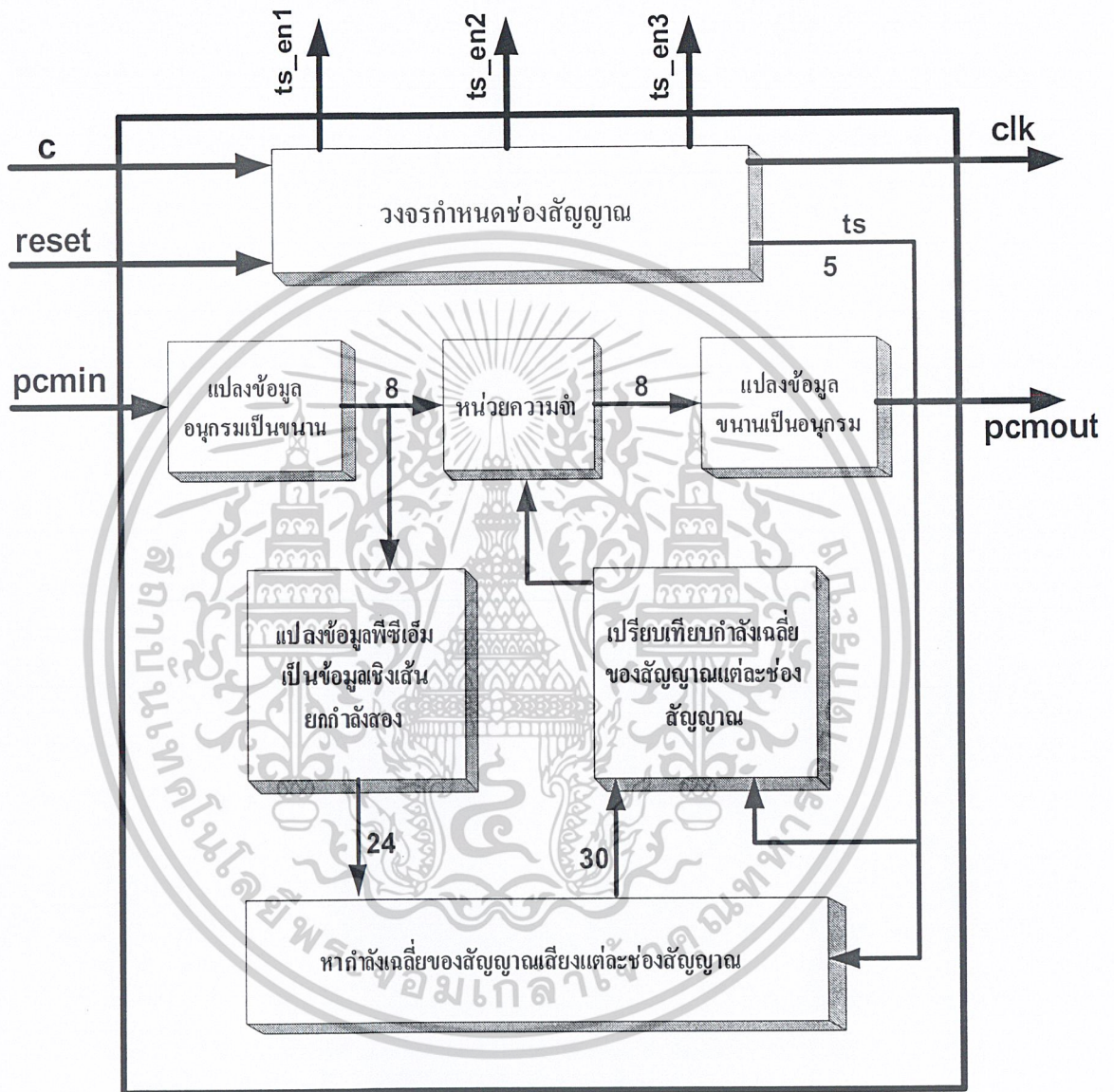


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

ขั้นตอนการออกแบบและหลักการสร้างชิปการประชุมทางโทรศัพท์

ในการออกแบบจะแบ่งการทำงานออกเป็น 7 โมดูลซึ่งได้แสดงไว้ดังรูปที่ 4.1



รูปที่ 4.1 บล็อกไดอะแกรมภายในวงจรชิปการประชุมทางโทรศัพท์

อธิบายหน้าที่การทำงานของส่วนขาสัญญาณอินพุตและเอาพุตของชิปการประชุมทางโทรศัพท์

1. ขา C รับสัญญาณนาฬิกาที่ความถี่ 4.096 MHz จากภายนอกเพื่อใช้เป็นฐานเวลาของสัญญาณนาฬิกาของระบบ
2. ขา Clk ให้สัญญาณนาฬิกาที่ความถี่ 2.048 MHz ใช้เป็นฐานเวลาในการรับ - ส่งข้อมูลพีซีเอ็ม
3. ขา $Reset$ ใช้สำหรับการเริ่มการทำงานของชิป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4. ขา p_{cm}in ใช้เป็นขารับข้อมูลพีซีเอ็มแบบอนุกรมที่ช่องสัญญาณด้านรับ
5. ขา p_{cm}out ใช้เป็นขาส่งข้อมูลพีซีเอ็มแบบอนุกรมที่ช่องสัญญาณด้านส่ง
6. ขา ts_{en}1 เป็นขาสัญญาณที่บอกให้ชิป CODEC ส่งข้อมูลพีซีเอ็มของผู้ร่วมประชุมคนที่1 มาที่ขาสัญญาณ p_{cm}in และให้ชิป CODEC รับข้อมูลพีซีเอ็มจากขาสัญญาณ p_{cm}out ในช่องสัญญาณที่ 2
7. ขา ts_{en}2 เป็นขาสัญญาณที่บอกให้ชิป CODEC ส่งข้อมูลพีซีเอ็มของผู้ร่วมประชุมคนที่2 มาที่ขาสัญญาณ p_{cm}in และให้ชิป CODEC รับข้อมูลพีซีเอ็มจากขาสัญญาณ p_{cm}out ในช่องสัญญาณที่ 4
8. ขา ts_{en}3 เป็นขาสัญญาณที่บอกให้ชิป CODEC ส่งข้อมูลพีซีเอ็มของผู้ร่วมประชุมคนที่3 มาที่ขาสัญญาณ p_{cm}in และให้ชิป CODEC รับข้อมูลพีซีเอ็มจากขาสัญญาณ p_{cm}out ในช่องสัญญาณที่ 6

4.1 หลักการทำงานของชิป

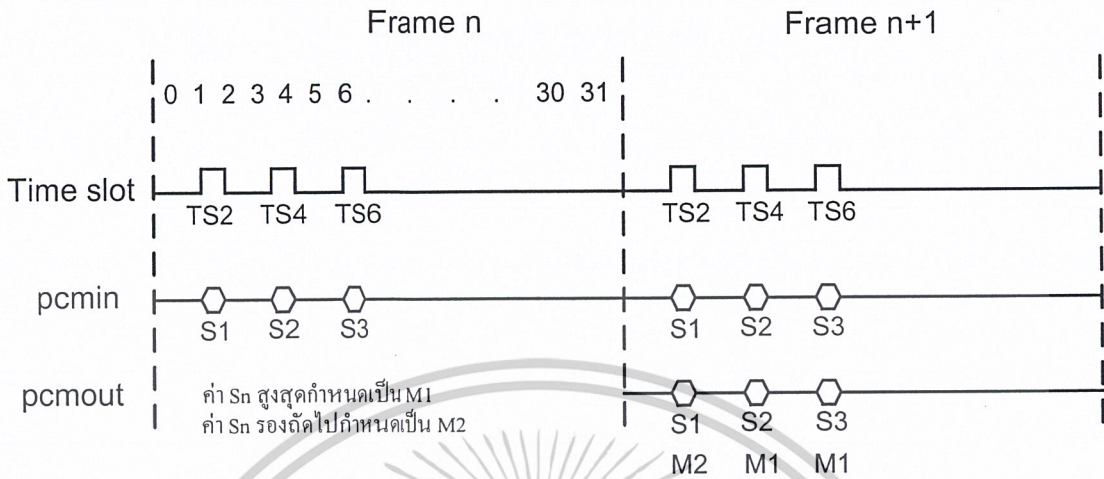
เริ่มต้นด้วยโมดูลการแปลงข้อมูลพีซีเอ็มแบบอนุกรมเป็นแบบขนาน โมดูลนี้ จะทำการแปลงเป็นข้อมูลพีซีเอ็มแบบอนุกรมที่มีอัตราเร็ว 2.048 Mbit/sec ให้เป็นข้อมูลแบบขนานขนาด 8 บิต ข้อมูล 8 บิต ซึ่งเป็นสัญญาณพีซีเอ็มแบบไม่เชิงเส้นจะถูกแปลงเป็นข้อมูลเชิงเส้นขนาด 12 บิต เนื่องจากข้อมูลพีซีเอ็มขนาด 8 บิต มีค่ารหัสอยู่ 2^8 ซึ่งเท่ากับ 256 ระดับ และเมื่อคิดเฉพาะขนาดของแอมพลิจูด ไม่คิดเครื่องหมายจะทำให้ค่ารหัสมีเหลือ 128 ระดับ (ค่าทางด้านบวกและลบสมมาตรกัน) เมื่อแปลงเป็นเลขเชิงเส้นจะได้ค่าอยู่ระหว่าง 1 – 4032 ในทางปฏิบัติจะแสดงอยู่ในรูปเลขฐานสองขนาด 12 บิต

เมื่อได้ข้อมูลเชิงเส้นขนาด 12 บิต นำข้อมูลเชิงเส้นที่ได้มาคำนวณหาค่าดังเฉลี่ยของสัญญาณเสียง เนื่องจากความถี่ระหว่าง 300 Hz – 3.4 kHz หรือคาบเวลาของสัญญาณเสียงมนุษย์อยู่ในช่วงระหว่าง 0.294 – 3.333 msec ดังนั้นการคำนวณหาค่าดังเฉลี่ยของสัญญาณเสียงจึงเลือกใช้ช่วงเวลา 8 msec เป็นช่วงเวลาในการอินทิเกรตสัญญาณเสียงเพราะจะครอบคลุมคาบเวลาของสัญญาณเสียงมนุษย์ การคำนวณหาค่าดังเฉลี่ยของสัญญาณเสียงจะให้ข้อมูลขนาด 30 บิต การได้มาของข้อมูลขนาด 30 บิต เกิดจากการอินทิเกรตข้อมูลเชิงเส้นที่ยกกำลังสองในช่วงเวลา 8 msec ในทางปฏิบัติทำได้โดยการนำข้อมูลเชิงเส้นขนาด 12 บิต มายกกำลังสองซึ่งจะให้ผลลัพธ์ขนาด 24 บิต และเก็บสะสมเป็นจำนวน 64 ครั้ง ในแต่ละครั้งจะใช้เวลาห่างกันเท่ากับ 125 μ sec (เท่ากับระยะเวลา 1 เฟรม) ทำให้ช่วงเวลาในการอินทิเกรตเท่ากับ 8 msec (64 x 125 μ sec) ดังนั้นผลลัพธ์ที่เป็นเอาต์พุตของโมดูลหาค่าดังเฉลี่ยของสัญญาณเสียงของแต่ละช่องสัญญาณของผู้ร่วมประชุมจะมีขนาด 30 บิต (24 บิต x 64)

ต่อจากนั้นนำข้อมูล 30 บิตนี้มาทำการเปรียบเทียบค่าดังเฉลี่ยของสัญญาณเสียงในแต่ละช่องสัญญาณและที่เอาต์พุตของโมดูลการเปรียบเทียบค่าดังเฉลี่ยของสัญญาณเสียงจะให้สัญญาณควบคุมไปที่โมดูลหน่วยความจำเพื่อเก็บข้อมูลของผู้ร่วมประชุมที่มีค่าดังเฉลี่ยสูงสุดและผู้ประชุมที่มีค่าดังเฉลี่ยรองถัดไป โดยที่ช่องสัญญาณของผู้ประชุมที่มีค่าดังเฉลี่ยสูงสุดจะได้รับข้อมูลพีซีเอ็มของผู้ที่มีค่าดังเฉลี่ยรองถัดไปและช่องสัญญาณของผู้ประชุมคนอื่น ๆ จะได้รับข้อมูลพีซีเอ็มของผู้ที่มีค่าดังเฉลี่ยสูงสุด ตัวอย่างเช่นมีข้อมูลพีซีเอ็ม S1 S2 และ S3 ในช่องสัญญาณที่ 2 4 และ 6 ตามลำดับ ทำการประชุมกันโดยข้อมูลทั้ง 3 อยู่ในสัญญาณด้านรับที่ชื่อว่า p_{cm}in สมมติว่าในเฟรม n ข้อมูลในช่องสัญญาณที่ 2 มีค่าดังเฉลี่ยของสัญญาณมากที่สุดและให้ชื่อเป็น M1 ข้อมูลในช่องสัญญาณที่ 4 มีค่าดังเฉลี่ยของสัญญาณรองถัดไปและ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ให้ชื่อว่า M2 ดังนั้นในเฟรม n + 1 ที่สัญญาณด้านส่งที่ชื่อว่า pcmout ข้อมูลพีซีเอ็มที่ส่งออกมาจะเป็น M2 M1 M1 หรือ S2 S1 S1 ในช่องสัญญาณที่ 2 4 และ 6 ตามลำดับ ซึ่งสามารถแสดงเป็นแผนภาพเวลาดังในรูปที่ 4.2

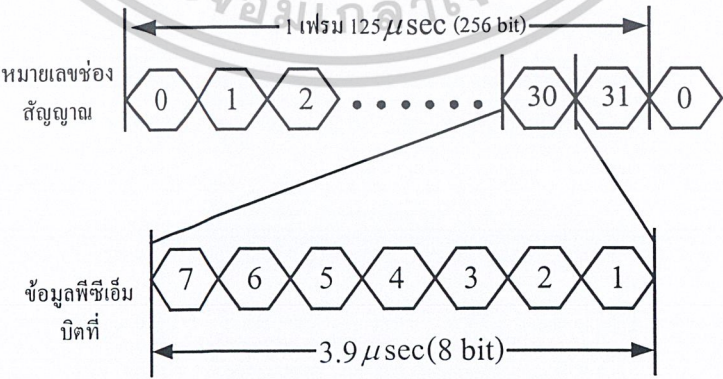


รูปที่ 4.2 แผนภาพเวลาที่ใช้เป็นหลักการออกชิปการประชุมทางโทรศัพท์

4.2 การทำงานของแต่ละโมดูล

4.2.1 โมดูลแปลงข้อมูลพีซีเอ็มแบบอนุกรมเป็นแบบขนาน เนื่องจากข้อมูลพีซีเอ็มที่ใช้งานจะมีลักษณะเป็นเฟรมใน 1 เฟรมจะประกอบด้วย 32 ช่องสัญญาณ ในแต่ละช่องสัญญาณ (ด้านส่ง) ที่เข้าร่วมประชุมจะมีข้อมูลพีซีเอ็มที่มีลักษณะเรียงกันเป็นข้อมูลอนุกรมขนาด 8 บิต การทำงานของโมดูลนี้จะได้รับข้อมูลพีซีเอ็มแบบอนุกรมเข้ามาด้วยอัตราเร็ว 2.048 Mbit/sec (แสดงดังรูปที่ 4.3) และนำข้อมูลเข้ามาแปลงเป็นข้อมูลแบบขนานขนาด 8 บิต เพื่อส่งต่อไปยังโมดูลหน่วยความจำและโมดูลแปลงข้อมูลพีซีเอ็ม

เป็นข้อมูลเชิงเส้นยกกำลังสอง และในการออกแบบได้กำหนดเวลาของช่องสัญญาณที่ 2 4 6 (รวม 3 ช่องสัญญาณ) ในการรับและส่งข้อมูลของผู้ร่วมประชุม และเวลาในการรับและส่งข้อมูลพีซีเอ็มของช่องสัญญาณใดช่องสัญญาณหนึ่งจะใช้ที่เวลาเดียวกัน (แสดงดังรูปที่ 4.2)



รูปที่ 4.3 รูปแบบของข้อมูลพีซีเอ็มในหนึ่งเฟรม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CE	D	CLK	Qa	Q[7..0]
X	X	↓	0	0
0	X	X	<-- ไม่เปลี่ยนแปลง -->	
1	1	↓	1	q(n-1)
1	0	↓	0	q(n-1)

ตารางที่ 4.1 แสดงตารางความจริงของ SR8RE

D[7..0]	CLK	Q[7..0]
X	↑	null
dn	↓	dn

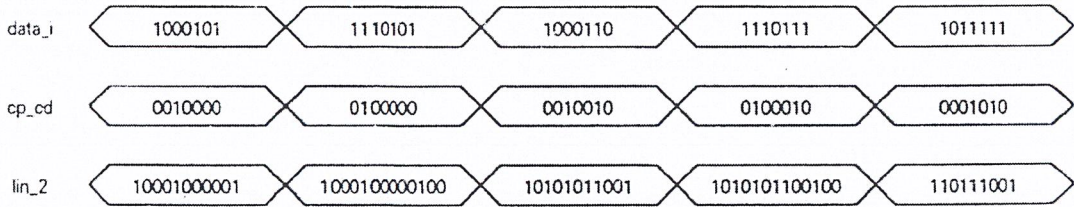
ตารางที่ 4.2 แสดงตารางความจริงของ FD8

4.2.2 โมดูลแปลงข้อมูลพีซีเอ็มเป็นข้อมูลเชิงเส้นยกกำลังสอง เป็นโมดูลที่มีลักษณะการทำงานเป็นแบบวงจรลอจิกที่ข้อมูลพีซีเอ็มแบบขนานขนาด 8 บิต จะถูกถอดรหัสเป็นข้อมูลเชิงเส้นยกกำลังสอง ซึ่งจะได้ขนาด 24 บิต สำหรับโมดูลนี้ได้ปรับปรุงมาจากโมดูลแปลงข้อมูลพีซีเอ็มเป็นข้อมูลเชิงเส้นซึ่งให้เอาต์พุต 12 บิต และโมดูลยกกำลังสองของสัญญาณเชิงเส้นซึ่งให้เอาต์พุต 24 บิต โดยยุบโมดูลทั้งสองคือโมดูลแปลงข้อมูลพีซีเอ็มเป็นข้อมูลเชิงเส้นและโมดูลยกกำลังสองรวมเข้าไว้ด้วยกัน

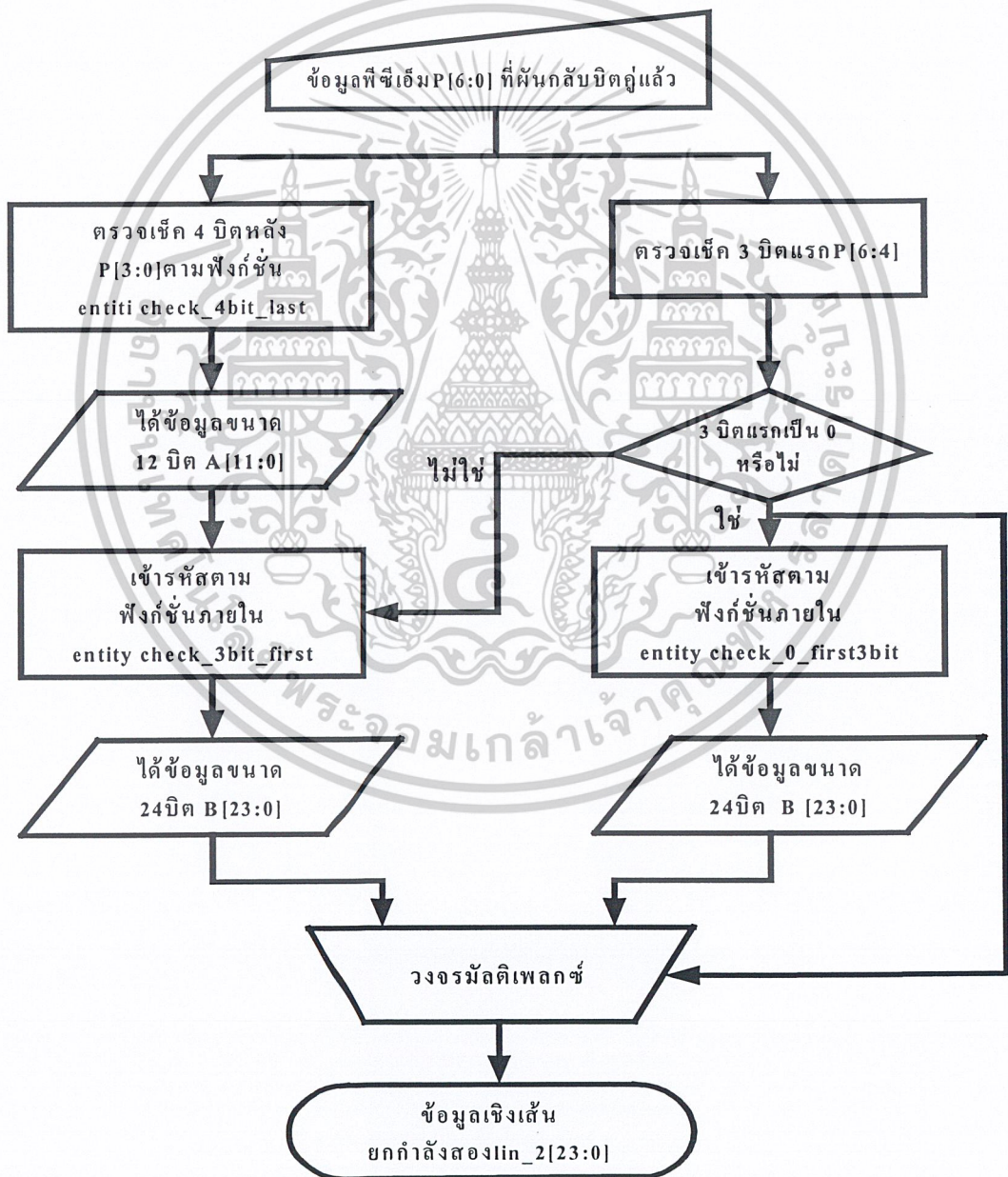
สัญญาณพีซีเอ็มขนาด 8 บิต data_i ที่ส่งมาจากโมดูลแปลงข้อมูลพีซีเอ็มแบบอนุกรมเป็นแบบขนานจะถูกผันกลับเฉพาะบิตคู่ซึ่งจะได้สัญญาณใหม่เป็นสัญญาณ cp_cd นำสัญญาณ cp_cd นี้มาแปลงเป็นข้อมูลเชิงเส้นยกกำลังสอง ในการออกแบบทำได้ด้วยการเขียนภาษา VHDL โดยอาศัยตารางความสัมพันธ์ระหว่างค่า cp_cd กับค่าเชิงเส้นยกกำลังสอง (lin_2) ซึ่งแสดงในตารางผนวก ข

ความสัมพันธ์ระหว่างค่า cp_cd กับค่าเชิงเส้นยกกำลังสองจะเริ่มที่ค่า 0010000 ของ cp_cd เป็นต้นไป โดยเฉพาะ 4 บิตหลังของ cp_cd จะให้ค่าคงที่ขนาด 12 บิตซึ่งเป็นส่วนหนึ่งในค่าเชิงเส้นที่ยกกำลังสอง แต่จะมีการเลื่อนบิตไปทางซ้ายมือทีละ 2 บิต เมื่อมีการเพิ่มค่า 3 บิตแรก (ไม่นับบิตเครื่องหมาย) ทีละ 1 ค่า ยกตัวอย่างเช่น สัญญาณ cp_cd มีค่าเป็น 0010000 4 บิตหลังคือ 0000 จะให้ค่าคงที่ขนาด 12 บิตเป็น 010001000001 ซึ่งจะอยู่ในตำแหน่ง 12 บิตสุดท้ายในค่าเชิงเส้นยกกำลังสอง 0000 0000 0000 0100 0100 0001 และเมื่อเพิ่มค่าที่ตำแหน่ง 3 บิตแรกอีก 1 ค่าจะได้ข้อมูล cp_cd เป็น 0100000 (จากเดิม 0010000) ซึ่งยังคงให้ค่าคงที่ขนาด 12 บิตค่าเดิมอยู่คือ 0100 0100 0001 แต่จะมีการเลื่อนบิตไปทางซ้ายมือ 2 บิต ค่าเชิงเส้นยกกำลังสองที่ได้จะเป็น 0000 0000 0001 0001 0000 0100 อย่างไรก็ตามเมื่อค่า cp_cd ที่ตำแหน่ง 4 บิตหลังเปลี่ยนไป ค่าคงที่ขนาด 12 บิตก็จะเปลี่ยนไป และหลักการดังกล่าวจะใช้ได้ก็ต่อเมื่อ cp_cd มีค่าไม่ต่ำกว่า 0010000 หรือค่าเชิงเส้นฐาน 10 ไม่ต่ำกว่า 33 แผนภาพเวลาของโมดูลเอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ผลการแปลงข้อมูลพีซีเอ็มเป็นข้อมูลเชิงเส้นยกกำลังสองแสดงในรูปที่ 4.6 ลักษณะการทำงานของโมดูลการแปลงข้อมูลพีซีเอ็มเป็นข้อมูลเชิงเส้นยกกำลังสองได้แสดงผังแผนภูมิสายงานในรูปที่ 4.7 สำหรับโครงสร้างภายในโมดูลนี้เป็นการออกแบบโดยใช้ภาษาวีเอชดีแอลดังแสดงในรูปที่ 4.8

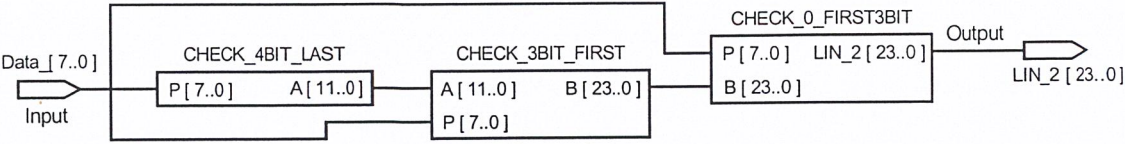


รูปที่ 4.6 แผนภาพเวลาของโมดูลการแปลงข้อมูลพีซีเอ็มเป็นข้อมูลเชิงเส้นยกกำลังสอง



รูปที่ 4.7 ขั้นตอนการทำงานของโมดูลการแปลงข้อมูลพีซีเอ็มเป็นข้อมูลเชิงเส้นยกกำลังสอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.8 แสดง โครงสร้างของโมดูลการแปลงข้อมูลพีซีเอ็มเป็นข้อมูลเชิงเส้นยกกำลังสอง

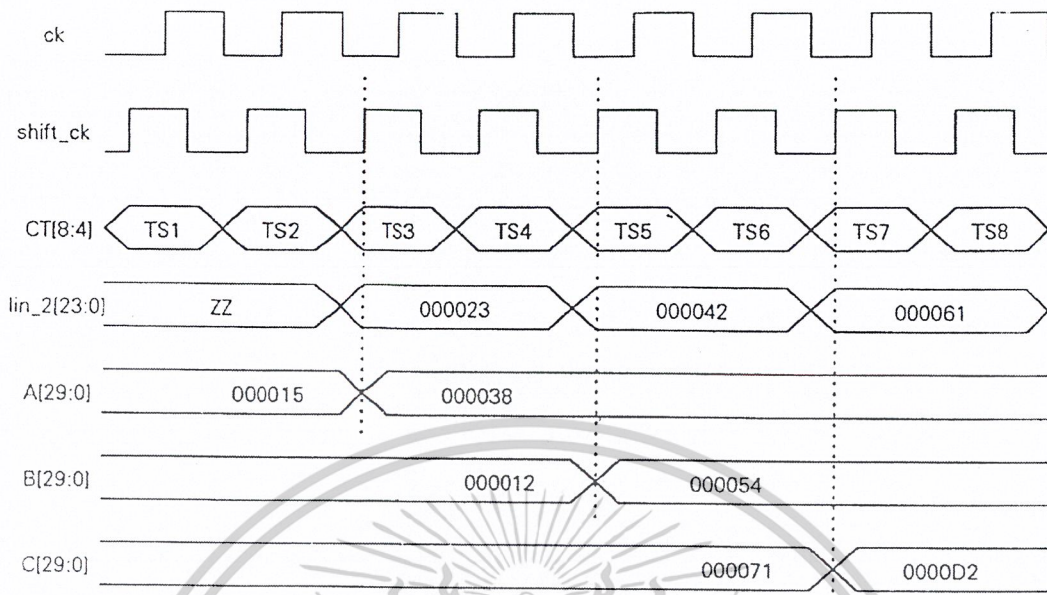
4.2.3 โมดูลหาค่าเฉลี่ยของสัญญาณเสียงของแต่ละช่องสัญญาณ เป็นโมดูลที่ประกอบด้วยวงจรวก ฟลิปฟลอปเก็บข้อมูลขนาด 30 บิตต่อ 1 ผู้ร่วมประชุม และวงจรมัลติเพลกซ์ การหาค่าเฉลี่ยของสัญญาณคาบเวลาสามารถหาได้โดยทำการอินทิเกรตข้อมูลเชิงเส้นที่ยกกำลังสองของผู้ร่วมประชุมแต่ละคนในช่วงเวลาทุก 8 msec จากสมการ (2.14) สามารถแสดงความสัมพันธ์ได้ดังนี้

$$P = \frac{1}{T_0} \int_0^{T_0} |V(t)|^2 dt$$

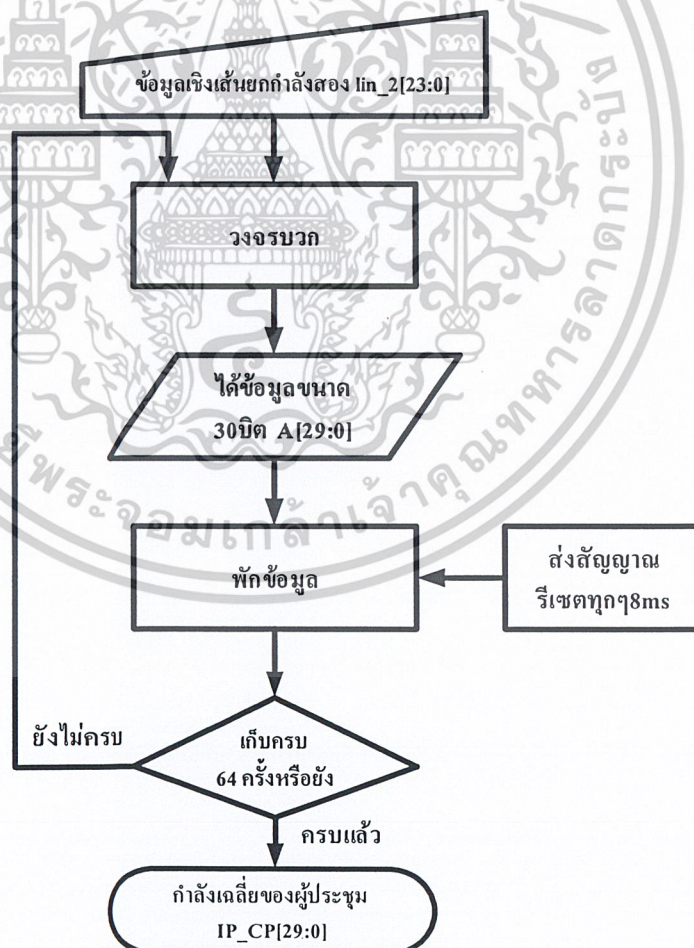
โดยที่
P = กำลังเฉลี่ยของสัญญาณเสียง
V(t) = ระดับแรงดันไฟฟ้าของสัญญาณเสียง
T₀ = คาบเวลาที่ใช้ในการอินทิเกรตเท่ากับ 8 msec

การทำงานทำได้โดยการบวกและเก็บข้อมูลลงในฟลิปฟลอปซึ่งจะกระทำที่ช่องสัญญาณ 3 5 และ 7 (ในกรณีที่ประชุมทางโทรศัพท์ 3 คน) ที่เวลาขอบขาขึ้นของสัญญาณ shift_ck ดังแสดงในแผนภาพเวลาของรูปที่ 4.4 การใช้ขอบขาขึ้นของสัญญาณ shift_ck แทนขอบขาลงของสัญญาณของ ck เพราะที่ช่วงเวลาขอบขาลงของสัญญาณ ck ข้อมูลเชิงเส้นยกกำลังสองยังอยู่ในช่วงของการเปลี่ยนแปลง จึงควรให้ข้อมูลมีความเสถียร (stable) ก่อนจึงจะมีการบวกและเก็บข้อมูลลงในฟลิปฟลอป และเมื่อถึงเฟรมถัดไปให้นำข้อมูลในฟลิปฟลอปมาบวกกับข้อมูลเชิงเส้นยกกำลังสองในช่วงเวลาที่ตรงกับช่องสัญญาณเดิมของตนเอง ยกตัวอย่างเช่น ข้อมูลของ A ในเฟรม n – 1 ที่ TS3 มีค่าเป็น 000015 ต่อมาในเฟรม n ที่ TS3 ข้อมูลเชิงเส้นที่วิ่งเข้ามาเป็น 000023 ดังนั้นข้อมูล A จะมีค่าเท่ากับ 000015 + 000023 = 000038 ในเฟรม n + 1 ที่ TS3 ก็จะนำข้อมูล 000038 มาบวกกับข้อมูลเชิงเส้นยกกำลังสองที่วิ่งเข้ามาและเก็บลงในฟลิปฟลอป และในเฟรมต่อ ๆ ไป (N+2, N+3,...) ที่ TS3 ก็จะกระทำซ้ำ ๆ เช่นนี้จนครบ 64 ครั้ง (8 msec) จึงส่งข้อมูลไปให้โมดูลการเปรียบเทียบสัญญาณเสียงในแต่ละช่องสัญญาณ และรีเซตข้อมูลในฟลิปฟลอปเพื่อเริ่มเก็บข้อมูลชุดใหม่ ข้อมูล B หรือ C ก็จะกระทำที่ TS5 และ TS7 ตามลำดับ โดยจะมีขั้นตอนเหมือนกับข้อมูล A แต่กระทำคนละช่องเวลา สำหรับวงจรมัลติเพลกซ์ในโมดูลการหาค่าเฉลี่ยเฉลี่ยนี้จะเป็นตัวควบคุมกำลังเฉลี่ยของผู้ร่วมประชุม (A, B และ C) ในแต่ละช่องสัญญาณ ให้สามารถทำการบวกข้อมูลได้ถูกต้องกับช่วงเวลาของแต่ละช่องสัญญาณ วงจรมัลติเพลกซ์นี้จะมีสัญญาณอินพุตอยู่ 2 อย่างคือ 1) CT[8..4] ซึ่งจะทำหน้าที่ในการบอกว่าข้อมูลที่กำลังมัลติเพลกซ์เป็นของช่องสัญญาณใด และ 2) ค่ากำลังเฉลี่ยของแต่ละช่องสัญญาณ ได้แก่ A[29..0] , B[29..0] และ C[29..0] เป็นต้น ลักษณะการทำงาน

ของโมดูลการหาค่าเฉลี่ยของแต่ละช่องสัญญาณได้แสดงผังแผนภูมิสายงานในรูปที่ 4.10 และโครงสร้างภายในโมดูลนี้แสดงดังรูปที่ 4.11

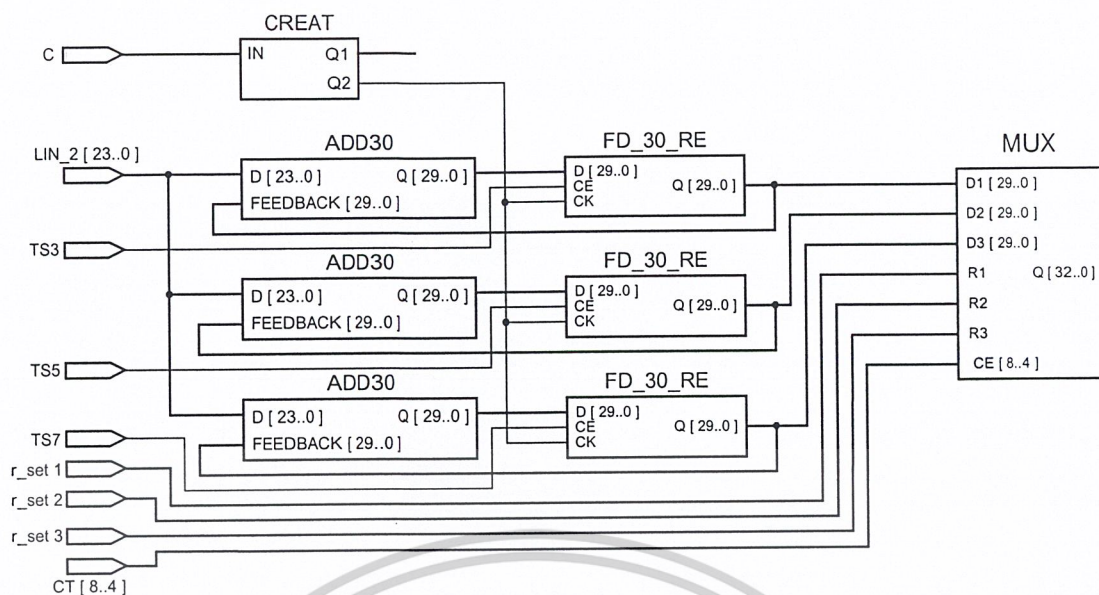


รูปที่ 4.9 แสดงแผนภาพเวลาในโมดูลการหาค่าเฉลี่ยของสัญญาณเสียงในแต่ละช่องสัญญาณ



รูปที่ 4.10 แสดงขั้นตอนการทำงานของโมดูลการหาค่าเฉลี่ยของสัญญาณเสียงในแต่ละช่องสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.11 แสดงโครงสร้างในโมดูลการหาค่ากำลังเฉลี่ยของสัญญาณเสียงในแต่ละช่องสัญญาณ

CE	D[29..0]	CK	Q[29..0]
0	X	X	do
1	dn	↓	d(n-1)
1	dn	↑	dn

ตารางที่ 4.3 แสดงตารางความจริงของ FD_30_RE

4.2.4 โมดูลการเปรียบเทียบกำลังเฉลี่ยของสัญญาณเสียงแต่ละช่องสัญญาณ เป็นโมดูลที่ประกอบด้วย 2 วงจร คือ 1) วงจรการเปรียบเทียบกำลังเฉลี่ยของสัญญาณเสียงและ 2) วงจรควบคุมหน่วยความจำในการออกแบบได้เลือกใช้ความถี่ 125 Hz ต่อหนึ่งครั้งการตัดสินใจว่ากำลังเฉลี่ยของสัญญาณเสียงของช่องสัญญาณใดจะมีค่าสูงสุดหรืออาจกล่าวได้ว่าช่วงเวลาในการตัดสินใจจะใช้ทุก ๆ 8 msec ซึ่งสอดคล้องกับช่วงเวลาในการอินทิเกรตข้อมูล และเอาต์พุตของ โมดูลนี้จะส่งสัญญาณที่ใช้ในการอ่านหรือเขียนข้อมูลพีซีเอ็มไปที่โมดูลหน่วยความจำ

4.2.4.1 วงจรเปรียบเทียบกำลังเฉลี่ยของสัญญาณเสียง การทำงานเริ่มต้นโดยรับข้อมูลขนาด 33 บิต IP_CP [32:0] ที่ส่งมาจากโมดูลการหาค่ากำลังเฉลี่ยของสัญญาณเสียงโดย ข้อมูล ที่ส่งมาจะประกอบด้วย 2 ส่วนคือ 1) ส่วนที่บอกรหัสว่าเป็นข้อมูลของประชุมคนใดซึ่งจะอยู่ที่สัญญาณ IP_CP [32:0] มีขนาด 3 บิต เช่นว่า 000 เป็นของ A 001 เป็นของ B และ 010 เป็นของ C เป็นต้น และ 2) ส่วนที่เป็นค่ากำลังเฉลี่ยของสัญญาณเสียงซึ่งเป็นค่ากำลังเฉลี่ยแต่ละช่องสัญญาณจะมีขนาด 30 บิต IP_CP [29:0]

ในการเปรียบเทียบจะมีการเปรียบเทียบทุก ๆ 8 msec หรือทุก ๆ 64 เฟรม และในเฟรมที่มีการเปรียบเทียบจะมีการเปรียบเทียบ 2 รอบ รอบละ 3 ครั้ง (กรณีที่ประชุมทางโทรศัพท์ 3 คน) รวมทั้งหมดเปรียบเทียบ 6 ครั้ง รอบแรกจะเป็นการเปรียบเทียบหาข้อมูลที่ขนาดสูงสุด และรอบที่ 2 เป็นการเปรียบเทียบหาข้อมูลที่มีขนาดรองถัดไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตัวอย่างการเปรียบเทียบแสดงได้ดังนี้ สมมติว่าเริ่มเก็บข้อมูลชุดแรกในเฟรมที่ n (ในโมดูลการหาค่ากำลังเฉลี่ยของสัญญาณเสียง) พอถึงเฟรมที่ $n + 63$ ที่ TS3 ก็จะมีการส่งข้อมูล A พร้อมทั้งรหัสที่บอกว่าเป็นข้อมูลของ A (000) ขนาด 3 บิต มาที่ตัวพักข้อมูล FD 33 RE ตัวที่ 1 ทำการเปรียบเทียบครั้งแรกกับข้อมูลซึ่งเก็บไว้ที่ตัวเก็บข้อมูลที่มีขนาดใหญ่สุด AC[32:0] ซึ่งในตอนเริ่มต้น (ที่ TS3) จะรีเซต AC[32:0] ค่าเป็น 0 ดังนั้นเมื่อเปรียบเทียบในครั้งแรก ค่าข้อมูล A ต้องมากกว่า 0 แน่แน่นอน ในแผนภาพเวลารูปที่ 4.12 ที่เวลา TS3 ข้อมูล A บนสัญญาณ AB[29:0] มีค่าเท่ากับ 09 เมื่อเปรียบเทียบกับ 0 ที่อยู่บนสัญญาณ AC[29:0] จะให้ผลลัพธ์ตัวที่มากกว่า นั่นคือ 09 ซึ่งจะเก็บไว้ที่สัญญาณ AD[29:0] และจะเก็บรหัสของ A คือ 000 ไว้ที่สัญญาณ AD[32:30]

ในเวลาต่อมาที่ TS5 ข้อมูล B คือ 05 พร้อมรหัส 001 ได้ส่งมาเพื่อมาเปรียบเทียบกับ A ซึ่งถ้าข้อมูลไหนมากกว่าก็จะถูกเก็บในตัวเก็บข้อมูล AC[29:0] ต่อมาที่ TS7 นำข้อมูล C คือ 07 พร้อมทั้งรหัส 010 มาเปรียบเทียบกับข้อมูลที่ถูกเก็บไว้ในตัวเก็บข้อมูล AC[29:0] และถ้าข้อมูลไหนมากกว่าก็จะถูกเก็บในตัวเก็บข้อมูล AC[29:0] เมื่อเปรียบเทียบครบ 3 ครั้ง ก็จะทราบว่าข้อมูลที่อยู่ในสัญญาณไหนมีขนาดใหญ่สุด และในที่นี้ข้อมูล A คือ 09 จะมีค่าสูงสุด และจะมีการเก็บรหัส 000 ของ A ไว้กับสัญญาณ BA[2:0] (สัญญาณ BA[2:0] ได้มาจากวงจรควบคุมหน่วยความจำซึ่งจะแสดงในหัวข้อ 2.2.4.2) ที่ช่องสัญญาณที่ 17 (TS17) และถือว่าการเสร็จสิ้นการเปรียบเทียบในรอบแรก

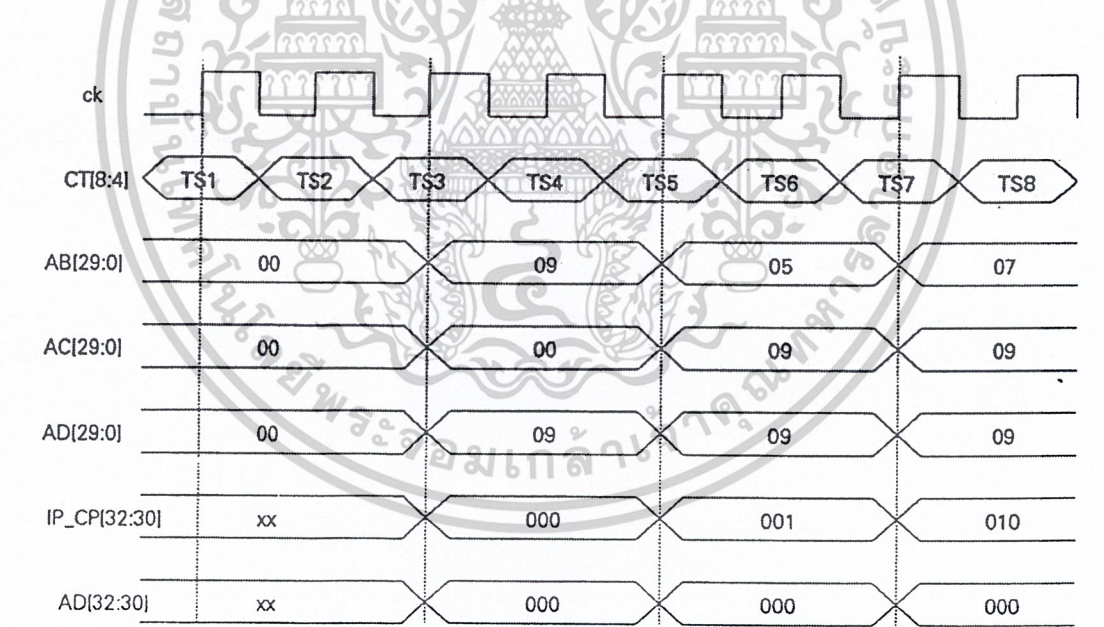
การเปรียบเทียบรอบที่ 2 มีขึ้นเพื่อหาข้อมูลที่มีขนาดรองถัดไป (ข้อมูล A B และ C จะถูกส่งมาในช่องสัญญาณที่ 18 19 และ 20 ตามลำดับ ในการเปรียบเทียบรอบ 2) ดังนั้นต้องหาวิธีที่ทำให้ข้อมูลที่มีขนาดใหญ่สุดในการเปรียบเทียบรอบแรกไม่ถูกนำเข้ามาเปรียบเทียบด้วยในรอบที่ 2 วิธีการดังกล่าวทำได้โดย นำรหัสขนาด 3 บิต BA[2:0] ของข้อมูลที่มีขนาดใหญ่สุดในการเปรียบเทียบรอบแรกมาเข้าวงจรรีเซต rs_mx เพื่อรีเซตตัวพักข้อมูลตัวที่ 2 ซึ่งกำลังจะรับข้อมูลที่มีขนาดใหญ่สุด (ที่วิ่งมาจากมอดูลหาค่ากำลังเฉลี่ยสัญญาณเสียง)

ตัวอย่างการทำงานของวงจร rs_mx มีดังต่อไปนี้ เมื่อการเปรียบเทียบในรอบที่ 1 ได้เสร็จสิ้นแล้วและ A มีค่ามากที่สุด และเวลาในช่องสัญญาณที่ 18 จะส่งข้อมูล A มาพักที่ตัวพักข้อมูลตัวที่ 2 แต่ในขณะเดียวกันจะมีการรีเซตค่าในตัวพักข้อมูลตัวที่ 2 (เพื่อต้องการกำจัดค่าสูงสุด) วิธีการที่จะทำให้วงจรรีเซตข้อมูลในช่องสัญญาณที่ TS18 ทำได้โดย วงจรรีเซต rs_mx ต้องรับค่ารหัสของข้อมูลที่มีค่าใหญ่สุดขนาด 3 บิต BA[2:0] มาก่อน และแปลงเป็นค่าคงตัว เช่น A มีรหัสเป็น 000 และ C มีรหัสเป็น 010 เมื่อแปลงเป็นค่าคงตัวจะได้ 10100 (20) ค่าคงตัวนี้จะถูกเปรียบเทียบกับสัญญาณ CT[8:4] นับมาตรงกับค่าคงตัวในวงจรรีเซต rs_mx ในที่นี้ให้ค่าคงตัว 5 บิต ของ A เป็น 10010 วงจรนี้จะส่งสัญญาณ 1 ออกมาเมื่อ CT[8:4] มีค่าเท่ากับ 10010 ซึ่งจะไปรีเซตค่าในตัวพักข้อมูลตัวที่ 2 ที่ช่องสัญญาณที่ 18 และเมื่อ CT[8:4] ไม่เท่ากับ 10010 วงจรนี้จะส่งสัญญาณ 0 จะเห็นได้ว่าข้อมูลที่มีขนาดสูงที่สุดได้ถูกกำจัดไปแล้ว ดังนั้นการเปรียบเทียบข้อมูลที่เหลือจึงเป็นการเปรียบเทียบเพื่อหาข้อมูลที่มีขนาดรองถัดไป รูปที่ 4.13 แสดงแผนภาพเวลาของวงจรเปรียบเทียบกำลังเฉลี่ยของสัญญาณเสียงในรอบที่ 2

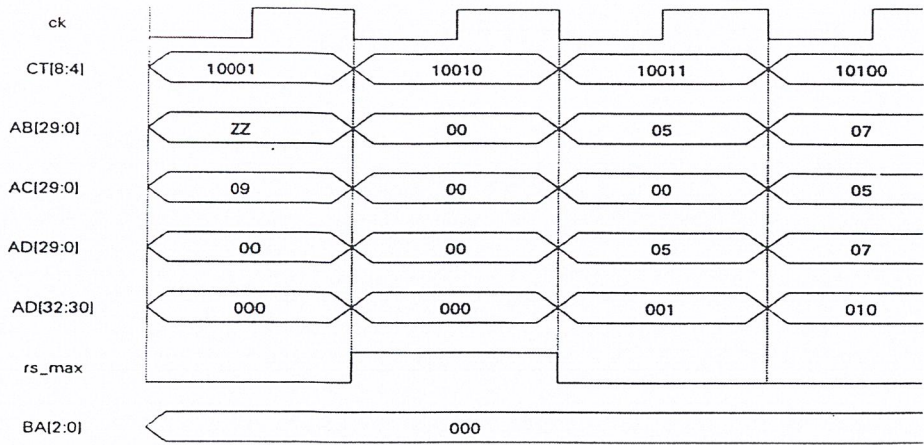
การเปรียบเทียบทั้ง 2 รอบ จะเสร็จสิ้นภายใน 1 เฟรม คือเฟรมที่ $n + 63$ นั่นเอง และการเปรียบเทียบในครั้งต่อไปจะเปรียบเทียบในเฟรมที่ $N(n + 63)$ โดย N คือ 1,2,3 ∞ และ n คือเฟรมเริ่มต้นที่เริ่มทำการเก็บข้อมูลการหาลำดับเฉลี่ยของสัญญาณเสียง

สำหรับตัวพักข้อมูลในการเปรียบเทียบที่ต้องมีการแยกเป็นรอบที่ 1 และรอบที่ 2 เพราะตัวพักข้อมูลนี้ได้สร้างขึ้นมาจากฟลิปฟล็อปซึ่งจะมีขา RESET ที่มีลำดับความสำคัญ (priority) สูงสุด เพื่อทราบสถานะเริ่มต้น ตัวพักข้อมูลเพื่อการเปรียบเทียบรอบแรกได้ต่อขารีเซตลงกราวด์ (GND) นั่นหมายความว่าไม่มีการรีเซต (แต่จะมีการรีเซตที่ตัวชิปเองเมื่อมีการให้ไฟเลี้ยงในครั้งแรก เพราะมีลักษณะการทำงานเป็นแบบ power on reset) และจะทำหน้าที่รับข้อมูล หรือพักข้อมูลเท่านั้น ส่วนตัวพักข้อมูลเพื่อการเปรียบเทียบรอบที่ 2 ขา RESET ได้ต่อเข้าวงจรรีเซต s_mx ซึ่งในการเปรียบเทียบรอบแรก ค่าเอาต์พุตจากตัวพักข้อมูลในรอบที่ 2 จะไม่ทราบค่า นั่นคือได้ xxxxxxxx และหลังจากที่วงจรรีเซตทำงานก็ได้อเอาต์พุตเป็น 1 ตัวพักข้อมูลในรอบที่ 2 จึงเริ่มทำงาน

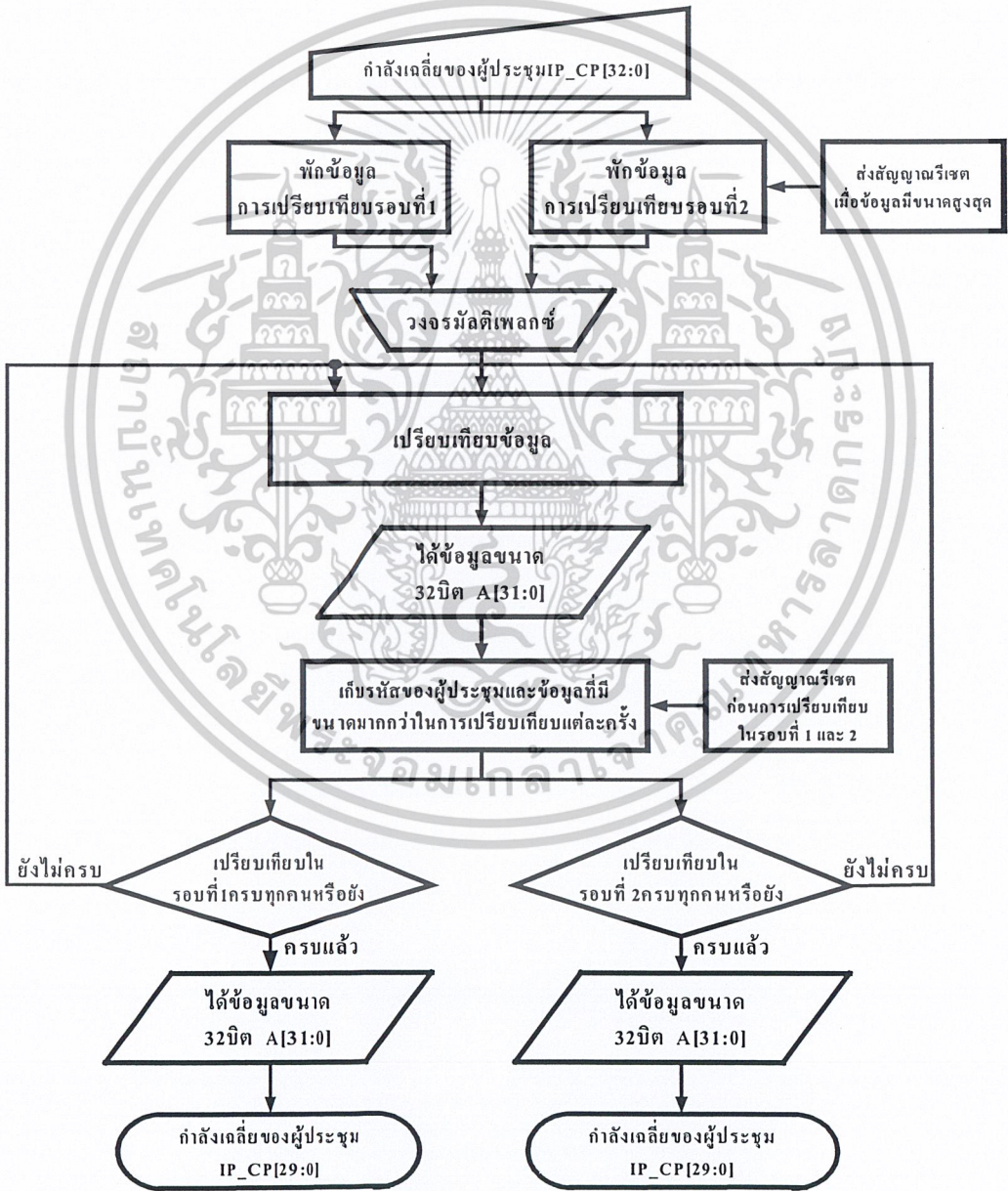
อย่างไรก็ตาม ตัวพักข้อมูลเพื่อการเปรียบเทียบนั้นอาจลดลงเหลือเพียงชุดเดียวก็ได้ ถ้าทราบคำสั่งที่ใช้ในการจำลองการทำงานของวงจรโดยให้ค่ารีเซตเฉพาะตอนเริ่มต้นที่ขา RESET (เลียนแบบการทำงานของชิป) หลังจากนั้นกำหนดให้เป็นไปตามการทำงานของวงจรรีเซต rs_mx ขึ้นตอนการทำงานได้แสดงไว้ในรูปที่ 4.14 และโครงสร้างภายในของวงจรเปรียบเทียบกำลังเฉลี่ยของสัญญาณเสียงแสดงดังรูปที่ 4.15



รูปที่ 4.12 แสดงแผนภาพเวลาของวงจรการเปรียบเทียบกำลังเฉลี่ยของสัญญาณเสียงในรอบที่ 1

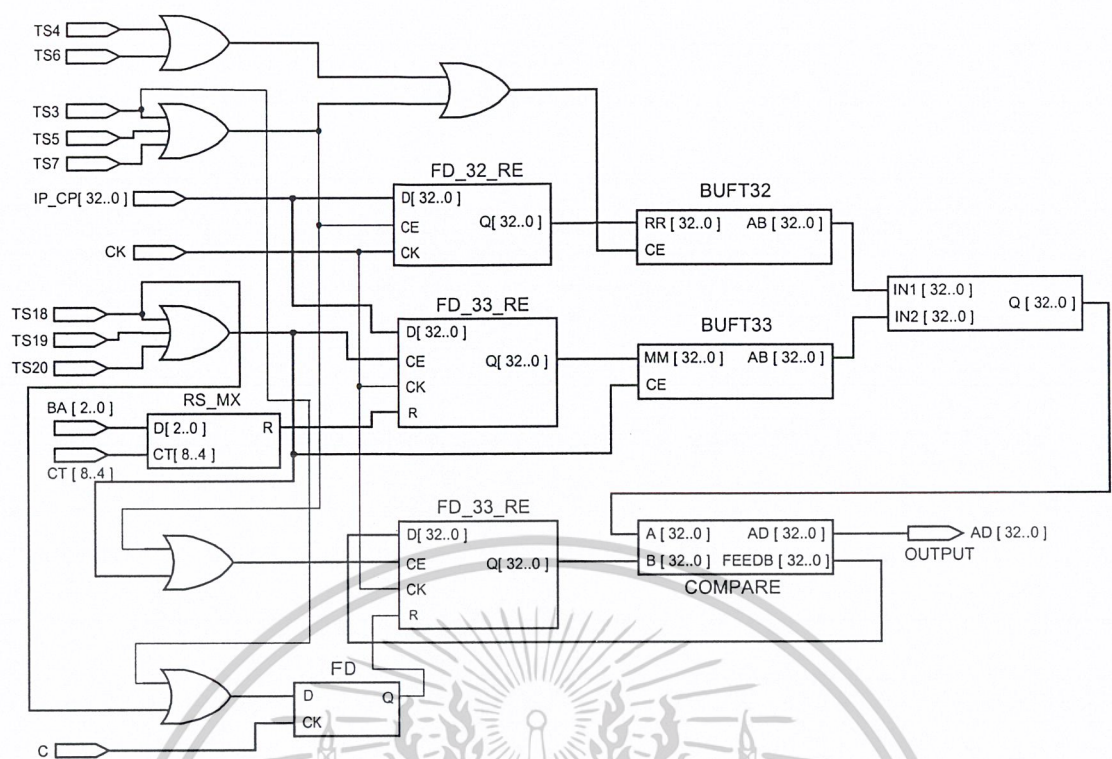


รูปที่ 4.13 แสดงแผนภาพเวลาของวงจรการเปรียบเทียบกำลังเฉลี่ยของสัญญาณเสียงในรอบที่ 2



รูปที่ 4.14 แสดงขั้นตอนการทำงานของโมดูลการเปรียบเทียบกำลังเฉลี่ยของสัญญาณเสียงในแต่ละช่องสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.15 แสดงโครงสร้างของโมดูลการเปรียบเทียบกำลังเฉลี่ยของสัญญาณเสียงในแต่ละช่องสัญญาณ

	CE	D[32..0]	CK	Q[32..0]
0	X	X	X	null
1	dn		↓	d(n-1)
1	dn		↑	dn

ตารางที่ 4.4 แสดงตารางความจริงของ FD_32_RE

R	D[32..0]	CE	CK	Q[32..0]
1	X	X	X	d0
0	dn	0	↓	dz
0	dn	1	↓	dn
0	dn	X	↑	null

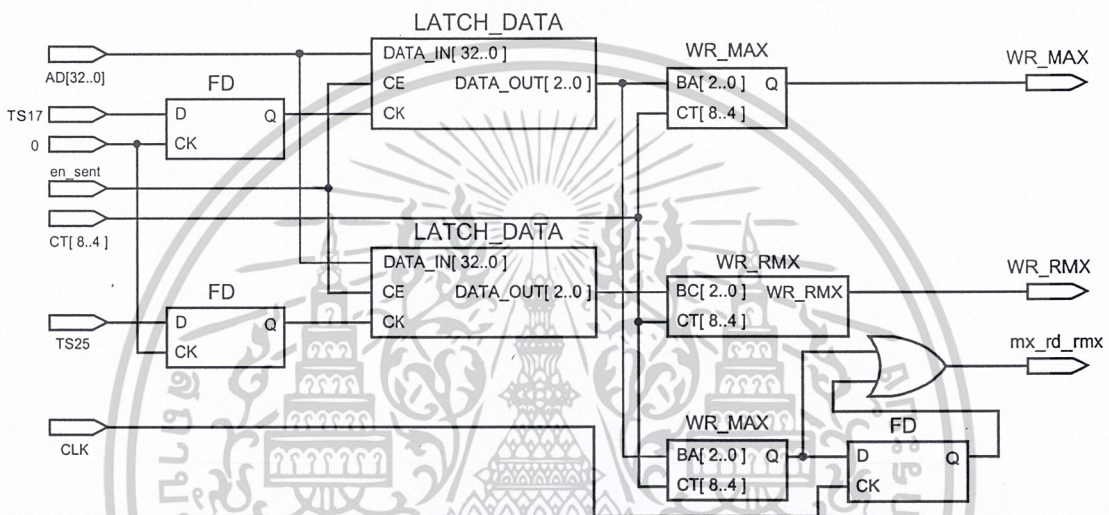
ตารางที่ 4.5 แสดงตารางความจริงของ FD_33_RE

A[32..0]	B[32..0]	AD[32..0]	Feedb[32..0]
dm	dn	dm	dm
dm	dm	null	null
dn	dm	dm	dm
dn	dn	null	null

ตารางที่ 4.6 แสดงตารางความจริงของ COMPARE

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2.4.2.1 วงจรควบคุมหน่วยความจำ วงจรควบคุมหน่วยความจำนี้ได้ถูกเชื่อมต่อระหว่างวงจรการเปรียบเทียบกำลังเฉลี่ยของสัญญาณเสียงกับโมดูลหน่วยความจำ วงจรนี้ทำหน้าที่แปลงรหัสของผู้ประชุมที่มีกำลังเฉลี่ยสัญญาณเสียงสูงสุด BA[2:0] ไปเป็นสัญญาณที่ใช้ในการเขียน (WR_MAX) ข้อมูลพีซีเอ็มของผู้ที่มีกำลังเฉลี่ยสูงสุด และสัญญาณอ่าน (mx_rd_rmx) ข้อมูลพีซีเอ็มของผู้ที่มีกำลังเฉลี่ยของเสียงรองถัดไป สำหรับสัญญาณ SC[2:0] ซึ่งเป็นรหัสของผู้ที่มีกำลังเฉลี่ยของสัญญาณเสียงรองถัดไปจะถูกแปลงเป็นสัญญาณเขียน (WR_RMX) ข้อมูลพีซีเอ็มของผู้ที่มีกำลังเฉลี่ยของสัญญาณเสียงรองถัดไป รูปที่ 4.16 แสดงโครงสร้างของวงจรควบคุมหน่วยความจำซึ่งเป็นส่วนหนึ่งของโมดูลการเปรียบเทียบกำลังเฉลี่ยของสัญญาณเสียงแต่ละช่องสัญญาณ



รูปที่ 4.16 แสดงโครงสร้างของโมดูลหน่วยความจำซึ่งเป็นส่วนหนึ่งของโมดูลการเปรียบเทียบกำลังเฉลี่ยของสัญญาณเสียงในแต่ละช่องสัญญาณ

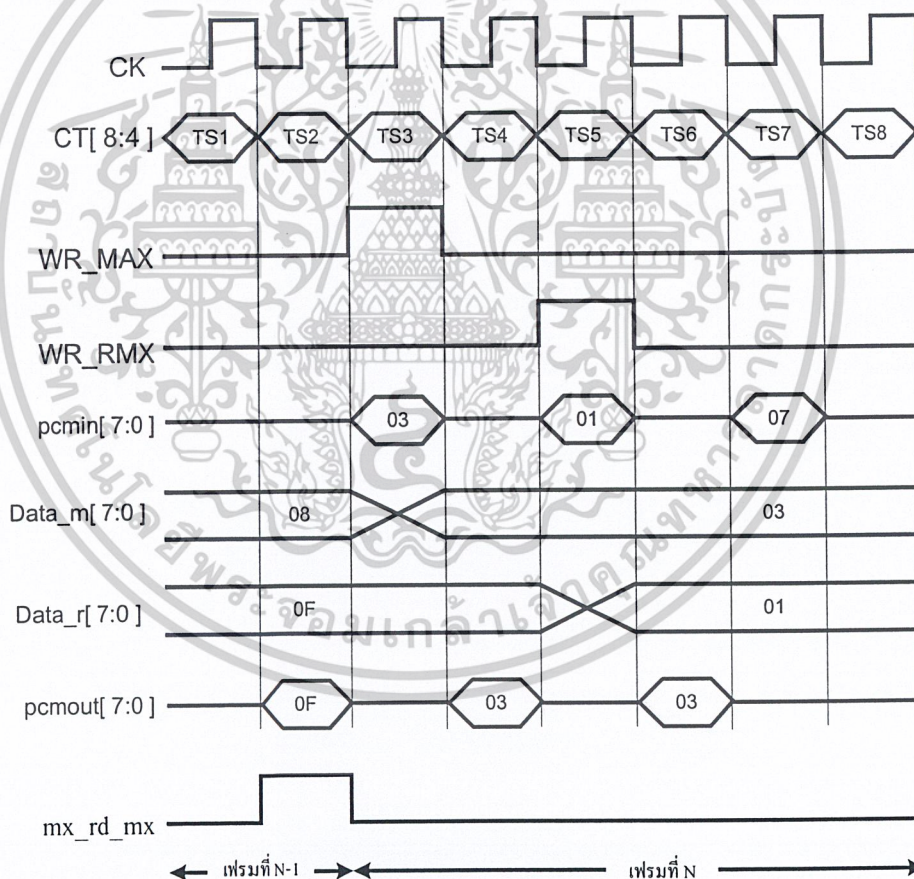
CE	CK	DATA_IN[32..0]	DATA_OUT[2..0]
0	X	X	null
1	↑	d(32..30)	d(32..30)

ตารางที่ 4.7 แสดงตารางความจริงของ LATCH_DATA

4.2.5 โมดูลหน่วยความจำ โมดูลนี้จะเก็บข้อมูลพีซีเอ็มของผู้ร่วมประชุมที่มีกำลังเฉลี่ยของสัญญาณเสียงที่สูงสุดและผู้ร่วมประชุมที่มีกำลังเฉลี่ยรองถัดไป หน่วยความจำมีขนาด 2 ไบต์ การอ่านหรือการเขียนข้อมูลลงบนหน่วยความจำนี้จะมีสัญญาณควบคุมมาจากโมดูลเปรียบเทียบกำลังเฉลี่ยของสัญญาณเสียงของแต่ละช่องสัญญาณ รหัสของผู้ประชุมที่มีกำลังเฉลี่ยสูงสุด และรองถัดไปที่ส่งมาจากโมดูลการเปรียบเทียบกำลังเฉลี่ยจะถูกแปลงเป็นค่าคงที่ขนาด 5 บิต ซึ่งจะได้ค่าคงตัว 3 ค่า ค่าคงตัวที่ 1) เป็นค่าคงตัวที่บอกให้เขียนข้อมูลพีซีเอ็มในช่วงเวลาของช่องสัญญาณที่มีกำลังเฉลี่ยมากที่สุด (สัมพันธ์กับ WR_MAX) 2) ค่าคงตัวที่บอกให้เขียนข้อมูลพีซีเอ็มในช่วงเวลาของช่องสัญญาณที่มีกำลังเฉลี่ยรองถัดไป

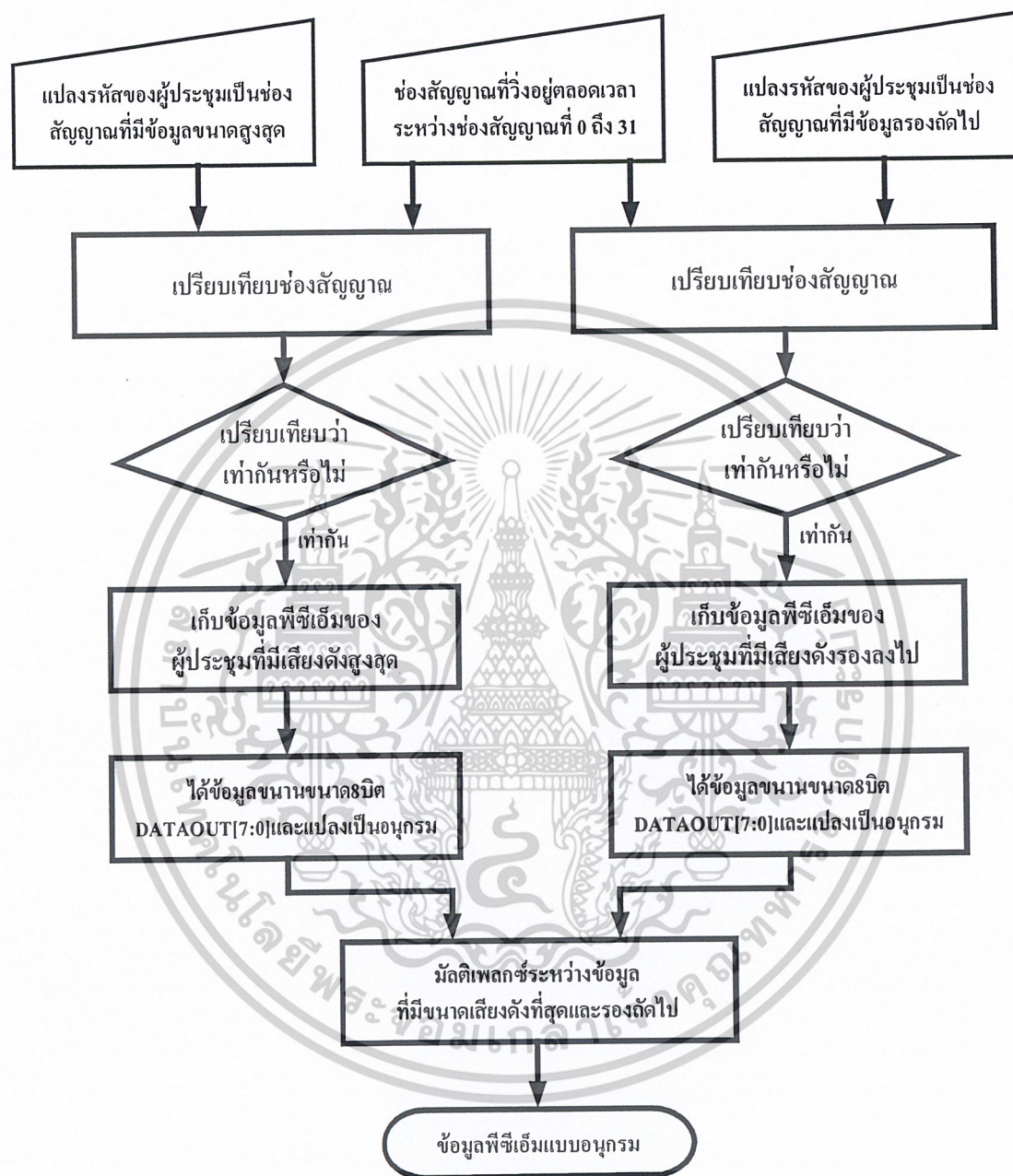
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ไป (สัมพันธ์กับสัญญาณ WR_RMX) 3) ค่าคงตัวที่บอกให้อ่านข้อมูลพีซีเอ็มที่มีกำลังเฉลี่ยรองถัดไปเพื่อส่งไปในช่วงเวลาของช่องสัญญาณที่มีกำลังเฉลี่ยสูงสุด (สัมพันธ์กับสัญญาณ mx_rd_rmx) จากนั้นนำค่าคงตัวทั้ง 3 ค่านี้ไปเปรียบเทียบกับช่องสัญญาณ CT[8..4] ซึ่งจะนับค่าอยู่ระหว่าง 00000 – 11111 ซึ่งจะได้สัญญาณที่ไปควบคุมในการอ่านหรือเขียนลงบนหน่วยความจำ 3 สัญญาณดังนี้ 1) สัญญาณ WR_MAX เป็นสัญญาณที่ใช้บอกให้เขียนข้อมูลพีซีเอ็ม (pcmin) ลงบนตำแหน่งที่เก็บข้อมูลพีซีเอ็ม ที่มีกำลังเฉลี่ยสูงสุด เมื่อสัญญาณ WR_MAX เป็นลอจิก “1” 2) สัญญาณ WR_RMX เป็นสัญญาณที่ใช้บอกให้เขียนข้อมูลพีซีเอ็ม (pcmin) ลงบนตำแหน่งที่เก็บข้อมูลพีซีเอ็มที่กำลังเฉลี่ยรองถัดไป เมื่อสัญญาณ WR_RMX เป็นลอจิก “1” 3) สัญญาณ mx_rd_rmx เป็นสัญญาณที่ใช้ในการอ่านข้อมูลพีซีเอ็ม ถ้าสัญญาณ mx_rd_rmx เป็นลอจิก “1” จะมีการอ่านข้อมูลพีซีเอ็มที่มีกำลังเฉลี่ยรองถัดไป และถ้าสัญญาณ mx_rd_rmx เป็นลอจิก “0” จะมีการอ่านข้อมูลพีซีเอ็มที่มีกำลังเฉลี่ยสูงสุด แผนภาพการทำงานโมดูลหน่วยความจำ แสดงดังรูปที่ 28 ขั้นตอนการทำงานได้แสดงดังแผนภูมิสายงาน แสดงดังรูปที่ 4.18 โครงสร้างในโมดูลหน่วยความจำ และโมดูลการแปลงข้อมูลแบบขนานเป็นอนุกรม แสดงดังรูปที่ 4.19



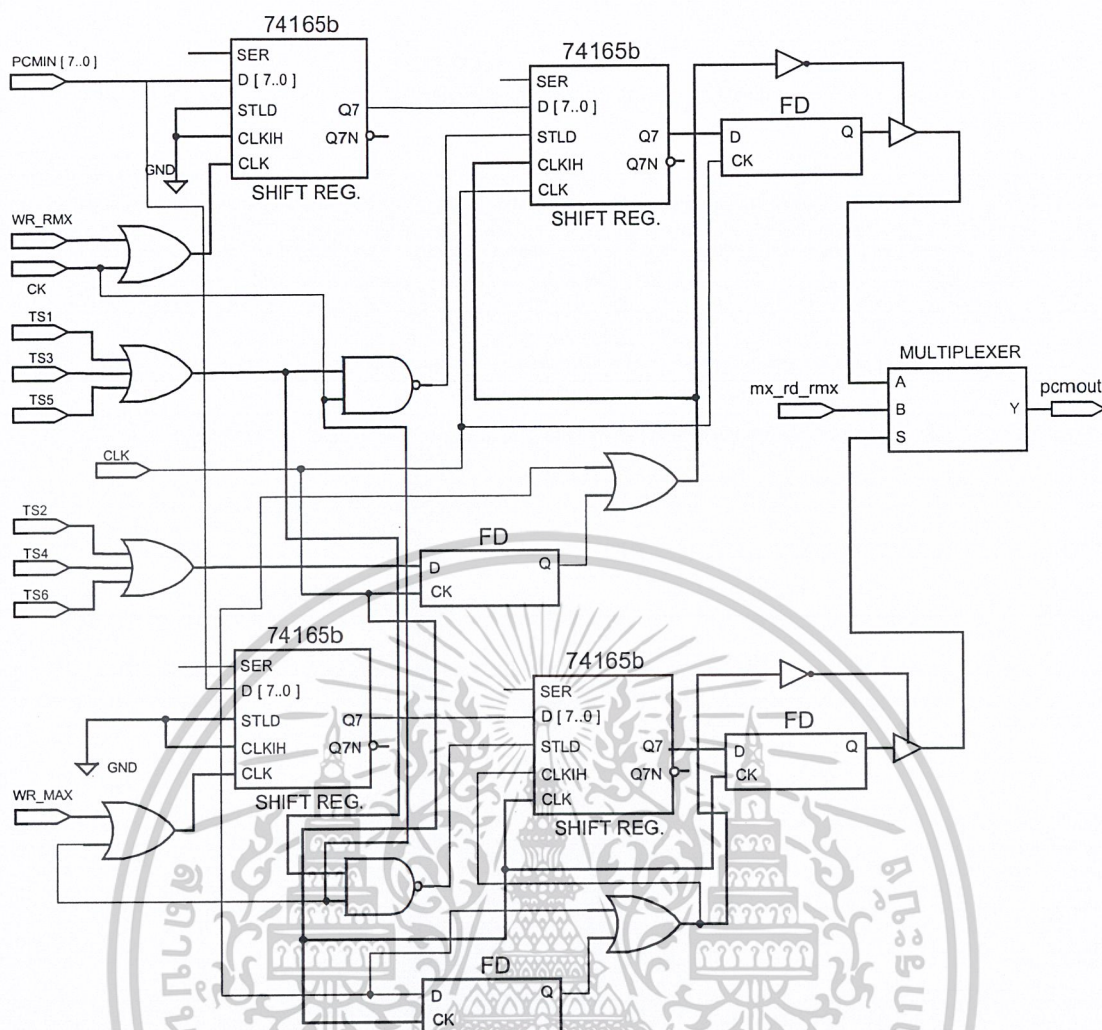
รูปที่ 4.17 แสดงแผนภาพเวลาของโมดูลหน่วยความจำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.18 แสดงขั้นตอนการทำงานของโมดูลหน่วยความจำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.19 แสดงโครงสร้างของ โมดูลหน่วยความจำ และ โมดูลแปลงข้อมูลแบบขนานเป็นอนุกรม

4.2.6 โมดูลการแปลงข้อมูลพีซีเอ็มแบบขนานเป็นแบบอนุกรม โมดูลนี้เป็นโมดูลที่ทำหน้าที่ในการแปลงข้อมูลพีซีเอ็มแบบขนานที่ส่งมาจากโมดูลหน่วยความจำให้เป็นข้อมูลพีซีเอ็มแบบอนุกรมเพื่อส่งให้กับช่องสัญญาณ (ด้านรับ) ของผู้ร่วมประชุม

สำหรับ X74_165S นี้ได้ใช้เป็นทั้งตัวเก็บข้อมูลพีซีเอ็มแบบขนานในโมดูลหน่วยความจำ และใช้เป็นตัวแปลงข้อมูลแบบขนานไปเป็นแบบอนุกรม การทำงานของ X74_165S นี้ได้แสดงดังตารางที่ 4.8 ซึ่งแบ่งออกเป็น 3 กรณี กรณีแรก เมื่อขาสัญญาณ S_L เป็น 0 และ CK อยู่ในสถานะขอบขาขึ้น ลักษณะเช่นนี้ จะส่งค่าอินพุตไปให้อาท์พุท QA_QH กรณีที่ 2 เมื่อขาสัญญาณ S_L เป็น 1 ขา CE เป็น 0 ที่สถานะเช่นนี้จะไม่มีการเปลี่ยนแปลงอาท์พุท แม้ว่าตอนนี้สัญญาณ CK จะเป็นขอบขาขึ้นก็ตาม และกรณีที่ 3 เมื่อขาสัญญาณ S_L เป็น 1 ขา CE เป็น 1 และ CK อยู่ในสถานะขอบขาขึ้น ที่อาท์พุทจะมีการเลื่อนบิตไป 1 บิต โดยที่ QA จะเป็น SI และ QB_QH จะเป็น qA-qG

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อินพุต					เอาต์พุต	
S_L	CE	SI	A_H	CK	QA	QB_QH
0	X	X	A_H	↑	qa	qb_qh
1	0	X	X	X	ไม่เปลี่ยนแปลง	
1	1	Si	X	↑	Si	qA_qG

ตารางที่ 4.8 ตารางความจริงของ X74_165S

4.2.7 โมดูลกำหนดช่องสัญญาณ เป็นโมดูลที่ประกอบด้วยวงจรนับซึ่งออกแบบจากอุปกรณ์ CB15RE และวงจร TIMING ที่ออกแบบด้วยภาษาวีเอชดีแอล โดยสัญญาณนาฬิกา 4.096 MHz เป็นสัญญาณอินพุต โมดูลนี้ทำหน้าที่ดังนี้

4.2.7.1 สร้างสัญญาณ CT[8:4] ขนาด 5 บิต เพื่อแสดงหมายเลขช่องสัญญาณที่ 0 ถึง 31 ในเฟรม ๆ หนึ่ง ส่งไปยังโมดูลการหาค่าเฉลี่ย และ โมดูลการเปรียบเทียบค่าเฉลี่ยของสัญญาณเสียงในแต่ละช่องสัญญาณ

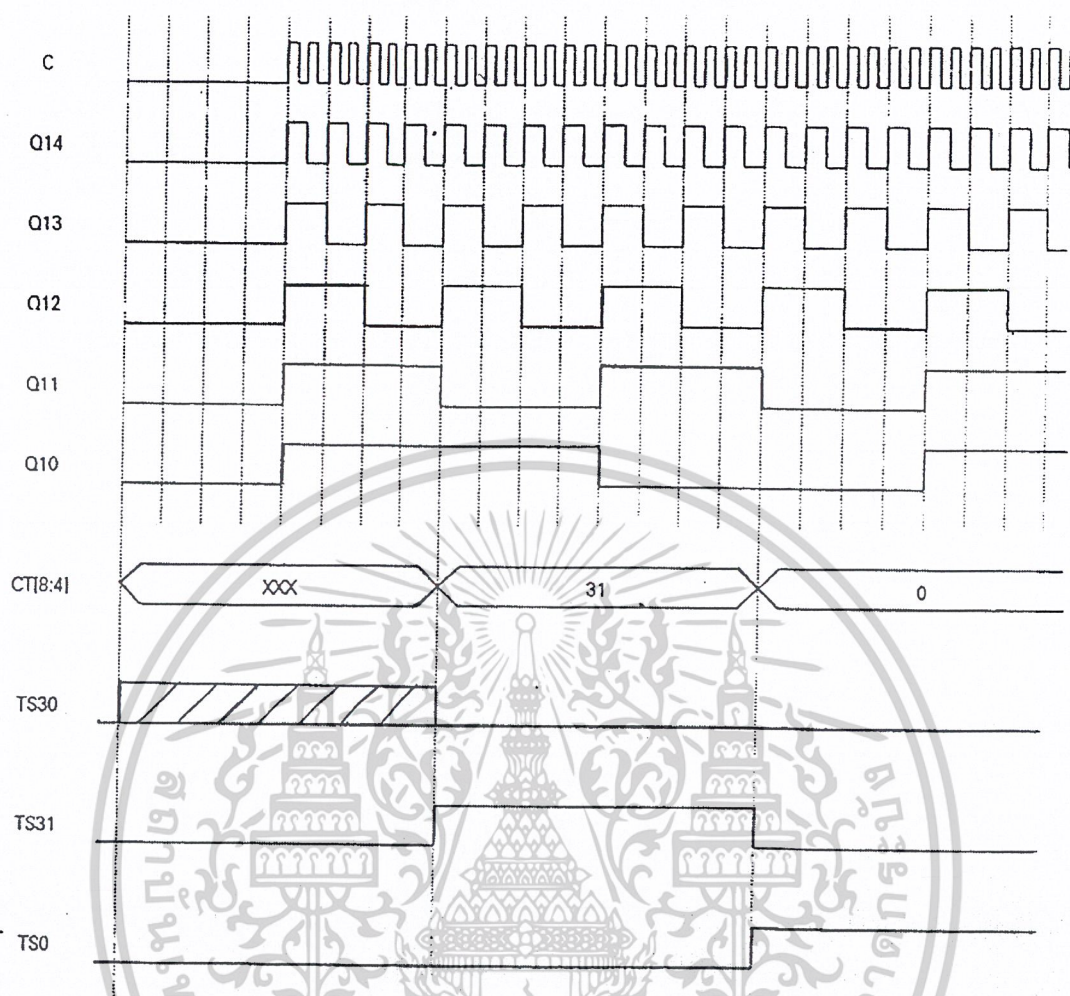
4.2.7.2 สร้างสัญญาณ TS1 TS2 TS3 ...TS31 ซึ่งเป็นสัญญาณควบคุมขนาด 1 บิต มีหน้าที่เหมือนกับ CT[8:4] ให้ออกช่องสัญญาณให้กับข้อมูลต่าง ๆ ว่ากำลังวิ่งอยู่ในช่องสัญญาณไหน ข้อมูลต่าง ๆ ในที่นี้ได้แก่ ข้อมูลพีซีเอ็ม ข้อมูลเชิงเส้นยกกำลังสอง ค่ากำลังเฉลี่ยของสัญญาณเสียง เป็นต้น นอกจากนี้สัญญาณ TS2 TS4 TS6(สัญญาณภายในชิป) ยังเป็นสัญญาณเดียวกันกับ ts_en2 ts_en4 ts_en6 (สัญญาณภายนอกชิป) ซึ่งใช้ในการบอกกับชิป codec ให้รับและส่งข้อมูลพีซีเอ็มที่ช่องสัญญาณ 2 4 6 ตามลำดับ

4.2.7.3 สร้างสัญญาณ rs_ing เพื่อรีเซตข้อมูลในฟิลิปปอลที่เก็บค่ากำลังเฉลี่ยของสัญญาณเสียง

4.2.7.4 สร้างสัญญาณ en_cp ซึ่งมีความถี่ 125 Hz และวัฏจักร หน้าที่ (duty cycle) เท่ากับ $(125 \mu\text{sec}/8 \text{ msec}) \times 100 \% = 1.5625 \%$ เมื่อสัญญาณ en_cp เป็น 1 จะเป็นการบอกให้นำข้อมูลในฟิลิปปอลที่เก็บค่ากำลังเฉลี่ยสัญญาณเสียงของผู้ประชุมแต่ละคนมาทำการเปรียบเทียบกัน และเมื่อสัญญาณ en_cp เป็น 0 จะไม่มีการเปรียบเทียบค่ากำลังเฉลี่ยดังกล่าว

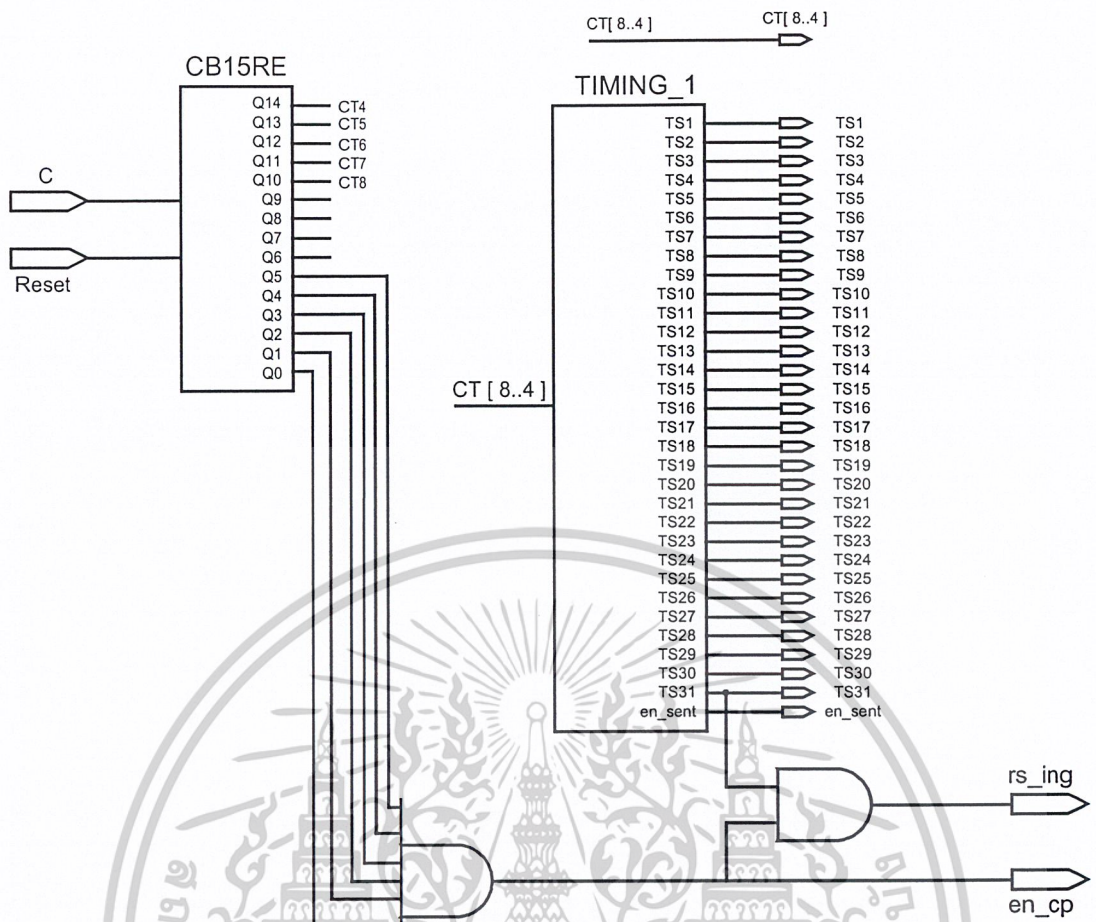
4.2.7.5 สร้างสัญญาณ CLK ความถี่ 2.048 MHz เพื่อเป็นสัญญาณนาฬิกาให้กับชิป codec และโมดูลภายในดังนี้ โมดูลการแปลงข้อมูลพีซีเอ็มแบบอนุกรมเป็นแบบขนาน โมดูลหน่วยความจำ และโมดูลการแปลงข้อมูลพีซีเอ็มแบบขนานเป็นแบบอนุกรม แผนภาพเวลาโมดูลกำหนดช่องสัญญาณแสดงดังรูปที่ 4.20 และโครงสร้างภายในโมดูลกำหนดช่องสัญญาณแสดงดังรูปที่ 4.21

สำหรับวงจรนับเวลาในโมดูลนี้ได้ใช้ CB15RE การทำงานของ CB15RE ซึ่งแบ่งออกเป็น 3 กรณี กล่าวคือ กรณีแรก เมื่อขาสัญญาณ R เป็น 1 และ C อยู่ในสถานะขอบขาขึ้น ที่เอาต์พุต Q14 – Q0 จะถูกรีเซ็ตให้เป็น 0 กรณีที่ 2 เมื่อขาสัญญาณ R เป็น 0 CE เป็น 0 ที่เอาต์พุต Q14 – Q0 จะไม่มีการเปลี่ยนแปลง และกรณีที่ 3 เมื่อขาสัญญาณ R เป็น 0 CE เป็น 1 และ C อยู่ในสถานะขอบขาขึ้น เอาต์พุตจะมีการนับซึ่งจะนับอยู่ระหว่างค่า 0000000000000000 – 11111111111111



รูปที่ 4.20 แสดงแผนภาพเวลาของโมดูลกำหนดช่องสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



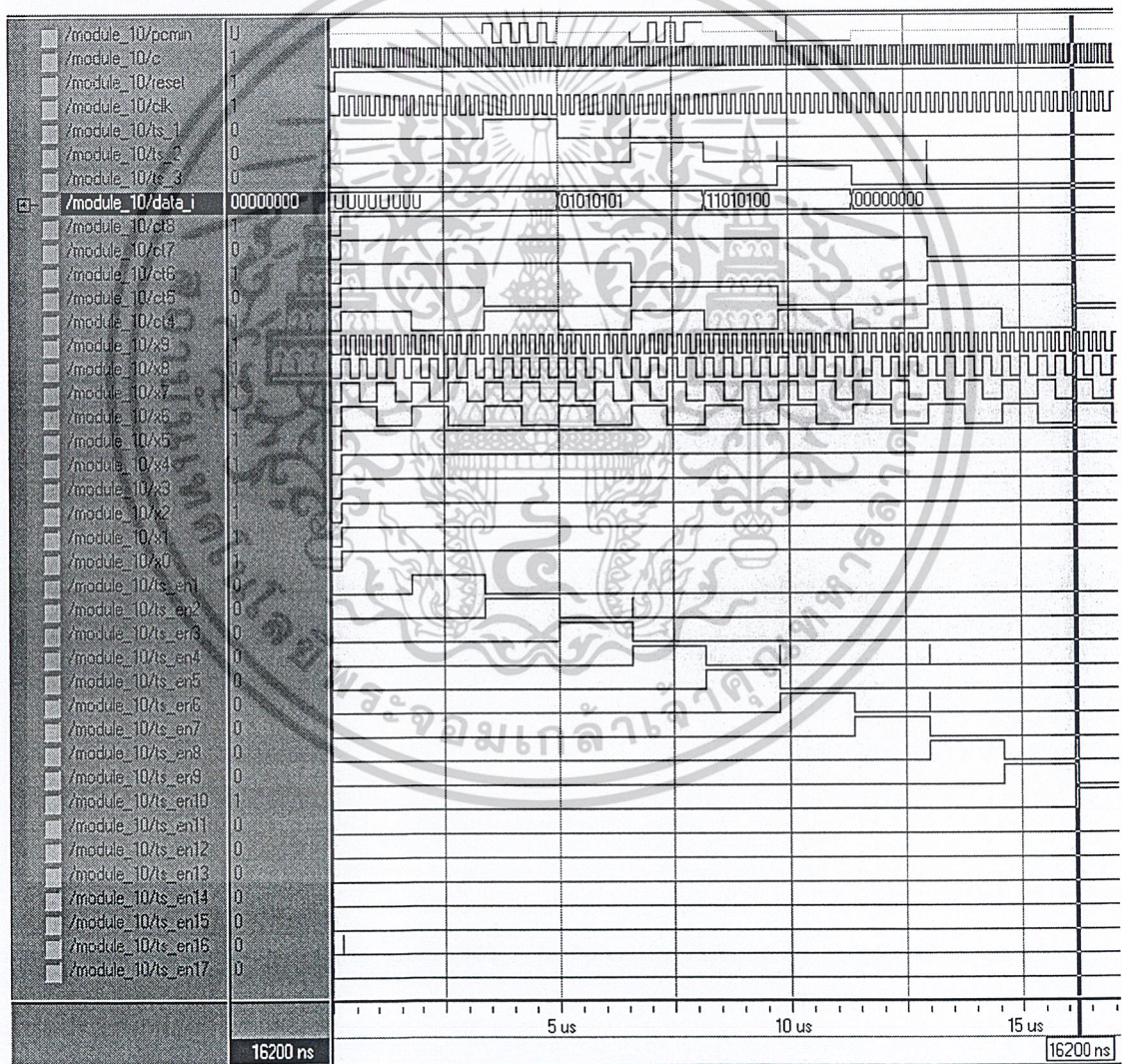
รูปที่ 4.21 แสดงโครงสร้างของโมดูลกำหนดช่องสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.1 โมดูลแปลงข้อมูลพีซีเอ็มแบบอนุกรมเป็นแบบขนาน

เนื่องจากภาคมอดูลนี้จะทำหน้าที่รับข้อมูลพีซีเอ็ม (ที่ได้หลังนำเสียงพูดของผู้ประชุมในแต่ละคน มาผ่านส่วนของวงจรแปลงสัญญาณเสียงเป็นสัญญาณพีซีเอ็ม) ที่จะมีลักษณะเป็นเฟรม ๆ

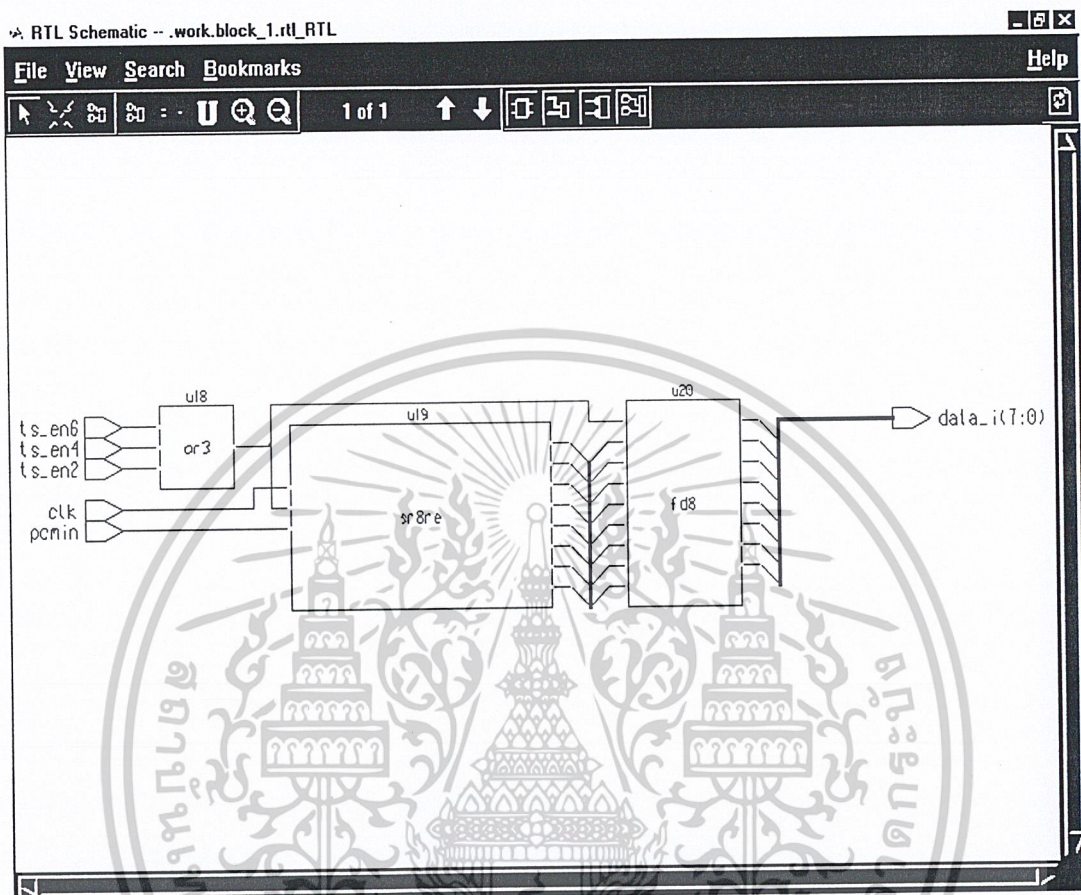
โดยใน 1 เฟรมจะประกอบไปด้วย 32 ช่องสัญญาณ และในแต่ละช่องสัญญาณจะประกอบด้วย ข้อมูล 8 บิต ที่เข้ามาด้วยอัตราเร็ว 2.048 Mbit/sec ซึ่งภาคของมอดูลนี้จะนำข้อมูลอนุกรมที่เข้ามาทีละ 8 บิตของแต่ละช่องสัญญาณนี้ (PCMin) ทำการแปลงเป็นข้อมูลแบบขนาน 8 บิต (data-i) ดังรูปที่ 5.1 เพื่อส่งต่อไปยังมอดูลหน่วยความจำและมอดูลแปลงข้อมูลพีซีเอ็มเป็นข้อมูลเชิงเส้น



รูปที่ 5.1 แสดงผลจำลองการทำงานของมอดูลแปลงข้อมูลพีซีเอ็มแบบอนุกรมเป็นแบบขนาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ผลการสังเคราะห์ด้วยโปรแกรม Leonardo Spectrum โดยใช้เทคโนโลยี FPGA ของบริษัท Altera ตระกูล FLEX 10K 10LC84-3 ได้ผลการสังเคราะห์วงจรของมอดูลแปลงข้อมูลพีซีเอ็มแบบอนุกรมเป็นแบบขนาน ในระดับ RTL ดังรูปที่ 5.2



รูปที่ 5.2 แสดงผลการสังเคราะห์ของมอดูลแปลงข้อมูลพีซีเอ็มแบบอนุกรมเป็นแบบขนาน

5.2 มอดูลแปลงข้อมูลจากข้อมูลพีซีเอ็มเป็นข้อมูลเชิงเส้นยกกำลังสอง

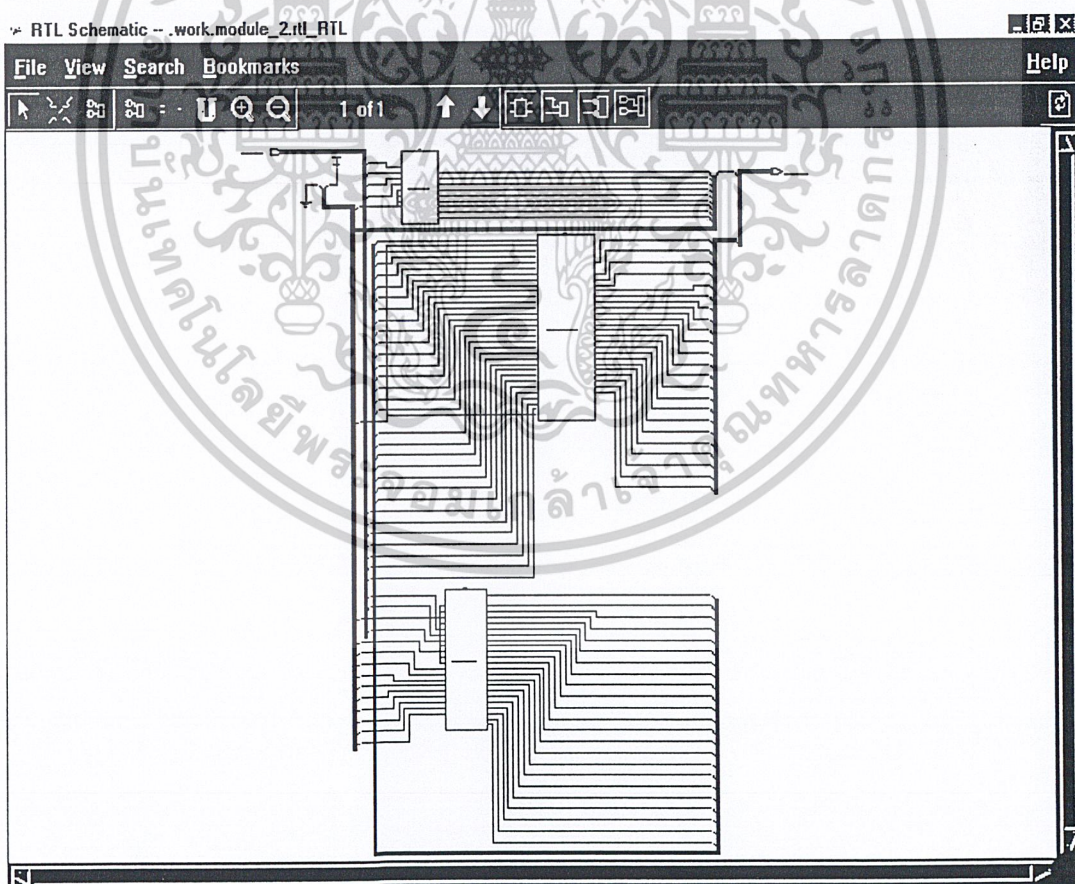
ซึ่งเป็นมอดูลที่แปลงข้อมูลพีซีเอ็มจากข้อมูลไม่เชิงเส้นให้เป็นข้อมูลเชิงเส้นยกกำลังสองแบบ A-Law โดยจากการสร้างส่วนของมอดูลนี้พบว่าได้ผลการทดลองที่สามารถเปรียบเทียบรายละเอียด การแปลงรหัสได้ควบคุมกับภาคผนวกด้านท้ายโดยจากรูปที่ 5.3 แสดงให้เห็นว่าเมื่อมีข้อมูลพีซีเอ็มซึ่งเป็นข้อมูลไม่เชิงเส้นที่รับได้มาจากมอดูลแปลงพีซีเอ็มแบบอนุกรมเป็นแบบขนาน (data_i) เมื่อมาผ่านมอดูลนี้แล้วก็จะถูกแปลงเป็นข้อมูลเชิงเส้นยกกำลังสองแบบ A-Law (lin_2) ซึ่งเป็นผลการจำลองการทำงาน (Simulation) ที่ถูกต้องตามหลักการที่ได้ออกแบบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

/module_2/data_i	11110000	00001111	11110000
/module_2/lin_2	01000100000	00000000000001111000001	010001000001000000000000
/module_2/x	01000100000	11110000001	010001000001
/module_2/y	01000100000	1111000001000000000000	010001000001000000000000
/module_2/u1/p	11110000	00001111	11110000
/module_2/u1/a	01000100000	11110000001	010001000001
/module_2/u2/a	01000100000	11110000001	010001000001
/module_2/u2/p	11110000	00001111	11110000
/module_2/u2/b	01000100000	1111000000100000000000	010001000001000000000000
/module_2/u3/p	11110000	00001111	11110000
/module_2/u3/b	01000100000	1111000000100000000000	010001000001000000000000
/module_2/u3/lin_2	01000100000	00000000000001111000001	010001000001000000000000
/module_2/u3/c	00000000000	00000000000001111000001	000000000000000000000001

รูปที่ 5.3 แสดงผลจำลองการทำงานของมอดูลแปลงข้อมูลจากข้อมูลพีซีเอ็มเป็นข้อมูลเชิงเส้นยกกำลังสอง

ผลการสังเคราะห์ด้วยโปรแกรม Leonardo Spectrum โดยใช้เทคโนโลยี FPGA ของบริษัท Altera ตระกูล FLEX 10K 10LC84-3 ได้ผลการสังเคราะห์วงจรของมอดูลแปลงข้อมูลจากข้อมูลพีซีเอ็มเป็นข้อมูลเชิงเส้นยกกำลังสอง ในระดับ RTL ดังรูปที่ 5.4



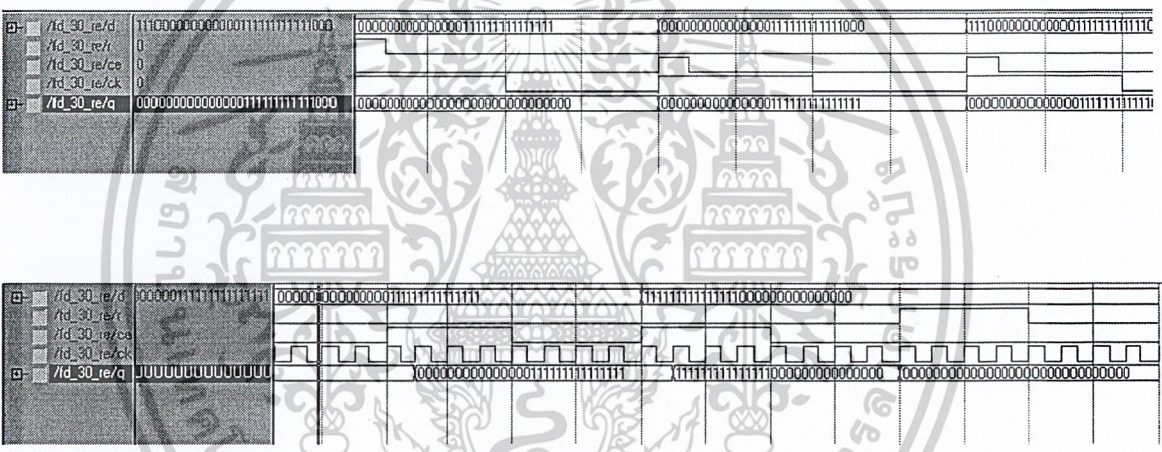
รูปที่ 5.4 แสดงผลการสังเคราะห์ของมอดูลแปลงข้อมูลจากข้อมูลพีซีเอ็มเป็นข้อมูลเชิงเส้นยกกำลังสอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.3 มอดูลหาค่าลึงเฉลี่ยของสัญญาณเสียงของแต่ละช่องสัญญาณ

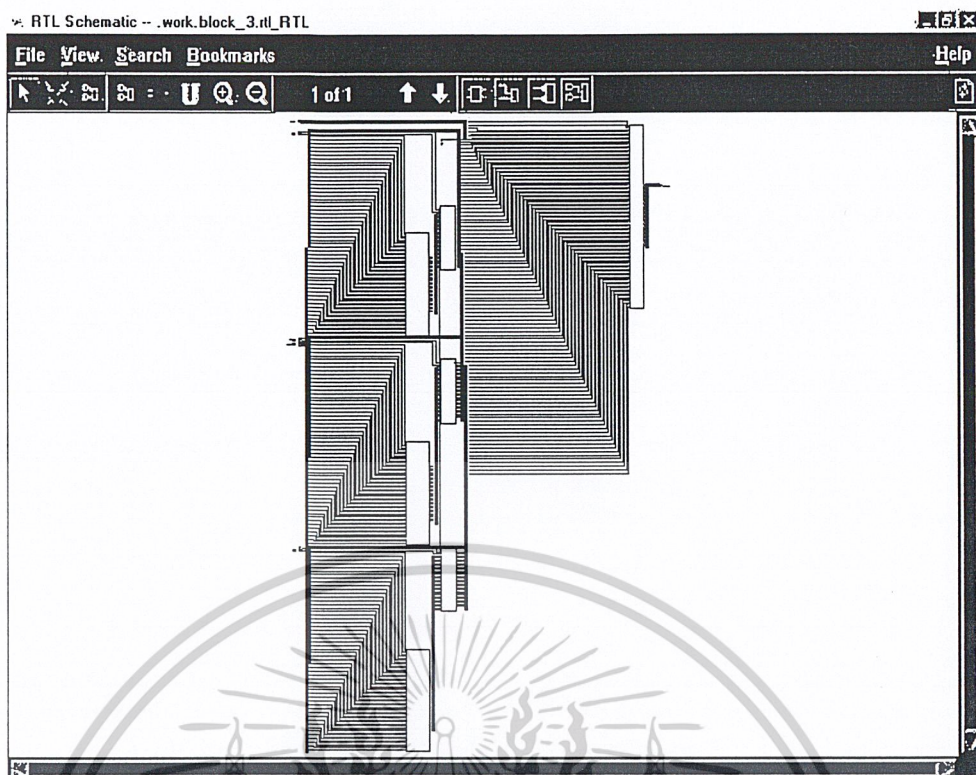
เป็นมอดูลที่ประกอบด้วยวงจรบวกที่มีที่เก็บผลลัพธ์จากการบวกกันของข้อมูลนี้คนละตำแหน่งของไครของมัน ในการเก็บข้อมูล เราจะเก็บตัวอย่างข้อมูลของแต่ละผู้ร่วมประชุมด้วยความถี่ 8 kHz หรือทุก ๆ 125 μsec จะเก็บข้อมูล 1 ครั้ง และทำการเก็บข้อมูลถึง 64 ครั้ง ถึงจะมีการส่งผลลัพธ์ ในการเก็บข้อมูลดังกล่าวไปให้มอดูลเปรียบเทียบกับสัญญาณเสียง

ซึ่งภายในมอดูลจะประกอบด้วย ส่วนของตัวคำนวณรวมค่าค่าลึงเฉลี่ยของแต่ละช่องสัญญาณ (add30)และตัวเก็บข้อมูล (fd_30_re) จะรอจนกระทั่งครบจำนวนครั้ง (64ครั้ง) โดยจะมีสัญญาณรีเซต (r) คอยควบคุมตัวเก็บข้อมูลดังกล่าว ซึ่งจากการออกแบบที่ได้เขียนบรรยายพฤติกรรมของมอดูลนี้ ภายในจะประกอบด้วยตัวอุปกรณ์ 3 ตัวคือ add30, fd_30_re และ MUX3 ดังรูปที่ 5.5 ซึ่งเป็นผลการจำลองการทำงานของอุปกรณ์ fd_30_re ที่ทำหน้าที่เป็นอุปกรณ์คอยเก็บข้อมูลที่เป็นผลลัพธ์จากการบวกกันของผู้ประชุมแต่ละคนไว้



รูปที่ 5.5 แสดงผลจำลองการทำงานของอุปกรณ์เบอร์ fd_30_re ที่อยู่ภายในมอดูลหาค่าลึงเฉลี่ยของสัญญาณเสียงของแต่ละช่องสัญญาณ

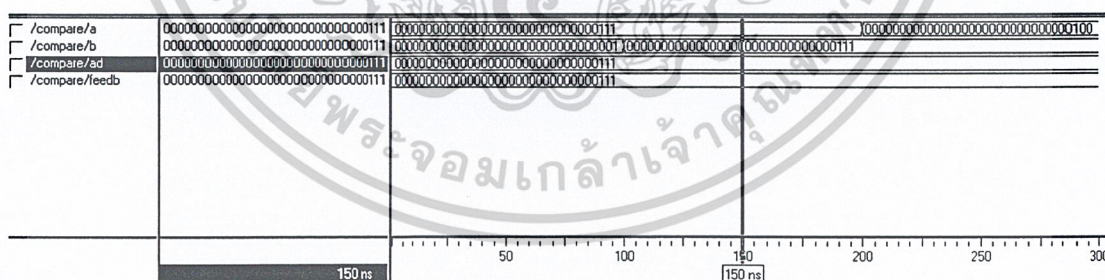
ผลการสังเคราะห์ด้วยโปรแกรม Leonardo Spectrum โดยใช้เทคโนโลยี FPGA ของบริษัท Altera ตระกูล FLEX 10K 10LC84-3 ได้ผลการสังเคราะห์วงจรของมอดูลหาค่าลึงเฉลี่ยของสัญญาณเสียงของแต่ละช่องสัญญาณ ในระดับ RTL ดังรูปที่ 5.6



รูปที่ 5.6 แสดงผลการสังเคราะห์ของมอดูลที่กำลังเฉลี่ยของสัญญาณเสียงของแต่ละช่องสัญญาณ

5.4 มอดูลการเปรียบเทียบกำลังเฉลี่ยของสัญญาณเสียงแต่ละช่องสัญญาณ

เป็นมอดูลที่ทำหน้าที่ในการเปรียบเทียบสัญญาณเสียง เพื่อหาสัญญาณเสียงของผู้ร่วมประชุม ที่มีสัญญาณเสียงดังที่สุด และดึงร่องลงมาอันดับหนึ่ง ซึ่งดังรูปที่ 5.7 เป็นจำลองการทำงานของ อุปกรณ์เบอร์ compare ที่ใช้เป็นตัวเปรียบเทียบกำลังเฉลี่ยของสัญญาณเสียงแต่ละช่องสัญญาณ



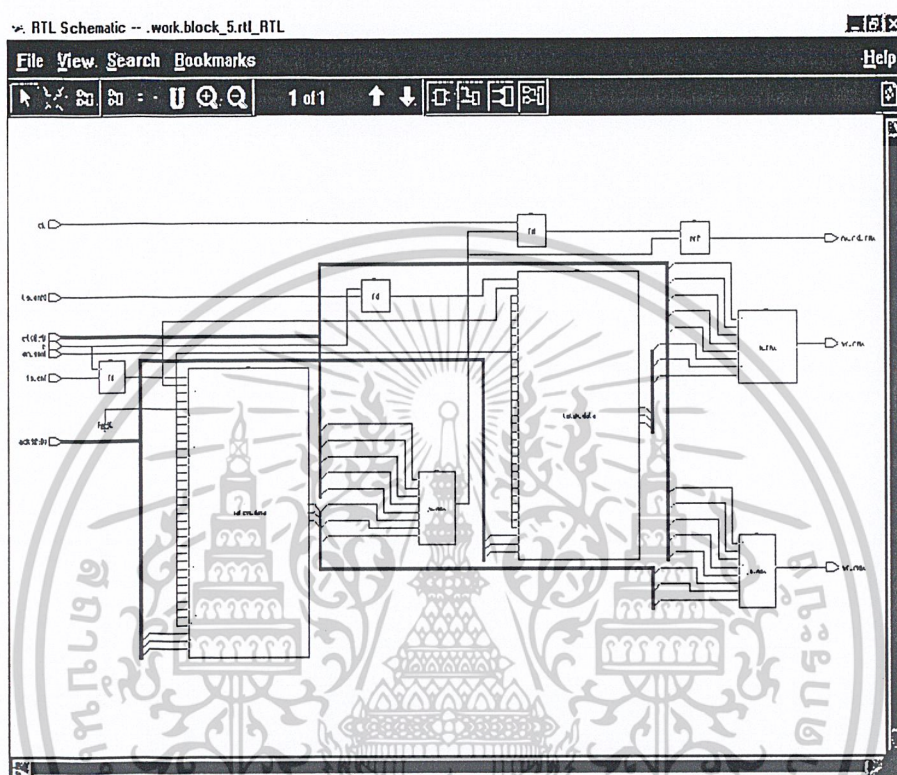
รูปที่ 5.7 แสดงผลจำลองการทำงานของมอดูลการเปรียบเทียบกำลังเฉลี่ยของสัญญาณเสียงแต่ละช่องสัญญาณ

5.5 ส่วนของการสร้างสัญญาควบคุมหน่วยความจำ

ส่วนนี้จะเก็บข้อมูลของผู้ร่วมประชุมที่มีสัญญาณเสียงที่ดังที่สุดและเสียงดังรองลงมาอันดับหนึ่ง และจะส่งข้อมูลไปยังมอดูลแปลงข้อมูลพีซีเอ็มแบบขนานเป็นแบบอนุกรม โดยการอ่านหรือเขียนข้อมูล

ลงบนหน่วยความจำนี้ จะมีสัญญาณควบคุมมาจากมอดูลการเปรียบเทียบกำลังเฉลี่ยของสัญญาณเสียงแต่ละช่องสัญญาณ ของผู้ร่วมประชุม

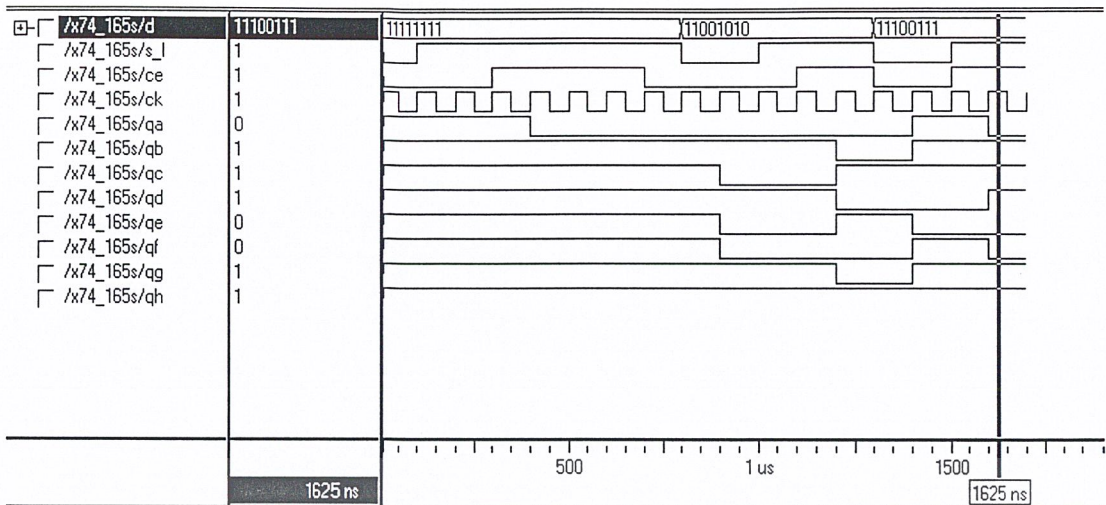
ผลการสังเคราะห์ด้วยโปรแกรม Leonardo Spectrum โดยใช้เทคโนโลยี FPGA ของบริษัท Altera ตระกูล FLEX 10K 10LC84-3 ได้ผลการสังเคราะห์ส่วนของการสร้างสัญญาณควบคุมหน่วยความจำ ในระดับ RTL ดังรูปที่ 5.8



รูปที่ 5.8 แสดงผลการสังเคราะห์ของส่วนการสร้างสัญญาณควบคุมหน่วยความจำ

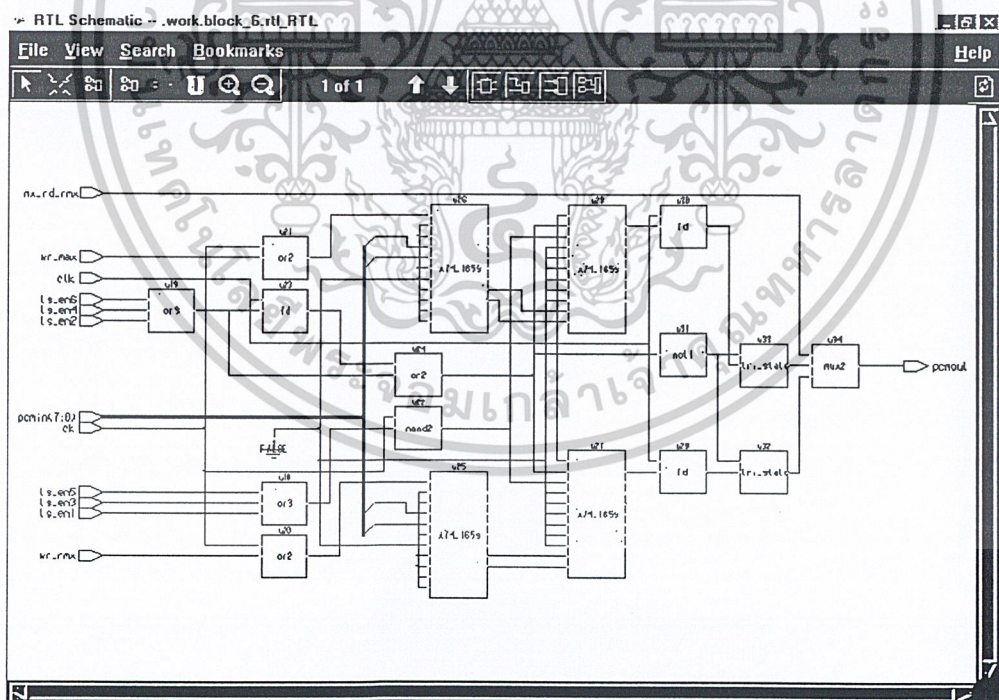
5.6 มอดูลหน่วยความจำและมอดูลแปลงข้อมูลพีซีเอ็มแบบขนานเป็นแบบอนุกรม

มอดูลแปลงข้อมูลพีซีเอ็มแบบขนานเป็นแบบอนุกรม จะทำหน้าที่ในการแปลงข้อมูลแบบขนานที่ส่งมาจากมอดูลหน่วยความจำให้เป็นแบบอนุกรม เพื่อส่งไปบนช่องสัญญาณต่าง ๆ ของผู้ร่วมประชุม ซึ่งภายในจะอาศัยอุปกรณ์ X74_165S คอยทำหน้าที่เป็นทั้งตัวแปลงสัญญาณและตัวเก็บข้อมูลโดยรอสัญญาณจากส่วนควบคุมหน่วยความจำ(CE)ให้ทำการส่งสัญญาณออกไปในช่องสัญญาณที่ตรงกัน



รูปที่ 5.9 แสดงผลจำลองการทำงานของอุปกรณ์เบอร์ x74_165S ในมอดูลหน่วยความจำและมอดูลแปลงข้อมูลพีซีเอ็มแบบขนานเป็นแบบอนุกรม

ผลการสังเคราะห์ด้วยโปรแกรม Leonardo Spectrum โดยใช้เทคโนโลยี FPGA ของบริษัท Altera ตระกูล FLEX 10K 10LC84-3 ได้ผลการสังเคราะห์มอดูลหน่วยความจำและมอดูลแปลงข้อมูลพีซีเอ็มแบบขนานเป็นแบบอนุกรม ในระดับ RTL ดังรูปที่ 5.10

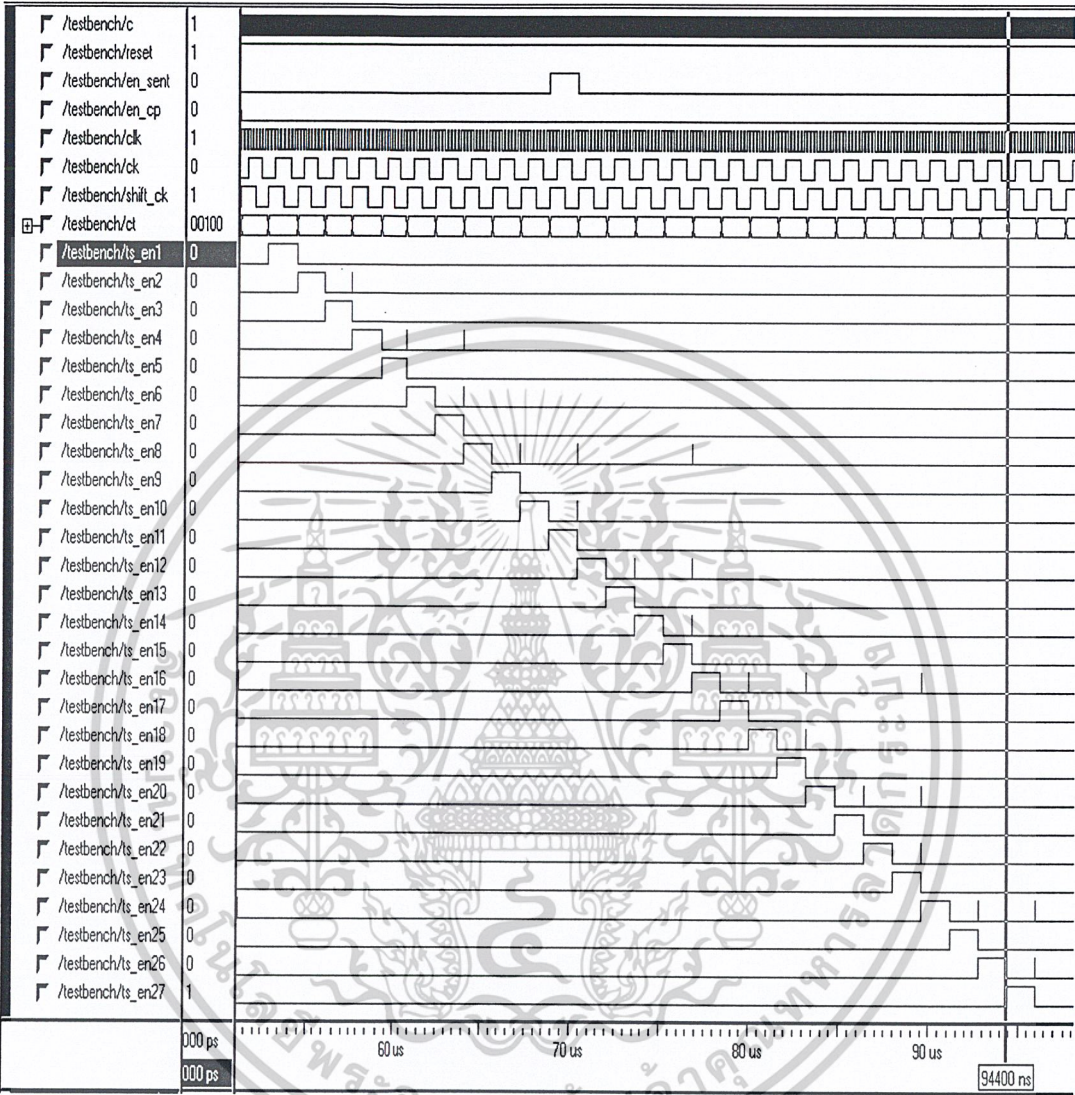


รูปที่ 5.10 แสดงผลการสังเคราะห์มอดูลหน่วยความจำและมอดูลแปลงข้อมูลพีซีเอ็มแบบขนานเป็นแบบอนุกรม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.7 มอดูลกำหนดช่องสัญญาณ

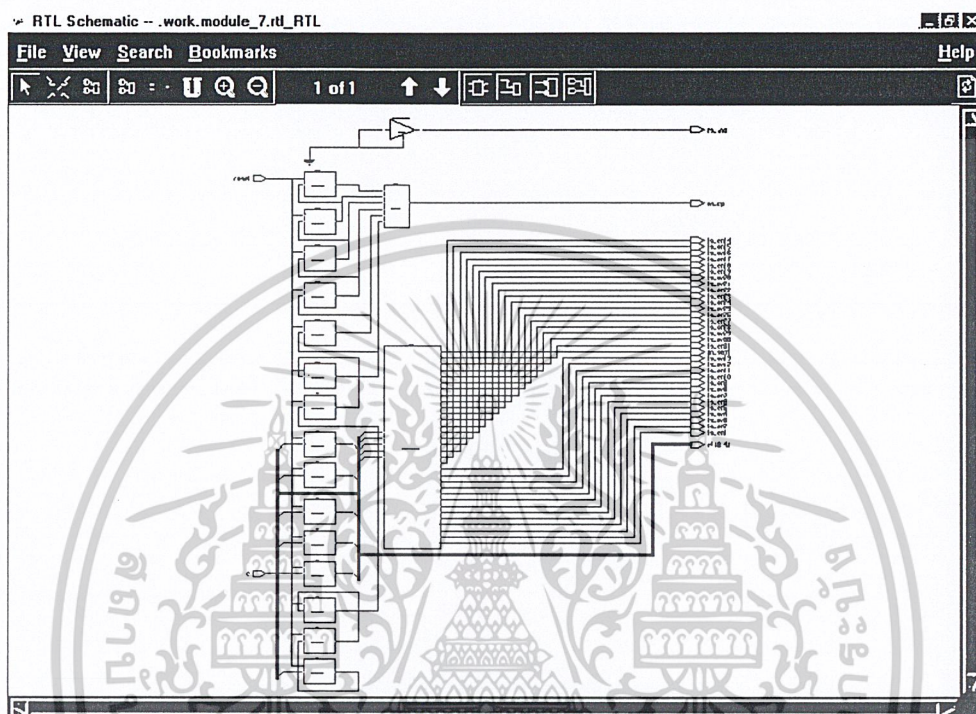
เป็นมอดูลที่ประกอบด้วยวงจรหารความถี่และทำหน้าที่ในการสร้างช่องสัญญาณที่ 0 ถึง 31 ในเฟรม ๆ หนึ่งเพื่อส่งไปยังมอดูลต่าง ๆ เพื่อให้เกิดการเข้าจังหวะได้ตรงกัน



รูปที่ 5.11 แสดงผลจำลองการทำงานของมอดูลมอดูลกำหนดช่องสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ผลการสังเคราะห์ด้วยโปรแกรม Leonardo Spectrum โดยใช้เทคโนโลยี FPGA ของบริษัท Altera ตระกูล FLEX 10K 10LC84-3 ได้ผลการสังเคราะห์ห้มอดูลกำหนดช่องสัญญาณ ในระดับ RTL ดังรูปที่ 5.12

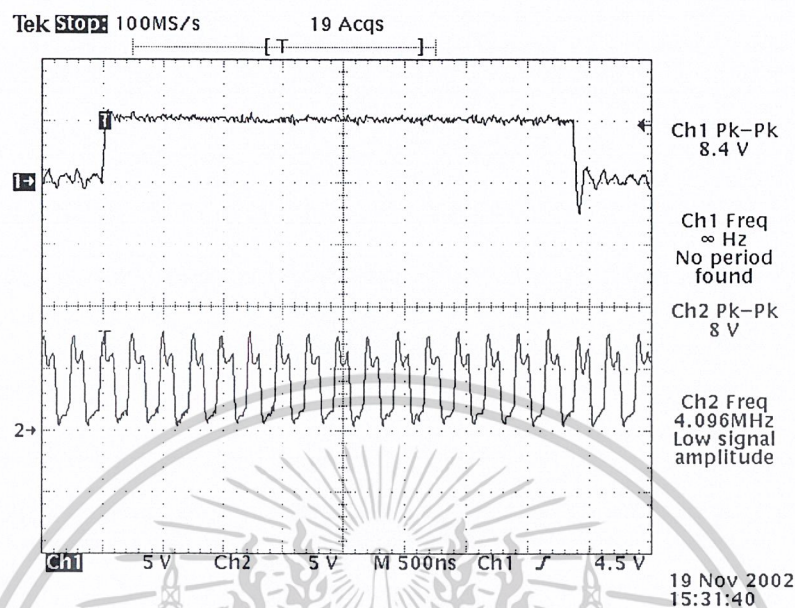


รูปที่ 5.12 แสดงผลการสังเคราะห์ของมอดูลกำหนดช่องสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

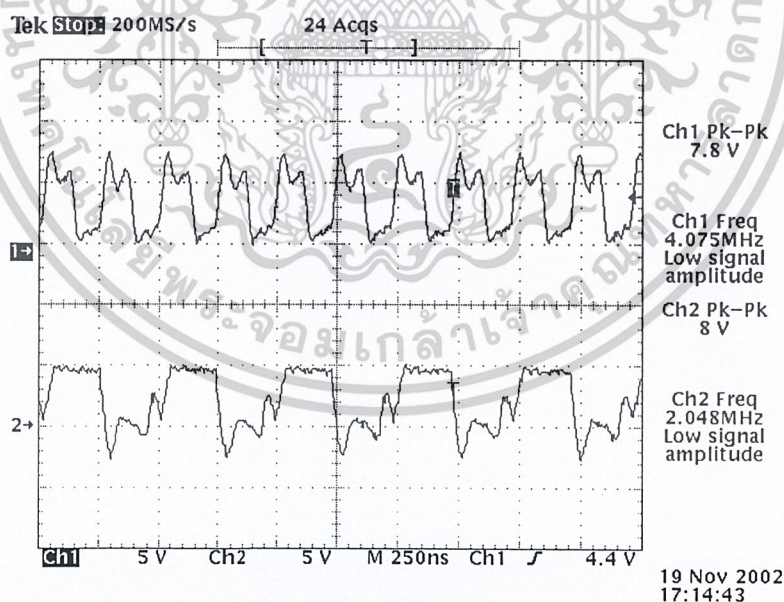
5.8 ผลการทดสอบรวมทั้ง 7 มอดูล

5.8.1 ภาคมอดูลกำหนดช่องสัญญาณ



รูปที่ 5.13 แสดงช่องสัญญาณ (Time Slot) เปรียบเทียบกับสัญญาณนาฬิกาที่สร้างขึ้น

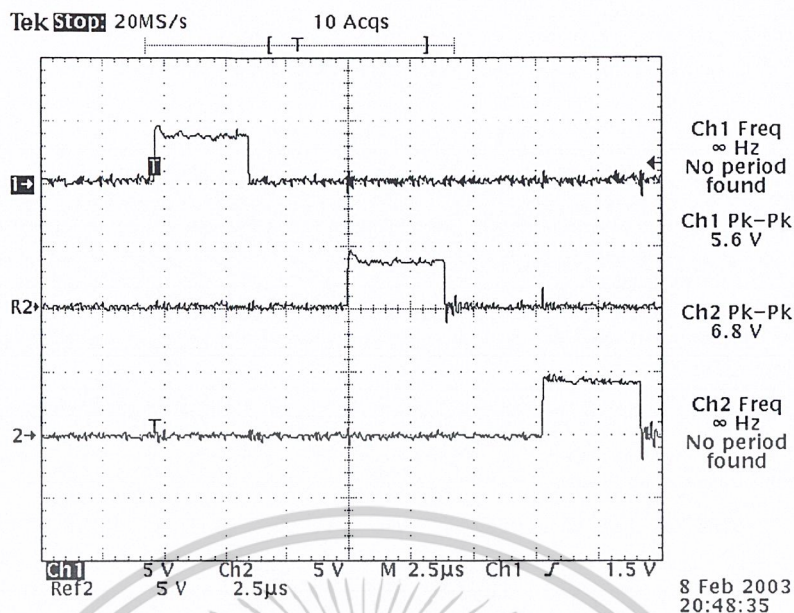
CH1 ช่องสัญญาณ (Time Slot)
CH2 สัญญาณนาฬิกาความถี่ 4.096 MHz



รูปที่ 5.14 สัญญาณนาฬิกา (C) ที่สร้างขึ้นเปรียบเทียบกับสัญญาณคล็อก (Clk) ที่สร้างจากมอดูลกำหนดช่องสัญญาณ

CH1 สัญญาณนาฬิกาความถี่ 4.096 MHz
CH2 สัญญาณนาฬิกาความถี่ 2.048 MHz

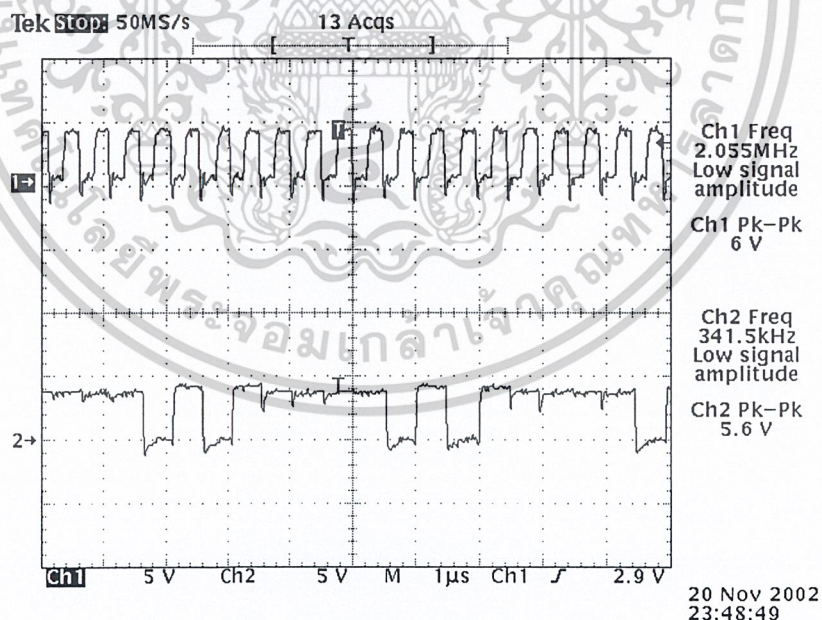
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.15 ช่องสัญญาณ (Time Slot) ของผู้ประชุมแต่ละคน

- CH1 ช่องสัญญาณ (Time Slot) ของผู้ประชุมคนที่ 1
- Ref2 ช่องสัญญาณ (Time Slot) ของผู้ประชุมคนที่ 2
- CH2 ช่องสัญญาณ (Time Slot) ของผู้ประชุมคนที่ 3

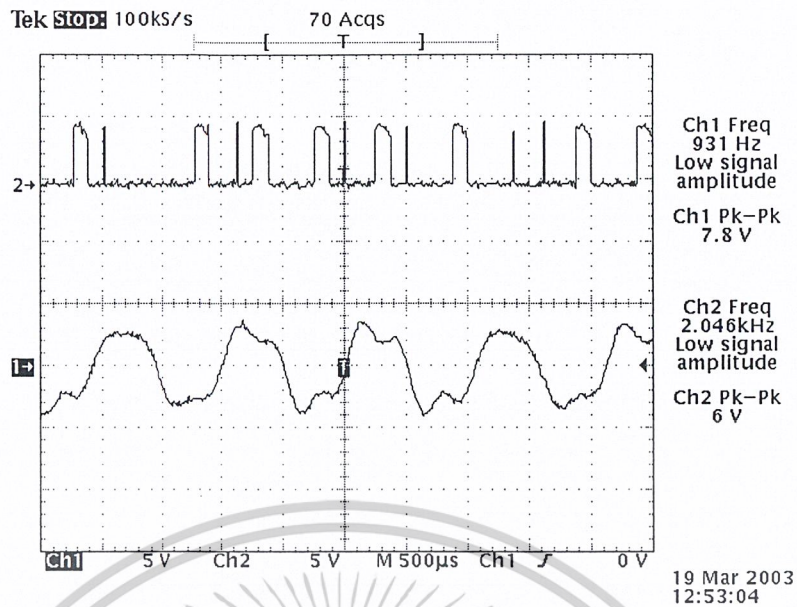
5.8.2 ภาควงจรเอชดี(A/D)และดิฟเฟอ(D/A)



รูปที่ 5.16 สัญญาณนาฬิกาที่ใช้ควบคุมจังหวะการส่งสัญญาณข้อมูลเทียบกับสัญญาณข้อมูลที่ได้จากวงจรเอชดี

- CH1 สัญญาณนาฬิกาความถี่ 2.048 MHz
- CH2 สัญญาณข้อมูลที่เป็นดิจิตอล

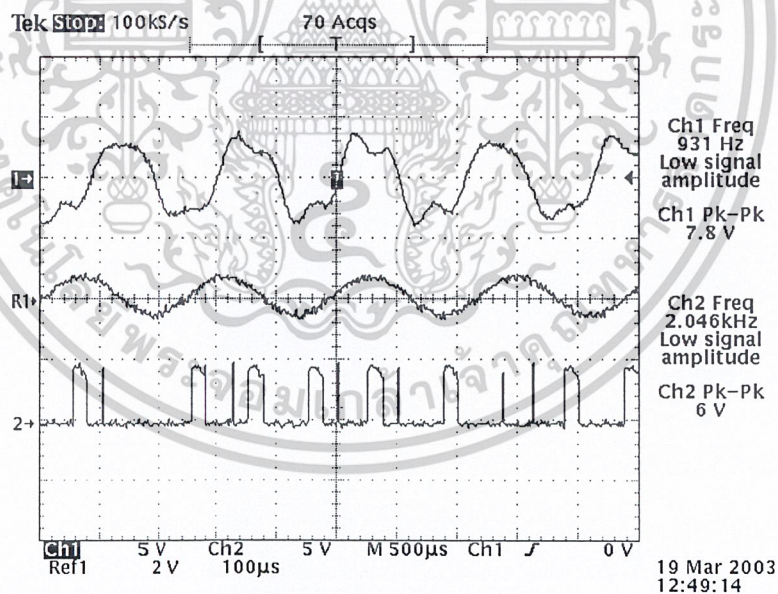
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.17 สัญญาณข้อมูลที่ได้จากวงจรเอพดีเทียบกับสัญญาณขาสารที่กู้คืนได้

CH1 สัญญาณข้อมูลหลังผ่านวงจรเอพดี

CH2 สัญญาณขาสารที่กู้กลับคืนมาได้



รูปที่ 5.18 สัญญาณขาสารก่อนและหลังผ่านวงจรเทียบกับสัญญาณข้อมูลที่ได้จากวงจรเอพดี

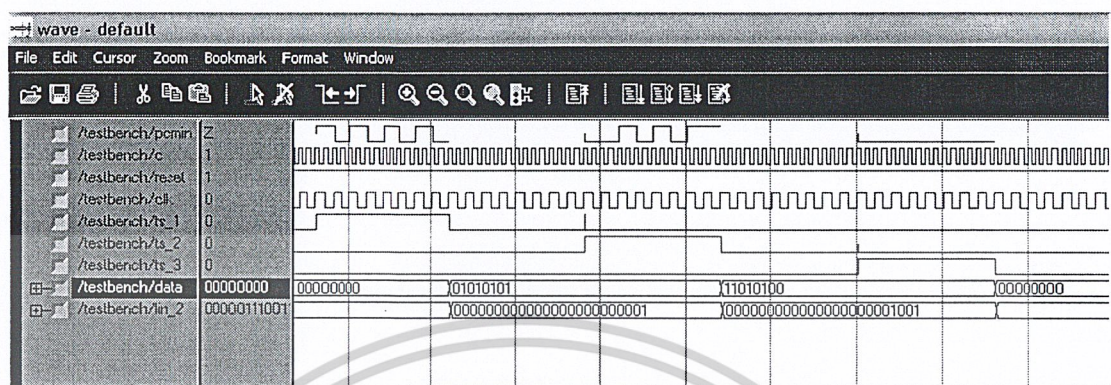
CH1 สัญญาณขาสารหลังผ่านวงจรเอพดี

Ref1 สัญญาณขาสารก่อนเข้าวงจรเอพดี

CH2 สัญญาณข้อมูลหลังผ่านวงจรเอพดี

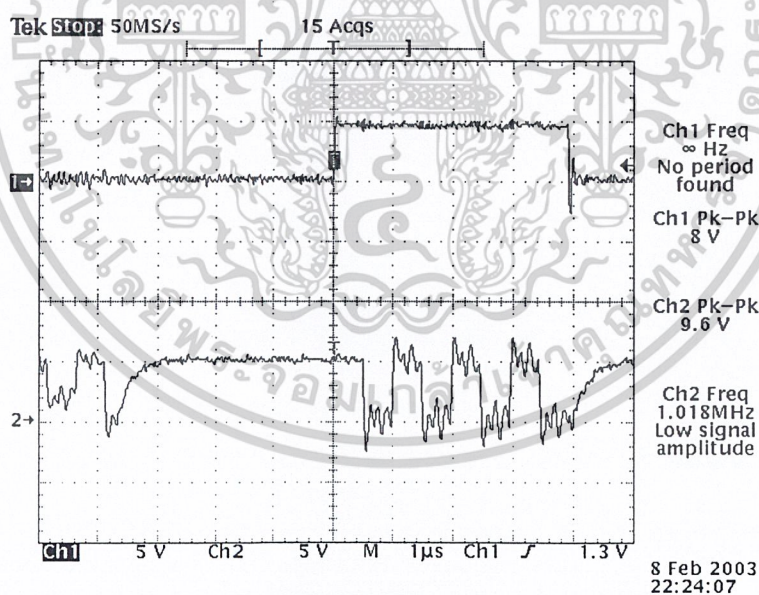
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.8.3 ภาคมอดูลแปลงข้อมูลพีซีเอ็มแบบอนุกรมเป็นขนานกับภาคมอดูลแปลงข้อมูลจากพีซีเอ็มเป็นข้อมูลเชิงเส้นยกกำลังสอง



รูปที่ 5.19 แสดงผลการทำงานเมื่อรวมมอดูลแปลงข้อมูลพีซีเอ็มแบบอนุกรมเป็นขนานเข้ากับมอดูลแปลงข้อมูลจากพีซีเอ็มเป็นข้อมูลเชิงเส้นยกกำลังสอง

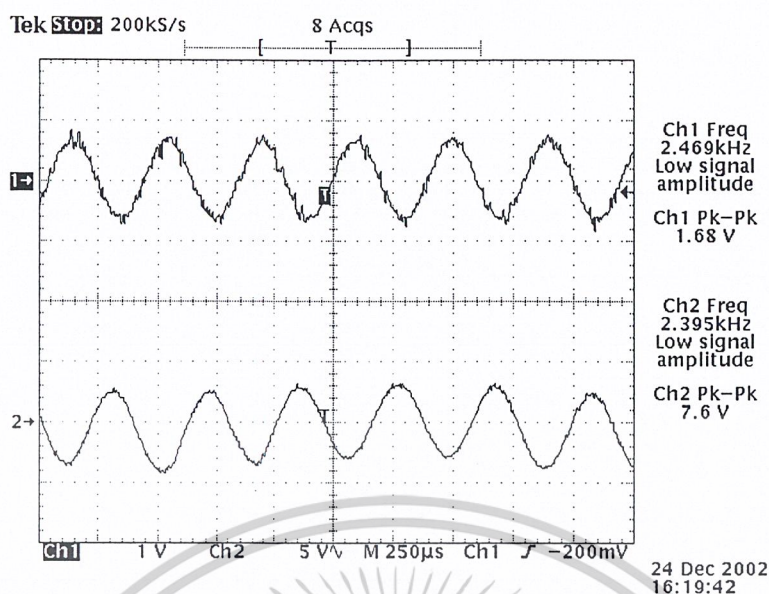
5.8.4 ภาคมอดูลแปลงข้อมูลพีซีเอ็มแบบอนุกรมเป็นขนานกับภาคมอดูลการแปลงข้อมูลพีซีเอ็มแบบขนานเป็นอนุกรม



รูปที่ 5.20 ช่องสัญญาณ (Time Slot) ของผู้ประชุมที่ใช้ส่งสัญญาณข้อมูลเทียบกับสัญญาณข้อมูลแบบอนุกรมที่ถูกส่งในช่วงเวลาของ Time Slot

- CH1 ช่องสัญญาณ (Time Slot) ของผู้ประชุม
- CH2 สัญญาณข้อมูลของผู้ประชุม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



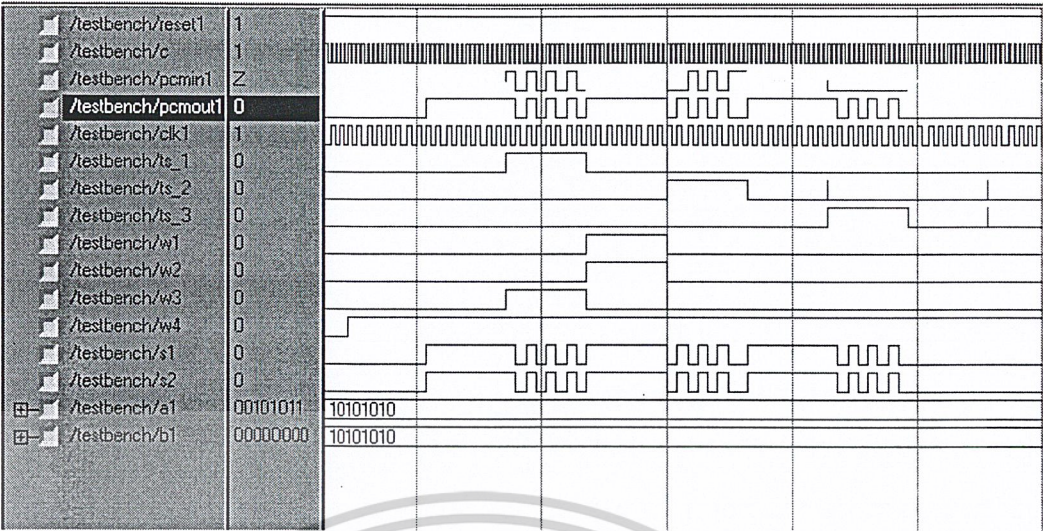
รูปที่ 5.21 สัญญาณของผู้ประชุมก่อนและหลังผ่านมอดูลแปลงข้อมูลพีซีเอ็มแบบอนุกรมเป็นขนานกับภาคมอดูลการแปลงข้อมูลพีซีเอ็มแบบขนานเป็นอนุกรม

CH1 สัญญาณของผู้ประชุมก่อนผ่านชิป

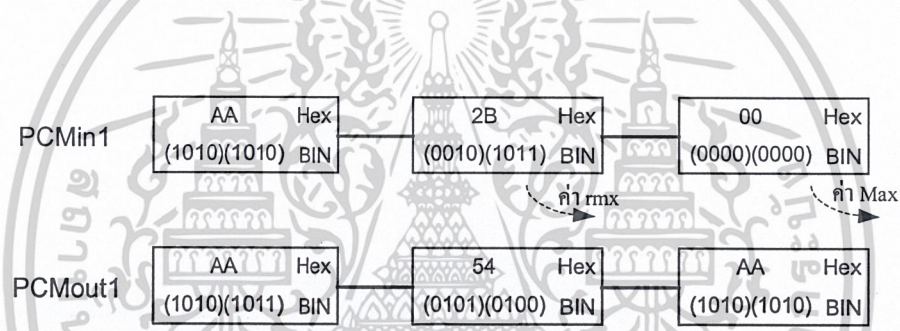
CH2 สัญญาณของผู้ประชุมหลังผ่านชิป

5.8.5 ภาพรวมของชิปการประชุมทางโทรศัพท์

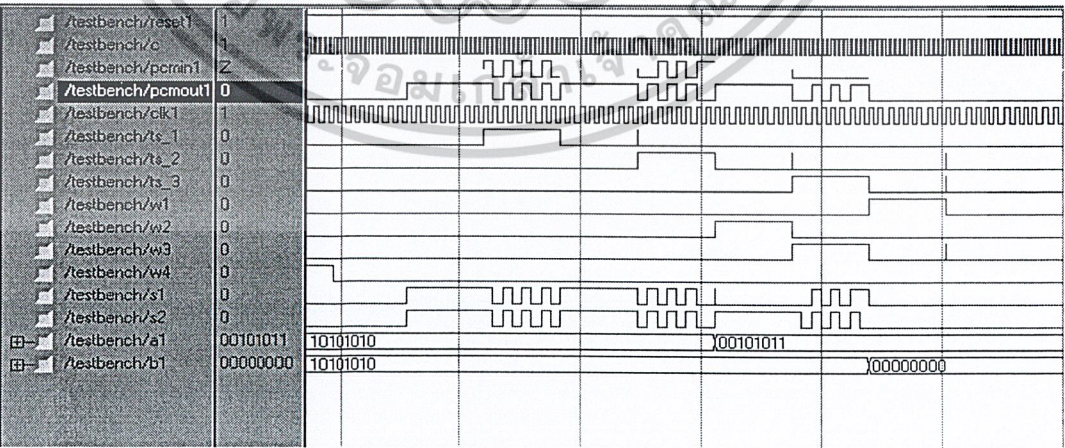
เมื่อทำการรวมมอดูลทั้งหมดที่ได้ออกแบบอันประกอบด้วย มอดูลกำหนดช่องสัญญาณ มอดูลแปลงข้อมูลพีซีเอ็มแบบอนุกรมเป็นขนาน มอดูลแปลงข้อมูลจากพีซีเอ็มเป็นข้อมูลเชิงเส้นยกกำลังสอง มอดูลหาค่าเฉลี่ยของสัญญาณเสียงแต่ละช่องสัญญาณ มอดูลการเปรียบเทียบกำลังเฉลี่ยของสัญญาณเสียงแต่ละช่องสัญญาณ มอดูลหน่วยความจำและควบคุมการอ่านเขียนข้อมูล และมอดูลการแปลงข้อมูลพีซีเอ็มแบบขนานเป็นอนุกรมเข้าด้วยกัน ซึ่งผลการทดสอบที่ได้จากโปรแกรมจำลองการทำงาน และผลการทดสอบจริงภายหลังโปรแกรมลงบนชิปเมื่อกำหนดให้ป้อนสัญญาณเสียงของผู้ประชุมแต่ละคนมีระดับที่แตกต่างกันโดยผู้ประชุมคนที่ 3 มีเสียงดังที่สุด ตามด้วยผู้ประชุมคนที่ 2 และ 3 ตามลำดับ ผลที่ได้มีดังนี้



รูปที่ 5.22 แสดงผลจำลองการทำงานของชิปการประชุมทางโทรศัพท์ในเฟรมที่ N

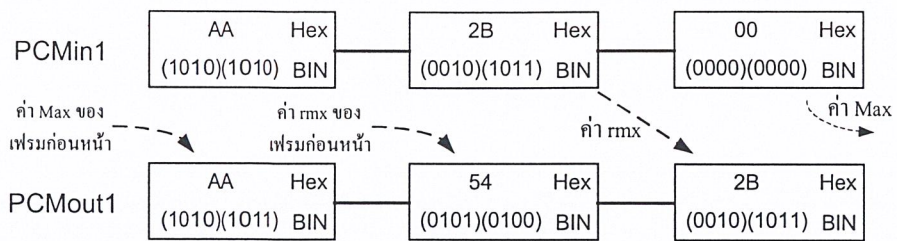


รูปที่ 5.23 ข้อมูลพีซีเอ็มที่แสดงด้วยเลขฐาน 16 และฐาน 2 ในเฟรมที่ N (เมื่อกำหนดให้ผู้ประชุมคนที่ 3 มีเสียงดังที่สุด ตามด้วยคนที่ 2 และคนที่ 1 ตามลำดับ)

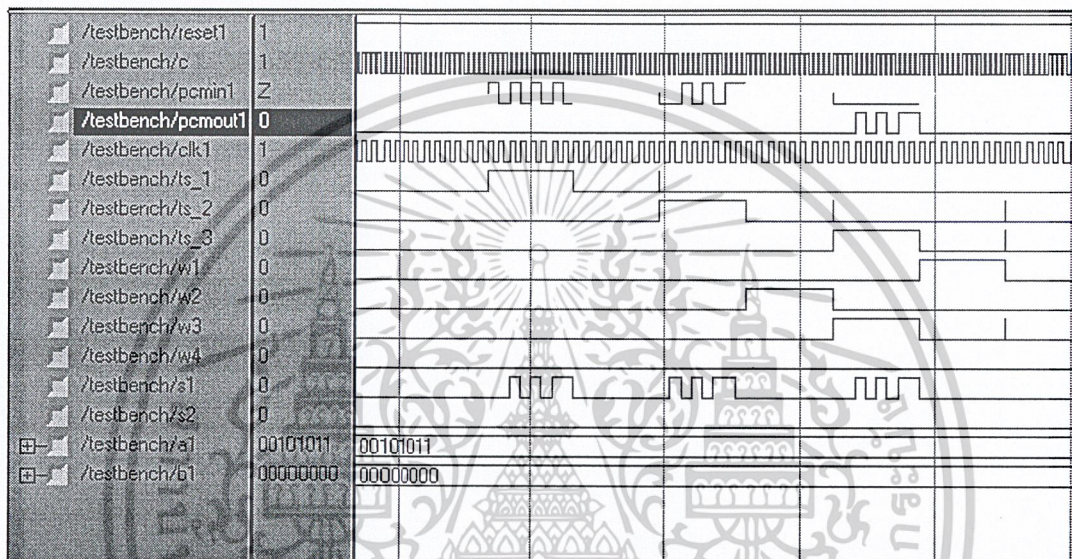


รูปที่ 5.24 แสดงผลจำลองการทำงานของชิปการประชุมทางโทรศัพท์ในเฟรมที่ N+1

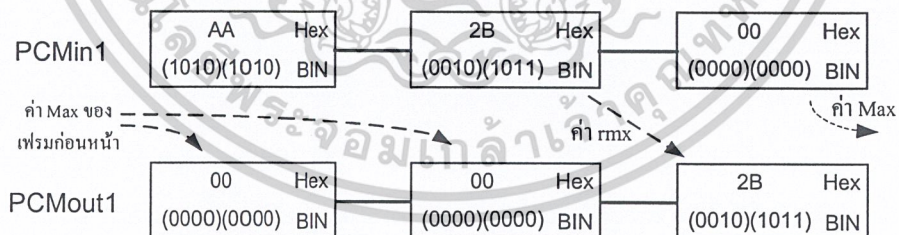
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.25 ข้อมูลพีซีเอ็มที่แสดงด้วยเลขฐาน 16 และฐาน 2 ในเฟรมที่ N+1 (เมื่อกำหนดให้ผู้ประชุมคนที่ 3 มีเสียงดังที่สุด ตามด้วยคนที่ 2 และคนที่ 1 ตามลำดับ)

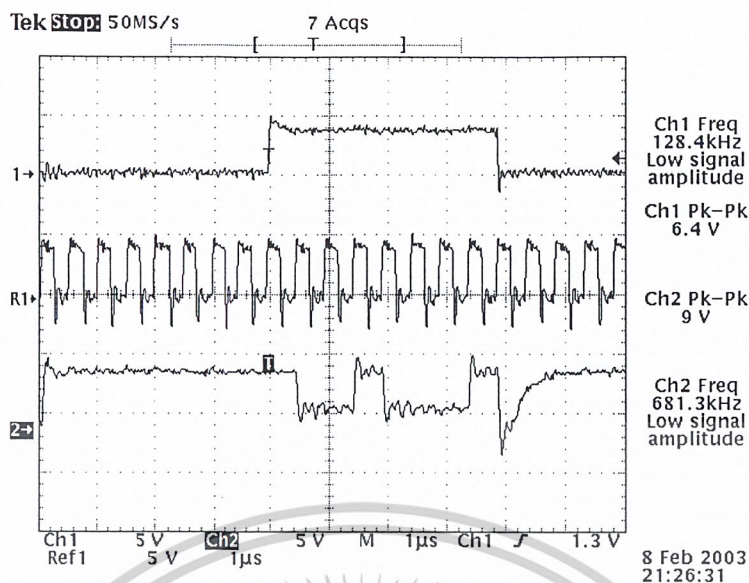


รูปที่ 5.26 แสดงผลจำลองการทำงานของชิปการประชุมทางโทรศัพท์ในเฟรมที่ N+2



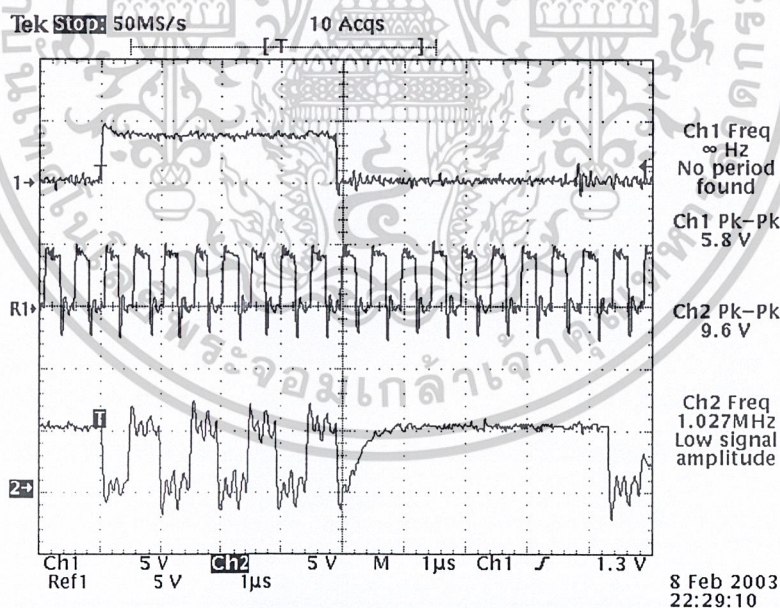
รูปที่ 5.27 ข้อมูลพีซีเอ็มที่แสดงด้วยเลขฐาน 16 และฐาน 2 ในเฟรมที่ N+2 (เมื่อกำหนดให้ผู้ประชุมคนที่ 3 มีเสียงดังที่สุด ตามด้วยคนที่ 2 และคนที่ 1 ตามลำดับ)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.28 ช่องสัญญาณ (TS_en1) เปรียบเทียบกับสัญญาณข้อมูลของผู้ประชุมคนที่หนึ่งก่อนเข้าชิป

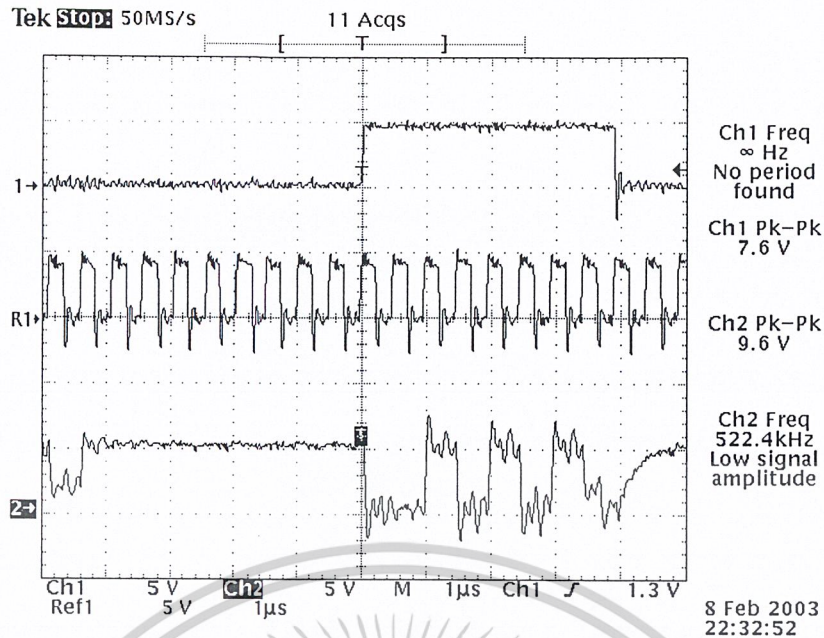
CH1 ช่องสัญญาณ (TS_en1)
CH2 สัญญาณข้อมูล (pcmin) ของผู้ประชุมคนที่หนึ่ง
Ref1 สัญญาณนาฬิกา (Clk) ความถี่ 2.048 MHz



รูปที่ 5.29 ช่องสัญญาณ (TS_en2) เปรียบเทียบกับสัญญาณข้อมูลของผู้ประชุมคนที่สองก่อนเข้าชิป

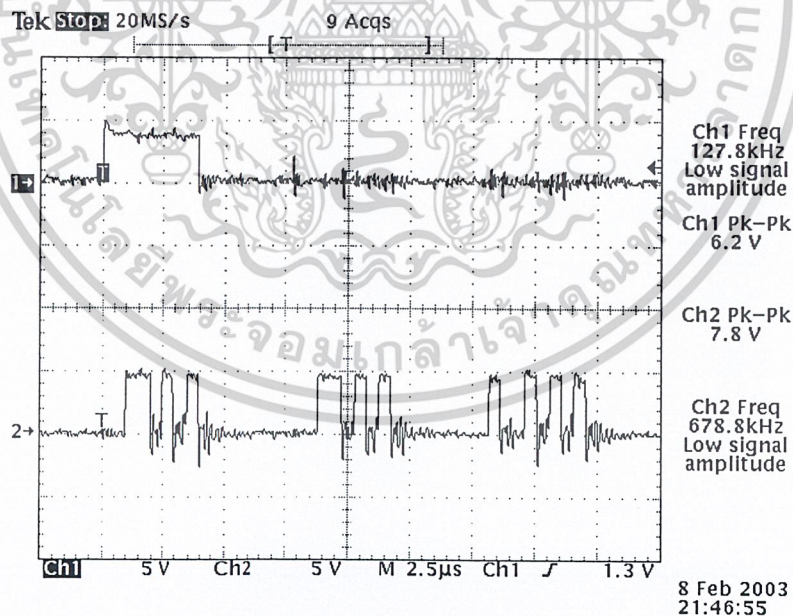
CH1 ช่องสัญญาณ (TS_en2)
CH2 สัญญาณข้อมูล (pcmin) ของผู้ประชุมคนที่สอง
Ref1 สัญญาณนาฬิกา (Clk) ความถี่ 2.048 MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.30 ช่องสัญญาณ (TS_en3) เปรียบเทียบกับสัญญาณข้อมูลของผู้ประชุมคนที่สามก่อนเข้าชิป

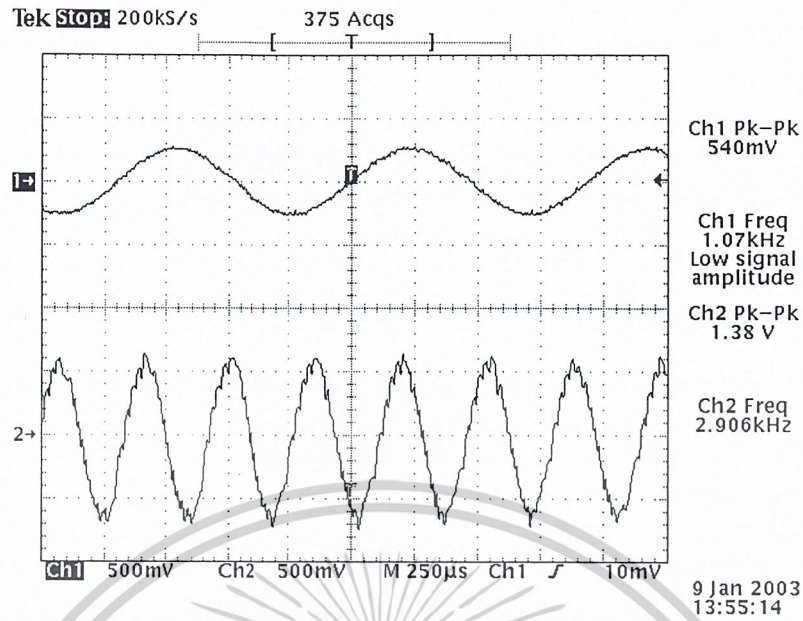
CH1 ช่องสัญญาณ (TS_en3)
CH2 สัญญาณข้อมูล (pcmmin) ของผู้ประชุมคนที่สาม
Ref1 สัญญาณนาฬิกา (CLK) ความถี่ 2.048 MHz



รูปที่ 5.31 ช่องสัญญาณ (TS_en1) เปรียบเทียบกับสัญญาณข้อมูล (pcmout) หลังออกจากชิป

CH1 ช่องสัญญาณ (TS_en1)
CH2 สัญญาณข้อมูล (pcmout)

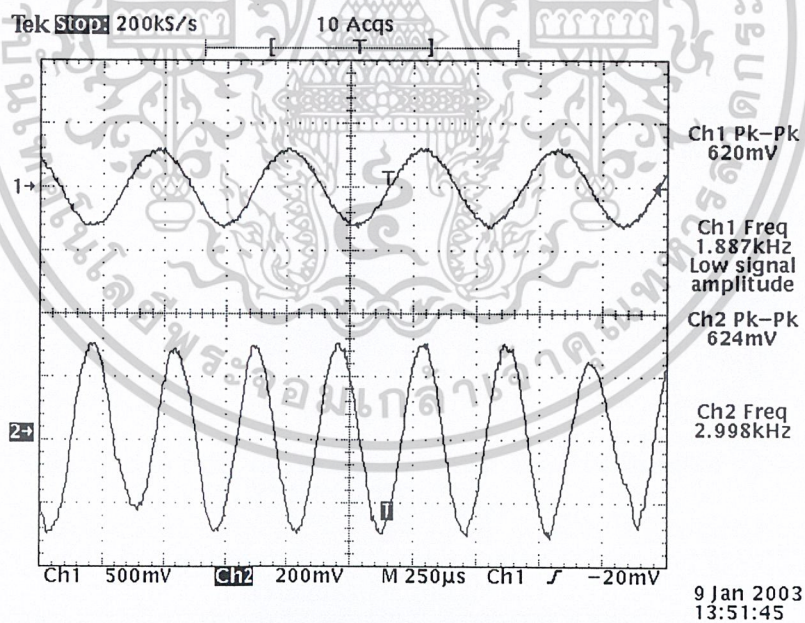
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.32 สัญญาณข้อมูลก่อนเข้าและหลังจากจากชิปที่ช่องสัญญาณของผู้ประชุมคนที่หนึ่ง

CH1 สัญญาณข้อมูลอนาล็อกที่ผู้ประชุมคนที่หนึ่งส่ง

CH2 สัญญาณข้อมูลอนาล็อกที่ผู้ประชุมคนที่หนึ่งรับ

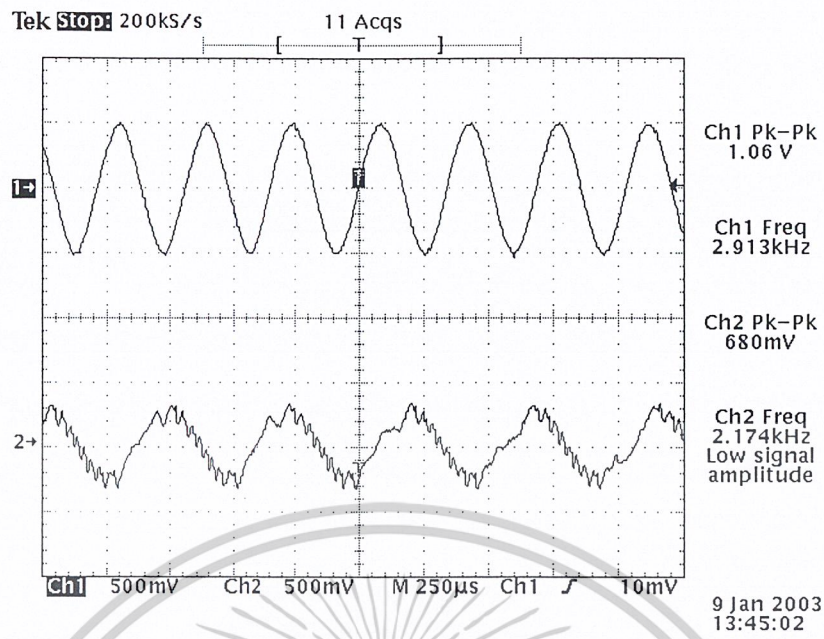


รูปที่ 5.33 สัญญาณข้อมูลก่อนเข้าและหลังจากจากชิปที่ช่องสัญญาณของผู้ประชุมคนที่สอง

CH1 สัญญาณข้อมูลอนาล็อกที่ผู้ประชุมคนที่สองส่ง

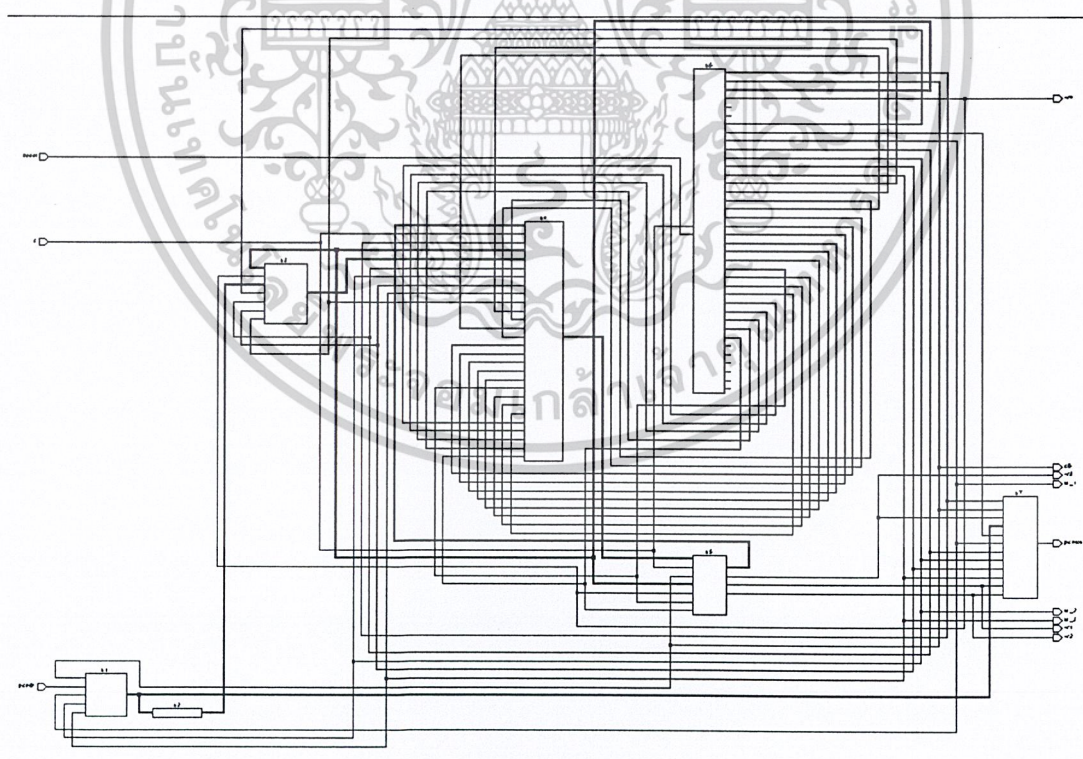
CH2 สัญญาณข้อมูลอนาล็อกที่ผู้ประชุมคนที่สองรับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.34 สัญญาณข้อมูลก่อนเข้าและหลังจากชิปที่ช่องสัญญาณของผู้ประชุมคนที่สาม

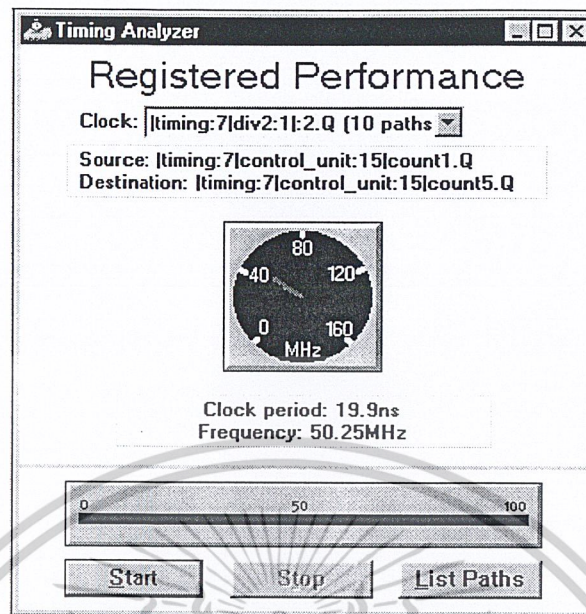
CH1 สัญญาณข้อมูลอนาล็อกที่ผู้ประชุมคนที่ผู้ประชุมคนที่สามส่ง
CH2 สัญญาณข้อมูลอนาล็อกที่ผู้ประชุมคนที่ผู้ประชุมคนที่สามรับ



รูปที่ 5.35 ผลการสังเคราะห์ของวงจรรวมของชิปการประชุมทางโทรศัพท์

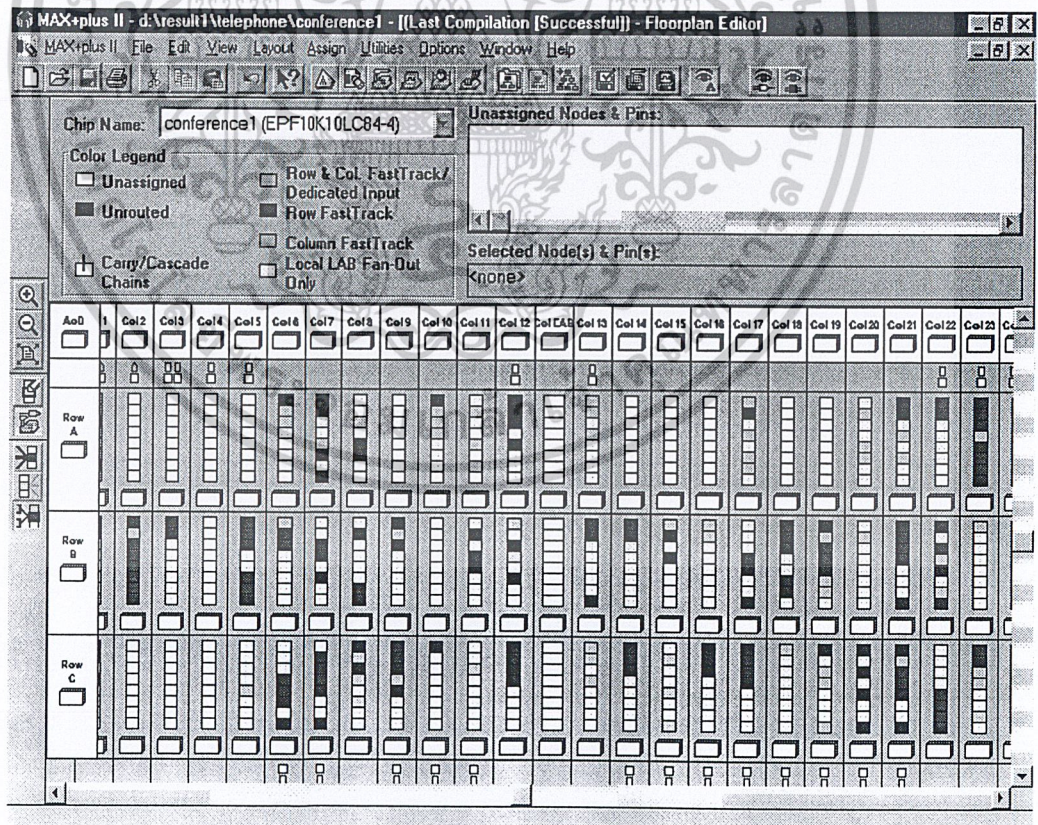
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ส่วนค่าความถี่สูงสุดของวงจรที่สังเคราะห์ได้สามารถแสดงได้ดังนี้



รูปที่ 5.36 แสดงความถี่สูงสุดของวงจรที่สังเคราะห์ได้

ซึ่งวงจรการประจุมรวมทางโทรศัพท์ที่ออกแบบนี้สามารถสรุปเป็นปริมาณ logic cells, EAB และ input-output pins ที่ใช้งาน ได้ดังนี้



รูปที่ 5.37 แสดงปริมาณ logic cells, EAB และ input-output pins ที่ใช้งานใน FPGA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 6

วิจารณ์และสรุปผลการทดลอง

สรุปผลการทดลอง

โครงการงานชิ้นนี้ได้ทำการออกแบบวงจรการประจุมร่วมทางโทรศัพท์ด้วยอุปกรณ์เอฟพีจีเอ (FPGA) ซึ่งสามารถทำการประจุมได้สูงสุด 3 คน โดยที่รายละเอียดของแต่ละโมดูลมีการใช้จำนวนทรัพยากรดังต่อไปนี้

1. โมดูลกำหนดช่องสัญญาณ

Device utilization summary:

Number of External GCLKIOBs	1 out of 4	25%
Number of External IOBs	43 out of 92	46%
Number of LOCed External IOBs	0 out of 43	0%
Number of SLICES	45 out of 432	10%
Number of GCLKs	1 out of 4	25%

2. โมดูลแปลงข้อมูลพีซีเอ็มแบบอนุกรมเป็นขนาน

Device utilization summary:

Number of External GCLKIOBs	1 out of 4	25%
Number of External IOBs	12 out of 92	13%
Number of LOCed External IOBs	0 out of 12	0%
Number of SLICES	5 out of 432	1%
Number of GCLKs	1 out of 4	25%

3. โมดูลแปลงข้อมูลจากพีซีเอ็มเป็นข้อมูลเชิงเส้นยกกำลังสอง

Device utilization summary:

Number of External IOBs	31 out of 92	33%
Number of LOCed External IOBs	0 out of 31	0%
Number of SLICES	64 out of 432	14%

4. โมดูลหาค่าเฉลี่ยของสัญญาณเสียงแต่ละช่องสัญญาณ

Device utilization summary:

Number of External GCLKIOBs	1 out of 4	25%
Number of External IOBs	66 out of 92	71%
Number of LOCed External IOBs	0 out of 66	0%
Number of SLICES	207 out of 432	47%
Number of GCLKs	1 out of 4	25%
Number of TBUFs	33 out of 480	6%

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5. โมดูลการเปรียบเทียบกำลังเฉลี่ยของสัญญาณเสียงแต่ละช่องสัญญาณ

Device utilization summary:

Number of External GCLKIOBs	2 out of 4	50%
Number of External IOBs	97 out of 92	105%
Number of LOCed External IOBs	0 out of 97	0%
Number of SLICES	93 out of 432	21%
Number of GCLKs	2 out of 4	50%

6. โมดูลหน่วยความจำและควบคุมการอ่านเขียนข้อมูล

Device utilization summary:

Number of External GCLKIOBs	2 out of 4	50%
Number of External IOBs	17 out of 92	18%
Number of LOCed External IOBs	0 out of 17	0%
Number of SLICES	11 out of 432	2%
Number of GCLKs	2 out of 4	50%

7. โมดูลการแปลงข้อมูลพีซีเอ็มแบบขนานเป็นอนุกรม

Device utilization summary:

Number of External GCLKIOBs	1 out of 4	25%
Number of External IOBs	37 out of 92	40%
Number of LOCed External IOBs	0 out of 37	0%
Number of SLICES	39 out of 432	9%
Number of GCLKs	1 out of 4	25%

สรุปการใช้ทรัพยากรภายในชิพการประชุมร่วมทางโทรศัพท์ที่ได้ออกแบบมีรายละเอียดดังนี้

Device utilization summary:

Number of External GCLKIOBs	1 out of 4	25%
Number of External IOBs	31 out of 92	33%
Number of LOCed External IOBs	0 out of 31	0%
Number of SLICES	430 out of 432	99%
Number of GCLKs	1 out of 4	25%
Number of TBUFs	66 out of 480	13%

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วิจารณ์และข้อเสนอแนะ

ข้อสำคัญในการออกแบบวงจรด้วยภาษาวีเอชดีแอล (VHDL) นอกเหนือจากการให้วงจรต้องทำงานได้ถูกต้องตามหน้าที่ (Function) และเวลา (Timing) แล้ว ข้อสำคัญอีกประการหนึ่งคือ การออกแบบวงจรอย่างไรให้ใช้จำนวนทรัพยากร เช่น จำนวนเกต และ ฟลิปฟลอป ลดน้อยลงแต่ประสิทธิภาพในการทำงานยังเหมือนเดิม วิธีหนึ่งที่น่าจะนำมาใช้ในการแก้ไขปัญหาคือการสลายตัวของวงจร (Decomposition) หมายถึงการสลายวงจรเพื่อตรวจสอบว่ามีอุปกรณ์ใดไม่จำเป็นหรือมีการใช้ซ้ำซ้อนกัน และสามารถแยกออกมาให้เหลือวงจรเท่าที่จำเป็นได้ แต่วงจรยังคงทำงานได้และมีประสิทธิภาพเหมือนเดิม

ปัญหาความต้องการใช้ทรัพยากรในชิพที่มากเกินไปจนเกินความเป็นจริงมักจะเกิดขึ้นกับการเขียนภาษาวีเอชดีแอล ในแบบ Behavioral Style โดยเริ่มแรกผู้ออกแบบจะทำการออกแบบในขั้นตอน Design Entity และจำลองการทำงานให้ถูกต้องตามหน้าที่การทำงาน จะยังไม่ทราบว่าต้องการใช้ทรัพยากรภายในชิพมากน้อยเท่าไร จนกว่าผู้ออกแบบจะทำการออกแบบในขั้นตอน Design Implementation จึงจะทราบความต้องการใช้ทรัพยากรภายในชิพ การเขียนภาษาวีเอชดีแอลในแบบดังกล่าว จะให้วงจรเป็นเชิงลำดับ (Sequential Circuit) อันประกอบด้วยเกตต่างๆ ที่ควบคุมการทำงานของฟลิปฟลอป เมื่อมีการนำวงจรดังกล่าวมาใช้งานหลายๆ แห่งภายในชิพส่งผลให้จำนวนเกตต่างๆ เพิ่มขึ้น ทั้งที่ความจำเป็นจริงๆ แล้วต้องการใช้เกตเพียงแค่จำนวนหนึ่งเพื่อไปควบคุมการทำงานของกลุ่มฟลิปฟลอป ซึ่งวิธีการที่จะแก้ไขปัญหาดังกล่าวให้ใช้การสลายตัวของวงจรมานั้นคือ ตรวจสอบว่ามีวงจรควบคุมที่ใช้ซ้ำกัน ให้ดึงวงจรควบคุมนั้นออกมา จากนั้นทำการออกแบบวงจรขึ้นมาใหม่โดยแยกวงจรออกจากกันอย่างชัดเจนระหว่างวงจรควบคุม และวงจรกลุ่มฟลิปฟลอป สำหรับวงจรส่วนควบคุมให้ใช้การเขียนภาษาวีเอชดีแอลในแบบ Dataflow Style และวงจรกลุ่มฟลิปฟลอปให้ใช้การเขียนภาษาวีเอชดีแอลในแบบ Structure Style การแก้ไขด้วยวิธีดังกล่าวจะส่งผลให้การออกแบบนั้นใช้จำนวนทรัพยากรภายในชิพลดลง

ในการวัดสัญญาณแบบอะนาล็อกจะมีข้อได้เปรียบกว่าการวัดสัญญาณแบบดิจิทัลตรงที่ว่าการมองเห็นข้อมูลในแบบอะนาล็อกจะเห็นข้อมูลแบบต่อเนื่องและเข้าใจง่าย แต่ก็มีข้อเสียคือต้องใช้ฮอสซิลโลสโคปแบบที่มี 3 แชนเนล ในขณะที่ข้อเสียของการวัดสัญญาณแบบดิจิทัลก็คือ การดูข้อมูลที่ซีเอ็มทีต่อเนื่องเฟรมต่อเฟรมทำได้ยาก และต้องใช้ฮอสซิลโลสโคปที่มีความสามารถในการวัดข้อมูลที่เป็นเฟรมๆ ที่ต่อเนื่องกันได้ แต่ข้อได้เปรียบก็คือสามารถใช้ฮอสซิลโลสโคปที่มีเพียง 2 แชนเนล เพื่อวัดสัญญาณข้อมูลของผู้ร่วมประชุมทั้งทางด้านอินพุต และทางด้านเอาต์พุต ที่มีลักษณะการรับ-ส่งข้อมูลแบบแบ่งเวลา

แนวทางในการพัฒนาโครงการ คือ ทำการลดจำนวนทรัพยากรโดยวิธีการสลายตัวของวงจรเพื่อเป็นการประหยัดจำนวนเกต และฟลิปฟลอป ช่วยให้ออกแบบวงจรที่ใช้ทรัพยากรอย่างมีประสิทธิภาพ และสามารถเพิ่มความสามารถในการทำการประชุมร่วมกันให้ได้มากกว่า 3 คน เพื่อเป็นการประหยัดเวลา และเพิ่มความสะดวกมากยิ่งขึ้นในการประชุมร่วมกัน เมื่อถูกนำไปใช้งานกับองค์กรขนาดใหญ่

บรรณานุกรม

1. กรกฎ วัฒนวิเชียร และ วิชัย แซ่ตั้ง, การออกแบบวงจรสลับคู่สายสัญญาณดิจิทัลเพื่อใช้กับ ชิพ FPGA, น.223 – 228 ในการประชุมวิชาการทางวิศวกรรมไฟฟ้า ครั้งที่ 16, 25 – 26 พ.ย.2536, สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง, กรุงเทพฯ, 2536
2. ถวิล กิ่งทอง, เทคโนโลยีการส่งสัญญาณดิจิทัล, คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง, กรุงเทพฯ, 2535
3. อานุภาพ บุญส่งศรีกุล และ กรกฎ วัฒนวิเชียร, การออกแบบชิปการประชุมทางโทรศัพท์โดยใช้ภาษาวีเอชดีแอล, น. EL- 4 - EL-9 ในการประชุมวิชาการทางวิศวกรรมไฟฟ้าครั้งที่ 19 7-8 พ.ย. 2539, มหาวิทยาลัยขอนแก่น, ขอนแก่น
4. คู่มือเชิงการอบรมเชิงปฏิบัติการ, VHDL Application Workshop และ FPGA Design Workshop, ศูนย์เทคโนโลยีอิเล็กทรอนิกส์และคอมพิวเตอร์แห่งชาติ
5. J. Bellamy, Digital Telephony 2d ed., John Wiley & Sons Inc., U.S.A., 572 p., 1991
6. B. Carlson, Communication System, McGraw – HILL Inc., U.S.A, 686p., 1986
7. S. Sjöholm and L. Lindh, VHDL for Designers, Prentice Hall, U.S.A, 473 p., 1997

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ปริญญานิพนธ์นี้สามารถสำเร็จลุล่วงไปได้ด้วยดี ก็ด้วยความกรุณาและความช่วยเหลือในเรื่องต่าง ๆ ของ รศ. ดร. กอบชัย เดชหาญ และ อ.ศรวัฒน์ จิวปรีชา อาจารย์ที่ปรึกษา ผู้คอยเอาใจใส่ดูแลและให้คำปรึกษาในการทำโครงการ คณะผู้จัดทำขอขอบพระคุณเป็นอย่างสูง ขอขอบคุณ คุณไพบูรณ์ ผู้ประกอบอาชีพ นกอยู่ และพี่ ๆ ทุกคนในห้อง T-211 ที่ช่วยเหลือ ให้ความช่วยเหลือเสมอมา ขอขอบคุณเพื่อน ๆ ทุกคนที่ไม่ได้เอ่ยนามทุกคนในห้อง T-211 ที่ช่วยเหลือทั้งในทางตรงและทางอ้อม

สุดท้ายนี้ขอกราบขอบพระคุณบิดา มารดา ที่ให้ความสำคัญกับการศึกษาของลูกและให้การสนับสนุนเอาใจใส่ดูแลด้วยดีเสมอมา รวมทั้งกำลังใจอันยิ่งใหญ่อย่างหาที่เปรียบมิได้

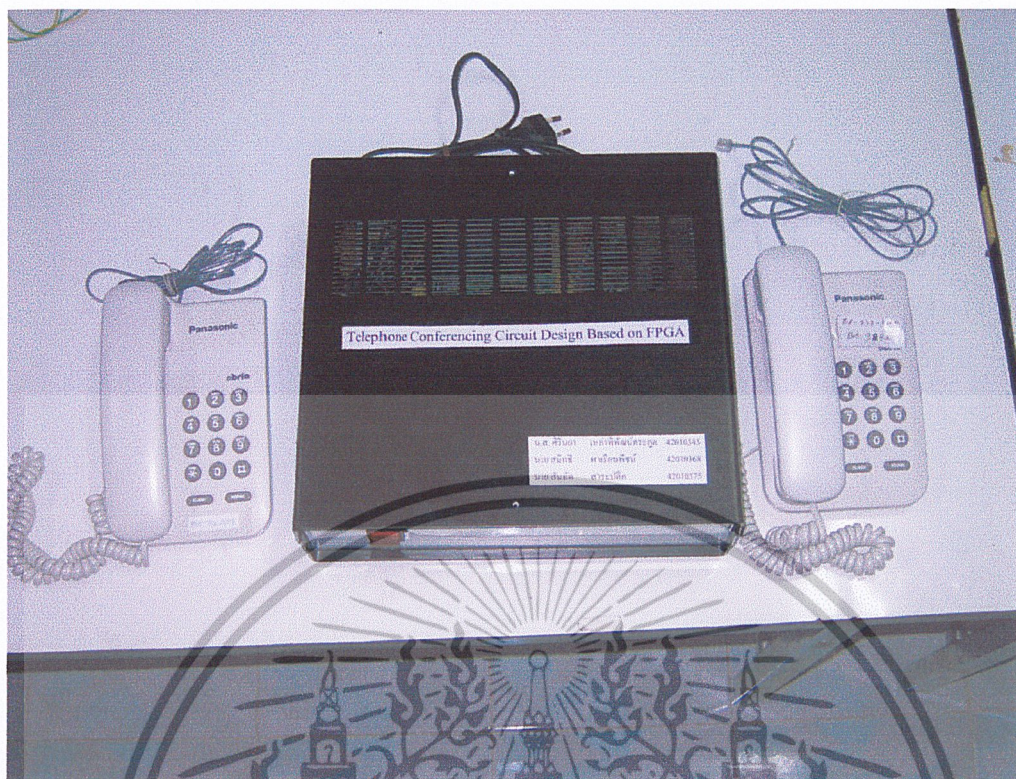
คณะผู้จัดทำ



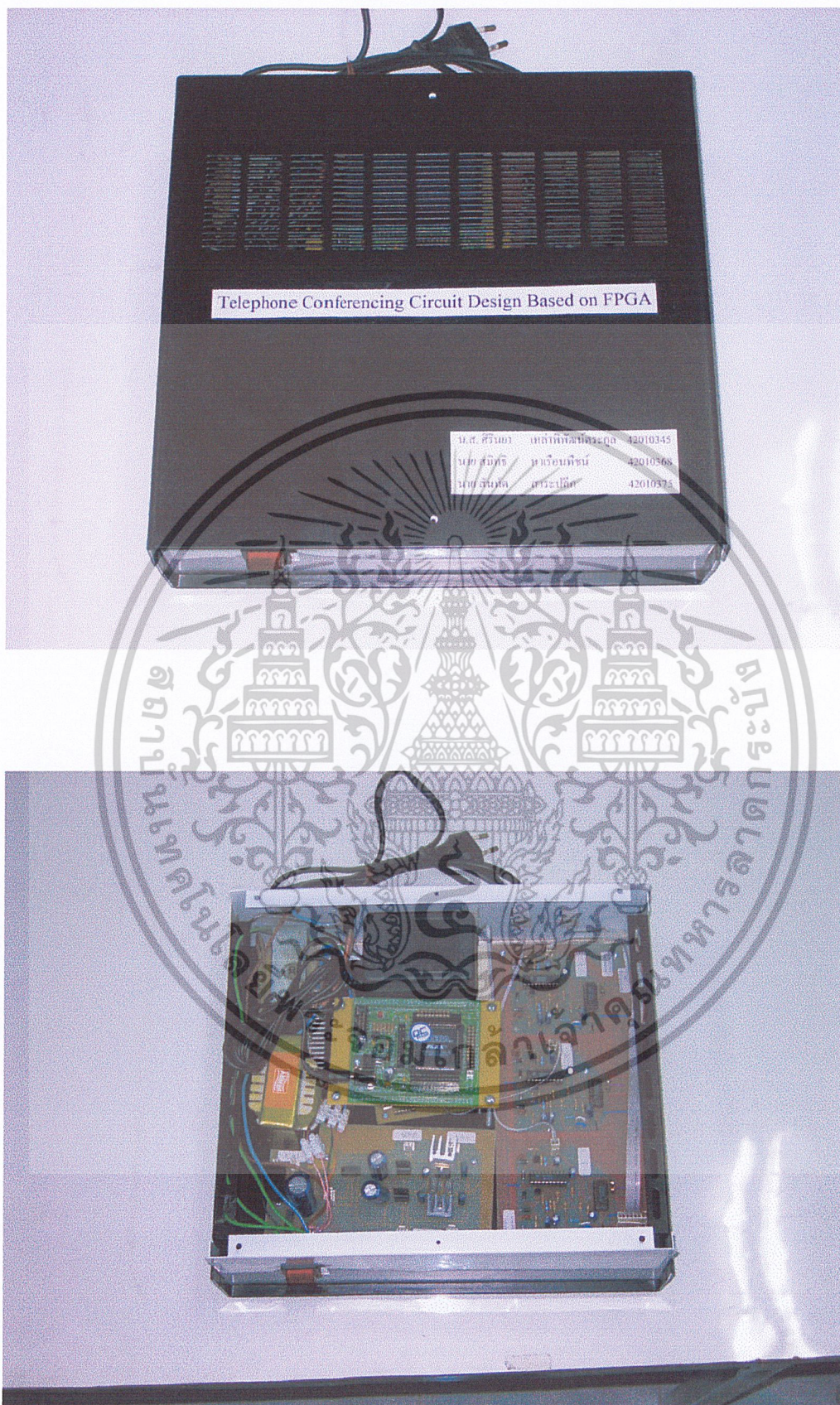
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ภาคผนวก ข.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

data_I	cp_cd	ข้อมูลเชิงเส้น(lin)			ข้อมูลเชิงเส้นยกกำลังสอง(lin_2)		
		ฐาน 2	ฐาน 10	ฐาน 16	ฐาน 2	ฐาน 10	ฐาน 16
101 0101 000 0000		0000 0000 0001	1	001	0000 0000 0000 0000 0000 0001	1	1
101 0100 000 0001		0000 0000 0011	3	003	0000 0000 0000 0000 0000 1001	9	9
101 0111 000 0010		0000 0000 0101	5	005	0000 0000 0000 0000 0001 1001	25	19
101 0010 000 0011		0000 0000 0111	7	007	0000 0000 0000 0000 0011 0001	49	31
101 0001 000 0100		0000 0000 1001	9	009	0000 0000 0000 0000 0101 0001	81	51
101 0110 000 0101		0000 0000 1011	11	00B	0000 0000 0000 0000 0111 1001	121	79
101 0011 000 0110		0000 0000 1101	13	00D	0000 0000 0000 0000 1010 1001	169	A9
101 0010 000 0111		0000 0000 1111	15	00F	0000 0000 0000 0000 1110 0001	225	E1
101 1101 000 1000		0000 0001 0001	17	011	0000 0000 0000 0001 0010 0001	289	121
101 1100 000 1001		0000 0001 0011	19	013	0000 0000 0000 0001 0110 1001	361	169
101 1111 000 1010		0000 0001 0101	21	015	0000 0000 0000 0001 1011 1001	441	1B9
101 1110 000 1011		0000 0001 0111	23	017	0000 0000 0000 0010 0001 0001	529	211
101 1001 000 1100		0000 0001 1001	25	019	0000 0000 0000 0010 0111 0001	625	271
101 1000 000 1101		0000 0001 1011	27	01B	0000 0000 0000 0010 1101 1001	729	2D9
101 1011 000 1110		0000 0001 1101	29	01D	0000 0000 0000 0011 0100 1001	841	349
101 1010 000 1111		0000 0001 1111	31	01F	0000 0000 0000 0011 1100 0001	961	3C1
100 0101 001 0000		0000 0010 0001	33	021	0000 0000 0000 0100 0100 0001	1089	441
100 0100 001 0001		0000 0010 0011	35	023	0000 0000 0000 0100 1100 1001	1225	4C9
100 0111 001 0010		0000 0010 0101	37	025	0000 0000 0000 0101 0101 1001	1369	559
100 0010 001 0011		0000 0010 0111	39	027	0000 0000 0000 0101 1111 0001	1521	5F1
100 0001 001 0100		0000 0010 1001	41	029	0000 0000 0000 0110 1001 0001	1681	691
100 0110 001 0101		0000 0010 1011	43	02B	0000 0000 0000 0111 0011 1001	1849	739
100 0011 001 0110		0000 0010 1101	45	02D	0000 0000 0000 0111 1110 1001	2025	7E9
100 0010 001 0111		0000 0010 1111	47	02F	0000 0000 0000 1000 1010 0001	2209	8A1
100 1101 001 1000		0000 0011 0001	49	031	0000 0000 0000 1001 0110 0001	2401	961
100 1100 001 1001		0000 0011 0011	51	033	0000 0000 0000 1010 0010 1001	2601	A29
100 1111 001 1010		0000 0011 0101	53	035	0000 0000 0000 1010 1111 1001	2809	AF9
100 1110 001 1011		0000 0011 0111	55	037	0000 0000 0000 1011 1101 0001	3025	BD1
100 1001 001 1100		0000 0011 1001	57	039	0000 0000 0000 1100 1011 0001	3249	CB1
100 1000 001 1101		0000 0011 1011	59	03B	0000 0000 0000 1101 1001 1001	3481	D99
100 1011 001 1110		0000 0011 1101	61	03D	000 0000 0000 1110 1000 1001	3721	E89
100 1010 001 1111		0000 0011 1111	63	03F	0000 000 0000 1111 1000 0001	3969	F81

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

data_I	cp_cd	ข้อมูลเชิงเส้น(lin)			ข้อมูลเชิงเส้นยกกำลังสอง(lin_2)		
		ฐาน 2	ฐาน 10	ฐาน 16	ฐาน 2	ฐาน 10	ฐาน 16
111 0101	010 0000	0000 0100 0010	66	042	0000 0000 0001 0001 0000 0100	4356	1104
111 0100	010 0001	0000 0100 0110	70	046	0000 0000 0001 0011 0000 0100	4900	4324
111 0111	010 0010	0000 0100 1010	74	04A	0000 0000 0001 0101 0110 0100	5476	4564
111 0010	010 0011	0000 0100 1110	78	04E	0000 0000 0001 0111 1100 0100	6084	17C4
111 0001	010 0100	0000 0101 0010	82	052	0000 0000 0001 1010 0100 0100	6724	1A44
111 0110	010 0101	0000 0101 0110	86	056	0000 0000 0001 1100 1110 0100	7396	1CE4
111 0011	010 0110	0000 0101 1010	90	05A	0000 0000 0001 1111 1010 0100	8100	1FA4
111 0010	010 0111	0000 0101 1110	94	05E	0000 0000 0010 0010 0100 1000	8836	2248
111 1101	010 1000	0000 0110 0010	98	062	0000 0000 0010 0101 1000 0100	9604	2584
111 1100	010 1001	0000 0110 0110	102	066	0000 0000 0010 1000 1010 0100	10404	28A4
111 1111	010 1010	0000 0110 1010	106	06A	0000 0000 0010 1011 1110 0100	11236	2BE4
111 1110	010 1011	0000 0110 1110	110	06E	0000 0000 0010 1111 0100 0100	12100	2F44
111 1001	010 1100	0000 0111 0010	114	072	0000 0000 0011 0010 1100 0100	12996	32C4
111 1000	010 1101	0000 0111 0110	118	076	0000 0000 0011 0110 0110 0100	13924	3664
111 1011	010 1110	0000 0111 1010	122	07A	0000 0000 0011 1010 0010 0100	14884	3A24
111 1010	010 1111	0000 0111 1110	126	07E	0000 0000 0011 1110 0000 0100	15876	30000
101 0101	011 0000	0000 1000 0100	132	084	0000 0000 0100 0100 0001 0000	17424	4410
101 0100	011 0001	0000 1000 1100	140	08C	0000 0000 0100 1100 1001 0000	19600	4C90
101 0111	011 0010	0000 1001 0100	148	094	0000 0000 0101 0101 1001 0000	21904	5590
110 0010	011 0011	0000 1001 1100	156	09C	0000 0000 0101 1111 0001 0000	24336	5F10
110 0001	011 0100	0000 1010 0100	164	0A4	0000 0000 0110 1001 0001 0000	26896	6910
110 0110	011 0101	0000 1010 1100	172	0AC	0000 0000 0111 0011 1001 0000	29584	7390
110 0011	011 0110	0000 1011 0100	180	0B4	0000 0000 0111 1110 1001 0000	32400	7E90
110 0010	011 0111	0000 1011 1100	188	0BC	0000 0000 1000 1010 0001 0000	35344	8A10
110 1101	011 1000	0000 1100 0100	196	0C4	0000 0000 1001 0110 0001 0000	38416	9610
110 1100	011 1001	0000 1100 1100	204	0CC	0000 0000 1010 0010 1001 0000	41616	A290
110 1111	011 1010	0000 1101 0100	212	0D4	0000 0000 1010 1111 1001 0000	44944	AF90
110 1110	011 1011	0000 1101 1100	220	0DC	0000 0000 1011 1101 0001 0000	48400	BD10
110 1001	011 1100	0000 1110 0100	228	0E4	0000 0000 1100 1011 0001 0000	51984	CB10
110 1000	011 1101	0000 1110 1100	236	0EC	0000 0000 1101 1001 1001 0000	55696	D990
110 1011	011 1110	0000 1111 0100	244	0F4	0000 0000 1110 1000 1001 0000	59536	E890
110 1010	011 1111	0000 1111 1100	252	0FC	0000 0000 1111 1000 0001 0000	63504	F810

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

data_I	cp_cd	ข้อมูลเชิงเส้น(lin)			ข้อมูลเชิงเส้นยกกำลังสอง(lin_2)		
		ฐาน 2	ฐาน 10	ฐาน 16	ฐาน 2	ฐาน 10	ฐาน 16
001 0101 010 0000		0001 0000 1000	264	108	0000 0001 0001 0000 0100 00000	69696	11040
001 0100 010 0001		0001 0001 1000	280	118	0000 0001 0010 0011 0100 0000	78400	12340
001 0111 010 0010		0001 0010 1000	296	128	0000 0001 0101 0110 0100 0000	87616	15640
001 0010 010 0011		0001 0011 1000	312	138	0000 0001 0111 1100 0100 0000	97344	17C40
001 0001 010 0100		0001 0100 1000	328	148	0000 0001 1010 0100 0100 0000	107584	1A440
001 0110 010 0101		0001 0101 1000	344	158	0000 0001 1100 1110 0100 0000	118336	1CE40
001 0011 010 0110		0001 0110 1000	360	168	0000 0001 111 1010 0100 0000	129600	1FA40
001 0010 0100111		001 0111 1000	376	178	0000 0010 0010 1000 0100 0000	141376	22840
001 1101 010 10000		0001 1000 1000	392	188	0000 0010 0101 10000 0100 0000	153664	25840
001 1100 010 1001		0001 1001 1000	408	198	0000 0010 1000 1010 0100 0000	166464	28A40
001 1111 010 1010		0001 1010 1000	424	1A8	0000 0010 1011 1110 0100 0000	179776	2BE40
001 1110 010 1011		0001 1011 1000	440	1B8	0000 0010 1111 0100 0100 0000	193600	2F440
001 1001 010 1100		0001 1100 1000	456	1C8	0000 0011 0010 1100 0100 0000	207936	32C40
001 1000 010 1101		0001 1101 1000	472	1D8	0000 0011 0110 0110 0100 0000	222784	36640
001 1011 010 1110		0001 1110 1000	488	1E8	0000 0011 1010 0010 0100 0000	238144	3A240
001 1010 010 1111		0001 1111 1000	504	1F8	0000 0011 1110 0000 0100 0000	254016	3E040
000 0101 011 0000		0010 0001 0000	528	210	0000 0100 1100 1001 0000 0000	278784	44100
000 0100 011 0001		0010 0011 0000	560	230	0000 0100 1100 1001 0000 0000	313600	4C900
000 01111 011 0010		0010 0101 0000	592	250	0000 0101 0101 1001 0000 0000	350464	55900
000 0010 011 0011		0010 0111 0000	624	270	0000 0101 1111 0001 0000 0000	389376	5F100
000 0001 011 0100		0010 1001 0000	656	290	0000 0110 1001 0001 0000 0000	430336	69100
000 0110 011 0101		0010 1011 0000	688	2B0	0000 0111 0011 1001 0000 0000	473344	73900
000 0011 011 0110		0010 1101 0000	720	2D0	0000 01111 1110 1001 0000 0000	518400	7E900
000 0010 011 0111		0010 1111 0000	752	2F0	0000 1000 1010 0001 0000 0000	565504	8A100
000 1101 011 1000		0011 0001 0000	784	310	0000 1001 0110 0001 0000 0000	614656	96100
000 1100 011 1001		0011 0011 0000	816	330	0000 1010 0010 1001 0000 0000	665856	A2900
000 1111 011 1010		0011 0101 0000	848	350	0000 1010 1111 1001 0000 0000	719104	AF900
000 1110 011 1011		0011 0111 0000	880	370	0000 1011 1101 0001 0000 0000	774400	BD100
000 1001 011 1100		0011 1001 0000	912	390	0000 1100 1011 0001 0000 0000	831744	CB100
000 1000 011 1101		0011 1011 0000	944	3B0	0000 1101 1001 1001 0000 0000	891136	D9900
000 1011 011 1110		0011 1101 0000	976	3D0	0000 1110 1000 1001 0000 0000	952576	E8900
000 1010 011 1111		0011 1111 0000	1008	3F0	0000 1111 1000 0001 0000 0000	1016064	F8100

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

data_I	cp_cd	ข้อมูลเชิงเส้น(lin)			ข้อมูลเชิงเส้นยกกำลังสอง(lin_2)		
		ฐาน 2	ฐาน 10	ฐาน 16	ฐาน 2	ฐาน 10	ฐาน 16
011 0101	110 0000	0100 0010 0000	1056	420	0001 0001 0000 0100 0000 0000	1115136	110400
011 0100	110 0001	0100 0110 0000	1120	460	0001 0010 0011 0100 0000 0000	1254400	132400
011 0111	110 0010	0100 1010 0000	1184	4A0	0001 0101 0110 0100 0000 0000	1401856	156400
011 0010	110 0011	0100 1110 0000	1248	4E0	0001 0111 1100 0100 0000 0000	1557504	17C400
011 0001	110 0100	0101 0010 0000	1312	520	0001 1010 0100 0100 0000 0000	1721344	1A4400
011 0110	110 0101	0101 0110 0000	1376	560	0001 1100 1110 0100 0000 0000	1893376	1CE400
011 0011	110 0110	0101 1010 0000	1440	5A0	0001 1111 1010 0100 0000 0000	2073600	1FA400
011 0010	110 0111	0101 1110 0000	1504	5E0	0010 0010 1000 0100 0000 0000	2262016	228400
011 1101	110 1000	0110 0010 0000	1568	620	0010 0101 1000 0100 0000 0000	2458624	258400
011 1100	110 1001	0110 0110 0000	1632	660	0010 1000 1010 0100 0000 0000	2663424	28A400
011 1111	110 1010	0110 0101 0000	1696	6A0	0010 1011 1110 0100 0000 0000	2876416	2BE400
011 1110	110 1011	0110 1110 0000	1760	6E0	0010 1111 0100 0100 0000 0000	3097600	2F4400
011 1001	110 1100	0111 0010 0000	1824	720	0011 0010 1100 0100 0000 0000	3326976	32C400
011 1000	110 1101	0111 0110 0000	1888	760	0011 0110 0110 0100 0000 0000	3564544	366400
011 1011	110 1110	0111 1010 0000	1952	7A0	0011 1010 0010 0100 0000 0000	3810304	3A2400
011 1010	110 1111	0111 1110 0000	2016	7E0	0011 1110 0000 0100 0000 0000	4064256	3E0400
010 0101	111 0000	1000 0100 0000	2112	840	0100 0100 0001 0000 0000 0000	4460544	441000
010 0100	111 0001	1000 1100 0000	2240	8C0	0100 1100 1001 0000 0000 0000	5017600	4C9000
010 0111	111 0010	1001 0100 0000	2368	940	0101 0101 1001 0000 0000 0000	5607424	559000
010 0010	111 0011	1001 1100 0000	2496	9C0	0101 1111 0001 0000 0000 0000	6230016	5F1000
010 0001	111 0100	1010 0100 0000	2624	A40	0110 1001 0001 0000 0000 0000	6885376	691000
010 0110	111 0101	1010 1100 0000	2752	AC0	0111 0011 1001 0000 0000 0000	7573504	739000
010 0011	111 0110	1011 0100 0000	2880	B40	0111 1110 1001 0000 0000 0000	8294400	7E9000
010 0010	111 0111	1011 1100 0000	3008	BC0	1000 1010 0001 0000 0000 0000	9048064	8A1000
010 1101	111 1000	1100 0100 0000	3136	C40	1001 0110 0001 0000 0000 0000	9834496	961000
010 1100	111 1001	1100 1100 0000	3264	CC0	1010 0010 1001 0000 0000 0000	10653696	A29000
010 1111	111 1010	1101 0100 0000	3392	D40	1010 1111 1001 0000 0000 0000	11505664	AF9000
010 1110	111 1011	1101 1100 0000	3520	DC0	1011 1101 00001 0000 0000 0000	12390400	BD1000
010 1001	111 1100	1110 0100 0000	3648	E40	1100 1011 0001 0000 0000 0000	13307904	CB1000
010 1000	111 1101	1110 1100 0000	3776	EC0	1101 1001 1001 0000 0000 0000	14258176	D99000
010 1011	111 1110	1111 0100 0000	3904	F40	1110 1000 1001 00000 0000 0000	15241216	E89000
010 1010	111 1111	1111 1100 0000	4032	FC0	1111 1000 0001 0000 0000 0000	16257024	F81000

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้