สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

ชุดทดลองระบบเดลต้า มอดูเลชัน

(Delta Modulation System Expermental)

โดย

นายบัณฑิต ยุทธมณี รหัส 43015873

นายสมภพ เหลือเอก รหัส 43015894

เลขหมู่.....
เลขทะเบียน 46520
วัน, เดือน, ปี 4 เม.ย. 2546

.b.....
.i.....

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาอุตสาหกรรมศาสตรบัณฑิต

สาขาวิชาเทคโนโลยีโทรคมนาคม

ภาควิชาวิศวกรรมสารสนเทศ คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2545

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อปริญญานิพนธ์	ชุดทดลองระบบเดลต้า มอดูเลชัน
	(Delta Modulation System Expermental)
ชื่อนักศึกษา	นายบัณฑิต ยุทธมณี 43015873
	นายสมภพ เหลือเอก 43015894
อาจารย์ที่ปรึกษา	รศ. อรลาภ แสงอรุณ
	รศ. ชวลิต เบญจางคประเสริฐ
ภาควิชา	วิศวกรรมสารสนเทศ
ปีการศึกษา	2545

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง อนุมัติให้นับปริญญานิพนธ์ฉบับนี้เป็นส่วนหนึ่งของการศึกาตามหลักสูตรอุตสาหกรรมศาสตรบัณฑิต

คณะกรรมการสอบปริญญานิพนธ์

ประธานกรรมการ

( )

กรรมการ

( )

กรรมการ

( )

กรรมการ

( )

กรรมการ

( )

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ชุดทดลองระบบเดลตามอดูเลชัน

โดย	นายบัณฑิต ยุทธมณี	43015873
	นายสมภพ เหลือเอก	43015894
อาจารย์ที่ปรึกษา	รศ. อรลาภ แสงอรุณ	
	รศ. ชวลิต เบญจางคประเสริฐ	
ปีการศึกษา	2545	

บทคัดย่อ

ปริญญานิพนธ์นี้เป็นการศึกษาทฤษฎีการมอด ดีมอดแบบเดลต้าและแบบเดลต้าปรับค่าได้ และสร้างชุดทดลองเพื่อใช้ในห้องปฏิบัติการ โดยได้พัฒนาต้นแบบจากชุดทดลองของแลปโวลท์ โครงสร้างของระบบแบ่งเป็นภาคส่งและภาครับอยู่ในแผงวงจรเดียวกัน ชุดทดลองสามารถแสดงคุณลักษณะของการมอดและดีมอดแบบเดลต้าและแบบเดต้าปรับค่าได้ โดยการส่งสัญญาณดิจิตอลด้วยการเข้ารหัสเพียง 1 บิต แทนค่ารหัสหลายบิตที่ได้จากการสุ่มตัวอย่างสัญญาณอนาล้อก ส่วนระบบการมอดแบบเดลต้าปรับค่าได้ จะสามารถลดความผิดพลาดในขบวนการแบ่งระดับสัญญาณลงได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Delta Modulation System Expermental

By Mr. Bundit Yutthamanee

Mr. Sompob Lua – ek

Advisor Assoc.Prof. Ornlarp Sangaroon

Assoc.Prof. Chawalit Benjangkaprasert

Year 2002

ABSTRACT

This project presents the study of delta modulation and demodulation, adaptive delta modulation and demodulation, and implementation the training system module by developed form the lapvolt training system. The system consists of modulator and demodulator in the same panel. The training system module can uses a single-bit code to achieve digital transmission of analog signals. The delta modulation transmits a representative code of the sample by using only a single bit to transmit. It is sample to indicate whether the sample is larger or smaller than the previous sample. Adaptive delta modulation system be able adjust amplitude of step by auto. Adaptive delta modulation will decrease problem about quantizing error better than delta modulation system.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ขอขอบพระคุณอาจารย์ที่ปรึกษา รศ.อรลาภ แสงอรุณ, รศ.ดร.กนก เจนจิระพงศ์เวช, รศ.ชวลิต เบญจางคประเสริฐ ที่ช่วยประสิทธิ์ประสาทวิชาความรู้ และให้คำปรึกษาแนะนำเกี่ยวกับงานปริญญานิพนธ์ในครั้งนี้ สำหรับคำแนะนำ และข้อชี้แนะต่างๆ ทั้งหมดนั้นผู้จัดทำจะขอนำไปปฏิบัติเพื่อให้เกิดประโยชน์ยิ่งขึ้นไป และครู อาจารย์ทุกท่านที่อบรมสั่งสอนวิชาความรู้ให้กับผู้จัดทำ

ขอขอบคุณ นาวาโท วิโรจน์ แก้วจันทร์ ที่ให้ยืมฮาร์ดแวร์มาจัดทำเกี่ยวกับปริญญานิพนธ์นี้ และเพื่อนๆของผู้จัดทำทุกๆคนที่คอยให้คำปรึกษาและคำแนะ

ขอขอบพระคุณบิดา มารดาที่คอยให้กำลังใจ และคอยเป็นห่วงเป็นใยในทุกเรื่อง รวมทั้งความเข้าใจในการทำงานอันยาวนานครั้งนี้ ขออภัยสำหรับความบกพร่องในการดูแลทุกท่านในช่วงที่ผ่านมา และจะพยามยามทำทุกอย่างให้สมกับความหวังดีที่ท่านตั้งใจมอบให้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

เรื่อง	หน้า
บทคัดย่อภาษาไทย	ก
บทคัดย่อภาษาอังกฤษ	ข
กิตติกรรมประกาศ	ค
บทที่ 1 บทนำ	1
บทที่ 2 ทฤษฎีและหลักการ	2
2.1 เดลต้ามอด ดูเลชัน	2
2.2 อะแดปทีปเดลต้า มอดดูเลชัน	7
2.3 การมอดดูเลชันระบบรหัสพัลซ์	9
2.4 พัลซ์โค๊ด มอดดูเลชัน	13
2.5 เสียงรบกวนจากการควอนไทซ์ในระบบเดลต้ามอดดูเลชัน	16
2.6 กำลังของสัญญาณขาออก	18
2.7 เสียงรบกวนจากความร้อนในระบบดีเอ็ม	20
2.8 อัตราส่วนของกำลังของสัญญาณต่อกำลังของเสียงรบกวน	21
2.9 การเปรียบเทียบระบบพีซีเอ็มและดีเอ็ม	21
2.10 ฟลิปฟลอปชนิดดีที่ใช้คล๊อก	23
2.11 วงจรอินทิเกรเตอร์ 25	
2.12 วงจรเปรียบเทียบแรงดัน 28	
บทที่ 3 การออกแบบและวงจร	31
3.1 การออกแบบวงจรเดลต้า มอดูเลชันภาคส่ง – ภาครับ	31
3.2 การออกแบบวงจรอะแดปทีปเดลต้า มอดูเลชันภาคส่ง – ภาครับ	34
3.3 การออกแบบวงจรรวมทางภาคส่ง ของวงจรเดลต้า มอดูเลชันและ อะแดปทีปเดลต้า มอดูเลชันภาคส่ง – ภาครับ	35
3.4 การออกแบบวงจรรวมทางภาครับ ของวงจรเดลต้า มอดูเลชันและ อะแดปทีปเดลต้า มอดูเลชันภาคส่ง – ภาครับ	37
3.5 การออกแบบวงจรกรองความถี่ต่ำ 39	
บทที่ 4 การทดลองและผลการทดลอง	43
4.1 การทดลองวงจรเดลต้ามอดูเลชัน ภาคส่ง	43

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2 การทดลองวงจรเดลต้ามอดูเลชัน ภาครับ 49
4.3 การทดลองวงจรเดลต้ามอดูเลชัน ภาคส่ง - ภาครับ 55
4.4 การทดลองวงจรอะแดปทีปเดลต้ามอดูเลชัน ภาคส่ง - ภาครับ 61
บทที่ 5 บทสรุป 67

เอกสารอ้างอิง

ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูปภาพ

เรื่อง	หน้า
รูปที่ 2.1.1 แสดงบล๊อกไดอะแกรมของเดลต้า มอดูเลชัน	2
รูปที่ 2.1.2 แสดงเวฟฟอร์มของเดลต้า มอดูเลชัน	3
รูปที่ 2.1.3 แสดงการส่งข้อมูล 1 บิตต่อ 1 ตัวอย่าง	5
รูปที่ 2.1.4 แสดงการเกิดความผิดพลาดจากการควอนไตซิ่ง	5
รูปที่ 2.1.5 แสดงบล๊อกไดอะแกรมของเดลต้า ดีมอดูเลชัน	7
รูปที่ 2.2.1 แสดงการแก้ปัญหาด้วยอะแดปทีปเดลต้า มอดูเลชัน	8
รูปที่ 2.2.2 แสดงสัญญาณผิดพลาดใน นัน - อะแดปทีปเดลต้า มอดูเลชัน	8
รูปที่ 2.3.1 แสดงการสุ่มตัวอย่าง	10
รูปที่ 2.3.2 แสดงผลของการแซมปลิ้ง	11
รูปที่ 2.3.3 แสดงความผิดพลาดจากการแซมปลิ้ง	12
รูปที่ 2.4.1 แสดงการจัดระดับสัญญาณพีเอเอ็มให้เข้ากับระดับของการควอนไตซ์	14
รูปที่ 2.4.2 แสดงระยะห่างของระดับที่ถูกแบ่งกับสัญญาณรบกวน เนื่องจากการควอนไตซ์	15
รูปที่ 2.5.1 แสดงสเปกตรัมของกำลังงานน้อยส์	17
รูปที่ 2.6.1 แสดงSNR ของระบบDM Speech ซึ่งเป็นฟังก์ชองfs	19
รูปที่ 2.10.1 แสดงสัญญลักษณ์และตารางความจริงฟลิปฟลอปชนิดดี	23
รูปที่ 2.10.2 แสดงสัญญลักษณ์ฟลิปฟลอปชนิดดี	24
รูปที่ 2.11.1 แสดงวงจรอินทิเกรเตอร์	25
รูปที่ 2.11.2 แสดงวงจรอินทิเกรเตอร์ที่ใช้งานจริงในทางปฏิบัติ	27
รูปที่ 2.12.1 แสดงวงจรเปรียบเทียบเบื้องต้น	29
รูปที่ 3.1.1 แสดงบล๊อกไดอะแกรมของเดลต้า มอดูเลชัน ภาคส่ง	31
รูปที่ 3.1.2 แสดงบล๊อกไดอะแกรมของเดลต้า ดีมอดูเลชัน ภาครับ	31
รูปที่ 3.1.3 แสดงวงจรสเต็ป เจนเนอร์เรเตอร์	32
รูปที่ 3.1.4 แสดงวงจรอินทิเกรเตอร์	33
รูปที่ 3.1.5 แสดงวงจรคอมพาราเตอร์และฟลิปฟลอปชนิดดี	33
รูปที่ 3.1.6 แสดงวงจรริงเคาเตอร์	33
รูปที่ 3.2.1 แสดงบล๊อกไดอะแกรมของอะแดปทีปเดลต้า มอดูเลชัน ภาคส่ง	34

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 3.2.2 แสดงบล๊อกไดอะแกรมของอะแดปทีปเดลต้า มอดูเลชัน ภาครับ 34
รูปที่ 3.3.1 แสดงวงจรรวมทางภาคส่ง 35
รูปที่ 3.3.2 แสดงวงจรรวมทางภาคส่ง (ต่อ) 36
รูปที่ 3.4.1 แสดงวงจรรวมทางภาครับ 37
รูปที่ 3.4.2 แสดงวงจรรวมทางภาครับ (ต่อ) 38
รูปที่ 3.5.1 แสดงวงจรกรองความถี่ต่ำ 39
รูปที่ 3.5.2 แสดงวงจรกรองความถี่ต่ำ อันดับที่สี่ 41
รูปที่ 3.5.3 แสดงวงจรกรองความถี่ต่ำ อันดับที่สองและสี่ 41
รูปที่ 3.5.4 แสดงวงจรกรองความถี่ต่ำ อันดับที่สองและสี่โดยทำเป็นเดซิเบล 42

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1

บทนำ (Introduction)

ในปัจจุบันการติดต่อสื่อสารมีความสำคัญอย่างยิ่งโดยเฉพาะในการส่งสัญญาณเสียง แต่ในการส่งสัญญาณเสียงแบบอนาล็อกจะเกิดการผิดเพี้ยน และเกิดการลดทอนของสัญญาณได้ง่าย ทำให้คุณภาพของการส่งสัญญาณต่ำลง ความต้องการที่จะได้สัญญาณกลับคืนมาอย่างถูกต้องดังเดิม ทำให้มีการพัฒนาเป็นการส่งสัญญาณดิจิตอล ซึ่งเป็นการส่งสัญญาณในรูปของพัลซ์มีค่าแน่นอนเป็น 0 และ 1 พัลซ์ที่ส่งออกไปจะเกิดการผิดเพี้ยน และเกิดการลดทอนเช่นเดียวกับแบบ อนาล็อก แต่อย่างไรก็ตามจะสามารถใช้อุปกรณ์ตรวจจับ และสร้างสัญญาณใหม่ขึ้น จึงทำให้การส่งสัญญาณแบบดิจิตอลเป็นที่นิยมแพร่หลาย กล่าวคือ สัญญาณดิจิตอลจะถูกสร้างขึ้นมาใหม่ได้โดยมีการผิดเพี้ยนน้อยมาก นอกจากนั้นการส่งแบบนี้มีประสิทธิภาพสูงเหมาะกับการบริการในรูปแบบต่างๆ ทั้งเสียง, ข้อมูลและภาพ แม้ว่าการส่งสัญญาณดิจิตอลก็มีข้อเสียบางข้อ เช่น มีแบนด์วิดธ์ (bandwidth) กว้าง มีน้อยส์(noise)แฝงอยู่ในตัว และอุปกรณ์สร้างสัญญาณใหม่มีราคาแพง แต่มีแนวโน้มที่อุปกรณ์ต่างๆ จะมีราคาลดลงเรื่อยๆ

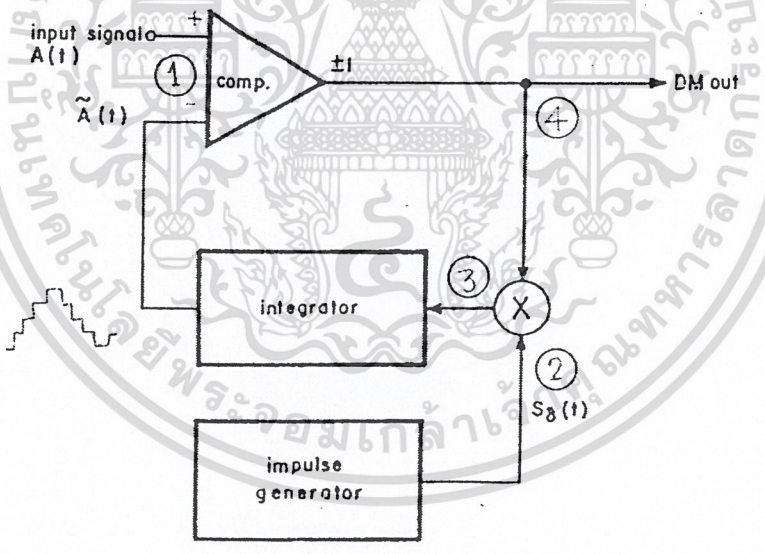
เทคนิคในการแปลงสัญญาณอนาล็อกให้เป็นสัญญาณดิจิตอล มีหลายวิธี เช่น พัลซ์แอมปลิจูดมอดูเลชัน (pulse amplitude modulation)หรือPAM , พัลซ์โค๊ดมอดูเลชัน (pulse code modulation)หรือPCM, เทคนิคในการใช้เดลตามอดูเลชัน (delta modulation) หรือ DM ก็เป็อีกวิธีหนึ่งที่สามารถแปลงสัญญาณอนาล็อกให้เป็สัญญาณดิจิตอลได้ โดยมีข้อดีคือสามารถแปลงสัญญาณ อนาล็อกให้เป็นสัญญาณดิจิตอลได้โดยตรง ไม่ต้องการวงจรเข้ารหัสเพิ่มเติมอีก รวมทั้งสามารถกำหนดอัตราเร็วในการแปลงสัญญาณได้จากสัญญาณนาฬิกาเพียงอย่างเดียว ที่สำคัญคือวงจรไม่ยุ่งยากและมีราคาถูก เทคนิคเดลตามอดูเลชั่นยังสามารถปรับปรุงให้ดีขึ้นได้โดยใช้ อะแดปทีป เดลตามอดูเลชั่น (adaptive delta modulation)หรือADM ที่จะพยากรณ์ข้อมูลตัวถัดไปจากข้อมูลที่เข้ามาก่อนหน้า ซึ่งจะทำให้ความผิดพลาดในการแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอลลดลง และเป็นการปรับปรุงคุณภาพของสัญญาณให้ดีขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
ทฤษฎีและหลักการ

2.1 เดลตา มอดูเลชัน(DELTA MODULATION)

เดลตามอดูเลชั่น(Delta Modulation : DM) เป็นเทคนิคของพัลซ์โคดดิ้ง(pulse coding) ซึ่งต้องการฮาร์ดแวร์(Hard ware) ที่ง่ายกว่าแบบพัลซ์โคดมอดูเลเตอร์(Pulse Code Modulation : PCM) โดยหลักการของเดลตามอดูเลชัน เป็นการเปรียบเทียบระหว่างสัญญาณอินพุท A(t)ที่เป็นสัญญาณอนาล็อกกับสัญญาณอนาล็อกที่ถูกแซมปลิ้งมาก่อนหนึ่งแซมปลิ้ง $\tilde{A}(t)$ เดลตามอดูเลชันเป็นการส่งสัญญาณดิจิตอลโดยการเข้ารหัสเพียง 1 บิตจากสัญญาณอนาล็อก กล่าวคือเดลตามอดูเลชันจะส่งรหัสเพียง 1 บิตแทนค่ารหัสหลายบิตที่ได้จากการแซมปลิ้ง ซึ่งรหัส 1 บิตนี้ ชี้ให้เห็นว่าค่าที่ได้จากการแซมปลิ้งมีค่ามากหรือน้อยกว่าค่าแซมปลิ้งก่อนหน้านั้น พิจารณา รูปวงจรที่1 เดลตามอดูเลชันและรูปสัญญาณเวฟฟอร์ม(waveform)



รูปที่ 2.1.1 แสดงบล๊อกไดอะแกรมของ เดลตา มอลดูเลชั่น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่1 อาจเขียนเป็นสมการแต่ละจุดได้ดังนี้

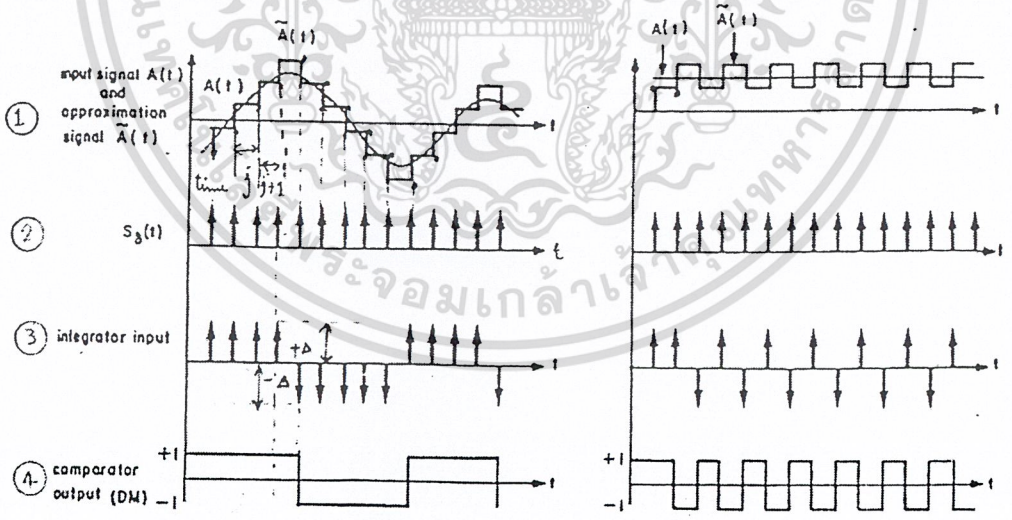
ที่จุด (4)

$$e_4(t) = A(t) - \tilde{A}(t) \qquad (1.1)$$

โดยที่

$$\Delta\,\mathrm{sgn}[e(t)] = \begin{cases} \Delta & ; \quad DM_{out} > 0 \\ -\Delta & ; \quad DM_{out} > 0 \end{cases} \qquad (1.2)$$

จากสมการด้านบนจะได้ว่า ถ้าสัญญาณอินพุท A(t) มากกว่าสัญญาณประมาณ $\tilde{A}(t)$ จะได้สัญญาณเอาต์พุท (output) ของวงจรเปรียบเทียบ (comparator) เป็น +1 และถ้าสัญญาณอินพุท A(t) มีค่าน้อยกว่าสัญญาณประมาณ $\tilde{A}(t)$ จะได้สัญญาณเอาต์พุท (output) ของวงจรเปรียบเทียบ (comparator) เป็น -1 รูปสัญญาณดูได้จาก waveform



รูปที่ 2.1.2 แสดงเวฟฟอร์มของเดลตา มอดูเลชัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ที่จุด (3) อินพุทของวงจรอินทิเกรเตอร์ (integrator input)

$$e_3(t) = \Delta\, Sgn\,[\, e(t)\, S_\delta\,(t)\,]$$

$$= \Delta\, Sgn\,[\, e(t)\,] \sum_{n=0}^{\infty} S\,(\,t - nTS\,) \qquad (1.3)$$

จากสมการที่ (1.3) เราสามารถเขียนใหม่ได้ว่า

$$e_3(t) = \sum_{n=0}^{\infty} \Delta\, Sgn\,[e(\,nTs\,)]\,\delta(\,t - nTs\,) \qquad (1.4)$$

ซึ่งจะได้เอาต์พุทจากอินทิเกรเตอร์เป็น

$$\tilde{A}(t) = \sum_{n=0}^{\infty} \Delta\ Sgn\,[e(\,nTs\,)]\,u(\,t - nTs\,) \qquad (1.5)$$

ซึ่งก็คือ การประมาณค่าจากสัญญาณขั้นบันได(Staircase) ของ $\tilde{A}(t)$

สำหรับแต่ละตัวอย่าง (sample) การส่งจะส่งเป็นข้อมูล 1 bit ตามสมการที่ (1.2) และอัตราการส่งผ่านข้อมูลจะเท่ากับอัตราการแซมปลิ้ง 1/Ts ดังแสดงในรูปที่ 2.1.3

ความถี่ที่ใช้ในการแซมปลิ้งจะต้องมากกว่าหรือเท่ากับ 2 เท่าของความถี่สุงสุดของความถี่ที่เราต้องการแซมปลิ้งนั้น

$$f_s = 2f_m$$

และ

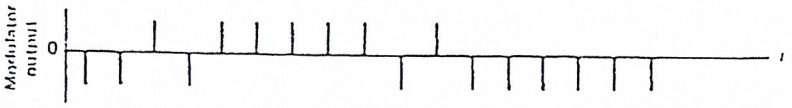
$$f_s = \frac{1}{Ts}$$

โดยที่ f_m = ความถี่ของสัญญาณอินพุท (Input Signal)

f_s = ความถี่ของสัญญาณที่นำมาแซมปลิ้ง (sampling frequency)

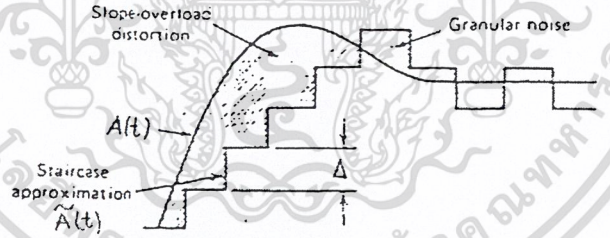
Ts = เวลาของการแซมปลิ้ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.1.3 การส่งข้อมูลจะส่งเป็น 1 บิตต่อ 1 ตัวอย่าง

การแซมปลิ้งของระบบ PCM ซึ่งใช้การเข้ารหัสสัญญาณเสียงความถี่ประมาณ 0 – 4 KHz จึงต้องใช้ความถี่ในการแซมปลิ้ง 8 KHz ขึ้นไป แต่ในทางปฏิบัติจะใช้ความถี่สูงกว่านี้มากเพื่อลดความผิดพลาดหรือ error ซึ่งในระบบ DM จะเกิดความผิดพลาดหรือความคลาดเคลื่อนที่เรียกว่าความผิดพลาดควอนไตซิ่ง(quantizing error) มี 2 กรณีคือ ความผิดพลาดที่เกิดจากสัญญาณมีความชันในการเบลี่ยนแปลงค่ามากเกินไปหรือที่เรียกว่า สโลปโอเวอร์โหลดดิสทอร์ชั่น (slope overload distortion) และความผิดพลาดอีกอันที่เรียกว่า กรานูล่าร์ (granular noise)



รูปที่ 2.1.4 แสดงการเกิด Quantizing error ในเดลตามอดูเลชัน

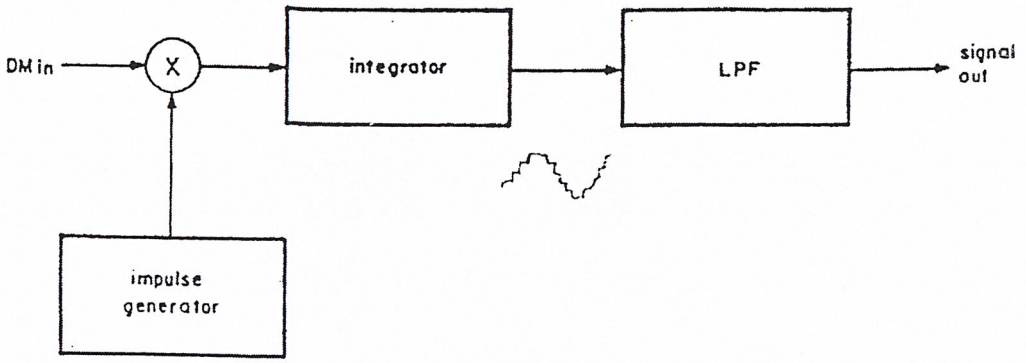
จากรูปสโลปโอเวอร์โหลดดิสทอร์ชั่นจะเกิดขึ้นเมื่อขนาดของสเต็ป (step) เล็กเกินไปที่จะทำให้สัญญาณขั้นบันไดจากการประมาณ Ã(t) ตามสัญญาณอินพุท A(t) ได้ทัน และ กรานูลาร์น้อยส์จะเกิดขึ้นได้เมื่อขนาดของสเต็ปใหญ่เกินไป สัญญาณอินพุท A(t) ซึ่งเป็นผลมาจากสัญญาณขั้นบันไดจากการประมาณ Ã(t) สเต็ปขึ้นและลงระหว่างส่วนที่ค่อนข้างราบเรียบของอินพุท กรานูลาร์น้อยส์ในระบบ DM นี้เทียบเท่าควอนไตซิ่งน้อยส์ในระบบ PCM ดังนั้นสำหรับสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อินพุทที่มีค่าความชัน (slope) อันหนึ่ง ถ้าขนาดของสเต็ปเล็กก็จะทำให้เกิดสโลปโอเวอร์โหลดดิสทอร์ชั่นขึ้น และในขณะเดียวกันถ้าขนาดของสเต็ปใหญ่จะทำให้เกิด กรานูลาร์น้อยส์

หลักการของเดลตา มอดูเลชั่น แสดงดังรูปบล๊อกไดอะแกรมในรูปที่ 2. 1 .1 ซึ่งประกอบไปด้วย คอมพาราเตอร์(comparator), อิมพัลซ์เจอเนเรชั่น (impul generation), และอินทิเกรเตอร์ (intergrator) โดยคอมพาราเตอร์จะมีหน้าที่เปรียบเทียบความแตกต่างระหว่าง อินพุท และสัญญาณที่ได้จากการประมาณ โดยเอาต์พุทที่ได้ แสดงดังจุดที่ 4 ของรูปเวฟฟอร์มที่ 2.2 ซึ่งสัญญาณที่จุด(4)นี้ จะถูกนำมาคูณกับอิมพัลซ์ซึ่งได้จากอิมพัลซ์เจเนเรเตอร์ และจะทำให้ได้รูปสัญญาณดังจุดที่ (3) ของเวฟฟอร์มในรูปที่ 2 .2 จะเป็นสัญญาณอินพุทของ วงจรอินทิเกรเตอร์เมื่อสัญญาณผ่านวงจรนี้แล้ว จะทำให้ได้สัญญาณเป็นรูปขั้นบันไดเรียกว่าขั้นบันไดการประมาณ (stair case approximate) ออกมา แ ล้วนำไปเปรียบเทียบกับสัญญาณอินพุท A(t) ที่ถูกป้อนเข้ามา รูปสัญญาณแสดงให้เห็นในเวฟฟอร์มจุดที่ (1) ความแตกต่างระหว่างสัญญาณอินพุท A(t) และสัญญาณประมาณ $\tilde{A}(t)$ จะถูกเปลี่ยนเป็นสัญญาณ 2 ระดับ คือ $+\Delta$ และ $-\Delta$ เท่านั้น ถ้าสัญญาณอินพุท มีค่ามากกว่าสัญญาณที่ได้จากการประมาณ $\tilde{A}(t)$ ที่ตำแหน่งของการแซมปลิ้ง (sampling) ครั้งก่อนก็จะทำการเพิ่มสัญญาณค่าประมาณ $\tilde{A}(t)$ ขึ้นอีก $+\Delta$ และในทางกลับกัน ถ้าสัญญาณค่าประมาณ $\tilde{A}(t)$ มีค่ามากกว่าสัญญาณอินพุท A(t) ก็จะถูกลดลง $-\Delta$ เช่นกัน ถ้าสัญญาณอินพุท A(t) มีค่าการเปลี่ยนแปลงไม่เร็วจนเกินไป เราจะพบว่า ขั้นบันไดการประมาณการ (stair case approximate) จะยังคงมีค่าสูงหรือต่ำกว่าสัญญาณอินพุท A(t) ไม่เกิน $+\Delta$ หรือ $-\Delta$ โดยวิธีการนี้ วงจรอินทิเกรเตอร์ (intigrator) จะทำการสร้างสัญญาณใหม่ตามสัญญาณอินพุท A(t) โดยใช้ 1 สเต็ป ในแต่ละครั้งของการแซมปลิ้ง (sampling) จะพบว่าพัลซ์ที่ได้เหล่านี้จะประกอบไปด้วยสัญญาณดิจิตอล (digital) เพื่อส่งไปทางด้านรับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่2. 1.5 แสดงบล๊อกไดอะแกรมของ เดลตา ดีมอดูเลชั่น

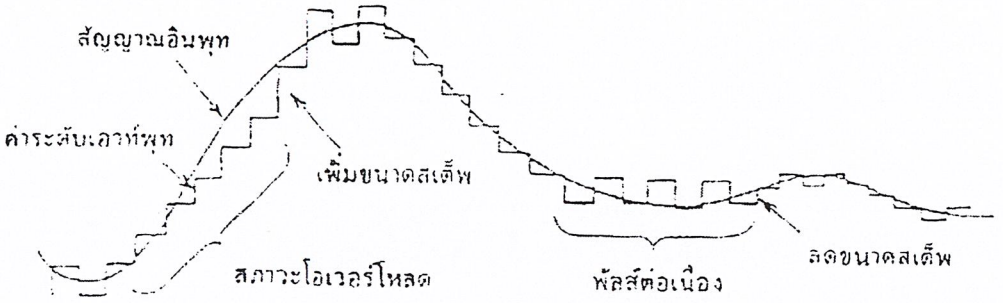
จากรูปที่ 2.1.5 แสดงบล๊อกไดอะแกรมของเครื่องรับเดลตามอดูเลชัน (deltamodulation receiver) จะเห็นว่ามีอุปกรณ์คล้ายกับเครื่องส่ง โดยจะแตกต่างกันที่เครื่องรับจะไม่มี วงจรคอมพาราเตอร์ (comparator) แต่จะมี วงจรกรองความถี่ต่ำ (low pass filter , LPF) เพิ่มเข้ามา โดยที่หลักการทำงานทางด้านรับ เมื่อรับสัญญาณเข้ามาก็จะสร้างสัญญาณขั้นบันไดการประมาณ (stair case approximate) ออกมา โดยนำพัลซ์ (pulse) บวกและลบที่ได้รับผ่าน วงจรอินทิเกรเตอร์ (integrator) ซึ่งมีการทำงานเช่นเดียวกับด้านส่ง ส่วนควอนไตซิ่งน้อยส์ (quentising noise) ที่มีอยู่ในสัญญาณประมาณ $\tilde{A}(t)$ จะถูกกำจัดออกไปโดยผ่านวงจรกรองความถี่ต่ำผ่าน (low pass filter) ซึ่งมีแบนด์วิธ (bandwidth) เท่ากับแบนด์วิธของสัญญาณเบสแบนด์

2.2 อะแดปทีปเดลตามอดูเลชัน (Adaptive Delta Modulation)

สโลปโอเวอร์โหลดจะเกิดขึ้นเมื่อความชันของสัญญาณสูงมากๆ ปัญหานี้สามารถแก้ไขได้โดยการปรับขนาดของสเต็ป โดยจริงๆ แล้วขนาดของสเต็ปควรจะเล็กเมื่อการเปลี่ยนของสัญญาณเกิดอย่างช้าๆ และเพิ่มขนาดของสเต็ปเมื่อการเปลี่ยนแปลงของสัญญาณเกิดขึ้นอย่างอย่างรวดเร็ว เพื่อที่จะหลีกเลี่ยงสโลปโอเวอร์โหลดเมื่อสัญญาณมีการเปลี่ยนแปลงมาก

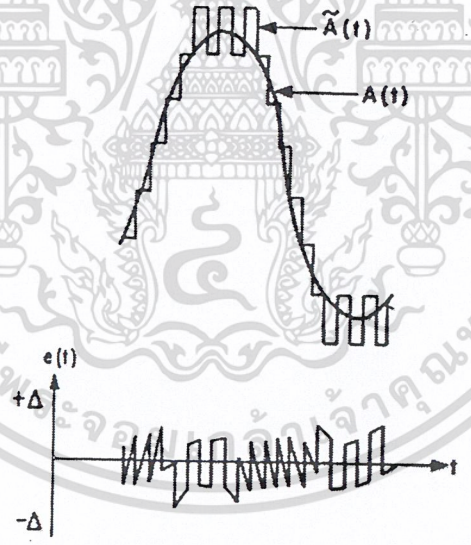
ในขณะที่ความถี่ในการแซมปลิ้งสูงขึ้นผลต่างระหว่างค่าแซมเปิ้ลข้างเคียงจะน้อยลงระบบการเข้ารหัสแบบ ADM จะพิจารณาจากจุดนี้คือใช้ความถี่ในการแซมปลิ้งให้สูงขึ้นและเข้ารหัสของผลต่างของสัญญาณเพื่อส่งออกไปด้วย 1 บิท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.2.1 แสดงการแก้ปัญหาด้วยอะแดปทีปเดลตามอดูเลชัน

กรณีที่เข้ารหัสโดยใช้เพียง 1 บิท จะกำหนดขนาดของระดับขั้น (step) จากขบวนพัลส์ที่เข้ามาก่อนกรณีที่พัลส์ซึ่งเข้ามีขั้วเหมือนกันอย่างต่อเนื่องจะกำหนดว่าเกิดโอเวอร์โหลดในขณะนี้จะเพิ่มขนาดของระดับขั้นให้กว้างขึ้น ในทางตรงกันข้ามถ้าพัลส์มีขั้วสลับกันเกิดขึ้นอย่างต่อเนื่องในการลดสัญญาณรบกวนที่เกิดจากการจัดระดับ (quantizing noise) จะต้องลดขนาดของระดับขั้นให้แคบลง



รูปที่ 2.2.2 แสดงสัญญาณผิดพลาดใน Non - Adaptive Delta Modulation

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3 การมอดูเลชันระบบรหัสพัลซ์

การมอดูเลชันระบบรหัสพัลซ์(Pulse Code Modulation : PCM) เป็นระบบที่มีการผสมสัญญาณแบบดิจิตอล ซึ่งนิยมใช้กันอย่างแพร่หลายในระบบโทรศัพท์ปัจจุบัน เพราะมีข้อได้เปรียบระบบที่มีการผสมสัญญาณแบบอนาล็อกหลายประการด้วยกัน เช่น การทำงานร่วมกับระบบคอมพิวเตอร์ได้อย่างสะดวก เนื่องจากในคอมพิวเตอร์จะมีการทำงานที่เป็นแบบดิจิตอล นอกจากนี้ยังสามารถลดความผิดเพี้ยนของรูปสัญญาณซึ่งในระบบอนาล็อกจะมีปัญหาเกี่ยวกับสัญญาณข้อมูลที่ส่งผ่านช่องการสื่อสารต่างๆ จะเกิดการลดทอนของขนาดและการเลื่อนเฟสของสัญญาณ เพราะเป็นสัญญาณที่มีการเปลี่ยนแปลงตามเวลา ส่วนสัญญาณดิจิตอลจะไม่มีปัญหาในเรื่องนี้ เพราะระดับสัญญาณที่ใช้ในการติดต่อสื่อสารมีแค่ 2 ระดับ คือ 1 กับ 0 ดังนั้นจึงง่ายต่อการดีเท็คสัญญาณกลับคืนมาได้อย่างถูกต้องมากกว่า และสัญญาณดิจิตอลยังเหมาะกับการพัฒนาในอนาคตอีกด้วย เป็นต้น

ในการสื่อสารข้อมูลส่วนใหญ่จะมีการส่งข่าวสารได้ 2 แบบคือ การส่งข้อมูลแบบขนาน(Parallel) และการส่งข้อมูลแบบอนุกรม(Series) ซึ่งทั้ง 2 แบบนี้จะมีการนำมาใช้แตกต่างกันแล้วแต่วัตถุประสงค์ของการใช้งาน เช่น การรับ - ส่งภายในคอมพิวเตอร์ จะใช้การรับส่งข้อมูลแบบขนาน เพราะต้องการความเร็วในการประมวลผลสัญญาณสูงมาก ส่วนการรับ - ส่งข้อมูลแบบอนุกรมจะใช้ในการรับส่งข้อมูล ระหว่างภาครับและภาคส่งที่อยู่ห่างกันในระยะทางไกลๆ ซึ่งจะทำให้ลดต้นทุนและสะดวกกว่าที่จะใช้สายส่งหลายเส้น ซึ่งในปัจจุบันก็มีวงจรที่เปลี่ยนการรับ – ส่งทั้งแบบขนานเป็นแบบอนุกรมและแบบอนุกรมเป็นแบบขนาน ซึ่งทำให้สะดวกต่อการใช้งานยิ่งขึ้น

2.3.1 ทฤษฎีการสุ่มสัญญาณเบื้องต้น (Fundamental of Sampljng Theory)

ทฤษฎีหนึ่งที่นิยมใช้ในการสุ่มสัญญาณ คือทฤษฎีของไนควิสต์ ซึ่งไนควิสต์ ได้เสนอทฤษฎีบทเกี่ยวกับการสุ่มตัวอย่างไว้ว่า "สำหรับสัญญาณอนาล็อกที่มีสเปกตรัมอยู่ในย่านความถี่จำกัดโดยที่มีความถี่สุงสุดของสัญญาณคือ fm ในการนำค่าที่ได้จากการเลือกสุ่มที่ขณะเวลาต่างๆ ที่ห่างกันทุกๆ T วินาที มาสร้างสัญญาณใหม่และมีค่าเท่ากับหรือน้อยกว่า $\frac{1}{2fm}$ วินาที"

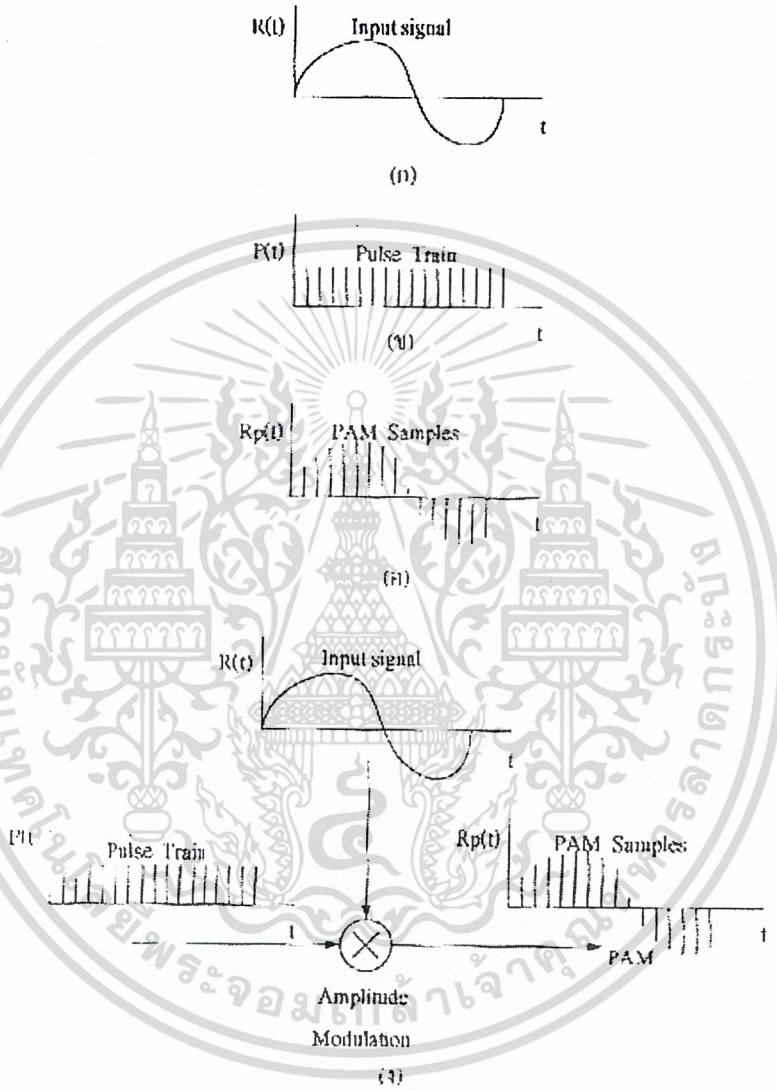
ตามทฤษฎีการสุ่มตัวอย่างสัญญาณอนาล็อกของไนควิสต์ อาจกล่าวเป็นใจความสำคัญที่สามารถเข้าใจง่าย โดยการสุ่มตัวอย่างสัญญาณอนาล็อกที่มีคุณสมบัติตามเงื่อนไขของทฤษฎีของไนควิสต์ เมื่อเราใช้ความถี่ในการสุ่มสัญญาณนั้นเท่ากับ fs ความถี่นี้จะต้องมากกว่าหรืออย่างน้อยที่สุดต้องเท่ากับ 2 เท่าของความถี่สูงสุดของสัญญาณอนาล็อกนั้น จะได้ว่า

$$fs \geq 2fm$$

ซึ่งสัญญาณที่ได้จาการสุ่มตัวอย่างจะเป็นสัญญาณดิสครีสต์ (discrete) เพราะสัญญาณที่เกิดจากการสุ่มตัวอย่างจะเกิดเฉพาะเวลาที่ทำการสุ่มตัวอย่างสัญญาณอนาล็อก ด้วยสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

พัลซ์(Pulse Train) ณ เวลา nTs เท่านั้น เมื่อ n =1,2,3..... และ Ts = $\frac{1}{fs}$ แสดงได้ดังรูป ซึ่งก็คือการผสมสัญญาณทางขนาดด้วยขบวนพัลซ์ หรือ พีเอเอ็ม(Pulse Amplitude Modulation) นั่นเอง



รูปที่ 2.3.1 แสดงการสุ่มสัญญาณ

(ก) สัญญาณมอดูเลท R(t)

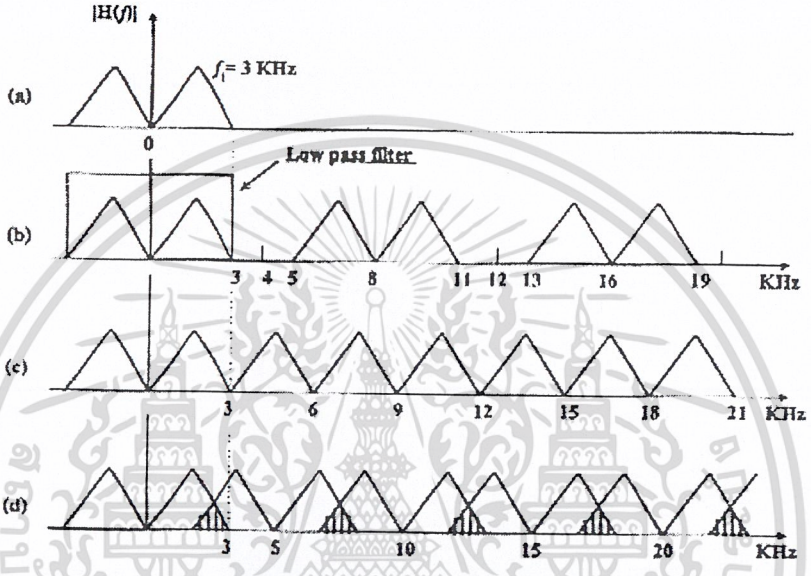
(ข) สัญญาณคลื่นพาห์ P(t)

(ค) สัญญาณมอดูเลท Rp(t) ที่มีขนาดเท่ากับสัญญาณ R(t)

(ง) บล๊อกไดอะแกรมการสร้างสัญญาณ PAM โดยการสุ่มตัวอย่าง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในทางปฏิบัติ ถ้าเรามีสัญญาณอนาล็อกที่มีสเปคตรัมสูงสุดเท่ากับ w เราควรที่จะใช้อัตราสุ่มตัวอย่าง $fs \geq 2w$ เสมอ เนื่องจากในความเป็นจริงเมื่อพิจารณาที่อัตราสุ่มตัวอย่าง $fs \equiv 2w$ และเราไม่สามารถสร้างสัญญาณอิมพัลซ์ (Impulse) ได้ ดังนั้นจึงต้องใช้พัลซ์ที่มีความกว้างของพัลซ์แคบๆ แทน และในการที่จะกู้สัญญาณเบสเบนส์ [R(t)] กลับคืนมาได้จะต้องใช้วงจรกรองความถี่ต่ำผ่าน (Low Pass Filter) ซึ่งเราไม่สามารถสร้างวงจรกรองที่มีประสิทธิภาพได้สูงพอที่มีความคมในการตัดความถี่ที่ต้องการได้ ดังนั้นจึงเป็นความยุ่งยากที่จะกู้สัญญาณข้อมูลกลับคืนมาได้อย่างสมบูรณ์



รูปที่ 2.3.2 ผลของการแซมปลิ้ง

รูปที่ 2.3.2 แสดงถึงสเปคตรัม(Spectrum) ของสัญญาณอินพุทมีค่าประมาณ 20 – 3KHz ซึ่งสามารถหาได้โดยใช้ฟูเรียร์ ทรานฟอร์ม (Fourier Transform) โดย *f1* จะเป็นจุดที่มีความถี่สูงสุด เราพล็อต(Plot) โดยใช้เฉพาะแอมปลิจูด (Amplitude) ของสัญญาณเท่านั้นตอนนี้ยังไม่ได้พูดถึงเฟสของสัญญาณแต่อย่างใด ในรูปจะเห็นว่าสัญญาณจะเป็น Spectrum แบบอีเว่น ฟังก์ชั่น(Even Function) สังเกตุได้จากรูมีความถี่ทางด้านลบมีรูปร่างเหมือนกับทางด้านบวก เป็นการบอกได้ว่าสัญญาณแต่ละความถี่นั้นประกอบไปด้วยผลบวกของ สองเอ็กโปเนนเชี่ยล(Exponential) ดังนั้นส่วนประกอบของสัญญาณ $ACos(\Omega t)$ ซึ่งมีแอมปลิจูด (Amplitude) เป็น A และความถี่ Ω radian/sec สามารถเขียนได้เป็น

$$ACos(\Omega t) = (\frac{A}{2})\exp(j\Omega t) + (\frac{A}{2})\exp(j(-\Omega)t)$$

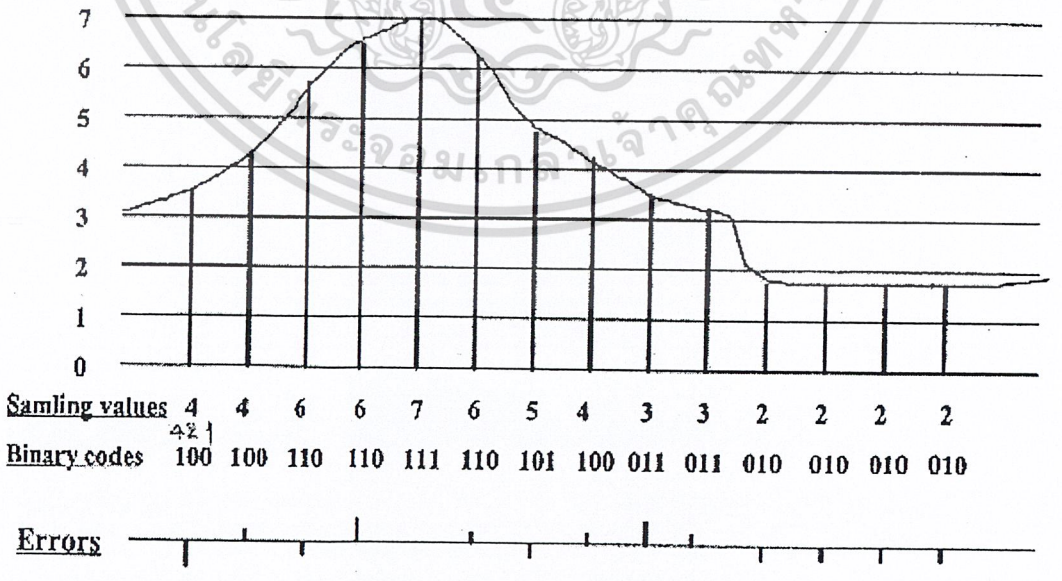
คือจะแสดงออกเป็น 2 Spectrum ที่มีขนาด Amplitude เป็น (A/2) ที่ความถี่ $\pm\Omega$ และผลของการแซมปลิ้ง(Sampling) จะทำให้เกิด Spectrum ที่ซ้ำตัวเองไปตลอด ดังแสดงในรูป 2.3.2 (b) และหาก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เรา Sampling ด้วยความถี่ 8 KHz ฉะนั้นความถี่จะซ้ำตัวเองที่ 8KHz, 16KHz และต่อไปเรื่อยๆ ในหลักการเราต้องการจะประมวลผลเพียงสัญญาณในช่วง 20 – 3 KHz เท่านั้น ดังนั้นหากเราจะคืนสัญญาณจากดิจิตอลเป็นอนาล็อกเพื่อให้ได้ดังในรูป 2.3.2 (a) จึงสามารถทำได้โดยการใช้วงจรกรองความถี่ต่ำผ่าน (Low Pass Filter) มากรองสัญญาณเอาพาะช่วงที่ต้องการเท่านั้น โดยฟิ]เตอร์ควรจะจำกัดสัญญาณที่ความถี่ที่ 5 KHz ขึ้นไป

จะเกิดอะไรขึ้นหากเราจะลดความถี่ Sampling ลงจนถึงความถี่ต่ำสุดที่ทฤษฎีการแซมปลิ้ง (Sampling Theory) กำหนดไว้ ตัวอย่างนี้เราลดลงมาที่ 6 KHz ผลคือเราจะเห็นว่าความถี่จะเริ่มซ้ำกันที่ความถี่ 6KHz, 12KHz และต่อไปเรื่อยๆ สัญญาณก็ยังคงสามารถจะแปลงคืนเป็นสัญญาณอนาล็อกหรือกระทำ D/A ได้

แต่หากเราลดความถี่ลงต่อไปอีก Spectrum ของความถี่ก็จะขยับเข้ามาอีก จากผลของความถี่ Sampling ที่ลดลง *ทำให้เกิดการ Overlap ของ Spectrum ความถี่* ดังแสดงในรูปที่ 2.3.2 (d) เรามักจะเรียกการเกิด 'Overlap' นี้ว่า *'Aliasing'* และเรียกฟิลเตอร์ที่ป้องกันการเกิดอาการนี้ว่า *'Anti – aliasing filter'* นั่นคือเราจะไม่สามารถทำการแปลงสัญญาณนี้คืนสู่สัญญาณอนาล็อกได้ และโดยปกติแล้วหากเรา Sampling ด้วยความถี่ตามทฤษฎีคือ *2fi* ในทางปฏิบัติเราม่สามารถคืนสัญญาณได้เพราะในทางปฏิบัติเราจะไม่สามารถออกแบบวงจรกรองความถี่ต่ำผ่าน (Low Pass Filter) ที่มีลักษณะของการ Cut off Frequency ได้อย่างสมบูรณ์ในรูป 2.3.2 (b) ดังนั้นจึงควรอย่างยิ่งที่ต้อง Sampling ความถี่ด้วยความถี่ที่สูงกว่าทฤษฎีกำหนดไว้ เพื่อประกันว่าสัญญาณจะสามารถคืนเป็นสัญญาณอนาล็อกได้ดังเดิมแน่นอน



รูปที่ 2.3.3 แสดง Error จากการ Sampling

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.4 พัลส์โค้ดมอดูเลชัน (Pulse Code Modulation : PCM)

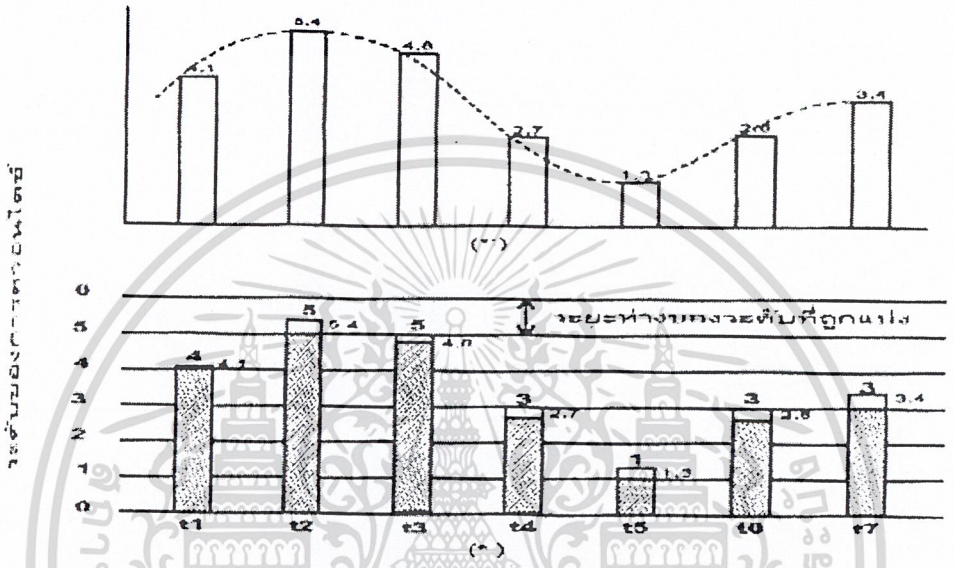
จากที่ได้พิจารณาถึงทฤษฎีการสุ่มตัวอย่างจะเห็นว่าเราไม่จำเป็นที่จะต้องส่งสัญญาณอนาล็อกที่มีแบนด์วิดท์จำกัดทั้งหมดผ่านช่องสัญญาณสื่อสารก็ได้โดยที่เราสามารถทำการสุ่มตัวอย่างสัญญาณอนาล็กที่มีแบนด์วิดท์จำกัดนั้น ด้วยความถี่ที่เหมาะสมคือ ทำการสุ่มค่าสัญญาณอนาล็อกที่ต้องการส่งด้วยช่วงเวลาที่ใช้สุ่มสัญญาณที่เหมาะสมแล้ว ซึ่งจะได้สัญญาณพีเอเอ็มขึ้นมาเราก็จะสามารถที่จะส่งสัญญาณที่ภุกส่มนั้นซึ่งเป็นสัญญาณดิสครีตผ่านช่องสัญญาณสื่อสารแทนการส่งสัญญาณอนาล็อกโดยตรงได้

แต่การส่งข้อมูลโดยลักษณะดังกล่าวผ่านช่องการสื่อสารก็ยังต้องประสบปัญหาการลดทอนของสัญญาณในช่องสื่อสารพอๆ กับการส่งสัญญาณอนาล็กอยู่ดี ดังนั้นจึงได้มีการคิดค้นนำสัญญาณดิสครีตดังกล่าวมากำหนดรหัสที่เป็นดิจิตอลให้มีความเหมาะสมกับระดับสัญญาณดิสครีตที่ได้จากการสุ่มตัวอย่างสัญญาณอนาล็อกแล้ค่อยส่งสัญญาณที่เป็นดิจิตอลนี้ผ่ยช่องสัญญาณต่อไปแทนที่จะส่งสัญญาณอนาล็อกโดยตรง ซึ่งจากคุณสมบัติของสัญญาณดิจิตอล ก็เหมือนกับว่าเป็นการสร้างภูมิคุ้มกันต่อสัญญาณรบกวนให้กับข้อมูลที่จะส่งผ่านช่องการสื่อสารเพิ่มขึ้นอย่างมาก ด้วยวิธีดังกล่าวก็เหมือนกับการฝากข้อมูลของสัญญาณไปกับคลื่นพาห์ที่เป็นรหัสพัลซ์ (Pulse Code Modulation : PCM) นั่นเอง แต่เนื่องจากสัญญาณที่สุมออกมานั้นจะมีขนาดที่แตกต่างกันมากมาย ดังนั้นเราจึงจำเป็นต้องจัดกลุ่มให้กับสัญญาณค่าต่างๆ เหล่านั้นโดยที่มีค่าใกล้เคียงกันจะจัดให้อยู่ในกลุ่มเดียวกันและในกล่มเดียวกันจะมีรหัสเหมือนกัน ดังนั้นเราจึงสามารถจัดค่าของสัญญาณต่างๆ ที่เกิดขึ้นมากมายนั้นให้อยู่ในกลุ่มที่ทราบค่าแน่นอนได้อย่างครบถ้วน การที่จะแบ่งสัญญาณทั้งหมดออกเป็นกี่กล่มนั้นขึ้นอยู่กับความเหมาะสมว่าเรายินยอมให้เกิดความผิดพลาดของค่าตัวอย่างของสัญญาณที่สุ่มออกมานั้นมากหรือน้อยเท่าไร เช่น ถ้าเรามีสัญญาณอนาล็อกที่มีค่าเปลี่ยนแปลงอยู่ระหว่าง 0 ถึง 5 โวลต์ และเราต้องการจะกำหนดรหัสให้แก่ค่าของตัวอย่างสัญญาณที่สุ่มออกมาได้โดยยินยอมให้เกิดความผิดพลาดจากค่าของตัวอย่างที่สุ่มออกมาได้อยู่ไม่เกิน 0.5 โวลท์ ดังนั้นเราสามารถแบ่กลุ่มออกเป็น 5 กลุ่มด้วยกันคือ กลุ่มที่ 1 มีค่าของสัญญาณอยู่ระหว่าง 0 ถึง 1 โวลท์ กลุ่มที่ 2 มีค่าของสัญญาณอยู่ระหว่าง 1 ถึง 2 โวลท์ ไปเรื่อยๆ จนถึงกลุ่มที่ 5 ซึ่งมีค่าของสัญญาณอยู่ระหว่าง 4 ถึง 5 โวลท์ ดังนั้นเราสามารถได้ค่าของรหัสสัญญาณสุ่มต่างๆ หลังจากแปลงค่าเทียบเท่ากับ 0.5, 1.5, 2.5, 3.5 และ 4.5 ตามลำดับ ซึ่งจะได้ค่าความผิดพลาดของการประมาณค่าต่างๆ อยู่ไม่เกิน 0.5 โวลท์ตามต้องการ โดยการประมาณหรือแยกกลุ่มของค่าตัวอย่างสัญญาณที่สุ่มออกมาได้เพื่อนำมาเข้ารหัสต่อไป ในลักษณะนี้เราเรียกว่า การควอนไทเซชัน(Quantization)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.4.1 การควอนไทเซชัน(Quantization)

จากการที่ได้ทราบถึงวิธีการสุ่มตัวอย่างสัญญาณที่ได้กล่าวมาแล้วเราจะทราบว่าสัญญาณที่ได้หลังจากการสุ่มตัวอย่างจะได้สัญญาณพีเอเอ็ม(Pulse Amplitude Modulation) ซึ่งมีขนาดของสัญญาณที่เป็นสัญญาณดิสครีตและมีขนาดการเปลี่ยนแปลงตามขนาดของสัญญาณเบสแบนด์(Baseband) ดังแสดงในรูปที่ 2.4.1



รูปที่ 2.4.1 แสดงการจัดระดับสัญญาณพีเอเอ็มให้เข้ากับระดับของการควอนไตซ์

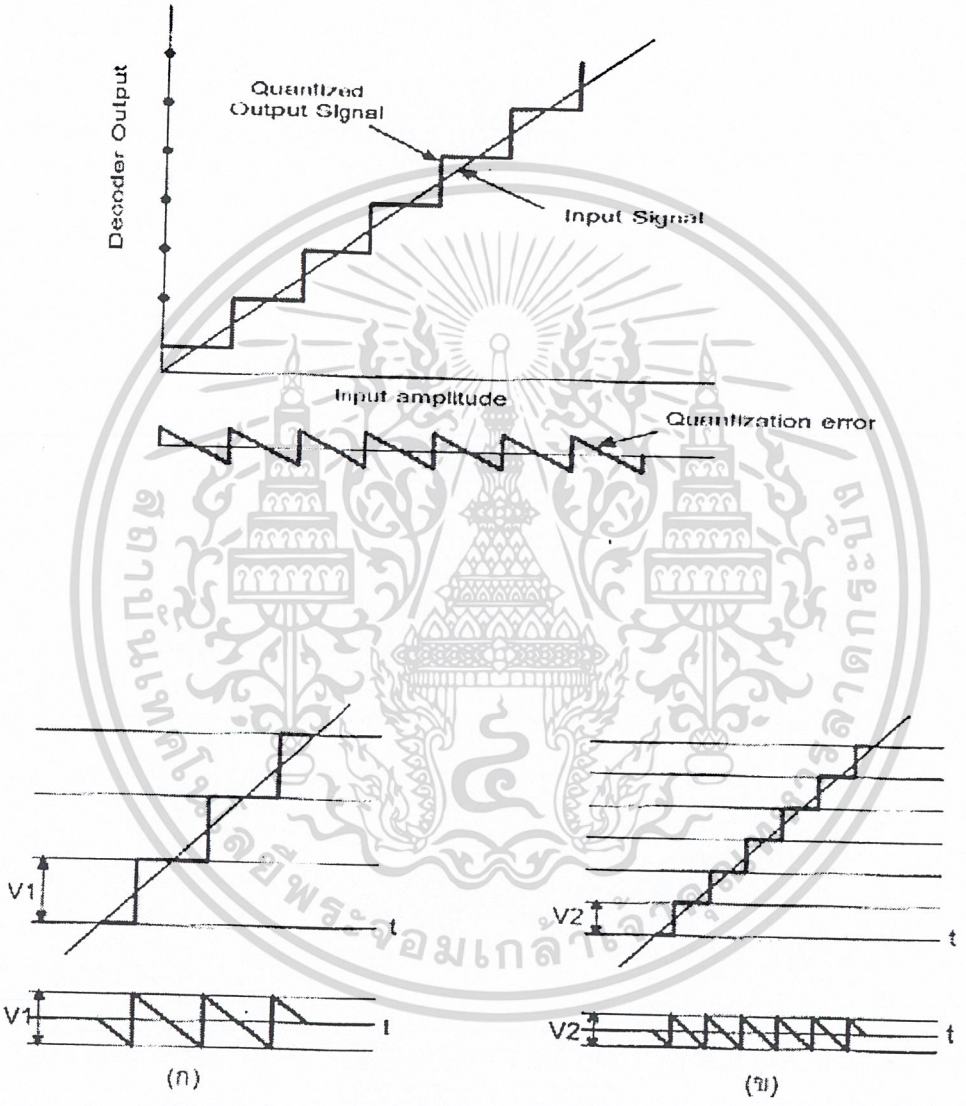
(ก) รูปสัญญาณพัลซ์แอมปลิจูดมอดูเลชัน

(ข) รูปการจัดระดับสัญญาณพีเอเอ็มให้เข้ากับระดับของการควอนไตซ์

เมื่อได้สัญญาณพีเอเอ็มแล้ว จะทำการส่งสัญญาณนี้ผ่านส่วนของการจัดขนาดระดับของสัญญาณให้เป็นระดับที่ใกล้เคียงที่สุดกับระดับที่ได้ถูกกำหนดหรือแบ่งกลุ่มไว้ล่วงหน้าแล้ว เราเรียกขั้นตอนดังกล่าวว่าระดับการควอนไตเซชัน (Quantization Level) และระยะห่างของระดับที่ถูแบ่งเรียกว่า (Quantization Interval) พิจารณาที่รูป (ข)ซึ่งเป็นรูปแสดงการจัดระดับของสัญญาณพีเอเอ็มให้มีระดับใกล้เคียงกับระดับของการควอนไตซ์ จะเห็นว่าสัญญาณที่สุ่มที่เวลา t1 มีขนาด 4.1 จะถูกแทนระดับของสัญญาณในระดับที่ 4 โดยอัตโนมัติ หรือที่เวลา t7 สัญญาณที่ถูกสุ่มมีขนาด 3.4 ดังนั้นจะถูกแทนด้วยระดับที่เท่ากับ 3 ทันที ซึ่งระดับที่ได้จะถูกนำมาเข้ารหัสเป็นเลขฐานสองที่มีค่าใกล้เคียงกับขนาดของสัญญาณพีเอเอ็มที่ได้ให้มากที่สุด แต่ระดับของสัญญาณที่ได้จะเป็นขนาดของสัญญาณอนาล็กที่ถูกประมาณขึ้น ดังนั้นจึงทำให้เกิดค่าผิดพลาดของสัญญาณทางด้านขนาดของแอมปลิจูด ซึ่งค่าผิดพลาดที่ได้นี้จะเรียกว่าสัญญาณรบกวนเนื่องจากการควอนไตซ์ (Quantization noise)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณรบกวนชนิดนี้จะกระจายอย่างสม่ำเสมอในช่วงของระยะห่างของระดับสัญญาณที่ถูกแบ่งและไม่ขึ้นกับแอมปลิจูดของสัญญาณ ในช่องของระยะห่างของระดับสัญญาณรบกวนที่เกิดจากการแปลงเป็นตัวเลขชนิดหนึ่ง จะเห็นว่าเราไม่สามารถจะหลีกเลี่ยงผลของสัญญาณจากการแปลงเป็นตัวเลขนี้ได้เลย แต่สามารถลดผลของสัญญาณรบกวนเนื่องจากการควอนไตซ์ได้โดยกำหนดให้ช่วงระดับความห่างของระดับที่ถูกแบ่งมีช่วงเล็กลงพอเพียงแล้ว สัญญาณรบกวนจากการแปลงเป็นตัวเลขก็จะสามารถลดลงสู่ระดับที่เหมาะสมได้ แสดงได้ดังรูป



รูปที่ 2.4.2 แสดงระยะห่างของระดับที่ถูกแบ่งกับสัญญาณรบกวนเนื่องจากการควอนไตซ์

เมื่อได้ค่าจากการแปลงเป็นตัวเลขแล้นำไปเข้ารหัสเป็นเลขฐานสอง โดยที่ค่าของตัวเลขจะถูกกำหนดด้วยจำนวนบิทในการเข้ารหัส เช่น ทำการเข้ารหัส 8 บิทต่อ 1 ข้อมูลตัวเลข ซึ่ง 1 บิทจะมีการเปลี่ยนแปลงค่าได้ 2 ค่า คือ 0 กับ 1 ดังนั้นจึงสามารถแบ่งระดับการควอนไตซ์ได้ทั้งหมดเท่ากับ $2^8 = 256$ ระดับนั่นเอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2. 5 เสียงรบกวนจากควอนไทซ์ในเดลต้าโมดูเลชัน (QUENTIZING NOISE)

จากรูปที่2.2.2 แสดงสัญญาณอินพุทรูปไซน A(t) และสัญญาณค่าประมาณ $\tilde{A}(t)$ ของระบบนัน - อะแดปทีฟเดลตา มอดูเลชั่น (Non - Adaptive Delta Modulation) และจากรูปที่ 2.2.2 ด้านล่าง จะแสดงสัญญาณความผิดพลาดที่เกิดเนื่องจากการควอนไตเซชั่น (quantization error signal), $e_q(t)$ ซึ่ง $e_q(t)$ จะมีค่าคือ

$$e_q(t) = A(t) - \tilde{A}(t) \qquad (2.1)$$

ถ้าในระบบนี้ไม่มีสโลปโอเวอร์โหลดดิ้ง (slope overloading) แอมปลิจูดของสัญญาณผิดพลาด จะมีค่าอยู่ในช่วงใดช่วงหนึ่งระหว่าง + Δ และ -Δ ความน่าจะเป็นไปได้ที่แอมปลิจูด ของ e(t) จะมีค่าอยู่ระหว่าง x และ x + dx เป็น p(x)dx
ซึ่งจะได้ว่า

$$\int_{-\Delta}^{+\Delta} p(x)dx = 1$$

โดยที่

$p(x)$ = ค่าคงที่ (constance)

เมื่อ อินทิเกรทค่าคงที่จะได้ว่า

$$\int_{-\Delta}^{+\Delta} p(x)dx = p(x)dx * 2\Delta = 1$$

เพราะฉะนั้น

$$p(x) = \frac{1}{2\Delta} \qquad (2.2)$$

โดยให้ กำลังงานของสัญญาณผิดพลาดเนื่องจากการทำนอร์มอลไลซ์ (normalized error signal power) เป็น

$$N_q = e(t)^2 = \int_{-\Delta}^{+\Delta} x^x p(x)dx$$

$$= \int_{-\Delta}^{+\Delta} \frac{x^2}{2\Delta} dx = \frac{\Delta^2}{3} \qquad (2.3)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

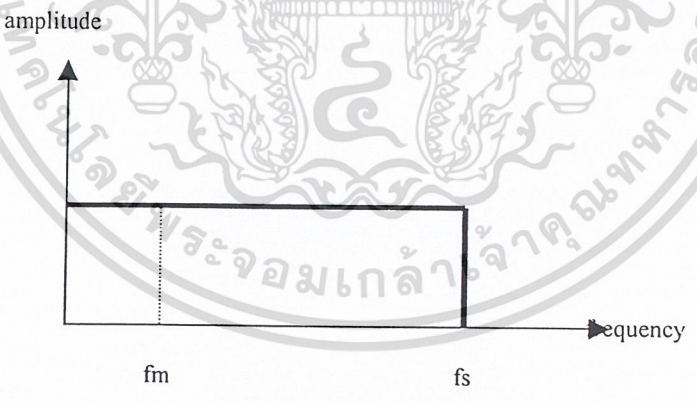
โดยที่

N_q = เป็นสัญญาณเอาต์พุท ทางด้านดีมอดดูเลชั่น (delta demodulation) ที่ แสดงค่าของน้อยซ์ (noise) ก่อนจะถูกกรองโดยวงจรกรองความถี่ต่ำ (low pass filter)

ได้มีการทดลองพิสูจน์มาแล้วว่า กำลังที่ถูกนอร์มอลไลซ์ (normalized) แล้วของรูปคลื่น $e_q(t)$ มีการแจกแจงสม่ำเสมอภายในช่วงความถี่ $(0, f_s')$ โดย f_s' คืออัตราการสุ่มตัวอย่าง ฉะนั้น ความเข้มข้นสเปกตรัลของกำลัง $G_q(f)$ ของ $e_q(t)$ จะได้

$$G_q(f) = \begin{cases} \Delta^2 / (\sigma f_s'), |f| < f_s' \\ 0 \quad \text{ที่ความถี่อื่น} \end{cases} \qquad (2.4)$$

จากสมการตามทฤษฎี เราสามารถพิสูจน์โดยการทดลองซึ่งเราจะได้สเปกตรัม (spectrum) ของ N_q เป็นฟอร์มที่ราบเรียบ จาก dc ถึง fs เมื่อ fs เป็นสัญญาณความถี่นาฬิกา (clock frequency)ของระบบ DM ซึ่งแสดงดังรูปด้านล่าง



รูปที่ 2.5.1 แสดงสเปกตรัมของกำลังงานน้อยส์ (Spectrum of Noise Power , N_q)

เมื่อสัญญาณที่ได้ทำการกรองแล้วทางด้านดีมอดดูเลชั่น (demodulation) โดยผ่านวงจรกรองความถี่ (low pass filter) ซึ่งจะทำให้ได้คัทออฟฟรีเควนซี่ (cut – off frequency), fm และทำให้เราได้กำลังงานของน้อยซ์ทางด้านเอาต์พุท (output noise power) มีค่าเป็น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

46520

$$Nq = N_q * \frac{fm}{fs}$$

$$= \frac{\Delta^2}{3} * \frac{fm}{fs} \qquad (2.5)$$

2.6 กำลังของสัญญาณขาออก

ในการคำนวณกำลังของสัญญาณขาออก เราจะใช้กรณีที่เลวที่สุด (Worst case) ของเดลตาโมดูเลชัน คือในกรณีที่กำลังของสัญญาณจะรวมกันที่ปลายความถี่สูงของสัญญาณ นั่นคือสมมติให้เป็นสัญญาณไซน์นูซอยดัล

$$A(t) = A\cos 2\pi f_m t \qquad (3.1)$$

ดังนั้นกำลังของสัญญาณขาออกคือ

$$S_0 = A^2(t) = \frac{A^2}{2} \qquad (3.2)$$

เพื่อหลีกเลี่ยงการเกินภาระของความชัน เราควรเลือกความชันที่มากที่สุด (Maximum slope) ของสัญญาณมีค่าเท่ากับ

$$\left|\frac{dA(t)}{dt}\right|_{Max} = A2\pi f_m \qquad (3.3)$$

และการเปลี่ยนแปลงของตัวอย่างหนึ่งไปอีกตัวอย่างหนึ่ง (sample to sample) ซึ่งเท่ากับ $A2\pi f_m T_s'$ น้อยกว่าขนาดของชั้นบันได Δ (step size) ดังนี้

$$2\pi f_m T_s' A < \Delta$$

หรือเลือกขนาดสูงสุดของสัญญาณเวลาเกิดภาวะการเกินภาระความชันเท่ากับ

$$A = \frac{\Delta}{2\pi} \frac{f_s'}{f_m} \qquad (3.4)$$

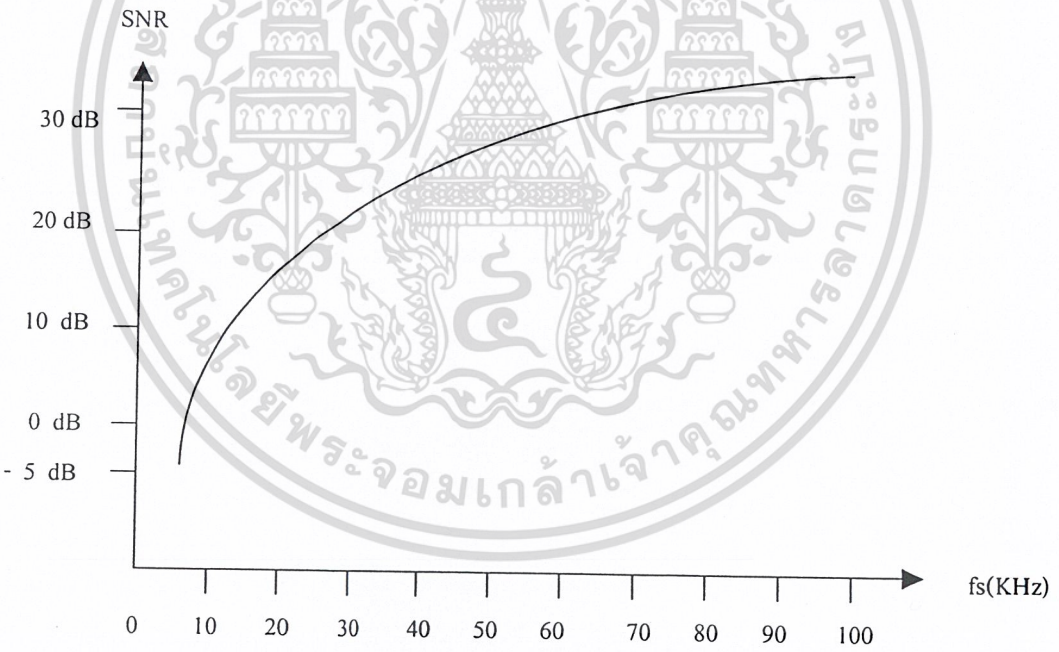
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในที่นี้ $f_s' = 1 / T_s'$ ซึ่งเป็นอัตราการสุ่มตัวอย่างของระบบดีเอ็ม ฉะนั้นอัตราส่วนของกำลังของสัญญาณต่อกำลังของเสียงรบกวนการควอนไทซ์ จากสมการ (2.5), (3.2) และ (3.4) จะได้

$$SNR = \frac{S_0}{N'_q} = \left(\frac{3}{8\pi^2}\right)\left(\frac{f_s'}{f_x}\right)^3 \qquad (3.5)$$

โดยประมาณค่าของ π^2 มีค่าเท่ากับ 10 จึงได้สมการที่ (3.5) เป็น

$$SNR = \frac{S_0}{N'_q} = \frac{3}{80}\left(\frac{f_s'}{f_x}\right)^3 \qquad (3.6)$$



รูปที่ 2.6.1 แสดง SNR ของระบบ DM Speech ซึ่งเป็นฟังก์ชั่นของ fs

สำหรับระบบ DM Speech , fm = 3.4 KHz จากรูปดานบนจะแสดง SNR ซึ่งเป็นฟังก์ชั่นของ fs ในระบบ DM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.7 เสียงรบกวนจากความร้อนในระบบดีเอ็ม

เมื่อมีเสียงรบกวนจากความร้อนเกิดในช่องสัญญาณ ขั้ว (polarity) ของรูปคลื่นที่ส่งในบางครั้งบางคราวจะถูกถอดรหัสผิด เนื่องจากรูปคลื่นที่ส่งเป็นขบวนอิมพัลส์ที่มีขนาด $\pm\Delta$ ความผิดพลาดในเครื่องหมาย + เป็น - หรือ - เป็น + ก็เท่ากับเกิดอิมพัลส์ของความผิดพลาดที่มีกำลัง 2Δ พูดอีกนัยหนึ่งว่า อิมพัลส์ของความผิดพลาดจะต้องมีกำลังเป็น 2 เท่าของ Δ จึงจะเปลี่ยนขั้วของพัลส์ได้ เสียงรบกวนจากความร้อนที่เกิดในช่อง (channel) นี้จะปรากฏที่ขาเข้าของเครื่องอินทิเกรเตอร์ของภาครับเป็นขบวนอิมพัลส์ที่มีเวลาการเกิดเป็นการสุ่ม (เพราะเสียงรบกวนนี้เป็นไวท์น้อยซ์ที่เกิดสุ่มอยู่แล้ว) และมีกำลัง $\pm 2\Delta$ ระยะเวลาที่ห่างกันระหว่างอิมพัลส์คือ T_s' / P_c ในที่นี้ P_c คือความน่าจะเป็นของความผิดพลาด

เราสามารถพิสูจน์ได้ว่า ความเข้มข้นสเปกตรัมของกำลังของขบวนอิมพัลส์เป็น white และมีขนาด $4\Delta^2 P_c f_s'$ และถ้าให้ ฟังก์ชันถ่ายโอนของเครื่องอินทิเกรเตอร์เป็น $\frac{1}{jw}$ แล้ว ความเข้มข้นสเปกตรัมของเสียงรบกวนจากความร้อนที่เข้าไปในช่องสัญญาณที่ขาเข้าของเครื่องกรองความถี่ผ่านต่ำ จะได้

$$G_{th}(f) = \frac{4\Delta^2 P_e f_s'}{(2\pi f)^2} \qquad (4.1)$$

ในทางปฏิบัติ เครื่องอินทิเกรเตอร์ที่ตามด้วยเครื่องกรองความถี่ผ่านต่ำ ซึ่งมีความถี่ตัดออกที่ความถี่ต่ำ (low – cutoff frequency) $f_1 > 0$ ซึ่งมีค่าน้อยมากเมื่อเทียบกับความถี่ตัดออกที่ความถี่สูง (high – frequency cut off) f_x (การที่ให้ f_1 มีค่าน้อยแต่ไม่เท่ากับศูนย์เพราะการอินทิเกรท $G_{th}(f)$ ที่ $f = 0$ จะได้ค่าอนันต์) ดังนั้น

$$N_{th} = 2\int_{f_1}^{fx} G_{th}(f)df = \frac{2\Delta^2 P_e f_s'}{\pi^2}\left[\frac{1}{f1} - \frac{1}{fx}\right]$$

$$= \frac{2\Delta^2 P_e f_s'}{\pi^2 f_1} \qquad (4.2)$$

เนื่องจาก $f_1 << f_x$

สมการ (4.2) แสดงให้เห็นว่ากำลังของเสียงรบกวนขาออกที่ทำให้เกิดความผิดพลาดของบิตมีค่าขึ้นกับความถี่ตัดออกที่ความถี่ต่ำ f_1 มากกว่าความถี่ตัดออกที่ความถี่สูง f_x

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.8 อัตราส่วนของกำลังของสัญญาณต่อกำลังของเสียงรบกวน

เนื่องจากสัญญาณที่เข้าภาครับของระบบดีเอ็มจะประกอบด้วยสัญญาณ A(t) เสียงรบกวนจากการควอนไทซ์ และเสียงรบกวนจากความร้อน (เช่นเดียวกับระบบพีซีเอ็ม) อัตราส่วนของกำลังของสัญญาณต่อกำลังของเสียงรบกวน จึงหาได้จากการแทนสมการ (2.5), (3.2) และ (4.2) ในสมการข้างล่าง

$$\frac{S_0}{N_0} = \frac{S_0}{N_q + N_{th}} = \frac{3f_s'^3/(8\pi^2 f_x^3)}{1+(\sigma P_e f_s'^2/(\pi^2 f_x f_1))} \qquad (5.1)$$

2.9 การเปรียบเทียบระบบพีซีเอ็มและดีเอ็ม

เราสามารถเปรียบเทียบวิสัยความสามารถของระบบพีซีเอ็มและดีเอ็มในด้านของคุณภาพของสัญญาณและความยุ่งยากของวงจร เพื่อให้เกิดการเปรียบเทียบพื้นฐานเดียวกัน เราสมมติให้ทั้งสองระบบใช้ความกว้างแถบโดยประมาณเท่ากันในการส่งสัญญาณเบสแบนด์ที่เป็นอนาล็อก

ถ้าเราให้ f_s และ f_s' แทนอัตราการสุ่มตัวอย่างของ N บิต พีซีเอ็มและดีเอ็ม ดังนั้นอัตราการส่งของพีซีเอ็มและดีเอ็มจะได้ Nf_s และ f_s' ตามลำดับ ถ้าสเปกตรัมไปถึง f_m เฮิรตซ์ ละก็ $f_s = 2f_m$ และความต้องการที่จะให้ความกว้างแถบทั้งสองระบบเท่ากันนั้น เท่ากับเป็นการกำหนดให้

$$f_s' = 2Nf_m$$

2.9.1 อัตราส่วนของกำลังของสัญญาณต่อกำลังของเสียงรบกวน

ถ้าอัตราส่วนของกำลังของสัญญาณต่อกำลังของเสียงรบกวน (signal to noise power ratio) มีค่าสูง วิสัยความสามารถของพีซีเอ็มและดีเอ็มถูกจำกัดด้วยเสียงรบกวนจากการควอนไทซ์

อัตราส่วนของกำลังของสัญญาณต่อกำลังของเสียงรบกวนจากการควอนไทซ์ สำหรับระบบพีซีเอ็ม คือ

$$\left(\frac{S_0}{N_0}\right)_{PCM} = M^2 = 2^{2N} \quad ; \quad N \geq 2$$

ในที่นี้ $M = 2^N$ คือจำนวนของระดับของการควอนไทเซอ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำหรับระบบดีเอ็ม อัตราส่วนดังกล่าว จากสมการ (3.5) จะได้

$$(\frac{S_0}{N_0})_{DM} = \frac{3}{8\pi^2} (\frac{f_s'}{f_x})^3 = 0.3\ N^3$$

จากสมการข้างบนจะเห็นได้ว่า ในกรณีที่ความกว้างแถบคงที่ วิสัยความสามารถของดีเอ็มจะเลวกว่าพีซีเอ็มเสมอ เพื่อเป็นการยกตัวอย่างให้เห็นจริง ค่าความกว้างของแถบช่องกว้างพอสำหรับโค๊ดพีซีเอ็ม 8 บิต แล้ว

$$(\frac{S_0}{N_0})_{PCM} = 48\ dB \quad \text{และ} \quad (\frac{S_0}{N_0})_{DM} = 22\ dB$$

จะเห็นได้ว่าอัตราส่วนของกำลังของสัญญาณต่อกำลังของเสียงรบกวนของระบบดีเอ็มมีค่าน้อยกว่าระบบพีซีเอ็ม 26 dB

วิสัยความสามารถของดีเอ็มสามารถปรับปรุงให้ดีขึ้นอย่างมากมายโดยใช้ขนาดของขั้นบันไดที่เปลี่ยนได้ (นั่นคือใช้เครื่องมอดูเลเตอร์เดลตาชนิดปรับกำลังขยายได้) สำหรับการส่งสัญญาณเสียง (speech transmission) ได้มีการพิสูจน์ว่า วิสัยความสามารถของระบบเดลต้ามอดูเลชันชนิดปรับกำลังขยายได้ ไม่แตกต่างกับวิสัยความสามารถของระบบพีซีเอ็มที่อัตราการส่ง (bit rate) ประมาณ 64 กิโลบิต ต่อวินาที

2.9.2 ความต้องการด้านความกว้างแถบ

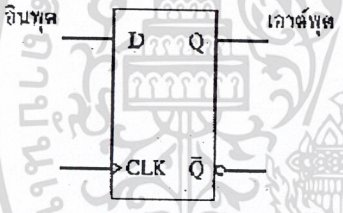
ในกรณีของการส่งสัญญาณเสียง สมมติให้พีซีเอ็มใช้โค๊ด 8 บิต (N = 8) และเพื่อให้คุณภาพของสัญญาณดี ต้องสุ่มตัวอย่างที่อัตรา f_s = 8000 เฮิรตซ์ ก็จะได้ความเร็วการส่ง (bit rate) 8000 x 8 = 64 กิโลบิตต่อวินาที

เพื่อให้ได้คุณภาพของสัญญาณใกล้เคียงกัน ระบบดีเอ็มต้องใช้อัตราการสุ่มตัวอย่างประมาณ 100 กิโลบิตต่อวินาที ซึ่งมากกว่าระบบพีซีเอ็มเกือบเท่าตัว อย่างไรก็ตาม ได้มีการพิสูจน์แล้วว่า ถ้าใช้เดลตาโมดูเลชันชนิดปรับความชันอย่างต่อเนื่องได้ (continuous variable slope delta) (CVSD) อาจจะลดความเร็วการส่ง (bit rate) ลงเหลือ 32 กิโลบิตต่อวินาที ได้โดยคุณภาพของสัญญาณอยู่ในเกณฑ์ดีเหมือนเดิม

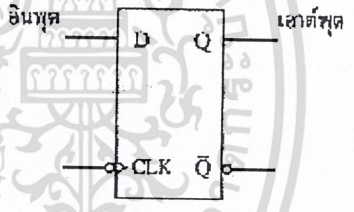
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.10 ฟลิปฟลอปชนิดดีที่ใช้คล็อก (Clock D Fip – Flop)

ฟลิปฟลอปชนิดดี เป็นฟลิปฟลอปที่มี 2 อินพุทคือ อินพุท D สำหรับรับข้อมูลลอจิก และอินพุท CLK สำหรับรับสัญญาณนาฬิกาเพื่อควบคุมฟลิปฟลอป ดังนั้นฟลิปฟลอปชนิดดีจึงมี 2 ชนิด คือ ชนิดที่ควบคุมด้วยสัญญาณนาฬิกาขอบบวก ดังรูปที่ 9 (ก) และชนิดที่ควบคุมด้วยสัญญาณนาฬิกาขอบลบ ดังรูปที่ 9 (ข) การทำงานของฟลิปฟลอปชนิดดีแสดงในตารางความจริง (Truth Table) รูปที่ 9 (ค) และ (ง) นั่นคือ เมื่อป้อนข้อมูลลอจิก “ 1” เข้าที่อิน พุท D และป้อนสัญญาณนาฬิกาเข้ามายังอินพุท CLK ข้อมูลลอจิก “ 1” ที่อินพุท จะไปปรากฏที่เอาต์พุท Q และถ้าป้อนข้อมูลลอจิก “ 0” เข้าที่อินพุท D และป้อนสัญญาณนาฬิกาเข้ามายังอินพุท CLK ข้อมูลลอจิก “ 0” ที่อินพุท จะไปปรากฏที่เอาต์พุท Q หากป้อนข้อมูลลอจิก “ 1” หรือ “ 0” เข้าที่อินพุท D แต่ไม่ได้ป้อนสัญญาณนาฬิกาควบคุม ที่อินพุท CLK ลอจิก เอาต์พุท Q จะคงสภาวะเดิมไม่เปลี่ยนแปลง



(ก) *ฟลิปฟลอปชนิดดีควบคุมด้วยสัญญาณนาฬิกาขอบบวก*



(ข) *ฟลิปฟลอปชนิดดีควบคุมด้วยสัญญาณนาฬิกาขอบลบ*

สภาวะการทำงาน	อินพุต		เอาต์พุต	
	CLK	D	Q	Q̄
รีเซต	⌐¬	0	0	1
เซต	⌐¬	1	1	0

(ค) *ตารางความจริงของฟลิปฟลอปชนิดดีควบคุมด้วยสัญญาณนาฬิกาขอบบวก*

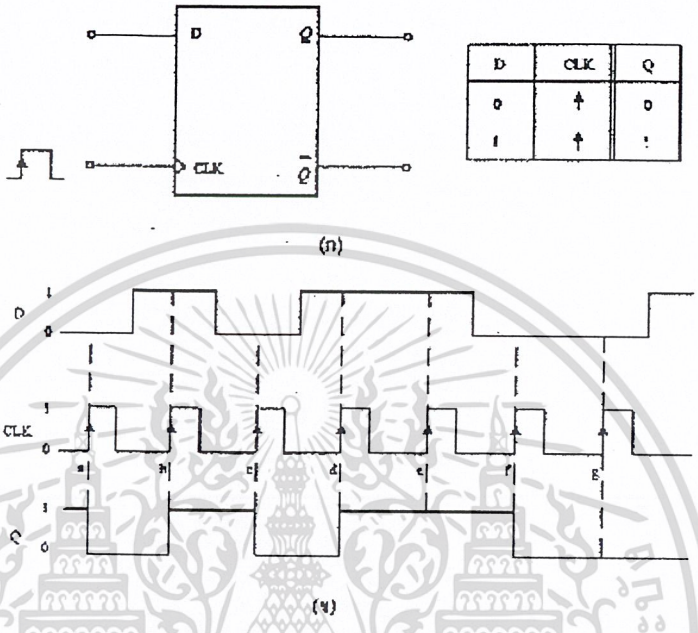
สภาวะการทำงาน	อินพุต		เอาต์พุต	
	CLK	D	Q	Q̄
รีเซต	¬⌐	0	0	1
เซต	¬⌐	1	1	0

(ง) *ตารางความจริงของฟลิปฟลอปชนิดดีควบคุมด้วยสัญญาณนาฬิกา*

รูปที่ 2.10.1 สัญญลักษณ์และตารางความจริงฟลิปฟลอปชนิดดี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 2.10.2 ก) แสดงสัญญลักษณ์ของฟลิปฟลอปแบบดีซึ่งใช้การทำงานแบบขอบขาขึ้นของสัญญาณคล๊อกในการทริกเกอร์ ฟลิปฟลอปแบบนี้มีอินพุทควบคุมซิงโครนัสเพียงอินพุทเดียว คือ อินพุทดีซึ่งเป็นขาเข้าของข้อมูล (Data)



รูปที่ 2.10.2แสดงสัญญลักษณ์ของฟลิปฟลอปแบบดีซึ่งใช้การทำงานแบบขอบขาขึ้น

เมื่อขอบขาขึ้นของสัญญาณปรากฏที่อินพุทของสัญญาณนาฬิกา (CLK) เอาต์พุท Q จะมีสภาวะเหมือนกับบสภาวะซึ่งปรากฏที่อินพุท D อีกนัยหนึ่ง ฟลิปฟลอปจะเก็บระดับของสัญญาณซึ่งปรากฏที่อินพุท D ขณะเกิดสัญญาณขอบขาขึ้น ดังรูปที่ 11 ข) ซึ่งอธิบายได้ดังนี้

1. ในช่วงเริ่มต้นสมมติว่า Q เป็นสภาวะ “ 1” เมื่อขอบขาขึ้นของสัญญาณคล็อกที่หนึ่งปรากฏ (ที่จุด a) อินพุท D เป็นสภาวะ “ 0” ทำให้ Q มีสภาวะ 0 ถึงแม้ว่าระดับอินพุท D จะเปลี่ยนระดับระหว่างจุด a และ b ก็ตามจะไม่มีผลกระทบต่อ Q เพราะ Q เก็บสภาวะ “ 0” ของ D ที่จุด a

2. เมื่อเกิดขอบขาขึ้นที่จุด b เอาต์พุต Q จะเป็นสภาวะ “ 1” เพราะ D ที่เวลานั้นเป็นสภาวะ “ 1” Q จะเก็บสภาวะ “ 1” จนกระทั่งขอบขาขึ้นปรากฏที่จุด c เอาต์พุต Q จึงเป็นสภาวะ “ 0” เพราะ D ที่เวลานั้นเป็นสภาวะ “ 0”

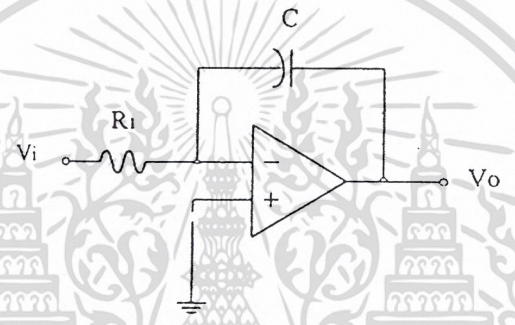
3. ในทำนองเดียวกันขอบขาขึ้นปรากฏที่จุด d,e เอาต์พุต Q จะเป็นสภาวะ “ 1” เพราะอินพุท D เป็นสภาวะ “ 1” และที่จุด f,g เอาต์พุต Q เป็นสภาวะ “ 0” เพราะอินพุท D เป็นสภาวะ “ 0”

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปคลื่นด้านบน สังเกตุได้ว่า Q เปลี่ยนสภาวะเมื่อขอบขาขึ้นปรากฏเท่านั้น สำหรับฟลิปฟลอปแบบดี ที่ใช้ขอบขาลงของสัญญาณคล๊อกในการทริกเกอร์จะทำงานในลักษณะเดียวกันกับหลักการข้างต้น ยกเว้นเอาต์ Q มีสภาวะเหมือนอินพุท D เมื่อขอบขาลงของสัญญาณคล๊อกปรากฏที่อินพุทของสัญญาณนาฬิกา (CLK) ส่วนสัญญลักษณ์ของฟลิปฟลอปนี้จะมีวงกลมเล็ก (หรือบับเบิ้ล) ที่อินพุทของสัญญาณนาฬิกา

2.11 วงจรอินทิเกรเตอร์

วงจรอินทิเกรเตอร์ สามารถแสดงได้ดังรูปที่ 2.9.1 ภายในประกอบด้วยออปแอมป์ โดยต่อให้เป็นการป้อนกลับแบบลบ (negative feedback) ซึ่งจะมีความต้านทาน R_1 อยู่ทางด้านอินพุท และมีตัวเก็บประจุต่ออยู่ในเส้นทางป้อนกลับ



รูปที่ 2.11.1 แสดงวงจรอินทิเกรเตอร์

วงจรอินทิเกรเตอร์ จะมีค่าสัญญาณเอาต์พุตเป็นสัดส่วนกับการอินทิกรัลของเวลา (time integral) ของสัญญาณอินพุท โดยแสดงได้ตามสมการคณิตศาสตร์ดังนี้

$$V_0 = -\left[\frac{1}{RC}\right] \int V_i dt \qquad (9.1)$$

โดยที่ V_0 คือ แรงดันเอาต์พุต

V_i คือ แรงดันอินพุท

เมื่อมีสัญญาณเข้าวงจร $Vi = V\sin \omega t$

Vi จะถูกอินทิเกรตดังสมการ

$$\int V_i dt = -\left[\frac{V}{w}\right] \cos \omega t \qquad (9.2)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ซึ่งจะเป็นได้ว่าขนาดของสัญญาณเอาต์พุตจะเป็นส่วนกลับกับความถี่
เมื่อหาความสัมพันธ์ระหว่างค่าอัตราขยายแรงดัน Av กับความถี่ จะได้ดังสมการ

$$A_v = -\frac{R_F}{R_i} \tag{9.3}$$

โดยที่ R_F คือ ค่าความต้านทานป้อนกลับ

R_i คือ ค่าความต้านทางอินพุท

ดังนั้นจากรูปวงจรที่ 2.9.1 จะได้

$$A_v = -\left[\frac{-j}{2\pi fc}\right]\frac{1}{R} = \frac{j}{2\pi fRC} \tag{9.4}$$

จากสมการจะเห็นว่า ค่าอัตราการขยายแรงดันของวงจรจะลดลงในความถี่เพิ่มขึ้น โดยอัตราการขยายแรงดันจะมีค่าเท่ากับ 1 ที่ความถี่ค่าหนึ่ง สมมุติให้เป็น f_2
ดังสมการ

$$1 = 2\pi f_2 RC$$

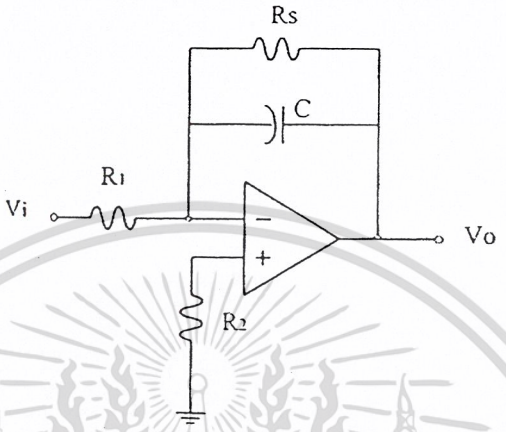
$$f_2 = \frac{1}{2\pi RC}$$

$$\omega_2 = \frac{1}{RC} \tag{9.5}$$

ค่าคงที่ของเวลา (time constant) RC ของอินทิเกรตยิ่งมีค่ามากเท่าใด ขนาดของสัญญาณเอาต์พุตที่ได้ก็จะมีค่าเล็กลงเท่านั้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อย่างไรก็ตาม วงจรอินทิเกรเตอร์ที่ใช้ในทางปฏิบัติแสดงได้ดังรูปที่ 13 ซึ่งจะใช้ความต้านทาน R_S ต่อคร่อมตัวเก็บประจุ C



รูปที่ 2.11.2 แสดงวงจรอินทิเกรเตอร์ที่ใช้จริงในทางปฏิบัติ

R_S จะต่อไว้เพื่อทำให้เกิดเสถียรภาพของไฟกระแสตรง ให้กับวงจรอินทิเกรเตอร์ โดยจะจำกัดค่าอัตราการขยายที่ความถี่ต่ำของตัวขยายสัญญาณ (amplifier) เพราะถ้าอัตราขยายที่ความถี่ต่ำไม่ถูกจำกัดแล้ว ค่าออฟเซตของไฟกระแสตรง (dc offset) ที่เกิดขึ้นจะถูกอินทิเกรต ซึ่งอาจทำให้เกินช่วงการทำงานของตัวขยายสัญญาณได้ และในที่สุดออปแอมป์ก็จะทำงานในช่วงอิ่มตัว (saturation)

ค่าแรงดันออฟเซตของไฟกระแสตรง จะขึ้นอยู่กับกระแสแรงดันไบอัสอินพุท ซึ่งจะทำให้เกิดน้อยที่สุดโดยค่าความต้านทาน R_2 จะหาได้ดังนี้

$$R_2 = \frac{(R_1.R_s)}{(R_1 + R_s)} \qquad (9.6)$$

ความถี่ที่วงจรจะเริ่มต้นทำงานเป็นอินทิเกรเตอร์ได้คือ

$$f_c = \frac{1}{2\pi R_s C} \qquad (9.7)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ถ้าค่าความถี่อินพุทมีค่าน้อยกว่า f_c วงจรจะมีคุณสมบัติเข้าใกล้วงจรขยายกลับเฟส ซึ่งมีค่าอัตราการขยายแรงดันดังนี้

$$\frac{V_0}{V_i} = -\frac{R_s}{R_i} \qquad (9.8)$$

และเพื่อให้ได้คุณสมบัติความเป็นเชิงเส้นที่ดี ความถี่ของสัญญาณอินพุทควรมีค่าอย่างน้อยเป็น 10 เท่าของ f_c

2.12 วงจรเปรียบเทียบแรงดัน (Comparator)

วงจรเปรียบเทียบระดับแรงดัน ในที่นี้ใช้วงจรของออปแอมป์ที่เป็นวงจรขยายเปิดลูป โดยปกติแรงดันไฟเลี้ยงที่ให้กับออปแอมป์จะเป็นแรงดัน $+V_{cc}$ และ $-V_{cc}$ ที่มีค่าตั้งแต่ ± 3 โวลต์ จนถึง ± 18 โวลต์ เป็นส่วนใหญ่ดังนั้นเอาต์พุตของออปแอมป์เมื่อเป็นวงจรขยายเปิดลูป จะอิ่มตัวที่ $+V_{cc}$ หรือ $-V_{cc}$ เท่านั้น นั่นคือถ้าแรงดันที่ขาอินเวอร์ติ้งของออปแอมป์มีค่ามากกว่าขานอนอินเวอร์ติ้ง แรงดันเอาต์พุตก็จะอิ่มตัวอยู่ที่ $-V_{cc}$

จะเห็นได้ว่าลักษณะของออปแอมป์ จึงเป็นวงจรเปรียบเทียบที่มีค่าแรงดันเอาต์พุต $+V_{cc}$ หรือ $-V_{cc}$ ซึ่งไม่เหมาะที่จะนำไปใช้ในวงจรทางด้านดิจิตอล หรือวงจรอินเตอร์เฟสระหว่างวงจรอนาล็อกกับวงจรดิจิตอล เพราะแรงดันเอาต์พุตอาจทำให้ภาควงจรดิจิตอลเกิดการเสียหายได้ บริษัทผู้ผลิตไอซีจึงหันมาผลิตออปแอมป์ที่มีระดับแรงดันเอาต์พุตอยู่ที่สองระดับเช่น 0 โวลต์ กับ 5 โวลต์ เพื่อใช้กับวงจรทีทีแอล หรือซีมอส และให้ชื่อออปแอมป์ที่ใช้งานเฉพาะอย่างนี้ว่าวงจรเปรียบเทียบ

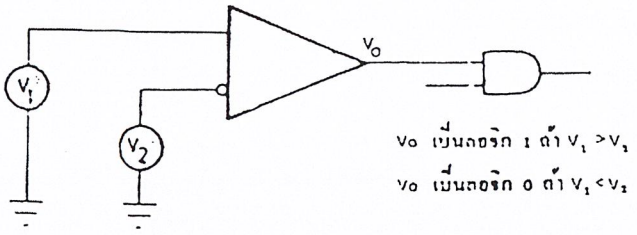
2.12.1 ไอซีวงจรเปรียบเทียบ

วงจรขยายความแตกต่าง (differential amplifier) ลักษณะเป็นวงจรขยายเปิดลูป หรือไม่มีการป้อนกลับดังนั้นวงจรขยายนี้จึงมีอัตราขยายที่ค่อนข้างสูงมาก และเอาต์พุตก็จะอิ่มตัวอยู่ที่ระดับแรงดันสองระดับ คือระดับสูงหรือต่ำ ขึ้นอยู่กับค่าแรงดันอินพุทที่ขาทั้งสอง

วงจรเปรียบเทียบในอุดมคติหรือวงจรออปแอมป์ในอุดมคตินั้น ควรจะมีคุณสมบัติต่อไปนี้

1. อัตราขยายแรงดันของผลต่างที่อินพุทมีค่าเป็นอนันต์
2. อัตราขยายแรงดันเมื่ออินพุททั้งสองมีเฟสร่วมหรืออยู่ในโหมดเดียวกันเป็นศูนย์
3. อินพุทอิมพีแดนซ์เป็นอนันต์
4. เอาต์พุตอิมพีแดนซ์เป็นศูนย์
5. แถบขยายทางด้านความถี่เป็นอนันต์
6. แรงดันและกระแสออฟเซทเป็นศูนย์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.12.1 แสดงวงจรเปรียบเทียบเบื้องต้น

2.12.2 อัตราขยายแรงดัน (Avo)

อัตราขยายแรงดันเป็นตัวบอกถึงความไว (sensitivity) ของวงจรเปรียบเทียบ ถ้าอัตราขยายแรงดันสูง จะทำให้เอาต์พุตสวิตช์เปลี่ยนระดับได้เร็ว โดยปกติแล้ววงจรเปรียบเทียบในอุดมคติจะต้องมีอัตราขยายเป็นอนันต์นั่นคือแรงดันเพียงเล็กน้อยที่ป้อนให้ที่อินพุททั้งสอง จะทำให้แรงดันเอาต์พุตเปลี่ยนสถานะได้ ในทางปฏิบัติแล้วอัตราขยายแรงดันของวงจรเปรียบเทียบจะมีค่าไม่ถึงอนันต์ ดังนั้นจึงต้องมีแรงดันระดับหนึ่งที่อินพุท เพื่อจะทำให้เกิดการเปลี่ยนแปลงสถานะที่เอาต์พุต อัตราส่วนของการเปลี่ยนแปลงของแรงดันเอาต์พุตต่อการเปลี่ยนแปลงของแรงดันอินพุท คือ กำลังขยายแรงดันของวงจรเปรียบเทียบ และจากความสัมพันธ์ที่กล่าวมาเราสามารถหาค่าความไวน้อยที่สุดที่จะทำให้เกิดการเปลี่ยนแปลงสถานะของเอาต์พุต ได้ดังสมการ 2.10.2

$$\Delta V_{i\min} = \frac{\Delta V_0}{A_{vd}} \qquad (2.10.2)$$

โดยที่ ΔV_0 คือ ผลต่างของแรงดันสภาวะสูง (high) และสภาวะต่ำ (low) ที่เอาต์พุต โดยปกติมีค่าประมาณจาก 5 โวลต์ และ 0 โวลต์

A_{vd} คือ อัตราขยายแรงดันหรือความไวของวงจรเปรียบเทียบ

V_{imin} คือ ค่าความไวน้อยที่สุด

2.12.3 ช่วงเวลาการตอบสนอง

ช่วงเวลาการตอบสนองของวงจรเปรียบเทียบเป็นคุณสมบัติที่สำคัญมากต่อผู้ใช้ เพราะมีผลจากขนาดและอัตราการเปลี่ยนแปลงของสัญญาณอินพุท ผลจากการเปลี่ยนแปลงของสัญญาณอินพุทและเอาต์พุตหาได้จากอัตราขยายของวงจรเปรียบเทียบ โดยปกติเราจะพิจารณาผลที่ได้จากการให้สัญญาณอินพุทเป็นสัญญาณที่เปลี่ยนทันทีทันใด ในการทดลองเราทำได้โดยการให้อินพุทข้างหนึ่งต่อกับแรงดันอ้างอิงที่มีค่าสูงพอที่จะทำให้เอาต์พุตของวงจรเปรียบเทียบอิ่มตัวได้ที่ระดับแรงดันค่าต่ำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ค่าแรงดันที่เหมาะสมมีค่าประมาณ 100 มิลลิโวลต์ และมีช่วงเวลาขาขึ้น (rise time) น้อยมากเมื่อเทียบกับช่วงเวลาระหว่างอินพุทกับเอาต์พุต ช่วงเวลาการตอบสนองหาได้จากช่วงเวลาเมื่ออินพุทเริ่มสวิตช์จนถึงเวลาที่เอาต์พุตมีค่าแรงดันผ่าน 1.4 โวลต์ เราจะเห็นว่าในขณะที่อินพุทเริ่มสวิตช์เปลี่ยนระดับ จะต้องใช้ค่าแรงดันส่วนหนึ่งเพิ่มเติม คือแรงดันออฟเซทที่อินพุท ดังนั้นภายใต้เงื่อนไขนี้ผลตอบสนองที่วัดได้จะไม่เป็นจริง

2.12.4 แรงดันอินพุทสูงสุด

ขีดจำกัดของแรงดันอินพุทของวงจรเปรียบเทียบมีสองชนิดด้วยกัน คือ ขีดจำกัดสูงสุดที่ไอซีทนได้ และขีดจำกัดสูงสุดที่ผู้ผลิตแนะนำให้ใช้ โดยปกติขีดจำกัดสูงสุดจะเป็นสิ่งที่บอกให้ทราบว่าถ้าเราไม่ใช้อินพุทเกินกว่าขีดจำกัดนี้ก็จะไม่ทำให้ตัวไอซีเกิดการเสียหาย ส่วนขีดจำกัดสูงสุดที่ควรใช้จะเป็นขีดจำกัดที่ผู้ผลิตแนะนำเพราะถ้าใช้ไม่ถึงขีดจำกัดนี้ ผู้ผลิตก็จะรับประกันว่าการใช้งานของตัววงจรเปรียบเทียบที่ใช้เปรียบเทียบจะเป็นไปตามพารามิเตอร์ต่างๆ ที่กำหนด

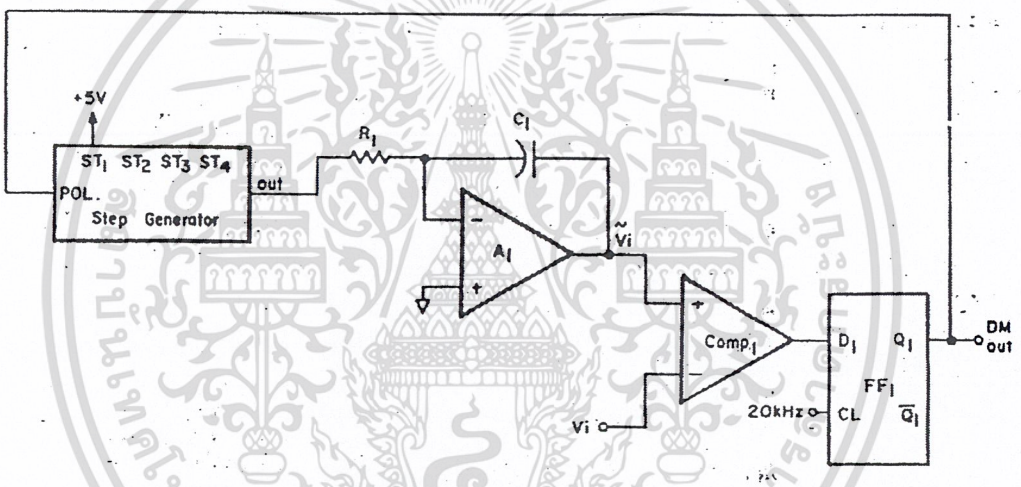
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3

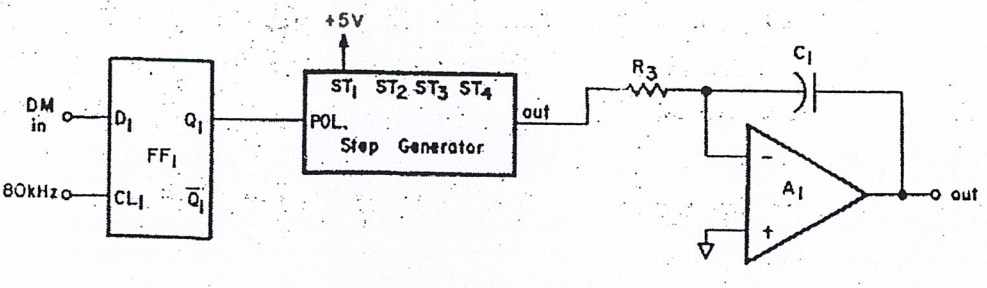
การออกแบบและวงจร

3.1 การออกแบบวงจรเดลตามอดูเลชันภาคส่ง - ภาครับ

ภาคส่งจะประกอบไปด้วยบล๊อกไดอะแกรมของ สเต็ป เจนเนอร์เรเตอร์(step generator), อินทิเกรเตอร์ (integrater), คอมพาราเตอร์ (comparator) และฟลิปฟลอปชนิดดี (D flip-flop) แสดงดังรูปที่ 3.1.1 ส่วนภาครับบล๊กไดอะแกรมจะเหมือนกับภาคส่งแตกต่างกันตรงที่ภาครับจะไม่มีวงจรคอมพาราเตอร์ แต่จะมีวงจรกรองความถี่ต่ำ (low pass filter) เพิ่มเข้ามา แสดงดังรูปที่ 3.1.2 ซึ่งแต่ละบล๊อกไดอะแกรมจะมีวงจรดังต่อไปนี้



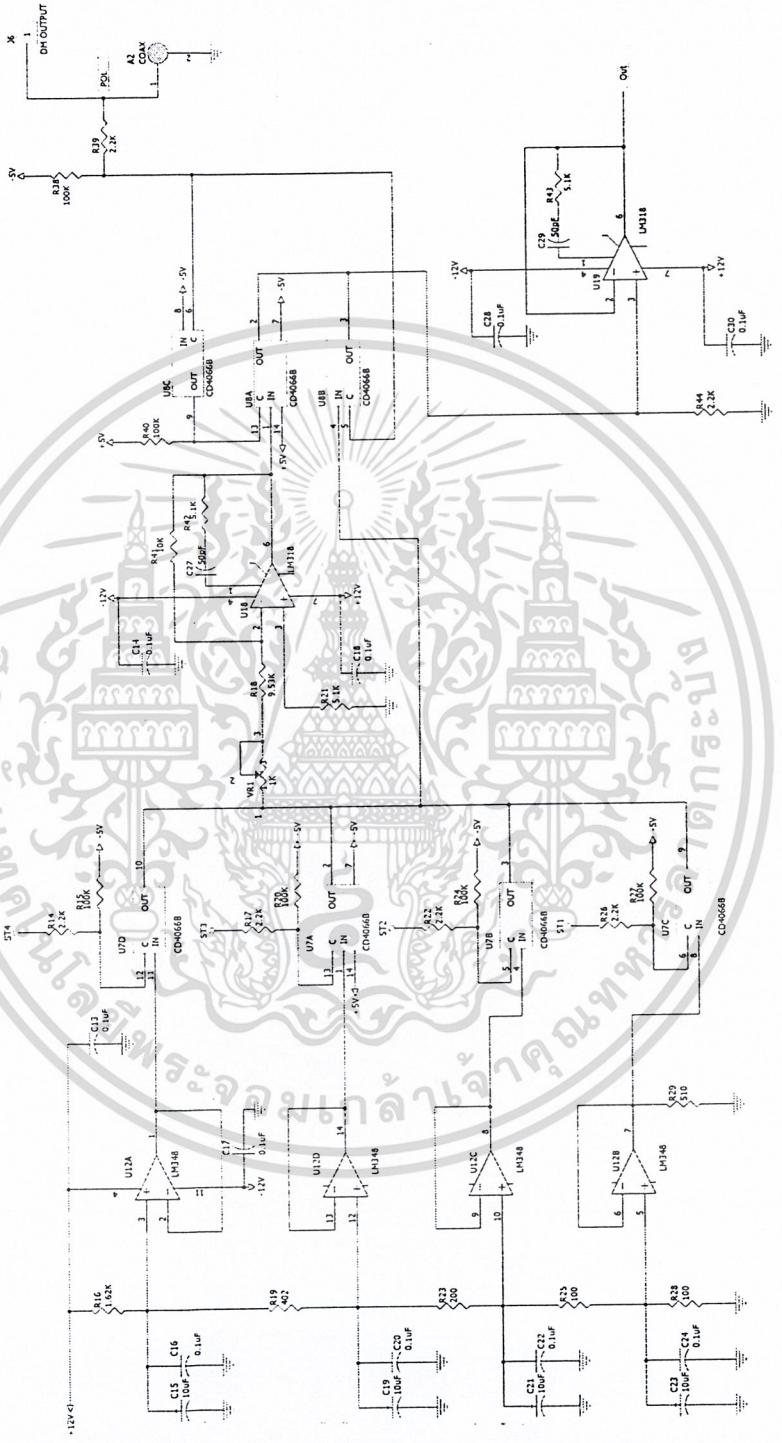
รูปที่ 3.1.1 แสดงบล๊อกไดอะแกรมของ เดลตามอดูเลชัน ภาคส่ง



รูปที่ 3.1.2 แสดงบล๊อกไดอะแกรมของ เดลตา ดีมอดูเลชัน ภาครับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

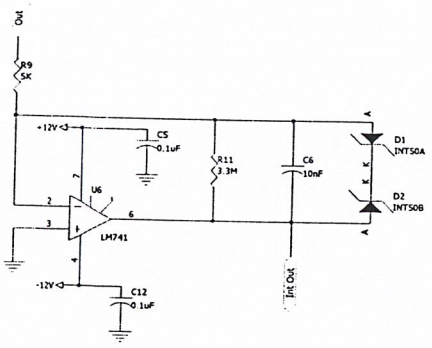
3.1.1 วงจรสเต็ป เจนเนอร์เรเตอร์(step generator)



รูปที่ 3.1.3 แสดงวงจรสเต็ป เจนเนอร์เรเตอร์(step generator)

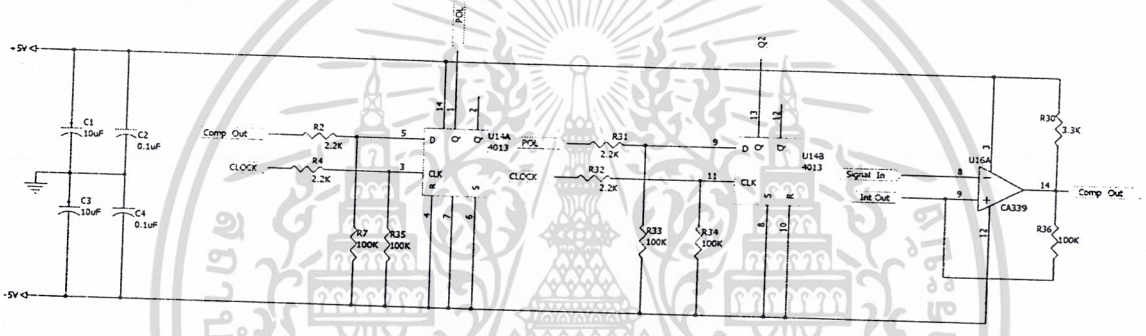
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.1.2 วงจร อินทิเกรเตอร์ (integrater)



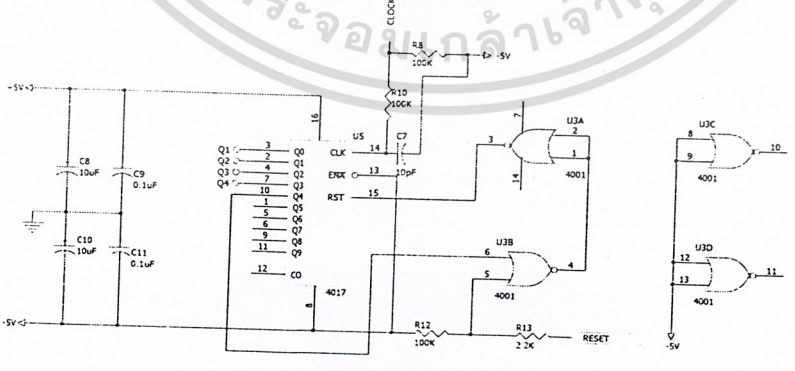
รูปที่ 3.1.4 แสดงวงจรอินทิเกรเตอร์ (integrater)

3.1.3 วงจรคอมพาราเตอร์ (comparator)และฟลิปฟลอปชนิดดี (D flip-flop)



รูปที่ 3.1.5 แสดงวงจรคอมพาราเตอร์ (comparator)และฟลิปฟลอปชนิดดี (D flip-flop)

3.1.4วงจรริงเคาเตอร์ (ring counter)

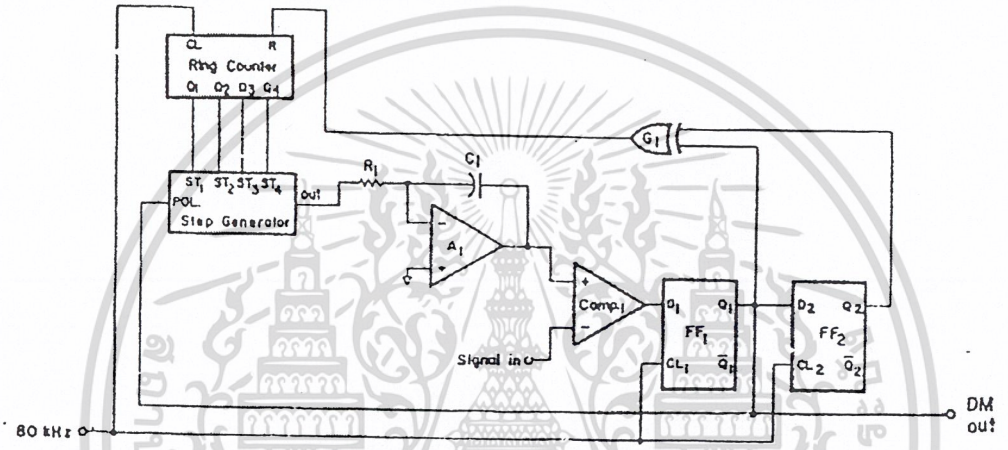


รูปที่ 3.1.6 แสดงวงจรริงเคาเตอร์ (ring counter)

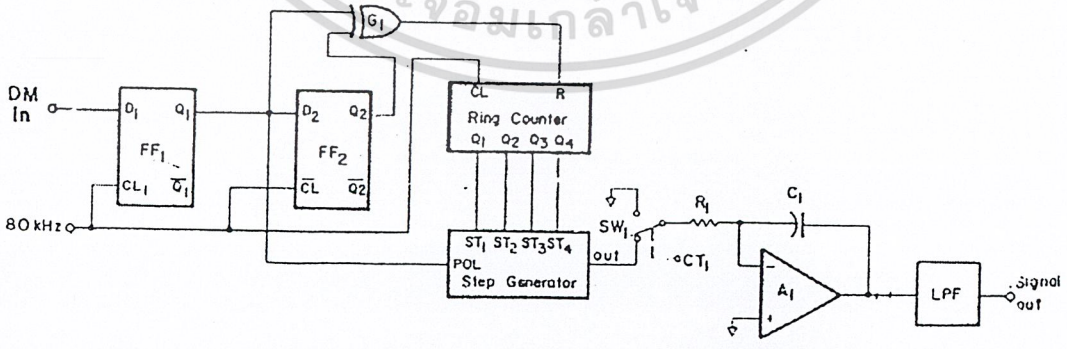
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2 การออกแบบวงจรอะแดปทีปเดลตามอดูเลชัน ภาคส่ง - ภาครับ

ภาคส่งจะประกอบไปด้วยบล็อกไดอะแกรมเหมือนกับภาคส่งของวงจรเดลตามอดูเลชัน โดยที่วงจรอะแดปทีปเดลตามอดูเลชันภาคส่ง จะมีวงจรริงเคาเตอร์ (ring counter) เพิ่มเข้ามา ซึ่งจะใช้ปรับการทำงานของวงจรสเต็ป เจนเนอร์เรเตอร์(step generator) ให้มีการทำงานอย่าอัตโนมัติ(Auto) แสดงดังรูปที่ 3.2.1 ส่วนภาครับบล็กไดอะแกรมจะเหมือนกับภาคส่งแตกต่างกันตรงที่ภาครับจะไม่มีวงจรคอมพาราเตอร์ แต่จะมีวงจรกรองความถี่ต่ำ (low pass filter)เพิ่มเข้ามา แสดงดังรูปที่ 3.2.2 ซึ่งแต่ละบล็อกไดอะแกรมจะมีวงจรดังต่อไปนี้



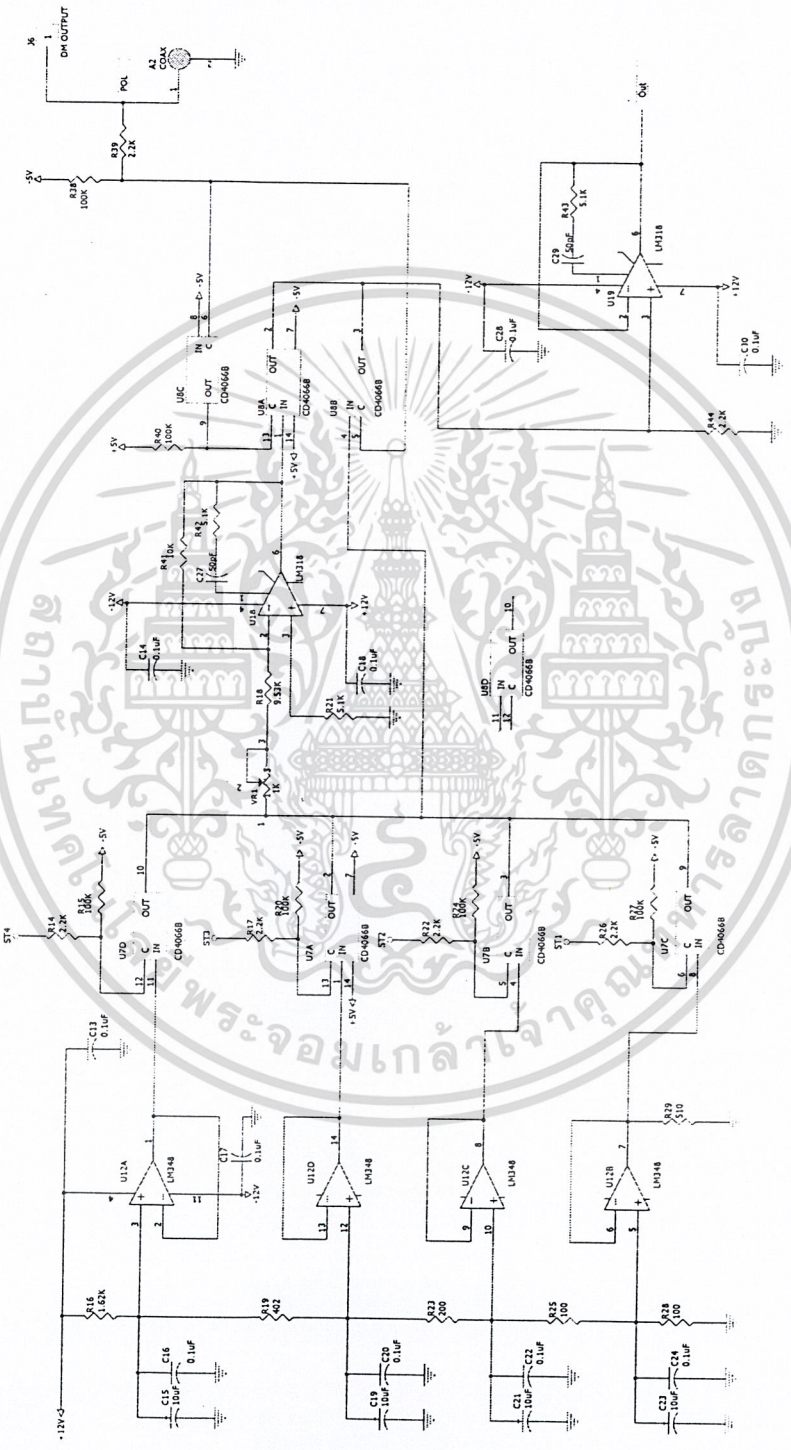
รูปที่ 3.2.1 แสดงบล็อกไดอะแกรมของ อะแดปทีป เดลตามอดูเลชัน ภาคส่ง



รูปที่ 3.2.2 แสดงบล็อกไดอะแกรมของ อะแดปทีป เดลตา ดีมอดูเลชัน ภาครับ

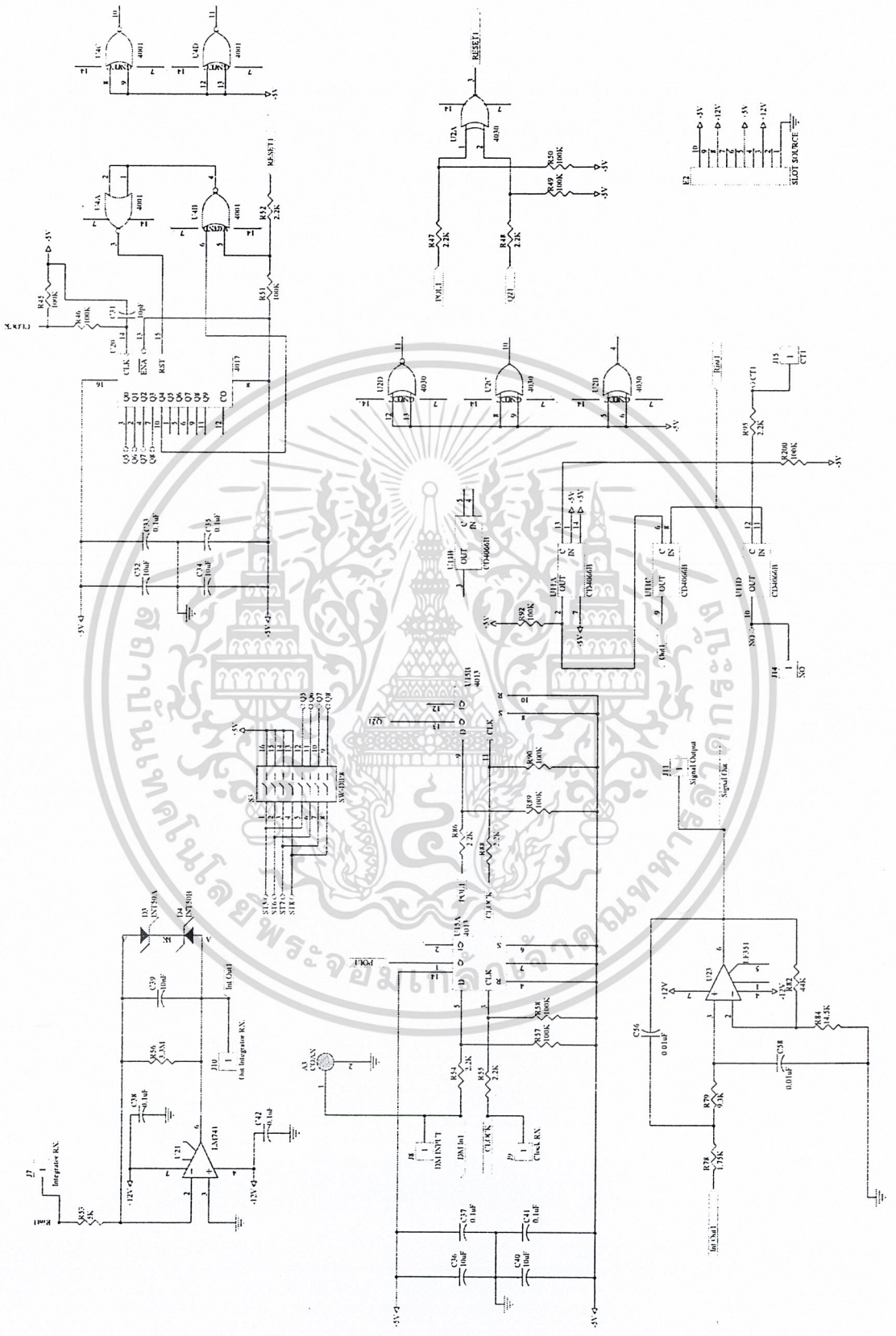
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3 การออกแบบวงจรรวมทางภาคส่ง ของวงจรเดลตา มอดูเลชัน และอะแดปทีปเดลตา มอดูเลชัน



รูปที่ 3.3.1 แสดงวงจรรวมทางภาคส่ง

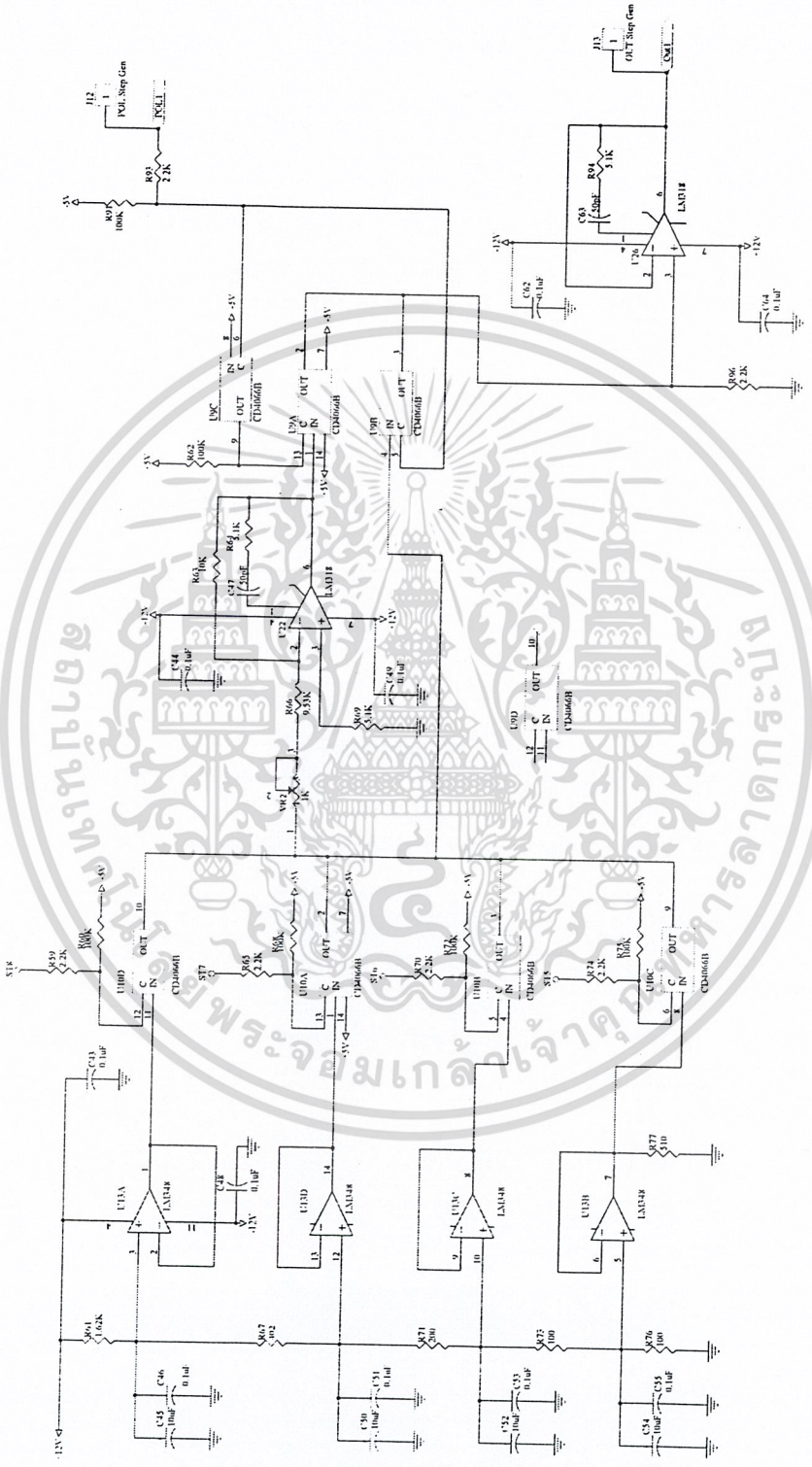
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ทำซ้ำ ดัดแปลง หรือเผยแพร่ต่อสาธารณชน ก่อนได้รับอนุญาตของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

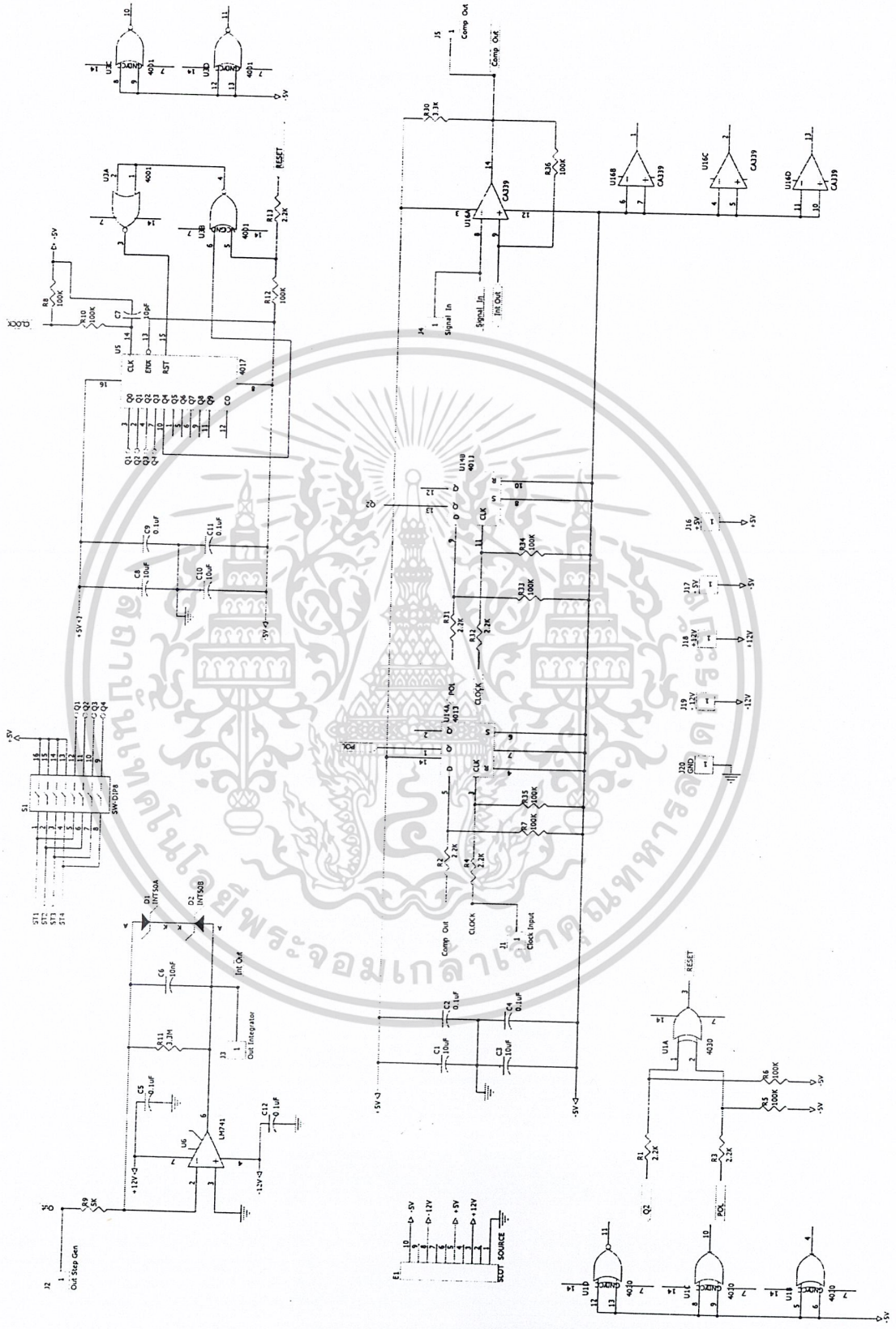
รูปที่ 3.3.2 แสดงวงจรรวมทางภาคส่ง (ต่อ)

3.4 การออกแบบวงจรรวมทางภาคครับ ของวงจรเดลตา ดีมอดูเลชัน และอะแดปทีปเดลตา ดีมอดูเลชัน



รูปที่ 3.4.1 แสดงวงจรรวมทางภาครับ

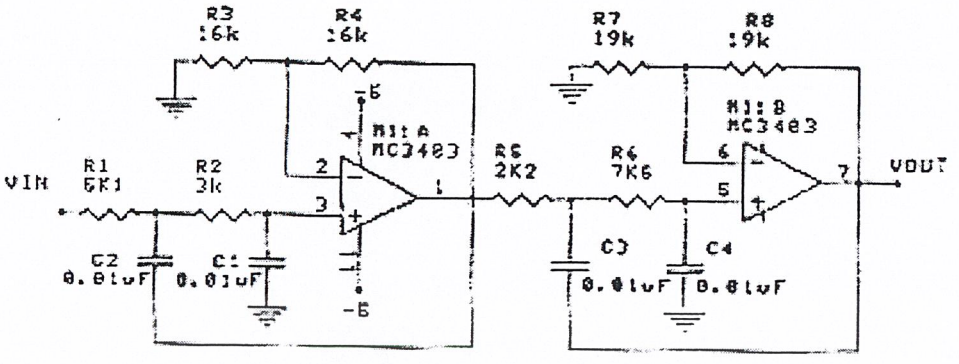
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.4.2 แสดงวงจรรวมทางภาครับ (ต่อ)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.5 การออกแบบวงจรกรองความถี่ต่ำ แบบบัตเตอร์เวิร์ธ อันดับที่สี่



รูปที่ 3.5.1 แสดงวงจรกรองความถี่ต่ำ แบบบัตเตอร์เวิร์ธ อันดับที่สี่

<u>ขั้นตอนการออกแบบ</u>

เริ่มจากกำหนด fc = 4 KHz , เกน = 4 และแบบของวงจรกรองความถี่ที่เราต้องการ ในที่นี้จะใช้วงจรจรกรองความถี่ต่ำ แบบบัตเตอร์เวิร์ธ อันดับที่สี่ เมื่อได้วงจงตามต้องการแล้วจะมีขั้นตอนในการออกแบบดังต่อไปนี้

1.) เลือกค่าตัวเก็บประจุ C = 0.01 ไมโครฟารัด ที่จะใช้งาน จะได้ค่า K = 2.5 โดยใช้กราฟที่ 1, 2, 3 เช่นเดียวกับกรณีของวงจรกรองความถี่ดันดับที่สอง

2.) ใช้ค่า K ที่อ่านได้จากกราฟที่ 1 หาค่าตัวอุปกรณ์ประเภทอื่นๆ ที่ใช้ในวงจร จำพวกตัวต้านทานและตัวเก็บประจุ โดยเลือกใช้กราฟที่ 4, 5, 6 สำหรับวงจรกรองความถี่

3.) จากข้อที่2 เลือกค่าตัวต้านทานที่ใช้งานจริงให้ใกล้เคียงค่าที่อ่านได้จากกราฟมากที่สุด (โดยเทียบใช้ค่ามาตรฐานที่ใกล้เคียงมากที่สุด) โดยเลือกใช้ไอซีออปแอมป์ เบอร์ LF 351 และค่าอัตราขยายวงรอบเปิดของออปแอมป์ที่ใช้ควรจะมีค่าอย่างน้อย 50 เท่าของรากที่สองของอัตราขยายวงวรกรองความถี่

R1	=	5.1	กิโลโอห์ม
R2	=	3.0	กิโลโอห์ม
R3 , R4	=	16.0	กิโลโอห์ม
R5	=	2.2	กิโลโอห์ม
R6	=	7.5	กิโลโอห์ม
R7, R8	=	19.0	กิโลโอห์ม
C1 = C	=	0.1	ไมโครฟารัด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ข้อแนะนำ

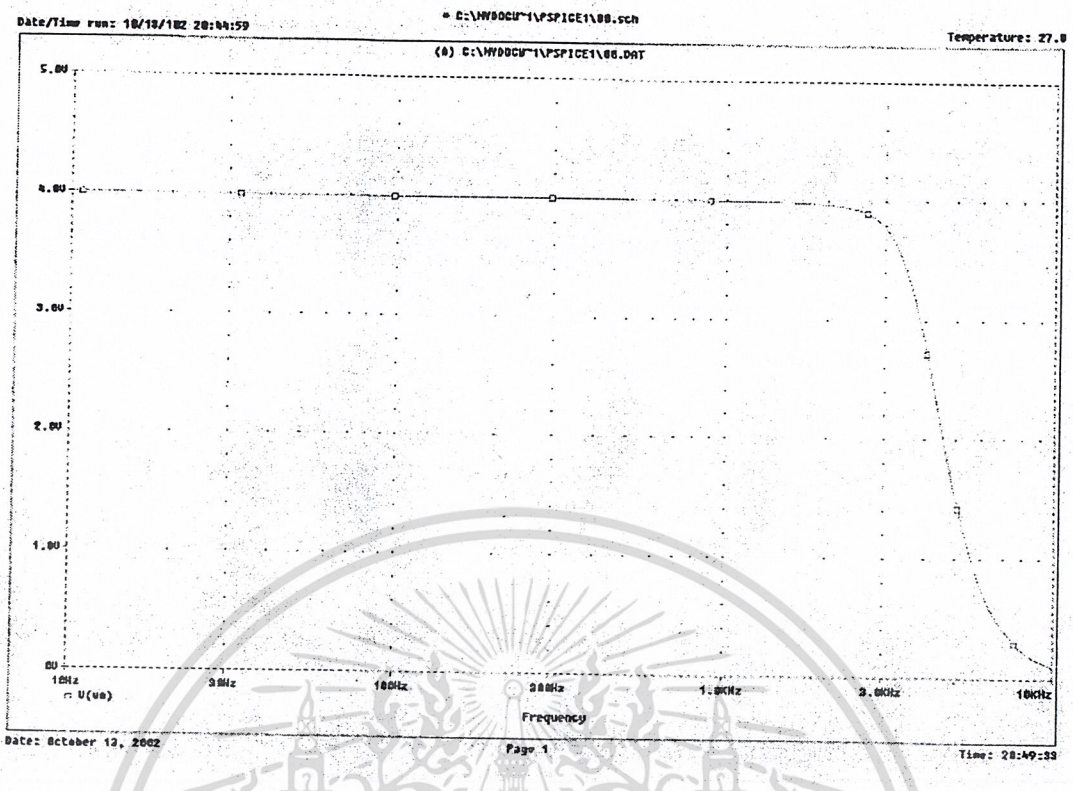
กราฟที่ใช้งานนี้ออกแบบมาให้ใช้ค่าตัวเก็บประจุที่เป็นมาตรฐานจำนวน 35 ค่าด้วยกันส่วนค่าตัวเก็ประจุค่าอื่นที่เป็นกลาง ม่อย่บนส้นกราฟแสดงค่าตัวเก็บประจุส้นใดส้นหนึ่งสามารถหาได้โดยการใช้ Intelpolation บนกราฟ (บนกราฟระหว่างความถี่ที่ต้องการกับค่า K พารามิเตอร์)

ถ้าออปแอมป์ที่ช้มีความอินพุทต่ำ (น้อยกว่า 250 K) ค่า K ที่ควรใช้จะอยู่ในช่วง 1 ถึง 10 จะได้ผลของวงจรดีที่สุด สำหรับค่าความต้านทานอินพุทที่สูงกว่า (เช่น 1 M) ค่า K สามารถึ้นไปได้ถึง 25 และกรณีใช้ตัวอุปกรณ์ออปแอมป์ซึ่งมีเฟ็ท (Fet) เป็นภาคอินพุท สามารถใช้ค่า K ขึ้นไปได้ถึง 100

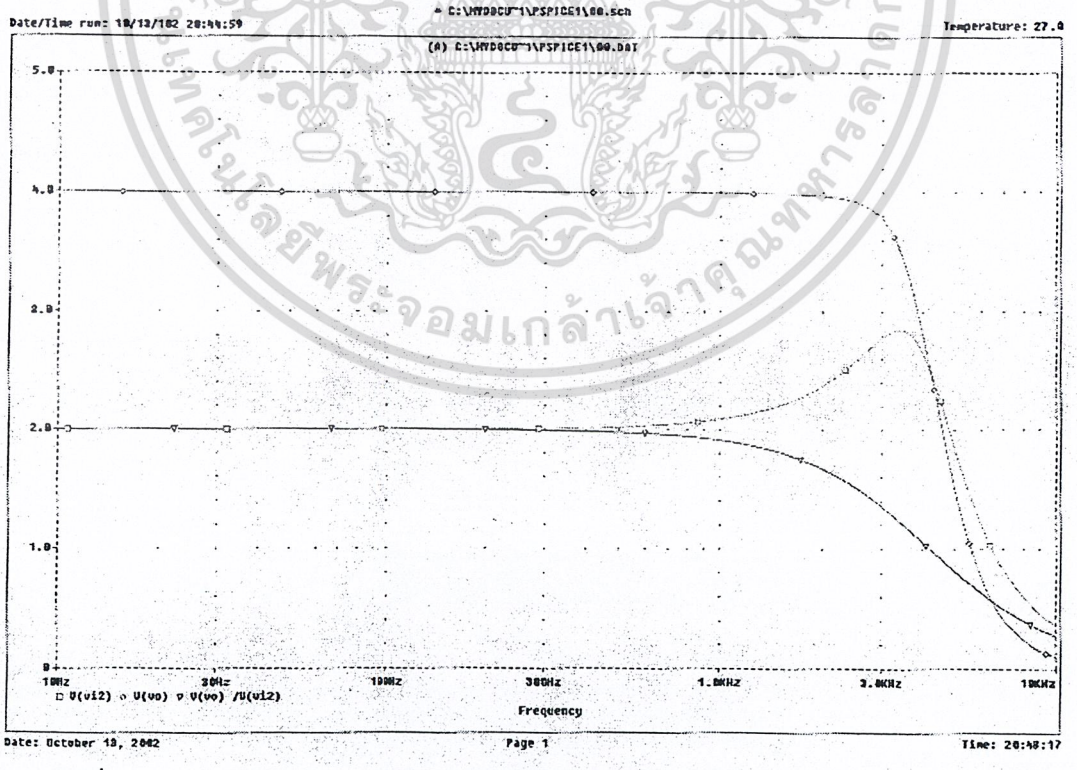
ค่า R3 และ R4 ที่อ่านได้จากกราฟ ใช้ปรับค่าดีซี ออฟเซ็ท (DC offset) ของออปแอมป์ให้ทีค่าน้อยที่สุด ถ้าต้องการใช้ค่าของ R3 และ R4 อื่นใดนอกเหนือจากเส้นกราฟที่มีอยู่ ก็สามารถเลือกใช้ได้แต่ต้องเลือกใช้อัตราส่วน R4/R3 เท่ากันกับค่าเดิมที่อ่านได้จากกราฟ ค่าตัวต้าทานมาตรฐานที่มีค่าผิดพลาด 5% นี้ให้ผลของวงจรที่ดีพอควร แต่ถ้าต้องการผลของวงจรที่ดีที่สุด ต้องเลือกใช้ตัวต้านทานที่มีความถูกต้องสูงและมีความใก้ลเคียงกับค่าที่อ่านได้จากกราฟมากที่สุด โดยเฉพาะที่ค่าอัตราขยายสูงๆ จะต้องคำนึงถึงเรื่องนี้มากที่สุด

ส่วน R7 และ R8 เหมือนกับข้อแนะนำของ R3 และ R4 ทุกประการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

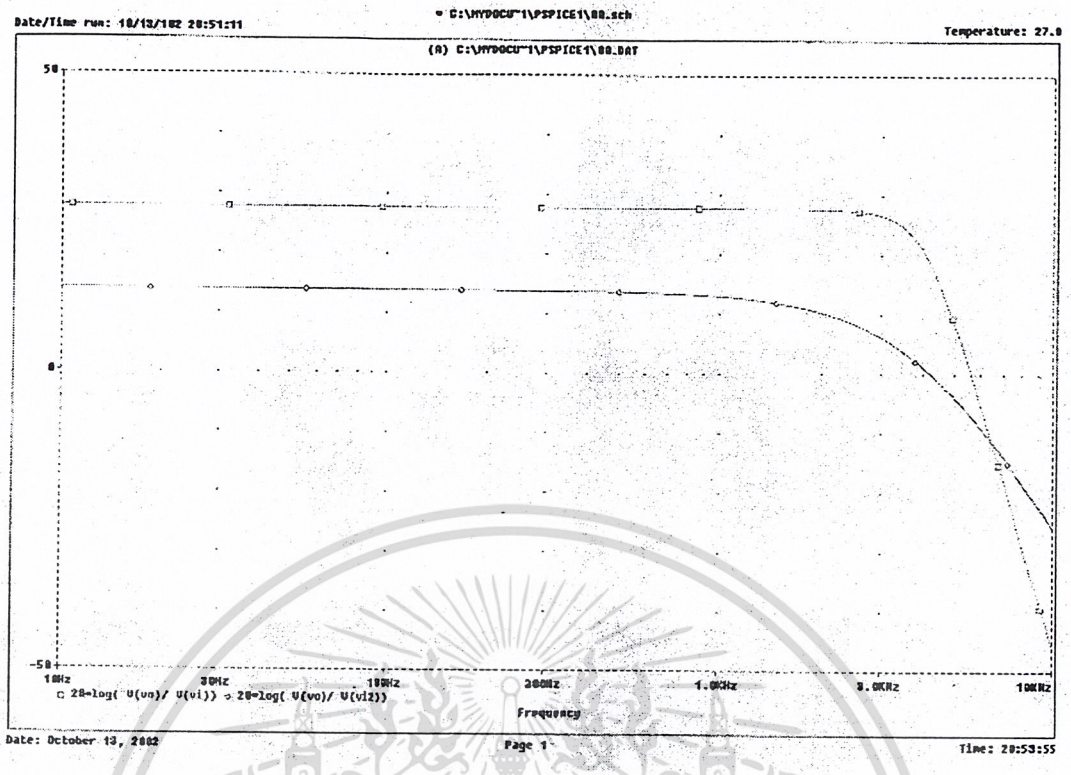


รูปที่ 3.5.2 กราฟแสดงวงจรกรองความถี่ต่ำ แบบบัตเตอร์เวิร์ธ อันดับที่สี่



รูปที่ 3.5.3 กราฟแสดงวงจรกรองความถี่ต่ำ แบบบัตเตอร์เวิร์ธ อันดับที่สองและสี่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



*รูปที่ 3.5.4 กราฟแสดงวงจรกรองความถี่ต่ำ แบบบัตเตอร์เวิร์ธ อันดับที่สองและอันดับที่สี่ โดยทำเป็น dB [20 * loo (Vo/Vi)]*

หมายเหตุ

กราฟทั้ง 3 กราฟ ที่ได้เป็นการหาผลตอบสนองของจรกรองความถี่ต่ำ แบบบัตเตอร์เวิร์ธ อันดับที่สองและ อันดับที่สี่ โดยใช้โปรแกรม Pspice ในการจำลองการทำงาน (Simulate)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่4

การทดลองและผลการทดลอง

4.1 การทดลองวงจรเดลตามอดูเลชัน ภาคส่ง

4.1.1 จ่ายไฟ $\pm 5\ V_{DC}$ และ $\pm 12\ V_{DC}$ พร้องทั้งต่อกราวด์ (Ground) ให้แก่วงจร

4.1.2 ป้อนสัญญาณอนาล็อกอินพุท ความถี่ 500 Hz มีแอมปลิจูด (Amplitude) ไม่เกิน $1V_{P-P}$ ใช้สเต็ป เจนเนอร์เตอร์ (Step Generator) ที่สเต็ป 1 และวัดสัญญาณอนาล็อกอินพุท ที่ ช่อง1 เทียบกับสัญญาณอินทิเกรเตอร์ ที่ ช่อง2 เทียบกับสัญญาณคล็อก 20 KHz ที่ ช่อง3 และที่ ช่อง4 จะวัดสัญญาณเอาต์พุทของภาคส่งซึ่งเป็นสัญญาณดิจิตอล ซึ่งก็คือสัญญาณเดลตา มอดูเลชัน นั่นเอง ผลการทดลองแสดงดังรูปที่ 4.1.1

4.1.3 ป้อนสัญญาณอนาล็อกอินพุท ความถี่ 1KHz มีแอมปลิจูด (Amplitude) ไม่เกิน $2V_{P-P}$ ใช้สเต็ป เจนเนอร์เตอร์ (Step Generator) ที่สเต็ป 2 และวัดสัญญาณอนาล็อกอินพุท ที่ ช่อง1 เทียบกับสัญญาณอินทิเกรเตอร์ ที่ ช่อง2 เทียบกับสัญญาณคล็อก 32 KHz ที่ ช่อง3 และที่ ช่อง4 จะวัดสัญญาณเอาต์พุทของภาคส่งซึ่งเป็นสัญญาณดิจิตอล ซึ่งก็คือสัญญาณเดลตา มอดูเลชัน นั่นเอง ผลการทดลองแสดงดังรูปที่ 4.1.2

4.1.4 ป้อนสัญญาณอนาล็อกอินพุท ความถี่ 1.5KHz มีแอมปลิจูด (Amplitude) ไม่เกิน $2V_{P-P}$ ใช้สเต็ป เจนเนอร์เตอร์ (Step Generator) ที่สเต็ป 2 และวัดสัญญาณอนาล็อกอินพุท ที่ ช่อง1 เทียบกับสัญญาณอินทิเกรเตอร์ ที่ ช่อง2 เทียบกับสัญญาณคล็อก 64 KHz ที่ ช่อง3 และที่ ช่อง4 จะวัดสัญญาณเอาต์พุทของภาคส่งซึ่งเป็นสัญญาณดิจิตอล ซึ่งก็คือสัญญาณเดลตา มอดูเลชัน นั่นเอง ผลการทดลองแสดงดังรูปที่ 4.1.3

4.1.5 ป้อนสัญญาณอนาล็อกอินพุท ความถี่ 2KHz มีแอมปลิจูด (Amplitude) ไม่เกิน $4V_{P-P}$ ใช้สเต็ป เจนเนอร์เตอร์ (Step Generator) ที่สเต็ป 3 และวัดสัญญาณอนาล็อกอินพุท ที่ ช่อง1 เทียบกับสัญญาณอินทิเกรเตอร์ ที่ ช่อง2 เทียบกับสัญญาณคล็อก 64 KHz ที่ ช่อง3 และที่ ช่อง4 จะวัดสัญญาณเอาต์พุทของภาคส่งซึ่งเป็นสัญญาณดิจิตอล ซึ่งก็คือสัญญาณเดลตา มอดูเลชัน นั่นเอง ผลการทดลองแสดงดังรูปที่ 4.1.4

4.1.6 ป้อนสัญญาณอนาล็อกอินพุ ความถี่ 2.5KHz มีแอมปลิจูด (Amplitude) ไม่เกิน $4V_{P-P}$ ใช้สเต็ป เจนเนอร์เตอร์ (Step Generator) ที่สเต็ป 3 และวัดสัญญาณอนาล็อกอินพุท ที่ ช่อง1 เทียบกับสัญญาณอินทิเกรเตอร์ ที่ ช่อง2 เทียบกับสัญญาณคล็อก 64 KHz ที่ ช่อง3 และที่ ช่อง4 จะวัดสัญญาณเอาต์พุทของภาคส่งซึ่งเป็นสัญญาณดิจิตอล ซึ่งก็คือสัญญาณเดลตา มอดูเลชัน นั่นเอง ผลการทดลองแสดงดังรูปที่ 4.1.5

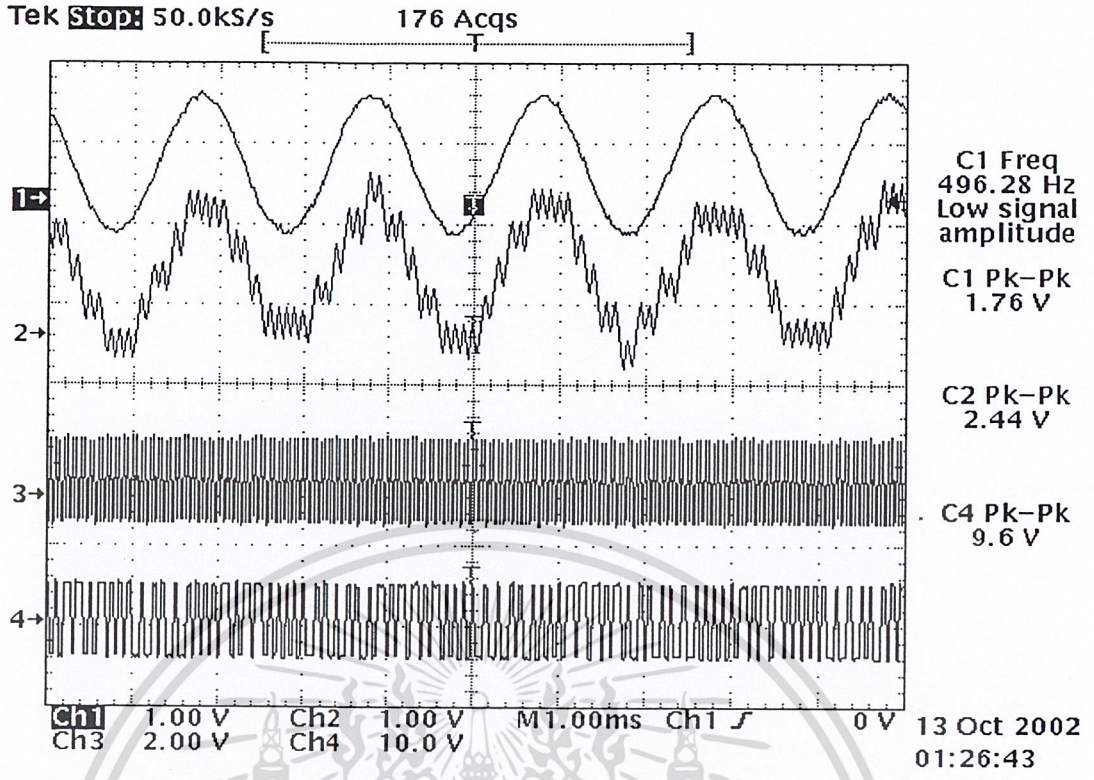
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.1.7 ป้อนสัญญาณอนาล็อกอินพุท ความถี่ 3KHz มีแอมปลิจูด (Amplitude) ไม่เกิน 8V $_{P-P}$ ใช้สเต็ป เจนเนอร์เตอร์ (Step Generator) ที่สเต็ป 4 และวัดสัญญาณอนาล็อกอินพุท ที่ ช่อง1 เทียบกับสัญญาณอินทิเกรเตอร์ ที่ช่อง2 เทียบกับสัญญาณคล็อก128 KHz ที่ ช่อง3 และที่ ช่อง4 จะวัดสัญญาณเอาต์พุทของภาคส่งซึ่งเป็นสัญญาณดิจิตอล ซึ่งก็คือสัญญาณเคลตา มอดูเลชัน นั่นเอง ผลการทดลองแสดงดังรูปที่ 4.1.6

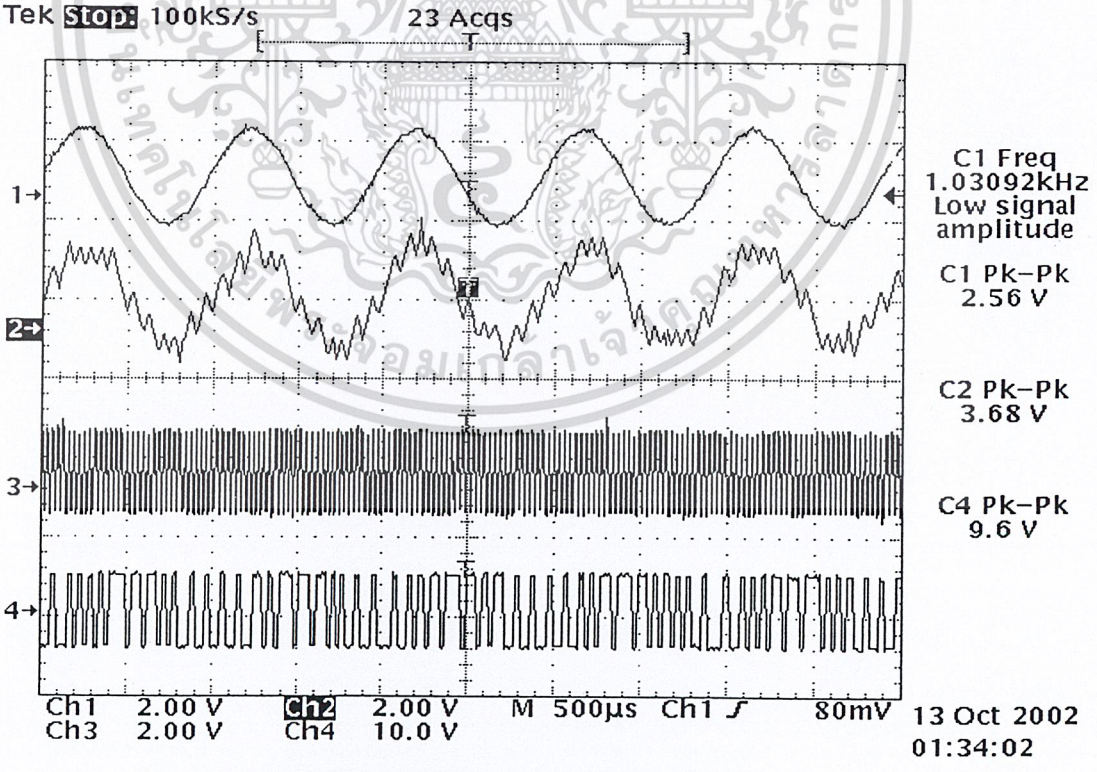
4.1.8 ป้อนสัญญาณอนาล็อกอินพุท ความถี่ 3.5KHz มีแอมปลิจูด (Amplitude) ไม่เกิน 8V $_{P-P}$ ใช้สเต็ป เจนเนอร์เตอร์ (Step Generator) ที่สเต็ป 4 และวัดสัญญาณอนาล็อกอินพุท ที่ ช่อง1 เทียบกับสัญญาณอินทิเกรเตอร์ ที่ช่อง2 เทียบกับสัญญาณคล็อก128 KHz ที่ ช่อง3 และที่ ช่อง4 จะวัดสัญญาณเอาต์พุทของภาคส่งซึ่งเป็นสัญญาณดิจิตอล ซึ่งก็คือสัญญาณเคลตา มอดูเลชัน นั่นเอง ผลการทดลองแสดงดังรูปที่ 4.1.7

4.1.9 ป้อนสัญญาณอนาล็อกอินพุท ความถี่ 4KHz มีแอมปลิจูด (Amplitude) ไม่เกิน 8V $_{P-P}$ ใช้สเต็ป เจนเนอร์เตอร์ (Step Generator) ที่สเต็ป 4 และวัดสัญญาณอนาล็อกอินพุท ที่ ช่อง1 เทียบกับสัญญาณอินทิเกรเตอร์ ที่ช่อง2 เทียบกับสัญญาณคล็อก128 KHz ที่ ช่อง3 และที่ ช่อง4 จะวัดสัญญาณเอาต์พุทของภาคส่งซึ่งเป็นสัญญาณดิจิตอล ซึ่งก็คือสัญญาณเคลตา มอดูเลชัน นั่นเอง ผลการทดลองแสดงดังรูปที่ 4.1.8

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

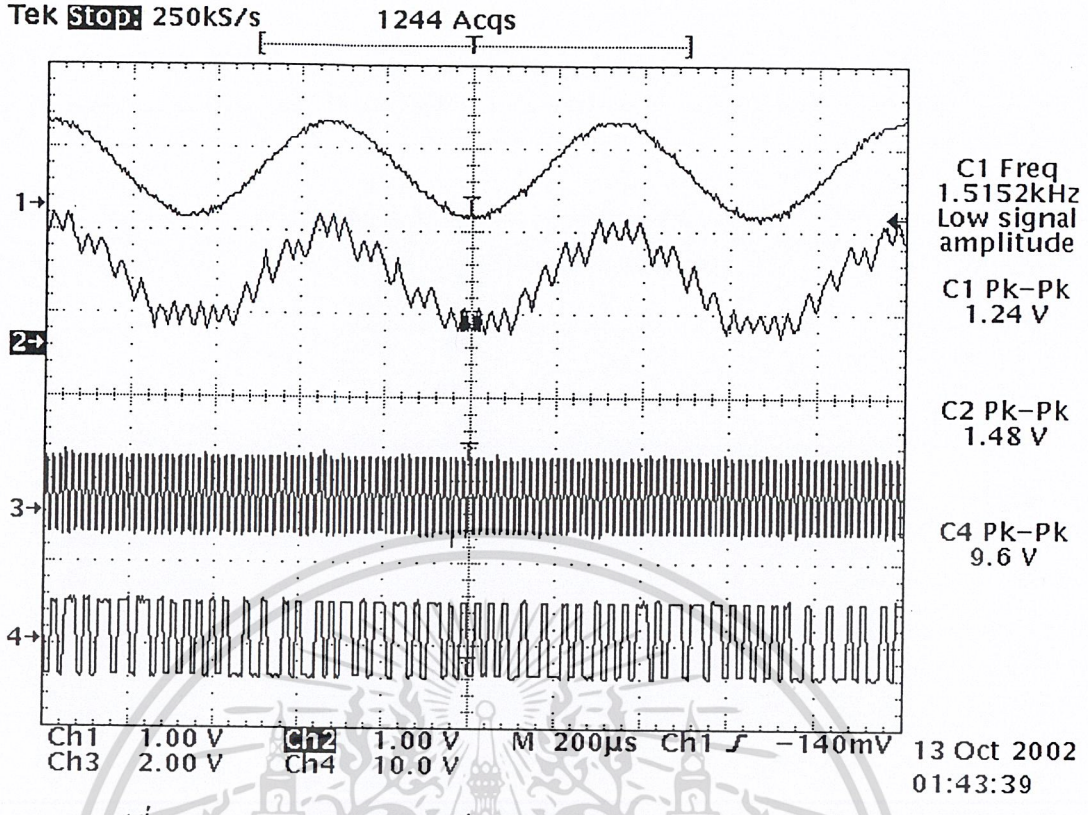


รูปที่ 4.1.1 แสดงสัญญาณอนาล็อกอินพุท 500Hz เทียบกับเอาต์พุทของอินทิเกรเตอร์ เทียบกับสัญญาณคล็อก และเทียบกับสัญญาณเดลตา มอดูเลชัน

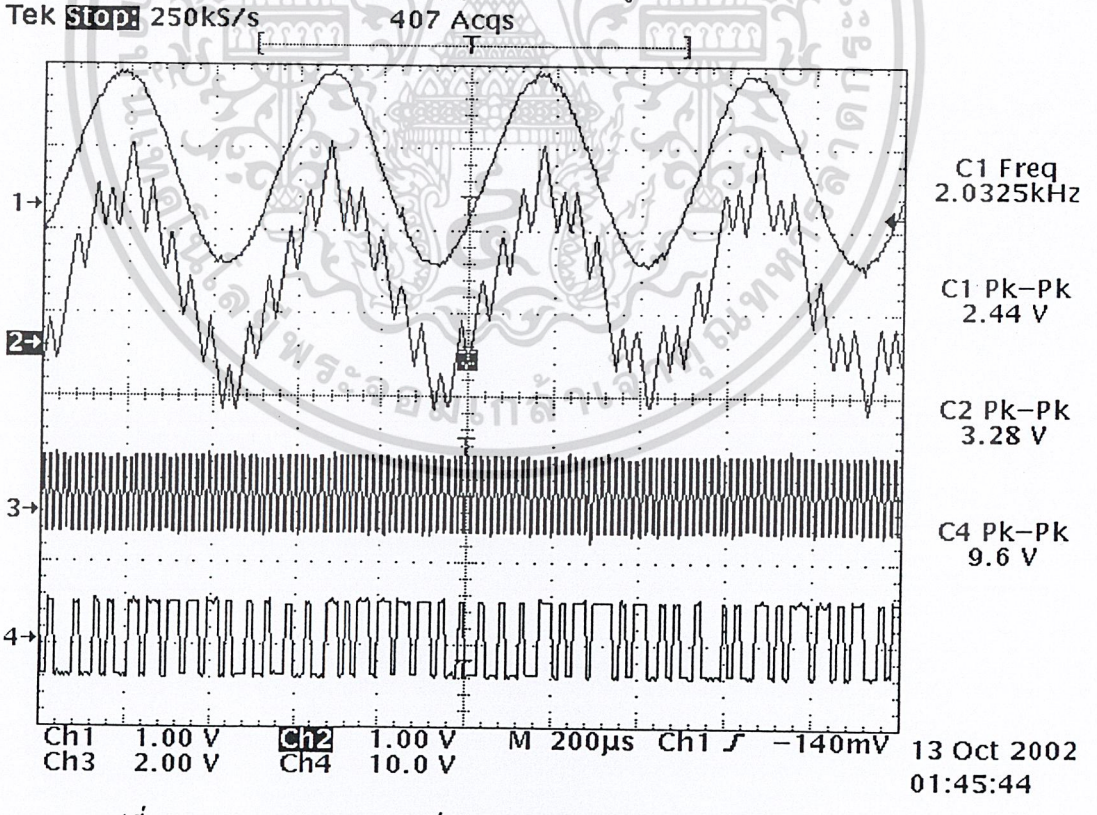


รูปที่ 4.1.2 แสดงสัญญาณอนาล็อกอินพุ 1KHz เทียบกับเอาต์พุทของอินทิเกรเตอร์ เทียบกับสัญญาณคล็อก และเทียบกับสัญญาณเดลตา มอดูเลชัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

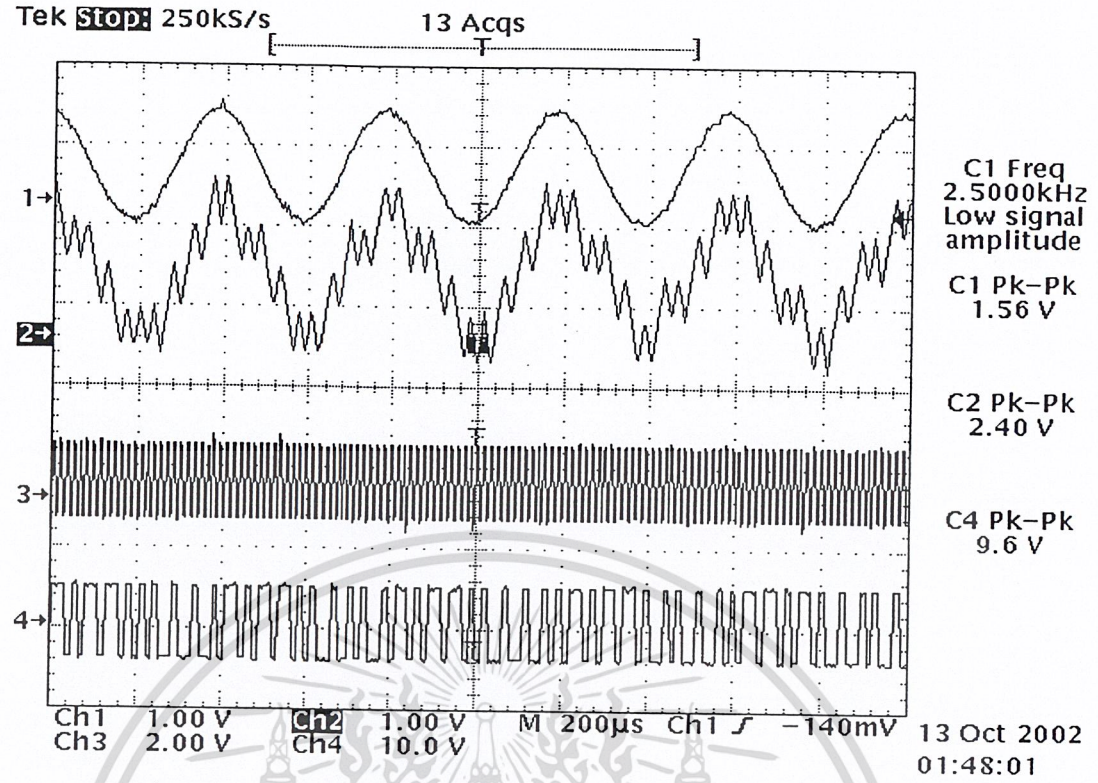


รูปที่ 4.1.3 แสดงสัญญาณอนาล็อกอินพุ 1.5KHz เทียบกับเอาต์พุทของอินทิเกรเตอร์ เทียบกับสัญญาณคล็อก และเทียบกับสัญญาณเดลตา มอดูเลชัน

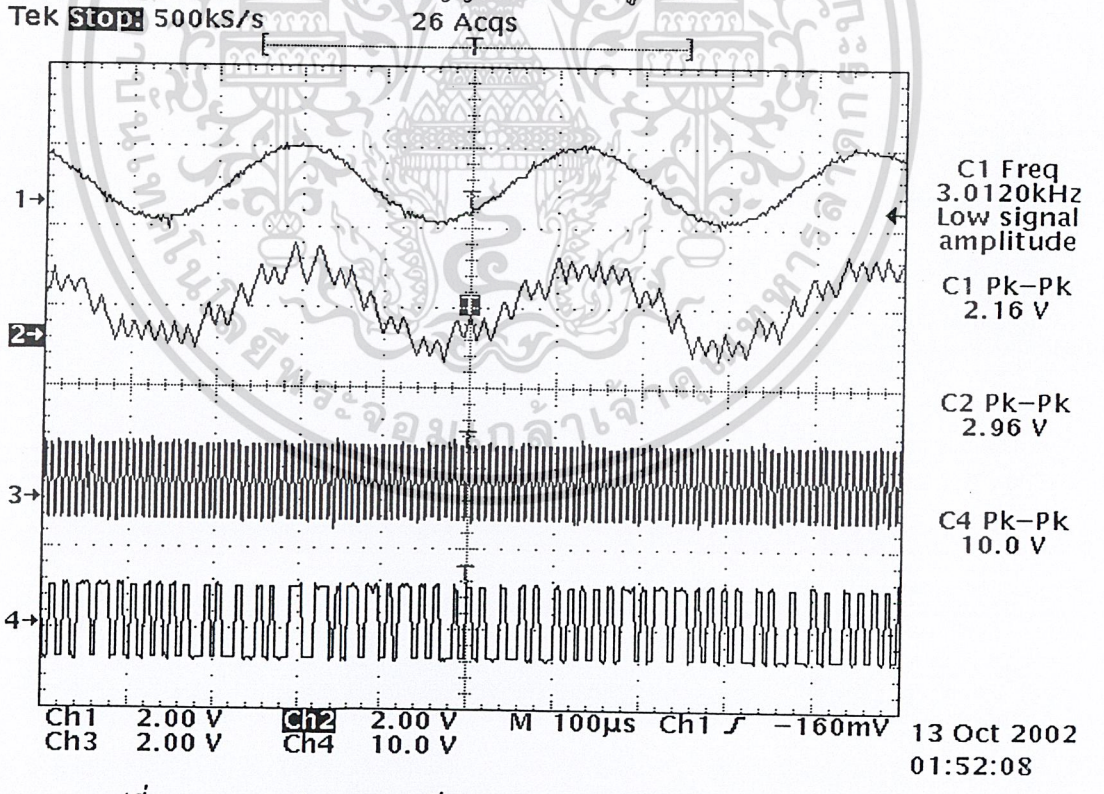


รูปที่ 4.1.4 แสดงสัญญาณอนาล็อกอินพุ 2KHz เทียบกับเอาต์พุทของอินทิเกรเตอร์ เทียบกับสัญญาณคล็อก และเทียบกับสัญญาณเดลตา มอดูเลชัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

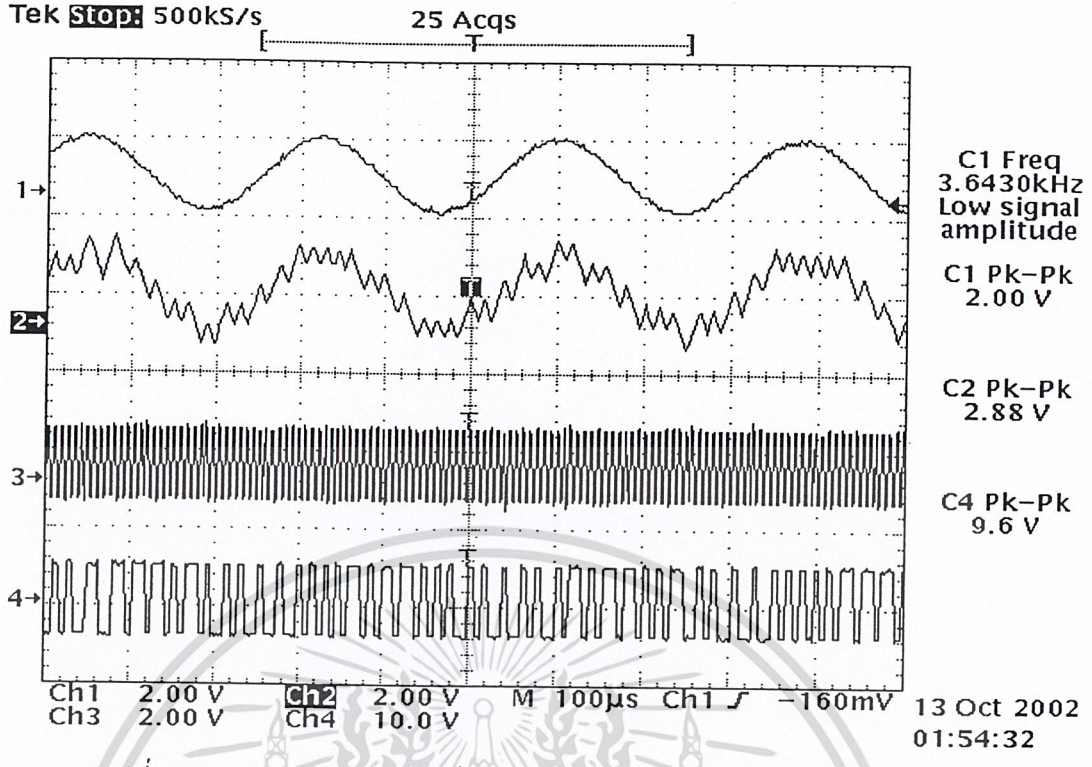


รูปที่ 4.1.5 แสดงสัญญาณอนาล็อกอินพุ 2.5KHz เทียบกับเอาต์พุทของอินทิเกรเตอร์ เทียบกับสัญญาณคล็อก และเทียบกับสัญญาณเดลตา มอดูเลชัน

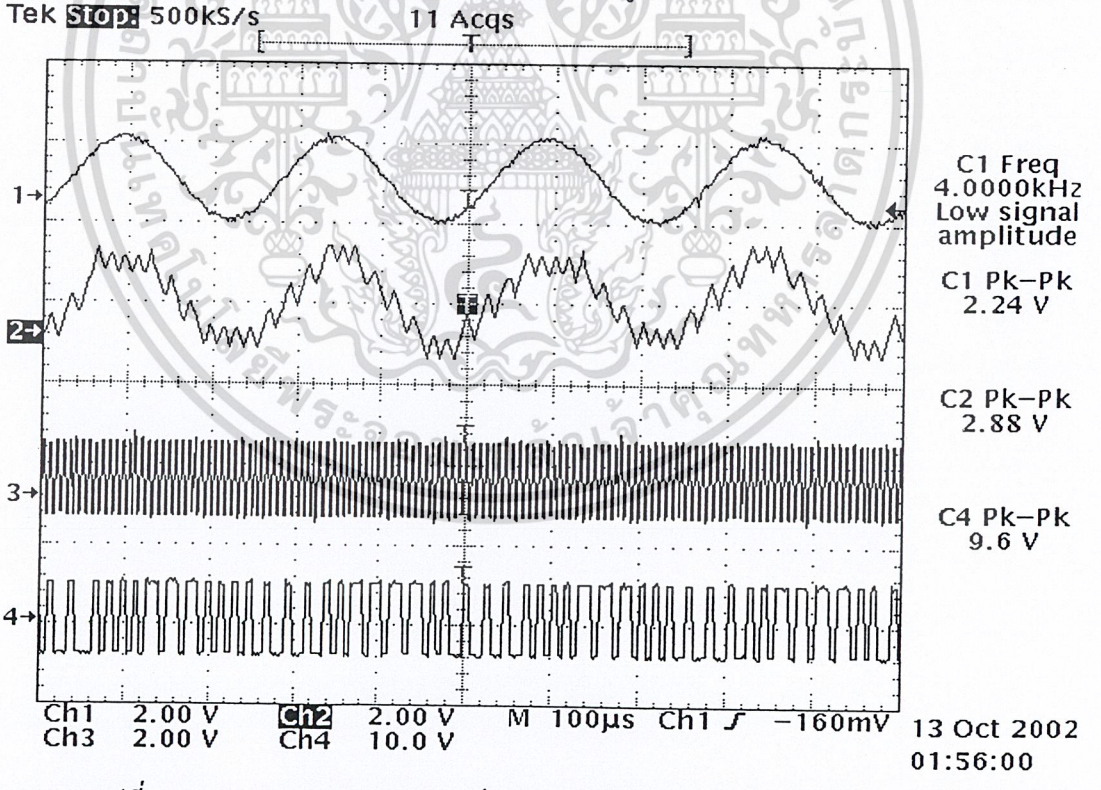


รูปที่ 4.1.6 แสดงสัญญาณอนาล็อกอินพุ 3KHz เทียบกับเอาต์พุทของอินทิเกรเตอร์ เทียบกับสัญญาณคล็อก และเทียบกับสัญญาณเดลตา มอดูเลชัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.1.7 แสดงสัญญาณอนาล็อกอินพุ 3.5 KHz เทียบกับเอาต์พุทของอินทิเกรเตอร์ เทียบกับสัญญาณคล็อก และเทียบกับสัญญาณเดลตา มอดูเลชัน



รูปที่ 4.1.8 แสดงสัญญาณอนาล็อกอินพุ 4KHz เทียบกับเอาต์พุทของอินทิเกรเตอร์ เทียบกับสัญญาณคล็อก และเทียบกับสัญญาณเดลตา มอดูเลชัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2 การทดลองวงจรเดลตามอดูเลชัน ภาครับ

4.2.1 จ่ายไฟ $\pm 5\ V_{DC}$ และ $\pm 12\ V_{DC}$ พร้องทั้งต่อกราวด์ (Ground) ให้แก่วงจร

4.2.2 ป้อนสัญญาณอนาล็อกอินพุท ความถี่ 500 Hz มีแอมปลิจูด (Amplitude) ไม่เกิน $1V_{P-P}$ ใช้สเต็ป เจนเนอร์เตอร์ (Step Generator) ที่สเต็ป 1 และวัดสัญญาณอนาล็อกอินพุท ที่ ช่อง1 เทียบกับสัญญาณอินทิเกรเตอร์ ของภาคส่ง ที่ ช่อง2 เทียบกับสัญญาณเอาต์พุทของภาคส่ง ซึ่งก็คือ สัญญาณเดลตา มอดูเลชันที่ถูกส่งมาที่ภาครับที่ ช่อง3 และที่ ช่อง4 จะวัดสัญญาณเอาต์พุท ของภาครับ ซึ่งก็คือสัญญาณอินทิเกรเตอร์ โดยเอาต์พุทที่ภาครับจะเป็นสัญญาณที่ยังไม่ได้ผ่านวงจรกรองความถี่ต่ำผ่าน(LPF) ผลการทดลองแสดงดังรูปที่ 4.2.1

4.2.3 ป้อนสัญญาณอนาล็อกอินพุท ความถี่ 1KHz มีแอมปลิจูด (Amplitude) ไม่เกิน $2V_{P-P}$ ใช้สเต็ป เจนเนอร์เตอร์ (Step Generator) ที่สเต็ป 2 และวัดสัญญาณอนาล็อกอินพุท ที่ ช่อง1 เทียบกับสัญญาณอินทิเกรเตอร์ ของภาคส่ง ที่ ช่อง2 เทียบกับสัญญาณเอาต์พุทของภาคส่ง ซึ่งก็คือ สัญญาณเดลตา มอดูเลชันที่ถูกส่งมาที่ภาครับที่ ช่อง3 และที่ ช่อง4 จะวัดสัญญาณเอาต์พุท ของภาครับ ซึ่งก็คือสัญญาณอินทิเกรเตอร์ โดยเอาต์พุทที่ภาครับจะเป็นสัญญาณที่ยังไม่ได้ผ่านวงจรกรองความถี่ต่ำผ่าน(LPF) ผลการทดลองแสดงดังรูปที่ 4.2.2

4.2.4 ป้อนสัญญาณอนาล็อกอินพุท ความถี่ 1.5KHz มีแอมปลิจูด (Amplitude) ไม่เกิน $2V_{P-P}$ ใช้สเต็ป เจนเนอร์เตอร์ (Step Generator) ที่สเต็ป 2 และวัดสัญญาณอนาล็อกอินพุท ที่ ช่อง1 เทียบกับสัญญาณอินทิเกรเตอร์ ของภาคส่ง ที่ ช่อง2 เทียบกับสัญญาณเอาต์พุทของภาคส่ง ซึ่งก็คือ สัญญาณเดลตา มอดูเลชันที่ถูกส่งมาที่ภาครับที่ ช่อง3 และที่ ช่อง4 จะวัดสัญญาณเอาต์พุท ของภาครับ ซึ่งก็คือสัญญาณอินทิเกรเตอร์ โดยเอาต์พุทที่ภาครับจะเป็นสัญญาณที่ยังไม่ได้ผ่านวงจรกรองความถี่ต่ำผ่าน(LPF) ผลการทดลองแสดงดังรูปที่ 4.2.3

4.2.5 ป้อนสัญญาณอนาล็อกอินพุท ความถี่ 2KHz มีแอมปลิจูด (Amplitude) ไม่เกิน $4V_{P-P}$ ใช้สเต็ป เจนเนอร์เตอร์ (Step Generator) ที่สเต็ป 3 และวัดสัญญาณอนาล็อกอินพุท ที่ ช่อง1 เทียบกับสัญญาณอินทิเกรเตอร์ ของภาคส่ง ที่ ช่อง2 เทียบกับสัญญาณเอาต์พุทของภาคส่ง ซึ่งก็คือ สัญญาณเดลตา มอดูเลชันที่ถูกส่งมาที่ภาครับที่ ช่อง3 และที่ ช่อง4 จะวัดสัญญาณเอาต์พุท ของภาครับ ซึ่งก็คือสัญญาณอินทิเกรเตอร์ โดยเอาต์พุทที่ภาครับจะเป็นสัญญาณที่ยังไม่ได้ผ่านวงจรกรองความถี่ต่ำผ่าน(LPF) ผลการทดลองแสดงดังรูปที่ 4.2.4

4.2.6 ป้อนสัญญาณอนาล็อกอินพุท ความถี่ 2.5KHz มีแอมปลิจูด (Amplitude) ไม่เกิน $4V_{P-P}$ ใช้สเต็ป เจนเนอร์เตอร์ (Step Generator) ที่สเต็ป 3 และวัดสัญญาณอนาล็อกอินพุท ที่ ช่อง1 เทียบกับสัญญาณอินทิเกรเตอร์ ของภาคส่ง ที่ ช่อง2 เทียบกับสัญญาณเอาต์พุทของภาคส่ง ซึ่งก็คือ สัญญาณเดลตา มอดูเลชันที่ถูกส่งมาที่ภาครับที่ ช่อง3 และที่ ช่อง4 จะวัดสัญญาณ เอาต์พุท ของภาครับ ซึ่งก็คือสัญญาณอินทิเกรเตอร์ โดยเอาต์พุทที่ภาครับจะเป็นสัญญาณที่ยังไม่ได้ผ่านวงจรกรองความถี่ต่ำผ่าน(LPF) ผลการทดลองแสดงดังรูปที่ 4.2.5

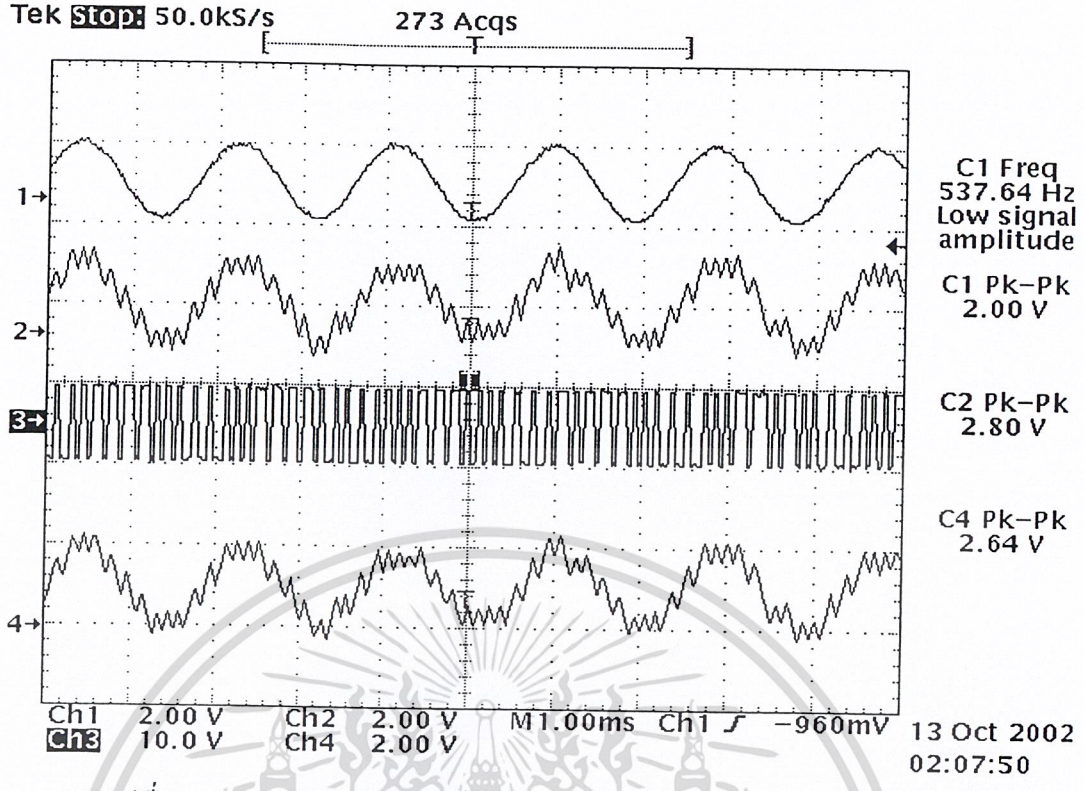
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2.7 ป้อนสัญญาณอนาล็อกอินพุท ความถี่ 3KHz มีแอมปลิจูด (Amplitude) ไม่เกิน $8V_{P-P}$ ใช้สเต็ป เจนเนอร์เตอร์ (Step Generator) ที่สเต็ป 4 และวัดสัญญาณอนาล็อกอินพุท ที่ ช่อง1 เทียบกับสัญญาณอินทิเกรเตอร์ ของภาคส่ง ที่ ช่อง2 เทียบกับสัญญาณเอาต์พุทของภาคส่ง ซึ่งก็คือ สัญญาณเดลตา มอดูเลชันที่ถูกส่งมาที่ภาครับที่ ช่อง3 และที่ ช่อง4 จะวัดสัญญาณเอาต์พุท ของภาครับ ซึ่งก็คือสัญญาณอินทิเกรเตอร์ โดยเอาต์พุทที่ภาครับจะเป็นสัญญาณที่ยังไม่ได้ผ่านวงจรกรองความถี่ต่ำผ่าน(LPF) ผลการทดลองแสดงดังรูปที่ 4.2.6

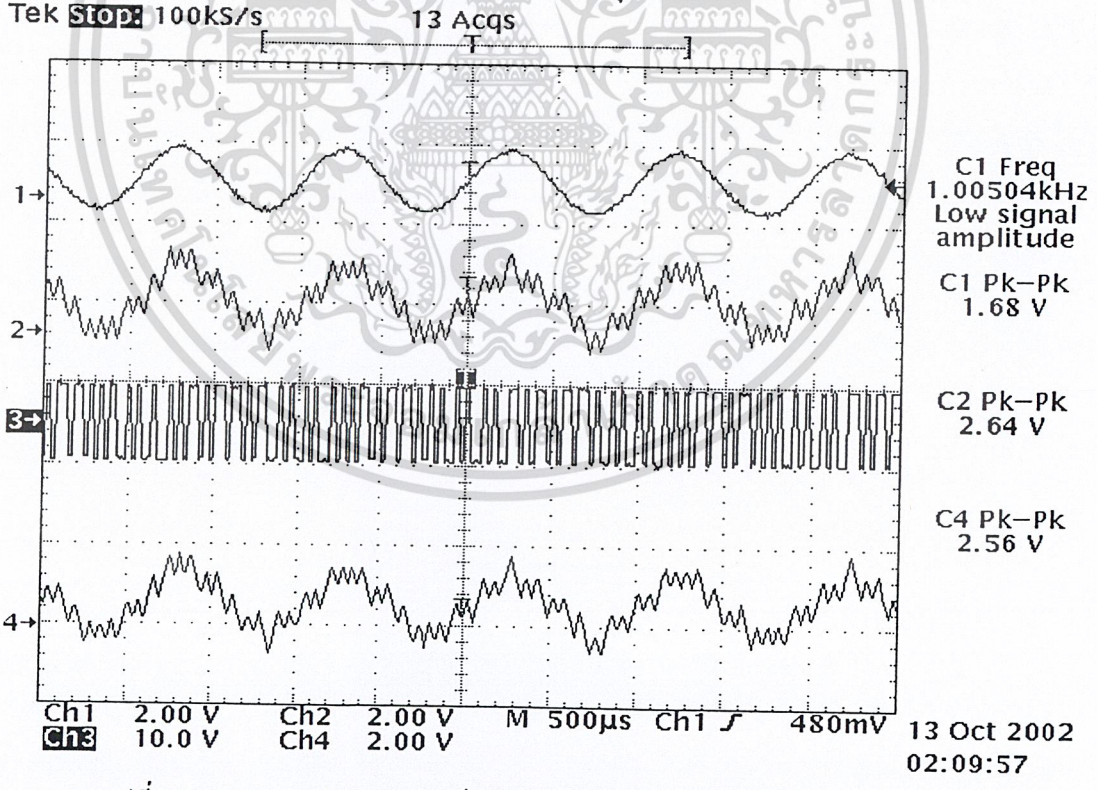
4.2.8 ป้อนสัญญาณอนาล็อกอินพุท ความถี่ 3.5KHz มีแอมปลิจูด (Amplitude) ไม่เกิน $4V_{P-P}$ ใช้สเต็ป เจนเนอร์เตอร์ (Step Generator) ที่สเต็ป 4 และวัดสัญญาณอนาล็อกอินพุท ที่ ช่อง1 เทียบกับสัญญาณอินทิเกรเตอร์ ของภาคส่ง ที่ ช่อง2 เทียบกับสัญญาณเอาต์พุทของภาคส่ง ซึ่งก็คือ สัญญาณเดลตา มอดูเลชันที่ถูกส่งมาที่ภาครับที่ ช่อง3 และที่ ช่อง4 จะวัดสัญญาณเอาต์พุท ของภาครับ ซึ่งก็คือสัญญาณอินทิเกรเตอร์ โดยเอาต์พุทที่ภาครับจะเป็นสัญญาณที่ยังไม่ได้ผ่านวงจรกรองความถี่ต่ำผ่าน(LPF) ผลการทดลองแสดงดังรูปที่ 4.2.7

4.2.9 ป้อนสัญญาณอนาล็อกอินพุท ความถี่ 4KHz มีแอมปลิจูด (Amplitude) ไม่เกิน $4V_{P-P}$ ใช้สเต็ป เจนเนอร์เตอร์ (Step Generator) ที่สเต็ป 4 และวัดสัญญาณอนาล็อกอินพุท ที่ ช่อง1 เทียบกับสัญญาณอินทิเกรเตอร์ ของภาคส่ง ที่ ช่อง2 เทียบกับสัญญาณเอาต์พุทของภาคส่ง ซึ่งก็คือ สัญญาณเดลตา มอดูเลชันที่ถูกส่งมาที่ภาครับที่ ช่อง3 และที่ ช่อง4 จะวัดสัญญาณเอาต์พุท ของภาครับ ซึ่งก็คือสัญญาณอินทิเกรเตอร์ โดยเอาต์พุทที่ภาครับจะเป็นสัญญาณที่ยังไม่ได้ผ่านวงจรกรองความถี่ต่ำผ่าน(LPF) ผลการทดลองแสดงดังรูปที่ 4.2.8

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

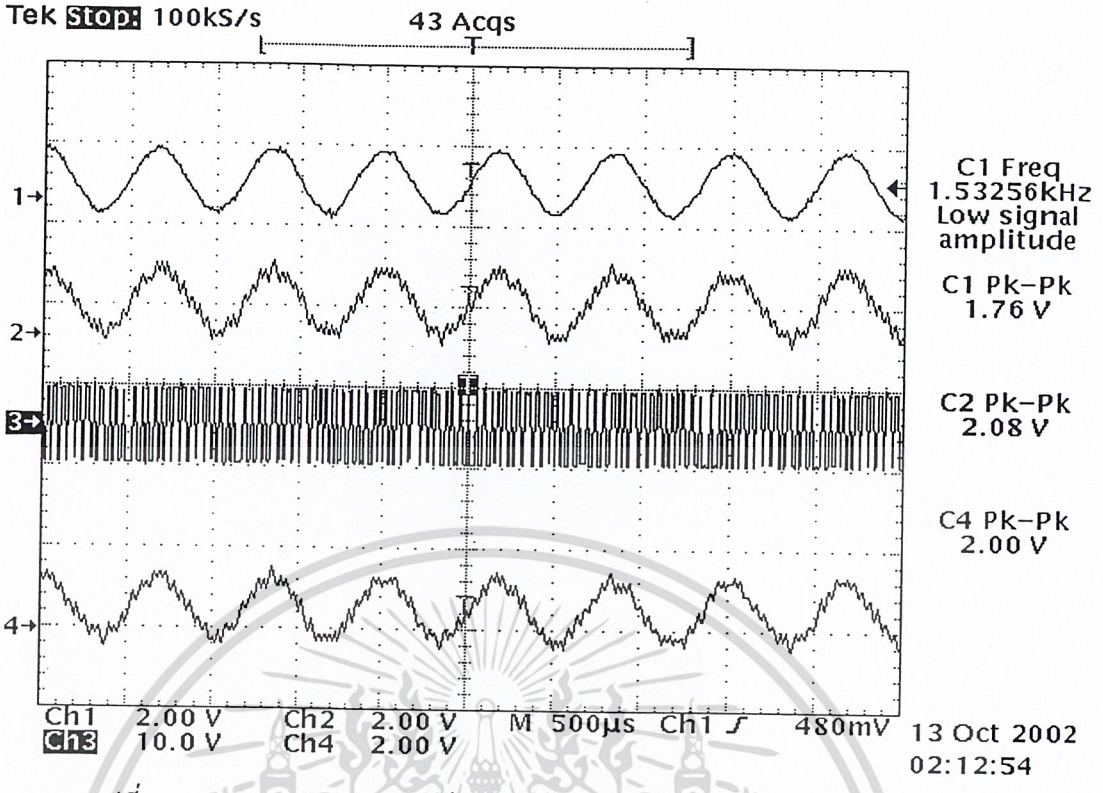


รูปที่ 4.2.1 แสดงสัญญาณอนาล็อกอินพุท 500Hz เทียบกับเอาต์พุทของอินทิเกรเตอร์ เทียบกับสัญญาณเดลตา มอดูเลชัน และเทียบกับเอาต์พุทของอินทิเกรเตอร์ของภาครับ

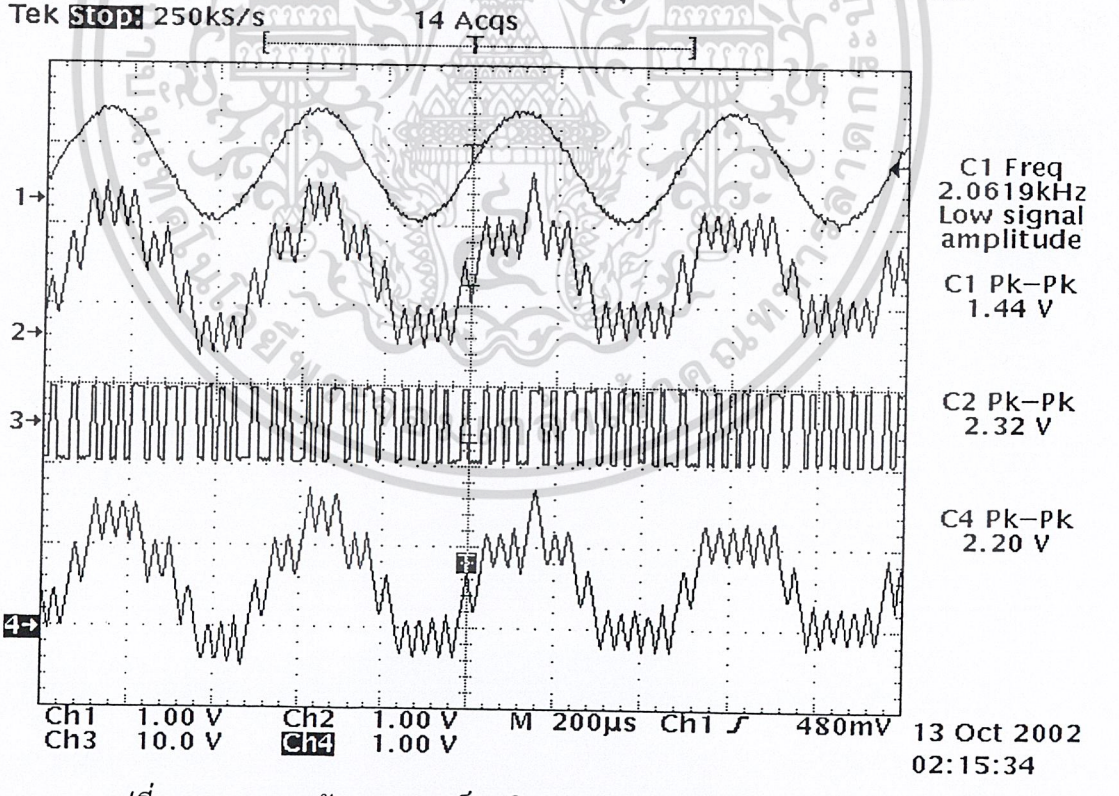


รูปที่ 4.2.2 แสดงสัญญาณอนาล็อกอินพุท 1KHz เทียบกับเอาต์พุทของอินทิเกรเตอร์ เทียบกับสัญญาณเดลตา มอดูเลชัน และเทียบกับเอาต์พุทของอินทิเกรเตอร์ของภาครับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

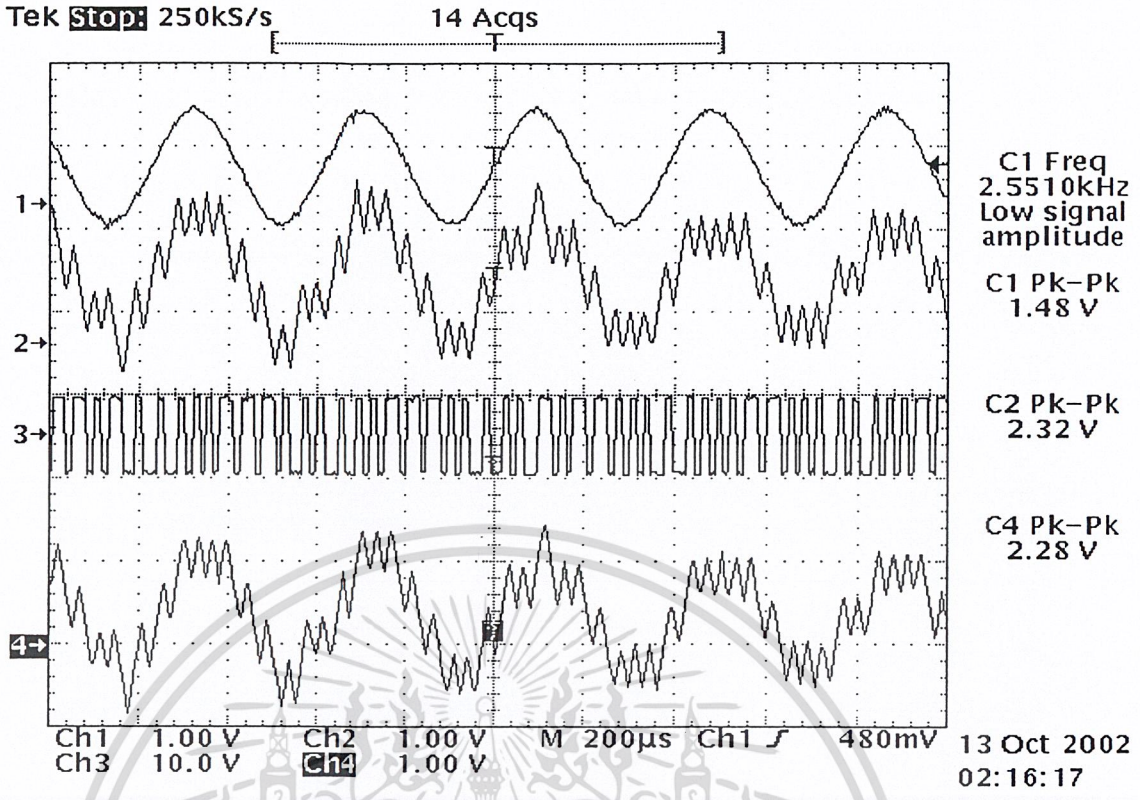


รูปที่ 4.2.3 แสดงสัญญาณอนาล็อกอินพุท 1.5KHz เทียบกับเอาต์พุทของอินทิเกรเตอร์ เทียบกับสัญญาณเดลตา มอดูเลชัน และเทียบกับเอาต์พุทของอินทิเกรเตอร์ของภาครับ

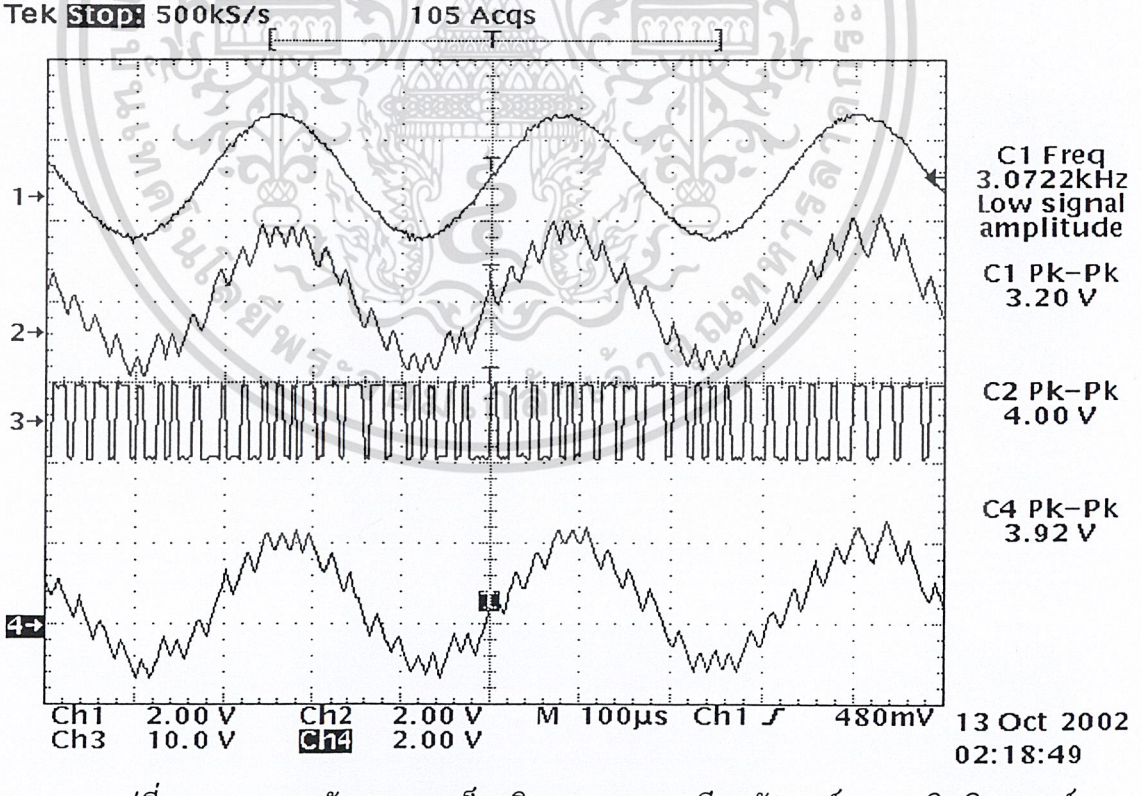


รูปที่ 4.2.4 แสดงสัญญาณอนาล็อกอินพุท 2KHz เทียบกับเอาต์พุทของอินทิเกรเตอร์ เทียบกับสัญญาณเดลตา มอดูเลชัน และเทียบกับเอาต์พุทของอินทิเกรเตอร์ของภาครับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

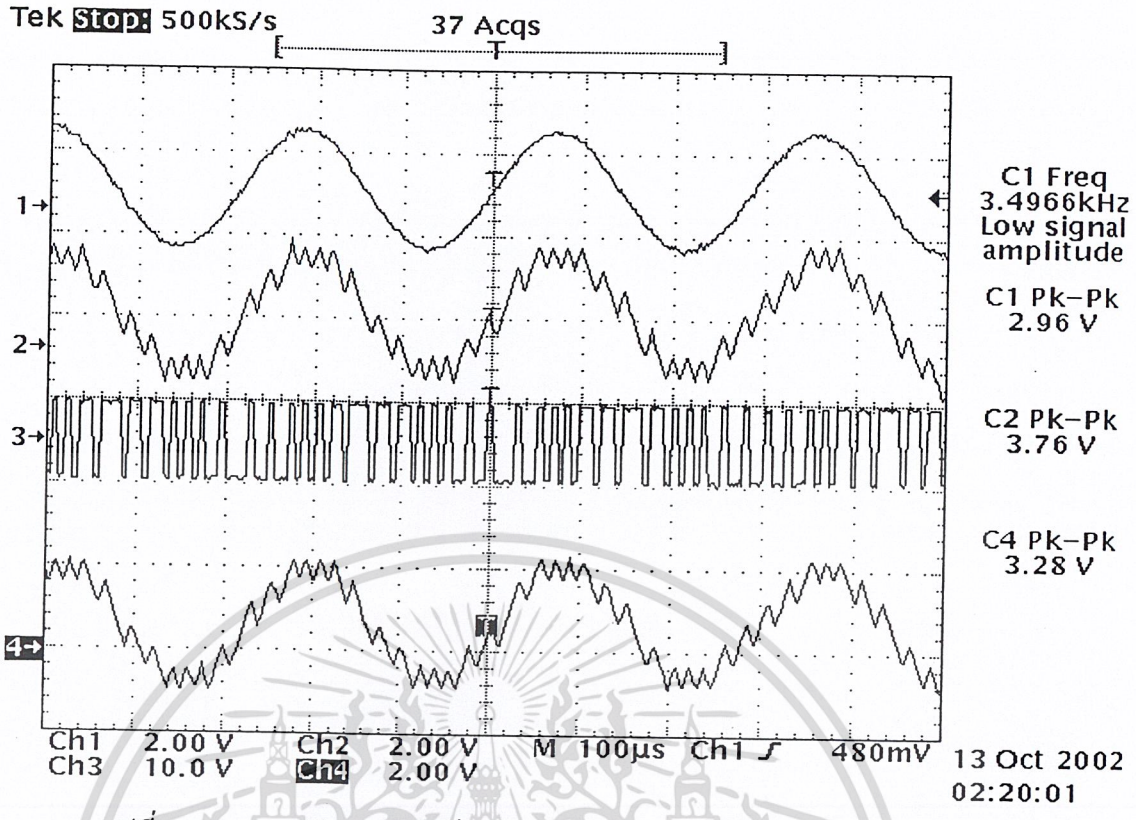


รูปที่ 4.2.5 แสดงสัญญาณอนาล็อกอินพุท 2.5KHz เทียบกับเอาต์พุทของอินทิเกรเตอร์ เทียบกับสัญญาณเดลตา มอดูเลชัน และเทียบกับเอาต์พุทของอินทิเกรเตอร์ของภาครับ

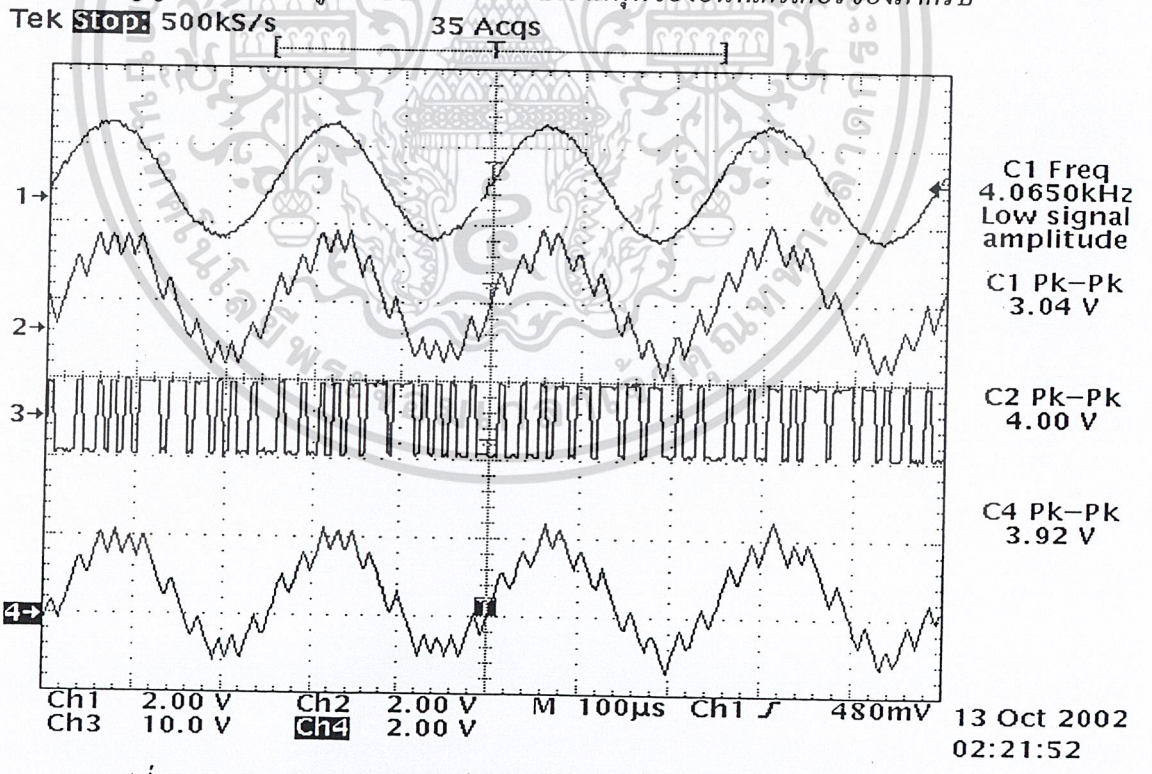


รูปที่ 4.2.6 แสดงสัญญาณอนาล็อกอินพุท 3KHz เทียบกับเอาต์พุทของอินทิเกรเตอร์ เทียบกับสัญญาณเดลตา มอดูเลชัน และเทียบกับเอาต์พุทของอินทิเกรเตอร์ของภาครับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.2.7 แสดงสัญญาณอนาล็อกอินพุท 3.5KHz เทียบกับเอาต์พุทของอินทิเกรเตอร์ เทียบกับสัญญาณเดลตา มอดูเลชัน และเทียบกับเอาต์พุทของอินทิเกรเตอร์ของภาครับ



รูปที่ 4.2.8 แสดงสัญญาณอนาล็อกอินพุท 4KHz เทียบกับเอาต์พุทของอินทิเกรเตอร์ เทียบกับสัญญาณเดลตา มอดูเลชัน และเทียบกับเอาต์พุทของอินทิเกรเตอร์ของภาครับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.3 การทดลองวงจรเดลตามอดูเลชัน ทางภาคส่ง - ภาครับ

4.3.1 จ่ายไฟ $\pm 5\ V_{DC}$ และ $\pm 12\ V_{DC}$ พร้องทั้งต่อกราวด์ (Ground) ให้แก่วงจร

4.3.2 ป้อนสัญญาณอนาล็อกอินพุท ความถี่ 500 Hz มีแอมปลิจูด (Amplitude) ไม่เกิน $1V_{P-P}$ ใช้สเต็ป เจนเนอร์เตอร์ (Step Generator) ที่สเต็ป 1 และวัดสัญญาณอนาล็อกอินพุท ที่ช่อง1 เทียบกับสัญญาณเอาต์พุทของภาครับก่อนเข้าวงจรกรองความถี่ต่ำผ่าน(LPF) ที่ ช่อง2 และวัดสัญญาณ เอาต์พุทของภาครับที่ผ่านวงจรกรองความถี่ต่ำผ่าน(LPF)แล้ว ที่ช่อง 4 ผลการทดลองแสดงดังรูปที่ 4.3.1

4.3.3 ป้อนสัญญาณอนาล็อกอินพุท ความถี่ 1KHz มีแอมปลิจูด (Amplitude) ไม่เกิน $2V_{P-P}$ ใช้สเต็ป เจนเนอร์เรเตอร์ (Step Generator) ที่สเต็ป 2 และวัดสัญญาณอนาล็อกอินพุท ที่ช่อง1 เทียบกับสัญญาณเอาต์พุทของภาครับก่อนเข้าวงจรกรองความถี่ต่ำผ่าน(LPF) ที่ ช่อง2 และวัดสัญญาณ เอาต์พุทของภาครับที่ผ่านวงจรกรองความถี่ต่ำผ่าน(LPF)แล้ว ที่ช่อง 4 ผลการทดลองแสดงดังรูปที่ 4.3.2

4.3.4 ป้อนสัญญาณอนาล็อกอินพุท ความถี่ 1.5KHz มีแอมปลิจูด (Amplitude) ไม่เกิน $2V_{P-P}$ ใช้สเต็ป เจนเนอร์เรเตอร์ (Step Generator) ที่สเต็ป 2 และวัดสัญญาณอนาล็อกอินพุท ที่ช่อง1 เทียบกับสัญญาณเอาต์พุทของภาครับก่อนเข้าวงจรกรองความถี่ต่ำผ่าน(LPF) ที่ ช่อง2 และวัดสัญญาณ เอาต์พุทของภาครับที่ผ่านวงจรกรองความถี่ต่ำผ่าน(LPF)แล้ว ที่ช่อง 4 ผลการทดลองแสดงดังรูปที่ 4.3.3

4.3.5 ป้อนสัญญาณอนาล็อกอินพุท ความถี่ 2KHz มีแอมปลิจูด (Amplitude) ไม่เกิน $4V_{P-P}$ ใช้สเต็ป เจนเนอร์เรเตอร์ (Step Generator) ที่สเต็ป 3 และวัดสัญญาณอนาล็อกอินพุท ที่ช่อง1 เทียบกับสัญญาณเอาต์พุทของภาครับก่อนเข้าวงจรกรองความถี่ต่ำผ่าน(LPF) ที่ ช่อง2 และวัดสัญญาณ เอาต์พุทของภาครับที่ผ่านวงจรกรองความถี่ต่ำผ่าน(LPF)แล้ว ที่ช่อง 4 ผลการทดลองแสดงดังรูปที่ 4.3.4

4.3.6 ป้อนสัญญาณอนาล็อกอินพุท ความถี่ 2.5KHz มีแอมปลิจูด (Amplitude) ไม่เกิน $4V_{P-P}$ ใช้สเต็ป เจนเนอร์เรเตอร์ (Step Generator) ที่สเต็ป 3 และวัดสัญญาณอนาล็อกอินพุท ที่ช่อง1 เทียบกับสัญญาณเอาต์พุทของภาครับก่อนเข้าวงจรกรองความถี่ต่ำผ่าน(LPF) ที่ ช่อง2 และวัดสัญญาณ เอาต์พุทของภาครับที่ผ่านวงจรกรองความถี่ต่ำผ่าน(LPF)แล้ว ที่ช่อง 4 ผลการทดลองแสดงดังรูปที่ 4.3.5

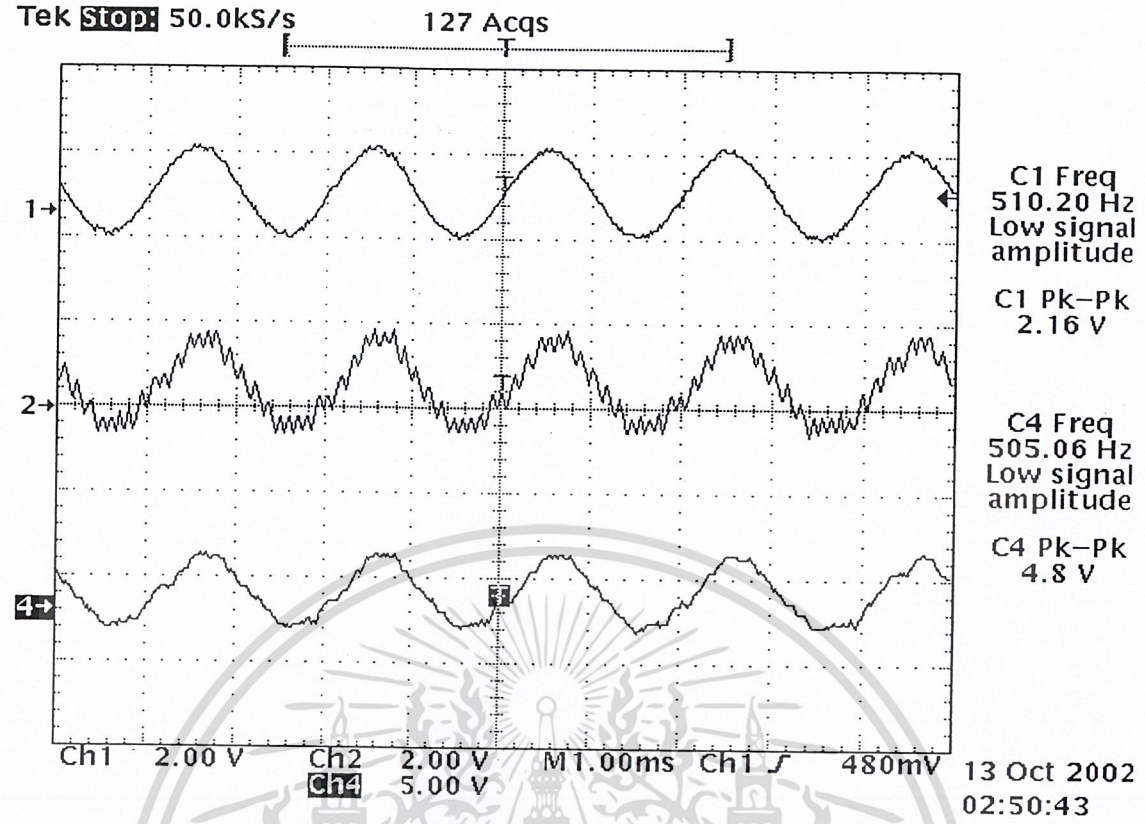
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.3.7 ป้อนสัญญาณอนาล็อกอินพุท ความถี่ 3KHz มีแอมปลิจูด (Amplitude) ไม่เกิน 8V $_{P-P}$ ใช้สเต็ป เจนเนอร์เรเตอร์ (Step Generator) ที่สเต็ป 4 และวัดสัญญาณอนาล็อกอินพุท ที่ช่อง1 เทียบกับสัญญาณเอาต์พุทของภาครับก่อนเข้าวงจรกรองความถี่ต่ำผ่าน(LPF) ที่ ช่อง2 และวัดสัญญาณ เอาต์พุทของภาครับที่ผ่านวงจรกรองความถี่ต่ำผ่าน(LPF)แล้ว ที่ช่อง 4 ผลการทดลองแสดงดังรูปที่ 4.3.6

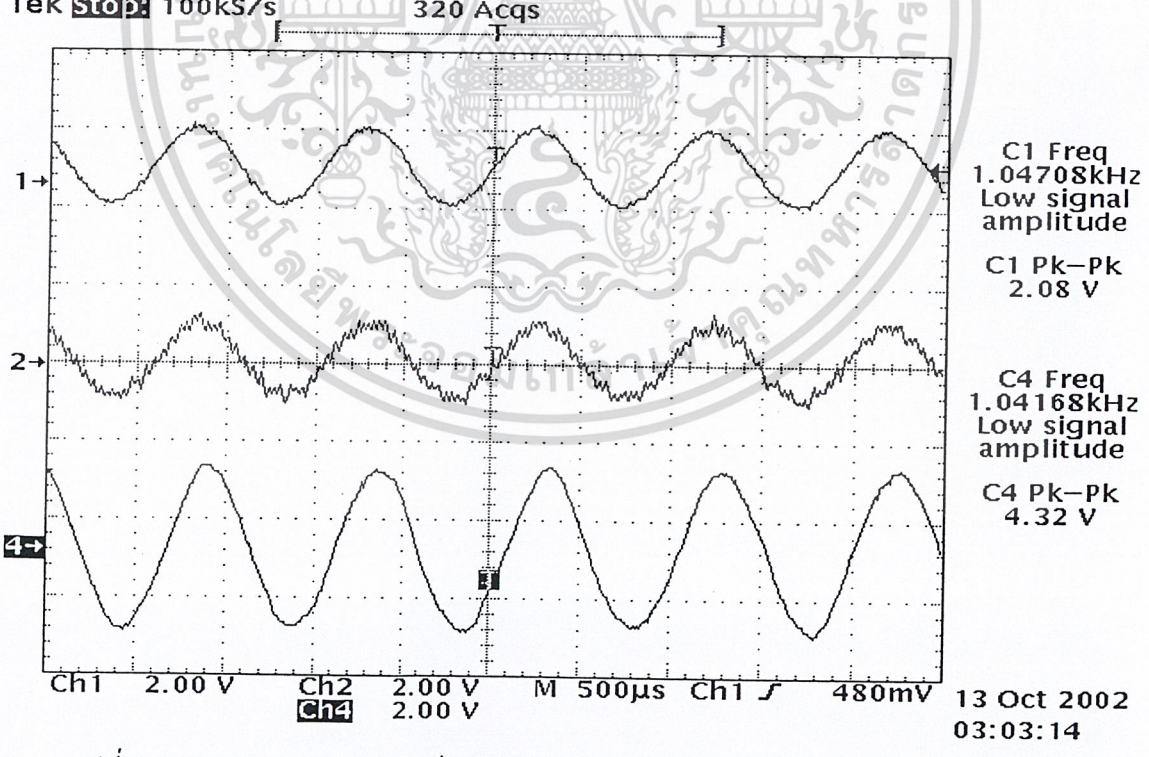
4.3.8 ป้อนสัญญาณอนาล็อกอินพุท ความถี่ 4KHz มีแอมปลิจูด (Amplitude) ไม่เกิน 8V $_{P-P}$ ใช้สเต็ป เจนเนอร์เรเตอร์ (Step Generator) ที่สเต็ป 4 และวัดสัญญาณอนาล็อกอินพุท ที่ช่อง1 เทียบกับสัญญาณเอาต์พุทของภาครับก่อนเข้าวงจรกรองความถี่ต่ำผ่าน(LPF) ที่ ช่อง2 และวัดสัญญาณ เอาต์พุทของภาครับที่ผ่านวงจรกรองความถี่ต่ำผ่าน(LPF)แล้ว ที่ช่อง 4 ผลการทดลองแสดงดังรูปที่ 4.3.7

4.3.9 ป้อนสัญญาณอนาล็อกอินพุท ความถี่ 5KHz มีแอมปลิจูด (Amplitude) ไม่เกิน 8V $_{P-P}$ ใช้สเต็ป เจนเนอร์เรเตอร์ (Step Generator) ที่สเต็ป 4 และวัดสัญญาณอนาล็อกอินพุท ที่ช่อง1 เทียบกับสัญญาณเอาต์พุทของภาครับก่อนเข้าวงจรกรองความถี่ต่ำผ่าน(LPF) ที่ ช่อง2 และวัดสัญญาณ เอาต์พุทของภาครับที่ผ่านวงจรกรองความถี่ต่ำผ่าน(LPF)แล้ว ที่ช่อง 4 ผลการทดลองแสดงดังรูปที่ 4.3.4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

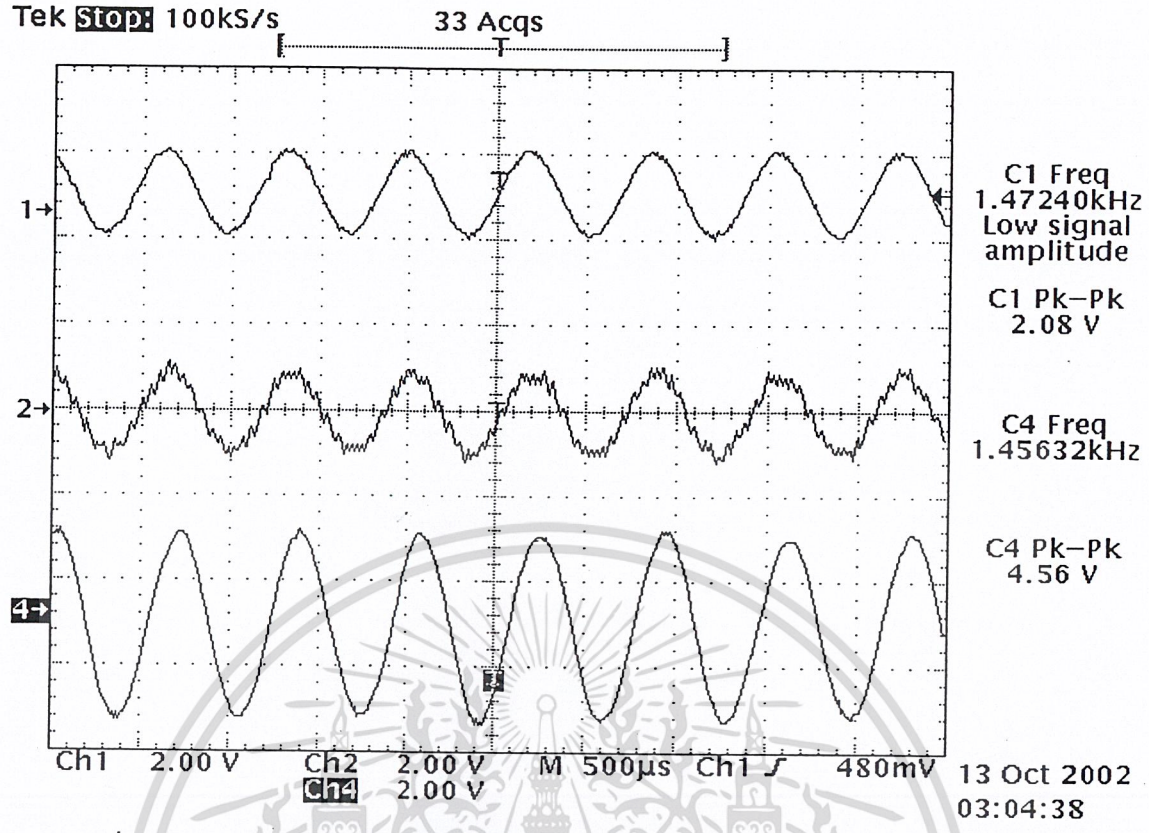


รูปที่ 4.3.1 แสดงสัญญาณอนาล็อกอินพุท 500Hz เทียบกับเอาต์พุทของภาครับก่อนเข้าวงจรกรองความถี่ต่ำผ่าน(LPF) และเทียบกับเอาต์พุทของภาครับที่ผ่านวงจรกรองความถี่ต่ำผ่าน(LPF)แล้ว

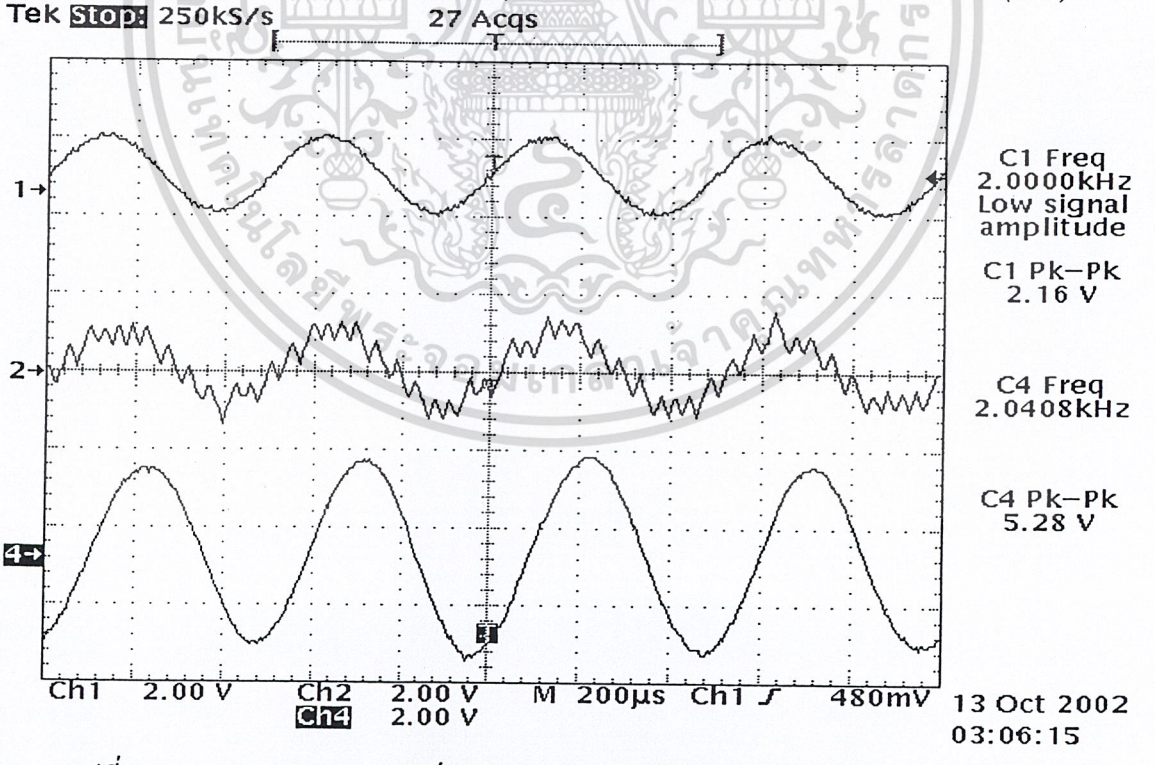


รูปที่ 4.3.2 แสดงสัญญาณอนาล็อกอินพุท 1KHz เทียบกับเอาต์พุทของภาครับก่อนเข้าวงจรกรองความถี่ต่ำผ่าน(LPF) และเทียบกับเอาต์พุทของภาครับที่ผ่านวงจรกรองความถี่ต่ำผ่าน(LPF)แล้ว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

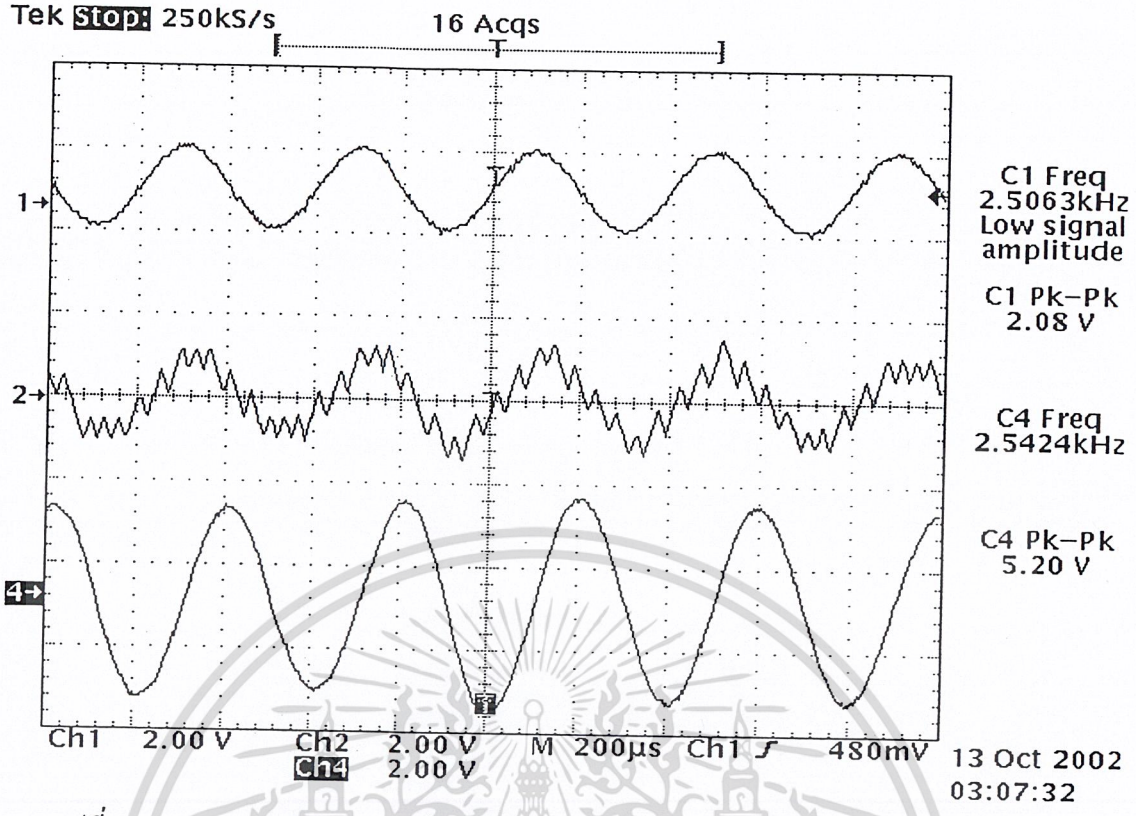


รูปที่ 4.3.3 แสดงสัญญาณอนาล็อกอินพุท1.5KHz เทียบกับเอาต์พุทของภาครับก่อนเข้าวงจรกรองความถี่ต่ำผ่าน(LPF) และเทียบกับเอาต์พุทของภาครับที่ผ่านวงจรกรองความถี่ต่ำผ่าน(LPF)แล้ว

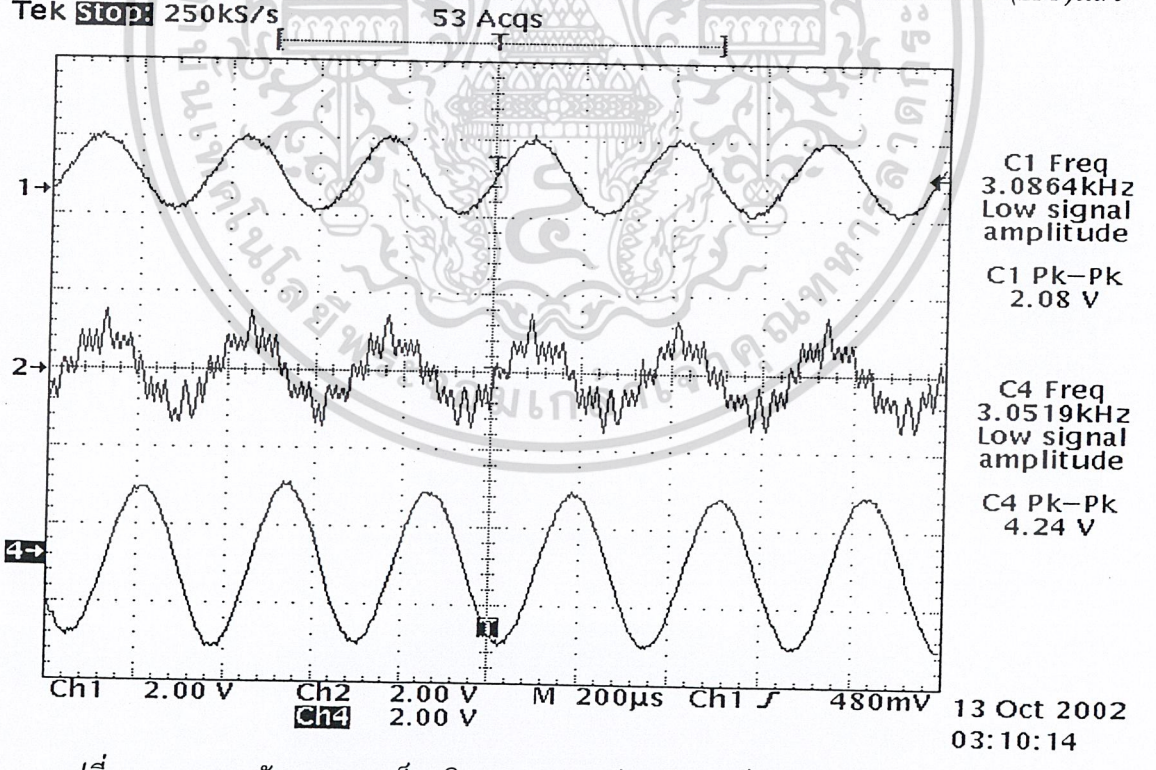


รูปที่ 4.3.4 แสดงสัญญาณอนาล็อกอินพุท 2KHz เทียบกับเอาต์พุทของภาครับก่อนเข้าวงจรกรองความถี่ต่ำผ่าน(LPF) และเทียบกับเอาต์พุทของภาครับที่ผ่านวงจรกรองความถี่ต่ำผ่าน(LPF)แล้ว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

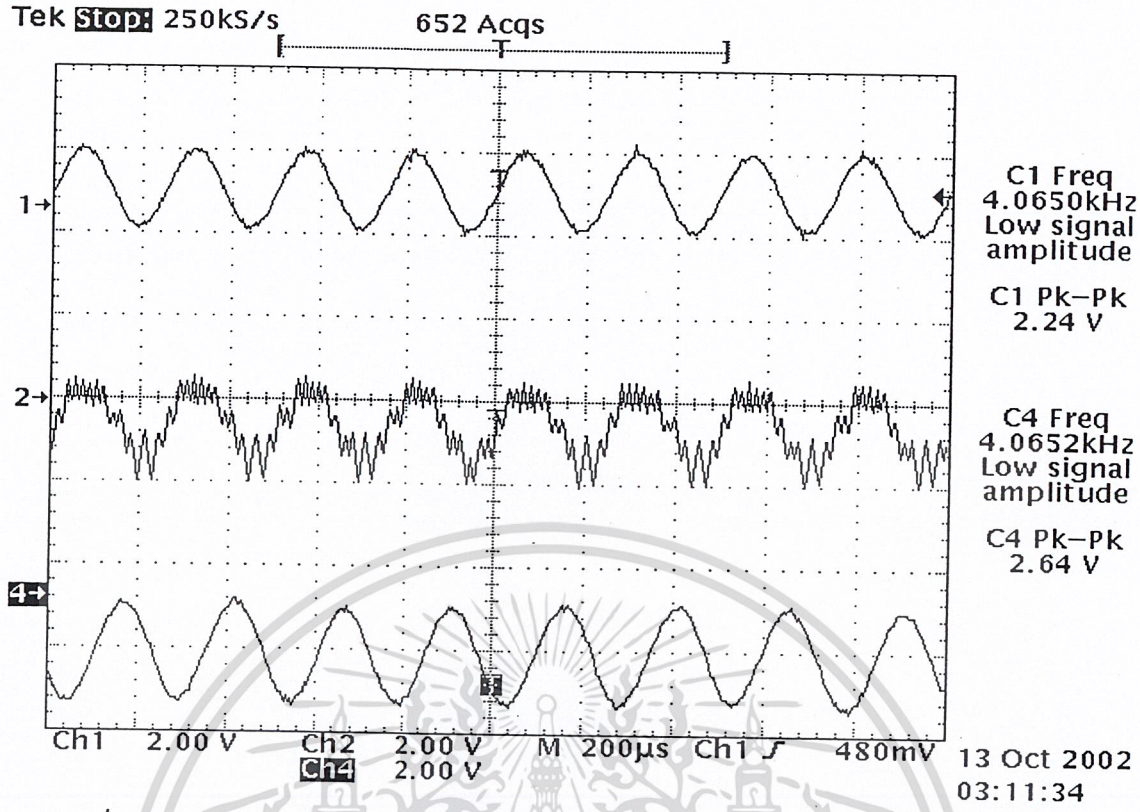


รูปที่ 4.3.5 แสดงสัญญาณอนาล็อกอินพุท2.5KHz เทียบกับเอาต์พุทของภาครับก่อนเข้าวงจรกรองความถี่ต่ำผ่าน(LPF) และเทียบกับเอาต์พุทของภาครับที่ผ่านวงจรกรองความถี่ต่ำผ่าน(LPF)แล้ว

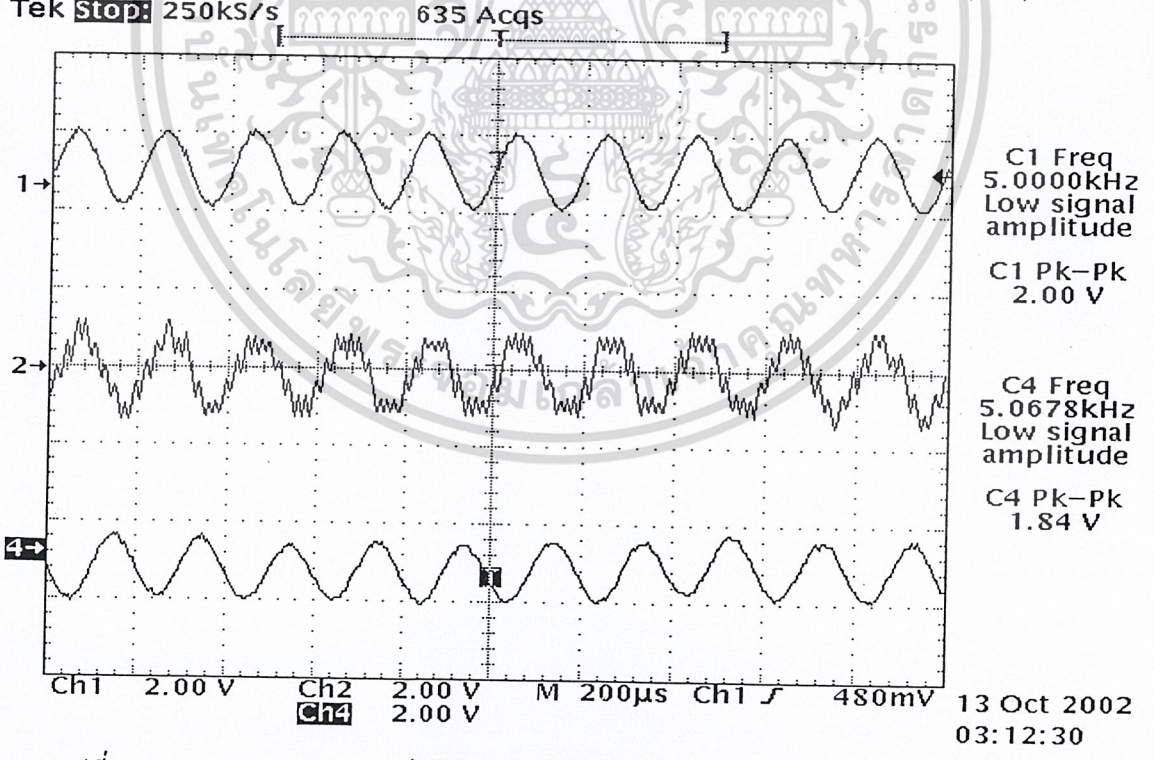


รูปที่ 4.3.6 แสดงสัญญาณอนาล็อกอินพุท 3KHz เทียบกับเอาต์พุทของภาครับก่อนเข้าวงจรกรองความถี่ต่ำผ่าน(LPF) และเทียบกับเอาต์พุทของภาครับที่ผ่านวงจรกรองความถี่ต่ำผ่าน(LPF)แล้ว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.3.7 แสดงสัญญาณอนาล็อกอินพุท 4KHz เทียบกับเอาต์พุทของภาครับก่อนเข้าวงจรกรองความถี่ต่ำผ่าน(LPF) และเทียบกับเอาต์พุทของภาครับที่ผ่านวงจรกรองความถี่ต่ำผ่าน(LPF)แล้ว



รูปที่ 4.3.8 แสดงสัญญาณอนาล็อกอินพุท 5KHz เทียบกับเอาต์พุทของภาครับก่อนเข้าวงจรกรองความถี่ต่ำผ่าน(LPF) และเทียบกับเอาต์พุทของภาครับที่ผ่านวงจรกรองความถี่ต่ำผ่าน(LPF)แล้ว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.4 การทดลองวงจรอะแดปทีปเดลตามอดูเลชัน ทางภาคส่ง - ภาครับ

4.4.1 จ่ายไฟ $\pm 5\ V_{DC}$ และ $\pm 12\ V_{DC}$ พร้องทั้งต่อกราวด์ (Ground) ให้แก่วงจร

4.4.2 ป้อนสัญญาณอนาล็อกอินพุท ความถี่ 1KHz มีแอมปลิจูด (Amplitude) ไม่เกิน $8V_{P-P}$ ใช้สเต็ป เจนเนอร์เรเตอร์ (Step Generator) ทำงานแบบออร์โต (Auto) กล่าวคือวงจรทำงานแบบ อะแดปทีปเดลตามอดูเลชัน (Adaptive Deltamodulation) และวัดสัญญาณอนาล็อกอินพุทที่ ช่อง1 เทียบกับสัญญาณเอาต์พุทของภาคส่งซึ่งสัญญาณนี้จะเป็นสัญญาณอินพุทของภาครับ ที่ช่อง2 เทียบกับสัญญาณอินทิเกรเตอร์ของภาครับ ที่ช่อง 3 และวัดสัญญาณ เอาต์พุทของภาครับที่ผ่านวงจรกรองความถี่ต่ำผ่าน(LPF)แล้ว ที่ช่อง 4 ผลการทดลองแสดงดังรูปที่ 4.4.2

4.4.3 ป้อนสัญญาณอนาล็อกอินพุท ความถี่ 1.5KHz มีแอมปลิจูด (Amplitude) ไม่เกิน $8V_{P-P}$ ใช้สเต็ป เจนเนอร์เรเตอร์ (Step Generator) ทำงานแบบออร์โต (Auto) กล่าวคือวงจรทำงานแบบ อะแดปทีปเดลตามอดูเลชัน (Adaptive Deltamodulation) และวัดสัญญาณอนาล็อกอินพุทที่ ช่อง1 เทียบกับสัญญาณเอาต์พุทของภาคส่งซึ่งสัญญาณนี้จะเป็นสัญญาณอินพุทของภาครับ ที่ช่อง2 เทียบกับสัญญาณอินทิเกรเตอร์ของภาครับ ที่ช่อง 3 และวัดสัญญาณ เอาต์พุทของภาครับที่ผ่านวงจรกรองความถี่ต่ำผ่าน(LPF)แล้ว ที่ช่อง 4 ผลการทดลองแสดงดังรูปที่ 4.4.2

4.4.4 ป้อนสัญญาณอนาล็อกอินพุท ความถี่ 2KHz มีแอมปลิจูด (Amplitude) ไม่เกิน $8V_{P-P}$ ใช้สเต็ป เจนเนอร์เรเตอร์ (Step Generator) ทำงานแบบออร์โต (Auto) กล่าวคือวงจรทำงานแบบ อะแดปทีปเดลตามอดูเลชัน (Adaptive Deltamodulation) และวัดสัญญาณอนาล็อกอินพุทที่ ช่อง1 เทียบกับสัญญาณเอาต์พุทของภาคส่งซึ่งสัญญาณนี้จะเป็นสัญญาณอินพุทของภาครับ ที่ช่อง2 เทียบกับสัญญาณอินทิเกรเตอร์ของภาครับ ที่ช่อง 3 และวัดสัญญาณ เอาต์พุทของภาครับที่ผ่านวงจรกรองความถี่ต่ำผ่าน(LPF)แล้ว ที่ช่อง 4 ผลการทดลองแสดงดังรูปที่ 4.4.3

4.4.5 ป้อนสัญญาณอนาล็อกอินพุท ความถี่ 2.5KHz มีแอมปลิจูด (Amplitude) ไม่เกิน $8V_{P-P}$ ใช้สเต็ป เจนเนอร์เรเตอร์ (Step Generator) ทำงานแบบออร์โต (Auto) กล่าวคือวงจรทำงานแบบ อะแดปทีปเดลตามอดูเลชัน (Adaptive Deltamodulation) และวัดสัญญาณอนาล็อกอินพุทที่ ช่อง1 เทียบกับสัญญาณเอาต์พุทของภาคส่งซึ่งสัญญาณนี้จะเป็นสัญญาณอินพุทของภาครับ ที่ช่อง2 เทียบกับสัญญาณอินทิเกรเตอร์ของภาครับ ที่ช่อง 3 และวัดสัญญาณ เอาต์พุทของภาครับที่ผ่านวงจรกรองความถี่ต่ำผ่าน(LPF)แล้ว ที่ช่อง 4 ผลการทดลองแสดงดังรูปที่ 4.4.4

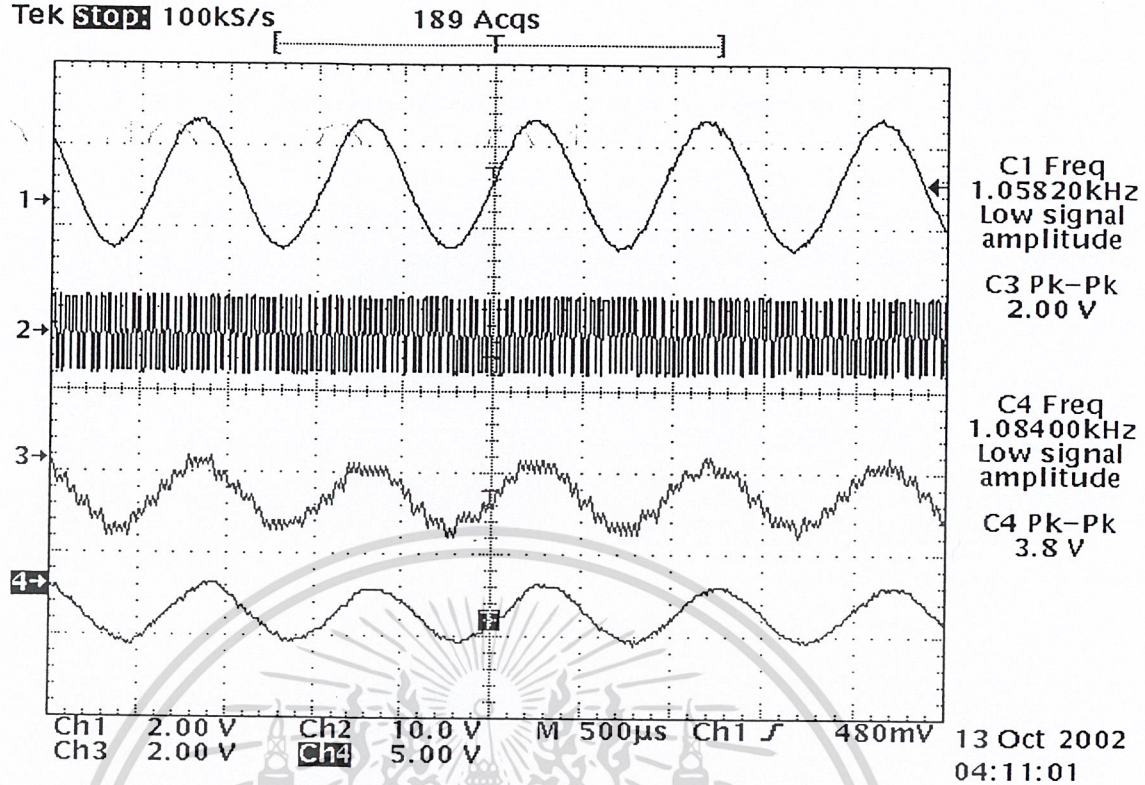
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.4.6 ป้อนสัญญาณอนาล็อกอินพุท ความถี่ 3KHz มีแอมปลิจูด (Amplitude) ไม่เกิน 8V $_{P-P}$ ใช้สเต็ป เจนเนอร์เรเตอร์ (Step Generator) ทำงานแบบอัตโนมัติ กล่าวคือวงจรทำงานแบบ อะแดปทีปเดลตามอดูเลชัน (Adaptive Deltamodulation) และวัดสัญญาณอนาล็อกอินพุท ที่ ช่อง1 เทียบกับสัญญาณเอาต์พุทของภาคส่งซึ่งสัญญาณนี้จะเป็นสัญญาณอินพุทของภาครับ ที่ ช่อง2 เทียบกับสัญญาณอินทิเกรเตอร์ของภาครับ ที่ช่อง 3 และวัดสัญญาณ เอาต์พุทของภาครับที่ผ่านวงจรกรองความถี่ต่ำผ่าน(LPF)แล้ว ที่ช่อง 4 ผลการทดลองแสดงดังรูปที่ 4.4.5

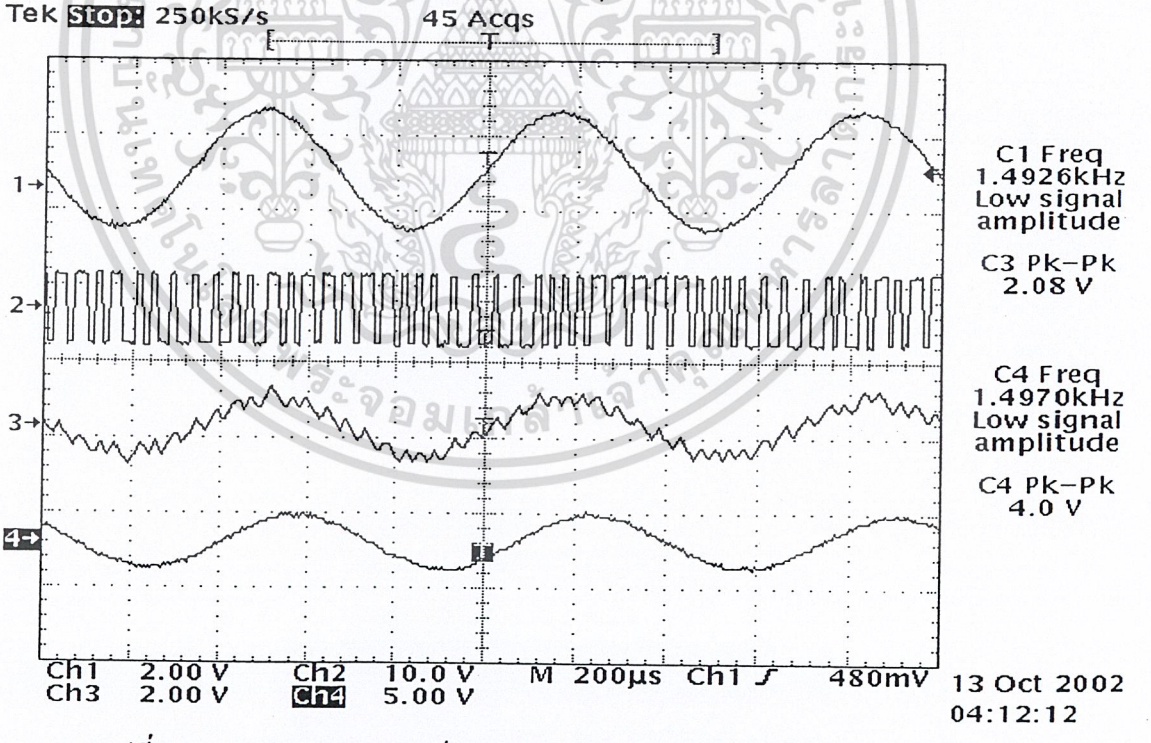
4.4.7 ป้อนสัญญาณอนาล็อกอินพุท ความถี่ 3KHz มีแอมปลิจูด (Amplitude) ไม่เกิน 8V $_{P-P}$เพิ่มสัญญาณนาฬิกา(Clock) จาก 64 KHz เป็น 128 KHz ใช้สเต็ป เจนเนอร์เรเตอร์ (Step Generator) ทำงานแบบอัตโนมัติ กล่าวคือวงจรทำงานแบบ อะแดปทีปเดลตามอดูเลชัน (Adaptive Deltamodulation) และวัดสัญญาณอนาล็อกอินพุท ที่ ช่อง1 เทียบกับสัญญาณเอาต์พุทของภาคส่งซึ่งสัญญาณนี้จะเป็นสัญญาณอินพุทของภาครับ ที่ ช่อง2 เทียบกับสัญญาณอินทิเกรเตอร์ของภาครับ ที่ช่อง 3 และวัดสัญญาณ เอาต์พุทของภาครับที่ผ่านวงจรกรองความถี่ต่ำผ่าน(LPF)แล้ว ที่ช่อง 4 ผลการทดลองแสดงดังรูปที่ 4.4.6

4.4.8 ป้อนสัญญาณอนาล็อกอินพุท ความถี่ 6KHz มีแอมปลิจูด (Amplitude) ไม่เกิน 8V $_{P-P}$ใช้สัญญาณนาฬิกา(Clock) ที่ 128 KHz ใช้สเต็ป เจนเนอร์เรเตอร์ (Step Generator) ทำงานแบบอัตโนมัติ กล่าวคือวงจรทำงานแบบ อะแดปทีปเดลตามอดูเลชัน (Adaptive Deltamodulation) และวัดสัญญาณอนาล็อกอินพุท ที่ ช่อง1 เทียบกับสัญญาณเอาต์พุทของภาคส่งซึ่งสัญญาณนี้จะเป็นสัญญาณอินพุทของภาครับ ที่ ช่อง2 เทียบกับสัญญาณอินทิเกรเตอร์ของภาครับ ที่ช่อง 3 และวัดสัญญาณ เอาต์พุทของภาครับที่ผ่านวงจรกรองความถี่ต่ำผ่าน(LPF)แล้ว ที่ช่อง 4 ผลการทดลองแสดงดังรูปที่ 4.4.6

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

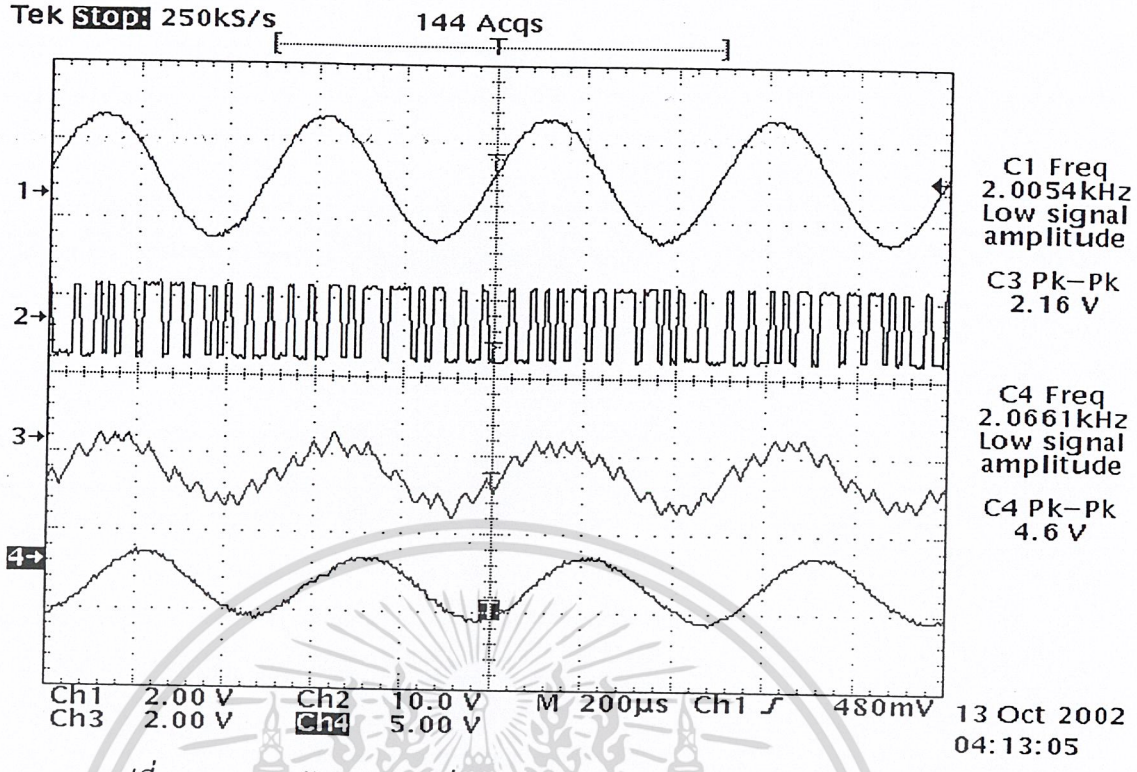


รูปที่ 4.4.1 แสดงสัญญาณอนาล็อกอินพุท 1KHz เทียบกับเอาต์พุทของภาคส่ง เทียบกับสัญญาณอินทิเกรเตอร์ของภาครับ และสัญญาณเอาต์พุทที่ภาครับที่ผ่านวงจร LPF แล้ว

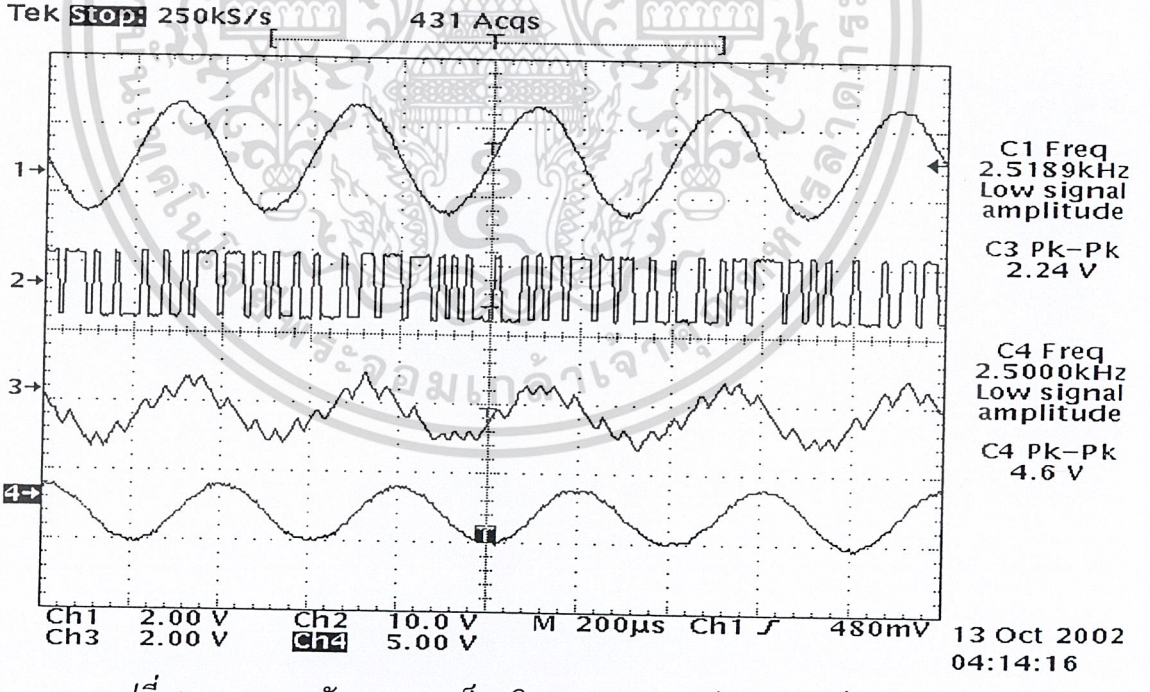


รูปที่ 4.4.2 แสดงสัญญาณอนาล็อกอินพุท 1.5KHz เทียบกับเอาต์พุทของภาคส่ง เทียบกับสัญญาณอินทิเกรเตอร์ของภาครับ และสัญญาณเอาต์พุทที่ภาครับที่ผ่านวงจร LPF แล้ว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

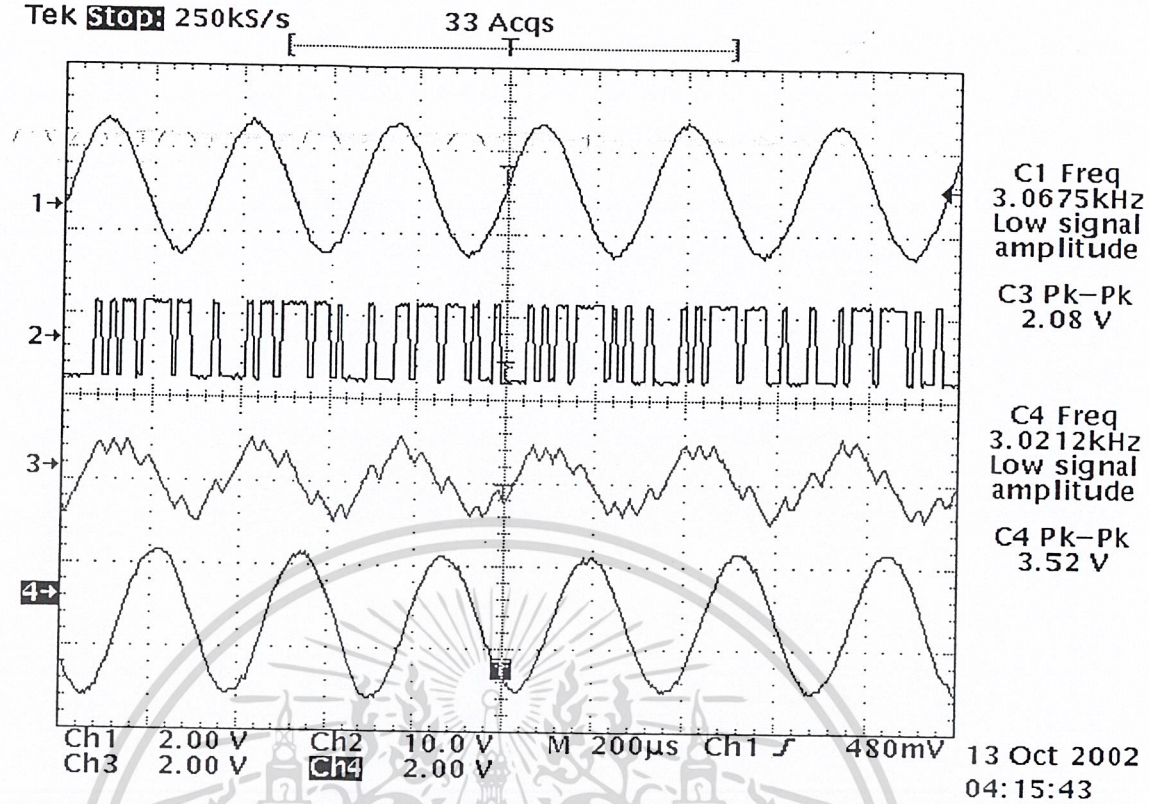


รูปที่ 4.4.3 แสดงสัญญาณอนาล็อกอินพุท 2KHz เทียบกับเอาต์พุทของภาคส่ง เทียบกับสัญญาณอินทิเกรเตอร์ของภาครับ และสัญญาณเอาต์พุทที่ภาครับที่ผ่านวงจร LPF แล้ว

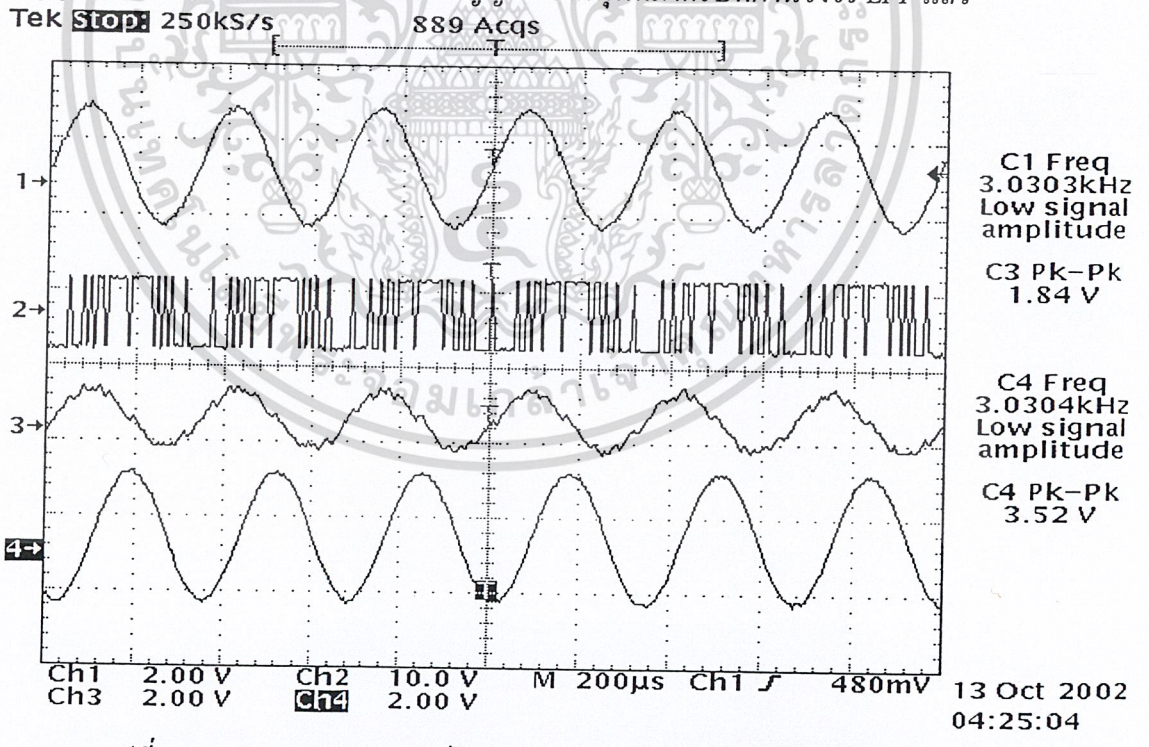


รูปที่ 4.4.4 แสดงสัญญาณอนาล็อกอินพุท 2.5KHz เทียบกับเอาต์พุทของภาคส่ง เทียบกับสัญญาณอินทิเกรเตอร์ของภาครับ และสัญญาณเอาต์พุทที่ภาครับที่ผ่านวงจร LPF แล้ว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

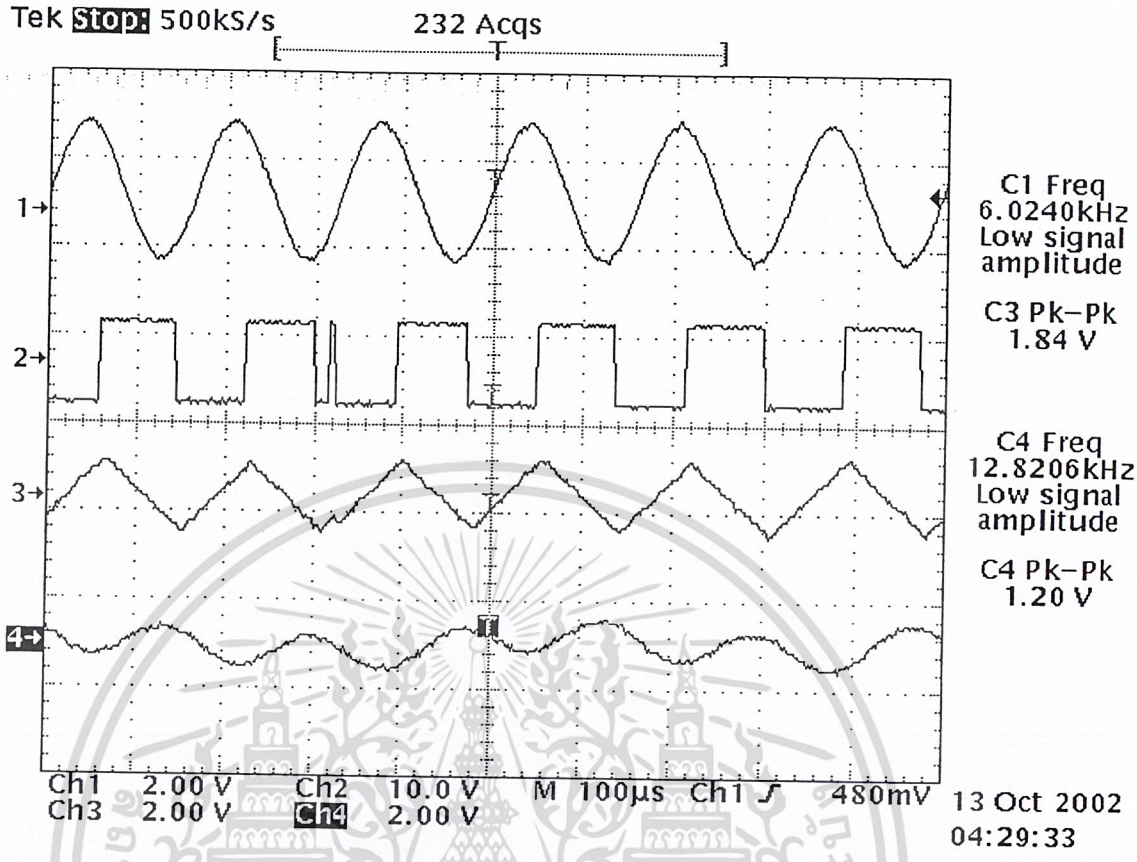


รูปที่ 4.4.5 แสดงสัญญาณอนาล็อกอินพุท 3KHz เทียบกับเอาต์พุทของภาคส่ง เทียบกับสัญญาณอินทิเกรเตอร์ของภาครับ และสัญญาณเอาต์พุทที่ภาครับที่ผ่านวงจร LPF แล้ว



รูปที่ 4.4.6 แสดงสัญญาณอนาล็อกอินพุท 3KHz เทียบกับเอาต์พุทของภาคส่ง เทียบกับสัญญาณอินทิเกรเตอร์ของภาครับ และสัญญาณเอาต์พุทที่ภาครับที่ผ่านวงจร LPF แล้ว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.4.7 แสดงสัญญาณอนาล็อกอินพุท 6KHz เทียบกับเอาต์พุทของภาคส่ง เทียบกับสัญญาณอินทิเกรเตอร์ของภาครับ และสัญญาณเอาต์พุทที่ภาครับที่ผ่านวงจร LPF แล้ว ในรูปนี้จะแสดงสภาวะโอเวอร์โหลดของวงจร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
บทสรุป

จากการทดลอง ทางด้านภาคส่ง สามารถเปลี่ยนสัญญาณอนาล็อกเป็นสัญญาณดิจิตอลได้ด้วยเทคนิคเดลตามอดูเลชัน กล่าวคือ ในการส่งสัญญาณข้อมูลนั้นจะถูกนำไปเปรียบเทียบกับสัญญาณประมาณ ที่วงจรคอมพาราเตอร์ ถ้าสัญญาณข้อมูลมากกว่าสัญญาณประมาณเอาต์พุทของ DM จะมีค่าเป็น +1 และในทางกลับกันถ้าสัญญาณข้อมูลน้อยกว่าสัญญาณประมาณเอาต์พุทของ DM จะมีค่าเป็น -1 โดยที่สัญญาณประมาณนี้จะเป็นสัญญาณที่เกิดก่อนสัญญาณข้อมูล 1 แซมปลิ้ง ซึ่งจากผลการทดลองที่ได้เอาต์พุทของ DM จะเป็นสัญญาณดิจิตอลมีค่าเป็น 1 กับ - 1 ส่วนทางภาครับ จะรับสัญญาณ DM มาจากทางภาคส่ง แล้วทำการดีมอดูเลทสัญญาณ DM ทำได้โดยการอินทิเกรทสัญญาณ DM เพื่อที่จะได้สัญญาณประมาณ $\tilde{A}(t)$ ออกมาแล้วทำการส่งผ่านไปยังวงจรฟิลเตอร์แบบ วงจรกรองความถี่ต่ำผ่าน(LPF) เพื่อตัดค่าที่เป็นสัญญาณประมาณการ ของ $\tilde{A}(t)$ ออกไป ซึ่งสัญญาณที่ได้ ณ จุดนี้ จะเป็นสัญญาณอนาล็อกเหมือนกับทางภาคส่ง เพื่อให้การสร้างสัญญาณทางด้านรับมีความถูกต้องแม่นยำขนาดของสต็ปจะต้องมีขนาดเล็ก ซึ่งทำได้โดยการให้อัตราการแซมปลิ้งเร็วขึ้น เพื่อป้องกันปัญหาเรื่อง ***Slop Overload***

ระบบเดลตามอดูเลชันที่กล่าวมาทั้งหมดนั้นมีข้อเสียที่เด่นชัด คือ ปัญหาในเรื่องช่วงไดนามิกของแอมปลิจูดต่ำมาก เพราะผลจากค่า Threshold และค่า Slop Overload ซึ่งการแก้ปัญหาทำได้โดยพัฒนาระบบเดลตามอดูเลชันให้เป็นแบบ อะแดปทีป เดลตามอดูเลชัน (Adaptive Deltamodulation) ซึ่งมีหลักการทำงาน คือ ขนาดของสเต็ปจะเปลี่ยนแปลงตามขนาดของแอมปลิจูดของสัญญาณอนาล็อก A(t) จากการทดลองที่ผ่านมา พบว่าเมื่อขนาดของแอมปลิจูดของสัญญาณอนาล็อก A(t) เพิ่มขึ้นอย่างรวดเร็ว ก็จะเกิด Slop Overloadขึ้น ถ้าเราให้วงจรทำงานแบบอะแดปทีป เดลตามอดูเลชันขนาดของสเต็ปจะมีขนาดโตขึ้นอย่างอัตโนมัติ เพื่อที่จะตามแอมปลิจูดของสัญญาณอนาล็อกทัน ปัญหาเรื่อง Slop Overload ก็จะหมดไป และในทางกลับกันถ้าขนาดของแอมปลิจูดของสัญญาณอนาล็อก A(t) มีการเปลี่ยนแปลงน้อย คือ Slope มีค่าต่ำ การทำงานแบบอะแดป ทีป เดลตามอดูเลชัน ก็จะทำการลดขนาดของสเต็ปให้มีขนาดเล็กลงก็จะทำให้ค่า Threshold ลดลงด้วย ซึ่งผลที่ตามมาก็ คือ สัญญาณรบกวนที่เกิดจากการควอนไตซ์ก็จะลดลงด้วยเช่นกัน

ผลอีกอย่างที่เกิดขึ้นคือ การต่อวงจรลงบนแผ่นปริ้น การเชื่อมระหว่างกัน เป็นต้นเหตุประการหนึ่งของการรบกวน วิธีแก้ไข คือ ควรลากเส้นเชื่อมระหว่างจุดให้สั้นที่สุด และน้อยที่สุด และจะต้องต่อกราวด์(Ground)ให้เป็นระบบ ต่อกราวด์ถึงกันทุกจุดและควรจะใช้กราวด์เดียวกันทั้งวงจร พยายามจัดวางอุปปกรณ์ให้แลดูง่ายเพื่อความสะดวกต่อการตรวจสอบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หนังสืออ้างอิง

[1] มนัส สังวรศิล,สมเกียรติ ศุภเดช, "ทฤษฎี และการออกแบบวงจรพัลส์," กรุงเทพฯ, อิเล็กทรอนิกส์เวิลด์,2524

[2] ยืน ภู่วรวรรณ,"เทคนิคการประยุกต์ และการใช้งานลิเนียร์ไอซี เล่ม 1,"กรุงเทพฯ, ซีเอ็ดยูเคชัน,2521

[3] ยืน ภู่วรวรรณ,"ทฤษฎี และการใช้งานอิเล็ทรอนิกส์ เล่ม 2,"กรุงเทพฯ, ซีเอ็ดยูเคชัน,2521

[4] ยืน ภู่วรวรรณ,"ทฤษฎี และการใช้งานอิเล็ทรอนิกส์ เล่ม 3," กรุงเทพฯ, ซีเอ็ดยูเคชัน,2521

[4] อรรถสิทธิ์ หล่าสกุล,"Digital Signal Processing," กรุงเทพฯ, แผนกตำรา คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้า เจ้าคุณทหารลาดกระบัง,2543

[5] Van Valkenburg ,"Analog Filter Design,"U.S.A. , Holt, Rinchart and Winston,1982

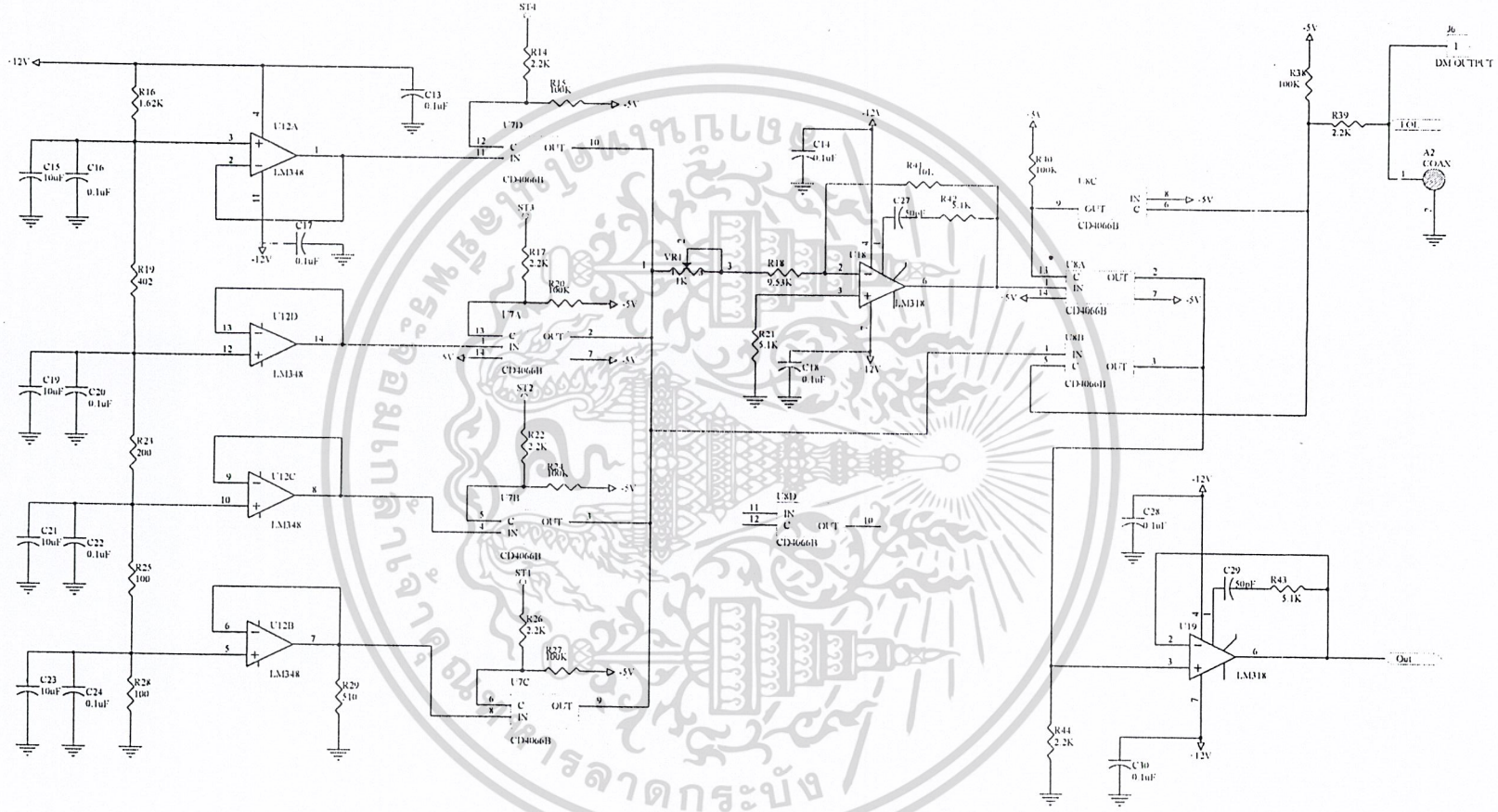
[6] Herbert Taub , Donald L. Schilling ,"Printciple of Communication System," U.S.A. , McGraw – Hill Kogakusha,Ltd.1984

[7] DOUGLAS V. HAL, "DIGITAL CIRCUIT AND SYSTEM," MCCGRAW – HILL PUBLISHING COMPANY, P.237 – P.342,1989

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

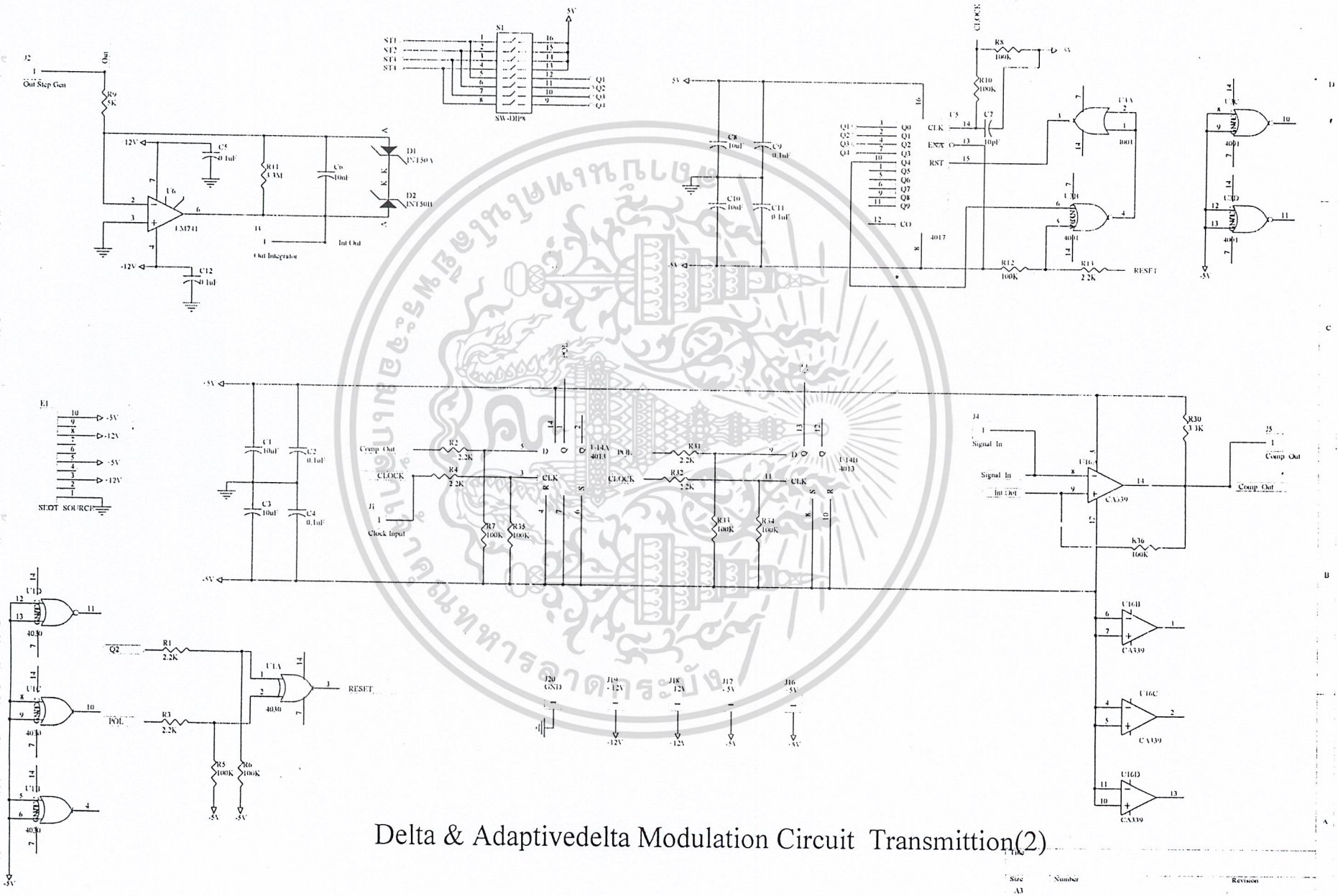
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Delta & Adaptivedelta Modulation Circuit Transmittion

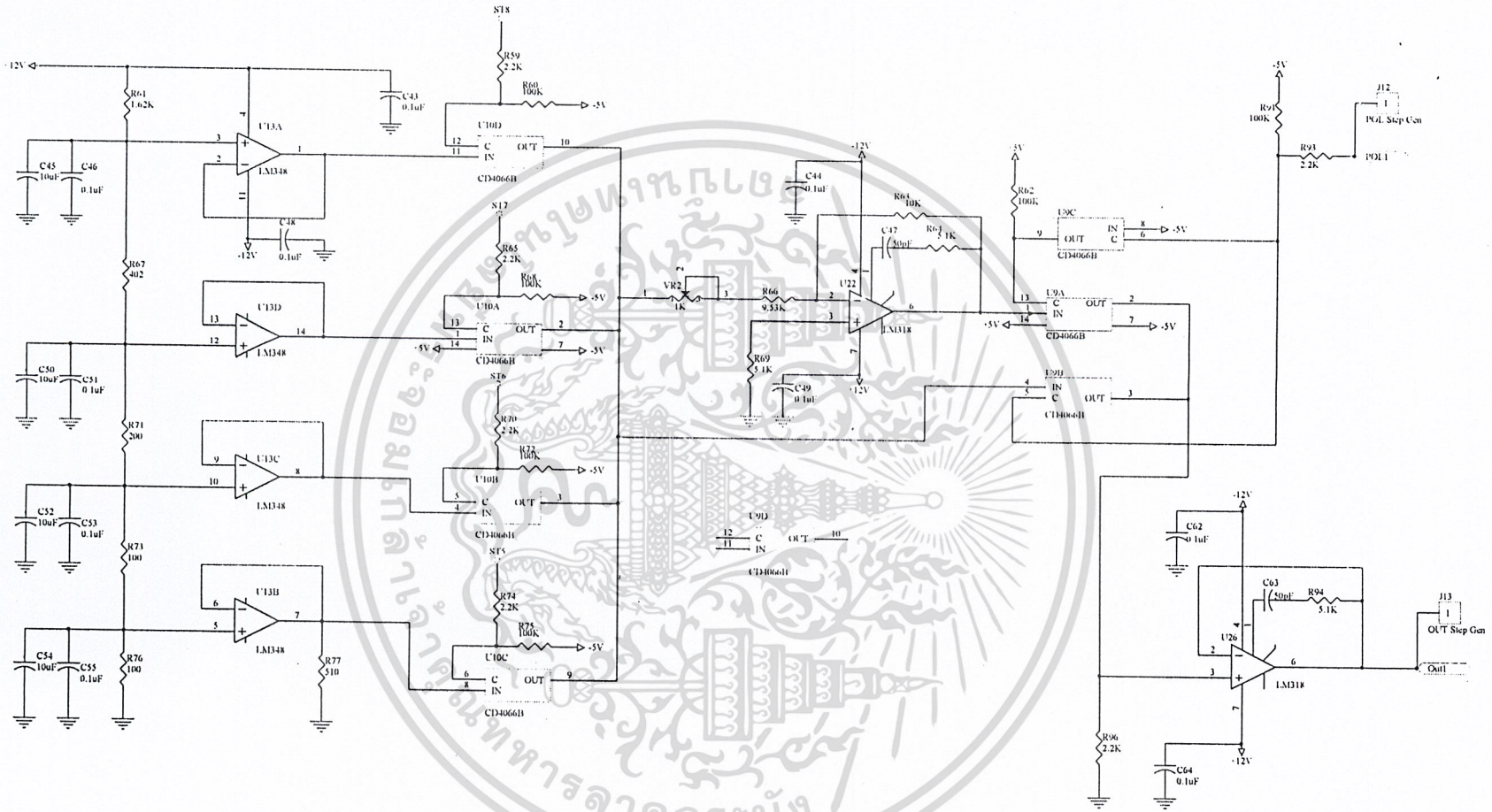
Title		
Size: A3	Number	Revision
Date: 30-Oct-2002		Sheet of
File: C:\MYDOCU~1\DELTAM~1.DDB		Drawn By:

ลิขสิทธิ์ของมหาวิทยาลัยราชภัฏธนบุรี



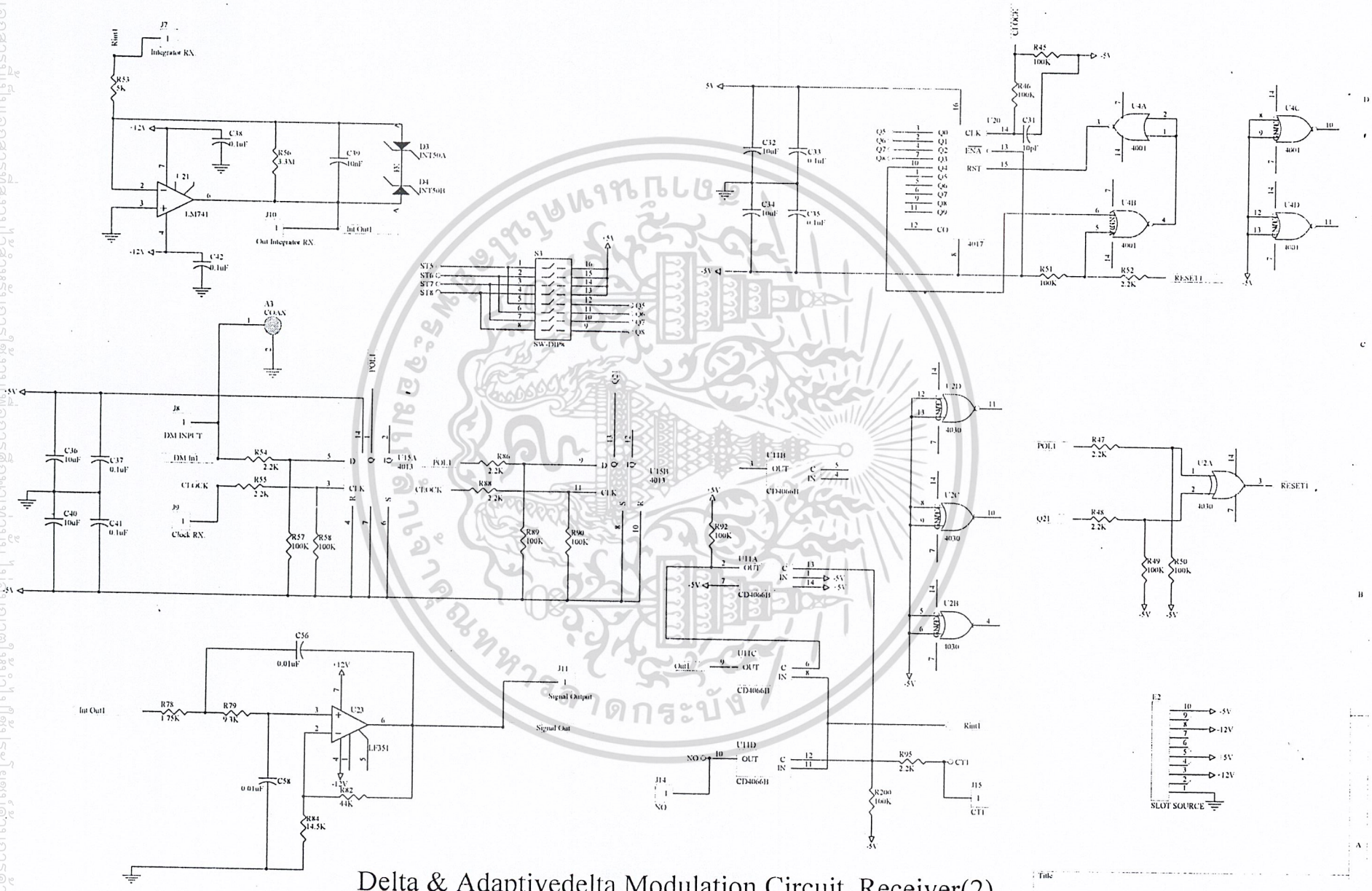
Delta & Adaptivedelta Modulation Circuit Transmittion(2)

ลิขสิทธิ์ของจุฬาลงกรณ์มหาวิทยาลัย ห้ามมิให้นำไปใช้ในการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น



Delta & Adaptivedelta Modulation Circuit Receiver

Title		
Size: A3	Number	Revision
Date: 30-Oct-2002		Sheet of
File: C:\MYDOCU~1\DELTAM~1.DDB		Drawn By:



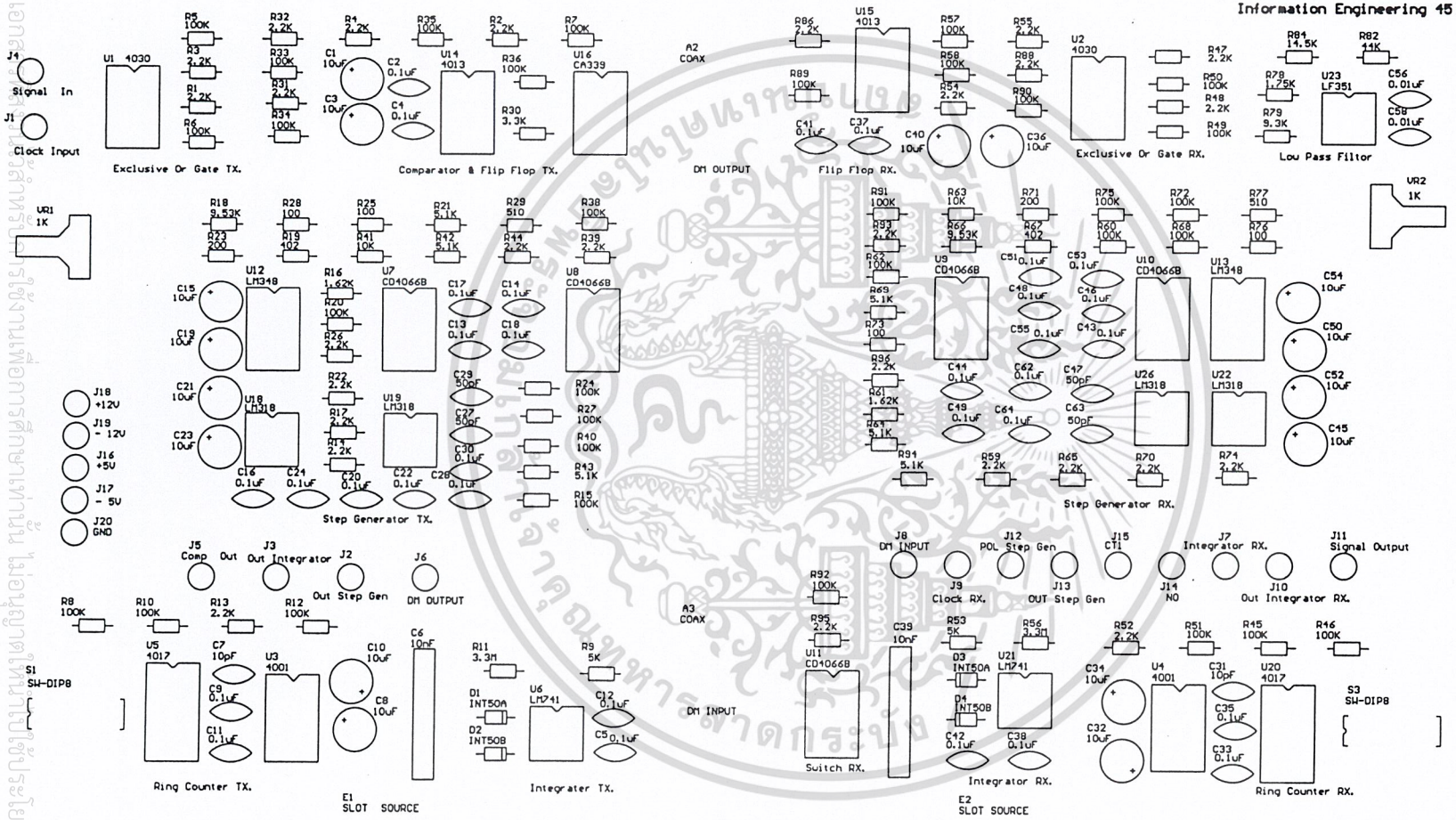
Delta & Adaptivedelta Modulation Circuit Receiver(2)

Title			
Size: A3	Number		Revision
Date:	30-Oct-2002	Sheet of	
File:	C:\MYDOCU~1\DELTAM~1.DDB	Drawn By:	

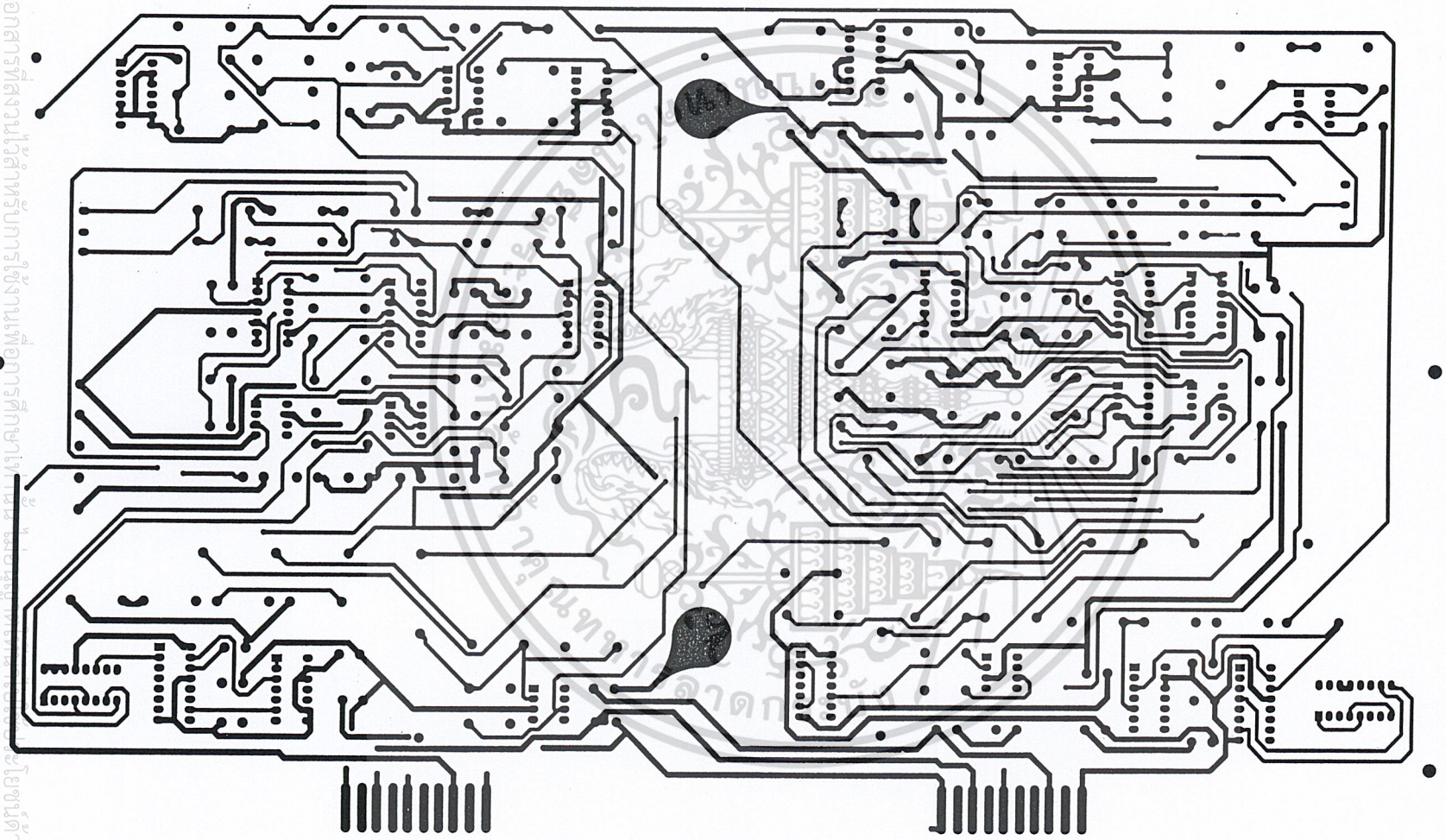
TOP OVERLAY

Delta Modulation System Expermental

Information Engineering 45



TOP LAYER



PreProduction Report

MATERIAL FR4 Type DS PTH
Soldermark X Top X Bottom
Overlay Top Bottom
FIN HASL BOL ROUT

Orighal	Production	Finished (Approx)
28	28	26
32	32	30
40	40	38
18	18	16
140	140	138
394	DRILL CY	394

Drill Size

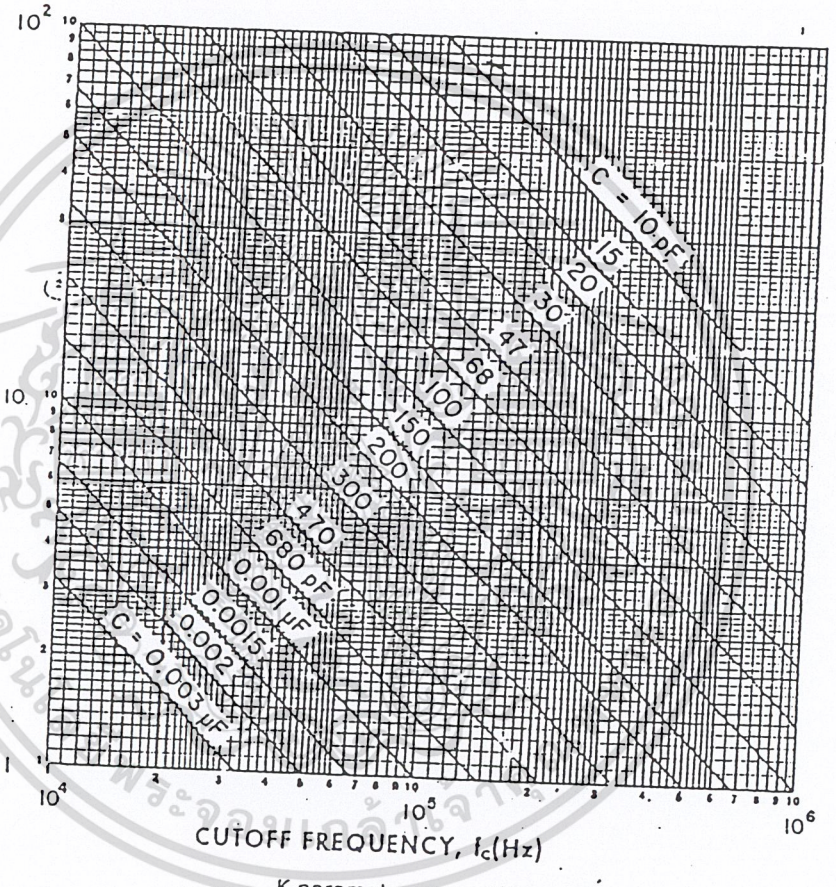
Prepared By

THANAWAT

Approved By

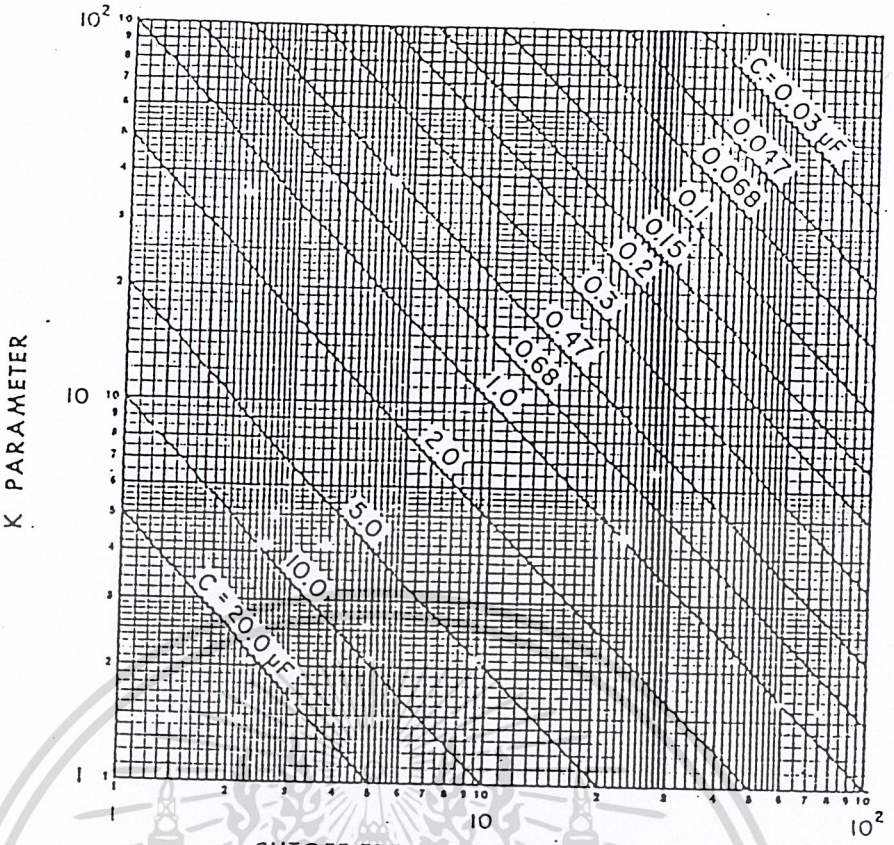
ไม่ก่อกรรมทำเข็ญ ไม่ลักขโมย ไม่ทำร้ายผู้อื่น ไม่ผิดประเวณี ไม่โกหก ไม่ดื่มสุรา ของมึนเมา ไม่ประพฤติผิดในกาม ไม่ทำลายสิ่งแวดล้อม ไม่ทำร้ายสัตว์ ไม่ทำร้ายตนเอง ไม่ประมาทในการดำเนินชีวิต

เอกสารนี้
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
ยชน์ด้านการค้า

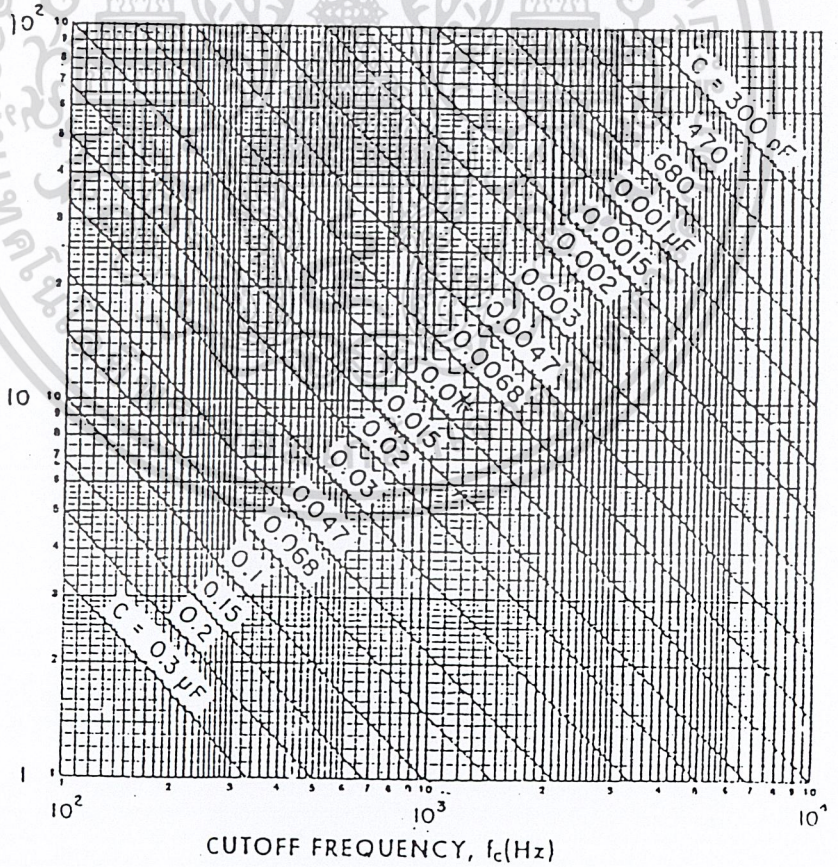


K parameter versus frequency.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

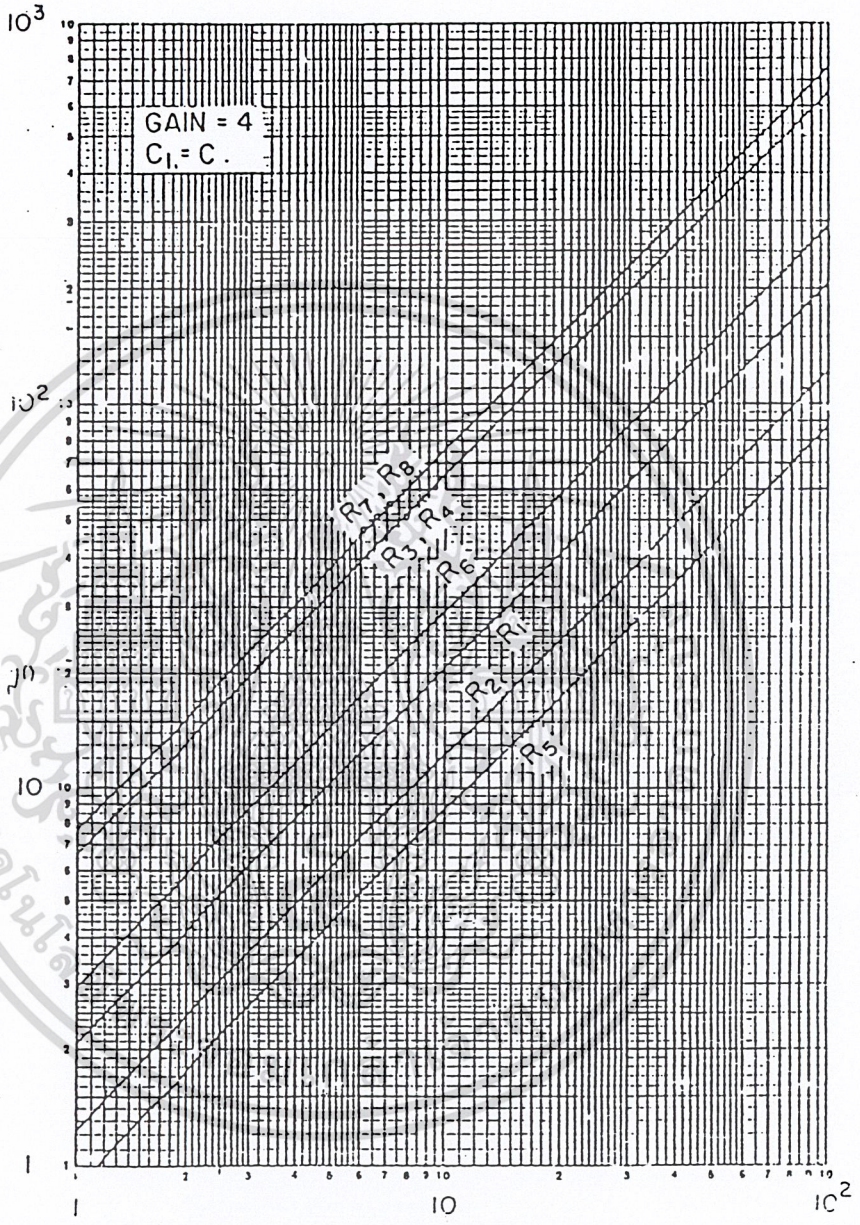


K parameter versus frequency.



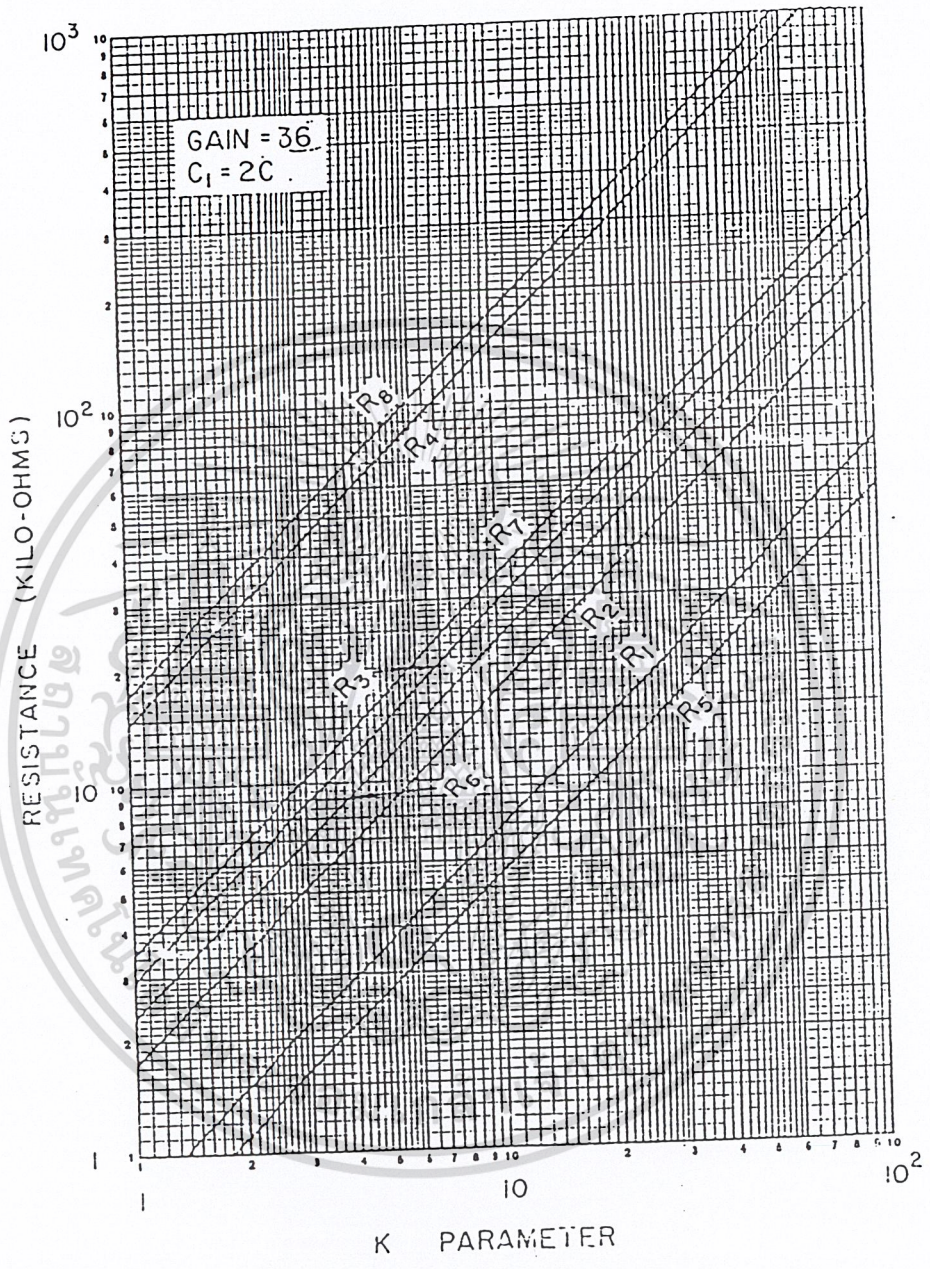
K parameter versus frequency.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



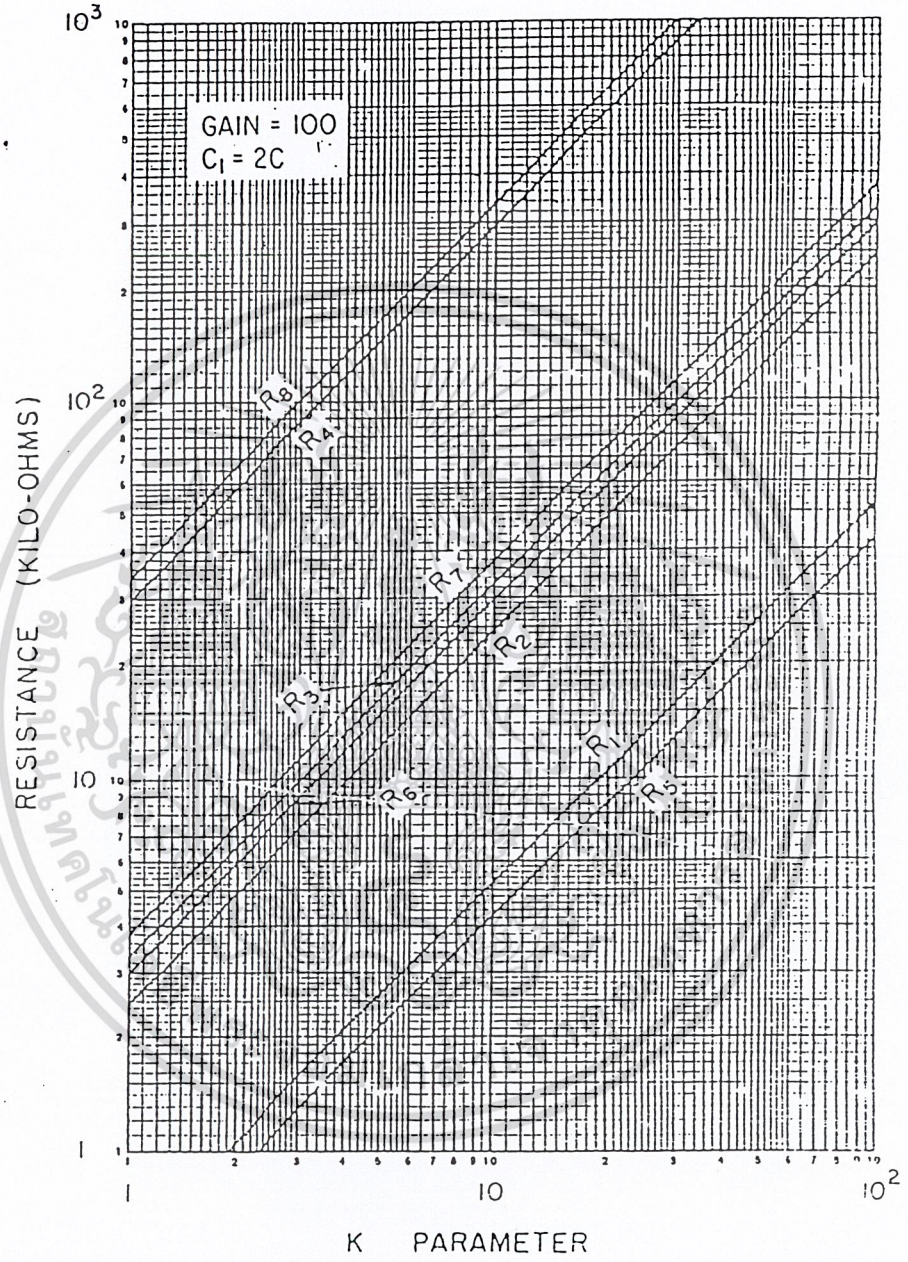
Fourth-order low-pass Butterworth filter.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Fourth-order low-pass Butterworth filter.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Fourth-order low-pass Butterworth filter.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FAIRCHILD
SEMICONDUCTOR™

October 1987
Revised March 2002

CD4013BC
Dual D-Type Flip-Flop

General Description

The CD4013B dual D-type flip-flop is a monolithic complementary MOS (CMOS) integrated circuit constructed with N- and P-channel enhancement mode transistors. Each flip-flop has independent data, set, reset, and clock inputs and "Q" and "$\overline{Q}$" outputs. These devices can be used for shift register applications, and by connecting "$\overline{Q}$" output to the data input, for counter and toggle applications. The logic level present at the "D" input is transferred to the Q output during the positive-going transition of the clock pulse. Setting or resetting is independent of the clock and is accomplished by a high level on the set or reset line respectively.

Features

- Wide supply voltage range: 3.0V to 15V
- High noise immunity: 0.45 V_{DD} (typ.)
- Low power TTL: fan out of 2 driving 74L
  compatibility: or 1 driving 74LS

Applications

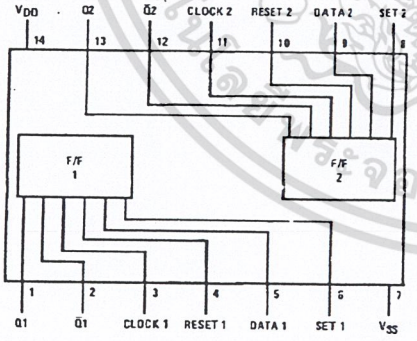
- Automotive
- Data terminals
- Instrumentation
- Medical electronics
- Alarm system
- Industrial electronics
- Remote metering
- Computers

Ordering Code:

Order Number	Package Number	Package Description
CD4013BCM	M14A	14-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-012, 0.150" Narrow
CD4013BCSJ	M14D	14-Lead Small Outline Package (SOP), EIAJ TYPE II, 5.3mm Wide
CD4013BCN	N14A	14-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300" Wide

Devices also available in Tape and Reel. Specify by appending the suffix letter "X" to the ordering code.

Connection Diagram



Top View

Truth Table

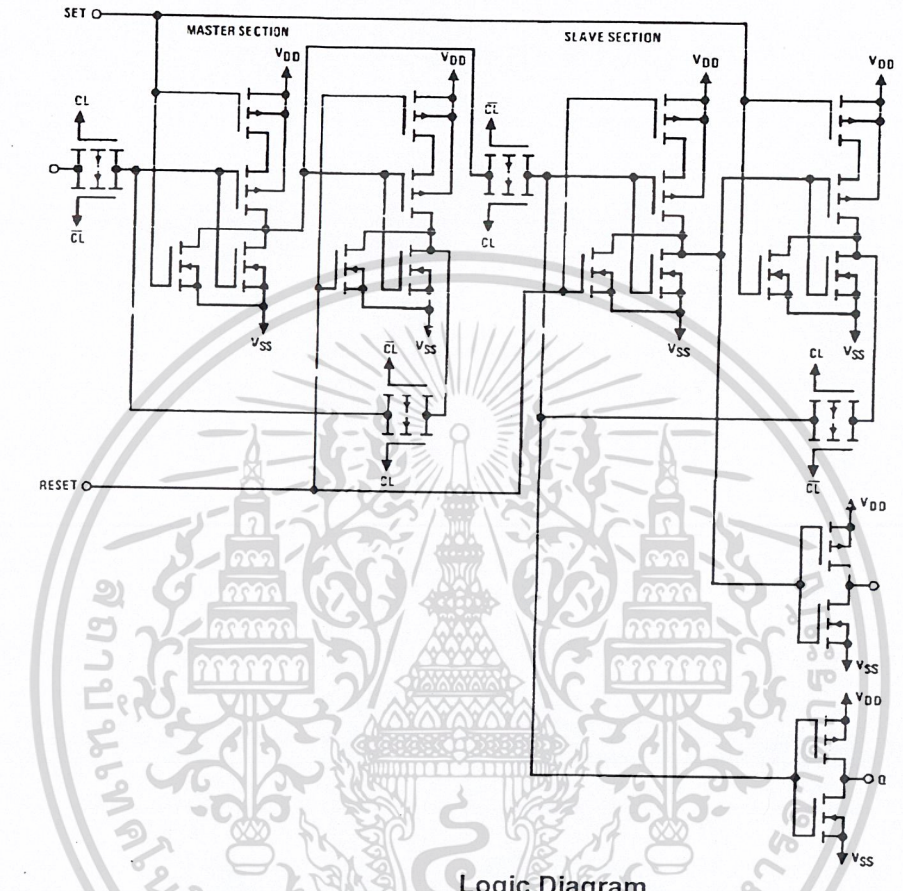
CL (Note 1)	D	R	S	Q	$\overline{Q}$
⌐	0	0	0	0	1
⌐	1	0	0	1	0
¬	x	0	0	Q	$\overline{Q}$
x	x	1	0	0	1
x	x	0	1	1	0
x	x	1	1	1	1

No Change
x = Don't Care Case
Note 1: Level Change

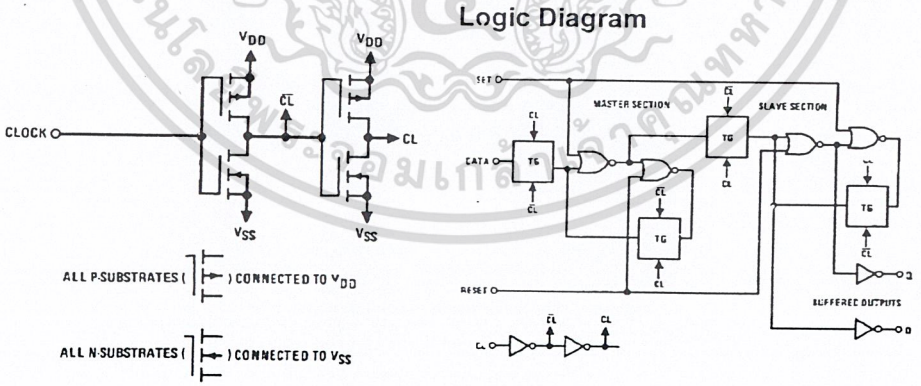
© 2002 Fairchild Semiconductor Corporation

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Schematic Diagrams



Logic Diagram



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings (Note 2)

(Note 3)

DC Supply Voltage (V_{CD})	−0.5 V_{DC} to +18 V_{DC}
Input Voltage (V_{IN})	−0.5 V_{DC} to V_{DD} +0.5 V_{DC}
Storage Temperature Range (T_S)	−65°C to +150°C
Power Dissipation (P_D)	
Dual-In-Line	700 mW
Small Outline	500 mW
Lead Temperature (T_L)	
(Soldering, 10 seconds)	260°C

Recommended Operating Conditions (Note 3)

DC Supply Voltage (V_{DD})	+3 V_{DC} to +15 V_{DC}
Input Voltage (V_{IN})	0 V_{DC} to V_{DD} V_{DC}
Operating Temperature Range (T_A)	−55°C to +125°C

Note 2: "Absolute Maximum Ratings" are those values beyond which the safety of the device cannot be guaranteed, they are not meant to imply that the devices should be operated at these limits. The tables of "Recommended Operating Conditions" and "Electrical Characteristics" provide conditions for actual device operation.

Note 3: V_{SS} = 0V unless otherwise specified.

DC Electrical Characteristics (Note 3)

Symbol	Parameter	Conditions	−55°C		+25°C			−125°C		Units
			Min	Max	Min	Typ	Max	Min	Max	
I_{DD}	Quiescent Device Current	V_{DD} = 5V, V_{IN} = V_{DD} or V_{SS}		1.0			1.0		30	µA
		V_{DD} = 10V, V_{IN} = V_{DD} or V_{SS}		2.0			2.0		60	
		V_{DD} = 15V, V_{IN} = V_{DD} or V_{SS}		4.0			4.0		120	
V_{OL}	LOW Level Output Voltage	$\|I_O\|$ < 1.0 µA								V
		V_{DD} = 5V		0.05			0.05		0.05	
		V_{DD} = 10V		0.05			0.05		0.05	
		V_{DD} = 15V		0.05			0.05		0.05	
V_{OH}	HIGH Level Output Voltage	$\|I_O\|$ < 1.0 µA								V
		V_{DD} = 5V	4.95		4.95			4.95		
		V_{DD} = 10V	9.95		9.95			9.95		
		V_{DD} = 15V	14.95		14.95			14.95		
V_{IL}	LOW Level Input Voltage	$\|I_O\|$ < 1.0 µA								V
		V_{DD} = 5V, V_O = 0.5V or 4.5V		1.5			1.5		1.5	
		V_{DD} = 10V, V_O = 1.0V or 9.0V		3.0			3.0		3.0	
		V_{DD} = 15V, V_O = 1.5V or 13.5V		4.0			4.0		4.0	
V_{IH}	HIGH Level Input Voltage	$\|I_O\|$ < 1.0 µA								V
		V_{DD} = 5V, V_O = 0.5V or 4.5V	3.5		3.5			3.5		
		V_{DD} = 10V, V_O = 1.0V or 9.0V	7.0		7.0			7.0		
		V_{DD} = 15V, V_O = 1.5V or 13.5V	11.0		11.0			11.0		
I_{OL}	LOW Level Output Current (Note 4)	V_{DD} = 5V, V_O = 0.4V	0.64		0.51	0.88		0.36		mA
		V_{DD} = 10V, V_O = 0.5V	1.6		1.3	2.25		0.9		
		V_{DD} = 15V, V_O = 1.5V	4.2		3.4	8.8		2.4		
I_{OH}	HIGH Level Output Current (Note 4)	V_{DD} = 5V, V_O = 4.6V	−0.64		−0.51	−0.88		−0.36		mA
		V_{DD} = 10V, V_O = 9.5V	−1.6		−1.3	−2.25		−0.9		
		V_{DD} = 15V, V_O = 13.5V	−4.2		−3.4	−8.8		−2.4		
I_{IN}	Input Current	V_{DD} = 15V, V_{IN} = 0V		−0.1		10^{-5}	−0.1		−1.0	µA
		V_{DD} = 15V, V_{IN} = 15V		0.1		10^{-5}	0.1		1.0	

Note 4: I_{OH} and I_{OL} are measured one output at a time.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

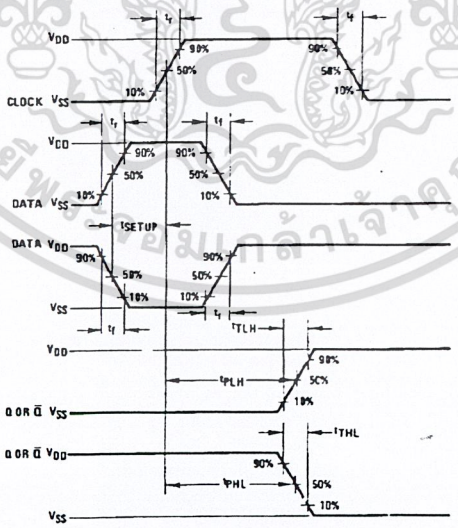
AC Electrical Characteristics (Note 5)

T_A = 25°C, C_L = 50 pF, R_L = 200k, unless otherwise noted

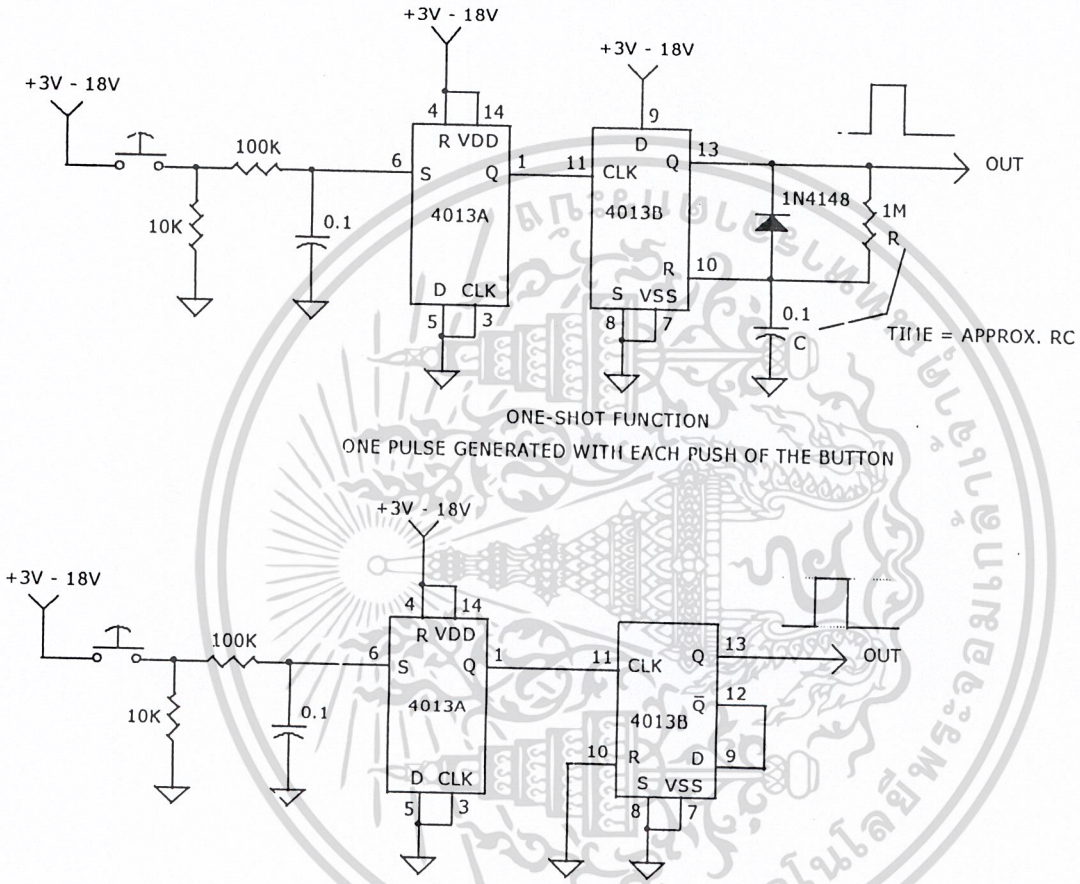
Symbol	Parameter	Conditions	Min	Typ	Max	Units
CLOCK OPERATION						
t_{PHL}, t_{PLH}	Propagation Delay Time	V_{DD} = 5V		200	350	
		V_{DD} = 10V		80	160	ns
		V_{DD} = 15V		65	120	
t_{THL}, t_{TLH}	Transition Time	V_{DD} = 5V		100	200	
		V_{DD} = 10V		50	100	ns
		V_{DD} = 15V		40	80	
t_{WL}, t_{WH}	Minimum Clock	V_{DD} = 5V		100	200	
	Pulse Width	V_{DD} = 10V		40	80	ns
		V_{DD} = 15V		32	65	
t_{RCL}, t_{FCL}	Maximum Clock Rise and	V_{DD} = 5V			15	
	Fall Time	V_{DD} = 10V			10	µs
		V_{DD} = 15V			5	
t_{SU}	Minimum Set-Up Time	V_{DD} = 5V		20	40	
		V_{DD} = 10V		15	30	ns
		V_{DD} = 15V		12	25	
f_{CL}	Maximum Clock	V_{DD} = 5V	2.5	5		
	Frequency	V_{DD} = 10V	6.2	12.5		MHz
		V_{DD} = 15V	7.6	15.5		
SET AND RESET OPERATION						
$t_{PHL(R)}$,	Propagation Delay Time	V_{DD} = 5V		150	300	
$t_{PLH(S)}$		V_{DD} = 10V		65	130	ns
		V_{DD} = 15V		45	90	
$t_{WH(R)}$,	Minimum Set and	V_{DD} = 5V		90	180	
$t_{WH(S)}$	Reset Pulse Width	V_{DD} = 10V		40	80	ns
		V_{DD} = 15V		25	50	
C_{IN}	Average Input Capacitance	Any Input		5	7.5	pF

Note 5: AC Parameters are guaranteed by DC correlated testing.

Switching Time Waveforms



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



DRAWN BY: DAVE JOHNSON

DAVID JOHNSON AND ASSOCIATES

D-FLIP/FLOP ONE-SHOT AND LATCHED CIRCUITS

CD4013 ONE-SHOT AND LATCH CIRCUITS

Size	Document Number	Rev
A	4013CIR.DSN	A

Date: Saturday, June 17, 2000 Sheet 1 of 1

FAIRCHILD SEMICONDUCTOR™

October 1987
Revised March 2002

CD4017BC • CD4022BC
Decade Counter/Divider with 10 Decoded Outputs • Divide-by-8 Counter/Divider with 8 Decoded Outputs

General Description

The CD4017BC is a 5-stage divide-by-10 Johnson counter with 10 decoded outputs and a carry out bit.

The CD4022BC is a 4-stage divide-by-8 Johnson counter with 8 decoded outputs and a carry-out bit.

These counters are cleared to their zero count by a logical "1" on their reset line. These counters are advanced on the positive edge of the clock signal when the clock enable signal is in the logical "0" state.

The configuration of the CD4017BC and CD4022BC permits medium speed operation and assures a hazard free counting sequence. The 10/8 decoded outputs are normally in the logical "0" state and go to the logical "1" state only at their respective time slot. Each decoded output remains high for 1 full clock cycle. The carry-out signal completes a full cycle for every 10/8 clock input cycles and is used as a ripple carry signal to any succeeding stages.

Features

- Wide supply voltage range: 3.0V to 15V
- High noise immunity: 0.45 V_{DD} (typ.)
- Low power TTL compatibility: Fan out of 2 driving 74L or 1 driving 74LS
- Medium speed operation: 5.0 MHz (typ.) with 10V V_{DD}
- Low power: 10 µW (typ.)
- Fully static operation

Applications

- Automotive
- Instrumentation
- Medical electronics
- Alarm systems
- Industrial electronics
- Remote metering

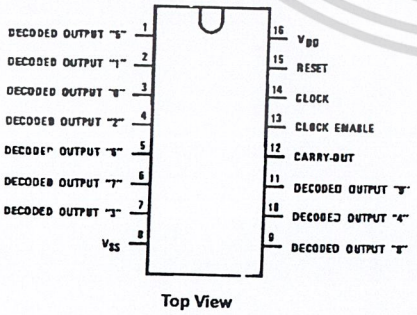
Ordering Code:

Order Number	Package Number	Package Description
CD4017BCM	M16A	16-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-012, 0.150" Narrow
CD4017BCSJ	M16D	16-Lead Small Outline Package (SOP), EIAJ TYPE II, 5.3mm Wide
CD4017BCN	N16E	16-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300" Wide
CD4022BCM	M16A	16-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-012, 0.150" Narrow
CD4022BCN	N16E	16-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300" Wide

Devices also available in Tape and Reel. Specify by appending the suffix letter "X" to the ordering code.

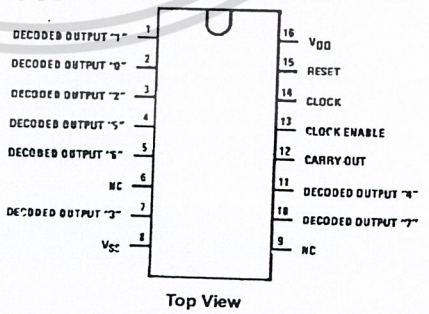
Connection Diagrams

Pin Assignments for DIP, SOIC and SCP
CD4017B



Top View

Pin Assignments for DIP and SOIC
CD4022B



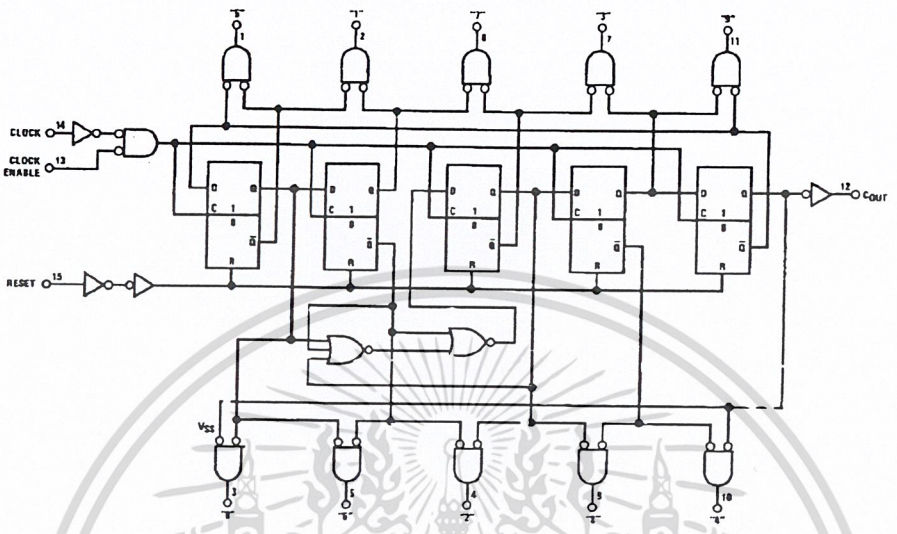
Top View

© 2002 Fairchild Semiconductor Corporation

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

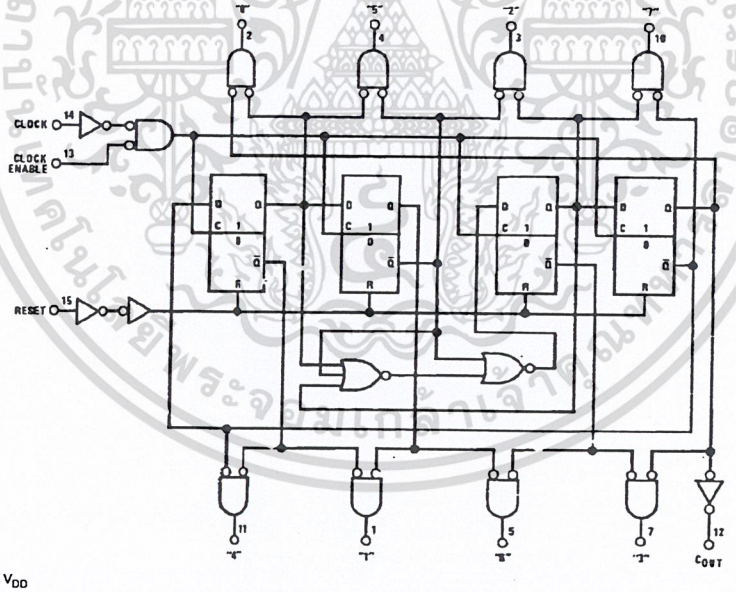
Logic Diagrams

CD4017B



Terminal No. 8 = GND
Terminal No. 16 = V_{DD}

CD4022B



Terminal No. 16 = V_{DD}
Terminal No. 8 = GND

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings (Note 1)

(Note 2)

DC Supply Voltage (V_{DD})	−0.5 V_{DC} to +18 V_{DC}
Input Voltage (V_{IN})	−0.5 V_{DC} to V_{DD} +0.5 V_{DC}
Storage Temperature (T_S)	−65°C to +150°C
Power Dissipation (P_D)	
Dual-In-Line	700 mW
Small Outline	500 mW
Lead Temperature (T_L)	
(Soldering, 10 seconds)	260°C

Recommended Operating Conditions (Note 2)

DC Supply Voltage (V_{DD})	+3 V_{DC} to +15 V_{DC}
Input Voltage (V_{IN})	0 to V_{DD} V_{DC}
Operating Temperature Range (T_A)	−55°C to +125°C

Note 1: "Absolute Maximum Ratings" are those values beyond which the safety of the device cannot be guaranteed, they are not meant to imply that the devices should be operated at these limits. The table of "Recommended Operating Conditions" and "Electrical Characteristics" provides conditions for actual device operation.

Note 2: V_{SS} = 0V unless otherwise specified.

DC Electrical Characteristics (Note 2)

Symbol	Parameter	Conditions	−55°C		+25°			+125°C		Units
			Min	Max	Min	Typ	Max	Min	Max	
I_{DD}	Quiescent Device Current	V_{DD} = 5V		5		0.3	5		150	µA
		V_{DD} = 10V		10		0.5	10		300	
		V_{DD} = 15V		20		1.0	20		600	
V_{OL}	LOW Level Output Voltage	$\|I_O\|$ < 1.0 µA								V
		V_{DD} = 5V		0.05		0	0.05		0.05	
		V_{DD} = 10V		0.05		0	0.05		0.05	
		V_{DD} = 15V		0.05		0	0.05		0.05	
V_{OH}	HIGH Level Output Voltage	$\|I_O\|$ < 1.0 µA								V
		V_{DD} = 5V	4.95		4.95	5		4.95		
		V_{DD} = 10V	9.95		9.95	10		9.95		
		V_{DD} = 15V	14.95		14.95	15		14.95		
V_{IL}	LOW Level Input Voltage	$\|I_O\|$ < 1.0 µA								V
		V_{DD} = 5V, V_O = 0.5V or 4.5V		1.5			1.5		1.5	
		V_{DD} = 10V, V_O = 1.0V or 9.0V		3.0			3.0		3.0	
		V_{DD} = 15V, V_O = 1.5V or 13.5V		4.0			4.0		4.0	
V_{IH}	HIGH Level Input Voltage	$\|I_O\|$ < 1.0 µA								V
		V_{DD} = 5V, V_O = 0.5V or 4.5V	3.5		3.5			3.5		
		V_{DD} = 10V, V_O = 1.0V or 9.0V	7.0		7.0			7.0		
		V_{DD} = 15V, V_O = 1.5V or 13.5V	11.0		11.0			11.0		
I_{OL}	LOW Level Output Current (Note 3)	V_{DD} = 5V, V_O = 0.4V	0.64		0.51	0.88		0.36		mA
		V_{DD} = 10V, V_O = 0.5V	1.6		1.3	2.25		0.9		
		V_{DD} = 15V, V_O = 1.5V	4.2		3.4	8.8		2.4		
I_{OH}	HIGH Level Output Current (Note 3)	V_{DD} = 5V, V_O = 4.6V	−0.25		−0.2	−0.36		−0.14		mA
		V_{DD} = 10V, V_O = 9.5V	−0.62		−0.5	−0.9		−0.35		
		V_{DD} = 15V, V_O = 13.5V	−1.8		−1.5	−3.5		−1.1		
I_{IN}	Input Current	V_{DD} = 15V, V_{IN} = 0V		−0.1		-10^{-5}	−0.1		−1.0	µA
		V_{DD} = 15V, V_{IN} = 15V		0.1		10^{-5}	0.1		1.0	

Note 3: I_{OL} and I_{OH} are tested one output at a time.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC Electrical Characteristics (Note 4)

T_A = 25°C, C_L = 50 pF, R_L = 200k, t_{rCL} and t_{fCL} = 20 ns, unless otherwise specified

Symbol	Parameter	Conditions		Min	Typ	Max	Units
CLOCK OPERATION							
t_{PHL}, t_{PLH}	Propagation Delay Time Carry Out Line	V_{DD} = 5V			415	800	ns
		V_{DD} = 10V			160	320	
		V_{DD} = 15V			130	250	
	Carry Out Line	V_{DD} = 5V	C_L = 15 pF		240	480	ns
		V_{DD} = 10V			85	170	
		V_{DD} = 15V			70	140	
	Decode Out Lines	V_{DD} = 5V			500	1000	ns
		V_{DD} = 10V			200	400	
		V_{DD} = 15V			160	320	
t_{TLH}, t_{THL}	Transition Time Carry Out and Decode Out Lines						
	t_{TLH}	V_{DD} = 5V			200	360	ns
		V_{DD} = 10V			100	180	
		V_{DD} = 15V			80	130	
	t_{THL}	V_{DD} = 5V			100	200	ns
		V_{DD} = 10V			50	100	
		V_{DD} = 15V			40	80	
f_{CL}	Maximum Clock Frequency	V_{DD} = 5V	Measured with	1.0	2		MHz
		V_{DD} = 10V	Respect to Carry	2.5	5		
		V_{DD} = 15V	Output Line	3.0	6		
t_{WL}, t_{WH}	Minimum Clock Pulse Width	V_{DD} = 5V			125	250	ns
		V_{DD} = 10V			45	90	
		V_{DD} = 15V			35	70	
t_{rCL}, t_{fCL}	Clock Rise and Fall Time	V_{DD} = 5V				20	µs
		V_{DD} = 10V				15	
		V_{DD} = 15V				5	
t_{SU}	Minimum Clock Inhibit Data Setup Time	V_{DD} = 5V			120	240	ns
		V_{DD} = 10V			40	80	
		V_{DD} = 15V			32	65	
C_{IN}	Average Input Capacitance				5	7.5	pF

Note 4: AC Parameters are guaranteed by DC correlated testing.

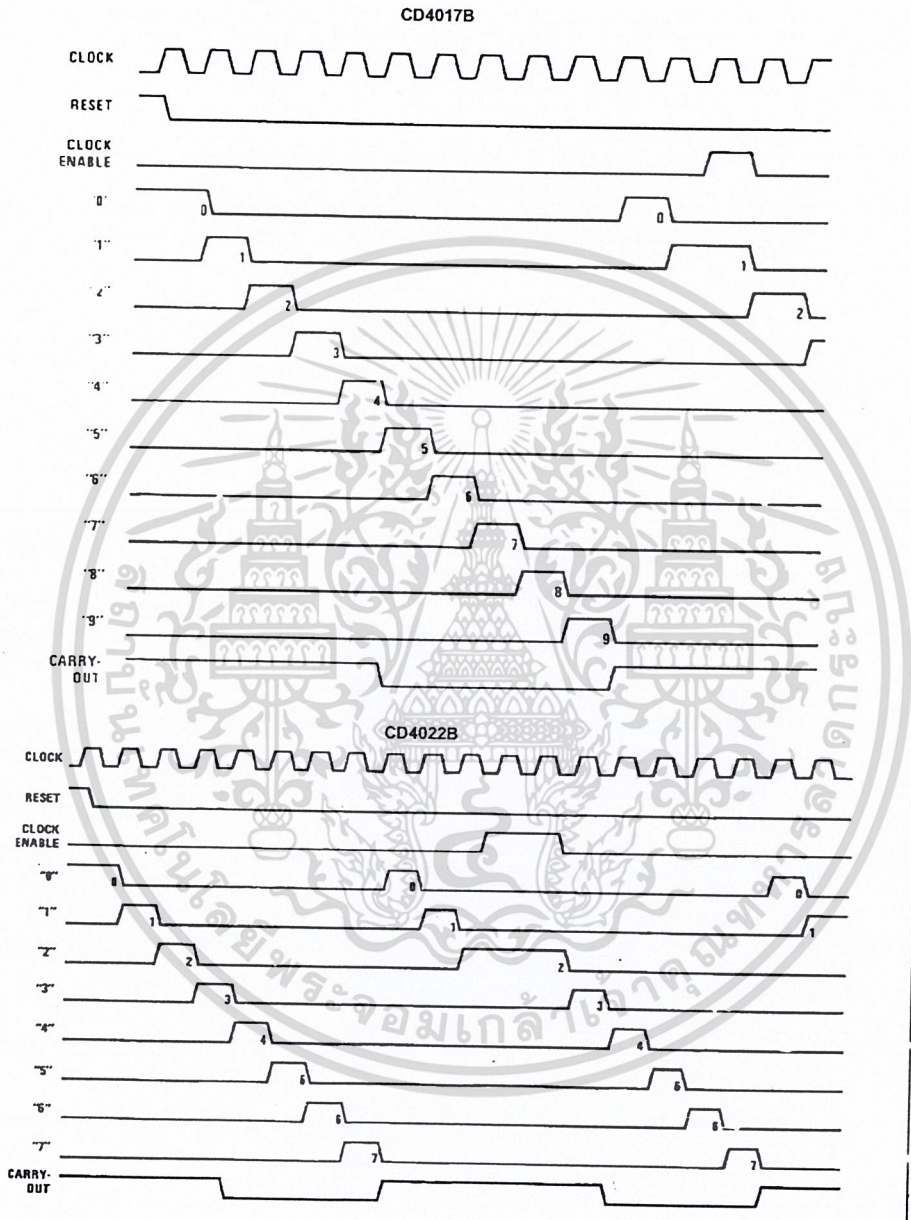
AC Electrical Characteristics (Note 4)

T_A = 25°C, C_L = 50 pF, R_L = 200k, t_{rCL} and t_{fCL} = 20 ns, unless otherwise specified

Symbol	Parameter	Conditions		Min	Typ	Max	Units
RESET OPERATION							
t_{PHL}, t_{PLH}	Propagation Delay Time Carry Out Line	V_{DD} = 5V			415	800	ns
		V_{DD} = 10V			160	320	
		V_{DD} = 15V			130	250	
	Carry Out Line	V_{DD} = 5V	C_L = 15 pF		240	480	ns
		V_{DD} = 10V			85	170	
		V_{DD} = 15V			70	140	
	Decode Out Lines	V_{DD} = 5V			500	1000	ns
		V_{DD} = 10V			200	400	
		V_{DD} = 15V			160	320	
t_W	Minimum Reset Pulse Width	V_{DD} = 5V			200	400	ns
		V_{DD} = 10V			70	140	
		V_{DD} = 15V			55	110	
t_{REM}	Minimum Reset Removal Time	V_{DD} = 5V			75	150	ns
		V_{DD} = 10V			30	60	
		V_{DD} = 15V			25	50	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Timing Diagrams



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FAIRCHILD
SEMICONDUCTOR™

November 1983
Revised August 2000

CD4066BC
Quad Bilateral Switch

General Description

The CD4066BC is a quad bilateral switch intended for the transmission or multiplexing of analog or digital signals. It is pin-for-pin compatible with CD4016BC, but has a much lower "ON" resistance, and "ON" resistance is relatively constant over the input-signal range.

Features

Wide supply voltage range 3V to 15V
High noise immunity 0.45 V_{DD} (typ.)
Wide range of digital and analog switching 7.5 V_{PEAK}
"ON" resistance for 15V operation 80
Matched "ON" resistance over 15V signal input R_{ON} 5 (typ.)
"ON" resistance flat over peak-to-peak signal range
High "ON"/"OFF" output voltage ratio @ f_{is} 10 kHz, R_L 10 k 65 dB (typ.)
High degree linearity 0.1% distortion (typ.)
High degree linearity @ f_{is} 1 kHz, V_{is} $5V_{p-p}$,
High degree linearity V_{DD} V_{SS} 10V, R_L 10 k
Extremely low "OFF" switch leakage: @ V_{DD} V_{SS} 10V, T_A 25 C 0.1 nA (typ.)
Extremely high control input impedance 10^{12} (typ.)
Low crosstalk between switches @ f_{is} 0.9 MHz, R_L 1 k 50 dB (typ.)
Frequency response, switch "ON" 40 MHz (typ.)

Applications

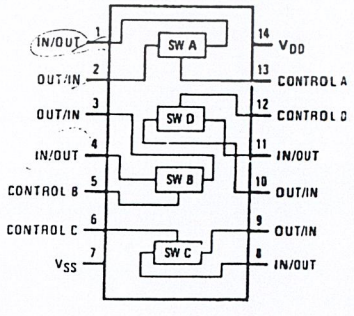
- Analog signal switching/multiplexing
  - Signal gating
  - Squelch control
  - Chopper
  - Modulator/Demodulator
  - Commutating switch
- Digital signal switching/multiplexing
- CMOS logic implementation
- Analog-to-digital/digital-to-analog conversion
- Digital control of frequency, impedance, phase, and analog-signal-gain

Ordering Code:

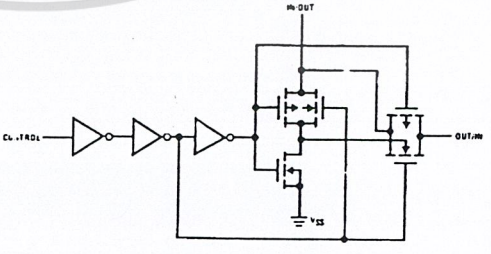
Order Number	Package Number	Package Description
CD4066BCM	M14A	14-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-120, 0.150 Narrow
CD4066BCSJ	M14D	14-Lead Small Outline Package (SOP), EIAJ TYPE II, 5.3mm Wide
CD4066BCN	N14A	14-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300 Wide

Devices also available in Tape and Reel. Specify by appending suffix letter "X" to the ordering code.

Connection Diagram



Schematic Diagram



© 2000 Fairchild Semiconductor Corporation

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings

(Note 1)
(Note 2)

Supply Voltage (V_{DD})	0.5V to 18V
Input Voltage (V_{IN})	0.5V to V_{CC} 0.5V
Storage Temperature Range (T_S)	65 C to 150 C
Power Dissipation (P_D)	
Dual-In-Line	700 mW
Small Outline	500 mW
Lead Temperature (T_L)	
(Soldering, 10 seconds)	300 C

Recommended Operating Conditions (Note 2)

Supply Voltage (V_{DD})	3V to 15V
Input Voltage (V_{IN})	0V to V_{DD}
Operating Temperature Range (T_A)	40 C to 85 C

Note 1: "Absolute Maximum Ratings" are those values beyond which the safety of the device cannot be guaranteed. They are not meant to imply that the devices should be operated at these limits. The tables of "Recommended Operating Conditions" and "Electrical Characteristics" provide conditions for actual device operation.

Note 2: V_{SS} 0V unless otherwise specified.

DC Electrical Characteristics (Note 2)

Symbol	Parameter	Conditions	40 C		25 C			85 C		Units
			Min	Max	Min	Typ	Max	Min	Max	
I_{DD}	Quiescent Device Current	V_{DD} 5V		1.0		0.01	1.0		7.5	A
		V_{DD} 10V		2.0		0.01	2.0		15	A
		V_{DD} 15V		4.0		0.01	4.0		30	A
SIGNAL INPUTS AND OUTPUTS										
R_{ON}	"ON" Resistance	R_L 10 k to (V_{DD} V_{SS}/2)								
		V_C V_{DD}, V_{SS} to V_{DD}								
		V_{DD} 5V		850		270	1050		1200	
		V_{DD} 10V		330		120	400		520	
		V_{DD} 15V		210		80	240		300	
R_{ON}	"ON" Resistance Between Any 2 of 4 Switches	R_L 10 k to (V_{DD} V_{SS}/2)								
		V_{CC} V_{DD}, V_{IS} V_{SS} to V_{DD}								
		V_{DD} 10V				10				
		V_{DD} 15V				5				
I_{IS}	Input or Output Leakage Switch "OFF"	V_C 0		50		0.1	50		200	nA
CONTROL INPUTS										
V_{ILC}	LOW Level Input Voltage	V_{IS} V_{SS} and V_{DD}								
		V_{OS} V_{DD} and V_{SS}								
		I_{IS} 10 A								
		V_{DD} 5V		1.5		2.25	1.5		1.5	V
		V_{DD} 10V		3.0		4.5	3.0		3.0	V
		V_{DD} 15V		4.0		6.75	4.0		4.0	V
V_{IHC}	HIGH Level Input Voltage	V_{DD} 5V	3.5		3.5	2.75		3.5		V
		V_{DD} 10V (Note 7)	7.0		7.0	5.5		7.0		V
		V_{DD} 15V	11.0		11.0	8.25		11.0		V
I_{IN}	Input Current	V_{DD} V_{SS} 15V		0.3		10^{-5}	0.3		1.0	A
		V_{DD} V_{IS} V_{SS}								
		V_{DD} V_C V_{SS}								

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC Electrical Characteristics (Note 3)

T_A 25 C, t_r t_f 20 ns and V_{SS} 0V unless otherwise noted

Symbol	Parameter	Conditions	Min	Typ	Max	Units
t_{PHL}, t_{PLH}	Propagation Delay Time Signal Input to Signal Output	V_C V_{DD}, C_L 50 pF, (Figure 1)				
		R_L 200k				
		V_{DD} 5V		25	55	ns
		V_{DD} 10V		15	35	ns
		V_{DD} 15V		10	25	ns
t_{PZH}, t_{PZL}	Propagation Delay Time	R_L 1.0 k , C_L 50 pF, (Figure 2, Figure 3)				
	Control Input to Signal	V_{DD} 5V			125	ns
	Output High Impedance to	V_{DD} 10V			60	ns
	Logical Level	V_{DD} 15V			50	ns
t_{PHZ}, t_{PLZ}	Propagation Delay Time	R_L 1.0 k , C_L 50 pF, (Figure 2, Figure 3)				
	Control Input to Signal	V_{DD} 5V			125	ns
	Output Logical Level to	V_{DD} 10V			60	ns
	High Impedance	V_{DD} 15V			50	ns
	Sine Wave Distortion	V_C V_{DD} 5V, V_{SS} 5V		0.1		%
		R_L 10 k , V_{IS} $5V_{p-p}$, f 1 kHz, (Figure 4)				
	Frequency Response-Switch	V_C V_{DD} 5V, V_{SS} 5V,		40		MHz
	"ON" (Frequency at 3 dB)	R_L 1 k , V_{IS} $5V_{p-p}$,				
		$20 \log_{10} V_{OS}/V_{OS}$ (1 kHz) dB,				
		(Figure 4)				
	Feedthrough — Switch "OFF"	V_{DD} 5.0V, V_{CC} V_{SS} 5.0V,		1.25		
	(Frequency at 50 dB)	R_L 1 k , V_{IS} $5.0V_{p-p}$, $20 \log_{10}$,				
		V_{OS}/V_{IS} 50 dB, (Figure 4)				
	Crosstalk Between Any Two	V_{DD} $V_{C(A)}$ 5.0V; V_{SS} $V_{C(B)}$ 5.0V,		0.9		MHz
	Switches (Frequency at 50 dB)	R_L 1 k , $V_{IS(A)}$ $5.0\ V_{p-p}$, $20 \log_{10}$,				
		$V_{OS(B)}/V_{IS(A)}$ 50 dB (Figure 5)				
	Crosstalk; Control Input to	V_{DD} 10V, R_L 10 k , R_{IN} 1.0 k ,		150		mV_{p-p}
	Signal Output	V_{CC} 10V Square Wave, C_L 50 pF				
		(Figure 6)				
	Maximum Control Input	R_L 1.0 k , C_L 50 pF, (Figure 7)				
		$V_{OS(I)}$ ½ V_{OS}(1.0 kHz)				
		V_{DD} 5.0V		6.0		MHz
		V_{DD} 10V		8.0		MHz
		V_{DD} 15V		8.5		MHz
C_{IS}	Signal Input Capacitance			8.0		pF
C_{OS}	Signal Output Capacitance	V_{DD} 10V		8.0		pF
C_{IOS}	Feedthrough Capacitance	V_C 0V		0.5		pF
C_{IN}	Control Input Capacitance			5.0	7.5	pF

Note 3: AC Parameters are guaranteed by DC correlated testing.

Note 4: These devices should not be connected to circuits with the power "ON".

Note 5: In all cases, there is approximately 5 pF of probe and jig capacitance in the output; however, this capacitance is included in C_L wherever it is specified.

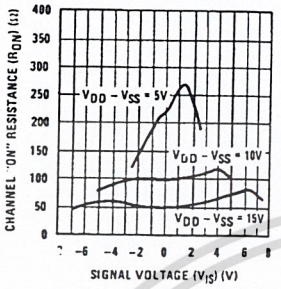
Note 6: V_{IS} is the voltage at the in/out pin and V_{OS} is the voltage at the out/in pin. V_C is the voltage at the control input.

Note 7: Conditions for V_{IHC}: a) V_{IS} V_{DD}, I_{OS} standard B series I_{OH} b) V_{IS} 0V, I_{OL} standard B series I_{OL}.

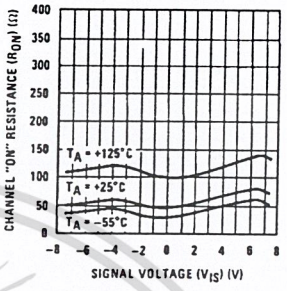
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics

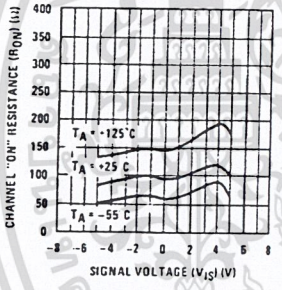
"ON" Resistance vs Signal Voltage for T_A 25 C



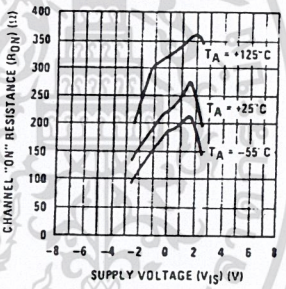
"ON" Resistance as a Function of Temperature for V_{DD} V_{SS} 15V



"ON" Resistance as a Function of Temperature for V_{DD} V_{SS} 10V



"ON" Resistance as a Function of Temperature for V_{DD} V_{SS} 5V



Special Considerations

In applications where separate power sources are used to drive V_{DD} and the signal input, the V_{DD} current capability should exceed V_{DD}/R_L (R_L effective external load of the 4 CD4066BC bilateral switches). This provision avoids any permanent current flow or clamp action of the V_{DD} supply when power is applied or removed from CD4066BC.

In certain applications, the external load-resistor current may include both V_{DD} and signal-line components. To avoid drawing V_{DD} current when switch current flows into terminals 1, 4, 8 or 11, the voltage drop across the bidirectional switch must not exceed 0.5V at T_A 25 C, or 0.4V at T_A 25 C (calculated from R_{ON} values shown).

No V_{DD} current will flow through R_L if the switch current flows into terminals 2, 3, 9 or 10.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC Test Circuits and Switching Time Waveforms

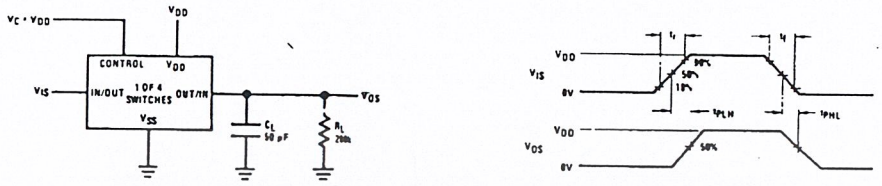


FIGURE 1. t_{PHL}, t_{PLH} Propagation Delay Time Signal Input to Signal Output

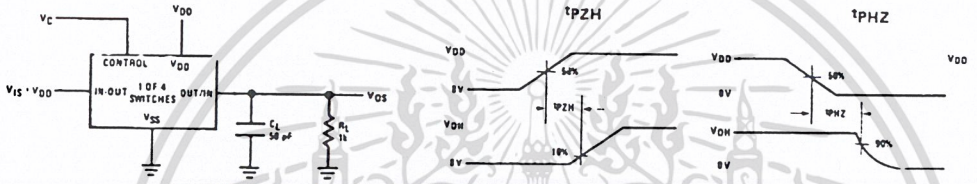


FIGURE 2. t_{PZH}, t_{PHZ} Propagation Delay Time Control to Signal Output

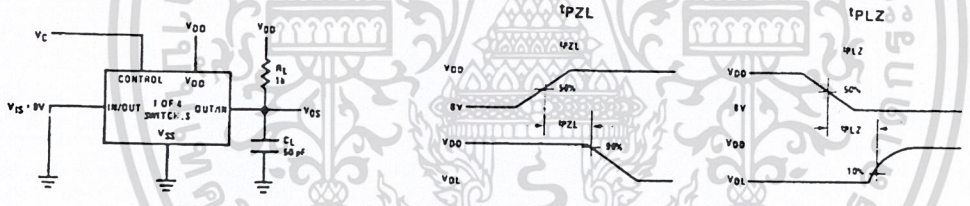
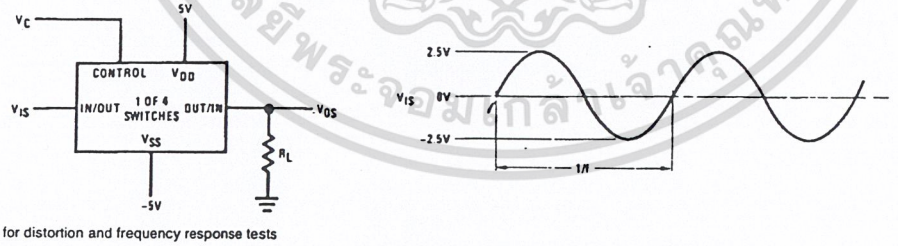


FIGURE 3. t_{PZL}, t_{PLZ} Propagation Delay Time Control to Signal Output



V_C V_{DD} for distortion and frequency response tests

V_C V_{SS} for feedthrough test

FIGURE 4. Sine Wave Distortion, Frequency Response and Feedthrough

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC Test Circuits and Switching Time Waveforms (Continued)

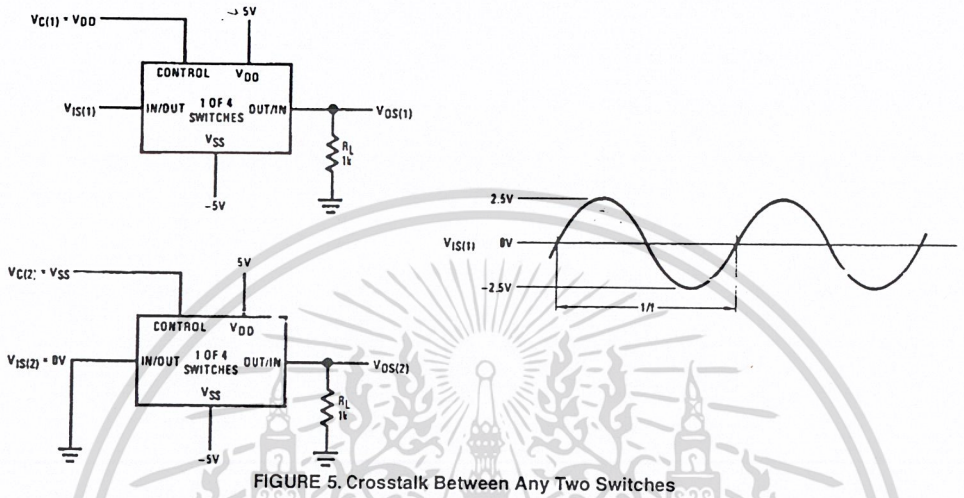


FIGURE 5. Crosstalk Between Any Two Switches

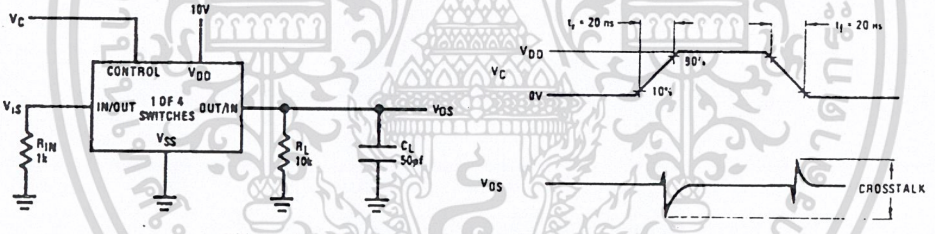


FIGURE 6. Crosstalk: Control Input to Signal Output

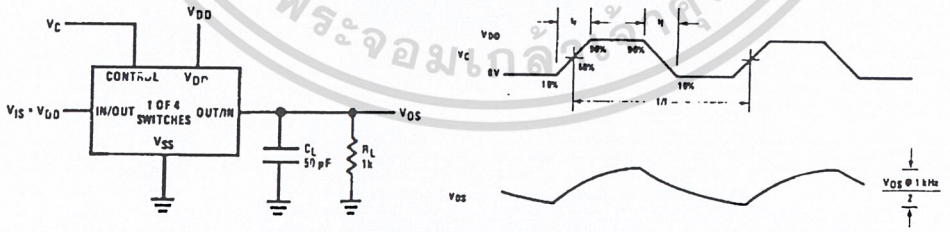


FIGURE 7. Maximum Control Input Frequency

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

August 2000

LM118/LM218/LM318 Operational Amplifiers

General Description

The LM118 series are precision high speed operational amplifiers designed for applications requiring wide bandwidth and high slew rate. They feature a factor of ten increase in speed over general purpose devices without sacrificing DC performance.

The LM118 series has internal unity gain frequency compensation. This considerably simplifies its application since no external components are necessary for operation. However, unlike most internally compensated amplifiers, external frequency compensation may be added for optimum performance. For inverting applications, feedforward compensation will boost the slew rate to over 150V/µs and almost double the bandwidth. Overcompensation can be used with the amplifier for greater stability when maximum bandwidth is not needed. Further, a single capacitor can be added to reduce the 0.1% settling time to under 1 µs.

The high speed and fast settling time of these op amps make them useful in A/D converters, oscillators, active filters, sample and hold circuits, or general purpose amplifiers. These devices are easy to apply and offer an order of magnitude better AC performance than industry standards such as the LM709.

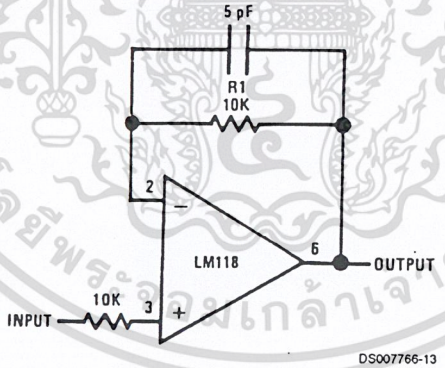
The LM218 is identical to the LM118 except that the LM218 has its performance specified over a −25°C to +85°C temperature range. The LM318 is specified from 0°C to +70°C.

Features

- 15 MHz small signal bandwidth
- Guaranteed 50V/µs slew rate
- Maximum bias current of 250 nA
- Operates from supplies of ±5V to ±20V
- Internal frequency compensation
- Input and output overload protected
- Pin compatible with general purpose op amps

Fast Voltage Follower

(Note 1)



Note 1: Do not hard-wire as voltage follower (R1 ≥ 5 kΩ)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

November 1994

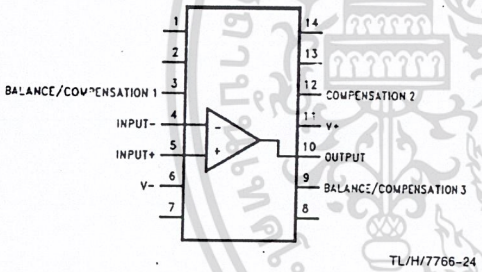
The LM118 series are precision high speed operational amplifiers designed for applications requiring wide bandwidth and high slew rate. They feature a factor of ten increase in speed over general purpose devices without sacrificing DC performance.

The LM118 series has internal unity gain frequency compensation. This considerably simplifies its application since no external components are necessary for operation. However, unlike most internally compensated amplifiers, external frequency compensation may be added for optimum performance. For inverting applications, feedforward compensation will boost the slew rate to over 150V/μs and almost double the bandwidth. Overcompensation can be used with the amplifier for greater stability when maximum bandwidth is not needed. Further, a single capacitor can be added to reduce the 0.1% settling time to under 1 μs.

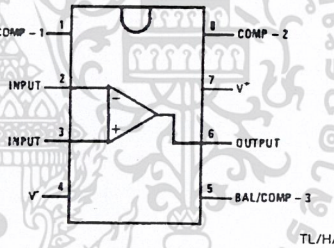
The high speed and fast settling time of these op amps make them useful in A/D converters, oscillators, active filters, sample and hold circuits, or general purpose amplifiers. These devices are easy to apply and offer an order of magnitude better AC performance than industry standards such as the LM709.

The LM218 is identical to the LM118 except that the LM218 has its performance specified over a −25 C to +85 C temperature range. The LM318 is specified from 0 C to +70 C.

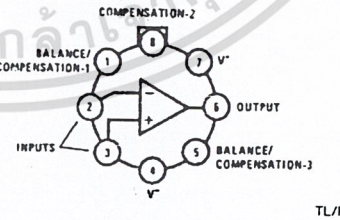
- 15 MHz small signal bandwidth
- Guaranteed 50V/μs slew rate
- Maximum bias current of 250 nA
- Operates from supplies of ±5V to ±20V
- Internal frequency compensation
- Input and output overload protected
- Pin compatible with general purpose op amps



TL/H/7766-24



TL/H/7766-3



TL/H/7766-2

Pin connections shown on schematic diagram and typical applications are for TO-5 package.

Available per JM38510/10107.

©1995 National Semiconductor Corporation TL/H/7766

RRD-B30M115/Printed in U. S. A.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Supply Voltage	±20V
Power Dissipation (Note 1)	500 mW
Differential Input Current (Note 2)	±10 mA
Input Voltage (Note 3)	±15V
Output Short-Circuit Duration	Continuous

Operating Temperature Range

LM118	−55 C to +125 C
LM218	−25 C to +85 C
LM318	0 C to +70 C
Storage Temperature Range	−65 C to +150 C
Lead Temperature (Soldering, 10 sec.)	
Hermetic Package	300 C
Plastic Package	260 C

Soldering Information

Dual-In-Line Package	
Soldering (10 sec.)	260 C
Small Outline Package	
Vapor Phase (60 sec.)	215 C
Infrared (15 sec.)	220 C

See AN-450 "Surface Mounting Methods and Their Effect on Product Reliability" for other methods of soldering surface mount devices.

ESD Tolerance (Note 7) 2000V

(Note 4)

Input Offset Voltage	T_A = 25 C		2	4		4	10	mV
Input Offset Current	T_A = 25 C		6	50		30	200	nA
Input Bias Current	T_A = 25 C		120	250		150	500	nA
Input Resistance	T_A = 25 C	1	3		0.5	3		MΩ
Supply Current	T_A = 25 C		5	8		5	10	mA
Large Signal Voltage Gain	T_A = 25 C, V_S = ±15V V_{OUT} = ±10V, $R_L \geq 2k\Omega$	50	200		25	200		V/mV
Slew Rate	T_A = 25 C, V_S = ±15V, A_V = 1 (Note 5)	50	70		50	70		V/μs
Small Signal Bandwidth	T_A = 25 C, V_S = ±15V		15			15		MHz
Input Offset Voltage				6			15	mV
Input Offset Current				100			300	nA
Input Bias Current				500			750	nA
Supply Current	T_A = 125 C		4.5	7				mA
Large Signal Voltage Gain	V_S = ±15V, V_{OUT} = ±10V $R_L \geq 2k\Omega$	25			20			V/mV
Output Voltage Swing	V_S = ±15V, R_L = 2kΩ	±12	±13		±12	±13		V
Input Voltage Range	V_S = ±15V	±11.5			±11.5			V
Common-Mode Rejection Ratio		80	100		70	100		dB
Supply Voltage Rejection Ratio		70	80		65	80		dB

The maximum junction temperature of the LM118 is 150 C, the LM218 is 110 C, and the LM318 is 110 C. For operating at elevated temperatures, devices in the H08 package must be derated based on a thermal resistance of 160 C/W, junction to ambient, or 20 C/W, junction to case. The thermal resistance of the dual-in-line package is 100 C/W, junction to ambient.

The inputs are shunted with back-to-back diodes for overvoltage protection. Therefore, excessive current will flow if a differential input voltage in excess of 1V is applied between the inputs unless some limiting resistance is used.

For supply voltages less than ±15V, the absolute maximum input voltage is equal to the supply voltage.

These specifications apply for ±5V ≤ V_S ≤ ±20V and −55 C ≤ T_A ≤ +125 C (LM118), −25 C ≤ T_A ≤ +85 C (LM218), and 0 C ≤ T_A +70 C (LM318). Also, power supplies must be bypassed with 0.1 μF disc capacitors.

Slew rate is tested with V_S = ±15V. The LM118 is in a unity-gain non-inverting configuration. V_{IN} is stepped from −7.5V to +7.5V and vice versa. The slew rates between −5.0V and +5.0V and vice versa are tested and guaranteed to exceed 50V/μs.

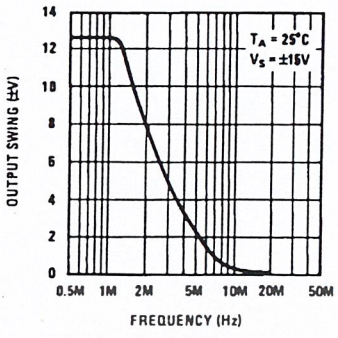
Refer to RETS118X for LM118H and LM118J military specifications.

Human body model, 1.5 kΩ in series with 100 pF.

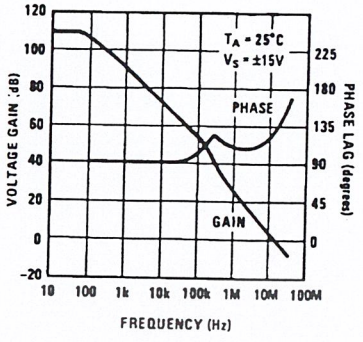
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics

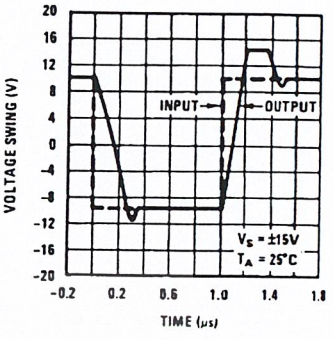
Large Signal Frequency Response



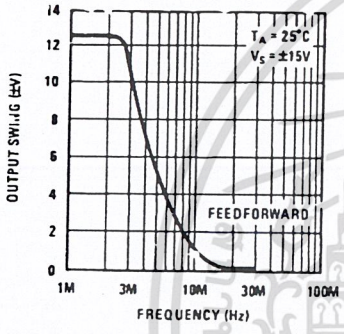
Open Loop Frequency Response



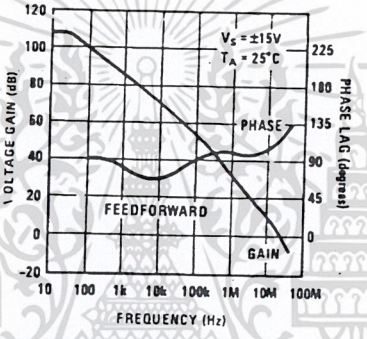
Voltage Follower Pulse Response



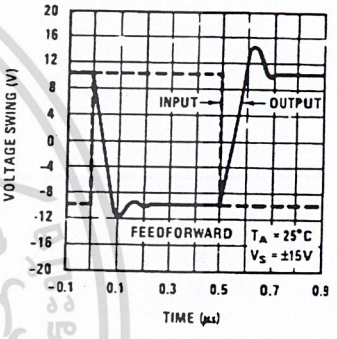
Large Signal Frequency Response



Open Loop Frequency Response

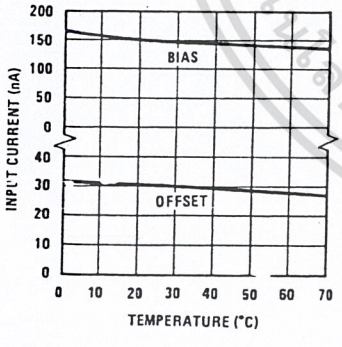


Inverter Pulse Response

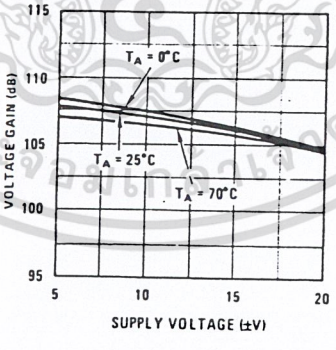


Typical Performance Characteristics

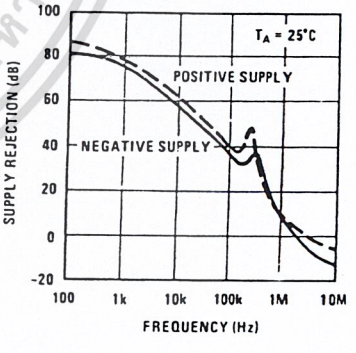
Input Current



Voltage Gain



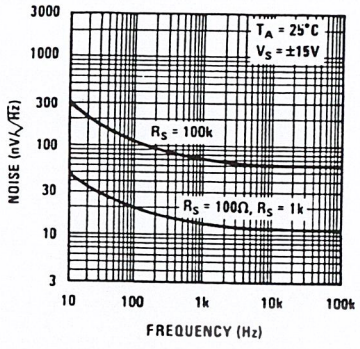
Power Supply Rejection



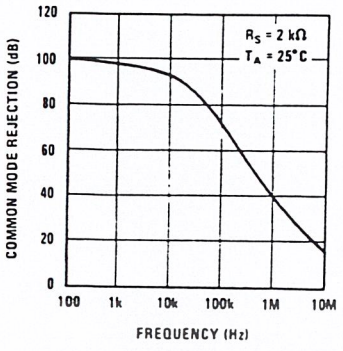
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics

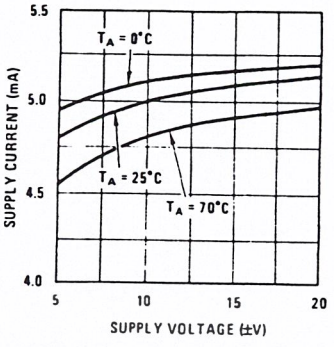
Input Noise Voltage



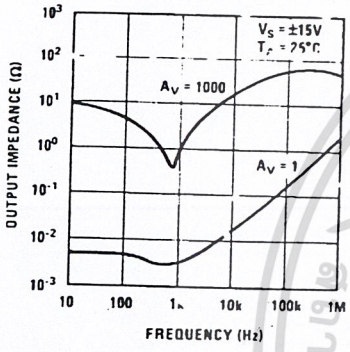
Common Mode Rejection



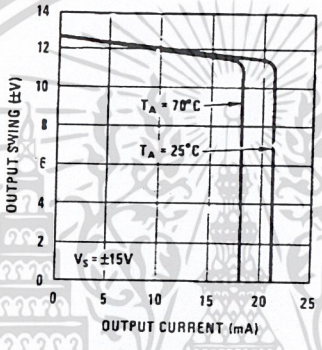
Supply Current



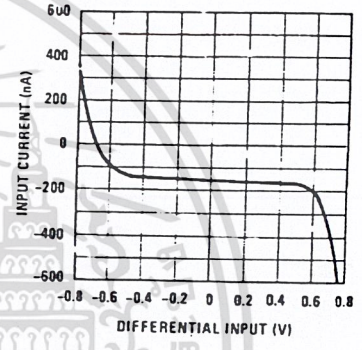
Closed Loop Output Impedance



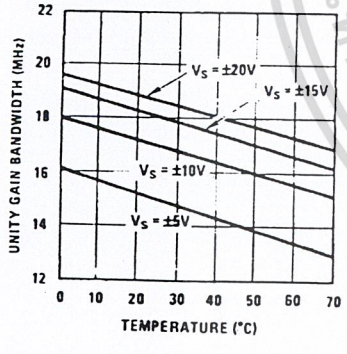
Current Limiting



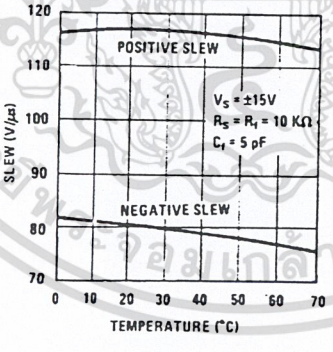
Input Current



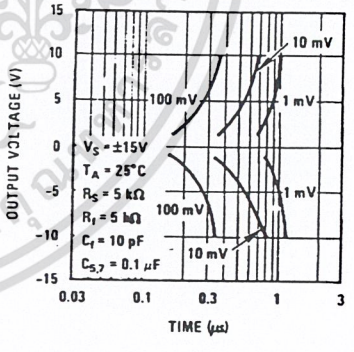
Unity Gain Bandwidth



Voltage Follower Slew Rate



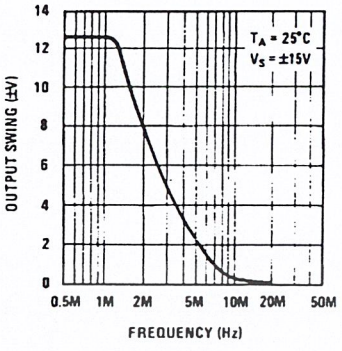
Inverter Settling Time



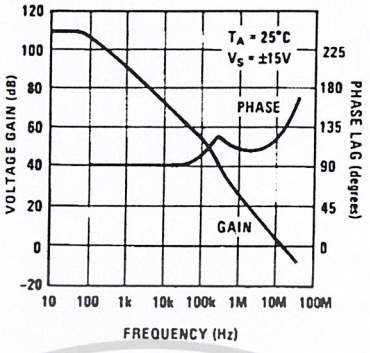
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics

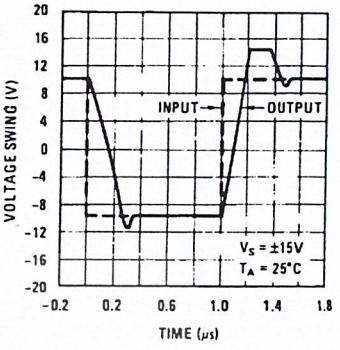
Large Signal Frequency Response



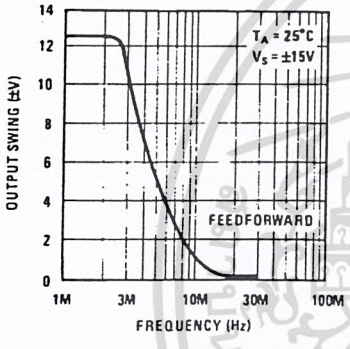
Open Loop Frequency Response



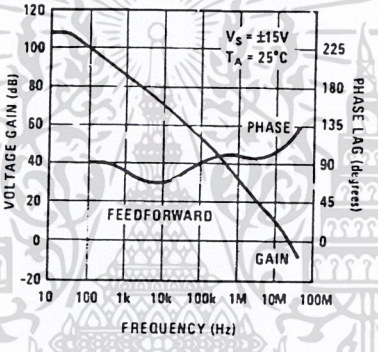
Voltage Follower Pulse Response



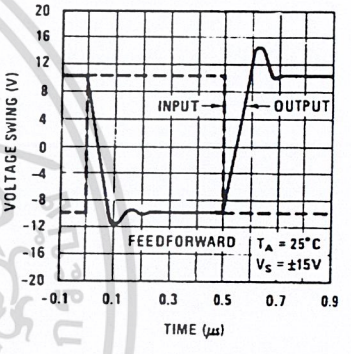
Large Signal Frequency Response



Open Loop Frequency Response

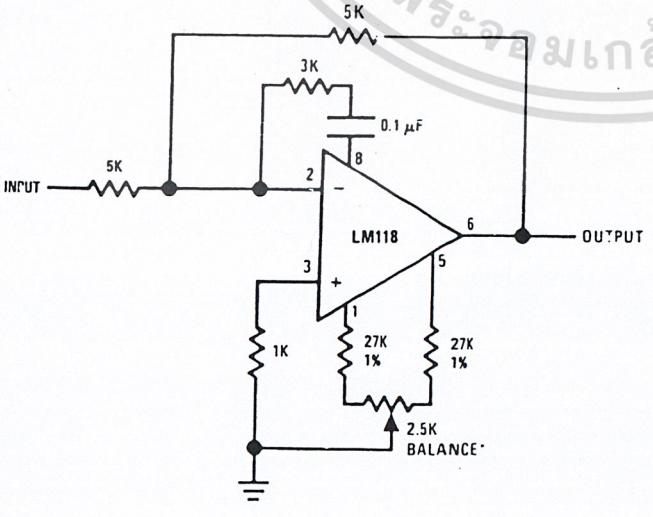


Inverter Pulse Response

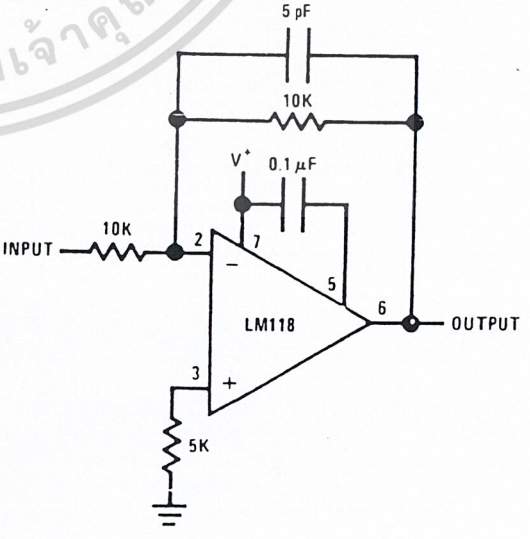


Auxiliary Circuits

Feedforward Compensation for Greater Inverting Slew Rate



Compensation for Minimum Settling Time



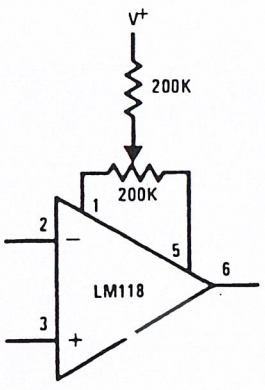
Note 9:

Note 10:

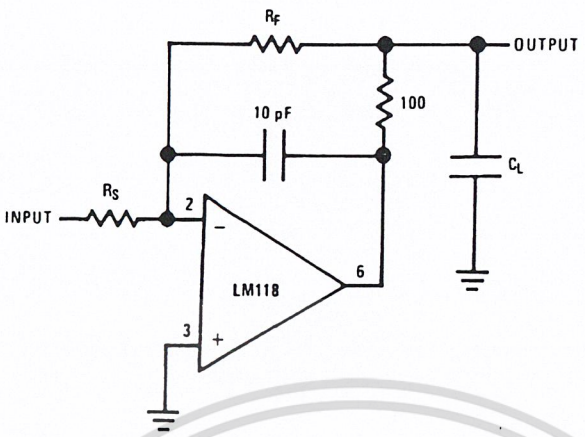
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Auxiliary Circuits

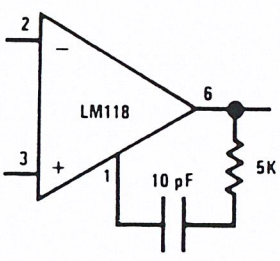
Offset Balancing



Isolating Large Capacitive Loads

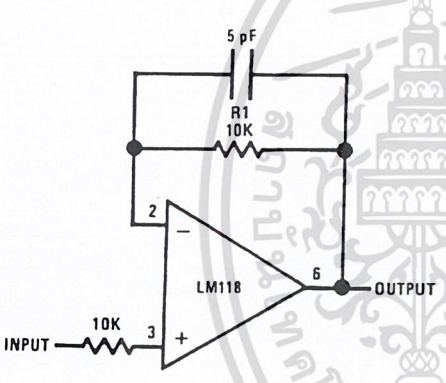


Overcompensation

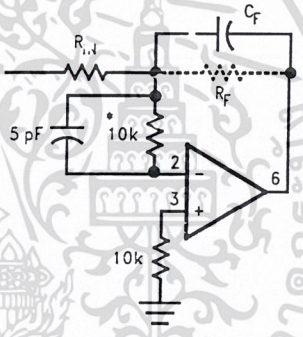


Typical Applications

Fast Voltage Follower

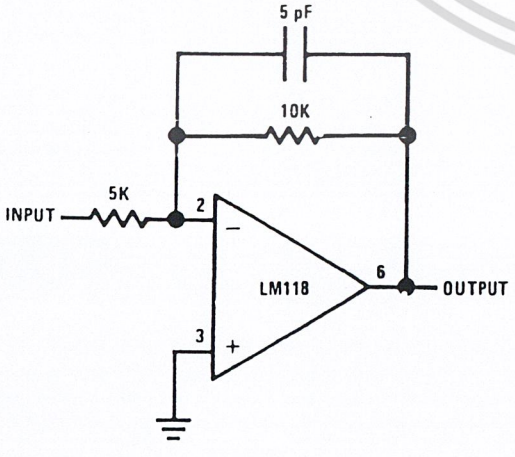


Integrator or Slow Inverter

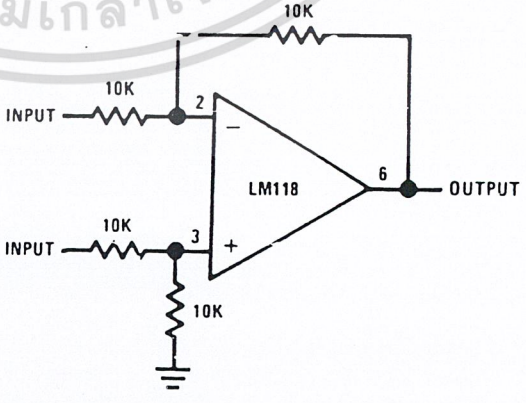


Note 11: ≥ Ω

Fast Summing Amplifier



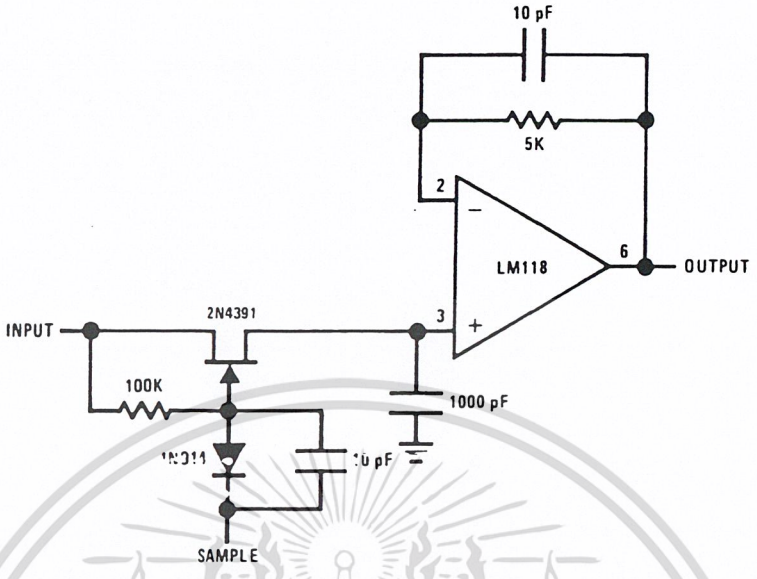
Differential Amplifier



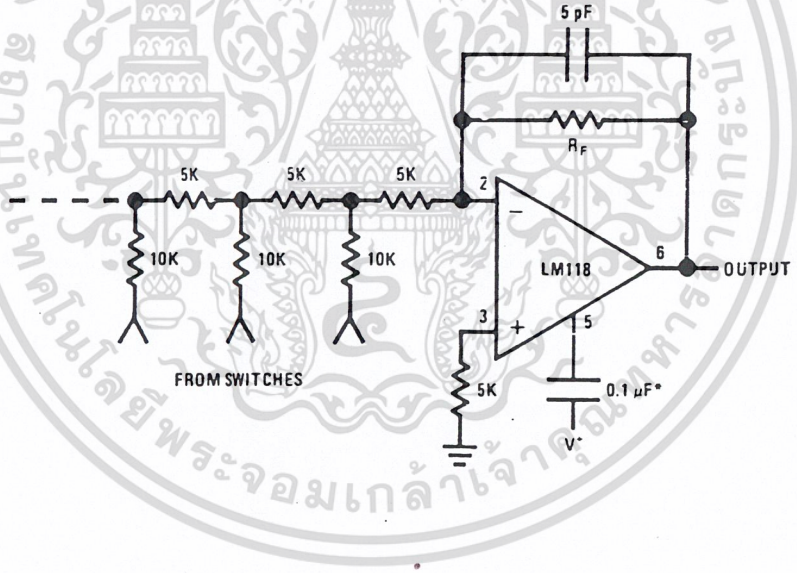
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Applications

Fast Sample and Hold

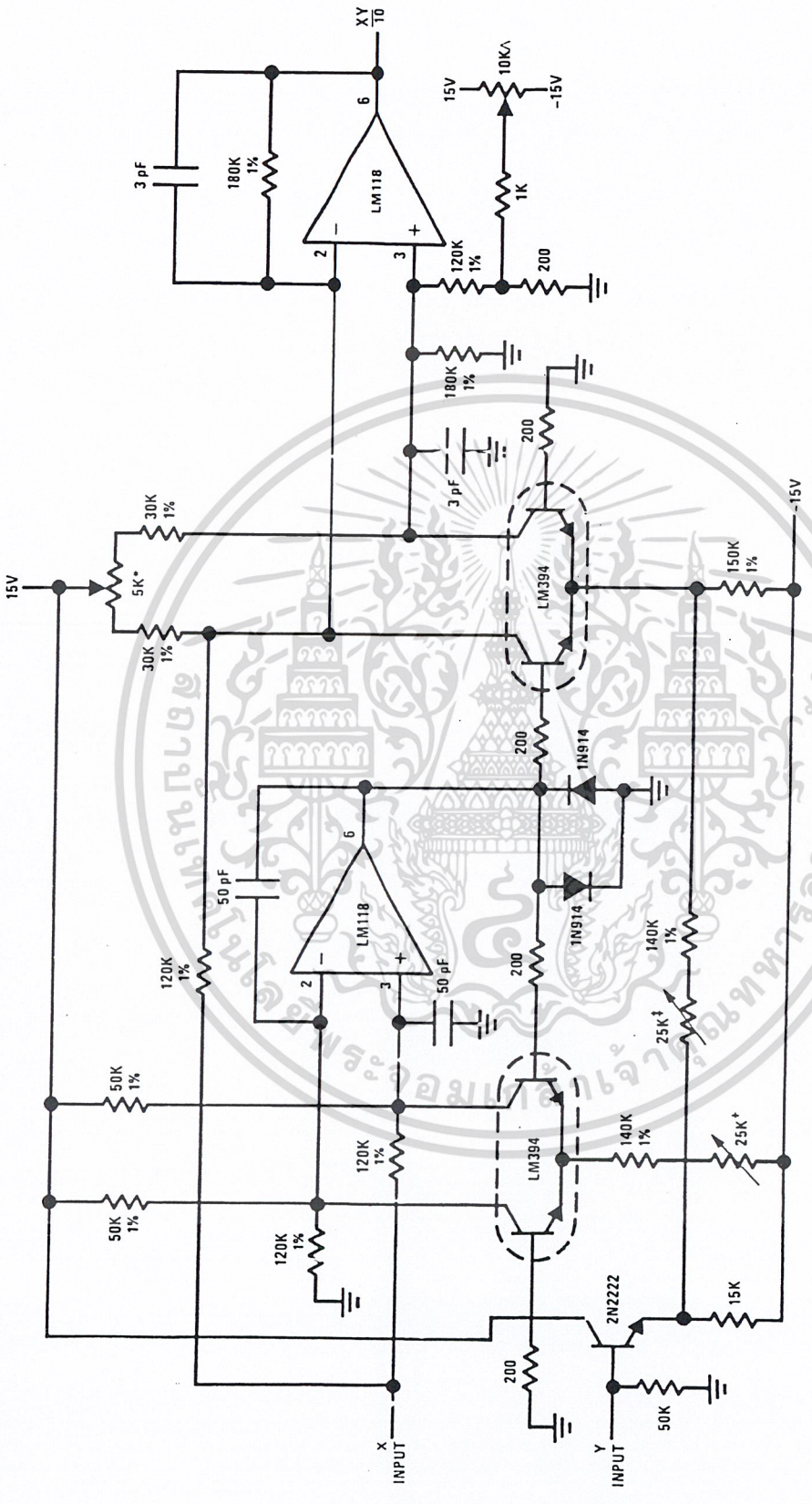


D/A Converter Using Ladder Network



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Applications

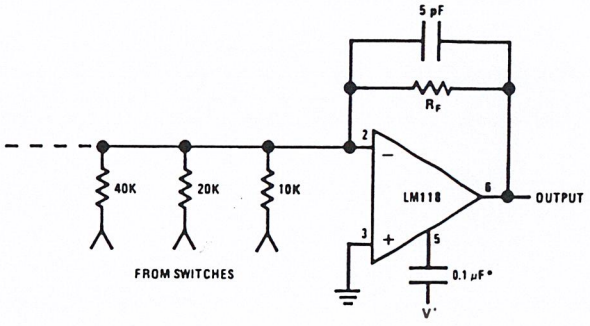


Four Quadrant Multiplier

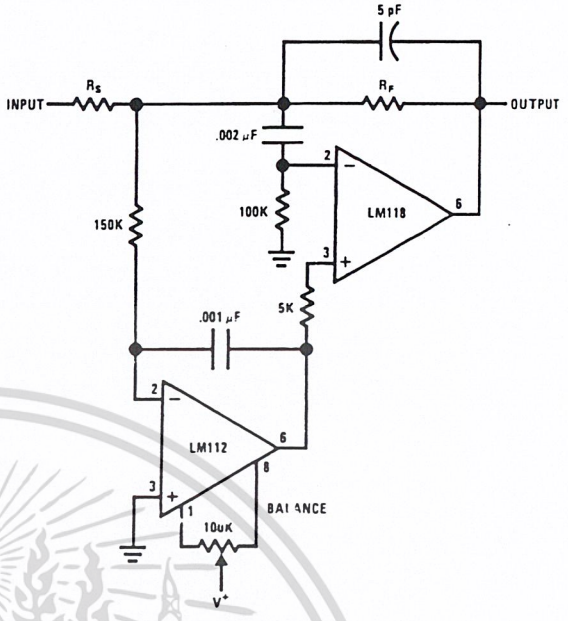
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Applications

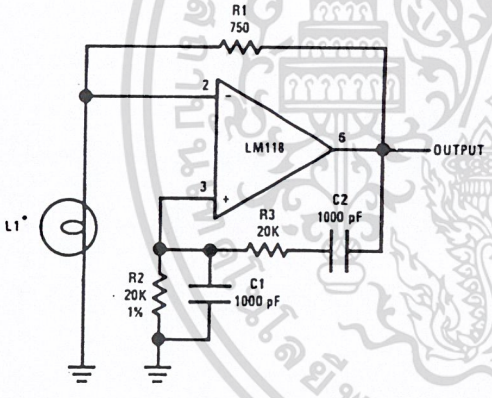
D/A Converter Using Binary Weighted Network



Fast Summing Amplifier with Low Input Current



Wein Bridge Sine Wave Oscillator



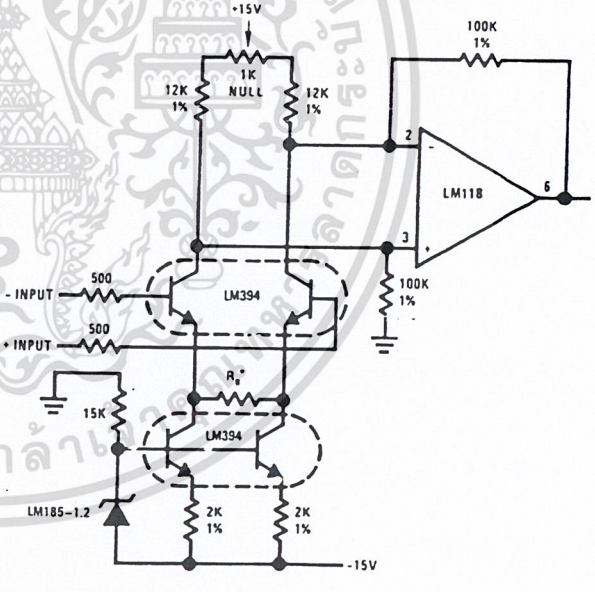
*L1—10V—14 mA bulb ELDEMA 1869

R1 = R2

C1 = C2

$$f = \frac{1}{2\pi R2\, C1}$$

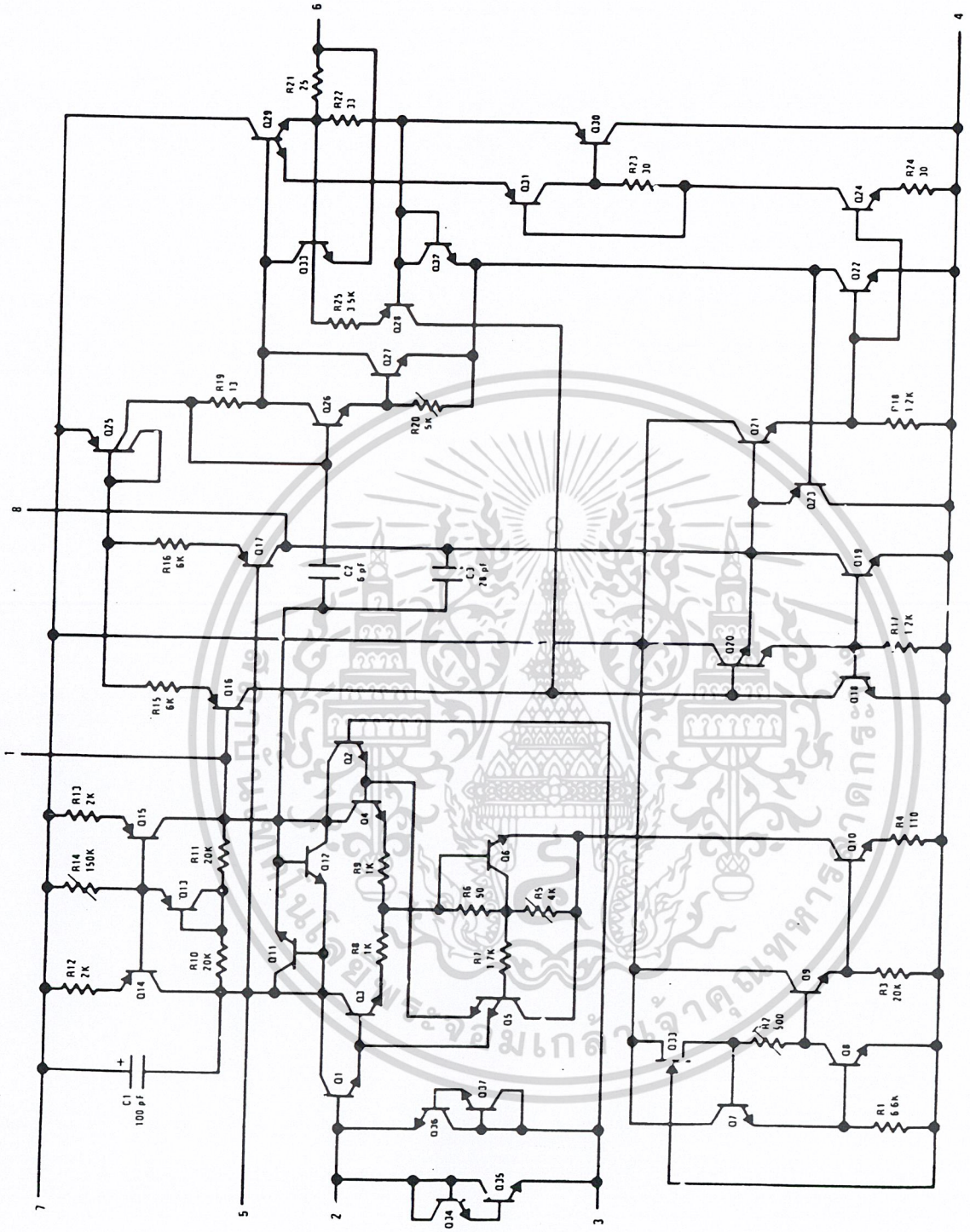
Instrumentation Amplifier



*Gain $\geq \frac{200K}{R_g}$ for $1.5K \leq R_g \leq 200K$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Schematic Diagram



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FAIRCHILD
SEMICONDUCTOR®

www.fairchildsemi.com

LM2901,LM339/LM339A,LM3302, LM239/LM239A

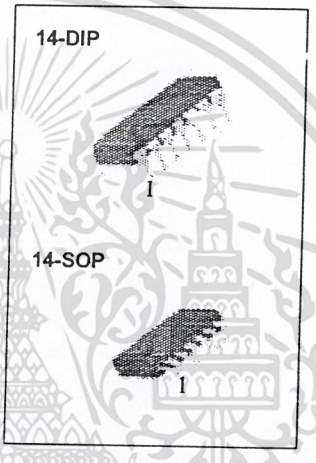
Quad Comparator

Features

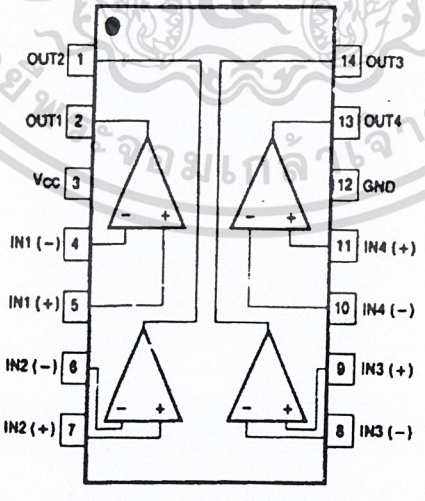
- Single or dual supply operation
- Wide range of supply voltage
  LM2901,LM339/LM339A,LM239/LM239A : 2 ~ 36V
  (or ±1 ~ ±18V)
  LM3302 : 2 ~ 28V (or ±1 ~ ±14V)
- Low supply current drain 800μA Typ.
- Open collector outputs for wired and connectors
- Low input bias current 25nA Typ.
- Low input offset current ±2.3μA Typ.
- Low input offset voltage ±1.4mV Typ.
- Common mode input voltage range includes ground.
- Low output saturation voltage
- Output compatible with TTL. DTL and MOS logic system

Description

The LM2901, LM339/LM339A ,LM239/LM239A, LM3302 consist of four independent voltage comparators designed to operate from single power supply over a wide voltage range.



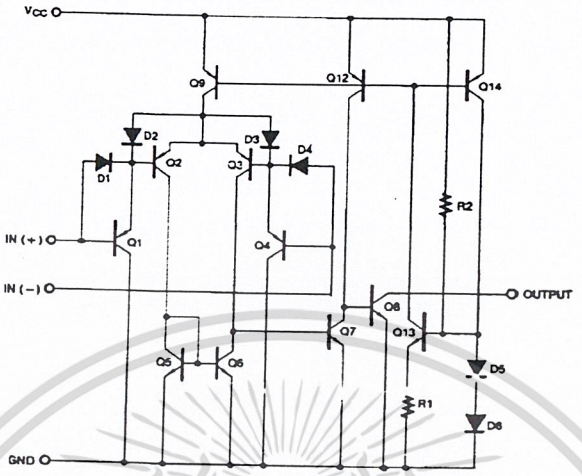
Internal Block Diagram



©2001 Fairchild Semiconductor Corporation

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Schematic Diagram



Absolute Maximum Ratings

Parameter	Symbol	Value	Unit
Supply Voltage	V_{CC}	±18 or 36	V
Supply Voltage only LM3302	V_{CC}	±14 or 28	V
Differential Input Voltage	$V_{I(DIFF)}$	36	V
Differential Input Voltage only LM3302	$V_{I(DIFF)}$	28	V
Input Voltage	V_I	- 0.3 to +36	V
Input Voltage only LM3302	V_I	- 0.3 to +28	V
Output Short Circuit to GND	-	Continuous	-
Power Dissipation	P_D	570	mW
Operating Temperature LM339/LM339A LM2901/LM3302 LM239/LM239A	T_{OPR}	0 ~ + 70 -40 ~ + 85 -25 ~ + 85	°C
Storage Temperature	T_{STG}	- 65 ~ + 150	°C

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Electrical Characteristics

(V_{CC} = 5V, T_A = 25°C, unless otherwise specified)

Parameter	Symbol	Conditions	LM239A/LM339A			LM239/LM339			Unit
			Min	Typ	Max	Min	Typ	Max	
Input Offset Voltage	V_{IO}	$V_{O(P)}$ =1.4V, R_S =0Ω	-	±1	±2	-	±1.4	±5	mV
		Note 1	-		±4.0	-	-	±9.0	
Input Offset Current	I_{IO}		-	±2.3	±50	-	±2.3	±50	nA
		Note 1	-		±150	-	-	±150	
Input Bias Current	I_{BIAS}		-	57	250	-	57	250	nA
		Note 1	-	-	400	-	-	400	
Input Common Mode Voltage Range	$V_{I(R)}$		0	-	V_{CC}-1.5	0	-	V_{CC}-1.5	V
		Note 1	0	-	V_{CC}-2	0	-	V_{CC}-2	
Supply Current	I_{CC}	V_{CC} = 5V R_L = ∞	-	1.1	2.0	-	1.1	2.0	mA
Voltage Gain	G_V	V_{CC} =15V, R_L ≥ 15KΩ (for large swing)	50	200	-	50	200	-	V/mV
Large Signal Response Time	T_{LRES}	V_I = TTL Logic Swing V_{REF} = 1.4V, V_{RL} = 5V, R_L = 5.1KΩ	-	350	-	-	350	-	ns
Response Time	T_{RES}	V_{RL} = 5V, R_L = 5.1KΩ	-	1.4	-	-	1.4		µs
Output Sink Current	I_{SINK}	$V_{I(-)}$ ≥ 1V, $V_{I(+)}$ = 0V, $V_{O(P)}$ ≤ 1.5V	6	18	-	6	18	-	mA
Output Saturation Voltage	V_{SAT}	$V_{I(-)}$ ≥ 1V, $V_{I(+)}$ = 0V	-	140	400	-	140	400	mV
		I_{SINK} = 4mA Note 1	-		700	-		700	
Output Leakage Current	$I_{O(LKG)}$	$V_{I(-)}$ = 0V, $V_{I(+)}$ = 1V, $V_{O(P)}$ = 5V	-	0.1	-	-	0.1	-	nA
		$V_{O(P)}$ = 30V	-	-	1.0	-	-	1.0	µA
Differential Voltage	$V_{I(DIFF)}$	Note 1	-	-	36	-	-	36	V

Note 1.
LM339/LM339A : 0 ≤ T_A ≤ +70°C
LM2901/LM3302 : -40 ≤ T_A ≤ +85°C
LM239/LM239A : -25 ≤ T_A ≤ +85°C

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Electrical Characteristics (Continued)

(V_{CC} = 5V, T_A = 25°C, unless otherwise specified)

Parameter	Symbol	Conditions	LM2901			LM3302			Unit
			Min	Typ	Max.	Min	Typ	Max.	
Input Offset Voltage	V_{IO}	$V_{O(P)}$ =1.4V, R_S =0Ω	-	2	7	-	2	20	mV
		Note 1	-	9	15	-	-	40	
Input Offset Current	I_{IO}		-	2.3	50	-	3	100	nA
		Note 1	-	50	200	-	-	300	
Input Biac Current	I_{BIAS}		-	57	250	-	57	250	nA
		Note 1	-	200	500	-	-	1000	
Input Common Mode Voltage Range	$V_{I(R)}$		0	-	V_{CC} -1.5	0	-	V_{CC} -1.5	V
		Note 1	0	-	V_{CC} -2	0	-	V_{CC} -2	
Supply Current	I_{CC}	R_L =∞, V_{CC}=5V	-	1.1	2.0	-	1.1	2 0	mA
		R_L =∞,V_{CC}=30V	-	1.6	2.5	-	-	-	
Voltage Gain	G_V	V_{CC} =15V, R_L ≥ 15KΩ (for large swing)	25	100	-	2	30	-	V/ mV
Large Signal Response Time	T_{LRES}	V_I =TTL Logic Swing V_{REF} =1.4V, V_{RL} =5V, P_L =5.1KΩ	-	350	-	-	350	-	ns
Response Time	T_{RES}	V_{RL} = 5V, R_L = 5.1KΩ	-	1.4	-	-	1.4	-	µs
Output Sink Current	I_{SINK}	$V_{I(-)}$ ≥ 1V, $V_{I(+)}$ =0V, $V_{O(P)}$ ≤ 1.5V	6	18	-	6	18	-	mA
Output Saturation Voltage	V_{SAT}	$V_{I(-)}$ ≥ 1V, $V_{I(+)}$ = 0V I_{SINK} =4mA	-	140	400	-	140	400	mV
		Note 1	-	-	700	-	-	700	
Output Leakage Current	$I_{O(LKG)}$	$V_{I(-)}$ = 0V $V_{I(+)}$ = 1V, $V_{O(P)}$ = 5V	-	0.1	-	-	0.1	-	nA
		$V_{O(P)}$ = 30V	-	-	1.0	-	-	1.0	µA
Differential Voltage	$V_{I(DIFF)}$	Note 1	-	-	36	-	-	36	V

Note 1.
LM339/LM339A : 0 ≤ T_A ≤ +70°C
LM2901/LM3302 : -40 ≤ T_A ≤ +85°C
LM239/LM239A : -25 ≤ T_A ≤ +85°C

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics

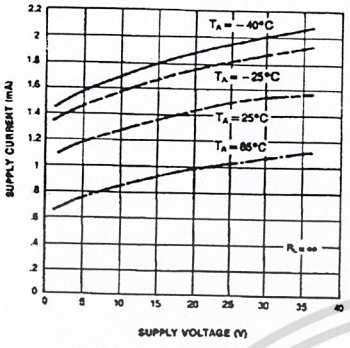


Figure 1. Supply Current vs Supply Voltage

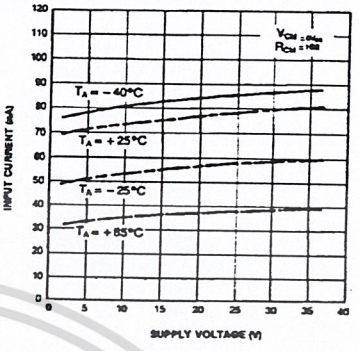


Figure 2. Input Current vs Supply Voltage

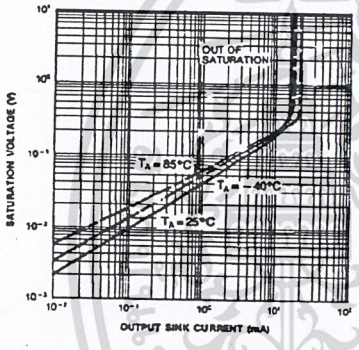


Figure 3. Output Saturation Voltage vs sink Current

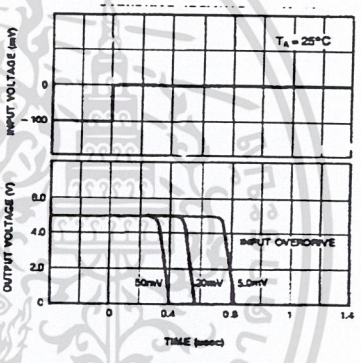


Figure 4. Response Time for Various Input Overdrive-Negative Transition

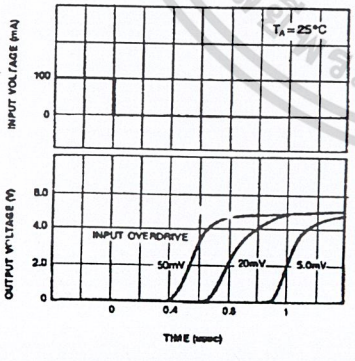


Figure 5. Response Time for Various Input Overdrive-Positive Transition

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FAIRCHILD
SEMICONDUCTOR TM

www.fairchildsemi.com

LM348 LM 148 / LM 248 / LM 149

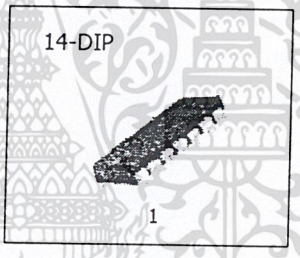
Quad Operational Amplifier

Features

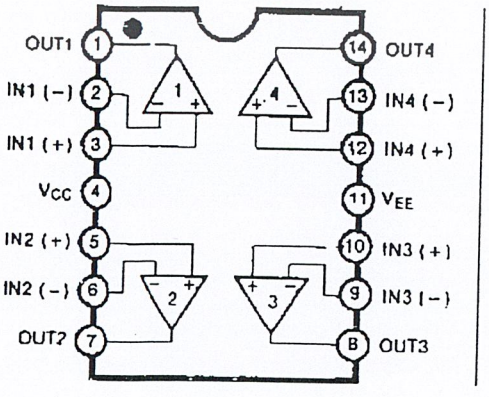
- LM741 OP Amp operating characteristics
- Low supply current drain
- Class AB output stage-no crossover distortion
- Pin compatible with the LM324
- Low input offset voltage : 1mV Typ.
- Low input offset current : 4nA Typ.
- Low input bias current : 30nA Typ.
- Gain bandwidth (unity gain): 1.0MHz Typ.
- High degree of isolation between amplifiers: 120dB
- Overload protection for inputs and outputs

Description

TheLM348 is a true quad LM741. It consists of four independent, high-gain, internally compensated, low-power operational amplifiers which have been designed to provide functional characteristics identical to those of the familiar LM741 operational amplifier. In addition the total supply current for all four amplifiers is comparable to the Supply current of a single LM741 type OP Amp. Other features include input offset currents and input bias current which are much less than those of a standard LM741. Also, excellent isolation between amplifiers has been achieved by independently biasing each amplifier and using layout techniques which minimize thermal coupling.



Internal Block Diagram

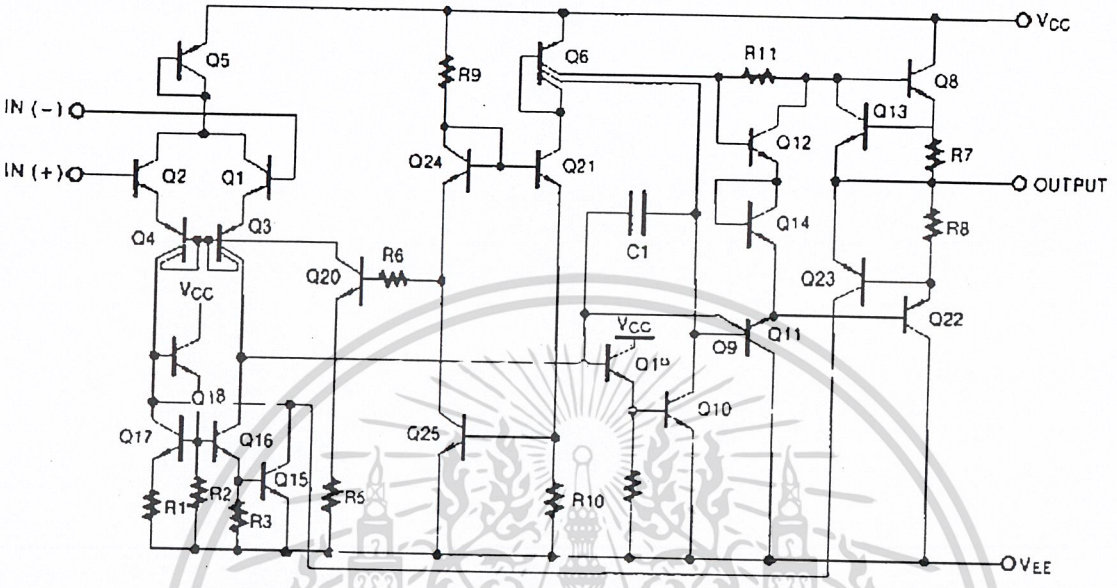


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

©2000 Fairchild Semiconductor International

Schematic Diagram

(One Section Only)



Absolute Maximum Ratings

Parameter	Symbol	Value	Unit
Supply Voltage	VCC	18	V
Differential Input Voltage	VI(DIFF)	36	V
Input Voltage	VI	18	V
Output Short Circuit Duration	-	Continuous	-
Operating Temperature LM348	TOPR	0~ +70	C
Storage Temperature	TSTG	-65~ +150	C

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Electrical Characteristics

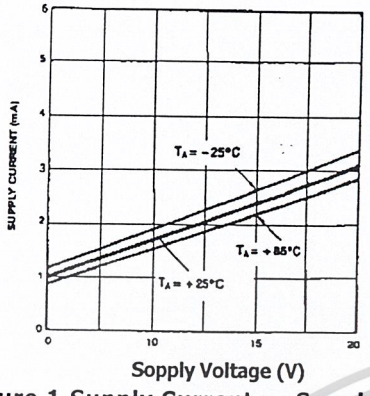
(V_{CC} =15V, V_{EE}= -15V, T_A =25 C, unless otherwise specified)

Parameter	Symbol	Conditions	LM348 Min.	LM348 Typ.	LM348 Max.	Unit
Input Offset Voltage	V_{IO}	R_S 10K	-	1 6 .		0 mV
		NOTE	1	- - 7 . 5		
Input Offset Current	I_{IO}		-	4	5	0 nA
		NOTE	1	- - 1 0 0		
Input Bias Current	I_{BIAS}		- 3	0 2	0 0	nA
		NOTE	1	- - 4 0 0		
Input Resistance	R_I	-	0.8	2.5	-	M
Supply Current (all Amplifiers)	I_{CC}	-	-	2.4	4.5	mA
Large Signal Voltage Gain	G_V	R_L 2K	2 5	1 6 0 -		V/mV
		NOTE	1	1 5 - -		
Channel Separation	C	f = 1 KHz to 20 KHz	-	1 2 0	-	dB
Common Mode Input Voltage Range	$V_{I(R)}$	NOTE 1	1	2	-	V
Small Signal Bandwidth	BW	G_V = 1 - 1	.	0 -	M	Hz
Phase Margin	MPH	G_V = 1 - 6 0	-	D e g	-	e e
Slew Rate	SR	G_V = 1 -	n	5	-	V / s
Output Short Circuit Current	I_{SC}	-	-	25	-	MA
Output Voltage Swing	$V_{O(P-P)}$	R_L 10K NOTE 1	12	1 3	-	V
		R_L 2K	+0	1 2	-	
Common Mode Rejection Ratio	CMRR	R_S 10K NOTE	1	7 0 9 0	-	dB
Power Supply Rejection Ratio	PSRR	R_S 10K NOTE	1	7 7 9 6	-	dB

Note 1
LM348: 0 T_A +70 C

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics



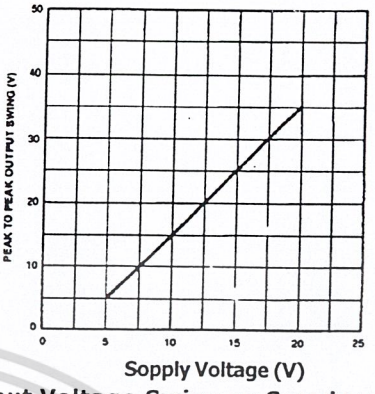
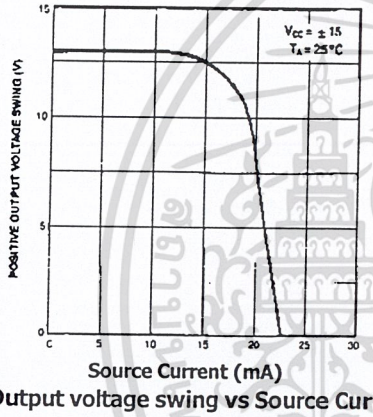


Figure 1.Supply Current vs Supply voltage Figure 2.Output Voltage Swing vs Supply voltage



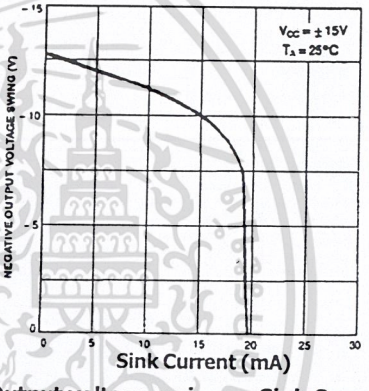
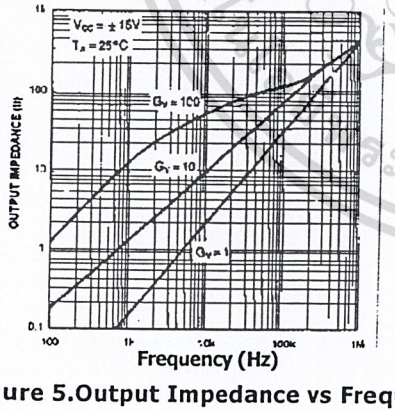


Figure 3.Output voltage swing vs Source Current (mA)

Figure 4.Output voltage swing vs Sink Current (mA)



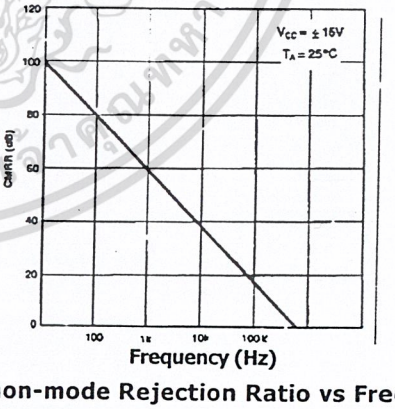
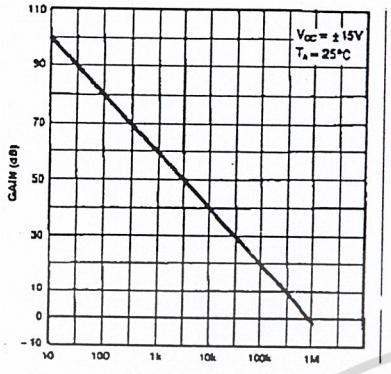


Figure 5.Output Impedance vs Frequency Figure 6.Common-mode Rejection Ratio vs Frequency

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics (continued)



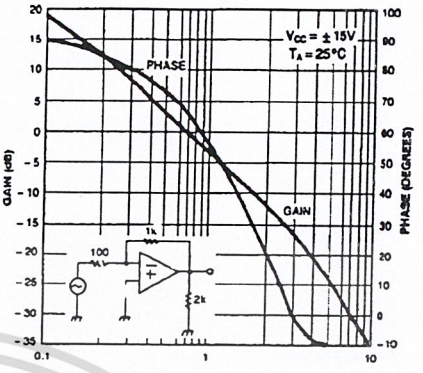
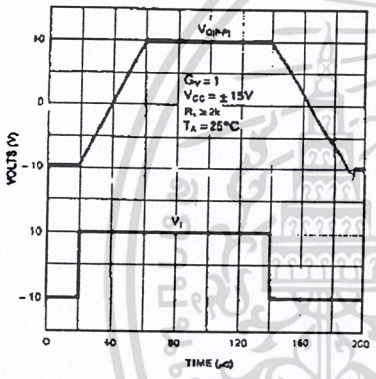


Figure 7.Open Loop Frequency ResponseFigure 8.Bode Plot



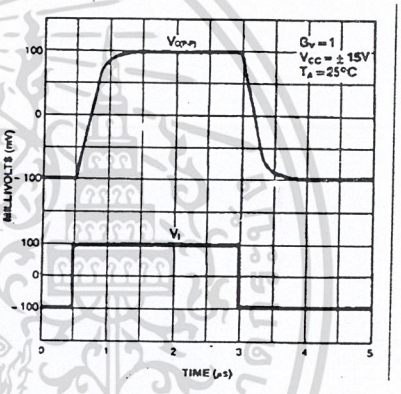
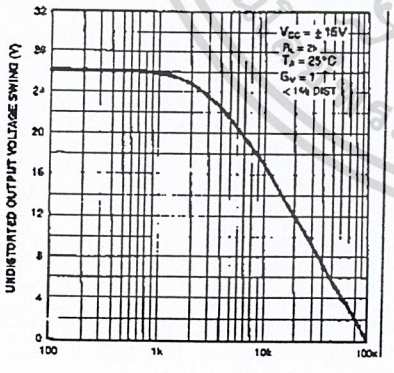


Figure 9.Large Signal Pulse ResponseFigure 10.Small Signal Pulse Response



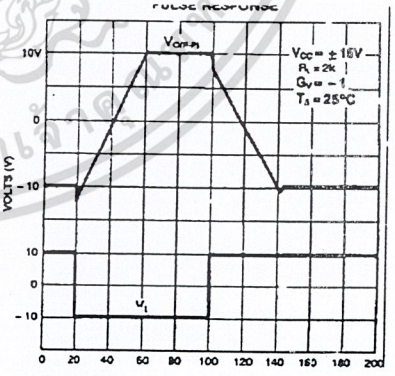


Figure 11.Undistorted Output Voltage Swing vs FrequencyFigure 12.Inverting Large Signal Pulse Response

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics (continued)

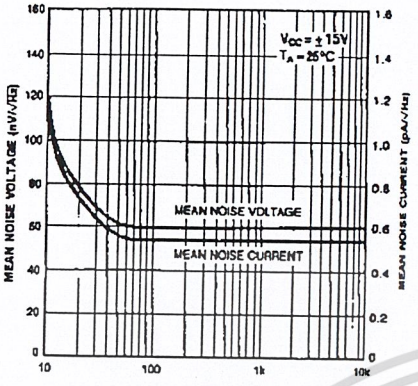


Figure 13.Input Noise Voltage And Noise Current vs Frequency

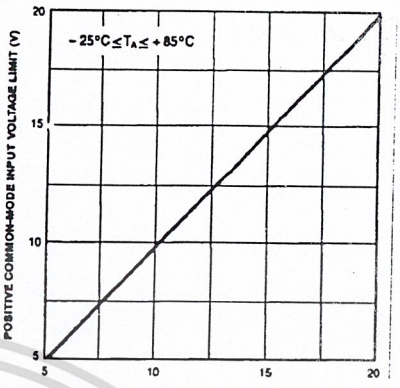


Figure 14.Positive Common Mode Input Voltage Limit vs Positiue Supply Voltage

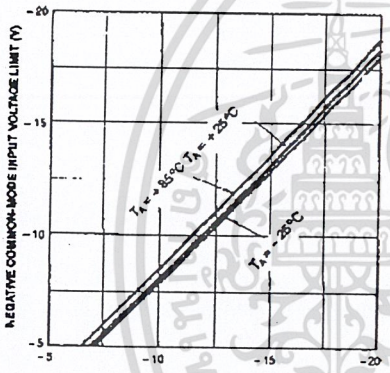


Figure 15.Negative Common.mode Input Voltage Limit vs Negative Supply Voltage

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

August 2000

LM741
Operational Amplifier

General Description

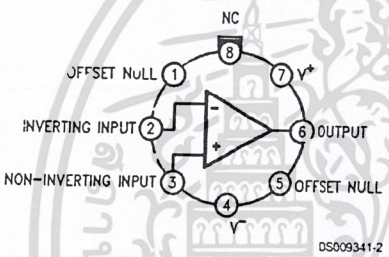
The LM741 series are general purpose operational amplifiers which feature improved performance over industry standards like the LM709. They are direct, plug-in replacements for the 709C, LM201, MC1439 and 748 in most applications.

The amplifiers offer many features which make their application nearly foolproof: overload protection on the input and output, no latch-up when the common mode range is exceeded, as well as freedom from oscillations.

The LM741C is identical to the LM741/LM741A except that the LM741C has their performance guaranteed over a 0°C to +70°C temperature range, instead of −55°C to +125°C.

Connection Diagrams

Metal Can Package

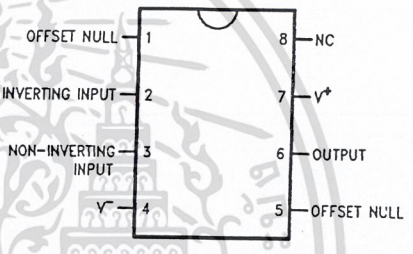


DS009341-2

Note 1: LM741H is available per JM38510/10101

Order Number LM741H, LM741H/883 (Note 1), LM741AH/883 or LM741CH
See NS Package Number H08C

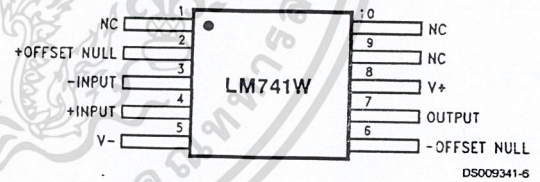
Dual-In-Line or S.O. Package



DS009341-3

Order Number LM741J, LM741J/883, LM741CN
See NS Package Number J08A, M08A or N08E

Ceramic Flatpak

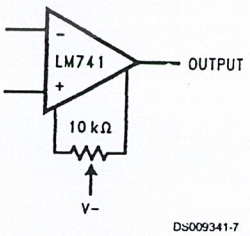


DS009341-6

Order Number LM741W/883
See NS Package Number W10A

Typical Application

Offset Nulling Circuit



DS009341-7

© 2000 National Semiconductor Corporation

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings (Note 2)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/ Distributors for availability and specifications.

(Note 7)

	LM741A	LM741	LM741C
Supply Voltage	±22V	±22V	±18V
Power Dissipation (Note 3)	500 mW	500 mW	500 mW
Differential Input Voltage	±30V	±30V	±30V
Input Voltage (Note 4)	±15V	±15V	±15V
Output Short Circuit Duration	Continuous	Continuous	Continuous
Operating Temperature Range	−55°C to +125°C	−55°C to +125°C	0°C to +70°C
Storage Temperature Range	−65°C to +150°C	−65°C to +150°C	−65°C to +150°C
Junction Temperature	150°C	150°C	100°C
Soldering Information			
N-Package (10 seconds)	260°C	260°C	260°C
J- or H-Package (10 seconds)	300°C	300°C	300°C
M-Package			
Vapor Phase (60 seconds)	215°C	215°C	215°C
Infrared (15 seconds)	215°C	215°C	215°C

See AN-450 "Surface Mounting Methods and Their Effect on Product Reliability" for other methods of soldering surface mount devices.

ESD Tolerance (Note 8)	400V	400V	400V

Electrical Characteristics (Note 5)

Parameter	Conditions	LM741A			LM741			LM741C			Units
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
Input Offset Voltage	$T_A = 25°C$										
	$R_S \le 10\ k\Omega$					1.0	5.0		2.0	6.0	mV
	$R_S \le 50\Omega$		0.8	3.0							mV
	$T_{AMIN} \le T_A \le T_{AMAX}$										
	$R_S \le 50\Omega$			4.0							mV
	$R_S \le 10\ k\Omega$						6.0			7.5	mV
Average Input Offset Voltage Drift				15							μV/°C
Input Offset Voltage Adjustment Range	$T_A = 25°C$, $V_S = \pm 20V$	±10				±15			±15		mV
Input Offset Current	$T_A = 25°C$		3.0	30		20	200		20	200	nA
	$T_{AMIN} \le T_A \le T_{AMAX}$			70		85	500			300	nA
Average Input Offset Current Drift				0.5							nA/°C
Input Bias Current	$T_A = 25°C$		30	80		80	500		80	500	nA
	$T_{AMIN} \le T_A \le T_{AMAX}$			0.210			1.5			0.8	μA
Input Resistance	$T_A = 25°C$, $V_S = \pm 20V$	1.0	6.0		0.3	2.0		0.3	2.0		MΩ
	$T_{AMIN} \le T_A \le T_{AMAX}$, $V_S = \pm 20V$	0.5									MΩ
Input Voltage Range	$T_A = 25°C$							±12	±13		V
	$T_{AMIN} \le T_A \le T_{AMAX}$				±12	±13					V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Electrical Characteristics (Note 5) (Continued)

Parameter	Conditions	LM741A			LM741			LM741C			Units
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
Large Signal Voltage Gain	T_A = 25°C, $R_L \geq 2$ kΩ										
	V_S = ±20V, V_O = ±15V	50									V/mV
	V_S = ±15V, V_O = ±10V				50	200		20	200		V/mV
	$T_{AMIN} \leq T_A \leq T_{AMAX}$, $R_L \geq 2$ kΩ,										
	V_S = ±20V, V_O = ±15V	32									V/mV
	V_S = ±15V, V_O = ±10V				25			15			V/mV
	V_S = ±5V, V_O = ±2V	10									V/mV
Output Voltage Swing	V_S = ±20V										
	$R_L \geq 10$ kΩ	±16									V
	$R_L \geq 2$ kΩ	±15									V
	V_S = ±15V										
	$R_L \geq 10$ kΩ				±12	±14		±12	±14		V
	$R_L \geq 2$ kΩ				±10	±13		±10	±13		V
Output Short Circuit Current	T_A = 25°C	10	25	35		25			25		mA
	$T_{AMIN} \leq T_A \leq T_{AMAX}$	10		40							mA
Common-Mode Rejection Ratio	$T_{AMIN} \leq T_A \leq T_{AMAX}$										
	$R_S \leq 10$ kΩ, V_{CM} = ±12V				70	90		70	90		dB
	$R_S \leq 50$Ω, V_{CM} = ±12V	80	95								dB
Supply Voltage Rejection Ratio	$T_{AMIN} \leq T_A \leq T_{AMAX}$, V_S = ±20V to V_S = ±5V										
	$R_S \leq 50$Ω	86	96								dB
	$R_S \leq 10$ kΩ				77	96		77	96		dB
Transient Response	T_A = 25°C, Unity Gain										
Rise Time			0.25	0.8		0.3			0.3		µs
Overshoot			6.0	20		5			5		%
Bandwidth (Note 6)	T_A = 25°C	0.437	1.5								MHz
Slew Rate	T_A = 25°C, Unity Gain	0.3	0.7			0.5			0.5		V/µs
Supply Current	T_A = 25°C					1.7	2.8		1.7	2.8	mA
Power Consumption	T_A = 25°C										
	V_S = ±20V		80	150							mW
LM741A	V_S = ±15V					50	85		50	85	mW
	V_S = ±20V										
	$T_A = T_{AMIN}$			165							mW
	$T_A = T_{AMAX}$			135							mW
LM741	V_S = ±15V										
	$T_A = T_{AMIN}$					60	100				mW
	$T_A = T_{AMAX}$					45	75				mW

Note 2: "Absolute Maximum Ratings" indicate limits beyond which damage to the device may occur. Operating Ratings indicate conditions for which the device is functional, but do not guarantee specific performance limits.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Electrical Characteristics (Note 5) (Continued)

Note 3: For operation at elevated temperatures, these devices must be derated based on thermal resistance, and T_j max. (listed under "Absolute Maximum Ratings"). $T_j = T_A + (\theta_{jA} P_D)$.

Thermal Resistance	Cerdip (J)	DIP (N)	HO8 (H)	SO-8 (M)
θ_{jA} (Junction to Ambient)	100°C/W	100°C/W	170°C/W	195°C/W
θ_{jC} (Junction to Case)	N/A	N/A	25°C/W	N/A

Note 4: For supply voltages less than ±15V, the absolute maximum input voltage is equal to the supply voltage.

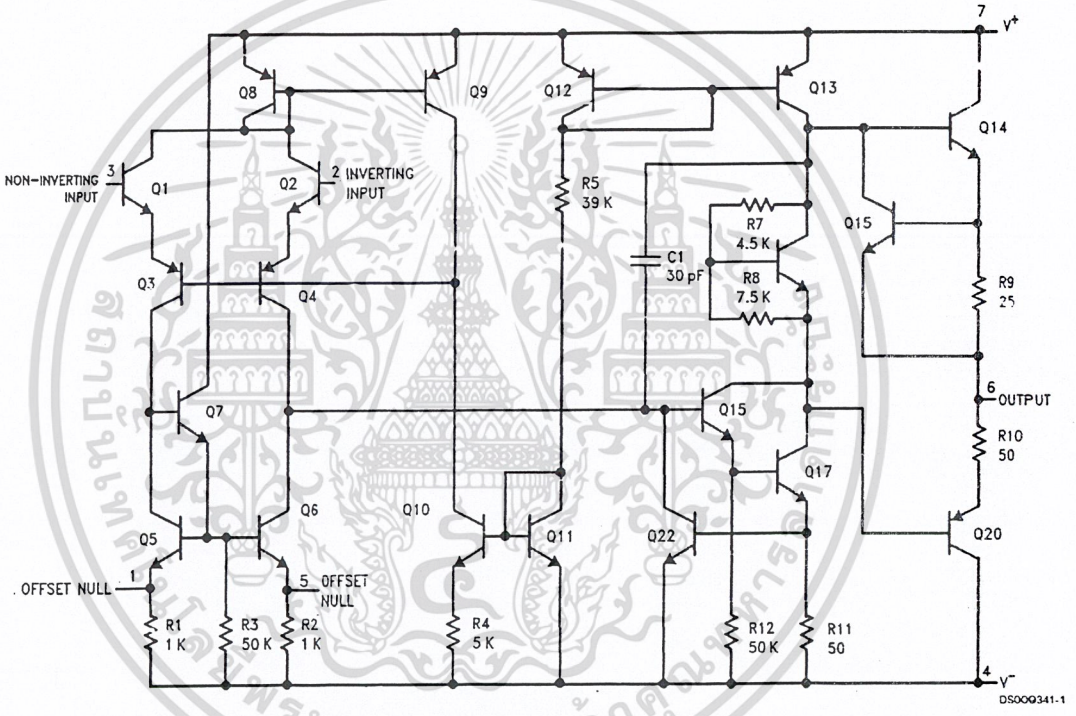
Note 5: Unless otherwise specified, these specifications apply for V_S = ±15V, −55°C ≤ T_A ≤ +125°C (LM741/LM741A). For the LM741C/LM741E, these specifications are limited to 0°C ≤ T_A ≤ +70°C.

Note 6: Calculated value from: BW (MHz) = 0.35/Rise Time(μs).

Note 7: For military specifications see RETS741X for LM741 and RETS741AX for LM741A.

Note 8: Human body model, 1.5 kΩ in series with 100 pF.

Schematic Diagram



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้