สำนักหอสมุดกลาง_พระจอมเกล้าลาดกระบัง

ชุดทดลองระบบตรรกศาสตร์ฟัซซี่

FUZZY LOGIC SYSTEM EXPERIMENTAL KITS

T046424

โดย

นางสาวนิตยา ลำทอง

นายพิเชษฐ์ สุขดานนท์

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาอุตสาหกรรมศาสตรบัณฑิต

ภาควิชาวิศวกรรมสารสนเทศ

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2544

ปน.
ท574ช
2544

เลขหมู่.....
เลขทะเบียน 46424
วัน, เดือน, ปี - 1 เม.ย. 2546

.b.....
.i.....

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อปริญญานิพนธ์	ชุดทดลองระบบตรรกศาสตร์ฟัซซี่
TETLE	Fuzzy Logic System Experimental Kits
ชื่อนักศึกษา	นางสาวนิตยา ลำเพ็ง รหัส 43015728
	นายพิเชษฐ์ สุขดานนท์ รหัส 43015739
อาจารย์ที่ปรึกษา	ผศ.ดร. ปิติเขต สู้รักษา
อาจารย์ที่ปรึกษาร่วม	อาจารย์บุณย์ชนะ ภู่ระหงษ์
ภาควิชา	วิศวกรรมสารสนเทศ
ปีการศึกษา	2544

คณะวิศวกรรมศาสตร์สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบังอนุมัติให้นับปริญญานิพนธ์ฉบับนี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรอุสาหกรรมศาสตรบัณฑิต

.....

(ผศ.ดร.ปิติเขต สู้รักษา)

อาจารย์ผู้ควบคุมปริญญานิพนธ์

.....

(อาจารย์บุณย์ชนะ ภู่ระหงษ์)

อาจารย์ที่ปรึกษาร่วมปริญญานิพนธ์

ลิขสิทธิ์ของคณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Project Report Title	Fuzzy Logic System Experimental Kits
Name	Miss.NITAYA LUMTONG 43015728
	Mr. PHICHET SUKDANONT 43015739
Project Report Advisor	Asst.Prof.Dr.PITICADE SOORAKSA
Department	Information Engineering
Academic Year	2001

Abstract

During this economics recession in Thailand, the substitution of import for educational products and teaching aided tools; for example, a fuzzy logic training set would benefit the Thai engineering education. This project aims to design, implement, and produce a fuzzy logic training kits to serve that purpose. Our fuzzy logic experiment set has functionality similar to the commercial CE124 produced by TQ Technology®. However, our version is much more flexible in term of portability and LEGO™-like form enabling users to design their own choices for desired components.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ในการโครงงานนี้ ทางผู้จัดได้รับความอนุเคราะห์ช่วยเหลือให้คำปรึกษา แนะแนวทางในการดำเนินงาน ซึ่งคณะผู้จัดทำก็มีความรู้ไม่มากนัก แต่หากได้รับคำปรึกษาชี้แนะในแนวทางที่ถูกของอาจารย์ผู้มีพระคุณ ตลอดจนความช่วยเหลือในอุปกรณ์จากท่าน ผศ.ดร. ปีติเขต สู้รักษา จนกระทั่งสำเร็จเป็นโครงงาน ทีมงานผู้จัดทำโครงงานขอกราบขอบพระคุณท่านอาจารย์ที่ให้ความกรุณามา ณ ที่นี้

ท้ายนี้ ผู้จัดทำขอกราบขอบพระคุณ บิดา-มารดา ซึ่งให้ความสนับสนุนทางด้านการเงินและเป็นกำลังใจ แก่ผู้จัดทำเสมอมาจนสำเร็จการศึกษา

นิตยา ลำทอง
พิเชษฐ์ สุขคานนท์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

	หน้า
บทคัดย่อภาษาไทย	I
บทคัดย่อภาษาอังกฤษ	II
กิตติกรรมประกาศ	III
บทที่ 1 บทนำ	1
บทที่ 2 ทฤษฎีที่เกี่ยวข้อง	2
2.1 ระบบการควบคุมแบบ Open-loop	2
2.2 ระบบการควบคุมแบบ Closed-loop	3
2.3 หลักการออกแบบระบบควบคุม	4
2.4 ชนิดของตัวควบคุม	5
2.5 Fuzzy คืออะไร	16
2.6 Fuzzy ทำงานอย่างไร	17
2.7 Fuzzy Models	18
2.8 ทฤษฎีของ Fuzzy Control	21
2.9 ทฤษฎีของ CRISP sets	21
2.10 ทฤษฎีของ Fuzzy sets	22
2.11 ทฤษฎีของ Fuzzy logic	24
บทที่ 3 การออกแบบและการสร้าง	29
3.1 หลักการหา Fuzzy Control rule	29
3.2 วงจร Fuzzy Summing	30
3.3 วงจร Amplifier Section	30
3.4 วงจร Voltmeter and Potentiometer	31
3.5 วงจร Fuzzy Meter	32
3.6 วงจร Fuzzy Fuzzifier	32
3.7 วงจร Fuzzy OR	34
3.8 วงจร Fuzzy AND	35
3.9 วงจร Fuzzy AND Table	35
3.10 วงจร Fuzzy NOT	36
บทที่ 4 การทดลองและผลการทดลอง	37

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ (ต่อ)

	หน้า
บทที่ 5 สรุปและวิจารณ์ผลการทดลอง	45
5.1 สรุปผลการทดลอง	
5.2 ปัญหาที่เกิดขึ้นและแนวทางแก้ปัญหา	
5.3 การพัฒนาโครงงาน	
ภาคผนวก ก	46
วงจรรวม	
ภาพถ่ายโครงงาน	56
ภาคผนวก ข	58
คู่มือการใช้งาน	
DATA SHEEET	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

วัตถุประสงค์และที่มา

1.1 ความเป็นมา

ในการควบคุมกระบวนการทางอุตสาหกรรม มีวิธีการควบคุมอยู่หลายวิธีซึ่งโดยปกติแล้วเรามักใช้ PID CONTROLLER ในการควบคุม แต่ปัจจุบันกระบวนการทางอุตสาหกรรมมีความซับซ้อนมากขึ้น การควบคุมโดย PID จึงมีข้อจำกัดในการหารูปแบบของกระบวนการออกมาเป็นแบบจำลองทางคณิตศาสตร์ทำได้ยากเพื่อแก้ไขปัญหาดังกล่าวในปัจจุบันมีวิธีในการควบคุมกระบวนการที่ได้รับการคิดค้นและพัฒนาขึ้นหลายวิธี ซึ่งวิธีที่ได้รับความนิยมอย่างแพร่ หลายคือ การควบคุมโดยการเลียนแบบความคิดของมนุษย์ ที่ไม่จำเป็นต้องหาโมเดลทางคณิตศาสตร์ที่แน่นอนเพียงแค่กำหนดคำตอบที่ต้องการว่าเมื่อควบคุมแล้วจะให้ผลลัพท์เป็นอย่างไรเช่นทฤษฎีของ Fuzzy Set ปัจจุบันนี้มีการนำเอาระบบ ฟัซซีมาประยุกต์ใช้กันแพร่หลาย ในอุปกรณ์และเครื่องใช้ในชีวิตประจำวันต่าง ๆ เช่น การควบคุมการทำงานของเครื่องซักผ้า เครื่องกรองน้ำ กล้องถ่ายภาพ เป็นต้น นอกจากนี้ยังมีการใช้ระบบ ฟัซซี และวิธีการทางตรรกศาสตร์แบบฟัซซี่ (Fuzzy Logic) ในงานอุตสาหกรรมและวิจัยและพัฒนาอื่น ๆ อีกด้วย เช่น ในวิศวกรรมระบบควบคุมระบบฟัซซี่ได้รับความนิยมอย่างมาก สำหรับการควบคุมระบบที่มีความซับซ้อนและมีลักษณะไม่เป็นเชิงเส้น(nonlinear Systems)

1.2 วัตถุประสงค์

1. ให้ศึกษาและเข้าใจถึงชุดทดลองระบบตรรกศาสตร์ฟัซซี่

2. ให้ศึกษาและเข้าใจถึงทฤษฎีของ Fuzzy ซึ่งมีวิธีคิดและตัดสินใจโดยอาศัยความรู้และความชำนาญของมนุษย์ในการวิเคราะห์และกำหนดเงื่อนไขเพื่อให้การควบคุมเป็นไปอย่างถูกต้องโดยไม่ต้องอาศัย Math Models ที่ยุ่งยากในการวิเคราะห์

3.เพื่อให้ผู้ที่สนใจใช้เป็นแนวทางในการศึกษาหรืออ้างอิงได้

1.3 ขอบเขตของโครงงาน

สำหรับโครงงานนี้จะนำหลักการของระบบตรรกศาสตร์ฟัซซี่มาสร้าง เพื่อเป็นชุดฝึกทดลอง ลักษณะของโครงงานนี้จะทำเฉพาะทางด้าน Hardware อย่างเดียว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

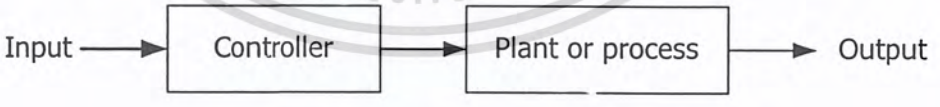
บทที่ 2
ทฤษฎีที่เกี่ยวข้อง

ในการควบคุมกระบวนการทางอุตสาหกรรม มีวิธีการควบคุมอยู่หลายวิธีซึ่งโดยปกติแล้วเรามักใช้ PID CONTROLLERในการควบคุมแต่ปัจจุบันกระบวนการทางอุตสาหกรรมมีความซับซ้อนมากขึ้นการควบคุมโดย PID จึงมีข้อจำกัดในการหารูปแบบของกระบวนการออกมาเป็นแบบจำลองทางคณิตศาสตร์ทำได้ยากเพื่อแก้ไขปัญหาดังกล่าวในปัจจุบันมีวิธีในการควบคุมกระบวนการที่ได้รับการคิดค้นและพัฒนาขึ้นหลายวิธี ซึ่งวิธีที่ได้รับความนิยมอย่างแพร่หลายคือการควบคุม โดยการเลียนแบบความคิดของมนุษย์ ที่ไม่จำเป็นต้องหาโมเดลทางคณิตศาสตร์ที่แน่นอนเพียงแค่กำหนดคำตอบที่ต้องการว่าเมื่อควบคุมแล้วจะให้ผลลัพท์เป็นอย่างไร เช่น ทฤษฎีของ Fuzzy set

ในการออกแบบควบคุมจะต้องอาศัยความรู้พื้นฐานเกี่ยวกับระบบควบคุม เพื่อใช้เป็นพื้นฐานในการทำความเข้าใจโครงสร้างและหลักการทำงานของระบบความคุมและเพื่อใช้ในการกำหนดโครงสร้างและวิธีการออกแบบให้เหมาะสมกับลักษณะการใช้งาน

2.1 ระบบควบคุมแบบ Open-loop

ระบบควบคุมแบบ Open-loop เป็นระบบควบคุมที่เอาท์พุทของระบบจะไม่มีผลต่อการควบคุมเลย คือเอาท์พุทของระบบจะไม่ถูกป้อนกลับเพื่อนำเทียบกับอินพุท รูปที่2.1 แสดงBlock diagram ของระบบควบคุมแบบ Open-loop ตัวอย่างที่ง่าย ๆ ของระบบควบคุมแบบ Open-loop ได้แก่ เครื่องซักผ้า กล่าวคือขั้นตอนของการดูดน้ำเข้าการซักและการปล่อยน้ำทิ้งนั้นจะเป็นไปตามเวลาที่ได้กำหนดไว้ล่วงหน้า แต่เครื่องซักผ้าไม่ได้มีการวัดเอาท์พุทซึ่งก็คือความขาวสะอาดของผ้าออกมาแต่อย่างใด



ระบบควบคุมแบบ Open-loop

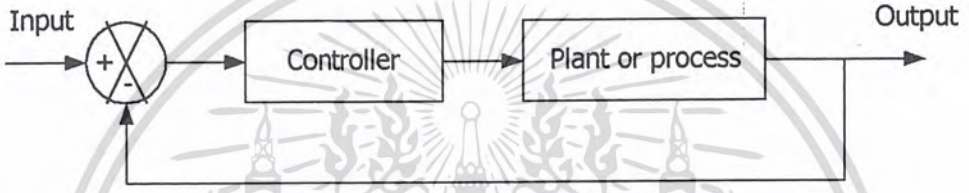
รูปที่2.1

ในระบบควบคุมแบบ Open-loop นั้นเอาท์พุทไม่ได้ถูกนำมาเปรียบเทียบกับอินพุท ดั้งนั้นความเที่ยงตรงของระบบจะขึ้นอยู่กับการเปรียบเทียบในทางปฏิบัติแล้วจะสามารถใช้การควบคุมแบบ Open-loop ได้ถ้าทราบถึงความสัมพันธ์ระหว่างอินพุทและเอาท์พุทของระบบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2 ระบบความคุมแบบ Closed-loop

ระบบควบคุมแบบ Closed-loop เป็นระบบควบคุมที่สัญญาณเอาท์พุทจะไม่มีผลโดยตรงต่อการควบคุม ดังนั้นระบบควบคุมแบบ Closed-loop ก็คือระบบควบคุมป้อนกลับนั่นเอง สัญญาณค่าความคลาดเคลื่อน (Actuating error signal) ซึ่งเป็นสัญญาณความแตกต่างระหว่างสัญญาณอินพุทกับสัญญาณป้อนกลับ (Feedback signal) จะถูกป้อนกลับให้กับตัวควบคุม (Controller) เพื่อที่จะลดค่าความคลาดเคลื่อนให้น้อยลงเพื่อที่จะทำให้เอาท์พุทของระบบมีค่าตามที่ต้องการ รูปที่ 2.2 แสดง Block diagram ของระบบควบคุมแบบ Closed loop



ระบบควบคุมแบบ Closed-loop

รูปที่ 2.2

ข้อดีของระบบควบคุมแบบ Closed-loop อย่างหนึ่งก็คือการป้อนกลับนำเอาสัญญาณเอาท์พุทมาเทียบกับสัญญาณอินพุทที่ต้องการ ดังนั้นจึงสามารถจะกำจัดหรือลดผลของ Disturbance จากภายนอกหรือภายในที่เกิดจากการเปลี่ยนแปลงค่าพารามิเตอร์ของระบบให้น้อยลงได้ ในบางครั้งจึงไม่จำเป็นที่จะต้องใช้อุปกรณ์ที่มีความเที่ยงตรงสูงและมีราคาแพงแต่อย่างใด แต่ในกรณีของระบบเปิดจะไม่เป็นเช่นนี้ กล่าวคือถ้ามี Disturbance เกิดขึ้นก็จะต้องทำการปรับอินพุท หรือพยายามกำจัด Disturbance นั้นทิ้งไปเพื่อให้เอาท์พุทมีค่าคงเดิมตามที่ต้องการอุปกรณ์ต่างๆ ที่ใช้ ต้องมีความเที่ยงตรงสูง

สำหรับในแง่ของเสถียรภาพแล้ว ปัญหาของเสถียรภาพไม่ใช่ปัญหาใหญ่ของระบบควบคุมแบบ Open-loop เพราะสามารถจะเห็นได้ทันทีว่าระบบเปิดจะเสถียรหรือไม่เสถียรต่ออินพุทที่มากระทำ ดังนั้นการทำให้ระบบเปิดเป็นระบบที่เสถียรจึงเป็นสิ่งที่ทำได้ไม่ยาก แต่สำหรับระบบควบคุมแบบปิดนั้น การที่จะทำให้ระบบเสถียรเป็นปัญหาที่สำคัญมากอย่างหนึ่ง ทั้งนี้เพราะมีการนำเอาสัญญาณเอาท์พุทมาเปรียบเทียบกับอินพุทเพื่อลดค่าความคลาดเคลื่อนซึ่งอาจทำให้เกิดการ Oscillate ต่อเนื่องกันไปหรือ Amplitude เปลี่ยนแปลงค่าไป

ฉะนั้น สำหรับระบบที่ทราบว่าอินพุทของระบบจะเปลี่ยนแปลงตามเวลาอย่างไร และแน่ใจว่าไม่มี Disturbance แล้ว การควบคุมระบบนี้จะใช้การควบคุมแบบ Open – loop สำหรับการควบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คุมแบบ Closed – loop จะใช้เมื่อไม่ทราบถึงการเปลี่ยนแปลงของอินพุทตามเวลา หรือในกรณีที่มี Disturbance หรือการเปลี่ยนแปลงค่าของอุปกรณ์ในระบบโดยไม่คาดคิดมาก่อน ในบางกรณีระบบใดๆ อาจจะมีการควบคุมแบบ Open – loop และการควบคุมแบบ Closed – loop ร่วมกันก็ได้เพื่อทำให้ระบบทั้งหมดมีสมรรถนะตามต้องการ

2.3 หลักการออกแบบระบบควบคุม

สิ่งที่ต้องการเป็นอันดับแรกสำหรับระบบควบคุมก็คือ ระบบนั้นๆ จะต้องเป็นระบบที่เสถียร ซึ่งจะต้องพิจารณาถึงเสถียรภาพสัมบูรณ์ (Absolute stability) และเสถียรภาพสัมพัทธ์ (Relative stability) ด้วย ระบบที่มีเสถียรภาพสัมพัทธ์ที่ดีนั้นความเร็วของผลตอบสนองของระบบจะต้องเร็วพอสมควร และการหน่วงก็ควรมีค่าไม่น้อยจนเกินไป นอกจากนี้แล้วระบบยังจะต้องสามารถลดค่าความคลาดเคลื่อนของระบบให้มีค่าเป็นศูนย์ หรือมีค่าน้อยที่สุดที่ยอมรับได้ แต่อย่างไรก็ตาม ความต้องการทั้งสองกรณีนี้คือ ต้องการให้เสถียรภาพสัมพัทธ์ดีและมีความเที่ยงตรงสูงที่สภาวะคงที่นั้นเป็นสิ่งที่มักจะขัดแย้งกันเสมอ เช่น ถ้าออกแบบให้ระบบมีเสถียรภาพสัมพัทธ์ที่ดี ค่าความเที่ยงตรงที่สภาวะคงที่ก็อาจจะลดน้อยลง เป็นต้น ดังนั้น จึงจำเป็นจะต้องหาวิธีการที่จะประณีประนอมความต้องการทั้งสองกรณีนี้ให้ยอมรับได้

ในการออกแบบระบบควบคุมใดๆนั้นมักจะมีวิธีการลองผิดลองถูกมาเกี่ยวข้องด้วยเสมอ สำหรับการ Systhesis ก็เป็นทฤษฎีของระบบควบคุมเชิงเส้นที่เป็นไปได้ และวิศวกรรมระบบควบคุมจะต้องสามารถหาอุปกรณ์ที่จำเป็นจะต้องใช้เพื่อให้ระบบทำงานได้ตามที่คำนวณไว้ แต่อย่างไรก็ตาม ในทางปฏิบัติแล้ว ระบบนั้นอาจมีเงื่อนไขข้อบังคับหลายอย่างหรืออาจเป็นระบบที่ไม่เป็นเชิงเส้น ซึ่งในแต่ละกรณีจะไม่สามารถใช้วิธีการSysthesisได้และนอกจากนี้การวิเคราะห์หาคุณลักษณะของอุปกรณ์แต่ละชนิดอาจจะทำได้ไม่แม่นยำนักดังนั้นโดยทั่วไปจึงนิยมออกแบบระบบโดยใช้วิธีการลองผิดลองถูก

โดยทั่วไปแล้วขั้นตอนในการออกแบบจะเป็นดังนี้ คือ ขั้นแรก วิศวกรจะต้องรู้ถึงข้อกำหนดหรือดัชนีแสดงสมรรถนะ คุณสมบัติไดนามิกของ Plant ที่กำหนด คุณสมบัติไดนามิกของอุปกรณ์การประยุกต์ใช้วิธีการ Systhesis ถ้าทำได้ ตลอดจนเทคนิคอื่นๆ เพื่อสร้างรูปแบบทางคณิตศาสตร์ของระบบทางกายภาพนั้นๆ ขึ้นมา เมื่อได้รูปแบบทางคณิตศาสตร์แล้ววิศวกรผู้ออกแบบก็สามารถจะหาคำตอบของระบบนั้นๆ ได้โดยการหาคำตอบทางคณิตศาสตร์ วิธีที่นิยมใช้ก็คือ การเลียนแบบ (Simulate) รูปแบบทางคณิตศาสตร์ของระบบนั้นๆ ด้วยคอมพิวเตอร์เพื่อตรวจสอบหาพฤติกรรมของระบบต่อสัญญาณอินพุทหลายๆ แบบรวมทั้ง Disturbance ด้วย เมื่อการวิเคราะห์ระบบนี้เสร็จลงแล้ว จะต้องเริ่มทำการออกแบบระบบใหม่เพื่อให้ระบบมีข้อกำหนดหรือสมรรถนะตามต้องการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากนั้นนำระบบที่ออกแบบแล้วมาวิเคราะห์ใหม่และทำเช่นนี้ไปเรื่อยๆจนกว่าจะได้ระบบที่ต้องการ

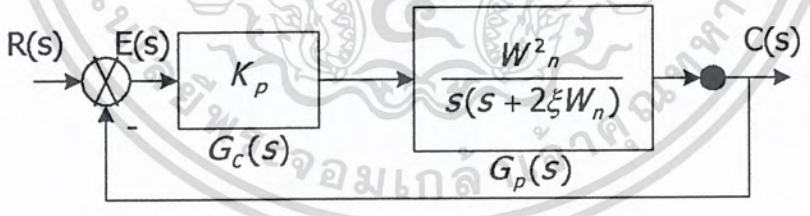
ขั้นตอนต่อไปก็คือ การสร้างต้นแบบ (Prototype) ของระบบทางกายภาพขึ้นมาจากรูปแบบทางคณิตศาสตร์ของระบบที่ออกแบบได้ข้างต้น ซึ่งจะเห็นว่าขั้นตอนนี้จะตรงกันข้ามกับการหารูปแบบทางคณิตศาสตร์ในตอนแรกต้นแบบของระบบทางกายภาพที่สร้างขึ้นมานี้จะใช้แสดงถึงรูปแบบทางคณิตศาสตร์ซึ่งมีความเที่ยงตรงแม่นยำอย่างไรก็ตามวิศวกรจะต้องทำการทดสอบการทำงานของระบบทางกายภาพด้วยว่าได้ผลเป็นที่น่าพอใจหรือไม่ ถ้าผลที่ได้เป็นที่น่าพอใจ การออกแบบก็เสร็จสมบูรณ์ แต่ถ้าผลที่ได้ยังไม่ดีพอก็จะต้องทำการแก้ไขต้นฉบับใหม่ และทำการทดลองอีกจนกว่าจะได้ต้นแบบที่ให้ผลเป็นที่น่าพอใจ

2.4 ชนิดของตัวควบคุม

ต่อไปจะกล่าวถึงชนิดของตัวควบคุมซึ่งมีอยู่หลายแบบ แต่ละแบบมีคุณสมบัติที่แตกต่างกันไป ในการออกแบบจึงต้องเลือกตัวควบคุมที่เหมาะสมจึงจะได้ระบบที่มีเสถียรภาพ

2.4.1 ตัวควบคุมแบบ Proportional Controller (P)

ตัวควบคุมแบบสัดส่วนนี้เป็นชนิดที่ง่ายที่สุดของตัวควบคุม โดยการควบคุมจะใช้ Gain เป็นพารามิเตอร์ในการควบคุม เหมาะกับ Process ที่ไม่ซับซ้อน การปรับพารามิเตอร์ก็ไม่ยุ่งยากเพราะปรับแค่ Gain เพียงอย่างเดียว



รูปที่ 2 – 3 แสดงถึงระบบควบคุมป้อนกลับแบบ Propotional

ฟังก์ชันถ่ายโอนของตัวควบคุม คือ

$$G_c(S) = Kp$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ฟังก์ชันถ่ายโอนแบบลูปเปิดของระบบที่ถูกควบคุมโดยรวม คือ

$$\frac{C(s)}{E(S)} = Gc(S)Gp(s) = \frac{W_n{}^2 Kp}{s(s + 2\xi W_n)}$$

คุณสมบัติของ Proportional Action

- เมื่อลด Kp ลงไป จะทำให้อัตราการขยายสูงขึ้น การควบคุมจะมีความไวขึ้น มีผลทำให้โปรแกรมเกิดการแกว่งขึ้นได้

- เมื่อเพิ่มค่า Kp อัตราขยายจะลดลง มีผลทำให้ค่าที่วัดได้กับค่าเป้าหมายแตกต่างกันมากขึ้น เราเรียกว่าเกิด Offset

- เมื่อโหลดของ Process มีสภาพแวดล้อมเปลี่ยนไปจากเดิม ซึ่งเราจะเรียกว่ามี Disturbance ก็จะเกิด Offset ได้ง่าย

Offset

Offset เป็นชื่อที่ใช้เรียกปรากฏการณ์ที่ตัวแปรโปรเซส หรือค่าวัดมีค่าไม่เท่ากับ ค่าเป้าหมาย ทำให้การควบคุมไม่เป็นไปตามที่ต้องการ แสดงความหมายของ Offset ในระบบการควบคุมแบบป้อนกลับนี้ เมื่อดูอย่างผิวเผิน Offset ไม่น่าจะเกิดขึ้นได้ เพราะตัวแปรโปรเซสจะถูกป้อนกลับมาเปรียบเทียบกับค่าเป้าหมายตลอดเวลา อย่างไรก็ตาม Offset มักจะเกิดขึ้นในระบบควบคุมที่มีการใช้ Proportional Control ที่มีค่า Kp ใหญ่ และขณะที่เกิด Disturbance ใน Process ซึ่งได้แก่ การเปลี่ยนแปลงของโหลดสภาพแวดล้อม เป็นต้น

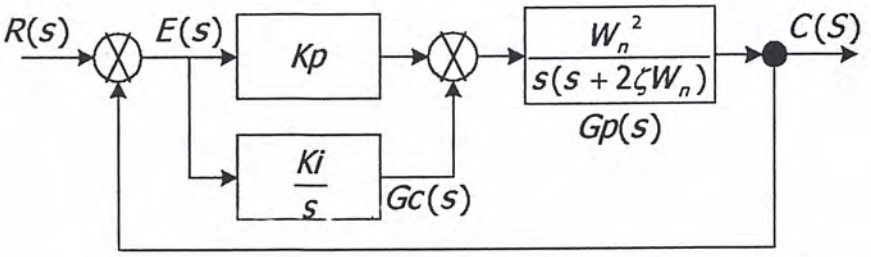
วิธีการแก้ Offset

- ทำให้การลดค่า Kp ให้เล็กลง
- เปลี่ยน BIAS ของการควบคุมด้วยมือ
- เปลี่ยนค่าเป้าหมายใหม่
- ใช้การควบคุมที่มี Reset Action (PI Controller)

2.4.2 ตัวควบคุมแบบ Proportional Integral Controller (PI)

ตัวควบคุมอีกแบบหนึ่งที่นิยมใช้ร่วมกับตัวควบคุมแบบสัดส่วน คือ ตัวควบคุมแบบอินทริกัล ซึ่งจะสร้างสัญญาณที่มีค่าเท่ากับการอินทริกัลของค่าความคลาดเคลื่อน รูปที่ 2 – 4 แสดงถึงรูปแบบของการควบคุมแบบอินทริกัลกับระบบอันดับสองสัญญาณที่ป้อนให้กับระบบจะแบ่งเป็นสองส่วนคือ สัญญาณที่เป็นสัดส่วนกับค่าความคลาดเคลื่อนและสัญญาณที่เป็นค่าอินทริกัลตามเวลาของค่าความคลาดเคลื่อนโดยที่ Kp เป็นค่าคงที่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2 – 4 แสดงถึงระบบควบคุมป้อนกลับแบบ PI

ฟังก์ชันถ่ายโอนของตัวควบคุม คือ

$$Gc(s) = Kp + \frac{Ki}{s}$$

ฟังก์ชันถ่ายโอนแบบลูปเปิดของระบบที่ถูกควบคุมโดยรวม คือ

$$\frac{C(s)}{E(s)} = Gc(s)Gp(s) = \frac{W_n^2(Kps + Ki)}{s^2(s + 2\xi Wn)}$$

ผลของการควบคุมแบบอินทริกรัลก็คือ เครื่องอันดับของระบบขึ้นอีกหนึ่งอันดับ หรือเพิ่มชนิดของระบบ (type of system) ขึ้นด้วยหนึ่ง นั่นก็คือ ค่าความคลาดเคลื่อนที่ภาวะคงที่ของระบบเดิมที่ไม่สามารถควบคุมแบบอินทริกัลจะถูกปรับปรุงให้ดีขึ้นด้วยอันดับที่เพิ่มมานี้ หรืออีกนัยหนึ่ง ถ้าค่าความคลาดเคลื่อนที่ภาวะคงที่ของระบบต่ออินพุทที่กำหนดให้มีค่าคงที่เมื่อเพิ่มตัวควบคุมแบบอินทริกัลเข้าไปจะทำให้มีความคลาดเคลื่อนนี้มีค่าเป็นศูนย์ เช่น ระบบอันดับสองในรูปที่ 2 – 4 นั้น ถ้าไม่มีตัวควบคุมแบบอินทริกัลรวมอยู่ด้วยจะมีค่าความคลาดเคลื่อนที่ภาวะคงที่ต่ออินพุทแบบ Step เท่ากับศูนย์ แต่จะมีค่าความคลาดเคลื่อนที่ภาวะคงที่ต่ออินพุทแบบ Ramp ถ้าระบบอันดับสองมีตัวควบคุมแบบอินทริกัลรวมอยู่ด้วย

ดังแสดงด้วย Open – loop transfer function ค่าความคลาดเคลื่อนที่ภาวะคงที่ต่ออินพุท Step และอินพุทแบบ Ramp จะมีค่าเท่ากับศูนย์ ซึ่งแสดงให้เห็นถึงว่าการควบคุมแบบอินทริกัลสามารถทำให้ค่าความคลาดเคลื่อนที่ภาวะคงที่ลดลงได้นั่นเอง

อย่างไรก็ตาม เนื่องจากตัวควบคุมแบบอินทริกัลนั้นไปทำให้อันดับของระบบเดิมเพิ่มขึ้นดังนั้น ระบบจะมีเสถียรภาพน้อยลงเมื่อเทียบกับระบบเดิมหรืออาจจะไม่เสถียรเลยก็ได้ กริยาการควบคุมแบบอินทริกัลนี้ บางครั้งเรียกว่า Reset Control การควบคุมแบบนี้สัญญาณควบคุมจะแปรค่าตามอินทริกัลต่อเวลาของผลต่าง เมื่อผลต่างเปลี่ยนเป็นแบบ Step สัญญาณควบคุมจะค่อยๆ เพิ่มขึ้นตาม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ค่าของเวลา ตามความหมายของ Integral Time คือ เวลาที่มีการใช้ไปในการเพิ่มค่าของสัญญาณควบคุมจนมีขนาดเท่ากับผลต่าง e(t) ที่เปลี่ยนแปลง ดังนั้นเมื่อ Ki มีค่าน้อยผลของ Integral Action จะมากกว่าเมื่อค่าของ Ki มีค่ามาก

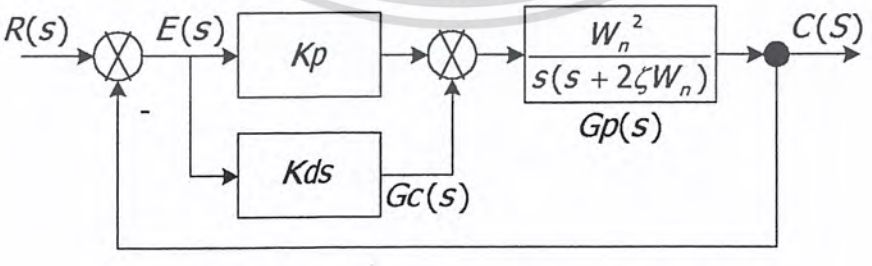
คุณสมบัติของ Integral Action

- Offset ที่เกิดขึ้นจาก P Action จะถูก Integral Action แก้ไขหมด

- เมื่อ Ki มีค่าน้อย ผลของ Integral Action จะมากทำให้เกิดการแกว่งได้ ซึ่งจะมีผลให้ระบบขาดเสถียรภาพ

2.4.3 ตัวควบคุมแบบ Proportional Derivative Controller (PD)

การควบคุมแบบนี้จะเหมาะกับกระบวนการที่มี Time lag มาก ๆ เพราะสามารถที่จะแก้ข้อผิดพลาดโดยการกระทำล่วงหน้าก่อนที่จะมีความผิดพลาดเกิดขึ้น ทั้งนี้เพราะสัญญาณควบคุมจะแปรตามอัตราการเปลี่ยนแปลงของสัญญาณ Error และในบางครั้งจะเรียกกริยาควบคุมแบบนี้ว่า Rate action การควบคุมแบบ Derivative Action นี้ไม่สามารถที่จะนำไปใช้ตามลำพังได้เพราะว่า Error เป็น 0 หรือมีค่าคงที่ ค่าควบคุมจะไม่ให้ค่าเอาท์พุทออกมาเลย ดังนั้น Derivative Action จึงใช้ร่วมกับการควบคุมแบบ Proportional ซึ่งตัวควบคุมแบบ Proportional จะมีข้อจำกัดซึ่งเป็นข้อเสีย คือ ในบางครั้งจำเป็นจะต้องมีการประนีประนอม (Compromise) ในการเลือกค่า Forward gain เพื่อที่จะทำให้ค่าของ Maximum overshoot และค่าความคลาดเคลื่อนที่ภาวะอยู่ในขอบเขตที่ยอมรับได้ ซึ่งในทางปฏิบัติแล้วทำได้ยาก เพราะเมื่อเลือก Gain มาก เพื่อที่จะให้ค่าความคลาดเคลื่อนที่ภาวะคงที่น้อย ค่า Maximum overshoot จะมาก และระบบอาจจะไม่เสถียรได้ถ้าระบบนั้นเป็นระบบอันดับสูง ด้วยเหตุนี้จึงจำเป็นต้องหาการควบคุมแบบอื่นมาร่วม เพื่อที่จะทำให้ผลตอบสนองชั่วครู่และผลตอบสนองภาวะคงที่ของระบบดีตามที่ต้องการ



รูปที่ 2 – 5 แสดงถึงระบบควบคุมป้อนกลับแบบ PD

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ฟังก์ชันถ่ายโอนของตัวควบคุม คือ

$$Gc(s) = Kp + Kds$$

ฟังก์ชันถ่ายโอนแบบลูปเปิดของระบบที่ถูกควบคุมโดยรวม คือ

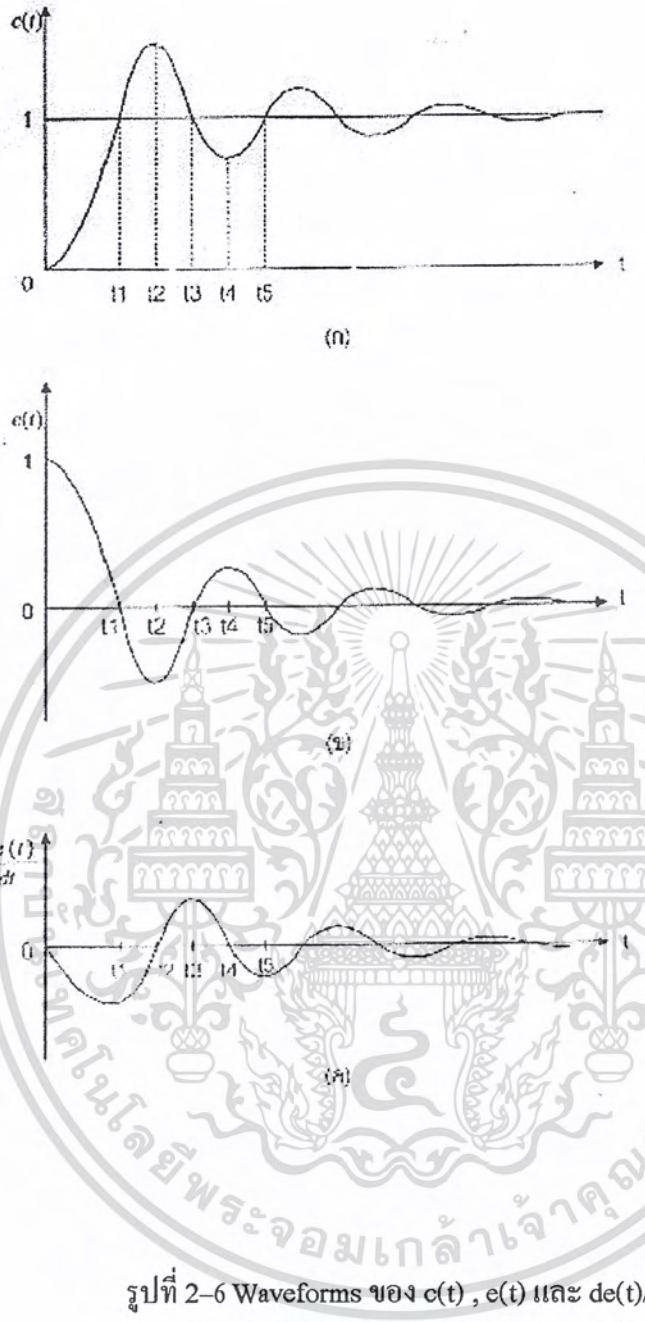
$$\frac{C(s)}{R(s)} = Gc(s)Gp(s) = \frac{W_n{}^2(Kp + Kds)}{S(S + 2\xi Wn)}$$

จากสมการข้างบนจะเห็นว่า การควบคุมแบบ PD จะเหมือนกับการเพิ่ม Zero ที่

$$s = \frac{-1}{Td}$$

ให้กับ Open – loop transfer function ซึ่งทำให้อัตราหน่วงมีค่ามากขึ้น และส่งผลให้ Maximum Overshoot มีค่าลดลง หรือหมดไปเลย อย่างไรก็ตาม ค่า Kd จะต้องมีค่าที่เหมาะสม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2–6 Waveforms ของ c(t) , e(t) และ de(t)/dt
แสดงถึงผลของการควบคุมแบบดีริเวทีฟ

ผลของการควบคุมแบบดีริเวทีฟที่มีต่อผลตอบสนองชั่วครู่ของระบบควบคุมสามารถจะพิจารณา ได้จากรูปที่ 2–6 โดยที่รูป(ก) เป็นผลตอบสนองของระบบอันดับสองต่ออินพุทที่เป็น Unit step ซึ่งไม่มีตัวควบคุม ดีริเวทีฟ (Derivative controller) รวมอยู่รูป (ข) และรูป (ค) เป็นสัญญาณความผิดพลาดระหว่างอินพุทและเอาท์พุท e(t) และค่าอนุพันธ์อันดับหนึ่งของ e(t) เทียบกับเวลาตามอันดับ จากรูป ในช่วงเวลา $0 < t < t1$ นั้นค่าความคลาดเคลื่อนจะเป็นบวกที่มีค่ามากซึ่งจะไปทำให้ผลตอบสนองของระบบเกิด Over shoot ขึ้นมาที่เวลา t2 สำหรับช่วงเวลา $t1 < t < t3$ นั้นค่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ความคลาดเคลื่อนจะมีค่าเป็นลบ และค่าลบนี้จะเป็นแรงต้านให้เอาท์พุทของระบบลดลง นั่นคือ ทำให้ e(t) เกิด Undershoot ในช่วงเวลา t3 < t < t5 และในช่วงของเวลา t3 < t < t5 นี้ค่าความคลาดเคลื่อนจะกลับมีค่าเป็นบวกอีก ซึ่งจะส่งผลทำให้ Undershoot ของผลตอบสนองลดลง เนื่องจากเราถือว่าระบบนี้เสถียร ดังนั้น ค่าความคลาดเคลื่อนจะลดลงทุกช่วงของการ Oscillate เอาท์พุทของระบบจึงสามารถเข้าสู่ค่าสุดท้ายที่ต้องการได้

เพื่อเป็นการลดค่า Overshoot ลง เราจะเพิ่มตัวควบคุมแบบดีริเวทีฟลงในระบบควบคุมดังในรูปที่ 2 ดังนั้นค่าความคลาดเคลื่อนด้วยค่าของสัญญาณที่เป็นสัดส่วนกับอัตราการเปลี่ยนแปลงต่อเวลาของค่าความคลาดเคลื่อน ค่าของสัญญาณที่เพิ่มเข้าไปนี้แสดงดังรูปที่ 3 (ค) ในช่วง 0 < t < t1 ค่าของสัญญาณ de(t)/ dt เป็นลบ ดังนั้นจะเห็นว่าแรงต้านที่เป็นค่าลบนี้จะมากกว่ากรณีที่ไม่มีตัวควบคุมดีริเวทีฟ นั่นก็คือ ทำให้ Overshoot มีขนาดเล็กลง สำหรับในช่วง t2 < t < t3 นั้น e(t) และ de (t) จะมีเครื่องหมายตรงกันข้าม และก็ทำให้ Undershoot ลดลงเช่นกัน

การควบคุมแบบดีริเวทีฟจะไม่มีอิทธิพลต่อค่าคลาดเคลื่อนที่ภาวะคงที่ ถ้าค่าคลาดเคลื่อนนี้เป็นค่าคงที่ นั่นคือ ถ้า e(t) เป็นค่าคงที่ de(t) /dt จะมีค่าเท่ากับศูนย์ ซึ่งแสดงว่าการควบคุมแบบดีริเวทีฟจะไม่มีอิทธิพลต่อค่าความคลาดเคลื่อนที่ภาวะคงที่ แต่ถ้าค่าความคลาดเคลื่อนที่ภาวะคงที่ของระบบแปรตามเวลาแล้ว de(t) /dt จะไม่เท่ากับศูนย์แสดงว่าการควบคุมแบบดีริเวทีฟจะมีอิทธิพลต่อค่าความคลาดเคลื่อนที่ภาวะคงที่

ผลของการควบคุมแบบดีริเวทีฟที่มีต่อผลตอบสนองชั่วครู่ของระบบควบคุมป้อนกลับสามารถจะแสดงได้โดยพิจารณาถึง Open-loop transfer function เพราะฉะนั้น Closed loop transferfunction และสมการคุณลักษณะคือ

$$\frac{C(s)}{R(s)} = \frac{(1+\tau_d s)W_n^{\,2}}{s^2 + (2\zeta W_n + \tau_d W)S + W_n^{\,2}}$$

จากสมการข้างบนจะเห็นว่าการควบคุมแบบดีริเวทีฟไปทำให้สัมประสิทธิ์ของ S เพิ่มขึ้นด้วยค่า Td $\omega_n^{\,2}$ นั่นก็คือ ทำให้อัตราการหน่วงของระบบเพิ่มขึ้นนั่นเองดังนั้นผลตอบสนองของระบบจะมี Overshoot ลดลงหรืออาจจะไม่มี Overshoot เลยก็ได้

คุณสมบัติของ D Action

- เหมาะสำหรับ Process ที่มี Time lag มากๆ จะช่วยให้การควบคุมถึงจุดที่ต้องการเร็วขึ้น
- ถ้า Td มากไป ผลของ D Action จะมาก ทำให้ระบบทั้งระบบไว้ขึ้นขาดเสถียรภาพ

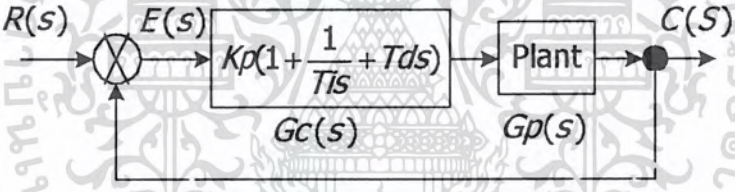
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- ไม่เหมาะกับ Process ที่มี Time lag น้อยๆ และตัวแปร Process เปลี่ยนแปลงได้ง่าย เช่น ระบบควบคุมการไหล ความดัน เป็นต้น

2.4.4 ตัวควบคุมแบบ Proportional Integral Derivative Controller (PID)

ดังที่ทราบแล้วว่าตัวควบคุมแบบ PD จะทำให้อัตราการหน่วงมีค่ามากขึ้นและส่งผลให้ระบบมีเสถียรภาพสัมพัทธ์ดีขึ้นแต่ไม่มีผลโดยตรงต่อผลตอบสนองที่ภาวะคงที่ส่วนตัวควบคุมแบบ PI นั้นจะทำให้อัตราการหน่วงมีค่าเพิ่มขึ้นพร้อมๆ กับทำให้ค่าความคลาดเคลื่อนที่ภาวะคงที่ ลดลงหรือหมดไป แต่ทำให้ Rise Time และ Settling Time มีค่ามากขึ้น ดังนั้น บางครั้งจึงจำเป็นต้องใช้ตัวควบคุมแบบ PID เพื่อทำให้ระบบที่ควบคุมมีสมรรถนะตามต้องการ

การควบคุมแบบ PID นั้นจะสามารถที่ทำได้จากการรวมเอากริยาควบคุมแบบ Proportional ซึ่งเป็นอัตราขยาย กริยาควบคุมแบบ Integral ซึ่งสามารถแก้ค่า Offset และ Overshoot ที่จะทำให้เกิดการ Oscillate และกริยาควบคุมแบบ Derivative จะทำให้เกิดผลตอบสนองได้รวดเร็ว



รูปที่ 2-7 แสดงถึงระบบควบคุมป้อนกลับแบบ PID

ฟังก์ชันถ่ายโอนของตัวควบคุมแบบ PID เป็นดังนี้

$$Gc(s) = Kp(1 + \frac{1}{T_i s} + T_d s)$$

โดยที่ Kp = Proportional Gain

Ti = Integral Time

Td = Derivative Time

การออกแบบตัวควบคุม PID จะพิจารณาได้ดังต่อไปนี้

- ฟังก์ชันถ่ายโอนของตัวควบคุม PID จะประกอบไปด้วยส่งของตัวควบคุม PI และ PD

- เทอมของตัวควบคุมแบบ PI จะทำให้ค่าความคลาดเคลื่อนที่ภาวะคงที่ลดลงหรือเป็นศูนย์ ดังนั้น จะพิจารณาเลือกค่าของ Kp ที่ทำให้ Rise Time และ / หรือ Settling Time เป็นไปตามต้องการ โดยจะไม่คำนึงถึง Maximum Overshoot ว่าจะมากหรือน้อยเพียงใด (ส่วนใหญ่จะมาก)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- เทอมของตัวควบคมแบบ PD จะพิจารณาเลือกค่าของ Kd ที่จะทำให้อัตราการหน่วง หรือ Maximum Overshoot เป็นไปตามต้องการ

วิธีอื่นที่ใช้ได้เช่นกัน คือ เริ่มออกแบบส่งของตัวควบคุมแบ PD ก่อนเพื่อหาค่าเหมาะสม ถ้าตัวควบคุมแบบ PD ทำให้ระบบที่ถูกควบคุมมีสมรรถนะตามต้องการ การออกแบบก็เสร็จสิ้น ถ้าตัวควบคุมแบบ PD ยังให้ผลไม่เป็นที่น่าพอใจ จึงเพิ่มตัวควบคุมแบบ PI เข้ามา

การปรับค่าของตัวควบคุม PID

การปรับค่าพารามิเตอร์ของตัวควบคุม PID เป็นสิ่งที่จำเป็นเพื่อให้ได้การควบคุมที่ดีที่สุด ซึ่งทำได้หลายวิธี บางวิธีจะพิจารณาผลตอบสนองของระบบและอาศัยประสบการณ์ บางวิธีจะอาศัยคณิตศาสตร์ และส่วนใหญ่จะพิจารณาจากเงื่อนไขในโดเมนเวลามากกว่าในโดเมนความถี่

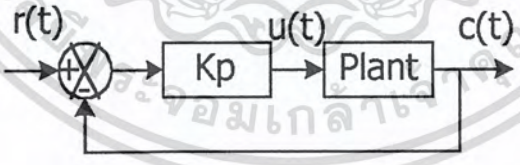
การปรับค่าของตัวควบคุม PID โดยวิธีของ Ziegler - Nichols

วิธี Ultimated Method

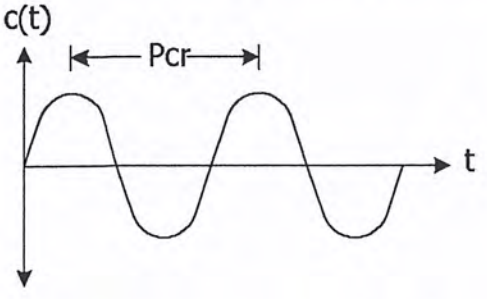
วิธีนี้จะหาค่าพารามิเตอร์ของตัวควบคุม PID จากผลตอบสนองเวลาของระบบ หรือกระบวนการที่ถูกควบคุมด้วยตัวควบคุมแบบ P ต่ออินพุทแบบ Unit step โดยปรับค่าของ Kp ไปเรื่อยๆ จนผลตอบสนองเวลาเกิดการแกว่งอย่างต่อเนื่อง (Sustained Oscillations) ดังในรูป (ถ้าผลตอบสนองเวลาไม่เกิดการแกว่งอย่างต่อเนื่อง วิธีนี้จะใช้ไม่ได้) จากนั้นหาค่าของ

Kcr (Critical Gain) เป็นอัตราการขยายที่ทำให้ผลตอบสนองเวลาเกิดการแกว่งอย่างต่อเนื่อง

Pcr (Oscillation Period) เป็นคาบเวลาของการแกว่งอย่างต่อเนื่อง



รูปที่ 2–8 ระบบควบคุมแบบ Proportional



รูปที่ 2 – 9 แสดงการ Oscillation เพื่อหาค่า Pcr

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Ziegler – Nichols ได้กำหนดค่าของ Kp , Ti และ Td สำหรับตัวควบคุมแบบต่างๆ ดังนี้

ตัวควบคุมแบบ P

Kp = 0.5 Kcr

ตัวควบคุมแบบ PI

Kp = 0.45 Kcr

Ti = Pcr/1.2

ตัวควบคุมแบบ PD

Kp = 0.6 Kcr

Td = 0.125 Pcr

ตัวควบคุมแบบ PID

Kp = 0.6 Kcr

Ti = 0.5 Pcr

Td = 0.125 Pcr

State – space

State – space เป็นเทคนิคที่ช่วยในการแก้สมการ nth – order differential โดยเราสามารถนำ Transfer function มาคำนวณหา Output ได้

Transfer function จะมีรูปแบบดังนี้

$$\frac{Y(S)}{U(s)} = \frac{b_o s^n + b_1 s^{n-1} + \ldots + b_{n-1} s + b_n}{s^n + a_1 s^{n-1} + \ldots + a_{n-1} s + a_n}$$

เช่น

$$\frac{Y(s)}{U(s)} = \frac{160s + 640}{s^3 + 18s^2 + 192s + 640}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

State space matrix

รูปแบบของ State space matrix เป็นดังนี้

$$\begin{bmatrix} X_1 \\ X_2 \\ . \\ . \\ . \\ X_{n-1} \\ X_n \end{bmatrix} = \begin{bmatrix} 0 & 1 & 0 & \dots & 0 \\ 0 & 0 & 1 & \dots & 0 \\ . & . & . & & . \\ . & . & . & & . \\ . & . & . & & . \\ 0 & 0 & 0 & \dots & 1 \\ -a_n & -a_{n-1} & -a_{n-2} & \dots & -a_1 \end{bmatrix} \begin{bmatrix} X_1 \\ X_2 \\ . \\ . \\ . \\ X_{n-1} \\ x_n \end{bmatrix} + \begin{bmatrix} \beta 1 \\ \beta_2 \\ . \\ . \\ . \\ \beta_n - 1 \\ \beta_n \end{bmatrix} u$$

โดยมีค่าพารามิเตอร์ดังนี้

$$\beta_0 = b_0$$

$$\beta_1 = b_1 - a_1\beta_0$$

$$\beta_2 = b_2 - a_1\beta_1 - a_2\beta_0$$

$$\beta_3 = b_3 - a_1\beta_2 - a_2\beta_1 - a_3\beta_0$$

.

.

.

$$\beta_n = b_n - a_1\beta_{n-1} - \dots - a_{n-1}\beta_1 - a_n\beta_0$$

เราสามารถแทนค่าพารามิเตอร์ต่างๆ ลงใน State - space matrix แล้วคำนวณหาค่า Output ได้จาก

$$y = \begin{bmatrix} 1 & 0 & \dots & 0 \end{bmatrix} \begin{bmatrix} X_1 \\ X_2 \\ . \\ . \\ . \\ X_n \end{bmatrix} + \beta_o u$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.5 Fuzzy คืออะไร

Fuzzy เป็นศัพท์เทคนิคโดยเฉพาะ หมายถึงสภาพแห่งความกำกวมหรือคลุมเครือที่มีฐานมาจากสัญชาติญาณมนุษย์มากเสียยิ่งกว่าเรื่องขอความน่าจะเป็น

ลักษณะเด่นของ Fuzzy

ประการแรกFuzzy Set สามารถให้คำจำกัดความของคุณภาพทางภาษา(Quantitatively Using Linguistic Terms) ได้ดี เช่น สูง เตี้ย ดี เลว ร้อน เย็น เป็นต้น และยังให้ค่าความสำคัญของแต่ละสมาชิกใน Fuzzy Set ได้ (Degree Membership)

ประการที่สอง Output ที่ได้จาก Fuzzy System จะมีการเปลี่ยนแปลงแบบค่อยเป็นค่อยไปอย่างต่อเนื่องถึงแม้ว่า input ของ Fuzzy System จะเปลี่ยนไปอย่างทันทีทันใดก็ตาม

ทำไมจึงต้องใช้ Fuzzy Control

เหตุผลทางทฤษฎี

-FUZZY CONTROL ไม่ต้องการ Mathematical Model ทำให้สามารถออกแบบการควบคุมที่มี Mathematucal Model ยากๆได้

-FUZZY CONTROL สามารถออกแบบโดยนำข้อมูลจากผู้เชี่ยวชาญซึ่งมีลักษณะไม่ชัดเจนมาใช้ได้อย่างมีระบบและมีประสิทธิภาพซึ่ง Controller แบบเก่านั้นไม่สามารถนำข้อมูลแบบภาษามนุษย์มาใช้ได้

-FUZZY CONTROL นั้นเป็น Non- linear Controller ซึ่งถูกปรับแต่งโดยทฤษฎี Universal Approximation Fuzzy Logic Control ซึ่งสามารถปรับแต่งให้ทำงานเป็น Non-linear Controller

เหตุผลทางปฏิบัติ

-เข้าใจง่าย เนื่องจาก Fuzzy Control เป็นการเลียนแบบวิธีการควบคุมของมนุษย์ซึ่งหลักการของ Fuzzy Control ก็สามารถที่จะเข้าใจง่ายแม้แต่โดยบุคคลซึ่งไม่ใช่ผู้เชี่ยวชาญ ใน 2 ทศวรรษที่ผ่านมาทฤษฎีการควบคุมแบบเก่าได้มีการใช้ Mathematical Tools ที่ซับซ้อนมากขึ้นเรื่อย ๆ ซึ่งก็เป็นสิ่งจำเป็นในการแก้ปัญหาที่ยาก ซึ่งวิศวกรที่เข้าใจในทฤษฎีมีน้อย

-Implementได้ง่ายระบบ Fuzzy Logic ซึ่งเป็นหัวใจของ Fuzzy Control สามารถ Implement ได้ไม่ยากนักปัจจุบันมี Fuzzy VLSI Chip เกิดขึ้นมากมายซึ่งก็จะทำให้ในการสร้าง Fuzzy Controller ทำได้ง่ายและรวดเร็ว

-ใช้ค่าใช้จ่ายไม่มากนักในการพัฒนา เนื่องจาก Fuzzy Control นั้นสามารถทำความเข้าใจได้ง่าย ใช้เวลาในการเรียนรู้ไม่มากนัก ทำให้ Software Cost ต่ำและจากการที่ Fuzzy Control สามารถ Implement ได้ง่ายจึงทำให้ Hardware Cost ต่ำด้วยเช่นกันนอกจากนี้ยังมี Software Tools

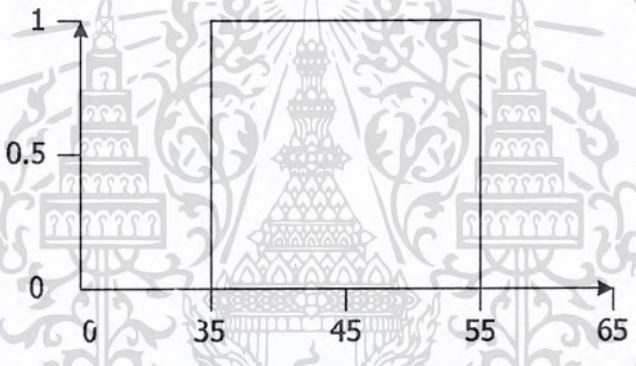
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำนักหอสมุดกลาง_พระจอมเกล้าลาดกระบัง

สำหรับออกแบบ Fuzzy Controller อีกด้วย ดังนั้น Fuzzy Control จึงเป็นวิธีการที่มีอัตราส่วนระหว่างประสิทธิภาพการทำงานต่อราคาสูงมากที่เดียว

2.6 FUZZY ทำงานอย่างไร

Fuzzy Sets เป็นทฤษฎีทางคณิตศาสตร์ ที่ใช้เป็นเครื่องมือในการตัดสินใจ ซึ่งจะเป็นการเลียนแบบการตัดสินใจของมนุษย์ คือ จะเป็นการประมาณ(Approximation) จากปัจจัยหรือตัวแปรต่าง ๆ ของระบบเพื่อสรุปหาเหตุผล ดังนั้น Fuzzy Logic จึงไม่ใช่ลอจิกที่มีเพียง 0 กับ 1 (Crisp Sets)ดังแสดงในรูปที่ 2.6 เท่านั้น แต่เป็นลอจิกที่แทนความหมายของตัวแปรโดยบอกถึงระดับความเป็นสมาชิกของตัวแปรนั้น ๆ ดังแสดงในรูปที่ 2.6



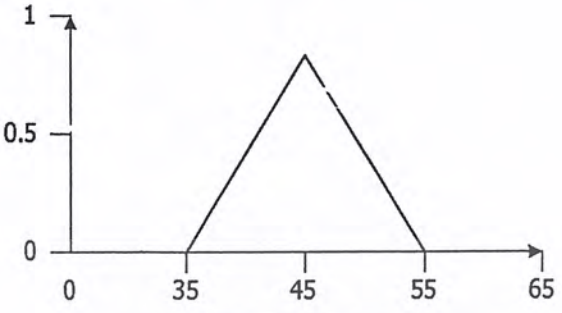
กราฟแสดง Crisp Sets ของช่วงอายุวัยกลางคน

รูปที่ 2.6

ตัวอย่าง เมื่อนึกถึงคำว่า "วัยกลางคน" เราพบว่ามีขอบเขตที่คลุมเครือ คือไม่ทราบค่าที่แน่นอนได้จึงไม่อาจจะใช้ระบบไบนารี่ในเครื่องคอมพิวเตอร์ธรรมดาแก้ปัญหานี้ได้ จุดนี้เองที่ ทฤษฎี Fuzzy เข้ามาช่วยในการคำนวณหาขอบเขตโดยสมมติว่า เราสรุปว่า วัยกลางคนหมายถึงอายุ 45 ปี แต่คนอายุ 35 หรือ 55 ก็ไม่อาจจะจัดอยู่ในข่าย "ไม่ใช่วัยกลางคนได้" ดังนั้นความหมายของคำว่า "วัยกลางคน" นั้นค่อนข้างจะแตกต่างกันภายในกรอบแห่งขอบเขตนั้น ในทางตรงกันข้าม ผู้ที่มีอายุน้อยกว่า 30 หรือมากกว่า 60 ก็เรียกได้ว่า "ไม่อยู่ในข่ายวัยกลางคนแน่" ความคิดนี้แสดงออกมาได้ตามกราฟรูปที่ 1-2 หรือตามฟังก์ชันที่เรียกว่า "ฟังก์ชันความเป็นสมาชิก" (Membership Function) ที่มีค่าเกรดระหว่าง 0 และ 1 โดย Fuzzy Sets ก็แสดงออกในรูปของฟังก์ชันความเป็นสมาชิกนี้อย่างไรก็ดีสังเกตด้วยว่าค่าเกรดระหว่างฟังก์ชันความเป็นสมาชิกจะแปรเปลี่ยนได้ระหว่าง 0 และ 1 นี่เองทำให้การแสดงออกมาเป็นรูปธรรมที่เป็นตัวเลขได้ดังแสดงในรูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

46424



แสดงกราฟ Fuzzy Sets ของช่วงอายุวัยกลางคน

จากรูป คนอายุ 34 และ 56 จะไม่ถูกจัดเป็น "วัยกลางคน" แต่ใครก็ตามที่ตอนนี้ที่ยังคิดว่าตัวเองหนุ่มด้วยอายุแค่ 34 ก็จะย่างเข้า "วัยกลางคน" ทันทีเมื่อถึงวันเกิดในปีหน้า ลักษณะค่อนข้างยืดหยุ่นนี้เกิดเป็นเพราะการกำหนดค่าที่ไม่มีความหยืดหยุ่น แนวคิดที่มีการกำหนดค่าชัดเจนในรูป 0 หรือ 1 เช่นเดียวกับระบบไบนารีที่ใช้กันในคอมพิวเตอร์ธรรมดาทั่วไปนั้นทำงานโดยกำหนดช่วงตายตัว (Fixed Range) โดยที่เรากำหนดไว้ว่า "วัยกลางคน" คือช่วงระหว่าง 35 ถึง 55 ปี ลักษณะเช่นนี้เรียกว่า Crisp Sets ซึ่งจะมีลักษณะที่ตรงกันข้ามกับ Fuzzy Sets อย่างสิ้นเชิง

2.7 FUZZY MODELS

องค์ประกอบหลักสำหรับระบบควบคุมโดยใช้ Fuzzy Logic มีดังนี้

2.7.1 Fuzzification of Inputs (FUZZIFIER)

คือขั้นตอนที่ทำหน้าที่แปลงข้อมูลที่เข้ามาไปเป็น Input ของระบบ Fuzzy ซึ่งจะอยู่ในรูปของค่าความเป็นสมาชิก (Degree of Membership) ใน Fuzzy Set

2.7.2 Rule Evaluation (กฎของการวินิจฉัย)

สำหรับกฎการวินิจฉัยค่า Input และค่าความจริงจะสนับสนุนเงื่อนไขสำหรับการสร้างส่วนกำหนดรูปแบบ Fuzzy ที่ช่วงปกติ Fuzzy Complier จะสุ่มค่าของ Input และนำมาวินิจฉัยค่าเพื่อให้ได้ผลออกมาทาง Output ของระบบตามทฤษฎี ระบบจะรวมเอาค่าที่เป็นไปได้ทั้งหมดของ Input เพื่อนำมาวินิจฉัยและประมวลผล แต่จริง ๆ แล้วการครอบคลุมค่าเหล่านี้ไม่จำเป็นในการใช้งานปกติ

กฎของการวินิจฉัยนั้นได้มาจากการสร้างความสัมพันธ์ระหว่าง Input และ Output ขึ้นมาเพื่อนำไปสู่ Output ที่ต้องการ ซึ่งความสัมพันธ์ระหว่าง Input และ Output ก็คือ Rule นั่นเอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ลักษณะของ IF/THEN RULES มีดังนี้

IF เงื่อนไข THEN ผลลัพธ์ หรือ

IF เงื่อนไข (1) AND เงื่อนไข (2) THEN ผลลัพธ์,ผลลัพธ์,...

เช่น IF Dt = NB AND DT=NM THEN DTO=PS

หมายเหตุ DT = error

DT = change of error

Dto = Output

NB = Negative Big

NM = Negative Medium

PS = Positive Small

2.7.3 Defuzzification of Outputs (DEFUZZIFIER)

Defuzzifierคือ ขั้นตอนที่ทำการเปรียบเทียบ Fuzzy Output ทั้งหมดเข้ากับผลลัพธ์รวมเทคนิคและวิธีการในการเปลี่ยน Fuzzy Sets เป็น Crisp Setsมีอยู่หลายเทคนิคซึ่งจะกล่าวถึงเป็นบางเทคนิคดังนี้

1. เทคนิค Maximizer เลือกค่าสูงสุดจากหลายๆ แบบมาเพียงแบบหนึ่ง

เป็นการใช้ค่าสูงสุดของค่าระดับการเป็นสมาชิก จากการกระทำหลาย ๆ แบบแล้วเลือกกระทำเพียง 1รูปแบบ จากตัวอย่างลิ้นบังคับน้ำมันสมมติว่าผลของการกระทำของ 3 ระบบมีค่าของลิ้นบังคับน้ำมันคือ

μ ช้า = 0.75

μ ช้า = 0.75

μ ปานกลาง = 0.2

ดังนั้นการกระทำของลิ้นบังคับน้ำมันจะใช้ค่า μ ช้า = 0.75 เป็นค่าสูงสุด

ถ้าหากเกิดการกระทำที่มีค่าμสูงสุดเท่ากัน 2 อย่างจะต้องใช้รูปแบบการแก้ปัญหาอีกลักษณะหนึ่ง คือใช้ค่าเฉลี่ยของค่า Output หรือเลือกการกระทำที่สัมพันธ์กับต่างระดับของระบบพื้นฐาน ถึงแม้เทคนิค Maximizer จะเป็นวิธีการที่ง่ายที่สุด แต่ก็ไม่มีประสิทธิภาพเท่าที่ควร

2. ทฤษฎีค่าน้ำหนักเฉลี่ย

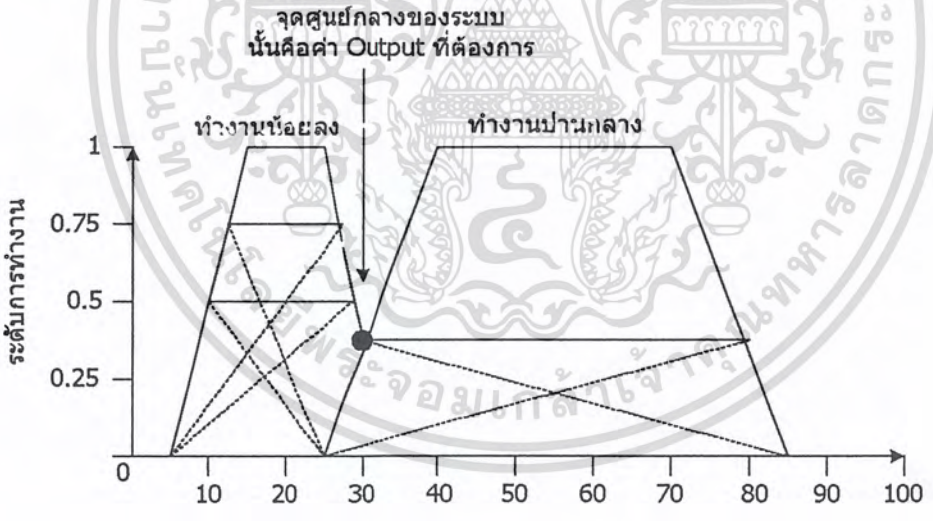
จะใช้ค่าเฉลี่ยของการกระทำหลังจากการกำหนดค่าระดับการเป็นสมาชิกไว้ล่วงหน้าแล้ว เป็นวิธีที่ง่าย และใช้การคำนวณเพียงเล็กน้อย แต่ยังให้ค่าไม่ค่อยชัดเจน เพราะค่า Output ของฟังก์ชันระดับการเป็นสมาชิก (Membership Function) มีค่า Output มากกว่า 1 ค่า ต่อค่า μ ที่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กำหนดให้ ค่า Output ฟังก์ชันของการเป็นสมาชิกมีลักษณะคล้ายกับรูปปิระมิด หรือปิระมิดตัดยอด ถ้า μ = 0.5 ค่า Output มาจากฟังก์ชันของขอบสัญญาณทั้งด้านขาขึ้นและขาลง ถ้า μ = 1 จะมีค่าตรงกับช่วงของสัญญาณที่เกิดขึ้นทั้งหมด

วิธีการกำจัดไม่ชัดเจนสามารถทำได้ด้วยกระบวนการ Dampling ค่าในฟังก์ชัน Output ด้วยค่าที่แน่นอนให้กลับไปอยู่ในฟังก์ชัน input ซึ่งเป็นวิธีน่าเบื่อและไม่สามารถใช้ค่าที่เป็นค่าตรงข้ามของฟังก์ชัน input ในการวิเคราะห์ด้วย ตัวอย่างเช่น เราจะไม่ใช่ว่าถ้าความเร็วคือไม่เร็ว เป็นต้น

กรรมวิธีนี้จะรวมค่า Output ของการกระทำหลาย ๆ ค่า เป็นค่าเดียวสำหรับใช้ในระบบและค่า Output ค่าเดียวนี้เป็นค่าน้ำหนักเฉลี่ยของศูนย์กลาง(Centered) ของแต่ละฟังก์ชัน ระดับการเป็นสมาชิกตัวอย่าง การกระทำ 3 แบบ ของลิ้นบังคับน้ำมันในเครื่องยนต์ ซึ่งกระทำดังนี้การทำในเซตช้า (Slight) ด้วยค่า μ = 0.75 และ 0.4 ในเซตปานกลาง (Medium) ด้วยค่า μ = 0.2 จะได้ค่าศูนย์กลาง ซึ่งแสดงโดยวงกลมเล็ก ๆ และค่า Output ที่ได้จะควบคุมให้ลิ้นบังคับน้ำมันของเครื่องยนต์ทำงานที่ระดับ 29% ของระดับการทำงานทั้งหมด ดังรูปที่ 1-3



รูปที่ 2-3 กรรมวิธีค่าศูนย์กลาง ซึ่งเป็นวิธีการ DEFUZZIFIER

4. กรรมวิธีซิงเกิลตัน : สังเคราะห์เอา Output เดียว

เป็นเทคนิคพิเศษขอแบบกรรมวิธีค่าศูนย์กลาง หรือหรือจะเรียกอย่างคือกรรมวิธี Remaining Combination Defuzzification วิธีนี้เป็นการนำ Output ของแต่ละ Fuzzy มาใช้ใหม่เป็นค่า Output ค่าโดยใช้ค่าน้ำหนักเฉลี่ย จากการกระทำรวมกันหลาย ๆ อย่าง วิธีนี้ได้ ค่าความถูกต้องน้อยกว่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กรรมวิธีค่าศูนย์กลางและยังคงต้องการการซ้อนทับกันของ Input ฟังก์ชันเพื่อเป็นการหลีกเลี่ยงความไม่ต่อเนื่องของ Output ด้วยหลักการและคำนวณที่ไม่ยุ่งยาก

2.8 ทฤษฎี Fuzzy Control

ระบบควบคุมแบบ Fuzzy มีพื้นฐานแนวความคิดมาจากทฤษฎี Fuzzy Logic และทฤษฎี Fuzzy Sets

ทฤษฎี Fuzzy Sets คือยอมรับสมาชิกที่มีลักษณะตามเซตเพียงบางส่วนเข้ามาเป็นสมาชิกซึ่งแตกต่างจากทฤษฎีเซตดั้งเดิม (Crisp Set) ทฤษฎีเซตดั้งเดิมจะเน้นชัดเจนเลยว่าเป็นสมาชิกของเซตหรือไม่เท่านั้นไม่มีการสมาชิกของเซตเพียงบางส่วน

2.9 ทฤษฎี Crisp Sets มีหลักการดังนี้

1.การเป็นสมาชิกของเซต

"ถ้า X เป็นสมาชิกของเซต A" เราจะใช้สัญลักษณ์

$$X \in A$$

"ถ้า X ไม่เป็นสมาชิกของเซต A" เราจะใช้สัญลักษณ์

$$X \notin A$$

ซึ่งใน Crisp Set เราจะระบุชัดเจนว่าสมาชิกของ Universe เป็นสมาชิกของเซต A หรือไม่เราสามารถแทนค่าระดับการเป็นสมาชิก (Membership function) ซึ่งแทนด้วยสัญลักษณ์ μ ดังนี้

$$\mu_A(X) = 1 \quad \text{ก็ต่อเมื่อ } A \in B$$

$$\mu_A(X) = 0 \quad \text{ก็ต่อเมื่อ } A \notin B$$

2. การเป็นสับเซต

"ถ้าสมาชิกทุกตัวของเซตA เป็นสมาชิกของเซต B เป็นสับเซตของเซตB"เราจะใช้ สัญลักษณ์การเป็นสับเซตดังนี้

$$A \subseteq B$$

3. การเท่ากันของเซต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

"ถ้าสมาชิกทุกตัวของเซต A เท่ากับสมาชิกทุกตัวของเซต B จะเรียกว่าเซต A เท่ากับเซต B เราจะใช้สัญลักษณ์การเท่ากันดังนี

$$A=B$$

4. การไม่เท่ากันของเซต

"ถ้าสมาชิกทุกตัวของเซต A ไม่เท่ากับสมาชิกทุกตัวของเซต B จะเรียกว่า เซต A ไม่เท่ากับ เซต E" เราใช้สัญลักษณ์การไม่เท่ากันดังนี้

$$A\neq B$$

5. การเป็นสับเซตแท้

"ถ้าสมาชิกทุกตัวของเซต A เป็นสับเซตของเซต Bจะเรียกว่าเซต A เป็นสับเซตแท้ของเซต B" เราใช้สัญลักษณ์การเป็นสับเซตแท้ดังนี้

$$A\subset B$$

6. การปฏิบัติการเบื้องต้นของเซต ได้แก่

-Complement เป็นการสร้างเซตใหม่โดยสมาชิกของเซตใหม่จะไม่เป็นสมาชิกของเซต A เลย Complement A = A'

-Union เป็นการสร้างเซตใหม่โดยสมาชิกของเซตใหม่จะมีสมาชิกของทุกเซตรวมอยู่

-Intersection เป็นการสร้างเซตใหม่โดยสมาชิกของเซตใหม่จะมีสมาชิกซึ่งเป็นสมาชิกของทุกเซต

2.10 ทฤษฎี Fuzzy Sets มีหลักการดังนี้

1.การเป็นสมาชิกของ Fuzzy Sets

ในระบบ Crisp Sets จะกำหนดเพียงว่า X เป็นสมาชิกหรือไม่เป็นสมาชิกของเซต Aโดยแทนด้วยฟังก์ชันระดับการเป็นสมาชิก (Membership Function) เป็น 0 หรือ 1 แต่ Fuzzy Set จะยอมรับสมาชิกที่มีลักษณะที่ถูกเพียงบางส่วนและผิดเพียงบางส่วนไม่มีขอบเขตแน่นอน การประยุกต์ใช้ทฤษฎี FUZZY SET จะต้องแสดงค่าระดับ (Degree) ซึ่งเป็นค่าที่เป็นไปได้ที่จะเป็นสมาชิก ซึ่งมีค่าระหว่าง 0 ถึง 1 แสดงดังนี้

$$\mu_A(X) \longrightarrow [0,1]$$

หมายความว่า ระดับการเป็นสมาชิก (Grade of Membership หรือ Degree of Membership) ของ X ใน Fuzzy เซตอยู่ในช่วงทั้งหมดจาก 0 ถึง 1 เมื่อประยุกต์เข้ากับ Fuzzy Logic ค่า μ จะถูกเรียกว่า ค่าความจริงที่แสดงค่าระดับขอบเขตของเซต คือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หมายความว่า ระดับการเป็นสมาชิก (Grade of Membership หรือ Degree of Membership)

$$0 \leq X \leq 1$$

ของ X ใน Fuzzy เซตอยู่ในช่วงทั้งหมดจาก 0 ถึง 1 เมื่อประยุกต์เข้ากับ Fuzzy Logic ค่า μ จะถูกเรียกว่า ค่าความจริงที่แสดงค่าระดับขอบเขตของเซต คือ
โดยถ้าค่าสูงแสดงว่ามีความสมาชิกมาก ถ้าค่าต่ำแสดงว่ามีความเป็นสมาชิกน้อยค่า 0 จะหมายถึงไม่เป็นสมาชิกเลยและ 1 คือ เป็นสมาชิกอย่างสมบูรณ์

2.นิยามที่ Fuzzy Sets ขยายมาจาก Crisp Set

- Fuzzy Set A และ B จะเท่ากันก็ต่อเมื่อ $\mu_A(x) = \mu_B(X)$ สำหรับทุก ๆใน X เขียนแทนด้วย

$$A = B$$

- Subset หรือ Containment นิยามโดย

$$A \subset B \longleftrightarrow \mu_A(X) \leq \mu_B(X)$$

- Complement ของ Fuzzy set A' เขียนแทนด้วย A' นิยามโดย

$$\mu_A'(X) = 1 - \mu_A(X)$$

- Union ของ Fuzzy Set A และ B ซึ่งมีฟังก์ชันระดับการเป็นสมาชิก $\mu_A(X)$ และ$\mu_B(X)$ ตามลำดับสามารถแทนด้วย Fuzzy Set C กำหนดโดย

$$\mu_C(X) = \text{Max}\left[\mu_A(X), \mu_B(X)\right]$$

หรืออาจเขียนย่อเป็น

$$\mu_C = \mu_A = \mu_B$$

-Intersection ของ Fuzzy Set A และ B ซึ่งมีฟังก์ชั่นระดับการเป็นสมาชิก (X) และ (X) ตามลำดับสามารถแทนด้วย Fuzzy Set กำหนดโดยฟังก์ชั่นระดับการเป็นสมาชิกของ Fuzzy Set กำหนดโดย

$$\mu_C(X) \text{ Min}\left[\mu_A(X), \mu_B(X)\right]$$

หรืออาจเขียนเป็น

$$\mu_C(X) = \mu_A \wedge \mu_B$$

อย่างไรก็ตามไม่มีหลักตายตัวว่าการ Union ต้องใช้ Max Operation, การ Intersection ต้องใช้ Min Operation หรือการComplement ต้องใช้ $\mu_A'(X) = 1 - \mu_A(X)$ ดังนั้นเพื่อให้ General มากยิ่งขึ้นจึงมีนิยามสัจพจน์ (Axiom) ปฏิบัติการแต่ละชนิด ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

-Complement C : $[0,1] \longrightarrow [1,0]$

Axiom C_1: C (O) = 1 และ C (1) = 0 หมายความว่าสามารถครอบคลุมคลิชเซต

Axiom C_2: สำหรับทุก ๆ a,bγ $[0,1]$ ถ้า a < b แล้ว C(a) > C(b)

ทุก ๆ การปฏิบัติการที่จะถือว่าเป็นการ Complement ได้อย่างน้อยที่สุดจะต้องสอดคล้องกับสัจพจน์ทั้งสอง

-Union U : $[0,1] \times [0,1] \longrightarrow [0,1]$

Axiom U_1 : U(0,0) = 0: U(0,l0 = U(l,0) = U(1,l) = 1 หมายความว่าจะต้องสามารถครอบคลุม Crisp Sets Axiom U_2 U(a,b) = U(b,a) ; มีคุณสมบัติการสลับที่

Axiom U_3 : ถ้า P a' และ b P b' แล้ว (a,b) P U(a' b')

Axiom U_4 : (U(a,b),c) = 0; U(a,U(b,c)) ; มีคุณสมบัติการจัดหมู่ทุกๆ การปฏิบัติที่จะถือว่าเป็นการ Union ได้อย่างน้อยที่สุดที่จะต้องสอดคล้องกับสัจพจน์ทั้งสี่

-Intersection I: $[0,1] \times [0,1] \longrightarrow [0,1]$

Axiom I_1 : I(l,l) = I(0,l) = I(l,0) = I(0,0) = 0 หมายความว่า จะต้องสามารถครอบคลุมคลิชเซต

Axiom I_2 : I(a,b) = I(a,b) ; มีคุณสมบัติการสลับที่

Axiom I_3 : ถ้า a P a' และ b P b' แล้ว I(a,b) P I(a,b) หมายความว่า I เป็น Monotonic

Axiom I_4 : ถ้า I(I(a,b),c) = I(a,I(b,c)); มีคุณสมบัติการจัดหมู่

ทุก ๆ การปฏิบัติที่จะถือว่าเป็นการ Intersection ได้อย่างน้อยที่สุดจะต้องสอดคล้องสัจพจน์ทั้งสี่

2.11 ทฤษฎีฟัซซี่ลอจิก

Fuzzy Logic จะมีการกระทำทางลอจิกเพื่อรวมค่าลอจิกต่าง ๆ ให้เป็นค่าฟัซซี่ลอจิกคล้ายตัวแปรในระบบลอจิก 2 ระดับ โดยจะต้องมีกำหนดลักษณะความหมายให้แตกต่างกันแต่ใช้คำสั่งทางลอจิกที่เหมือนกันคือ AND,OR และ NOT ความหมายต่าง ๆในระบบฟัซซี่ถูกกำหนดโดย L.A. Zadeh ผู้คิดค้นระบบ FUZZY LOGIC

ระบบควบคุมฟัซซี่ (Fuzzy Control) มีพื้นฐานแนวความคิดมาจากทฤษฎีฟัซซี่ลอจิก (Fuzzy Logic) และทฤษฎีฟัซซี่เซต (Fuzzy Set) ฟัซซี่ลอจิกมีพื้นฐานอยู่บนทฤษฎีฟัซซี่เซตซึ่งจะช่วยให้สามารถอธิบายการปฏิบัติการ และการควบคุมของระบบเป็นคำพูดได้ชัดเจนขึ้น หลักสำคัญของทฤษฎีฟัซซี่ เซต คือ ยอมรับสมาชิกที่มีลักษณะตามเซตเพียงบางส่วนเข้ามาเป็นสมาชิก ซึ่งแตกต่างจากทฤษฎี เซตดั้งเดิม (Crisp set) ทฤษฎีเซตดั้งเดิมจะเน้นชัดเจนเลยว่าเป็นสมาชิกของเซตหรือไม่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในการควบคุมกระบวนการทางอุตสาหกรรมมีวิธีการในการควบคุมหลายวิธี ซึ่งโดยปกติแล้วเรามักใช้ตัวควบคุมแบบ PID ในการควบคุม แต่ในปัจจุบันกระบวนการทางอุตสาหกรรมมีความซับซ้อนมากขึ้น ซึ่งทำให้การควบคุมโดยใช้ตัวควบคุมแบบ PID มีขีดจำกัดอยู่ระดับหนึ่ง และเนื่องจากความซับซ้อนของกระบวนการ ทำให้การหารูปแบบของกระบวนการออกมาเป็นแบบจำลองทางคณิตศาสตร์ทำได้ลำบาก จึงเริ่มมีการคิดวิธีการควบคุมแบบใหม่ เพื่อแก้ปัญหาดังกล่าว ซึ่งปัจจุบันมีวิธีการในการควบคุมกระบวนการที่ได้รับการคิดค้นและพัฒนาขึ้นมาหลายวิธี ซึ่งวิธีการที่ได้รับความนิยมอย่างแพร่หลาย คือ การควบคุมโดยการเลียนแบบความคิดของมนุษย์ ได้แก่ การควบคุมโดยใช้ทฤษฎีฟัซซี่เซต

สำหรับวิทยานิพนธ์ที่นำเสนอนี้ เป็นการควบคุมกระบวนการโดยใช้ระบบควบคุมแบบฟัซซี่ ซึ่งอาศัยหลักการของฟัซซี่เซต มาใช้ในการออกแบบตัวควบคุม (Controller) ส่วนกระบวนการที่จะทำการควบคุมนั้น เราจะนำไปใช้ในการควบคุมอุณหภูมิของเตาอบ และยังสามารถนำไปใช้งานในระบบควบคุมอื่นๆ ได้ขึ้นอยู่กับเงื่อนไขของระบบควบคุมนั้น

ระบบควบคุมแบบฟัซซี่ เป็นระบบที่เรียกว่ากฎพื้นฐานของระบบ (Rule – based system) ซึ่งหมายความว่าจะมีกฎของฟัซซี่เซต (Fuzzy Rule) เป็นตัวตัดสินใจกลไกการทำงานของระบบควบคุมนั้นให้มีการปรับเปลี่ยนไปตามผลกระทบที่เกิดขึ้นในระบบ จุดมุ่งหมายของระบบควบคุมแบบฟัซซี่ ก็คือ การให้ fuzzy rule – based system นี้เข้าไปแทนการควบคุมแบบเก่า ซึ่งใช้มนุษย์เป็นผู้ควบคุม (skilled human operator)

Fuzzy Logic

1. การ AND ของ Fuzzy Logic

คือค่าความจริงที่น้อยที่สุด (Minimum)นั่นคือ สำหรับค่า Fuzzy A และ B

$$\mu(\text{A AND B}) = \min(\mu_A \mu_B)$$

2. การ OR ของ Fuzzy Logic

คือ ค่าความจริงเป็นค่ามากที่มากที่สุด (Maximum)

$$\mu(\text{A OR B}) = \max(\mu_A \mu_B)$$

3. การ NOT ของค่า Fuzzy Logic

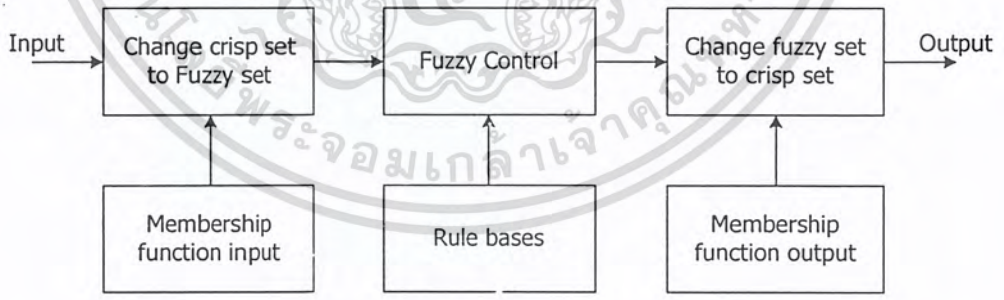
$$\mu(\text{NOT A}) = 1 - \mu_A$$

ซึ่งการกระทำทั้งสามนี้เป็นสมดุลของการกระทำในลอจิก 2 ระดับ ($0<\mu<1$)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ประวัติของระบบควบคุมแบบฟัซซี่

การวิจัยทางด้านระบบควบคุมแบบฟัซซี่ และโมเดลทางฟัซซี่ (Fuzzy modeling) มีการเจริญเติบโตขึ้นอย่างรวดเร็วนับตั้งแต่ศาสตราจารย์ Lotfy A. Zadeh แห่งมหาวิทยาลัย Berkly ได้เสนอหลักการทางคณิตศาสตร์ของทฤษฎีฟัซซี่เซตขึ้นมาเป็นครั้งแรกในปี ค.ศ. 1965 ทฤษฎีฟัซซี่เซตและอัลกอริทึ่มของฟัซซี่ (Fuzzy Algorithm) ได้นำไปประยุกต์ใช้ในการควบคุมเป็นครั้งแรก โดยใช้ควบคุมเครื่องทำความร้อน (Steam engine) โดย Professor Mamdani แห่ง London University ในปี ค.ศ. 1974 มีการอภิปรายถึงสถานะปัจจุบันของผลงานวิจัยที่เกี่ยวกับระบบควบคุมแบบฟัซซี่ โดย Mamdani และ Sembi ในปี ค.ศ. 1980 Willaeys Malvache และ hammad ได้เสนอวิธีการสร้างระบบควบคุมแบบฟัซซี่ ขึ้นมาจากพื้นฐานของ fuzzy model ของ control process (1997) แนวคิดของ fuzzy aigorithm ได้ถูกนำไปใช้ในการควบคุมความเร็วของ D.C. motor โดย Mangin (1977) และ Willaeys , Malvache (1978 , 1979) , Braae . Rutherford (1979) ได้ทำการศึกษาถึงอิทธิพลของพารามิเตอร์ต่างๆ ในการสร้าง ระบบควบคุมแบบ Fuzzy Model Braae , Rutherford ได้เสนอ Lingulstic analysis ของ ระบบควบคุมแบบ Fuzzy Model Application ของระบบควบคุมแบบฟัซซี่สำหรับระบบซึ่งเป็น Multimention , nonlinear และมี deadtime ได้ถูกสร้างขึ้นโดย Mamdani และ Procyk (1979) Algorithm สำหรับตรวจสอบฟัซซี่ได้รับการเสนอจาก Czogala และ Pedrycz (1981) และ tong (1979) ได้เสนอแนวทางสำหรับการสร้างต้นแบบ (fuzzy model) ซึ่งประกอบด้วย Verballsation , Fuzzyfication และ Identification

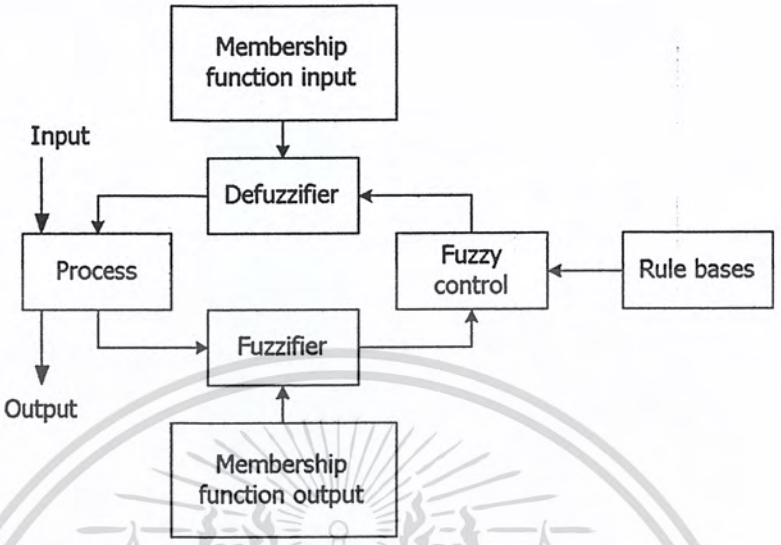


โครงสร้างพื้นฐานของระบบฟัซซี่ลอจิกแสดงดังรูป

รูปที่ 2.12 แสดงโครงสร้างพื้นฐานของระบบฟัซซี่ลอจิก

สำหรับหลักการ Defuzzifier กรรมวิธีค่าศูนย์กลาง ซึ่งระบบควบคุมป้อนกลับสามารถแสดงดังรูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.13 โครงสร้างพื้นฐานของระบบควบคุมป้อนกลับด้วย Fuzzy Controller

ข้อดีและข้อเสียของการควบคุมโดยใช้ FUZZY

ข้อดีของการควบคุมโดยใช้ FUZZY

1. Fuzzy Control สามารถออกแบบโดยนำข้อมูลจากผู้เชี่ยวชาญ ซึ่งมีลักษณะไม่ชัดเจนมาใช้อย่างมีระบบและมีประสิทธิภาพ ซึ่ง Controller แบบเก่านั้นไม่สามารถนำข้อมูลแบบภาษามนุษย์ (Linguistic Description) มาใช้ได้

2. Fuzzy Control เป็น Model -free approach ไม่ต้องการ Mathematical Model

3. Fuzzy Control สามารถควบคุมระบบ Nonlinear ได้ โดยอาศัยการปรับแต่งค่า Parameter โดยทฤษฎี Universal Approximation Fuzzy Logic Controller ให้เหมาะสม

4. เข้าใจง่ายเนื่องจาก Fuzzy Control เป็นการเลียนแบบวิธีการควบคุมของมนุษย์ไม่ต้องใช้เครื่องมือทางคณิตศาสตร์ที่ยุ่งยาก

5. Imprement ระบบได้ง่ายโดยเฉพาะในส่วนของ Fuzzy Logic ทำให้การสร้างFuzzy Controller ทำได้ง่ายและรวดเร็ว

6. ค่าใช้จ่ายในการพัฒนาระบบไม่มากนัก ใช้เวลาในการเรียนรู้ไม่มากนักและมี Software Tools สำหรับการออกแบบ Fuzzy Controller

ข้อเสียของการควบคุมโดยใช้ FUZZY

1. ต้องอาศัยประสบการณ์และความชำนาญอย่างมากในการกำหนด ลักษณะกราฟของ MF และเงื่อนไขการควบคุม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2. ถ้าการกำหนดเงื่อนไขการควบคุมไม่ละเอียดพอ การควบคุมจะไม่สามารถเข้าสู่สภาวะ Stately State ได้ แต่จะเกิดการ Oscillate อยู่บริเวณใกล้จุด Set Point

Fuzzy Logic ถูกปรับปรุง และนำไปใช้งานต่าง ๆในหลาย ๆ ทาง ซึ่งรวมทั้งการแบ่งประเภทของเขตสภาพอากาศ พฤติกรรมของนกนางนวล การควบคุมการเผาปูนซีเมนต์ จำนวนผู้โดยสารในรถไฟ ลิฟต์ การจัดตารางของการใช้รางรถไฟ และเทคนิคการบริการอื่น ๆ และยังคงมีการคิดค้นใหม่ ๆ เพิ่มขึ้นเพื่อปรับปรุงวิธีการใช้ระบบพื้นฐานของ Fuzzy เช่น การแก้ไขฟังก์ชันระดับการเป็นสมาชิก ความสม่ำเสมอของส่วนกำหนดรูปแบบ Fuzzy เป็นต้น

Fuzzy logic เหมาะที่จะนำไปใช้กับระบบที่มีลักษณะดังนี้

1. มีรูปแบบระบบที่ซับซ้อน ยุ่งยาก หรือทำให้เกิดความชัดเจนได้ยาก
2. เป็นระบบที่ถูกควบคุมโดยผู้เชี่ยวชาญ
3. มี Input / Output ซับซ้อนมากมีค่าฟังก์ชันไม่คงที่เกิดขึ้นอย่างต่อเนื่องพอสมควร
4. เป็นระบบที่ใช้คนคอยสังเกตขณะที่ระบบกำลังทำงาน
5. เป็นระบบที่ไม่แน่นอนทั่ว ๆ ไป เช่น ระบบเศรษฐกิจ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3

การออกแบบและการสร้าง

3.1 หลักการหา Fuzzy control rule

ในการออกแบบ Fuzzy controller นั้น ปัญหาสำคัญอันหนึ่งคือการหา Fuzzy control rule ที่เหมาะสม ซึ่งวิธีที่สามารถนำมาใช้ได้จริงในงาน Process control อยู่ 3วิธีด้วยกันคือ

1.จากความรู้และประสบการณ์ของผู้เชี่ยวชาญ

Fuzzy controller ส่วนมากจะได้รับการออกแบบขึ้นโดยอ้างอิงกับ ความรู้และประสบการณ์ของวิศวกรรมควบคุมซึ่งอันที่จริงแล้วก็สามารถกล่าวได้ว่า Fuzzy control นั้นเป็น Application ที่ใช้ได้จริงอันแรกด้ายระบบผู้เชี่ยวชาญ(Expert system)เลยทีเดียว

การออกแบบด้วยวิธีนี้เหมาะกับระบบที่ผู้ควบคุม ควบคุมเป็นหลักสำคัญ Control rule นั้นก็ได้มาจากการ List วิธีการควบคุมต่างๆ โดยวิศวกรควบคุม แต่ข้อเสียของวิธีนี้ก็คือ ส่วนมากผู้ควบคุมจะไม่สามารถถ่ายทอดความรู้ที่มีออกมาได้เป็นลายลักษณ์อักษรโดยเฉพาะระบบมีความซับซ้อนมาก

2. จากการจำลองลักษณะการทำงานของผู้ควบคุม

เมื่อทักษะของผู้ควบคุมเป็นสิ่งสำคัญ จึงจำเป็นมากที่จะต้องหา Fuzzy control ruleมาจากการจำลองลักษณะการทำงาของผู้ควบคุมซึ่งวิธีนี้สามาเป็นไปได้ที่จะแปลงการทำงานของผู้ควบคุมมาให้เป็น Input และ Output ของ Controllerวิธีนี้ค่อนข้างคล้ายคลึงกับการจำลองกระบวนการเพราะ Input ของระบบจะหาได้ง่ายกว่า แต่ในสถานะการณ์จริงนั้นก็ควรจะเริ่มวิธี 1 และ 2 เข้าด้วยกัน

3. จากการจำลองกระบวนการ

ในวิธีแรกนั้นจะมีพื้นฐานมากจากความคิดคร่าว ๆ ที่เกี่ยวกับคุณลักษณะของกระบวนการ เช่น Outputเพิ่มขึ้นเมื่อ Input เพิ่มขึ้น กระบวนการที่มี Timelag ฯลฯ ส่วนวิธี ที่ 2 จะใช้เฉพาะตัวแปรที่มีให้แก่ผู้ควบคุมกระบวนการ ซึ่งทั้ง 2วิธี จะใช้ได้ดีเฉพาะในการที่ผู้ควบคุมมีบทบาทสำคัญในการควบคุมกระบวนการเท่านั้น

แต่ถ้าไม่ต้องการขึ้นอยู่กับผู้ควบคุมและต้องการให้ผลการควบคุมดีกว่าการควบคุมด้วยผู้ควบคุม ก็จะมีการออกแบบอีกวิธีหนึ่งก็คือการจำลองกระบวนการ ซึ่งจะเป็นวิธีการซับซ้อนกว่า ซึ่งการออกแบบวิธีนี้ได้มีการศึกษาวิจัยมาหลายครั้งด้วยกันการจำลองกระบวนการในที่นี้จะเป็นการแสดงลักษณะของ Process ออกมาด้วย Fuzzy set โดยพิจารณาจาก Input ตัวแปรสถานะ และ Output

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

มีแนวความคิดสองทางด้วยกันในการออกแบบ Fuzzy Controller จากการจำลอง Fuzzy

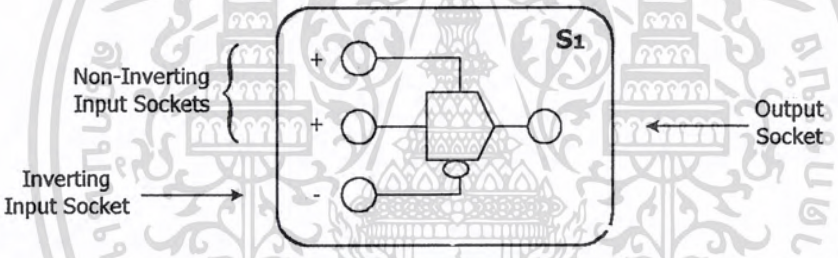
-ทางแรก คือ การออกแบบให้ Control rule นั้นทำการ Compensate ลักษณะที่ไม่ต้องการของกระบวนการเพื่อให้ได้ตามเป้าหมายที่ต้องการ

-ทางที่สอง คือ เป็นไปตามทฤษฎีของ Optimal control ซึ่งจะให้โครงสร้างและ Parameter ของ Control rule ทำให้ระบบที่มี Fuzzy Controller ควบคุมอยู่นั้นเป็นไปตามเป้าหมายที่ต้องการ

หลักการทำงานของวงจรที่ออกแบบ

3.2 วงจร Fuzzy Summing

Summing junction คือการรวม junctionสัญญาณอินพุทที่นำเข้ามาจะมีอยู่ 3อินพุทอินพุทตัวแรกจะเป็น Inverting อีกสองตัวจะเป็น Non-Invertingดูสัญญาลักษณ์ตามรูป



Fuzzy Summing Blocks

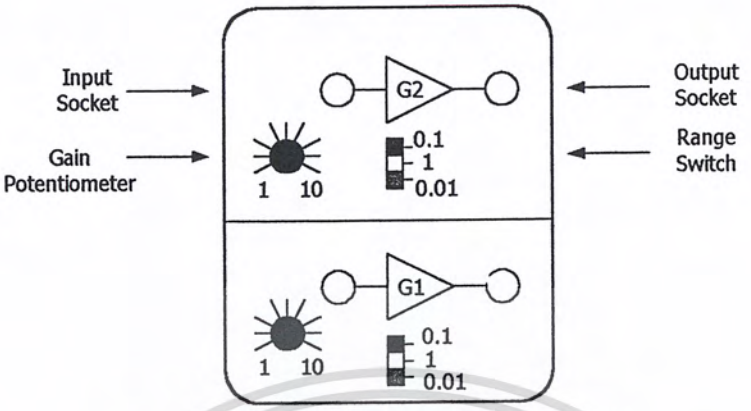
หลักการทำงาน

โดยเราจะพิจารณาดูจาก Schematic circuit ของวงจร Fuzzy Summing สามารถรับ Fuzzy Input ได้ 3 Input โดย Fuzzy Input 1และ 2 เป็น Summing แบบ Non-Inverting และ Fuzzy Input 3 เป็น Summing แบบ Inverting โดยไอซี Op Amp ที่ต่อในวงจรมี Gain การขยายเป็น "1" เลือกใช้ไอซี เบอร์TL082 (ดูรายละเอียด IC TL082 ได้จาก DATA SHEET ด้านหลัง)

3.3 วงจร Amplifier Selection

แสดงภาคขยาย 2ส่วนคือ G1 และG2 ซึ่งแต่ละตัวสามารถปรับ Gain การขยายในช่วง 0.01ถึง 10 ซึ่งสามารถเลือกและ ปรับ Gainโดยใช้สวิตช์และ Potentiometer รูปร่างของภาคขยายสัญญาณดังรูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

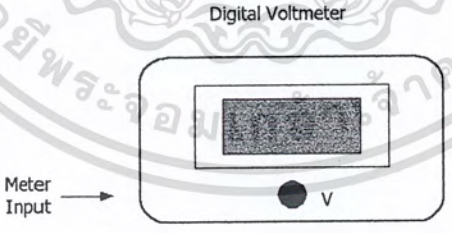


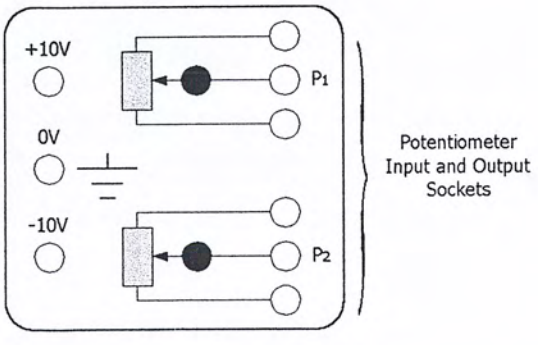
Amplifier Selection

จาก Fuzzy Input ของวงจร Fuzzy Amplifier Selection ผ่านวงจร Buffer ผ่านVR1 ทำหน้าที่ปรับ Gain SW1 ทำหน้าที่ Select Maximum Gain ซึ่งสามารถเลือกได้ 3 Step โดยใช้การต่อเป็น Inverting Amp. และ Output ก็เป็น Inverting เพื่อกลับเฟสของสัญญาณโดยมี Gain Output เป็น "1"

3.4Voltmeter and Potentiometer

เป็น Digital Voltmeter ซึ่งได้ทำการ Calibrated ในช่วง +10V ถึง-10V การใช้งาน เหมือนกับการใช้โดยทั่วไป ส่วนPotentiometer P1 และ P2 เป็นตัวปรับแรงดันไฟDC ตามที่ต้องการโดยจะประกอบด้วย 3 ส่วนมี เอาท์พุท ม+10V, -10V และ G (Ground)

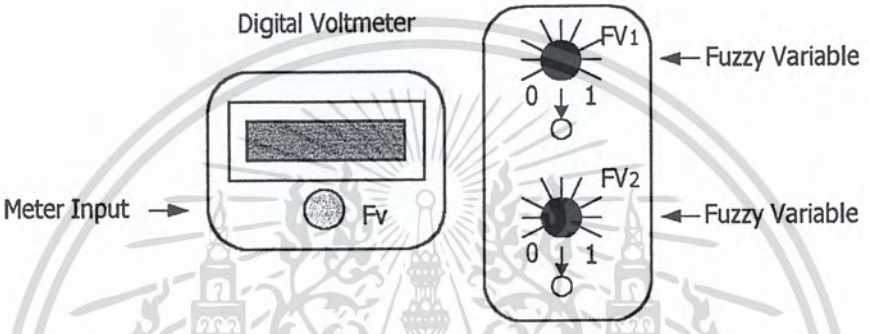




เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.5 วงจร Fuzzy Meter

จัดทำขึ้นเพื่อเป็นเครื่องอำนวยความสะดวกให้กับสัญญาณ Fuzzy ที่ผลิตจาก Fuzzy Logic blockซึ่งประกอบด้วย Digital Fuzzy Voltmeter ในช่วง 0ถึง1มีตัวผลิตสัญญาณ Fuzzy ที่ปรับค่าได้ 2ตัว คือ fv1 และ fv2 สร้างไว้เพื่อที่จะปรับแหล่งผลิตสัญญาณ Fuzzy ในช่วง 0ถึง1 ด้วยมือและมันสามารถใช้ตรวจสอบการทำงานของ Fuzzy Logic block



การทำงานของวงจรส่วนใหญ่ส่วนสำคัญทั้งหลายจะถูกบันจุอยู่ใน IC L7106 ซึ่งประกอบไปด้วยภาคขับจอแสดงผล LCD ขนาด 3 หลักครึ่ง วงจรผลิตความถี่สัญญาณนาฬิกาวงจรเปรียบเทียบแรงดันและส่วนของวงจรแปลงสัญญาณอะนาล็อกไปเป็นดิจิตอลโดยเริ่มจากขับจอ LCD โดยจะมีขา 21 คอยป้อนสัญญาณพัลส์ออกมาให้กับขา COM ของจอ LCD เนื่องจากจอ LCD ไม่สามารถขับให้แสดงผลด้วยไฟตรงได้ โดยที่ขา 8 ขา 12 และขา 16 จะมีจุดจั้มอยู่ 3 จุด เพื่อใช้ต่อเพื่อเลือกการแสดงผลให้เป็นมิลลิโวลท์หรือ 10 โวลท์

3.6 วงจร Fuzzifier

Fuzzifiers มีอยู่ 2คือ f1 และ f2 แต่ละตัวมีอยู่ 5ระดับสมาชิกทั้งหมดจะกำหนดเหมือน triangular functionเหล่านี้ก็คือ

LP สัญญาณขนาดใหญ่ทางด้านบวก

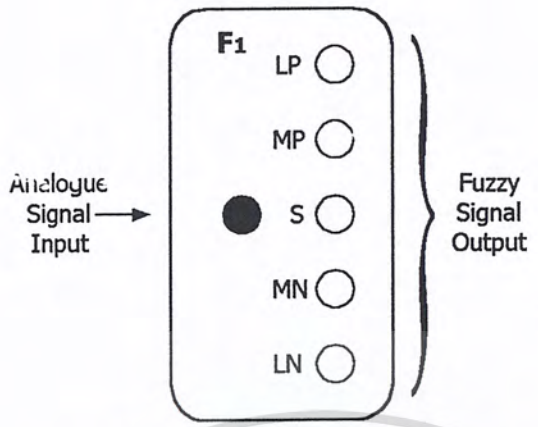
MP สัญญาณขนาดปานกลางทางด้านบวก

S สัญญาณขนาดเล็ก

MN สัญญาณขนาดปานกลางทางด้านลบ

LN สัญญาณขนาดใหญ่ทางด้านบวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



สัญญาลักษณ์ของ Fuzzifier

หลักการทำงาน

หลักการของวงจรจะแบ่งย่อยตาม Output ได้ 5วงจรซึ่งทั้ง 5วงจรย่อยรับ Input จาก Terminal เดียวกัน ซึ่งเป็น Voltage DC Input ตั้งแต่ –10 V ถึง 10V

วงจรย่อย 1 Large Positive (LP)

โดยจะรับInputมาเข้าวงจรลบแรงดันซึ่งเป็นวงจรผสมระหว่าง Inverting และ Non-Inverting และสามารถปรับGainสัญญาณผลต่างได้ในวงจรLargpositiveนี้V2=10V,RF=150K,R1=75K,R2=5 K,RG=10K,V1=Vinput

สูตร การหาแรงดันเอาท์พุท Vout = (-RF/R1) V1+(RG/R2+RG)(R1+RF/R1) V2

เข้าสู่วงจร Precision half wave rectifier โดยจะได้ เอาท์พุทเป็นลบ ซึ่งเกิดจากการต่อไดโอด ทั้งสองตัว D1และD2 โดยเอาท์พุทของ OpAmp เป็นบวกจะผ่าน D2 ลงกราวน์สะเหมือนของ OpAmp และถ้าเป็นลบจะผ่าน D1 ออกเอาท์พุท ไปเข้าวงจร Voltage Follower แบบ Inverting และ Sum กับ-10VDC ก่อนเข้าวงจร Precision half wave rectifier ซึ่งการต่อไดโอด D3และ D4โดยถ้า Input เป็นลบเข้ามาจะผ่าน D4ลงกราวน์เสมือนของ OpAmp และถ้า Input เป็นบวกจะผ่าน D3ออก เอาท์พุทเป็นการ Detect เฉพาะไฟบวกออก

วงจรย่อย 2 Medium Positive(MP)

โดยจะรับInputมาเข้าวงจรลบแรงดันโดยV2=10V,RF=150K,R1=75K,R2=20K,RG=10K,V1=Vin put แล้วเข้าวงจร Precision half wave rectifier โดยมี Gain เป็น “2” เอาท์พุทเป็นลบ แล้วทำการ Sum กับเอาท์พุทที่ออกจากวงจรลบแรงดัน โดยวงจร Inverting Summing Amp เอาท์พุทของวงจร จะถูกนำไป Sumกับ –10Vเข้าวงจร Precision half wave Rectifier Detect เฉพาะแรงดันบวกออก เอาท์พุท

วงจรย่อย 3 Small Positive (S)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยจะรับอินพุทมาเข้าวงจร Inverting Amp Gain=2 เอาท์พุทจะเข้าวงจร Precision half wave rectifier โดยมี Gain=2 Detect แรงดันลบออกเอาท์พุท เอามา Sum กับเอาท์พุทของ Inverting Amp โดยวงจร Inverting Summing Amp เอาท์พุทของวงจรจะถูกนำไป Sum กับ-10V ก่อนเข้าวงจร Precision half wave rectifier Detect แรงดันบวกออกเอาท์พุท

วงจรย่อย 4 Medium Negative (MN)

รับอินพุทเข้ามายังวงจรลบแรงดันโดยV2=10V,RF=150K,R1=75K,R2=20K,RG=10K,V1= Vinput เอาท์พุทของวงจรจะไปเข้าวงจร Precision half wave rectifier Gain=2 โดยDetect แรงดันลบออกเอาท์พุท มาทำการ Sumกับเอาท์พุทของวงจรลบแรงดันโดยวงจร Inverting Summing Amp เอาท์พุทของวงจรจะนำมา Sum กับ –10V ก่อนเข้าวงจร Precision half wave rectifier โดยจะ Detect แรงดันบวกออกเอาท์พุท

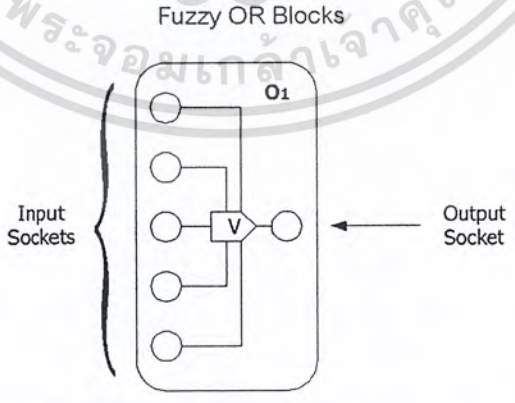
วงจรย่อย 5 Large Negative (LN)

รับอินพุทเข้ามายังวงจรลบแรงดันโดยV2=10V,RF=150K,R1=75K,R2=5K,RG=10K,V1=V input เอาท์พุทของวงจรจะไปเข้าวงจร Precision half wave rectifier โดยจะ Detect แรงดันบวกออกเอาท์พุทแล้วนำไป Sum กับ-10V เข้ากับวงจร Precision half wave rectifier โดยจะ Detect เอาแรงดันบวกออกเอาท์พุท

3.7 วงจร Fuzzy OR

Fuzzy OR จะมีสัญญาณอินพุท 5 ตัว สัญญาณอินพุทที่ป้อนเข้ามาจะนำมาเปรียบกันสัญญาณตัวไหนที่มีค่าสูงสุดก็จะออกมาเป็นสัญญาณเอาท์พุท Fuzzy OR จะมีทั้งหมด 5 ตัว

สัญลักษณ์ดูตามรูป



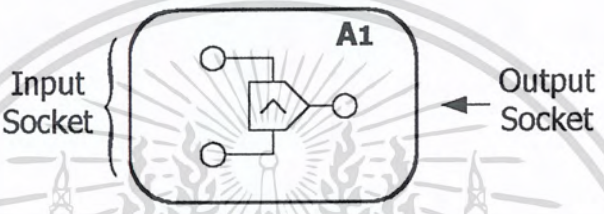
จาก Schematic ของวงจร เป็นการต่อแบบ Precision half wave rectifire โดยจะเอาเอาท์พุททางด้านบวกออกไป โดยที่จะเอาเอาท์พุทของอินพุทที่สูงที่สุดจะไปเปรียบเทียบกราวด์กับเอาท์พุทของอินพุทที่น้อยกว่าทำให้ไดโอดที่เอาท์ของอินพุทที่มีแรงดันน้อยอยู่ในสภาวะ Revert Bias ทำให้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอาท์พุทที่ได้จะเป็นค่าอินพุทที่มากที่สุด คือในการป้อนอินพุททั้ง 5 อินพุทจะทำการเปรียบเทียบเอาค่าอินพุทที่มากที่สุดออกเอาท์พุท

3.8 วงจร Fuzzy AND

Fuzzy AND จะมีสัญญาณอินพุท 2 สัญญาณ และมีสัญญาณเอาท์พุท 1 สัญญาณ สัญญาณอินพุทที่ เข้ามาจะมีการเปรียบเทียบกันสัญญาณตัวใดตัวหนึ่งที่มีค่าเล็กที่สุดก็จะออกมาเป็นสัญญาณเอาท์พุทFuzzy AND จะมีทั้งหมด 6 ตัว สัญญาลักษณ์ดูตามรูป



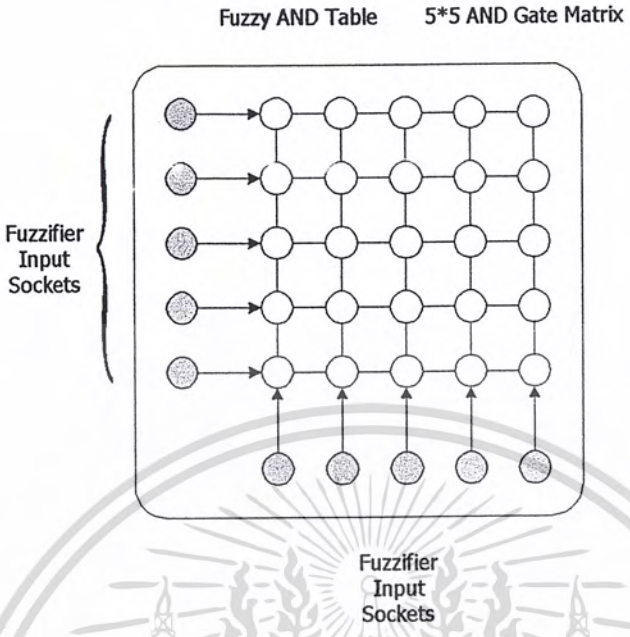
Fuzzy AND Blocks

จากรูป Schematic ของวงจร Fuzzy AND เป็นการต่อวงจรแบบ Precision half wave rectifier โดยจะเอาเอาท์พุททางด้านบวกออก โดยที่เอาท์พุทของอินพุทที่น้อยที่สุดจะได้เปรียบเทียบกราวด์กับไดโอดของเอาท์พุทตัวที่สูงกว่าโดยจะทำให้ไดโอดขึ้นอยู่ในสภาวะ Revert Bias ทำให้ได้เอาท์พุทเป็นค่าที่น้อยที่สุดออกไป

3.9 วงจร Fuzzy AND Table

ตามรูป Fuzzy AND Tableใช้สำหรับต่อกับวงจรขนาดใหญ่ที่ต้องการต่อกับ Fuzzy AND หลาย ๆบล็อกช่วยให้ง่ายในการต่อวงจร Fuzzy Table จะประกอบไปด้วย Fuzzy 5*5 เมตริกในส่วนของหลักจะมีทั้งหมด 5 อินพุทจะอยู่ทางด้านริมซ้าย และแถวจะมีทั้งหมด 5 อินพุทจะอยู่ขอบล่าง Fuzzyอินพุทสามารถเป็นไปได้ 2*5และสัญญาณเอาท์ที่ออกมาเป็นไปได้ ทั้ง 25 เอาท์พุท สัญญาลักษณ์ดูตามรูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

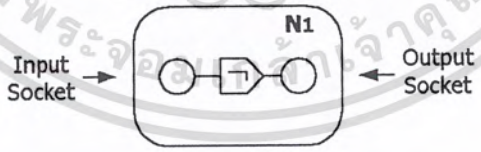


ตามวงจรไดโอด 2 ตัวต่อแบบ Comparatorกัน โดยเปรียบเทียบเอาแรงดันที่น้อยที่สุดออกเอาท์พุทโดยที่ Transistor ต่อเป็น Buffer ก่อนออกเอาท์พุท

3.10 วงจร Fuzzy NOT

Fuzzy NOT มีสัญญาณอินพุท 1 สัญญาณและมีสัญญาณเอาท์พุท 1 สัญญาณเมื่อมีสัญญาณอินพุทป้อนเข้ามาสัญญาณเอาท์พุทที่ออกมาจะได้ "1-สัญญาณอินพุทที่เข้ามา " Fuzzy NOT มีอยู่ 3 ตัว

สัญลักษณ์ดูตามรูป



Fuzzy NOT

จาก Schematic circuit ของวงจร Fuzzy NOT เริ่มเมื่อรับอินพุท Fuzzy เข้ามาโดยจะผ่านวงจร Buffer และถูก Summing กับ –10VDC และเข้าสู่วงจร Precision half wave rectifier ซึ่งจะทำให้เอาท์พุทที่ได้มีค่าเป็นบวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

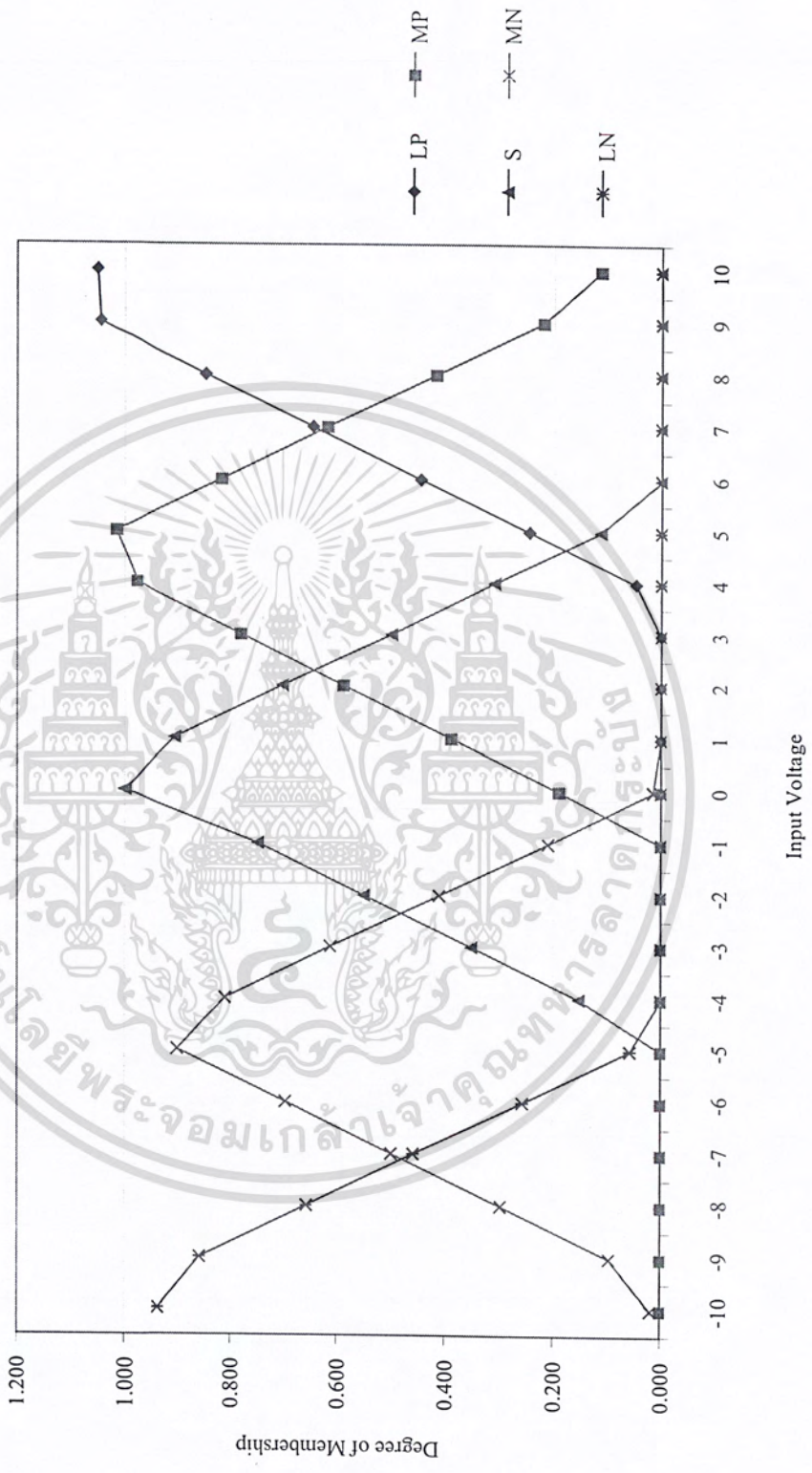
การทดลองและผลการทดลอง

4.1 ความเป็นสมาชิกแบบฟัซซี่ ทำการต่องวงจรความเป็นสมาชิกแบบฟัซซี่โดยการตั้งค่าโพเทนชิโอมิเตอร์เอาท์พุท–10V และใช้มิเตอร์วัดตัวแปรของฟัซซี่ต่อกับเอาท์พุทขอLP,MP,S,MN,LN แล้วก็ทำการบันทึกค่าลงในตารางเพิ่มโพเทนชิโอมิเตอร์ทีละ 1V จนถึงค่า +10V ทดลองตามเดิม

Input Voltage V	LP Degree of membership	MP Degree of membership	S Degree of membership	MN degree of membership	LN Degree of membership
-9.96	0.000	0.000	0.000	0.018	0.935
-9	0.000	0.000	0.000	0.096	0.857
-8	0.000	0.000	0.000	0.298	0.657
-7	0.000	0.000	0.000	0.499	0.459
-6	0.000	0.000	0.000	0.697	0.256
-5	0.000	0.000	0.000	0.899	0.057
-4	0.000	0.000	0.153	0.809	0.000
-3	0.000	0.000	0.352	0.612	0.000
-2	0.000	0.000	0.550	0.412	0.000
-1	0.000	0.000	0.749	0.209	0.000
0	0.000	0.190	1.000	0.015	0.000
1	0.000	0.389	0.904	0.000	0.000
2	0.000	0.589	0.703	0.000	0.000
3	0.000	0.781	0.500	0.000	0.000
4	0.047	0.978	0.310	0.000	0.000
5	0.246	1.015	0.113	0.000	0.000
6	0.446	0.817	0.000	0.000	0.000
7	0.646	0.618	0.000	0.000	0.000
8	0.847	0.418	0.000	0.000	0.000
9	1.046	0.220	0.000	0.000	0.000
10	1.052	0.113	0.000	0.000	0.000

ตารางที่ 1 ความเป็นสมาชิกแบบฟัซซี่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



กราฟ แสดงความเป็นสมาชิกแบบฟัซซี่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2 ตัวดำเนินการฟัซซี่ ลอจิก AND

ทำการต่อวงจรฟัซซี่ลอจิก AND โดยการตั้งค่าเริ่มต้นตัวแปรฟัซซี่ fv1 จาก 0 ถึง 1และตั้งค่าตัวแปร fv2 ที่ค่า 0.2,0.4,0.6,0.8 ทำการทดลองแล้วก็ได้ค่าทดลองตามตาราง

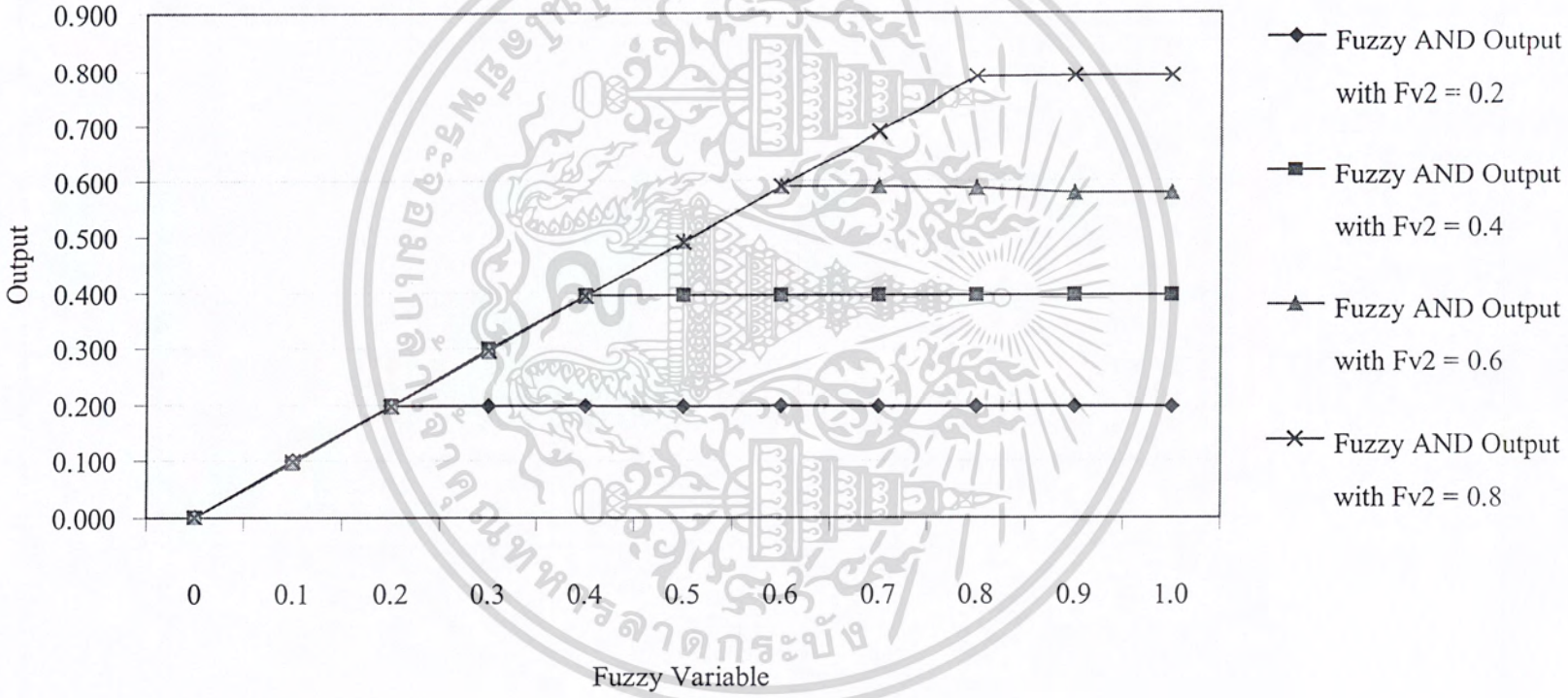
Fuzzy Variable fv1 V	Fuzzy AND Output With FV2=0.2	Fuzzy AND Output With FV2=0.4	Fuzzy AND Output With FV2=0.6	Fuzzy AND Output With FV2=0.8
0	0	0	0	0
0.1	0.1	0.0971	0.098	0.099
0.2	0.197	0.198	0.197	0.197
0.3	0.197	0.299	0.295	0.296
0.4	0.197	0.395	0.394	0.394
0.5	0.197	0.395	0.491	0.49
0.6	0.197	0.395	0.59	0.59
0.7	0.197	0.395	0.59	0.69
0.8	0.197	0.395	0.587	0.789
0.9	0.197	0.394	0.578	0.791
1	0.197	0.394	0.578	0.791

ตารางที่ 2 ตัวดำเนินการฟัซซี่ AND

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

<u>กราฟ</u> แสดงตัวดำเนินการ Fuzzy AND



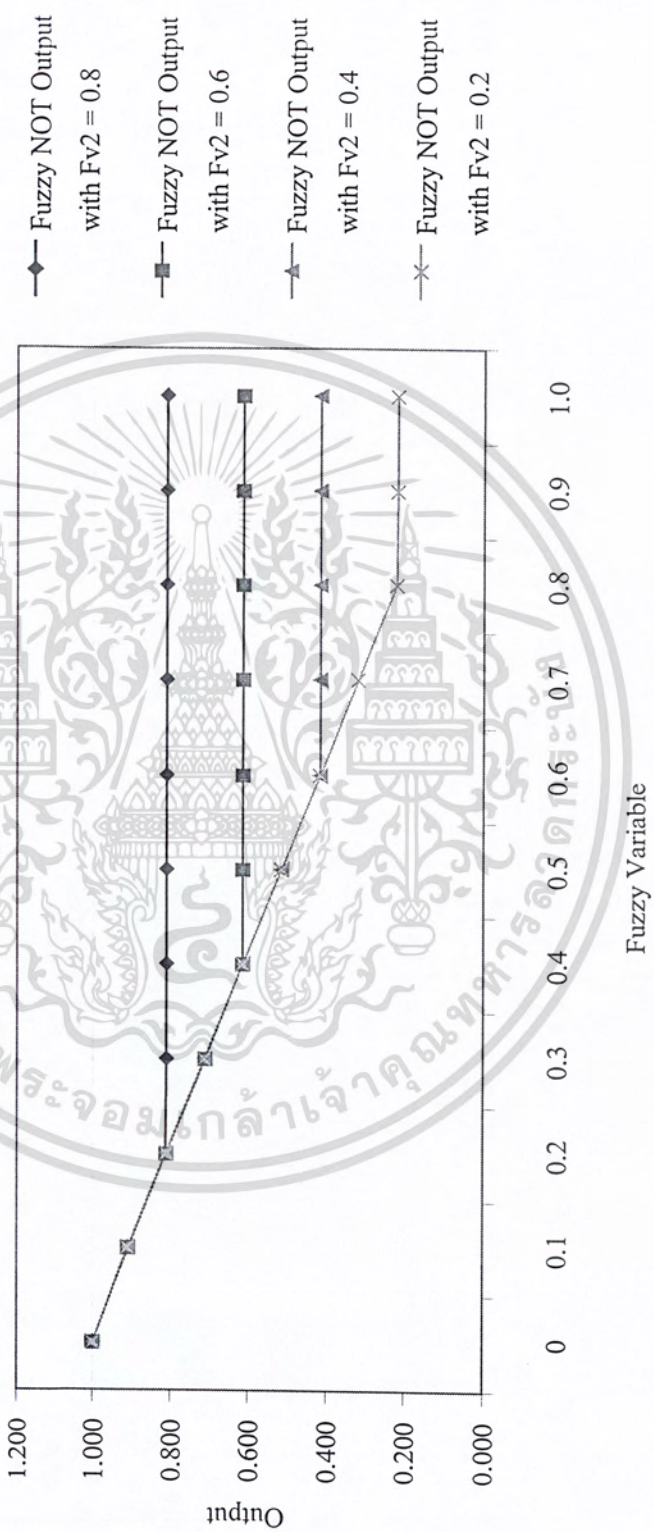
4.3 ตัวดำเนินการฟัซซี่ลอจิก AND และ NOT

ทำการต่อวงจรฟัซซี่ลอจิก AND และ NOT โดยตั้งค่า fv1 จากโพเทนซิโอมิเตอร์เริ่มต้นจาก 0 จนถึง 1 และตั้งค่าตัวแปรฟัซซี่ fv2 จากโพเทนซิโอมิเตอร์ ที่ค่า 0.2,0.4,0.6,0.8 และก็ทำการสังเกตค่าเมื่อมี อินพุทเข้ามาและมีการเปลี่ยนแปลงอย่างไรดูผลการทดลองจากตาราง 4.2

ตารางที่ 3 ตัวดำเนินการฟัซซี่ AND และ ฟัซซี่ NOT

Fuzzy Variable FV1	Fuzzy NOT Output With FV2 = 0.2	Fuzzy NOT Output With FV2 = 0.4	Fuzzy NOT Output With FV2 = 0.6	Fuzzy NOT Output With FV2 = 0.8
0	1	1	1	1
0.1	0.91	0.907	0.909	0.909
0.2	0.811	0.81	0.811	0.81
0.3	0.81	0.71	0.712	0.712
0.4	0.81	0.614	0.613	0.613
0.5	0.81	0.613	0.516	0.516
0.6	0.81	0.613	0.418	0.418
0.7	0.81	0.613	0.417	0.319
0.8	0.81	0.613	0.418	0.22
0.9	0.81	0.613	0.418	0.218
1	0.81	0.613	0.418	0.218

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



กราฟ แสดงตัวดำเนินการFuzzy AND and NOT

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

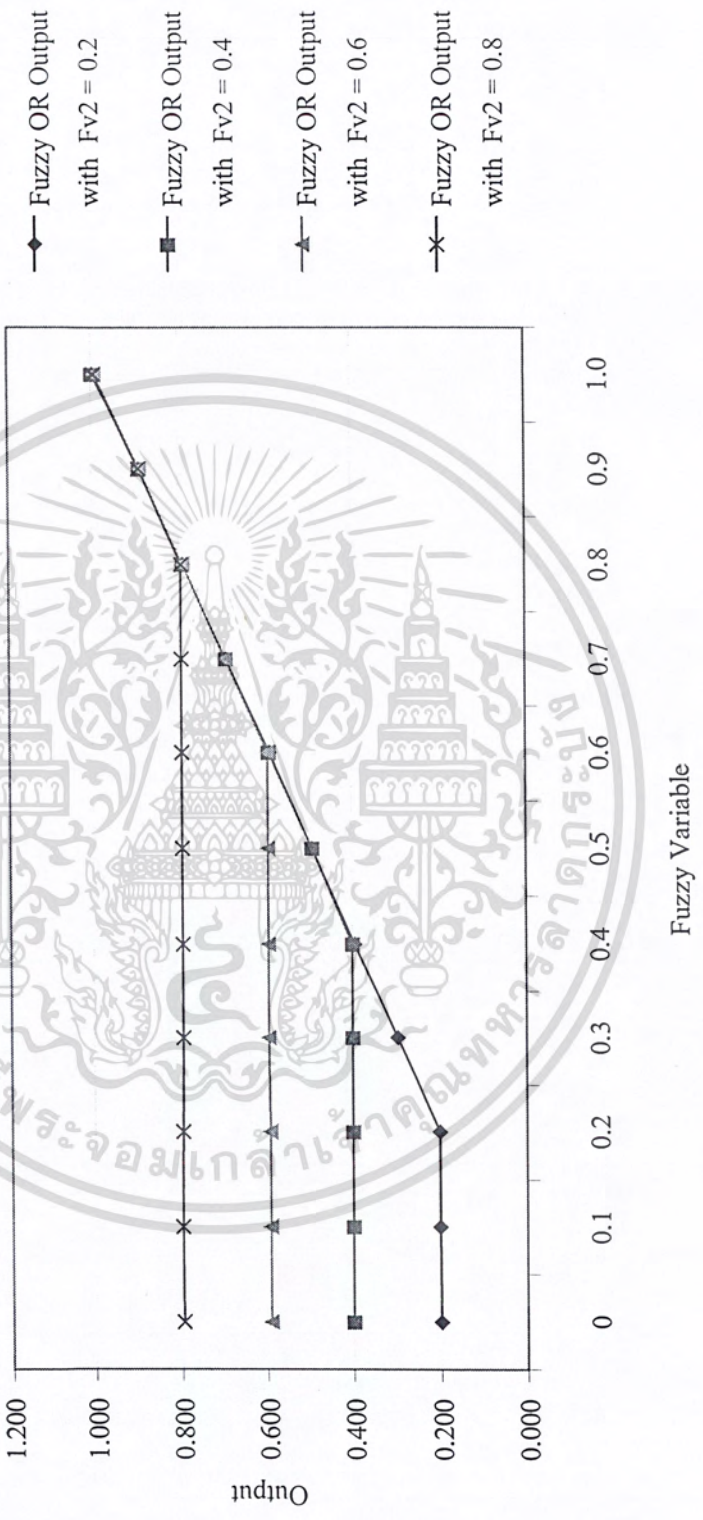
4.4 ตัวดำเนินการฟัซซี่ลอจิก OR

ทำการต่อวงจรตัวดำเนินการฟัซซี่ ORและ NOT ตั้งค่าเริ่มต้นตัวแปรฟัซซี่ fv1 จากโพเทนซิโอมิเตอร์จาก 0 ถึง 1 และตั้งค่าตัวแปรฟัซซี่ fv2 จากโพเทนซิโอมิเตอร์ที่ค่า 0.2,0.4,0.6,0.8 และก็ทำการสังเกตเมื่อมีอินพุทเข้ามาแล้วมีการเปลี่ยนแปลงอย่างไรดูผลการทดลองจากตาราง4.4

Fuzzy Variable FV1	Fuzzy OR Output With F V2=0.2	Fuzzy OR Output With F V2=0.4	Fuzzy OR Output With F V2=0.6	Fuzzy OR Output With F V2=0.8
0	0.2	0.4	0.592	0.796
0.1	0.201	0.4	0.592	0.797
0.2	0.201	0.4	0.593	0.795
0.3	0.298	0.4	0.594	0.794
0.4	0.395	0.4	0.595	0.794
0.5	0.493	0.493	0.595	0.793
0.6	0.591	0.592	0.595	0.793
0.7	0.691	0.691	0.692	0.793
0.8	0.79	0.791	0.791	0.794
0.9	0.891	0.89	0.89	0.891
1	0.996	0.998	0.993	0.995

ตารางที่ 5 ตัวดำเนินการฟัซซี่ OR

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



กราฟ ตัวดำเนินการFuzzy OR

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
สรุปและวิจารณ์ผลการทดลอง

5.1 สรุปผลการทดลอง

ปริญญานิพนท์ฉบับนี้เสนองานเกี่ยวกับชุดทดลองตรรกศาสตร์ฟัซซี่ซึ่งตอนนี้ก็กำลังแพร่หลายในการประยุกต์ใช้งานต่าง ๆ และการคำนวณสามารถทำได้โดยง่ายไม่ซับซ้อน การออกแบบระบบฟัซซี่ก็สามารถทำได้หลายวิธี จากการที่เราได้ทำการทดลองจากชุดฝึกทดลองตรรกศาสตร์ฟัซซี่ ค่าของผลการทดลองก็ได้ออกมาตามที่เราต้องการเมื่อเรานำค่าที่ได้นำไปเปรียบเทียบกับชุดฝึกจริงก็จะได้ ค่าใกล้เคียงกันมากค่าผิดพลาดที่เกิดขึ้นอาจมาจากค่าผิดพลาดของอุปกรณ์ โดยสรุปแล้วผลที่ได้ออกมาผู้จัดทำโครงงานคิดว่าเป็นที่น่าพอใจ

5.2 ปัญหาและแนวทางแก้ไข

จากการทดลองของชุดทดลองตรรกศาสตร์ฟัซซี่ทำให้เราทราบกับปัญหาที่เกิดขึ้น และสามารถแก้ไขได้ดังนี้

1. อุปกรณ์ที่นำมาต่อวงจรบางตัวค่าไม่ตรงกับวงจรของเรา ที่เราต้องการทำให้เกิดค่าผิดพลาดในการทำงานจริง สามารถแก้ปัญหาได้โดยทำการทดลองวงจรในแผงการทดลองก่อนโดยใช้อุปกรณ์ที่มีค่าใกล้เคียงมากที่สุด

2. อุปกรณ์บางตัว เช่น ไอซีสำเร็จรูป จัดหามาได้ยากเนื่องจากไม่มีขายในประเทศไทยต้องสั่งจากประเทศนอก จึงทำให้มีปัญหาในด้านของเวลา เพราะต้องรอไอซีมาก่อนถึงจะต่อวงจรได้

5.3 การพัฒนาโครงงาน

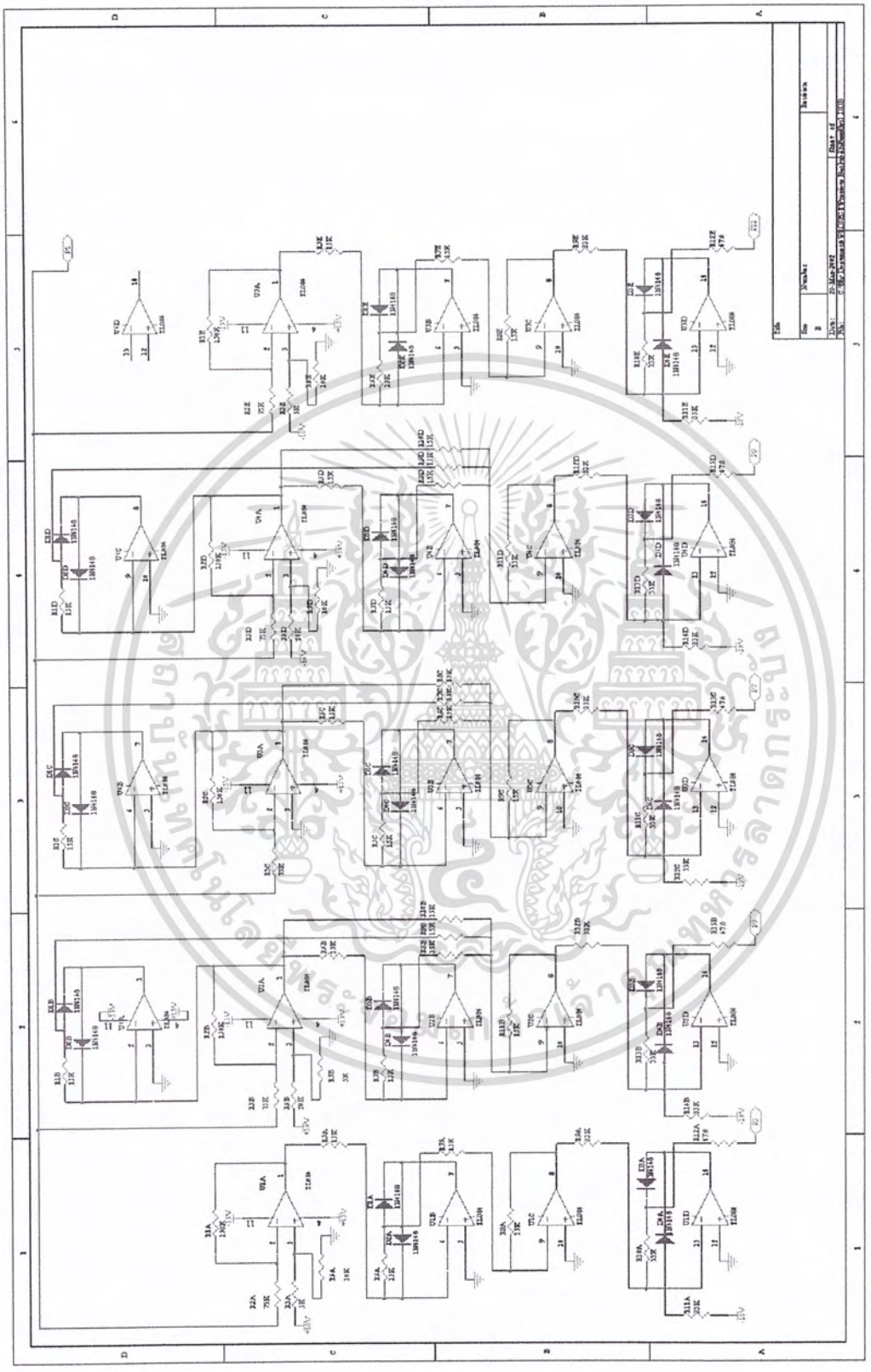
ในโครงงานที่สร้างขึ้นนี้สามารถทำงานได้ตามขีดความสามารถในวัตถุประงค์ที่กำหนดไว้ แต่สามารถเพิ่มขีดความสามารถในการทำงานได้อีกคือพัฒนาในส่วนของ Soft Ware

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ก

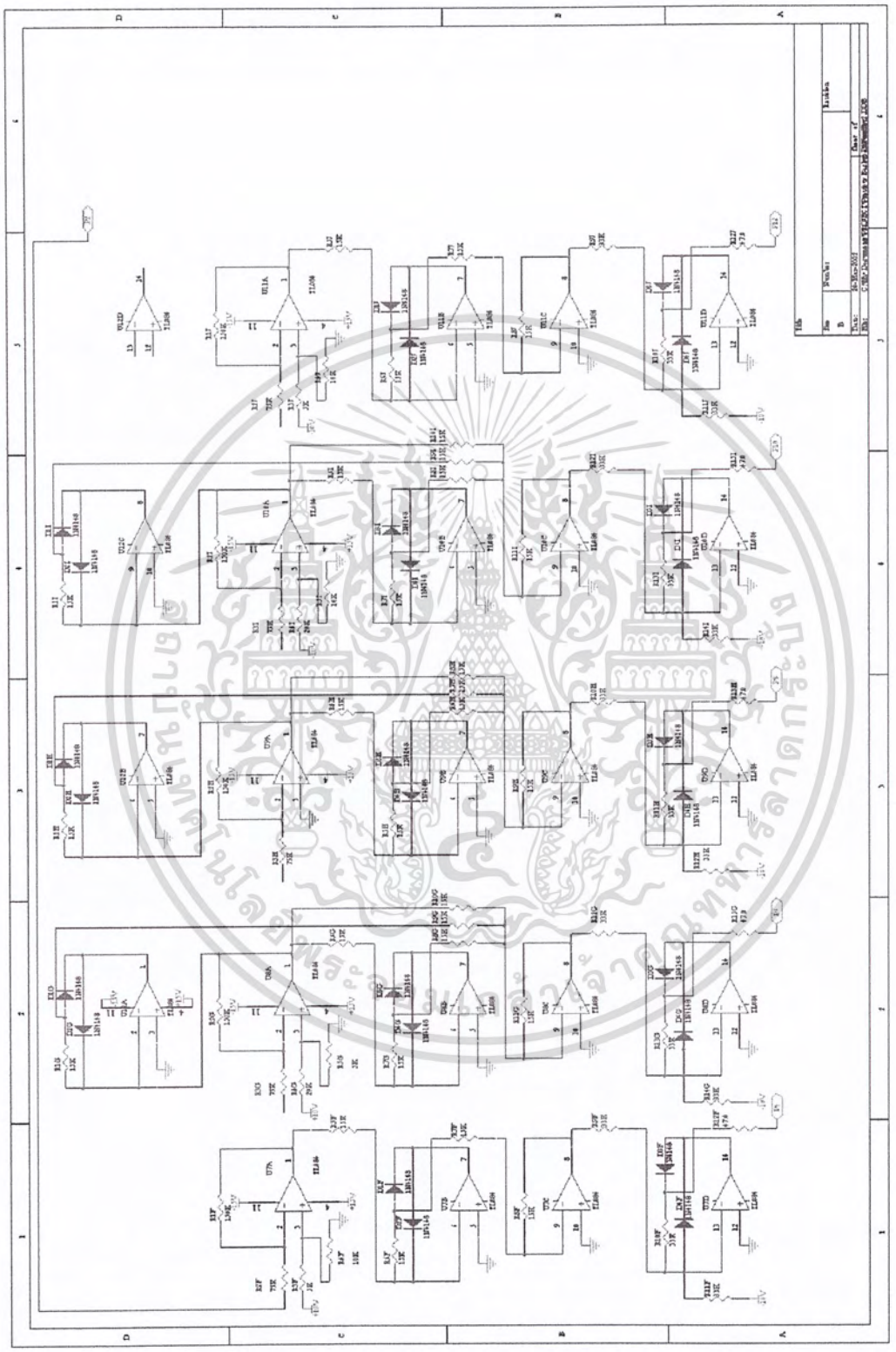
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปวงจร Fuzzifier 1



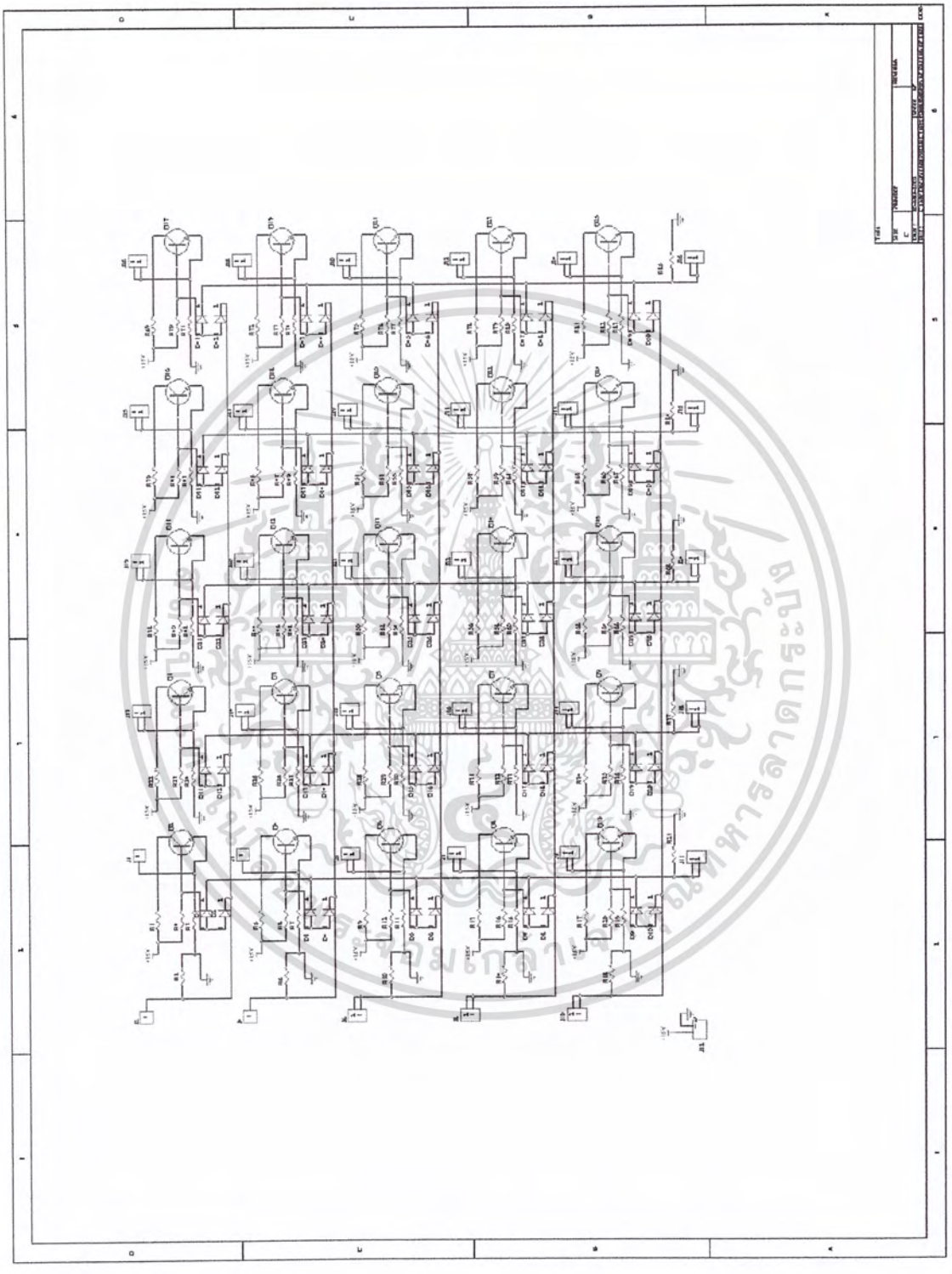
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปวงจร Fuzzifier 2



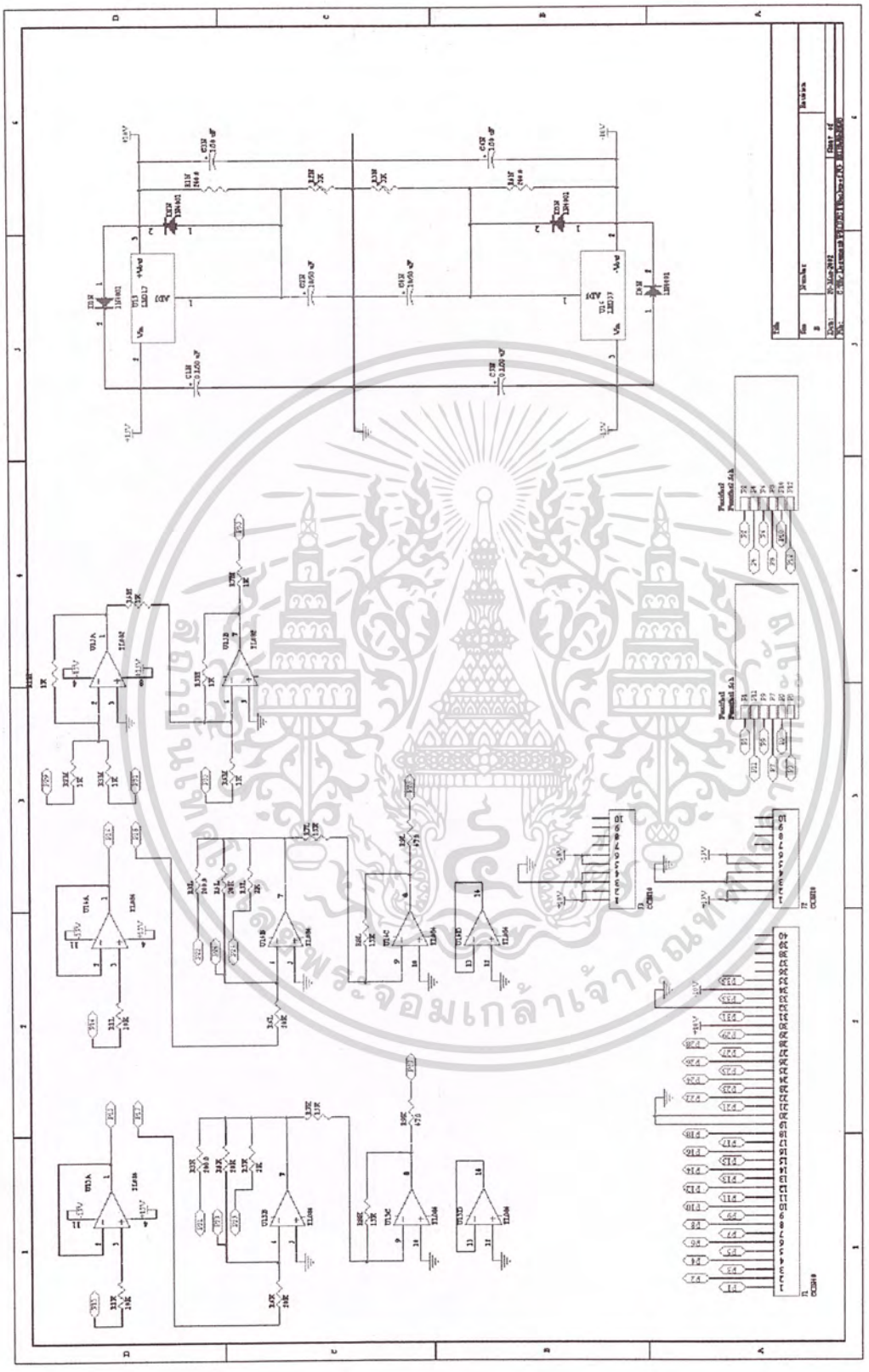
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปวงจร Fuzzy TABLE



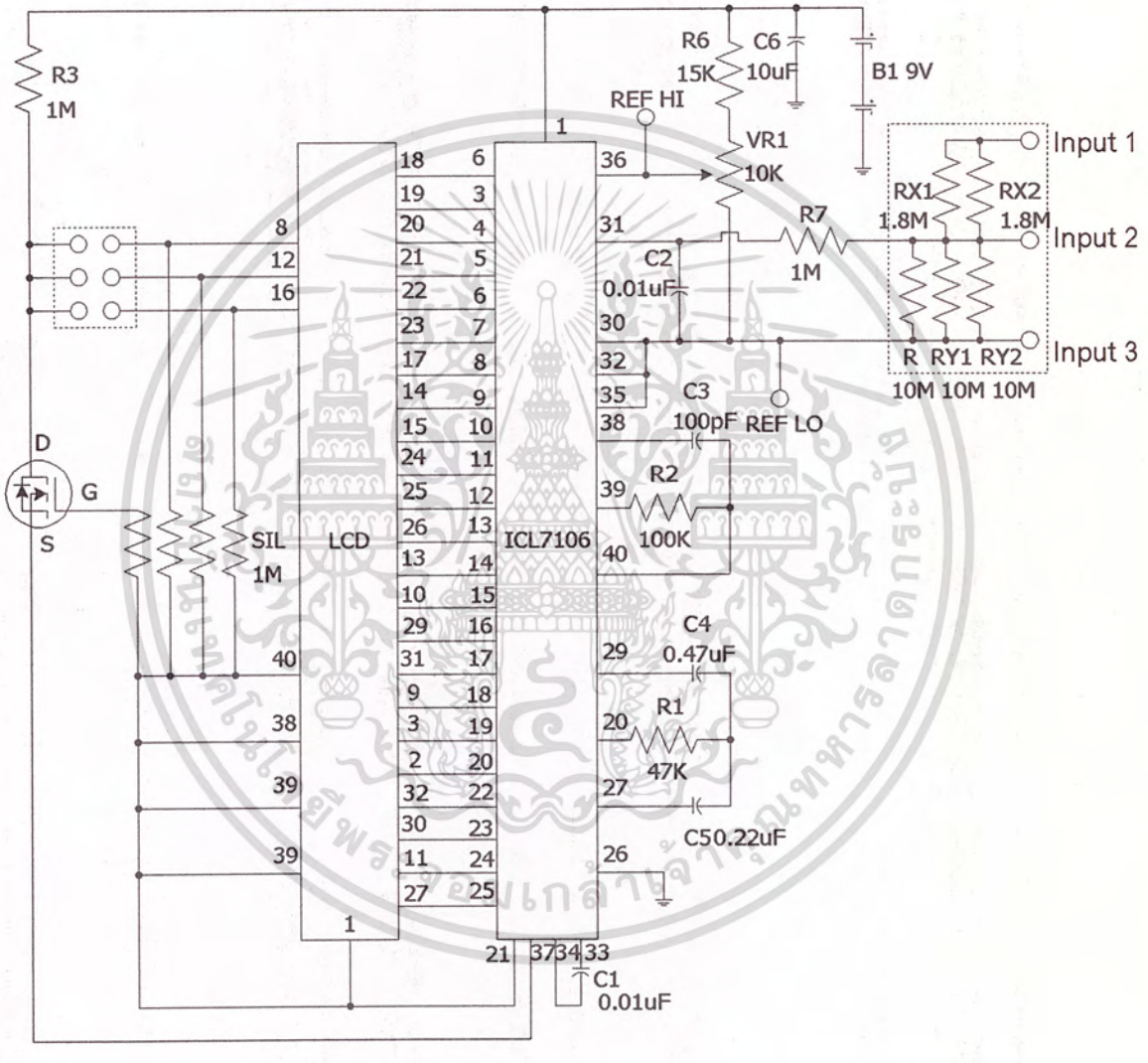
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปวงจร SUPPLY



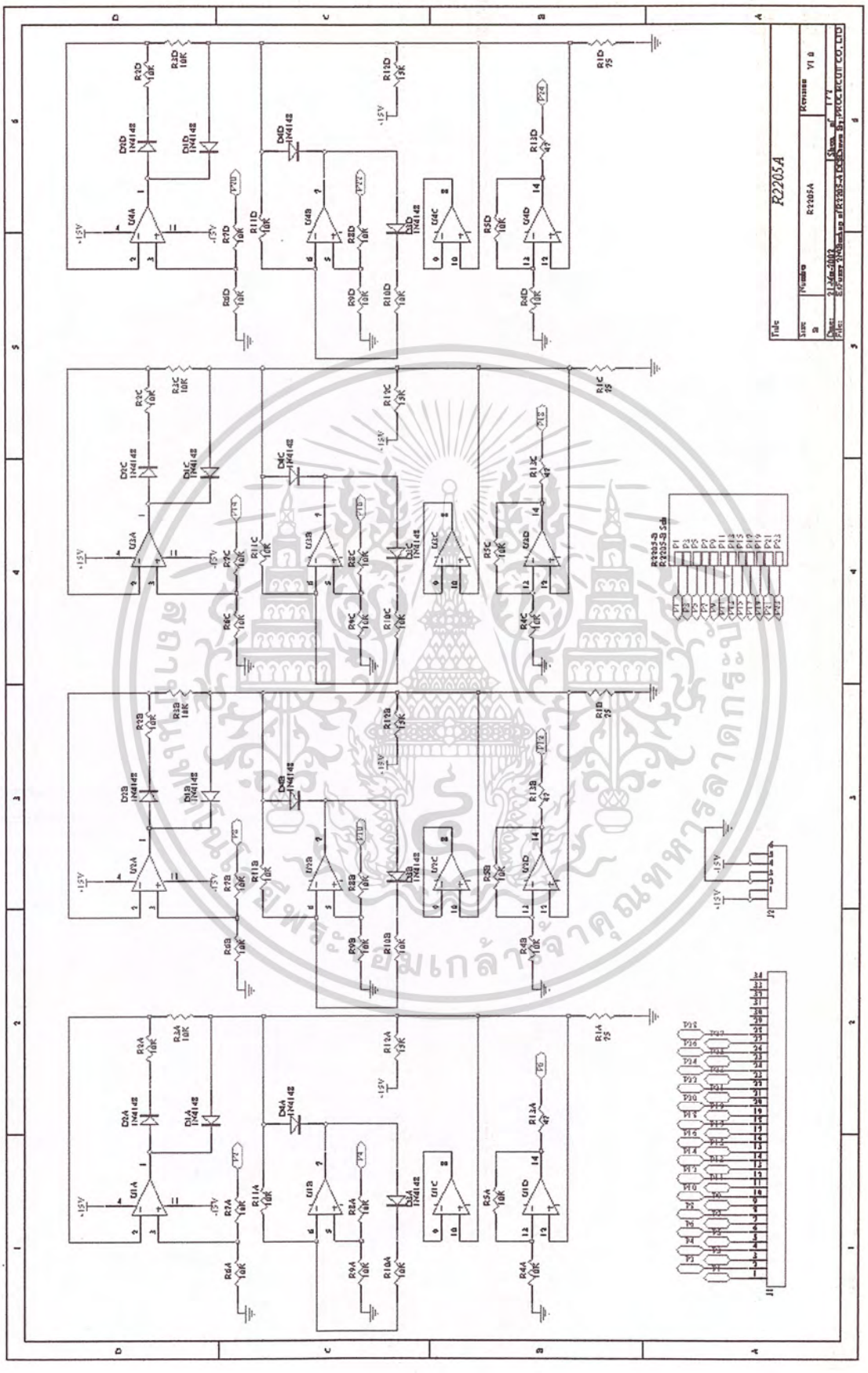
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปวงจร METER



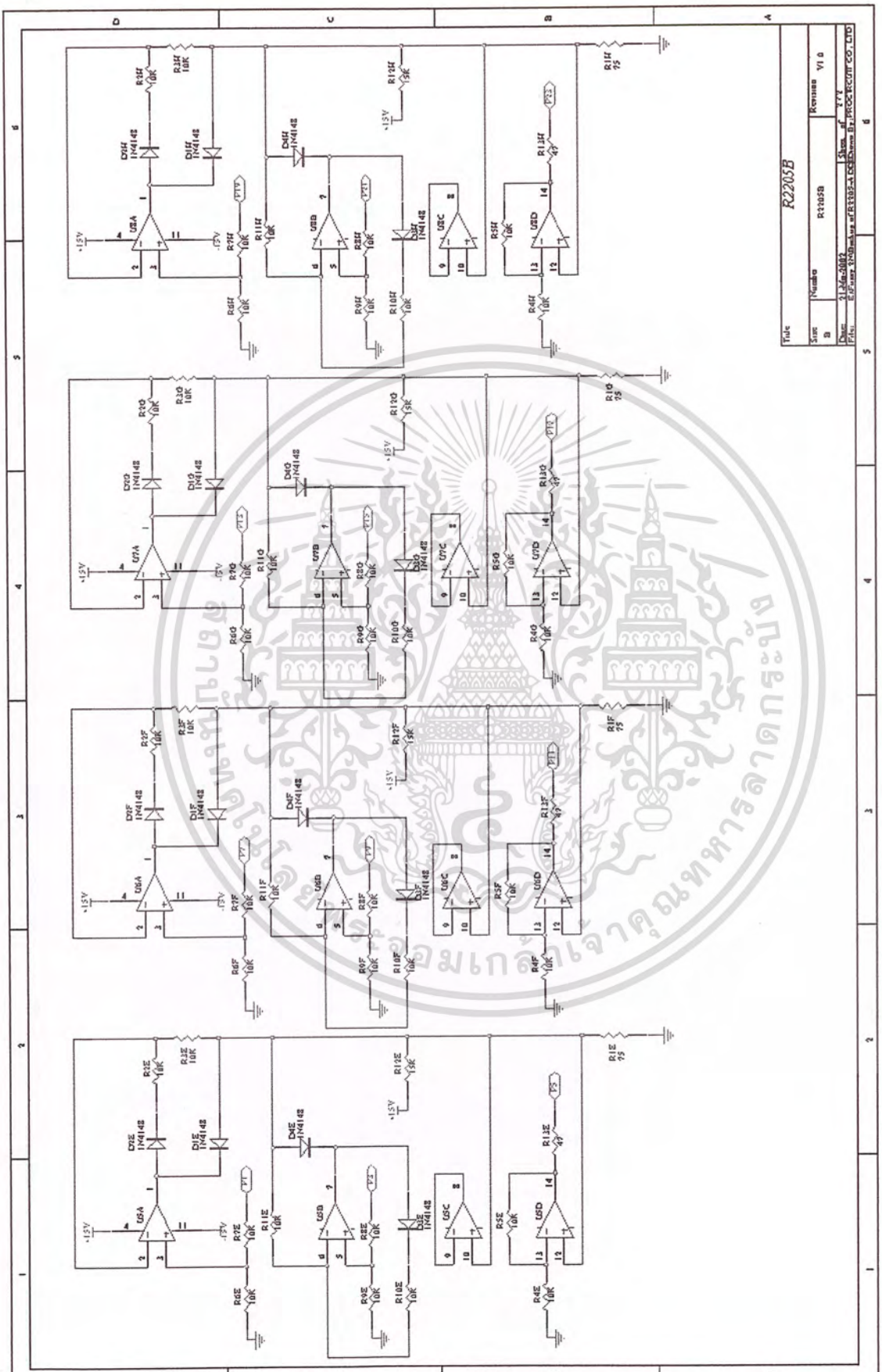
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปวงจร Fuzzy AND 1



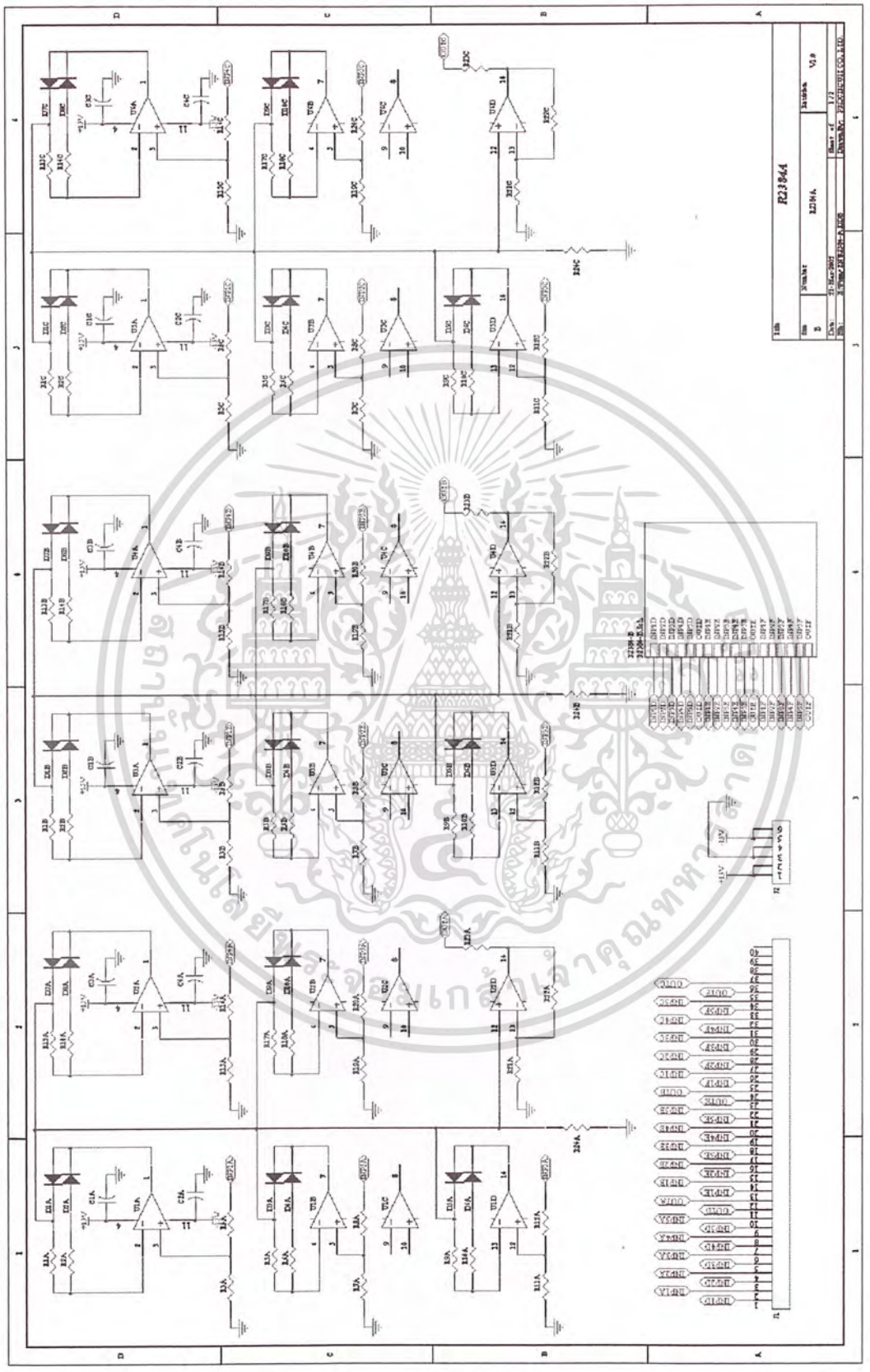
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปวงจร Fuzzy AND 2



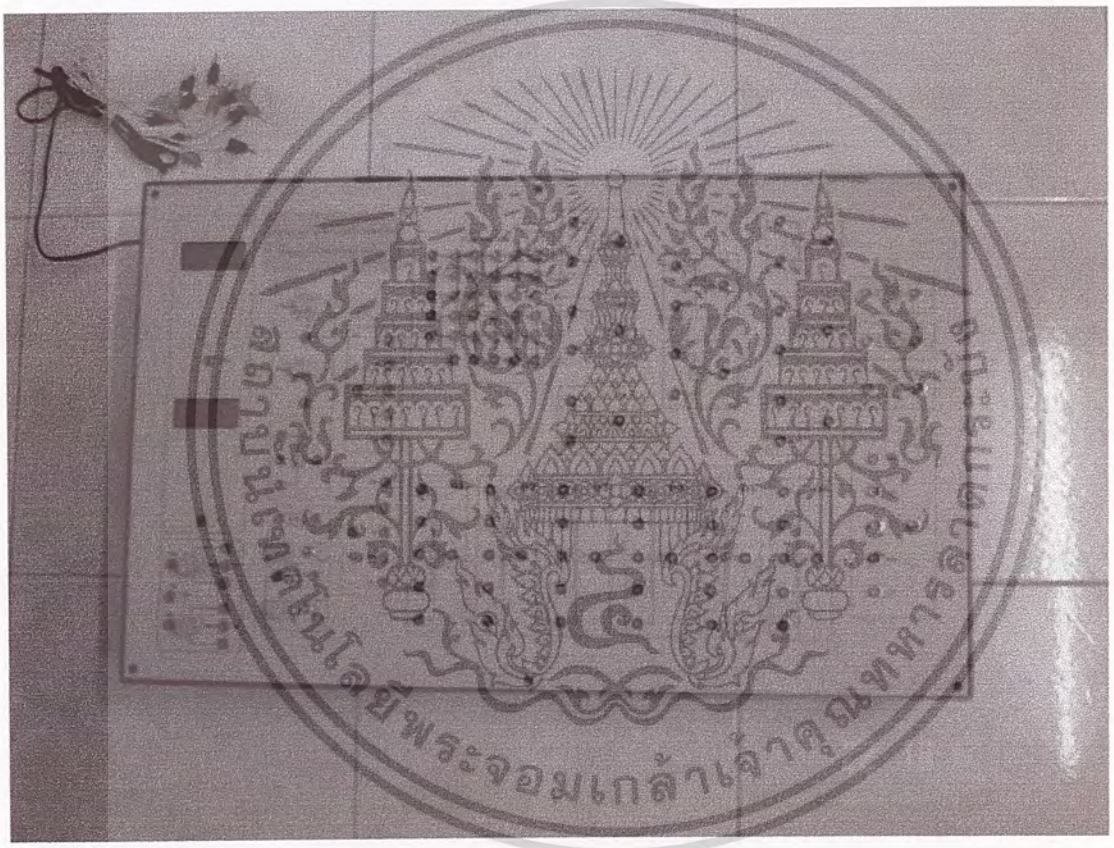
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปวงจร Fuzzy OR 1



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FUZZY LOGIC SYSTEM EXPERIMENTAL KITS



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรภายใน ชุดทดลองระบบตรรกศาสตร์ฟัซซี่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ข

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TL084
TL084A - TL084B

GENERAL PURPOSE J-FET QUAD OPERATIONAL AMPLIFIERS

- WIDE COMMON-MODE (UP TO V_{CC}^+) AND DIFFERENTIAL VOLTAGE RANGE
- LOW INPUT BIAS AND OFFSET CURRENT
- OUTPUT SHORT-CIRCUIT PROTECTION
- HIGH INPUT IMPEDANCE J–FET INPUT STAGE
- INTERNAL FREQUENCY COMPENSATION
- LATCH UP FREE OPERATION
- HIGH SLEW RATE : 16V/µs (typ)

N
DIP14
(Plastic Package)

D
SO14
(Plastic Micropackage)

p
TSSOP14
(Thin Shrink Small Outline Package)

DESCRIPTION

The TL084, TL084A and TL084B are high speed J–FET input quad operational amplifiers incorporating well matched, high voltage J–FET and bipolar transistors in a monolithic integrated circuit.

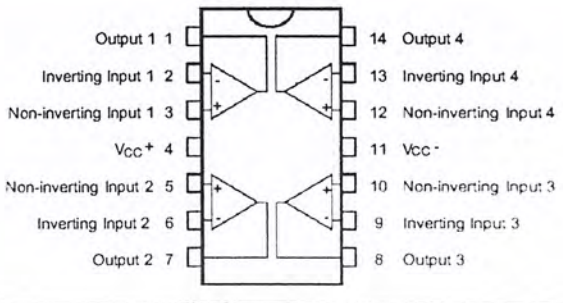
The devices feature high slew rates, low input bias and offset currents, and low offset voltage temperature coefficient.

ORDER CODE

Part Number	Temperature Range	Package		
		N	D	P
TL084M/AM/BM	-55°C, +125°C	•	•	•
TL084I/AI/BI	-40°C, +105°C	•	•	•
TL084C/AC/BC	0°C, +70°C	•	•	•
Example : TL084CN, TL084CD				

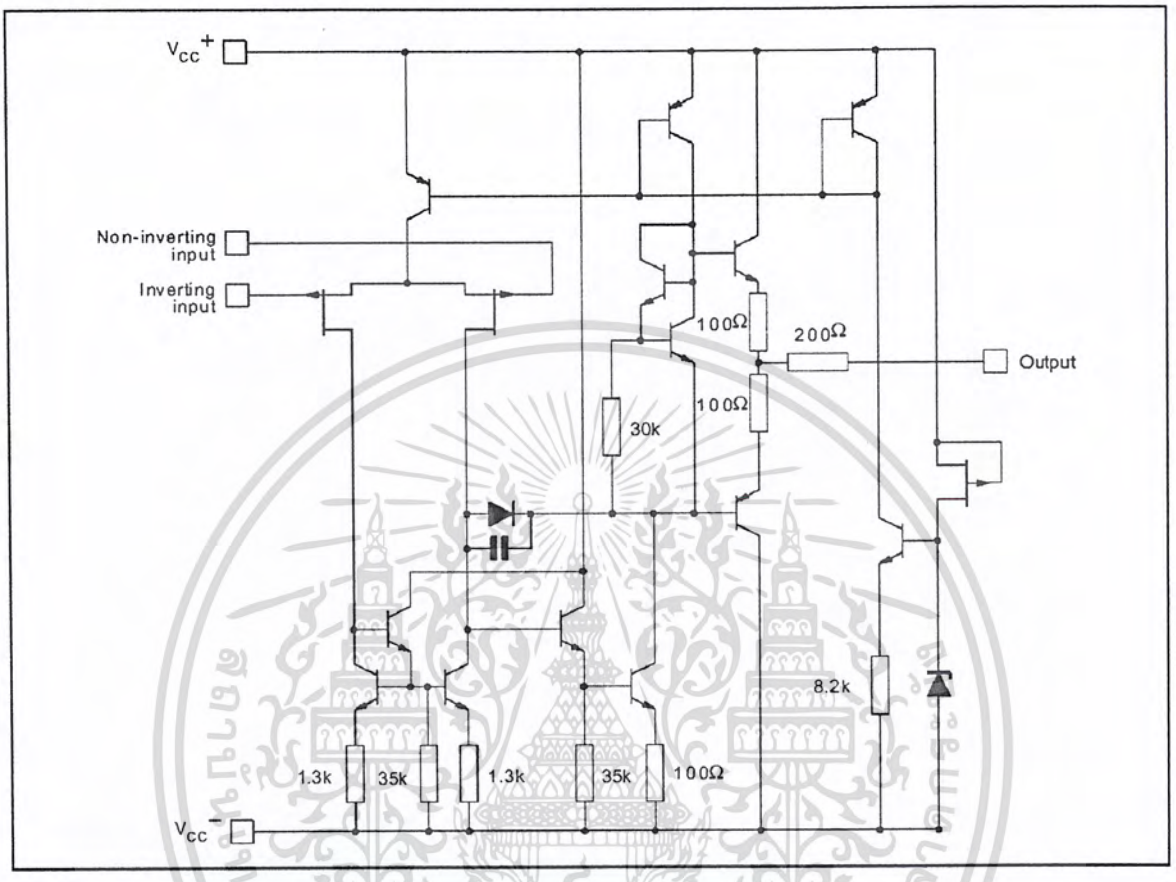
N = Dual in Line Package (DIP)
D = Small Outline Package (SO) - also available in Tape & Reel (DT)
P = Thin Shrink Small Outline Package (TSSOP) - only available in Tape & Reel (PT)

PIN CONNECTIONS (top view)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SCHEMATIC DIAGRAM (each amplifier)



ABSOLUTE MAXIMUM RATINGS

Symbol	Parameter	TL084M, AM, BM	TL084I, AI, BI	TL084C, AC, BC	Unit
V_{CC}	Supply voltage - note 1)	±18			V
V_i	Input Voltage - note 2)	±15			V
V_{id}	Differential Input Voltage - note 3)	±30			V
P_{tot}	Power Dissipation	680			mW
	Output Short-circuit Duration - note 4)	Infinite			
T_{oper}	Operating Free-air Temperature Range	-55 to +125	-40 to +105	0 to +70	°C
T_{stg}	Storage Temperature Range	-65 to +150			°C

1. All voltage values, except differential voltage, are with respect to the zero reference level (ground) of the supply voltages where the zero reference level is the midpoint between V_{CC}^+ and V_{CC}^-.
2. The magnitude of the input voltage must never exceed the magnitude of the supply voltage or 15 volts, whichever is less.
3. Differential voltages are the non-inverting input terminal with respect to the inverting input terminal.
4. The output may be shorted to ground or to either supply. Temperature and/or supply voltages must be limited to ensure that the dissipation rating is not exceeded

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS

V_{CC} = ±15V, T_{amb} = +25°C (unless otherwise specified)

Symbol	Parameter		TL084I,M,AC,AI,AM, BC,BI,BM			TL084C			Unit
			Min.	Typ.	Max.	Min.	Typ.	Max.	
V_{io}	Input Offset Voltage (R_s = 50Ω)								mV
	T_{amb} = +25°C	TL084		3	10		3	10	
		TL084A		3	6				
		TL084B		1	3				
	$T_{min} \le T_{amb} \le T_{max}$	TL084			13			13	
		TL084A			7				
		TL084B			5				
DV_{io}	Input Offset Voltage Drift			10			10		µV/°C
I_{io}	Input Offset Current - note 1)								
	T_{amb} = +25°C			5	100		5	100	pA
	$T_{min} \le T_{amb} \le T_{max}$				4			4	nA
I_{ib}	Input Bias Current -note 1								
	T_{amb} = +25°C			20	200		20	400	pA
	$T_{min} \le T_{amb} \le T_{max}$				20			20	nA
A_{vd}	Large Signal Voltage Gain (R_L = 2kΩ, V_o = ±10V)								V/mV
	T_{amb} = +25°C		50	200		25	200		
	$T_{min} \le T_{amb} \le T_{max}$		25			15			
SVR	Supply Voltage Rejection Ratio (R_S = 50Ω)								dB
	T_{amb} = +25°C		80	86		70	86		
	$T_{min} \le T_{amb} \le T_{max}$		80			70			
I_{CC}	Supply Current, no load, per amplifier								mA
	T_{amb} = +25°C			1.4	2.5		1.4	2.5	
	$T_{min} \le T_{amb} \le T_{max}$				2.5			2.5	
V_{icm}	Input Common Mode Voltage Range		±11	+15 -12		±11	+15 -12		V
CMR	Common Mode Rejection Ratio (R_S = 50Ω)								dB
	T_{amb} = +25°C		80	86		70	86		
	$T_{min} \le T_{amb} \le T_{max}$		80			70			
I_{os}	Output Short-circuit Current								mA
	T_{amb} = +25°C		10	40	60	10	40	60	
	$T_{min} \le T_{amb} \le T_{max}$		10		60	10		60	
$\pm V_{opp}$	Output Voltage Swing								V
	T_{amb} = +25°C	RL = 2kΩ	10	12		10	12		
		RL = 10kΩ	12	13.5		12	13.5		
	$T_{min} \le T_{amb} \le T_{max}$	RL = 2kΩ	10			10			
		RL = 10kΩ	12			12			
SR	Slew Rate (T_{amb} = +25°C)								V/µs
	V_{in} = 10V, R_L = 2kΩ, C_L = 100pF, unity gain		8	16		8	16		
t_r	Rise Time (T_{amb} = +25°C)								µs
	V_{in} = 20mV, R_L = 2kΩ, C_L = 100pF, unity gain			0.1			0.1		
K_{ov}	Overshoot (T_{amb} = +25°C)								%
	V_{in} = 20mV, R_L = 2kΩ, C_L = 100pF, unity gain			10			10		
GBP	Gain Bandwidth Product (T_{amb} = +25°C)								MHz
	V_{in} = 10mV, R_L = 2kΩ, C_L = 100pF, f= 100kHz		2.5	4		2.5	4		
R_i	Input Resistance			10^{12}			10^{12}		Ω

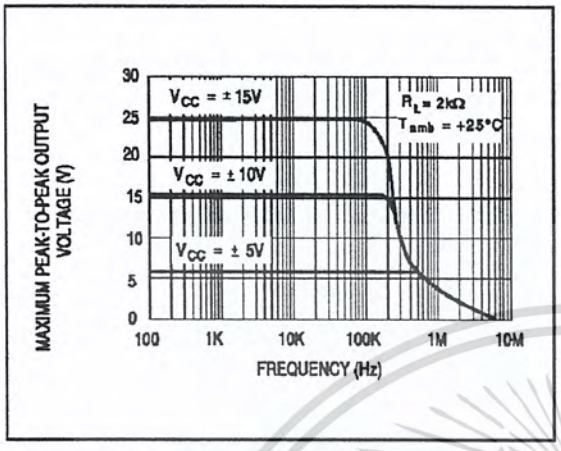
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Symbol	Parameter	TL084I,M,AC,AI,AM, BC,BI,BM			TL084C			Unit
		Min.	Typ.	Max.	Min.	Typ.	Max.	
THD	Total Harmonic Distortion (T_{amb} = +25°C), f= 1kHz, R_L = 2kΩ,C_L = 100pF, A_v = 20dB, V_o = $2V_{pp}$		0.01			0.01		%
e_n	Equivalent Input Noise Voltage R_S = 100Ω, f = 1KHz		15			15		$\frac{nV}{\sqrt{Hz}}$
Øm	Phase Margin		45			45		degrees
V_{o1}/V_{o2}	Channel Separation A_v = 100		120			120		dB

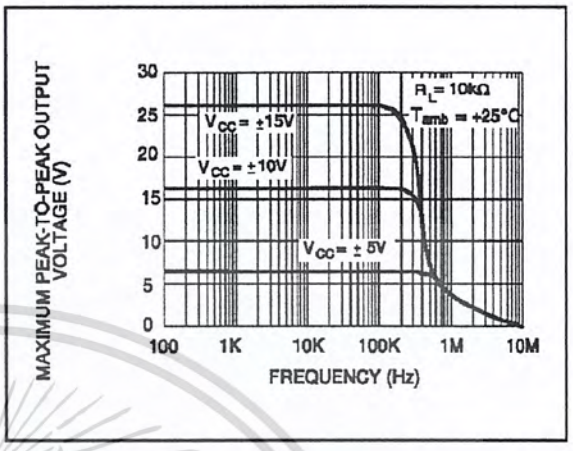
1. The input bias currents are junction leakage currents which approximately double for every 10°C increase in the junction temperature.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

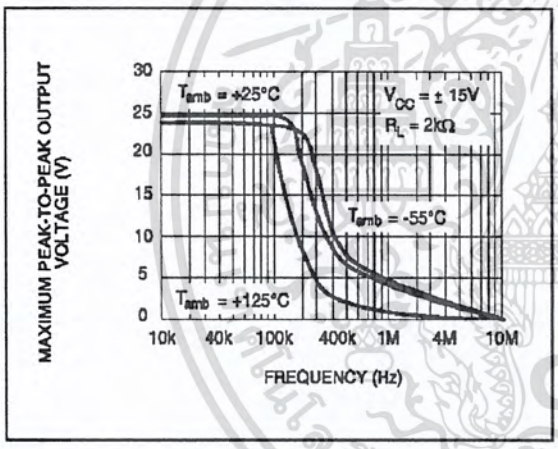
MAXIMUM PEAK-TO-PEAK OUTPUT VOLTAGE versus FREQUENCY



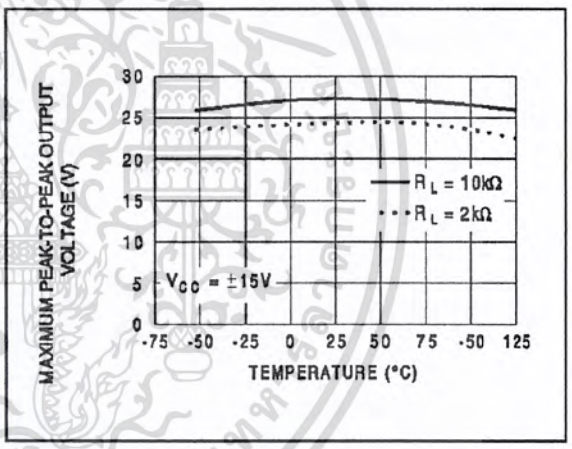
MAXIMUM PEAK-TO-PEAK OUTPUT VOLTAGE versus FREQUENCY



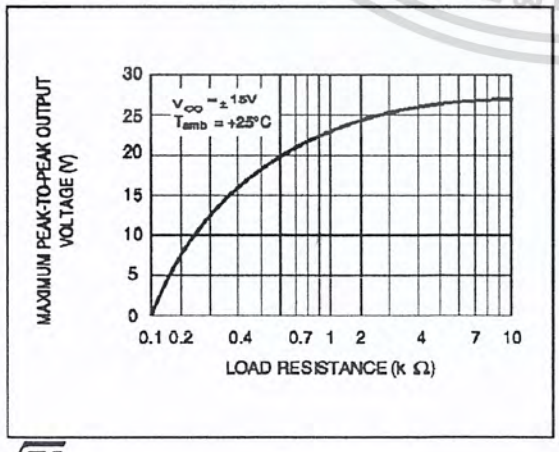
MAXIMUM PEAK-TO-PEAK OUTPUT VOLTAGE versus FREQUENCY



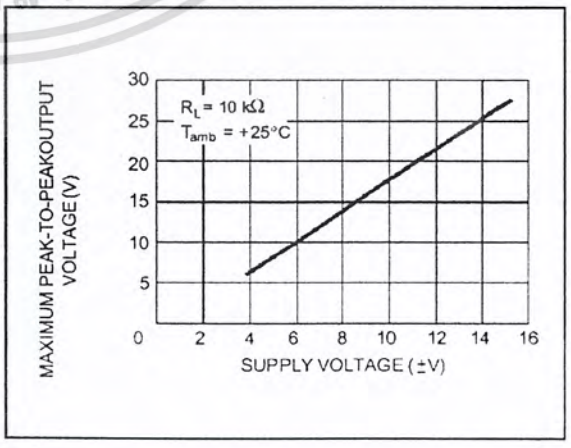
MAXIMUM PEAK-TO-PEAK OUTPUT VOLTAGE versus FREE AIR TEMP.



MAXIMUM PEAK-TO-PEAK OUTPUT VOLTAGE versus LOAD RESISTANCE

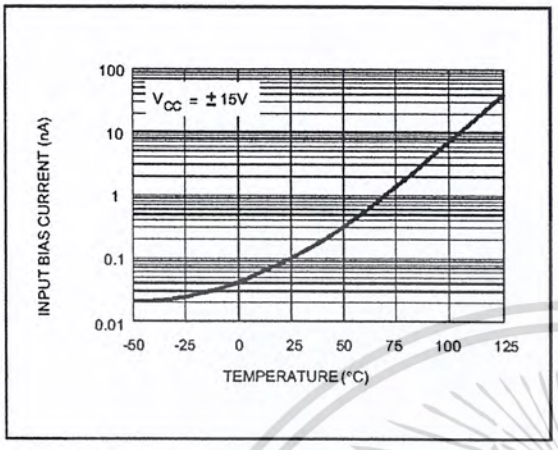


MAXIMUM PEAK-TO-PEAK OUTPUT VOLTAGE versus SUPPLY VOLTAGE

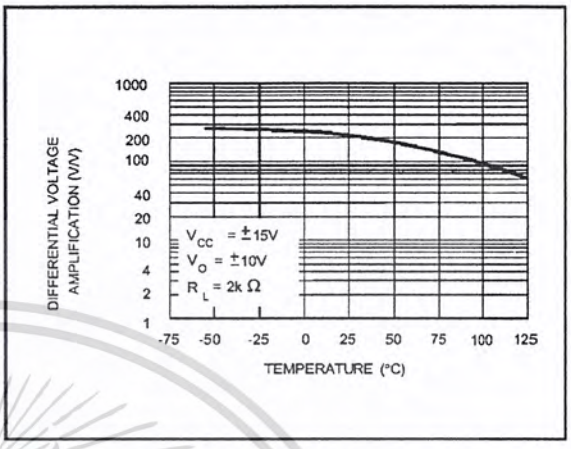


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

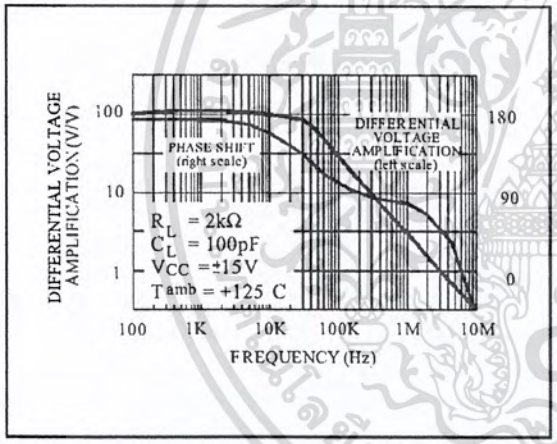
INPUT BIAS CURRENT versus FREE AIR TEMPERATURE



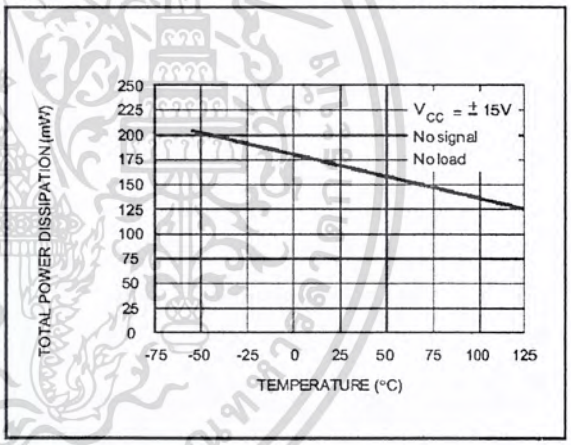
LARGE SIGNAL DIFFERENTIAL VOLTAGE AMPLIFICATION versus FREE AIR TEMP.



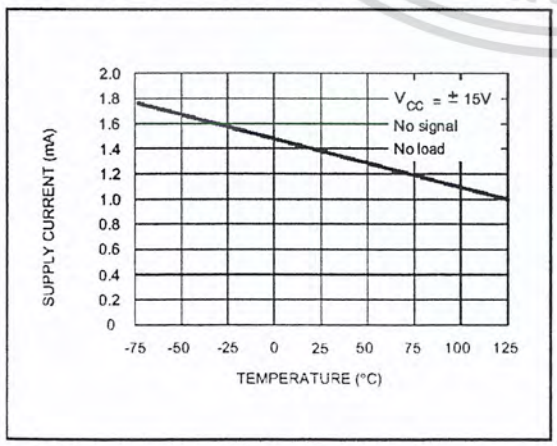
LARGE SIGNAL DIFFERENTIAL VOLTAGE AMPLIFICATION AND PHASE SHIFT versus FREQUENCY



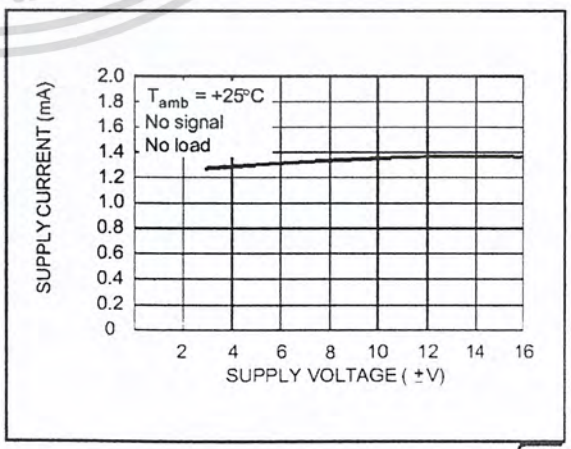
TOTAL POWER DISSIPATION versus FREE AIR TEMPERATURE



SUPPLY CURRENT PER AMPLIFIER versus FREE AIR TEMPERATURE

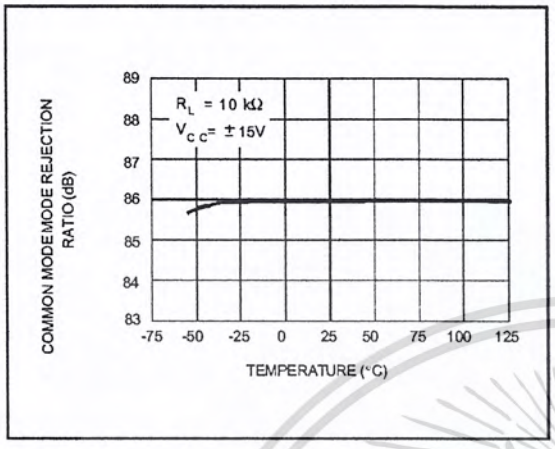


SUPPLY CURRENT PER AMPLIFIER versus SUPPLY VOLTAGE

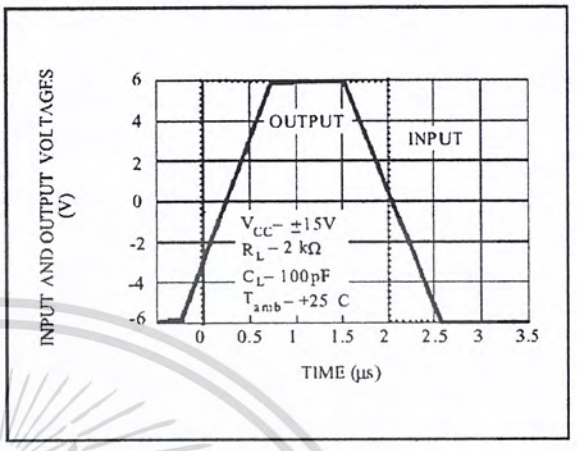


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

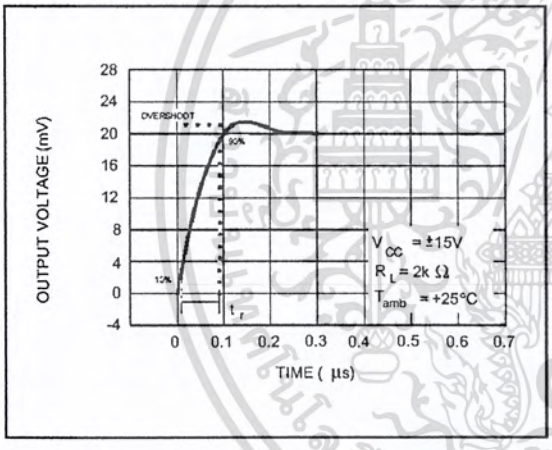
COMMON MODE REJECTION RATIO versus FREE AIR TEMPERATURE



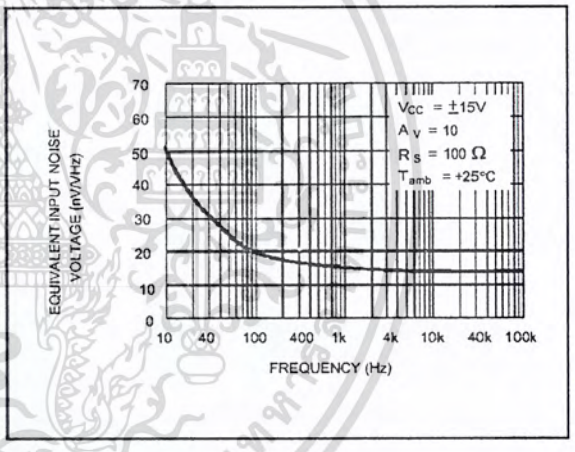
VOLTAGE FOLLOWER LARGE SIGNAL PULSE RESPONSE



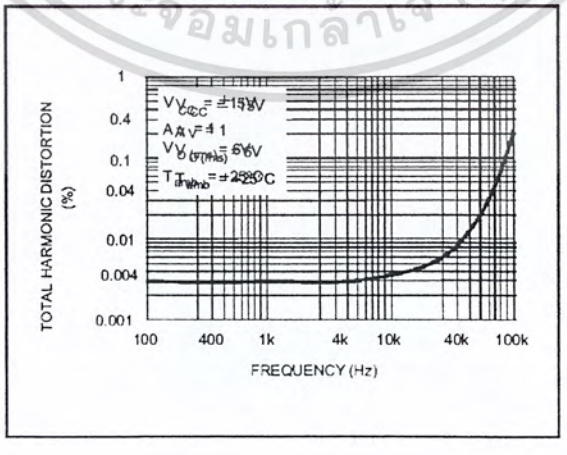
OUTPUT VOLTAGE versus ELAPSED TIME



EQUIVALENT INPUT NOISE VOLTAGE versus FREQUENCY



TOTAL HARMONIC DISTORTION versus FREQUENCY



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PARAMETER MEASUREMENT INFORMATION

Figure 1 : Voltage Follower

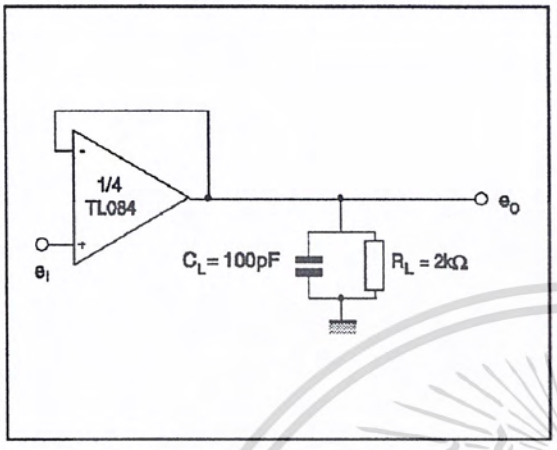
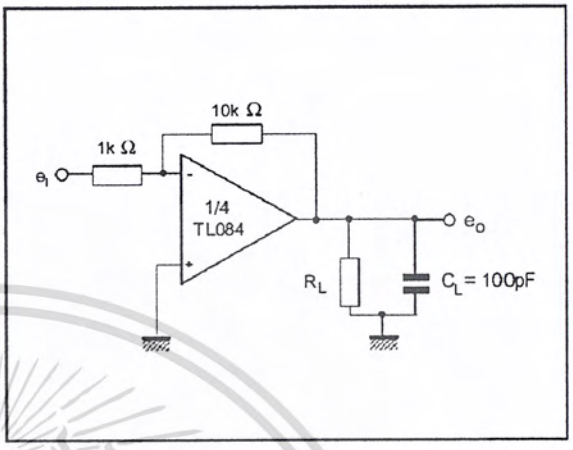
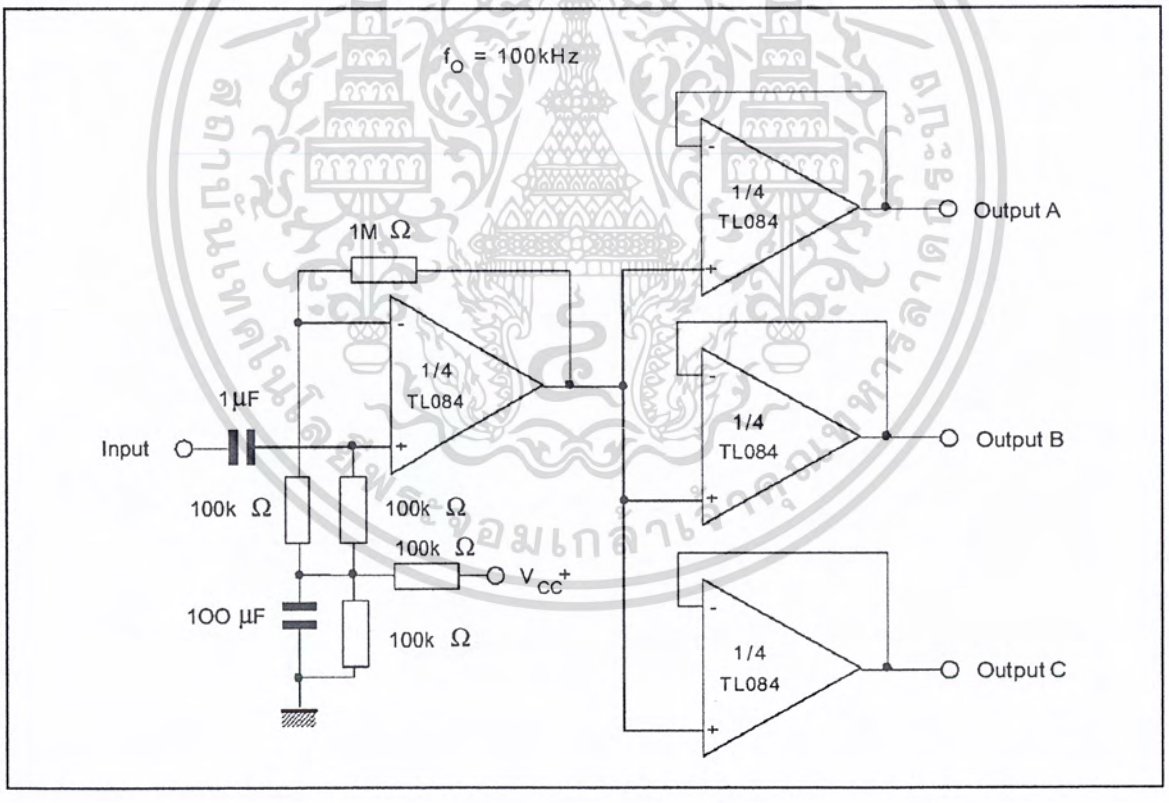


Figure 2 : Gain-of-10 Inverting Amplifier



TYPICAL APPLICATIONS

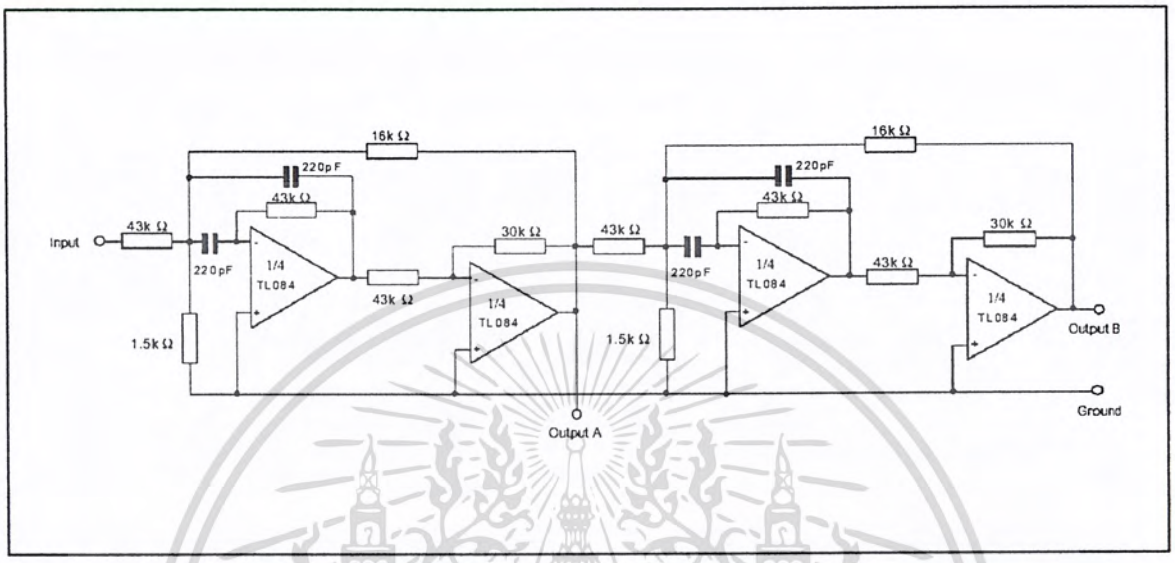
AUDIO DISTRIBUTION AMPLIFIER



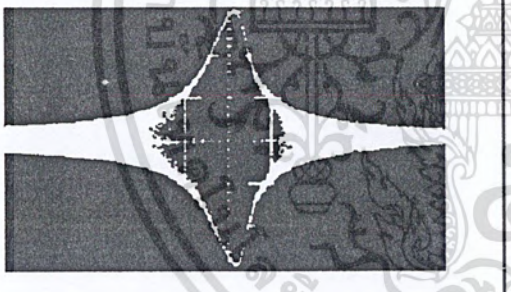
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPICAL APPLICATIONS (continued)

POSITIVE FEEDBACK BANDPASS FILTER

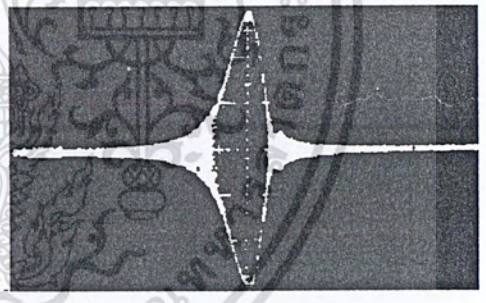


OUTPUT A



SECOND ORDER BANDPASS FILTER
fo = 100kHz; Q = 30; Gain = 4

OUTPUT B

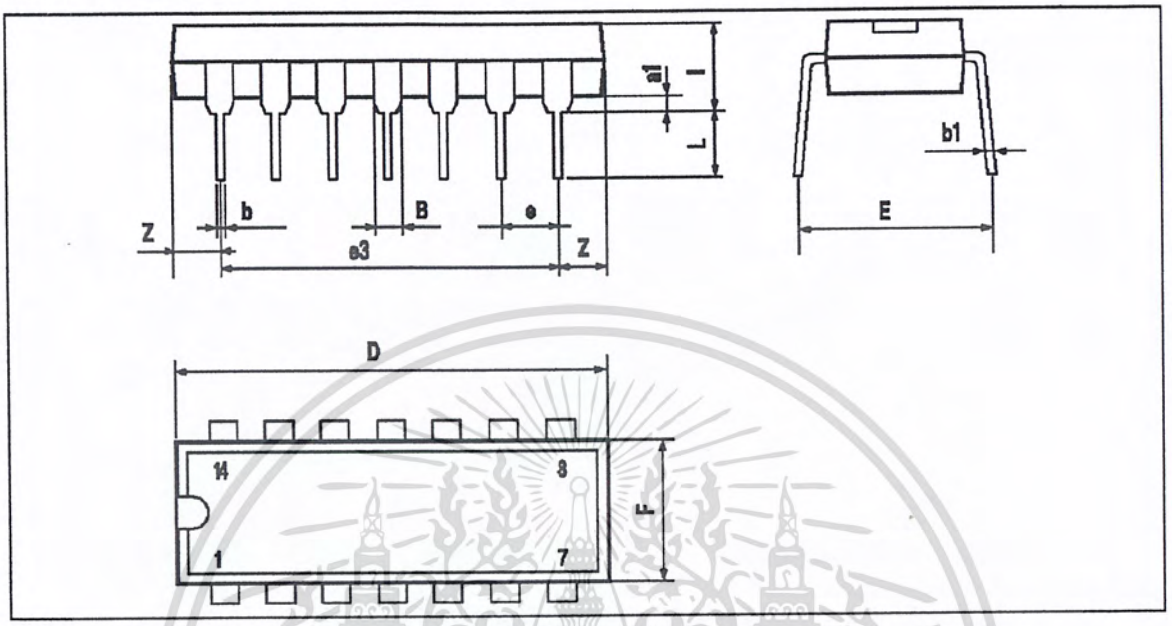


CASCADED BANDPASS FILTER
fo = 100kHz; Q = 69; Gain = 16

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PACKAGE MECHANICAL DATA

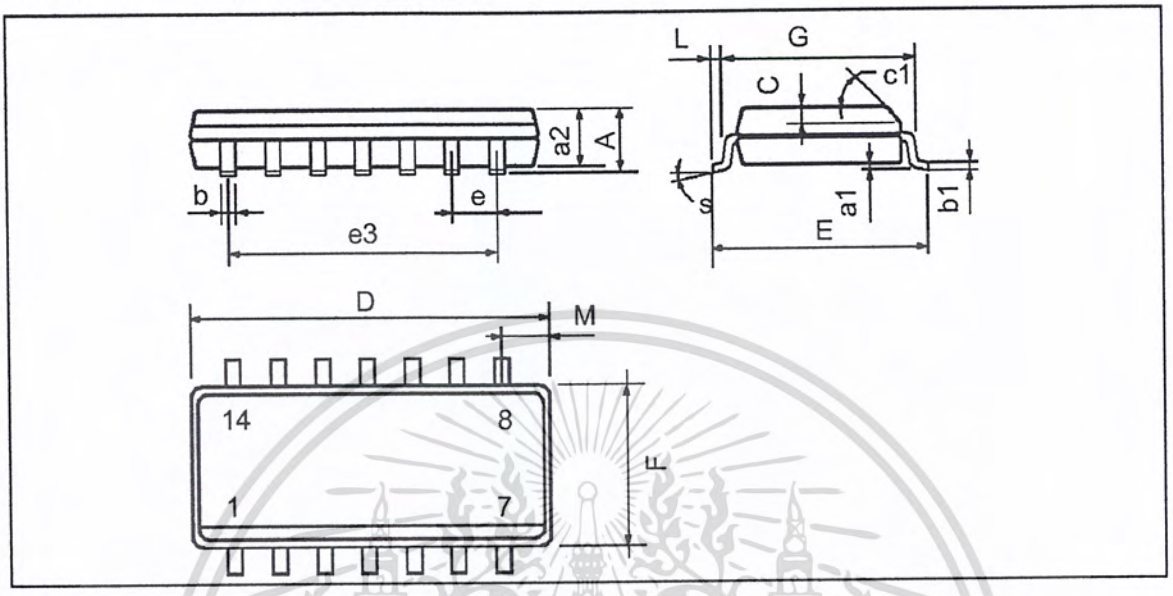
14 PINS - PLASTIC DIP



Dim.	Millimeters			Inches		
	Min.	Typ.	Max.	Min.	Typ.	Max.
a1	0.51			0.020		
B	1.39		1.65	0.055		0.065
b		0.5			0.020	
b1		0.25			0.010	
D			20			0.787
E		8.5			0.335	
e		2.54			0.100	
e3		15.24			0.600	
F			7.1			0.280
i			5.1			0.201
L		3.3			0.130	
Z	1.27		2.54	0.050		0.100

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PACKAGE MECHANICAL DATA
14 PINS - PLASTIC MICROPACKAGE (SO)



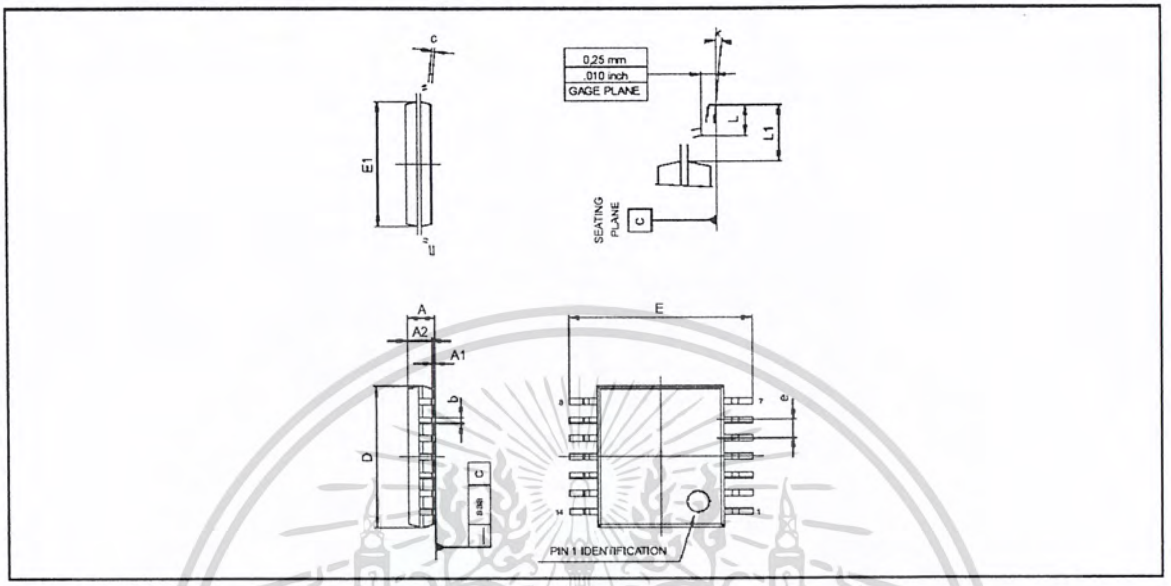
Dim.	Millimeters			Inches		
	Min.	Typ.	Max.	Min.	Typ.	Max.
A			1.75			0.069
a1	0.1		0.2	0.004		0.008
a2			1.6			0.063
b	0.35		0.46	0.014		0.018
b1	0.19		0.25	0.007		0.010
C		0.5			0.020	
c1	45° (typ.)					
D (1)	8.55		8.75	0.336		0.344
E	5.8		6.2	0.228		0.244
e		1.27			0.050	
e3		7.62			0.300	
F (1)	3.8		4.0	0.150		0.157
G	4.6		5.3	0.181		0.208
L	0.5		1.27	0.020		0.050
M			0.68			0.027
S	8° (max.)					

Note : (1) D and F do not include mold flash or protrusions - Mold flash or protrusions shall not exceed 0.15mm (.066 inc) ONLY FOR DATA BOOK.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PACKAGE MECHANICAL DATA

14 PINS - THIN SHRINK SMALL OUTLINE PACKAGE



Dim.	Millimeters			Inches		
	Min.	Typ.	Max.	Min.	Typ.	Max.
A			1.20			0.05
A1	0.05		0.15	0.01		0.006
A2	0.80	1.00	1.05	0.031	0.039	0.041
b	0.19		0.30	0.007		0.15
c	0.09		0.20	0.003		0.012
D	4.90	5.00	5.10	0.192	0.196	0.20
E		6.40			0.252	
E1	4.30	4.40	4.50	0.169	0.173	0.177
e		0.65			0.025	
k	0°		8°	0°		8°
l	0.50	0.60	0.75	0.09	0.0236	0.030

Information furnished is believed to be accurate and reliable. However, STMicroelectronics assumes no responsibility for the consequences of use of such information nor for any infringement of patents or other rights of third parties which may result from its use. No license is granted by implication or otherwise under any patent or patent rights of STMicroelectronics. Specifications mentioned in this publication are subject to change without notice. This publication supersedes and replaces all information previously supplied. STMicroelectronics products are not authorized for use as critical components in life support devices or systems without express written approval of STMicroelectronics.
© The ST logo is a registered trademark of STMicroelectronics

© 2001 STMicroelectronics - Printed in Italy - All Rights Reserved
STMicroelectronics GROUP OF COMPANIES
Australia - Brazil - China - Finland - France - Germany - Hong Kong - India - Italy - Japan - Malaysia - Malta - Morocco
Singapore - Spain - Sweden - Switzerland - United Kingdom
© http://www.st.com

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TL082
TL082A - TL082B

GENERAL PURPOSE J-FET DUAL OPERATIONAL AMPLIFIERS

- WIDE COMMON-MODE (UP TO V_{CC}^+) AND DIFFERENTIAL VOLTAGE RANGE
- LOW INPUT BIAS AND OFFSET CURRENT
- OUTPUT SHORT-CIRCUIT PROTECTION
- HIGH INPUT IMPEDANCE J–FET INPUT STAGE
- INTERNAL FREQUENCY COMPENSATION
- LATCH UP FREE OPERATION
- HIGH SLEW RATE : 16V/µs (typ)

N
DIP8
(Plastic Package)

D
SO8
(Plastic Micropackage)

P
TSSOP8
(Thin Shrink Small Outline Package)

ORDER CODE

Part Number	Temperature Range	Package		
		N	D	P
TL082M/AM/BM	-55°C, +125°C	•	•	•
TL082I/AI/BI	-40°C, +105°C	•	•	•
TL082C/AC/BC	0°C, +70°C	•	•	•
Example : TL082CD, TL082IN				

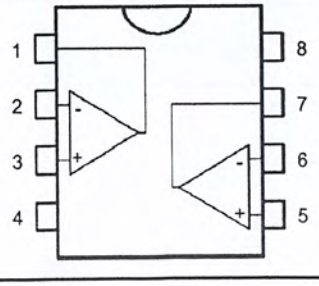
N = Dual in Line Package (DIP)
D = Small Outline Package (SO) - also available in Tape & Reel (DT)
P = Thin Shrink Small Outline Package (TSSOP) - only available in Tape & Reel (PT)

DESCRIPTION

The TL082, TL082A and TL082B are high speed J–FET input dual operational amplifiers incorporating well matched, high voltage J–FET and bipolar transistors in a monolithic integrated circuit.

The devices feature high slew rates, low input bias and offset current, and low offset voltage temperature coefficient.

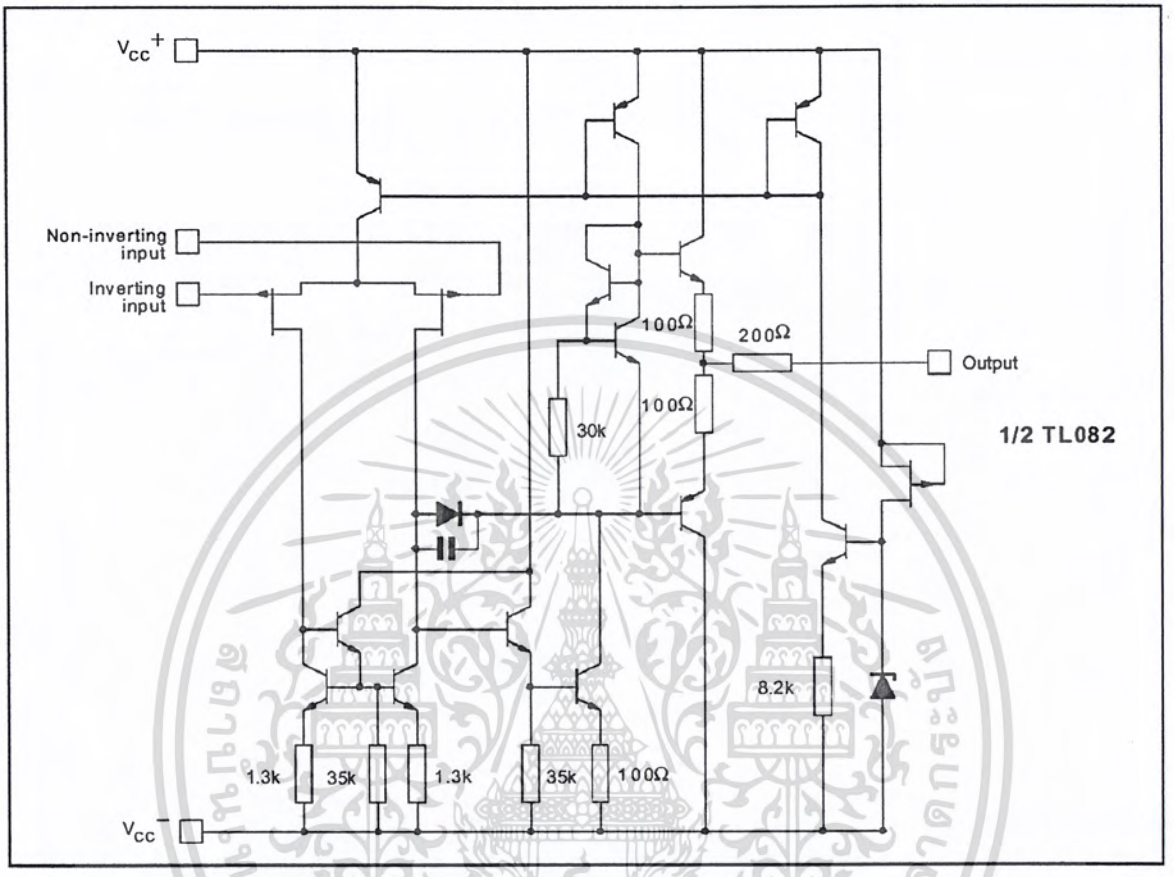
PIN CONNECTIONS (top view)



1 - Offset null 1
2 - Inverting input
3 - Non-inverting input
4 - V_{CC}^-
5 - Offset null 2
6 - Output
7 - V_{CC}^+
8 - N.C.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SCHEMATIC DIAGRAM



ABSOLUTE MAXIMUM RATINGS

Symbol	Parameter	TL082M, AM, BM	TL082I, AI, BI	TL082C, AC, BC	Unit
V_{CC}	Supply voltage - note 1)	±18			V
V_i	Input Voltage - note 2)	±15			V
V_{id}	Differential Input Voltage - note 3)	±30			V
P_{tot}	Power Dissipation	680			mW
	Output Short-circuit Duration - note 4)	Infinite			
T_{oper}	Operating Free-air Temperature Range	-55 to +125	-40 to +105	0 to +70	°C
T_{stg}	Storage Temperature Range	-65 to +150			°C

1. All voltage values, except differential voltage, are with respect to the zero reference level (ground) of the supply voltages where the zero reference level is the midpoint between V_{CC}^+ and V_{CC}^-.
2. The magnitude of the input voltage must never exceed the magnitude of the supply voltage or 15 volts, whichever is less.
3. Differential voltages are the non-inverting input terminal with respect to the inverting input terminal.
4. The output may be shorted to ground or to either supply. Temperature and/or supply voltages must be limited to ensure that the dissipation rating is not exceeded

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS

V_{CC} = ±15V, T_{amb} = +25°C (unless otherwise specified)

Symbol	Parameter		TL082I,M,AC,AI,AM, BC,BI,BM			TL082C			Unit
			Min.	Typ.	Max.	Min.	Typ.	Max.	
V_{io}	Input Offset Voltage (R_s = 50Ω)								mV
	T_{amb} = +25°C	TL082		3	10		3	10	
		TL082A		3	6				
		TL082B		1	3				
	$T_{min} \le T_{amb} \le T_{max}$	TL082			13			13	
		TL082A			7				
		TL082B			5				
DV_{io}	Input Offset Voltage Drift			10			10		µV/°C
I_{io}	Input Offset Current - note 1)								
	T_{amb} = +25°C			5	100		5	100	pA
	$T_{min} \le T_{amb} \le T_{max}$				4			10	nA
I_{ib}	Input Bias Current -note 1								
	T_{amb} = +25°C			20	200		20	400	pA
	$T_{min} \le T_{amb} \le T_{max}$				20			20	nA
A_{vd}	Large Signal Voltage Gain (R_L = 2kΩ, V_o = ±10V)								V/mV
	T_{amb} = +25°C		50	200		25	200		
	$T_{min} \le T_{amb} \le T_{max}$		25			15			
SVR	Supply Voltage Rejection Ratio (R_S = 50Ω)								dB
	T_{amb} = +25°C		80	86		70	86		
	$T_{min} \le T_{amb} \le T_{max}$		80			70			
I_{CC}	Supply Current, no load								mA
	T_{amb} = +25°C			1.4	2.5		1.4	2.5	
	$T_{min} \le T_{amb} \le T_{max}$				2.5			2.5	
V_{icm}	Input Common Mode Voltage Range		±11	+15 -12		±11	+15 -12		V
CMR	Common Mode Rejection Ratio (R_S = 50Ω)								dB
	T_{amb} = +25°C		80	86		70	86		
	$T_{min} \le T_{amb} \le T_{max}$		80			70			
I_{os}	Output Short-circuit Current								mA
	T_{amb} = +25°C		10	40	60	10	40	60	
	$T_{min} \le T_{amb} \le T_{max}$		10		60	10		60	
$\pm V_{opp}$	Output Voltage Swing								V
	T_{amb} = +25°C	RL = 2kΩ	10	12		10	12		
		RL = 10kΩ	12	13.5		12	13.5		
	$T_{min} \le T_{amb} \le T_{max}$	RL = 2kΩ	10			10			
		RL = 10kΩ	12			12			
SR	Slew Rate (T_{amb} = +25°C)								V/µs
	V_{in} = 10V, R_L = 2kΩ, C_L = 100pF, unity gain		8	16		8	16		
t_r	Rise Time (T_{amb} = +25°C)								µs
	V_{in} = 20mV, R_L = 2kΩ, C_L = 100pF, unity gain			0.1			0.1		
K_{ov}	Overshoot (T_{amb} = +25°C)								%
	V_{in} = 20mV, R_L = 2kΩ, C_L = 100pF, unity gain			10			10		
GBP	Gain Bandwidth Product (T_{amb} = +25°C)								MHz
	V_{in} = 10mV, R_L = 2kΩ, C_L = 100pF, f= 100kHz		2.5	4		2.5	4		
R_i	Input Resistance			10^{12}			10^{12}		Ω

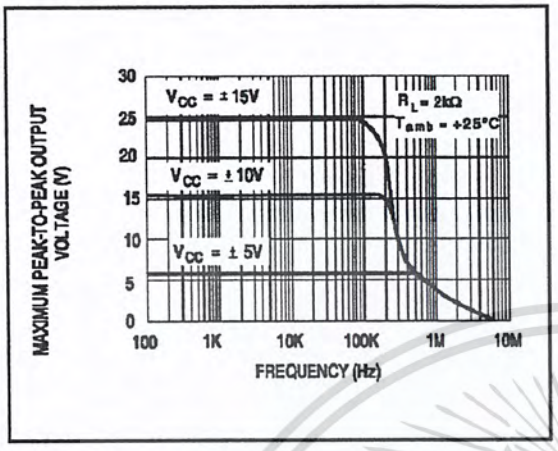
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Symbol	Parameter	TL082I,M,AC,AI,AM, BC,BI,BM			TL082C			Unit
		Min.	Typ.	Max.	Min.	Typ.	Max.	
THD	Total Harmonic Distortion (T_{amb} = +25°C), f= 1kHz, R_L = 2kΩ,C_L = 100pF, A_v = 20dB, V_o = $2V_{pp}$		0.01			0.01		%
e_n	Equivalent Input Noise Voltage R_S = 100Ω, f = 1KHz		15			15		$\frac{nV}{\sqrt{Hz}}$
Øm	Phase Margin		45			45		degrees
V_{o1}/V_{o2}	Channel Separation A_v = 100		120			120		dB

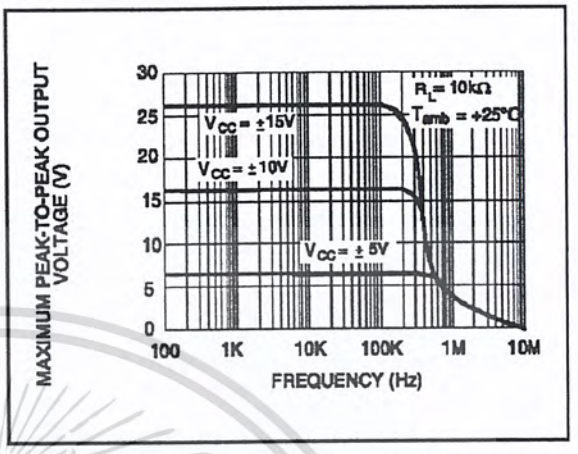
1. The input bias currents are junction leakage currents which approximately double for every 10°C increase in the junction temperature.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

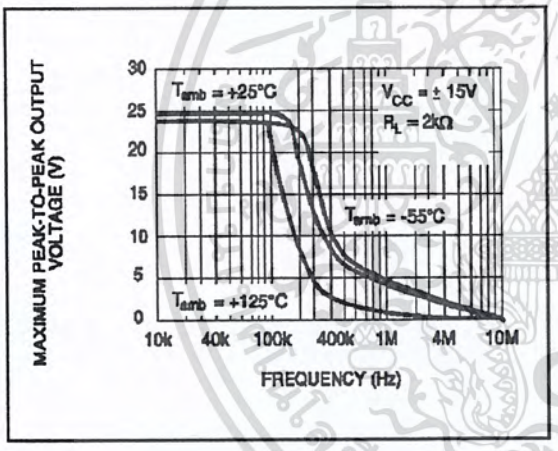
MAXIMUM PEAK-TO-PEAK OUTPUT VOLTAGE versus FREQUENCY



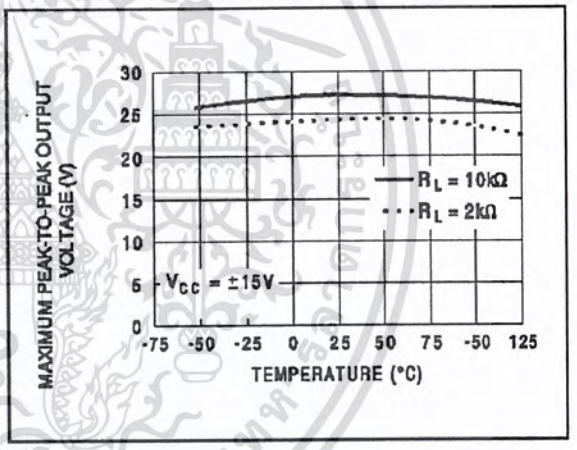
MAXIMUM PEAK-TO-PEAK OUTPUT VOLTAGE versus FREQUENCY



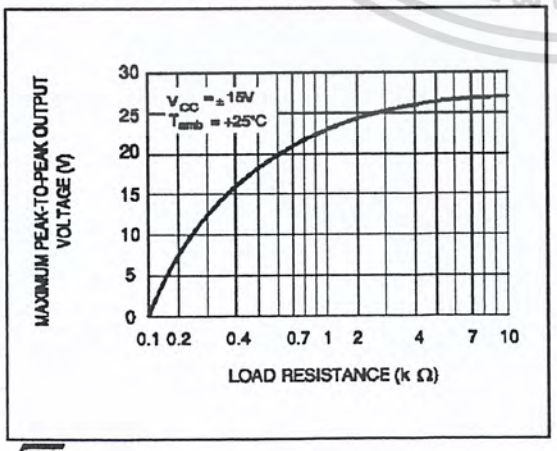
MAXIMUM PEAK-TO-PEAK OUTPUT VOLTAGE versus FREQUENCY



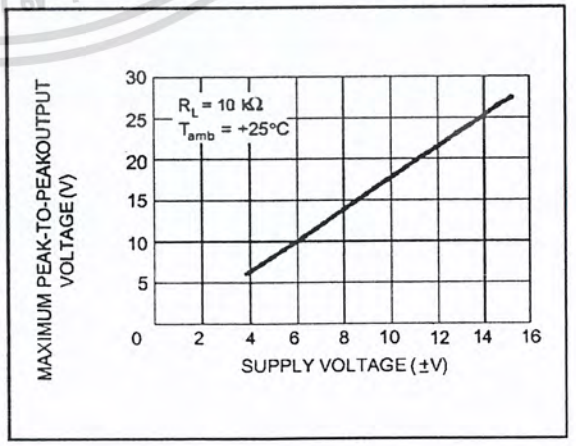
MAXIMUM PEAK-TO-PEAK OUTPUT VOLTAGE versus FREE AIR TEMP.



MAXIMUM PEAK-TO-PEAK OUTPUT VOLTAGE versus LOAD RESISTANCE

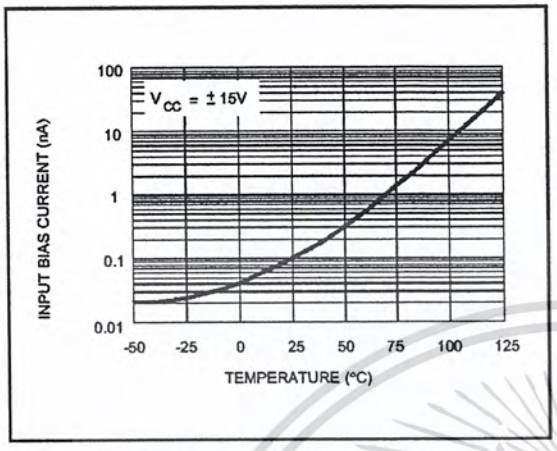


MAXIMUM PEAK-TO-PEAK OUTPUT VOLTAGE versus SUPPLY VOLTAGE

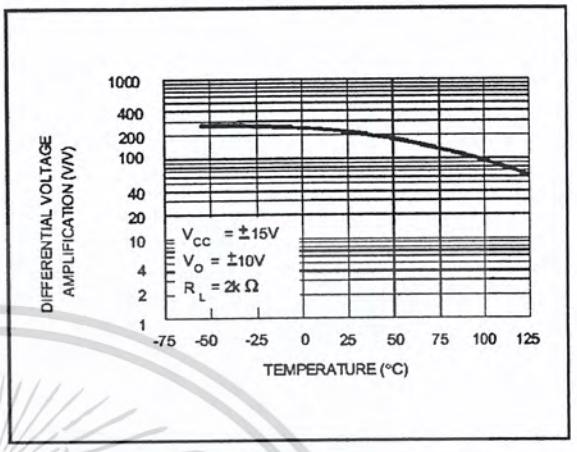


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

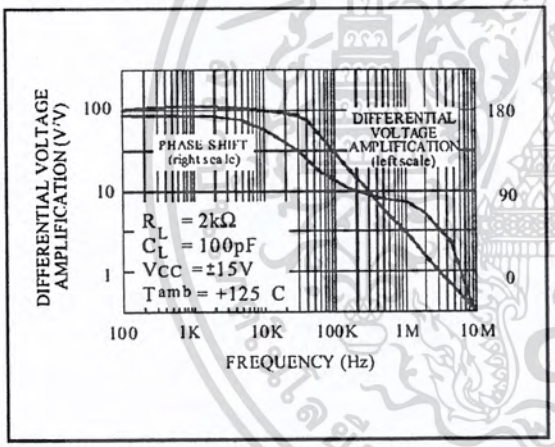
INPUT BIAS CURRENT versus FREE AIR TEMPERATURE



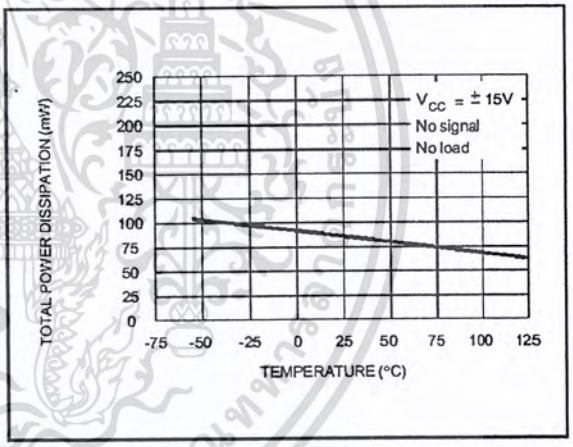
LARGE SIGNAL DIFFERENTIAL VOLTAGE AMPLIFICATION versus FREE AIR TEMP.



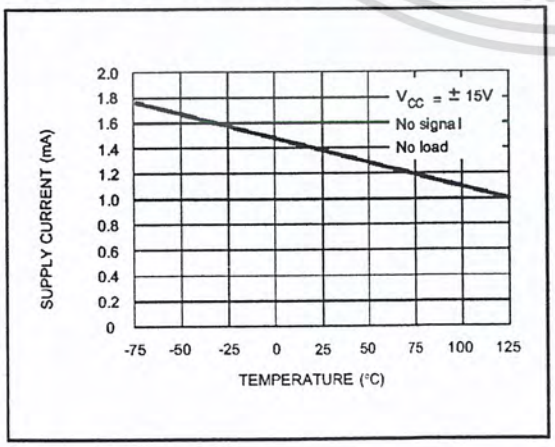
LARGE SIGNAL DIFFERENTIAL VOLTAGE AMPLIFICATION AND PHASE SHIFT versus FREQUENCY



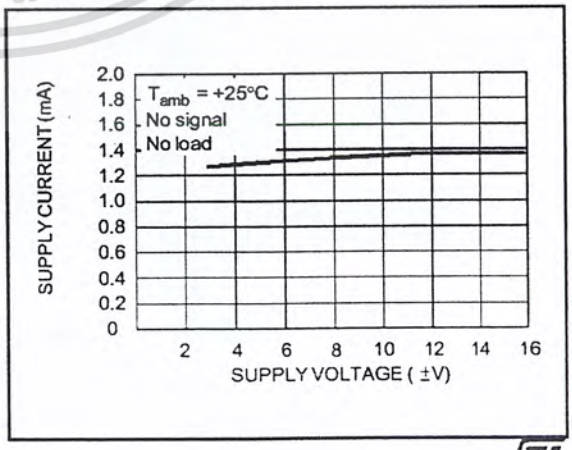
TOTAL POWER DISSIPATION versus FREE AIR TEMPERATURE



SUPPLY CURRENT PER AMPLIFIER versus FREE AIR TEMPERATURE

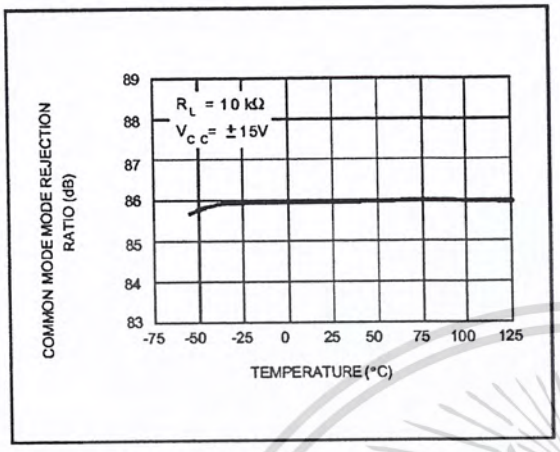


SUPPLY CURRENT PER AMPLIFIER versus SUPPLY VOLTAGE

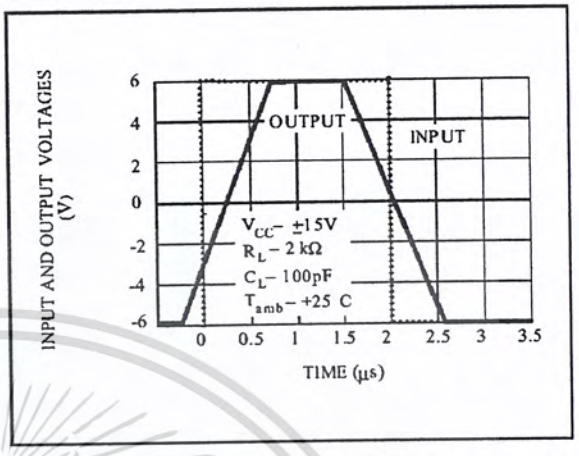


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

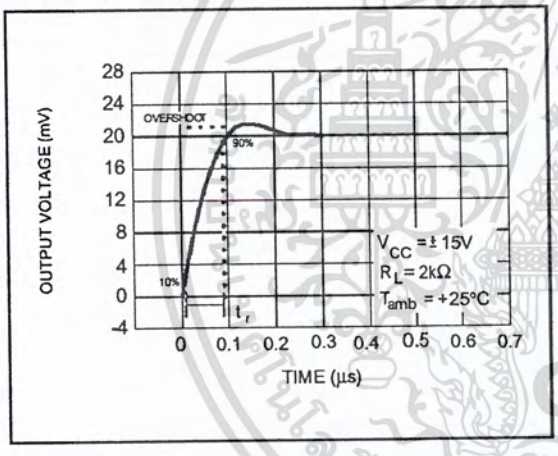
COMMON MODE REJECTION RATIO versus FREE AIR TEMPERATURE



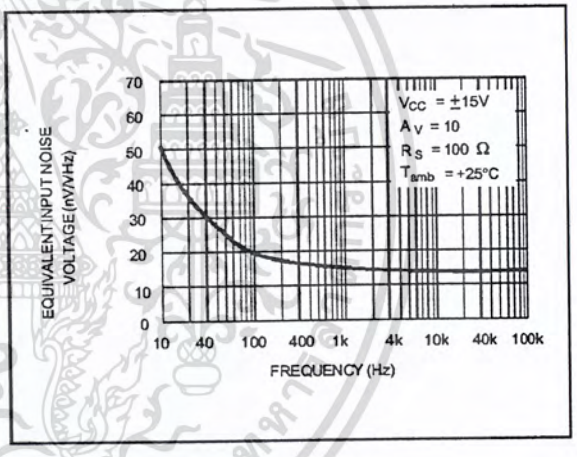
VOLTAGE FOLLOWER LARGE SIGNAL PULSE RESPONSE



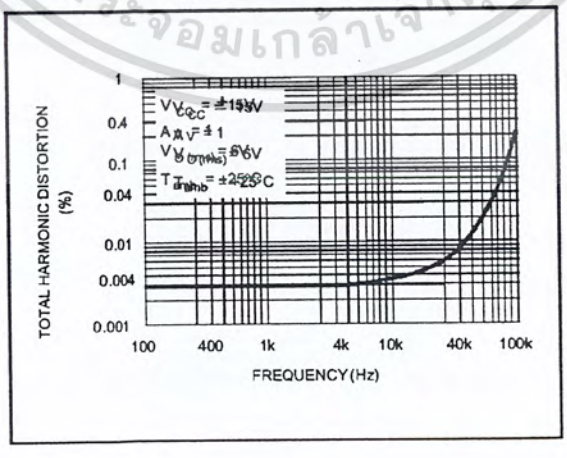
OUTPUT VOLTAGE versus ELAPSED TIME



EQUIVALENT INPUT NOISE VOLTAGE versus FREQUENCY



TOTAL HARMONIC DISTORTION versus FREQUENCY



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PARAMETER MEASUREMENT INFORMATION

Figure 1 : Voltage Follower

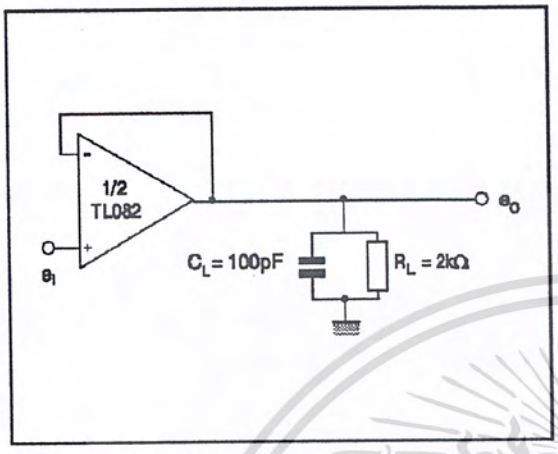
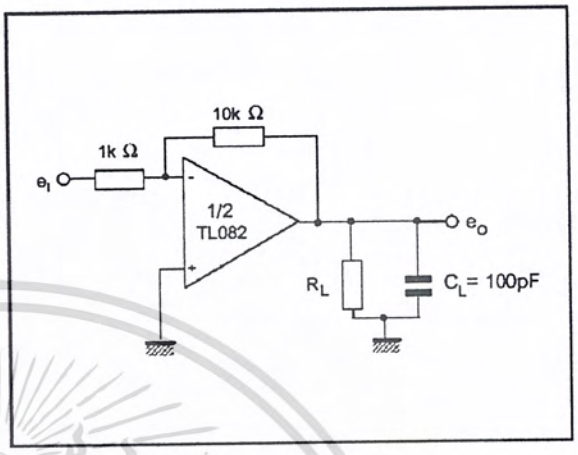
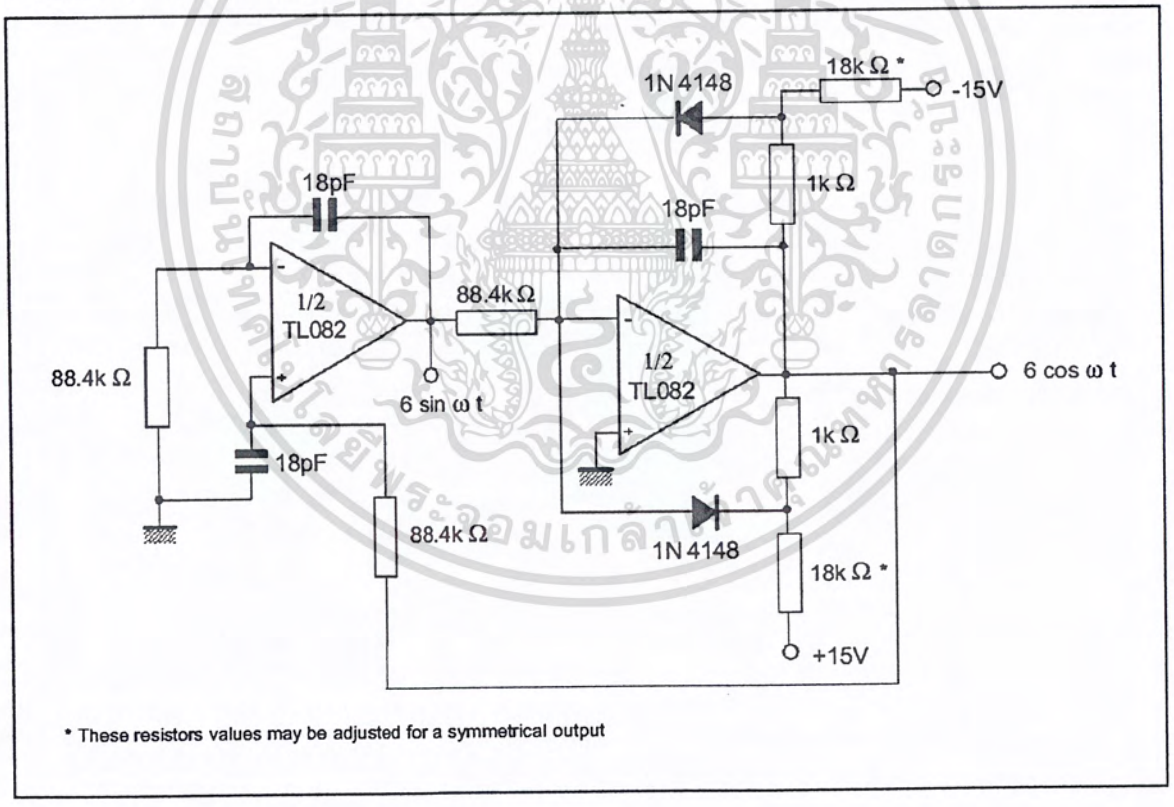


Figure 2 : Gain-of-10 Inverting Amplifier



TYPICAL APPLICATIONS

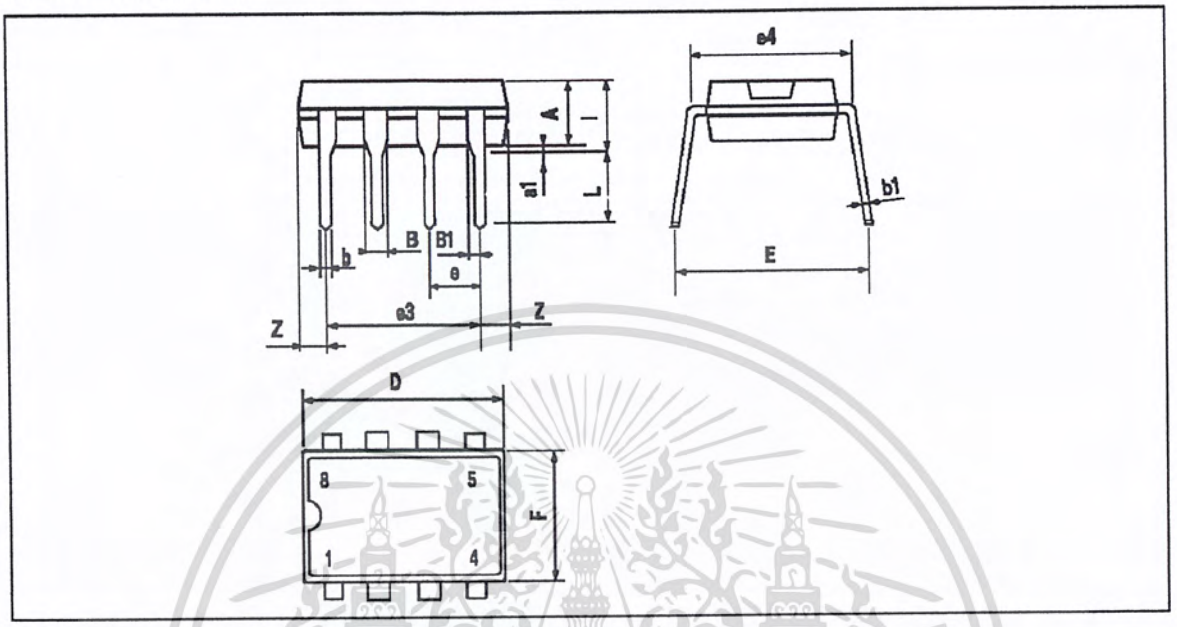
100KHz QUADRUPLE OSCILLATOR



* These resistors values may be adjusted for a symmetrical output

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PACKAGE MECHANICAL DATA
8 PINS - PLASTIC DIP

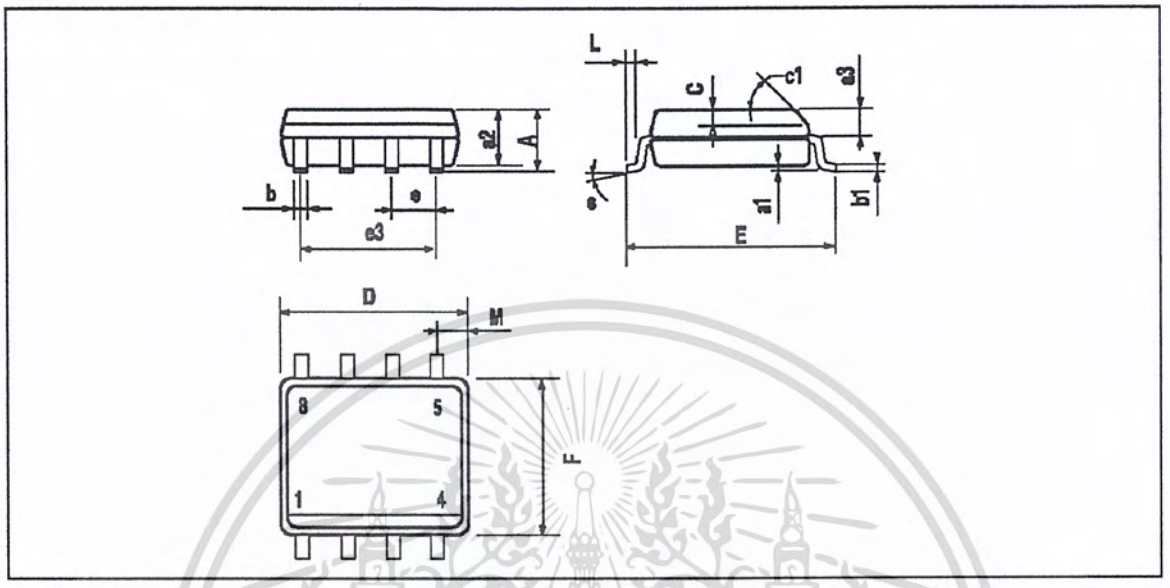


Dim.	Millimeters			Inches		
	Min.	Typ.	Max.	Min.	Typ.	Max.
A		3.32			0.131	
a1	0.51			0.020		
B	1.15		1.65	0.045		0.065
b	0.356		0.55	0.014		0.022
b1	0.204		0.304	0.008		0.012
D			10.92			0.430
E	7.95		9.75	0.313		0.384
e		2.54			0.100	
e3		7.62			0.300	
e4		7.62			0.300	
F			6.6			0260
i			5.08			0.200
L	3.18		3.81	0.125		0.150
Z			1.52			0.060

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PACKAGE MECHANICAL DATA

8 PINS - PLASTIC MICROPACKAGE (SO)

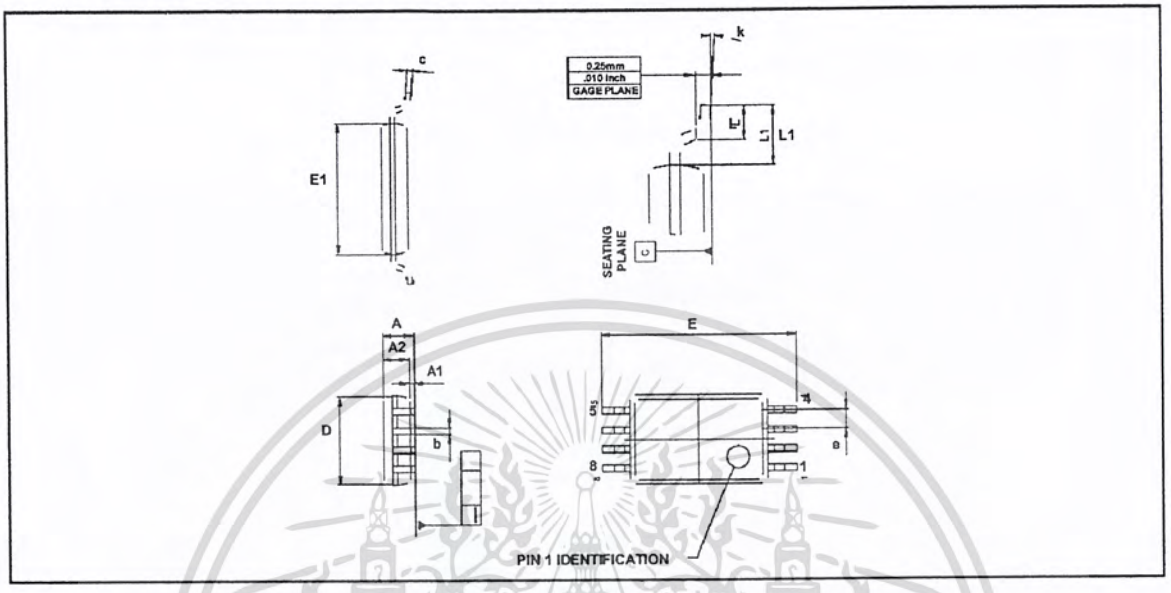


Dim.	Millimeters			Inches		
	Min.	Typ.	Max.	Min.	Typ.	Max.
A			1.75			0.069
a1	0.1		0.25	0.004		0.010
a2			1.65			0.065
a3	0.65		0.85	0.026		0.033
b	0.35		0.48	0.014		0.019
b1	0.19		0.25	0.007		0.010
C	0.25		0.5	0.010		0.020
c1	45° (typ.)					
D	4.8		5.0	0.189		0.197
E	5.8		6.2	0.228		0.244
e		1.27			0.050	
e3		3.81			0.150	
F	3.8		4.0	0.150		0.157
L	0.4		1.27	0.016		0.050
M			0.6			0.024
S	8° (max.)					

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PACKAGE MECHANICAL DATA

8 PINS - THIN SHRINK SMALL OUTLINE PACKAGE



Dim.	Millimeters			Inches		
	Min.	Typ.	Max.	Min.	Typ.	Max.
A			1.20			0.05
A1	0.05		0.15	0.01		0.006
A2	0.80	1.00	1.05	0.031	0.039	0.041
b	0.19		0.30	0.007		0.15
c	0.09		0.20	0.003		0.012
D	2.90	3.00	3.10	0.114	0.118	0.122
E		6.40			0.252	
E1	4.30	4.40	4.50	0.169	0.173	0.177
e		0.65			0.025	
k	0°		8°	0°		8°
l	0.50	0.60	0.75	0.09	0.0236	0.030
L	0.45	0.600	0.75	0.018	0.024	0.030
L1		1.000			0.039	

Information furnished is believed to be accurate and reliable. However, STMicroelectronics assumes no responsibility for the consequences of use of such information nor for any infringement of patents or other rights of third parties which may result from its use. No license is granted by implication or otherwise under any patent or patent rights of STMicroelectronics. Specifications mentioned in this publication are subject to change without notice. This publication supersedes and replaces all information previously supplied. STMicroelectronics products are not authorized for use as critical components in life support devices or systems without express written approval of STMicroelectronics.
© The ST logo is a registered trademark of STMicroelectronics

© 2001 STMicroelectronics - Printed in Italy - All Rights Reserved
STMicroelectronics GROUP OF COMPANIES
Australia - Brazil - China - Finland - France - Germany - Hong Kong - India - Italy - Japan - Malaysia - Malta - Morocco
Singapore - Spain - Sweden - Switzerland - United Kingdom
© http://www.st.com

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Data Sheet | February 2001 | File Number 3082.3

$3^1/_2$ Digit, LCD/LED Display, A/D Converters

The Intersil ICL7106 and ICL7107 are high performance, low power, $3^1/_2$ digit A/D converters. Included are seven segment decoders, display drivers, a reference, and a clock. The ICL7106 is designed to interface with a liquid crystal display (LCD) and includes a multiplexed backplane drive; the ICL7107 will directly drive an instrument size light emitting diode (LED) display.

The ICL7106 and ICL7107 bring together a combination of high accuracy, versatility, and true economy. It features auto-zero to less than 10µV, zero drift of less than 1µV/°C, input bias current of 10pA (Max), and rollover error of less than one count. True differential inputs and reference are useful in all systems, but give the designer an uncommon advantage when measuring load cells, strain gauges and other bridge type transducers. Finally, the true economy of single power supply operation (ICL7106), enables a high performance panel meter to be built with the addition of only 10 passive components and a display.

Ordering Information

PART NO.	TEMP. RANGE (°C)	PACKAGE	PKG. NO.
ICL7106CPL	0 to 70	40 Ld PDIP	E40.6
ICL7106CM44	0 to 70	44 Ld MQFP	Q44.10x10
ICL7107CPL	0 to 70	40 Ld PDIP	E40.6
ICL7107RCPL	0 to 70	40 Ld PDIP (Note)	E40.6
ICL7107SCPL	0 to 70	40 Ld PDIP (Note)	E40.6
ICL7107CM44	0 to 70	44 Ld MQFP	Q44.10x10

NOTE: "R" indicates device with reversed leads for mounting to PC board underside. "S" indicates enhanced stability.

Features

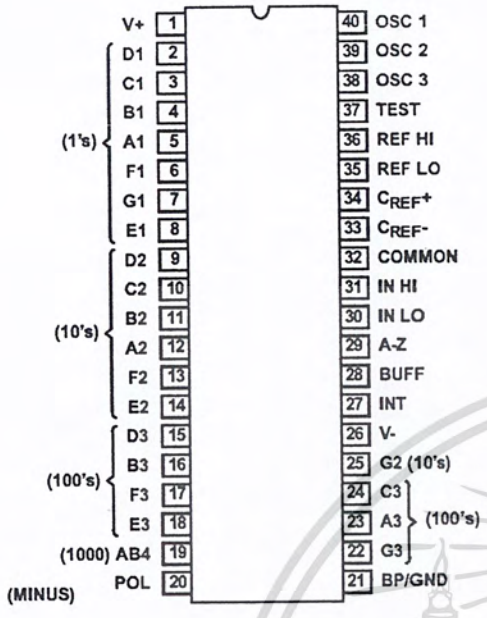
- Guaranteed Zero Reading for 0V Input on All Scales
- True Polarity at Zero for Precise Null Detection
- 1pA Typical Input Current
- True Differential Input and Reference, Direct Display Drive - LCD ICL7106, LED ICL7107
- Low Noise - Less Than 15µV_{P-P}
- On Chip Clock and Reference
- Low Power Dissipation - Typically Less Than 10mW
- No Additional Active Circuits Required
- Enhanced Display Stability

CAUTION: These devices are sensitive to electrostatic discharge; follow proper IC Handling Procedures.
1-888-INTERSIL or 321-724-7143 | Intersil and Design is a trademark of Intersil Americas Inc. | Copyright © Intersil Americas Inc. 2001

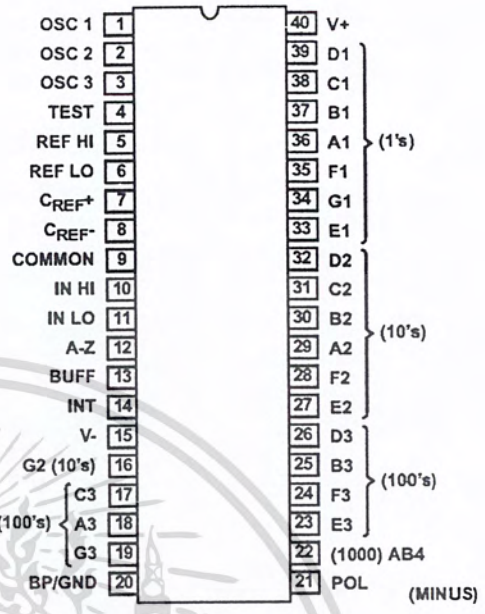
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Pinouts

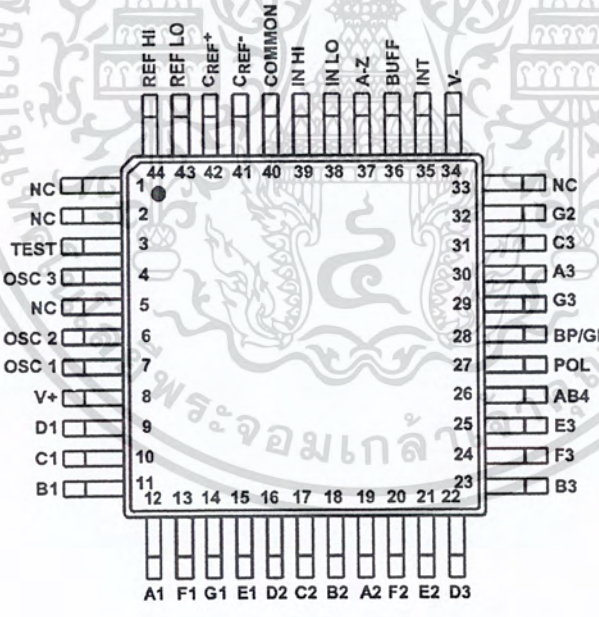
ICL7106, ICL7107 (PDIP)
TOP VIEW



ICL7107R (PDIP)
TOP VIEW



ICL7106, ICL7107 (MQFP)
TOP VIEW



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings

Supply Voltage
- ICL7106, V+ to V- 15V
- ICL7107, V+ to GND 6V
- ICL7107, V- to GND ..... -9V

Analog Input Voltage (Either Input) (Note 1) ..... V+ to V-
Reference Input Voltage (Either Input) ..... V+ to V-
Clock Input
- ICL7106 ..... TEST to V+
- ICL7107 ..... GND to V+

Thermal Information

Thermal Resistance (Typical, Note 2)	θ_{JA} (°C/W)
PDIP Package	50
MQFP Package	75

Maximum Junction Temperature ..... 150°C
Maximum Storage Temperature Range ..... -65°C to 150°C
Maximum Lead Temperature (Soldering 10s) ..... 300°C
(MQFP - Lead Tips Only)

Operating Conditions

Temperature Range ..... 0°C to 70°C

CAUTION: Stresses above those listed in "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress only rating and operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied.

NOTES:

1. Input voltages may exceed the supply voltages provided the input current is limited to ±100µA.
2. θ_{JA} is measured with the component mounted on a low effective thermal conductivity test board in free air. See Tech Brief TB379 for details.

Electrical Specifications (Note 3)

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT
SYSTEM PERFORMANCE					
Zero Input Reading	V_{IN} = 0.0V, Full Scale = 200mV	-000.0	±000.0	+000.0	Digital Reading
Stability (Last Digit) (ICL7106S, ICL7107S Only)	Fixed Input Voltage (Note 6)	-000.0	±000.0	+000.0	Digital Reading
Ratiometric Reading	$V_{IN} = V_{REF}$, V_{REF} = 100mV	999	999/1000	1000	Digital Reading
Rollover Error	$-V_{IN} = +V_{IN} \cong$ 200mV Difference in Reading for Equal Positive and Negative Inputs Near Full Scale	-	±0.2	±1	Counts
Linearity	Full Scale = 200mV or Full Scale = 2V Maximum Deviation from Best Straight Line Fit (Note 5)	-	±0.2	±1	Counts
Common Mode Rejection Ratio	V_{CM} = 1V, V_{IN} = 0V, Full Scale = 200mV (Note 5)	-	50	-	µV/V
Noise	V_{IN} = 0V, Full Scale = 200mV (Peak-To-Peak Value Not Exceeded 95% of Time)	-	15	-	µV
Leakage Current Input	V_{IN} = 0 (Note 5)	-	1	10	pA
Zero Reading Drift	V_{IN} = 0, 0°C To 70°C (Note 5)	-	0.2	1	µV/°C
Scale Factor Temperature Coefficient	V_{IN} = 199mV, 0°C To 70°C, (Ext. Ref. 0ppm/°C) (Note 5)	-	1	5	ppm/°C
End Power Supply Character V+ Supply Current	V_{IN} = 0 (Does Not Include LED Current for ICL7107)	-	1.0	1.8	mA
End Power Supply Character V- Supply Current	ICL7107 Only	-	0.6	1.8	mA
COMMON Pin Analog Common Voltage	25kΩ Between Common and Positive Supply (With Respect to + Supply)	2.4	3.0	3.2	V
Temperature Coefficient of Analog Common	25kΩ Between Common and Positive Supply (With Respect to + Supply)	-	80	-	ppm/°C
DISPLAY DRIVER ICL7106 ONLY					
Peak-To-Peak Segment Drive Voltage Peak-To-Peak Backplane Drive Voltage	V+ = to V- = 9V (Note 4)	4	5.5	6	V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Electrical Specifications (Note 3) (Continued)

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT
DISPLAY DRIVER ICL7107 ONLY					
Segment Sinking Current	V+ = 5V, Segment Voltage = 3V				
Except Pins 19 and 20		5	8	-	mA
Pin 19 Only		10	16	-	mA
Pin 20 Only		4	7	-	mA

NOTES:

3. Unless otherwise noted, specifications apply to both the ICL7106 and ICL7107 at $T_A = 25^oC$, $f_{CLOCK} = 48kHz$. ICL7106 is tested in the circuit of Figure 1. ICL7107 is tested in the circuit of Figure 2.
4. Back plane drive is in phase with segment drive for "off" segment, 180 degrees out of phase for "on" segment. Frequency is 20 times conversion rate. Average DC component is less than 50mV.
5. Not tested, guaranteed by design.
6. Sample Tested.

Typical Applications and Test Circuits

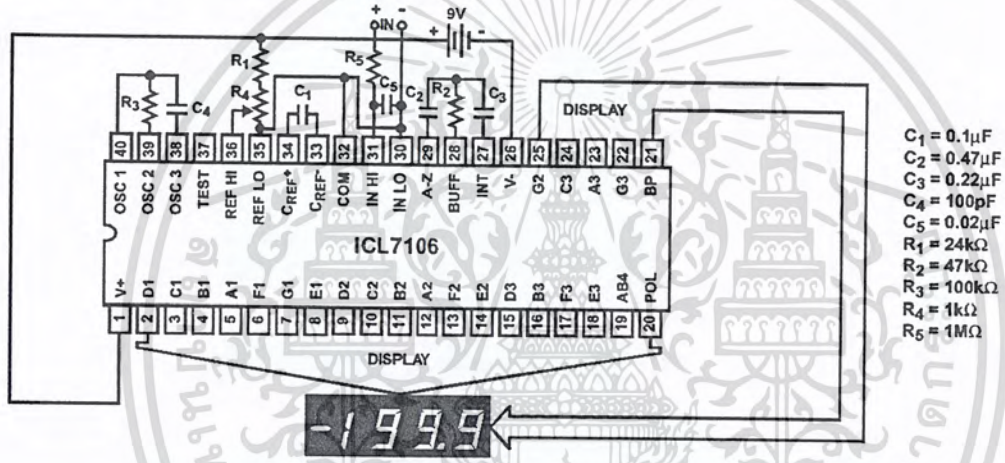


FIGURE 1. ICL7106 TEST CIRCUIT AND TYPICAL APPLICATION WITH LCD DISPLAY COMPONENTS SELECTED FOR 200mV FULL SCALE

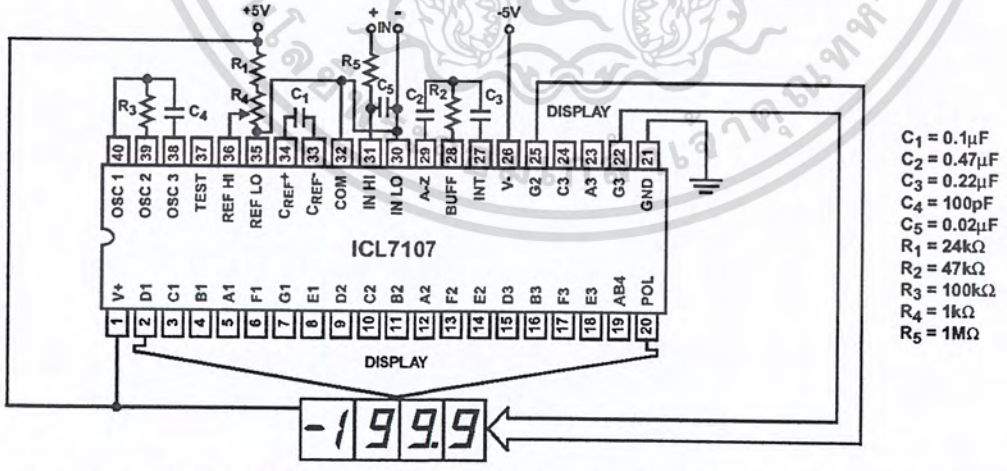


FIGURE 2. ICL7107 TEST CIRCUIT AND TYPICAL APPLICATION WITH LED DISPLAY COMPONENTS SELECTED FOR 200mV FULL SCALE

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Design Information Summary Sheet

- **OSCILLATOR FREQUENCY**

  $f_{OSC} = 0.45/RC$
  $C_{OSC} > 50pF$; $R_{OSC} > 50k\Omega$
  f_{OSC} (Typ) = 48kHz

- **OSCILLATOR PERIOD**

  $t_{OSC} = RC/0.45$

- **INTEGRATION CLOCK FREQUENCY**

  $f_{CLOCK} = f_{OSC}/4$

- **INTEGRATION PERIOD**

  $t_{INT} = 1000 \times (4/f_{OSC})$

- **60/50Hz REJECTION CRITERION**

  t_{INT}/t_{60Hz} or t_{INT}/t_{60Hz} = Integer

- **OPTIMUM INTEGRATION CURRENT**

  $I_{INT} = 4\mu A$

- **FULL SCALE ANALOG INPUT VOLTAGE**

  V_{INFS} (Typ) = 200mV or 2V

- **INTEGRATE RESISTOR**

  $$R_{INT} = \frac{V_{INFS}}{I_{INT}}$$

- **INTEGRATE CAPACITOR**

  $$C_{INT} = \frac{(t_{INT})(I_{INT})}{V_{INT}}$$

- **INTEGRATOR OUTPUT VOLTAGE SWING**

  $$V_{INT} = \frac{(t_{INT})(I_{INT})}{C_{INT}}$$

- **V_{INT} MAXIMUM SWING:**

  $(V- + 0.5V) < V_{INT} < (V+ - 0.5V)$, V_{INT} (Typ) = 2V

- **DISPLAY COUNT**

  $$COUNT = 1000 \times \frac{V_{IN}}{V_{REF}}$$

- **CONVERSION CYCLE**

  $t_{CYC} = t_{CLOCK} \times 4000$
  $t_{CYC} = t_{OSC} \times 16,000$
  when f_{OSC} = 48kHz; t_{CYC} = 333ms

- **COMMON MODE INPUT VOLTAGE**

  $(V- + 1V) < V_{IN} < (V+ - 0.5V)$

- **AUTO-ZERO CAPACITOR**

  $0.01\mu F < C_{AZ} < 1\mu F$

- **REFERENCE CAPACITOR**

  $0.1\mu F < C_{REF} < 1\mu F$

- **V_{COM}**

  Biased between Vi and V-.

- **$V_{COM} \cong V+ - 2.8V$**

  Regulation lost when V+ to V- < ≅6.8V
  If V_{COM} is externally pulled down to (V+ to V-)/2, the V_{COM} circuit will turn off.

- **ICL7106 POWER SUPPLY: SINGLE 9V**

  V+ - V- = 9V
  Digital supply is generated internally
  $V_{GND} \cong V+ - 4.5V$

- **ICL7106 DISPLAY: LCD**

  Type: Direct drive with digital logic supply amplitude.

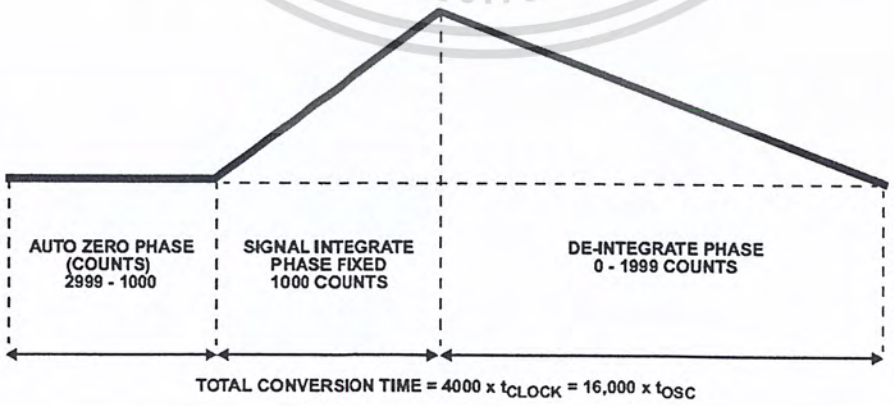
- **ICL7107 POWER SUPPLY: DUAL ±5.0V**

  V+ = +5V to GND
  V- = -5V to GND
  Digital Logic and LED driver supply V+ to GND

- **ICL7107 DISPLAY: LED**

  Type: Non-Multiplexed Common Anode

Typical Integrator Amplifier Output Waveform (INT Pin)



TOTAL CONVERSION TIME = 4000 x t_{CLOCK} = 16,000 x t_{OSC}

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Detailed Description

Analog Section

Figure 3 shows the Analog Section for the ICL7106 and ICL7107. Each measurement cycle is divided into three phases. They are (1) auto-zero (A-Z), (2) signal integrate (INT) and (3) de-integrate (DE).

Auto-Zero Phase

During auto-zero three things happen. First, input high and low are disconnected from the pins and internally shorted to analog COMMON. Second, the reference capacitor is charged to the reference voltage. Third, a feedback loop is closed around the system to charge the auto-zero capacitor C_{AZ} to compensate for offset voltages in the buffer amplifier, integrator, and comparator. Since the comparator is included in the loop, the A-Z accuracy is limited only by the noise of the system. In any case, the offset referred to the input is less than 10µV.

Signal Integrate Phase

During signal integrate, the auto-zero loop is opened, the internal short is removed, and the internal input high and low are connected to the external pins. The converter then integrates the differential voltage between IN HI and IN LO for a fixed time. This differential voltage can be within a wide common mode range: up to 1V from either supply. If, on the other hand, the input signal has no return with respect to the converter power supply, IN LO can be tied to analog COMMON to establish the correct common mode voltage. At the end of this phase, the polarity of the integrated signal is determined.

De-Integrate Phase

The final phase is de-integrate, or reference integrate. Input low is internally connected to analog COMMON and input high is connected across the previously charged reference capacitor. Circuitry within the chip ensures that the capacitor will be connected with the correct polarity to cause the integrator output to return to zero. The time required for the output to return to zero is proportional to the input signal. Specifically the digital reading displayed is:

$$\text{DISPLAY COUNT} = 1000\left(\frac{V_{IN}}{V_{REF}}\right).$$

Differential Input

The input can accept differential voltages anywhere within the common mode range of the input amplifier, or specifically from 0.5V below the positive supply to 1V above the negative supply. In this range, the system has a CMRR of 86dB typical. However, care must be exercised to assure the integrator output does not saturate. A worst case condition would be a large positive common mode voltage with a near full scale negative differential input voltage. The negative input signal drives the integrator positive when most of its swing has been used up by the positive common mode voltage. For these critical applications the integrator output swing can be reduced to less than the recommended 2V full scale swing with little loss of accuracy. The integrator output can swing to within 0.3V of either supply without loss of linearity.

Differential Reference

The reference voltage can be generated anywhere within the power supply voltage of the converter. The main source of common mode error is a roll-over voltage caused by the reference capacitor losing or gaining charge to stray capacity on its nodes. If there is a large common mode voltage, the reference capacitor can gain charge (increase voltage) when called up to de-integrate a positive signal but lose charge (decrease voltage) when called up to de-integrate a negative input signal. This difference in reference for positive or negative input voltage will give a roll-over error. However, by selecting the reference capacitor such that it is large enough in comparison to the stray capacitance, this error can be held to less than 0.5 count worst case. (See Component Value Selection.)

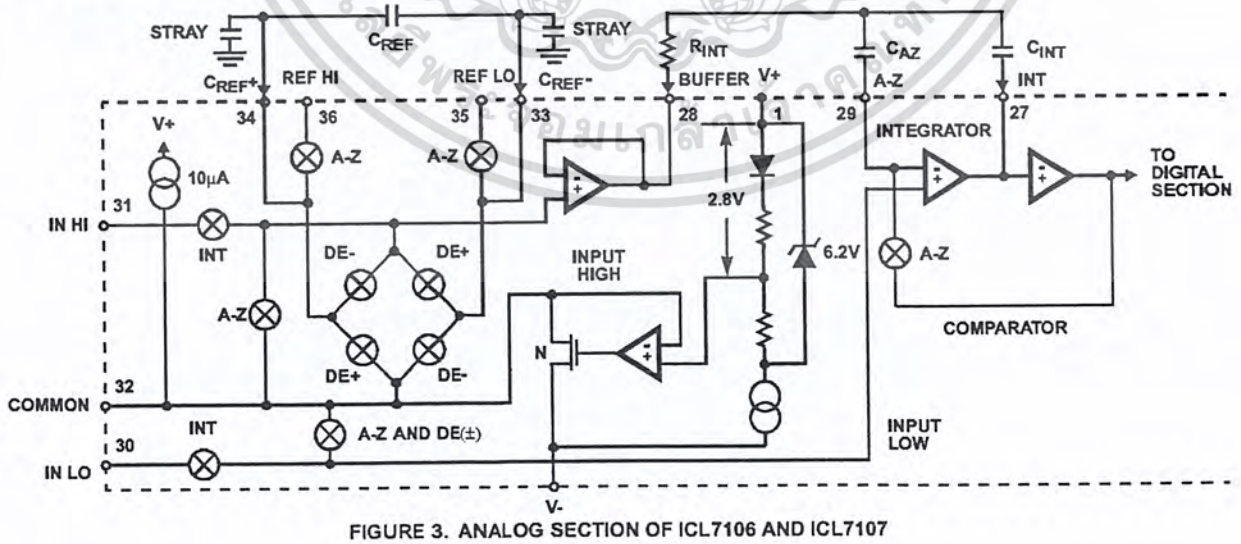


FIGURE 3. ANALOG SECTION OF ICL7106 AND ICL7107

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Analog COMMON

This pin is included primarily to set the common mode voltage for battery operation (ICL7106) or for any system where the input signals are floating with respect to the power supply. The COMMON pin sets a voltage that is approximately 2.8V more negative than the positive supply. This is selected to give a minimum end-of-life battery voltage of about 6V. However, analog COMMON has some of the attributes of a reference voltage. When the total supply voltage is large enough to cause the zener to regulate (>7V), the COMMON voltage will have a low voltage coefficient (0.001%/V), low output impedance (≅15Ω), and a temperature coefficient typically less than 80ppm/°C.

The limitations of the on chip reference should also be recognized, however. With the ICL7107, the internal heating which results from the LED drivers can cause some degradation in performance. Due to their higher thermal resistance, plastic parts are poorer in this respect than ceramic. The combination of reference Temperature Coefficient (TC), internal chip dissipation, and package thermal resistance can increase noise near full scale from 25µV to 80µV$_{P-P}$. Also the linearity in going from a high dissipation count such as 1000 (20 segments on) to a low dissipation count such as 1111(8 segments on) can suffer by a count or more. Devices with a positive TC reference may require several counts to pull out of an over-range condition. This is because over-range is a low dissipation mode, with the three least significant digits blanked. Similarly, units with a negative TC may cycle between over-range and a non-over-range count as the die alternately heats and cools. All these problems are of course eliminated if an external reference is used.

The ICL7106, with its negligible dissipation, suffers from none of these problems. In either case, an external reference can easily be added, as shown in Figure 4.

Analog COMMON is also used as the input low return during auto-zero and de-integrate. If IN LO is different from analog COMMON, a common mode voltage exists in the system and is taken care of by the excellent CMRR of the converter. However, in some applications IN LO will be set at a fixed known voltage (power supply common for instance). In this application, analog COMMON should be tied to the same point, thus removing the common mode voltage from the converter. The same holds true for the reference voltage. If reference can be conveniently tied to analog COMMON, it should be since this removes the common mode voltage from the reference system.

Within the IC, analog COMMON is tied to an N-Channel FET that can sink approximately 30mA of current to hold the voltage 2.8V below the positive supply (when a load is trying to pull the common line positive). However, there is only 10µA of source current, so COMMON may easily be tied to a more negative voltage thus overriding the internal reference.

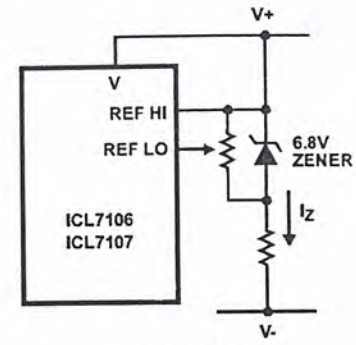


FIGURE 4A.

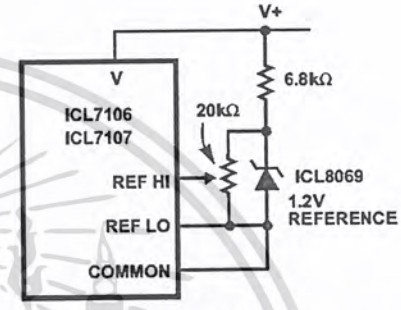


FIGURE 4B.

FIGURE 4. USING AN EXTERNAL REFERENCE

TEST

The TEST pin serves two functions. On the ICL7106 it is coupled to the internally generated digital supply through a 500Ω resistor. Thus it can be used as the negative supply for externally generated segment drivers such as decimal points or any other presentation the user may want to include on the LCD display. Figures 5 and 6 show such an application. No more than a 1mA load should be applied.

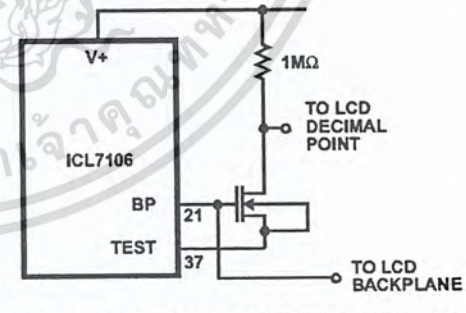


FIGURE 5. SIMPLE INVERTER FOR FIXED DECIMAL POINT

The second function is a "lamp test". When TEST is pulled high (to V+) all segments will be turned on and the display should read "1888". The TEST pin will sink about 15mA under these conditions.

CAUTION: In the lamp test mode, the segments have a constant DC voltage (no square-wave). This may burn the LCD display if maintained for extended periods.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

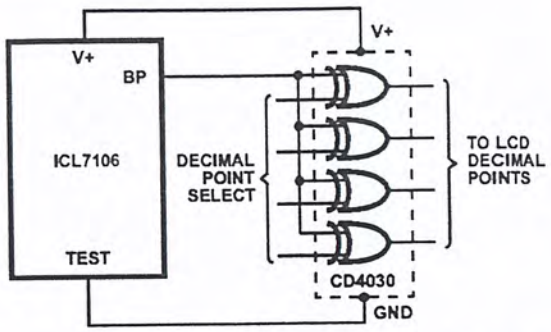


FIGURE 6. EXCLUSIVE 'OR' GATE FOR DECIMAL POINT DRIVE

Digital Section

Figures 7 and 8 show the digital section for the ICL7106 and ICL7107, respectively. In the ICL7106, an internal digital ground is generated from a 6V Zener diode and a large P-Channel source follower. This supply is made stiff to absorb the relative large capacitive currents when the back plane (BP) voltage is switched. The BP frequency is the clock frequency divided by 800. For three readings/sec., this is a 60Hz square wave with a nominal amplitude of 5V. The segments are driven at the same frequency and amplitude and are in phase with BP when OFF, but out of phase when ON. In all cases negligible DC voltage exists across the segments.

Figure 8 is the Digital Section of the ICL7107. It is identical to the ICL7106 except that the regulated supply and back plane drive have been eliminated and the segment drive has been increased from 2mA to 8mA, typical for instrument size common anode LED displays. Since the 1000 output (pin 19) must sink current from two LED segments, it has twice the drive capability or 16mA.

In both devices, the polarity indication is "on" for negative analog inputs. If IN LO and IN HI are reversed, this indication can be reversed also, if desired.

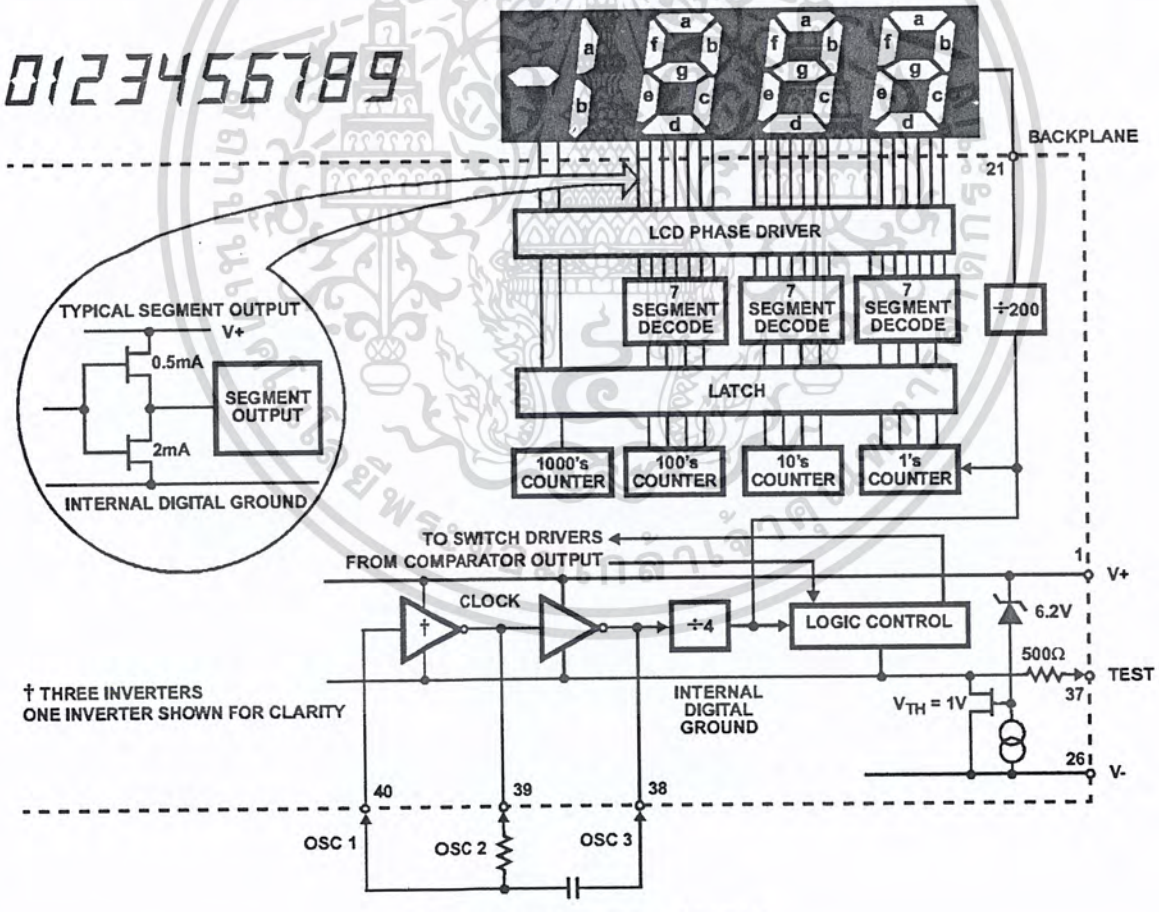


FIGURE 7. ICL7106 DIGITAL SECTION

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

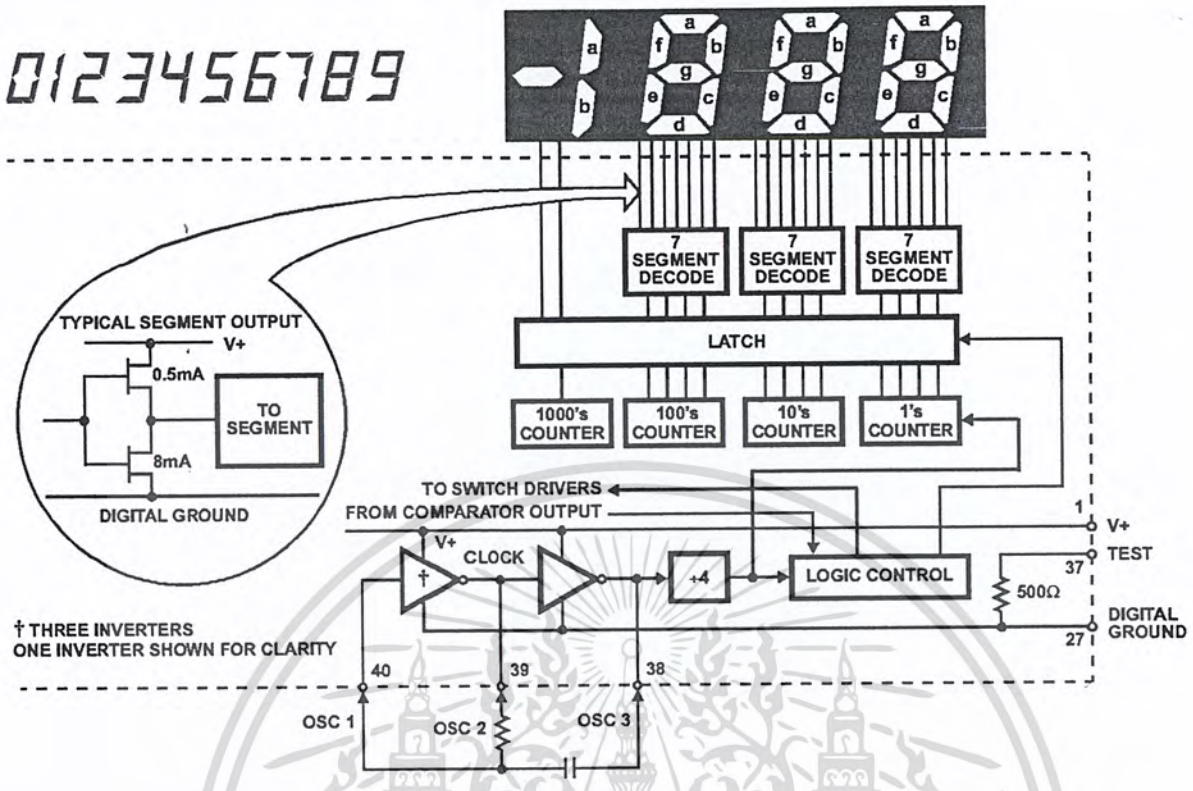


FIGURE 8. ICL7107 DIGITAL SECTION

System Timing

Figure 9 shows the clocking arrangement used in the ICL7106 and ICL7107. Two basic clocking arrangements can be used:

1. Figure 9A. An external oscillator connected to pin 40.
2. Figure 9B. An R-C oscillator using all three pins.

The oscillator frequency is divided by four before it clocks the decade counters. It is then further divided to form the three convert-cycle phases. These are signal integrate (1000 counts), reference de-integrate (0 to 2000 counts) and auto-zero (1000 to 3000 counts). For signals less than full scale, auto-zero gets the unused portion of reference de-integrate. This makes a complete measure cycle of 4,000 counts (16,000 clock pulses) independent of input voltage. For three readings/second, an oscillator frequency of 48kHz would be used.

To achieve maximum rejection of 60Hz pickup, the signal integrate cycle should be a multiple of 60Hz. Oscillator frequencies of 240kHz, 120kHz, 80kHz, 60kHz, 48kHz, 40kHz, $33^{1}/_{3}$kHz, etc. should be selected. For 50Hz rejection, Oscillator frequencies of 200kHz, 100kHz, $66^{2}/_{3}$kHz, 50kHz, 40kHz, etc. would be suitable. Note that 40kHz (2.5 readings/second) will reject both 50Hz and 60Hz (also 400Hz and 440Hz).

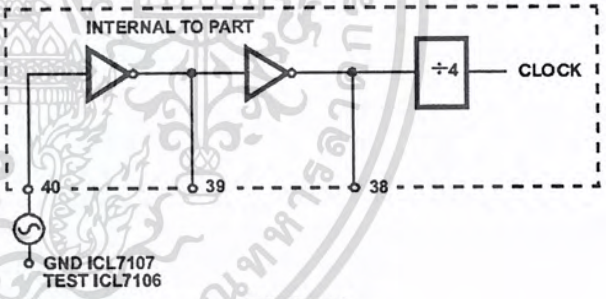


FIGURE 9A.

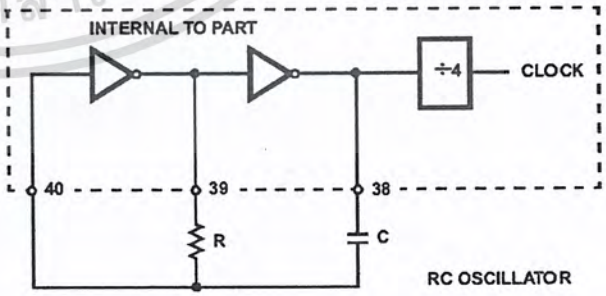


FIGURE 9B.

FIGURE 9. CLOCK CIRCUITS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Component Value Selection

Integrating Resistor

Both the buffer amplifier and the integrator have a class A output stage with 100µA of quiescent current. They can supply 4µA of drive current with negligible nonlinearity. The integrating resistor should be large enough to remain in this very linear region over the input voltage range, but small enough that undue leakage requirements are not placed on the PC board. For 2V full scale, 470kΩ is near optimum and similarly a 47kΩ for a 200mV scale.

Integrating Capacitor

The integrating capacitor should be selected to give the maximum voltage swing that ensures tolerance buildup will not saturate the integrator swing (approximately. 0.3V from either supply). In the ICL7106 or the ICL7107, when the analog COMMON is used as a reference, a nominal +2V full-scale integrator swing is fine. For the ICL7107 with +5V supplies and analog COMMON tied to supply ground, a ±3.5V to +4V swing is nominal. For three readings/second (48kHz clock) nominal values for C_{INT} are 0.22µF and 0.10µF, respectively. Of course, if different oscillator frequencies are used, these values should be changed in inverse proportion to maintain the same output swing.

An additional requirement of the integrating capacitor is that it must have a low dielectric absorption to prevent roll-over errors. While other types of capacitors are adequate for this application, polypropylene capacitors give undetectable errors at reasonable cost.

Auto-Zero Capacitor

The size of the auto-zero capacitor has some influence on the noise of the system. For 200mV full scale where noise is very important, a 0.47µF capacitor is recommended. On the 2V scale, a 0.047µF capacitor increases the speed of recovery from overload and is adequate for noise on this scale.

Reference Capacitor

A 0.1µF capacitor gives good results in most applications. However, where a large common mode voltage exists (i.e., the REF LO pin is not at analog COMMON) and a 200mV scale is used, a larger value is required to prevent roll-over error. Generally 1µF will hold the roll-over error to 0.5 count in this instance.

Oscillator Components

For all ranges of frequency a 100kΩ resistor is recommended and the capacitor is selected from the equation:

$$f = \frac{0.45}{RC}$$ For 48kHz Clock (3 Readings/sec),

C = 100pF.

Reference Voltage

The analog input required to generate full scale output (2000 counts) is: $V_{IN} = 2V_{REF}$. Thus, for the 200mV and 2V scale, V_{REF} should equal 100mV and 1V, respectively. However, in many applications where the A/D is connected to a transducer, there will exist a scale factor other than unity between the input voltage and the digital reading. For instance, in a weighing system, the designer might like to have a full scale reading when the voltage from the transducer is 0.662V. Instead of dividing the input down to 200mV, the designer should use the input voltage directly and select V_{REF} = 0.341V. Suitable values for integrating resistor and capacitor would be 120kΩ and 0.22µF. This makes the system slightly quieter and also avoids a divider network on the input. The ICL7107 with ±5V supplies can accept input signals up to ±4V. Another advantage of this system occurs when a digital reading of zero is desired for $V_{IN} \neq 0$. Temperature and weighing systems with a variable fare are examples. This offset reading can be conveniently generated by connecting the voltage transducer between IN HI and COMMON and the variable (or fixed) offset voltage between COMMON and IN LO.

ICL7107 Power Supplies

The ICL7107 is designed to work from ±5V supplies. However, if a negative supply is not available, it can be generated from the clock output with 2 diodes, 2 capacitors, and an inexpensive IC. Figure 10 shows this application. See ICL7660 data sheet for an alternative.

In fact, in selected applications no negative supply is required. The conditions to use a single +5V supply are:

1. The input signal can be referenced to the center of the common mode range of the converter.
2. The signal is less than ±1.5V.
3. An external reference is used.

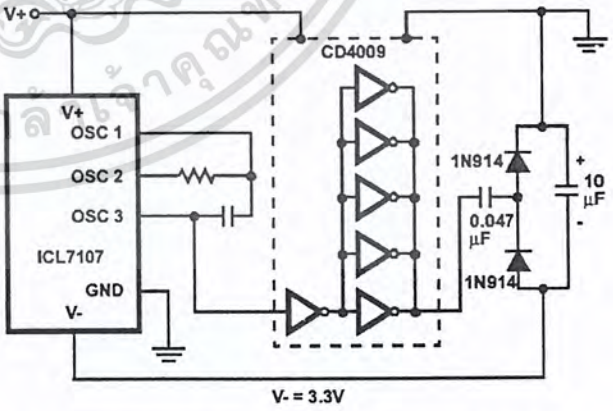


FIGURE 10. GENERATING NEGATIVE SUPPLY FROM +5V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Applications

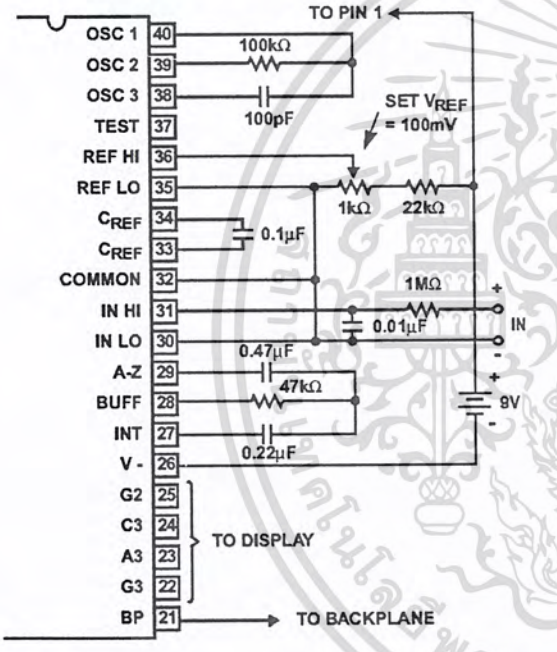
The ICL7106 and ICL7107 may be used in a wide variety of configurations. The circuits which follow show some of the possibilities, and serve to illustrate the exceptional versatility of these A/D converters.

The following application notes contain very useful information on understanding and applying this part and are available from Intersil Corporation.

Application Notes

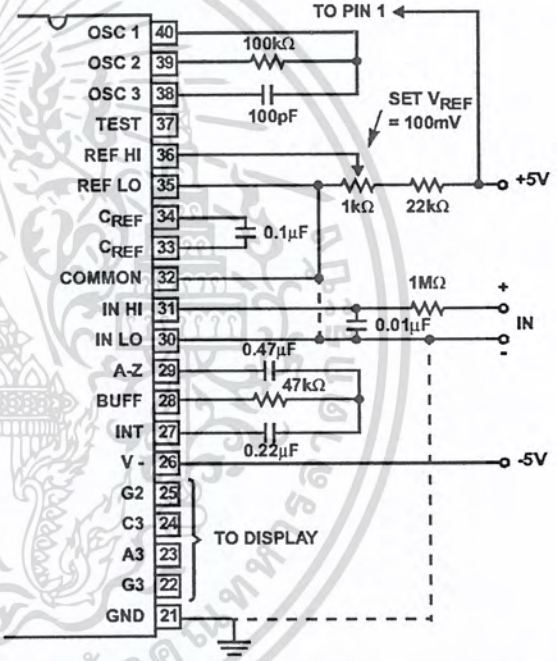
NOTE #	DESCRIPTION
AN016	"Selecting A/D Converters"
AN017	"The Integrating A/D Converter"
AN018	"Do's and Don'ts of Applying A/D Converters"
AN023	"Low Cost Digital Panel Meter Designs"
AN032	"Understanding the Auto-Zero and Common Mode Performance of the ICL7136/7/9 Family"
AN046	"Building a Battery-Operated Auto Ranging DVM with the ICL7106"
AN052	"Tips for Using Single Chip $3^1/_2$ Digit A/D Converters"
AN9609	"Overcoming Common Mode Range Issues When Using Intersil Integrating Converters"

Typical Applications



Values shown are for 200mV full scale, 3 readings/sec., floating supply voltage (9V battery).

FIGURE 11. ICL7106 USING THE INTERNAL REFERENCE

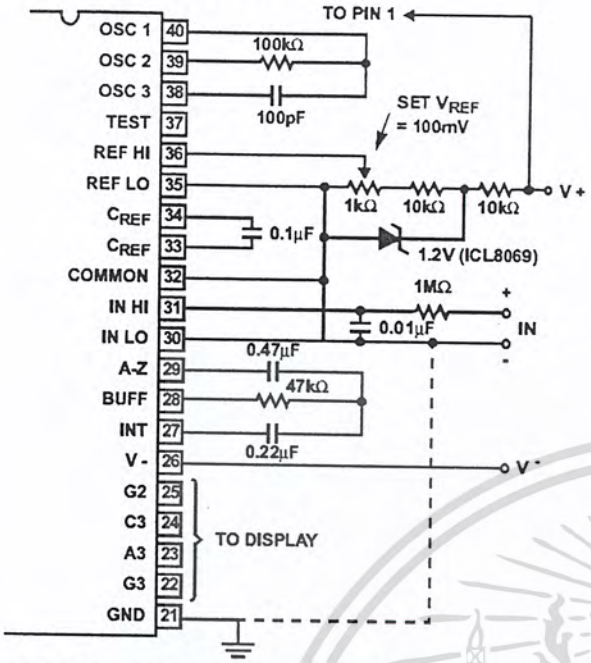


Values shown are for 200mV full scale, 3 readings/sec. IN LO may be tied to either COMMON for inputs floating with respect to supplies, or GND for single ended inputs. (See discussion under Analog COMMON).

FIGURE 12. ICL7107 USING THE INTERNAL REFERENCE

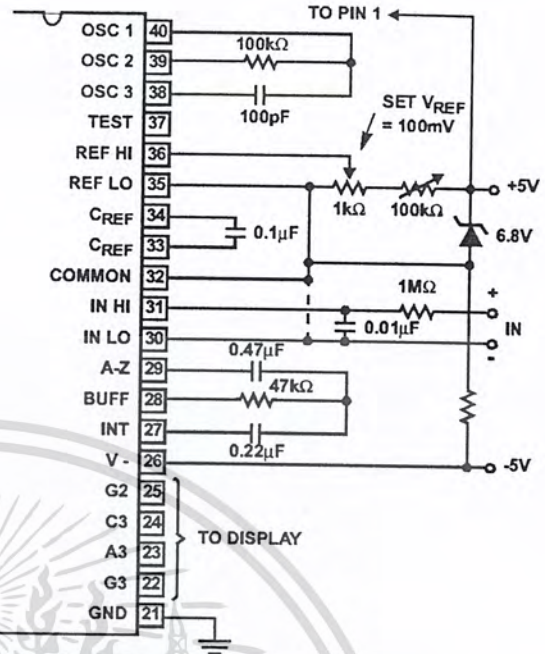
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Applications (Continued)



IN LO is tied to supply COMMON establishing the correct common mode voltage. If COMMON is not shorted to GND, the input voltage may float with respect to the power supply and COMMON acts as a pre-regulator for the reference. If COMMON is shorted to GND, the input is single ended (referred to supply GND) and the pre-regulator is overridden.

FIGURE 13. ICL7107 WITH AN EXTERNAL BAND-GAP REFERENCE (1.2V TYPE)



Since low TC zeners have breakdown voltages ~ 6.8V, diode must be placed across the total supply (10V). As in the case of Figure 12, IN LO may be tied to either COMMON or GND.

FIGURE 14. ICL7107 WITH ZENER DIODE REFERENCE

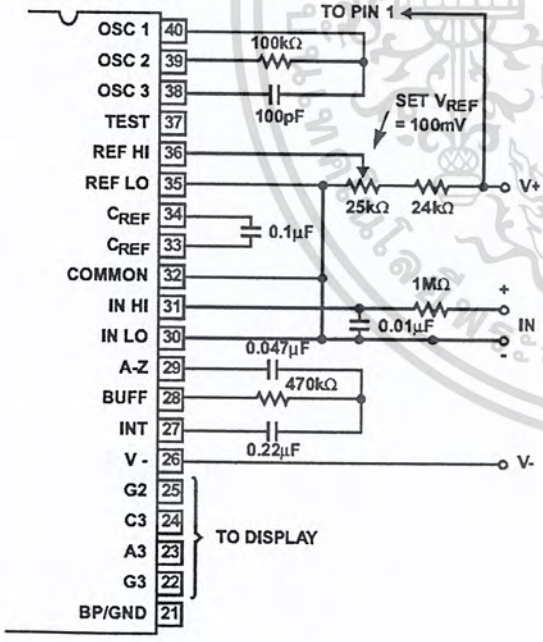
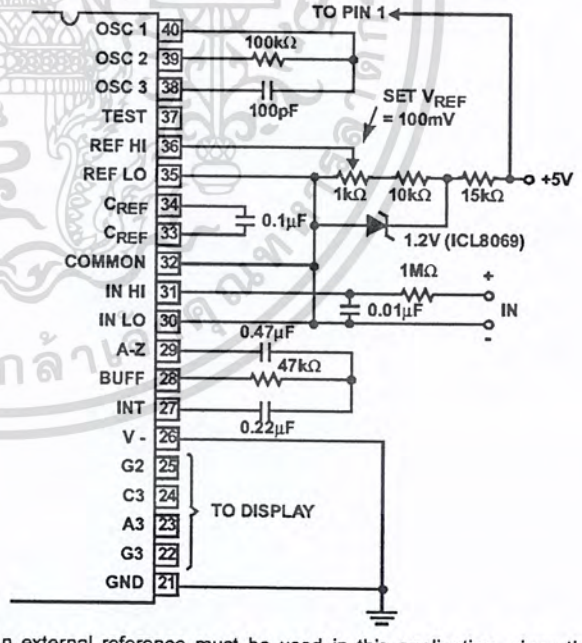


FIGURE 15. ICL7106 AND ICL7107: RECOMMENDED COMPONENT VALUES FOR 2V FULL SCALE

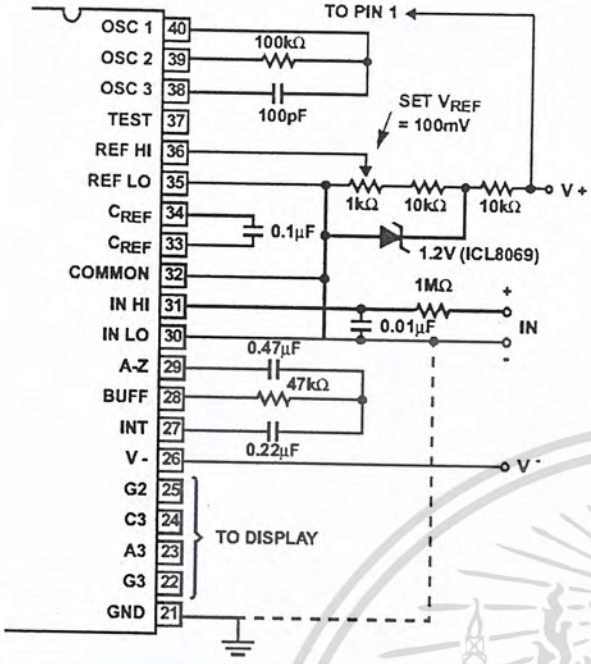


An external reference must be used in this application, since the voltage between V+ and V- is insufficient for correct operation of the internal reference.

FIGURE 16. ICL7107 OPERATED FROM SINGLE +5V

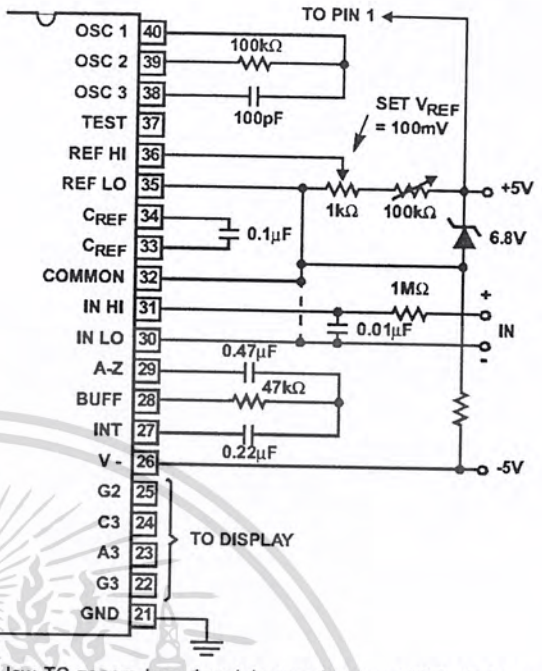
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Applications (Continued)



IN LO is tied to supply COMMON establishing the correct common mode voltage. If COMMON is not shorted to GND, the input voltage may float with respect to the power supply and COMMON acts as a pre-regulator for the reference. If COMMON is shorted to GND, the input is single ended (referred to supply GND) and the pre-regulator is overridden.

FIGURE 13. ICL7107 WITH AN EXTERNAL BAND-GAP REFERENCE (1.2V TYPE)



Since low TC zeners have breakdown voltages ~ 6.8V, diode must be placed across the total supply (10V). As in the case of Figure 12, IN LO may be tied to either COMMON or GND.

FIGURE 14. ICL7107 WITH ZENER DIODE REFERENCE

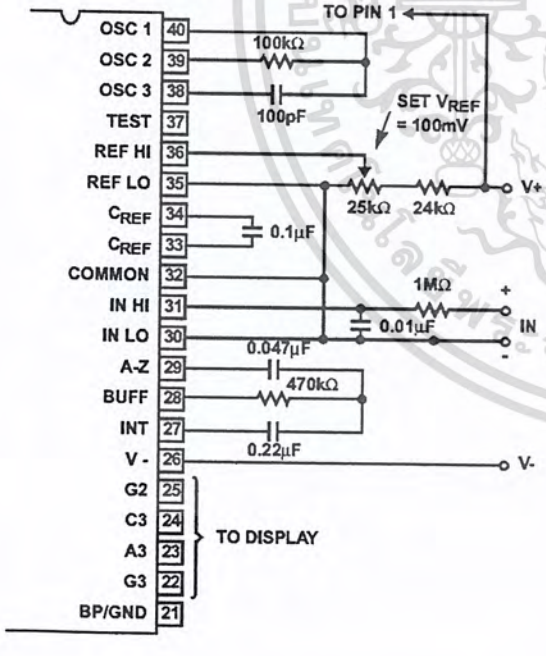
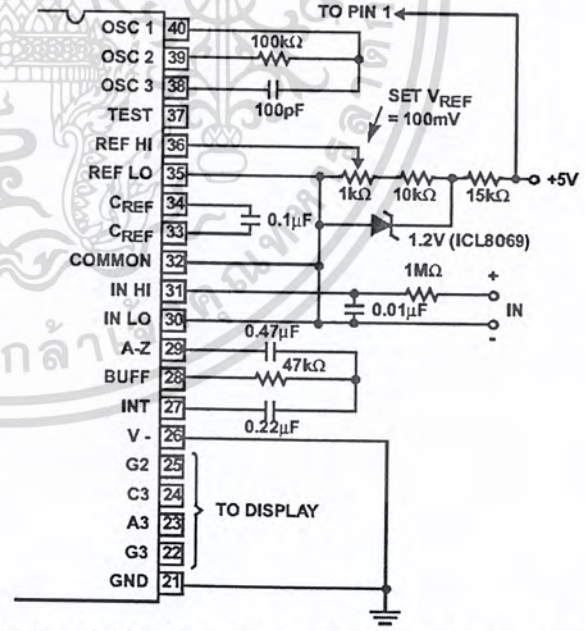


FIGURE 15. ICL7106 AND ICL7107: RECOMMENDED COMPONENT VALUES FOR 2V FULL SCALE

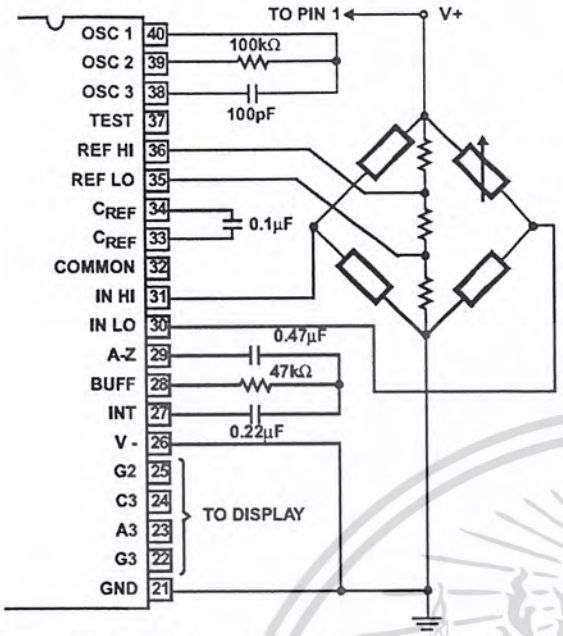


An external reference must be used in this application, since the voltage between V+ and V- is insufficient for correct operation of the internal reference.

FIGURE 16. ICL7107 OPERATED FROM SINGLE +5V

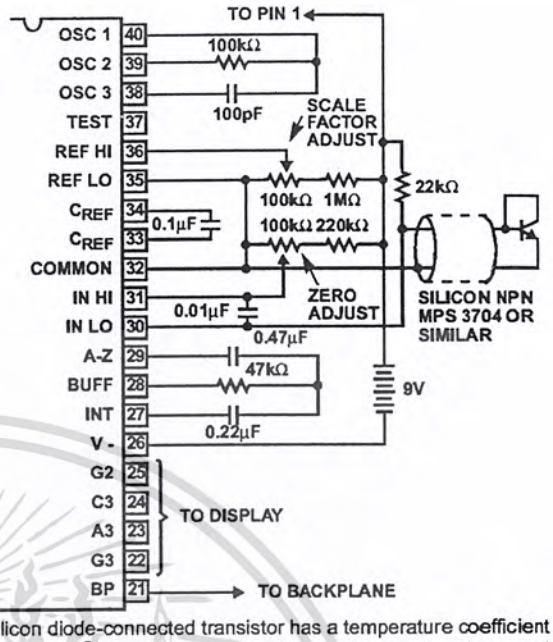
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Applications (Continued)



The resistor values within the bridge are determined by the desired sensitivity.

FIGURE 17. ICL7107 MEASUREING RATIOMETRIC VALUES OF QUAD LOAD CELL



A silicon diode-connected transistor has a temperature coefficient of about -2mV/°C. Calibration is achieved by placing the sensing transistor in ice water and adjusting the zeroing potentiometer for a 000.0 reading. The sensor should then be placed in boiling water and the scale-factor potentiometer adjusted for a 100.0 reading.

FIGURE 18. ICL7106 USED AS A DIGITAL CENTIGRADE THERMOMETER

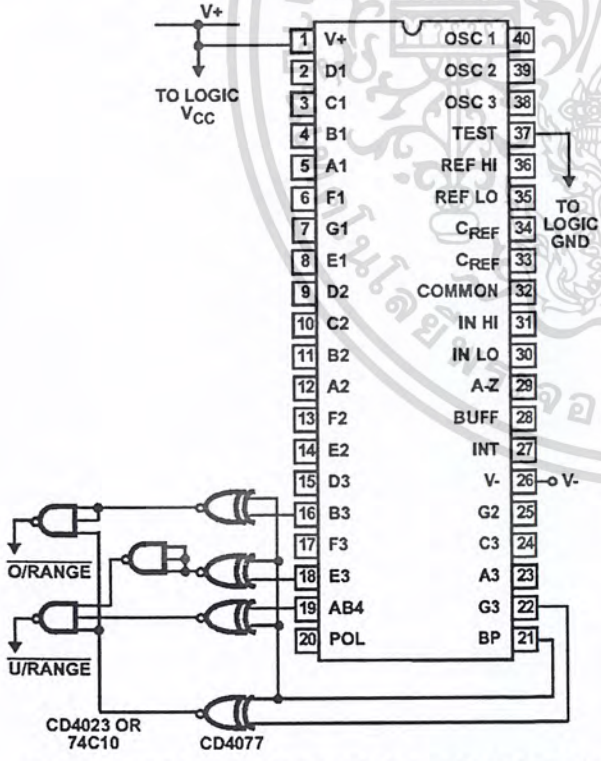


FIGURE 19. CIRCUIT FOR DEVELOPING UNDERRANGE AND OVERRANGE SIGNAL FROM ICL7106 OUTPUTS

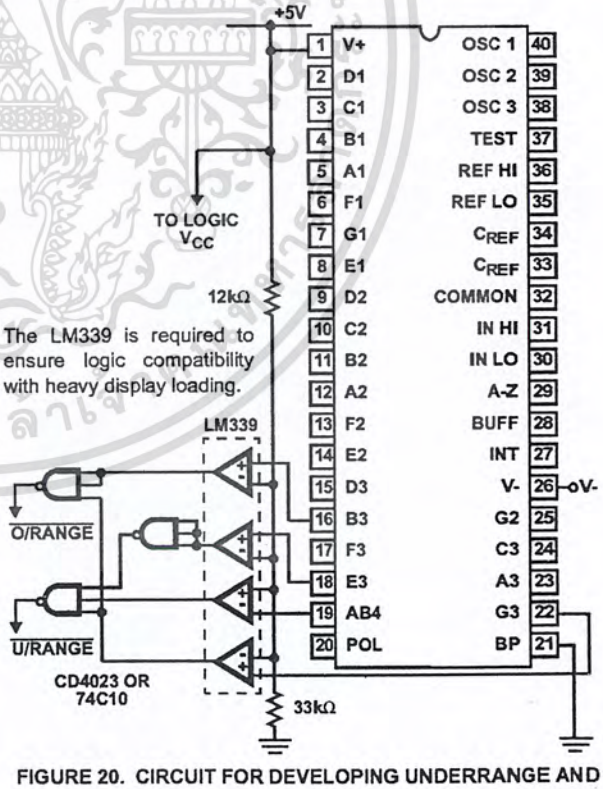
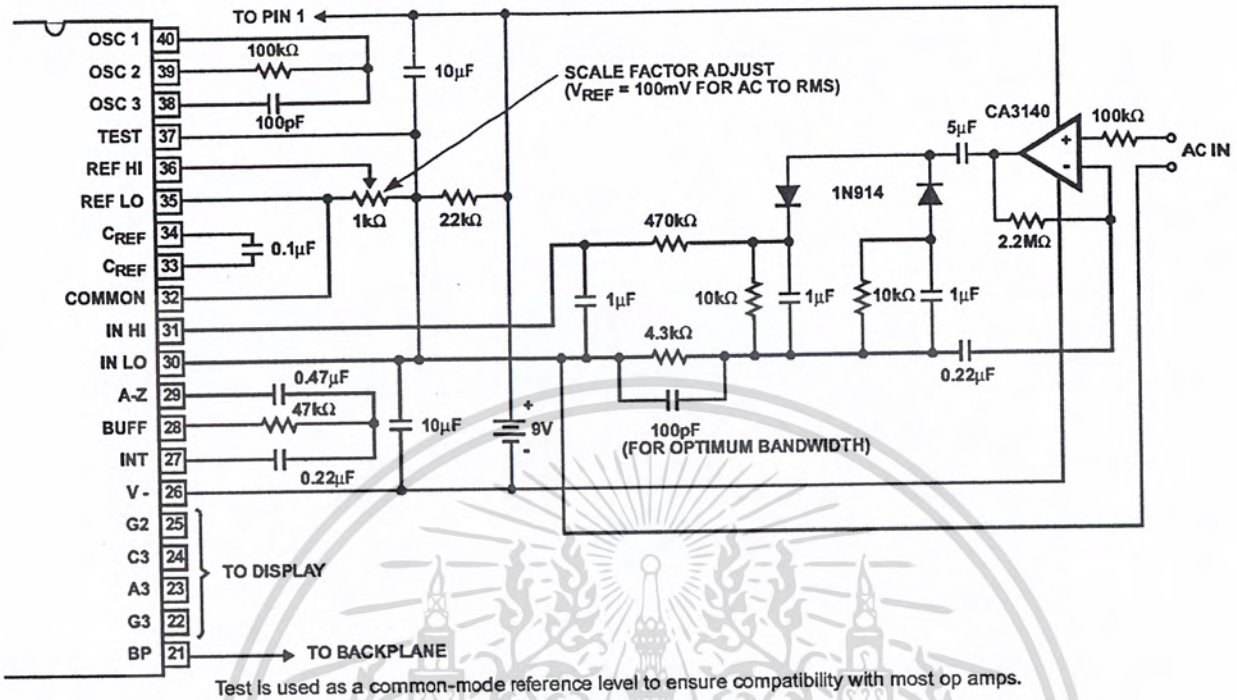


FIGURE 20. CIRCUIT FOR DEVELOPING UNDERRANGE AND OVERRANGE SIGNALS FROM ICL7107 OUTPUT

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Applications (Continued)



Test is used as a common-mode reference level to ensure compatibility with most op amps.

FIGURE 21. AC TO DC CONVERTER WITH ICL7106

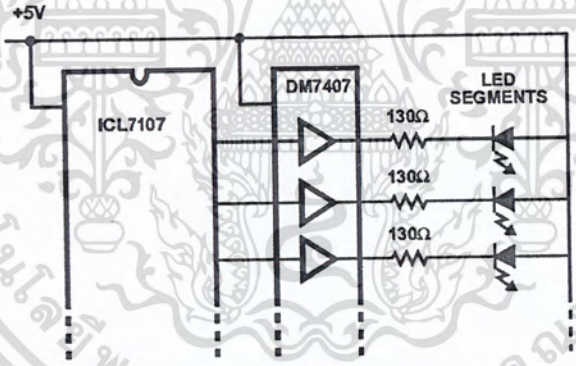
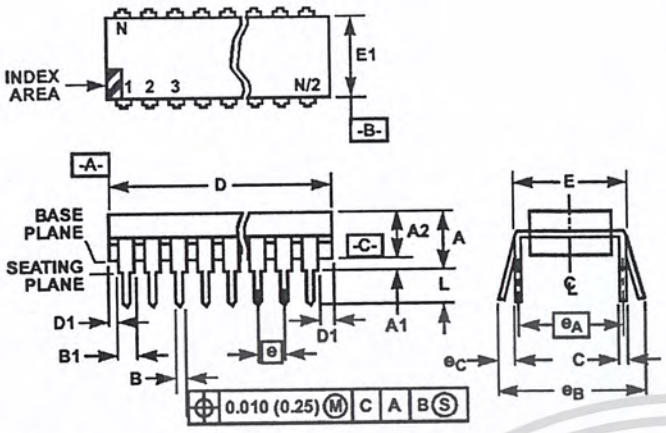


FIGURE 22. DISPLAY BUFFERING FOR INCREASED DRIVE CURRENT

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Dual-In-Line Plastic Packages (PDIP)



E40.6 (JEDEC MS-011-AC ISSUE B)
40 LEAD DUAL-IN-LINE PLASTIC PACKAGE

SYMBOL	INCHES		MILLIMETERS		NOTES
	MIN	MAX	MIN	MAX	
A	-	0.250	-	6.35	4
A1	0.015	-	0.39	-	4
A2	0.125	0.195	3.18	4.95	-
B	0.014	0.022	0.356	0.558	-
B1	0.030	0.070	0.77	1.77	8
C	0.008	0.015	0.204	0.381	-
D	1.980	2.095	50.3	53.2	5
D1	0.005	-	0.13	-	5
E	0.600	0.625	15.24	15.87	6
E1	0.485	0.580	12.32	14.73	5
e	0.100 BSC		2.54 BSC		-
e_A	0.600 BSC		15.24 BSC		6
e_B	-	0.700	-	17.78	7
L	0.115	0.200	2.93	5.08	4
N	40		40		9

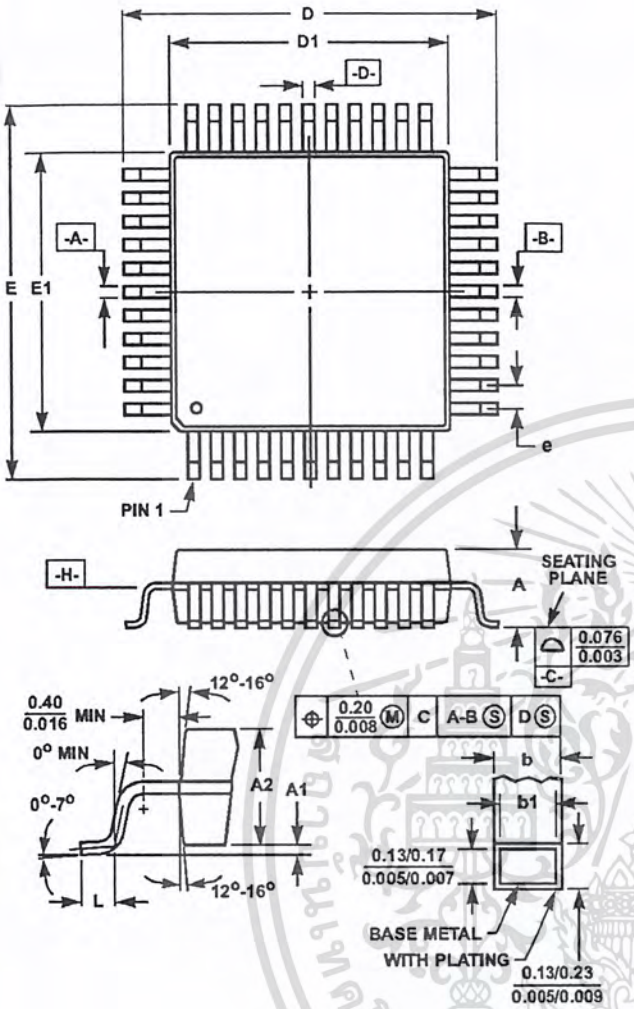
Rev. 0 12/93

NOTES:

1. Controlling Dimensions: INCH. In case of conflict between English and Metric dimensions, the inch dimensions control.
2. Dimensioning and tolerancing per ANSI Y14.5M-1982.
3. Symbols are defined in the "MO Series Symbol List" in Section 2.2 of Publication No. 95.
4. Dimensions A, A1 and L are measured with the package seated in JEDEC seating plane gauge GS-3.
5. D, D1, and E1 dimensions do not include mold flash or protrusions. Mold flash or protrusions shall not exceed 0.010 inch (0.25mm).
6. E and e_A are measured with the leads constrained to be perpendicular to datum -C-.
7. e_B and e_C are measured at the lead tips with the leads unconstrained. e_C must be zero or greater.
8. B1 maximum dimensions do not include dambar protrusions. Dambar protrusions shall not exceed 0.010 inch (0.25mm).
9. N is the maximum number of terminal positions.
10. Corner leads (1, N, N/2 and N/2 + 1) for E8.3, E16.3, E18.3, E28.3, E42.6 will have a B1 dimension of 0.030 - 0.045 inch (0.76 - 1.14mm).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Metric Plastic Quad Flatpack Packages (MQFP)



Q44.10x10 (JEDEC MS-022AB ISSUE B)
44 LEAD METRIC PLASTIC QUAD FLATPACK PACKAGE

SYMBOL	INCHES		MILLIMETERS		NOTES
	MIN	MAX	MIN	MAX	
A	-	0.096	-	2.45	-
A1	0.004	0.010	0.10	0.25	-
A2	0.077	0.083	1.95	2.10	-
b	0.012	0.018	0.30	0.45	6
b1	0.012	0.016	0.30	0.40	-
D	0.515	0.524	13.08	13.32	3
D1	0.389	0.399	9.88	10.12	4, 5
E	0.516	0.523	13.10	13.30	3
E1	0.390	0.398	9.90	10.10	4, 5
L	0.029	0.040	0.73	1.03	-
N	44		44		7
e	0.032 BSC		0.80 BSC		-

Rev. 2 4/99

NOTES:

1. Controlling dimension: MILLIMETER. Converted inch dimensions are not necessarily exact.
2. All dimensions and tolerances per ANSI Y14.5M-1982.
3. Dimensions D and E to be determined at seating plane -C-.
4. Dimensions D1 and E1 to be determined at datum plane -H-.
5. Dimensions D1 and E1 do not include mold protrusion. Allowable protrusion is 0.25mm (0.010 inch) per side.
6. Dimension b does not include dambar protrusion. Allowable dambar protrusion shall be 0.08mm (0.003 inch) total.
7. "N" is the number of terminal positions.

All Intersil products are manufactured, assembled and tested utilizing ISO9000 quality systems.
Intersil Corporation's quality certifications can be viewed at website www.intersil.com/quality/iso.asp.

Intersil products are sold by description only. Intersil Corporation reserves the right to make changes in circuit design and/or specifications at any time without notice. Accordingly, the reader is cautioned to verify that data sheets are current before placing orders. Information furnished by Intersil is believed to be accurate and reliable. However, no responsibility is assumed by Intersil or its subsidiaries for its use; nor for any infringements of patents or other rights of third parties which may result from its use. No license is granted by implication or otherwise under any patent or patent rights of Intersil or its subsidiaries.

For information regarding Intersil Corporation and its products, see web site **www.intersil.com**

Sales Office Headquarters

NORTH AMERICA
Intersil Corporation
P. O. Box 883, Mail Stop 53-204
Melbourne, FL 32902
TEL: (321) 724-7000
FAX: (321) 724-7240

EUROPE
Intersil SA
Mercure Center
100, Rue de la Fusee
1130 Brussels, Belgium
TEL: (32) 2.724.2111
FAX: (32) 2.724.22.05

ASIA
Intersil Ltd.
8F-2, 96, Sec. 1, Chien-kuo North,
Taipei, Taiwan 104
Republic of China
TEL: 886-2-2515-8508
FAX: 886-2-2515-8369

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้