



ภาควิชาครุศาสตร์วิศวกรรม

คณะครุศาสตร์อุตสาหกรรม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ใบรับรองปริญญาโท

ชื่อหัวข้อ การออกแบบวงจรรวมตัวแปลงสัญญาณสำหรับการควบคุมระยะไกลโดยใช้ CMOS และ FPGA
Design and Implementation of Signal Conversion Integrated Circuit Using CMOS and FPGA

ชื่อนักศึกษา 1. นางสาววิรัชชา แฉ่งอารีย์ รหัสประจำตัว 44035382
2. นายอำนาจ เกษโกมล รหัสประจำตัว 44035390
3. นายเอกรินทร์ เลี่ยมใจดี รหัสประจำตัว 44035391

หลักสูตร ครุศาสตร์อุตสาหกรรมบัณฑิต สาขาวิชา อิเล็กทรอนิกส์และคอมพิวเตอร์

อาจารย์ที่ปรึกษา อาจารย์กิติพงศ์ มะโน

อาจารย์ที่ปรึกษาร่วม อาจารย์อำพล ทองระอา

คณะกรรมการสอบปริญญาโท	ลายมือชื่อ
1. อาจารย์กิติพงศ์ มะโน	
2. อาจารย์โกศล ตราชู	
3. อาจารย์พงษ์เกียรติ เชษฐพิทักษ์สกุล	
4. อาจารย์วรวีทย์ สมหา	
5. ดร.สุรสิทธิ์ รัตรี	

วัน/เดือน/ปีที่สอบ วันเสาร์ที่ 9 พฤศจิกายน พ.ศ. 2545 เวลา 16.00 น.

สถานที่สอบ ห้อง ค.310 คณะครุศาสตร์อุตสาหกรรม สจล.

ภาควิชารับรองแล้ว

ลงนาม.....

(ผศ.วิสุทธิ์ อธิพรธรรม)

เอกสารนี้



การศึกษานี้เป็นของภาควิชาฯ ห้ามจำหน่ายหรือทำซ้ำโดยไม่ได้รับอนุญาต

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามให้ตัดแปลงเนื้อหาและต้องอ้างอิงแหล่งที่มาทุกครั้ง

BT4502182- การออกแบบวงจรรวมตัวแปลงสัญญาณสำหรับการควบคุมระยะไกลโดยใช้ CMOS และ FPGA

วันที่ 30 เดือน 12 ปี พ.ศ. 2546

61331331

ปริญญานิพนธ์

การออกแบบวงจรรวมตัวแปลงสัญญาณสำหรับการควบคุมระยะไกลโดยใช้

CMOS และ FPGA

DESIGN AND IMPLEMENTATION OF SIGNAL CONVERSION

INTEGRATED CIRCUIT USING CMOS AND FPGA



นางสาววิรัชชา แฉ่งอารีย์
นายอำนาจ เกษโกมล
นายเอกรินทร์ เตี่ยมใจดี

เลขที่.....
เลขทะเบียน 48333
วัน, เดือน, ปี 15 ต.ค. 2546

.b.....
.i.....

ปริญญานิพนธ์ฉบับนี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรครุศาสตรบัณฑิต

สาขาวิชาอิเล็กทรอนิกส์และคอมพิวเตอร์

ภาควิชาครุศาสตร์วิศวกรรม คณะครุศาสตร์อุตสาหกรรม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ปีการศึกษา 2545

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์

เรื่อง การออกแบบวงจรรวมตัวแปลงสัญญาณสำหรับการควบคุมระยะไกลโดยใช้ CMOS และ FPGA

Design and Implementation of Signal Conversion Integrated Circuit Using CMOS and FPGA

วัตถุประสงค์

- 1) เพื่อศึกษาการออกแบบวงจรรวมตัวแปลงสัญญาณสำหรับการควบคุมระยะไกล โดยใช้ FPGA การออกแบบ ด้วยวิธี Full Custom โดยใช้ CMOS
- 2) เพื่อออกแบบวงจรรวมตัวแปลงสัญญาณสำหรับการควบคุมระยะไกล โดยใช้ FPGA การออกแบบ ด้วยวิธี Full Custom โดยใช้ CMOS
- 3) เพื่อสร้างวงจรรวมตัวแปลงสัญญาณสำหรับการควบคุมระยะไกล โดยใช้ FPGA การออกแบบ ด้วยวิธี Full Custom โดยใช้ CMOS
- 4) เพื่อทดสอบผลให้ได้ตามฟังก์ชันที่ต้องการออกแบบวงจรรวมตัวแปลงสัญญาณ สำหรับการควบคุมระยะไกลโดยใช้ FPGA
- 5) เพื่อนำวงจรรวมตัวแปลงสัญญาณสำหรับการควบคุมระยะไกลโดยใช้ FPGA ไปใช้ใน ระบบงานจริง

ประโยชน์ที่คาดว่าจะได้รับ

- 1) ได้ความรู้เกี่ยวกับการศึกษาออกแบบวงจรรวมตัวแปลงสัญญาณสำหรับการควบคุม ระยะไกลในระดับ FPGA และในระดับเลย์เอาต์ (Layout)
- 2) ได้วงจรรวมตัวแปลงสัญญาณสำหรับการควบคุมระยะไกลในระดับ FPGA และใน ระดับเลย์เอาต์
- 3) ได้ต้นแบบของวงจรรวมตัวแปลงสัญญาณสำหรับการควบคุมระยะไกลในระดับ FPGA และในระดับเลย์เอาต์
- 4) ได้ผลการทำงานของวงจรรวมตัวแปลงสัญญาณสำหรับการควบคุมระยะไกลในระดับ FPGA และในระดับ เลย์เอาต์ นำไปใช้งานจริงได้
- 5) ได้ต้นแบบในระดับเลย์เอาต์ ของวงจรรวมตัวแปลงสัญญาณสำหรับการควบคุมระยะ

เอกสารนี้เป็นเอกสารสงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปเผยแพร่ขึ้นต้นในการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามเผยแพร่ต่อผู้อื่นและต้องอยู่ใต้อาณัติของเอกสารทุกครั้งที่มีการนำไปใช้

ชื่อหัวข้อ	การออกแบบวงจรรวมตัวแปลงสัญญาณสำหรับการควบคุมระยะไกลโดยใช้ CMOS และ FPGA	
นักศึกษา	นางสาววิรัชชา	เน่งอารีย์
	นายอำนาจ	เกษโกมล
	นายเอกรินทร์	เลี่ยมใจดี
อาจารย์ที่ปรึกษา	อาจารย์กิติพงศ์	มะโน
อาจารย์ที่ปรึกษาร่วม	อาจารย์อำพล	ทองระอา
หลักสูตร	ครุศาสตร์อุตสาหกรรมบัณฑิต	
สาขาวิชา	อิเล็กทรอนิกส์และคอมพิวเตอร์	
ปีการศึกษา	2545	

บทคัดย่อ

ปฏิญานิพนธ์ฉบับนี้เป็นการออกแบบวงจรรวมตัวแปลงสัญญาณสำหรับการควบคุมระยะไกลโดยใช้ CMOS และ FPGA ซึ่งสามารถแปลงสัญญาณดิจิทัลขนาด 8 บิต เป็นสัญญาณพัลส์วิดท์มอดูเลชันขนาด 20 มิลลิวินาที โดยเลือกโหมดการทำงานโหมด 1 สำหรับใช้ในการควบคุมเซอร์โว และสามารถแปลงสัญญาณพัลส์วิดท์มอดูเลชันขนาด 20 มิลลิวินาที เป็นสัญญาณดิจิทัลขนาด 8 บิต โดยเลือกโหมดการทำงานโหมด 0 นำไปใช้งานในระบบดิจิทัล โครงการนี้เสนอการสร้าง 2 แบบ คือการสร้างโดยใช้ FPGA และการสร้างในระดับเลย์เอาต์โดยใช้โปรแกรม Xilinx Foundation และ L-Edit Tools ตามลำดับ โดยการสร้างในระดับเลย์เอาต์ใช้การออกแบบโดยวิธี Full Custom โดยใช้เทคโนโลยี 2 ไมครอน จากการสร้างทั้งสองวิธีให้ผลทำงานได้ตามที่ออกแบบไว้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

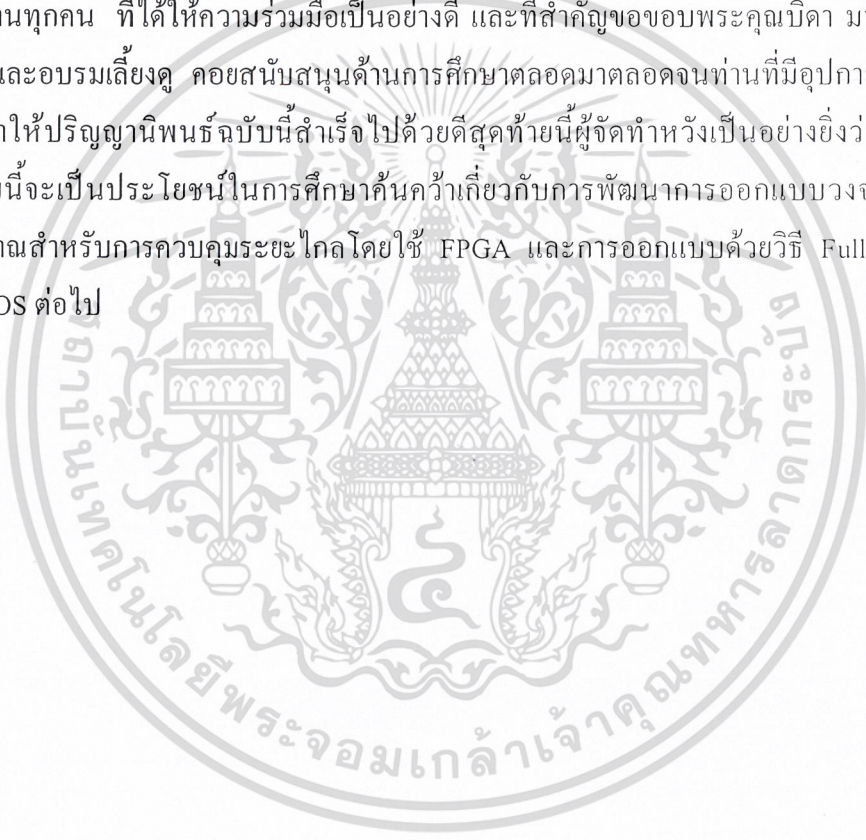
Thesis Title	Design and Implementation of Signal Conversion Integrated Circuit Using CMOS and FPGA
Students	Miss. Wiratcha Changaree Mr. Amnuay Ketkomol Mr. Eakarin Liamjaidee
Advisor	Mr. Kitipong Mano
Co-Advisor	Mr. Amphon Thongra-ar
Education Level	Bachelor of Science in Industrial Education
Program in	Electronics and Computer
Academic Year	2002

ABSTRACT

This thesis is presents design and implementation of signal conversion integrated circuit using CMOS and FPGA. Again, two operational modes are provided. Mode 1 converts an eight-bit digital input signal to a pulse- width modulated (PWM) output signal period is 20 ms for servo control and mode 0 converts PWM input signal period is 20 ms to an eight-bit digital output signal for remote control of digital applications. First, the PWM circuit implementation Xilinx Foundation program and FPGA device. The circuit device in transistor level and create to layout level by Tanner tools program with 2 μ m technology. The result also showed that those two chips properly worked simulated to propose.

กิตติกรรมประกาศ

ปริญญาานิพนธ์ฉบับนี้ที่ล่วงได้ด้วยดีนั้น เนื่องจากได้รับคำแนะนำและกำลังใจจากอาจารย์ในภาควิชาครุศาสตร์วิศวกรรมทุกท่าน โดยเฉพาะอาจารย์ที่ปรึกษาทั้ง 2 ท่าน คือ อาจารย์กิติพงศ์ มะโน และอาจารย์อำพล ทองระอา ที่ได้ให้ความกรุณาให้คำปรึกษา และคำแนะนำในการแก้ไข ปัญหาต่างๆรวมถึงข้อมูล และอุปกรณ์ที่เป็นประโยชน์ต่อการจัดทำโครงการรวมถึงนายสุรินทร์ แทนรัตน์ และ นายเฉลิมพล มาลี ที่ได้ให้คำแนะนำ และข้อมูลในการจัดทำโครงการ ขอขอบคุณ เพื่อนร่วมงานทุกคน ที่ได้ให้ความร่วมมือเป็นอย่างดี และที่สำคัญขอขอบพระคุณบิดา มารดาที่ได้ ให้กำเนิด และอบรมเลี้ยงดู คอยสนับสนุนด้านการศึกษาตลอดมาตลอดจนท่านที่มีอุปการะคุณทุกท่านที่ได้ทำให้ปริญญาานิพนธ์ฉบับนี้สำเร็จไปด้วยดีสุดท้ายนี้ผู้จัดทำหวังเป็นอย่างยิ่งว่าปริญญา นิพนธ์ฉบับนี้จะเป็นประโยชน์ในการศึกษาค้นคว้าเกี่ยวกับการพัฒนาการออกแบบวงจรรวมตัว แปลงสัญญาณสำหรับการควบคุมระยะไกลโดยใช้ FPGA และการออกแบบด้วยวิธี Full Custom โดยใช้ CMOS ต่อไป



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

เรื่อง	หน้า
บทคัดย่อภาษาไทย	I
บทคัดย่อภาษาอังกฤษ	II
กิตติกรรมประกาศ	III
สารบัญ	IV
สารบัญตาราง	VIII
สารบัญรูป	IX
บทที่ 1 บทนำ	1
1.1 ความเป็นมาและความสำคัญของปริญญานิพนธ์	1
1.2 ขอบเขตของปริญญานิพนธ์	2
1.3 เนื้อหาโดยสังเขป	2
บทที่ 2 ทฤษฎีและหลักการ	4
2.1 กล่าวนำ	4
2.2 หลักการออกแบบวงจรรวม	4
2.3 หลักการทำงานเครื่องส่งเครื่องรับเบื้องต้น	6
2.3.1 เครื่องส่ง	6
2.3.2 เครื่องรับ	6
2.4 หลักการพัลส์วิดท์มอดูเลชันเบื้องต้น	7
2.5 หลักการ FPGA	8
2.5.1 สถาปัตยกรรมภายในของเอฟพีจีเอตระกูล XC 4000	10
2.5.2 ส่วนอินพุตและเอาต์พุต	11
2.5.3 การเชื่อมต่อ (Interconnect)	12
2.5.4 คุณสมบัติโดยทั่วไปของเอฟพีจีเอตระกูล XC 4000	12
2.5.5 รายละเอียดการใช้งาน	13
2.5.6 การใช้งานแบบสเลฟซีเรียล	14
2.5.7 การใช้งานแบบมาสเตอร์ซีเรียล	15

เอกสารนี้เป็นเอกสารลิขสิทธิ์ของมหาวิทยาลัยเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง การศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ (ต่อ)

เรื่อง	หน้า
2.6 ทฤษฎีมอสเฟต	16
2.6.1 โครงสร้างมอสเฟตแซนแนลเอ็น	17
2.6.2 โครงสร้างมอสเฟตแซนแนลพี	18
2.7 เครื่องมือที่ใช้ในการออกแบบวงจรรวม	19
บทที่ 3 การออกแบบการสร้าง และการทำงาน	22
3.1 กล่าวนำ	22
3.2 แผนผังการทำงานของ โครงงาน	22
3.3 ส่วนประกอบต่างๆ ของโครงงานในระดับเกตโดยใช้อุปกรณ์ FPGA	24
3.3.1 หลักการทำงานโหมด 1	25
3.3.2 หลักการทำงานโหมด 0	26
3.3.3 ส่วนประกอบใน โหมดที่ 1	27
3.3.4 ส่วนประกอบใน โหมดที่ 0	31
3.3.5 การทำงานโดยรวมของโหมด 1	35
3.3.6 การทำงานโดยรวมของโหมด 0	36
3.4 ขั้นตอนการโปรแกรมลงบนอุปกรณ์ FPGA	37
3.5 ส่วนประกอบต่างๆ ของโครงงานในระดับ ทรานซิสเตอร์โดยใช้ CMOS	41
3.5.1 หลักการเบื้องต้นของมอส	41
3.5.2 วงจรเกตพื้นฐาน	43
3.5.3 ส่วนประกอบต่างๆ ของโครงงานในระดับทรานซิสเตอร์โดยใช้ CMOS	46
3.6 การออกแบบในสวนแสดงผล	53
3.7 ส่วนประกอบต่างๆ ในโครงงานในระดับเลย์เอาต์โดยวิธี Full Custom	55
3.7.1 การเขียนเลย์เอาต์	55
3.7.2 วงจรเกตพื้นฐาน	57
3.7.3 ส่วนประกอบต่างๆ ในโครงงานในระดับเลย์เอาต์โดยวิธี	

เอกสารนี้เป็นเอกสารที่ Full Custom รับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์อื่น การค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ (ต่อ)

เรื่อง	หน้า
บทที่ 4 การทดลองและผลการทดลอง	62
4.1 กล่าวนำ	62
4.2 การทดลอง และผลการทดลองใน ส่วนประกอบต่างๆ ของโครงการใน ระดับเกตโดยใช้อุปกรณ์ FPGA	62
4.2.1 การทดลองการทำงานโหมด 1	62
4.2.2 การทดลองการทำงานโหมด 0	68
4.2.3 ผลการจำลองการทำงานโดยรวมของโหมด 1	74
4.2.4 ผลการจำลองการทำงานโดยรวมของโหมด 0	76
4.3 การทดลอง และผลการทดลองใน ส่วนประกอบต่างๆ ของโครงการ ในระดับทรานซิสเตอร์โดยใช้ CMOS	79
4.3.1 ผลการจำลองการทำงานของวงจรอินเวอร์เตอร์ในระดับวงจร	79
4.3.2 ผลการจำลองการทำงานของวงจรเกตแอนด์ในระดับวงจร	80
4.3.3 ผลการจำลองการทำงานของวงจรเกตออร์ในระดับวงจร	81
4.3.4 ผลการจำลองการทำงานของวงจรเกตนอร์ในระดับวงจร	82
4.3.5 ผลการจำลองการทำงานของวงจรเกตแนนด์ในระดับวงจร	83
4.3.6 ผลการจำลองการทำงานของวงจรเกตเอ็็กคลูซีฟออร์ในระดับวงจร	84
4.3.7 ผลการจำลองการทำงานของวงจรเกตเอ็็กคลูซีฟนอร์ในระดับวงจร	85
4.4 การทดลอง และผลการทดลองใน ส่วนประกอบต่างๆของ โครงการในระดับ ทรานซิสเตอร์โดยใช้ CMOS	86
4.5 การทดลองโดยใช้ T-Spice เลียนแบบการทำงานของไฟล์ที่ได้จากการเขียน เลย์เอาต์	96
4.6 การทดลองภาคแสดงผล	98
4.6.1 การทดลองภาคแสดงผลการทำงาน โหมดที่ 1	100
4.6.2 การทดลองภาคแสดงผลการทำงาน โหมดที่ 0	110

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ (ต่อ)

เรื่อง	หน้า
บทที่ 5 บทสรุป ปัญหา แนวทางแก้ไข และพัฒนา	111
5.1 บทสรุป	111
5.2 ปัญหา และแนวทางการแก้ปัญหา	111
5.3 แนวทางการพัฒนาโครงการ	112
ภาคผนวก ก การใช้โปรแกรม T-Spice เบื้องต้น	113
ภาคผนวก ข การเขียนเลย์เอาต์ของวงจรรวมโดยใช้โปรแกรม L-Edit	125
ภาคผนวก ค โปรแกรมการทดลอง	137
ภาคผนวก ง รายละเอียดวงจร	166
บรรณานุกรม	197
ประวัติผู้แต่ง	198

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

ตาราง	หน้า
ตารางที่ 2.1 ตัวอย่างผู้ผลิต FPGA	9
ตารางที่ 2.2 เปรียบเทียบ ความสามารถหน่วยความจำของ XC4000 และ XC4000E	10
ตารางที่ 2.3 รูปแบบต่าง ๆ ของการกำหนดองค์ประกอบในการทำงาน	14



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป

รูป	หน้า
รูปที่ 2.1 วงจรรวมประเภทต่าง ๆ	5
รูปที่ 2.2 แผนผังของเครื่องส่ง	6
รูปที่ 2.3 แผนผังของเครื่องรับ	7
รูปที่ 2.4 สัญญาที่ได้จากการมอดูเลตแบบพัลส์วืดที่มอดูเลชั่น	8
รูปที่ 2.5 ตัวอย่างผลิตภัณฑ์ ของบริษัท Altera และ บริษัท Xilinx	9
รูปที่ 2.6 แผนผัง CLB ตระกูล 4000	11
รูปที่ 2.7 แผนผัง IOB ของ ตระกูล 4000	11
รูปที่ 2.8 มอสเฟตแบบเพิ่มพูลเซนแนลเอ็น	16
รูปที่ 2.9 มอสเฟตแบบเพิ่มพูลเซนแนลพี	17
รูปที่ 2.10 แผนผังการทำงาน Tanner Tools	21
รูปที่ 3.1 แผนผังการทำงานของโครงการ	23
รูปที่ 3.2 แผนผังการทำงานของ โครงการ	24
รูปที่ 3.3 แผนผังการทำงานของ โครงการใน โหมดที่ 1 และ โหมด 0	25
รูปที่ 3.3 (ต่อ) แผนผังการทำงานของ โครงการใน โหมดที่ 1 และ โหมด 0	26
รูปที่ 3.4 ผังงานของ OSCIM	27
รูปที่ 3.5 ผังงานของ DIV8	28
รูปที่ 3.6 ผังงานของ COUNTER13_13	29
รูปที่ 3.7 ผังงานของ ADDER8_12	30
รูปที่ 3.8 ผังงานของ COMPARATOR	31
รูปที่ 3.9 ผังงานของ REGISTER1_1	32
รูปที่ 3.10 ผังงานของ ADDER8_1	33
รูปที่ 3.11 ผังงานของ REGISTER1_12	34
รูปที่ 3.12 ผังงานของ MUX8	35
รูปที่ 3.13 ผังงาน โดยรวมการทำงานของ โหมด 1	35
รูปที่ 3.14 ผังงาน โดยรวมการทำงานของ โหมด 0	36
รูปที่ 3.15 หน้าต่าง Symbol Properties ใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์อื่น	37
รูปที่ 3.16 หน้าต่างการเลือกที่ Hierarchy	38

สารบัญรูป (ต่อ)

รูป	หน้า
รูปที่ 3.17 หน้าต่าง Project Manager	38
รูปที่ 3.18 หน้าต่าง การ Implement	39
รูปที่ 3.19 หน้าต่าง กระบวนการสร้างไฟล์บิตสตรีม	39
รูปที่ 3.20 หน้าต่าง การโปรแกรมลง FPGA	40
รูปที่ 3.21 หน้าต่าง การเลือก Hardware Debugger	40
รูปที่ 3.22 หน้าต่างการเลือกไฟล์ของโปรแกรม	41
รูปที่ 3.23 วงจรอินเวอร์เตอร์ในระดับวงจร	43
รูปที่ 3.24 วงจรเกตแอนด์ในระดับวงจร	43
รูปที่ 3.25 วงจรเกตออร์ในระดับวงจร	44
รูปที่ 3.26 วงจรเกตนอร์ในระดับวงจร	44
รูปที่ 3.27 วงจรเกตแนนด์ในระดับวงจร	45
รูปที่ 3.28 วงจรเกตเอ็กคลูซีฟออร์ในระดับวงจร	45
รูปที่ 3.29 วงจรเกตเอ็กคลูซีฟนอร์ในระดับวงจร	46
รูปที่ 3.30 ผังงานของ DIV8	46
รูปที่ 3.31 ผังงานของ COUNTER13_13	47
รูปที่ 3.32 ผังงานของ ADDER8_12	48
รูปที่ 3.33 ผังงานของ COMPARATOR	49
รูปที่ 3.34 ผังงานของ REGISTER1_1	50
รูปที่ 3.35 ผังงานของ REGISTER1_2	50
รูปที่ 3.36 ผังงานของ MUX8	51
รูปที่ 3.37 ผังงานการทำงานโดยรวมของโหมด 1	51
รูปที่ 3.38 ผังงานการทำงานโดยรวมของโหมด 0	51
รูปที่ 3.39 แผนภาพวงจรการออกแบบในส่วนแสดงผล	52
รูปที่ 3.40 แผ่นลายวงจรพิมพ์	54
รูปที่ 3.41 แผนภาพการเชื่อมต่อบอร์ด FPGA กับ ส่วนแสดงผล	55
รูปที่ 3.42 เลย์เอาต์ของ NMOS และ PMOS เพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์	57
รูปที่ 3.43 วงจร อินเวอร์เตอร์ ในระดับเลย์เอาต์ และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการ	58

สารบัญรูป (ต่อ)

รูป	หน้า
รูปที่ 3.44 วงจรเกตแอนด์ในระดับเลเยอร์เอาต์	59
รูปที่ 3.45 วงจรเกตออร์ในระดับเลเยอร์เอาต์	59
รูปที่ 3.46 วงจรเกตนอร์ในระดับเลเยอร์เอาต์	60
รูปที่ 3.47 วงจรเกตแนนด์ในระดับเลเยอร์เอาต์	60
รูปที่ 3.48 วงจรเกตเอ็กคลูซีฟออร์ในระดับเลเยอร์เอาต์	61
รูปที่ 3.49 วงจรเกตแนนด์ในระดับเลเยอร์เอาต์	61
รูปที่ 4.1 ฟังงานของ DIV8	63
รูปที่ 4.2 ผลการเลียนแบบการทำงานของภาค DIV8	63
รูปที่ 4.3 ฟังงานของ COUNTER	64
รูปที่ 4.4 ผลการเลียนแบบการทำงานของภาค COUNTER	64
รูปที่ 4.5 ฟังงานของ ADDER8_12	65
รูปที่ 4.6 ผลการเลียนแบบการทำงานของภาค ADDER8_12	66
รูปที่ 4.7 ฟังงานของ COMPARATOR	67
รูปที่ 4.8 ผลการเลียนแบบการทำงานของภาค COMPARATOR	67
รูปที่ 4.9 ผลการเลียนแบบการทำงานของภาค COUNTER	68
รูปที่ 4.10 ฟังงานของ REGISTER1_1	69
รูปที่ 4.11 ผลการเลียนแบบการทำงานของภาค REGISTER1_1	69
รูปที่ 4.12 ฟังงานของ ADDER8_1	70
รูปที่ 4.13 ผลการเลียนแบบการทำงานของภาค ADDER8_1	71
รูปที่ 4.14 ฟังงานของ REGISTER1_2	72
รูปที่ 4.15 ผลการเลียนแบบการทำงานของภาค REGISTER1_2	72
รูปที่ 4.16 ฟังงานของ MUX_8	73
รูปที่ 4.17 ผลการเลียนแบบการทำงานของภาค MUX_8	73
รูปที่ 4.18 แผนผังผลการทดลองการทำงานโหมด 1	75
รูปที่ 4.19 ผลการเลียนแบบการทำงานโหมด 1	76

เอกสารนี้เป็นเอกสารลิขสิทธิ์ของมหาวิทยาลัยเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
 เอกสารที่ 4.20 แผนผังผลการทดลองการทำงานโหมด 0: ศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ใด ๆ การค้า
 ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป (ต่อ)

รูป	หน้า
รูปที่ 4.21 ผลการเขียนแบบการทำงานโหมด 0	78
รูปที่ 4.22 แผนผังผลการทดลองการทำงานของวงจรถูกอินเวอร์เตอร์ในระดับวงจร	79
รูปที่ 4.23 ผลการเขียนแบบการทำงานของวงจรถูกอินเวอร์เตอร์ในระดับวงจร	79
รูปที่ 4.24 แผนผังผลการทดลองการทำงานของวงจรถูกเกตแอนด์ในระดับวงจร	80
รูปที่ 4.25 ผลการเขียนแบบการทำงานของวงจรถูกเกตแอนด์ในระดับวงจร	80
รูปที่ 4.26 แผนผังผลการทดลองการทำงานของวงจรถูกเกตออร์ในระดับวงจร	81
รูปที่ 4.27 ผลการเขียนแบบการทำงานวงจรถูกเกตออร์ในระดับวงจร	81
รูปที่ 4.28 แผนผังผลการทดลองการทำงานของวงจรถูกเกตนอร์ในระดับวงจร	82
รูปที่ 4.29 ผลการเขียนแบบการทำงานวงจรถูกเกตนอร์ในระดับวงจร	82
รูปที่ 4.30 แผนผังผลการทดลองการทำงานของวงจรถูกเกตแนนด์ในระดับวงจร	83
รูปที่ 4.31 ผลการเขียนแบบการทำงานวงจรถูกเกตแนนด์ในระดับวงจร	83
รูปที่ 4.32 แผนผังผลการทดลองการทำงานของวงจรถูกเกตเอ็กคลูซีฟนอร์ในระดับวงจร	84
รูปที่ 4.33 ผลการเขียนแบบการทำงานวงจรถูกเกตเอ็กคลูซีฟนอร์ในระดับวงจร	84
รูปที่ 4.34 แผนผังผลการทดลองการทำงานของวงจรถูกเกตเอ็กคลูซีฟนอร์ในระดับวงจร	85
รูปที่ 4.35 ผลการเขียนแบบการทำงานวงจรถูกเกตเอ็กคลูซีฟนอร์ในระดับวงจร	85
รูปที่ 4.36 ผังงานของ DIV8	86
รูปที่ 4.37 ผลการเขียนแบบการทำงานผังงานของ DIV8	86
รูปที่ 4.38 ผังงานของ COUNTER13_13	87
รูปที่ 4.39 ผลการเขียนแบบการทำงานผังงานของ COUNTER13_13	87
รูปที่ 4.40 ผังงานของ ADDER8_12	88
รูปที่ 4.41 ผลการเขียนแบบการทำงานผังงานของ ADDER8_12	89
รูปที่ 4.42 ผังงานของ COMPARATOR	89
รูปที่ 4.43 ผลการเขียนแบบการทำงานผังงานของ COMPARATOR	90
รูปที่ 4.44 ผังงานของ REGISTER1_1	91
รูปที่ 4.45 ผลการเขียนแบบการทำงานผังงานของ REGISTER1_1	91

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป (ต่อ)

รูป	หน้า
รูปที่ 4.46 ผังงานของ REGISTER1_2	92
รูปที่ 4.47 ผลการเลียนแบบการทำงานผังงานของREGISTER1_2	92
รูปที่ 4.48 ผังงานของ MUX_8	93
รูปที่ 4.49 ผลการเลียนแบบการทำงานผังงานของ MUX_8	93
รูปที่ 4.51 ผลการเลียนแบบการทำงานของ โหมด 1	96
รูปที่ 4.52 ผังงานโดยรวมการทำงานของ โหมด 0	97
รูปที่ 4.53 ผลการเลียนแบบการทำงานของ โหมด 0	98
รูปที่ 4.54 วงจรอินเวอร์เตอร์ในระดับเลย์เอาต์	98
รูปที่ 4.55 ผลการเลียนแบบการทำงานของวงจรอินเวอร์เตอร์ในระดับเลย์เอาต์	99
รูปที่ 4.56 วงจรเกตแอนด์ในระดับเลย์เอาต์	99
รูปที่ 4.57 ผลการเลียนแบบการทำงานของวงจรเกตแอนด์ในระดับเลย์เอาต์	100
รูปที่ 4.58 วงจร เกตออร์ในระดับเลย์เอาต์	100
รูปที่ 4.59 ผลการเลียนแบบการทำงานของวงจรเกตออร์ในระดับเลย์เอาต์	101
รูปที่ 4.60 วงจรเกตแนนด์ในระดับเลย์เอาต์	101
รูปที่ 4.61 ผลการเลียนแบบการทำงานของวงจร เกตแนนด์ในระดับเลย์เอาต์	102
รูปที่ 4.62 วงจร เกตนอร์ในระดับเลย์เอาต์	102
รูปที่ 4.63 ผลการเลียนแบบการทำงานของวงจร เกตนอร์ในระดับเลย์เอาต์	103
รูปที่ 4.64 วงจร เกตเอ็กคลูซีฟออร์ในระดับเลย์เอาต์	103
รูปที่ 4.65 ผลการเลียนแบบการทำงานของวงจรเกตเอ็กคลูซีฟออร์ในระดับเลย์เอาต์	104
รูปที่ 4.66 วงจร เกตเอ็กคลูซีฟนอร์ในระดับเลย์เอาต์	104
รูปที่ 4.67 ผลการเลียนแบบการทำงานของวงจรเกตเอ็กคลูซีฟนอร์ในระดับเลย์เอาต์	105
รูปที่ 4.68 ผลการเลียนแบบการทำงานผังงานของ DIV8	105
รูปที่ 4.69 ผลการเลียนแบบการทำงานผังงานของ ADDER8_12	106
รูปที่ 4.70 ผลการเลียนแบบการทำงานผังงานของ ADDER8_1	106
รูปที่ 4.71 ผลการเลียนแบบการทำงานผังงานของ COUNTER	107
รูปที่ 4.72 ผลการเลียนแบบการทำงานผังงานของ COMPARATOR	107

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่มีการแก้ไข ฟังสน อีกทั้งห้ามมิให้ตัดแปะลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป (ต่อ)

รูป	หน้า
รูปที่ 4.73 ผลการเลียนแบบการทำงานฟังก์ชันของ REGISTER1_1	108
รูปที่ 4.74 ผลการเลียนแบบการทำงานฟังก์ชันของ DIV8	108
รูปที่ 4.75 ผลการเลียนแบบการทำงานฟังก์ชันของ MUX8	109
รูปที่ 4.76 ผลการทดลองในโหมดที่ 1	110
รูปที่ 4.77 ผลการทดลองสัญญาณพัลส์มอดูเลชัน	111
รูปที่ 4.78 ผลการทดลองในโหมดที่ 0	112
รูปที่ ก.1 หน้าต่างของโปรแกรม S-EDIT	117
รูปที่ ก.2 Command Toobar	118
รูปที่ ก.3 Schematic Toobar	118
รูปที่ ก.4 Annotation Toobar	118
รูปที่ ก.5 Menu Bar	118
รูปที่ ก.6 หน้าต่าง Symbol Browser	119
รูปที่ ก.7 การกำหนดค่าของอุปกรณ์	120
รูปที่ ก.8 วงจรอิมิตเตอร์ร่วมที่วาดเสร็จแล้ว	120
รูปที่ ก.9 หน้าต่างของโปรแกรม T-Spruce	121
รูปที่ ก.10 แถบเครื่องมือคำสั่ง	122
รูปที่ ก.11 การเลือกการวิเคราะห์แบบ AC Sweep	123
รูปที่ ก.12 การเลือกการวิเคราะห์แบบ Transient	123
รูปที่ ก.13 การกำหนด AC results	124
รูปที่ ก.14 การกำหนด Transient Results	124
รูปที่ ก.15 การกำหนดชื่อไฟล์เอาต์พุต	125
รูปที่ ก.16 รูปสัญญาณที่ได้จากการ Simmulate	126
รูปที่ ข.1 หน้าต่างของโปรแกรม L- Edit	128
รูปที่ ข.2 การเปิดไฟล์เทคโนโลยี morbn 20.tdb	129
รูปที่ ข.3 ไฟล์เทคโนโลยี morbn 20.tdb	129
รูปที่ ข.4 การดูผลการออกแบบ DRC_7_Metal1	130
รูปที่ ข.5 ตัวอย่างเลย์เอาต์ของ PMOS	131

การศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์อื่น การค้า

แปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป (ต่อ)

รูป	หน้า
รูปที่ ข.6 ไดอะล็อกบ็อกซ์ New file	132
รูปที่ ข.7 หน้าต่างของโปรแกรมเมื่อสร้างไฟล์ใหม่	132
รูปที่ ข.8 แถบเครื่องมือ Layers Palette	133
รูปที่ ข.9 แถบเครื่องมือ Drawing	133
รูปที่ ข.10 การดูภาพตัดขวางของเลย์เอาต์	133
รูปที่ ข.11 ภาพตัดขวางของเลย์เอาต์	134
รูปที่ ข.12 การเลือกบริเวณที่ต้องการตรวจสอบการออกแบบ	134
รูปที่ ข.13 การตรวจสอบการออกแบบ	135
รูปที่ ข.14 บริเวณที่ผิดกฎการออกแบบ	135
รูปที่ ข.15 ข้อความระบุว่าผิดกฎข้อไหนอย่างไร	136
รูปที่ ข.16 ไดอะล็อกบ็อกซ์ Delete Objects On Error Layer	136
รูปที่ ข.17 ไดอะล็อกบ็อกซ์ Extract	137
รูปที่ ข.18 ไดอะล็อกบ็อกซ์ Export Mask Data	138
รูปที่ ค.1 โปรแกรมวงจร อินเวอร์เตอร์จาก T-SPICE	140
รูปที่ ค.2 โปรแกรมวงจรเกตแอนด์จาก T-SPICE	140
รูปที่ ค.3 โปรแกรมวงจรเกตออร์จาก T-SPICE	141
รูปที่ ค.4 โปรแกรมวงจรเกตนอร์จาก L-EDIT	141
รูปที่ ค.5 โปรแกรมวงจรเกตแนนด์จาก L-EDIT	142
รูปที่ ค.6 โปรแกรมวงจรเกตเอ็กคลูซีฟออร์จาก L-EDIT	143
รูปที่ ค.7 โปรแกรมวงจรเกตเอ็กคลูซีฟนอร์จาก L-EDIT	143
รูปที่ ค.8 โปรแกรมวงจร DIV8 จาก L-EDIT	147
รูปที่ ค.9 โปรแกรมวงจร COUNTER จาก L-EDIT	151
รูปที่ ค.10 โปรแกรมวงจร ADDER8_12 จาก L-EDIT	153
รูปที่ ค.11 โปรแกรมวงจร COMPARATOR จาก L-EDIT	160
รูปที่ ค.12 โปรแกรมวงจร REGISTER1_1 จาก L-EDIT	162
รูปที่ ค.13 โปรแกรมวงจร ADDER8_1 จาก L-EDIT ศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์	64
รูปที่ ค.14 โปรแกรมวงจร REGISTER1_12 จาก L-EDIT อย่งอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการ	66

สารบัญรูป (ต่อ)

รูป	หน้า
รูปที่ ค.15 โปรแกรมวงจร Mux_ จาก L-EDIT	165
รูปที่ ง.1 วงจร ADDER8_12	167
รูปที่ ง.2 วงจร COMPARATOR	169
รูปที่ ง.3 วงจร COUNTER13_13	169
รูปที่ ง.4 วงจร DIV8	169
รูปที่ ง.5 วงจรMODE_0	170
รูปที่ ง.6 วงจรMUX_8	170
รูปที่ ง.7 วงจร REGISTER1_1	171
รูปที่ ง.8 วงจร REGISTER1_2	171
รูปที่ ง.9 วงจรเกตแอนด์ 2 อินพุต	172
รูปที่ ง.10 วงจรเกตแอนด์ 3 อินพุต	172
รูปที่ ง.11 วงจรเกตแอนด์ 4 อินพุต	173
รูปที่ ง.12 วงจรเกตแอนด์ 5 อินพุต	173
รูปที่ ง.13 วงจรเกตแอนด์ 6 อินพุต	174
รูปที่ ง.14 วงจรเกตแอนด์ 7 อินพุต	174
รูปที่ ง.15 วงจรเกตแอนด์ 8 อินพุต	175
รูปที่ ง.16 วงจรเกตแอนด์ 9 อินพุต	175
รูปที่ ง.17 วงจร ADDER8_1	176
รูปที่ ง.17 วงจร ADDER8_12	176
รูปที่ ง.19 วงจร COMPARATOR	177
รูปที่ ง.20 วงจร D Flip Flop	178
รูปที่ ง.21 วงจร DIV8	178
รูปที่ ง.22 วงจรอินเวอร์เตอร์	179
รูปที่ ง.23 วงจร JK Flip Flop	179
รูปที่ ง.24 วงจร MODE_0	180
รูปที่ ง.25 วงจร MODE_1	180

สารบัญรูป (ต่อ)

รูป	หน้า
รูปที่ ง.26 วงจร MUX_8	181
รูปที่ ง.27 วงจร NAND_2	181
รูปที่ ง.28 วงจร NOR_2	182
รูปที่ ง.29 วงจร OR_2	182
รูปที่ ง.30 วงจร REGISTER1_1	183
รูปที่ ง.31 วงจร REGISTER1_2	183
รูปที่ ง.32 วงจร XNOR_2	184
รูปที่ ง.33 วงจร XOR_2	184
รูปที่ ง.34 วงจร COUNTER13_13	185
รูปที่ ง.35 วงจรเกตแอนด์ 2 อินพุต	185
รูปที่ ง.36 วงจรเกตแอนด์ 3 อินพุต	186
รูปที่ ง.37 วงจรเกตแอนด์ 4 อินพุต	186
รูปที่ ง.38 วงจรเกตแอนด์ 5 อินพุต	187
รูปที่ ง.39 วงจรเกตแอนด์ 6 อินพุต	187
รูปที่ ง.40 วงจรเกตแอนด์ 7 อินพุต	187
รูปที่ ง.41 วงจรเกตแอนด์ 8 อินพุต	188
รูปที่ ง.42 วงจรเกตแอนด์ 9 อินพุต	188
รูปที่ ง.43 วงจร DIV8	188
รูปที่ ง.44 วงจร Full ADD	189
รูปที่ ง.45 วงจร ADDER8_12	189
รูปที่ ง.46 วงจร Full SUB	189
รูปที่ ง.47 วงจร ADDER8_1	190
รูปที่ ง.48 วงจร ADDER8_12	190
รูปที่ ง.49 วงจรอินเวอร์เตอร์	190
รูปที่ ง.50 วงจร JK FLIP FLOP	191
รูปที่ ง.51 วงจร MUX_2	191
รูปที่ ง.52 วงจร MUX_8	191

เอกสารนี้เป็นทรัพย์สินทางปัญญาของมหาวิทยาลัยเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง ไม่อนุญาตให้นำไปใช้ประโยชน์ในการค้า

รูปที่ ง.52 วงจร MUX_8 ห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป (ต่อ)

รูป	หน้า
รูปที่ ง.53 วงจร NAND	192
รูปที่ ง.54 วงจร NAND_4	192
รูปที่ ง.55 วงจร NOR	193
รูปที่ ง.56 วงจร OR	193
รูปที่ ง.57 วงจร OR_9	194
รูปที่ ง.58 วงจร XNOR	194
รูปที่ ง.58 วงจร XNOR	194
รูปที่ ง.58 วงจร XOR	195



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1

บทนำ

1.1 ความเป็นมาและความสำคัญของปัญญานิพนธ์

ปัจจุบันความก้าวหน้าของอุตสาหกรรมอิเล็กทรอนิกส์มีความเจริญก้าวหน้าทางด้านการพัฒนาอุปกรณ์อิเล็กทรอนิกส์ต่างๆ ได้อย่างมากมาย ซึ่งทำให้ลดการสิ้นเปลืองพลังงานและขนาดของอุปกรณ์ ในขณะที่เดียวกันนี้ได้มีการเพิ่มประสิทธิภาพ และ ระดับความน่าเชื่อถือของวงจรที่สูงขึ้น เห็นได้ชัดเจนจากเทคโนโลยีไมโครโพรเซสเซอร์และหน่วยความจำปัจจุบันและในทุกๆ ครั้งที่มีการพัฒนาขึ้น จะทำให้เกิดช่องว่างของวงจรรวมและไอซีมาตรฐานมากขึ้น ในการพัฒนานั้นจะมีการเพิ่มความหนาแน่นและจำนวนของฟังก์ชันลอจิกที่เหมาะสม สำหรับวิธีการออกแบบและการใช้งานวงจรรวมนั้น เราสามารถแบ่งออกเป็นสองกลุ่มด้วยกันคือ แบบอุปกรณ์มาตรฐาน (Standard Productive) และ การผลิตวงจรรวมเฉพาะกิจ (Application Specific Integrated Circuit) โดยถ้าเป็นแบบอุปกรณ์ แบบมาตรฐานนั้นหน้าที่การทำงานคงที่ ดังนั้นในการออกแบบผลิตภัณฑ์จึงจำเป็นต้องใช้เกตที่มีหน้าที่ต่างๆ ประกอบกัน ดังนั้นจำเป็นต้องใช้พื้นที่ของการทำแผ่นวงจรพิมพ์เป็นบริเวณกว้างทำให้สิ้นเปลือง และมีจำนวนจุดต่อมากทำให้มีโอกาสที่จะผิดพลาดได้ง่าย ทั้งยังทำให้ผลิตภัณฑ์มีขนาดใหญ่และมีน้ำหนักมาก และต้องใช้พื้นที่ของโรงงานผลิตมากขึ้นด้วย การใช้พลังงานและมีการสูญเสียกำลังงานที่สูงมีการลอกเลียนแบบกันได้ง่าย เสียเวลาและเสียค่าใช้จ่ายเกี่ยวกับการต่อวงจรและยังมีข้อจำกัดในเชิงพาณิชย์ ซึ่งในที่นี้ทางกลุ่มโครงการได้สนใจการออกแบบวงจรรวมเฉพาะกิจ โดยวงจรรวมเฉพาะกิจนั้นจะแบ่งตามการสร้างออกเป็นสองกลุ่มใหญ่ ๆ คือฟิลด์โปรแกรมเมเบิล (Field Programmable) และ มาร์คโปรแกรมเมเบิล (Mask Programmable) โดยการออกแบบฟิลด์โปรแกรมเมเบิลนั้น ซึ่งการออกแบบประเภทนี้มีความยืดหยุ่นและเป็นการออกแบบที่สะดวกสำหรับผู้ที่ใช้ในการออกแบบโดยสามารถออกแบบและทดสอบการทำงานของงานด้วยตนเอง และยังประหยัดเวลาและค่าใช้จ่ายเกี่ยวกับอุปกรณ์ที่ต่อวงจร การออกแบบโปรแกรมแบบมาร์คโปรแกรมเมเบิลนั้น เป็นการออกแบบวงจรที่ได้นั้นจะมีขนาดเล็กการใช้พลังงานและการสูญเสียกำลังงานที่ต่ำมีการลอกเลียนแบบกันได้ยาก ซึ่งการออกแบบเช่นนี้จะทำให้ประสิทธิภาพของวงจรดีมากยิ่งขึ้น และความผิดเพี้ยนของสัญญาณน้อยลง

อย่างไรก็ตามดังกลุ่มโครงการนี้จึงได้สนใจการออกแบบวงจรรวมตัวแปลงสัญญาณ

สำหรับการควบคุมระยะไกลโดยใช้ FPGA (Field Programmable Gate Array) และการออกแบบด้วยวิธี Full Custom โดยใช้ CMOS เป็นกรณีศึกษา โดยวงจรตัวแปลงสัญญาณสำหรับการควบคุมไปใช้

ระยะไกลโดยใช้ FPGA และการออกแบบด้วยวิธี Full Custom โดยใช้ CMOS สามารถแปลงสัญญาณดิจิทัลขนาด 8 บิต เป็นสัญญาณพัลส์วิดท์มอดูเลชัน (Pulse Width Modulation) ขนาด 20 มิลลิวินาทีโดยเลือกโหมดการทำงานโหมด 1 และสามารถแปลงสัญญาณพัลส์วิดท์มอดูเลชัน ขนาด 20 มิลลิวินาที เป็นสัญญาณดิจิทัลขนาด 8 บิต โดยเลือกโหมดการทำงานโหมด 0 สามารถสร้างวงจรรวมตัวแปลงสัญญาณสำหรับการควบคุมระยะไกลในระดับ FPGA และสามารถสร้างวงจรรวมตัวแปลงสัญญาณสำหรับการควบคุมระยะไกลในระดับ เลย์เอาต์ ในการออกแบบใช้การออกแบบจากการนำเอาเกตแต่ละตัวมาต่อกันเป็นแผนภาพ (Schematic) โดยใช้ Xilinx Foundation Series 2.1 และมีการสร้าง เลย์เอาต์ โดยใช้ Tanner Tools ซึ่งเป็นซอฟต์แวร์ที่สามารถออกแบบทั้งในระดับ Netlist โดยการออกแบบ Schematic Diagram จำลองการทำงานระดับเกต (Gate-Level Simulation) และในระดับวงจร (Circuit-Level Simulation) และในระดับ Mask เลย์เอาต์ โดยเริ่มจากการทำ Library Standard Cell เพื่อการ Place & Route ของวงจรที่ได้ จากนั้นทำการ เลย์เอาต์ จาก Netlist File ที่ได้จากการออกแบบวงจร โดยนำงานการออกแบบวงจรรวมตัวแปลงสัญญาณสำหรับการควบคุมระยะไกลโดยใช้ CMOS และ FPGA นี้มาทดสอบจำลองการทำงานด้วยโปรแกรม T-Spice แล้วนำไปสังเคราะห์ลงบนอุปกรณ์ที่เป็นฟิลด์โปรแกรมเมเบิล เช่น FPGA และ CPLD

1.2 ขีดความสามารถของโครงการ

- 1) สามารถแปลงสัญญาณดิจิทัลขนาด 8 บิต เป็นสัญญาณพัลส์วิดท์มอดูเลชัน ขนาด 20 มิลลิวินาที โดยเลือกโหมดการทำงานโหมด 1 และสามารถแปลงสัญญาณพัลส์วิดท์มอดูเลชัน ขนาด 20 มิลลิวินาที เป็นสัญญาณดิจิทัลขนาด 8 บิต โดยเลือกโหมดการทำงานโหมด 0
- 2) สามารถสร้างวงจรรวมตัวแปลงสัญญาณสำหรับการควบคุมระยะไกลในระดับ FPGA
- 3) สามารถสร้างวงจรรวมตัวแปลงสัญญาณสำหรับการควบคุมระยะไกลในระดับเลย์เอาต์

1.3 เนื้อหาโดยสังเขป

เนื้อหาภายในปฏิญญาฉบับนี้ ได้กล่าวถึงการออกแบบวงจรรวมตัวแปลงสัญญาณสำหรับการควบคุมระยะไกลโดยใช้ CMOS และ FPGA และใช้ การออกแบบจากการนำเอาเกตแต่ละตัวมาต่อกันเป็นแผนภาพ โดยใช้ Xilinx Foundation Series 2.1 แล้วจึงนำไปทำกระบวนการสังเคราะห์ให้เป็นระดับเกตและระดับวงจรเพื่อนำไปทำขบวนการ Place & Route และทำให้เป็น เลย์เอาต์ หรือ มาร์ค สำหรับส่งไปเจือสาร ซึ่งการทำโครงการทั้งหมดนี้จะใช้ทฤษฎีของการออกแบบวงจรรวมเฉพาะกิจ และการใช้โปรแกรมของบริษัท Tanner เป็นเครื่องมือในการออกแบบไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2 ทฤษฎีและหลักการ ประกอบด้วยเนื้อหา ดังนี้ ทฤษฎีและหลักการ VLSI หลักการทำงานเครื่องส่ง เครื่องรับเบื้องต้น หลักการ พัลส์วิดท์มอดูเลชันเบื้องต้น ทฤษฎีและหลักการ FPGA ทฤษฎีมอสเฟต และหลักการใช้เครื่องมือ

บทที่ 3 การออกแบบ การสร้าง และ การทำงาน กล่าวถึง การออกแบบวงจรตัวแปลงสัญญาณสำหรับควบคุมระยะไกลโดยใช้ FPGA และการออกแบบด้วยวิธี Full Custom โดยใช้ CMOS วงจรเลียนแบบวงจรตัวแปลงสัญญาณสำหรับควบคุมระยะไกลโดยใช้ FPGA และการออกแบบด้วยวิธี Full Custom โดยใช้ CMOS การเขียน เลย์เอาต์ ของวงจรที่ได้ออกแบบ

บทที่ 4 การทดลอง และ ผลการทดลองแสดงผล การจำลองการทำงานของวงจรที่ได้ออกแบบและเขียน เลย์เอาต์ การประยุกต์ใช้งานวงจรตัวแปลงสัญญาณสำหรับควบคุมระยะไกล โดยใช้ เอฟพีจีเอและการออกแบบด้วยวิธี Full Custom โดยใช้ CMOS โปรแกรมที่ใช้ทดสอบ

บทที่ 5 บทสรุปปัญหา แนวทางแก้ไข และพัฒนาเป็นขั้นสรุปผลในการทำโครงการ ปัญหาแนวทางแก้ไขและการพัฒนาต่อ

ภาคผนวก ก การใช้โปรแกรม T-Spice เบื้องต้นเป็นวิธีการใช้งานโปรแกรม T-Spice เพื่อวิเคราะห์วงจรที่ออกแบบ

ภาคผนวก ข การเขียน เลย์เอาต์ ของวงจรรวมโดยใช้โปรแกรม L-Edit เป็นวิธีการเขียนเลย์เอาต์ ของวงจรรวมโดยใช้โปรแกรม L-Edit

ภาคผนวก ค โปรแกรมการทดลอง แสดงโปรแกรมที่ใช้วิเคราะห์การทำงานของวงจรโดยใช้โปรแกรม T-Spice

ภาคผนวก ง รายละเอียดวงจรการออกแบบวงจรในระดับเกต โดยใช้อุปกรณ์ เอฟพีจีเอ, การออกแบบวงจรในระดับ ทรานซิสเตอร์ โดยใช้ CMOS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2

ทฤษฎีและหลักการ

2.1 กล่าวนำ

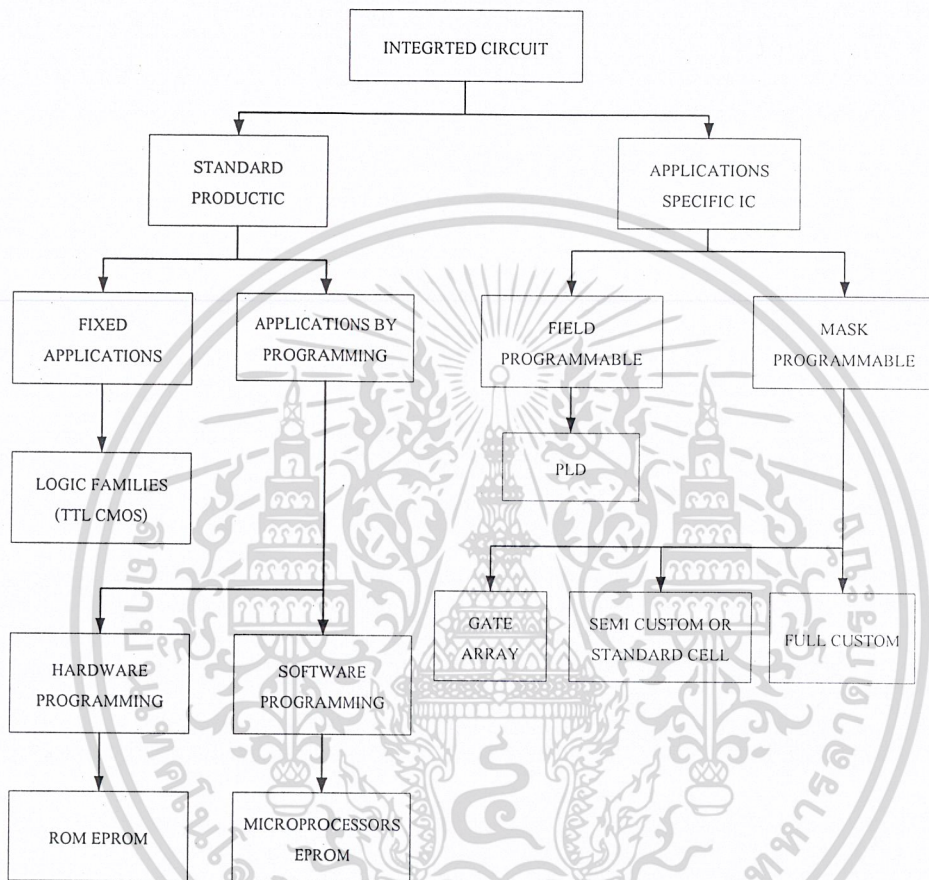
สำหรับทฤษฎีที่ใช้ในการออกแบบโครงงานนี้ประกอบไปด้วยหัวข้อต่างๆ ที่จะนำเสนอเป็นส่วนๆ ดังนี้ คือ หลักการออกแบบวงจรรวม หลักการทำงานเครื่องรับ หลักการเครื่องส่งเบื้องต้น หลักการ PWM หลักการเบื้องต้น FPGA ทฤษฎีมอสเฟต และ เครื่องมือที่ใช้ในออกแบบวงจรรวม

2.2 หลักการออกแบบวงจรรวม

นับตั้งแต่กลางคริสต์ศตวรรษที่ 20 ได้มีการพัฒนาวงจรรวมขนาดเล็กระดับ Small Scale Integrated (SSI) จนกระทั่งขึ้นมาถึงวงจรรวมขนาดใหญ่มากระดับ Very Large Scale Integrated (VLSI) ในปัจจุบัน สำหรับวิธีการออกแบบและการใช้งานวงจรรวมนั้น เราสามารถแบ่งออกเป็นสองกลุ่มด้วยกันคือแบบอุปกรณ์มาตรฐาน และการผลิตวงจรรวมเฉพาะกิจโดยด้าเป็นแบบอุปกรณ์ แบบมาตรฐานนั้นมีหน้าที่การทำงานคงที่ ดังนั้นในการออกแบบผลิตภัณฑ์ จึงจำเป็นต้องใช้เกตที่มีหน้าที่ต่างๆ ประกอบกัน ดังนั้นจำเป็นต้องใช้พื้นที่ของการทำแผ่นวงจรมิพเป็นบริเวณกว้างทำให้สิ้นเปลือง และมีจำนวนจุดต่อมากทำให้มีโอกาสที่จะผิดพลาดได้ง่าย ทั้งยังทำให้ผลิตภัณฑ์มีขนาดใหญ่และมีน้ำหนักมากและต้องใช้พื้นที่ของโรงงานผลิตมากขึ้นด้วย การใช้พลังงานและการสูญเสียกำลังงานที่สูง มีการลอกเลียนแบบกันได้ง่าย เสียเวลาและเสียค่าใช้จ่ายเกี่ยวกับการต่อวงจรและยังมีข้อจำกัดในเชิงพาณิชย์ ซึ่งในที่นี่ทางกลุ่มโครงงานได้สนใจ การออกแบบวงจรรวมเฉพาะกิจโดยวงจรรวมเฉพาะกิจนั้นจะแบ่งตามการสร้างออกเป็นสองกลุ่มใหญ่ ๆ คือฟิลด์โปรแกรมเมเบิล (Field Programmable) และมาร์คโปรแกรมเมเบิล (Mask Programmable) โดยการออกแบบฟิลด์โปรแกรมเมเบิลนั้นซึ่งการออกแบบประเภทนี้มีความยืดหยุ่นและเป็นการออกแบบที่สะดวกสำหรับผู้ที่ใช้ในการออกแบบ โดยสามารถออกแบบและทดสอบการทำงานของงานด้วยตนเองและยังประหยัดเวลาและค่าใช้จ่ายเกี่ยวกับอุปกรณ์ที่ต่อวงจร การออกแบบโปรแกรมแบบมาร์คโปรแกรมเมเบิลนั้น เป็นการออกแบบวงจรที่ได้นั้นจะมีขนาดเล็กมีน้ำหนักเบา การใช้พลังงานและการสูญเสียกำลังงานที่ต่ำ มีการลอกเลียนแบบกันได้ยาก ซึ่งการออกแบบเช่นนี้จะทำให้ประสิทธิภาพ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาพของวงจรมายิ่งขึ้น และความคิดเพี้ยนของสัญญาณน้อยลง สำหรับหลักการออกแบบวงจรรวมดังแสดงดังรูปที่ 2.1



รูปที่ 2.1 วงจรรวมประเภทต่างๆ

การออกแบบสร้างโดยวิธี Full Custom นั้นเป็นการออกแบบที่ผู้ใช้เป็นผู้ออกแบบตั้งแต่ระดับทรานซิสเตอร์จนกระทั่งเป็นวงจรรวมขนาดใหญ่มากที่มีการทำงานตามต้องการ จากนั้นจึงส่งให้โรงงานเจือสารเป็นผู้ผลิต ในการออกแบบโดยวิธีนี้ผู้ออกแบบต้องมีความสามารถสูง และต้องใช้คอมพิวเตอร์ช่วยในการออกแบบ และจะต้องผลิตเป็นจำนวนมากจึงจะคุ้มทุน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3 หลักการทำงานเครื่องส่ง เครื่องรับเบื้องต้น

2.3.1 เครื่องส่ง

เครื่องส่ง คือ เครื่องส่งทำหน้าที่รับสัญญาณไฟฟ้าจากอุปกรณ์อินพุต แล้วทำการมอดูเลตบนคลื่นพาหะความถี่สูงเครื่องส่งประกอบด้วยแหล่งกำเนิดสัญญาณความถี่สูงเรียกว่า(ออสซิลเลเตอร์) กับมอดูเลต เครื่องส่งส่วนใหญ่ยังมีภาคขยายอีกเพื่อให้สัญญาณที่ส่งออกอากาศมีกำลังแรง ทำให้สื่อสารกันได้ไกลขึ้น หลักการทำงานเครื่องส่งเบื้องต้นแสดงดังรูปที่ 2.2

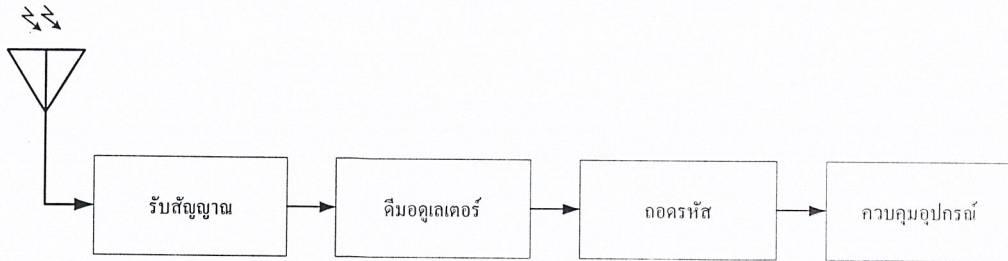


รูปที่ 2.2 แผนผังของเครื่องส่ง

จากแผนผังของเครื่องส่งจะเห็นว่าเมื่อเราใช้คำสั่งตามฟังก์ชันที่ต้องการจากนั้นนำคำสั่งนั้นมาผ่านการเข้ารหัสและจากนั้นผ่านการมอดูเลตซึ่งสัญญาณที่ทำการมอดูเลตแล้วจะเป็นสัญญาณพัลส์ร่วมกับคลื่นพาหะ (Carrier) แล้วส่งออกสายอากาศ

2.3.2 เครื่องรับ

เมื่อรับสัญญาณจากเครื่องส่งมาถึงเครื่องรับสัญญาณจะมีกำลังอ่อนลงและยังมีสัญญาณรบกวนเข้ามาแทรกแซงสัญญาณที่ต้องการจะรับอีกด้วย ดังนั้นการรับสัญญาณอ่อนๆเช่นนี้ เครื่องรับจึงต้องมีความสามารถพิเศษในการเลือกรับและขยายเอาเฉพาะส่วนสัญญาณที่ต้องการสัญญาณที่รับได้จะผ่านการดีมอดเพื่อแปลงสัญญาณข่าวสารที่เข้ามามอดูเลตกลับมา กรรมวิธีค่อนข้างสลับซับซ้อนพอสมควร หลักการทำงานเครื่องรับเบื้องต้นแสดงดังรูปที่ 2.3



รูปที่ 2.3 แผนผังของเครื่องรับ

จากแผนผังของเครื่องรับทำหน้าที่รับสัญญาณคลื่นวิทยุที่ส่งออกจากเครื่องส่งและจะทำการมอดูเลตเพื่อแยกชนิดของสัญญาณข้อมูลออกจากคลื่นพาห้ที่รับเพื่อนำไปใช้ประโยชน์ต่อไป

2.4 หลักการพัลส์วิดท์มอดูเลชันเบื้องต้น

พัลส์วิดท์มอดูเลชัน หรือ การมอดูเลชันทางความกว้างของพัลส์ เป็นกระบวนการที่เข้าไปจัดการเกี่ยวกับส่วนความกว้างของพัลส์หรือเรียกว่า ดิวตี้ไซเคิล โดยความถี่ของพัลส์นั้นไม่เปลี่ยนแปลง ดิวตี้ไซเคิล คือช่วงของพัลส์ที่มีความถี่สูงสัญญาณที่มีดิวิตตี้ไซเคิลเท่ากับ 50% หมายความว่า ใน 1 รูปสัญญาณมีช่วงของสัญญาณที่มีลอจิกสูงหรือมีสัญญาณครึ่งหนึ่งช่วงที่เป็นลอจิกต่ำหรือไม่มีสัญญาณครึ่งหนึ่ง ถ้าค่าของดิวิตตี้ไซเคิลมากก็หมายความว่า สัญญาณพัลส์สัญญาณนั้นมีช่วงเวลาของสัญญาณมาก นั่นคือเป็นพัลส์ที่ความกว้างของสัญญาณมากหากค่าของดิวิตตี้ไซเคิลน้อย พัลส์สัญญาณก็จะมาช่วงเวลาของสัญญาณน้อยพัลส์จึงมีลักษณะค่อนข้างแคบค่าของดิวิตตี้ไซเคิลสามารถคำนวณได้จากความสัมพันธ์

$$\text{ดิวิตตี้ไซเคิล} = (\text{ช่วงเวลาของสัญญาณ} / \text{คาบเวลาทั้งหมดของสัญญาณ}) * 100\% \quad (2.1)$$

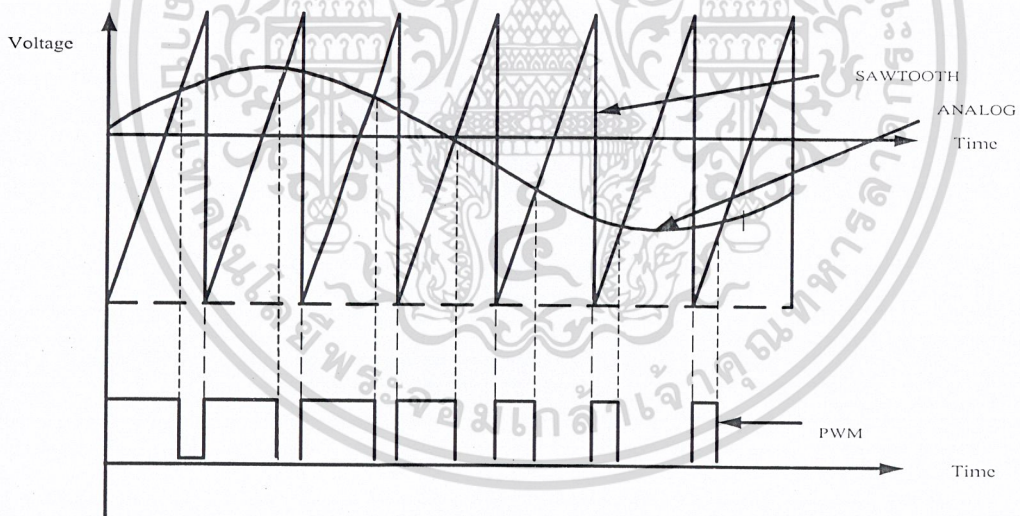
กลับมาพิจารณาความเกี่ยวข้องระหว่างรูปสัญญาณพัลส์กับสัญญาณดิจิทัล หากกำหนดว่า ช่วงเวลาที่เกิดขึ้นจากข้อมูลดิจิทัล 1 ที่โยงต่อกันมา ที่คาบเวลาของสัญญาณเท่าเดิม หากมีข้อมูล 1 มากกว่า 0 มากๆ พัลส์สัญญาณก็จะกว้างมากๆ ในทางตรงกันข้าม หากที่เวลาเท่ากัน แต่มีข้อมูล 1 น้อยกว่า 0 มาก พัลส์สัญญาณก็จะแคบมาก ดังนั้นการปรับเปลี่ยนความกว้างของพัลส์จึงสามารถทำได้โดยการปรับเปลี่ยนข้อมูลของสัญญาณพัลส์สัญญาณนั้นหากค่าของข้อมูลสูงพัลส์ก็จะมีความกว้างมาก แต่หากค่าของข้อมูลต่ำ พัลส์ที่ได้ก็จะแคบตามค่าของข้อมูล

เอกสารนี้เป็นเอกสารที่มอบให้เพื่อใช้ในการเรียนการสอน ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อทำการวัดค่าแรงดันไฟตรงของสัญญาณพัลส์ ค่าที่ได้จะเป็นค่าแรงดันเฉลี่ย ค่าของแรงดันจะขึ้นอยู่กับค่าความถี่ไซเคิล หากค่าของความถี่ไซเคิลมาก แรงดันเฉลี่ยก็จะมากตาม แรงดันสูงสุดจะมีค่าไม่เกินแรงดันไฟเลี้ยงของวงจร

เมื่อเป็นเช่นนี้ จึงสามารถนำกระบวนการ พัลส์วิตช์มอดูเลชัน มาใช้ในการแปลงสัญญาณดิจิทัลเป็นแอนะล็อกได้โดยข้อมูลหรือสัญญาณดิจิทัลจะเป็นตัวกำหนดค่าความถี่ไซเคิลของพัลส์ และค่าความถี่ไซเคิลจะเป็นตัวกำหนดค่าของแรงดันแอนะล็อกทางเอาต์พุต

พัลส์วิตช์มอดูเลชัน เป็นระบบสื่อสารสัญญาณที่มอดูเลต แบบพัลส์มอด ที่ให้ความกว้างของการเปลี่ยนโดยเอาต์พุตของวงจรคอมพาราเตอร์ จะเป็น High “1” เมื่อสัญญาณแอนะล็อกมีแอมป์ปิจูดสูงกว่าแอมป์ปิจูดของสัญญาณฟันเลื่อย(Saw Tooth) และจะเป็น Low “0” เมื่อสัญญาณแอนะล็อกมีแอมป์ปิจูดต่ำกว่าแอมป์ปิจูดของสัญญาณฟันเลื่อย นั่นคือขบวนการ พัลส์จะมีความกว้างของพัลส์เปลี่ยนไปตามแอมป์ปิจูดของสัญญาณแอนะล็อก สัญญาณที่ได้จากการมอดูเลต แบบ พัลส์วิตช์มอดูเลชัน ดังแสดงดังรูปที่ 2.4



รูปที่ 2.4 สัญญาณที่ได้จากการมอดูเลต แบบ พัลส์วิตช์มอดูเลชัน

2.5 หลักการ FPGA

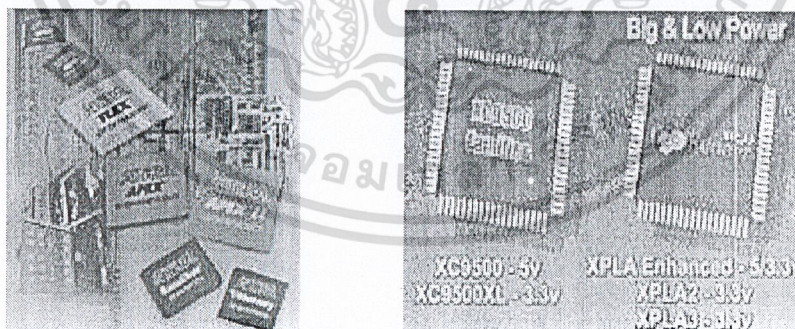
FPGA เป็นชิปที่มีสนามวงจรถูกสร้างไว้ล่วงหน้า ซึ่งเราสามารถนำมาใช้และออกแบบวงจรต่างๆได้ตามที่เราต้องการ โดยมีโปรแกรมสำเร็จรูปที่ใช้ในการออกแบบอยู่แล้ว มีความเร็วสูง มีปริมาณความหนาแน่นและปริมาณของเกตสูง สามารถกำหนดฟังก์ชัน โดยการโปรแกรมไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งยังมีให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FPGA นักออกแบบเพียงกำหนดฟังก์ชัน การทำงานของวงจร การออกแบบและทดลอง จึงใช้เวลา น้อยมาก การเปลี่ยนแปลงแก้ไข ก็ใช้เวลาไม่นาน ทำให้ประหยัดค่าใช้จ่าย และลดความเสี่ยงในการ แก้ไขวงจร FPGA มีโครงสร้างพื้นฐานและเทคโนโลยีที่ใช้สร้างตลอดจนเทคนิควิธีการ โปรแกรมที่ แตกต่างกันสำหรับผู้ผลิตแต่ละรายแสดงดังตารางที่ 2.1

ตารางที่ 2.1 ตัวอย่างผู้ผลิต FPGA

ผลิตภัณฑ์	จำนวนเกต	สถาปัตยกรรม	เซลล์พื้นฐาน	การโปรแกรม
Actel	2,000-36,000	Gate Array	MUX	Anti-fused
Altera	1,000-1,000,000	Extended PLA	PLA	EPROM
Lucent ORCA	3,500-99,400	Matrix	RAM	SRAM
Xilinx	2,000-1,250,000	Matrix	RAM Block	SRAM

เนื่องจากลักษณะของชิพที่โปรแกรมได้จะเป็นการโปรแกรมเพื่อกำหนดลักษณะการเชื่อมต่อภายในเพื่อประกอบเป็นรูปแบบวงจรตามที่เรต้องการ ซึ่งสามารถแบ่งลักษณะการเชื่อมต่อได้ ตามเทคโนโลยีการออกแบบชิพ FPGA ของแต่ละผู้ผลิตดังนี้



รูปที่ 2.5 ตัวอย่างผลิตภัณฑ์ ของบริษัท Altera และ บริษัท Xilinx

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

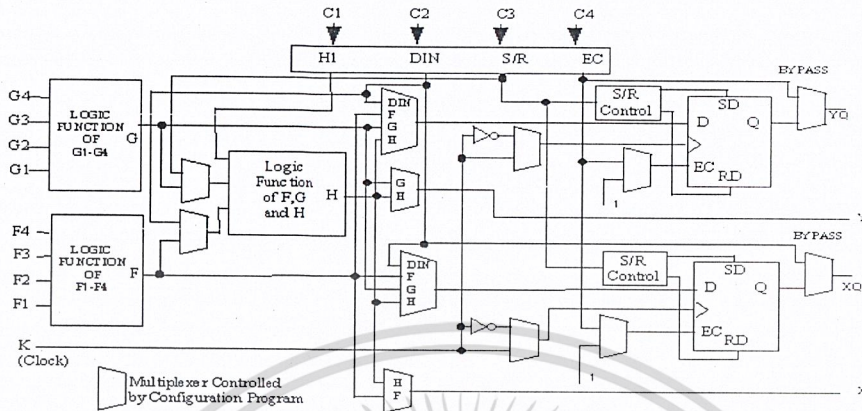
ตารางที่ 2.2 เปรียบเทียบ ความสามารถหน่วยความจำของ XC4000 และ XC4000E

ความสามารถ	XC 4000	XC 4000E
On-chip RAM	✓	✓
Level-sensitive RAM write	✓	✓
Single-port capability	✓	✓
Dual-port capability		✓
Edge-triggered RAM write		✓
Initialized RAM data at power-up		✓

2.5.1 สถาปัตยกรรมภายในของ FPGA ตระกูล XC 4000

FPGA เป็นชิพที่มีวงจรมายในขนาดใหญ่อยู่ภายใน ที่เราสามารถนำไปใช้ออกแบบวงจรต่างๆ ได้ตามที่เราต้องการ โดยมีโปรแกรมสำเร็จรูปที่ใช้ในการออกแบบอยู่แล้วมีความเร็วสูง มีสถาปัตยกรรมการออกแบบคล้าย CPLD แต่มีส่วนประกอบที่ซับซ้อน และมีประสิทธิภาพมากกว่าในการออกแบบวงจรสามารถทำได้ง่าย ทั้งในการเชื่อมต่อและการแก้ไข ดังนั้น FPGA จึงเหมาะสมสำหรับการออกแบบวงจรเป็นอย่างมาก สถาปัตยกรรมภายในของ FPGA แบ่งเป็น 3 ส่วน คือ

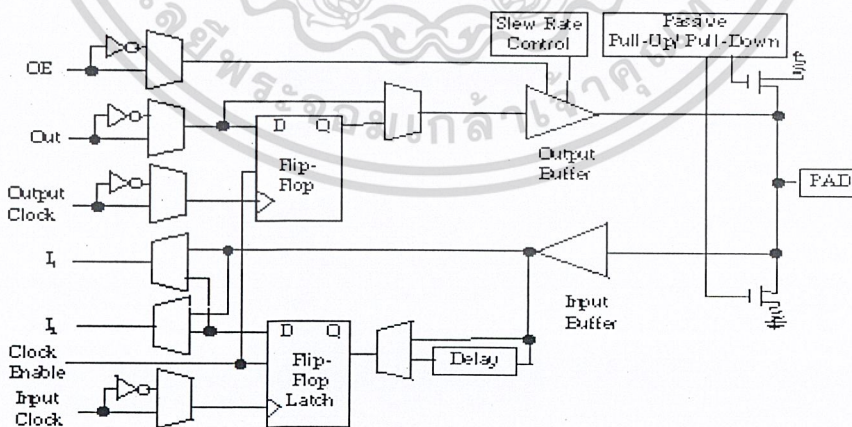
CLB (Configuration Logic Block) จะจัดเรียงเป็นแบบเมตริกแบบ Array ขนาด $M \times N$ การออกแบบนั้นสามารถทำได้โดยการจัดวาง CLB และเชื่อมต่อขาของ CLB ให้ต่อกันสามารถจัด CLB ให้เชื่อมต่อถึงกันได้โดยการทำด้วยมือ หรือ โปรแกรมที่สนับสนุน FPGA ทำได้โดยอัตโนมัติ โดยวิธีของมันเอง สำหรับไฟล์ที่ได้จากโปรแกรมเหล่านี้เรียกว่าไฟล์โครงร่าง ซึ่งจะบรรจุ โครงร่างภายในของ CLB ตามความเหมาะสมในอีกด้านหนึ่งไฟล์โครงร่างนั้นจะเป็นไฟล์กระแสข้อมูล ซึ่งสามารถใช้โปรแกรมหน่วยความจำภายในของ FPGA ได้ สำหรับรูป CLB ของ FPGA ตระกูล 4000 ดังรูปที่ 2.6



รูปที่ 2.6 แผนผัง CLB ตระกูล 4000

2.5.2 ส่วนอินพุตและเอาต์พุต

รอบๆนอกของ FPGA ประกอบไปด้วย IOB (Input Output Block) ประมาณ 64 ถึง 144ตัว ขึ้นอยู่กับตระกูลของ FPGA ซึ่ง IOB จะเป็นตัวเชื่อมต่อระหว่างภายในและภายนอกของวงจรถลอจิก FPGA, IOB จะมีลักษณะ 2 ทิศทาง สามารถโปรแกรมให้เป็นอินพุต หรือเอาต์พุตก็ได้สำหรับรูปที่ 2.7 IOB ของ FPGA ตระกูล 4000



รูปที่ 2.7 แผนผัง IOB ของตระกูล 4000

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.5.3 การเชื่อมต่อ (Interconnect)

ความยืดหยุ่นของการใช้ LCA มาทำเป็นอุปกรณ์ขึ้นอยู่กับการโปรแกรม ทรัพยากรต่างๆ ที่อยู่ภายในเข้าด้วยกันที่จะควบคุมเชื่อมต่อระหว่างจุดสองจุดภายในชิพเหมือนกับเกต Array ทั่วๆ ไป การเชื่อมต่อภายใน LCA ประกอบด้วยเน็ตเวิร์ค 2 ทิศทางคือทาง แกวและ คอลัมน์ซึ่งวางอยู่ระหว่าง CLB Programmable Switch จะทำการเชื่อมต่ออินพุตและเอาต์พุตของไอโอบีและ CLB ที่ต่อร่วมระหว่างแอกกับคอลัมน์สามารถสลับสัญญาณจาก เส้นทางไปยังส่วนต่างๆ

2.5.4 คุณสมบัติโดยทั่วไปของ FPGA ตระกูล XC4000

- 1) เป็นอุปกรณ์รุ่นที่สามของ FPGA
 - 1.1) มีฟลิปฟล็อปเป็นจำนวนมาก
 - 1.2) ในการผลิตฟังก์ชันของการทำงานมีความยืดหยุ่นสูง
 - 1.3) มีจำนวนเกตภายในจำนวน 2,000-10,000 เกต
 - 1.4) เพิ่มความสามารถพิเศษของรีจิสเตอร์และอินพุต / เอาต์พุต
 - 1.5) มีค่าแฟนเอาต์ (Fan-Out) สูง
 - 1.6) มีบัสภายใน 3 สถานะ
 - 1.7) ทำงานกับสัญญาณที่ทีแอลและ CMOS
 - 1.8) มีออสซิลเลเตอร์แอมพลิฟายเออร์ภายใน
 - 1.9) มีแรมภายในความเร็วสูง (<25NS)
 - 1.10) ใช้กับงานที่ต้องการความเร็วสูง (ใช้งานที่ได้ความถี่ 70/100/125 MHz)
 - 1.11) มี Wide edge decoder
 - 1.12) เส้นทางการเชื่อมต่อ (Interconnect line)
 - 1.13) มีการกระจายกำลังงานของสัญญาณต่ำ
- 2) มีสถาปัตยกรรมภายในที่ยืดหยุ่น
 - 2.1) มีลอจิกบล็อกและไอโอบล็อกที่สามารถโปรแกรมได้
 - 2.2) มีอินเตอร์คอนเน็คและ Wide decoder ที่โปรแกรมได้
- 3) ทำกระบวนการซัพไมครอนชนิด CMOS ได้
 - 3.1) มีลอจิกและอินเตอร์คอนเน็คที่มีความเร็วสูง
 - 3.2) ใช้กำลังงานต่ำ
- 4) คุณลักษณะทาง System-Oriented

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ไว้เพื่อใช้ในการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ก็ตาม หากมีข้อสงสัยหรือต้องการข้อมูลเพิ่มเติม กรุณาติดต่อฝ่ายขายของทางบริษัท

4.1) รองรับมาตรฐาน IEEE 1149.1 ในการทำงาน boundary-scan logic

4.2) สามารถโปรแกรมค่า Output slew rate ได้

- 4.3) สามารถโปรแกรมให้อินพุตมีลักษณะ Pull-Up หรือ Pull-Down รีจิสเตอร์
- 4.4) ให้อินพุตที่เสถียรได้ตั้งแต่ 12-24 มิลลิแอมป์ (ขึ้นอยู่กับแต่ละรุ่น)
- 5) ทำการโหลดเอาเพิ่มข้อมูลประเภทไบนารี
 - 5.1) ไม่จำกัดจำนวนครั้งในการโปรแกรมซ้ำ
 - 5.2) มีโหมดในการโปรแกรมให้เลือก 6 โหมด
- 6) มีโปรแกรมที่ช่วยพัฒนาได้แก่ XACT Development System ปัจจุบัน (Foundationserie) ที่ทำงานบนคอมพิวเตอร์รุ่นต่างๆ เช่น 486/Pentiums, NEC PC , Apollo, Sun-4,HP700
 - 6.1) สามารถติดต่อกับโปรแกรมอื่นๆได้ เช่น Viewlogic, Mentor Graphic และ OrCAD เป็นต้น
 - 6.2) โปรแกรมการวางและเชื่อมโยงอุปกรณ์ภายในแบบอัตโนมัติ (automatic place and routing) ที่ครบสมบูรณ์
 - 6.3) มี Interactive Design Editor ที่ใช้สำหรับการทำ optimization
 - 6.4) มี 288 มาโคร 34 ฮาร์ดมาโคร และ แรม/รอมคอมพิวเตอร์

2.5.5 รายละเอียดการใช้งาน

FPGA สามารถทำงานได้หลายรูปแบบโดยกำหนดได้ที่ขาสัญญาณ M0,M1 และ M2 ดังตารางที่ 2.3 ในแบบมาสเตอร์พาราเรล รับโปรแกรมคอนฟิกที่ละ 1 ไบท์ จากหน่วยความจำภายนอกที่เป็นแบบขนาน โดยสามารถรับโปรแกรมคอนฟิกจากตำแหน่งต่ำหรือสูงก่อนก็ได้ แบบเฟอริเฟอรัลรับโปรแกรมคอนฟิกที่ละ 1 ไบท์ จากไมโครโพรเซสเซอร์โดยสามารถโต้ตอบกันว่าพร้อมหรือไม่พร้อมที่จะรับข้อมูลต่อไปแบบสเลฟรับโปรแกรมคอนฟิกที่ละ 1 บิต จากไมโครโพรเซสเซอร์ตามสัญญาณอินพุต CCLK ส่วนในแบบมาสเตอร์ซีเรียลรับโปรแกรมคอนฟิกที่ละ 1 บิต จากหน่วยความจำภายนอกที่เป็นแบบอนุกรม

จากความต้องการสร้างให้ใช้กระแสไฟฟ้าต่ำในแบบการใช้งานทั้ง 5 แบบจึงมีเพียง 2 แบบเท่านั้นที่เหมาะสม คือ แบบมาสเตอร์ซีเรียล และแบบสเลฟซีเรียลส่วนในมาสเตอร์พาราเรลต้องใช้ EPROM 27Cxxx ซึ่งกินกระแสมากกว่า PROM XC17xxx เหมาะสมในการทดสอบต้นแบบก่อนเมื่อวงจรต้นแบบทำงานได้ถูกต้องแล้วจึงทำการอัปเดตโปรแกรมลงบน PROM อีกทีหนึ่งเพราะว่าในแบบพาราเรล EPROM สามารถโปรแกรมได้ใหม่ต่างกับ PROM ที่โปรแกรมได้ครั้งเดียว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 2.3 รูปแบบต่างๆ ของการกำหนดคองค์ประกอบในการทำงาน

M0	M1	M2	CCLK	MODE	DATA
0	0	0	Output	Master parallel	BIT SERIAL
0	0	1	Output	Master parallel	BYTE WIDE ADDR =0000 up
0	1	0		Reserved	
0	1	1	Output	Master parallel	BYTE WIDE ADDR =FFFF up
1	0	0		Reserved	
1	0	1	Output	Perpheral	BYTE WIDE
1	1	0		Reserved	
1	1	1	Input	Slave serial	BIT SERIAL

การใช้งาน FPGA ในแบบสเลฟซีเรียลและมาสเตอร์ซีเรียล เมื่อเริ่มจ่ายไฟเข้าตัว FPGA จะทำการเคลียร์หน่วยความจำที่คอนฟิกตรวจสอบแบบการทำงานการคอนฟิกว่าเป็นแบบใด ในตารางที่ 2.3 (เป็นแบบอนุกรมหรือแบบขนาน) หลังจากนั้นจะเริ่มโปรแกรมคอนฟิกสัญญาณ Done / Program เป็น 0 (อยู่ระหว่างโปรแกรม) และเมื่อข้อมูลในการคอนฟิกที่รับมาจากภายนอกเต็มหน่วยความจำที่ใช้ในการคอนฟิกและตามความยาวของข้อมูลตรงกับที่ส่วนหัวของข้อมูลส่วนคอนฟิกสัญญาณ Done / Program เป็น 1

2.5.6 การใช้งานแบบสเลฟซีเรียล

การต่อการใช้งานในแบบนี้เหมาะสมกับวงจรที่ออกแบบมาเพื่อทำงานร่วมกับไมโครคอมพิวเตอร์แล้วทั้งนี้เพราะ FPGA ได้ใช้ความสามารถของไมโครคอมพิวเตอร์ในการเก็บและส่งข้อมูลคอนฟิกให้ เพียงแต่ต้องเขียนโปรแกรมเพื่อส่งโปรแกรมคอนฟิกให้เพิ่มลักษณะการต่อในแบบนี้เป็นคังรูป ซึ่งในแบบนี้ไมโครคอมพิวเตอร์จะสร้างสัญญาณเพื่อทำการคอนฟิกให้กับอุปกรณ์ FPGA การป้อนโปรแกรมคอนฟิกให้อุปกรณ์ FPGA ทำได้โดยต่อสัญญาณ Strobe เข้ากับขา CCLK และพอร์ต DO เข้ากับ Din สร้างสัญญาณนาฬิกาป้อนที่ขา CCLK และป้อนโปรแกรมคอนฟิกแบบอนุกรมเข้าที่ขา Din

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.5.7 การใช้งานในแบบมาสเตอร์ซีเรียล

การต่อใช้งานแบบนี้ส่วนที่เก็บโปรแกรมคอนฟิกจะแตกต่างจากแบบแรกคือใช้ PROMXC17xxx เป็นตัวเก็บโปรแกรม ทำให้ไม่ต้องเสียเวลาในการโปรแกรมเพื่อทำการคอนฟิก ซึ่งวิธีการอัดโปรแกรมคอนฟิกลง PROM ทำตามขั้นตอนดังนี้ คือ เมตริกสร้างบิตไฟล์จากวงจรที่ออกแบบและใช้โปรแกรม MAKE PROM สร้าง HEX FILE แล้วทำการอัดโปรแกรมลง EPROM ด้วยอุปกรณ์อัด EPROM ที่มีใช้ทั่วไปแบบนี้ EPROM 27xxx จะส่งสัญญาณครั้งละ 1 ไบต์เพื่อทำการคอนฟิกให้กับอุปกรณ์ FPGA สร้างให้กับ EPROM เพื่ออ่านข้อมูลให้กับหน่วยความจำมาเก็บไว้ในสแตตริกแรมตำแหน่ง ที่ 16 เส้นไม่จำเป็นต้องต่อครบก็ได้ขึ้นอยู่กับขนาดของหน่วยความจำ EPROM ที่ใช้และสามารถกำหนดให้นับขึ้นหรือลงก็ได้

2.5.8 ข้อควรระวังในการใช้ FPGA

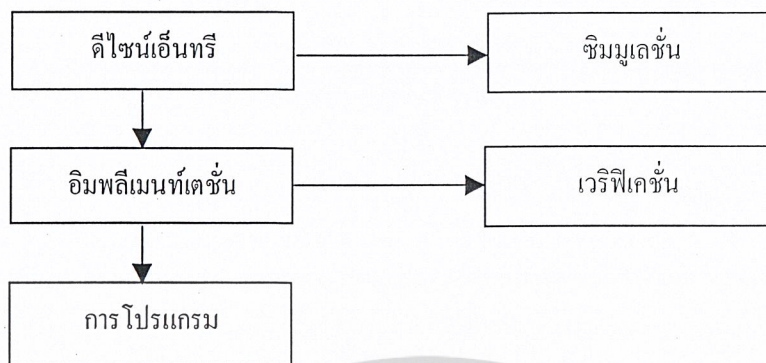
สิ่งแรกที่สำคัญคือไอซีกลัวความร้อนเป็นที่สุดการบัดกรีโดยหัวแร้งกำลังสูง หรือบัดกรีโดยจี้หัวแร้งที่ไอซีนานๆ จะทำให้ไอซีเสียหายได้ง่ายระยะเวลาในการบัดกรี 1 จุดไม่ควรเกิน 5-10 วินาทีควรใช้ Socket ไอซีในการประกอบวงจรลงบนวงจรรินซ์

การป้อนแหล่งจ่ายไฟให้กับไอซีไม่ควรผัดขี้ ถ้าสลับขั้วบวกหรือลบกันจะทำให้ไอซีเสียหายได้ นอกจากนั้นแหล่งจ่ายไฟต้องอยู่ในช่วงเวลาที่โรงงานกำหนดมา สำหรับ FPGA แรงดันของไอซีอยู่ในช่วงของทำงานได้ $VCC = 4.75-5.25$ โวลต์ และแรงดันที่ทนได้อยู่ในช่วง $-0.5-7$ โวลต์ดังนั้นก่อนป้อนแรงดันไฟโปรดตรวจเช็คให้แน่นอนเสียก่อน

การต่อวงจรผิดและส่งผลให้วงจรเสียหายทันทีได้แก่ การต่อเอาต์พุตของไอซีเข้าไปขั้วบวกหรือขั้วลบของแหล่งจ่ายไฟตรง IC TTL ในขณะที่ CMOS ยังพอทนได้บ้างเพราะมีการจัดกระแสขาออกอยู่ภายในตัว ดังนั้นก่อนป้อนแรงดันเข้าตัวไอซีควรตรวจสอบบริเวณเอาต์พุตของไอซีด้วยประการหนึ่งที่ไอซีประเภท CMOS กลัวมากที่สุดคือไฟฟ้าสถิตที่เป็นอันตรายได้ง่ายคือขาอินพุต ความต้านขาเข้าของขาอินพุตของไอซีประเภทนี้อาจรับไฟฟ้าสถิตจากที่ใดมาเก็บไว้เมื่อสะสมไว้มากๆ ไม่มีทางระบายออกก็ทำให้วงจรบริเวณอินพุตเสียหายได้ ในปัจจุบันเทคโนโลยีการผลิต

ไอซีเจริญรุดหน้าไปมากทางด้านอินพุตของไอซี MOS จะมีวงจรป้องกันไว้ภายในอย่างไรก็ตามเพื่อป้องกันเหตุการณ์ดังกล่าวควรเก็บรักษาไอซีให้ถูกต้องและควรเก็บไว้ที่ปลอดภัยจากไฟฟ้าสถิต โดยเก็บไว้บนแผ่นเยื่อสังเคราะห์แบบนำกระแสได้หรือห่อหุ้มด้วยกระดาษอะลูมิเนียม

ในการใช้งานของ Xilinx Foundation ที่ช่วยในการออกแบบวงจรได้อย่างสมบูรณ์บนเครื่องคอมพิวเตอร์ PC มีการทำงานแสดงดังรูปที่ 2.8 ศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.8 แผนผังการทำงานของ Xilinx Foundation

ส่วน ดีไซน์เอ็นทรี เป็นส่วนการออกแบบวงจรจะประกอบไปด้วย 3 ส่วน คือ ส่วนในการออกแบบด้วยภาษาบรรยาย การออกแบบด้วย Sequential และ การออกแบบด้วยแผนภาพวงจรเมื่อทำการออกแบบเสร็จแล้วจะทำการจำลองการทำงาน จากนั้นทำการ อิมพลีเมนต์เคชัน จากนั้นทำกระบวนการสร้างไฟล์บิตสตรีม เมื่อทำกระบวนการสร้างไฟล์บิตสตรีมแล้วจะได้ไฟล์ที่มีนามสกุล .bit เพื่อดาวน์โหลดลงบน FPGA

2.6 ทฤษฎีมอสเฟต

มอสเฟต (MOSFET) มาจากคำเต็มว่า Metal Oxide Semiconductor Field Effect Transistor มีชื่อเรียกอีกชื่อหนึ่งว่าอินซูลेटเทตเกตเฟตทรานซิสเตอร์ (Insulated Gate Field Effect Transistor) เขียนย่อว่า IGFET เป็นทรานซิสเตอร์สนามไฟฟ้าชนิดหนึ่งที่ใช้สนามไฟฟ้าในการควบคุมพื้นที่ภาคตัดขวางของสารกึ่งตัวนำที่นำกระแส ถูกสร้างและเริ่มใช้งานครั้งแรกโดย D. Kahang และ M.M. Atalla และผลิตเป็นไอซีในปี ค.ศ. 1964 และได้รับความนิยมมากขึ้นเป็นลำดับ และได้มีการพัฒนาจนกระทั่งถึงปัจจุบันสามารถผลิตโดยใช้เทคโนโลยี VLSI (Very Large Scale Integrated Circuits) ได้ และในปัจจุบันนักวิจัยได้ให้ความสนใจออกแบบวงจรโดยใช้มอสเฟตกันมาก เนื่องจากมีโครงสร้างง่ายขั้นตอนการผลิตน้อย มีขนาดเล็กมาก ความต้านทานอินพุตสูง สัญญาณรบกวนต่ำ สามารถสร้างเป็นความต้านทานได้สะดวก อย่างไรก็ตามมอสเฟตก็ยังมีข้อด้อยอยู่บ้างเช่นมีกำลังต่ำ เป็นต้น

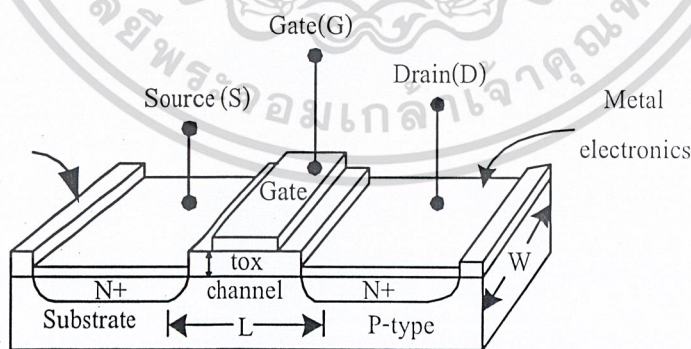
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทรานซิสเตอร์สนามไฟฟ้าประเภทเกตต์คั่นฉนวนมักเรียกว่า MOSFET เนื่องจากเป็นโลหะแล้วมีฉนวนเป็นอ็อกไซด์และได้อ็อกไซด์เป็นสารกึ่งตัวนำโดยที่กระแสที่ไหลในสารกึ่งตัวนำ

ถูกควบคุมโดยสนามไฟฟ้าที่ตั้งฉากกับผิวหน้าของสารกึ่งตัวนำซึ่งปรากฏการณ์นี้ทำให้เกิดการแปรค่าความนำหรือกระแสในสารกึ่งตัวนำ เนื่องจากสนามไฟฟ้าตั้งฉากกับผิวดังกล่าวนี้เรียกว่าประสิทธิผลสนาม ฟิวด์ เอฟเฟค

2.6.1 โครงสร้าง MOSFET แชนแนลเอ็น

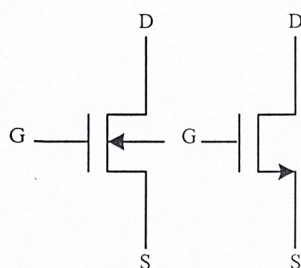
โครงสร้างของ MOSFET ดังรูปที่ 2.9 (ก) จะมีบริเวณของเกตอ็อกไซด์ และฐานรองชนิดพี เช่นเดียวกับตัวเก็บประจุ MOS เพียงแต่ใน MOSFET จะเพิ่มบริเวณของสารชนิดเอ็นเข้ามาสองบริเวณ โดยจะเชื่อมต่อกับขั้วโลหะ เรียกบริเวณทั้งสองว่าขั้วซอสและขั้วเดรน และ กระแสใน MOSFET จะเป็นผลมาจากการไหลของประจุในชั้นผกผัน ซึ่งเรียกบริเวณนี้ว่า บริเวณแชนแนล ซึ่งอยู่ติดกับการเชื่อมต่อของอ็อกไซด์และสารกึ่งตัวนำหรือพื้นที่ของฐานรองใต้พื้นที่ของเกตที่อยู่ระหว่างบริเวณซอสและเดรน ดังรูปที่ 2.9 (ก) โดยความยาวของแชนแนลเป็น L และความกว้างของแชนแนลเป็น W โดยทั่วไปวงจรรวมที่ใช้ MOSFET มักจะใช้ 1 ไมโครเมตร (10^{-6} เมตร) หรือน้อยกว่า ซึ่งถือว่าเป็นอุปกรณ์ที่เล็กมาก อย่างไรก็ตามข้อกำหนดของขนาดความยาวแชนแนล ขึ้นอยู่กับเทคโนโลยีของกระบวนการสร้าง ส่วนความหนาของอ็อกไซด์ นิยามเป็น t_{ox} ปกติจะใช้ค่าประมาณ 400 Angstroms รูปที่ 2.9 (ข) สัญลักษณ์ MOSFET แบบเพิ่มพูลแชนแนลเอ็น



(ก) ภาพตัดขวางอย่างง่ายของโครงสร้าง MOSFET แชนแนลเอ็น

รูปที่ 2.9 MOSFET แบบเพิ่มพูลแชนแนลเอ็น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ข) สัญลักษณ์มอสเฟตแบบเพิ่มพูลเซนแนลเอ็น

รูปที่ 2.9 (ต่อ) มอสเฟตแบบเพิ่มพูลเซนแนลเอ็น

จากรูปที่ 2.9 (ก) เป็นโครงสร้างพื้นฐานของมอสเฟตเซนแนลเอ็น รูปที่ 2.9 (ข) ภาพตัดตามขวางของมอสเฟตในลักษณะของวงจรรวม ส่วนความหนาของอ็อกไซด์ เรียกว่าสนามอ็อกไซด์ (Field Oxide) ส่วนวัสดุของเกตมักใช้โพลีซิลิกอนที่มีการเจือสารให้มีความหนาแน่นสูง

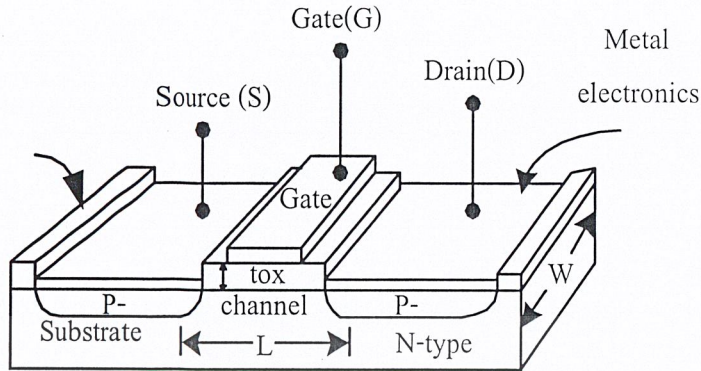
2.6.2 โครงสร้างมอสเฟตเซนแนลพี

สำหรับพีมอสจะมีโครงสร้างเหมือนกันกับเอ็นมอส แต่จะมีการโด๊ป (dope) สารที่แตกต่างกัน คือจากสารกึ่งตัวนำชนิดเอ็น (n-type semiconductor) จะเปลี่ยนมาเป็นสารกึ่งตัวนำชนิดพี (p-type semiconductor) เป็นต้น ในกรณีของกระบวนการผลิตวงจรรวมนั้น เรายังจะต้องมีเทคโนโลยีแบบต่างที่ใช้ในการออกแบบเพื่อที่จะสร้างเอ็นมอส โดยจะมีรูปแบบของชั้นสเทรทอยู่ 2 แบบ คือชั้นสเทรทแบบสารกึ่งตัวนำชนิดพี (p-type substrate) หรือชั้นสเทรทแบบสารกึ่งตัวนำชนิดเอ็น

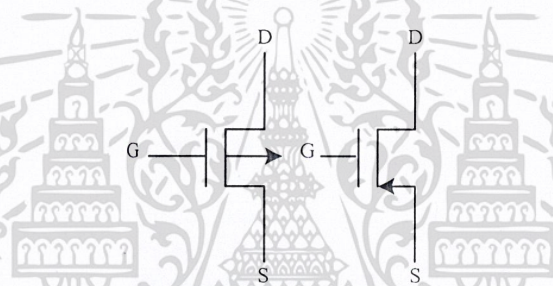
(n-type substrate) ดังตัวอย่างเช่น การเลือกเทคโนโลยีที่จะชั้นสเทรทแบบสารกึ่งตัวนำชนิดพี โดยในการออกแบบพีมอส นั้น เราจะต้องสร้างบริเวณที่เป็นสารกึ่งตัวนำชนิดเอ็นบนชั้นสเทรทแบบสารกึ่งตัวนำชนิดพี เพื่อเป็นบาวด์ของพีมอสก่อน โดยการสร้างจะใช้บ่อของสารกึ่งตัวนำชนิดเอ็น (n-well) เป็นชั้นสเทรทของพีมอส ดังแสดงดังรูปที่ 2.10

จากรูปที่ 2.10 (ก) เป็น โครงสร้างพื้นฐานของมอสเฟตเซนแนลพี รูปที่ 2.10 (ข) ภาพตัดตามขวางของมอสเฟตในลักษณะของวงจรรวม ส่วนความหนาของอ็อกไซด์ เรียกว่าสนามอ็อกไซด์ (Field Oxide) ส่วนวัสดุของเกตมักใช้โพลีซิลิกอนที่มีการเจือสารให้มีความหนาแน่นสูง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ก) ภาพตัดขวางอย่างง่ายของ โครงสร้างมอสเฟตเซนแนลพี



(ข) สัญลักษณ์มอสเฟตแบบเพิ่มพูลเซนแนลพี

รูปที่ 2.10 มอสเฟตแบบเพิ่มพูลเซนแนลพี

2.7 เครื่องมือที่ใช้ในออกแบบวงจรรวม

การออกแบบวงจรรวมโดยใช้ Tanner Tools ซึ่งเป็นซอฟต์แวร์ที่สามารถออกแบบได้ทั้งในระดับ Netlist โดยการออกแบบ Schematic Diagram จำลองการทำงานระดับเกต (Gate – Level Simulation) กับในระดับวงจร (Circuit –Level Simulation) และ ในระดับ Mask Layout โดยเริ่มจากทำ Library Standard Cell เพื่อการ Place & Route ของวงจรที่ได้ จากนั้นทำ Mask Layout จาก Netlist File ที่ได้จากการออกแบบวงจรจากการใช้ภาษา VHDL โดยนำงานการออกแบบวงจรรวมตัวแปลงสัญญาณสำหรับการควบคุมระยะไกลโดยใช้ CMOS และ FPGAมาทำการทดสอบการ Simulation กับ T-Spice ปัจจุบันสามารถทำการออกแบบ ด้วยวิธีการออกแบบขั้นสูง โดยใช้ VHDL หรือ Verilog แล้วทำการสังเคราะห์ลงบน FPGAแล้ว แต่ยังไม่เหมาะสมที่จะใช้งานจริง เนื่องจาก FPGA มีข้อจำกัดในการนำไปใช้งานบางอย่างที่ต้องการประสิทธิภาพของวงจรถูกค้ำไว้ เช่น ความเร็ว การ

Simulation กับ T-Spice ปัจจุบันสามารถทำการออกแบบ ด้วยวิธีการออกแบบขั้นสูง โดยใช้ VHDL หรือ Verilog แล้วทำการสังเคราะห์ลงบน FPGA แล้ว แต่ยังไม่เหมาะสมที่จะใช้งานจริง เนื่องจาก FPGA มีข้อจำกัดในการนำไปใช้งานบางอย่างที่ต้องการประสิทธิภาพของวงจร เช่น ความเร็ว การสร้างวงจรรวมซึ่งเป็นสิ่งที่จำเป็น แต่ปัจจุบันสามารถทำได้โดยเครื่องมือที่มีราคาสูงและประสิทธิภาพเพียงพอที่จะใช้ในการออกแบบอย่างเช่น Tanner Tools

2.7.1 การใช้ Tanner Tools System

Tanner tools เป็นซอฟต์แวร์ที่ช่วยในการออกแบบวงจรรวมได้อย่างสมบูรณ์บนเครื่องคอมพิวเตอร์ PC ประกอบด้วย 3 ส่วนหลักๆ แสดงดังรูป 2.10

1) ส่วนที่ 1 ส่วนจำลองการทำงานของวงจร

T-Spice เป็นส่วนจำลองการทำงานของวงจรแอนะล็อกและดิจิทัล

W-Edit เป็นตัวแสดงสัญญาณ Wave Form ที่ได้จาก T-Spice

Gate-Sim ใช้จำลองการทำงานของวงจรดิจิทัลร่วมกับค่า Timing Delay ในการทำ Static Timing Analysis โดยสามารถจำลองการทำงานของวงจรที่มีขนาดใหญ่

2) ส่วนที่ 2 ส่วนออกแบบในระดับ Netlist

S-Edit เป็นซอฟต์แวร์ที่ช่วยใช้สร้างและแก้ไข Circuit Schematic ของวงจรได้ทั้งแอนะล็อกและดิจิทัล โดยมีความสัมพันธ์กับซอฟต์แวร์อื่นๆ

LVS เป็นเครื่องมือที่ใช้ในการเปรียบเทียบ SPICE Netlist ที่ได้จาก Schematic กับ SPICE Netlist ที่ถูก Extract จาก Layout เพื่อให้ทราบว่า Layout ที่ออกแบบเป็นวงจรเดียวกัน

3) ส่วนที่ 3 ส่วนออกแบบในระดับ Layout

L-Edit เป็น Low-Level, Full Custom Mask Edit ซึ่งไม่สามารถทำการแปลง Layer ของ Layout ได้โดยอัตโนมัติ (Automatic Layer Transformations) ได้ L-Edit สามารถอ่านและบันทึกในรูปแบบของ Standard Mask Layout Interchange Formats (GDS II และ CIF) หรือโครงสร้างข้อมูลของ Tanner (TDB = Tanner Database) ซึ่งสามารถทำได้ไวกว่าทั้ง 2 แบบข้างต้น โดยโครงสร้างข้อมูลของ TDB จะถูกใช้ในระหว่างกระบวนการออกแบบเพื่อเรียกใช้และทำการเก็บข้อมูลจากการออกแบบ ส่วน CIF กับ GDS II จะใช้ในการถ่ายทอดข้อมูลไปยังโรงงานผลิตชิพ หรือ CAD Tools ตัวอื่นๆ ในส่วนของการกำหนดขนาดของช่องไฟใน L-Edit Grid Option สามารถใช้ได้กับกฎการออกแบบได้ทั้งแบบแลมด้าและไมครอน

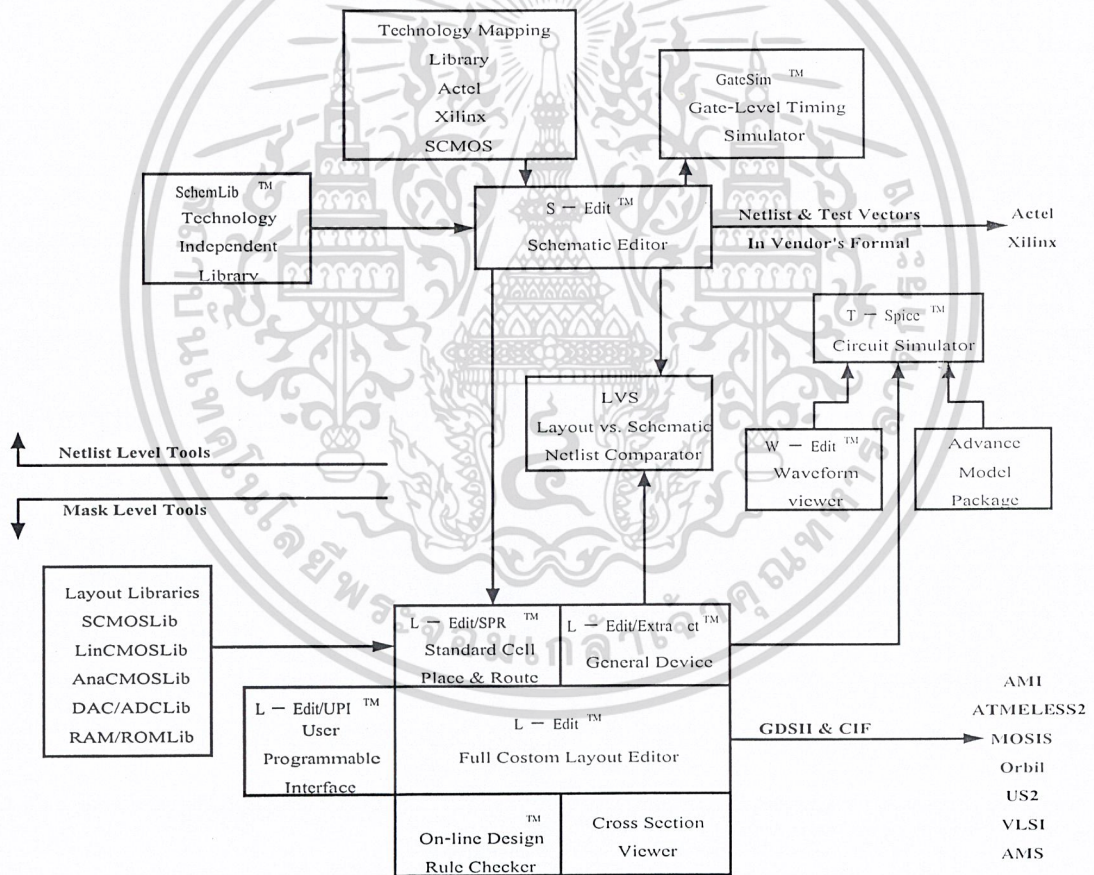
L-Edit / SPR จะสร้าง Layout สำหรับ Standard Cell Design รวมถึงการทำ Placement Routing และ Pad Routing

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น ยกเว้นที่มิได้เกิดแต่สิ่งนี้เอง และต้องอ้างอิงถึงแหล่งที่มาที่มีการนำไปใช้

นอกจากนี้ยังมี ASIC Library ของ MOSIS และ ORBIT [4] ให้ใช้ในการออกแบบ ซึ่ง Library ทั้งหมดประกอบด้วย

- 1) S CMOS Lib : ดิจิตอล ลอจิกและ I/O Pads
- 2) DAC/ADC lib : วงจร DAC และ ADC
- 3) Lin CMOS Lib : วงจรเชิงเส้น
- 4) Ana CMOS Lib : วงจรแอนะล็อก
- 5) RAM/ROM Lib : ใช้สร้าง Layout ของ RAM หรือ ROM โดย Library ทั้งหมด

สามารถใช้กับเทคโนโลยี 2.0, 1.2, 1.0, 0.8 ไมครอน



รูปที่ 2.10 แผนผังการทำงาน Tanner Tools

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3

การออกแบบ การสร้าง และการทำงาน

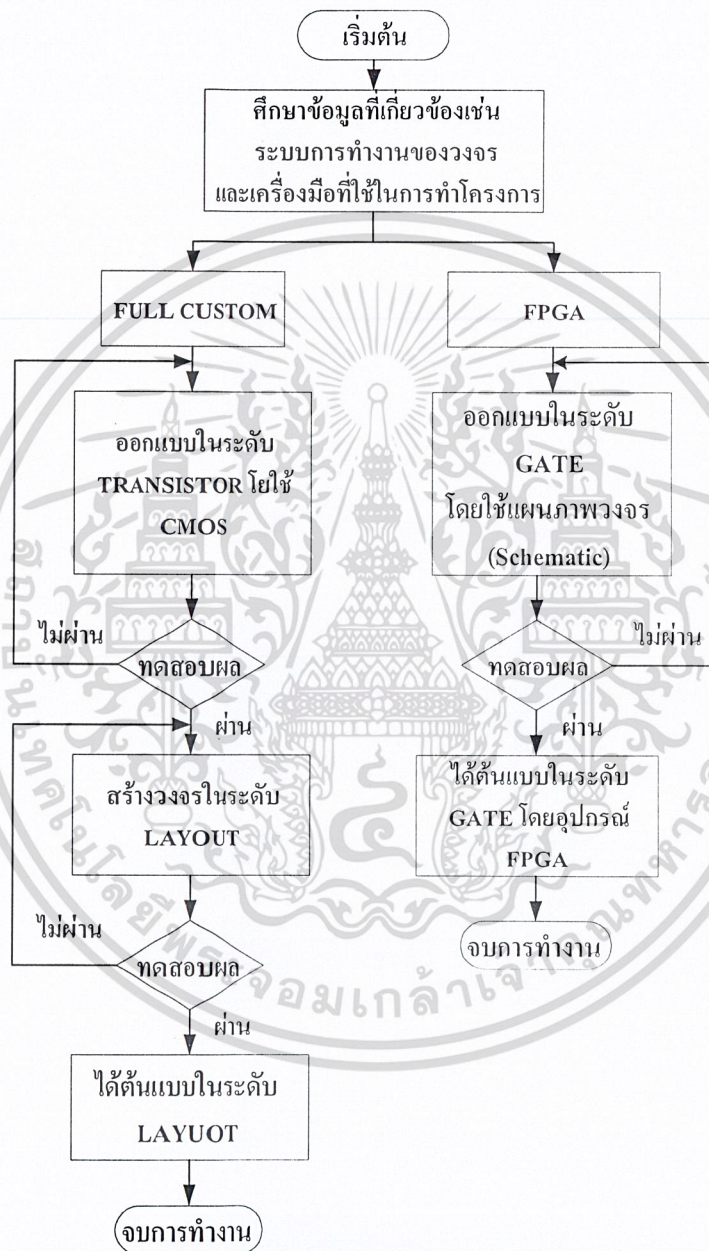
3.1 กล่าวนำ

ในการออกแบบวงจรตัวแปลงสัญญาณสำหรับการควบคุมระยะไกลโดยใช้ CMOS และ FPGA นั้นมีหน้าที่การทำงานอยู่เป็น 2 ส่วนด้วยกันคือสามารถแปลงสัญญาณดิจิทัลขนาด 8 บิต เป็นสัญญาณพัลส์วิดท์มอดูเลชั่นขนาด 20 มิลลิวินาทีโดยเลือกโหมดการทำงานโหมด 1 และสามารถแปลงสัญญาณพัลส์วิดท์มอดูเลชั่น ขนาด 20 มิลลิวินาที เป็นสัญญาณดิจิทัลขนาด 8 บิต โดยเลือกโหมดการทำงานโหมด 0 โดยการออกแบบวงจรออกเป็น 2 ระดับการทำงาน คือในระดับเกตโดยใช้ FPGA และในระดับ เลย์เอาต์ ในการออกแบบในระดับเกตโดยใช้ FPGA นั้นจะออกแบบโดยแผนภาพวงจร และทำการ อิมพลีเมนต์เตชั่นลงอุปกรณ์ FPGA ตระกูล XC 4000E โดยใช้โปรแกรม Xilinx Foundation Series 2.1 และการออกแบบในระดับ เลย์เอาต์ นั้น โดยการออกแบบด้วยวิธี Full Custom โดยใช้ CMOS โดยใช้โปรแกรม T-Spice และ L-Edit

3.2 แผนผังการทำงานของโครงการ

ในการออกแบบวงจรตัวแปลงสัญญาณสำหรับการควบคุมระยะไกลโดยใช้ CMOS และ FPGA ของกลุ่มโครงการนี้นั้นได้ทำการออกแบบวงจรออกเป็น 2 ระดับการทำงานคือ ในระดับเกตโดยใช้ FPGA และในระดับ เลย์เอาต์ ในการออกแบบในระดับเกตโดยใช้ FPGA นั้นจะออกแบบโดยแผนภาพวงจร และทำการ อิมพลีเมนต์เตชั่นลงอุปกรณ์ FPGA ตระกูล XC 4000E โดยใช้โปรแกรม Xilinx Foundation Series 2.1 และการออกแบบในระดับเลย์เอาต์ นั้น โดยการออกแบบด้วยวิธี Full Custom โดยใช้ CMOS จะแสดงดังรูปที่ 3.1 จะเห็นได้ว่าจากผังการทำงานของโครงการนั้น อธิบายได้ดังนี้ เริ่มต้นการทำงานและแบ่งการออกแบบวงจรออกเป็นสองระดับการทำงานคือ ในระดับ FPGA และในระดับ เลย์เอาต์ โดยการออกแบบด้วยวิธี Full Custom โดยใช้ CMOS โดยในระดับ FPGA นั้นจะออกแบบในระดับเกตโดยใช้แผนภาพวงจรและทำการ อิมพลีเมนต์เตชั่นลงอุปกรณ์ FPGA และทดสอบการทำงานในระดับ FPGA ถ้าผ่านได้ต้นแบบในระดับเกตโดยใช้ อุปกรณ์ FPGA จบการทำงานในส่วนของการออกแบบในระดับเกตถ้าไม่ผ่านกลับไปออกแบบและทดสอบอีกครั้งในส่วนการออกแบบในระดับ เลย์เอาต์ โดยการออกแบบด้วยวิธี Full Custom โดยใช้ CMOS นั้นจะมีการออกแบบสองระดับด้วยกันคือ การออกแบบในระดับทรานซิสเตอร์โดยใช้ไมวากรณีใดๆ ทั้งสิ้น อีกทั้งยังมีให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

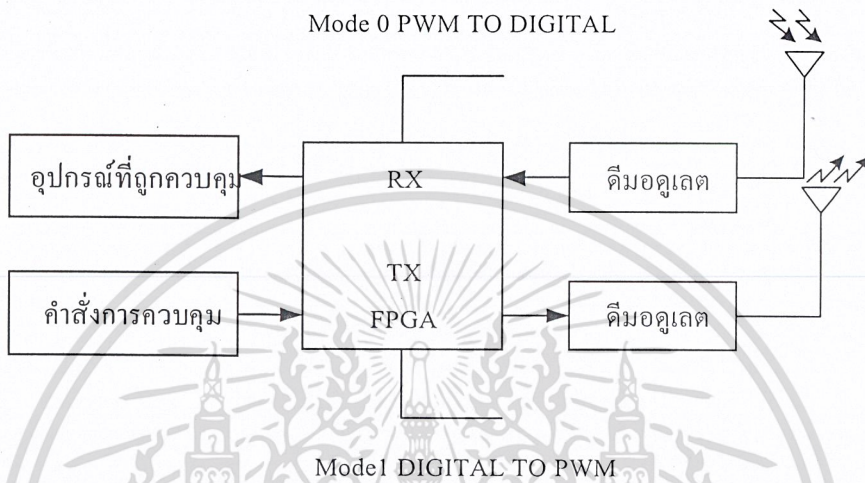
CMOS และทดสอบการทำงานในระดับทรานซิสเตอร์โดยใช้ CMOS ถ้าผ่านสร้างวงจรในระดับ
เลย์เอาต์ ถ้าไม่ผ่านกลับไปออกแบบและทดสอบอีกครั้ง



รูปที่ 3.1 แผนผังกาทำงานของ โครงการงาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อได้วงจรในระดับ เลย์เอาต์ และทดสอบการทำงานในระดับ เลย์เอาต์ ถ้าผ่านได้ค้นแบบในระดับ เลย์เอาต์ จบการทำงานในส่วนของการออกแบบ ในระดับ เลย์เอาต์ ถ้าไม่ผ่านกลับไปออกแบบและ ทดสอบอีกครั้ง แผนผังการทำงานของโครงงานดังแสดงดังรูปที่ 3.2



รูปที่ 3.2 แผนผังการทำงานของโครงงาน

จากรูปที่ 3.2 จะเห็นได้ว่า แผนผังการทำงานของโครงงานประกอบไปด้วย ภาคส่ง (TX) และภาครับ (RX) โดยมีการทำงานอยู่สองโหมดการทำงานคือ โหมด 0 จะทำหน้าที่เป็นภาครับ โดยจะรับสัญญาณ จากการคีมอคูเลตและเมื่อผ่านอุปกรณ์ FPGA แล้วแปลงเป็นสัญญาณดิจิทัล ไปใช้กับระบบดิจิทัล โหมด 1 จะทำหน้าที่เป็นภาคส่งโดยจะรับคำสั่งควบคุม เป็นสัญญาณดิจิทัล และเมื่อผ่านอุปกรณ์ FPGA แล้วแปลงเป็นสัญญาณพัลส์วิดท์มอดูเลชัน จากนั้นทำการมอดูเลตกับคลื่นพาห์แล้วส่งออกไปใช้ควบคุม เซอร์โว

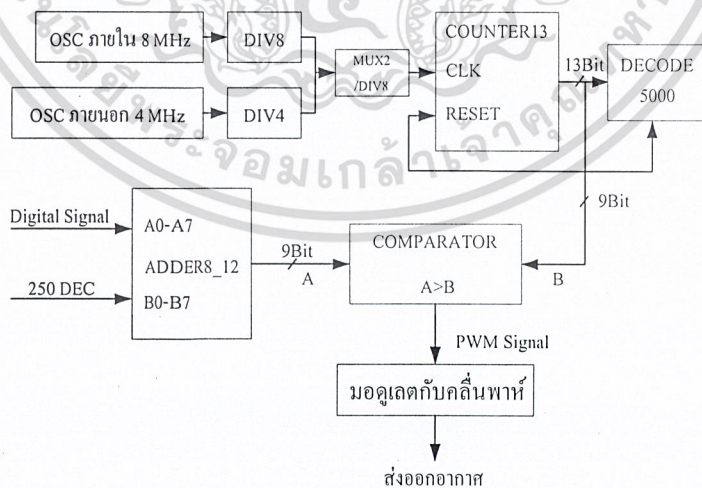
3.3 ส่วนประกอบต่างๆ ของโครงงานในระดับเกตโดยใช้อุปกรณ์ FPGA

วงจรตัวแปลงสัญญาณสำหรับควบคุมระยะไกลโดยใช้ FPGA และการออกแบบด้วยวิธี Full Custom โดยใช้ CMOS นั้น โดยรับความถี่จากภายนอกที่จ่ายให้กับวงจรนั้นมีความถี่ 1 เมกะเฮิร์ตซ์ และเมื่อผ่านวงจรหาร 8 จะได้สำหรับสัญญาณนาฬิกาที่ใช้ในระบบนั้นมีความถี่ 125 กิโลเฮิร์ตซ์ ใน 4 ไมโครวินาที ต่อระดับหนึ่งสัญญาณนาฬิกาโดยในหนึ่งสัญญาณนาฬิกาใน 4 ไมโครวินาที จะมีสัญญาณนาฬิกา 250 DEC ลูกคลื่น ภายในกำหนด 1 มิลลิวินาที ของระยะเวลาการหน่วงการทำงาน โดยสัญญาณพัลส์วิดท์มอดูเลชัน มีความกว้างของคาบเวลาเท่ากับ 20 มิลลิวินาที

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3.1 หลักการทำงานโหมด 1 (สัญญาณดิจิตอลแปลงเป็นสัญญาณ พัลส์วิดท์มอดูเลชัน)

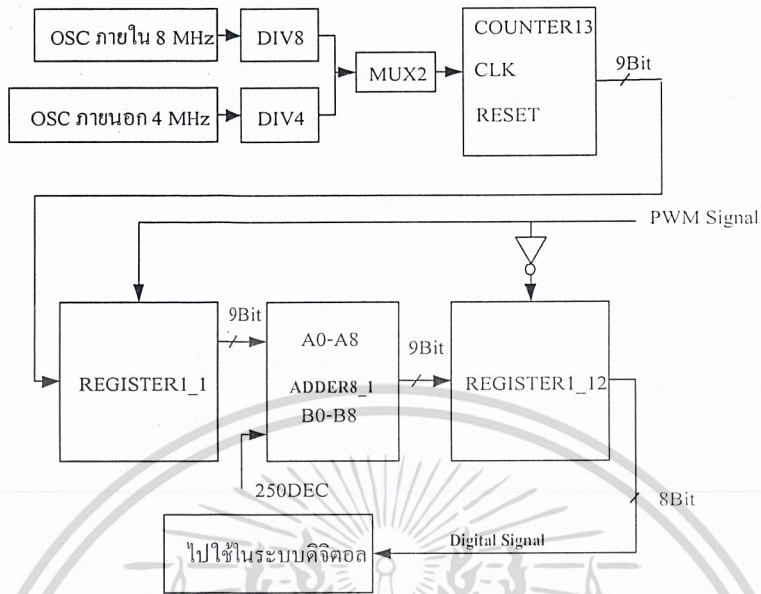
จากรูปที่ 3.3 (ก) เป็นแผนผังการทำงานของวงจรตัวแปลงสัญญาณสำหรับควบคุมระยะไกล โดยใช้ FPGA และการออกแบบด้วยวิธี Full Custom โดยใช้ CMOS ในโหมดการทำงานที่ 1 จะเห็นได้ว่าจะมีแหล่งกำเนิดอยู่สองแหล่งคือ OSC ภายใน และ OSC ภายนอก โดย OSC ภายในจะมีความถี่ 8 เมกะเฮิร์ตซ์ แล้วผ่านวงจรหาร 8 ความถี่ที่ได้คือ 1 เมกะเฮิร์ตซ์ เป็นความถี่ที่ต้องการจ่ายให้กับวงจร และ OSC ภายนอกจะ ใช้ความถี่ 4 เมกะเฮิร์ตซ์ แล้ว ผ่านวงจรหาร 4 ความถี่ที่ได้ คือ 1 เมกะเฮิร์ตซ์ เป็นความถี่ที่ต้องการจ่ายให้กับวงจร จากนั้นผ่านวงจรมัลติเพล็กซ์เซอร์ โดยวงจรมัลติเพล็กซ์เซอร์ จะเป็นตัวเลือกว่าจะใช้สัญญาณภายในหรือสัญญาณภายนอก จากนั้นผ่านวงจรหาร 8 เพื่อให้ได้ความถี่ที่ต้องการของวงจรคือ 125 กิโลเฮิร์ตซ์เพื่อป้อนให้กับวงจรมับ 13 บิต (นับ0-8191) โดยในที่นี้วงจรมับจะถึง 5000 จะมีวงจรถอดรหัสที่ตำแหน่ง 5000 แล้วทำการรีเซ็ตสถานะ ในขณะที่เดียวกันถ้ารับสัญญาณดิจิตอลขนาด 8 บิตทางสวิตช์ A โดยที่สวิตช์ B นั้นจะป้อนค่าคงที่ คือ 250 DEC เมื่อรับสัญญาณดิจิตอลขนาด 8 บิตทางสวิตช์ A เช่น รับค่า 10 DEC เข้ามา จากนั้นเข้าสู่ตัวรวมเลขขนาด 8 บิตค่าที่ได้มีขนาด 9 บิต คือ 260 DEC จากนั้นนำค่าที่บวกได้ไปเข้าวงจรเปรียบเทียบขนาด 9 บิต สายสัญญาณ A และนำค่าจากวงจรมับขนาด 9 บิต สายสัญญาณ B มาเปรียบเทียบ ถ้าค่าของสัญญาณ A มากกว่า สายสัญญาณ B ก็จะส่งสัญญาณพัลส์วิดท์มอดูเลชัน จากนั้นทำการมอดูเลตกับคลื่นพาห์เพื่อส่งออกไปควบคุมเซอร์โว ถ้าค่าของสัญญาณ A น้อยกว่าหรือเท่ากับ สายสัญญาณ B ก็จะไม่ส่งสัญญาณพัลส์วิดท์มอดูเลชันออกมา



(ก) แผนผังการทำงานของโครงการในโหมดที่ 1

รูปที่ 3.3 แผนผังการทำงานของโครงการในโหมดที่ 1 และโหมด 0

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ข) แผนผังการทำงานของโครงงานในโหมดที่ 0

รูปที่ 3.3 (ต่อ) แผนผังการทำงานของโครงงานในโหมดที่ 1 และโหมด 0

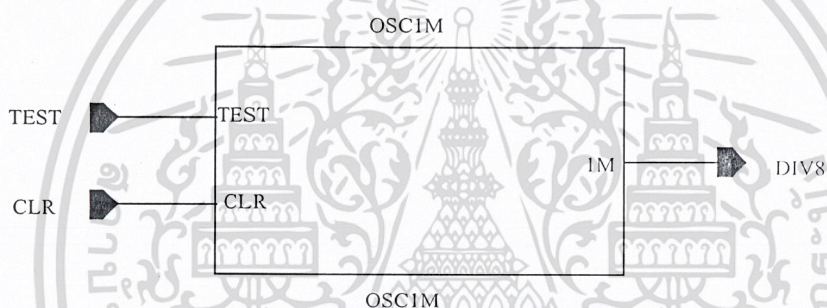
3.3.2 หลักการทำงานโหมด 0 (สัญญาณ พัลส์วิดท์มอดูเลชัน แปลงเป็นสัญญาณดิจิทัล)

จากรูปที่ 3.3 (ข) เป็นแผนผังการทำงานของวงจรตัวแปลงสัญญาณสำหรับควบคุมระยะไกล โดยใช้ FPGA และการออกแบบด้วยวิธี Full Custom โดยใช้ CMOS ในโหมดการทำงานที่ 0 จะเห็นได้ว่าจะมีแหล่งกำเนิดอยู่สองแหล่งคือ OSC ภายใน และ OSC ภายนอก โดย OSC ภายในจะมีความถี่ 8 เมกะเฮิร์ตซ์ แล้วผ่านวงจรหาร 8 ความถี่ที่ได้คือ 1 เมกะเฮิร์ตซ์ เป็นความถี่ที่ต้องการจ่ายให้กับวงจร และ OSC ภายนอกจะใช้ความถี่ 4 เมกะเฮิร์ตซ์ แล้วผ่านวงจรหาร 4 ความถี่ที่ได้คือ 1 เมกะเฮิร์ตซ์ เป็นความถี่ที่ต้องการจ่ายให้กับวงจร จากนั้นผ่านวงจรมัลติเพล็กซ์เตอร์ โดยวงจรมัลติเพล็กซ์เตอร์ จะเป็นตัวเลือกว่าจะใช้สัญญาณภายในหรือสัญญาณภายนอก จากนั้นผ่านวงจรหาร 8 เพื่อให้ได้ความถี่ที่ต้องการของวงจรคือ 125 กิโลเฮิร์ตซ์ เพื่อป้อนให้กับวงจรนับ 13 บิต (นับ 0-8191) แต่ในโหมดการทำงานนี้เราใช้สายสัญญาณ 9 บิตวงจรนับได้ (0-511) ในการทำงานในโหมดนี้คือรับสัญญาณพัลส์วิดท์มอดูเลชัน โดยในช่วงขอบขาขึ้นของสัญญาณพัลส์วิดท์มอดูเลชัน วงจร REGISTER1_1 จะทำงาน โดยจะทำการแลตช์ค่าจากวงจรนับไว้ค่าหนึ่ง จากนั้นจะส่งค่าจากการแลตช์ไปยังวงจร ADDER8_1 โดยวงจรนี้จะป้อนวงจรลบโดยใช้หลักการลบแบบ 2' Complement โดยจะนำค่าที่ได้จากการแลตช์นั้นลบด้วย 250 DEC แล้วผลลัพธ์ที่ได้ส่งไปยัง วงจร REGISTER8_12 โดยวงจรนี้จะทำงานที่ขอบขาของสัญญาณพัลส์วิดท์มอดูเลชัน จากนั้นได้สัญญาณดิจิทัลขนาด 8 บิต นำไปใช้งานในระบบดิจิทัล

3.3.3 ส่วนประกอบในโหมดที่ 1

1) ส่วนประกอบภาค OSC1M

เป็นตัวกำเนิดสัญญาณความถี่โดยใช้ความถี่ภายในอุปกรณ์ FPGA โดยภายใน OSC1M นั้นจะประกอบไปด้วย OSC4 และวงจรหาร 8 โดย OSC4 จะเป็นตัวกำเนิดความถี่ภายในอุปกรณ์ FPGA โดยมีความถี่ให้เลือกใช้งานคือ 8 เมกะเฮิร์ตซ์ , 500 , 16 กิโลเฮิร์ตซ์ , 490 , 15 เฮิร์ตซ์ ในที่นี้เราเลือกที่ความถี่ 8 เมกะเฮิร์ตซ์ เพื่อไปผ่านวงจรหาร 8 เพื่อให้ได้ความถี่ 1 เมกะเฮิร์ตซ์ เพื่อจ่ายให้กับระบบ จากรูปที่ 3.4 จะเห็นได้ว่า มีขาควบคุมการทำงานอยู่ 2 ขา คือ ขา TEST ขา (Clrscr) CLR โดยจะให้ตัวกำเนิดความถี่ทำงานต้อง รายละเอียดวงจรภายในดังแสดงดังภาคผนวก ง



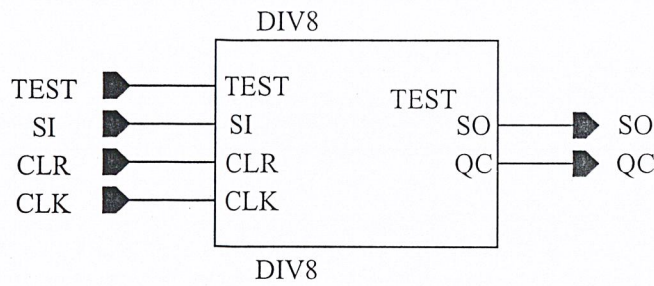
รูปที่ 3.4 ผังงานของ OSC1M

ป้อนลอจิก “1” และ “0” ให้กับขา TEST ขา CLR ตามลำดับ เาต์พุตที่ได้จะมีความถี่ 1 เมกะเฮิร์ตซ์ และความถี่ที่ได้ส่งไปยังภาค DIV8 ต่อไป

2) ส่วนประกอบภาค DIV8

ในรูปที่ 3.5 เป็นภาค DIV8 ทำหน้าที่หารความถี่ที่รับมาจาก OSC1M โดยภายใน DIV8 นั้นจะมีวงจรหาร 8 อยู่ โดยรับความถี่ 1 เมกะเฮิร์ตซ์ จาก OSC1M เมื่อผ่าน DIV8 แล้ว ความถี่ที่ได้มีความถี่เท่ากับ 125 กิโลเฮิร์ตซ์ ภาค DIV8 จะมีขาควบคุมการทำงานอยู่ 2 ขา คือ ขา TEST และขา CLR โดยจะให้ DIV8 ทำงานต้องป้อนลอจิก “1” และ “0” ให้กับขา TEST ขา CLR ตามลำดับ ขา Serial in (SI) ทำหน้าที่รับข้อมูลที่ละบิต ส่งไปยังเอาต์พุต Serial out (SO) ขา CLK ทำหน้าที่รับความถี่จาก OSC1M เอาต์พุต ความถี่ที่ได้ออกที่ QC ส่งความถี่ที่ได้ 125 กิโลเฮิร์ตซ์ ไปยังภาค COUNTER ต่อไป รายละเอียดวงจรภายในดังแสดงดังภาคผนวก ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

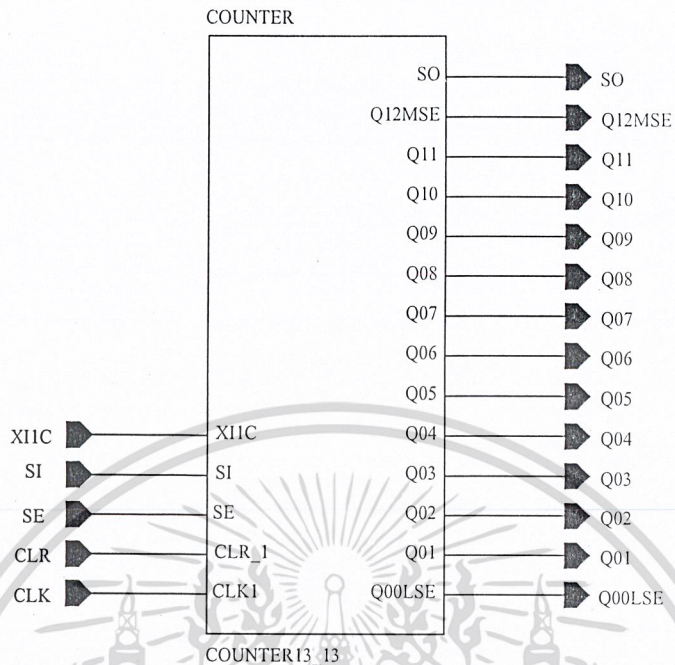


รูปที่ 3.5 ผังงานของ DIV8

3) ส่วนประกอบภาค COUNTER

เป็นวงจรรนับขนาด 13 บิต (นับ 0-8191) โดยมี ขา XIIC ขา SE ขา CLR เป็นตัวกำหนดการทำงาน โดยจะให้วงจรรนับทำงานป้อนลอจิก “1” ให้กับ ขา XIIC ขา SE ป้อนลอจิก “0” ให้กับ ขา CLR โดยขา XIIC ทำหน้าที่ 2 หน้าที่ด้วยกันคือ ป้อนลอจิก “1” ให้กับ ขา XIIC จะทำหน้าที่เป็นวงจรรนับ และถ้าป้อนลอจิก “0” ให้กับ ขา XIIC จะหยุดการนับ และถ้าป้อนลอจิก “1” ให้กับ ขา XIIC จะทำหน้าที่เป็นวงจรรนับตามปกติ ขา SI รับข้อมูลจาก SO ของภาค DIV8 ขา CLK จะรับสัญญาณความถี่จาก QC ของภาค DIV8 มีความถี่ 125 กิโลเฮิร์ตซ์ และเอาต์พุตของวงจรรนับ 9 บิตไปเข้าภาค COMPARATOR ส่วนขา CLR จะทำงาน ก็ต่อเมื่อวงจรรนับ นับถึง 5000 ข้อมูลผ่านภาคคิโค้ด ภาคคิโค้ดจะดีคิโค้ด ที่ตำแหน่ง 5000 เอาต์พุตที่ได้จะเป็นลอจิก “1” ก็จะเคลียร์ระบบการทำงานและเริ่มนับอีกครั้งดังแสดงดังรูปที่ 3.6 รายละเอียดวงจรภายในดังแสดงดังภาคผนวก ง

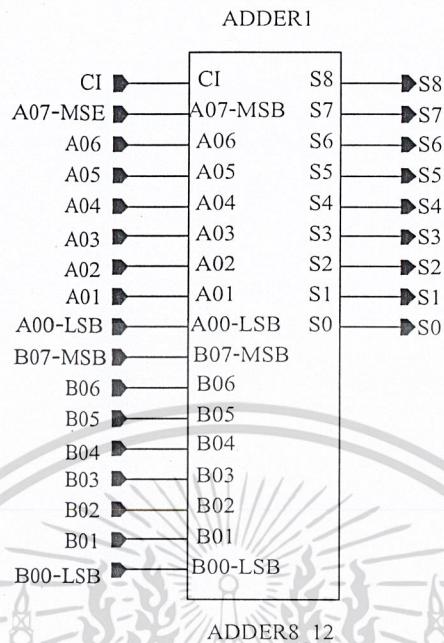
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.6 ฟังก์ชันของ COUNTER13_13

4) ส่วนประกอบภาค ADDER8_12

ในรูปที่ 3.7 เป็นภาค ADDER เป็นภาคที่ทำหน้าที่ในการบวกข้อมูลขนาด 8 บิต ที่ได้จากขาสัญญาณ A (A0-A7) และขาสัญญาณ B (B0-B7) และ ตัวทดเข้า (Carry in CI) อีก 1 ตัวการทำงานจะให้บวกข้อมูลกัน 2 ชุด คือ A บวกกับข้อมูลจาก B และ CI บวกกับข้อมูลจาก A และข้อมูลจาก B ซึ่งจะได้ผลลัพธ์ที่มีขนาด 9 บิต ผลลัพธ์ที่ได้จากภาค ADDER จะส่งไปยังภาค COMPARATOR ต่อไป รายละเอียดวงจรภายในดังแสดงดังภาคผนวก ง

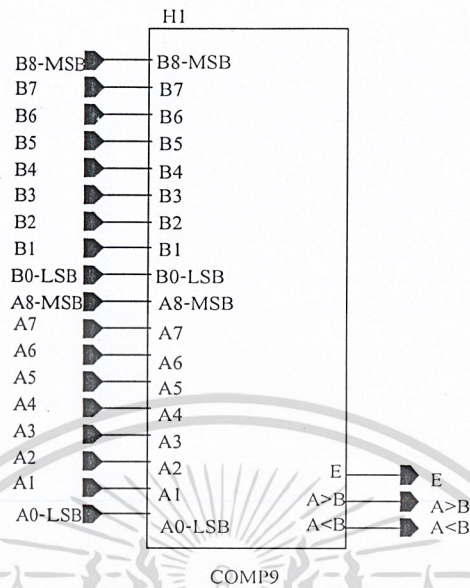


รูปที่ 3.7 ฝั่งงานของ ADDER8_12

5) ส่วนประกอบภาค COMPARATOR

ในรูปที่ 3.8 เป็นภาคที่ทำหน้าที่เปรียบเทียบข้อมูลขนาด 9 บิต ค่าที่ได้จากภาค ADDER (สายสัญญาณ A) และ ภาค COUNTER (สายสัญญาณ B) ดังรูปที่ 3.3 (ก) โดยจะเปรียบเทียบข้อมูล และผลลัพธ์ที่ได้ จะมี 3 สถานะการทำงานคือ กรณี $A > B$, $A < B$, A เท่ากับ B (แทนด้วย E) โดยในที่นี้จะสนใจเฉพาะกรณี $A > B$ เท่านั้น และเอาต์พุตที่ได้ เป็น “High” (สัญญาณ พัลส์วิดท์มอดูเลชัน) และส่งไปทำการมอดูเลตกับคลื่นพาห์เพื่อส่งออกไปควบคุม Servo ต่อไป รายละเอียดวงจรภายในดังแสดงดังภาคผนวก ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.8 ฟังก์ชันของ COMPARATOR

3.3.4 ส่วนประกอบในโหมดที่ 0

ภาค OSC1M ภาค DIV8 ทำงานเหมือนกับการทำงานในโหมดที่ 1

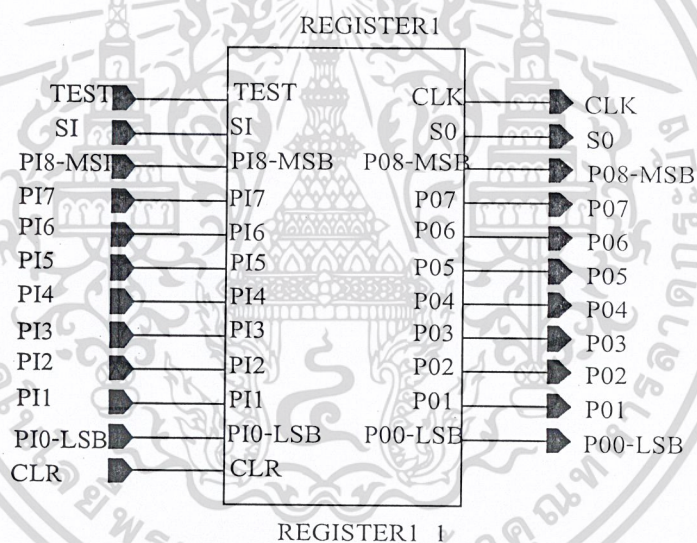
1) ส่วนประกอบภาค COUNTER

เป็นวงจรนับขนาด 13 บิต (นับ 0-8191) ในโหมดการทำงานนี้เราสนใจเพียง 9 บิต (นับ 0-511) โดยมี ขา XIIC ขา SE ขา CLR เป็นตัวกำหนด การทำงาน โดยจะให้วงจรนับทำงาน ป้อนลอจิก “1” ให้กับ ขา XIIC ขา SE ป้อนลอจิก “0” ให้กับขา CLR โดยขา XIIC ทำหน้าที่ 2 หน้าที่ด้วยกันคือ ป้อนลอจิก “1” ให้กับ ขา XIIC จะทำหน้าที่เป็นวงจรถับ และถ้าป้อนลอจิก “0” ให้กับขา XIIC จะหยุดการนับ และถ้าป้อนลอจิก “1” ให้กับ ขา XIIC จะทำหน้าที่เป็นวงจรถับตามปกติ ขา SI รับข้อมูลจาก SO ของภาค DIV8 ขา CLK จะรับสัญญาณความถี่จาก QC ของภาค DIV8 มีความถี่ 125 กิโลเฮิร์ตซ์ และเอาต์พุตของวงจรถับ 9 บิต ไปเข้าภาค REGISTER1_1 ส่วนขา CLR จะทำงาน ก็ต่อเมื่อข้อมูลขนาด 9 บิต ส่งไปยังภาค REGISTER1_1 และ ภาค REGISTER1_1 ทำการแลตซ์ค่าไว้ค่าหนึ่ง ก็จะเคลียร์ระบบการทำงานและเริ่มนับอีกครั้งดังแสดงดังรูปที่ 3.6 รายละเอียดวงจรภายในดังแสดงดังภาคผนวก ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2) ส่วนประกอบภาค REGISTER1_1

ในรูปที่ 3.9 เป็นภาค REGISTER1_1 ทำหน้าที่เก็บข้อมูล ขนาด 9 บิต ที่มาจากวงจรมีขา TEST ขา CLR เป็นขาควบคุมการทำงาน โดยป้อนลอจิก “1” และ “0” ให้กับ ขา TEST ขา CLR ตามลำดับ โดย REGISTER1_1 จะทำงานที่ขอบขาขึ้นของสัญญาณที่ป้อนให้กับขา TEST เมื่อ REGISTER1_1 ทำงานจะแสดง ค่าจากวงจรมับไว้ค่าหนึ่ง โดยข้อมูลที่เข้ามาจะเป็นลักษณะข้อมูลเข้าแบบขนาน (PI0-PI8) ข้อมูลออกแบบขนาน (PO0-PO8) และข้อมูลออกแบบขนานส่งไปยังภาค ADDER8_1 ขา CLK รับสัญญาณนาฬิกาของระบบคือ 125 กิโลเฮิร์ตซ์ ขา SI ของ REGISTER1_1 จะรับข้อมูลจาก SO ของ COUNTER และ SO REGISTER1_1 จะส่งข้อมูลไปยัง ขา SI ของ REGISTER1_12 ต่อไป รายละเอียดวงจรภายในดังแสดงดังภาคผนวก ง

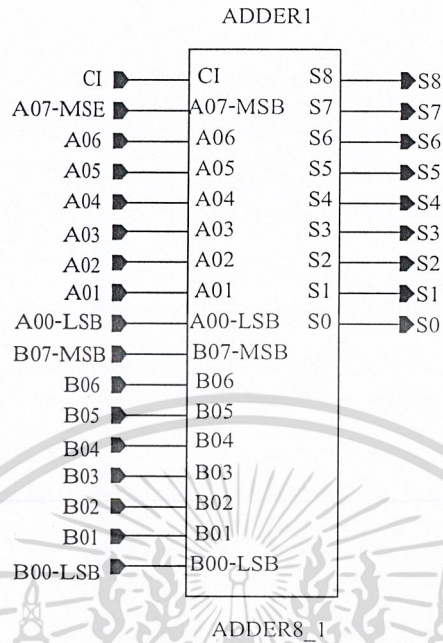


รูปที่ 3.9 ฟังก์ชันของ REGISTER1_1

3) ส่วนประกอบภาค ADDER8_1

ในรูปที่ 3.10 เป็นภาค ADDER8_1 ทำหน้าที่เป็นวงจรถบโดยใช้หลักการลบแบบ 2' Complement โดยจะนำค่าที่ได้จากการแสดงนั้นลบด้วย 250 DEC แล้วผลลัพธ์ข้อมูลขนาด 9 บิต ที่ได้ส่งไปยังภาค REGISTER1_12 ต่อไป รายละเอียดวงจรภายในดังแสดงดังภาคผนวก ง

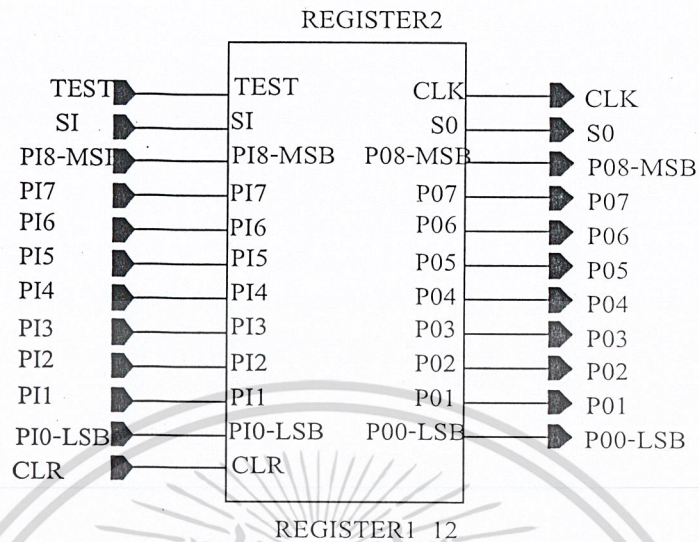
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.10 ฟังก์ชันของ ADDER8_1

4) ส่วนประกอบภาค REGISTER1_12

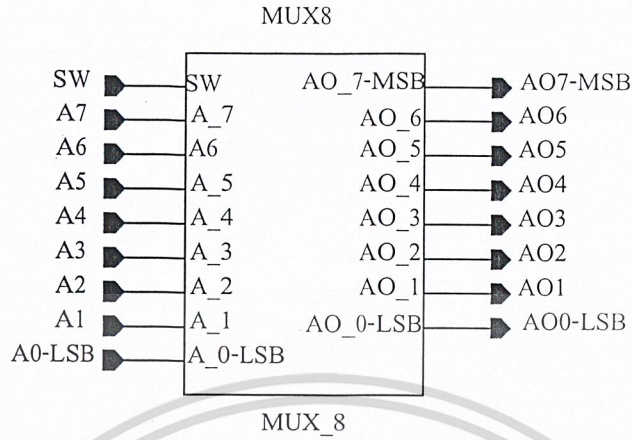
ในรูปที่ 3.11 เป็นภาค REGISTER ทำหน้าที่เก็บข้อมูล ขนาด 9 บิต ที่มาจากภาค REGISTER1_1 มีขา TEST ขา CLR เป็นขาควบคุมการทำงาน โดยป้อนลอจิก “1” และ “0” ให้กับขา TEST ขา CLR ตามลำดับ โดย REGISTER1_12 จะทำงานที่ขอบข้างของสัญญาณที่ป้อนให้กับขา TEST เมื่อ REGISTER1_12 ทำงานจะนำข้อมูลที่แสดงจากภาค REGISTER1_1 โดยข้อมูลที่เข้ามาจะเป็นลักษณะข้อมูลเข้าแบบขนาน (PI0-PI8) ข้อมูลออกแบบขนาน (PO0-PO8) และข้อมูลออกแบบขนาน (PO0-PO7) ส่งไปยังภาค MUX8 จะได้สัญญาณดิจิทัลขนาด 8 บิต นำไปใช้งานในระบบดิจิทัล รายละเอียดวงจรภายในดังแสดงดังภาคผนวก ง



รูปที่ 3.11 ผังงานของ REGISTER1_12

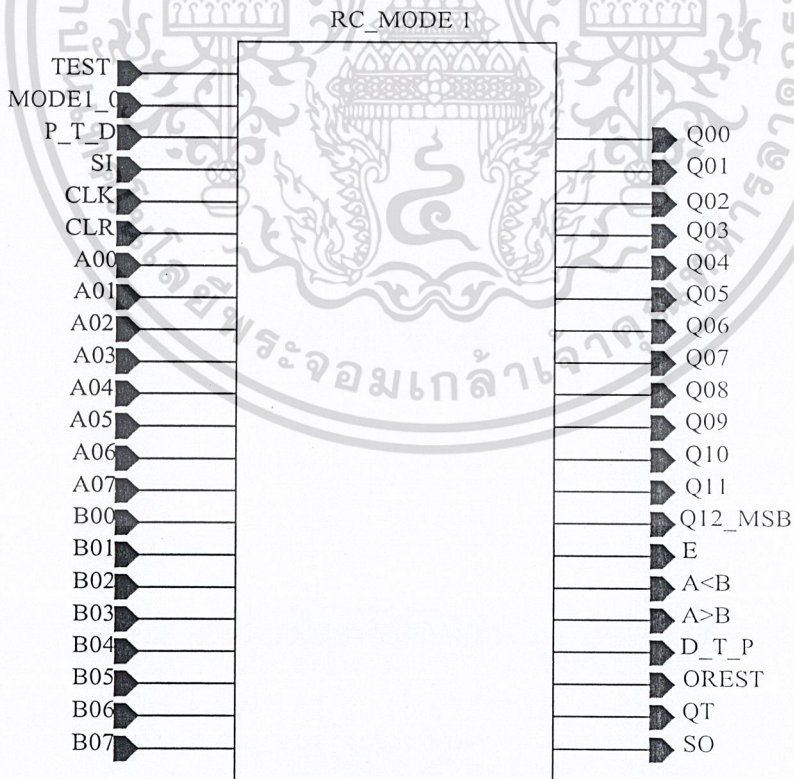
5) ส่วนประกอบภาค MUX8

ในรูปที่ 3.12 เป็นภาค MUX8 ทำหน้าที่เป็นสวิตช์สำหรับเลือกข้อมูลขนาด 8 บิต ที่ส่งมาจากภาค REGISTER1_12 โดยมีขา SW เป็นขาควบคุมในการเลือกข้อมูลออกทางด้านเอาต์พุตตามต้องการ โดยให้ลอจิก “0” ที่ขา SW จะนำข้อมูลจากทางด้านอินพุต โดยมีข้อมูลเท่ากับ 0 และให้ลอจิก “1” ที่ขา SW จะนำข้อมูลจากทางด้านอินพุต โดยมีข้อมูลขนาด 8 บิต ที่รับมาจากภาค REGISTER1_12 และเอาต์พุตที่ได้เป็นสัญญาณดิจิทัลขนาด 8 บิต นำไปใช้งานในระบบดิจิทัลรายละเอียดวงจรภายในดังแสดงดังภาคผนวก ง



รูปที่ 3.12 ฟังก์ชันของ MUX8

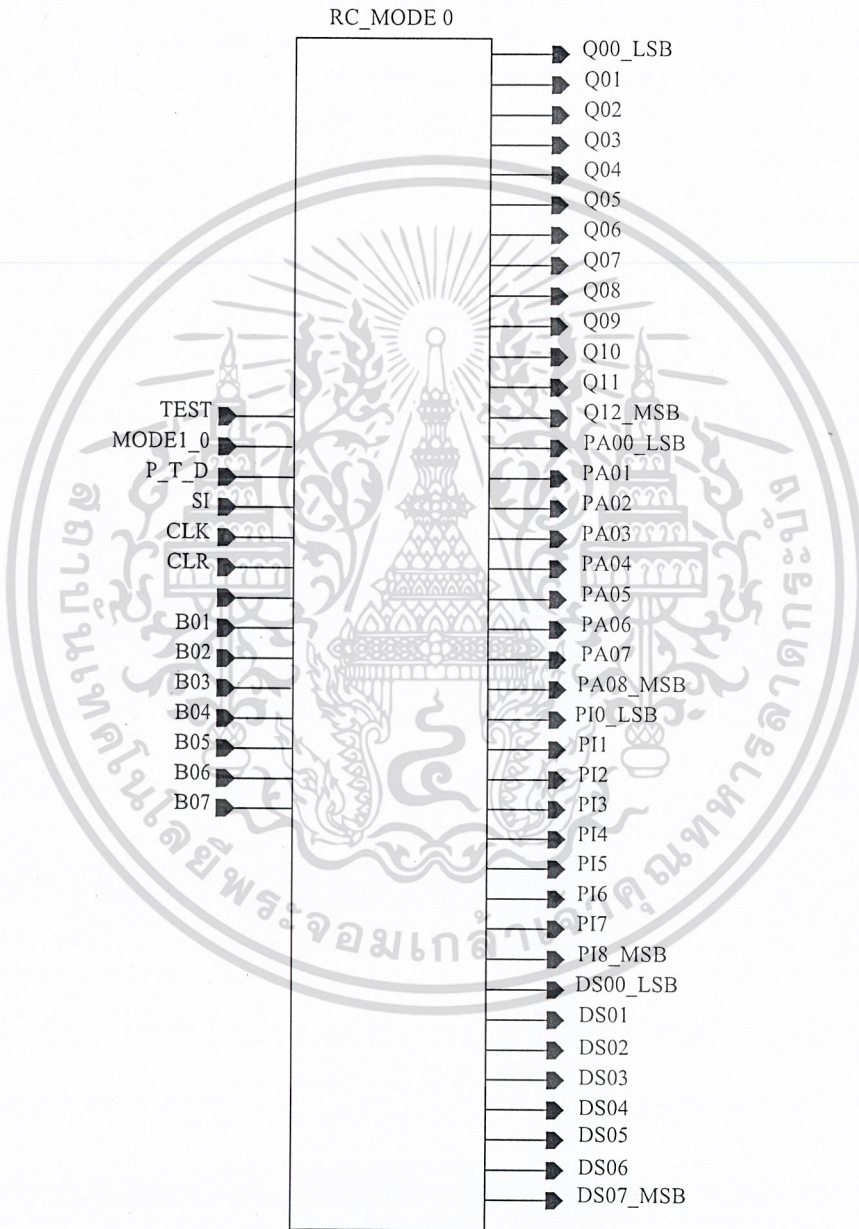
3.3.5 การทำงานโดยรวมของโหมด 1 (สัญญาณดิจิทัลแปลงเป็นสัญญาณ พัลส์วิดท์มอดูเลชัน) รายละเอียดวงจรภายในดังแสดงดังภาคผนวก ง



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามเผยแพร่โดยไม่ได้รับอนุญาต และต้องสงวนลิขสิทธิ์ของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 3.13 ฟังก์ชันโดยรวมการทำงานของโหมด 1

3.3.6 การทำงานโดยรวมของโหมด 0 (สัญญาณ พัลส์วิดท์มอดูเลชัน แปลงเป็นสัญญาณ ดิจิตอล) รายละเอียดวงจรภายในดังแสดงดังภาคผนวก ง

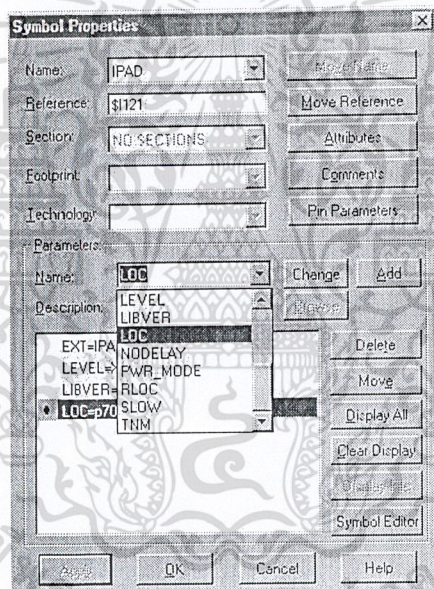


รูปที่ 3.14 ฟังงานโดยรวมการทำงานของโหมด 0

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.4 ขั้นตอนการโปรแกรมลงบนอุปกรณ์ FPGA โดยใช้โปรแกรม Xilinx Foundation Series 2.1

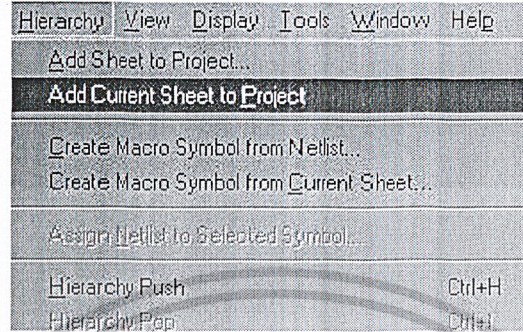
เมื่อเราออกแบบโดยแผนภาพวงจรแล้วจากนั้นจะเป็นขั้นตอนการโปรแกรมลงบนอุปกรณ์ FPGA โดยก่อนที่จะโปรแกรมลงบนอุปกรณ์ FPGA นั้นต้องกำหนดตำแหน่งขาเพื่อติดต่อกับ FPGA โดยถ้าเป็นขาอินพุต ใช้ IPAD และมี IBUF มารองรับขาสัญญาณที่เรากำหนดและถ้าเป็นขาสัญญาณทางด้านเอาต์พุตใช้ OPAD และมี OBUF มารองรับขาสัญญาณที่เรากำหนดด้วย จากนั้นทำการกำหนดตำแหน่งขาที่ IPAD , OPAD โดยช่อง Name ใส่ LOC และที่ Description ใส่ตำแหน่งขาของ Xilinx โดยแสดงดังรูปที่ 3.13



รูปที่ 3.15 หน้าต่าง Symbol Properties

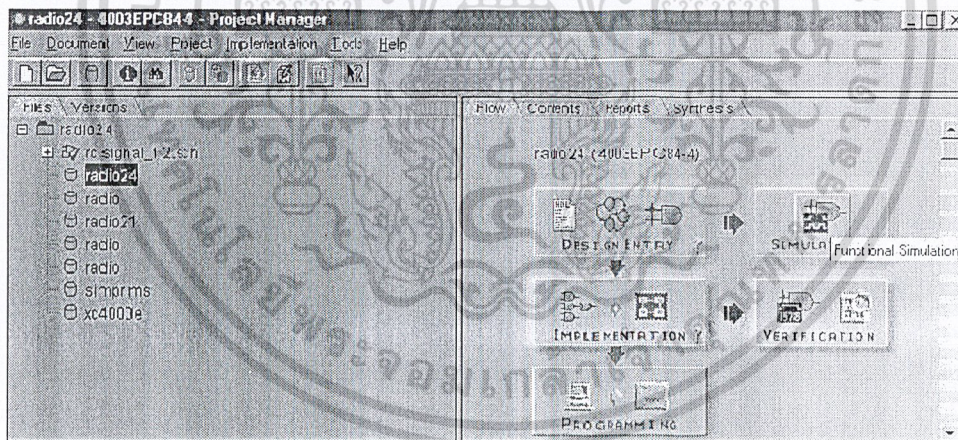
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คลิกเมาส์ที่ Menu Bar เลือกที่ Hierarchy คลิกที่ Add Current Sheet to Project จะแสดงดังรูปที่ 3.14



รูปที่ 3.16 หน้าต่างการเลือกที่ Hierarchy

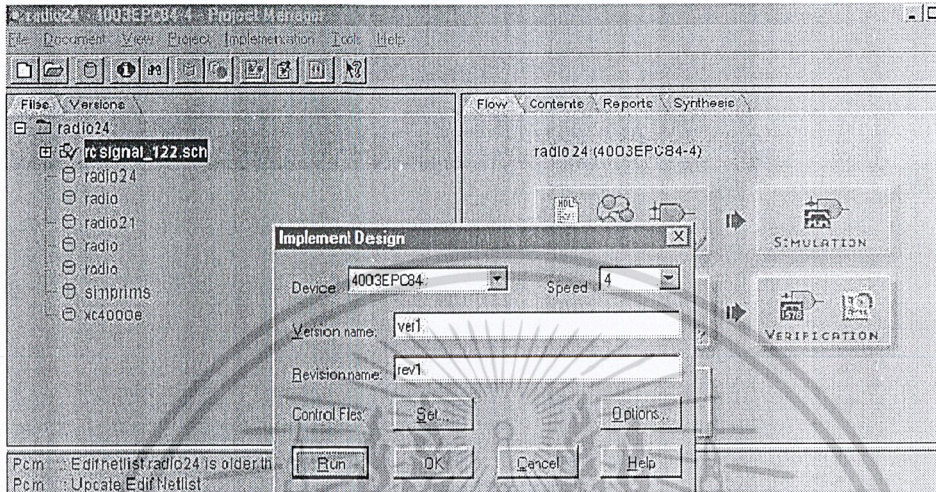
จากนั้นทำการ Simulation แสดงดังรูปที่ 3.15



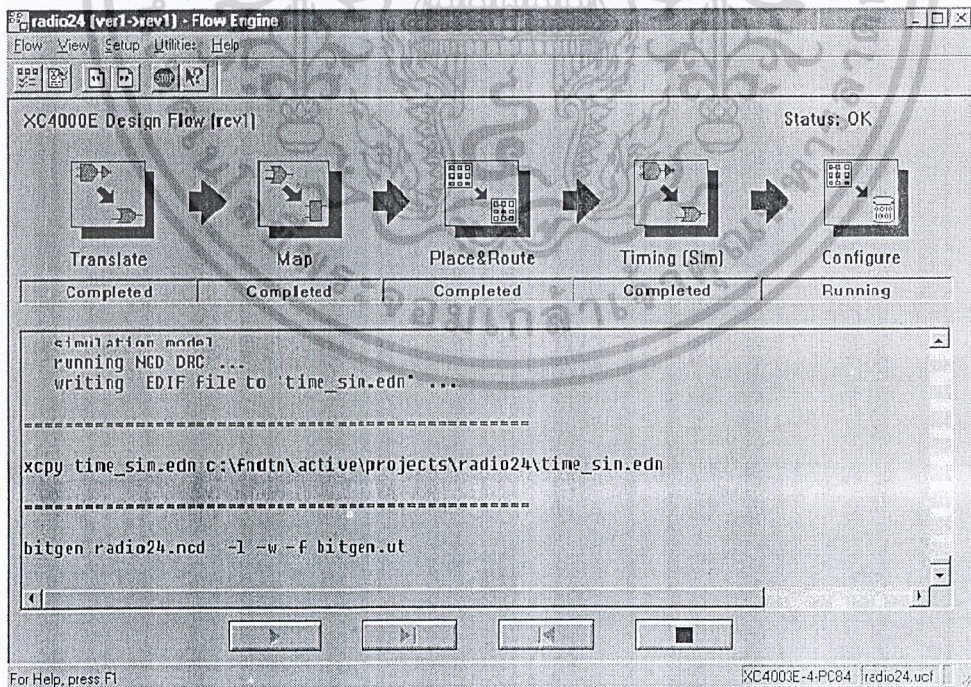
รูปที่ 3.17 หน้าต่าง Project Manager

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากนั้นทำการ Implement แสดงดังรูป 3.16



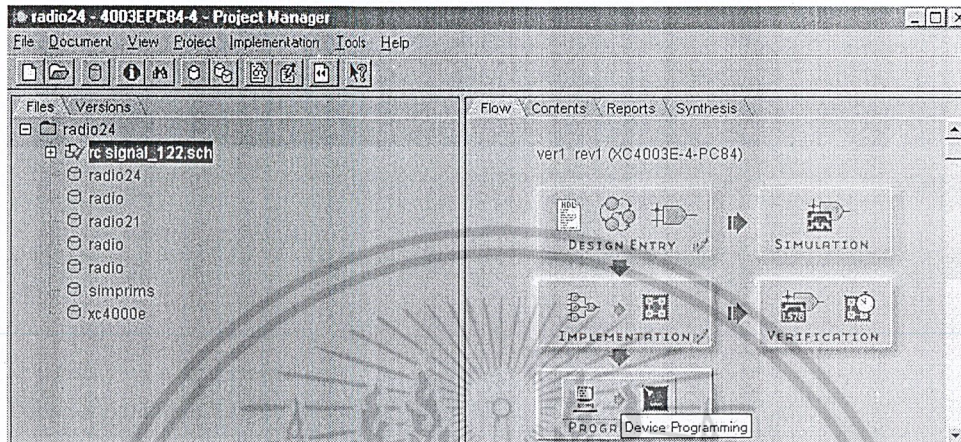
รูปที่ 3.18 หน้าต่าง การ Implement



รูปที่ 3.19 หน้าต่าง กระบวนการสร้างไฟล์บิตสตรีม

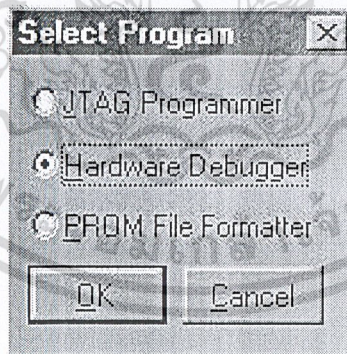
เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อเสร็จกระบวนการแล้วจะได้ไฟล์ที่มีนามสกุล .bit เพื่อดาวน์โหลดลงบน FPGA ดังนั้นทำการโปรแกรมลง FPGA ดังแสดงดังรูปที่ 3.18




รูปที่ 3.20 หน้าต่าง การโปรแกรมลง FPGA

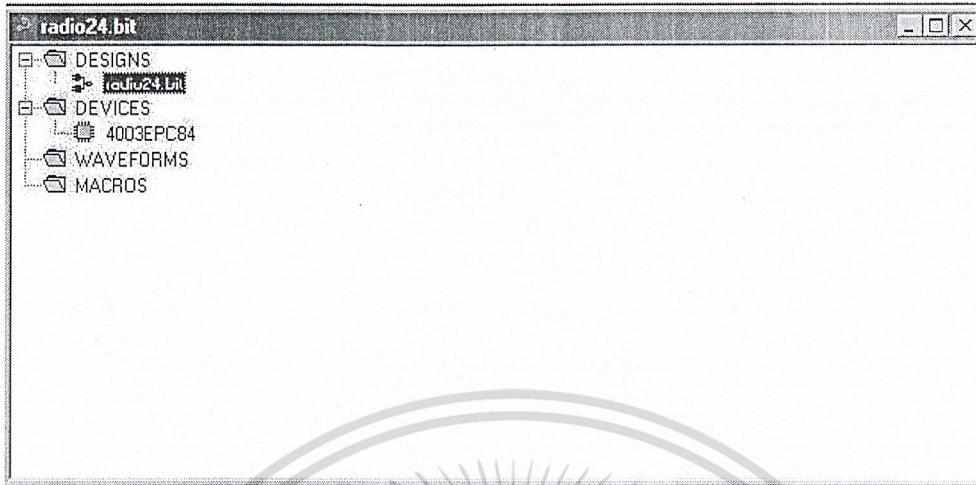
จากนั้นใช้เมาส์คลิกเลือก Hardware Debugger ดังแสดงดังรูปที่ 3.19



รูปที่ 3.21 หน้าต่าง การเลือก Hardware Debugger

เมื่อเสร็จแล้วไปหน้าต่าง Hardware Debugger และเลือกไฟล์ของโปรแกรมที่จะทำการ Download โปรแกรมจากนั้นดังรูปที่ 3.20 ใช้เมาส์คลิกที่  เพื่อ Download โปรแกรมลง FPGA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.22 หน้าต่างการเลือกไฟล์ของโปรแกรม

3.5 ส่วนประกอบต่างๆ ของโครงงานในระดับทรานซิสเตอร์ โดยใช้ CMOS

3.5.1 หลักการเบื้องต้นของ MOS

การออกแบบวงจรรวมตัวแปลงสัญญาณสำหรับการควบคุมระโกลโดยใช้ FPGA และ CMOS โดยอาศัยความนำ CMOS ที่ออกแบบ ใช้หลักการทำงานของมอสทรานซิสเตอร์ในบริเวณอิ่มตัว (Saturation Region) หรือเรียกอีกอย่างหนึ่งว่า กฎกำลังสอง (Squares Law), โดยมีสมการกระแสเดรนของมอสทรานซิสเตอร์ดังนี้

$$I_d = \frac{K}{2} (V_{GS} - V_T)^2 \quad (3.1)$$

โดยที่ $K = \mu C_{OX} \left(\frac{W}{L} \right) \mu = \text{mobility}$ ของพาหะ

C_{OX} = ความจุไฟฟ้าต่อหน่วยพื้นที่

V_T = แรงดันขีดเริ่มเปลี่ยน

μ = ค่าความคล่องของพาหุ์โฮลหรืออิเล็กตรอน

W = ความกว้างของแซนแนล

L = ความยาวของแซนแนล

V_{GS} = แรงดันระหว่างเกตกับซอส

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใด I_D ทั้งสิ้น ยกเว้นให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

นั่นคือจะได้

$$I_D = \frac{1}{2} \left(C_{OX} \right) \left(\frac{W}{L} \right) \left(|V_{GS}| - |V_T| \right)^2 \quad (3.2)$$

ค่า g_m หาได้จาก

$$\begin{aligned} g_m &= 2K \left(|V_{GS}| - |V_T| \right) = C_{OX} \left(\frac{W}{L} \right) \left(|V_{GS}| - |V_T| \right) \\ &= \sqrt{2 \left(C_{OX} \right)} \left(\frac{W}{L} \right) I_D \end{aligned} \quad (3.3)$$

หรือหาได้จาก

$$g_m = 2I_D \left(|V_{GS}| - |V_T| \right) \quad (3.4)$$

โดยที่

g_m = Trans conductance

โดยในการออกแบบวงจรรวมตัวแปลงสัญญาณสำหรับการควบคุมระโกลโดยใช้ FPGA และ CMOS นั้น เลือกใช้ W, L ของ CMOS คือ

โดยที่

L_n = ความยาวของ N - channel

L_p = ความยาวของ P - channel

W_n = ความกว้างของ N - channel

W_p = ความกว้างของ P - channel

โดยกำหนดให้

$L_n = L_p = 2 \mu\text{m}$, $V_{dd} = 5 \text{ V}$

$W_n = 4 \mu\text{m}$

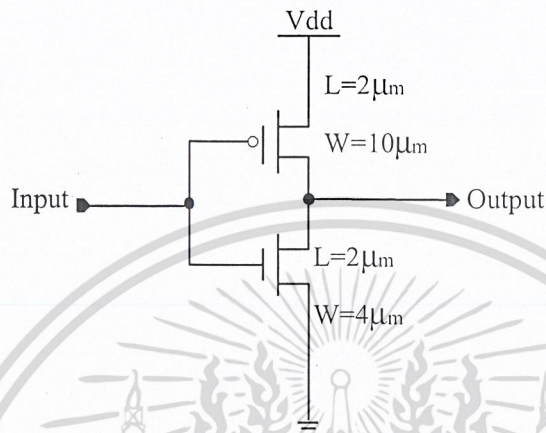
หา W_p

$$W_P = 2.5 \frac{W_N}{L_N} L_P = 2.5 \left(\frac{4\mu}{2\mu} \right) (2\mu) = 10 \mu\text{m}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

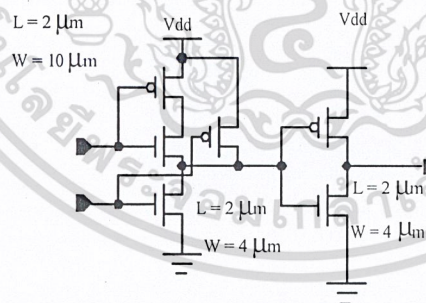
3.5.2 วงจรเกตพื้นฐาน

1) วงจรอินเวอร์เตอร์ ในระดับวงจรถูกแสดงดังรูปที่ 3.23 [8]



รูปที่ 3.23 วงจรอินเวอร์เตอร์ ในระดับวงจรถูก

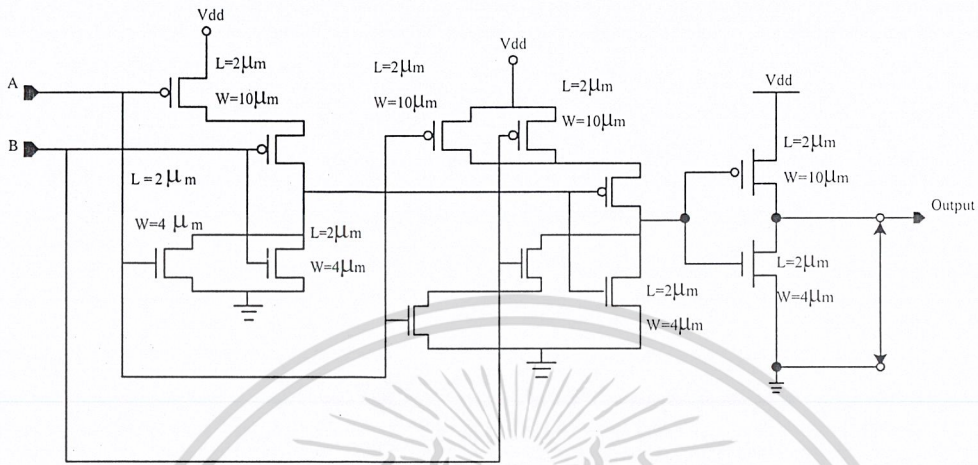
2) วงจรเกตแอนด์ ในระดับวงจรถูกแสดงดังรูปที่ 3.22 [8]



รูปที่ 3.24 วงจรเกตแอนด์ในระดับวงจรถูก

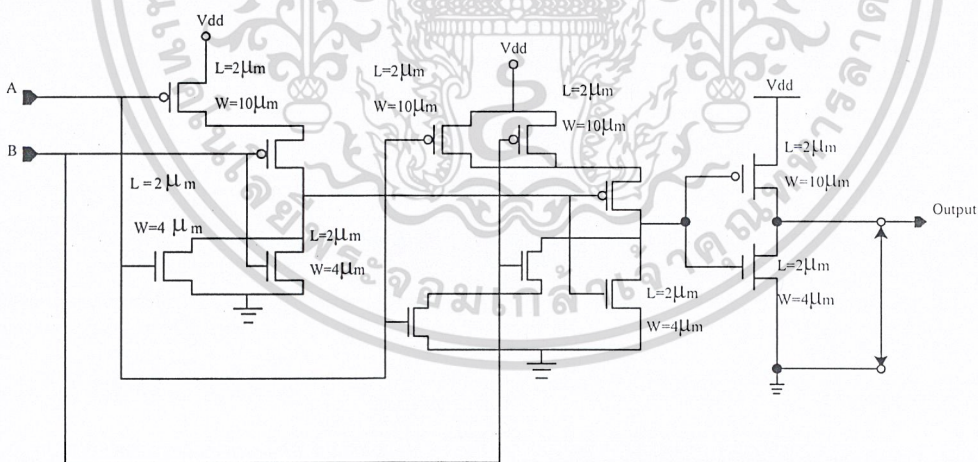
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3) วงจรเกตเตอร์ ในระดับวงจร แสดงดังรูปที่ 3.23 [8]



รูปที่ 3.25 วงจรเกตเตอร์ในระดับวงจร

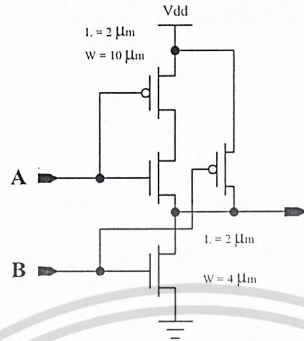
4) วงจรเกตเตอร์ ในระดับวงจร แสดงดังรูปที่ 3.24 [8]



รูปที่ 3.26 วงจรเกตเตอร์ ในระดับวงจร

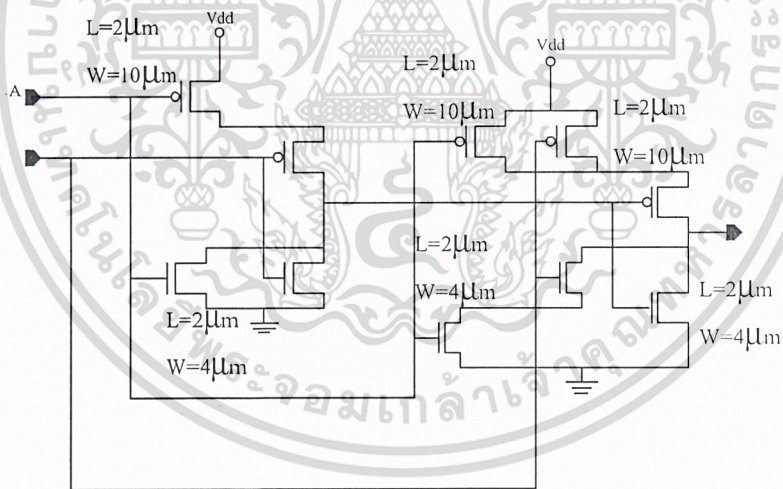
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5) วงจรเกตแนนด์ในระดับวงจร แสดงดังรูปที่ 3.25 [8]



รูปที่ 3.27 วงจรเกตแนนด์ ในระดับวงจร

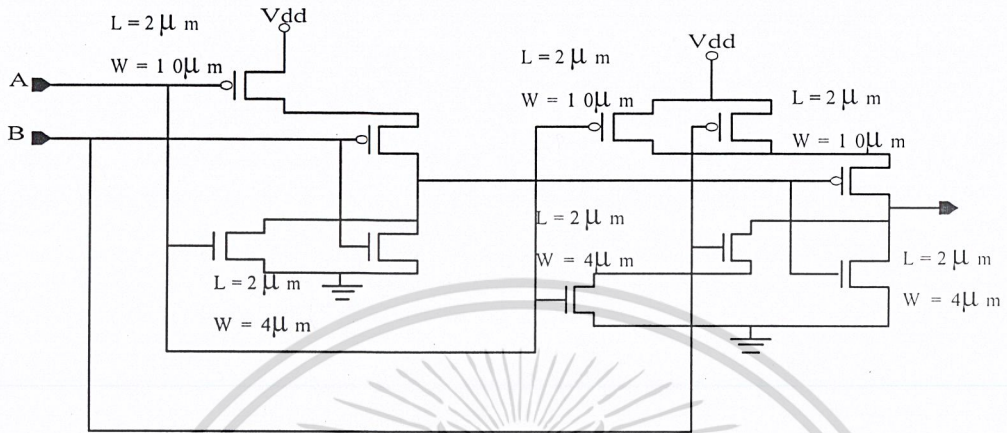
6) วงจรเกตเอ็็กคูลซีฟเฟอร์ในระดับวงจร แสดงดังรูปที่ 3.26 [8]



รูปที่ 3.28 วงจรเกตเอ็็กคูลซีฟเฟอร์ในระดับวงจร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

7) วงจรเกตเอ็็กคูลซีฟเนอร์ ในระดับวงจร แสดงดังรูปที่ 3.27 [8]

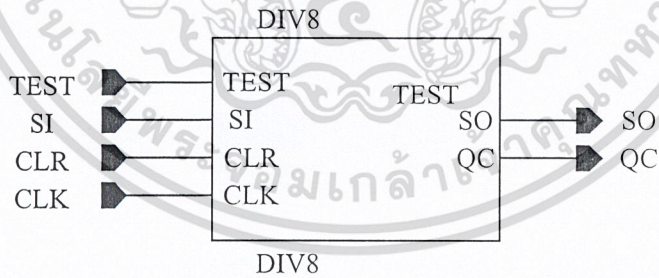


รูปที่ 3.29 วงจรเกตเอ็็กคูลซีฟเนอร์ ในระดับวงจร

3.5.3 ส่วนประกอบต่างๆ ของโครงงานในระดับทรานซิสเตอร์โดยใช้ CMOS

1) ส่วนประกอบภาค DIV8 ดังแสดงดังรูป 3.28 รายละเอียดวงจรภายในดังแสดงดังภาค

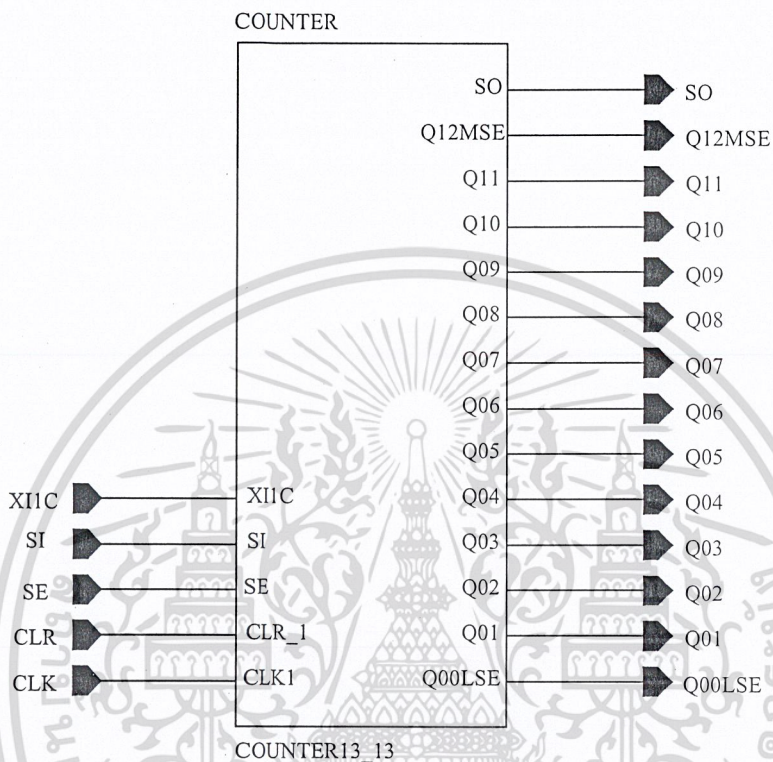
ผนวก ง



รูปที่ 3.30 ผังงานของ DIV8

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

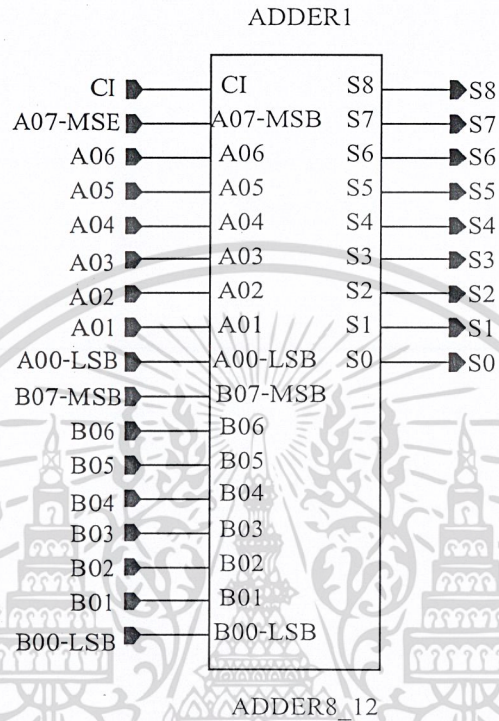
2) ส่วนประกอบภาค COUNTER13_13 ดังแสดงดังรูป 3.29 รายละเอียดวงจรภายในดังแสดงดังภาคผนวก ง



รูปที่ 3.31 ผังงานของ COUNTER13_13

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

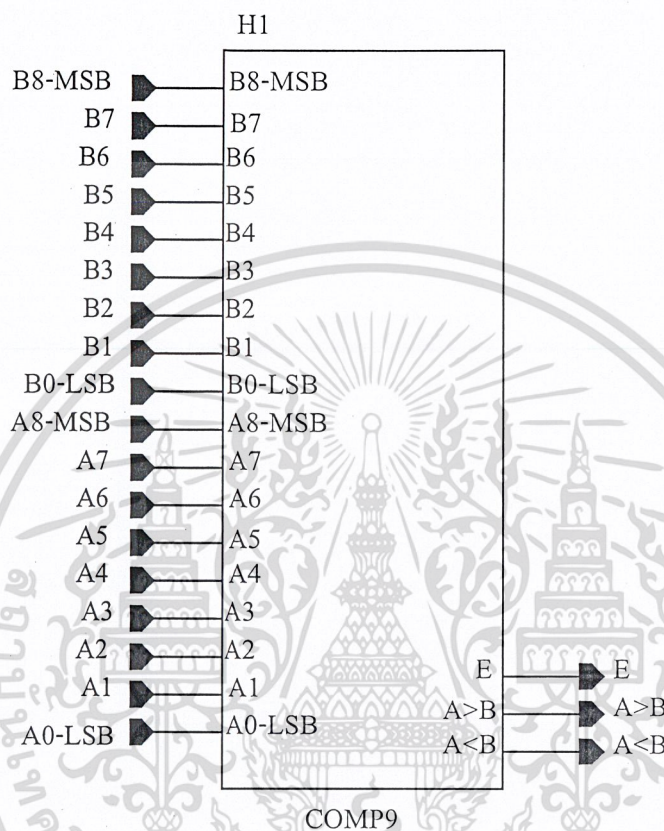
3) ส่วนประกอบภาค ADDER8 12 ดังแสดงดังรูป 3.30 รายละเอียดวงจรมายในดังแสดง
 ดังภาคผนวก ง



รูปที่ 3.32 ผังงานของ ADDER8_12

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

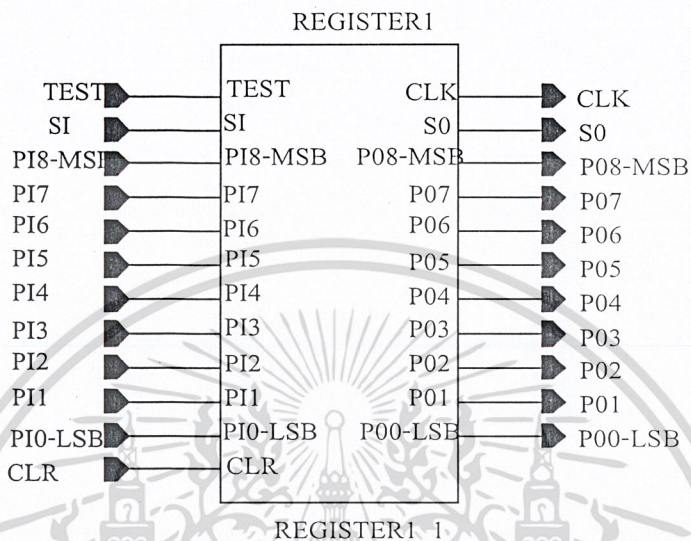
4) ส่วนประกอบภาค COMPARATOR ดังแสดงดังรูป 3.31 รายละเอียดวงจรมายในผังแสดงดังภาคผนวก ง



รูปที่ 3.33 ผังงานของ COMPARATOR

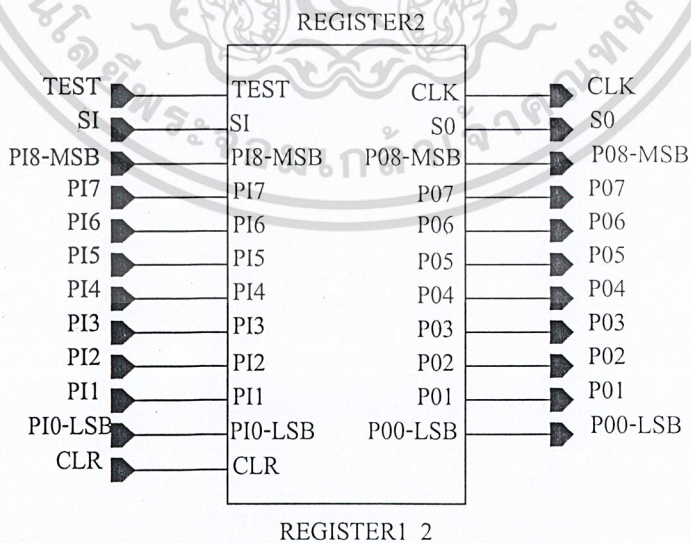
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5) ส่วนประกอบภาค REGISTER1_1 ดังแสดงดังรูป 3.32 รายละเอียดวงจรรายในดังแสดงดังภาคผนวก ง



รูปที่ 3.34 ผังงานของ REGISTER1_1

6) ส่วนประกอบภาค REGISTER1_2 ดังแสดงดังรูป 3.33 รายละเอียดวงจรรายในดังแสดงดังภาคผนวก ง

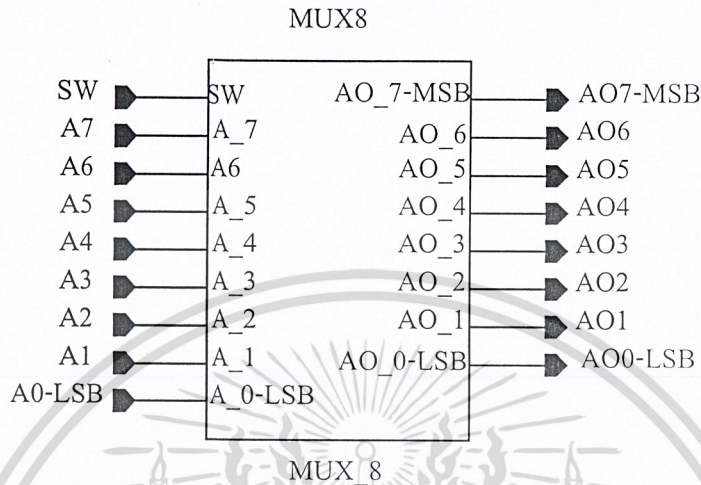


รูปที่ 3.35 ผังงานของ REGISTER1_2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

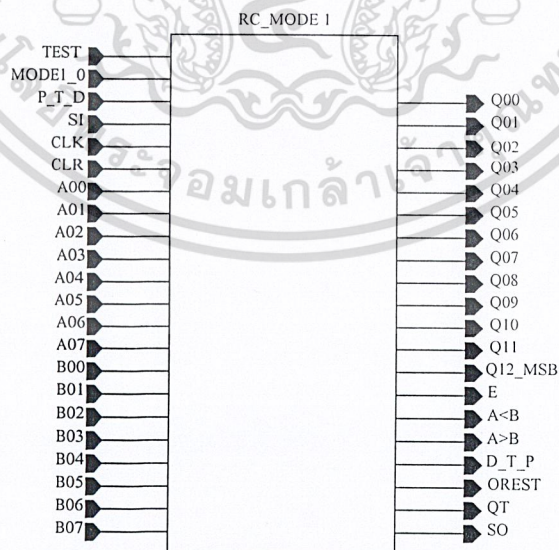
7) ส่วนประกอบภาค MUX_8 ดังแสดงดังรูป 3.34 รายละเอียดวงจรภายในดังแสดงดังภาค

ผนวก ง



รูปที่ 3.36 ผังงานของ MUX_8

8) การทำงานโดยรวมของ โหมด 1 (สัญญาณดิจิทัลแปลงเป็นสัญญาณพัลส์ชั่วคราวที่มอดูเลชัน) รายละเอียดวงจรภายในดังแสดงดังภาคผนวก ง

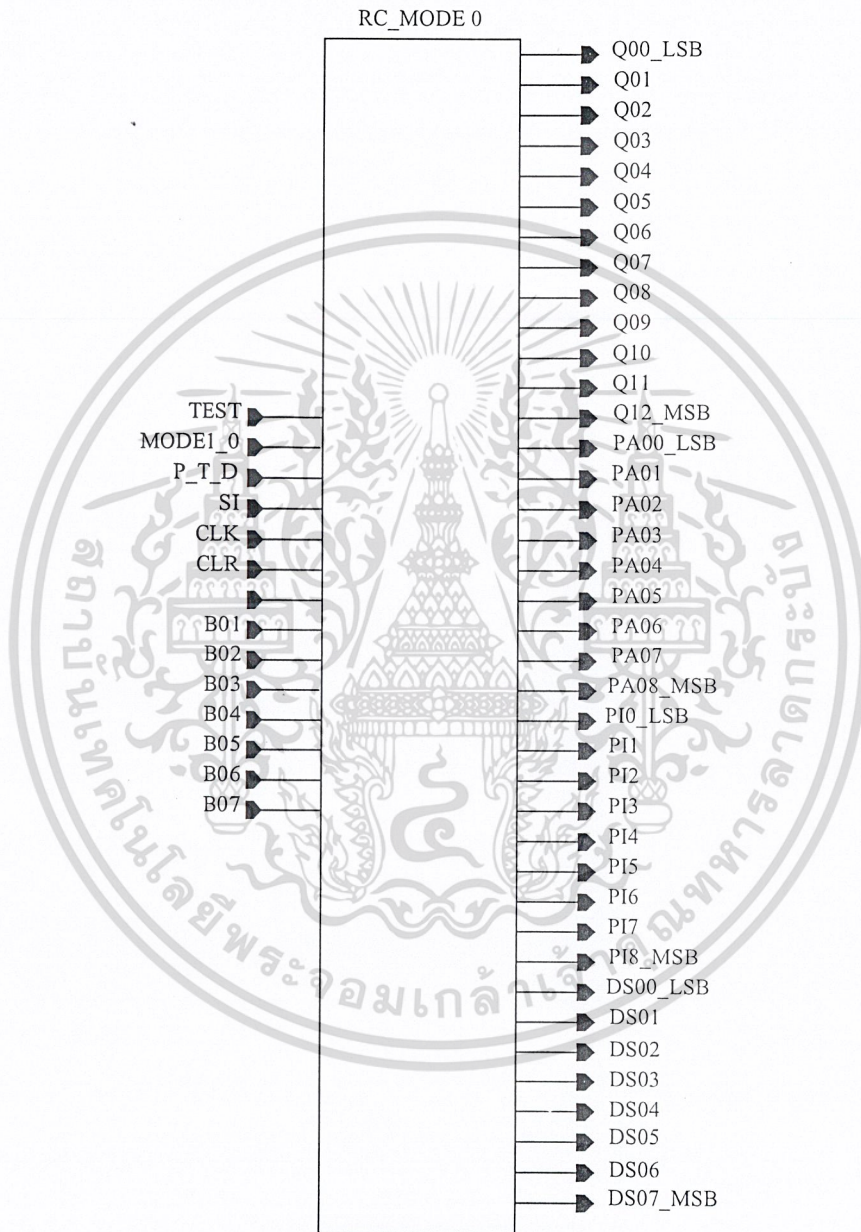


รูปที่ 3.37 ผังงานโดยรวมการทำงานของโหมด 1

เอกสารนี้เป็นเอกสารที่สงวนไว้ใช้สำหรับศึกษาเท่านั้น ไม่ควรนำออกไปเผยแพร่โดยไม่ได้รับอนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

9) การทำงานโดยรวมของโหมด 0 (สัญญาณพัลส์วิดท์มอดูเลชันแปลงเป็นสัญญาณดิจิทัล)

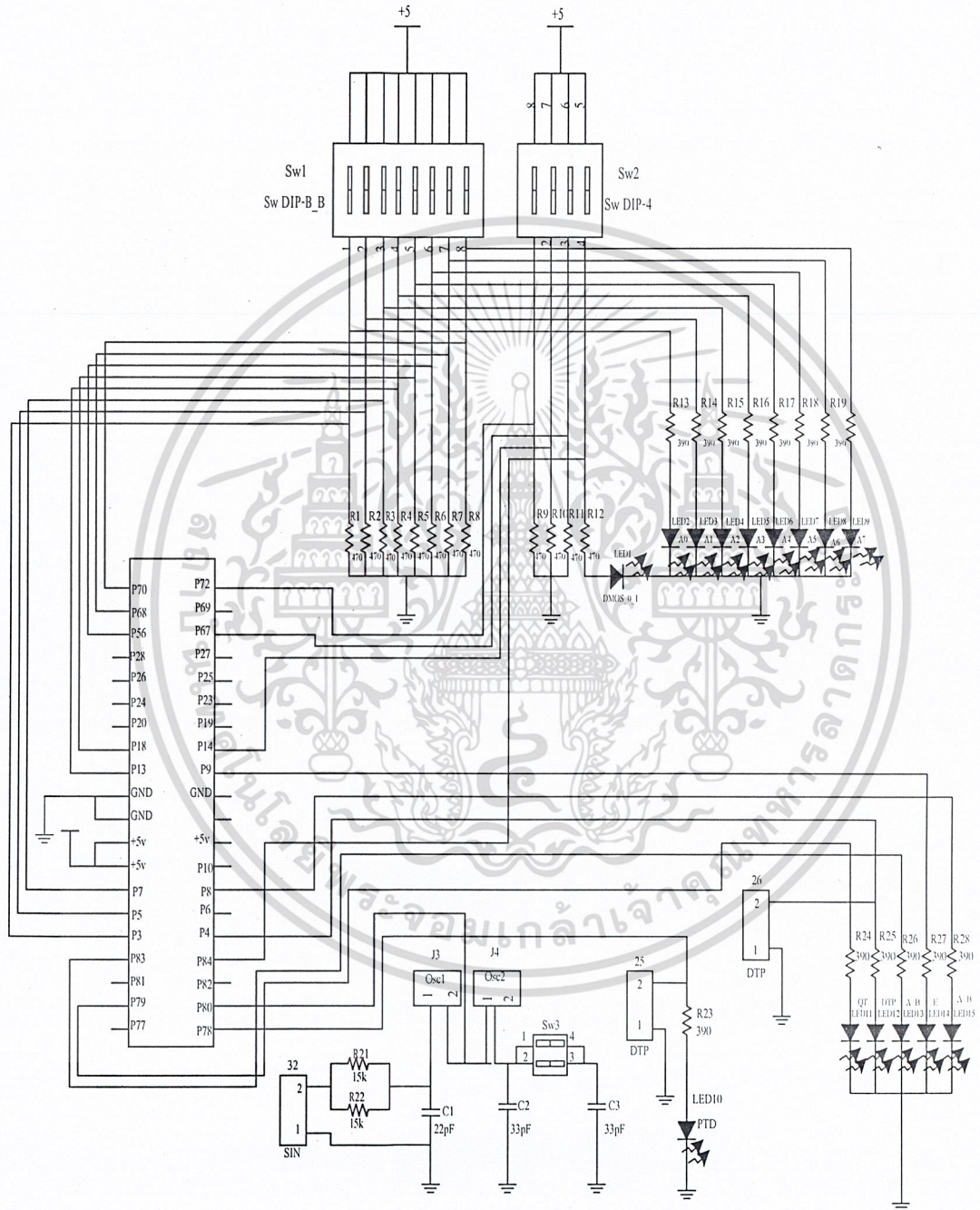
รายละเอียดวงจรภายในดังแสดงดังภาพผนวก ง



รูปที่ 3.38 ผังงานโดยรวมการทำงานของโหมด 0

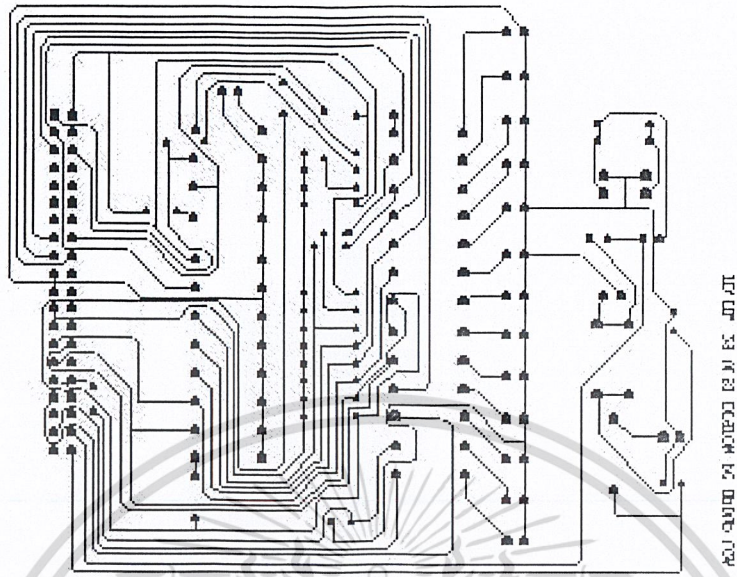
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.6 การออกแบบในส่วนแสดงผล

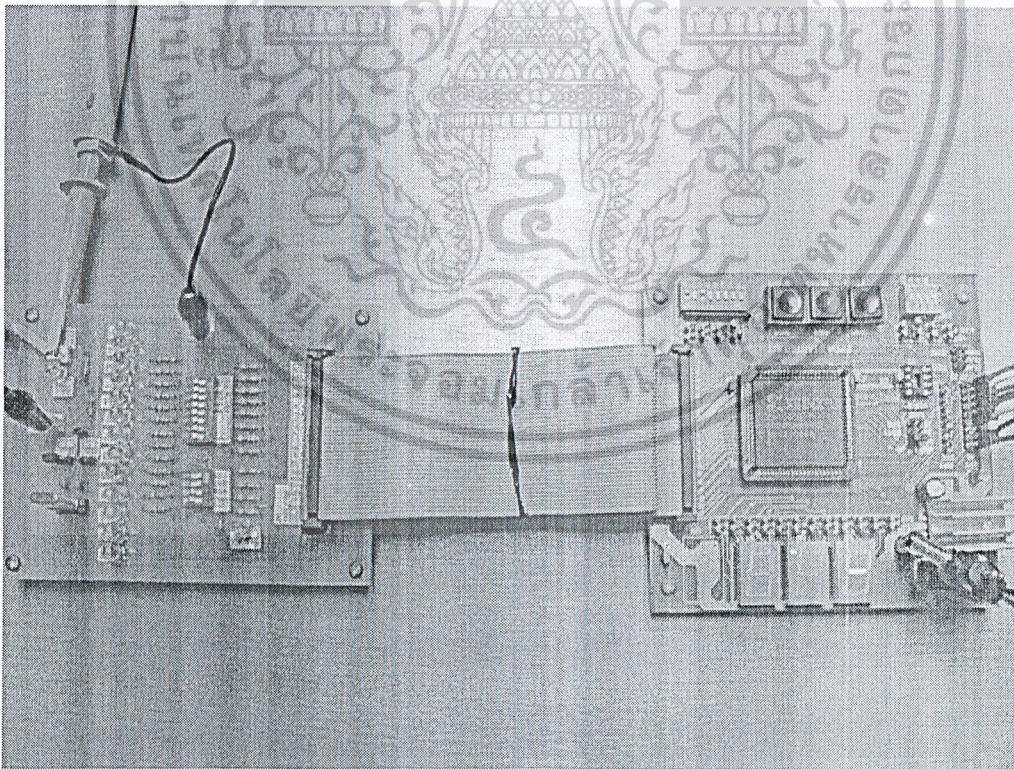


รูปที่ 3.39 แผนภาพวงจรการออกแบบในส่วนแสดงผล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.40 แผ่นลายวงจรพิมพ์



เอกสารนี้เป็นเอกสารที่สละไปไว้สำหรับการใช้งานเพื่อการศึกษาระหว่างนี้ไปนอกเขตให้ทั่วไปใช้ประโยชน์ด้านการค้า
รูปที่ 3.41 แผนภาพการเชื่อมต่อบอร์ด FPGA กับ ส่วนแสดงผล
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.7 ส่วนประกอบต่างๆ ของโครงการในระดับ เลย์เอาต์ โดยใช้วิธี Full Custom

3.7.1 การเขียนเลย์เอาต์

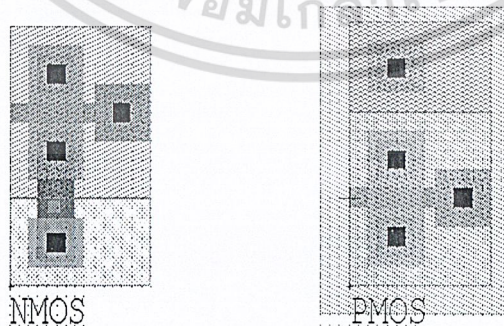
การเขียนเลย์เอาต์ของการออกแบบวงจรรวมตัวแปลงสัญญาณสำหรับการควบคุมระยะไกลโดยใช้ FPGA และ CMOS นั้นได้ออกแบบโดยใช้เทคโนโลยี CMOS ของ Mosis ชื่อ Morbn20 ซึ่งเป็นเทคโนโลยี 2 ไมครอน โดยในเทคโนโลยีนี้มีรายละเอียดของวัสดุ แต่ละชั้นดังรายละเอียดดังนี้

- 1) Cell0
- 2) DRC_11_P2-Cap
- 3) DRC_12_P2-Transistor
- 4) DRC_13_P2Cnt
- 5) DRC_16_NPN Bipolar Transistor
- 6) DRC_19_CCD
- 7) DRC_1_Well
- 8) DRC_2_Active
- 9) DRC_3_Poly
- 10) DRC_4_Selects
- 11) DRC_5_PolyCnt
- 12) DRC_6_ActCnt
- 13) DRC_7_Metal1
- 14) DRC_8_Via
- 15) DRC_9_Metal2
- 16) DRC_Basic
- 17) DRC_Poly2Rules
- 18) DRC_Rules
- 19) EXT_C-NMOS
- 20) EXT_C-P1P2
- 21) EXT_C-PMOS
- 22) EXT_D_lat

เอกสารนี้เป็น 23) EXT_Devices สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใด 24) EXT_NMOS ห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- 25) EXT_NMOSp2
- 26) EXT_NPN
- 27) EXT_Pad
- 28) EXT_PMOS
- 29) EXT_PMOSp2
- 30) EXT_PNP_lateral
- 31) EXT_PNP_vertical
- 32) EXT_R-Ndiff
- 33) EXT_R-NWell
- 34) EXT_R-PBase
- 35) EXT_R-Pdiff
- 36) EXT_R-Poly
- 37) EXT_R-Poly2
- 38) EXT_Schem
- 39) XST_CCD
- 40) XST_Device
- 41) XST_INV

จากเทคโนโลยีสามารถเขียนเลย์เอาต์ของ NMOS และ PMOS ได้ดังรูปที่ 3.10



รูปที่ 3.42 เลย์เอาต์ของ NMOS และ PMOS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ซึ่งเลย์เอาต์ของ NMOS ประกอบด้วยชั้นสาร (Layer) ต่างๆ ดังนี้
 ไม่ว่าจะกรณีใดๆ ทั้งสิ้น ยกเว้นที่ มิม่เห็นดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- 1) N Select
- 2) Active
- 3) Metal 1
- 4) Poly
- 5) Active Contact
- 6) Pselect

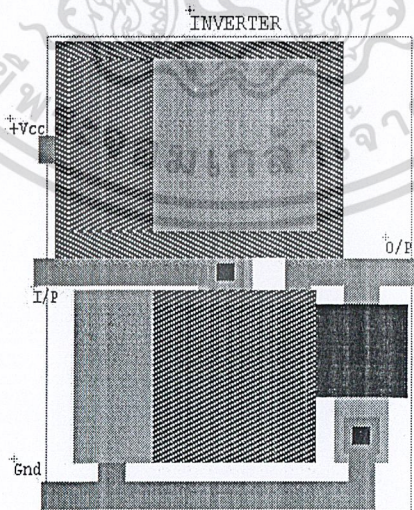
และเลย์เอาต์ของ PMOS ประกอบด้วยชั้นสารต่างๆ ดังนี้

- 1) N Select
- 2) Metal 1
- 3) Active Contact
- 4) Active
- 5) P Select
- 6) Poly
- 7) N Well

วิธีการคำนวณหาค่า W และค่า L ของ NMOS และ PMOS แสดงดัง [2]

3.7.2 วงจรเกตพื้นฐาน

- 1) วงจรอินเวอร์เตอร์ ในระดับเลย์เอาต์ แสดงดังรูปที่ 3.43 [2]

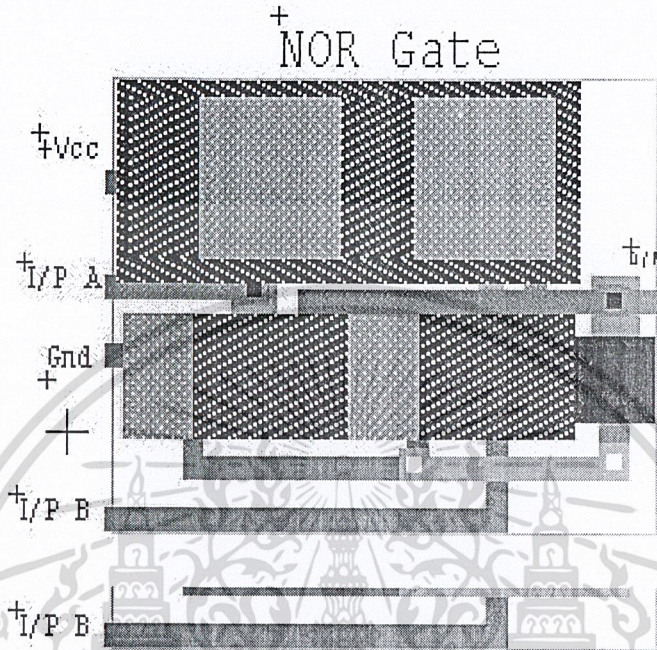


รูปที่ 3.43 วงจรอินเวอร์เตอร์ ในระดับเลย์เอาต์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมีเหตุดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

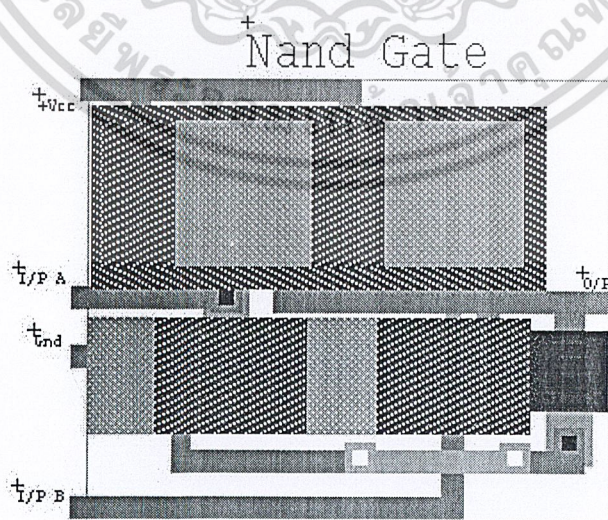
- 2) วงจรเกตแอนด์ ในระดับเลย์เอาต์ แสดงดังรูปที่ 3.44 [2]

4) วงจรเกตนอร์ ในระดับเลย์เอาต์ แสดงดังรูปที่ 3.46 [2]



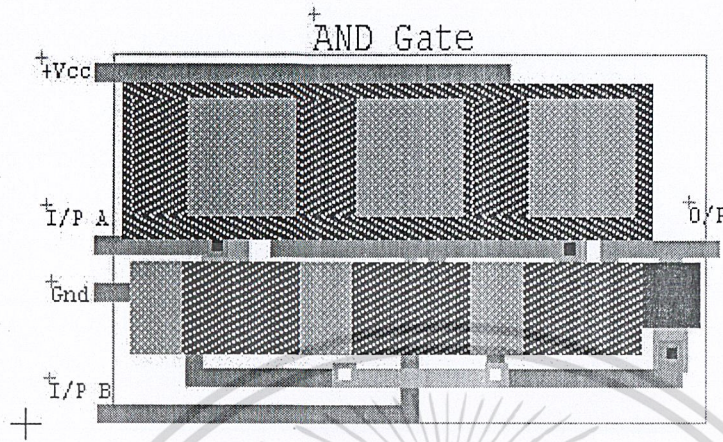
รูปที่ 3.46 วงจรเกตนอร์ ในระดับเลย์เอาต์

5) วงจรเกตแนนด์ ในระดับเลย์เอาต์ แสดงดังรูปที่ 3.47 [2]



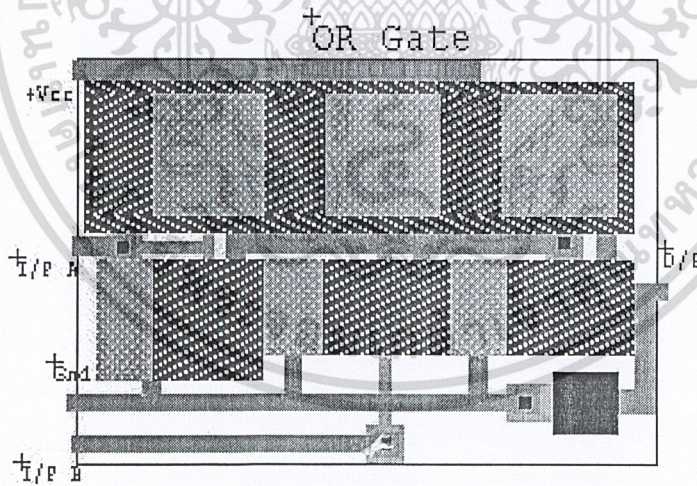
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามรูปที่ 3.47 วงจรเกตแนนด์ ในระดับเลย์เอาต์ อย่เอกสารทุกครั้งที่มีการนำไปใช้

2) วงจรเกตแอนด์ ในระดับเลย์เอาต์ แสดงดังรูปที่ 3.44 [2]



รูปที่ 3.44 วงจรเกตแอนด์ ในระดับเลย์เอาต์

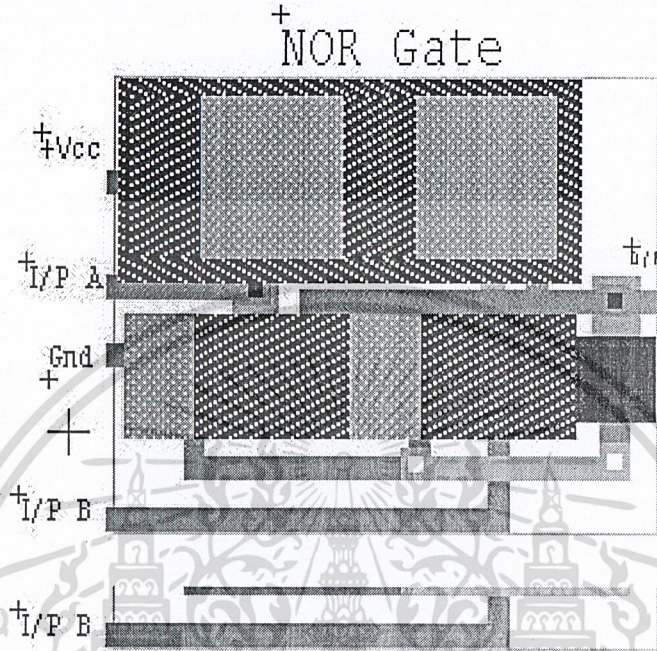
3) วงจรเกตออร์ในระดับเลย์เอาต์ แสดงดังรูปที่ 3.45 [2]



รูปที่ 3.45 วงจรเกตออร์ในระดับเลย์เอาต์

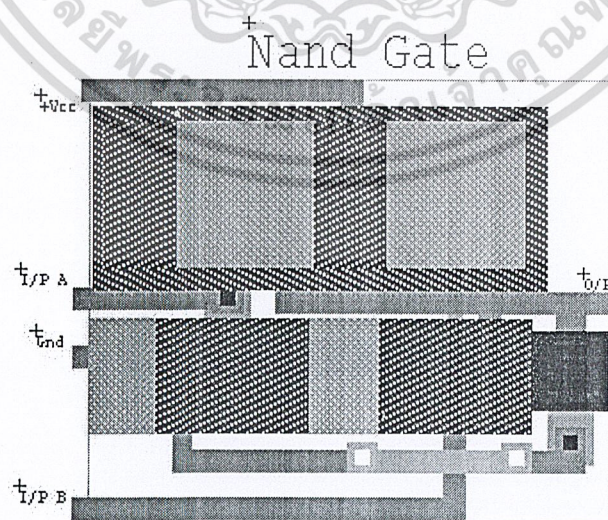
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4) วงจรเกตนอร์ ในระดับเลย์เอาต์ แสดงดังรูปที่ 3.46 [2]



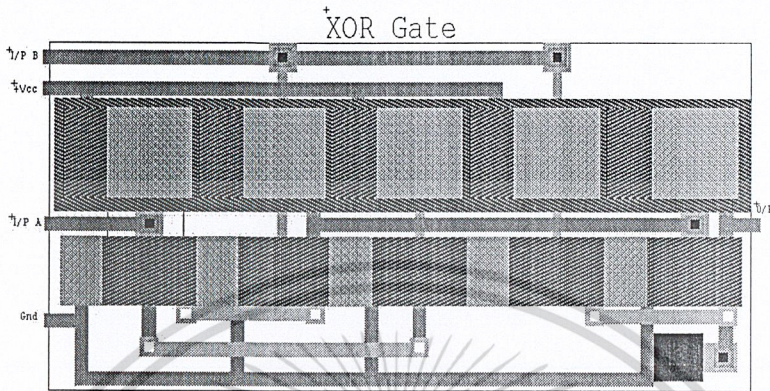
รูปที่ 3.46 วงจรเกตนอร์ ในระดับเลย์เอาต์

5) วงจรเกตนแนนด์ ในระดับเลย์เอาต์ แสดงดังรูปที่ 3.47 [2]



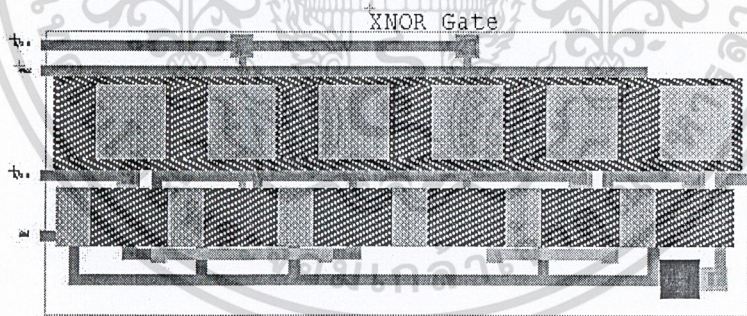
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ารูปที่ 3.47 วงจรเกตนแนนด์ ในระดับเลย์เอาต์ ้องเอกสารทุกครั้งที่มีการนำไปใช้

6) วงจรเกตเอ็กคูลซีฟออร์ในระดับเลย์เอาต์ แสดงดังรูปที่ 3.48 [2]



รูปที่ 3.48 วงจรเกตเอ็กคูลซีฟออร์ในระดับเลย์เอาต์

7) วงจรเกตเอ็กคูลซีฟนอร์ในระดับเลย์เอาต์ แสดงดังรูปที่ 3.49 [2]



รูปที่ 3.49 วงจรเกตเอ็กคูลซีฟนอร์ในระดับเลย์เอาต์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.7.3 ส่วนประกอบต่างๆ ของโครงการในระดับ เลย์เอาต์ โดยใช้วิธี Full Custom

- 1) ส่วนประกอบภาค DIV8 รายละเอียดวงจรภายในดังแสดงดังภาคผนวก ง
- 2) ส่วนประกอบภาค ADDER8_12 รายละเอียดวงจรภายในดังแสดงดังภาคผนวก ง
- 3) ส่วนประกอบภาค ADDER8_1 รายละเอียดวงจรภายในดังแสดงดังภาคผนวก ง
- 4) ส่วนประกอบภาค COUNTER รายละเอียดวงจรภายในดังแสดงดังภาคผนวก ง
- 5) ส่วนประกอบภาค COMPARATOR รายละเอียดวงจรภายในดังแสดงดังภาคผนวก ง
- 6) ส่วนประกอบภาค REGISTER1_1 รายละเอียดวงจรภายในดังแสดงดังภาคผนวก ง
- 7) ส่วนประกอบภาค REGISTER1_12 รายละเอียดวงจรภายในดังแสดงดังภาคผนวก ง
- 8) ส่วนประกอบภาค MUX8 รายละเอียดวงจรภายในดังแสดงดังภาคผนวก ง



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

การทดลอง และผลการทดลอง

4.1 กล่าวนำ

ในการออกแบบวงจรรวมตัวแปลงสัญญาณสำหรับการควบคุมระยะไกลโดยใช้ CMOS และ FPGA ตามหลักการที่ได้นำเสนอมาแล้วนั้น เพื่อเป็นการทดลองและยืนยันว่าวงจรที่ได้ทำการออกแบบขึ้นดังกล่าวนี้ สามารถทำงานได้ตามหลักการที่ได้เสนอขึ้นมาและมีคุณสมบัติของวงจรเป็นไปตามที่คาดหมายไว้ ส่วนในบทนี้จะกล่าวถึงการทดสอบการทำงานและผลการทดลองของวงจรรวมตัวแปลงสัญญาณสำหรับการควบคุมระยะไกลโดยใช้ FPGA และ CMOS โดยได้ลักษณะผลการทดลองออกเป็น 2 ส่วน คือ ส่วนการออกแบบในระดับเกตโดยใช้ FPGA นั้นจะออกแบบโดยแผนภาพวงจร และทำการ Implementation ลงอุปกรณ์ FPGA ตระกูล XC 4000E โดยใช้โปรแกรม Xilinx Foundation Series 2.1 และการออกแบบในระดับ เลย์เอาต์ นั้น โดยการออกแบบด้วยวิธี Full Custom โดยใช้ CMOS โดยใช้โปรแกรม T-Spice และ L-Edit เป็นโปรแกรมที่มีความสะดวกในการวิเคราะห์และมีความแม่นยำสูงมากโปรแกรมหนึ่ง

4.2 การทดลอง และผลการทดลองใน ส่วนประกอบต่างๆ ของโครงการในระดับเกตโดยใช้อุปกรณ์ FPGA

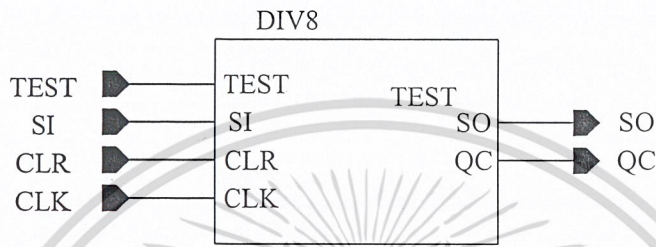
จากการออกแบบวงจรรวมตัวแปลงสัญญาณสำหรับการควบคุมระยะไกลโดยใช้ FPGA และ CMOS ได้แบ่งการทำงานออกเป็น 2 โหมดการทำงานดังนี้ คือ โหมดที่ 1 ประกอบไปด้วย DIV8 , COUNTER , ADDER8_12 , COMPARATOR โหมด 0 ประกอบไปด้วย DIV8 , COUNTER , REGISTER1_1 , ADDER8_1 , REGISTER1_12 , MUX8 ซึ่งสัญญาณแต่ละตัวก็จะมีหน้าที่การทำงานและผลการทำงานที่แตกต่างกัน

4.2.1 ส่วนประกอบในโหมดที่ 1

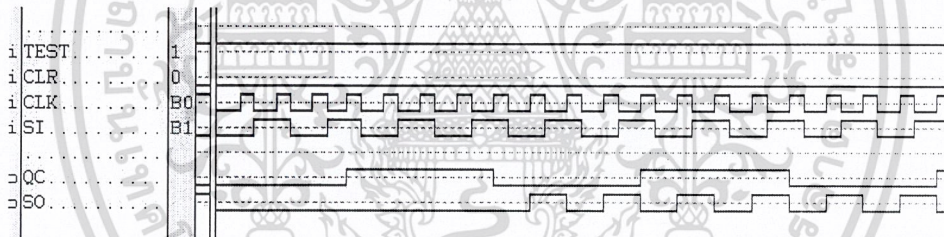
1) ผลการจำลองการทำงานของสัญญาณภาค DIV8

จากการทดลองเขียนแบบการทำงานของผังงาน DIV8 ในรูปที่ 4.1 โดยใช้โปรแกรม Xilinx Foundation Series 2.1 ได้ผลการทดลองดังรูปที่ 4.2 จะเห็นว่าเป็นภาพที่ทำหน้าที่หารความถี่ที่ได้รับมาจาก OSCIM โดยภายใน DIV8 นั้นจะมีวงจรรหาร 8 อยู่โดยรับความถี่ 1 เมกะเฮิร์ตซ์ จาก OSCIM เมื่อผ่าน DIV8 แล้ว ความถี่ที่ได้มีความถี่เท่ากับ 125 กิโลเฮิร์ตซ์ ภาค DIV8 จะมีขาคับคุมการ

ทำงานอยู่ 2 ขา คือ ขา TEST และขา CLR โดยจะให้ DIV8 ทำงานต้องป้อนลอจิก “1” และ “0” ให้กับขา TEST ขา CLR ตามลำดับ ขา Serial in (SI) ทำหน้าที่รับข้อมูลที่ละบิต ส่งไปยังเอาต์พุต Serial out (SO) ขา CLK ทำหน้าที่รับความถี่จาก OSC1M เอาต์พุต ความถี่ที่ได้ออกที่ QC ส่งความถี่ที่ได้ 125 กิโลเฮิร์ตซ์ ไปยังภาค COUNTER ต่อไป รายละเอียดวงจรภายในแสดงดังภาคผนวก ง



รูปที่ 4.1 ฟังก์ชันของ DIV8



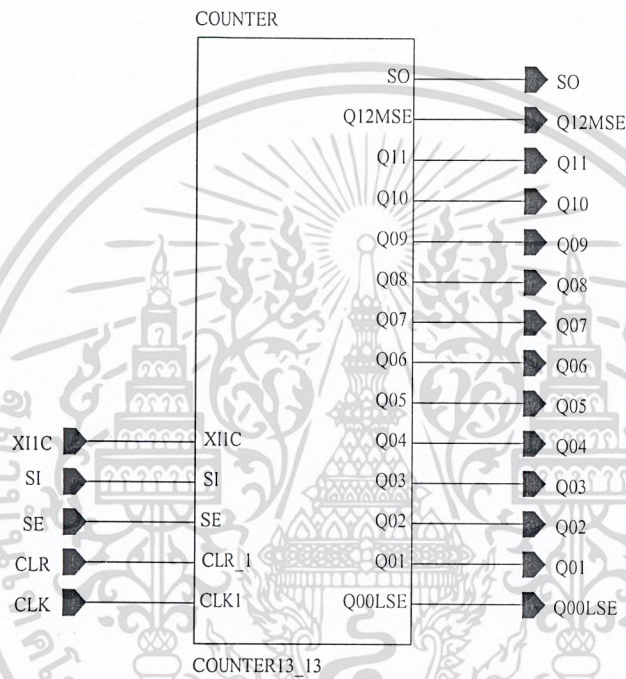
รูปที่ 4.2 ผลการเลียนแบบการทำงานของภาค DIV8

2) ผลการจำลองการทำงานของสัญญาณภาค COUNTER

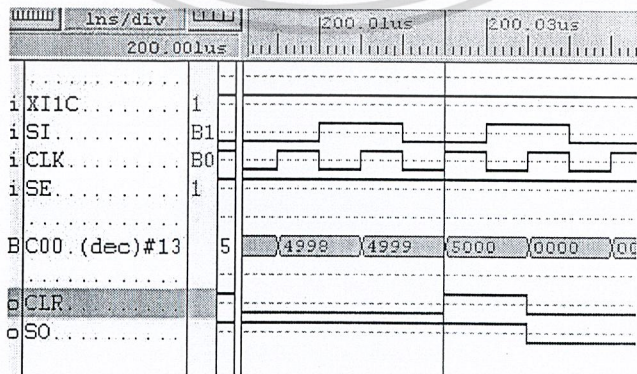
จากการทดลองเลียนแบบการทำงานของฟังก์ชัน COUNTER ในรูปที่ 4.3 โดยใช้โปรแกรม Xilinx Foundation Series 2.1 ได้ผลการทดลองดังรูปที่ 4.4 จะเห็นว่าเป็นภาพที่ทำหน้าที่เป็นวงจรมีขนาด 13 บิต (นับ 0-8191) โดยมี ขา XIIC ขา SE ขา CLR เป็นตัวกำหนดการทำงาน โดยจะให้วงจรมีการทำงานป้อนลอจิก “1” ให้กับ ขา XIIC ขา SE ป้อนลอจิก “0” ให้กับขา CLR โดยขา XIIC ทำหน้าที่ 2 หน้าที่ด้วยกันคือ ป้อนลอจิก “1” ให้กับ ขา XIIC จะทำหน้าที่เป็น วงจรมี และถ้าป้อนลอจิก “0” ให้กับ ขา XIIC จะหยุดการนับ และถ้าป้อนลอจิก “1” ให้กับ ขา XIIC จะทำหน้าที่ รายละเอียดวงจรภายในแสดงดังภาคผนวก ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เป็นวงจรมีตามปกติ ขา SI รับข้อมูลจาก SO ของภาค DIV8 ขา CLK จะรับสัญญาณความถี่จาก QC ของภาค DIV8 มีความถี่ 125 กิโลเฮิร์ตซ์ และเอาต์พุตของวงจรมี 9 บิต ไปเข้าภาค COMPARATOR ส่วนขา CLR จะทำงาน ก็ต่อเมื่อวงจรมี นับถึง 5000 ข้อมูลผ่านภาคดีโค้ด ภาคดีโค้ดจะดีโค้ด ที่ตำแหน่ง 5000 เอาต์พุตที่ได้จะเป็นลอจิก “1” ก็จะเกิดขีรระบบการทำงานและเริ่มนับอีกครั้ง รายละเอียดวงจรภายในดังแสดงดังภาคผนวก ง



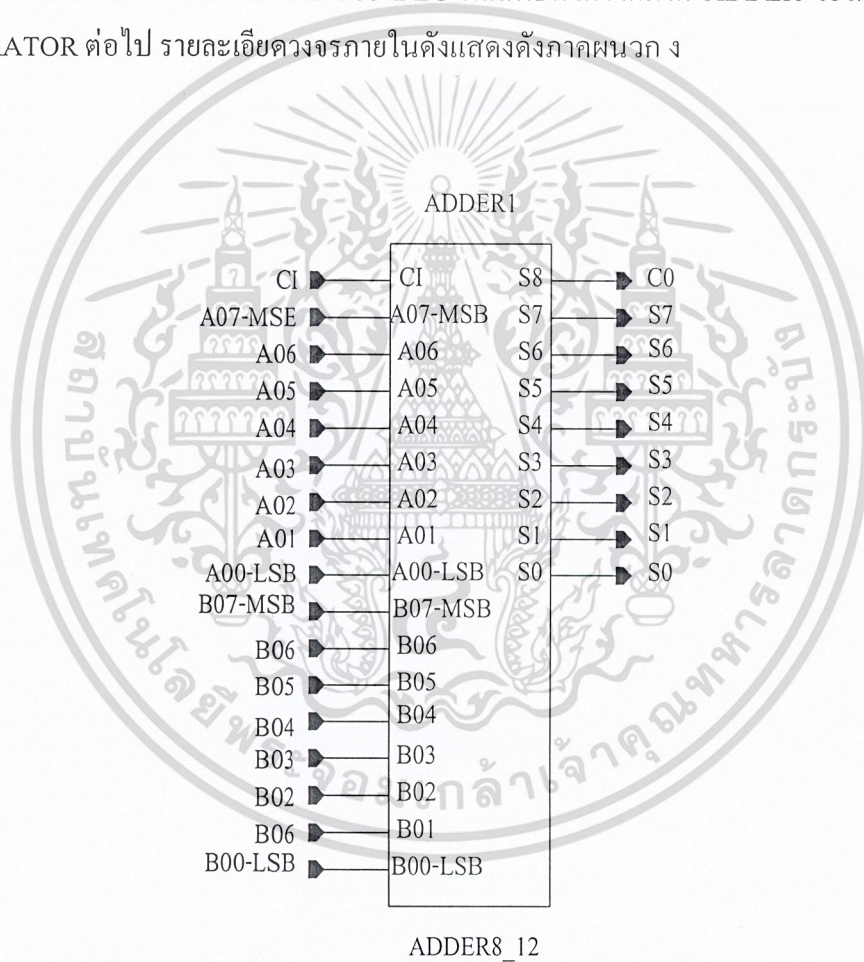
รูปที่ 4.3 ฟังงานของ COUNTER



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น **รูปที่ 4.4** ผลการเดินแบบการทำงานของภาค COUNTER ทุกครั้งที่มีการนำไปใช้

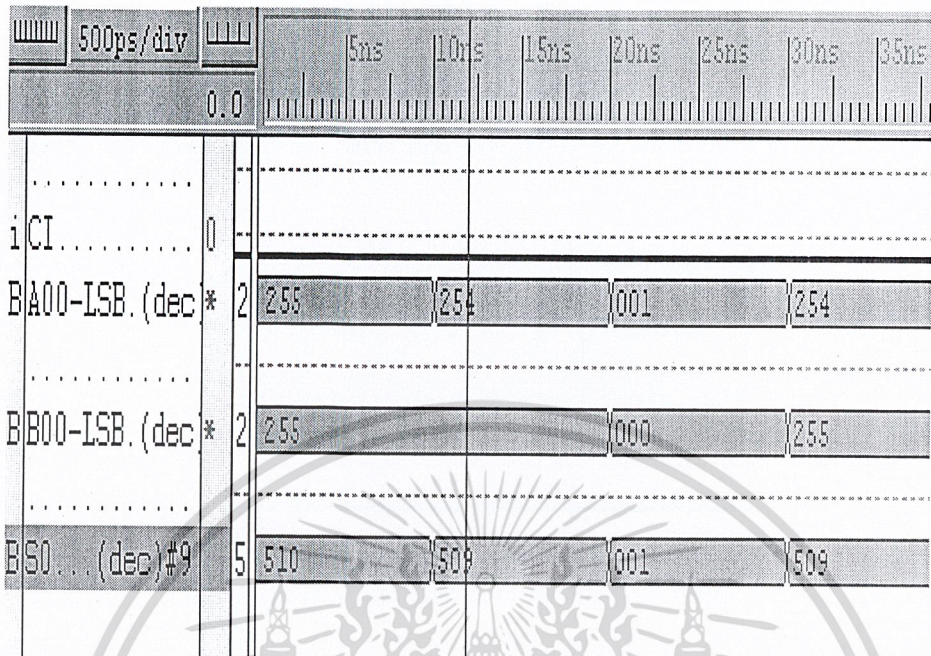
3) ผลการจำลองการทำงานของสัญญาณภาค ADDER8_12

จากการทดลองเขียนแบบการทำงานของผังงาน ADDER8_12 ดังในรูปที่ 4.5 โดยใช้โปรแกรม Xilinx Foundation Series 2.1 ได้ผลการทดลองดังรูปที่ 4.6 จะเห็นว่าเป็นภาพที่ทำหน้าที่ในการบวกข้อมูลขนาด 8 บิต ที่ได้จาก ขาสัญญาณ A (A0-A7) มีค่าเท่ากับ 10DEC และขาสัญญาณ B (B0-B7) มีค่าเท่ากับ 250 DEC และ ตัวทดเข้า (Carry in CI) อีก 1 ตัวมีค่าเท่ากับ 0 การทำงานจะให้บวกข้อมูลกัน 2 ชุด คือ A บวกกับข้อมูลจาก B และ CI บวกกับข้อมูลจาก A และข้อมูลจาก B ซึ่งจะได้ผลลัพธ์ที่มีขนาด 9 บิตมีค่าเท่ากับ 260 DEC ผลลัพธ์ที่ได้จากภาค ADDER จะส่งไปยังภาค COMPARATOR ต่อไป รายละเอียดวงจรภายในดังแสดงดังภาคผนวก ง



รูปที่ 4.5 ผังงานของ ADDER8_12

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

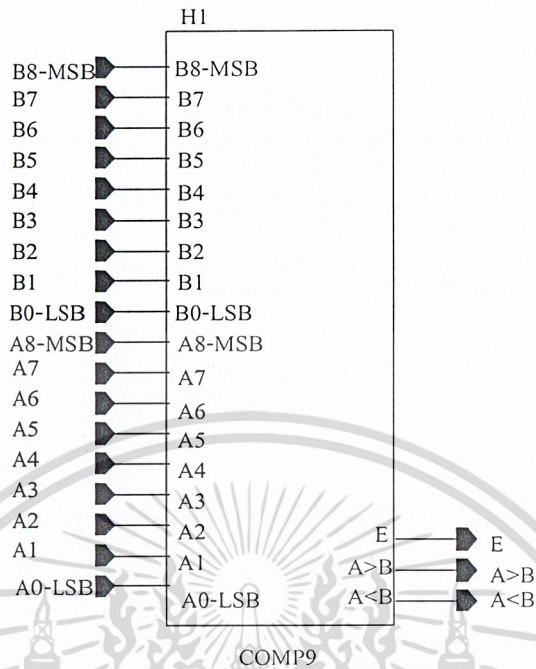


รูปที่ 4.6 ผลการเดินแบบการทำงานของภาค ADDER8_12

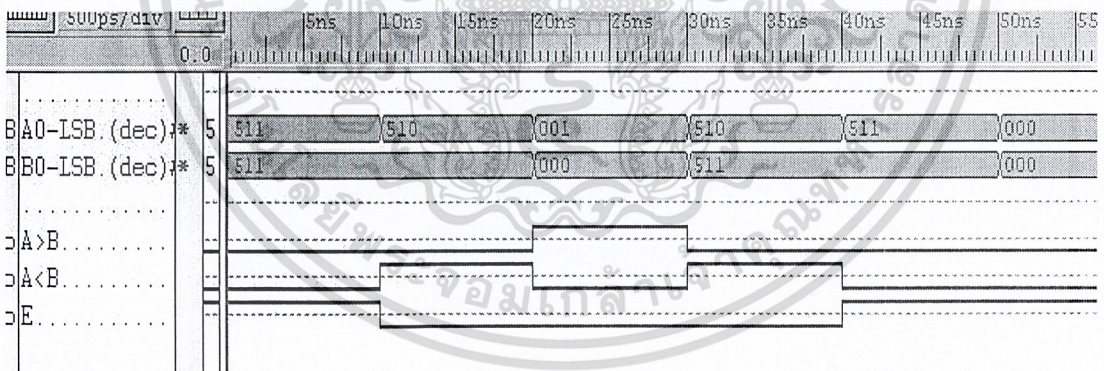
4) ผลการจำลองการทำงานของสัญญาณภาค COMPARATOR

จากการทดลองเดินแบบการทำงานของผังงาน COMPARATOR ดังในรูปที่ 4.7 โดยใช้โปรแกรม Xilinx Foundation Series 2.1 ได้ผลการทดลองดังรูปที่ 4.8 จะเห็นว่าเป็นภาพที่ทำหน้าที่เปรียบเทียบข้อมูลขนาด 9 บิต ค่าที่ได้จากภาค ADDER (สายสัญญาณ A) และ ภาค COUNTER (สายสัญญาณ B) ดังรูปที่ 4.8 โดยจะเปรียบเทียบข้อมูลและผลลัพธ์ที่ได้ จะมี 3 สถานะการทำงาน คือ กรณี $A > B$ ดังแสดงในรูป 4.8 $A < B$ ดังแสดงในรูป 4.8 A เท่ากับ B (แทนด้วย E) ดังแสดงในรูป 4.8 โดยในที่นี้เราจะสนใจเฉพาะกรณี $A > B$ เท่านั้น และเอาต์พุตที่ได้ เป็น “High” (สัญญาณพัลส์วิดท์มอดูเลตขึ้น) และส่งไปทำการมอดูเลตกับคลื่นพาห์เพื่อส่งออกไปควบคุมเซอร์โว ต่อไปรายละเอียดวงจรภายในดังแสดงดังภาคผนวก ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.7 ฝั่งงานของ COMPARATOR



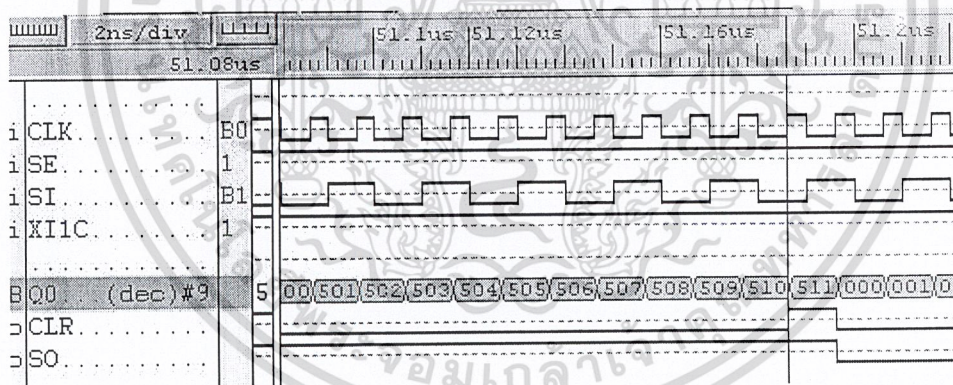
รูปที่ 4.8 ผลการเขียนแบบการทำงานของภาค COMPARATOR

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2.2 ส่วนประกอบในโหมดที่ 0

1) ผลการจำลองการทำงานของสัญญาณภาค COUNTER

จากการทดลองเลียนแบบการทำงานของผังงาน COUNTER ในรูปที่ 4.3 โดยใช้โปรแกรมXilinx Foundation Series 2.1 ได้ผลการทดลองดังรูปที่ 4.9 จะเห็นว่าเป็นภาพที่ทำหน้าที่เป็นวงจรมีขนาด 13 บิต (นับ 0-8191) ในโหมดการทำงานนี้เราสนใจเพียง 9 บิต (นับ 0-511) โดยมี ขา XIIC ขา SE ขา CLR เป็นตัวกำหนดการทำงาน โดยจะให้วงจรมีการทำงานป้อนลอจิก “1” ให้กับ ขา XIIC ขา SE ป้อนลอจิก “0” ให้กับขา CLRโดยขา XIIC ทำหน้าที่ 2 หน้าที่ด้วยกันคือ ป้อนลอจิก “1” ให้กับ ขา XIIC จะทำหน้าที่เป็นวงจรมี และถ้าป้อนลอจิก “0” ให้กับ ขา XIIC จะหยุดการนับ และถ้าป้อนลอจิก “1” ให้กับ ขา XIIC จะทำหน้าที่เป็นวงจรมีตามปกติ ขา SI รับข้อมูลจาก SO ของภาค DIV8 ขา CLK จะรับสัญญาณความถี่จาก QC ของภาค DIV8 มีความถี่ 125 กิโลเฮิร์ตซ์ และเอาต์พุตของวงจรมี 9 บิต ไปเข้าภาค REGISTER1_1 ส่วนขา CLR จะทำงาน ก็ต่อเมื่อข้อมูลขนาด 9 บิต ส่งไปยังภาค REGISTER1_1และ ภาค REGISTER1_1 ทำการแลตซ์ค่าไว้ค่าหนึ่ง ก็จะเคลียร์ระบบการทำงานและเริ่มนับอีกครั้ง รายละเอียดวงจรภายในดังแสดงดังภาคผนวก ง

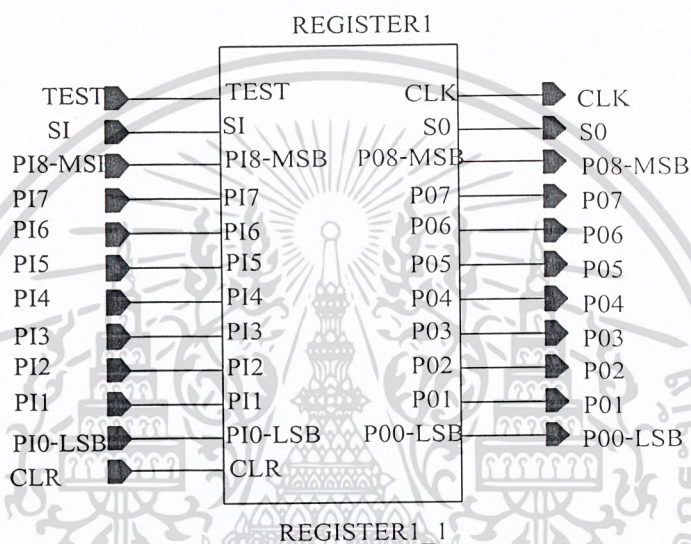


รูปที่ 4.9 ผลการเลียนแบบการทำงานของภาค COUNTER

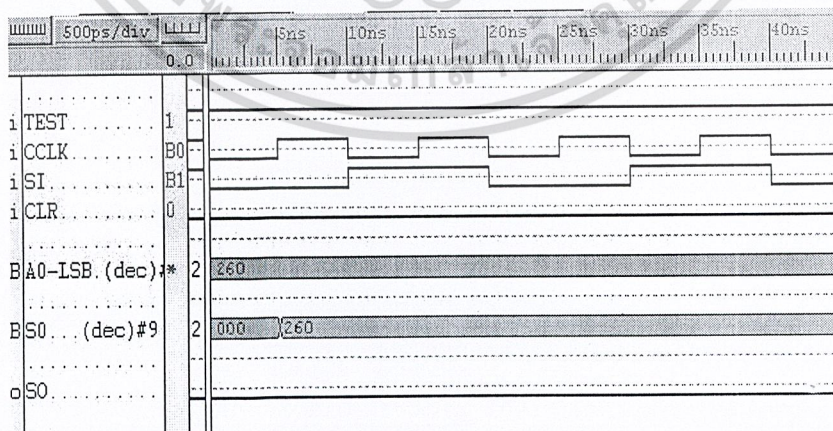
2) ผลการจำลองการทำงานของสัญญาณภาค REGISTER1_1

จากการทดลองเลียนแบบการทำงานของผังงาน REGISTER1_1 ในรูปที่ 4.10 โดยใช้โปรแกรมXilinx Foundation Series 2.1 ได้ผลการทดลองดังรูปที่ 4.11 จะเห็นว่าเป็นภาคที่เก็บข้อมูล ขนาด 9 บิต ที่มาจากวงจรมี มีขา TEST ขา CLR เป็นขาควบคุมการทำงาน โดยป้อนลอจิก “1” และ “0” ให้กับ ขา TEST ขา CLR ตามลำดับ โดย REGISTER1_1 จะทำงานที่ขอบขาขึ้นของสัญญาณที่ป้อนให้กับขา TEST เมื่อ REGISTER1_1 ทำงานจะแลตซ์ ค่าจากวงจรมีไว้ค่าหนึ่ง มีค่า

เท่ากับ 260 DEC โดยข้อมูลที่เข้ามาจะเป็นลักษณะข้อมูลเข้าแบบขนาน (PI0-PI8) ข้อมูลออกแบบขนาน (PO0-PO8) และข้อมูลออกแบบขนานส่งไปยังภาค ADDER8_1 ขา CLK รับสัญญาณนาฬิกาของระบบคือ 125 กิโลเฮิร์ตซ์ ขา SI ของ REGISTER1_1 จะรับข้อมูลจาก SO ของ COUNTER และ SO REGISTER1_1 จะส่งข้อมูลไปยัง ขาSI ของ REGISTER1_12 ต่อไป รายละเอียดวงจรภายในดังแสดงดังภาคผนวก ง



รูปที่ 4.10 ฟังก์ชันของ REGISTER1_1

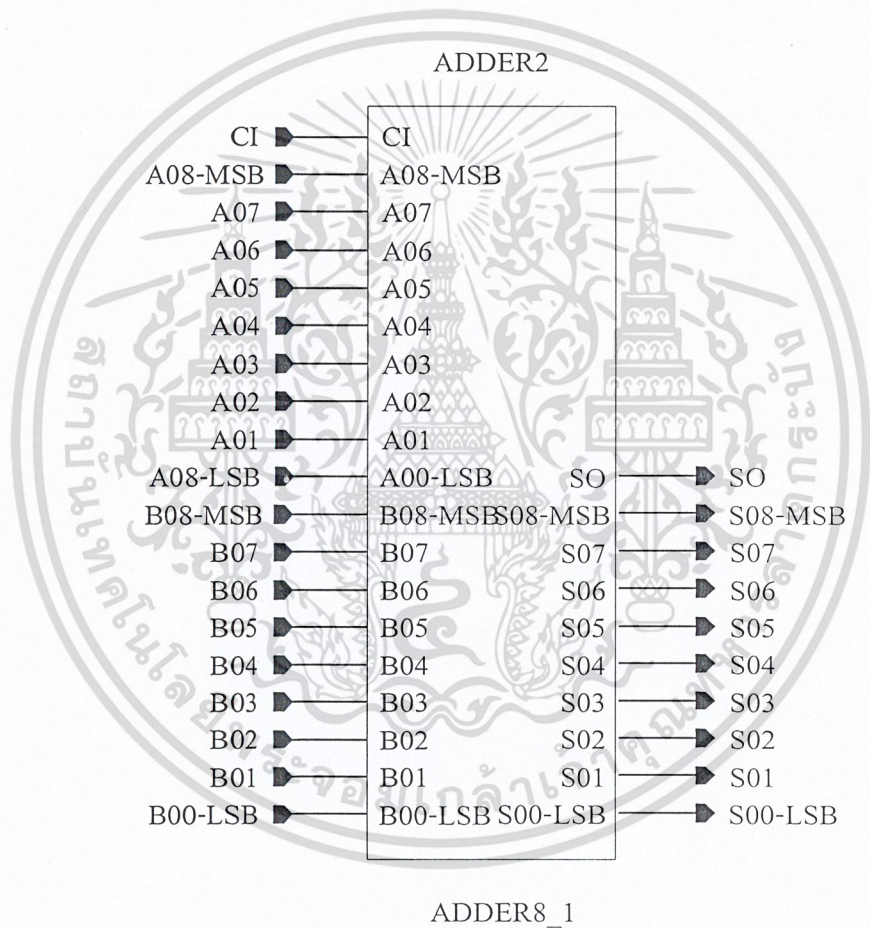


รูปที่ 4.11 ผลการเขียนแบบการทำงานของภาค REGISTER1_1

เอกสารนี้เป็นเอกสารสงวนลิขสิทธิ์ของบริษัทฯ เพื่อการศึกษาเท่านั้น เมื่ออนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

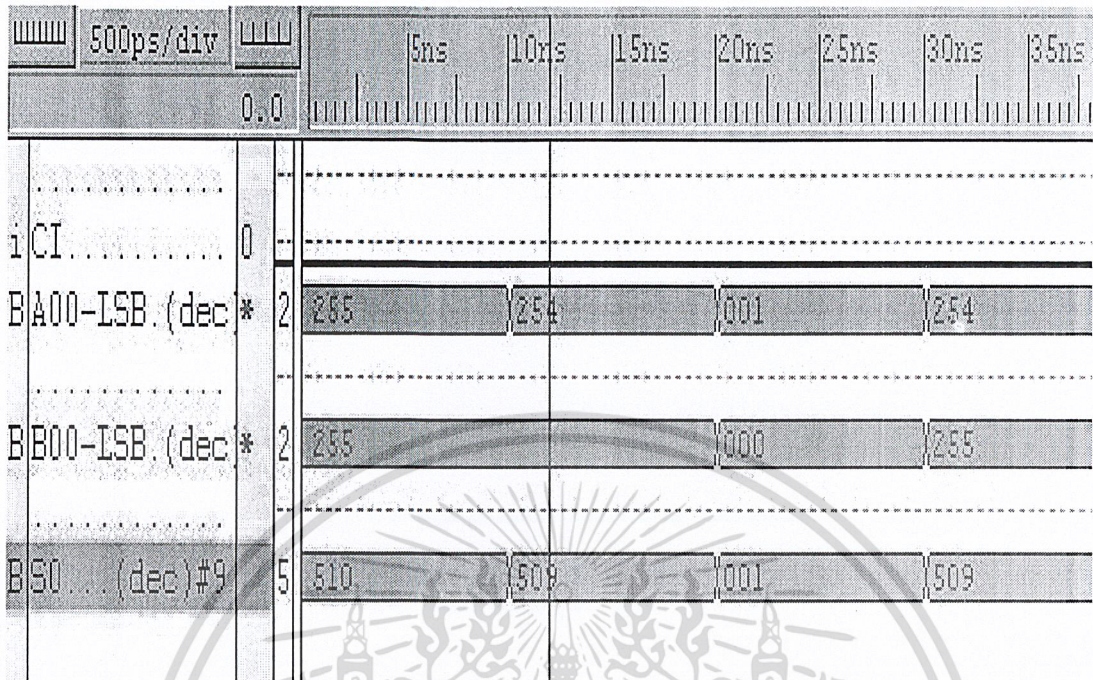
3) ผลการจำลองการทำงานของสัญญาณ ADDER8_1

จากการทดลองเขียนแบบการทำงานของผังงาน ADDER8_1 ในรูปที่ 4.12 โดยใช้โปรแกรมXilinx Foundation Series 2.1 ได้ผลการทดลองดังรูปที่ 4.13 เป็นวงจรลบโดยใช้หลักการลบแบบ 2'Complement โดยจะนำค่าที่ได้จากการแลตช์มีค่าเท่ากับ 260 DEC นั้นลบด้วย 250 DEC แล้วผลลัพธ์ข้อมูลขนาด 9 บิต มีค่าเท่ากับ 266 DEC และส่งไปยังภาค REGISTER1_12 ต่อไป รายละเอียดวงจรภายในดังแสดงดังภาคผนวก ง



รูปที่ 4.12 ผังงานของ ADDER8_1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

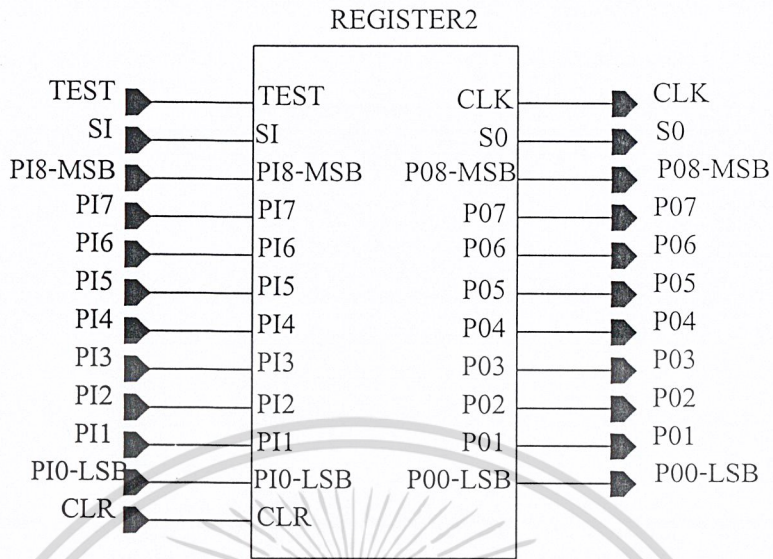


รูปที่ 4.13 ผลการเขียนแบบการทำงานของภาค ADDER8_1

4) ผลการจำลองการทำงานของสัญญาณภาค REGISTER1_12

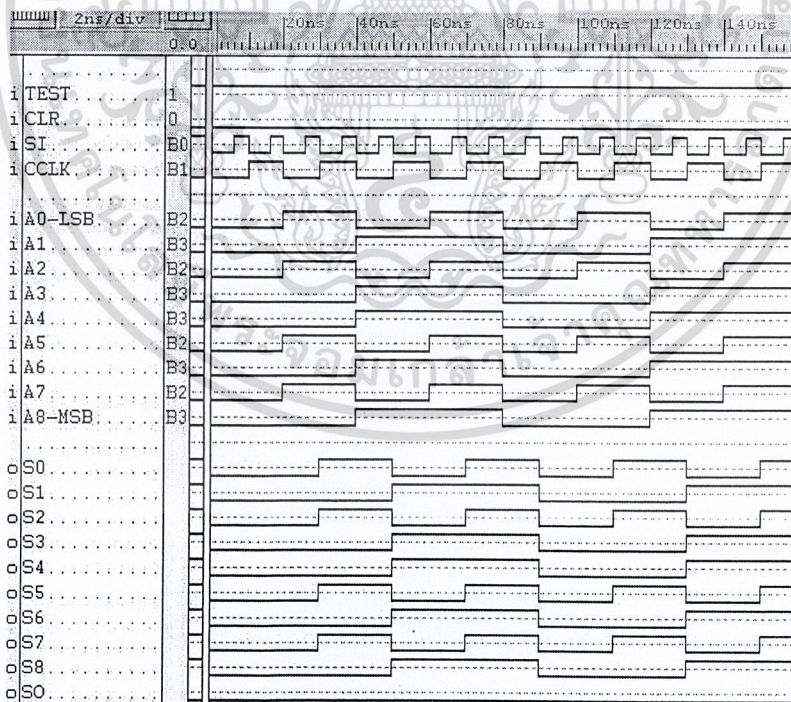
จากการทดลองเขียนแบบการทำงานของผังงาน REGISTER1_12 ในรูปที่ 4.14 โดยใช้โปรแกรม Xilinx Foundation Series 2.1 ได้ผลการทดลองดังรูปที่ 4.15 ทำหน้าที่เก็บข้อมูล ขนาด 9 บิต ที่มาจากภาค REGISTER1_1 มีขา TEST ขา CLR เป็นขาควบคุมการทำงาน โดยป้อนลอจิก “1” และ “0” ให้กับ ขา TEST ขา CLR ตามลำดับ โดย REGISTER1_12 จะทำงานที่ขอบขาลงของสัญญาณที่ป้อนให้กับขา TEST เมื่อ REGISTER1_12 ทำงานจะนำข้อมูลที่แสดงมีค่าเท่ากับ 266 DEC จากภาค REGISTER1_1 โดยข้อมูลที่เข้ามาจะเป็นลักษณะข้อมูลเข้าแบบขนาน (PI0-PI8) ข้อมูลออกแบบขนาน (PO0-PO8) และข้อมูลออกแบบขนาน (PO0-PO7) ส่งไปยังภาค MUX8 จะได้สัญญาณดิจิทัลขนาด 8 บิต นำไปใช้งานในระบบดิจิทัล รายละเอียดวงจรภายในดังแสดงดังภาคผนวก ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



REGISTER1_2

รูปที่ 4.14 ฟังก์ชันของ REGISTER1_2

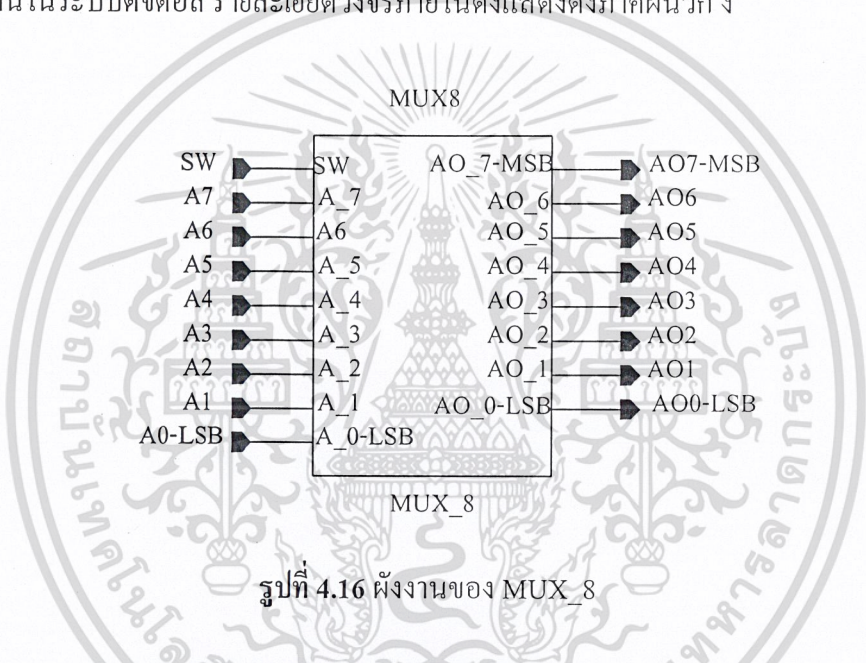


รูปที่ 4.15 ผลการเขียนแบบการทำงานของภาค REGISTER1_2

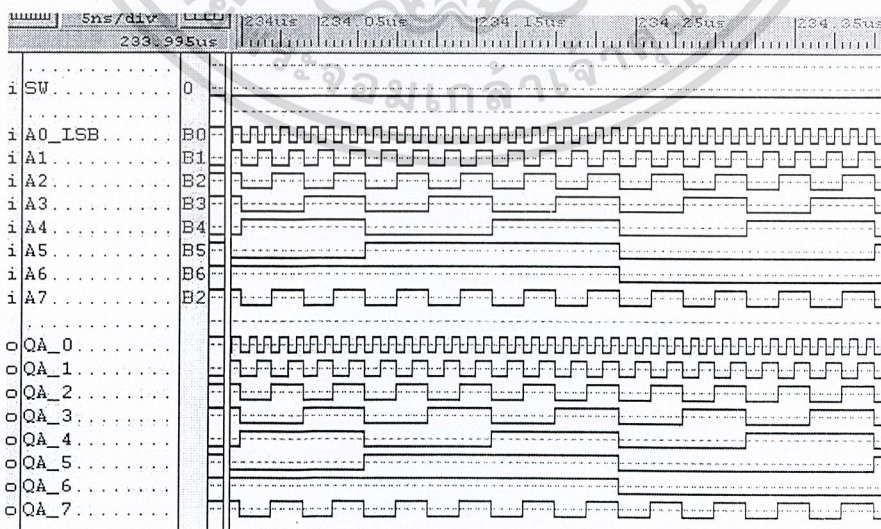
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5) ผลการจำลองการทำงานของสัญญาณ MUX8

จากการทดลองเขียนแบบการทำงานของผังงาน MUX8 ในรูปที่ 4.16 โดยใช้โปรแกรม Xilinx Foundation Series 2.1 ได้ผลการทดลองดังรูปที่ 4.17 ทำหน้าที่เป็นสวิตช์สำหรับเลือกข้อมูลขนาด 8 บิต ที่ส่งมาจากภาค REGISTER1_12 โดยมีขา SW เป็นขาควบคุมในการเลือกข้อมูลออกทางด้านเอาต์พุตตามต้องการ โดยให้ลอจิก “0” ที่ขา SW จะนำข้อมูลจากทางด้านอินพุตโดยมีข้อมูลเท่ากับ 0 และให้ลอจิก “1” ที่ขา SW จะนำข้อมูลจากทางด้านอินพุตโดยมีข้อมูลขนาด 8 บิตมีค่าเท่ากับ 10 DEC ที่รับมาจากภาค REGISTER1_12 และเอาต์พุตที่ได้เป็นสัญญาณดิจิทัลขนาด 8 บิตนำไปใช้งานในระบบดิจิทัล รายละเอียดวงจรภายในดังแสดงดังภาพผนวก ง



รูปที่ 4.16 ผังงานของ MUX_8



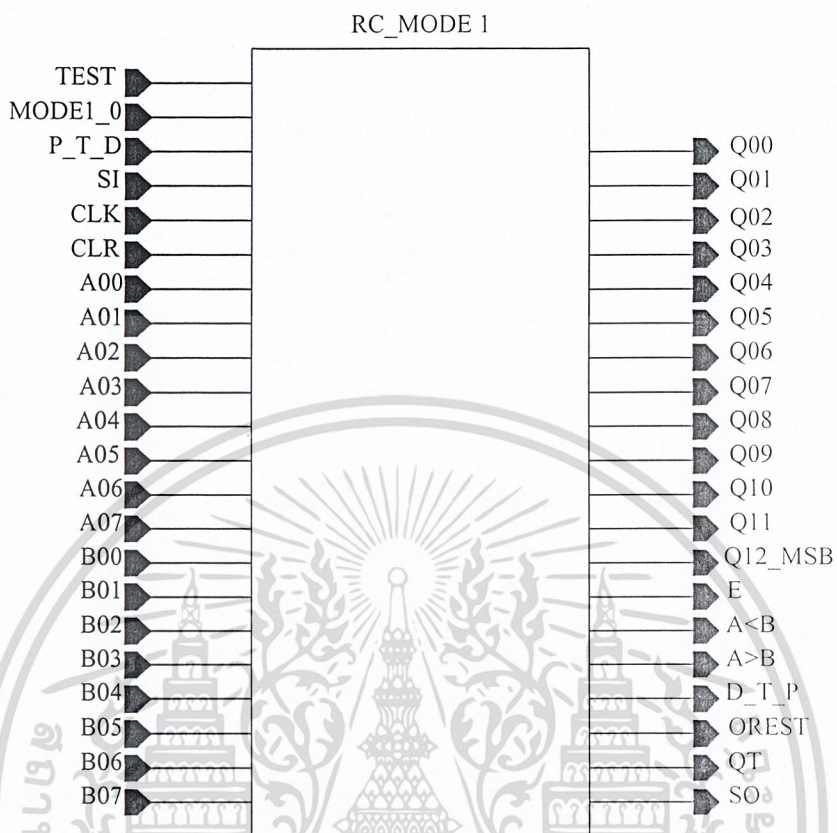
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ระบุว่ากรณีใดๆ ทั้งสิ้น อีกสิ่งที่ไม่มีเห็นแต่สิ่งนี้ และต้องอยู่เบื้องหลังของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 4.17 ผลการเขียนแบบการทำงานของภาค MUX_8

4.2.3 ผลการจำลองการทำงานโดยรวมของโมหมด 1 (สัญญาณดิจิทัลแปลงเป็นสัญญาณ พัลส์ วิตท์มอดูเลชัน)

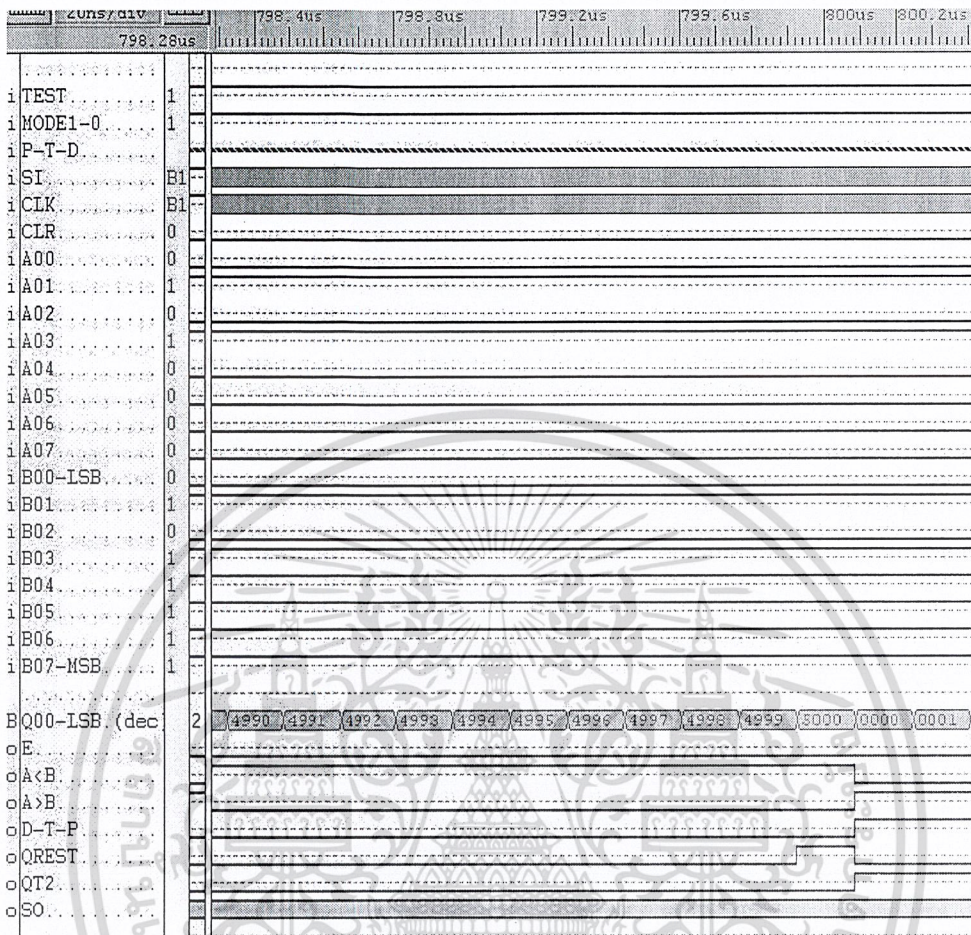
ในรูปที่ 4.18 เป็นผังงานที่ใช้ในการทดลองเลียนแบบการทำงานของโมหมด 1 โดยมีขา TEST, MODE1_0, SI, CLK, CLR, A(A00-A07) และ B(B00-B07) เป็นสัญญาณอินพุต และมีขา Q(Q00_LSB - Q12_MSB), E, A < B, A > B, D_T_P, QREST, QT, SO เป็นสัญญาณเอาต์พุต โดยใช้โปรแกรม Xilinx Foundation Series 2.1 ได้ผลการทดลองดังรูปที่ 4.19 เมื่อเริ่มต้นการทำงานจะกำหนดให้ขาสัญญาณ TEST, MODE1_0 เป็นลอจิก " 1 " และขา CLR เป็นลอจิก " 0 " ขา SI เป็นขาที่ใช้ป้อนข้อมูลเข้าแบบอนุกรม ขา CLK เป็นสัญญาณความถี่จากภายนอกมีความถี่ 1 เมกะเฮิร์ตซ์ ที่ป้อนให้กับระบบ โดยสัญญาณความถี่จากภายนอกจะผ่านภาค DIV8 เมื่อสัญญาณความถี่ผ่านภาคนี้แล้วจะได้สัญญาณความถี่ที่ต้องการของวงจรคือ 125 กิโลเฮิร์ตซ์ เพื่อป้อนให้กับวงจรนับขนาด 13 บิต (นับ 0 - 8191) ขา Q (Q00_LSB - Q12_MSB) โดยในโหมดการทำงานนี้ วงจรนับความถี่จะนับถึง 5000 และจะมีวงจรถอดรหัสที่ตำแหน่ง 5000 แล้วทำการรีเซ็ตสถานะการทำงาน ทำให้ขา CLR เป็นลอจิก " 1 " ในขณะเดียวกันถ้ารับสัญญาณดิจิทัล ขนาด 8 บิต ขาข้อมูล A (A00-A07) มีค่าเท่ากับ 10 DEC และ ขาข้อมูล B (B00-B07) มีค่าเท่ากับ 250 DEC ป้อนให้กับระบบ จากนั้นเข้าสู่วงจรบวกขนาด 8 บิต ผลลัพธ์ที่ได้มีค่าเท่ากับ 260 DEC จากนั้นส่งผลลัพธ์ที่ได้เข้าสู่ภาค COMPARATOR เพื่อเปรียบเทียบกับข้อมูลที่ได้จากภาค COUNTER ขนาด 9 บิต ส่วนในภาค COMPARATOR จะทำการเปรียบเทียบอยู่ 3 กรณีด้วยกันคือ ในกรณีที่ A = B (แทนด้วย E) , A < B, A > B ในช่วงแรกที่ภาค COUNTER นับสัญญาณที่ขา A > B จะเป็น " high " และเมื่อภาค COUNTER นับถึง 260 DEC สัญญาณที่ขา A > B เป็น " low " และสัญญาณที่ขา E จะเป็น " high " ช่วงขณะ จนถึง 261 DEC สัญญาณที่ขา E จะเป็น " low " สัญญาณที่ขา A < B จะเป็น " high " ทำสลับกันเรื่อยไปจนภาค COUNTER นับถึง 5000 สัญญาณที่ขา A < B จะเป็น " low " สัญญาณที่ขา A > B จะเป็น " high " และจะทำให้สัญญาณที่ขา QREST จะเป็น " high " ช่วงขณะ และจะทำให้สัญญาณที่ขา D_T_P จะเป็น " high " และจะได้เป็นสัญญาณ พัลส์วิตท์มอดูเลชันและส่งไปทำการมอดูเลตกับคลื่นพาห์เพื่อส่งออกไปควบคุม เซอร์โว ต่อไป รายละเอียดวงจรภายในดังแสดงดังภาคผนวก ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.18 แผนผังผลการทดลองการทำงานโหมด 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



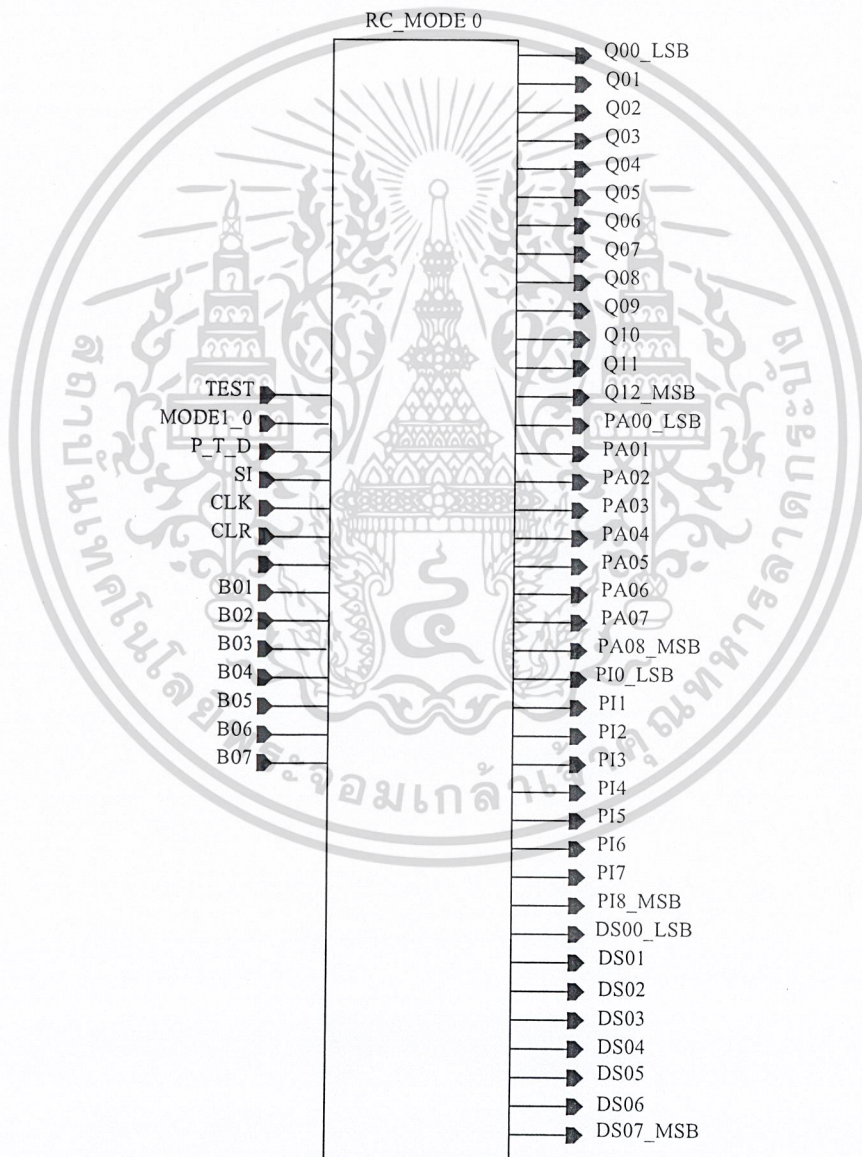
รูปที่ 4.19 ผลการเดินแบบการทำงาน โมมด 1

4.2.4 ผลการจำลองการทำงานโดยรวมของโมมด 0 (สัญญาณพัลซ์วิดท์มอดูละชั้นแปลงเป็นสัญญาณดิจิตอล)

ในรูปที่ 4.20 เป็นผังงานที่ใช้ในการทดลองเดินแบบการทำงานของโมมด 0 โดยมีขา TEST, MODE1_0, SI, CLK, CLR, P_T_D และ B (B00-B07) เป็นสัญญาณอินพุตและมีขา Q (Q00_LSB - Q12_MSB), PA (PA00_LSB - PA08_MSB), PI (PI0_LSB - PI8_MSB), DS (DS00_LSB - DS07_MSB) เป็นสัญญาณเอาต์พุต โดยใช้โปรแกรม Xilinx Foundation Series 2.1 ได้ผลการทดลองดังรูปที่ 4.21 เมื่อเริ่มต้นการทำงานจะกำหนดให้ขาสัญญาณ TEST เป็นลอจิก " 1 " และขา CLR, MODE1_0 เป็นลอจิก " 0 " ขา SI เป็นขาที่ใช้ป้อนข้อมูลเข้าแบบอนุกรม ขา CLK

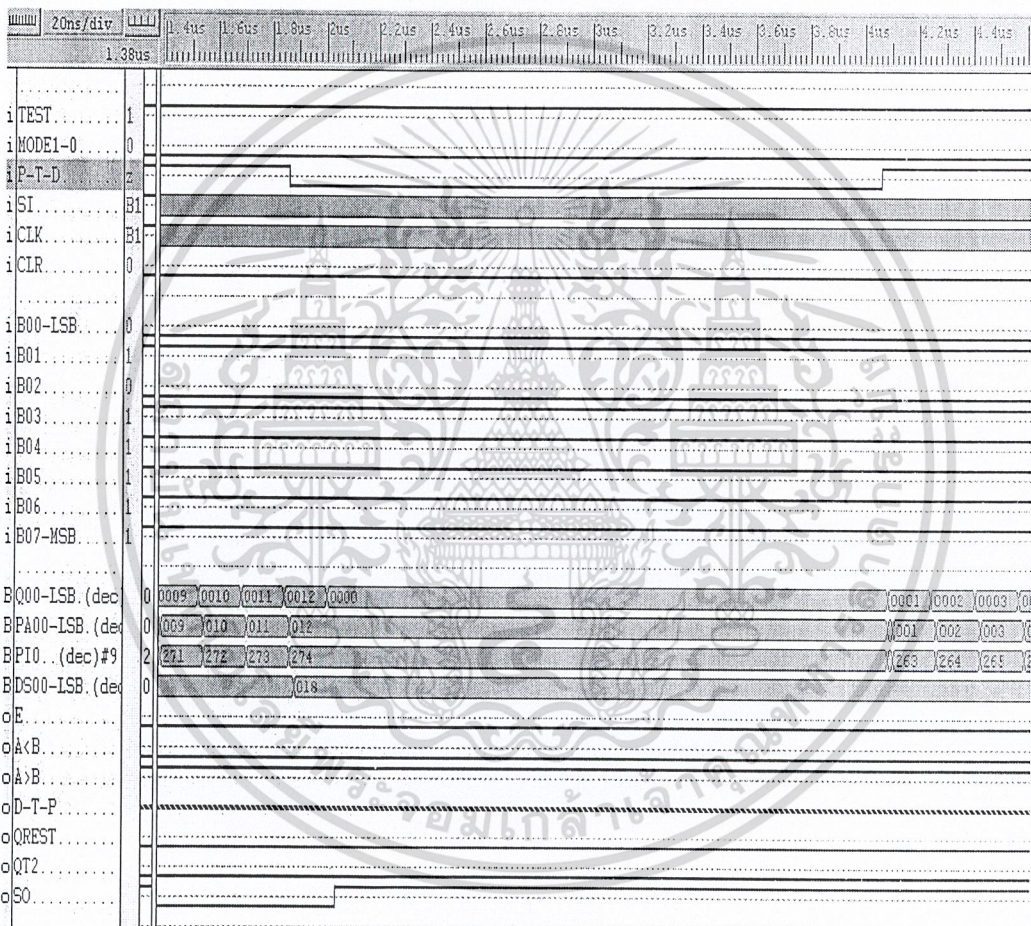
เป็นสัญญาณความถี่จากภายนอกมีความถี่ 1 เมกะเฮิร์ตซ์ ที่ป้อนให้กับระบบ โดยสัญญาณความถี่จากภายนอกจะผ่านภาค DIV8 เมื่อสัญญาณความถี่ผ่านภาคนี้แล้วจะได้สัญญาณความถี่ที่ต้องการไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ของวงจรคือ 125 กิโลเฮิร์ตซ์ เพื่อป้อนให้กับวงจรนับขนาด 13 บิต (นับ 0 - 8191) ขา Q(Q00_LSB - Q12_MSB) โดยในโหมดการทำงานนี้เราสนใจเพียง 9 บิต (นับ 0-511) ในการทำงานในโหมดนี้คือรับสัญญาณพัลส์วิดท์มอดูเลชั่น โดยในการจำลองการทำงานในโหมดนี้ให้ขา P_T_D แทนด้วย " Z " เป็นตัวควบคุมการเกิดสัญญาณพัลส์วิดท์มอดูเลชั่น โดยในช่วงขอบขาขึ้นของสัญญาณพัลส์วิดท์มอดูเลชั่นวงจรREGISTER1_1จะทำงาน โดยจะทำการแลตซ์ค่าจากวงจรนับไว้ค่าหนึ่งมีค่าเท่ากับ 12 DEC รายละเอียดวงจรภายในดังแสดงดังภาคผนวก ง



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
รูปที่ 4.20 แผนผังผลการทดลองการทำงาน โหมด 0
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากนั้นจะส่งค่าจากการแลตช์ไปยังวงจรถ่าย ADDER8_1 โดยวงจรถ่ายนี้เป็นวงจรถ่ายโดยใช้หลักการลบแบบ 2' Complement โดยจะนำค่าที่ได้จากการแลตช์นั้นลบด้วย 250 DEC แล้วผลลัพธ์ที่ได้มีค่าเท่ากับ 18 DEC ส่งไปยัง วงจรถ่าย REGISTER8_12 โดยวงจรถ่ายนี้จะทำงานที่ขอบขาของสัญญาณพัลส์วิดท์มอดูเลตชัน จากนั้นได้สัญญาณดิจิทัลขนาด 8 บิต นำไปใช้งานในระบบดิจิทัล



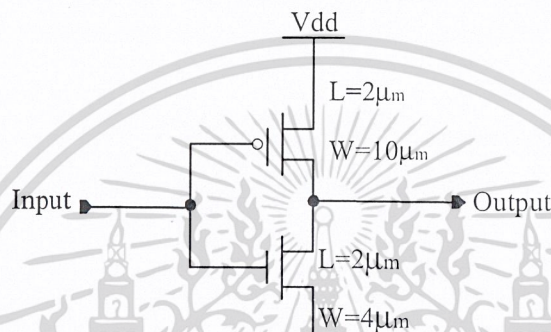
รูปที่ 4.21 ผลการเขียนแบบการทำงานโหมด 0

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

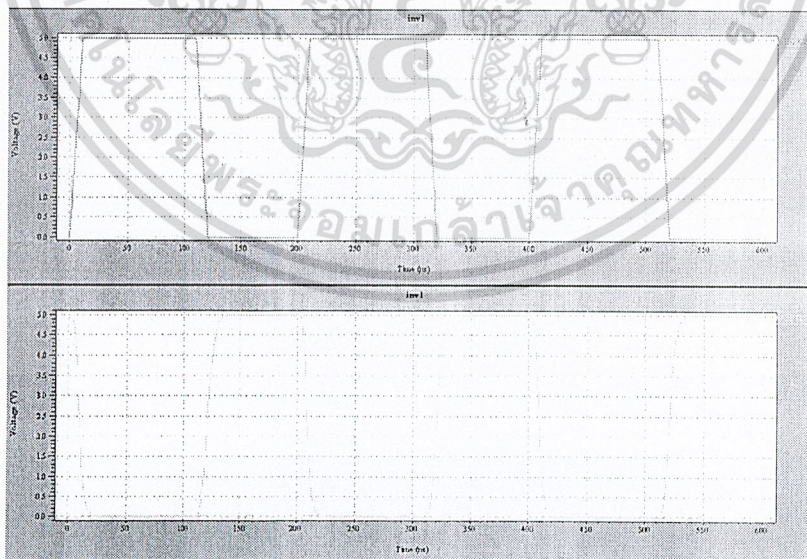
4.3 การทดลอง และผลการทดลองใน ส่วนประกอบต่างๆ ของโครงงานในระดับ ทรานซิสเตอร์ โดยใช้ CMOS

4.3.1 ผลการจำลองการทำงานของวงจร อินเวอร์เตอร์ ในระดับวงจร

จากการทดลองเขียนแบบการทำงานของรูปวงจรมินิเวอเตอร์ในระดับวงจรมินิเวอเตอร์ในรูปที่ 4.22 โดยใช้โปรแกรม T-SPICE ได้ผลการทดลองดังรูปที่ 4.23 [8]



รูปที่ 4.22 แผนผังผลการทดลองการทำงานของวงจรมินิเวอเตอร์ ในระดับวงจรมินิเวอเตอร์

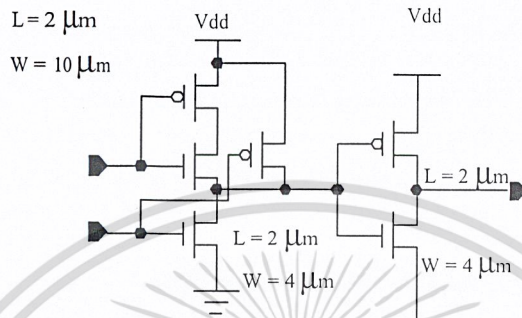


รูปที่ 4.23 ผลการเขียนแบบการทำงานของวงจรมินิเวอเตอร์ ในระดับวงจรมินิเวอเตอร์

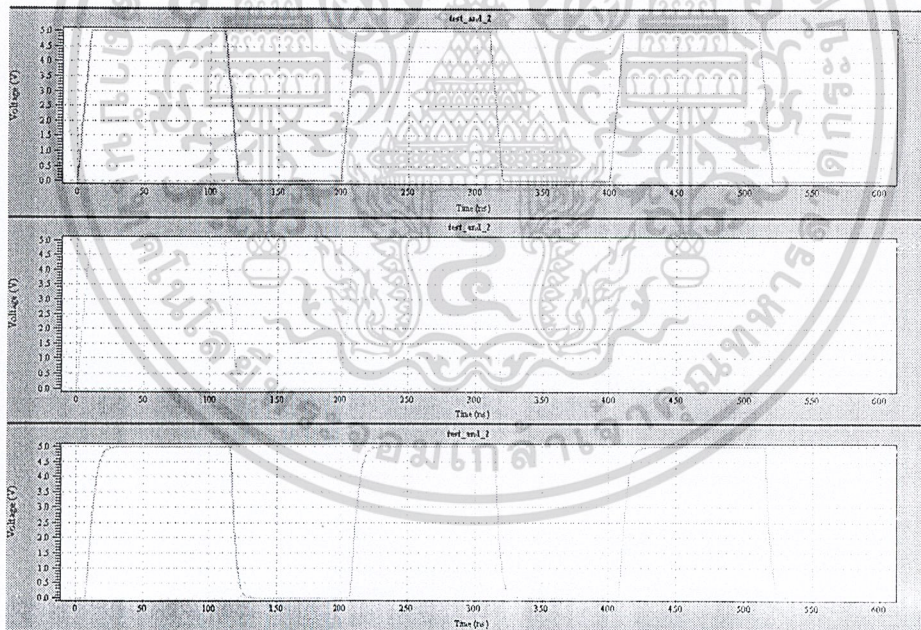
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.3.2 ผลการจำลองการทำงานของวงจรถอดแอนด์ในระดับวงจรถอด

จากการทดลองเลียนแบบการทำงานของรูปวงจรถอดแอนด์ ในระดับวงจรถอด ในรูปที่ 4.24 โดยใช้โปรแกรม T-SPICE ได้ผลการทดลองดังรูปที่ 4.25 [8]



รูปที่ 4.24 แผนผังผลการทดลองการทำงานของวงจรถอดแอนด์ในระดับวงจรถอด

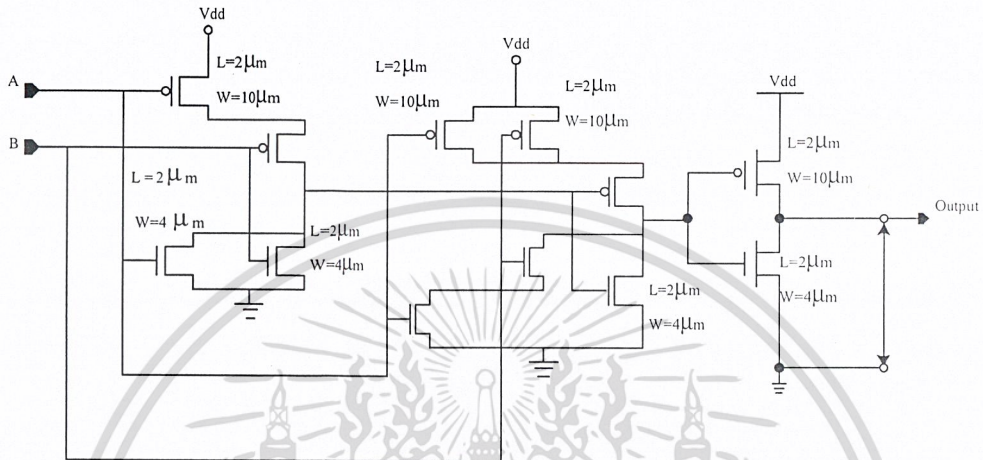


รูปที่ 4.25 ผลการเลียนแบบการทำงานของวงจรถอดแอนด์ในระดับวงจรถอด

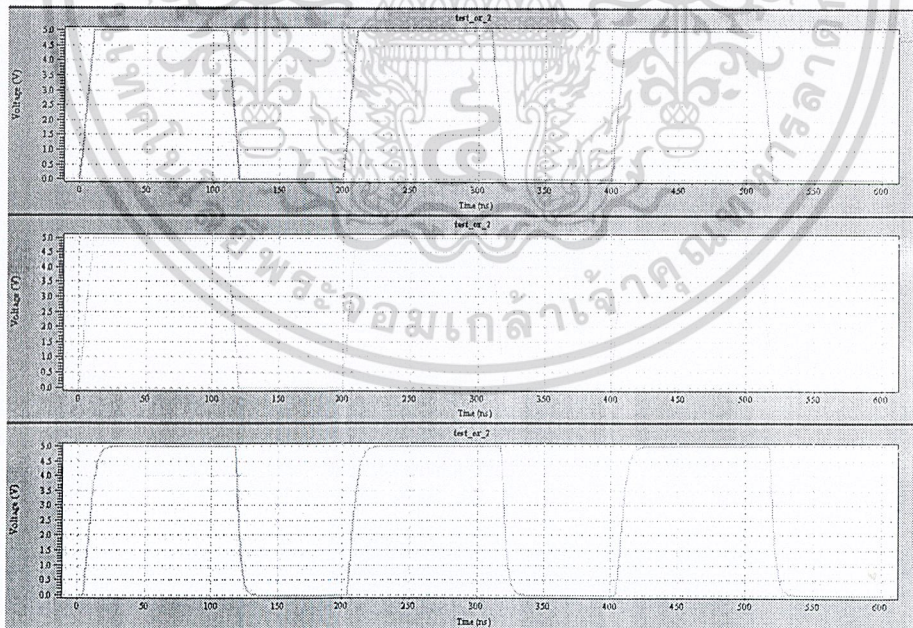
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.3.3 ผลการจำลองการทำงานของวงจร เกตออร์ ในระดับวงจร

จากการทดลองเลียนแบบการทำงานของรูปวงจรกตออร์ ในระดับวงจร ในรูปที่ 4.26 โดยใช้โปรแกรม T-SPICE ได้ผลการทดลองดังรูปที่ 4.27 [8]



รูปที่ 4.26 แผนผังผลการทดลองการทำงานของวงจรกตออร์ ในระดับวงจร

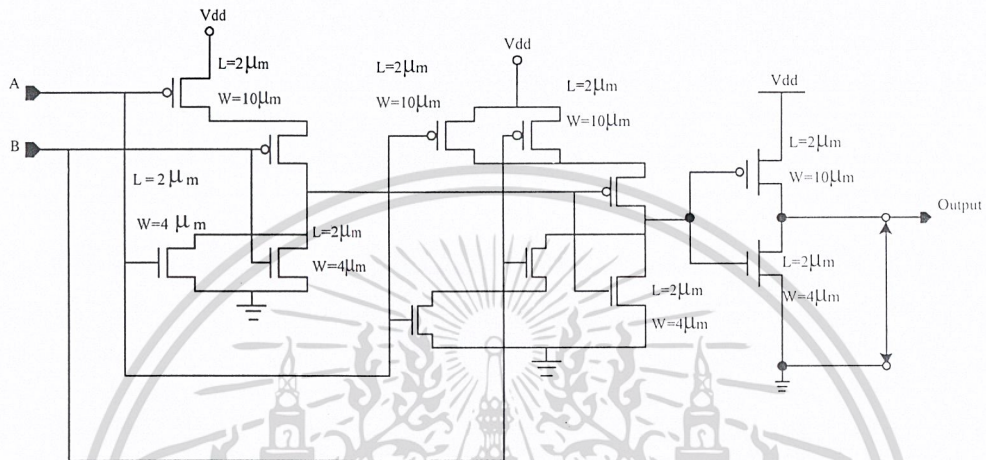


รูปที่ 4.27 ผลการเลียนแบบการทำงานของวงจรกตออร์ ในระดับวงจร

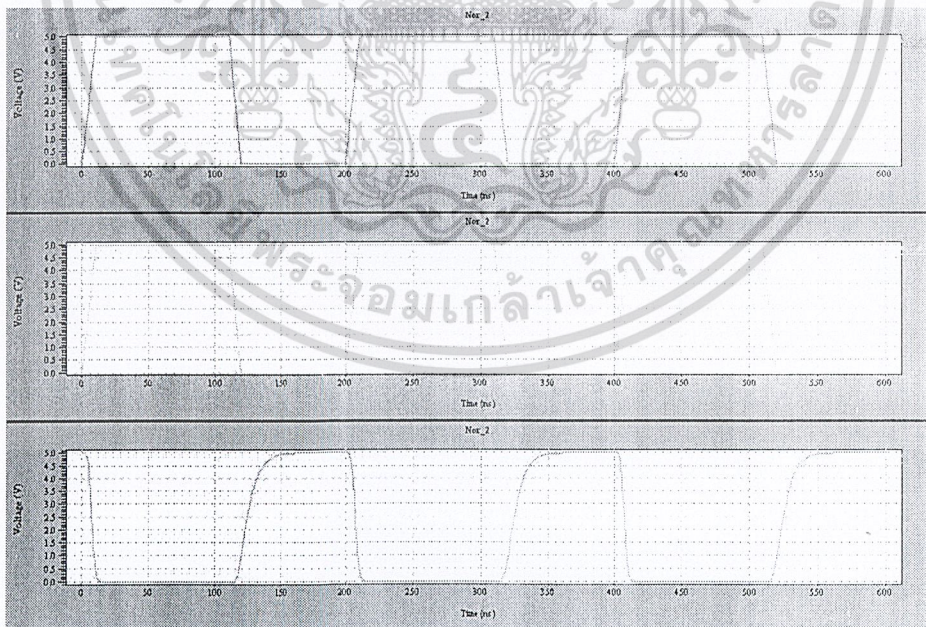
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.3.4 ผลการจำลองการทำงานของวงจร เกตเนอร์ในระดับวงจร

จากการทดลองเขียนแบบการทำงานของรูปวงจรกตเนอร์ ในระดับวงจร ในรูปที่ 4.28 โดยใช้โปรแกรม T-SPICE ได้ผลการทดลองดังรูปที่ 4.29 [8]



รูปที่ 4.28 แผนผังผลการทดลองการทำงานของวงจรกตเนอร์ ในระดับวงจร

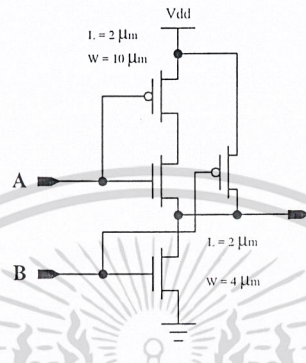


รูปที่ 4.29 ผลการเขียนแบบการทำงานของวงจรกตเนอร์ ในระดับวงจร

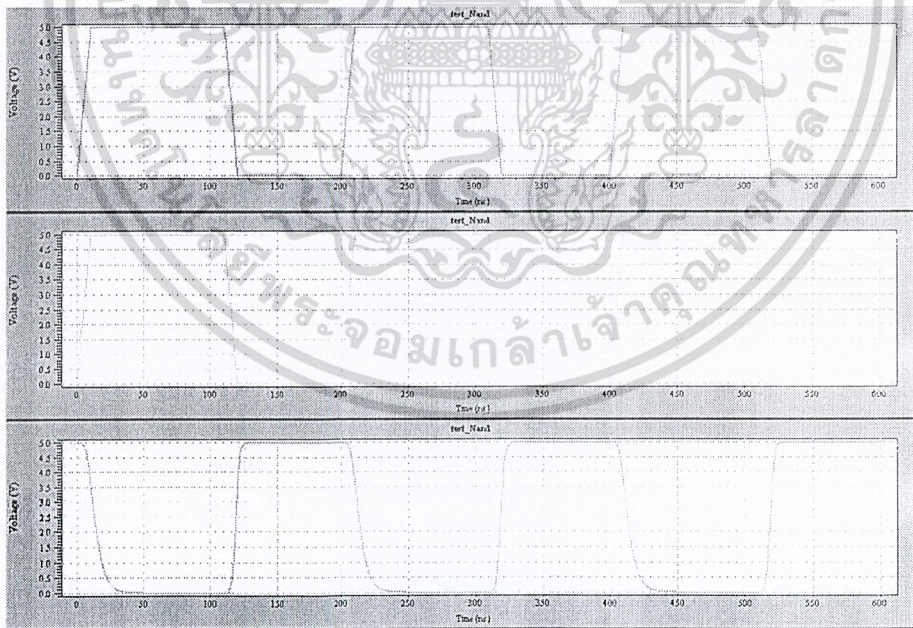
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.3.5 ผลการจำลองการทำงานของวงจร เกตแนนด์ ในระดับวงจร

จากการทดลองเลียนแบบการทำงานของรูปเกตแนนด์ในระดับวงจรในรูปที่ 4.30 โดยใช้โปรแกรม T-SPICE ได้ผลการทดลองดังรูปที่ 4.31 [8]



รูปที่ 4.30 แผนผังผลการทดลองการทำงานของวงจรเกตแนนด์ ในระดับวงจร

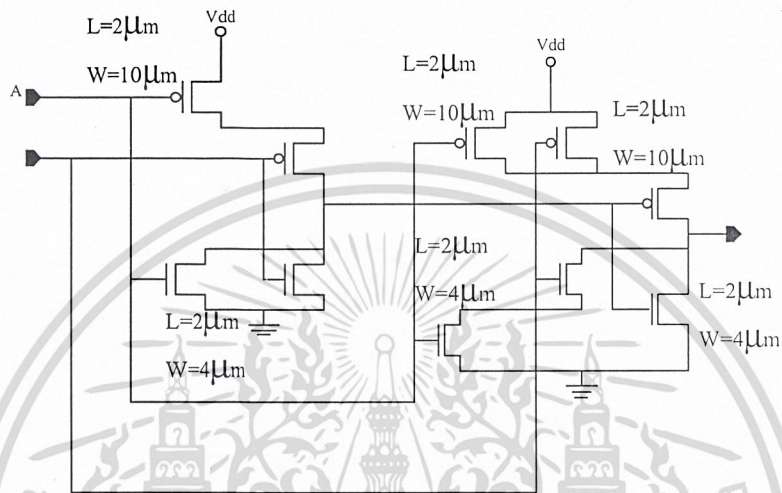


รูปที่ 4.31 ผลการเลียนแบบการทำงานของวงจรเกตแนนด์ ในระดับวงจร

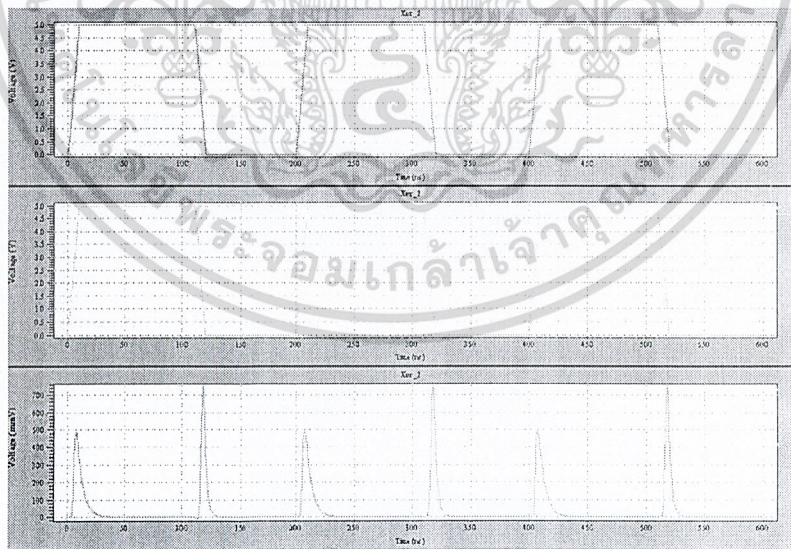
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.3.6 ผลการจำลองการทำงานของวงจรถูกเกตเอ็็กคูลซีฟออร์ในระดับวงจร

จากการทดลองเลียนแบบการทำงานของรูปเกตเอ็็กคูลซีฟออร์ ในรูปที่ 4.32 โดยใช้โปรแกรม T-SPICE ได้ผลการทดลองดังรูปที่ 4.33 [8]



รูปที่ 4.32 แผนผังผลการทดลองการทำงานของวงจรถูกเกตเอ็็กคูลซีฟออร์ ในระดับวงจร

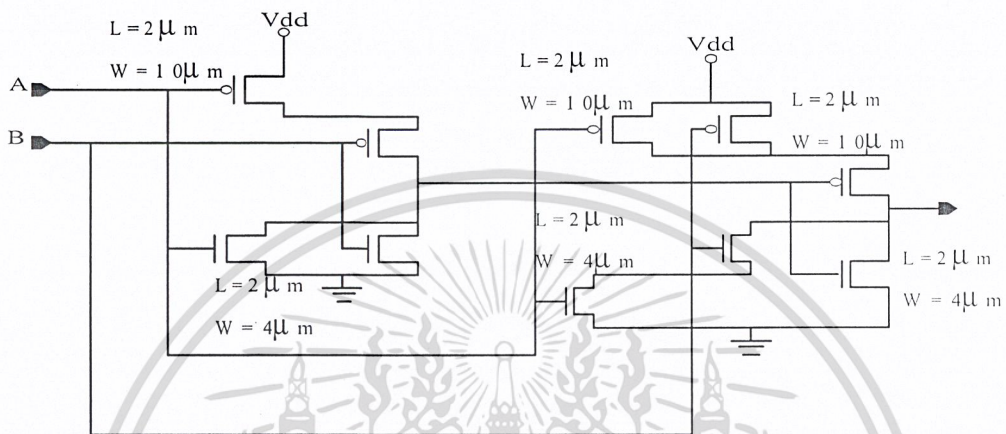


รูปที่ 4.33 ผลการเลียนแบบการทำงานของวงจรถูกเกตเอ็็กคูลซีฟออร์ ในระดับวงจร

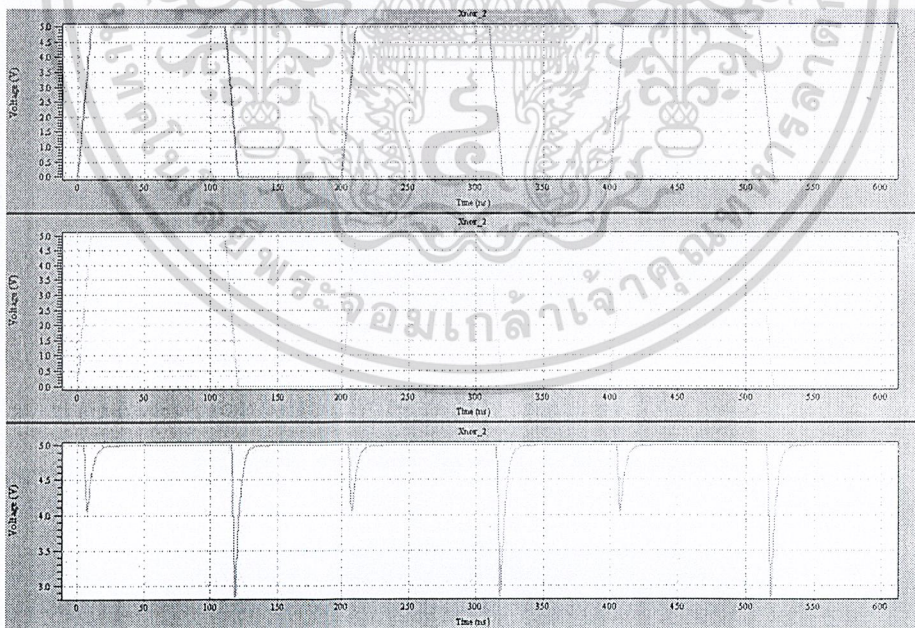
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.3.7 ผลการจำลองการทำงานของวงจรถูกเกตเอ็กคูลซีฟเนอร์ ในระดับวงจรถูก

จากการทดลองเขียนแบบการทำงานของรูปวงจรถูกเกตเอ็กคูลซีฟเนอร์ ในระดับวงจรถูก ในรูปที่ 4.34 โดยใช้โปรแกรม T-SPICE ได้ผลการทดลองดังรูปที่ 4.35 [8]



รูปที่ 4.34 แผนผังผลการทดลองการทำงานของวงจรถูกเกตเอ็กคูลซีฟเนอร์ ในระดับวงจรถูก



รูปที่ 4.35 ผลการเขียนแบบการทำงานของวงจรถูกเกตเอ็กคูลซีฟเนอร์ ในระดับวงจรถูก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.4 การทดลอง และผลการทดลองใน ส่วนประกอบต่างๆของโครงงานในระดับทรานซิสเตอร์ โดยใช้ CMOS

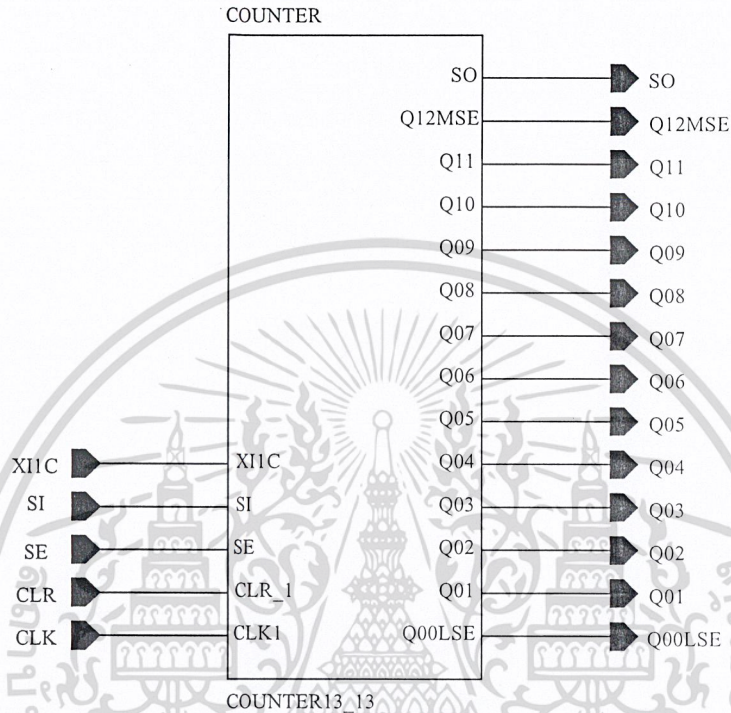
1) ส่วนประกอบภาค DIV8 แสดงดังรูป 4.36 โดยใช้โปรแกรม T-SPICE ได้ผลการทดลองดังรูปที่ 4.37 รายละเอียดวงจรภายในดังแสดงดังภาคผนวก ง



รูปที่ 4.37 ผลการเขียนแบบการทำงานผังงานของ DIV8

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2) ส่วนประกอบภาค COUNTER13_13 แสดงดังรูป 4.38 โดยใช้โปรแกรม T-SPICE ได้ผลการทดลองดังรูปที่ 4.39 รายละเอียดวงจรภายในดังแสดงดังภาคผนวก ง

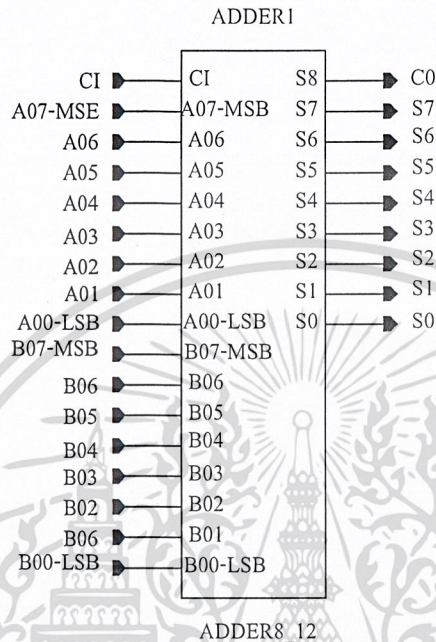


รูปที่ 4.38 ฟังก์ชันของ COUNTER13_13

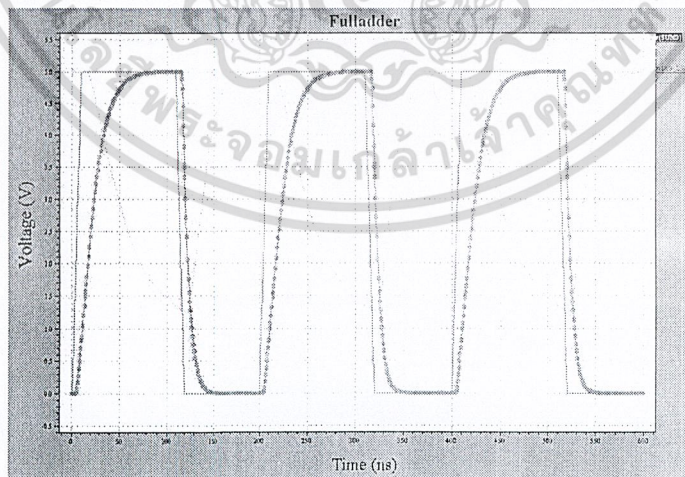


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
รูปที่ 4.39 ผลการเลียนแบบการทำงานฟังก์ชันของ COUNTER13_13
ไม่ว่ากรณีใดๆ ทั้งสิ้น ยกเว้นหากมีเหตุที่แบบลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3) ส่วนประกอบภาค ADDER8 12 แสดงดังรูป 4.40 โดยใช้โปรแกรม T-SPICE ได้ผลการทดลองดังรูปที่ 4.41 รายละเอียดวงจรภายในดังแสดงดังภาคผนวก ง



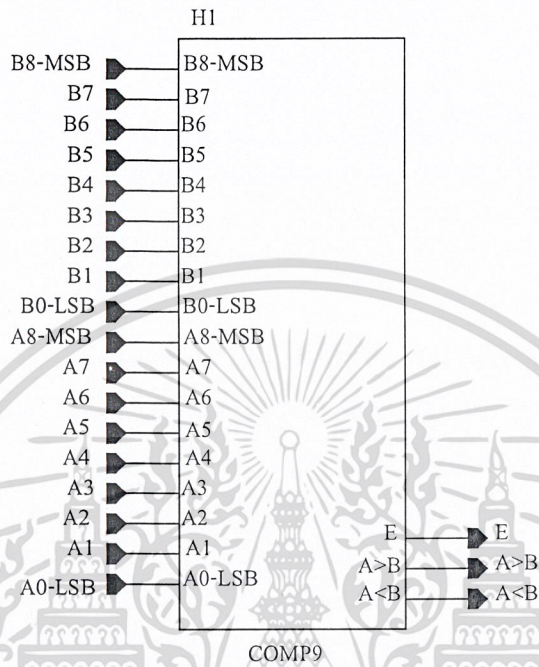
รูปที่ 4.40 ฟังก์ชันของ ADDER8_12



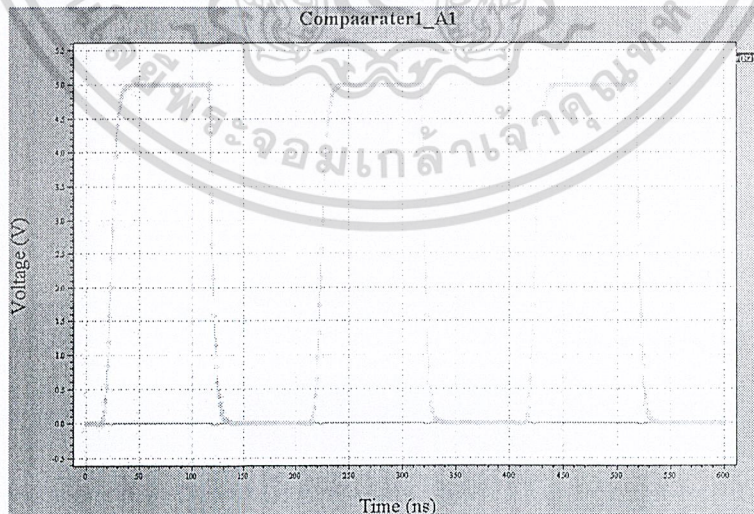
รูปที่ 4.41 ผลการเขียนแบบการทำงานฟังก์ชันของ ADDER8_12

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

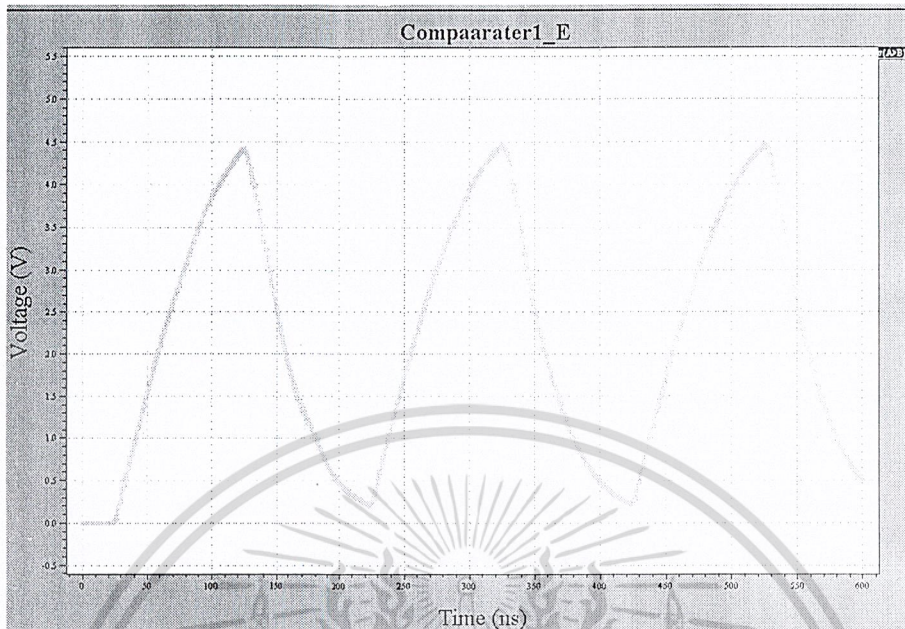
4) ส่วนประกอบภาค COMPARATOR แสดงดังรูป 4.42 โดยใช้โปรแกรม T-SPICE ได้ผลการทดลองดังรูปที่ 4.43 รายละเอียดวงจรภายในดังแสดงดังภาคผนวก ง



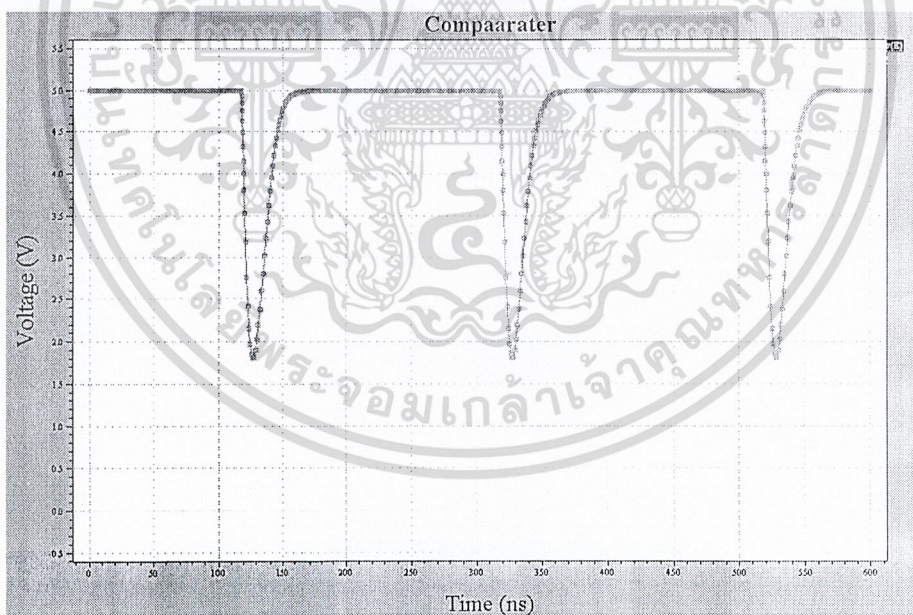
รูปที่ 4.42 พินงานของ COMPARATOR



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งาน(ก)กรณี A < B เท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ข) กรณี $A > B$

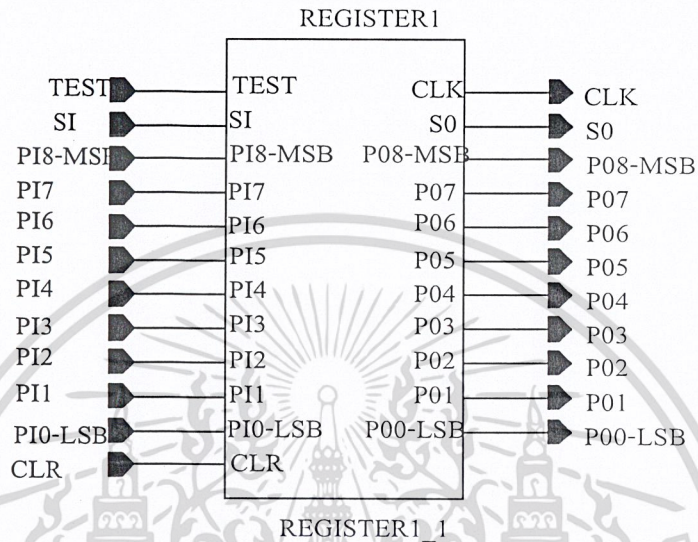


(ค) A เท่ากับ B (แทนด้วย E)

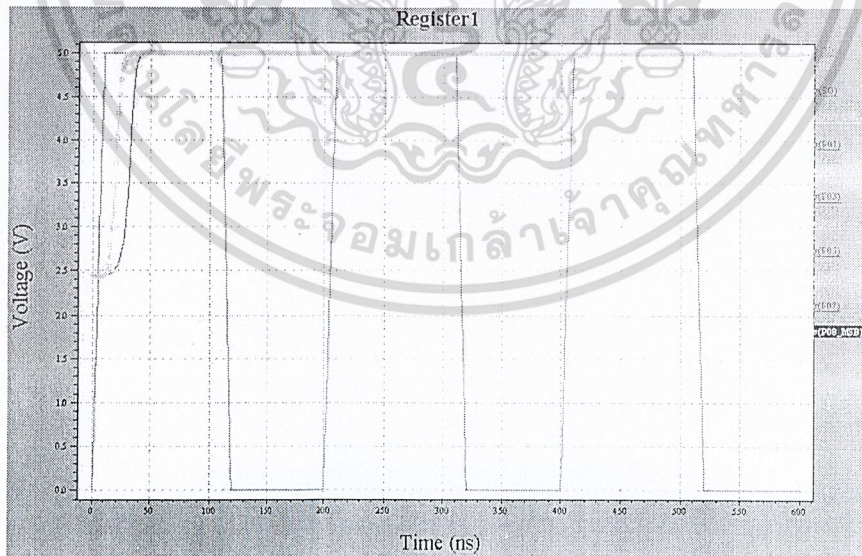
รูปที่ 4.43 ผลการเขียนแบบการทำงานพลังงานของ COMPARATOR

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5) ส่วนประกอบภาค REGISTER1_1 แสดงดังรูป 4.44 โดยใช้โปรแกรม T-SPICE ได้ผลการทดลองดังรูปที่ 4.45 รายละเอียดวงจรภายในดังแสดงดังภาคผนวก ง



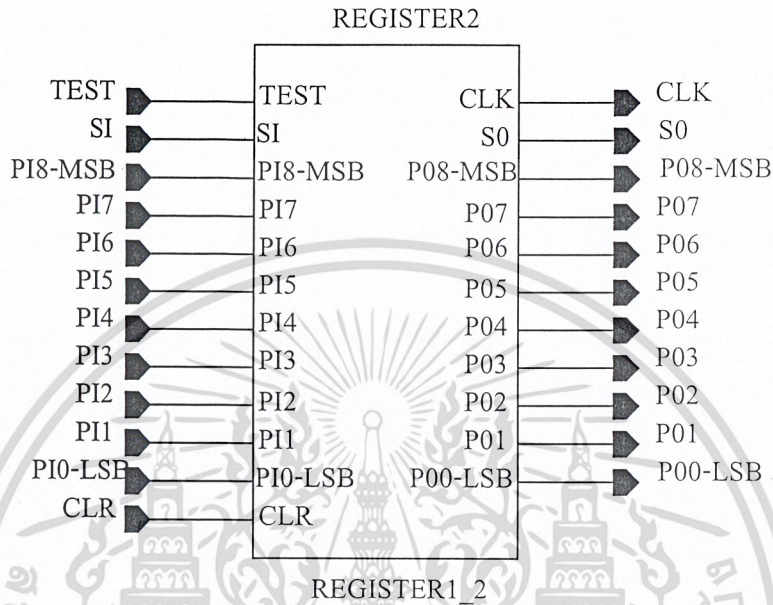
รูปที่ 4.44 ฟังงานของ REGISTER1_1



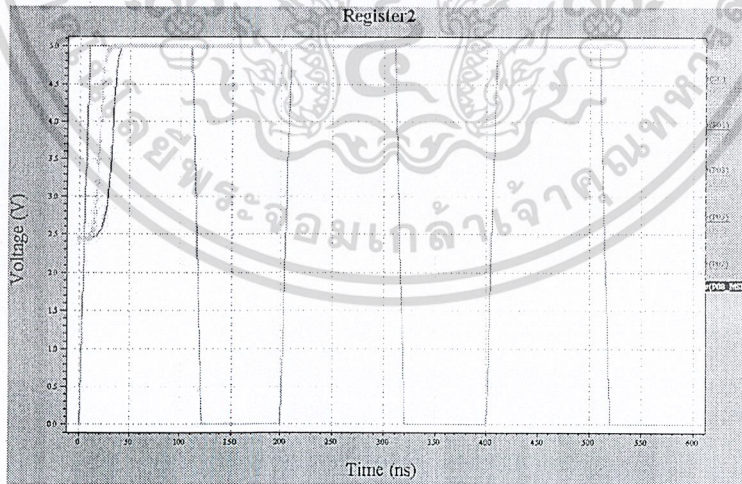
รูปที่ 4.45 ผลการเลียนแบบการทำงานฟังงานของ REGISTER1_1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6) ส่วนประกอบภาค REGISTER1_2 ดังแสดงดังรูป 4.46 โดยใช้โปรแกรม T-SPICE ได้ผลการทดลองดังรูปที่ 4.47 รายละเอียดวงจรภายในดังแสดงดังภาคผนวก



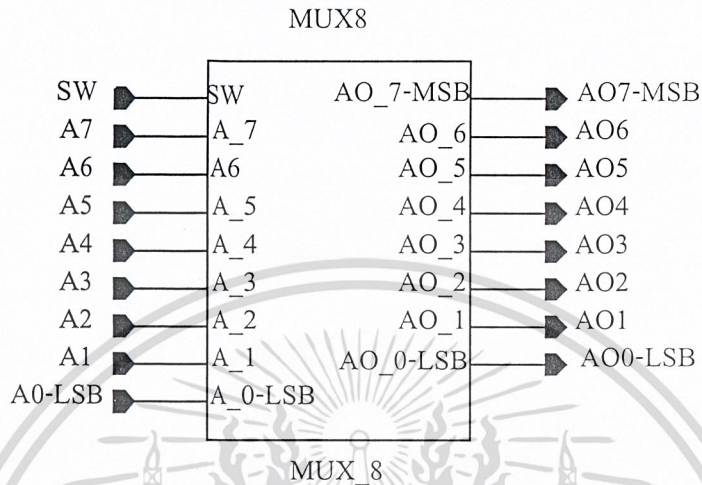
รูปที่ 4.46 ฟังก์ชันของ REGISTER1_2



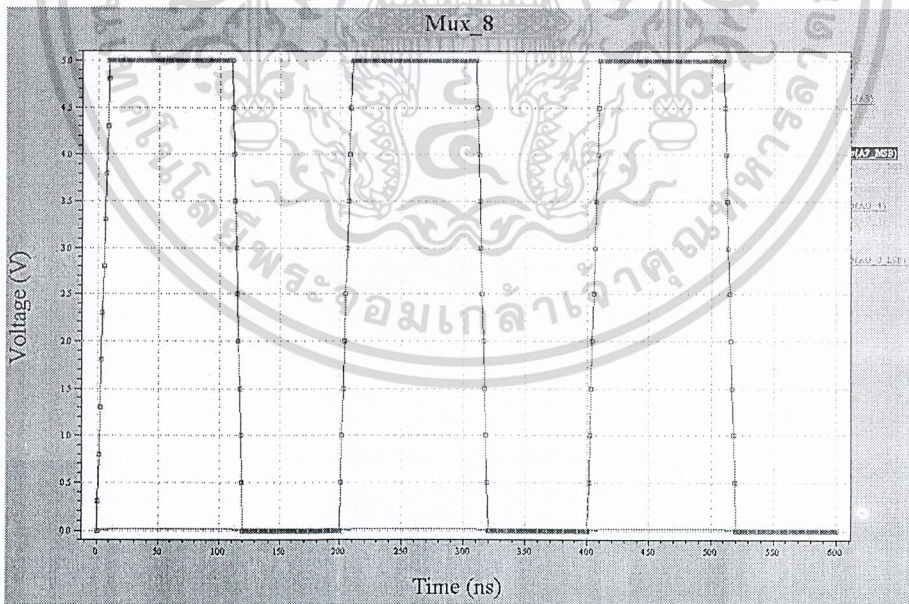
รูปที่ 4.47 ผลการเขียนแบบการทำงานฟังก์ชันของ REGISTER1_2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

7) ส่วนประกอบภาค MUX_8 แสดงดังรูป 4.48 โดยใช้โปรแกรม T-SPICE ได้ผลการทดลองดังรูปที่ 4.49 รายละเอียดวงจรภายในดังแสดงดังภาคผนวก ง



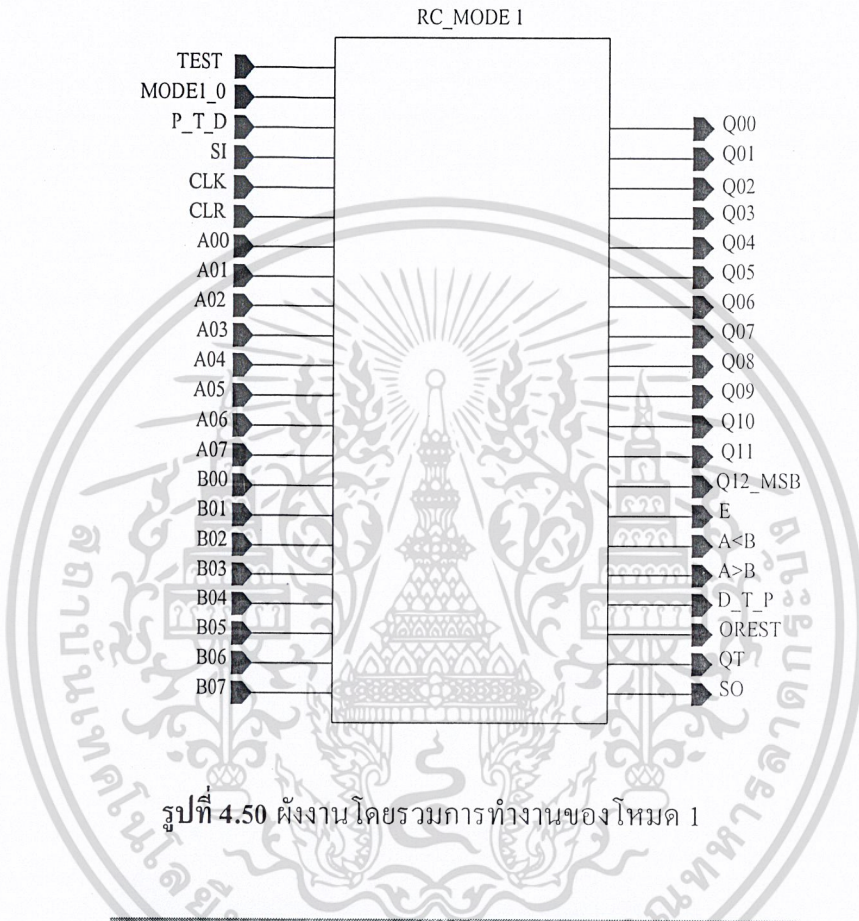
รูปที่ 4.48 ฟังก์ชันของ MUX_8



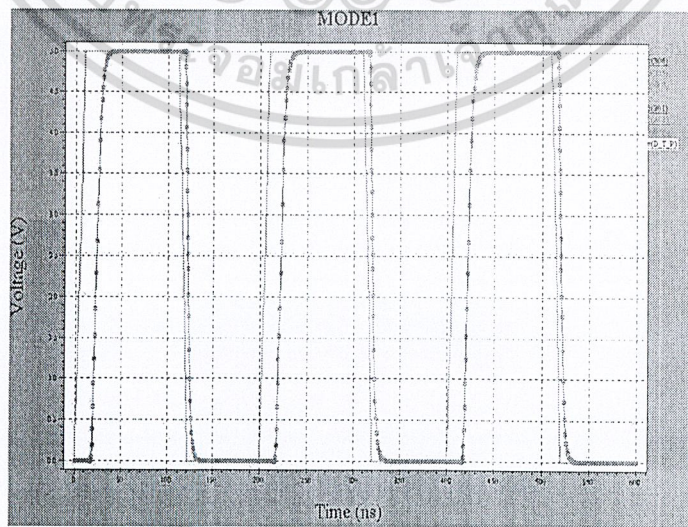
รูปที่ 4.49 ผลการเลียนแบบการทำงานฟังก์ชันของ MUX_8

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

8) การทำงานโดยรวมของโหมด 1 (สัญญาณดิจิทัลแปลงเป็นสัญญาณ พัลส์วิดท์มอดูเลชัน) รายละเอียดวงจรภายในดังแสดงดังภาคผนวก ง



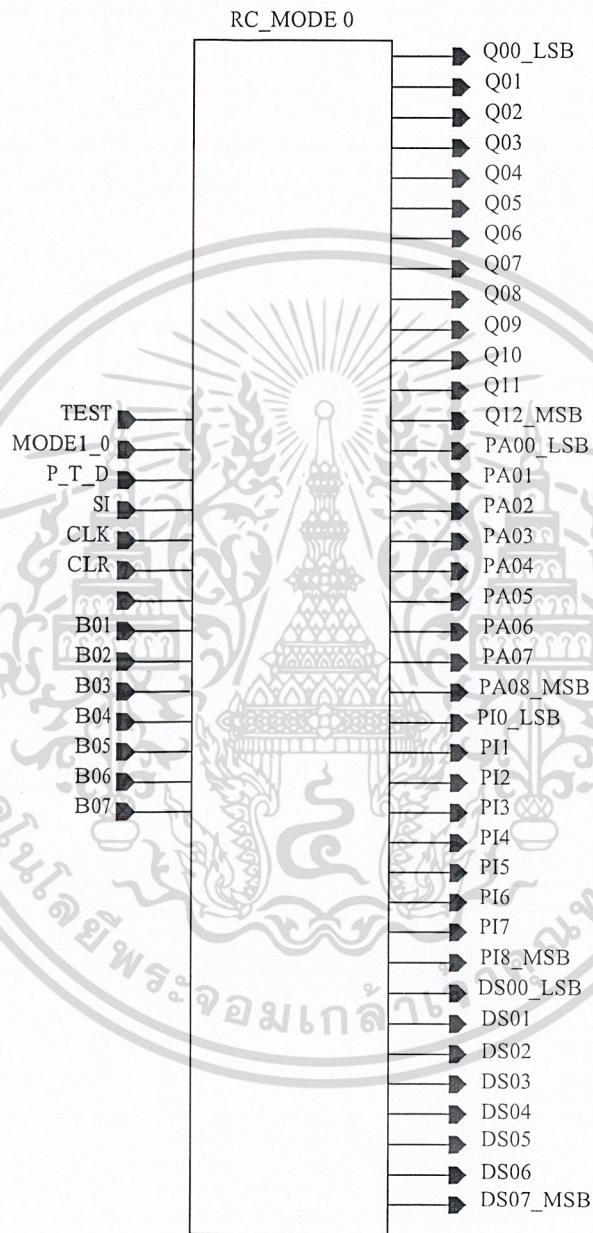
รูปที่ 4.50 ผังงานโดยรวมการทำงานของโหมด 1



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งยังมีใช้ตัดแปลงเนื้อหาและต่ออ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

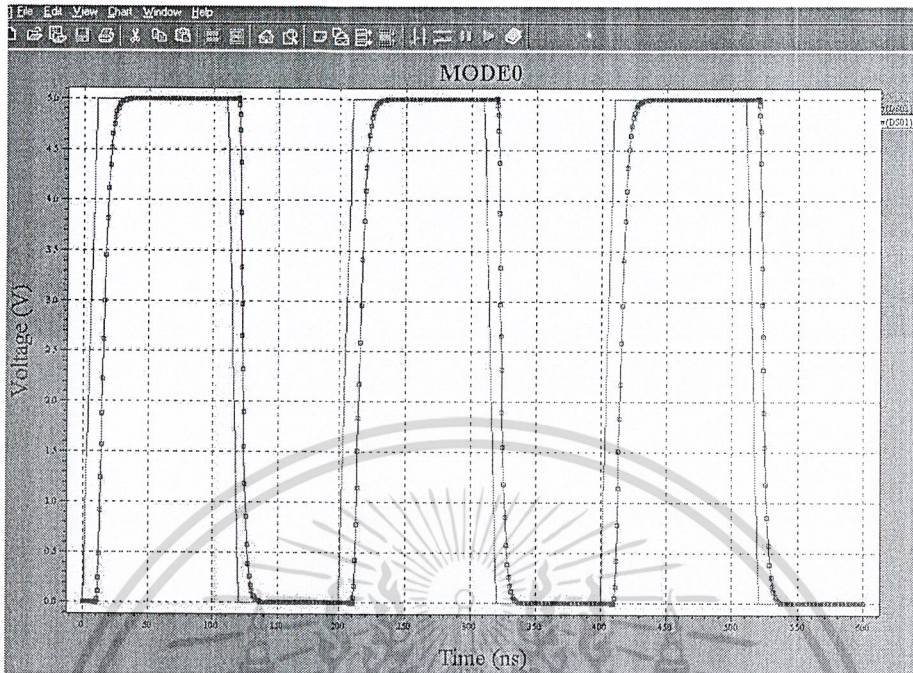
รูปที่ 4.51 ผลการเดินแบบการทำงานของโหมด 1

9) การทำงานโดยรวมของโหมด 0 (สัญญาณพัลส์วิดท์มอดูเลชันแปลงเป็นสัญญาณดิจิทัล) รายละเอียดวงจรภายในดังแสดงดังภาคผนวก ง



รูปที่ 4.52 ผังงานโดยรวมการทำงานของโหมด 0

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

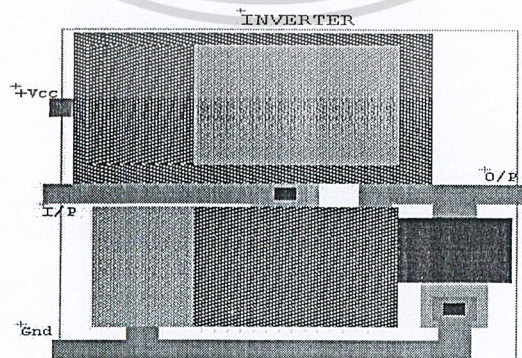


รูปที่ 4.53 ผลการเลียนแบบการทำงานของโหมด 0

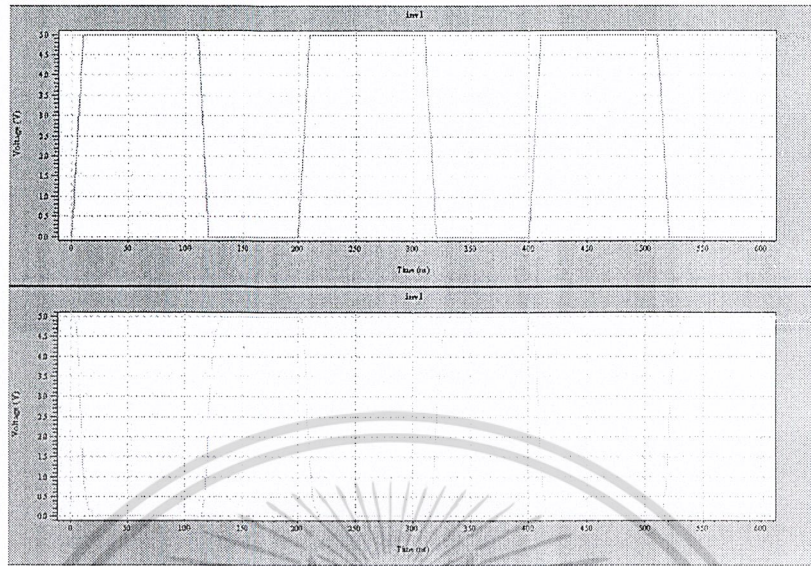
4.5 การทดลองโดยใช้ T-Spice เลียนแบบการทำงานของไฟล์ที่ได้จากการเขียนเลย์เอาต์

4.5.1 วงจรเกตพื้นฐาน

1) จากการทดลองเลียนแบบการทำงานของรูปวงจร อินเวอร์เตอร์ ในระดับเลย์เอาต์ ในรูปที่ 4.54 ได้ผลการทดลองดังรูปที่ 4.55 [2]

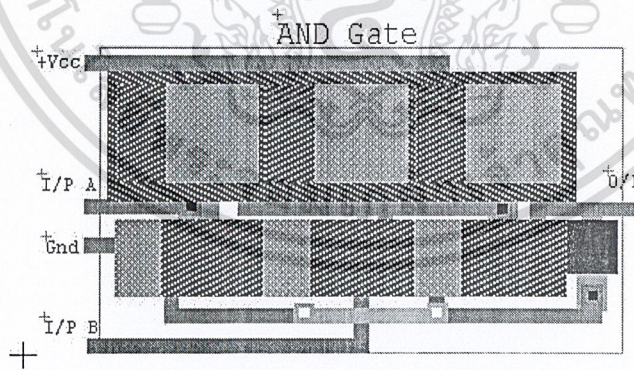


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
รูปที่ 4.54 วงจร อินเวอร์เตอร์ ในระดับเลย์เอาต์
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามเผยแพร่ต่อสาธารณะและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



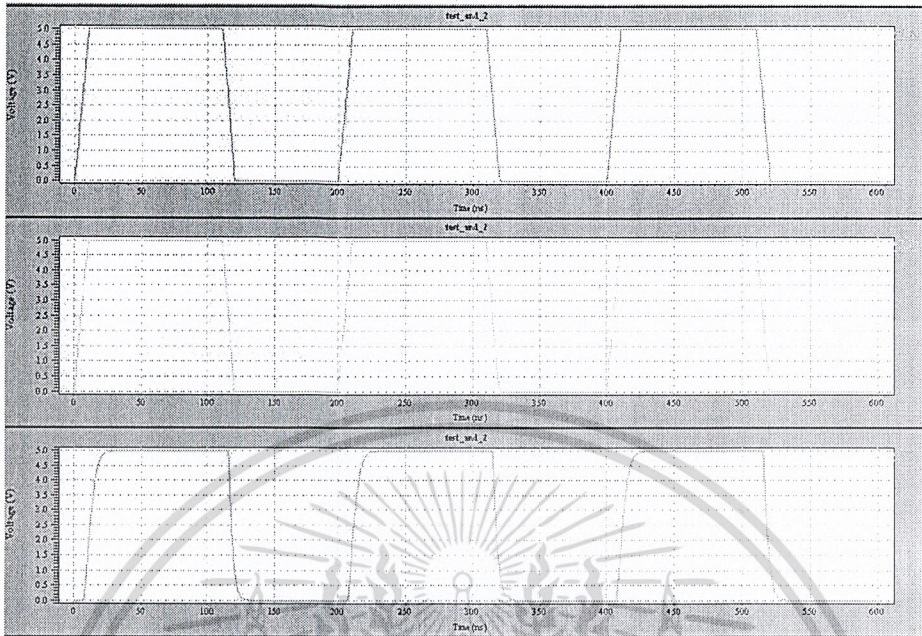
รูปที่ 4.55 ผลการเดินแบบการทำงานของวงจรมอเตอร์ในระดัปลีย์เอาต์

2) จากการทดลองเดินแบบการทำงานของรูปวงจรถอดแอนด์ในระดัปลีย์เอาต์ ในรูปที่ 4.56 ได้ผลการทดลองดังรูปที่ 4.57 [2]



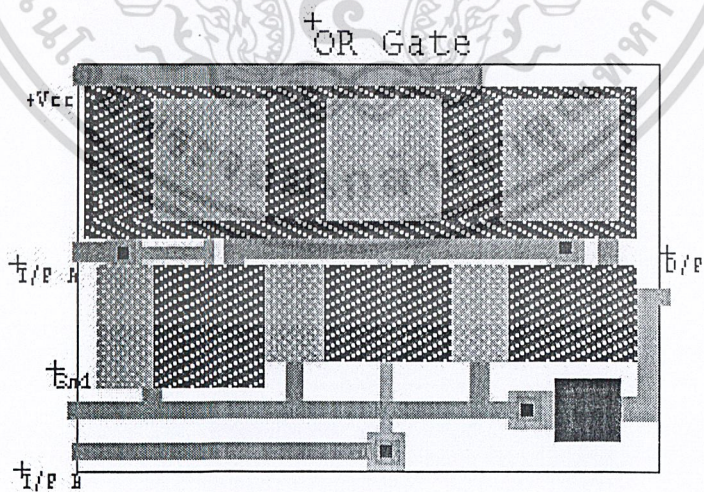
รูปที่ 4.56 วงจรถอดแอนด์ ในระดัปลีย์เอาต์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



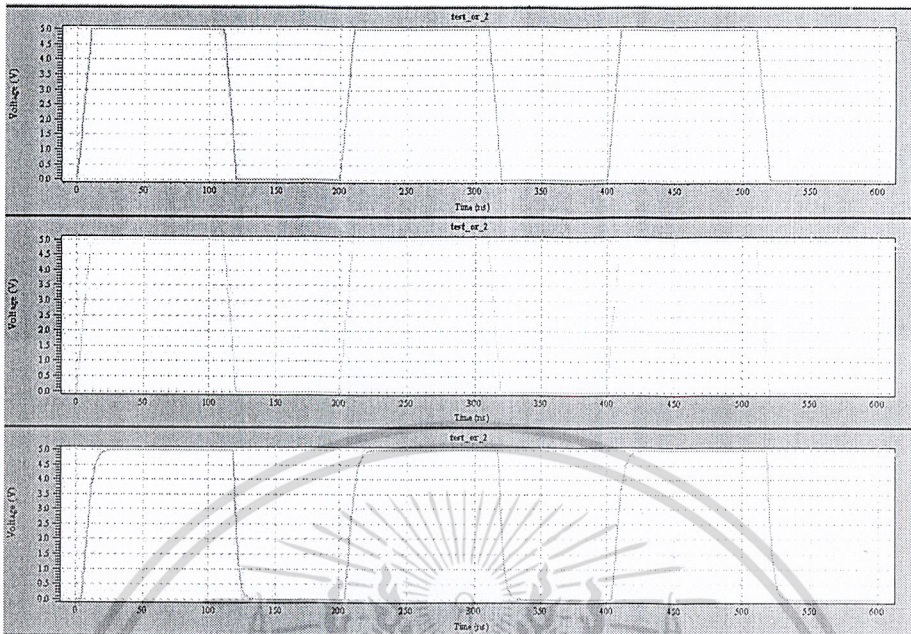
รูปที่ 4.57 ผลการเขียนแบบการทำงานของวงจรถัดแอนด์ ในระดับเลเยอร์

3) จากการทดลองเขียนแบบการทำงานของรูปวงจรถัดแอนด์ในระดับเลเยอร์ ในรูปที่ 4.58 ได้ผลการทดลองดังรูปที่ 4.59 [2]



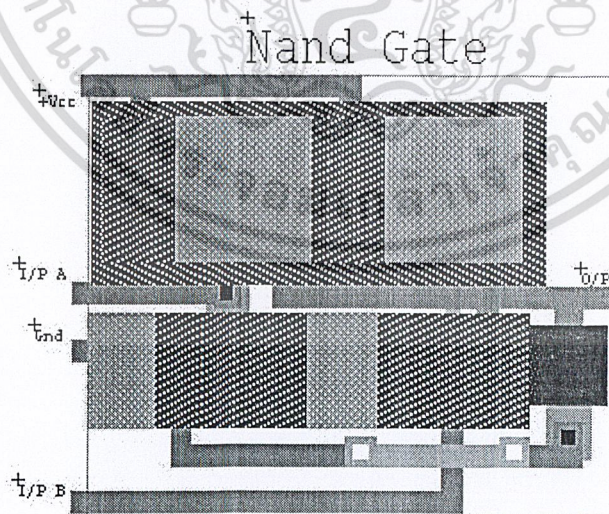
รูปที่ 4.58 วงจรถัดแอนด์ในระดับเลเยอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



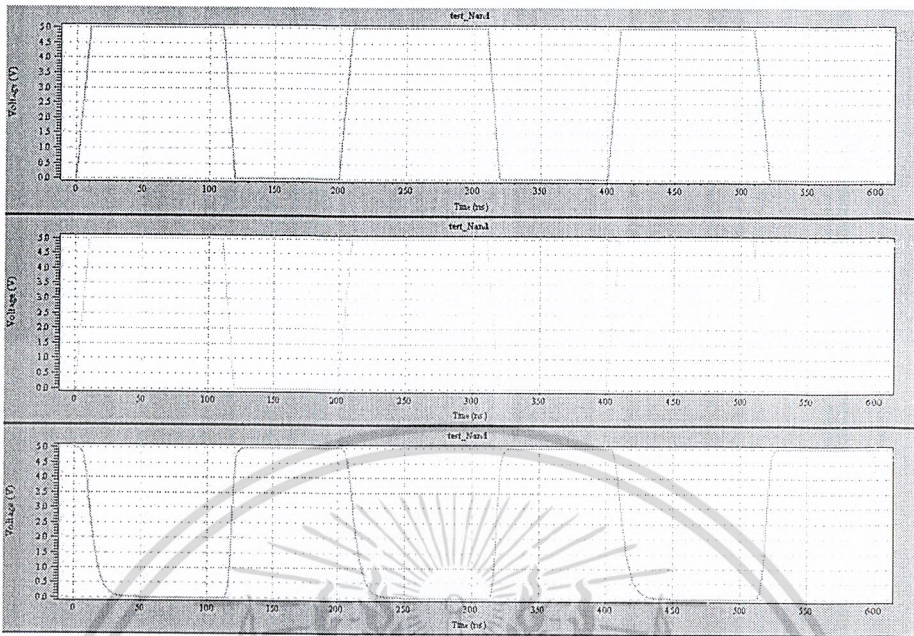
รูปที่ 4.59 ผลการเขียนแบบการทำงานของวงจรถัดออร์ ในระดับเลย์เอาต์

4) จากการทดลองเขียนแบบการทำงานของรูปวงจรถัดแนนด์ในระดับเลย์เอาต์ ในรูปที่ 4.60 ได้ผลการทดลองดังรูปที่ 4.61 [2]



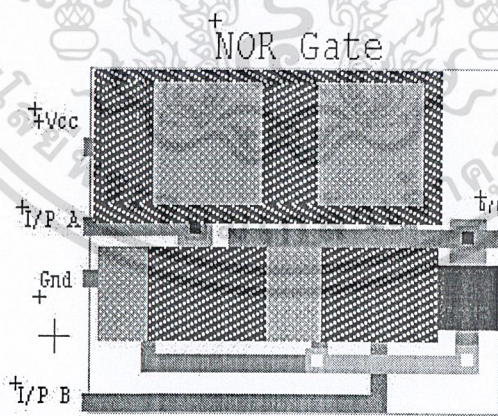
รูปที่ 4.60 วงจร เกตแนนด์ ในระดับเลย์เอาต์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



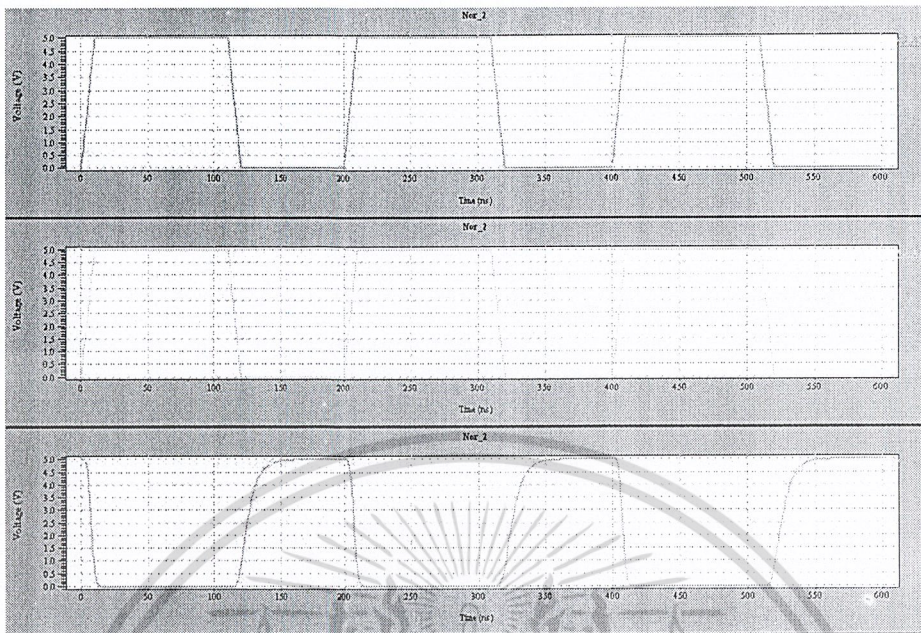
รูปที่ 4.61 ผลการเขียนแบบการทำงานของวงจร เกตแนนด์ ในระดับเลเยอร์

5) จากการทดลองเขียนแบบการทำงานของรูปวงจรถนอร์ในระดับเลเยอร์ ในรูปที่ 4.62 ได้ผลการทดลองดังรูปที่ 4.63 [2]



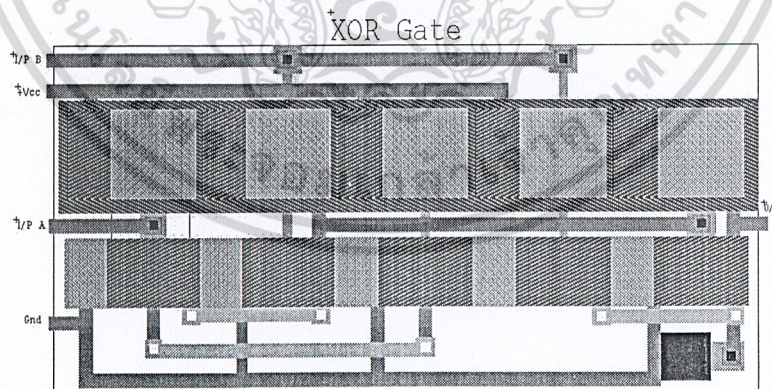
รูปที่ 4.62 วงจรถนอร์ ในระดับเลเยอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



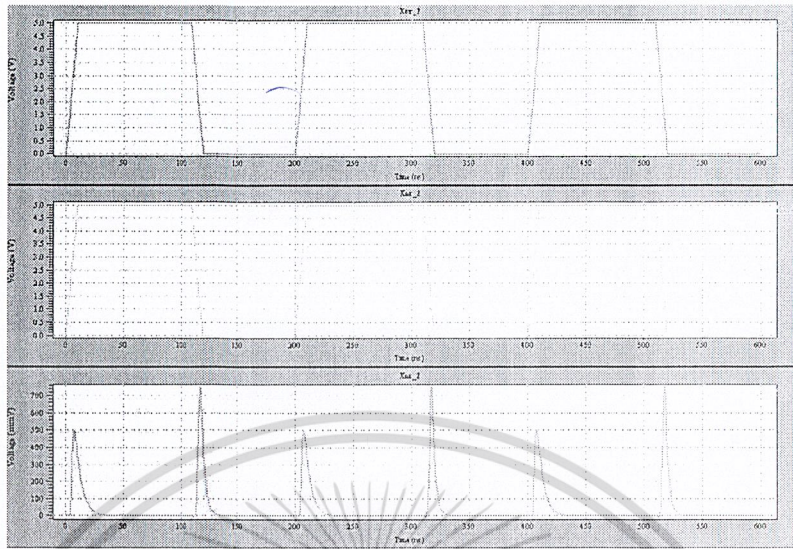
รูปที่ 4.63 ผลการเขียนแบบการทำงานของวงจรถัดขึ้น ในระดับเลย์เอาต์

6) จากการทดลองเขียนแบบการทำงานของรูปวงจรถัดขึ้นในรูปที่ 4.64 ได้ผลการทดลองดังรูปที่ 4.65 [2]



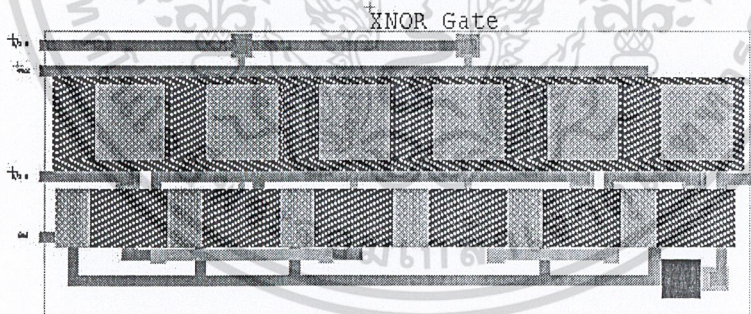
รูปที่ 4.64 วงจรถัดขึ้นในรูปที่ 4.65

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



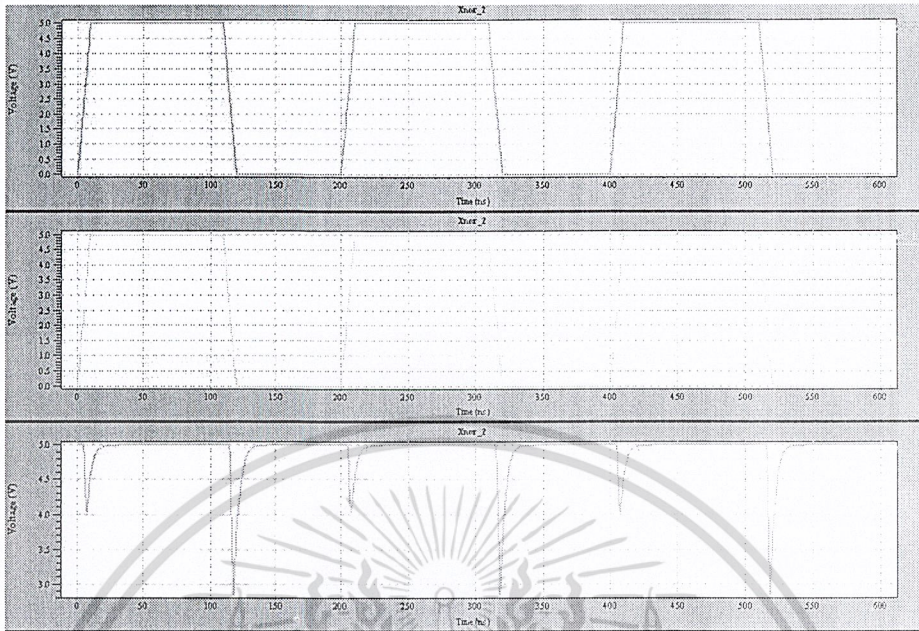
รูปที่ 4.65 ผลการเขียนแบบการทำงานของวงจรถัดเอ็กคูลซีฟออร์ในระดับเลย์เอาต์

7) จากการทดลองเขียนแบบการทำงานของรูปวงจรถัดเอ็กคูลซีฟออร์ในระดับเลย์เอาต์ ในรูปที่ 4.66 ได้ผลการทดลองดังรูปที่ 4.67 [2]



รูปที่ 4.66 วงจรถัดเอ็กคูลซีฟออร์ ในระดับเลย์เอาต์

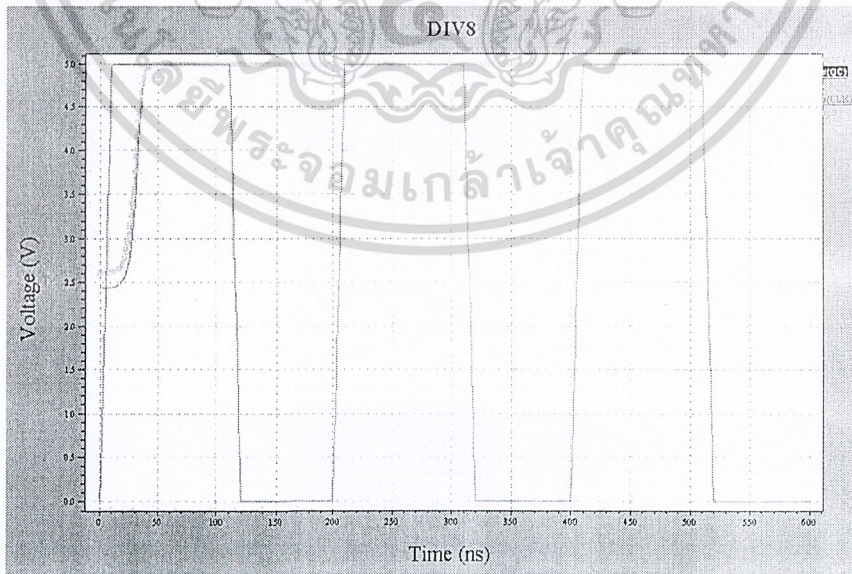
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.67 ผลการเลียนแบบการทำงานของวงจรเค็ทเอ็ทคิวลชีฟนอร์ ในระดับเล็ยเออตั

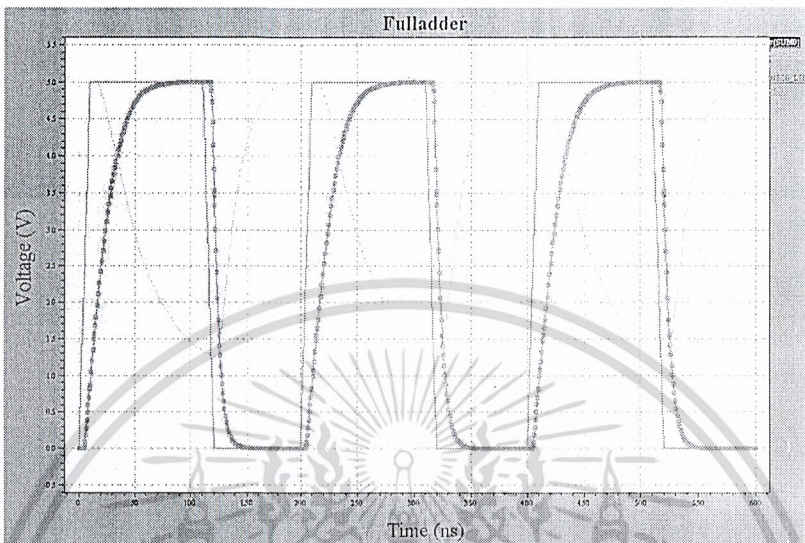
4.5.2 ส่วนประกอบต่างๆ ของโครงงานในระดับเล็ยเออตั โดยใช้วิธี Full Custom

- 1) ส่วนประกอบภาค DIV8 รายละเอียดวงจรภายในดังแสดงดังภาพผนวก



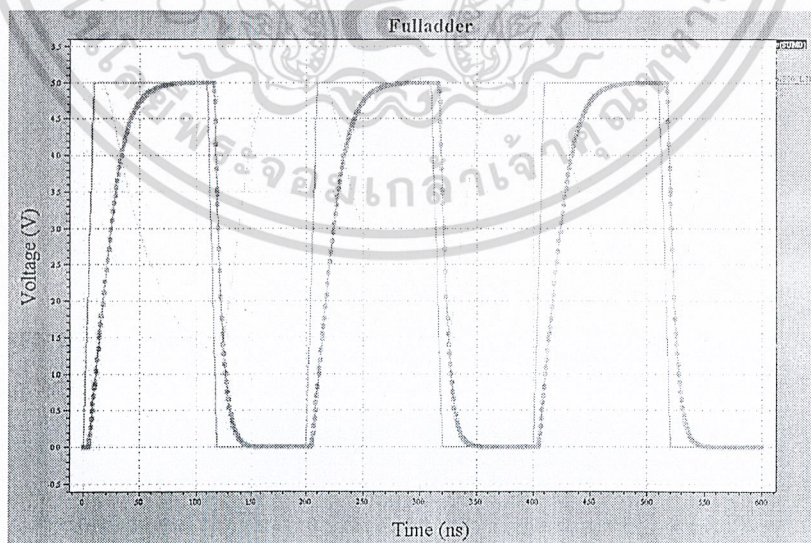
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีก **รูปที่ 4.68** ผลการเลียนแบบการทำงานของผังงานของ DIV8 การทุกครั้งที่มีการนำไปใช้

2) ส่วนประกอบภาค ADDER8_12 รายละเอียดวงจรภายในดังแสดงดังภาคผนวก ง



รูปที่ 4.69 ผลการเขียนแบบการทำงานผังงานของ ADDER8_12

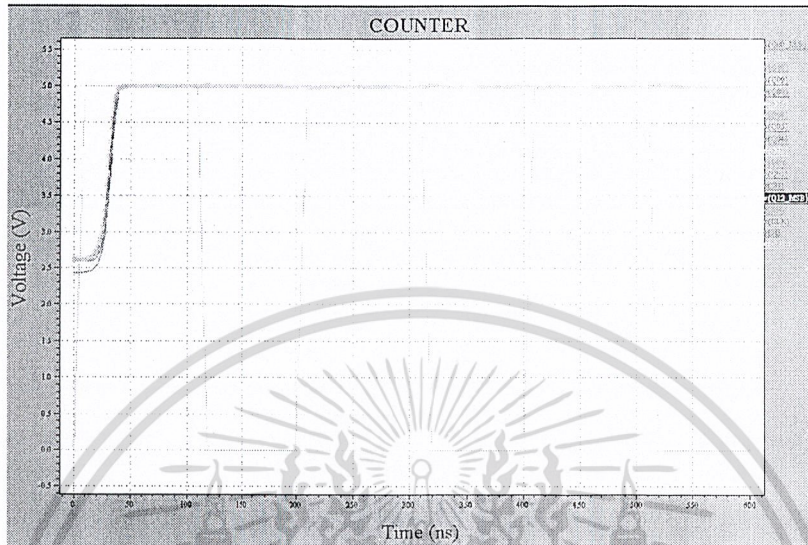
3) ส่วนประกอบภาค ADDER8_1 รายละเอียดวงจรภายในดังแสดงดังภาคผนวก ง



รูปที่ 4.70 ผลการเขียนแบบการทำงานผังงานของ ADDER8_1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามเผยแพร่ต่อสาธารณะและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4) ส่วนประกอบภาค COUNTER รายละเอียดวงจรภายในดังแสดงดังภาคผนวก ง



รูปที่ 4.71 ผลการเดินแบบการทำงานฟังก์ชันของ COUNTER

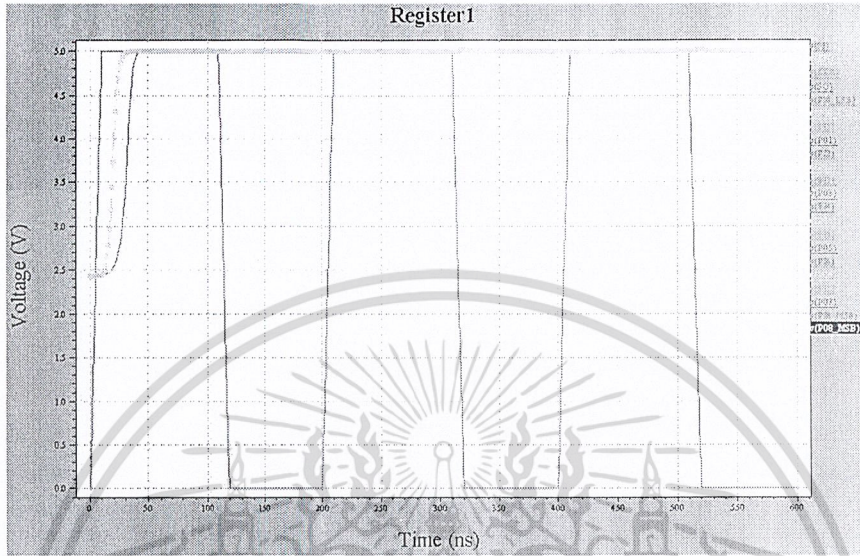
5) ส่วนประกอบภาค COMPARATOR รายละเอียดวงจรภายในดังแสดงดังภาคผนวก ง



รูปที่ 4.72 ผลการเดินแบบการทำงานฟังก์ชันของ COMPARATOR

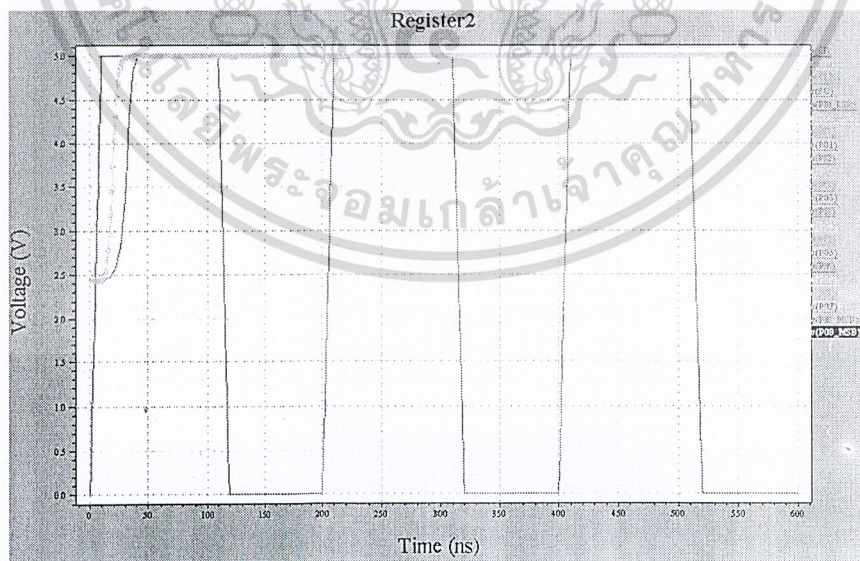
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6) ส่วนประกอบภาค REGISTER1_1 รายละเอียดวงจรภายในดังแสดงดังภาคผนวก ง



รูปที่ 4.73 ผลการเลียนแบบการทำงานฟังก์ชันของ REGISTER1_1

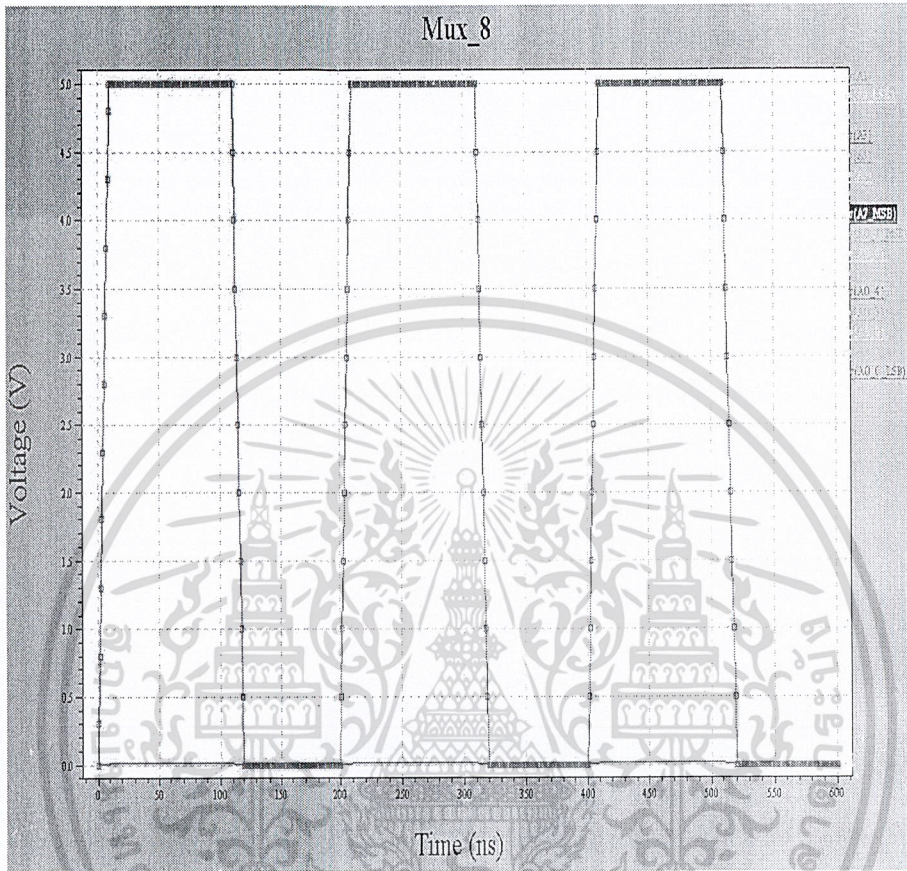
7) ส่วนประกอบภาค REGISTER1_12 รายละเอียดวงจรภายในดังแสดงดังภาคผนวก ง



รูปที่ 4.74 ผลการเลียนแบบการทำงานฟังก์ชันของ DIV8

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ไว้สำหรับใช้เพื่อการศึกษาเท่านั้น มิได้อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

8) ส่วนประกอบภาค MUX8 รายละเอียดวงจรภายในดังแสดงดังภาคผนวก ง

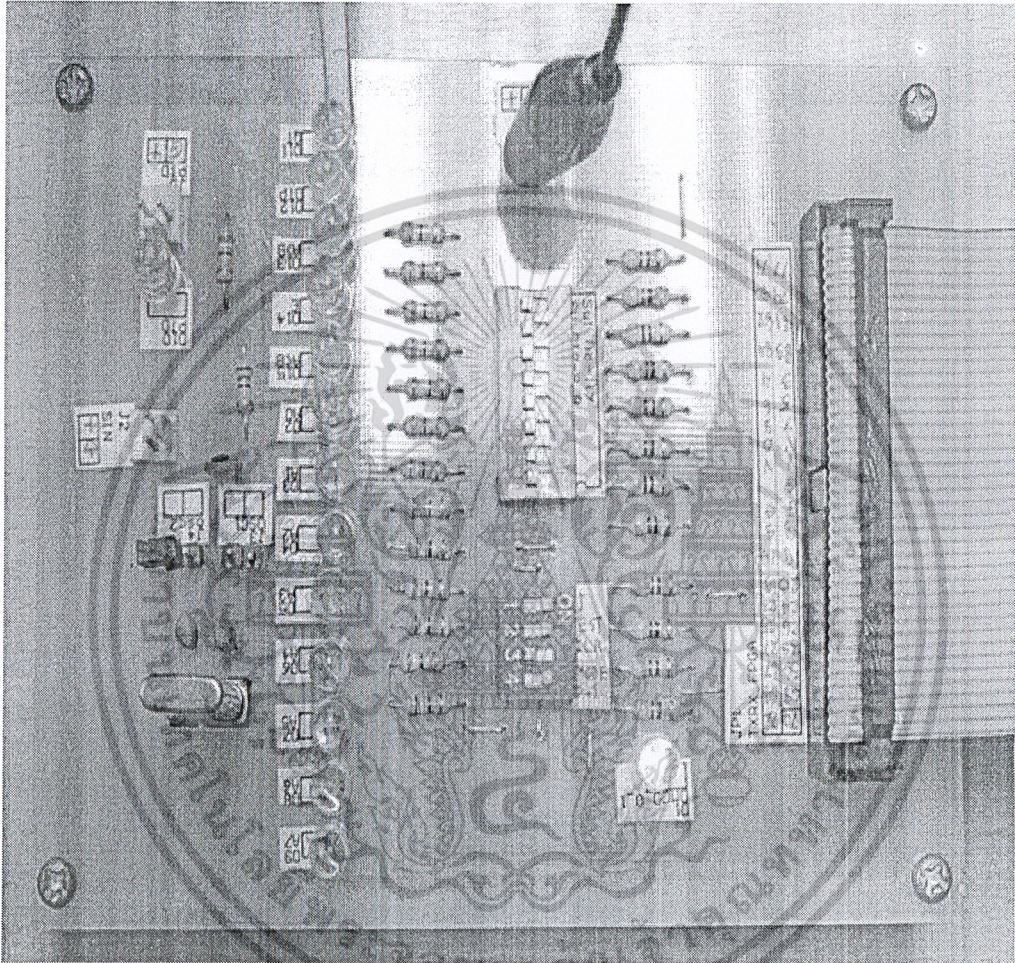


รูปที่ 4.75 ผลการเลียนแบบการทำงานฝั่งงานของ MUX8

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

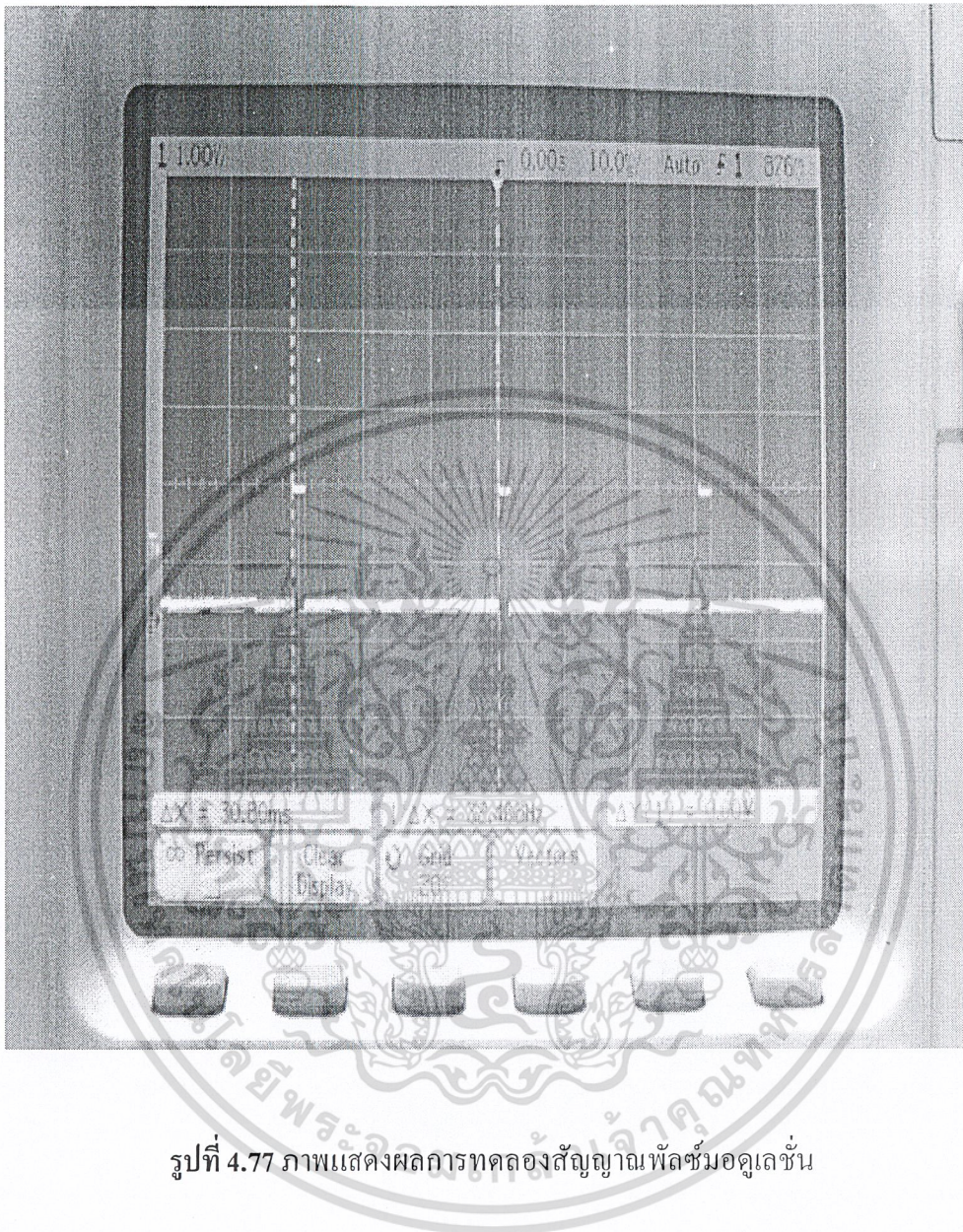
4.6 การทดลองภาคแสดงผล

4.6.1 การทดลองภาคแสดงผลการทำงานในโหมดที่ 1



รูปที่ 4.76 ภาพแสดงผลการทดลองในโหมดที่ 1

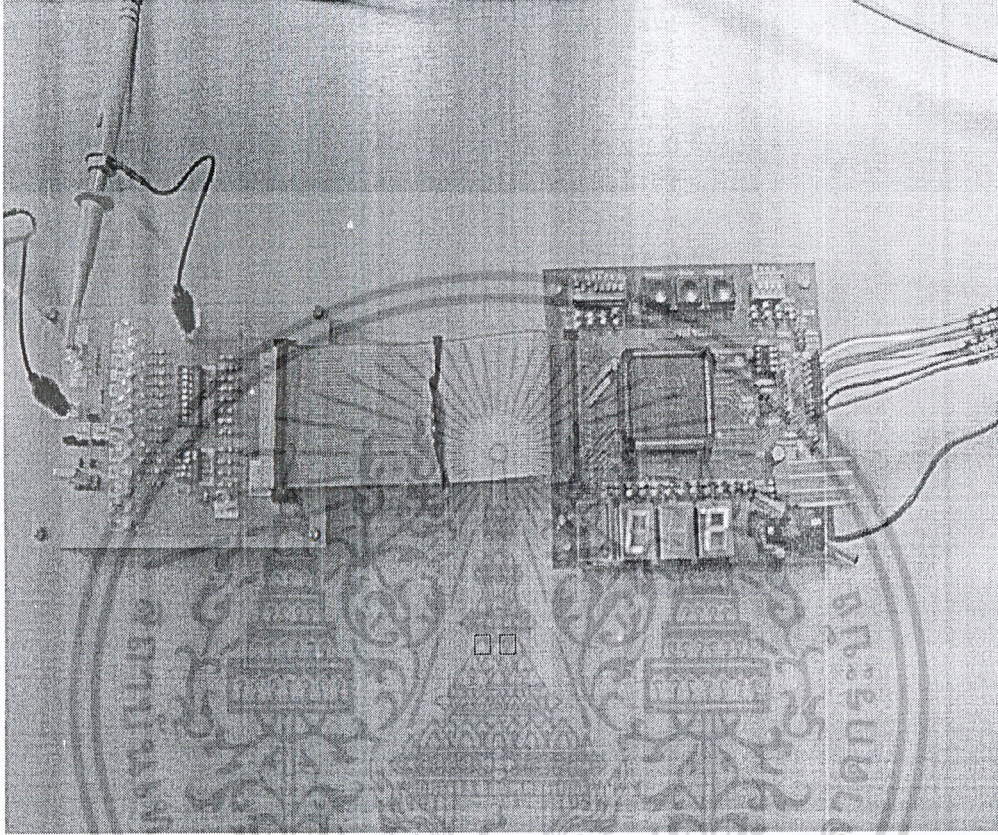
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.77 ภาพแสดงผลการทดลองสัญญาณพัลส์มอดูเลชัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.6.1 การทดลองภาคแสดงผลการทำงานในโหมดที่ 0



รูปที่ 4.78 ภาพแสดงผลการทดลองในโหมดที่ 0

สรุปผลการทดลอง

เมื่อนำพลังงานในแต่ละพลังงานมารวมแล้วเราสามารถหาผลการทำงานจริงได้แต่ตอนนี้ทำได้แค่เพียงตรวจสอบความถูกต้องของชิ้นงานได้เท่านั้นและยังไม่ทดสอบใช้งานได้จริงได้อันเนื่องจากชิ้นงานที่ออกแบบยังไม่ได้นำไปสื่อสารจริงๆ ดังนั้นจึงไม่สามารถแสดงผลการทดลองจริงได้ แต่อย่างไรก็ตามในการทดลองในแต่ละพลังงานของแต่ละภาคเป็นสิ่งที่ยืนยันได้ว่าวงจรนั้นสามารถทำงานได้อย่างถูกต้อง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5

บทสรุป ปัญหา แนวทางแก้ไขและพัฒนา

5.1 บทสรุป

ปริญญานิพนธ์ฉบับนี้การออกแบบวงจรรวมตัวแปลงสัญญาณสำหรับการควบคุมระยะไกล FPGA และ CMOS แบ่งการออกแบบวงจรออกเป็น 2 ส่วน การออกแบบวงจรในระดับเกต โดยใช้ FPGA และการออกแบบวงจรระดับเลย์เอาต์โดยวิธี Full Custom โดยในการออกแบบวงจรในระดับเกตใช้เทคโนโลยี 2 ไมครอนของบริษัท Mosis โดยในการออกแบบนั้นจะต้องทำการวิเคราะห์หาค่า W/L เพื่อใช้ในการออกแบบวงจร ซึ่งในวงจรที่ทำการออกแบบนั้นสามารถแบ่งการทำงานโดยใช้โปรแกรม T-SPICE ซึ่งพบว่า วงจรทั้งสองสามารถทำงานได้เป็นอย่างดี จากนั้นจึงใช้โปรแกรม L-EDIT เป็นเครื่องมือในการออกแบบเลย์เอาต์ของวงจรทั้งสอง ซึ่งทดสอบการทำงานได้ตามหลักการ

5.2 ปัญหาและแนวทางการแก้ปัญหา

เนื่องจากในการทำโครงการนี้เป็นการสร้างตัวคุณ โดยการอาศัยความนำของซิมอสด้วยวิธี FULL CUSTOM ในการทำงานจึงมีปัญหาและแนวทางในการแก้ปัญหาดังนี้

1) ปัญหาจากความหน่วงด้านเวลาที่เกิดจากการวางตำแหน่งของอุปกรณ์ ซึ่งผู้ออกแบบไม่สามารถเข้าไปแก้ไขได้ แต่สามารถทำให้มีความหน่วงน้อยที่สุดได้ สำหรับความหน่วงที่เกิดขึ้นแยกออกเป็น 2 ประเภท คือ ความหน่วงของวงจรลอจิก เป็น ความหน่วงภายในอุปกรณ์ FPGA เช่น CLB's และ ความหน่วงที่เกิดจากการเชื่อมต่อสัญญาณ โดยปกติแล้วค่าความหน่วงลอจิกไม่ควรเกิน 50% ของค่าความหน่วงที่ยอมรับได้เพราะค่าความหน่วงที่เกิดจากการเชื่อมต่อสัญญาณมักมีค่ามากกว่าความหน่วงลอจิก

แนวทางการแก้ไข ทำการวางอุปกรณ์และเชื่อมต่อสัญญาณ ผู้ออกแบบควรกำหนดข้อบังคับทางเวลาเพื่อให้ ซอฟต์แวร์ได้ทำงานอย่างมีประสิทธิภาพเพิ่มขึ้น

2) ปัญหาจากการแอกแทรกไฟล์ที่ได้จากการเขียนเลย์เอาต์ โดยเมื่อเขียนเลย์เอาต์และได้ทำการแอกแทรกไฟล์แล้วเมื่อต้องการเลียนแบบการทำงานโดยการใส่ T-Spice แล้วต้องทำการค้นหาไฟล์ที่เราทำการแอกแทรก เมื่อพบแล้วต้องทำการตัดข้อความที่แจ้งเกี่ยวกับ โหนดของวงจรทิ้งทำให้เกิดการล่าช้าในการเลียนแบบการทำงานของวงจร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แนวทางการแก้ไข สามารถทำได้โดยกำหนดไฟล์ที่ทำการเอกแทรกให้อยู่ที่เดียวกับไฟล์ที่เราต้องการเลียนแบบการทำงาน

3) การออกแบบเลย์เอาต์จะเกิดค่าประจุที่ไม่ต้องการขึ้น (C) ซึ่งมีผลทำให้การทำงานของวงจรผิดเพี้ยนไปจากทฤษฎี

แนวทางในการแก้ไข จัดวางวงจรให้อุปกรณ์แต่ละตัว ให้อยู่ในตำแหน่งที่เหมาะสมที่สุด

4) ไม่สามารถทดสอบผลการทดลองจริงได้เนื่องจากยังไม่ได้ทำการเชื่อม

แนวทางการแก้ไขปัญหา ทำการทดสอบอย่างละเอียด ในแต่ละบล็อกและหางบประมาณไปทำการเชื่อม

5.3 แนวทางในการพัฒนา

1) เปลี่ยนเทคโนโลยีที่ใช้ในการออกแบบวงจรรวมให้เล็กลงไปอีกจากปกติที่ใช้คือ เทคโนโลยี 2 ไมครอน

2) ทำการจัดเรียงอุปกรณ์และการเชื่อมต่อสัญญาณต่างๆ เพื่อลดอัตราความหน่วงด้านเวลา (Delay Time)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ภาคผนวก ก

การใช้โปรแกรม T-Spice เบื้องต้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การใช้โปรแกรม T-Spice เบื้องต้น

1. โปรแกรม T-Spice

โปรแกรม T-Spice เป็นซอฟต์แวร์ที่ใช้สำหรับการวิเคราะห์วงจรไฟฟ้า และวงจรอิเล็กทรอนิกส์ พัฒนาโดยบริษัท Tanner EDA สามารถใช้บนเครื่องคอมพิวเตอร์ส่วนบุคคลภายใต้ระบบปฏิบัติการ Windows โดยใช้ชื่อทางการค้าว่า Tanner T-Spice Pro

2. องค์ประกอบของโปรแกรม T-Spice

Tanner T-Spice Pro ของบริษัท Tanner มีองค์ประกอบที่สำคัญ 3 ส่วนด้วยกันคือ

S-Edit (Schematic Editor) : เป็นตัวควบคุมการใช้โปรแกรมในการออกแบบ และเป็นอิดิเตอร์(Editor) สำหรับเขียนวงจร

T-Spice (Circuit Simulator) : เป็นตัววิเคราะห์ และเลียนแบบการทำงานของวงจร แอนาล็อก, ดิจิตอล และรวมทั้งแอนาล็อกและดิจิตอล(Mixed Mode)

W-Edit (Waveform Viewer) : เป็นตัวนำเอาผลการวิเคราะห์จาก T-Spice ในเชิงตัวเลขมาแสดงผลในเชิงกราฟฟิกส์

3. ความสามารถของโปรแกรม T-Spice

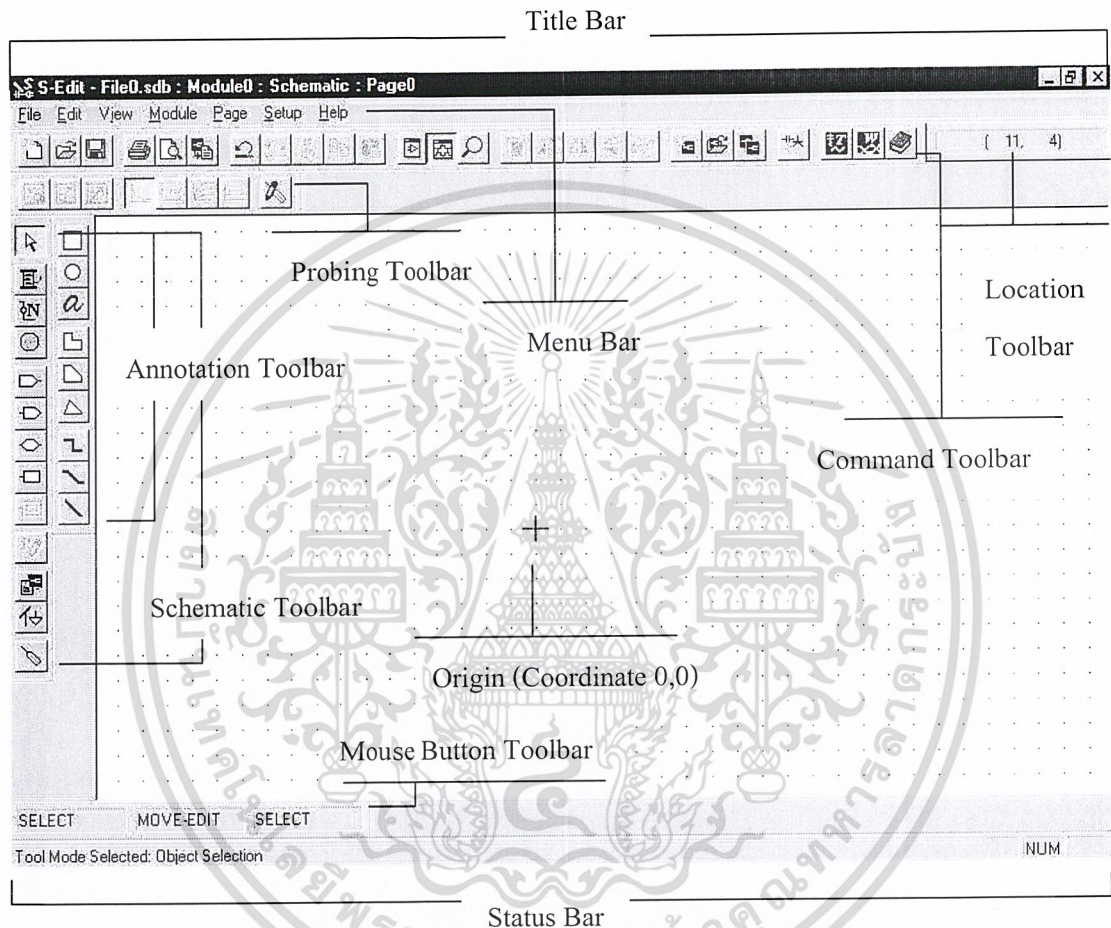
โปรแกรม T-Spice Pro สามารถวิเคราะห์และแสดงผลเชิงกราฟฟิกส์ได้ดังนี้

- 1) **AC Sweep** สำหรับการวิเคราะห์วงจรในโดเมนความถี่
- 2) **Transient** สำหรับการวิเคราะห์วงจรในโดเมนเวลา
- 3) **DC transfer Sweep** สำหรับการคำนวณค่ากระแส, แรงดัน และสถานะของวงจรในสภาวะสงบ โดยกำหนดการเปลี่ยนค่าแหล่งจ่าย, โมเดล หรืออุณหภูมิที่พิสัยต่างๆ ได้
- 4) **DC operating point** สำหรับการคำนวณจุดทำงานและพร้อมรายงานผลให้ทราบ
- 5) **Transfer function** สำหรับการคำนวณอัตราขยายขนาดเล็ก ความต้านทานอินพุต ความต้านทานเอาต์พุตได้
- 6) **Fourier** สำหรับการคำนวณหาผลตอบสนองของวงจร เมื่อมีการเปลี่ยนแปลงพารามิเตอร์ของโมเดลของอุปกรณ์
- 7) **Parametric sweep** สำหรับวิเคราะห์ Parametric และ Temperature ในลักษณะ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4. ขั้นตอนการวิเคราะห์วงจรโดยใช้ Tanner T-Spice Pro

ขั้นที่ 1 เรียกโปรแกรม S-Edit เพื่อวาดวงจร เมื่อเข้าสู่โปรแกรม S-Edit จะปรากฏหน้าต่างและส่วนประกอบที่สำคัญดังรูป



รูปที่ ก.1 หน้าต่างของ โปรแกรม S-Edit

จากรูป หน้าต่างของโปรแกรม S-Edit ประกอบด้วยส่วนต่างๆดังนี้

Title Bar แสดงชื่อของไฟล์, โมดูล และตำแหน่งหน้าที่กำลังวาดวงจรอยู่ในขณะนั้น

Toolbars ประกอบด้วย

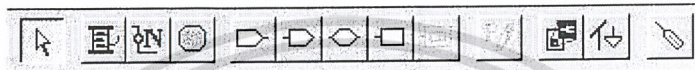
- **Command toolbar** ประกอบด้วยปุ่มต่างๆที่ต้องเรียกใช้บ่อยๆในการวาดวงจร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ ก.2 Command Toolbar

- **Schematic Toolbar** ประกอบด้วยเครื่องมือสำหรับสร้างอุปกรณ์ไฟฟ้า เช่น สายไฟ, พอร์ต



รูปที่ ก.3 Schematic Toolbar

- **Annotation toolbar** เป็นเครื่องมือสำหรับสร้างอุปกรณ์ที่ไม่ใช่อุปกรณ์ไฟฟ้า เช่น รูปสี่เหลี่ยม, วงกลม ซึ่งใช้ประโยชน์ในการเขียนภาพประกอบในวงจร



รูปที่ ก.4 Annotation Toolbar

Menu Bar ประกอบด้วยเมนูคำสั่งต่างๆ ดังนี้
คำสั่งสำหรับ สร้าง, เปิด, บันทึก และพิมพ์

คำสั่งสำหรับ คัดลอก, ลบ, เลือก และโอนย้ายวงจรที่ออกแบบ

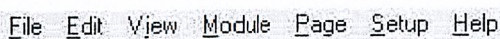
คำสั่งสำหรับ เปลี่ยน, การขยาย มุมมอง

คำสั่งสำหรับสร้าง และจัดการ โมดูล

คำสั่งสำหรับ สร้าง, ทดสอบ และจัดการในหน้าที่ออกแบบ


คำสั่งสำหรับปรับแต่ง S-Edit

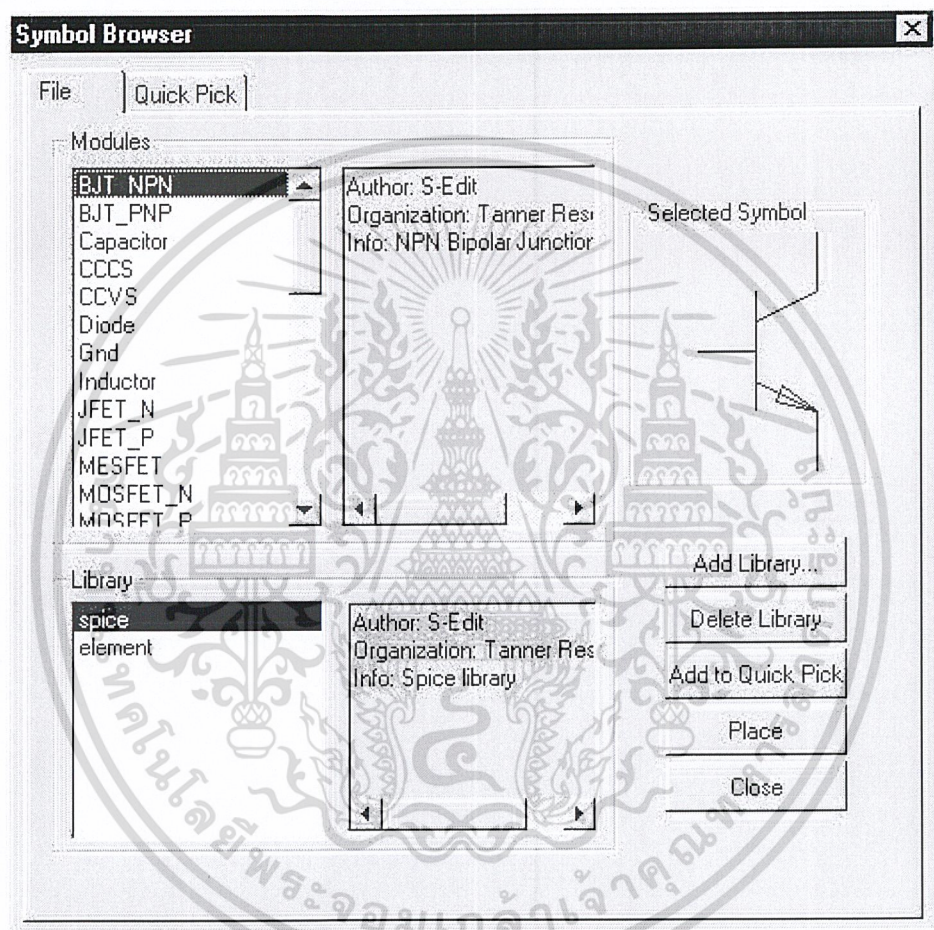
คำสั่งสำหรับดูส่วนช่วยเหลือ




รูปที่ ก.5 Menu Bar


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วาดวงจรโดยการโหลดตัวอุปกรณ์ โดยคลิกที่ปุ่ม  บน Command toolbar จะปรากฏหน้าต่างดังรูปที่ ก.6 ให้เลือกอุปกรณ์ที่ต้องการซึ่งสามารถดูจากชื่ออุปกรณ์ และรูปภาพแล้วคลิก Place เพื่อวางอุปกรณ์ โดยในตัวอย่างนี้จะใช้อุปกรณ์ที่มีชื่อว่า BJT_NPN, Resistor, Capacitor, source_i_sine, source_v_dc และ Gnd

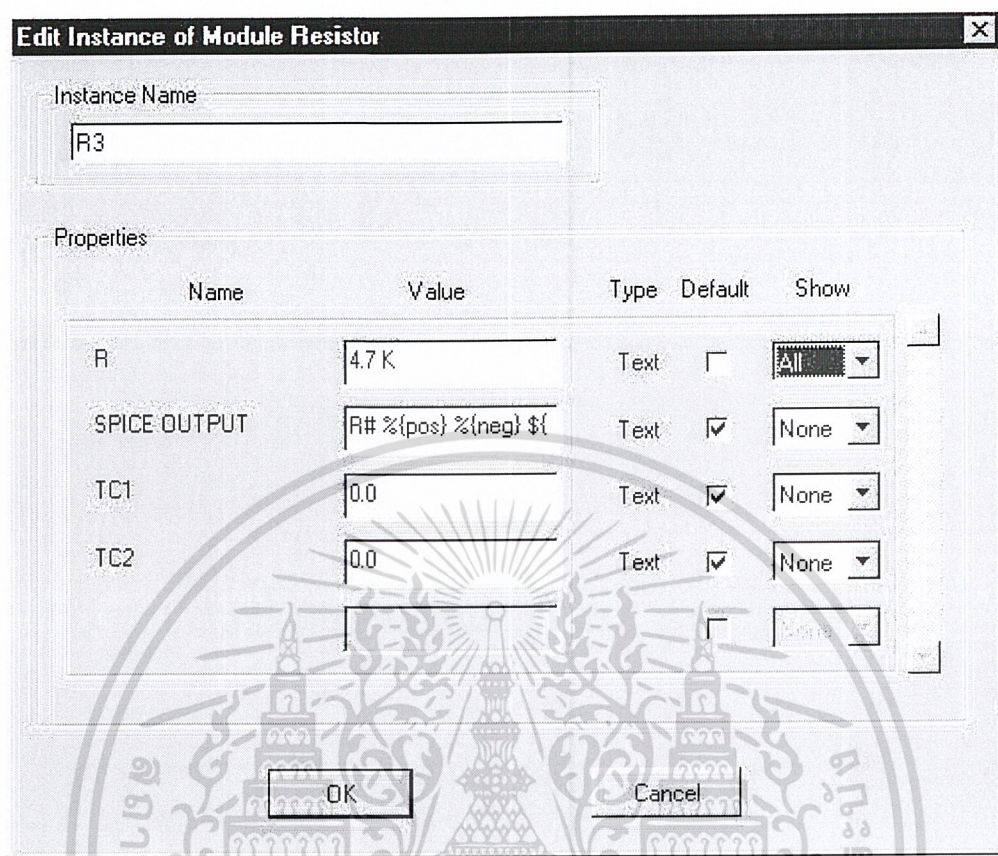


รูปที่ ก.6 หน้าต่าง Symbol Browser

เมื่อวางอุปกรณ์ครบแล้ว จะพบว่าอุปกรณ์ที่เราวางจะทับกันอยู่ ให้ทำการจัดรูปวงจรใหม่ โดยการเคลื่อนย้ายอุปกรณ์ให้อยู่ในตำแหน่งที่เหมาะสม ในขณะที่เคลื่อนย้ายอุปกรณ์จะต้องกดปุ่ม ALT พร้อมกับคลิกเมาส์บนตัวอุปกรณ์แล้วลากไปยังตำแหน่งที่ต้องการ เมื่อจัดรูปวงจรแล้ว จากนั้นเชื่อมต่อโยงสายโดยคลิกปุ่ม  บน Schematic toolbar แล้วลากสายไปยังตัวอุปกรณ์ต่างๆ

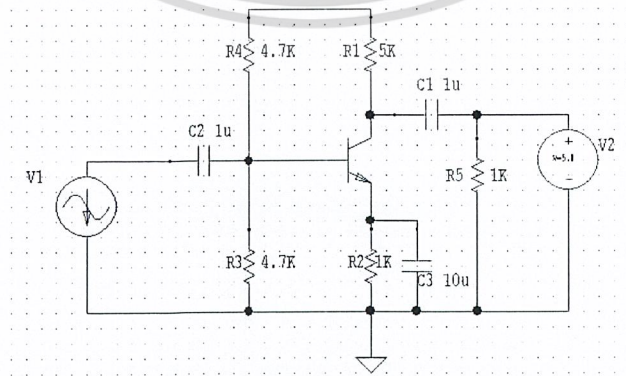
เมื่อลากสายเสร็จแล้ว ให้ทำการกำหนดค่าให้กับตัวอุปกรณ์โดยการคลิกปุ่ม  บน Command toolbar ซึ่งจะปรากฏหน้าต่างดังรูป

เอกสารนี้เป็นเอกสารสงวนลิขสิทธิ์สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามเผยแพร่และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



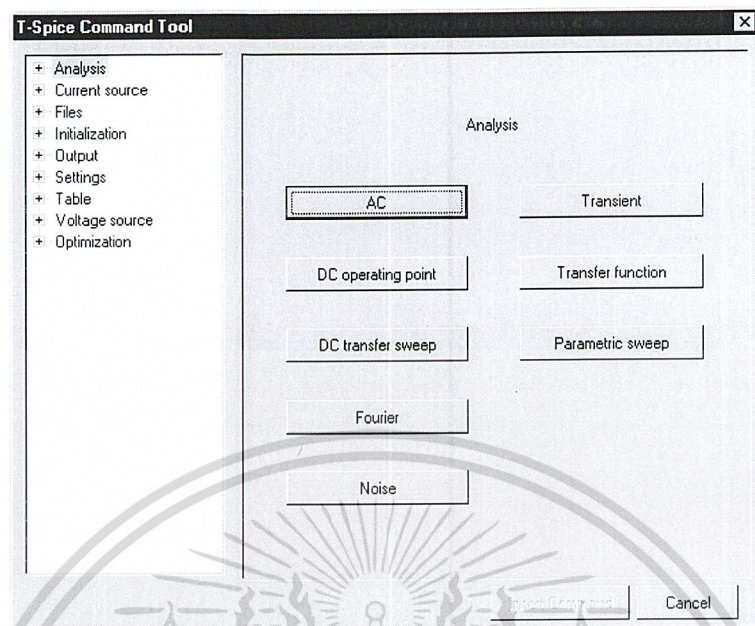
รูปที่ ก.7 การกำหนดค่าของอุปกรณ์

ในช่อง Instance name ให้ทำการใส่ชื่อให้กับอุปกรณ์ และในช่อง Value ภายในกรอบ Properties ให้ใส่ค่าของอุปกรณ์ แล้วคลิก OK เมื่อกำหนดค่าให้กับอุปกรณ์ทุกตัวในวงจรเสร็จแล้ว จะได้วงจรขยายอิมิตเตอร์ร่วมดังรูป จากนั้นให้ทำการบันทึกข้อมูล







รูปที่ ก.8 วงจรอิมิตเตอร์ร่วมที่วาดเสร็จแล้ว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามเผยแพร่ต่อสาธารณะและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



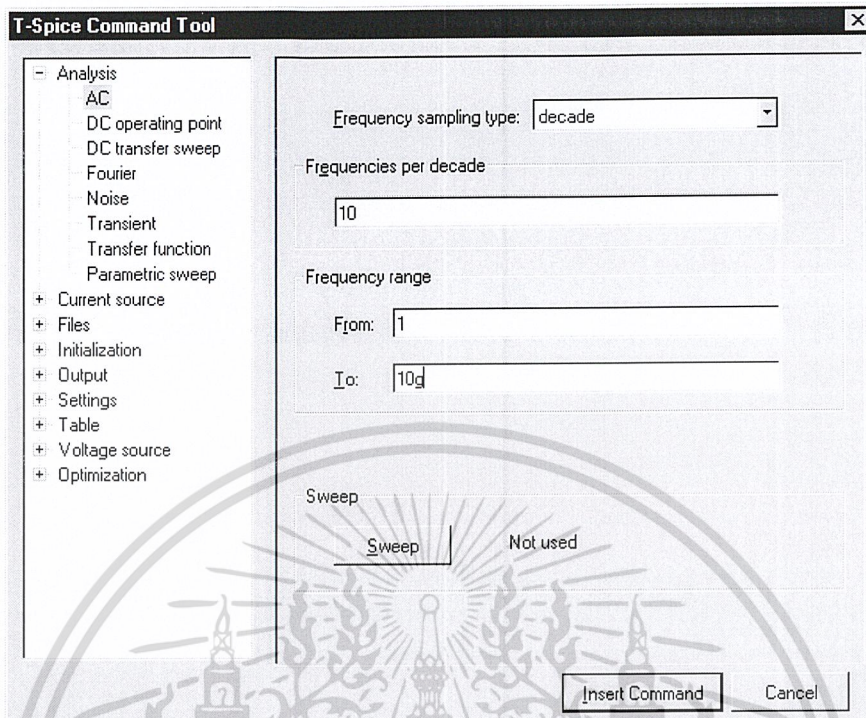
รูปที่ ก.10 แถบเครื่องมือคำสั่ง

โดยการวิเคราะห์ AC Sweep ในช่อง Analysis คลิกที่ปุ่ม  จะปรากฏดังรูปที่ ก.11 จากนั้นใส่ค่าต่างๆตามต้องการ ในตัวอย่างนี้ใช้ขนาดสัญญาณ AC ที่กำหนดในแหล่งจ่ายสัญญาณเท่ากับ 1mV และต้องการให้เปลี่ยนความถี่ตั้งแต่ 1Hz ถึง 10GHz โดยเลือกการคำนวณแบบ Decade คือการแสดงความถี่จะเพิ่มขึ้นครั้งละ 10 เท่าเพื่อไม่ให้เกินยาวเกินไป โดยกำหนดให้ในแต่ละช่วงความถี่ เท่ากับ 101จุด แล้วคลิกปุ่ม 

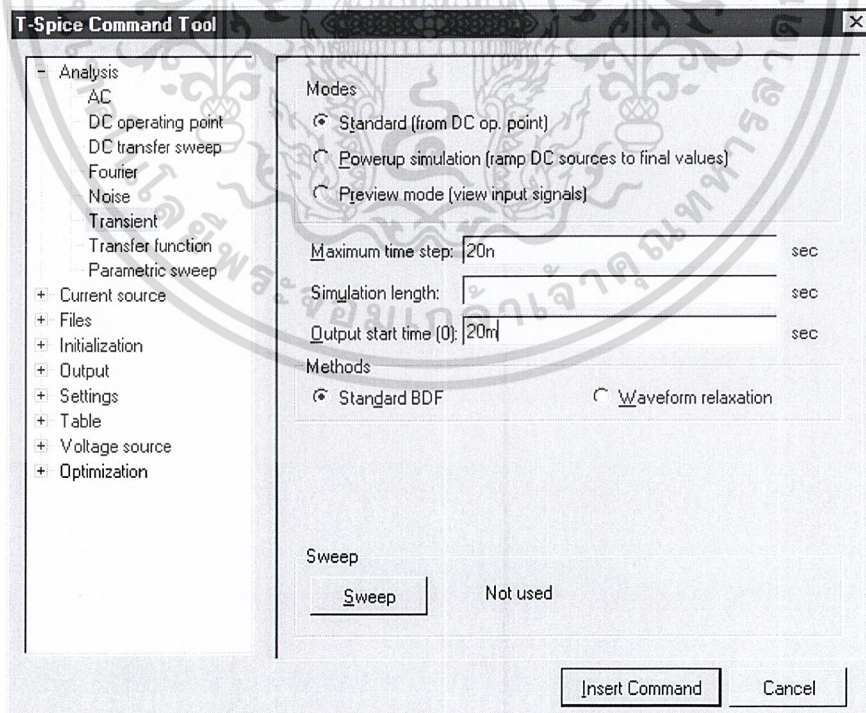
สำหรับการวิเคราะห์ Transient จะต้องคลิกปุ่ม  อีกครั้ง แล้วคลิกปุ่ม  จากนั้นใส่ค่าต่างๆตามต้องการ ในตัวอย่างนี้ใช้ขนาดสัญญาณ AC ที่กำหนดในแหล่งจ่ายสัญญาณเท่ากับ 1mV และความถี่ตั้งแต่ 1kHz ดังนั้นหนึ่งคาบของสัญญาณใช้เวลา 1ms ดังนั้นถ้าต้องการวิเคราะห์สัญญาณ 2 คาบ จะต้องกำหนดเวลาสุดท้ายให้กับการวิเคราะห์ชนิดนี้ โดยมันจะเริ่มวิเคราะห์จาก 0 ถึงเวลาสุดท้าย โดยกำหนดขึ้นเวลาในการคำนวณว่าต้องการให้เพิ่มจาก 0 ครั้งละเท่าไร ในตัวอย่างนี้ใช้ 20ns ดังแสดงในรูปที่ ก.12 หลังจากนั้นคลิกปุ่ม




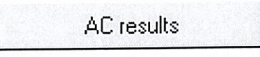
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

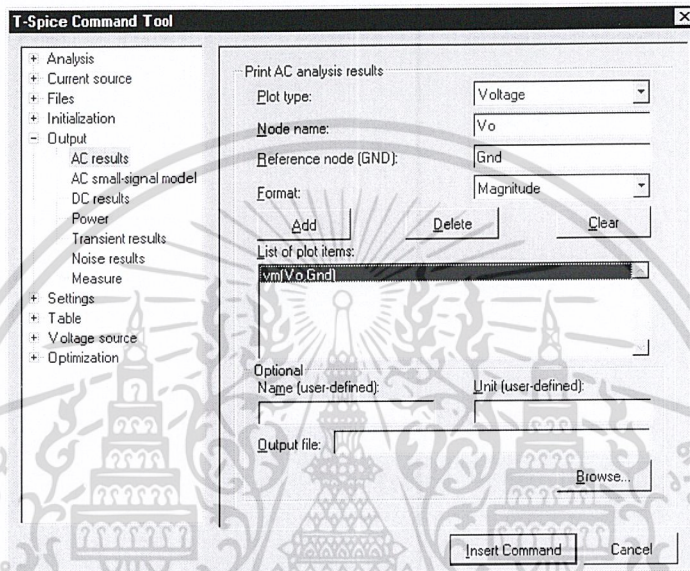


รูปที่ ก.11 การเลือกการวิเคราะห์แบบ AC Sweep

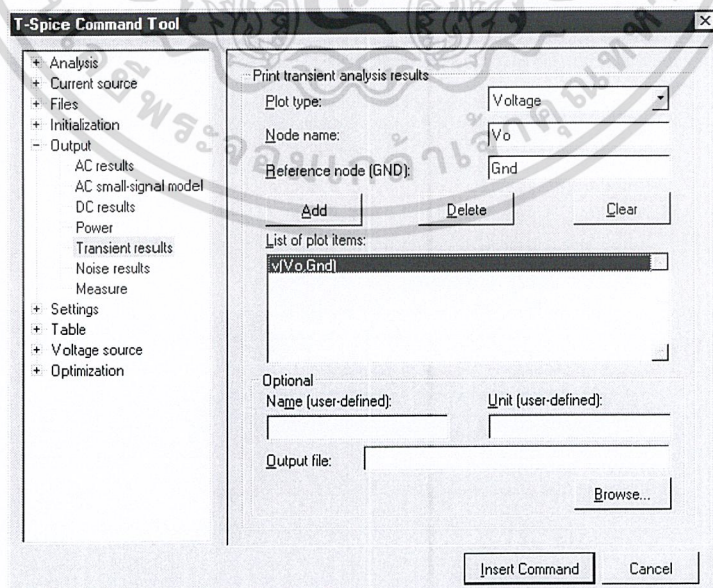


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับใช้ภายในเท่านั้นไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทำการเลือกที่จะแสดงผลเอาต์พุตอะไร โดยคลิกปุ่ม  แล้วเลือกที่ Outputs จากนั้นเลือกที่จะให้แสดงผลอะไร ในตัวอย่างนี้เลือก AC Results โดยคลิกปุ่ม  จะปรากฏหน้าต่าง ดังรูปที่ ก.13 ทำการใส่ค่าต่างๆตามต้องการ สำหรับ Transient Results จะปรากฏหน้าต่างดังรูปที่ ก.14 ให้ทำการใส่ค่าต่างๆตามต้องการ




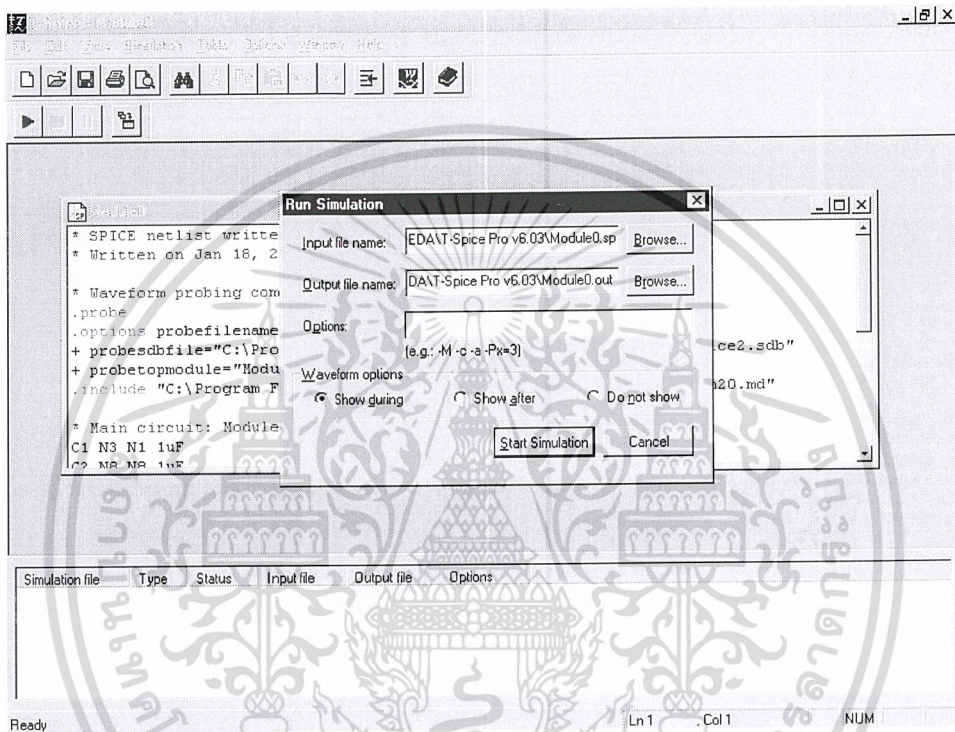
รูปที่ ก.13 การกำหนด AC Results



รูปที่ ก.14 การกำหนด Transient Results

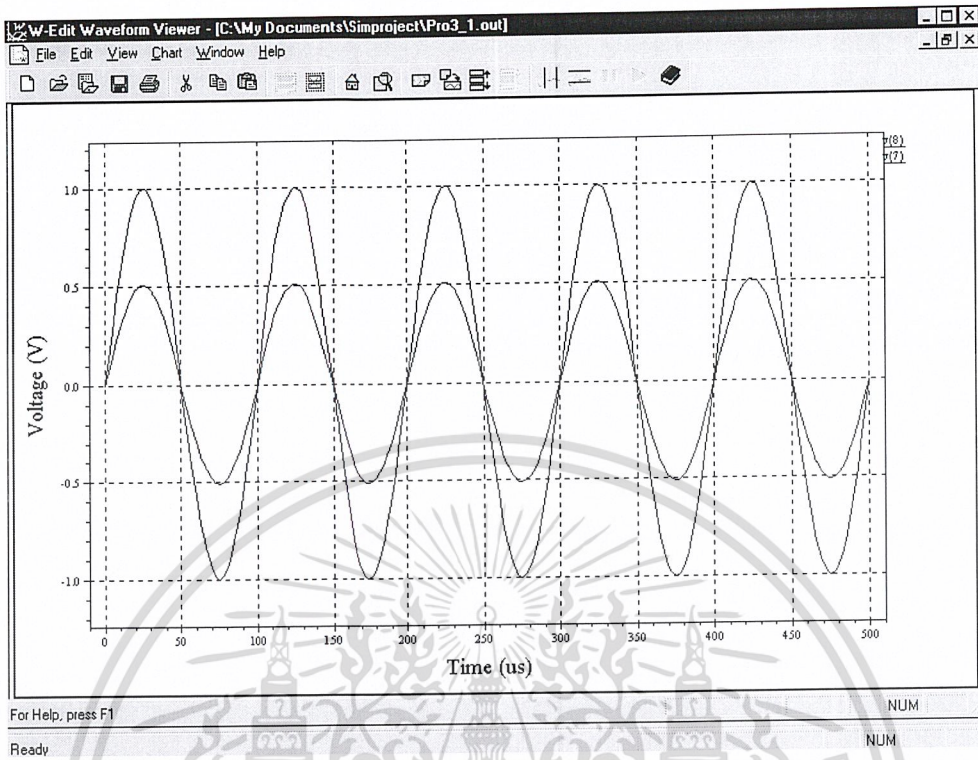
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปะลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขั้นที่ 3 เป็นการใช้โปรแกรม W-Edit แสดงผลการวิเคราะห์ในลักษณะกราฟฟิก โดยคลิกปุ่ม  เพื่อทำการ Simulate โดยจะปรากฏหน้าต่างให้เราใส่ชื่อไฟล์เอาต์พุต ดังรูปที่ ก.15 เมื่อใส่ชื่อไฟล์ และกำหนดค่าต่างๆเสร็จแล้ว คลิกปุ่ม **Start Simulation** เมื่อโปรแกรมทำการ Simulate เสร็จแล้วจะได้ รูปสัญญาณดังรูปที่ ก.16



รูปที่ ก.15 การกำหนดชื่อไฟล์เอาต์พุต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ ก.16 รูปสัญญาณที่ได้จากการ Simulate

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




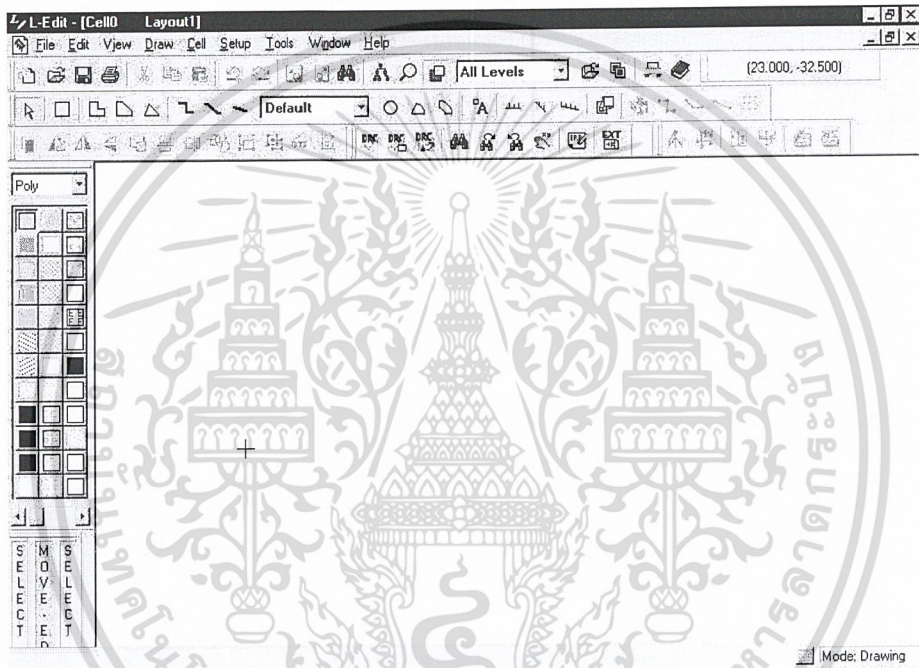
ภาคผนวก ข
การเขียนเลย์เอาต์ของวงจรรวมโดยใช้โปรแกรม L-EDIT

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้


การเขียนเลย์เอาต์ของวงจรรวมโดยใช้โปรแกรม L-EDIT เบื้องต้น

โปรแกรม L-EDIT เป็นโปรแกรมสำหรับใช้เขียนเลย์เอาต์ของวงจรรวม โดยมีขั้นตอนในการเขียนเลย์เอาต์ดังนี้

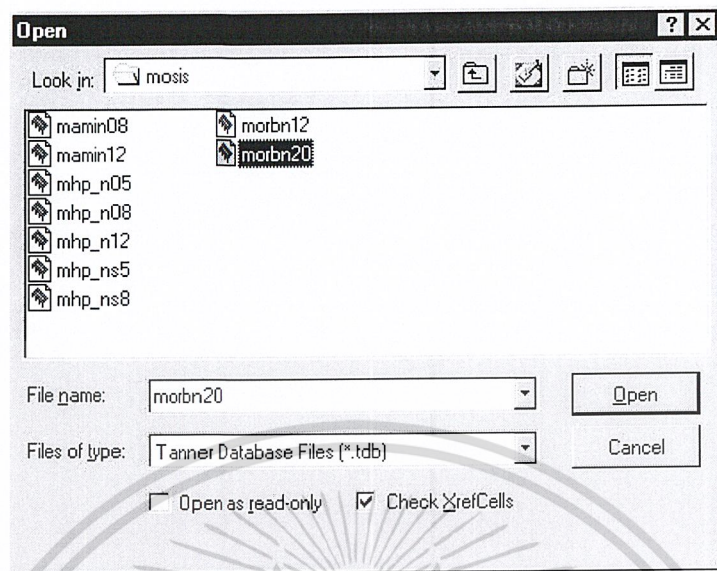
1. เข้าสู่โปรแกรม L-EDIT โดยดับเบิลคลิกที่ไอคอน  บนเดสก์ทอป หรือคลิกที่เมนู Start>Programs>Tanner L-Edit Pro>L-Edit v.8.1 จะปรากฏหน้าต่างโปรแกรม L-Edit ดังรูปที่ ข.1



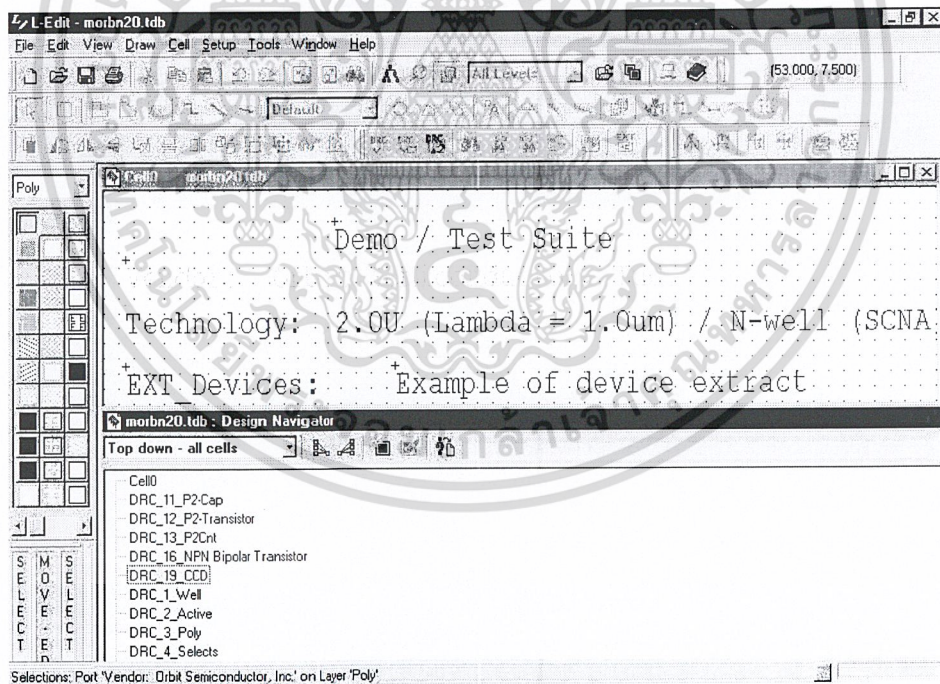
รูปที่ ข.1 หน้าต่างของ โปรแกรม L-Edit

2. เปิดไฟล์เทคโนโลยีที่ใช้ ซึ่งในกรณีนี้ใช้เทคโนโลยีของ MOSIS ที่มีชื่อว่า “Morbn20” ซึ่งเป็นเทคโนโลยีขนาด 2 ไมครอน โดยคลิกที่ปุ่ม  หรือคลิกที่เมนู File>Open จะปรากฏไดอะล็อกบ็อกซ์ดังรูปที่ ข.2 ให้เปิดไฟล์ “Morbn20.tdb” ซึ่งอยู่ในโฟลเดอร์ Tech>mosis คลิกปุ่ม จะได้ผลดังรูปที่ ข.3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



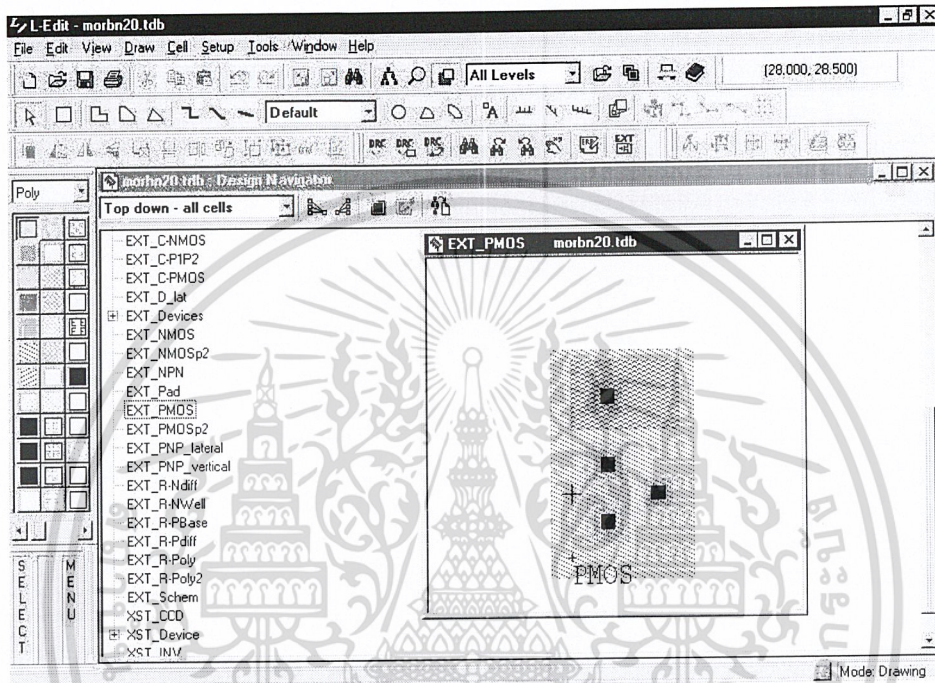
รูปที่ ข.2 การเปิดไฟล์เทคโนโลยี Morbn20.tdb



รูปที่ ข.3 ไฟล์เทคโนโลยี Morbn20

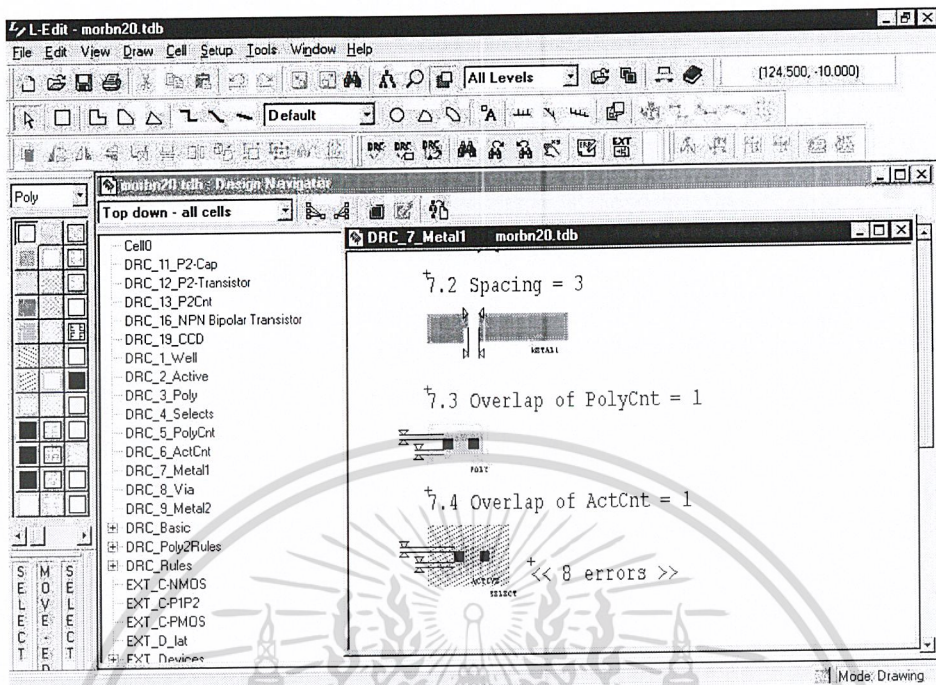
3. เมื่อเปิดไฟล์เทคโนโลยีขึ้นมาแล้ว เราสามารถตรวจสอบกฎการออกแบบโดยดับเบิลคลิกที่กฎการออกแบบที่ต้องการดู เช่น ต้องการดูกฎการออกแบบ DRC_7_Metal1 ให้ดับเบิลคลิกที่ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมีเหตุขัดแย้งและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DRC_7_Metal1 จะปรากฏหน้าต่างขึ้นมา สามารถย่อ/ขยายรูปภายใน โดยการกดปุ่ม + และ - ดังรูปที่ ข.4 นอกจากนี้ยังสามารถดูรูปแบบเลย์เอาต์ของอุปกรณ์ต่างๆ อย่างเช่น PMOS โดยดับเบิลคลิกที่ EXT_PMOS ดังรูปที่ ข.5 ซึ่งแต่ละเทคโนโลยีจะมีลักษณะไม่เหมือนกัน


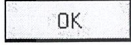


รูปที่ ข.4 การดูกฎการออกแบบ DRC_7_Metal1

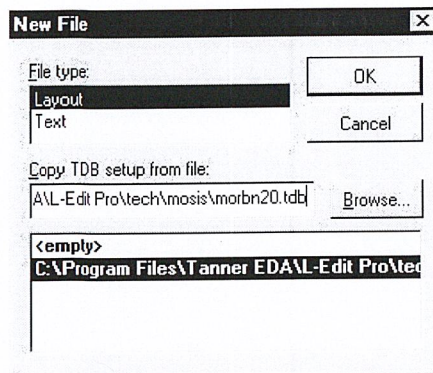
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



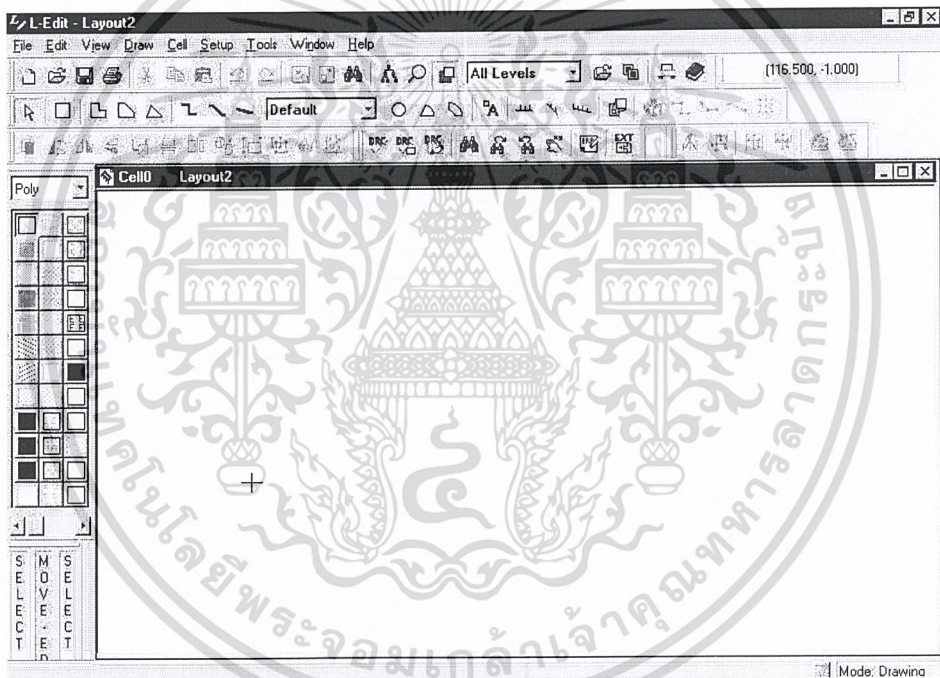
รูปที่ ข.5 ตัวอย่างเลย์เอาต์ของ PMOS

4. เมื่อดูกฎการออกแบบครบทุกข้อ รวมทั้งเลย์เอาต์ของอุปกรณ์ต่างๆแล้ว ต่อไปจะเป็นการเขียนเลย์เอาต์ของวงจรที่เราได้ทำการออกแบบไว้ โดยทำการสร้างไฟล์ใหม่โดยคลิกที่ปุ่ม  หรือคลิกที่เมนู File>New จะปรากฏไดอะล็อกบ็อกซ์ดังรูปที่ ข.6 ที่ช่อง File Type: ให้เลือกเป็น Layout และในช่อง Copy TDB Setup From File: ให้เลือกเทคโนโลยี Morbn20 แล้วคลิกปุ่ม  จะได้ผลดังรูปที่ ข.7 เราสามารถเขียนเลย์เอาต์ของวงจรรวมโดยเลือกชั้นสารที่แถบเครื่องมือ Layers Palette ดังรูปที่ ข.8 จากนั้นใช้แถบเครื่องมือ Drawing ในการเลือกรูปแบบว่าจะวาดเป็นรูปสี่เหลี่ยม, วงกลม, สามเหลี่ยม ฯลฯ ดังรูปที่ ข.9

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

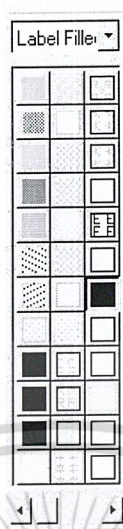


รูปที่ ข.6 ไดอะล็อกบ็อกซ์ New File

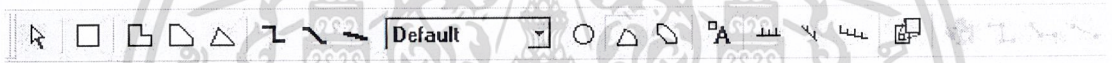


รูปที่ ข.7 หน้าต่างของโปรแกรมเมื่อสร้างไฟล์ใหม่



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

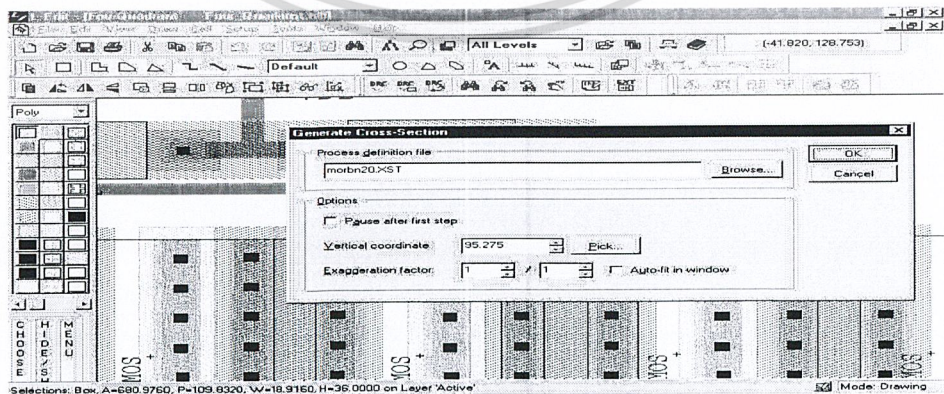


รูปที่ ข.8 แถบเครื่องมือ Layers Palette

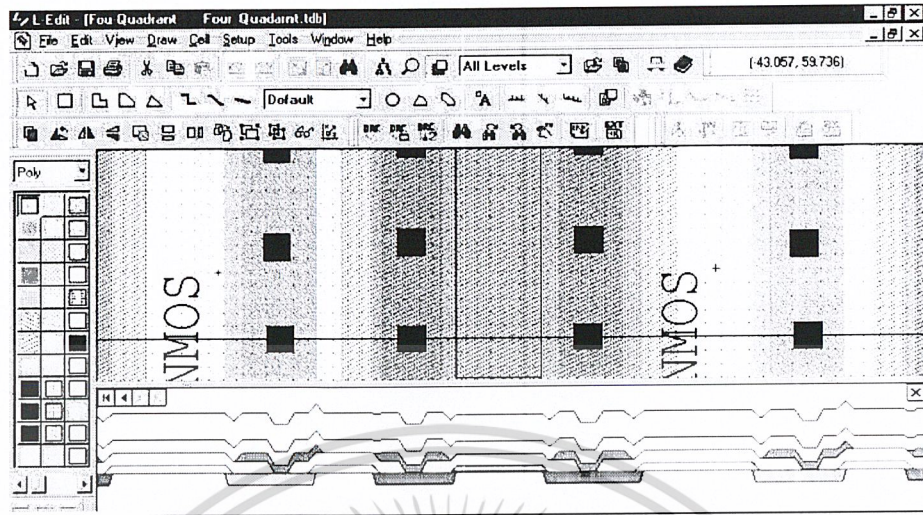


รูปที่ ข.9 แถบเครื่องมือ Drawing

5. ในขณะที่กำลังเขียนเลย์เอาต์ สามารถดูภาพตัดขวางเพื่อตรวจสอบว่าชั้นสารแต่ละชั้น มีการเชื่อมถึงกันอย่างไร โดยการคลิกปุ่ม  จะปรากฏไดอะล็อกบ็อกซ์ดังรูปที่ ข.10 ที่ช่อง Process Definition File ให้ใส่ชื่อไฟล์ Morbn20.xst แล้วคลิกที่ปุ่ม Pick... เพื่อเลือกบริเวณที่ต้องการดูชั้นสาร จากนั้นคลิกปุ่ม  จะได้ผลลัพธ์ดังรูปที่ ข.11

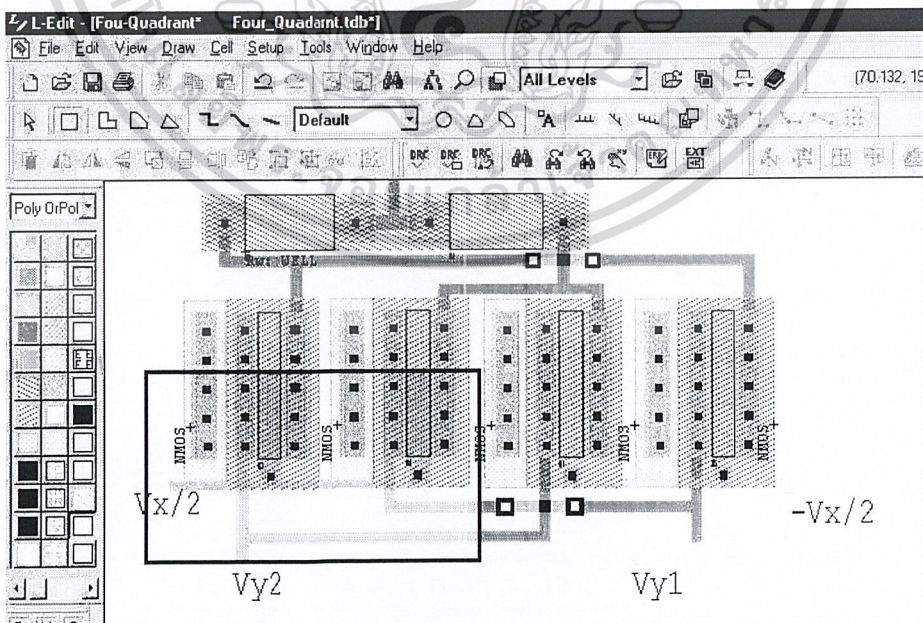


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมีรูปที่ ข.10 การดูภาพตัดขวางของเลย์เอาต์

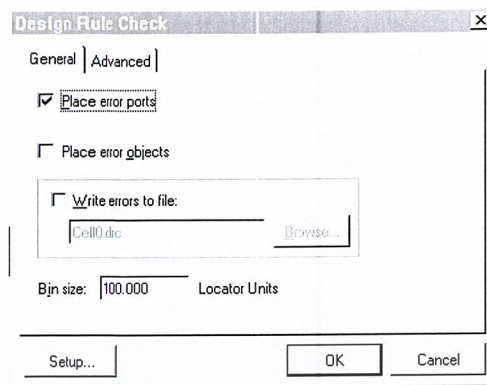


รูปที่ ข.11 ภาพตัดขวางของเลย์เอาต์

6. เมื่อเขียนเลย์เอาต์ของวงจรรวมที่ออกแบบเสร็จแล้ว หรือในขณะที่กำลังทำการเขียนเลย์เอาต์อยู่ ต้องทำการตรวจสอบว่าเลย์เอาต์ที่เราเขียนขึ้นมาถูกต้องตามกฎการออกแบบหรือไม่ โดยการคลิกที่ปุ่ม **DRC** แล้วเลือกขอบเขตที่จะตรวจสอบ ดังรูปที่ ข.12 จะปรากฏไดอะล็อกบ็อกซ์ จะได้ผลดังรูปที่ ข.13

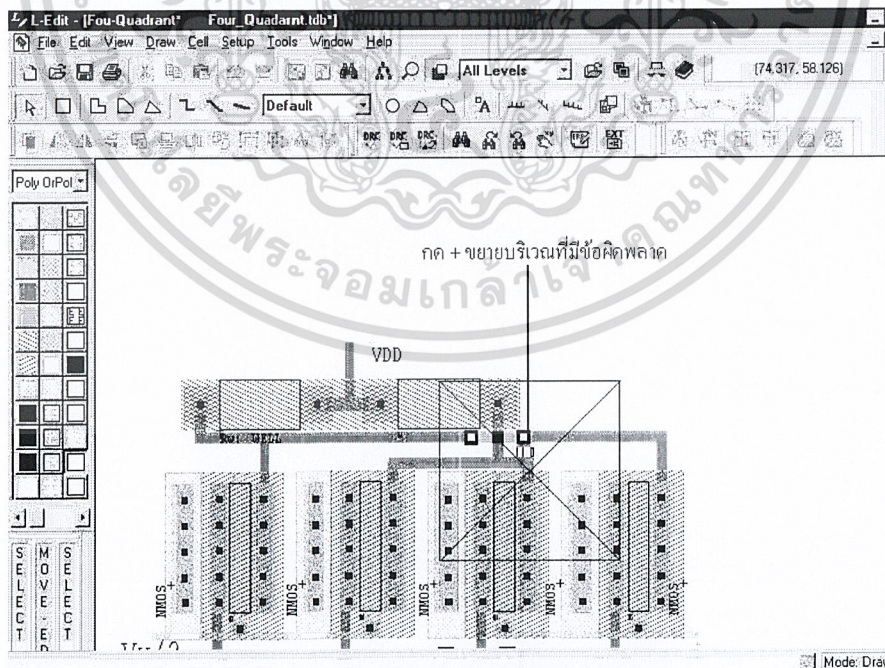


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆ ทั้งสิ้น **รูปที่ ข.12 การเลือกบริเวณที่ต้องการตรวจสอบกฎการออกแบบ**

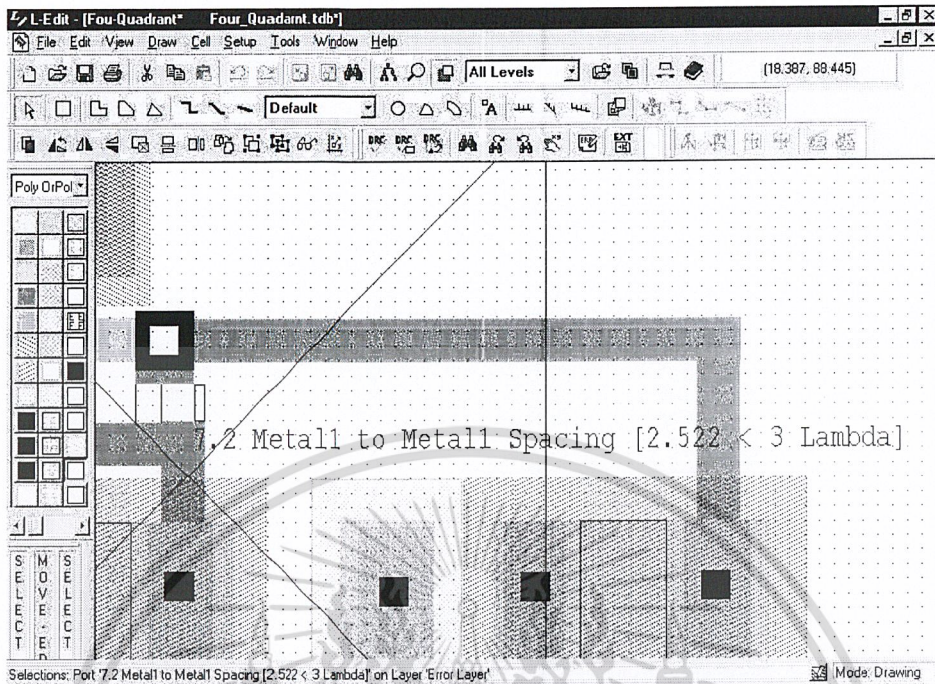


รูปที่ ข.13 การตรวจสอบการออกแบบ



7. ถ้าหากมีข้อผิดพลาดเกี่ยวกับกฎในการออกแบบ จะมีข้อความเตือนว่ามีข้อผิดพลาดอยู่ที่แห่งให้คลิกปุ่ม แล้วจะแสดงบริเวณที่มีข้อผิดพลาดอยู่ ดังรูปที่ ข.15 ให้คลิกปุ่ม + เพื่อขยายบริเวณที่มีข้อผิดพลาดแล้วดูว่ามีความผิดพลาดที่ข้อไหน อย่างไร จากตัวอย่างจะมีข้อความแสดง “7.2 Metal1 to Metal1 Spacing [2.522 < 3 Lambda]” หมายความว่าระหว่าง Metal1 กับ Metal1 เว้นที่ว่างไว้ 2.522 λ ซึ่งตามกฎการออกแบบข้อที่ 9.2 จะต้องมีระยะห่างมากกว่า 3 λ

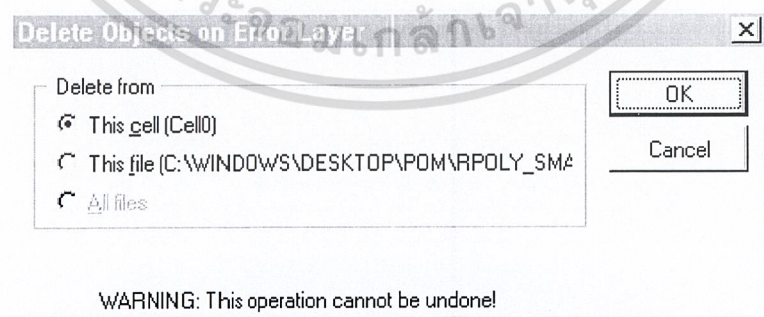


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับใช้ในการงานเพื่อการศึกษาเท่านั้น ไปขอแนวคิดให้นำไปใช้ประโยชน์ด้านการค้า
รูปที่ ข.14 แสดงบริเวณที่ผิดกฎการออกแบบ
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




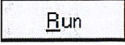
รูปที่ ข.15 แสดงข้อความระบุว่าผิดกฎข้อไหน อย่างไร

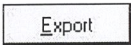
8. ก่อนที่จะทำการแก้ไขข้อผิดพลาดที่เกิดขึ้นจะต้องมีการเคลียร์ Error Layer ก่อน โดยการคลิกปุ่ม  จะปรากฏไดอะล็อกบ็อกซ์ดังรูปที่ ข.17 ให้เลือกที่จะเคลียร์เฉพาะเซลล์ที่กำลังวาด หรือทั้งไฟล์ที่สร้าง แล้วคลิกปุ่ม  จากนั้นทำการแก้ไขข้อผิดพลาดแล้วตรวจสอบใหม่อีกครั้งจนกระทั่งไม่มีข้อผิดพลาด

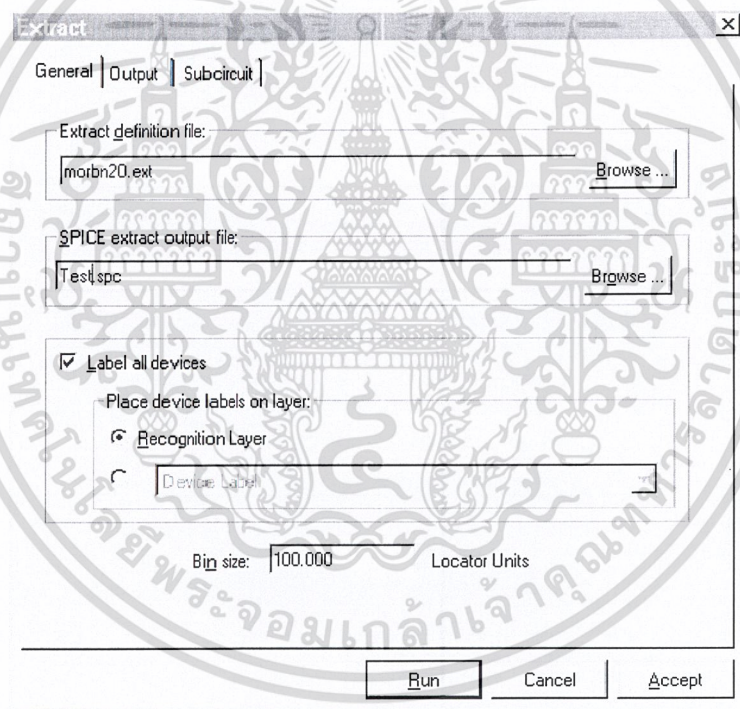


รูปที่ ข.16 ไดอะล็อกบ็อกซ์ Delete Objects On Error Layer

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

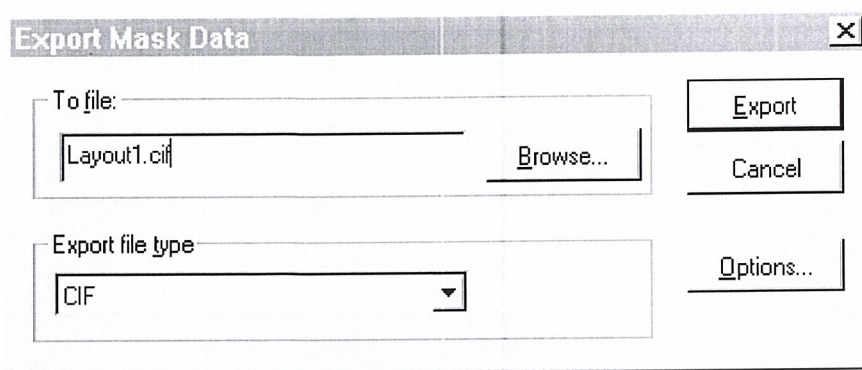
9. เมื่อเขียนเลย์เอาต์ของวงจรที่ออกแบบไว้เสร็จแล้ว สามารถ Extract ให้เลย์เอาต์ที่สร้างขึ้นอยู่ในรูปแบบของโปรแกรม T-Spice เพื่อใช้โปรแกรม T-Spice ทดสอบการทำงานของวงจรว่าเมื่อนำไปเจือสารจะสามารถทำงานได้ตามที่วัตถุประสงค์การออกแบบได้หรือไม่ โดยการคลิกที่ปุ่ม  จะปรากฏไดอะล็อกบ็อกซ์ดังรูปที่ ข.18 ให้ทำการใส่ค่าต่างๆเช่น ไฟล์เอาต์พุต ฯลฯ เมื่อทำการกำหนดเสร็จแล้วคลิกปุ่ม 

10. ขั้นตอนนี้เป็นขั้นตอนในการ Export เลย์เอาต์ที่สร้างขึ้นให้อยู่ในรูปแบบ CIF หรือ GDSII เพื่อส่งไปยังโรงงานเจือสาร โดยการคลิกเมนู File>Export Mask Data... จะปรากฏไดอะล็อกบ็อกซ์ ดังรูปที่ ข.19 ให้ทำการกำหนดค่าต่างๆ จากนั้นคลิกปุ่ม 



รูปที่ ข.17 ไดอะล็อกบ็อกซ์ Extract

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ ข.18 ไดอะล็อกบ็อกซ์ Export Mask Data



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ภาคผนวก ก

โปรแกรมที่ใช้ในการทดลอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

* Main circuit: inv
C1 output Gnd 1pF
.op
.include ml2_20.md
mMOSFET_N_1 output input Gnd Gnd nmos L=2u W=4u
mMOSFET_P_1 output input N2 N2 pmos L=2u W=10u
.op
v2 N2 Gnd 5.0
v3 input Gnd pulse(0.0 5.0 0 10n 10n 100n 200n)
.tran 1n 600n
.print tran input output
* End of main circuit: inv

```

รูปที่ ค.1 โปรแกรมวงจร Inverter จาก T-SPICE

```

* Main circuit: and_2
C1 Q Gnd 1pF
.op
.include ml2_20.md
M2 Q N3 Gnd Gnd NMOS L=2u W=4u
M3 N3 I_A N1 N1 NMOS L=2u W=4u
M4 N1 I_B Gnd Gnd NMOS L=2u W=4u
M5 Q N3 Vdd Vdd PMOS L=2u W=10u
M6 N3 I_B Vdd Vdd PMOS L=2u W=10u
M7 N3 I_A Vdd Vdd PMOS L=2u W=10u
.op
v8 Vdd Gnd 5.0
v9 I_A Gnd pulse(0.0 5.0 0 10n 10n 100n 200n)
v10 I_B Gnd pulse(0.0 5.0 0 10n 10n 100n 200n)
.tran 1n 600n
.print tran I_A I_B Q
* End of main circuit: and_2

```

รูปที่ ค.2 โปรแกรมวงจร AND Gate จาก T-SPICE

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

* Main circuit: or_2
C1 Q Gnd 1pF
.op
.include ml2_20.md
M2 Q N3 Gnd Gnd NMOS L=2u W=4u
M3 N3 I_B Gnd Gnd NMOS L=2u W=4u
M4 N3 I_A Gnd Gnd NMOS L=2u W=4u
M5 Q N3 Vdd Vdd PMOS L=2u W=10u
M6 N3 I_B N2 N2 PMOS L=2u W=10u
M7 N2 I_A Vdd Vdd PMOS L=2u W=10u
.op
v8 Vdd Gnd 5.0
v9 I_A Gnd pulse(0.0 5.0 0 10n 10n 100n 200n)
v10 I_B Gnd pulse(0.0 5.0 0 10n 10n 100n 200n)
.tran 1n 600n
.print tran I_A I_B Q
* End of main circuit: or_2

```

รูปที่ ก.3 โปรแกรมวงจร OR Gate จาก T-SPICE

```

* Main circuit: Nor_2
C1 Q Gnd 1pF
.op
.include ml2_20.md
M2 Q I_B Gnd Gnd NMOS L=2u W=4u
M3 Q I_A Gnd Gnd NMOS L=2u W=4u
M4 Q I_B N2 N2 PMOS L=2u W=10u
M5 N2 I_A Vdd Vdd PMOS L=2u W=10u
.op
v6 Vdd Gnd 5.0
v7 I_A Gnd pulse(0.0 5.0 0 10n 10n 100n 200n)
v8 I_B Gnd pulse(0.0 5.0 0 10n 10n 100n 200n)
.tran 1n 600n
.print tran I_A I_B Q
* End of main circuit: Nor_2

```

รูปที่ ก.4 โปรแกรมวงจร NOR Gate จาก L-EDIT

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

* Main circuit: Nand_3
C1 Q Gnd 1pF
.op
.include ml2_20.md
M2 Q I_A N1 N1 NMOS L=2u W=4u
M3 N1 I_B N2 N2 NMOS L=2u W=4u
M4 N2 I_C Gnd Gnd NMOS L=2u W=4u
M5 Q I_C Vdd Vdd PMOS L=2u W=10u
M6 Q I_B Vdd Vdd PMOS L=2u W=10u
M7 Q I_A Vdd Vdd PMOS L=2u W=10u
.op
v8 Vdd Gnd 5.0
v9 I_A Gnd pulse(0.0 5.0 0 10n 10n 100n 200n)
v10 I_B Gnd pulse(0.0 5.0 0 10n 10n 100n 200n)
v11 I_C Gnd pulse(0.0 5.0 0 10n 10n 100n 200n)
.tran 1n 600n
.print tran I_A I_B I_C Q
* End of main circuit: Nand_3

```

รูปที่ ก.5 โปรแกรมวงจร Nand Gate จาก T-SPICE

```

* Main circuit: Xor_2
C1 Q Gnd 1pF
.op
.include ml2_20.md
M2 N9 I_A Gnd Gnd NMOS L=2u W=4u
M3 N4 I_B Gnd Gnd NMOS L=2u W=4u
M4 N4 I_A Gnd Gnd NMOS L=2u W=4u
M5 Q I_B N9 N9 NMOS L=2u W=4u
M6 Q N4 Gnd Gnd NMOS L=2u W=4u
M7 N19 I_A Vdd Vdd PMOS L=2u W=10u
M8 N4 I_B N2 N2 PMOS L=2u W=10u
M9 N2 I_A Vdd Vdd PMOS L=2u W=10u
M10 N19 I_B Vdd Vdd PMOS L=2u W=10u
M11 Q N4 N19 N19 PMOS L=2u W=10u
.op
v12 Vdd Gnd 5.0
v13 I_A Gnd pulse(0.0 5.0 0 10n 10n 100n 200n)
v14 I_B Gnd pulse(0.0 5.0 0 10n 10n 100n 200n)

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
.tran ln 600n
print tran a outab nand1/nn1
* End of main circuit: Xor_2
```

รูปที่ ค.6 โปรแกรมวงจร Xor Gate จากL-EDIT

```
* Main circuit: XNor_2
C1 Q Gnd 1pF
.op
.include ml2_20.md
M2 N10 I_A Gnd Gnd NMOS L=2u W=4u
M3 N7 I_B Gnd Gnd NMOS L=2u W=4u
M4 N7 I_A Gnd Gnd NMOS L=2u W=4u
M5 N11 I_B N10 N10 NMOS L=2u W=4u
M6 N11 N7 Gnd Gnd NMOS L=2u W=4u
M7 Q N11 Gnd Gnd NMOS L=2u W=4u
M8 N4 I_A Vdd Vdd PMOS L=2u W=10u
M9 N7 I_B N8 N8 PMOS L=2u W=10u
M10 N8 I_A Vdd Vdd PMOS L=2u W=10u
M11 N4 I_B Vdd Vdd PMOS L=2u W=10u
M12 N11 N7 N4 N4 PMOS L=2u W=10u
M13 Q N11 Vdd Vdd PMOS L=2u W=10u
.op
v14 Vdd Gnd 5.0
v15 I_A Gnd pulse(0.0 5.0 0 10n 10n 100n 200n)
v16 I_B Gnd pulse(0.0 5.0 0 10n 10n 100n 200n)
.tran ln 600n
.print tran Q I_A I_B
* End of main circuit: XNor_2
```

รูปที่ ค.7 โปรแกรมวงจร XNor Gate จากL-EDIT

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

.SUBCKT and1_2 I_A I_B Q Gnd Vdd
C1 Q Gnd 1pF
.op
.include ml2_20.md
M2 Q N3 Gnd Gnd NMOS L=2u W=4u
M3 N3 I_A N1 N1 NMOS L=2u W=4u
M4 N1 I_B Gnd Gnd NMOS L=2u W=4u
M5 Q N3 Vdd Vdd PMOS L=2u W=10u
M6 N3 I_B Vdd Vdd PMOS L=2u W=10u
M7 N3 I_A Vdd Vdd PMOS L=2u W=10u
.op
.tran 1n 600n
.print tran a outab nand1/nn1
.ENDS

```

```

.SUBCKT D_ff_cpr_2_1 CLEAR CLK D EN PRESET Q Q_ Gnd
Vdd
C1 N10 Gnd 1pF
C2 Q Gnd 1pF
C3 N11 Gnd 1pF
C4 Q_ Gnd 1pF
.op
.include ml2_20.md
M5 Q PRESET N12 N12 NMOS L=2u W=4u
M6 N12 N10 N7 N7 NMOS L=2u W=4u
M7 N7 Q_ Gnd Gnd NMOS L=2u W=4u
M8 Q_ CLEAR N2 N2 NMOS L=2u W=4u
M9 N2 N11 N9 N9 NMOS L=2u W=4u
M10 N9 Q Gnd Gnd NMOS L=2u W=4u
M11 N11 CLK N5 N5 NMOS L=2u W=4u
M12 N5 EN N8 N8 NMOS L=2u W=4u
M13 N8 N6 Gnd Gnd NMOS L=2u W=4u
M14 N10 CLK N3 N3 NMOS L=2u W=4u
M15 N3 EN N4 N4 NMOS L=2u W=4u
M16 N4 D Gnd Gnd NMOS L=2u W=4u
M17 N6 D Gnd Gnd NMOS L=2u W=4u
M18 Q Q_ Vdd Vdd PMOS L=2u W=10u
M19 Q N10 Vdd Vdd PMOS L=2u W=10u
M20 Q PRESET Vdd Vdd PMOS L=2u W=10u
M21 Q_ CLEAR Vdd Vdd PMOS L=2u W=10u
M22 Q_ N11 Vdd Vdd PMOS L=2u W=10u
M23 Q_ Q Vdd Vdd PMOS L=2u W=10u
M24 N11 CLK Vdd Vdd PMOS L=2u W=10u
M25 N11 EN Vdd Vdd PMOS L=2u W=10u
M26 N11 N6 Vdd Vdd PMOS L=2u W=10u
M27 N10 CLK Vdd Vdd PMOS L=2u W=10u
M28 N10 EN Vdd Vdd PMOS L=2u W=10u
M29 N10 D Vdd Vdd PMOS L=2u W=10u
M30 N6 D Vdd Vdd PMOS L=2u W=10u
.op
.tran 1n 600n
.print tran a outab nand1/nn1
.ENDS

```

เอกสารนี้เป็นเอกสารงานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ออกทั้งหมดมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

.SUBCKT inv1_1 INPUT OUTPUT Gnd Vdd
C1 OUTPUT Gnd 1pF
.op
.include ml2_20.md
M2 OUTPUT INPUT Gnd NMOS L=2u W=4u
M3 OUTPUT INPUT Vdd Vdd PMOS L=2u W=10u
.op
.tran 1n 600n
.print tran a outab nand1/nn1
.ENDS

.SUBCKT JK_ff_cpr2_1 CLEAR CLK EN J K PRESET Q Q_
Gnd Vdd
C1 N22 Gnd 1pF
C2 N4 Gnd 1pF
C3 N10 Gnd 1pF
C4 N6 Gnd 1pF
C5 N14 Gnd 1pF
C6 N19 Gnd 1pF
C7 Q_ Gnd 1pF
C8 Q Gnd 1pF
.op
.include ml2_20.md
M9 N14 N6 N11 N11 NMOS L=2u W=4u
M10 N11 EN N2 N2 NMOS L=2u W=4u
M11 N2 clk Gnd Gnd NMOS L=2u W=4u
M12 Q_ Q N5 N5 NMOS L=2u W=4u
M13 N5 N14 N25 N25 NMOS L=2u W=4u
M14 N25 CLEAR Gnd Gnd NMOS L=2u W=4u
M15 Q PRESET N26 N26 NMOS L=2u W=4u
M16 N26 N19 N1 N1 NMOS L=2u W=4u
M17 N1 Q_ Gnd Gnd NMOS L=2u W=4u
M18 N9 clk Gnd Gnd NMOS L=2u W=4u
M19 N19 clk N8 N8 NMOS L=2u W=4u
M20 N8 EN N7 N7 NMOS L=2u W=4u
M21 N7 N22 Gnd Gnd NMOS L=2u W=4u
M22 N22 PRESET N24 N24 NMOS L=2u W=4u
M23 N24 N4 N23 N23 NMOS L=2u W=4u
M24 N23 N6 Gnd Gnd NMOS L=2u W=4u
M25 N6 N22 N3 N3 NMOS L=2u W=4u
M26 N3 N10 N20 N20 NMOS L=2u W=4u
M27 N20 CLEAR Gnd Gnd NMOS L=2u W=4u
M28 N4 Q_ N12 N12 NMOS L=2u W=4u
M29 N12 J N13 N13 NMOS L=2u W=4u
M30 N13 EN N21 N21 NMOS L=2u W=4u
M31 N15 Q Gnd Gnd NMOS L=2u W=4u
M32 N10 N9 N17 N17 NMOS L=2u W=4u
M33 N17 K N18 N18 NMOS L=2u W=4u
M34 N18 EN N15 N15 NMOS L=2u W=4u
M35 N21 N9 Gnd Gnd NMOS L=2u W=4u

```

```

M36 N14 N6 Vdd Vdd PMOS L=2u W=10u
M37 N14 EN Vdd Vdd PMOS L=2u W=10u
M38 N14 clk Vdd Vdd PMOS L=2u W=10u
M39 Q_ Q Vdd Vdd PMOS L=2u W=10u
M40 Q_ CLEAR Vdd Vdd PMOS L=2u W=10u
M41 Q_ N14 Vdd Vdd PMOS L=2u W=10u
M42 Q_ PRESET Vdd Vdd PMOS L=2u W=10u
M43 Q Q_ Vdd Vdd PMOS L=2u W=10u
M44 Q N19 Vdd Vdd PMOS L=2u W=10u
45 N9 clk Vdd Vdd PMOS L=2u W=10u
M46 N19 clk Vdd Vdd PMOS L=2u W=10u
M47 N19 N22 Vdd Vdd PMOS L=2u W=10u
M48 N19 EN Vdd Vdd PMOS L=2u W=10u
M49 N22 PRESET Vdd Vdd PMOS L=2u W=10u
M50 N22 N6 Vdd Vdd PMOS L=2u W=10u
M51 N22 N4 Vdd Vdd PMOS L=2u W=10u
M52 N6 N22 Vdd Vdd PMOS L=2u W=10u
M53 N6 CLEAR Vdd Vdd PMOS L=2u W=10u
M54 N6 N10 Vdd Vdd PMOS L=2u W=10u
M55 N4 Q_ Vdd Vdd PMOS L=2u W=10u
M56 N4 EN Vdd Vdd PMOS L=2u W=10u
M57 N4 J Vdd Vdd PMOS L=2u W=10u
M58 N10 Q Vdd Vdd PMOS L=2u W=10u
M59 N10 N9 Vdd Vdd PMOS L=2u W=10u
M60 N10 EN Vdd Vdd PMOS L=2u W=10u
M61 N10 K Vdd Vdd PMOS L=2u W=10u
M62 N4 N9 Vdd Vdd PMOS L=2u W=10u
.op
.tran 1n 600n
.pri n t tran a outab nand1/nn1
.ENDS

* Main circuit: DIV8
Xand1_2_1 N19 N3 N18 Gnd Vdd and1_2
.op
XD_ff_cpr_2_1_1 N23 CLK SI EN Vdd N4 N12 Gnd Vdd
D_ff_cpr_2_1
XD_ff_cpr_2_1_2 N23 CLK N4 EN Vdd N21 N7 Gnd Vdd
D_ff_cpr_2_1
XD_ff_cpr_2_1_3 N23 CLK N21 EN Vdd N6 N25 Gnd Vdd
D_ff_cpr_2_1
XD_ff_cpr_2_1_4 N23 CLK N6 EN Vdd N24 N29 Gnd Vdd
D_ff_cpr_2_1
XD_ff_cpr_2_1_5 N23 CLK N24 EN Vdd N34 N35 Gnd Vdd
D_ff_cpr_2_1
XD_ff_cpr_2_1_6 N23 CLK N34 EN Vdd N40 N41 Gnd Vdd
D_ff_cpr_2_1
XD_ff_cpr_2_1_7 N23 CLK N40 EN Vdd N46 N47 Gnd
Vdd D_ff_cpr_2_1
XD_ff_cpr_2_1_8 N23 CLK N46 EN Vdd SO N53 Gnd Vdd
D_ff_cpr_2_1
.include ml2020.md
Xinv1_1_1 Gnd N23 Gnd Vdd inv1_1

```

```

XJK_ff_cpr2_1_1 N23 CLK EN Vdd Vdd Vdd N19 N1 Gnd
Vdd_JK_ff_cpr2_1
XJK_ff_cpr2_1_2 N23 CLK EN N19 N19 Vdd N3 N16 Gnd
Vdd_JK_ff_cpr2_1
XJK_ff_cpr2_1_3 N23 CLK EN N18 N18 Vdd QC N2 Gnd Vdd
JK_ff_cpr2_1
.op
v1 Vdd Gnd 5.0
v2 SI Gnd pulse(0.0 5.0 0 10n 10n 100n 200n)
v3 CLK Gnd pulse(0.0 5.0 0 10n 10n 100n 200n)
v4 EN Gnd pulse(0.0 5.0 0 10n 10n 100n 200n)
.tran 1n 600n
.print tran a outab nand1/nn1
* End of main circuit: DIV8

```

รูปที่ 8 โปรแกรมวงจร DIV8 จาก L-EDIT

```

.SUBCKT and1_2 I_A I_B Q Gnd Vdd
C1 Q Gnd 1pF
.op
.include ml2_20.md
M2 Q N3 Gnd Gnd NMOS L=2u W=4u
M3 N3 I_A N1 N1 NMOS L=2u W=4u
M4 N1 I_B Gnd Gnd NMOS L=2u W=4u
M5 Q N3 Vdd Vdd PMOS L=2u W=10u
M6 N3 I_B Vdd Vdd PMOS L=2u W=10u
M7 N3 I_A Vdd Vdd PMOS L=2u W=10u

.op
.tran 1n 600n
.print tran a outab nand1/nn1
.ENDS
.SUBCKT D_ff_cpr_2_1 CLEAR CLK D EN PRESET Q Q_ Gnd
Vdd
C1 N1 Gnd 1pF
C2 Q Gnd 1pF
C3 N5 Gnd 1pF
C4 Q_ Gnd 1pF
.op
.include ml2_20.md
M5 Q PRESET N12 N12 NMOS L=2u W=4u
M6 N12 N1 N13 N13 NMOS L=2u W=4u
M7 N13 Q_ Gnd Gnd NMOS L=2u W=4u
M8 Q_ CLEAR N27 N27 NMOS L=2u W=4u

M9 N27 N5 N31 N31 NMOS L=2u W=4u
M10 N31 Q Gnd Gnd NMOS L=2u W=4u
M11 N5 CLK N36 N36 NMOS L=2u W=4u
M12 N36 EN N40 N40 NMOS L=2u W=4u
M13 N40 N111 Gnd Gnd NMOS L=2u W=4u

```

```

M14 N1 CLK N48 N48 NMOS L=2u W=4u
M15 N48 EN N52 N52 NMOS L=2u W=4u
M16 N52 D Gnd Gnd NMOS L=2u W=4u
M17 N111 D Gnd Gnd NMOS L=2u W=4u
M18 Q Q_ Vdd Vdd PMOS L=2u W=10u
M19 Q N1 Vdd Vdd PMOS L=2u W=10u
M20 Q PRESET Vdd Vdd PMOS L=2u W=10u
M21 Q_ CLEAR Vdd Vdd PMOS L=2u W=10u
M22 Q_ N5 Vdd Vdd PMOS L=2u W=10u
M23 Q_ Q Vdd Vdd PMOS L=2u W=10u
M24 N5 CLK Vdd Vdd PMOS L=2u W=10u
M25 N5 EN Vdd Vdd PMOS L=2u W=10u
M26 N5 N111 Vdd Vdd PMOS L=2u W=10u
M27 N1 CLK Vdd Vdd PMOS L=2u W=10u
M28 N1 EN Vdd Vdd PMOS L=2u W=10u
M29 N1 D Vdd Vdd PMOS L=2u W=10u
M30 N111 D Vdd Vdd PMOS L=2u W=10u
.tran 1n 600n
.print tran a outab nand1/nn1
.ENDS
SUBCKT JK_ff_cpr2_1 CLEAR CLK EN J K PRESET Q Q_ Gnd
Vdd
C1 N25 Gnd 1pF
C2 N6 Gnd 1pF
C3 N22 Gnd 1pF
C4 N9 Gnd 1pF
C5 N10 Gnd 1pF
C6 N23 Gnd 1pF
C7 Q_ Gnd 1pF
C8 Q Gnd 1pF
.op
.include ml2_20.md
M9 N10 N9 N11 N11 NMOS L=2u W=4u
M10 N11 EN N2 N2 NMOS L=2u W=4u
M11 N2 clk Gnd Gnd NMOS L=2u W=4u
M12 Q_ Q N5 N5 NMOS L=2u W=4u
M13 N5 N10 N17 N17 NMOS L=2u W=4u
M14 N17 CLEAR Gnd Gnd NMOS L=2u W=4u
M15 Q PRESET N26 N26 NMOS L=2u W=4u
M16 N26 N23 N20 N20 NMOS L=2u W=4u
M17 N20 Q_ Gnd Gnd NMOS L=2u W=4u
M18 N21 clk Gnd Gnd NMOS L=2u W=4u
M19 N23 clk N8 N8 NMOS L=2u W=4u
M20 N8 EN N12 N12 NMOS L=2u W=4u
M21 N12 N25 Gnd Gnd NMOS L=2u W=4u
M22 N25 PRESET N13 N13 NMOS L=2u W=4u
M23 N13 N6 N24 N24 NMOS L=2u W=4u
M24 N24 N9 Gnd Gnd NMOS L=2u W=4u
M25 N9 N25 N7 N7 NMOS L=2u W=4u

M26 N7 N22 N4 N4 NMOS L=2u W=4u
M27 N4 CLEAR Gnd Gnd NMOS L=2u W=4u
M28 N6 Q_ N1 N1 NMOS L=2u W=4u
M29 N1 J N3 N3 NMOS L=2u W=4u
M30 N3 EN N19 N19 NMOS L=2u W=4u

```

```

M31 N15 Q Gnd Gnd NMOS L=2u W=4u
M32 N22 N21 N14 N14 NMOS L=2u W=4u
M33 N14 K N18 N18 NMOS L=2u W=4u
M34 N18 EN N15 N15 NMOS L=2u W=4u
M35 N19 N21 Gnd Gnd NMOS L=2u W=4u
M36 N10 N9 Vdd Vdd PMOS L=2u W=10u
M37 N10 EN Vdd Vdd PMOS L=2u W=10u
M38 N10 clk Vdd Vdd PMOS L=2u W=10u
M39 Q_ Q Vdd Vdd PMOS L=2u W=10u
M40 Q_ CLEAR Vdd Vdd PMOS L=2u W=10u
M41 Q_ N10 Vdd Vdd PMOS L=2u W=10u
M42 Q_ PRESET Vdd Vdd PMOS L=2u W=10u
M43 Q Q_ Vdd Vdd PMOS L=2u W=10u
M44 Q N23 Vdd Vdd PMOS L=2u W=10u
M45 N21 clk Vdd Vdd PMOS L=2u W=10u
M46 N23 clk Vdd Vdd PMOS L=2u W=10u
M47 N23 N25 Vdd Vdd PMOS L=2u W=10u
M48 N23 EN Vdd Vdd PMOS L=2u W=10u
M49 N25 PRESET Vdd Vdd PMOS L=2u W=10u
M50 N25 N9 Vdd Vdd PMOS L=2u W=10u
M51 N25 N6 Vdd Vdd PMOS L=2u W=10u
M52 N9 N25 Vdd Vdd PMOS L=2u W=10u
M53 N9 CLEAR Vdd Vdd PMOS L=2u W=10u
M54 N9 N22 Vdd Vdd PMOS L=2u W=10u
M55 N6 Q_ Vdd Vdd PMOS L=2u W=10u
M56 N6 EN Vdd Vdd PMOS L=2u W=10u
M57 N6 J Vdd Vdd PMOS L=2u W=10u
M58 N22 Q Vdd Vdd PMOS L=2u W=10u
M59 N22 N21 Vdd Vdd PMOS L=2u W=10u
M60 N22 EN Vdd Vdd PMOS L=2u W=10u
M61 N22 K Vdd Vdd PMOS L=2u W=10u
M62 N6 N21 Vdd Vdd PMOS L=2u W=10u
.op
.tran 1n 600n
.print tran a outab nand1/nn1
.ENDS

```

* Main circuit: COUNTER

```

Xand1_2_1 Q00_LSB XI1C N15 Gnd Vdd and1_2
Xand1_2_2 Q11 N95 N104 Gnd Vdd and1_2
Xand1_2_3 Q10 N87 N95 Gnd Vdd and1_2
Xand1_2_4 Q09 N79 N87 Gnd Vdd and1_2
Xand1_2_5 Q08 N71 N79 Gnd Vdd and1_2
Xand1_2_6 Q07 N63 N71 Gnd Vdd and1_2
Xand1_2_7 Q06 N55 N63 Gnd Vdd and1_2
Xand1_2_8 Q05 N47 N55 Gnd Vdd and1_2
Xand1_2_9 Q04 N39 N47 Gnd Vdd and1_2
Xand1_2_10 Q03 N31 N39 Gnd Vdd and1_2
Xand1_2_11 Q02 N23 N31 Gnd Vdd and1_2
Xand1_2_12 Q01 N15 N23 Gnd Vdd and1_2
XD_ff_cpr_2_1_1 Vdd CLK SI EN Vdd N9 N5 Gnd Vdd
XD_ff_cpr_2_1_2 Vdd CLK N9 EN Vdd N18 N13 Gnd Vdd
D_ff_cpr_2_1

```

เอกสารนี้เป็นเอกสารที่จัดทำไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ หากมีข้อสงสัยหรือต้องการข้อมูลเพิ่มเติม กรุณาติดต่อฝ่ายบริการลูกค้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

XD_ff_cpr_2_1_3 Vdd CLK N18 EN Vdd N27 N22 Gnd Vdd
D_ff_cpr_2_1
XD_ff_cpr_2_1_4 Vdd CLK N27 EN Vdd N37 N32 Gnd Vdd
D_ff_cpr_2_1
XD_ff_cpr_2_1_5 Vdd CLK N37 EN Vdd N46 N41 Gnd Vdd
D_ff_cpr_2_1
XD_ff_cpr_2_1_6 Vdd CLK N46 EN Vdd N56 N50 Gnd Vdd
D_ff_cpr_2_1
XD_ff_cpr_2_1_7 Vdd CLK N56 EN Vdd N74
N59 Gnd Vdd D_ff_cpr_2_1
XD_ff_cpr_2_1_8 Vdd CLK N6 EN Vdd N65 N33 Gnd Vdd
D_ff_cpr_2_1
XD_ff_cpr_2_1_9 Vdd CLK N74 EN Vdd N83 N78 Gnd Vdd
D_ff_cpr_2_1
XD_ff_cpr_2_1_10 Vdd CLK N83 EN Vdd N93 N88 Gnd Vdd
D_ff_cpr_2_1
XD_ff_cpr_2_1_11 Vdd CLK N93 EN Vdd N102 N97 Gnd Vdd
D_ff_cpr_2_1
XD_ff_cpr_2_1_12 Vdd CLK N102 EN Vdd N6 N106 Gnd Vdd
D_ff_cpr_2_1
XD_ff_cpr_2_1_13 Vdd CLK N65 EN Vdd SO N69 Gnd Vdd
D_ff_cpr_2_1
XJK_ff_cpr2_1_1 Vdd CLK EN XI1C XI1C Vdd Q00_LSB N1
Gnd Vdd JK_ff_cpr2_1
XJK_ff_cpr2_1_2 Vdd CLK EN N15 N15 Vdd Q01 N12 Gnd
Vdd JK_ff_cpr2_1
XJK_ff_cpr2_1_3 Vdd CLK EN N23 N23 Vdd Q02 N20 Gnd
Vdd JK_ff_cpr2_1
XJK_ff_cpr2_1_4 Vdd CLK EN N31 N31 Vdd Q03 N28 Gnd
Vdd JK_ff_cpr2_1
XJK_ff_cpr2_1_5 Vdd CLK EN N39 N39 Vdd Q04 N36 Gnd
Vdd JK_ff_cpr2_1
XJK_ff_cpr2_1_6 Vdd CLK EN N47 N47 Vdd
Q05 N44 Gnd Vdd JK_ff_cpr2_1
XJK_ff_cpr2_1_7 Vdd CLK EN N55 N55 Vdd Q06 N52 Gnd
Vdd JK_ff_cpr2_1
XJK_ff_cpr2_1_8 Vdd CLK EN N63 N63 Vdd Q07 N60 Gnd
Vdd JK_ff_cpr2_1
XJK_ff_cpr2_1_9 Vdd CLK EN N71 N71 Vdd Q08 N68 Gnd
Vdd JK_ff_cpr2_1
XJK_ff_cpr2_1_10 Vdd CLK EN N79 N79 Vdd Q09 N76 Gnd
Vdd JK_ff_cpr2_1
XJK_ff_cpr2_1_11 Vdd CLK EN N87 N87 Vdd Q10 N84 Gnd
Vdd JK_ff_cpr2_1
XJK_ff_cpr2_1_12 Vdd CLK EN N95 N95 Vdd Q11 N92 Gnd
Vdd JK_ff_cpr2_1
XJK_ff_cpr2_1_13 Vdd CLK EN N104 N104 Vdd Q12_MSB
N100 Gnd Vdd JK_ff_
cpr2_1
v1 Vdd Gnd 5.0
v2 XI1C Gnd pulse(0.0 5.0 0 10n 10n 100n 200n)

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
v3 CLK Gnd pulse(0.0 5.0 0 10n 10n 100n 200n)
v4 EN Gnd pulse(0.0 5.0 0 10n 10n 100n 200n)
v5 SI Gnd pulse(0.0 5.0 0 10n 10n 100n 200n)
* End of main circuit: COUNTER
```

รูปที่ ก.9 โปรแกรมวงจร COUNTER จาก L-EDIT

```
.SUBCKT and1_2 I_A I_B Q Gnd Vdd
C1 Q Gnd 1pF
.op
.include ml2_20.md
M2 Q N16 Gnd Gnd NMOS L=2u W=4u
M3 N16 I_A N13 N13 NMOS L=2u W=4u
M4 N13 I_B Gnd Gnd NMOS L=2u W=4u
M5 Q N16 Vdd Vdd PMOS L=2u W=10u
M6 N16 I_B Vdd Vdd PMOS L=2u W=10u
M7 N16 I_A Vdd Vdd PMOS L=2u W=10u
.op
.tran 1n 600n
.print tran a outab nand1/nn1
.ENDS

.SUBCKT or_2 I_A I_B Q Gnd Vdd
C1 Q Gnd 1pF
.op
.include ml2_20.md
M2 Q N21 Gnd Gnd NMOS L=2u W=4u
M3 N21 I_B Gnd Gnd NMOS L=2u W=4u
M4 N21 I_A Gnd Gnd NMOS L=2u W=4u
M5 Q N21 Vdd Vdd PMOS L=2u W=10u

M6 N21 I_B N22 N22 PMOS L=2u W=10u
M7 N22 I_A Vdd Vdd PMOS L=2u W=10u
.op
.tran 1n 600n
.print tran a outab nand1/nn1
.ENDS

.SUBCKT Xor_2 I_A I_B Q Gnd Vdd
C1 Q Gnd 1pF
.op
.include ml2_20.md
M2 N15 I_A Gnd Gnd NMOS L=2u W=4u
M3 N29 I_B Gnd Gnd NMOS L=2u W=4u
M4 N29 I_A Gnd Gnd NMOS L=2u W=4u
M5 Q I_B N15 N15 NMOS L=2u W=4u
M6 Q N29 Gnd Gnd NMOS L=2u W=4u
M7 N39 I_A Vdd Vdd PMOS L=2u W=10u
M8 N29 I_B N30 N30 PMOS L=2u W=10u
```

```

M9 N30 I_A Vdd Vdd PMOS L=2u W=10u
M10 N39 I_B Vdd Vdd PMOS L=2u W=10u
M11 Q N29 N39 N39 PMOS L=2u W=10u
.op
.tran 1n 600n
.print tran a outab nand1/nn1
.ENDS
.SUBCKT Fa_2 A B CI CO SUM Gnd Vdd
Xand1_2_1 A B N12 Gnd Vdd and1_2
Xand1_2_2 CI N14 N13 Gnd Vdd and1_2
C1 CO Gnd 1pF
C2 SUM Gnd 1pF
.op
.include ml2_20.md
.op
Xor_2_1 N13 N12 CO Gnd Vdd or_2
.tran 1n 600n
.print tran a outab nand1/nn1
XXor_2_1 A B N14 Gnd Vdd Xor_2
XXor_2_2 N14 CI SUM Gnd Vdd Xor_2
.ENDS
* Main circuit: Fulladder
.op
XFa_2_1 Gnd B00 Gnd N32 SUM0 Gnd Vdd Fa_2
XFa_2_2 A01 Gnd N32 N31 SUM1 Gnd Vdd Fa_2
XFa_2_3 Gnd Gnd N31 N30 SUM2 Gnd Vdd
Fa_2
XFa_2_4 Gnd Gnd N30 N2 SUM3 Gnd Vdd Fa_2
XFa_2_5 Gnd B04 N2 N28 SUM4 Gnd Vdd Fa_2
XFa_2_6 Gnd Gnd N28 N27 SUM5 Gnd Vdd Fa_2
XFa_2_7 Gnd Gnd N27 N26 SUM6 Gnd Vdd Fa_2
XFa_2_8 Gnd Gnd N26 SUM7 SUM8 Gnd Vdd Fa_2
.include ml2_20.md
.op
v1 Vdd Gnd 5.0
v2 A01 Gnd pulse(0.0 5.0 0 10n 10n 100n 200n)
v3 B00 Gnd pulse(0.0 5.0 0 10n 10n 100n 200n)
.tran 1n 600n
.print tran a outab nand1/nn1
* End of main circuit: Fulladder

```

รูปที่ ๑.10 โปรแกรมวงจร ADDER8_12 จากL-EDIT

```

.SUBCKT and1_2 I_A I_B Q Gnd Vdd
C1 Q Gnd 1pF
.op
.include ml2_20.md
M2 Q N3 Gnd Gnd NMOS L=2u W=4u
M3 N3 I_A N1 N1 NMOS L=2u W=4u
M4 N1 I_B Gnd Gnd NMOS L=2u W=4u
M5 Q N3 Vdd Vdd PMOS L=2u W=10u

```

เอกสารนี้เป็นเอกสารสงวนลิขสิทธิ์ของมหาวิทยาลัยเทคโนโลยีพระจอมเกล้าธนบุรี
 ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการศึกษา
 ใดๆ ทั้งสิ้น อีกทั้งห้ามมีเหตุใดแบบลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

M6 N3 I_B Vdd Vdd PMOS L=2u W=10u
M7 N3 I_A Vdd Vdd PMOS L=2u W=10u
.op
.tran 1n 600n
.print tran a outab nand1/nn1
.ENDS
.SUBCKT and_3_1 A B C Q Gnd Vdd
C1 Q Gnd 1pF
.op
.include ml2_20.md
M2 N3 B N2 N2 NMOS L=2u W=4u
M3 N4 A N3 N3 NMOS L=2u W=4u
M4 N2 C Gnd Gnd NMOS L=2u W=4u
M5 Q N4 Gnd Gnd NMOS L=2u W=4u
M6 N4 B Vdd Vdd PMOS L=2u W=10u
M7 N4 C Vdd Vdd PMOS L=2u W=10u
M8 N4 A Vdd Vdd PMOS L=2u W=10u
M9 Q N4 Vdd Vdd PMOS L=2u W=10u
.op
.tran 1n 600n
.print tran a outab nand1/nn1
.ENDS

.SUBCKT and_4 A B C D Q Gnd Vdd
C1 Q Gnd 1pF
.op
.include ml2_20.md
M2 N3 B N4 N4 NMOS L=2u W=4u
M3 N1 A N3 N3 NMOS L=2u W=4u
M4 N4 C N5 N5 NMOS L=2u W=4u
M5 N5 D Gnd Gnd NMOS L=2u W=4u
M6 Q N1 Gnd Gnd NMOS L=2u W=4u
M7 N1 B Vdd Vdd PMOS L=2u W=10u
M8 N1 C Vdd Vdd PMOS L=2u W=10u
M9 N1 D Vdd Vdd PMOS L=2u W=10u
M10 N1 A Vdd Vdd PMOS L=2u W=10u
M11 Q N1 Vdd Vdd PMOS L=2u W=10u
.op
.tran 1n 600n
.print tran a outab nand1/nn1
.ENDS

.SUBCKT and_5 A B C D E Q Gnd Vdd
C1 Q Gnd 1pF
.op
.include ml2_20.md
M2 N2 B N3 N3 NMOS L=2u W=4u
M3 N4 A N2 N2 NMOS L=2u W=4u
M4 N3 C N5 N5 NMOS L=2u W=4u
M5 N5 D N6 N6 NMOS L=2u W=4u
M6 N6 E Gnd Gnd NMOS L=2u W=4u
M7 Q N4 Gnd Gnd NMOS L=2u W=4u
M8 N4 B Vdd Vdd PMOS L=2u W=10u
M9 N4 C Vdd Vdd PMOS L=2u W=10u

```

```

M10 N4 D Vdd Vdd PMOS L=2u W=10u
M11 N4 A Vdd Vdd PMOS L=2u W=10u
M12 N4 E Vdd Vdd PMOS L=2u W=10u
M13 Q N4 Vdd Vdd PMOS L=2u W=10u
.op
.tran 1n 600n
.print tran a outab nand1/nn1
.ENDS
.SUBCKT and_6 A B C D E F Q Gnd Vdd
C1 Q Gnd 1pF
.op
.include ml2_20.md
M2 N5 B N2 N2 NMOS L=2u W=4u
M3 N1 A N5 N5 NMOS L=2u W=4u
M4 N2 C N7 N7 NMOS L=2u W=4u
M5 N7 D N4 N4 NMOS L=2u W=4u
M6 N4 E N6 N6 NMOS L=2u W=4u
M7 Q N1 Gnd Gnd NMOS L=2u W=4u
M8 N6 F Gnd Gnd NMOS L=2u W=4u
M9 N1 B Vdd Vdd PMOS L=2u W=10u
M10 N1 C Vdd Vdd PMOS L=2u W=10u
M11 N1 D Vdd Vdd PMOS L=2u W=10u
M12 N1 A Vdd Vdd PMOS L=2u W=10u
M13 N1 E Vdd Vdd PMOS L=2u W=10u
M14 Q N1 Vdd Vdd PMOS L=2u W=10u
M15 N1 F Vdd Vdd PMOS L=2u W=10u
.op
.tran 1n 600n
.print tran a outab nand1/nn1
.ENDS
.SUBCKT and_7_1 A B C D E F G Q Gnd Vdd
C1 Q Gnd 1pF
.op
.include ml2_20.md
M2 N1 B N4 N4 NMOS L=2u W=4u
M3 N6 A N1 N1 NMOS L=2u W=4u
M4 N4 C N3 N3 NMOS L=2u W=4u
M5 N3 D N5 N5 NMOS L=2u W=4u
M6 N5 E N2 N2 NMOS L=2u W=4u
M7 Q N6 Gnd Gnd NMOS L=2u W=4u
M8 N2 F N7 N7 NMOS L=2u W=4u
M9 N7 G Gnd Gnd NMOS L=2u W=4u
M10 N6 B Vdd Vdd PMOS L=2u W=10u
M11 N6 C Vdd Vdd PMOS L=2u W=10u
M12 N6 D Vdd Vdd PMOS L=2u W=10u
M13 N6 A Vdd Vdd PMOS L=2u W=10u
M14 N6 E Vdd Vdd PMOS L=2u W=10u
M15 Q N6 Vdd Vdd PMOS L=2u W=10u
M16 N6 F Vdd Vdd PMOS L=2u W=10u
M17 N6 G Vdd Vdd PMOS L=2u W=10u
.op
.tran 1n 600n
.print tran a outab nand1/nn1
.ENDS

```

เอกสารนี้เป็นเอกสารที่จัดทำขึ้นเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ. ลิขสิทธิ์ อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

.SUBCKT and_8_1 A B C D E F G H Q Gnd Vdd
C1 Q Gnd 1pF
.op
.include ml2_20.md

M2 N6 B N9 N9 NMOS L=2u W=4u
M3 N8 A N6 N6 NMOS L=2u W=4u
M4 N9 C N4 N4 NMOS L=2u W=4u
M5 N4 D N3 N3 NMOS L=2u W=4u
M6 N3 E N1 N1 NMOS L=2u W=4u
M7 Q N8 Gnd Gnd NMOS L=2u W=4u
M8 N1 F N2 N2 NMOS L=2u W=4u
M9 N2 G N7 N7 NMOS L=2u W=4u
M10 N7 H Gnd Gnd NMOS L=2u W=4u
M11 N8 B Vdd Vdd PMOS L=2u W=10u
M12 N8 C Vdd Vdd PMOS L=2u W=10u
M13 N8 D Vdd Vdd PMOS L=2u W=10u
M14 N8 A Vdd Vdd PMOS L=2u W=10u
M15 N8 E Vdd Vdd PMOS L=2u W=10u
M16 Q N8 Vdd Vdd PMOS L=2u W=10u
M17 N8 F Vdd Vdd PMOS L=2u W=10u
M18 N8 G Vdd Vdd PMOS L=2u W=10u
M19 N8 H Vdd Vdd PMOS L=2u W=10u
.op
.tran 1n 600n
.print tran a outab nand1/nn1
.ENDS
.SUBCKT and_9_1 A B C D E F G H I Q Gnd Vdd
C1 Q Gnd 1pF
.op
.include ml2_20.md
M2 N9 B N2 N2 NMOS L=2u W=4u
M3 N6 A N9 N9 NMOS L=2u W=4u
M4 N2 C N4 N4 NMOS L=2u W=4u
M5 N4 D N5 N5 NMOS L=2u W=4u
M6 N5 E N10 N10 NMOS L=2u W=4u
M7 Q N6 Gnd Gnd NMOS L=2u W=4u
M8 N10 F N1 N1 NMOS L=2u W=4u
M9 N1 G N3 N3 NMOS L=2u W=4u
M10 N3 H N7 N7 NMOS L=2u W=4u
M11 N7 I Gnd Gnd NMOS L=2u W=4u
M12 N6 B Vdd Vdd PMOS L=2u W=10u
M13 N6 C Vdd Vdd PMOS L=2u W=10u
M14 N6 D Vdd Vdd PMOS L=2u W=10u
M15 N6 A Vdd Vdd PMOS L=2u W=10u
M16 N6 E Vdd Vdd PMOS L=2u W=10u
M17 Q N6 Vdd Vdd PMOS L=2u W=10u
M18 N6 F Vdd Vdd PMOS L=2u W=10u
M19 N6 G Vdd Vdd PMOS L=2u W=10u
M20 N6 H Vdd Vdd PMOS L=2u W=10u
M21 N6 I Vdd Vdd PMOS L=2u W=10u
.op
.tran 1n 600n
.print tran a outab nand1/nn1
.ENDS

```

เอกสารนี้เป็นเอกสารที่จัดทำขึ้นเพื่อการเรียนการสอนเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ หากมีเหตุขัดแย้งหรือข้อสงสัยใดๆ กรุณาติดต่อผู้จัดทำเอกสารทุกครั้งที่มีการนำไปใช้

```

.SUBCKT inv1_1 INPUT OUTPUT Gnd Vdd
C1 OUTPUT Gnd 1pF
.op
.include ml2_20.md
M2 OUTPUT INPUT Gnd Gnd NMOS L=2u W=4u
M3 OUTPUT INPUT Vdd Vdd PMOS L=2u W=10u
.op
.tran 1n 600n
.print tran a outab nand1/nn1
.ENDS

.SUBCKT or_9 A B C D E F G H I Q Gnd Vdd
C1 Q Gnd 10pF
.op
.include ml2_20.md
M2 Q N5 Gnd Gnd NMOS L=2u W=4u
M3 N5 F Gnd Gnd NMOS L=2u W=4u
M4 N5 G Gnd Gnd NMOS L=2u W=4u
M5 N5 H Gnd Gnd NMOS L=2u W=4u
M6 N5 I Gnd Gnd NMOS L=2u W=4u
M7 N5 E Gnd Gnd NMOS L=2u W=4u
M8 N5 D Gnd Gnd NMOS L=2u W=4u
M9 N5 C Gnd Gnd NMOS L=2u W=4u
M10 N5 B Gnd Gnd NMOS L=2u W=4u
M11 N5 A Gnd Gnd NMOS L=2u W=4u
M12 Q N5 Vdd Vdd PMOS L=2u W=10u
M13 N4 D N3 N3 PMOS L=2u W=10u
M14 N3 C N2 N2 PMOS L=2u W=10u
M15 N2 B N7 N7 PMOS L=2u W=10u
M16 N7 A Vdd Vdd PMOS L=2u W=10u
M17 N10 E N4 N4 PMOS L=2u W=10u
M18 N9 F N10 N10 PMOS L=2u W=10u
M19 N8 G N9 N9 PMOS L=2u W=10u
M20 N6 H N8 N8 PMOS L=2u W=10u
M21 N5 I N6 N6 PMOS L=2u W=10u
.op
.tran 1n 600n
.print tran a outab nand1/nn1
.ENDS

.SUBCKT XNor_2 I_A I_B Q Gnd Vdd
C1 Q Gnd 1pF
.op
.include ml2_20.md
M2 N18 I_A Gnd Gnd NMOS L=2u W=4u
M3 N9 I_B Gnd Gnd NMOS L=2u W=4u
M4 N9 I_A Gnd Gnd NMOS L=2u W=4u
M5 N21 I_B N18 N18 NMOS L=2u W=4u
M6 N21 N9 Gnd Gnd NMOS L=2u W=4u
M7 Q N21 Gnd Gnd NMOS L=2u W=4u
M8 N29 I_A Vdd Vdd PMOS L=2u W=10u
M9 N9 I_B N37 N37 PMOS L=2u W=10u
M10 N37 I_A Vdd Vdd PMOS L=2u W=10u
M11 N29 I_B Vdd Vdd PMOS L=2u W=10u
M12 N21 N9 N29 N29 PMOS L=2u W=10u

```

```

M13 Q N21 Vdd Vdd PMOS L=2u W=10u
.op
.tran 1n 600n
.print tran a outab nand1/nn1* SPICE netlist written
by S-Edit Win32 6.03
* Written on Oct 19, 2002 at 16:17:59

* Waveform probing commands
.probe
.options probefilename="Compaarater.dat"
+ probesdbfile="C:\Program Files\Tanner EDA\T-Spice
Pro v6.03\
examples\GATE Basic\Compaarater.sdb"
+ probetopmodule="Comparater"

.SUBCKT and1_2 I_A I_B Q Gnd Vdd
C1 Q Gnd 1pF
.op
.include ml2_20.md
M2 Q N3 Gnd Gnd NMOS L=2u W=4u
M3 N3 I_A N1 N1 NMOS L=2u W=4u
M4 N1 I_B Gnd Gnd NMOS L=2u W=4u
M5 Q N3 Vdd Vdd PMOS L=2u W=10u
M6 N3 I_B Vdd Vdd PMOS L=2u W=10u
M7 N3 I_A Vdd Vdd PMOS L=2u W=10u
.op
.tran 1n 600n
.print tran a outab nand1/nn1
.ENDS

.SUBCKT and_3_1 A B C Q Gnd Vdd
C1 Q Gnd 1pF
.op
.include ml2_20.md
M2 N3 B N2 N2 NMOS L=2u W=4u
M3 N4 A N3 N3 NMOS L=2u W=4u
M4 N2 C Gnd Gnd NMOS L=2u W=4u
M5 Q N4 Gnd Gnd NMOS L=2u W=4u
M6 N4 B Vdd Vdd PMOS L=2u W=10u
M7 N4 C Vdd Vdd PMOS L=2u W=10u
M8 N4 A Vdd Vdd PMOS L=2u W=10u
M9 Q N4 Vdd Vdd PMOS L=2u W=10u
.op
.tran 1n 600n
.print tran a outab nand1/nn1
.ENDS

.SUBCKT and_4 A B C D Q Gnd Vdd
C1 Q Gnd 1pF
.op
.include ml2_20.md
M2 N3 B N4 N4 NMOS L=2u W=4u
M3 N1 A N3 N3 NMOS L=2u W=4u
M4 N4 C N5 N5 NMOS L=2u W=4u
M5 N5 D Gnd Gnd NMOS L=2u W=4u

```

```

M6 Q N1 Gnd Gnd NMOS L=2u W=4u
M7 N1 B Vdd Vdd PMOS L=2u W=10u
M8 N1 C Vdd Vdd PMOS L=2u W=10u
M9 N1 D Vdd Vdd PMOS L=2u W=10u
M10 N1 A Vdd Vdd PMOS L=2u W=10u
M11 Q N1 Vdd Vdd PMOS L=2u W=10u
.op
.tran 1n 600n
.print tran a outab nand1/nn1
.ENDS

.SUBCKT and_5 A B C D E Q Gnd Vdd
C1 Q Gnd 1pF
.op
.include ml2_20.md
M2 N2 B N3 N3 NMOS L=2u W=4u
M3 N4 A N2 N2 NMOS L=2u W=4u
M4 N3 C N5 N5 NMOS L=2u W=4u
M5 N5 D N6 N6 NMOS L=2u W=4u
M6 N6 E Gnd Gnd NMOS L=2u W=4u
M7 Q N4 Gnd Gnd NMOS L=2u W=4u
M8 N4 B Vdd Vdd PMOS L=2u W=10u
M9 N4 C Vdd Vdd PMOS L=2u W=10u
M10 N4 D Vdd Vdd PMOS L=2u W=10u
M11 N4 A Vdd Vdd PMOS L=2u W=10u
M12 N4 E Vdd Vdd PMOS L=2u W=10u
M13 Q N4 Vdd Vdd PMOS L=2u W=10u
.op
.tran 1n 600n
.print tran a outab nand1/nn1
.ENDS

.SUBCKT and_6 A B C D E F Q Gnd Vdd
C1 Q Gnd 1pF
.op
.include ml2_20.md
M2 N5 B N2 N2 NMOS L=2u W=4u
M3 N1 A N5 N5 NMOS L=2u W=4u
M4 N2 C N7 N7 NMOS L=2u W=4u
M5 N7 D N4 N4 NMOS L=2u W=4u
M6 N4 E N6 N6 NMOS L=2u W=4u
M7 Q N1 Gnd Gnd NMOS L=2u W=4u
M8 N6 F Gnd Gnd NMOS L=2u W=4u
M9 N1 B Vdd Vdd PMOS L=2u W=10u
M10 N1 C Vdd Vdd PMOS L=2u W=10u
M11 N1 D Vdd Vdd PMOS L=2u W=10u
M12 N1 A Vdd Vdd PMOS L=2u W=10u
M13 N1 E Vdd Vdd PMOS L=2u W=10u
M14 Q N1 Vdd Vdd PMOS L=2u W=10u
M15 N1 F Vdd Vdd PMOS L=2u W=10u

```

```

.SUBCKT D_ff_cpr_2_1 CLEAR CLK D EN PRESET Q Q_ Gnd
Vdd
C1 N2 Gnd 1pF
C2 Q Gnd 1pF
C3 N1 Gnd 1pF
C4 Q_ Gnd 1pF
.op
.include ml2_20.md
M5 Q PRESET N12 N12 NMOS L=2u W=4u
M7 N13 Q_ Gnd Gnd NMOS L=2u W=4u
M8 Q_ CLEAR N27 N27 NMOS L=2u W=4u
M9 N27 N1 N31 N31 NMOS L=2u W=4u
M10 N31 Q Gnd Gnd NMOS L=2u W=4u
M11 N1 CLK N36 N36 NMOS L=2u W=4u
M12 N36 EN N40 N40 NMOS L=2u W=4u
M13 N40 N111 Gnd Gnd NMOS L=2u W=4u
M14 N2 CLK N48 N48 NMOS L=2u W=4u
M15 N48 EN N52 N52 NMOS L=2u W=4u
M16 N52 D Gnd Gnd NMOS L=2u W=4u
M17 N111 D Gnd Gnd NMOS L=2u W=4u
M18 Q Q_ Vdd Vdd PMOS L=2u W=10u
M19 Q N2 Vdd Vdd PMOS L=2u W=10u
M20 Q PRESET Vdd Vdd PMOS L=2u W=10u
M21 Q_ CLEAR Vdd Vdd PMOS L=2u W=10u
M22 Q_ N1 Vdd Vdd PMOS L=2u W=10u
M23 Q_ Q Vdd Vdd PMOS L=2u W=10u
M24 N1 CLK Vdd Vdd PMOS L=2u W=10u
M25 N1 EN Vdd Vdd PMOS L=2u W=10u
M26 N1 N111 Vdd Vdd PMOS L=2u W=10u
M27 N2 CLK Vdd Vdd PMOS L=2u W=10u
M28 N2 EN Vdd Vdd PMOS L=2u W=10u
M29 N2 D Vdd Vdd PMOS L=2u W=10u
M30 N111 D Vdd Vdd PMOS L=2u W=10u
.op
.tran 1n 600n
.print tran a outab nand1/nn1
.ENDS
* Main circuit: Register1
C1 SO Gnd 1pF
C2 P08_MSB Gnd 1pF
.op
XD_ff_cpr_2_1_1 Vdd CLK SI EN Vdd N16 N3 Gnd Vdd
D_ff_cpr_2_1
XD_ff_cpr_2_1_2 Vdd CLK N16 EN Vdd N17 N4 Gnd Vdd
D_ff_cpr_2_1
XD_ff_cpr_2_1_3 Vdd CLK N17 EN Vdd N18 N6 Gnd Vdd
D_ff_cpr_2_1
XD_ff_cpr_2_1_4 Vdd CLK N18 EN Vdd N19 N7 Gnd Vdd
D_ff_cpr_2_1
XD_ff_cpr_2_1_5 Vdd CLK N19 EN Vdd N20 N8 Gnd Vdd
D_ff_cpr_2_1
XD_ff_cpr_2_1_6 Vdd CLK N20 EN Vdd N21 N9 Gnd Vdd
D_ff_cpr_2_1
XD_ff_cpr_2_1_7 Vdd CLK N21 EN Vdd N22 N10 Gnd Vdd
D_ff_cpr_2_1

```

```

XD_ff_cpr_2_1_8 Vdd CLK N22 EN Vdd N5 N11 Gnd Vdd
D_ff_cpr_2_1
XD_ff_cpr_2_1_9 Vdd CLK PI0_LSB EN Vdd P00_LSB N28
Gnd Vdd D_ff_cpr_2_1
XD_ff_cpr_2_1_10 Vdd CLK PI1 EN Vdd P01 N25 Gnd Vdd
D_ff_cpr_2_1
XD_ff_cpr_2_1_11 Vdd CLK PI2 EN Vdd P02 N24 Gnd Vdd
D_ff_cpr_2_1
XD_ff_cpr_2_1_12 Vdd CLK PI3 EN Vdd P03 N23 Gnd Vdd
D_ff_cpr_2_1
XD_ff_cpr_2_1_13 Vdd CLK PI4 EN Vdd P04 N15 Gnd Vdd
D_ff_cpr_2_1
XD_ff_cpr_2_1_14 Vdd CLK PI5 EN Vdd P05 N14 Gnd Vdd
D_ff_cpr_2_1
XD_ff_cpr_2_1_15 Vdd CLK PI6 EN Vdd P06 N13 Gnd Vdd
D_ff_cpr_2_1
XD_ff_cpr_2_1_16 Vdd CLK PI7 EN Vdd P07 N12 Gnd Vdd
D_ff_cpr_2_1
XD_ff_cpr_2_1_17 Vdd CLK N5 EN Vdd SO N2 Gnd Vdd
D_ff_cpr_2_1
XD_ff_cpr_2_1_18 Vdd CLK PI8_MSB EN Vdd P08_MSB N1
Gnd Vdd D_ff_cpr_2_1
.include ml2_20.md
.op
v3 Vdd Gnd 5.0
v4 CLK Gnd pulse(0.0 5.0 0 10n 10n 100n 200n)
v5 EN Gnd pulse(0.0 5.0 0 10n 10n 100n 200n)
v6 SI Gnd pulse(0.0 5.0 0 10n 10n 100n 200n)
v7 PI0_LSB Gnd pulse(0.0 5.0 0 10n 10n 100n 200n)
v8 PI1 Gnd pulse(0.0 5.0 0 10n 10n 100n 200n)
v9 PI2 Gnd pulse(0.0 5.0 0 10n 10n 100n 200n)
v10 PI3 Gnd pulse(0.0 5.0 0 10n 10n 100n 200n)
v11 PI4 Gnd pulse(0.0 5.0 0 10n 10n 100n 200n)
v12 PI5 Gnd pulse(0.0 5.0 0 10n 10n 100n 200n)
v13 PI6 Gnd pulse(0.0 5.0 0 10n 10n 100n 200n)
v14 PI7 Gnd pulse(0.0 5.0 0 10n 10n 100n 200n)
v15 PI8_MSB Gnd pulse(0.0 5.0 0 10n 10n 100n 200n)
.tran 1n 600n
.print tran a outab nand1/nn1
*End of main circuit: Register1

```

รูปที่ ค.12 โปรแกรมวงจร REGISTER1_1 จากL-EDIT

```

.SUBCKT and1_2 I_A I_B Q Gnd Vdd
C1 Q Gnd 1pF
.op
.include ml2_20.md

```

```

M2 Q N16 Gnd Gnd NMOS L=2u W=4u
M3 N16 I_A N13 N13 NMOS L=2u W=4u

```

เอกสารนี้เป็นเอกสารลิขสิทธิ์ของสถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น ยกเว้น อนุมัติแบบสงวนเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

M4 N13 I_B Gnd Gnd NMOS L=2u W=4u
M5 Q N16 Vdd Vdd PMOS L=2u W=10u
M6 N16 I_B Vdd Vdd PMOS L=2u W=10u
M7 N16 I_A Vdd Vdd PMOS L=2u W=10u
.op
.tran 1n 600n
.print tran a outab nand1/nn1
.ENDS

.SUBCKT inv1_1 INPUT OUTPUT Gnd Vdd
C1 OUTPUT Gnd 1pF
.op
.include ml2_20.md
M2 OUTPUT INPUT Gnd Gnd NMOS L=2u W=4u
M3 OUTPUT INPUT Vdd Vdd PMOS L=2u W=10u
.op
.tran 1n 600n
.print tran a outab nand1/nn1
.ENDS
.SUBCKT or_2 I_A I_B Q Gnd Vdd
C1 Q Gnd 1pF
.op
.include ml2_20.md
M2 Q N21 Gnd Gnd NMOS L=2u W=4u
M3 N21 I_B Gnd Gnd NMOS L=2u W=4u
M4 N21 I_A Gnd Gnd NMOS L=2u W=4u
M5 Q N21 Vdd Vdd PMOS L=2u W=10u
M6 N21 I_B N22 N22 PMOS L=2u W=10u
M7 N22 I_A Vdd Vdd PMOS L=2u W=10u
.op
.tran 1n 600n
.print tran a outab nand1/nn1
.ENDS

.SUBCKT Xor_2 I_A I_B Q Gnd Vdd
C1 Q Gnd 1pF
.op
.include ml2_20.md
M2 N15 I_A Gnd Gnd NMOS L=2u W=4u
M3 N29 I_B Gnd Gnd NMOS L=2u W=4u
M4 N29 I_A Gnd Gnd NMOS L=2u W=4u
M5 Q I_B N15 N15 NMOS L=2u W=4u
M6 Q N29 Gnd Gnd NMOS L=2u W=4u
M7 N39 I_A Vdd Vdd PMOS L=2u W=10u
M8 N29 I_B N30 N30 PMOS L=2u W=10u
M9 N30 I_A Vdd Vdd PMOS L=2u W=10u
M10 N39 I_B Vdd Vdd PMOS L=2u W=10u
M11 Q N29 N39 N39 PMOS L=2u W=10u
.op
.tran 1n 600n
.print tran a outab nand1/nn1
.ENDS

.SUBCKT Fsub A B CI CO SUM Gnd Vdd
Xand1_2_1 A N4 N14 Gnd Vdd and1_2

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆ หากมีข้อผิดพลาดประการใดขออภัยเป็นอย่างสูง และขอขอบคุณเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

Xand1_2_2 CI N16 N15 Gnd Vdd and1_2
C1 CO Gnd 1pF
C2 SUM Gnd 1pF
.op
.include ml2_20.md
Xinv1_1_1 B N4 Gnd Vdd inv1_1
.op
Xor_2_1 N15 N14 CO Gnd Vdd or_2
.tran 1n 600n
.print tran a outab nand1/nn1
XXor_2_1 A N4 N16 Gnd Vdd Xor_2
XXor_2_2 N16 CI SUM Gnd Vdd Xor_2
.ENDS

* Main circuit: Addsub
.op
XFsub_1 A00 B00 CI N3 SUM0 Gnd Vdd Fsub
XFsub_2 A01 Gnd N3 N2 SUM1 Gnd Vdd Fsub
XFsub_3 A02 B02 N2 N1 SUM2 Gnd Vdd Fsub
XFsub_4 A03 B03 N1 N4 SUM3 Gnd Vdd Fsub
XFsub_5 A04 B04 N4 N5 SUM4 Gnd Vdd Fsub
XFsub_7 A05 B05 N5 N6 SUM5 Gnd Vdd Fsub
XFsub_8 A06 B06 N6 N7 SUM6 Gnd Vdd Fsub
XFsub_9 A07 B07 N7 N8 SUM7 Gnd Vdd Fsub
XFsub_10 A08 B08 N8 CO SUM8 Gnd Vdd Fsub
.include ml2_20.md
.op
v1 Vdd Gnd 5.0
v2 A01 Gnd pulse(0.0 5.0 0 10n 10n 100n 200n)
v3 CI Gnd pulse(0.0 5.0 0 10n 10n 100n 200n)
v4 B00 Gnd pulse(0.0 5.0 0 10n 10n 100n 200n)

.tran 1n 600n
.print tran a outab nand1/nn1
* End of main circuit: Addsub

```

รูปที่ ค.13 โปรแกรมวงจร ADDER8_1 จากL-EDIT

```

.SUBCKT D_ff_cpr_2_1 CLEAR CLK D EN PRESET Q Q_ Gnd
Vdd
C1 N2 Gnd 1pF
C2 Q Gnd 1pF
C3 N1 Gnd 1pF
C4 Q_ Gnd 1pF
.op
.include ml2_20.md
M5 Q PRESET N12 N12 NMOS L=2u W=4u
M7 N13 Q_ Gnd Gnd NMOS L=2u W=4u
M8 Q_ CLEAR N27 N27 NMOS L=2u W=4u

```

เอกสารนี้เป็นเอกสารสงวนลิขสิทธิ์การใช้งานเพื่อการศึกษาเท่านั้น อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรรมใดๆ หากผู้อื่นมีสิทธิแต่เพียงผู้เดียวและต้องขออนุญาตให้เจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

M9 N27 N1 N31 N31 NMOS L=2u W=4u
M10 N31 Q Gnd Gnd NMOS L=2u W=4u
M11 N1 CLK N36 N36 NMOS L=2u W=4u
M12 N36 EN N40 N40 NMOS L=2u W=4u
M13 N40 N111 Gnd Gnd NMOS L=2u W=4u
M14 N2 CLK N48 N48 NMOS L=2u W=4u
M15 N48 EN N52 N52 NMOS L=2u W=4u
M16 N52 D Gnd Gnd NMOS L=2u W=4u
M17 N111 D Gnd Gnd NMOS L=2u W=4u
M18 Q Q_ Vdd Vdd PMOS L=2u W=10u
M19 Q N2 Vdd Vdd PMOS L=2u W=10u
M20 Q PRESET Vdd Vdd PMOS L=2u W=10u
M21 Q_ CLEAR Vdd Vdd PMOS L=2u W=10u
M22 Q_ N1 Vdd Vdd PMOS L=2u W=10u
M23 Q_ Q Vdd Vdd PMOS L=2u W=10u
M24 N1 CLK Vdd Vdd PMOS L=2u W=10u
M25 N1 EN Vdd Vdd PMOS L=2u W=10u
M26 N1 N111 Vdd Vdd PMOS L=2u W=10u
M27 N2 CLK Vdd Vdd PMOS L=2u W=10u
M28 N2 EN Vdd Vdd PMOS L=2u W=10u
M29 N2 D Vdd Vdd PMOS L=2u W=10u
M30 N111 D Vdd Vdd PMOS L=2u W=10u
.op
.tran 1n 600n
.print tran a outab nand1/nn1
.ENDS

* Main circuit: Register1
C1 SO Gnd 1pF
C2 P08_MSB Gnd 1pF
.op
XD_ff_cpr_2_1_1 Vdd CLK SI EN Vdd N16 N3 Gnd Vdd
D_ff_cpr_2_1
XD_ff_cpr_2_1_2 Vdd CLK N16 EN Vdd N17 N4 Gnd Vdd
D_ff_cpr_2_1
XD_ff_cpr_2_1_3 Vdd CLK N17 EN Vdd N18 N6 Gnd Vdd
D_ff_cpr_2_1
XD_ff_cpr_2_1_4 Vdd CLK N18 EN Vdd N19 N7 Gnd Vdd
D_ff_cpr_2_1
XD_ff_cpr_2_1_5 Vdd CLK N19 EN Vdd N20 N8 Gnd Vdd
D_ff_cpr_2_1
XD_ff_cpr_2_1_6 Vdd CLK N20 EN Vdd N21 N9 Gnd Vdd
D_ff_cpr_2_1
XD_ff_cpr_2_1_7 Vdd CLK N21 EN Vdd N22 N10 Gnd Vdd
D_ff_cpr_2_1
XD_ff_cpr_2_1_8 Vdd CLK N22 EN Vdd N5 N11 Gnd Vdd
D_ff_cpr_2_1
XD_ff_cpr_2_1_9 Vdd CLK PI0_LSB EN Vdd P00_LSB N28
Gnd Vdd D_ff_cpr_2_1
XD_ff_cpr_2_1_10 Vdd CLK PI1 EN Vdd P01 N25 Gnd Vdd
D_ff_cpr_2_1
XD_ff_cpr_2_1_11 Vdd CLK PI2 EN Vdd P02 N24 Gnd Vdd
D_ff_cpr_2_1

```

เอกสารนี้เป็นเอกสารลิขสิทธิ์หรือทรัพย์สินทางปัญญาของมหาวิทยาลัยเทคโนโลยีพระจอมเกล้าธนบุรี ห้ามเผยแพร่โดยไม่ได้รับอนุญาต
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

        XD_ff_cpr_2_1_12 Vdd CLK PI3 EN Vdd P03 N23 Gnd Vdd
D_ff_cpr_2_1
        XD_ff_cpr_2_1_13 Vdd CLK PI4 EN Vdd P04 N15 Gnd Vdd
D_ff_cpr_2_1
        XD_ff_cpr_2_1_14 Vdd CLK PI5 EN Vdd P05 N14 Gnd Vdd
D_ff_cpr_2_1
        XD_ff_cpr_2_1_15 Vdd CLK PI6 EN Vdd P06 N13 Gnd Vdd
D_ff_cpr_2_1
        XD_ff_cpr_2_1_16 Vdd CLK PI7 EN Vdd P07
        N12 Gnd Vdd D_ff_cpr_2_1
        XD_ff_cpr_2_1_17 Vdd CLK N5 EN Vdd SO N2 Gnd Vdd
D_ff_cpr_2_1
        XD_ff_cpr_2_1_18 Vdd CLK PI8_MSB EN Vdd P08_MSB N1
Gnd Vdd D_ff_cpr_2_1
        .include ml2_20.md
        .op
        v3 Vdd Gnd 5.0
        v4 CLK Gnd pulse(0.0 5.0 0 10n 10n 100n 200n)
        v5 EN Gnd pulse(0.0 5.0 0 10n 10n 100n 200n)
        v6 SI Gnd pulse(0.0 5.0 0 10n 10n 100n 200n)
        v7 PI0_LSB Gnd pulse(0.0 5.0 0 10n 10n 100n 200n)
        v8 PI1 Gnd pulse(0.0 5.0 0 10n 10n 100n 200n)
        v9 PI2 Gnd pulse(0.0 5.0 0 10n 10n 100n 200n)
        v10 PI3 Gnd pulse(0.0 5.0 0 10n 10n 100n 200n)
        v11 PI4 Gnd pulse(0.0 5.0 0 10n 10n 100n 200n)
        v12 PI5 Gnd pulse(0.0 5.0 0 10n 10n 100n 200n)
        v13 PI6 Gnd pulse(0.0 5.0 0 10n 10n 100n 200n)
        v14 PI7 Gnd pulse(0.0 5.0 0 10n 10n 100n 200n)
        v15 PI8_MSB Gnd pulse(0.0 5.0 0 10n 10n 100n 200n)
        .tran 1n 600n
        .print tran a outab nand1/nn1
        * End of main circuit: Register1

```

รูปที่ ก.14 โปรแกรมวงจร REGISTER1_12 จาก L-EDIT

```

.SUBCKT and1_2 I_A I_B Q Gnd Vdd
C1 Q Gnd 1pF
.op
.include ml2_20.md
M2 Q N16 Gnd Gnd NMOS L=2u W=4u
M3 N16 I_A N13 N13 NMOS L=2u W=4u
M4 N13 I_B Gnd Gnd NMOS L=2u W=4u
M5 Q N16 Vdd Vdd PMOS L=2u W=10u
M6 N16 I_B Vdd Vdd PMOS L=2u W=10u
M7 N16 I_A Vdd Vdd PMOS L=2u W=10u
.op
.tran 1n 600n
.print tran a outab nand1/nn1
.ENDS

```

เอกสารนี้เป็นเอกสารสงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

.SUBCKT inv1_1 INPUT OUTPUT Gnd Vdd
C1 OUTPUT Gnd 1pF
.op
.include ml2_20.md
M2 OUTPUT INPUT Gnd Gnd NMOS L=2u W=4u
M3 OUTPUT INPUT Vdd Vdd PMOS L=2u W=10u
.op
.tran 1n 600n
.print tran a outab nand1/nn1
.ENDS
.SUBCKT or_2 I_A I_B Q Gnd Vdd
C1 Q Gnd 1pF
.op
.include ml2_20.md
M2 Q N21 Gnd Gnd NMOS L=2u W=4u
M3 N21 I_B Gnd Gnd NMOS L=2u W=4u
M4 N21 I_A Gnd Gnd NMOS L=2u W=4u
M5 Q N21 Vdd Vdd PMOS L=2u W=10u
M6 N21 I_B N22 N22 PMOS L=2u W=10u
M7 N22 I_A Vdd Vdd PMOS L=2u W=10u
.op
.tran 1n 600n
.print tran a outab nand1/nn1
.ENDS
.SUBCKT Mux_2_1 D0 D1 Q SW Gnd Vdd
Xand1_2_1 D0 N2 N11 Gnd Vdd and1_2
Xand1_2_2 SW D1 N10 Gnd Vdd and1_2
Xinv1_1_1 SW N2 Gnd Vdd inv1_1
Xor_2_1 N11 N10 Q Gnd Vdd or_2
.ENDS
* Main circuit: Mux_8
XMux_2_1_1 A0_LSB Gnd AO_0_LSB Gnd Gnd Vdd Mux_2_1
XMux_2_1_2 A1 Gnd AO_1 Gnd Gnd Vdd Mux_2_1
XMux_2_1_3 A2 Gnd AO_2 Gnd Gnd Vdd Mux_2_1
XMux_2_1_4 A3 Gnd AO_3 Gnd Gnd Vdd Mux_2_1
XMux_2_1_5 A4 Gnd AO_4 Gnd Gnd Vdd Mux_2_1
XMux_2_1_6 A5 Gnd AO_5 Gnd Gnd Vdd Mux_2_1
XMux_2_1_7 A6 Gnd AO_6 Gnd Gnd Vdd Mux_2_1
XMux_2_1_8 A7_MSB Gnd AO_7_MSB Gnd Gnd Vdd Mux_2_1
v1 A4 Gnd pulse(0.0 5.0 0 10n 10n 100n 200n)
v2 A0_LSB Gnd pulse(0.0 5.0 0 10n 10n 100n 200n)
v3 A1 Gnd pulse(0.0 5.0 0 10n 10n 100n 200n)
v4 A2 Gnd pulse(0.0 5.0 0 10n 10n 100n 200n)
v5 A3 Gnd pulse(0.0 5.0 0 10n 10n 100n 200n)
v6 A5 Gnd pulse(0.0 5.0 0 10n 10n 100n 200n)
v7 A6 Gnd pulse(0.0 5.0 0 10n 10n 100n 200n)
v8 A7_MSB Gnd pulse(0.0 5.0 0 10n 10n 100n 200n)
End of main circuit: Mux_8

```

รูปที่ ก.15 โปรแกรมวงจร Mux_8 จากL-EDIT

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

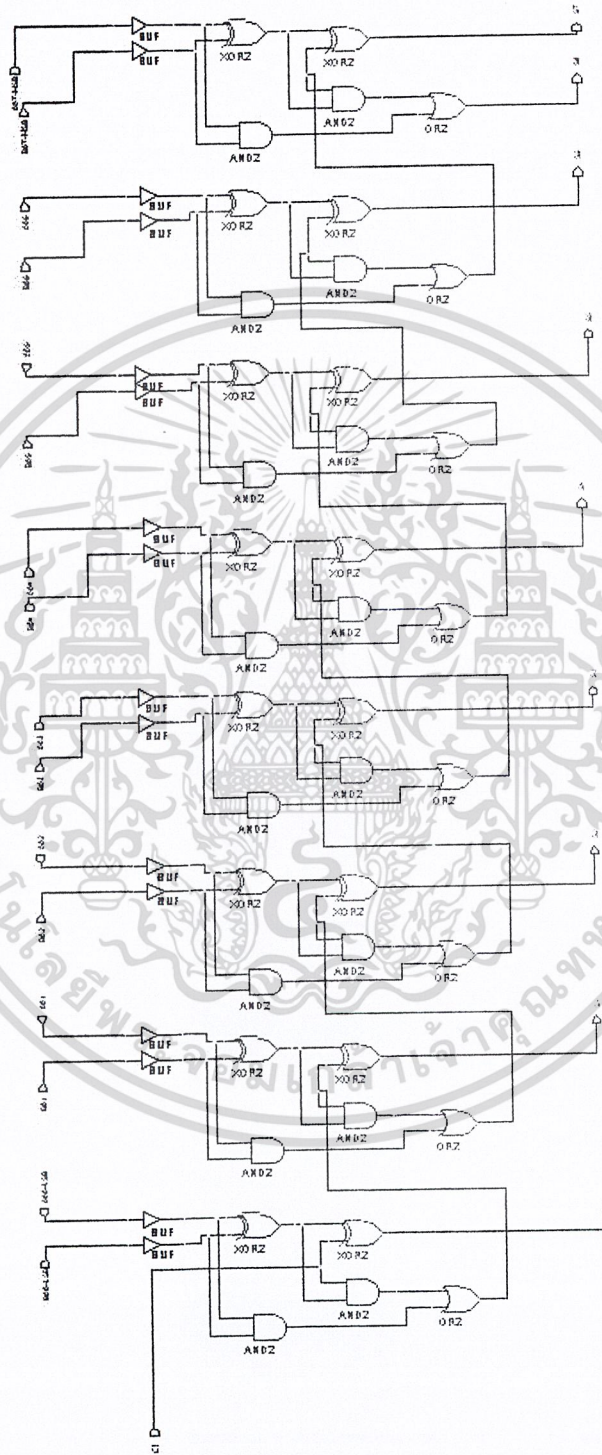


ภาคผนวก ก

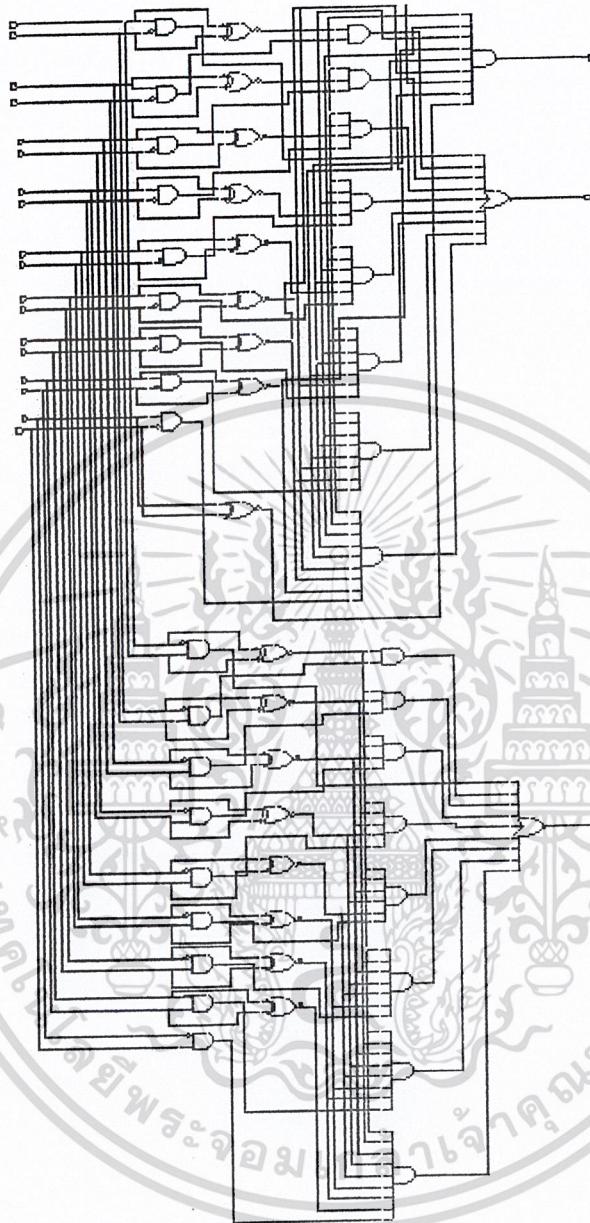
รายละเอียดวงจรภายใน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1. รายละเอียดวงจรในระดับเกต

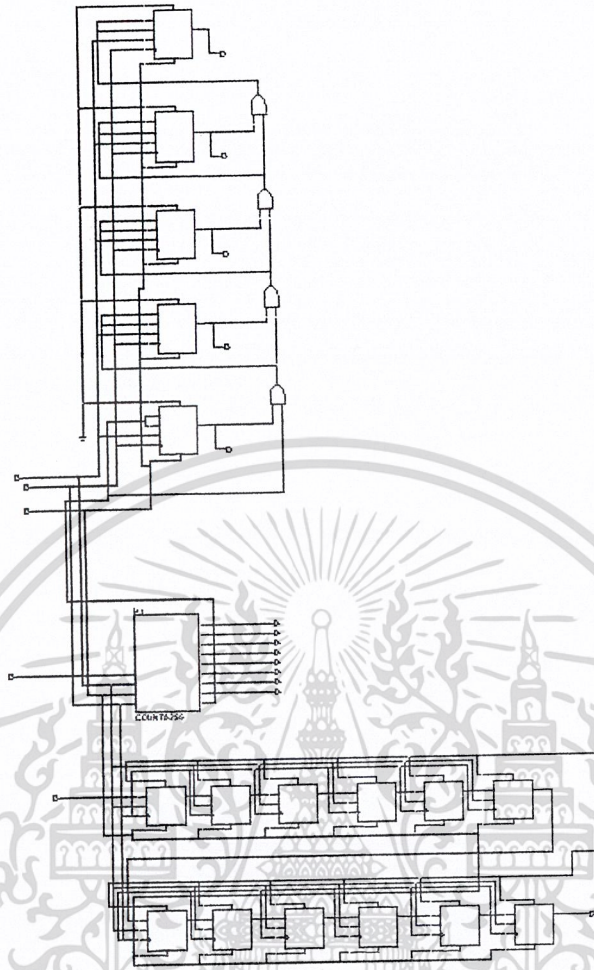


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
รูปที่ ง.1 วงจร ADDER 8_12
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

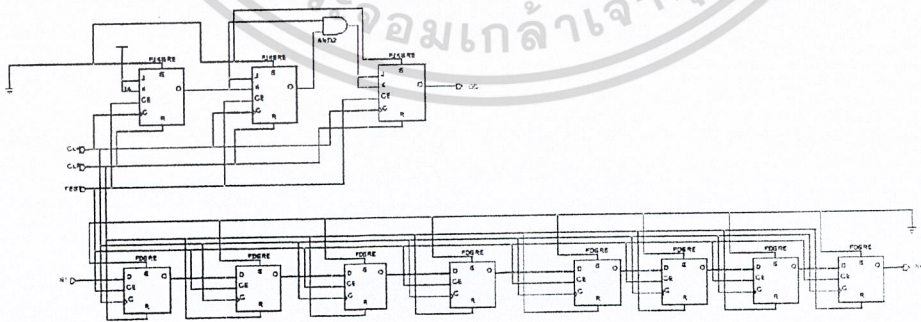


รูปที่ ๒.๒ วงจร COMPARATER

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

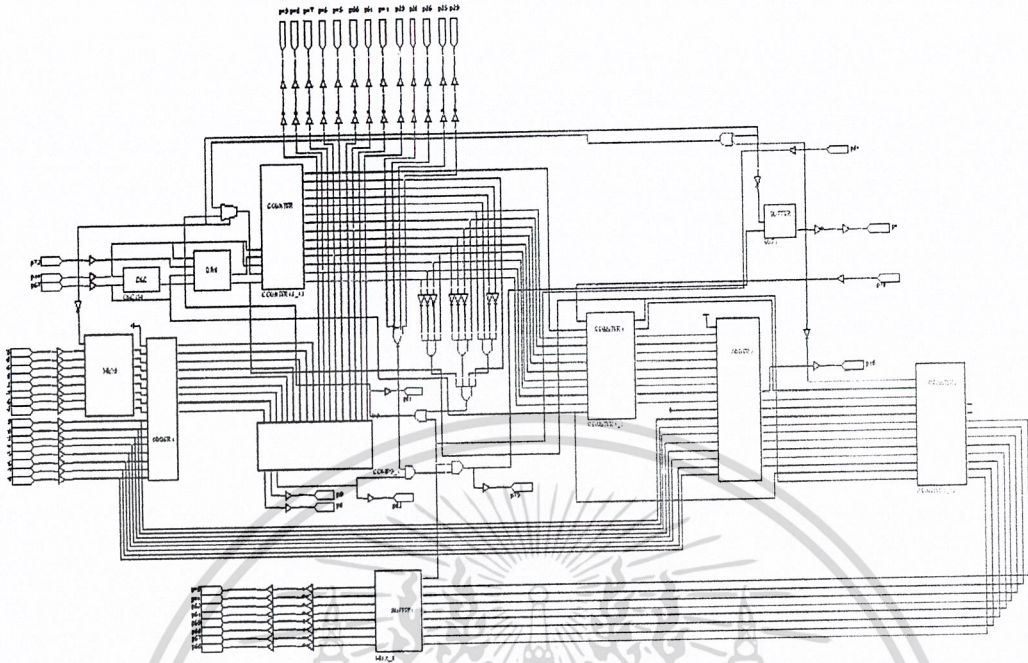


รูปที่ 3 วงจร COUNTER13_13

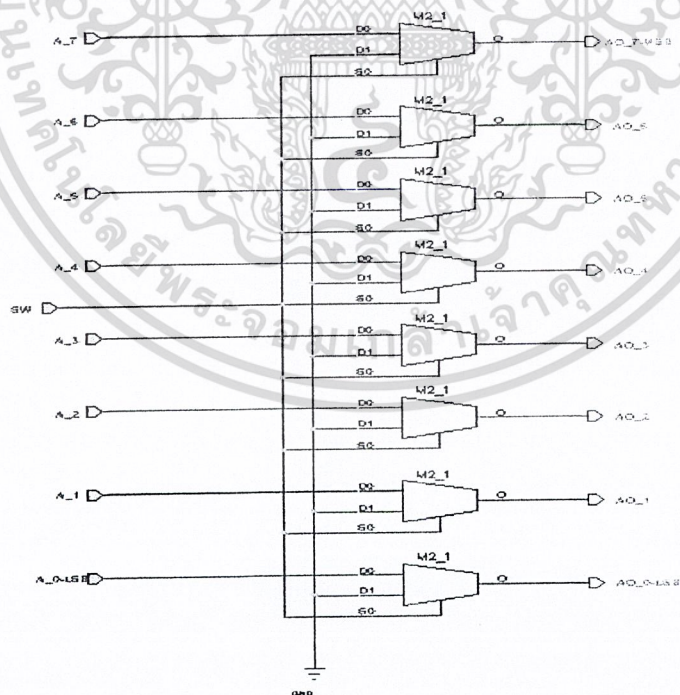


รูปที่ 4 วงจร DIV 8

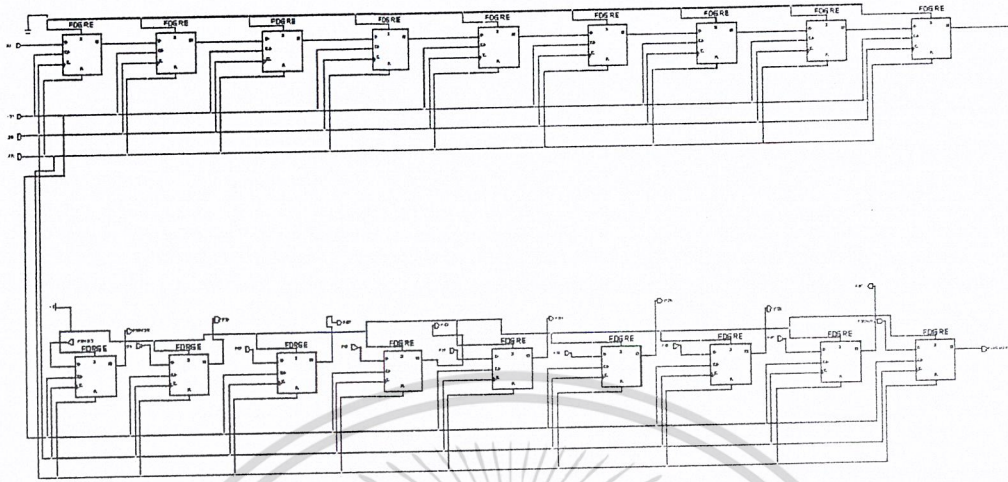
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้ในเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



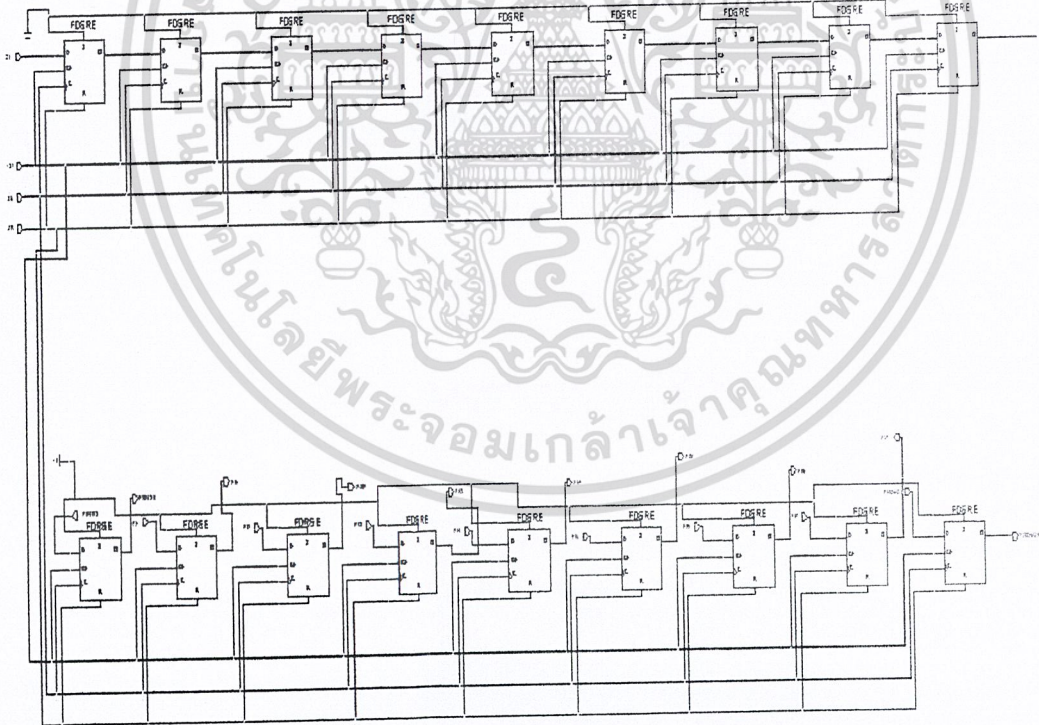
รูปที่ 5.5 วงจร MODE_0



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้รูปที่ 5.6 วงจร MUX_8 นี้ ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



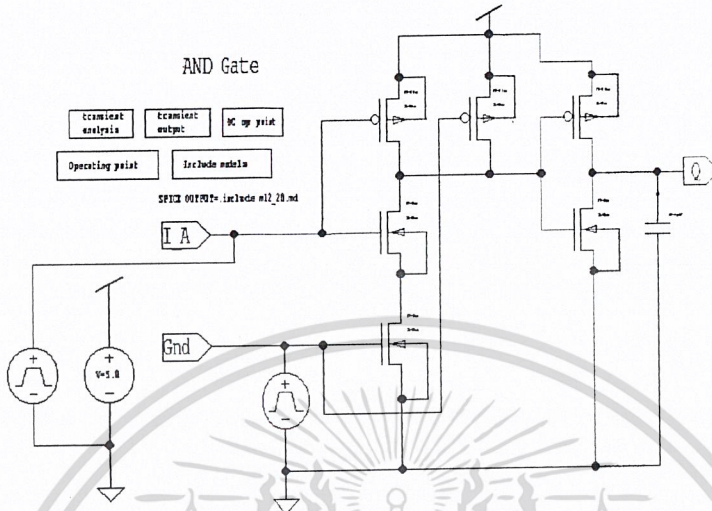
รูปที่ 3.7 วงจร REGISTER1_1



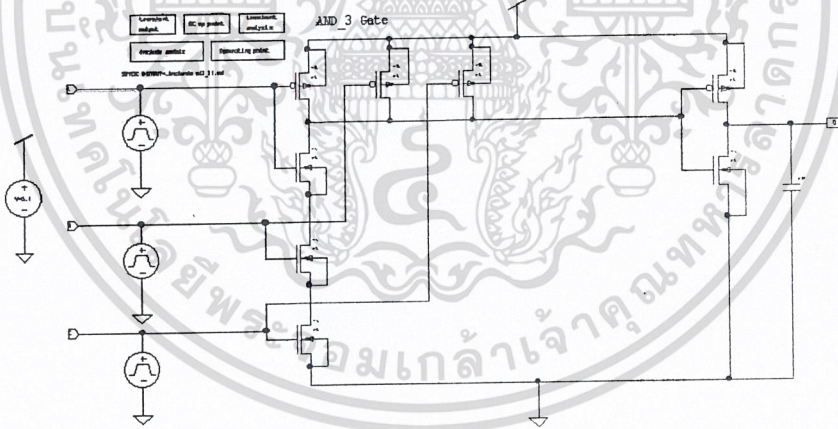
รูปที่ 3.8 วงจร REGISTER1_2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2. รายละเอียดวงจรในระดับทรานซิสเตอร์

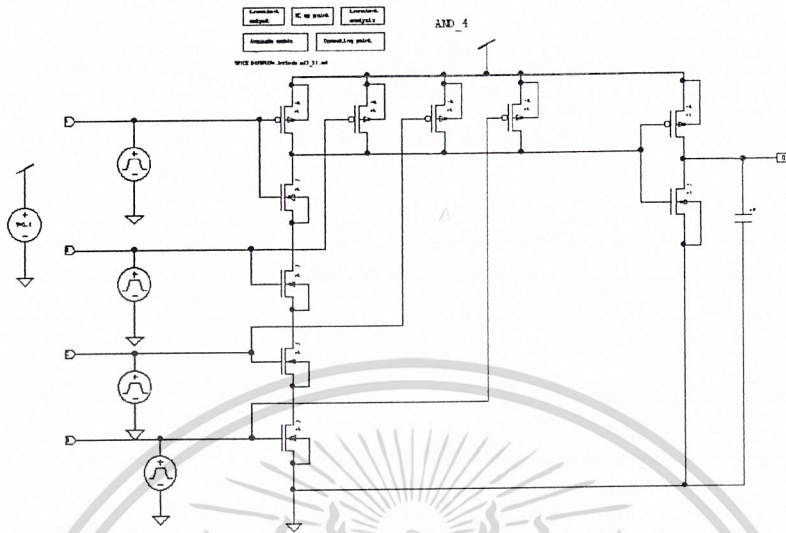


รูปที่ ๙.๙ วงจรเกตแอนด์ 2 อินพุต

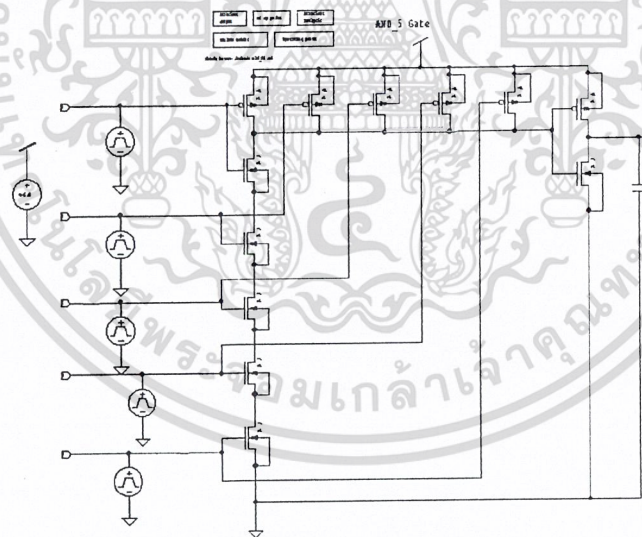


รูปที่ ๙.1๐ วงจรเกตแอนด์ 3 อินพุต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

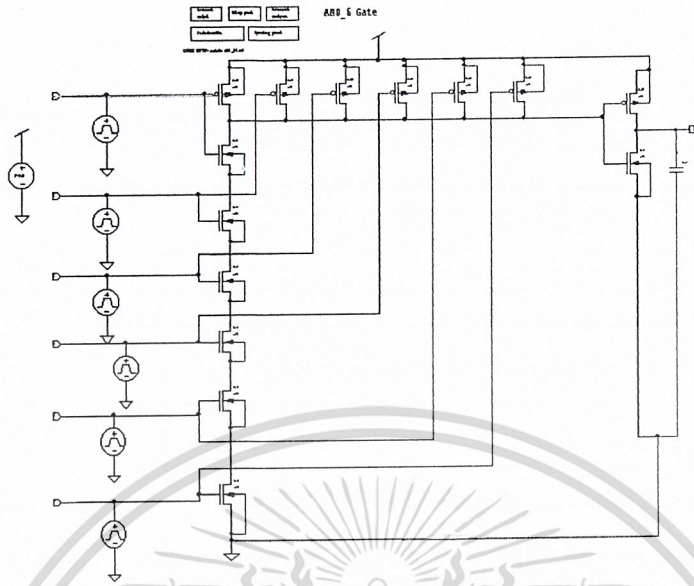


รูปที่ ง. 11 วงจร เกตแอนด์ 4 อินพุต

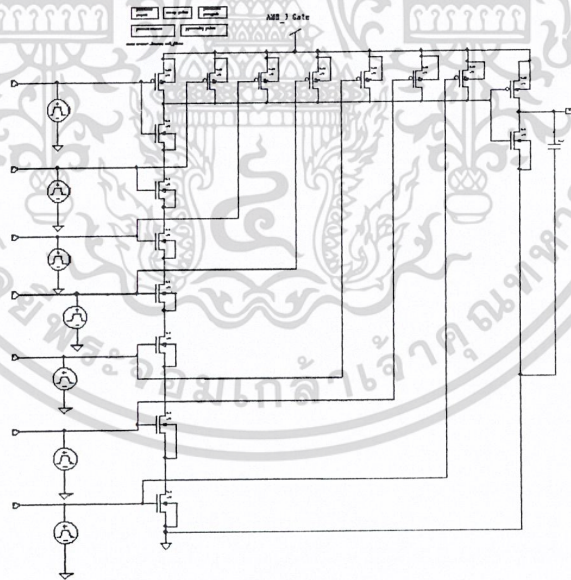


รูปที่ ง. 12 วงจร เกตแอนด์ 5 อินพุต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

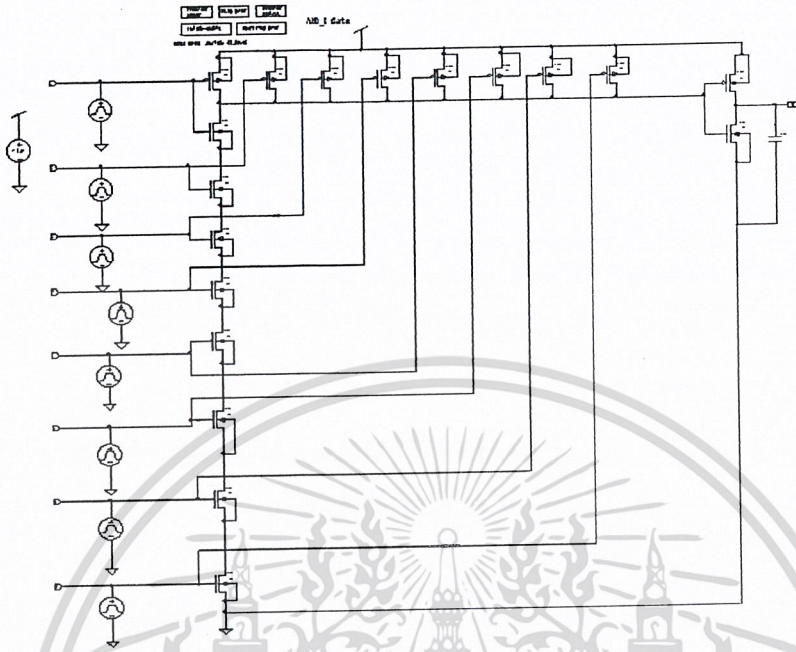


รูปที่ ง. 13 วงจร เกตแอนด์ 6 อินพุต

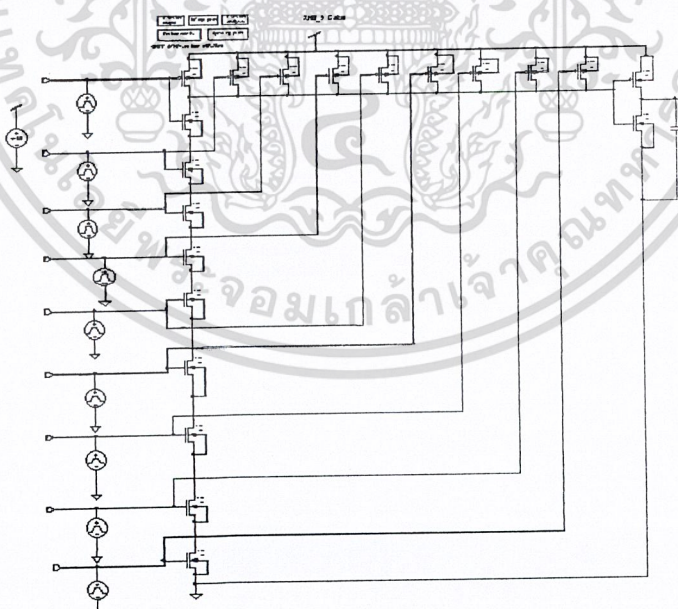


รูปที่ ง. 14 วงจร เกตแอนด์ 7 อินพุต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

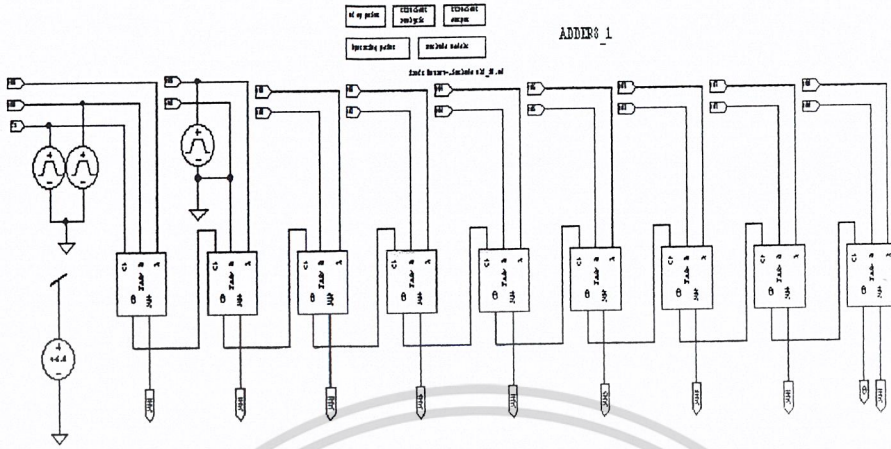


รูปที่ ง.15 วงจร เกตแอนด์ 8 อินพุต

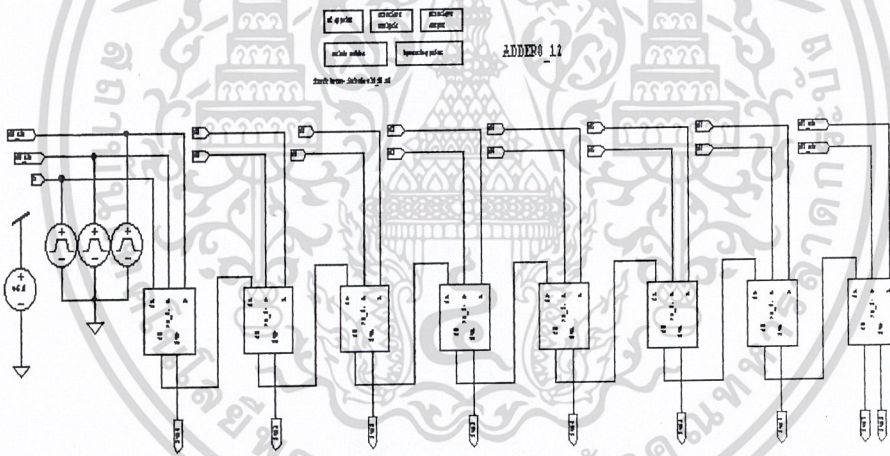


รูปที่ ง.16 วงจร เกตแอนด์ 9 อินพุต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

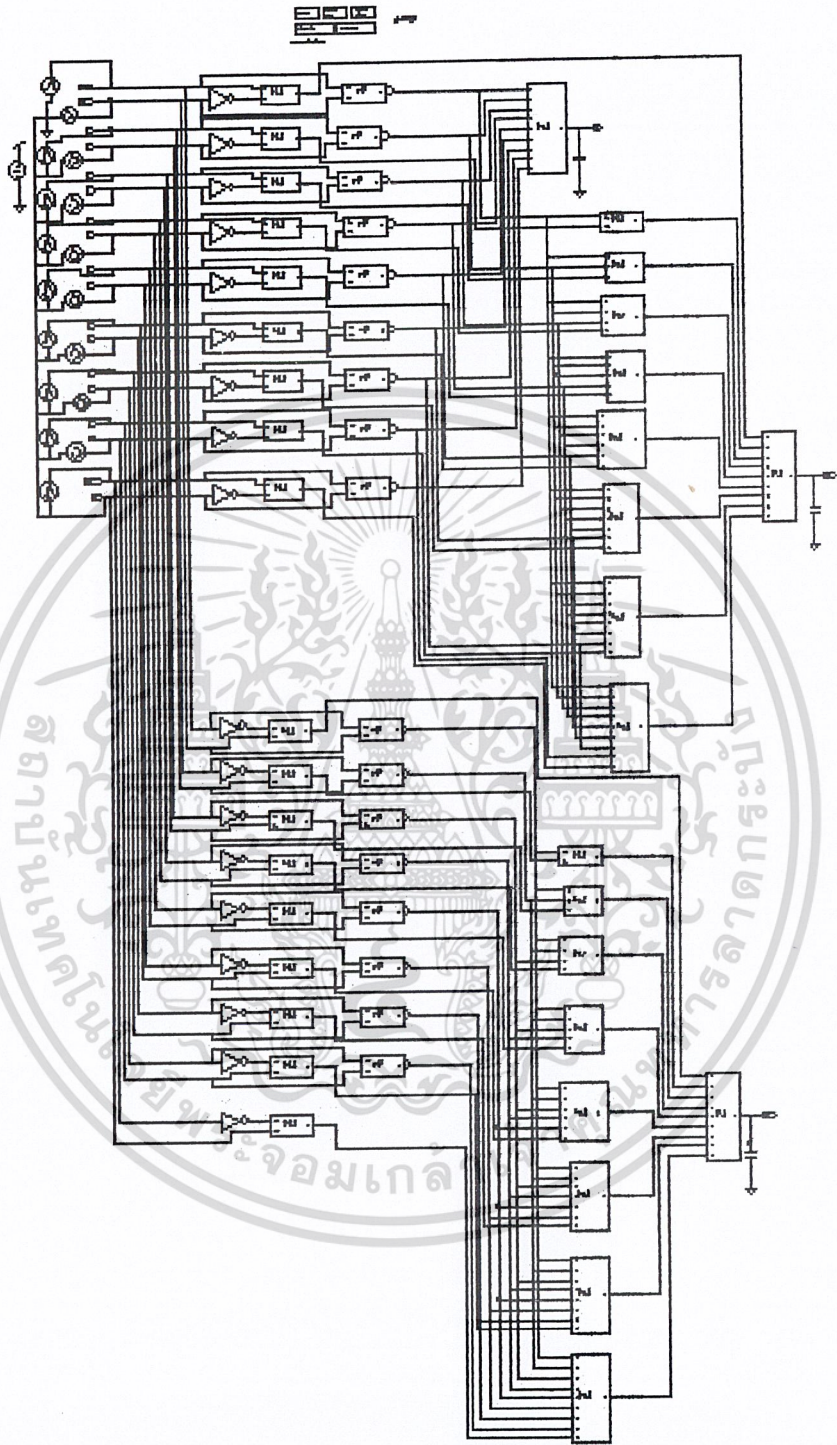


รูปที่ ง. 17 วงจร ADDR8_1



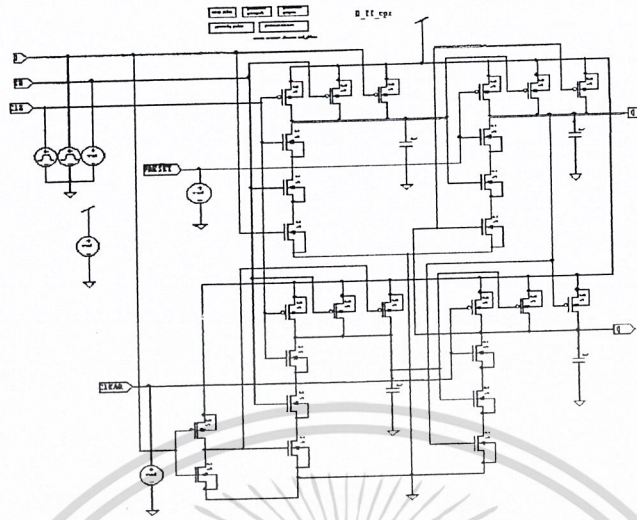
รูปที่ ง. 18 วงจร ADDR8_12

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

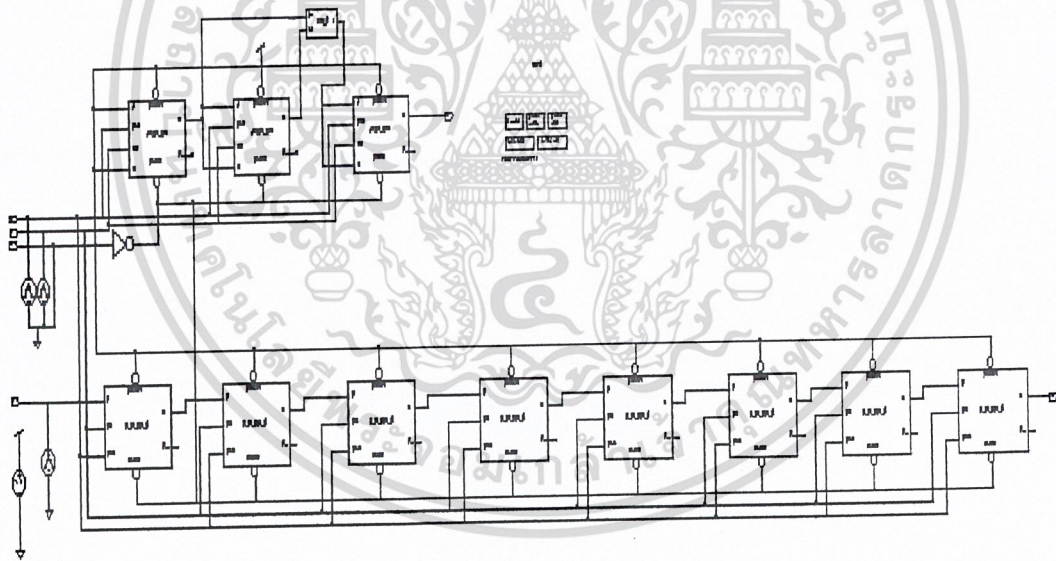


รูปที่ ๓. 19 วงจร COMPARATER

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

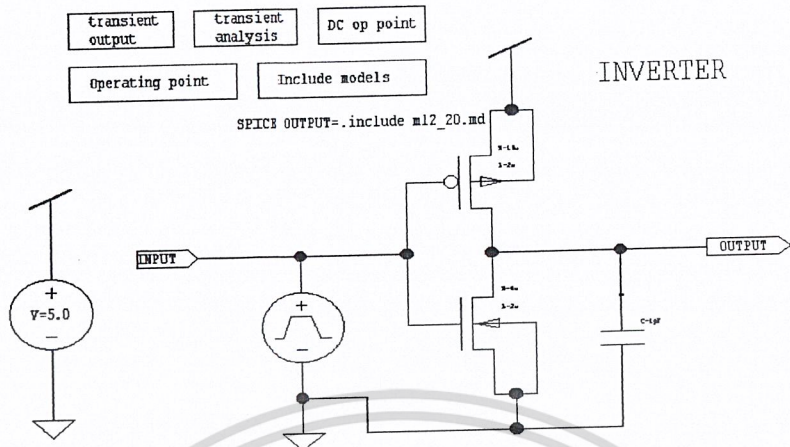


รูปที่ ง. 20 วงจร D FLIP FLOP

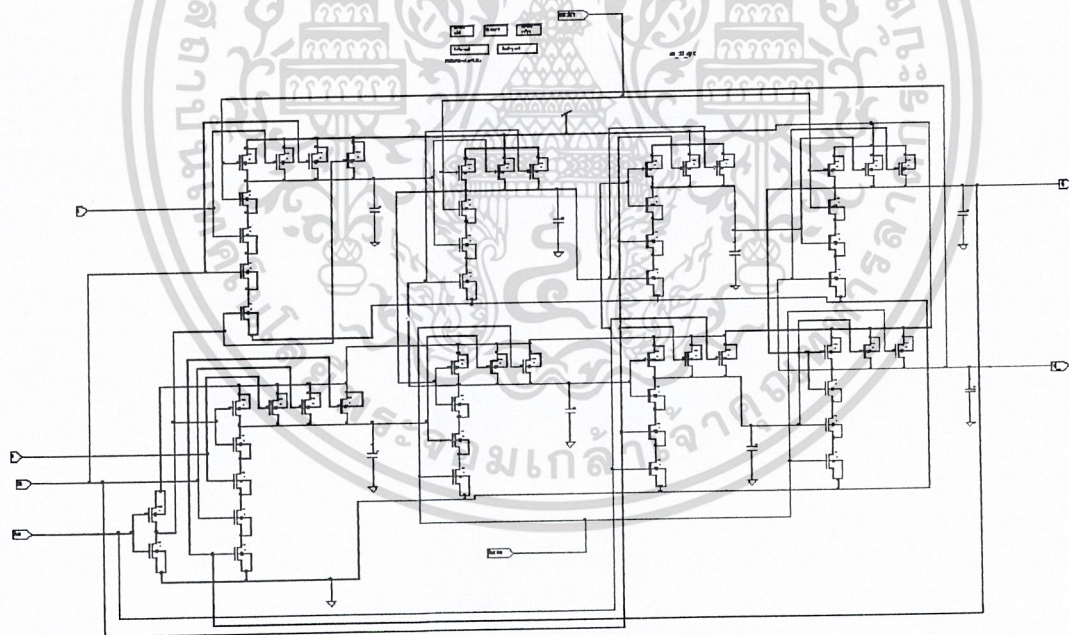


รูปที่ ง. 21 วงจร DIV 8

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

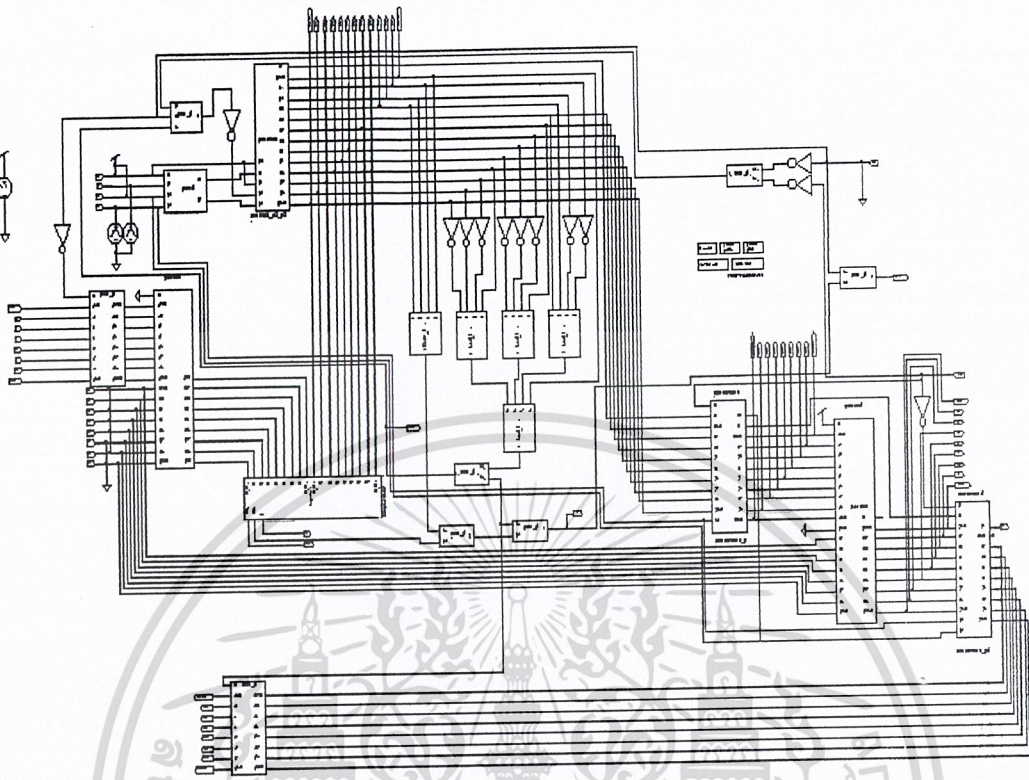


รูปที่ ง. 22 วงจร INVERTER

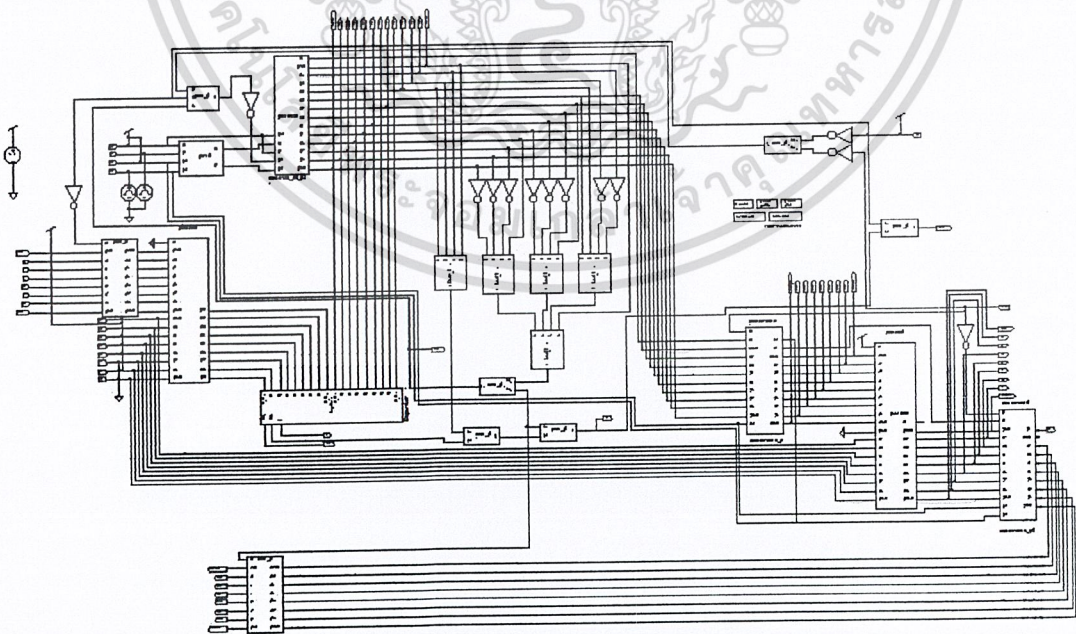


รูปที่ ง. 23 วงจร JK FLIP FLOP

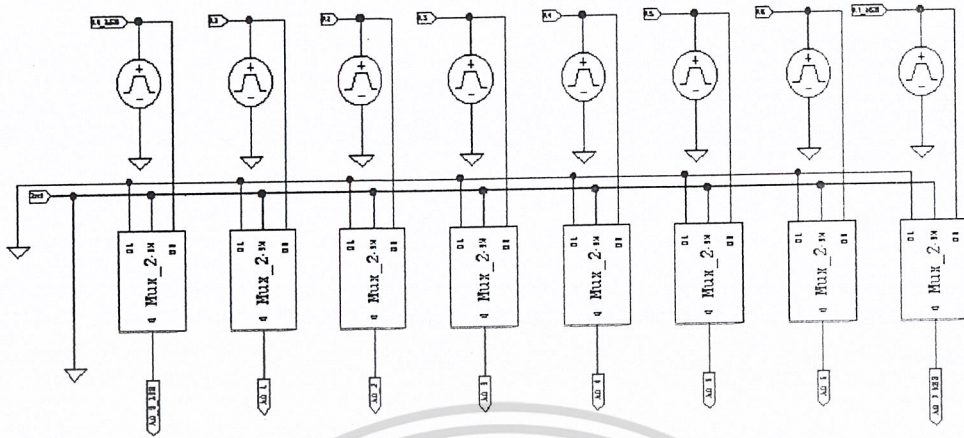
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



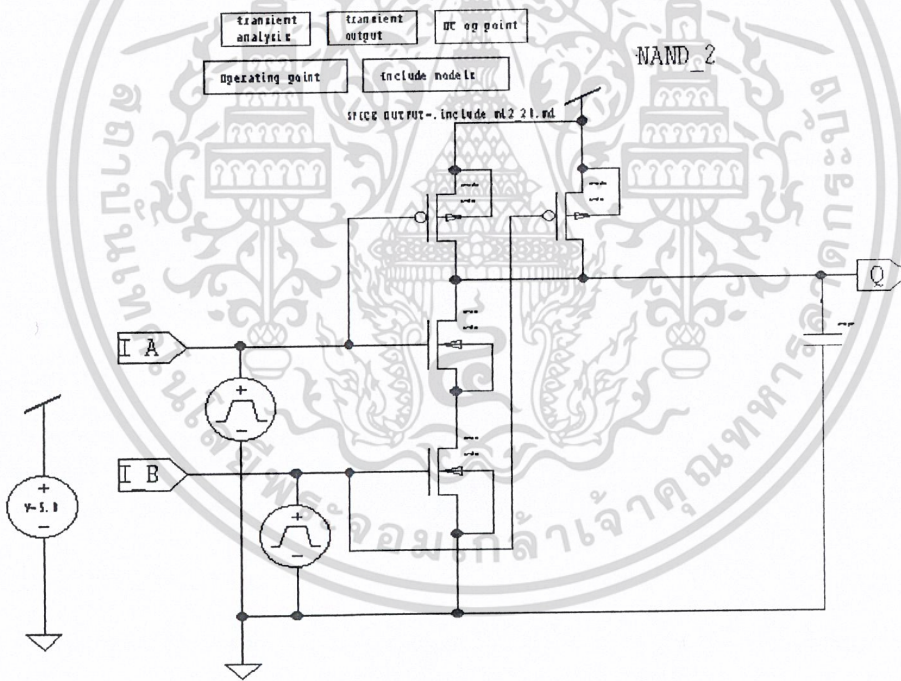
รูปที่ ง. 24 วงจร MODE 0



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับ**รูปที่ ง. 25 วงจร MODE 1** ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

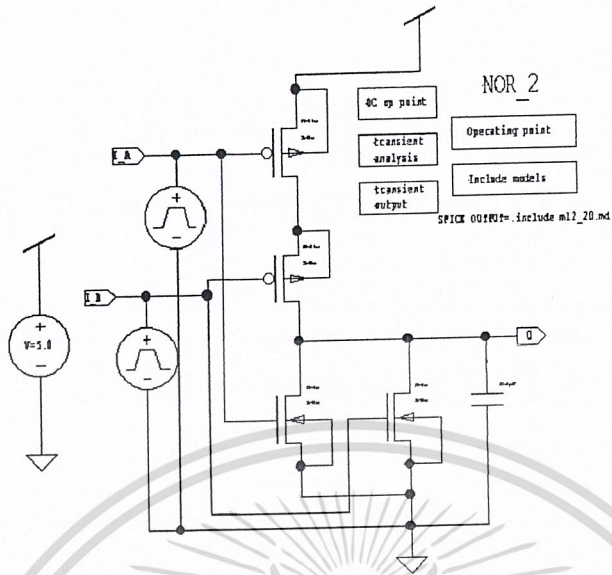


รูปที่ ง. 26 วงจร MUX_8

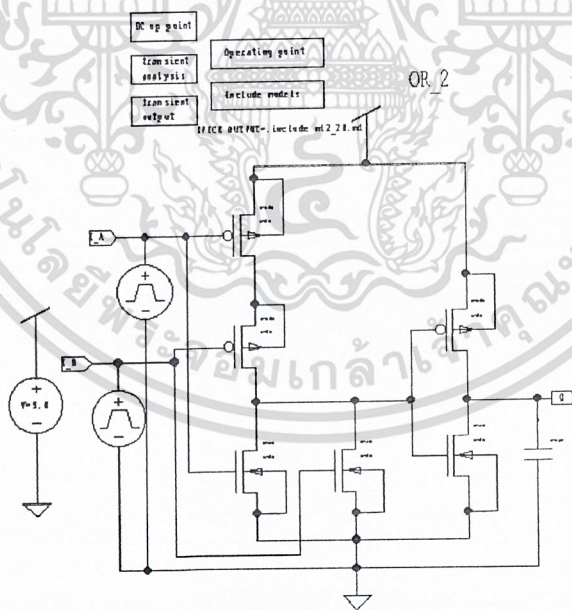


รูปที่ ง. 27 วงจร NAND_2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

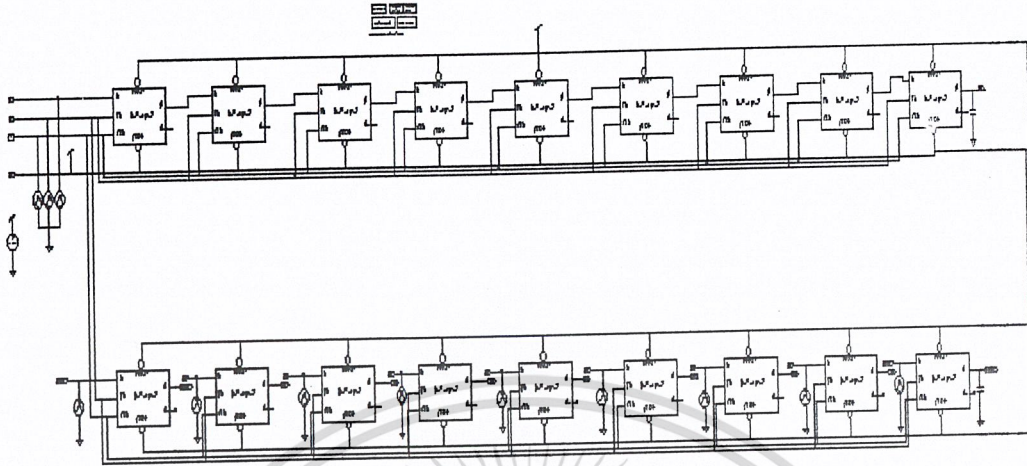


รูปที่ ง. 28 วงจร NOR_2

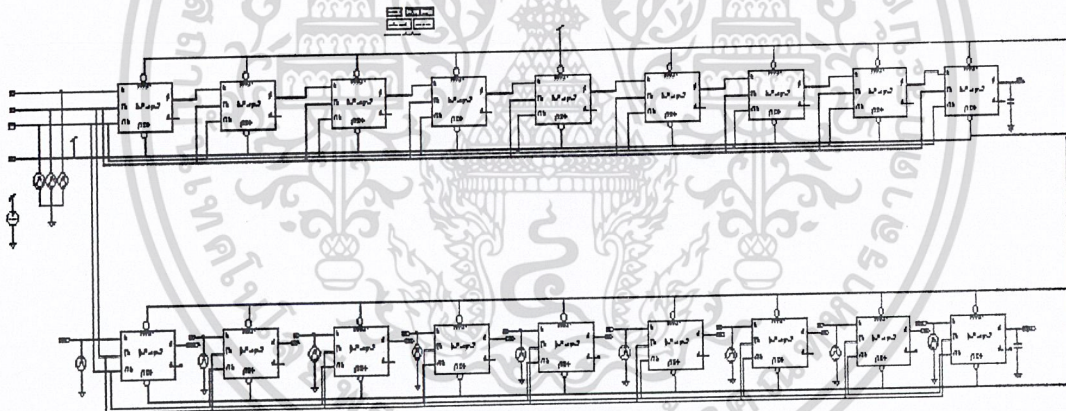


รูปที่ ง. 29 วงจร OR_2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

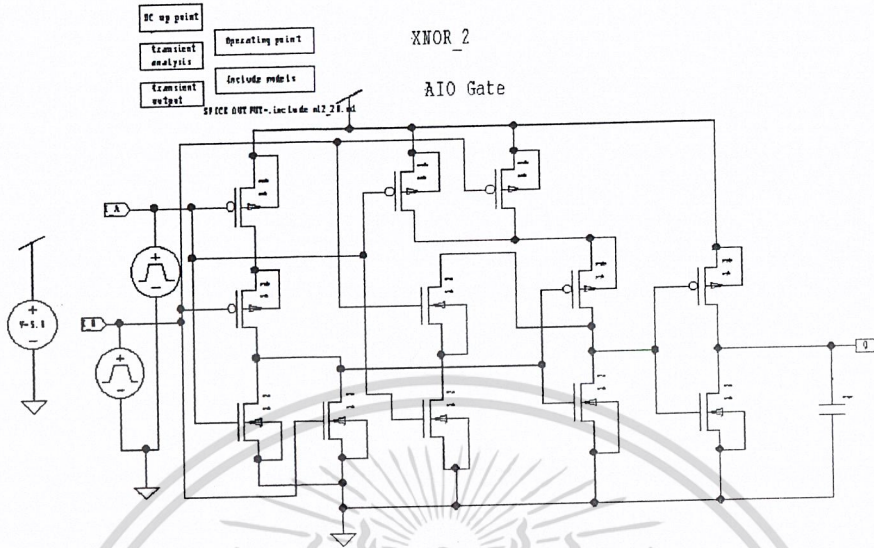


รูปที่ ง. 30 วงจร REGISTER1_1

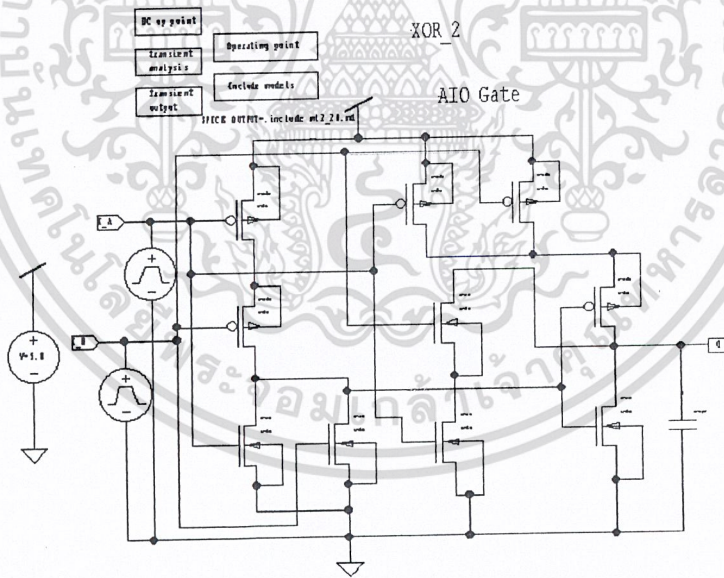


รูปที่ ง. 31 วงจร REGISTER1_2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

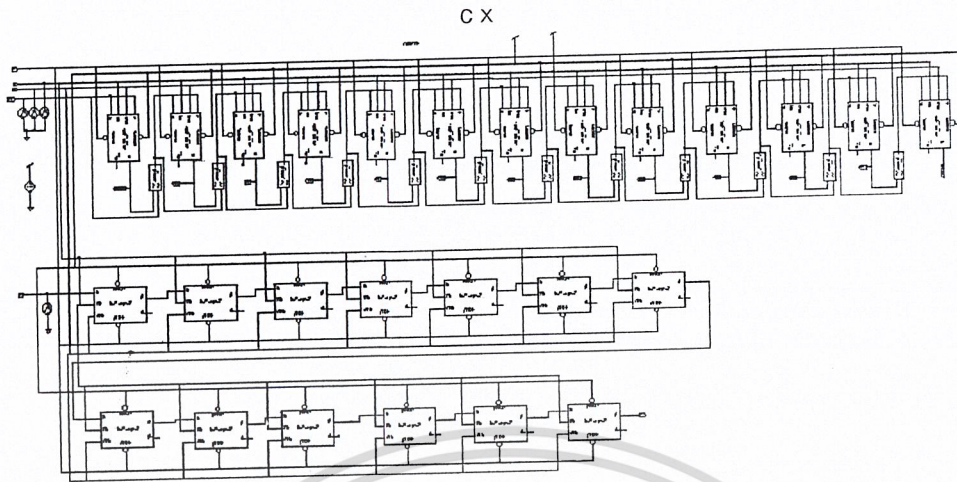


รูปที่ ง. 32 วงจร XNOR_2



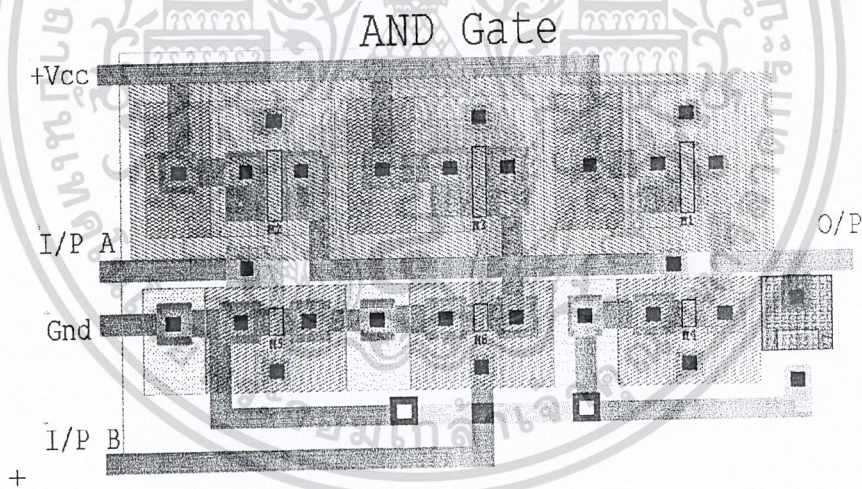
รูปที่ ง. 33 วงจร XOR_2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



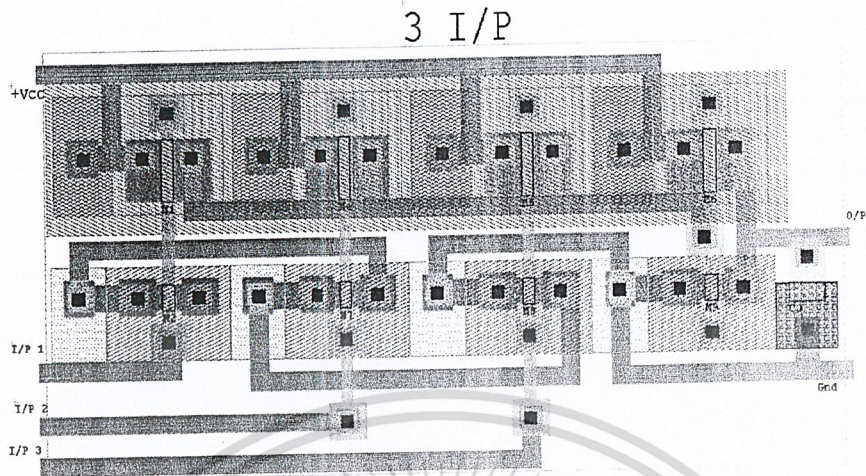
รูปที่ ง.34 วงจร COUNTER 13_13

3. รายละเอียดวงจรในระดับเลย์เอาต์

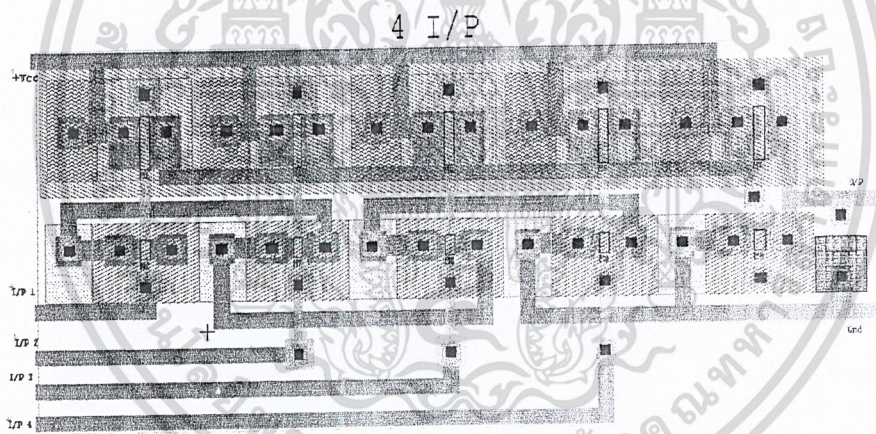


รูปที่ ง.35 วงจร เกตแอนด์ 2 อินพุต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

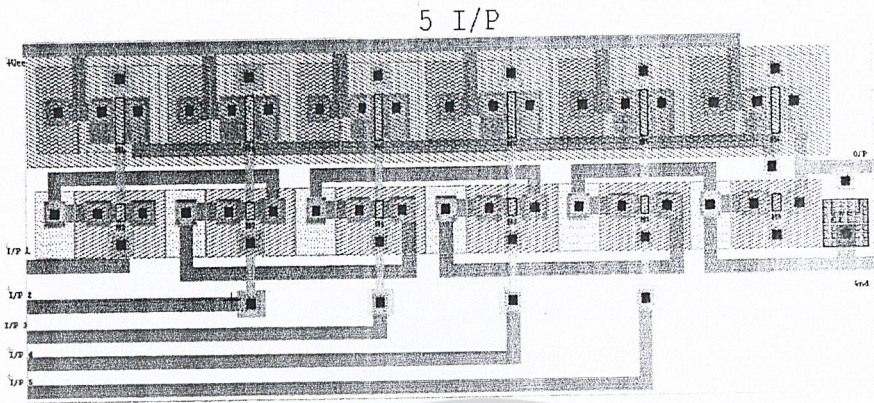


รูปที่ ง. 36 วงจร เกตแอนด์ 3 อินพุต

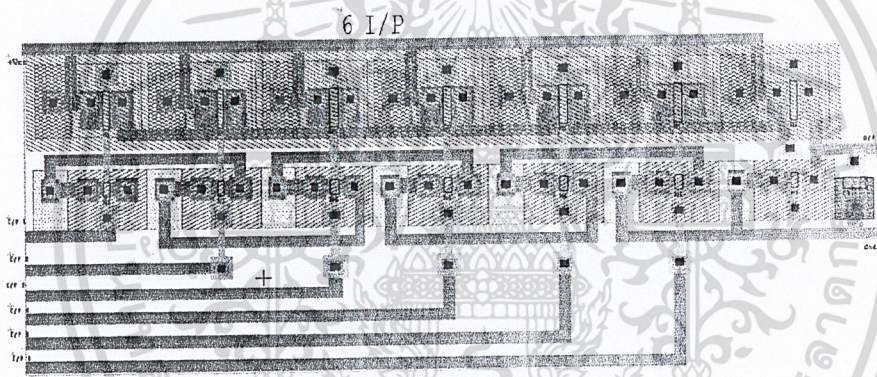


รูปที่ ง. 37 วงจร เกตแอนด์ 4 อินพุต

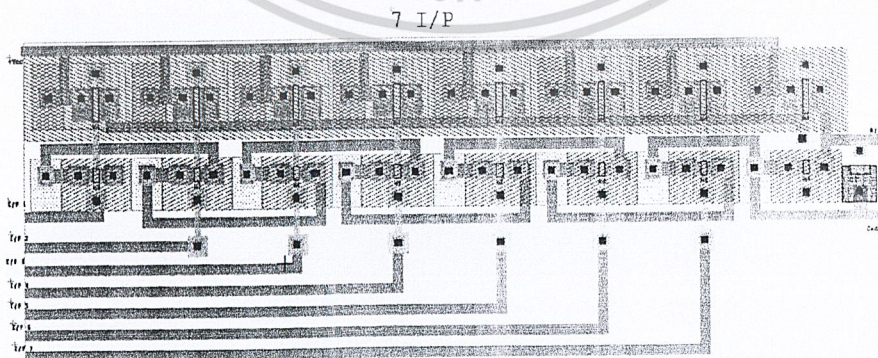
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ ง. 38 วงจร เกตแอนด์ 5 อินพุต



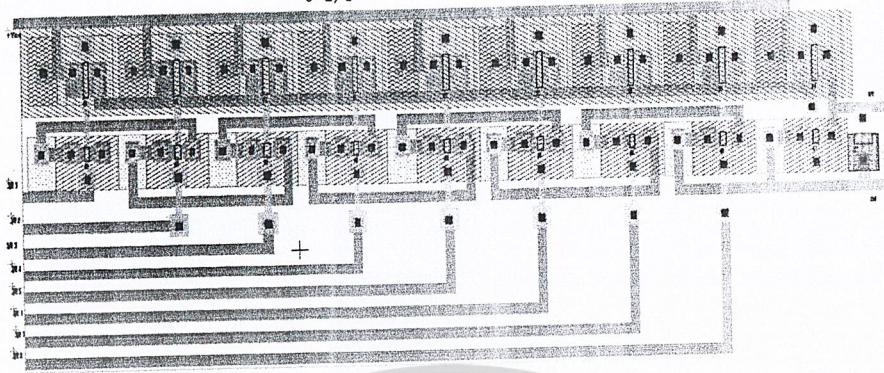
รูปที่ ง. 39 วงจร เกตแอนด์ 6 อินพุต



รูปที่ ง. 40 วงจร เกตแอนด์ 7 อินพุต

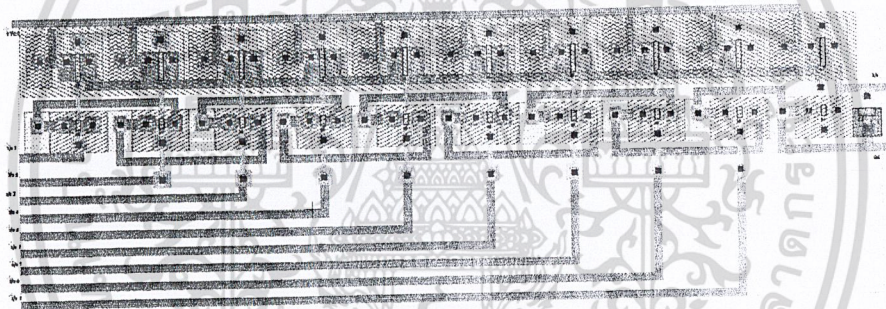
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับใช้ในโครงการที่ได้รับอนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

8 I/P

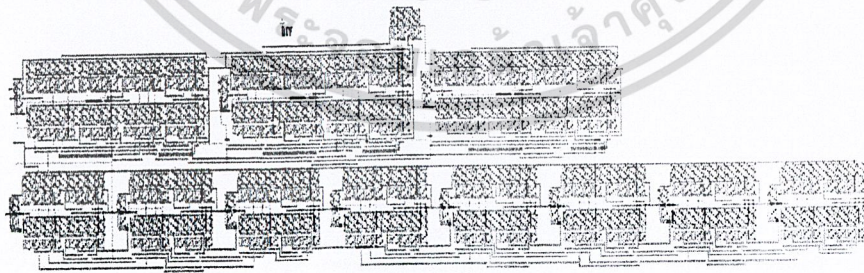


รูปที่ ง. 41 วังจร เกตแอนด์ 8 อินพุต

9 I/P

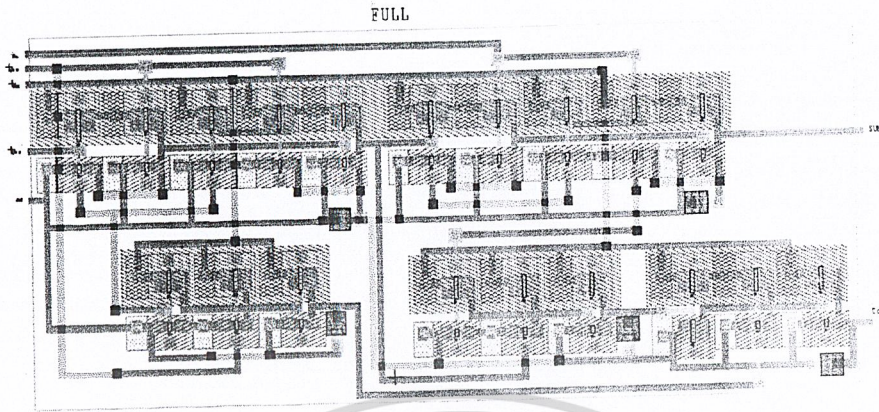


รูปที่ ง. 42 วังจร เกตแอนด์ 9 อินพุต

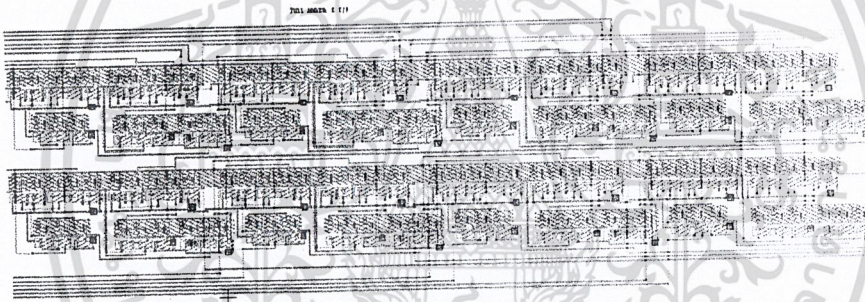


รูปที่ ง. 43 วังจร DIV 8

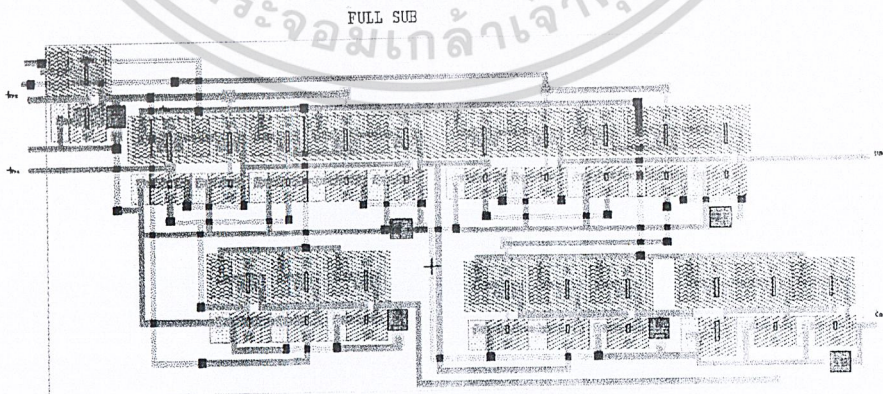
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ ง. 44 วงจร FULL ADDER

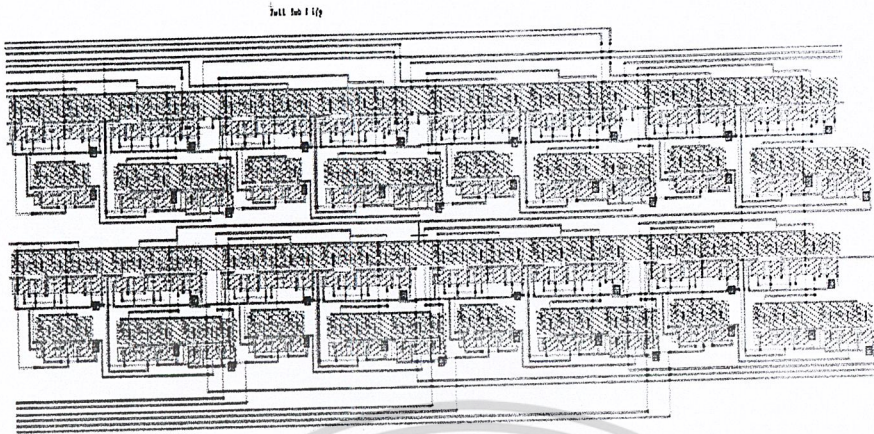


รูปที่ ง. 45 วงจร ADDER8_12

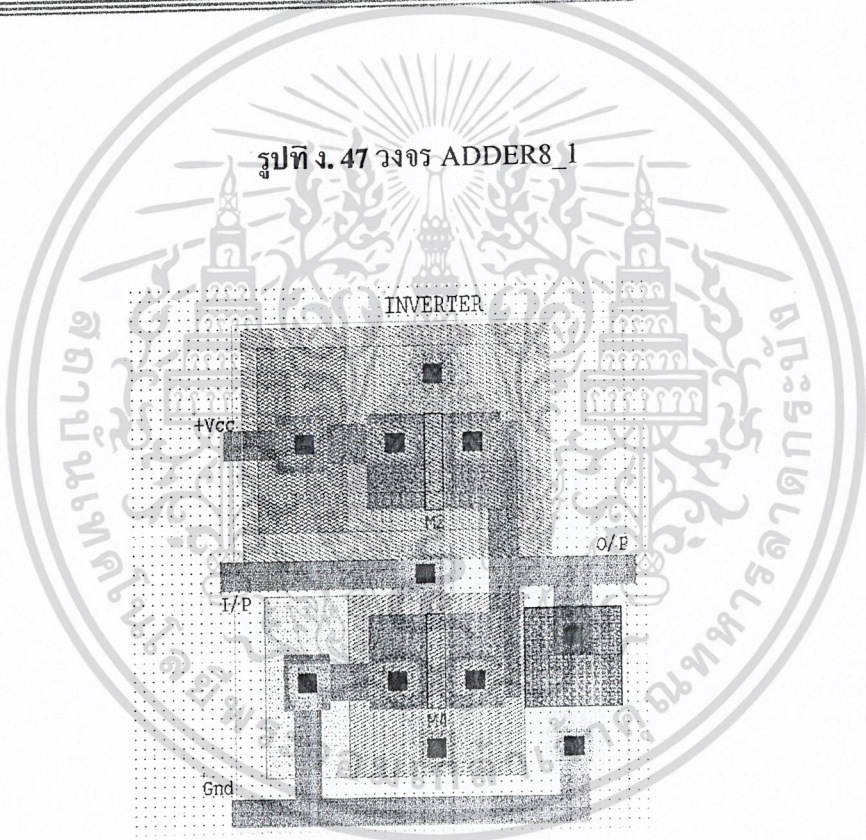


รูปที่ ง. 46 วงจร FULL_SUB

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

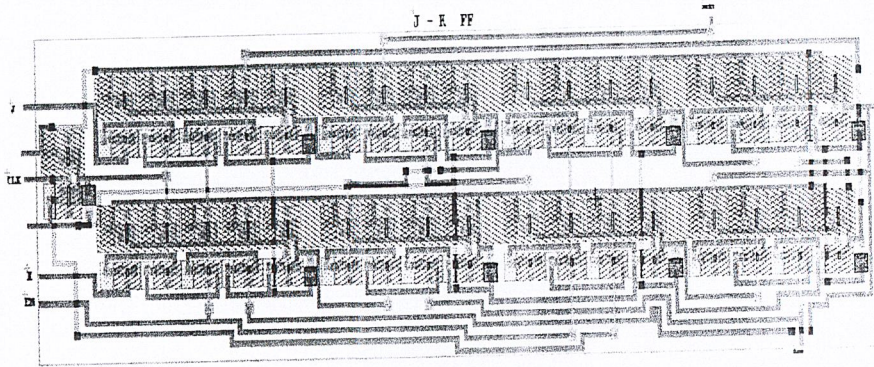


รูปที่ ง. 47 วงจร ADDER 1

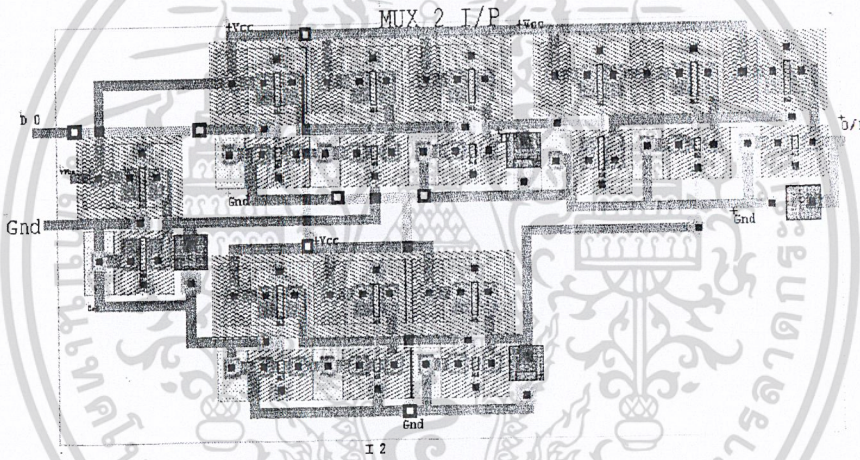


รูปที่ ง. 48 วงจร INVERTER

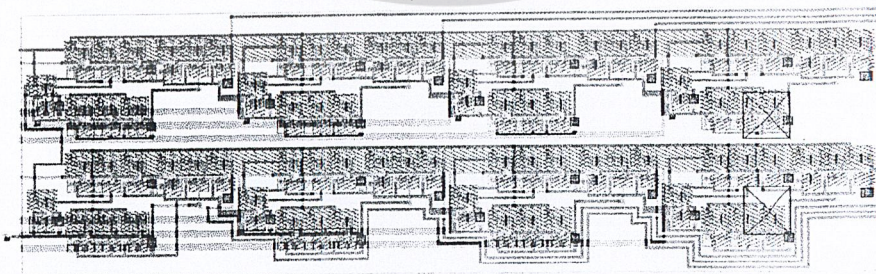
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ ง. 49 วงจร JK FLIP FLOP

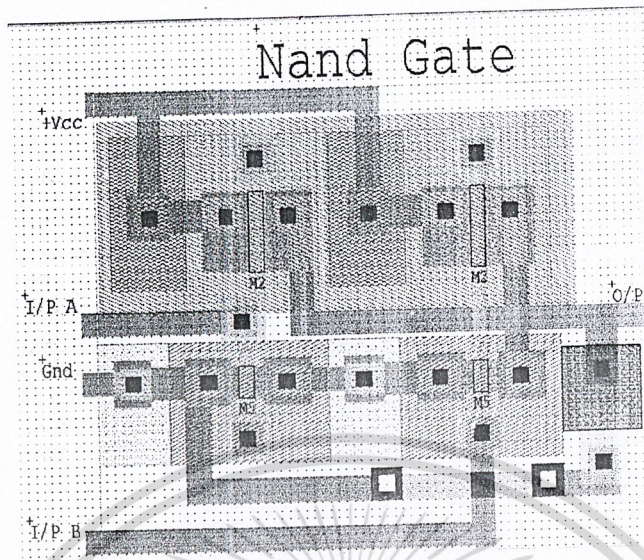


รูปที่ ง. 50 วงจร MUX 2

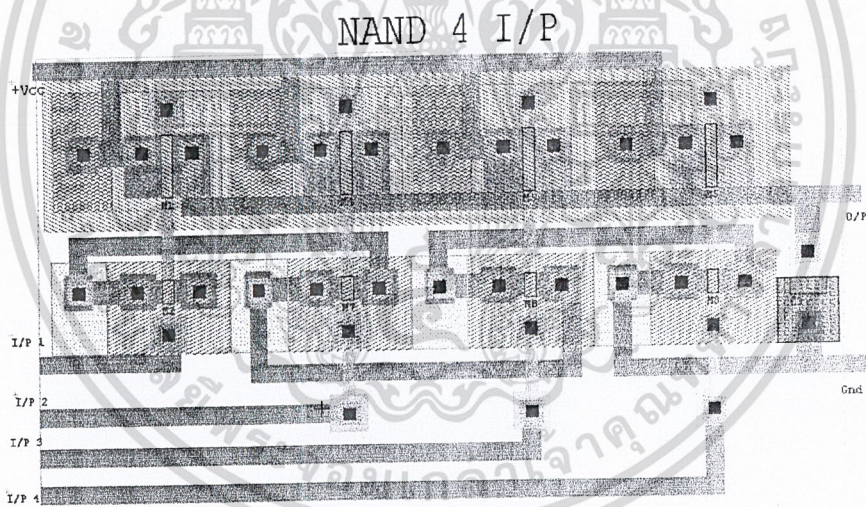


รูปที่ ง. 51 วงจร MUX_8

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

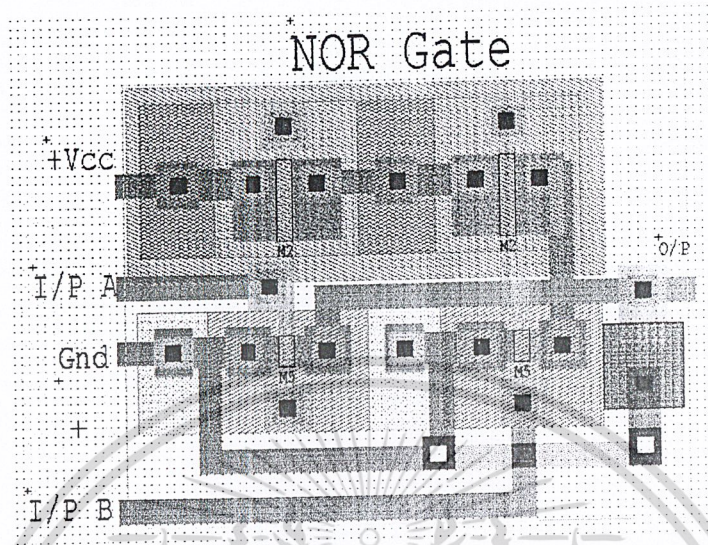


รูปที่ ง. 52 วงจร NAND

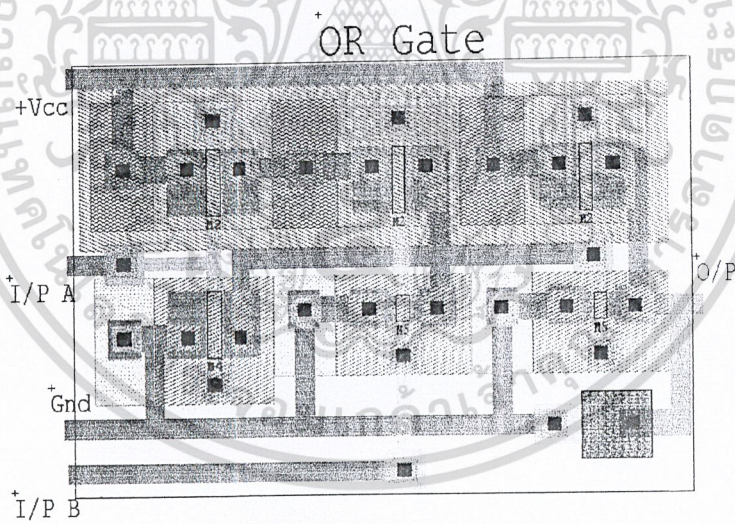


รูปที่ ง. 53 วงจร NAND_4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

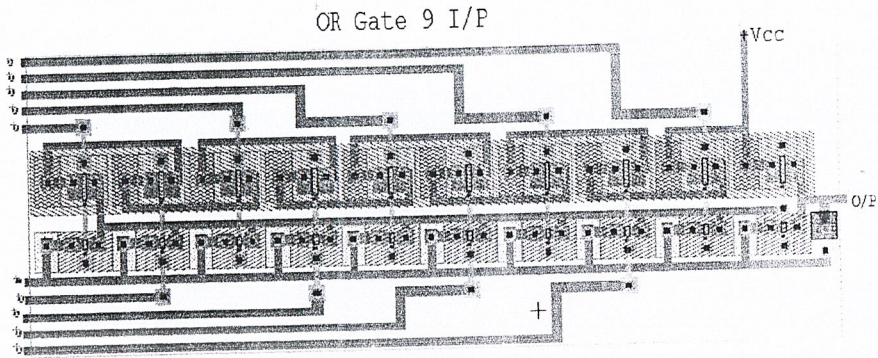


รูปที่ ง. 54 วงจร NOR

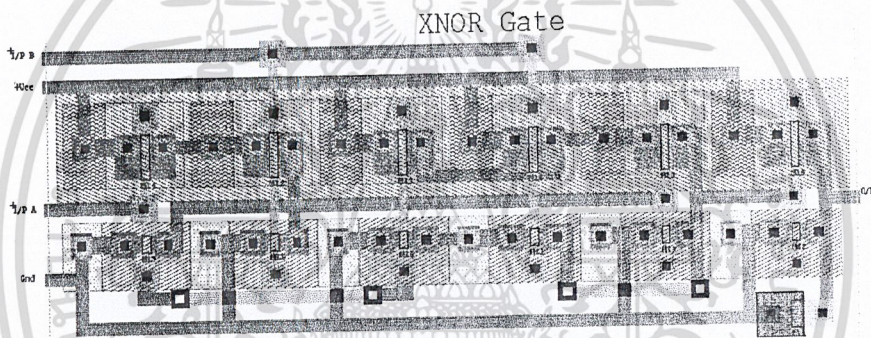


รูปที่ ง. 55 วงจร OR

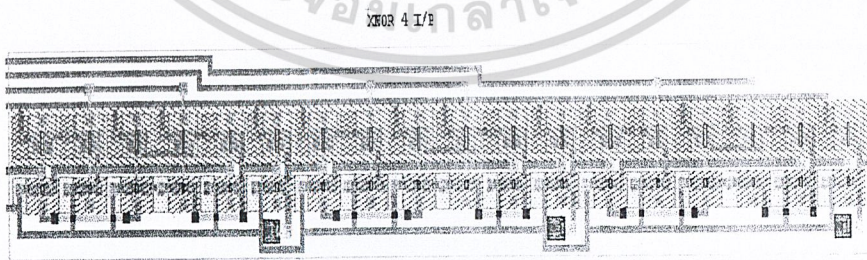
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ ง. 56 วงจร OR_9

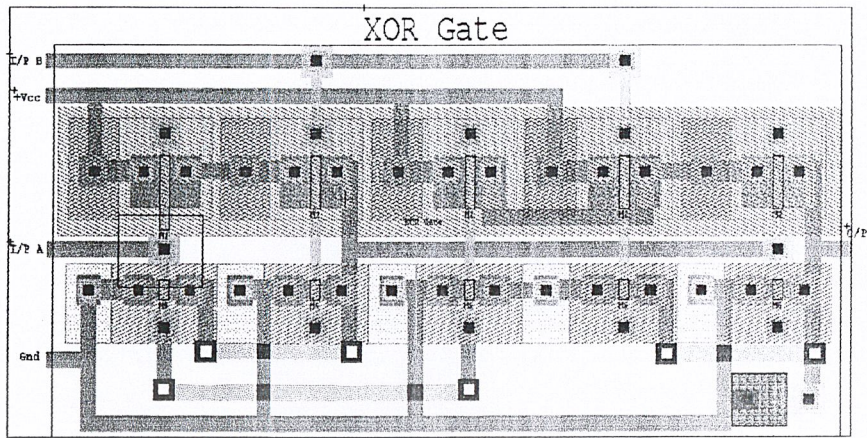


รูปที่ ง. 57 วงจร XNOR



รูปที่ ง. 58 วงจร XNOR_4

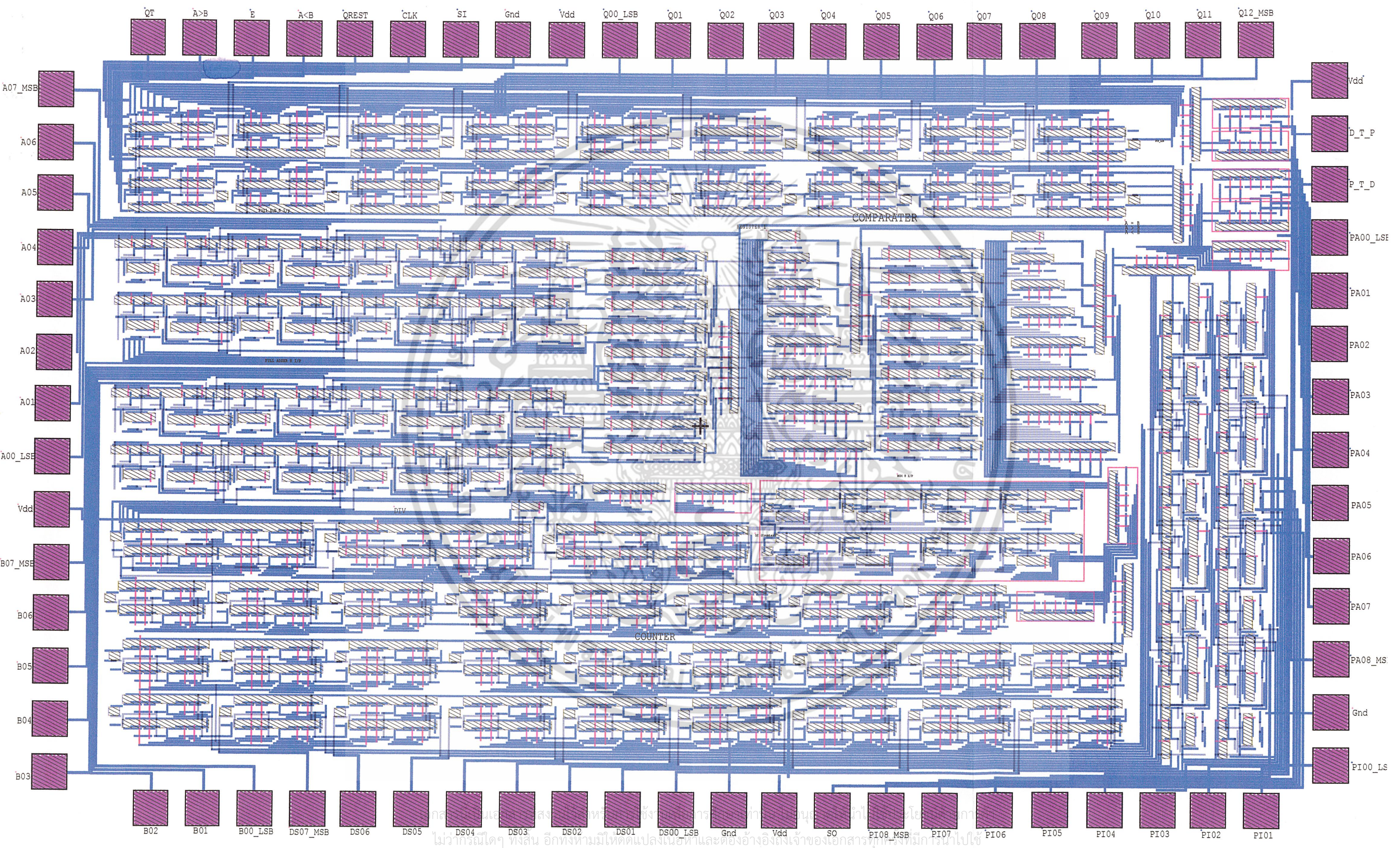
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.59 วงจร XOR



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บรรณานุกรม

Apiradee Yorcthein. **Integrated Circuit Layout Design With Tanner Tool**. [Online]. Available
: <http://tmec.nectec.or.th/icdesign>

John , P. Uyemura . **Physical Design of CMOS Integrated Circuits Using L-Edit™** Boston :
PWS Publishing Company.1995

Larry T. Wurtz, “**Design and Fabrication of a CMOS Signal Conversion Integrated Circuit
for Remote Control Hobbyists**”: IEEE Transactions on education, vol.39, no. 2, MAY 1996

Milos D. Ercegovac .et. al. **Introduction to Digital System** . Singapore :John Wiley & Sons,Inc.
1999

Tanner EDA. S-Edit™ User Guide and Reference. Pasadena, CA 91107 USA. 2000

Tanner EDA. T-Spice™ User Guide and Reference. Pasadena, CA 91107 USA. 2000

Tanner EDA. L-Edit™ User Guide and Reference. Pasadena, CA 91107 USA. 2000

Thomas A. Demassa. **Digital Integrated Circuits** New York : John Wiley & Sons,Inc. 1996

Xilinx Foundation Series 2.1. User XACT Libraries Guide, April.1994

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ประวัติผู้แต่ง



ชื่อผู้ทำปริญญาบัตร	นางสาววิรัชชา แฉ่งอารีย์
วันเดือนปีเกิด	25 ตุลาคม พ.ศ.2522
สถานที่เกิด	จังหวัดชัยนาท
ภูมิลำเนาเดิม	42 หมู่ 6 ตำบลโพนางคำตก อำเภอสรรพยา จังหวัดชัยนาท 17150
ที่อยู่ปัจจุบัน	184/4 ถนนฉลองกรุง แขวงลำปลาทิว เขตลาดกระบัง กรุงเทพฯ 10520
โทรศัพท์	0-1433-5412
ประวัติการศึกษา	
ประถมศึกษา	โรงเรียนบ้านคลองยาง จังหวัดชัยนาท
มัธยมศึกษา	โรงเรียนห้วยกรดวิทยา จังหวัดชัยนาท
ประกาศนียบัตรวิชาชีพ(ปวช.)	วิทยาลัยเทคนิคชัยนาท
ประกาศนียบัตรวิชาชีพชั้นสูง(ปวส.)	สถาบันเทคโนโลยีราชมงคล วิทยาเขตสุพรรณบุรี
ปริญญาตรี	สาขาวิชาอิเล็กทรอนิกส์และคอมพิวเตอร์ ภาควิชาครุศาสตร์วิศวกรรม คณะครุศาสตร์อุตสาหกรรม
ผลงานที่ได้รับรางวัล	-
ทุนการศึกษา	-
คติพจน์	เรียนๆ เล่นๆ เดียวกันเป็นบัณฑิต เรียนๆ คิดๆ บัณฑิตก็ไม่ ได้ เป็น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ประวัติผู้แต่ง



ชื่อผู้ทำปริญญาบัตร	นายอำนาจ เกษโกมล
วันเดือนปีเกิด	17 มิถุนายน พ.ศ.2521
สถานที่เกิด	จังหวัดพระนครศรีอยุธยา
ภูมิลำเนาเดิม	10 หมู่ 5 ตำบลลำตาเสา อำเภอลำลูกกา จังหวัด พระนครศรีอยุธยา 13170
ที่อยู่ปัจจุบัน	259/32 หมู่ 1 ถนน หลวง แขวงทับยาว เขตลาดกระบัง กรุงเทพฯ 10520
โทรศัพท์	0-3521-4149, 0-2738-0711, 0-9048-9630
ประวัติการศึกษา	โรงเรียนวัดศิวาราม อำเภอลำลูกกา จังหวัด พระนครศรีอยุธยา
ประถมศึกษา	โรงเรียนวิเชียรกลิ่นสุคนธ์อุปถัมภ์ อำเภอลำลูกกา จังหวัด พระนครศรีอยุธยา
มัธยมศึกษา	วิทยาลัยเทคโนโลยีพระนครศรีอยุธยา
ประกาศนียบัตรวิชาชีพ(ปวช.)	วิทยาลัยเทคโนโลยีพระนครศรีอยุธยา
ประกาศนียบัตรวิชาชีพชั้นสูง(ปวส.)	วิทยาลัยเทคโนโลยีพระนครศรีอยุธยา
ปริญญาตรี	สาขาวิชาอิเล็กทรอนิกส์และคอมพิวเตอร์ ภาควิชาครุศาสตร์วิศวกรรม คณะครุศาสตร์อุตสาหกรรม
ผลงานที่ได้รับรางวัล	-
ทุนการศึกษา	ทุนงบประมาณ
คติพจน์	ลำบากในวันนี้ จะสบายในวันหน้า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ประวัติผู้แต่ง



ชื่อผู้ทำปฏิญานิพนธ์	นายเอกรินทร์ เลี่ยมใจดี
วันเดือนปีเกิด	1 มีนาคม พ.ศ.2524
สถานที่เกิด	จังหวัดปราจีนบุรี
ภูมิลำเนาเดิม	44/3 หมู่ 7 ตำบลทุ่งโพธิ์ อำเภอนาดี จังหวัดปราจีนบุรี 25220
ที่อยู่ปัจจุบัน	272/5 ซอยกรมที่ดิน แขวงลาดกระบัง เขตลาดกระบัง กรุงเทพฯ 10520
โทรศัพท์	0-2739-0087
ประวัติการศึกษา	โรงเรียนชุมชนบ้านทุ่งโพธิ์ อำเภอนาดี จังหวัด ปราจีนบุรี
ประถมศึกษา	โรงเรียนร่วมเกล้าปราจีนบุรี อำเภอนาดี จังหวัด ปราจีนบุรี
มัธยมศึกษา	วิทยาลัยเทคนิคปราจีนบุรี
ประกาศนียบัตรวิชาชีพ(ปวช.)	วิทยาลัยเทคนิคปราจีนบุรี
ประกาศนียบัตรวิชาชีพชั้นสูง(ปวส.)	วิทยาลัยเทคนิคปราจีนบุรี
ปริญญาตรี	สาขาวิชาอิเล็กทรอนิกส์และคอมพิวเตอร์ ภาควิชาครุศาสตร์วิศวกรรม คณะครุศาสตร์อุตสาหกรรม
ผลงานที่ได้รับรางวัล	-
ทุนการศึกษา	-
คติพจน์	ขยันในวันนี้ เพื่ออนาคตที่ดีในวันหน้า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้