ห้องสมุดคณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปริญญานิพนธ์ ปีการศึกษา 2530

เรื่อง ชุมสายโทรศัพท์ทดลอง SPC (STORE PROGRAM CONTROL)

ผู้จัดทำ:

1. นายนคร ตั้งสุจริตพันธ์ 27.1087
2. นายชนะ กิตตินันทวรกุล 27.1043

..............................อาจารย์ที่ปรึกษา

(อาจารย์ถวิล พึ่งมา)

..............................อาจารย์ที่ปรึกษา

(รศ. มนูญ สุขเกษม)

ภาควิชา...

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้าน

ชุมสายโทรศัพท์ทดลอง (SPC) STORED PROGRAM CONTROL

นายนคร ตั้งสุจริตพันธ์
นายชนะ ฉัตตินันทวรกุล
รศ.มนูญ สุขเกษม อาจารย์ที่ปรึกษา
อาจารย์ ถวิล พึ่งมา อาจารย์ที่ปรึกษา
ปีการศึกษา 2530

บทคัดย่อ

ปริญญานิพนธ์ฉบับนี้เป็นเพียงการดึงเอาส่วนหนึ่งของระบบพัฒนาโปรแกรมควบคุม (Store Program Control System) มาทดลองให้เห็นถึงลักษณะของการทำงานของการสวิทชิ่งสัญญาณดิจิทอล ซึ่งใช้สวิทช์เวลา (time switch) ทำการเปลี่ยนช่องเวลา (time slot) ของข้อมูลที่จัดเรียงไว้โดยการใช้การกล้ำแบบแบ่งเวลา (time division multiplex) ที่รวมข้อมูลหลายๆชุดไว้ในสายส่งเพียงเส้นเดียว (ข้อมูลแต่ละชุดคือสัญญาณเสียงที่ใช้สนทนากันทางโทรศัพท์)

การทำงานของสวิทช์เวลาจะทำงานเป็นหน่วยความจำที่สามารถอ่านและเขียนข้อมูลที่ความเร็วสูง ลักษณะการทำงานของโครงงานนี้คือการออกแบบชุดทดลองในการที่จะเก็บข้อมูลในการสื่อสารซึ่งเป็นสัญญาณอนาลอกไว้ในหน่วยความจำ โดยการแปลงสัญญาณอนาลอกให้เป็นสัญญาณดิจิทอลก่อนแล้วจึงค่อยนำไปเก็บไว้ที่หน่วยความจำและนำข้อมูลออกมาได้เมื่อต้องการชิ้งานนี้จึงเป็นเพียงตัวอย่างที่จะแสดงให้เห็นถึงการทำงานอย่างง่ายของสวิทช์เวลาซึ่งเป็นการสวิทชิ่งอย่างหนึ่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

SPC(Stored Program Control) TELEPHONE EXCHANGE MODEL

Nakorn Tangsujaritpun
Chana Kittinantavorakul
Advisor : Manoon Sukasem
Tawil Peungma
Academic Year of 1987

ABSTRACT

This thesis is about using part of Stored Program Control system as an experiment to see the work structure of digital signal switching. The process is using time switching to change time slot of arranged data by time division multiplex. Time division multiplex is the collection data sets in one transmission line. Each data set is the telephone signal.

Time switching process will work as a memory unit that can read and write at a high speed. This project is try to illustrate the design of SPC telephone switching model. This model will correct communication data which are analog signals and convert to digital signals then put them in the memory unit which can be retrieve when wanted. It is an exemple that show the simple work of Time Switch which is one type of switching .

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

		หน้า
บทที่ 1	บทนำ	1
บทที่ 2	ระบบสวิทชิ่งโทรศัพท์แบบดิจิทอล	2
	2.1 คุณสมบัติของการสื่อสารด้วยสัญญาณดิจิทอล	2
	2.2 หลักการของระบบ PCM	2
	2.3 หลักการของการมัลติเพล็กซ์แบบ TDM (Time Division Multiplex)	6
	2.4 ระบบสวิทชิ่งที่ใช้กับโทรศัพท์	13
บทที่ 3	หลักการคำนวนและการออกแบบวงจร	
	3.1 ระบบสัญญาณโทรศัพท์	19
	3.2 ลักษณะโครงสร้างและส่วนประกอบทั่วๆไปของวงจร	22
	3.3 การออกแบบและรูปแบบของการคำนวนในแต่ละส่วนของวงจร	22
บทที่ 4	การทดลองและผลการทดลอง	36
บทที่ 5	สรุปผลและวิจารณ์ผลการทดลอง	37
ภาคผนวก		
กิตติกรรมประกาศ		
หนังสืออ้างอิง		

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1

บทนำ

จากแนวความคิดว่าการสื่อสารโดยใช้สัญญาณดิจิตอลแทนสัญญาณอนาลอก เพื่อสะดวกในการส่งข้อมูล และลดสัญญาณรบกวนที่จะเกิดกับปลายทาง เพราะสัญญาณดิจิตอลเป็นสัญญาณที่ไม่ต่อเนื่อง เป็นสัญญาณที่มีแต่แรงดัน 0 และ 5 โวลต์ ถ้ามีการรบกวนจากภายนอกไม่มาก คือ ไม่ถึง 5 โวลต์ ก็จะไม่มีผลต่อปลายทาง

สัญญาณโทรศัพท์ที่เป็นสัญญาณอนาลอก จะถูกเปลี่ยนให้เป็นสัญญาณดิจิตอลโดยผ่านการแซมปลิ้ง และเข้าวงจรแปลงสัญญาณอนาลอกให้เป็นสัญญาณดิจิตอล ในการสวิทชิ่งสัญญาณดิจิตอล เพื่อสับเปลี่ยนข้อมูล ให้บุคคลที่ 1 สามารถติดต่อกับบุคคลที่ 2, บุคคลที่ 3 และบุคคลอื่นๆ ได้ ใช้การสวิทชิ่งแบบ Time Switching

ในชุดการทดลองนี้ หน่วยความจำที่จะใช้ทดลองเป็น Speech Memory คือ Static RAM 6264 ขนาด 8 บิท ทำงานโดยเก็บข้อมูลเข้า และอ่านข้อมูลออก ทำให้เกิดการสับเปลี่ยนข้อมูล นั่นคือเป็นพื้นฐานของ Time Switching (T Switching)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
ระบบสวิทชิ่งโทรศัพท์แบบดิจิตอล

2.1 คุณสมบัติของการสื่อสารด้วยสัญญาณดิจิตอล

สัญญาณแบบดิจิตอลสามารถนำมาใช้สื่อสารแทนการใช้สัญญาณอนาลอก โดยการแปลงสัญญาณจากอนาลอกให้เป็นดิจิตอล แล้วนำไปเข้ารหัสหรือจัดแปลงให้เหมาะกับการส่ง ซึ่งจะขึ้นอยู่กับวิธีการส่งและตัวสายส่ง ข้อดีของการสื่อสารด้วยสัญญาณดิจิตอลที่สำคัญคือ

1. สะดวกต่อการมัลติเพลกซ์

2. สะดวกในการส่งสัญญาณควบคุม โดยจะกำหนดให้ช่องเวลาช่องหนึ่งในระบบ เป็นช่องสำหรับรับส่งสัญญาณควบคุม ไว้

3. สัญญาณรบกวนต่ำ ในระบบอนาลอกนั้น สัญญาณรบกวนและสัญญาณสอดแทรกสามารถเข้าไปผสมและผ่านไปยังผู้รับได้ง่าย แต่ในระบบดิจิตอลนั้น สัญญาณอยู่ในรูปของระดับแรงดัน 0 และ 1 ถ้าสัญญาณรบกวนมีขนาดไม่มากพอที่จะทำให้สัญญาณจริงเปลี่ยนระดับได้ ก็จะไม่มีผลไปยังผู้รับ

4. ง่ายต่อการเข้ารหัส ในกรณีที่ต้องการให้ข้อมูลนั้นเป็นความลับ เราสามารถเข้ารหัส เช่น การสแคมเบลอร์ ที่ปลายทางก็จะมีวงจรดีสแครมเบลอร์สำหรับถอดรหัส

อย่างไรก็ตามระบบสื่อสารแบบดิจิตอลก็มีข้อเสียอยู่ ที่สำคัญคือ

1. เพิ่มแบนด์วิดของสัญญาณ เช่น สัญญาณเสียงพูดสำหรับโทรศัพท์ ซึ่งกำหนดไว้ว่ามีแบนด์วิดไม่เกิน 3.4กิโลเฮิรท์ เมื่อแปลงเป็นสัญญาณดิจิตอลแล้วส่งด้วยอัตรา 2.048 เมกกะบิทต่อวินาที อย่างน้อยที่สุดสายส่งที่ใช้ต้องมีผลตอบสนองต่อความถี่ในย่าน 2.048 เมกกะเฮิรท์ได้ ก็ทำให้ต้องใช้สายส่งที่มีราคาแพงขึ้น

2. การซิงโครไนเซชั่น (Synchronization) ทางด้านรับต้องมีวงจรสร้างสัญญาณเวลาที่ซิงโครไนซ์ (Synchronize) กับทางด้านส่งสำหรับตรวจจับสัญญาณที่เข้ามาแต่ละบิทไม่ให้พลาด รวมทั้งจะต้องรู้จุดเริ่มต้นของขบวนสัญญาณด้วย

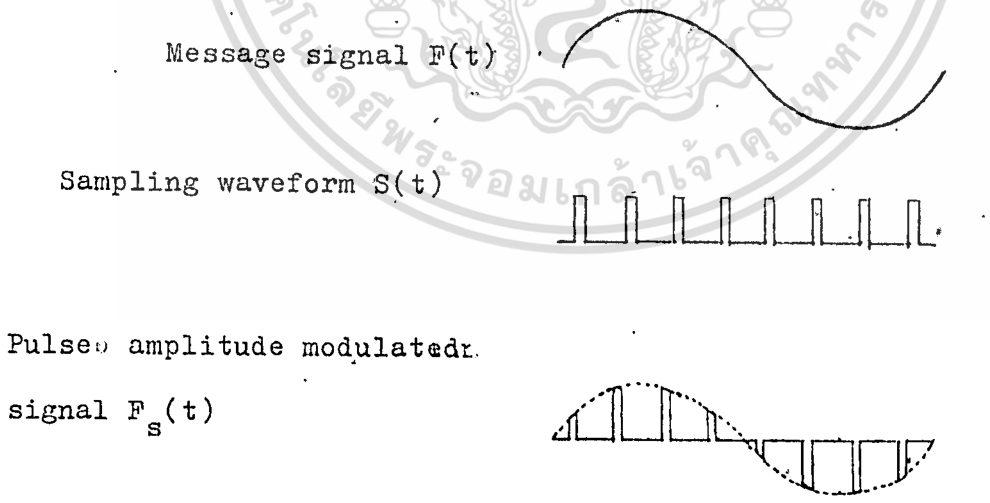
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2 หลักการของระบบ PCM (Pulse Code Modulation)

สำหรับโทรศัพท์ในระบบสวิทชิ่งแบบดิจิตอลนี้เมื่อติดต่อใช้งานกัน สัญญาณเสียงก็จะถูกแปลงให้เป็นสัญญาณดิจิตอลแบบ PCM กระบวนการแปลงสัญญาณแบ่งออกเป็นการแซมปลิ้ง(sampling) ควอนไทซิ่ง(quantising) และโคดดิ้ง (coding) ตามลำดับ ได้เป็นขบวนสัญญาณดิจิตอลขนาด 8 บิทหรือ 1 เวอร์ด สำหรับการแซมปลิ้ง 1 ครั้ง เมื่อนำดิจิตอลเวอร์ดของโทรศัพท์แต่ละเครื่องมาเรียงต่อกันตามลำดับ ได้เป็นขบวนสัญญาณจนครบทุกเครื่อง และรวมสัญญาณควบคุมและ FAW (Frame Alignment Word) แล้วจะได้ขบวนสัญญาณดิจิตอลขนาด 1 เฟรม (Frame) ซึ่งก็คือการมัลติเพลกซ์แบบ TDM แล้วจึงส่งออกไป รายละเอียดของแต่ละขั้นตอนจะอธิบายในแต่ละหัวข้อดังต่อไปนี้

2.2.1 การแซมปลิ้ง

สัญญาณข้อมูลซึ่งเป็นอนาลอกจะถูกแซมเปิ้ล(sampling) แต่ละครั้งโดยมีระยะเวลาห่างเท่า ๆ กันทุกครั้ง โดยสัญญาณแซมปลิ้ง ได้เป็นสัญญาณ PAM (Pulse Amplitude Modulation) ดังรูปที่ 2.1



รูปที่ 2.1 ลักษณะสัญญาณของการแซมปลิ้ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

สัญญาณPAM มีความกว้างเท่ากับความกว้างของสัญญาณแซมปลิ้ง และมีขนาดแอมปลิจูด (Amplitude) เท่ากับแอมปลิจูดของสัญญาณข้อมูลในขณะที่ถูกแซมเปิ้ล

ถ้ากำหนดให้สัญญาณข้อมูลมีแบนด์-ลิมิท (band-limited) เท่ากับ (หมายความว่าความถี่สูงสุดของสัญญาณข้อมูลไม่เกิน f_m Hz) แล้ว สัญญาณแซมปลิ้งต้องมีความถี่มากกว่าหรือเท่ากับ $2f_m$ Hz (2)

$$f_o \geq 2f_m \qquad 2.2.1$$

เพราะว่าที่ปลายทางจะมีวงจรโลว์พาสฟิลเตอร์ (lowpass filter) กรองเอาสัญญาณข้อมูลเดิมกลับมา ถ้า f_o มีค่าน้อยกว่า $2f_m$ จะทำให้สัญญาณข้อมูลที่รับได้ปลายทางผิดเพี้ยนไป (Aliasing, Fold-over) เนื่องจากสเปคตรัมของสัญญาณPAM จะเกิดการโอเวอร์แลป(overlap) กัน ดังนั้น f_o อย่างน้อยที่สุดต้องมีค่าเท่ากับ $2f_m$ อัตราความถี่นี้เรียกว่าคริติคอลแซมปลิ้งเรท หรือไนควิสท์เรท (criti-cal sampling rate or Nyquist)ในทางปฏิบัติเพื่อให้แน่ใจว่าสัญญาณข้อมูลมีแบนด์-ลิมิทไม่เกิน f_mHz จะต้องมีวงจรโลว์พาสฟิลเตอร์ที่มีอัตราการลดทอนที่จุดคัทออฟสูง (sharp-cutoff) ทำการกรองสัญญาณข้อมูลก่อนที่จะได้รับการแซมปลิ้ง สัญญาณเสียงทางโทรศัพท์นั้นกำหนดว่ามีแบนด์วิดไม่เกิน 3.4 กิโลเฮิรท์ โดยทั่วไปจะใช้ f_o มีค่าเท่ากับ 8 กิโลเฮิรท์

2.2.2 ควอนไทเซชั่นและโคดดิ้ง

เป็นการเปรียบเทียบขนาดของสัญญาณ PAM ที่ได้จากการแซมเปิ้ลกับระดับของแรงดัน เปรียบเทียบที่ใกล้เคียงกันที่สุด ซึ่งระดับแรงดันเปรียบนี้จะแบ่งเป็นส่วนย่อย ๆ จำนวนขั้นของส่วนย่อย ๆ ที่เปรียบเทียบได้ก็จะนำมาเป็นตัวเลขไบนารีต่อไป

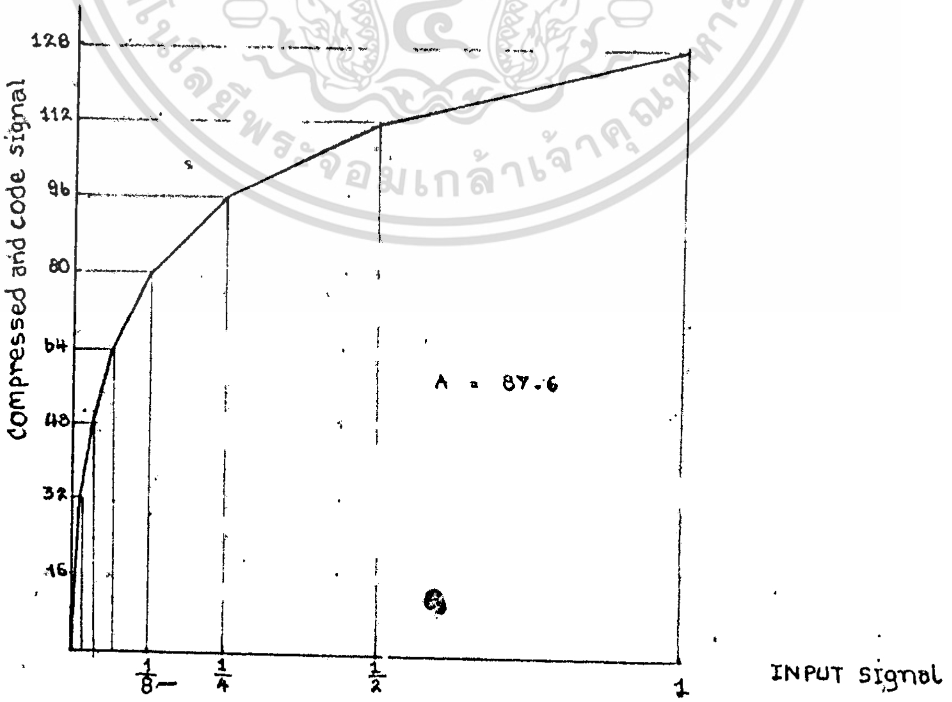
วิธีการควอนไทซ์ที่ใช้กันทั่วไปสำหรับการแปลง PCM คือ วิธีนอนยูนิฟอร์ม ควอนไทเซชั่น(Nonuniform quantization) ซึ่งขนาดของแรงดันเปรียบเทียบที่แบ่งเป็นขั้น ๆ จะไม่เท่ากันตลอด เนื่องจากในความเป็นจริงสัญญาณเสียงพูดมีความเป็นไปได้ ที่จะมีขนาดอยู่ในช่วงแรงดันขนาดต่ำ ๆ มากกว่า ดังนั้นเพื่อการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ควอนไทซ์ที่ ดีที่สุด จึงแบ่งชั้น(quantum level)ในช่วงแรงดันน้อยๆให้เป็นชั้นเล็กๆ และค่อยๆเพิ่มขนาดของชั้นให้ใหญ่ขึ้นในช่วงแรงดันสูง ๆ ในทางปฏิบัติจะใช้วิธีการกด(compress)ขนาดของสัญญาณ PAM ซึ่งเรียกว่า การคอมแพนดิ้ง (companding) และในที่นี้จะใช้การคอมแพนดิ้งแบบ A law ตามมาตราฐานของ CCITT ขนาดของสัญญาณจะถูกกดในลักษณะที่เป็น ลิเนียร์(limear)สำหรับสัญญานที่มีขนาดเล็ก ๆ แต่เป็นล็อคการิทมิค (logarithmic) สำหรับสัญญาณที่มีขนาดใหญ่

ส่วนที่ปลายทางด้านรับเมื่อแปลงสัญญาณจากดิจิตอลกลับเป็นอานาลอก เพื่อที่จะให้ได้สัญญาณกลับเหมือนเดิม ก็จะต้องมีการขยายสัญญาณให้กลับเหมือนเดิม

จากนี้ก็จะถึงการโค้ดดิ้ง คือการนำค่าของสัญญานเปรียบเทียบที่ได้จากการควอนไทเซชั่นมาแปลงเป็นรหัสไบนารี ในทางปฏิบัตินั้นเพื่อความสะดวกและการประหยัดในการออกแบบวงจร จึงใช้การควอนไทซ์แบบที่เรียกว่าเซกเมนท์ควอนไทเซชั่น (segment quentization) คือการแบ่งช่วง ของการกดสัญญาณออกเป็นเซ็กเมนท์ ในแต่ละเซกเมนท์มีชั้นของการควอนไทเซชั่นที่เรียกว่าควอนตั้มสเต็บในจำนวนเท่า ๆ กัน แตกต่างกันที่ขนาดของชั้นในแต่ละเซกเมนท์ รูปที่ 2.2 คือกราฟแสดงคุณสมบัติของเซกเมนท์ควอนไทเซชั่นแบบ A law เมื่อสัญญาณอินพุทเป็นบวก



รูป 2.2 เซกเมนท์ควอนไทเซชั่นแบบ A law

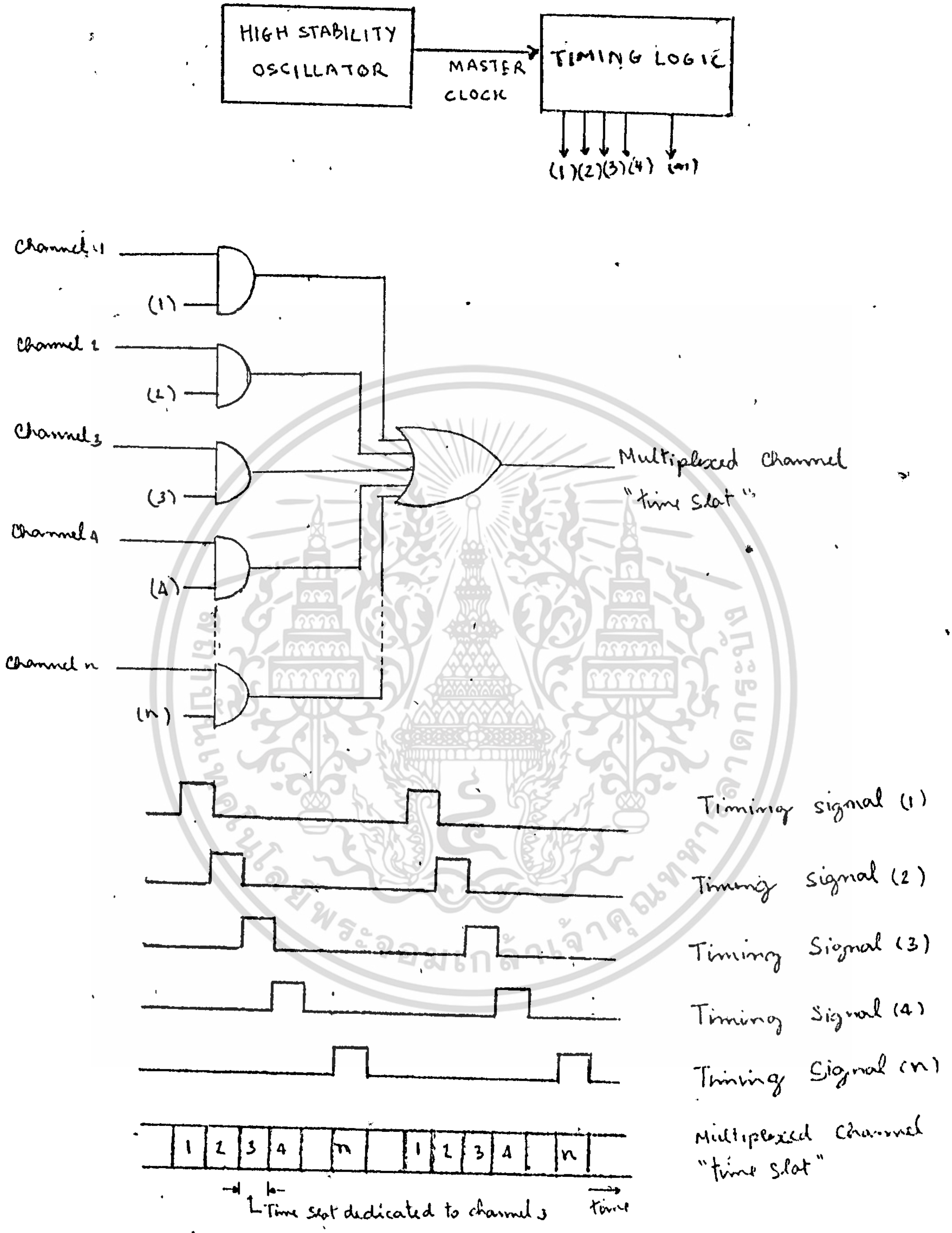
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ค่าที่ได้จากการควอนไทซ์แต่ละครั้งจะแปลงเป็นรหัสไบนารี่ขนาด 8 บิท โดยที่บิทแรก (MSB) เป็นตัวบอกเครื่องหมาย (sign bit or polarity bit) ถ้าเป็น 1 หมายถึงสัญญาณแซมเปิ้ลเป็นบวก , 0 หมายถึงสัญญาณแซมเปิ้ลเป็นลบ 3 บิทต่อมาเป็นเซกเมนท์โค๊ด (segment code) บอกให้ทราบว่าสัญญาณแซมเปิ้ลนั้นมีขนาดอยู่ในช่วงเซกเมนท์ใด ส่วน 4 บิทสุดท้ายเรียกว่าควอนไทเซชั่นโค๊ด หรือ ควอนทัมสเต็บ คือจำนวนของขั้นในเซกเมนท์ซึ่งจะมี 16ขั้น คุณสมบัติของรหัสแบบ A law นี้ดูได้จากตารางที่2.1

2.3 หลักการของการมัลติเพล็ซแบบ TDM (Time Division Multiplex)

จากหัวข้อที่แล้วหลังจากได้รหัส PCM จากการแซมปลิ้งแต่ละครั้งแล้ว ก็จะถึงการมัลติเพลกซ์สัญญาณข้อมูลจากหลาย ๆ ช่องสัญญาณให้รวมกันเป็นขบวนสัญญาณเดียวกัน รหัส 8 บิท ที่ได้จากสัญญาณแต่ละช่องจะถูกส่งออกไปแบบซีเรียล (serial) ลงในช่องสัญญาณของตัวเองดังรูป 2.3 เป็นลักษณะพื้นฐานของ TDM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า



รูปที่ 2.3 ลักษณะการมัลติเพลกซ์แบบ TDM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SEGMENTED *A*-LAW ENCODING/DECODING TABLE

Input Amplitude Range	Step Size	Segment Code S	Quantization Code Q	Code Value	Decoder Amplitude
0-2			0000	0	1
2-4		000	0001	1	3
:			:	:	:
30-32	2		1111	15	31
32-34			0000	16	33
:		001	:	:	:
62-64			1111	31	63
64-68			0000	32	66
:	4	010	:	:	:
124-128			1111	47	126
128-136			0000	48	132
:	8	011	:	:	:
248-256			1111	63	252
256-272			0000	64	264
:	16	100	:	:	:
496-512			1111	79	504
512-544			0000	80	528
:	32	101	:	:	:
992-1024			1111	95	1008
1024-1088			0000	96	1056
:	64	110	:	:	:
1984-2048			1111	111	2016
2048-2176			0000	112	2112
:	128	111	:	:	:
3968-4096			1111	127	4032

ตารางที่ 2.1 แสดงคุณสมบัติของรหัสแบบ A-LAW

(ตราประทับห้องสมุด)

วงจรออสซิลเลเตอร์ (Oscillator) ทำหน้าที่สร้างสัญญาณเวลาที่มีความเที่ยงตรงสูงสำหรับใช้สร้างไทมิ่งฟังก์ชั่น (timing function) ต่าง ๆ ให้แก่วงจรมัลติเพลกซ์ ดังนั้นทุกๆ ช่องสัญญาณจะมีเฟส phase สัมพันธ์กันแบบคงที่แน่นอน เรียกการมัลติเพลกซ์แบบนี้ว่า ซิงโครนัส มัลติเพลกซ์ (synchronous multiplex)

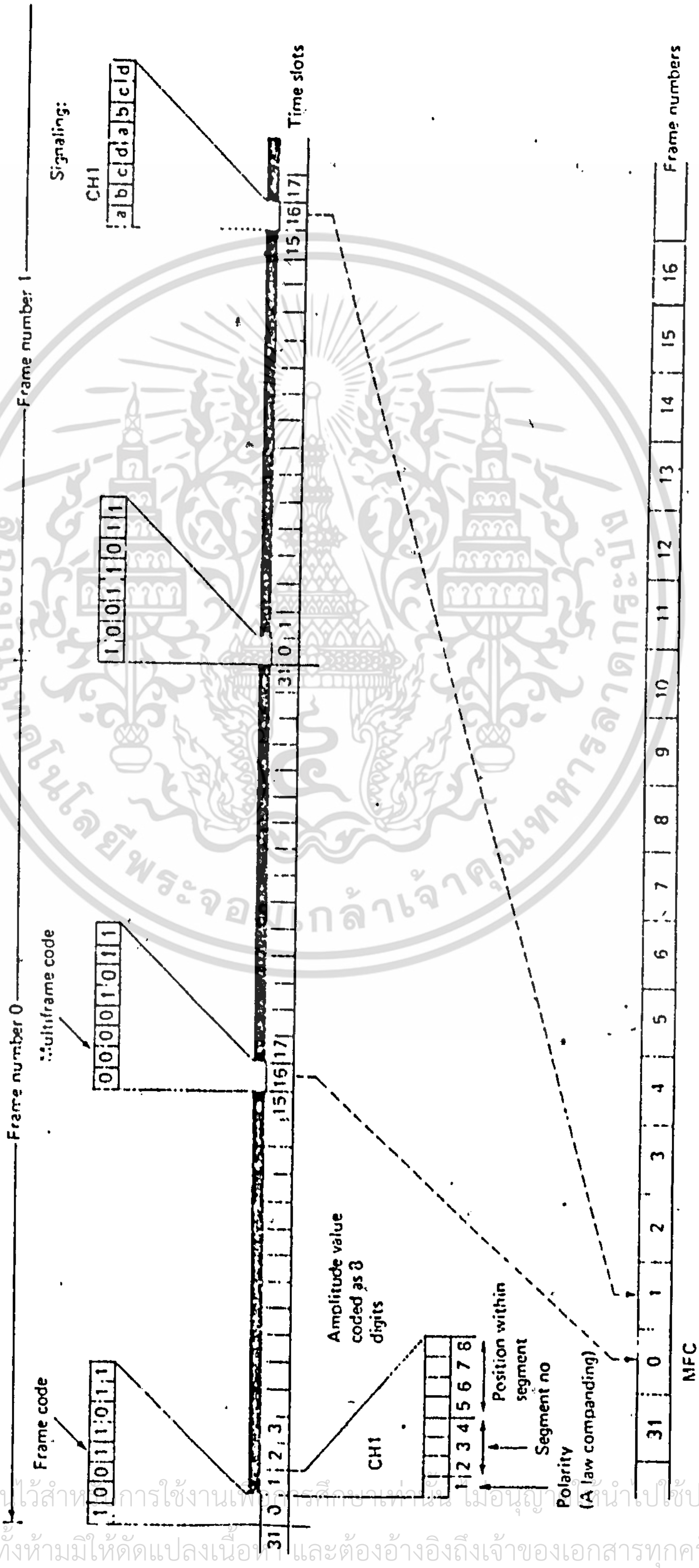
สำหรับวงจรดีมัลติเพลกซ์ที่ปลายทาง ต้องสามารถแยกแยะรหัสข้อมูลของแต่ละช่องสัญญาณได้อย่างถูกต้อง เพื่อการนี้จึงต้องทำการจัดช่องสัญญาณในลักษณะเป็น (Frame) และให้ส่วนหนึ่งของเฟรมเป็น FAW ซึ่งที่ปลายทางจะทำการตรวจจับ FAW นี้เพื่อจะหาจุดเริ่มต้นของเฟรมและจัดแบ่งช่องสัญญาณต่าง ๆ ได้ถูกต้อง สำหรับการจัดเฟรมที่ใช้ในงานนี้แสดงได้ดังรูป 2.4

การจัดเฟรมแบบนี้ใช้หลักการตามมาตรฐานของยูโรเปี้ยนไพรมารีซิสเต็ม (European Primary System) มี 30 ช่องสัญญาณเสียง ซึ่งกำหนดโดย CCITT recommendation G732 ในแต่ละเฟรมแบ่งออกเป็น 32 ช่องเวลา (Time slot) ใช้สำหรับการส่งสัญญาณข้อมูลได้ 30 ช่อง คือช่องที่ 1 ถึง 15 และ 17 ถึง 31ที่เหลืออีก 2 ช่องคือช่องเวลา 0 ใช้ส่ง และช่อง เวลา 16 ใช้ส่งสัญญาณควบคุม สำหรับการส่งสัญญาณควบคุมนั้นได้ทำการดัด แปลงใหม่ไม่ได้ใช้ตามมาตราฐาน ทั้งนี้เพื่อความสะดวกและง่ายต่อการเขียนโปรแกรม และประหยัดไม่ยุ่งยากในการออกแบบวงจรบางส่วน ซึ่งปรกติตามมาตราฐานที่ใช้กันจะจัดให้ 16 เฟรมเป็น 1 มัลติเฟรม (multiframe) คือเฟรม 0 - 15 และใช้ช่องเวลา 16 ในเฟรม 0 สำหรับการส่งมัลติเฟรมโค๊ดเพื่อบอกให้ปลายทางรู้ว่าเป็นเฟรม 0ส่วนช่องเวลา 16 ในเฟรม 1 ถึง 15 ใช้ส่งสัญญาณควบคุม แต่ในที่นี้จะให้ 1 มัลติเฟรมมี 32 เฟรม และใช้ช่องเวลา 16 ในเฟรม 0 สำหรับการส่งมัลติโค๊ดเช่นกัน ส่วนช่องเวลา 16 ในเฟรม 1 ถึง 31 ใช้ส่งสัญญาณควบคุม ยกเว้นในเฟรม 16 ไม่ได้ใช้ โดยในช่องเวลา 16 ของเฟรมที่ 1 ก็จะส่งสัญญาณควบคุมสำหรับช่องเวลาที่ 1 และไล่เรียงไปตามลำดับ สัญญาณควบคุมนี้ใช้สำหรับการติดต่อกันระหว่างชุมสาย

เริ่มแรกเมื่อมีการเรียกข้ามชุมสาย CPU ในชุมสายผู้เรียกก็จะส่งสัญญาณควบคุมเป็นหมายเลขโทรศัพท์ผู้เรียก ถูกลงในช่องสัญญาณควบคุมประจำหมายเลขโทรศัพท์ผู้เรียก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

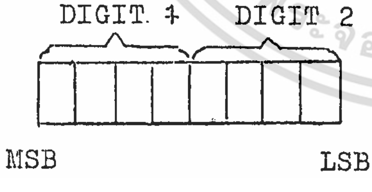
024674



รูปที่ 2.4 หลักการจัดเฟรมในระบบ Time Division Multiplex

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น เมื่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยหมายเลขที่จะส่งเป็นรหัส BCD (Binary Code Decimal) จำนวน 2 ดิจิท (digit) เรียกว่า "CAL" SG. (Calling Signalling) เช่นโทรศัพท์เครื่องที่ 1 ต้องการติดต่อกับเครื่องที่ 5 ของอีกชุมสาย CPU ก็จะส่งหมายเลข 005 ลงในช่องเวลา 16 ของเฟรมที่ 1 เมื่อชุมสายผู้รับได้รับสัญญาณควบคุมนี้แล้วก็จะไปตรวจดูว่าเครื่องที่ 5 นั้นว่างหรือไม่ ถ้าว่างก็จะส่งสัญญาณตอบรับ ถ้าไม่ก็จะส่งว่าไม่ว่างลงในช่องเวลา 16 ของเฟรมที่ 5 ส่งกลับไปยังชุมสายผู้เรียก เมื่อชุมสายผู้เรียกได้รับถ้าว่างก็ส่งสัญญาณเรียกกลับ (Ringback tone) ไปหาผู้เรียก และถ้าไม่ว่าง (Busy tone) ให้แก่ผู้เรียก ส่วนทางผู้รับถ้าว่างก็จะได้รับสัญญาณเรียก (Ringingtone) เมื่อผู้รับยกหูรับแล้ว CPU ของทางชุมสายผู้รับก็จะส่ง "ROU"SG. (Routing Signal) ไปหาชุมสายผู้เรียกเพื่อบอกให้รู้ว่ายกหูรับแล้ว จากนั้นทั้งสองชุมสายก็จะตัดต่อช่องสัญญาณเสียงที่ 1 และ 5 เข้าหากัน ตามวิธีการในบทที่ 2 เมื่อต้องการยกเลิกการติดต่อโดยผู้ใดผู้หนึ่งวางหูโทรศัพท์ ทางด้านชุมสายนั้นก็จะส่ง "CALH" SG. (Call a haltsignal) ไปบอกเลิกการติดต่อ แล้วทั้งสองชุมสายก็จะตัดช่องสัญญาณออกจากกัน สำหรับรูปแบบของสัญญาณควบคุมต่าง ๆ แสดงอยู่ในรูปที่ 2.5



"CAL" = 01 15,17 31
"ACK" = F1
"ROU" = F2
"BUSY" = F4
"CALH" = F8

รูปที่ 2.5 รูปแบบสัญญาณควบคุม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำหรับการติดต่อภายในชุมสายเองนั้นไม่ต้องมีการส่งสัญญาณควบคุม เพราะCPU ซีพียูสามารถตรวจสอบสถานะของโทรศัพท์แต่ละเครื่องได้โดยตรงอยู่แล้ว

ดังได้กล่าวในหัวข้อเรื่องการแซมปลิ้งแล้วว่า ใช้อัตราการแซมเปิ้ลเท่ากับ 8 KHz กิโลเฮิรท์ และแปลงเป็นสัญญาณ พีซีเอ็ม ขนาด 8 บิทในแต่ละช่องเวลา ทั้งหมดมี 32 ช่องเวลา ดังนั้นต้องใช้อัตราการส่งข้อมูลเป็น

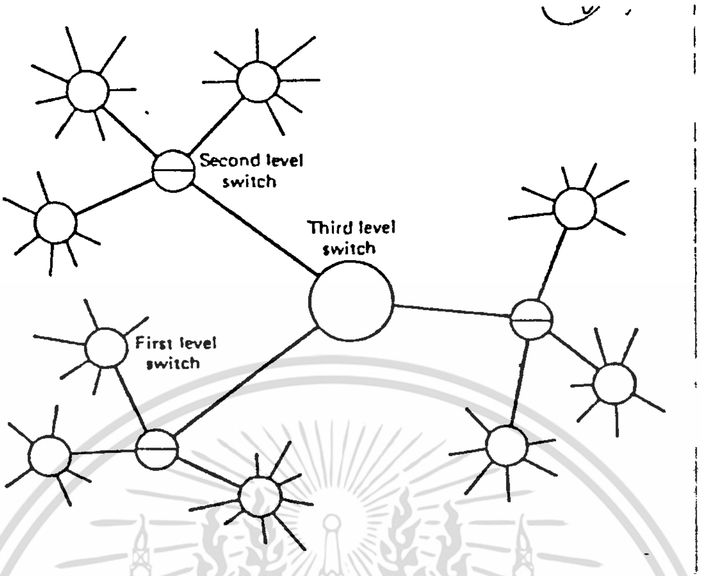
$$8 \times 8 \times 32 \text{ กิโลเฮิรท์} = 2.048 \text{ เมกกะเฮิรท์} \qquad ...2.2$$

และในการส่งข้อมูล 1 เฟรม ใช้เวลา

$$\frac{1}{8\ \text{KHz}} = 125\ \mu\text{sec} \qquad ...2.3$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.4 ระบบสวิทชิ่ง ที่ใช้กับโทรศัพท์

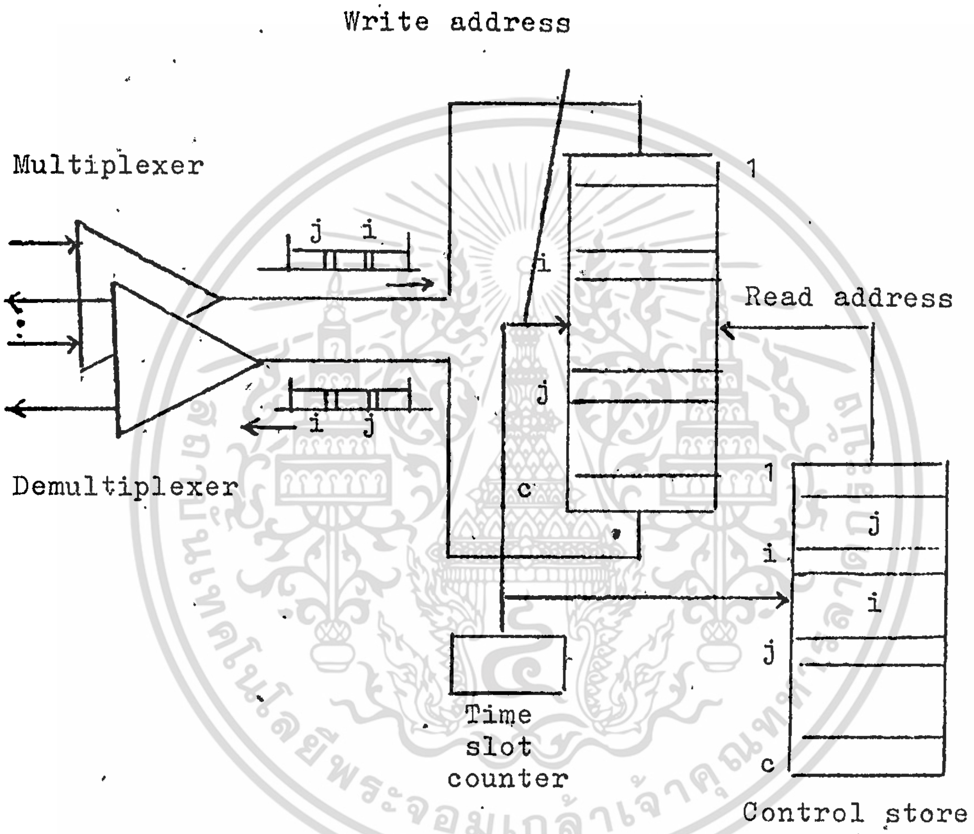


รูปที่ 2.6 แสดงรูปแบบของระบบสวิทชิ่ง

ระบบสวิทชิ่งโดยทั่วไปแสดงได้ด้วยรูป 2.6 ในพื้นที่หนึ่ง ๆ ที่มีผู้ใช้โทรศัพท์จะมีศูนย์รวมเรียกว่าเซ็นทรัลออฟฟิซ (central office หรือ first level switch) ทำหน้าที่ติดต่อโทรศัพท์ โดยทั่วไปจะเรียกศูนย์รวมในระดับนี้ว่า EO (End Offices)และหลายๆ EO ก็จะติดต่อกับศูนย์รวมอีกระดับหนึ่ง คือ ทอลเซ็นเตอร์ (Toll center หรือ second level switch) เพื่อการติดต่อระหว่างผู้ใช้ที่อยู่ห่างไกล และเช่นเดียวกันก็จะมีศูนย์รวมระดับใหญ่ขึ้นไปเรื่อย ๆ ดังรูป

สำหรับวิธีการติดต่อช่องสัญญาณนั้นมีหลักการสำคัญอยู่ 2 วิธี คือไทม์สวิท (Time-switch) และสเปซสวิท (Space switch) ในระบบใหญ่ ๆ จะใช้ทั้ง 2 วิธีรวมกัน แต่สำหรับระบบขนาดเล็กที่สร้างขึ้นในวิทยานิพนธ์ใช้เฉพาะวิธีไทม์สวิท ซึ่งมีวงจรทำงานดังรูปที่ 2.7 เพราะสมในด้านราคาและการออกแบบวงจร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.7 แสดงวงจร ไทม์สวิทช์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

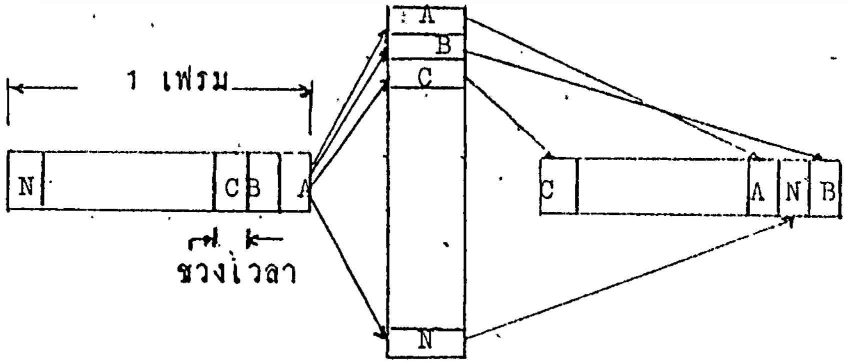
จากรูปข้อมูลหลาย ๆ ช่องสัญญาณซึ่งถูกมัลติเพลกซ์แบบ TDM จะต้องผ่านวงจรซีเรียล-ทู-พาราเลล (serial-to-parallel) เป็นข้อมูลของแต่ละช่องสัญญาณ ก ก่อนที่จะถูกเขียนลงในหน่วยความจำตามลำดับของช่องสัญญาณ และจะถูกอ่านถูกควบคุมโดยวงจรนับช่องเวลา และหน่วยความจำอีกชุดหนึ่ง ซึ่งเก็บแอดเดรส (address) ของการอ่านไว้เรียกชื่อว่า TSI (Time slot interchange) memory.

2.4.1 สวิทช์เวลา (TIME SWITCHING)

สวิทช์เวลาซึ่งทำงานเป็นหน่วยความจำ RAM + R/W มีหน้าที่จำ และเปลี่ยนระหว่างเวลาที่กำหนดให้ของสัญญาณดิจิตอล โดยการเปลี่ยน time order ของสัญญาณดิจิตอลระหว่าง time slot บนสายส่งเดียวกัน ซึ่งจะเป็นการสับเปลี่ยนข้อมูลข่าวสาร โดยแสดงได้ดังรูปที่ 2.8 โดยแสดงตัวอย่างแสดงการสับเปลี่ยนข้อมูลของ Subscriber A และ B.

2.4.1.1 การเปลี่ยนระหว่างช่องเวลา

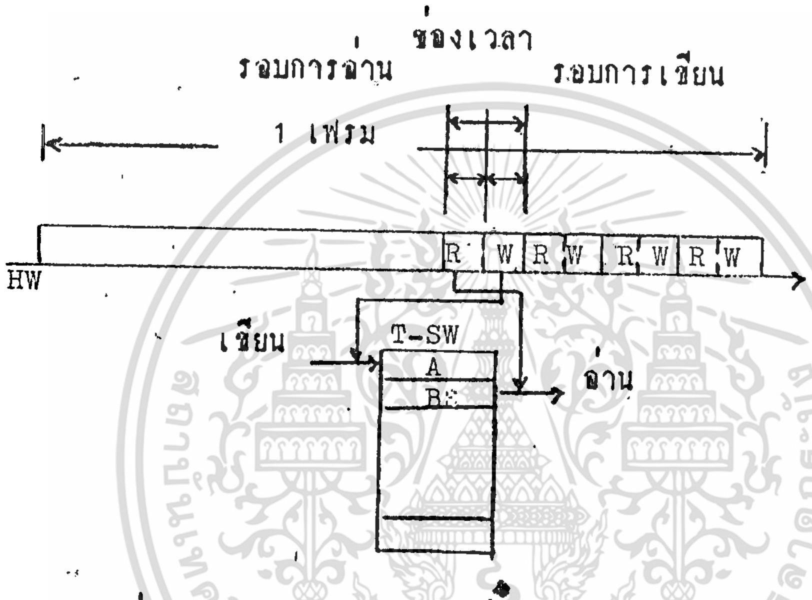
การเปลี่ยนระหว่างกันของเวลาที่กำหนดให้ในสวิทช์เวลาหนึ่งไปยังอีกช่องเวลาของสัญญาณกร้ำแบบแบ่งเวลา การเปลี่ยนระหว่างกันของเวลาที่กำหนดให้ของสัญญาณดิจิตอล เรียกว่า "การเปลี่ยนระหว่างช่องเวลา" ซึ่งการเปลี่ยนระหว่างช่องเวลากระทำโดยการจำสัญญาณตอนส่งชั่วคราวบนไฮเวย์ในหน่วยความจำของสวิทช์เวลา (การเขียน) และแล้วอ่านสัญญาณที่จำไว้ออกในลำดับที่แตกต่างจากลำดับที่เขียน (การอ่าน) ซึ่งแสดงได้ดังรูปที่ 2.9



รูปที่ 2.9 การเปลี่ยนระหว่างช่องเวลา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ข้อควรจำ หน่วยความจำที่ใช้ในสวิทช์เวลาไม่อนุญาตให้สัญญาณที่จะเข้าเขียนและอ่านออกในเวลาเดียวกัน ฉะนั้น ช่วงเวลาที่ตรงกับช่องเวลาจึงแบ่งออกเป็นสองส่วน ครึ่งหนึ่งใช้สำหรับการเขียน และครึ่งที่เหลือใช้สำหรับการอ่าน ลำดับการทำงานสำหรับสำหรับการเขียนสัญญาณเข้าไปในสวิทช์เวลาเรียกว่า รอบการเขียน และลำดับการทำงานสำหรับการอ่านสัญญาณออกจากสวิทช์เวลาเรียกว่า รอบการอ่าน ซึ่งแสดงได้ดังรูป ๒.๙



รูปที่ 2.10 การเขียนและการอ่านธรรมดา (ordinary access)

2.4.1.2 การควบคุมการแบ่งระหว่างช่องเวลา

เพื่อให้บรรลุเป้าหมายการแบ่งระหว่างช่องเวลา มีความจำเป็นที่จะต้องควบคุมการเขียนเข้า หรือการอ่านออกจากสวิทช์เวลา สำหรับแต่ละช่องเวลา T1 , T2 ,...และTn สำหรับความมุ่งหมายนี้ วิธีควบคุมมีให้ได้ 2 แบบ กล่าวคือ การควบคุมตามลำดับและการควบคุมตามยะถากรรม (Random control)

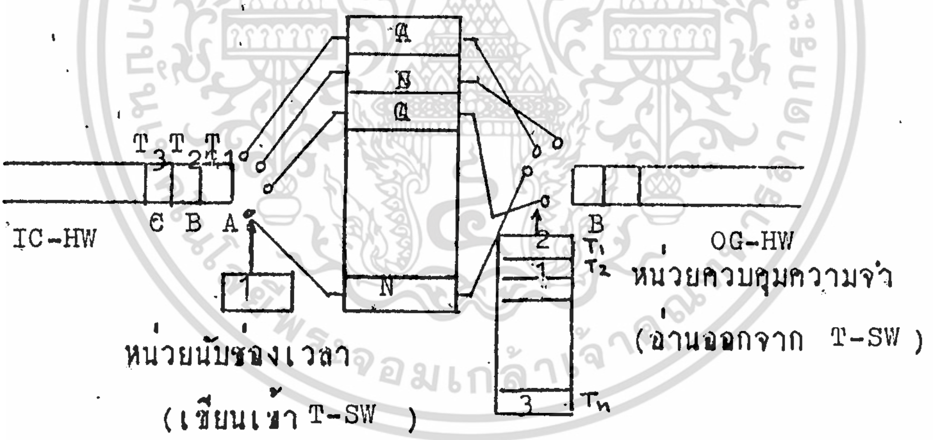
ก) การควบคุมตามลำดับ (Sequential control) เป็นวิธีของการควบคุมซึ่งอยู่ในหน่วยความจำ (สวิทช์เวลา) กำหนดให้เพื่อการเขียนเข้าหรืออ่านออกจากสวิทช์เวลาตามลำดับ ในการควบคุมตามลำดับด้วยหน่วยนับช่องเวลา เพื่อให้ได้ที่อยู่ในหน่วยความจำ เพิ่มขึ้นครั้งละหนึ่งทุกครั้งที่เปลี่ยนช่องเวลา

ข) การควบคุมตามยะถากรรมคือ วิธีของการควบคุมซึ่งที่อยู่ต่าง ๆ ในสวิทช์เวลา

เอกสารนี้เป็นเอกสารที่สงวนไว้เพื่อการศึกษา ... ห้ามนำไปใช้เพื่อการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ไม่ตรงตามลำดับกับลำดับของช่องเวลา T_1 T_2 ...ถึงT_n แต่กำหนดให้ช่วงหน้าตอนทำการเขียนเข้า หรืออ่านออกจากสวิทช์เวลา

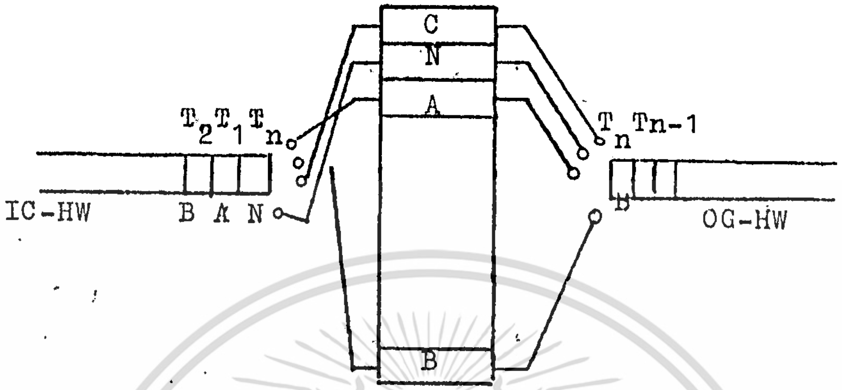
ในการควบคุมตามยะถากรรม ใช้ควบคุมการจำเพื่อให้ได้ที่อยู่ในหน่วยความจำและให้จำล่วงหน้า ถึงความสัมพันธ์ระหว่างที่อยู่ในหน่วยความจำในสวิทช์เวลากับช่องเวลา ดังได้กล่าวมาแล้วในตอนก่อน การเขียนเข้าสวิทช์เวลากระทำตามลำดับ สำหรับที่อยู่ #1 ถึง #n คือการควบคุมตามลำดับ ส่วนการอ่านสัญญาณออกจากสวิทช์เวลา กำหนดที่อยู่ต่าง ๆ ล่วงหน้าก็คือ การควบคุมตามยะถากรรม วิธีการควบคุมการเปลี่ยนแปลงระหว่างช่องเวลาซึ่งการเขียนเข้าหน่วยความจำกระทำโดยการควบคุมตามลำดับ และการอ่านออกจากหน่วยความจำกระทำโดยการควบคุมตามยะถากรรม เรียกว่า " การควบคุมการเขียนตามลำดับ/การอ่านตามยะถากรรม"



รูปที่ 2.11 การควบคุมการเขียนตามลำดับ/การอ่านตามยถากรรม

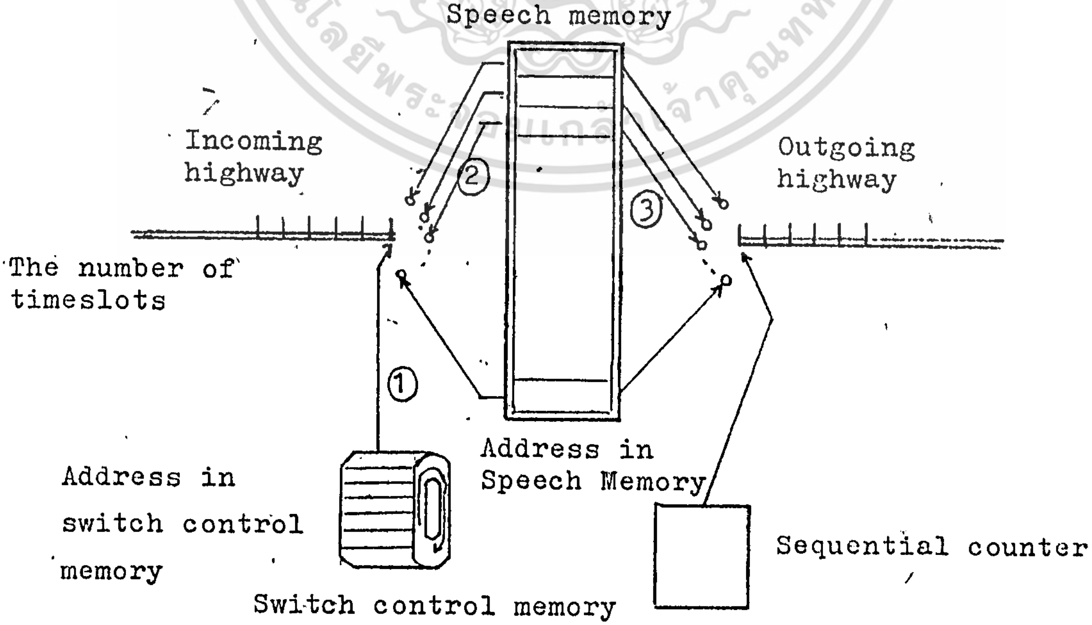
การควบคุมอีกวิธีหนึ่งคือ การควบคุมการเปลี่ยนระหว่างช่องเวลา ซึ่งการเขียนเข้าหน่วยความจำกระทำโดยการควบคุมตามยะถากรรม และการอ่านออกจากหน่วยความจำกระทำโดยการควบคุมตามลำดับ เรียกว่า "การควบคุมการเขียนตามยะถากรรม/การอ่านตามลำดับ"

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.12 การควบคุมการเขียนตามยถากรรม/การอ่านตามลำดับ

กลับมาพิจารณาการควบคุมการเขียนตามยะถากรรม/การอ่านตามลำดับ ซึ่งเป็นการควบคุมการเปลี่ยนแปลงระหว่างช่องเวลาที่ใช้ในการแสดงการทำงานของ Speech memory สำหรับชุดทดลองนี้ ดังแสดงได้ตามรูปที่ 2.13



รูปที่ 2.13 แสดงระบบการทำงานของ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

บทที่ 3

หลักการคำนวนและออกแบบวงจร

3.1 ระบบสัญญาณโทรศัพท์

ระบบโทรศัพท์ที่ใช้ในชุดทดลองโทรศัพท์แบบ SPC นี้ จะใช้โทรศัพท์แบบกดปุ่ม DTMF (Dual Tone Multifrequene) ซึ่งระบบสัญญาณที่ใช้จะมีความถี่ต่างกัน 8 ความถี่ ซึ่งอยู่ในระดับของคลื่นเสียง หรือจะเรียกอีกอย่างหนึ่งว่า ระบบ 4 x 4 เมตริกซ์ ใน การกดปุ่มใดปุ่มหนึ่งนั้นก็เพื่อที่จะส่งสัญญาณความถี่ออกไปพร้อม ๆ กัน 2 ความถี่ คือจะประกอบด้วยความถี่จากกลุ่มความถี่ทางด้านต่ำ 1 ความถี่ และความถี่จากกลุ่มความถี่ทางด้านสูง 1 ความถี่

ความถี่มาตราฐานที่ใช้ในการส่งสัญญาณเรียกจากเครื่องโทรศัพท์แบบกดปุ่มระบบ แสดงให้เห็นได้ในรูปที่ 3.1 ซึ่งความถี่นี้จะเป็นความถี่ที่ใช้กันเป็นมาตราฐานทั่วโลกซึ่งได้ถูกกำหนดขึ้นโดย

(Hz)	K_2			
	H_1 1209	H_2 1336	H_3 1477	H_4 1633
L_1 697	1	2	3	
L_2 770	4	5	6	
L_3 852	7	8	9	
L_4 941	*	0	#	

รูปที่ 3.1 แสดงความถี่ที่ใช้ในระบบDTMF

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.1.1 การแบ่งกลุ่มความถี่

ความถี่ที่ส่งไปยังชุมสายโทรศัพท์จะถูก Detect ในรูปของสัญญาณซึ่งสามารถที่จะแสดงตารางการทำงานและการแบ่งกลุ่มของความถี่ได้ในรูปที่ 3.2

	กลุ่มความถี่ต่ำ K_1				กลุ่มความถี่สูง K_2			
	697	770	852	941	1209	1336	1477	1633
1	*				*			
2	*					*		
3	*						*	
4		*			*			
5		*				*		
6		*					*	
7			*		*			
8			*			*		
9			*				*	
0				*		*		

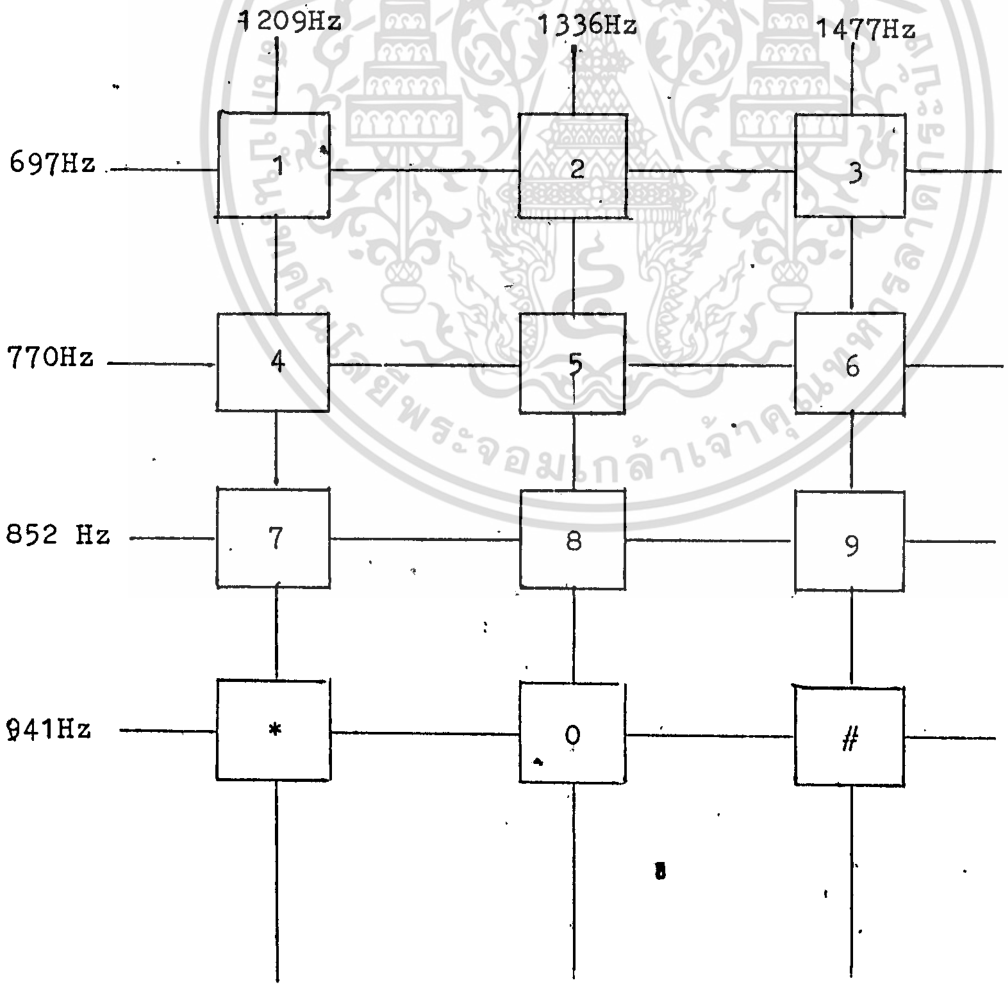
รูปที่ 3.2 ตารางแสดงการแบ่งกลุ่มความถี่ในระบบ DTMF

เอกสารนี้เป็นเอกสารที่สงวนไว้ ... ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากตารางในรูปที่ 3.2 จะเห็นว่าความถี่ได้ถูกแบ่งออกเป็น 2 กลุ่ม คือ กลุ่มความถี่ทางด้านต่ำมี 4 ความถี่และกลุ่มความถี่ทางด้านสูง 4 ความถี่ ซึ่งความถี่นี้จะอยู่ในระดับย่านความถี่เสียงหรือจะเรียกระบบความถี่อีกอย่างว่าระบบ 4x4 และการกดปุ่ม ๆ หนึ่งนั้นสัญญาณความถี่จะถูกส่งออกไปพร้อมกัน 2 ความถี่ คือจากกลุ่มความถี่ต่ำ 1 ความถี่ และกลุ่มความถี่สูง 1 ความถี่ ตัวอย่างเช่นกดปุ่มหมายเลข 1 ก็จะมีความถี่ทางด้านต่ำ (697Hz) และความถี่ทางด้านสูง(1209Hzส่งออกไป 2 ความถี่พร้อมกันส่วนความถี่ทวงด้านสูง (1633 Hz)นั้นจะใช้เป็นโค้ดอื่นที่ไม่ใช่รหัสตัวเลขซึ่งใช้เป็นจุดประสงค์เพื่ออย่างอื่น

3.1.2 การต่อ Key Board

ลักษณะการต่อของ Key Board นั้นจะทำการต่ออยู่ในรูปแบบของ Matrix ซึ่งแสดงให้เห็นดังในรูปที่ 3.3



รูปที่ 3.3 แสดงการต่อ Key Board แบบMatrix

เอกสารนี้เป็นเอกสารที่ส... ให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Key Board ที่ใช้กับตัวเครื่องโทรศัพท์แบบกดปุ่มทั่ว ๆ ไปจะมีอยู่ด้วยกัน 12 ปุ่มคือระบบ 4 x 3 ความถี่ต่ำ 4 ความถี่และความถี่สูง 3 ความถี่ ซึ่งก็เพียงพอกับจำนวนของตัวเลขที่เราใช้อยู่ 10 ตัว คือ 1,2,3,4,5,6,7,8,9 และ 0

การทำงานของ Key Board แบบ Matrix สามารถยกตัวอย่างให้เห็นได้ดังนี้ เช่น ถ้าเรากดปุ่มหมายเลข 2 ก็จะทำให้สัญญาณความถี่ถูกส่งออกไปตาม 2 ความถี่ คือความถี่ทางด้านต่ำ (697Hz) และความถี่ทางด้านสูง(1336Hz) และหากเรากดปุ่มหมายเลข 0 ก็จะทำให้ความถี่ทางด้านต่ำ (941Hz) และความถี่ทางด้านสูง(1336Hz) ถูกส่ง ออกไปตาม Line .

3.2 ลักษณะโครงสร้างและส่วนประกอบทั่ว ๆ ไปของวงจร

ประกอบด้วยวงจรส่วนต่าง ๆ ซึ่งแบ่งออกเป็นส่วน ๆ ได้ 3 ส่วนดังนี้

3.2.1 ส่วนที่เป็นทางผ่านสัญญาณเสียงพูด (Speech path).

3.2.2 ส่วนที่เป็นตัวเลือกทางผ่านสัญญาณเสียงพูด (Select Speech path)

3.2.3 ส่วนที่เป็นหน่วยความจำของเสียง (Speech Memory)

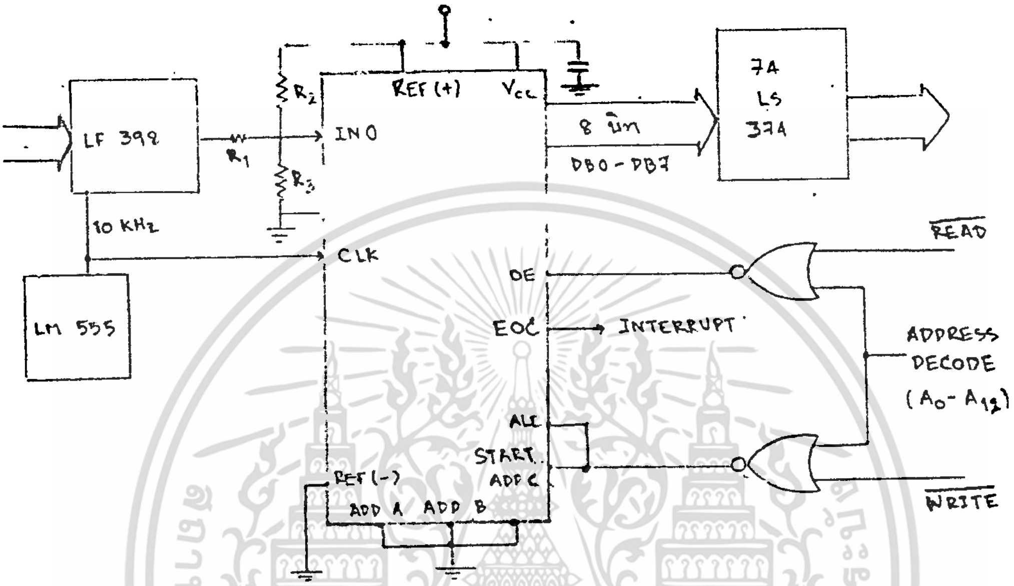
3.3 การออกแบบและรูปแบบของการคำนวนในแต่ละส่วนของวงจร

3.3.1 ส่วนที่เป็นทางผ่านสัญญาณเสียงพูด

ส่วนนี้เป็นส่วนที่เป็นทางผ่านสัญญาณเสียงพูด ซึ่งจะทำหน้าที่เป็นทางผ่านสัญญาณเสียงในการติดต่อจากโทรศัพท์เครื่องหนึ่งไปยังอีกเครื่องหนึ่งที่ต้องการได้ ทางผ่านสัญญาณเสียงพูดที่ใช้ในระบบเป็นแบบดิจิตอลที่มีการทำงานเป็นแบบสวิทช์เวลา ซึ่งมีหลักการทำงานดังได้กล่าวไว้แล้วในบทที่ 2 ในส่วนทางผ่านสัญญาณเสียงพูดนี้จะเป็นส่วนวงจรที่เปลี่ยนสัญญาณอนาลอกเป็นสัญญาณดิจิตอล เพื่อที่จะนำไปเก็บไว้ในหน่วยความจำ โดยในส่วนของวงจรเปลี่ยนสัญญาณอนาลอกเป็นสัญญาณดิจิตอลนี้จะใช้ ไอซีเบอร์ ADC 0809 ซึ่งเป็นไอซี A/D (Analog to digital converter) ทำหน้าที่เปลี่ยนสัญญาณ โดยที่เมื่อรับสัญญาณอินพุท ที่เป็น อนาลอกเข้ามาแล้ว จะต้องนำสัญญาณนั้นมาทำการแซมปลิ้งเสียก่อนโดยใช้ไอซี เบอร์ LF 398 ซึ่งเป็นไอซี แซมปลิ้ง แอนด์ โฮล (Sampling and hold) โดยจะทำการแซมปลิ้งสัญญาณตามหลักการที่กล่าวแล้วในบทที่ 2 จากนั้นก็จะนำสัญญาณไปทำการเปลี่ยนจากสัญญาณ อนาลอก เป็นสัญญาณดิจิตอล นำสัญญาณดิจิตอลที่ได้ ไปทำการอ้าง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ข้อมูลไว้ชั่วขณะจนกว่าจะมีสัญญาณนาฬิกา ลูกใหม่ จากส่วนที่เป็นตัวเลือกทางผ่านสัญญาณเสียงพูดเข้ามา จึงจะทำการส่งข้อมูลไปเก็บไว้ในหน่วยความจำได้ ซึ่งวงจรการใช้งานจะเป็นดังรูปที่ 3.4



จากวงจรดังรูปที่ 3.4 จะเห็นได้ว่าความถี่ที่ใช้ในการ แซมปลิ้ง จะได้มาจากไอซีเบอร์ 555 ซึ่งต่อเป็นวงจรสเตเบิ้ล มัลติไวเบรเตอร์ (Astable multivibrator) เพื่อที่จะผลิตความถี่ 10 KHz เป็น สัญญาณนาฬิกา ให้กับ ไอซี LF 398

สำหรับไอซี A/D ที่ใช้จะเปลี่ยนสัญญาณอนาลอกที่ได้จากเครื่องโทรศัพท์ให้เป็นสัญญาณดิจิตอล ขนาด 8 บิท สำหรับการรับสัญญาณอนาลอกจะมีความต้านทาน R_1 เป็นตัวกำหนดความต้านทานอินพุท (Input Impedence) โดยมีความต้านทาน R_2 และ R_3 ทำหน้าที่ปรับแรงดันเปรียบเทียบให้กับ อินพุท ซึ่งจะกำหนดให้ค่าของสัญญาณอนาลอกที่เข้ามาเปลี่ยนแปลงในช่วง 5 โวลท์ ($5V_{p-p}$) เท่านั้น ส่วนค่าความต้านทาน R_4 จะทำหน้าที่ปรับระดับแรงดันเปรียบเทียบสำหรับการ ควอนไทซ์ (Quantize) ซึ่งในการใช้งานจะปรับไว้ที่ 2.5 โวลท์ ไอซี A/D ที่ใช้สามารถป้อนสัญญาณนาฬิกาได้ถึง 1.28 เมกะเฮิร์ท (1.28 MHz) ซึ่งในการใช้งานจริงจะใช้สัญญาณนาฬิกาขนาด 625 กิโลเฮิร์ท (625 KHz) สำหรับการเปลี่ยนแปลงสัญญาณอนาลอกให้เป็นสัญญาณดิจิตอลของ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ไอซี A/D นี้จะใช้เวลาในการเปลี่ยนสัญญาณ (conversion time) 100 ไมโครวินาที (ms) ทำให้มีอัตราการสุ่มสัญญาณ (Sampling rate) ขนาด 10 กิโลเฮิร์ท (10KHz) ซึ่งเพียงพอสำหรับเสียงทางโทรศัพท์ที่มีขนาดความกว้างของสัญญาณ (bandwidth) ไม่เกิน 4 กิโลเฮิร์ท (4 KHz) สำหรับการอ่านข้อมูล จะนำสัญญาณควบคุมและสัญญาณที่ได้จากวงจรถอดรหัสที่ระบุ ตำแหน่งของเครื่องโทรศัพท์มาเป็นสัญญาณ RD สำหรับไอซี AD ซึ่งเมื่อมีการอ่านข้อมูล จะทำให้รีเซ็ท (Reset) สัญญาณ EOC (End of con - version) ของไอซี A/D เพื่อที่จะเปลี่ยนสัญญาณอนาลอกให้เป็นสัญญาณดิจิทอลใหม่อีกครั้งสำหรับตำแหน่งไอซี A/D ของเครื่องโทรศัพท์แต่ละเครื่องจะถูกระบุโดยตำแหน่งหน่วยความจำ (Memory location)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

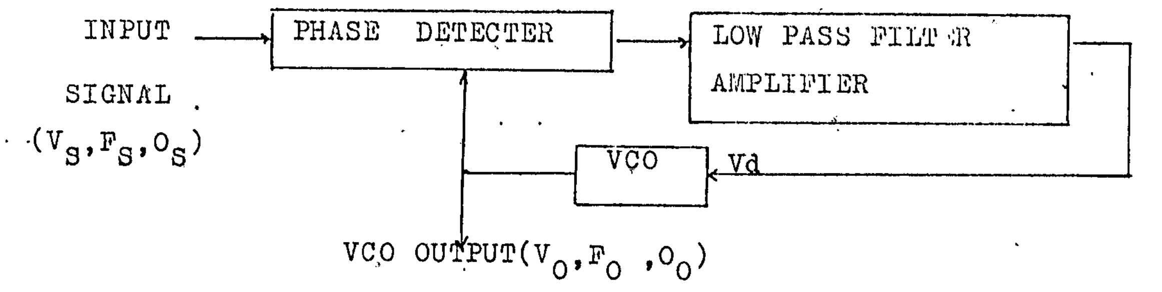
3.3.2 ส่วนที่เป็นตัวเลือกทางผ่านสัญญาณเสียงพูด

ลักษณะของวงจรส่วนนี้จะเป็นการเลือกทางผ่านสัญญาณเสียงพูดให้กับสัญญาณอินพุทที่เข้ามาโดยทำการดีโค้ด (Decode) สัญญาณที่เข้ามาโดยใช้ไอซีเบอร์ SE/NE 567 N ซึ่งจะต่อวงจรมีลักษณะเป็นเฟสล็อกลูป (Phase-Locked Loop) จากนั้นนำเอาท์พุทที่ได้มาทำการแปลงเป็นระหัสไบนารี่ 4 บิท โดยใช้ไอซีเบอร์ MC 14419 จากนั้นจะนำสัญญาณจากไอซี MC 14419 มารวมกับสัญญาณจากไอซีเบอร์ LS 161 ซึ่งเป็นไบนารี่เคาน์เตอร์ (Binary Courter)ขนาด 4 บิท 2 ตัว มากำหนดตำแหน่งที่อยู่ในหน่วยความจำซึ่งจะได้ทั้งหมด 2^{12} หรือ 8 กิโลไบท์ ซึ่งเพียงพอที่จะกำหนดในไอซี Static RAM CDM 6264 8 k x 8 bits ได้

3.3.2.1 ทฤษฎีและหลักการทำงานของเฟสล็อกลูป (PLL)

การทำงานของเฟสล็อกลูป (PLL) ในรูป 3.5 แสดงส่วนประกอบของ PLL ด้วยการสมมุติให้ LOOP อยู่ในสภาวะ " LOCK " ความถี่ของสัญญาณอินพุท และของ VCO (VOLTAGE CONTROLED OSCILLATOR) เหมือนกัน ($F_s = F_o$) และความต่างเฟส(PHASE DIFFERENCE) พิจารณาจาก PHASE DETECTOR และโดยการเปลี่ยนแปลง F_s จาก FREE RUNNING FREQUENCY (F_f) ของ VCO ถ้าสัญญาณอินพุทมี $F_s = F_f$ ไม่มีแรงดันควบคุม VCO ดังนั้น เอาท์พุทของ PHASE DETECTOR = e_o $\Theta d = \Theta s - \Theta o$ มันจะเป็นศูนย์ออกจาก PHASE DETECTOR มุม Θd อาจจะเป็น 90̊ หรือ 180° อย่างใดอย่างนั้นขึ้นอยู่กับชนิดของวงจร PHASE DETECTOR

ถ้าความถี่อินพุทเปลี่ยนดังเช่น $Fs = Ff$ ความต่างเฟส Θd ต้องเปลี่ยนเพื่อที่จะทำแรงดันควบคุมนั้นเลื่อนความถี่ของ VCO ไปเป็น $F_o = F_s$ ตลอดช่วงของความถี่ซึ่งใช้ควบคุมสิ่งเหล่านั้นเป็นฟังชั่นของลูปคอมโพเนนท์ (LOOP COMPONENT)

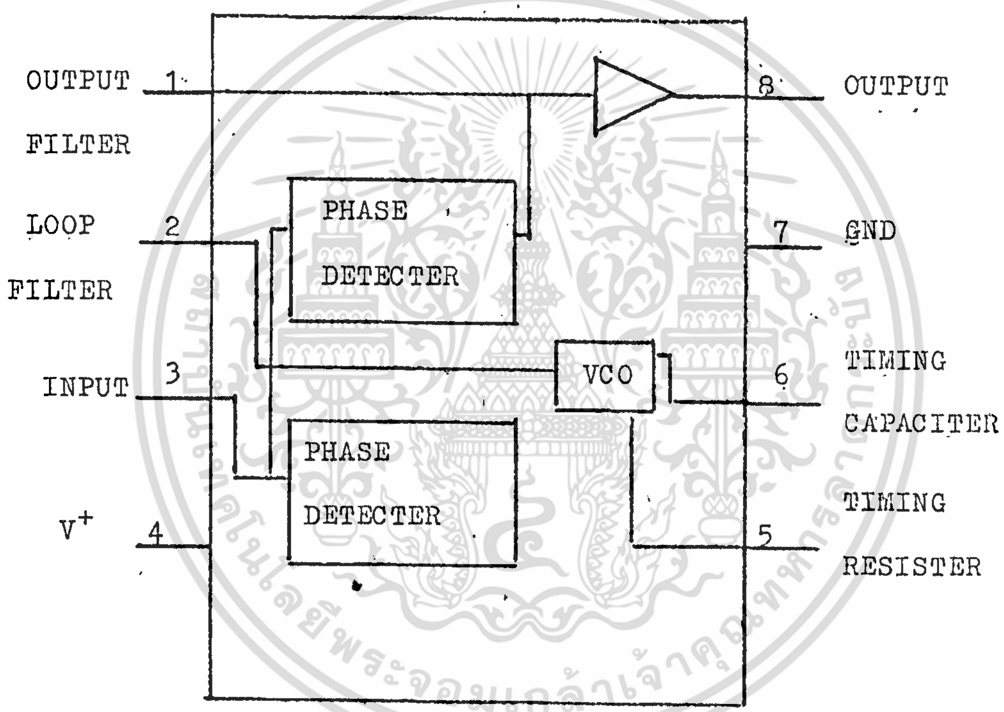


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

รูป 3.5 ส่วนประกอบพื้นฐานของ PHASE LOCKED LOOP

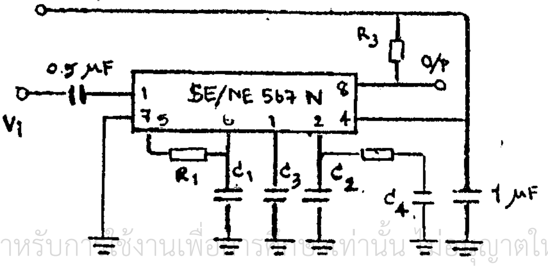
3.3.2.2 ลักษณะโดยทั่วไปของ SE/NE 567 N

SE/NE567Nโดยทั่วไปใช้เป็นตัวถอดระหัสหรือตรวจสอบสัญญาณความถี่ต่าง ๆ และให้ระดับแรงดันทางเอาท์พุทเป็นศูนย์กับหนึ่งเท่านั้น เมื่อความถี่อินพุทเข้ามาตรงกับความถี่ที่VCO ภายในตัว SE/NE 567 N สร้างขึ้นมา เอาท์พุทที่ได้จะเป็นศูนย์ (LOGIC"0") ถ้าความถี่อินพุทไม่ตรงกับความถี่ของVCO เอาท์พุทที่ได้จะเป็นหนึ่ง (LOGIC "1") ซึ่งการจัดลำดับขาและโครงสร้างภายในแสดงในรูป 3.6



3.3.2.3 การออกแบบวงจรตัวถอดระหัสสัญญาณ

ในการออกแบบวงจรถอดระหัสสัญญาณนั้น เราต้องกำหนดความถี่ให้ ซึ่งสูตรการคำนวณนั้นเราสามารถหาได้จากข้อมูลของบริษัทที่ให้มา สำหรับวงจรถอดระหัสสัญญาณนั้นได้แสดงดังรูป 3.7



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ข้อมูลที่ใช้ในการออกแบบ

1. ความถี่ของ VCO ถูกกำหนดโดย

$$F_o \cong \frac{1}{R_1C_1}$$

2. แบนด์วิท (BAND WIDTH) หาได้จากการประมาณ

$$BW = 1070\sqrt{V_i / F_o C_2}$$ เป็นเปอร์เซนต์ของ F_o

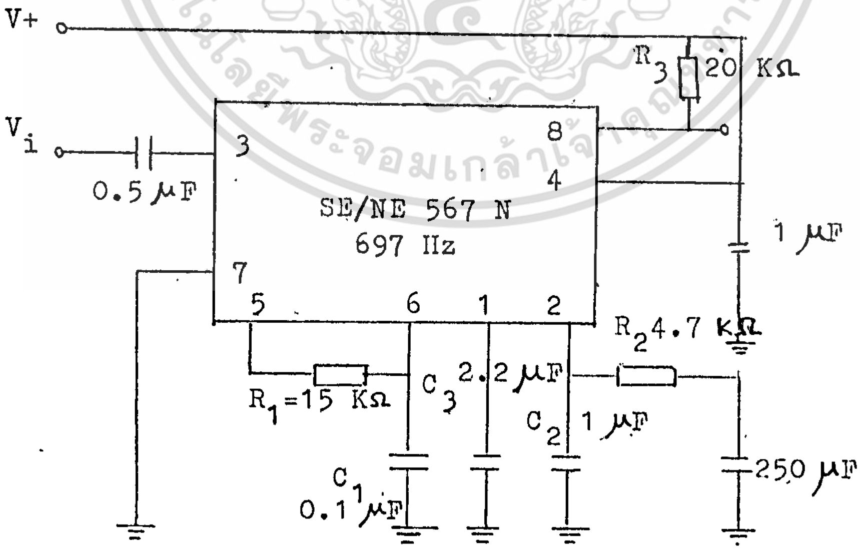
ซึ่ง V_i = แรงดันขาเข้า (VOLT RMS) , $V_i \leq$ 200 mv

C_2 = ค่าคาปาซิเตอร์ที่ขา 2 (uF)

ในวงจรโทรศัพท์กดปุ่มแบบ DTMF นั้นมีความถี่ที่ใช้ อยู่ 7 ความถี่คือ ความถี่ทางด้านต่ำ 4ความถี่ และความถี่ทางด้านสูง 3 ความถี่ ในการถอดรหัสได้ใช้ LM 567 เพียง 7 ตัวเท่านั้น และในการออกแบบได้กำหนดค่าของคาปาวิเตอร์, แบนด์วิท(BAND WIDTH) และค่าความต้านทานบางค่าเพียงแต่กำหนดความถี่และหาค่าความต้านทาน (R_1) พร้อมทั้งแหล่งจ่ายไฟวงจรก็พร้อมที่จะทำงานได้

ตัวอย่างเช่น การออกแบบวงจรถอดรหัสความถี่ 697 เฮิร์ซ ก็สามารถทำได้โดยหาค่าความต้านทาน(R_1) ดังวงจรรูป 3.8

$$R_1 = \frac{1}{F_oC_1} = \frac{1}{697 \times 0.1 \times 10^{-6}} = 15\ K\Omega$$



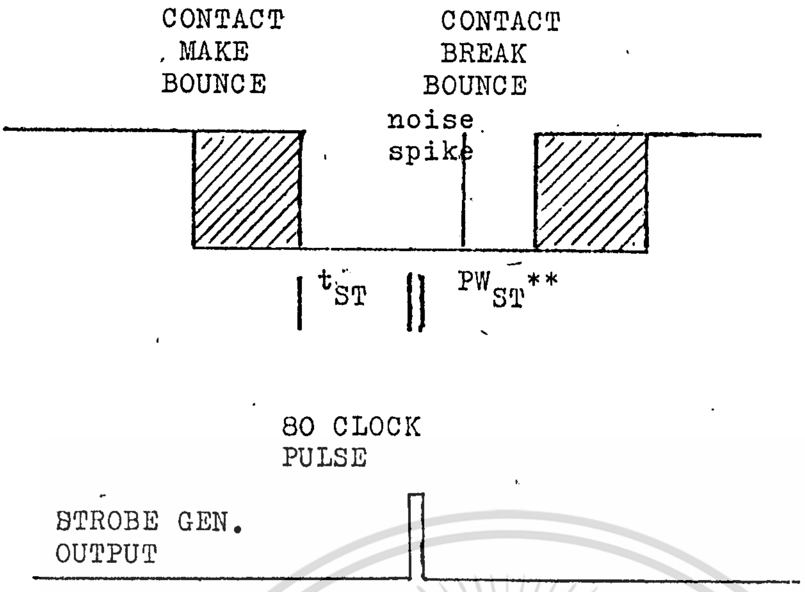
วงจรถอดรหัสสัญญาณโทรศัพท์ที่มีกลุ่มความถี่ต่ำ 4 ความถี่ และความถี่สูง 3 ความถี่ ดังแสดงในรูป 3.9

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

KEY	INPUTS: ROW R_1	R_2	R_3	R_4	COLUMN C_4	C_3	C_2	C_1	OUTPUTS D_4	D_3	D_2	D_1	ST.
1	1	1	1	0	1	1	1	0	0	0	0	1	⎍
2	1	1	1	0	1	1	0	1	0	0	1	0	⎍
3	1	1	1	0	1	0	1	1	0	0	1	1	⎍
A	1	1	1	0	0	1	1	1	1	1	0	0	0
4	1	1	0	1	1	1	1	0	0	1	0	0	⎍
5	1	1	0	1	1	1	0	1	0	1	0	1	⎍
6	1	1	0	1	1	0	1	1	0	1	1	0	⎍
B	1	1	0	1	0	1	1	1	1	1	0	1	0
7	1	0	1	1	1	1	1	0	0	1	1	1	⎍
8	1	0	1	1	1	1	0	1	1	0	0	0	⎍
9	1	0	1	1	1	0	1	1	1	0	0	1	⎍
0	1	0	1	1	0	1	1	1	1	1	1	0	0
*	0	1	1	1	1	1	1	0	1	0	1	0	0
0	0	1	1	1	1	1	0	1	0	0	0	0	⎍
#	0	1	1	1	1	0	1	1	1	0	1	1	0
D	0	1	1	1	0	1	1	1	1	1	1	1	0
	ALL OTHER COMBINATIONS								0	0	0	0	0

รูปที่ 3.11 แสดง TRUTH TABLE OF MC. 14419

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

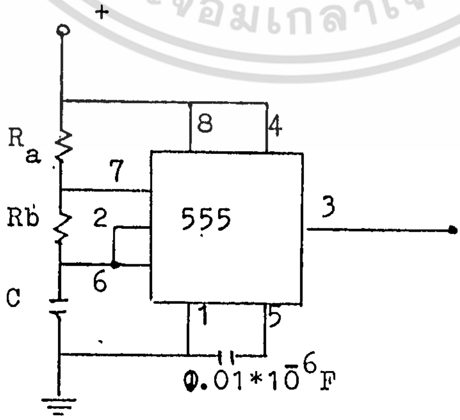


**PW_{ST} =STROBE PULSE WIDTH = LOW STATA CLOCK PULSE WIDTH(PW_L)

รูปที่ 3.12 แสดง STROBE GENERATOR TIMING DIAGRAM

3.3.2.5 การออกแบบและค้านซรสร้างวงจร ASTABLE MULTIVIBRATOR

ซึ่งในภาคเอ็นโค้ด 4 บิทไบนารี่ นี้เราใช้ ไอซี 555 ต่อเป็นวงจร ASTABLE MULTIVIBRATOR เพื่อที่จะผลิตความถี่ 4 กิโลเฮิร์ท เป็นสัญญาณนาฬิกาให้กับ ไอซี เอ็มซี 14419



รูปที่ 3.13 แสดงการต่อ ไอซี 555 เป็นวงจร ASTABLE MULTIVIBRATOR

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

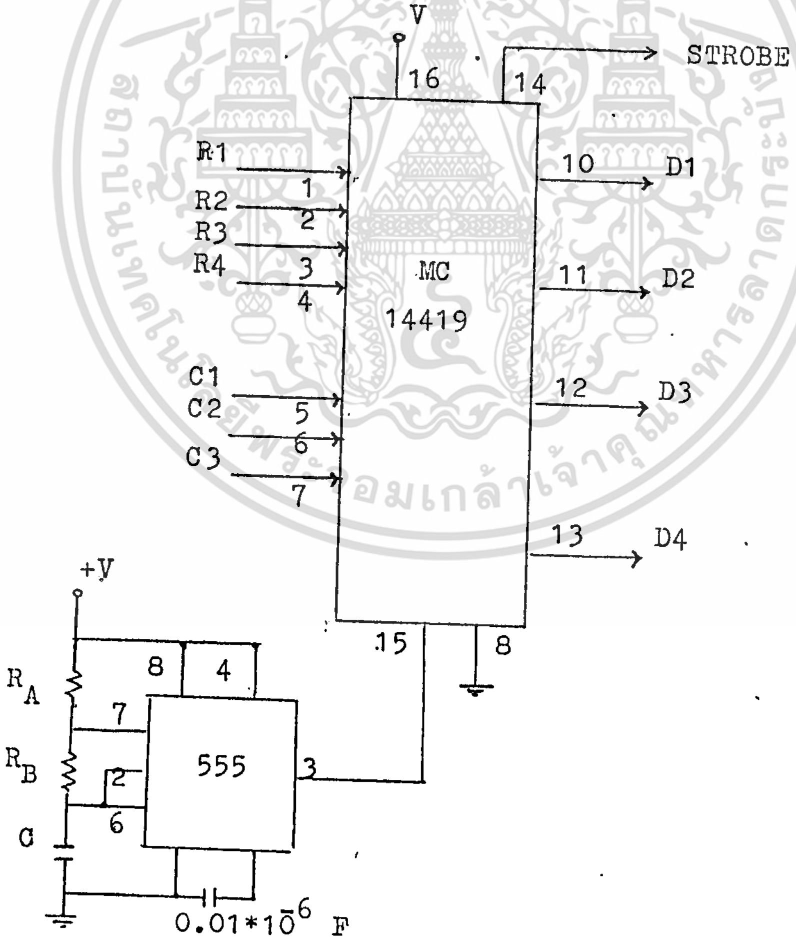
การคำนวณค่า $T = 0.693 (R_A + R_B) \times C$

$$F = \frac{1.44}{(R_A+R_B+R_B)xC}$$

เมื่อเราทราบค่าของความถี่แล้ว และทำการเลือกกำหนดค่า R_A และ R_B ก็สามารถจะคำนวณหาค่าของ C ได้จาก

$$C = \frac{1.44}{(R_A + 2R_B)xF}$$

3.3.2.6 การสร้างวงจรตัวเข้ารหัสสัญญาณคีย์บอร์ด



รูปที่ 3.14 แสดงการต่อ KEY BOARD ENCODE

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 3.14 เราใช้ ไอซี 555 เป็นวงจร ASTABLE MULTIVIBRATOR ผลิตความถี่ 4 กิโลเฮิร์ซ เป็นสัญญาณนาฬิกา ป้อนให้ขา 15 ของ ไอซี เอ็มซี 14419 การคำนวณสร้างวงจร ASTABLE MULTIVIBRATOR

เมื่อเรากำหนดใช้ความถี่เท่ากับ 4 กิโลเฮิร์ซ และเลือกค่าความต้านทาน

R_A = 10 K , R_B = 13 K

ดังนั้นคำนวณหาค่า C ได้

$$C = \frac{1.44}{(10K + 26K) \times 4K\ Hz}$$

$$= \frac{1.44}{36000 \times 40000}$$

$$= \frac{1.44}{1.44 \times 10^{8}} = 0.01\ uF$$

จาก KEYBOARD ROW INPUTS (R_1 - R_4) ต่อเข้าขา (1-4) และ COLUMN INPUTS (C_1 - C_3) ต่อเข้าขา (5-7) และจะมีขา (10-13) เป็นขา DATA OUT -OUTPUTS (D_1 - D_4)

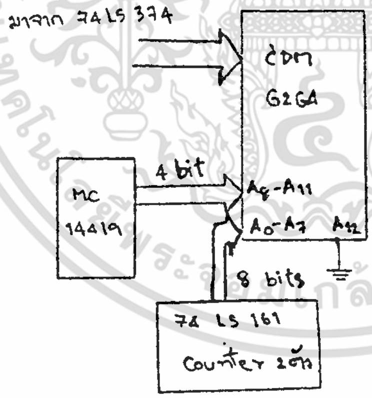
เมื่อเรากดปุ่มคีย์บอร์ด เพียง 1 คีย์ ก็จะมี อินพุท 1 ROW 1 COLUMN เข้ามา เช่น สมมุติว่าเรากด คีย์หมายเลข "1" ก็จะมี อินพุท R_1 เข้าที่ขา 1 และ อินพุท C_1 เข้าที่ขา 5 และทางด้าน เอาท์พุทก็จะมี ข้อมูลออกจากขา (10-13) ส่วนที่ขา 14 ก็จะมีสัญญาณ STROBE PULSE ออกมา 1 PULSE

และหากว่าเรากดปุ่มคีย์หมายเลข " * " ก็จะมี ROW INPUTS R_4 ; COLUMN INPUT C_1 ป้อนเข้าที่ขา 4 และ ขา 5 ที่ขา (10-13) ก็จะมีข้อมูลออกมา แต่ที่ขา 14 จะไม่มีสัญญาณ STROBE PULSE ออกมา เพราะว่า STROBE GENERATOR จะผลิตสัญญาณ STROBE ออกมาเฉพาะที่ 10 คีย์ คือ คีย์หมายเลข 0-9

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3.3 ส่วนที่เป็นหน่วยความจำของเสียง

วงจรส่วนนี้จะใช้ไอซี STATIC RAM CDM 6264 8k x 8 bits ซึ่งจะทำงานเป็นหน่วยความจำ โดยจะเก็บสัญญาณที่ถูกแปลงเป็นสัญญาณดิจิทอลแล้วเอาไว้ชั่วคราวและจะอ่านออกไปเมื่อต้องการตามลักษณะการออกแบบวงจร ซึ่งในการกำหนดที่อยู่ของข้อมูลในหน่วยความจำ เราจะใช้สัญญาณจากไอซีเบอร์ เอ็มซี 14419 ซึ่งมีขนาด 4 บิท เป็นสัญญาณเลือกช่องทาง(Channel) ในการส่งข้อมูลซึ่งมีได้ 16 ช่องทาง แล้วนำมารวมกับสัญญาณที่ได้จากไอซีเบอร์74LS161 ซึ่งเป็นไบนารีเคาน์เตอร์ ขนาด4บิท 2ตัว ดังนั้นจะมีเอาท์พุทออกจากเคาน์เตอร์ขนาด 8 บิททำให้ได้สัญญาณที่ไปกำหนดที่อยู่ของหน่วยความจำมีขนาด 12 บิท ซึ่งจะทำให้สามารถอ้างที่อยู่ได้ 2^{12} ตำแหน่ง ซึ่งจะสามารถเก็บได้ในหน่วยความจำที่เป็นไอซีที่ใช้ในการทดลองเพียงตัวเดียวเท่านั้น และข้อมูลที่จะส่งเข้ามาเก็บในหน่วยความจำจะมาจากเอาท์พุทของวงจรในส่วนของทางผ่านสัญญาณเสียงพูด คือ ต่อกับเอาท์พุทของไอซี 74 LS374ซึ่งจะแสดงลักษณะของวงจรได้ดังรูปที่ 3.15



รูปที่ 3.15 แสดงวงจรส่วนที่เป็นหน่วยความจำของเสียง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

การทดลองและผลการทดลอง

เนื่องจากชิ้นงานที่ทำได้ในขณะนี้ยังไม่เสร็จสมบูรณ์ คือจะมีบางส่วนที่ยังไม่สามารถวัดผลที่เอาท์พุทได้ตามที่ต้องการ จึงไม่มีสัญญาณที่จะไปเข้าทางอินพุทของวงจรส่วนต่อไปได้ โดยสามารถทำการทดลองได้ในส่วนที่เป็นตัวเลือกทางผ่านของสัญญาณเสียงพูดและส่วนที่เป็นหน่วยความจำของเสียง แต่ในส่วนที่เป็นทางผ่านของสัญญาณเสียงพูดยังไม่สามารถหาค่าของเอาท์พุทได้ตามความต้องการ ซึ่งผลการทดลองที่ถูกต้องและสมบูรณ์จะนำเสนอต่อไปเมื่อทำการทดลองได้สำเร็จแล้ว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
สรุปและวิจารณ์ผลการทดลอง

จากผลการทดลองในการที่จะเก็บสัญญาณดิจิตอลไว้ชั่วคราวในหน่วยความจำซึ่งมีขั้นตอนในการเก็บสัญญาณดังที่ได้กล่าวมาแล้วในบทต้นๆ โดยส่วนที่มีปัญหาก็คือในส่วนที่เป็นการแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิตอล ซึ่งใช้ไอซี เอดีซี ๐๘๐๙ ทำการแปลงสสัญญาณ แต่ปรากฏว่า เอาท์พุทที่ได้ ยังไม่เป็นสัญญาณดิจิตอลที่สมบูรณ์แบบ เพราะว่ายังมีการรบกวนอยู่มาก ซึ่งจะได้ทำการแก้ไขต่อไปให้สำเร็จได้

ส่วนของวงจรส่วนอื่นๆยังไม่ประสพปัญหามากนัก ซึ่งทางผู้ทำการทดลองคาดว่าจะได้ทำการทดลองให้สำเร็จลุล่วงไปด้วยดี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

Sample and Hold

LF198/LF298/LF398, LF198A/LF398A Monolithic Sample and Hold Circuits

General Description

The LF198/LF298/LF398 are monolithic sample and hold circuits which utilize BI-FET technology to obtain ultra-high dc accuracy with fast acquisition of signal and low droop rate. Operating as a unity gain follower, dc gain accuracy is 0.002% typical and acquisition time is as low as 6μs to 0.01%. A bipolar input stage is used to achieve low offset voltage and wide bandwidth. Input offset adjust is accomplished with a single pin and does not degrade input offset drift. The wide bandwidth allows the LF198 to be included inside the feedback loop of 1 MHz op amps without having stability problems. Input impedance of $10^{10}\Omega$ allows high source impedances to be used without degrading accuracy.

P-channel junction FET's are combined with bipolar devices in the output amplifier to give droop rates as low as 5 mV/min with a 1μF hold capacitor. The JFET's have much lower noise than MOS devices used in previous designs and do not exhibit high temperature instabilities. The overall design guarantees no feed-through from input to output in the hold mode even for input signals equal to the supply voltages.

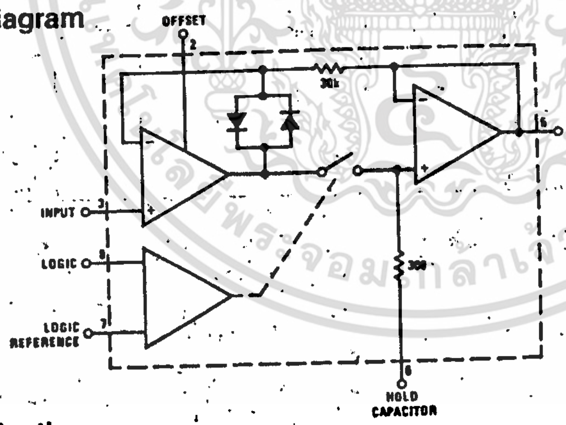
Features

- Operates from ±5V to ±18V supplies
- Less than 10μs acquisition time
- TTL, PMOS, CMOS compatible logic input
- 0.5 mV typical hold step at C_h = 0.01μF
- Low input offset
- 0.002% gain accuracy
- Low output noise in hold mode
- Input characteristics do not change during hold mode
- High supply rejection ratio in sample or hold
- Wide bandwidth

Logic inputs on the LF198 are fully differential with low input current, allowing direct connection to TTL, PMOS, and CMOS. Differential threshold is 1.4V. The LF198 will operate from ±5V to ±18V supplies. It is available in an 8-lead TO-5 package.

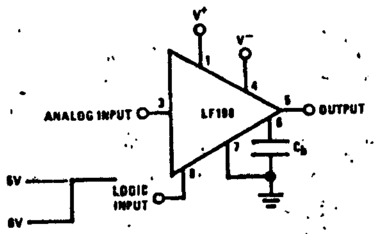
An "A" version is available with tightened electrical specifications.

Functional Diagram

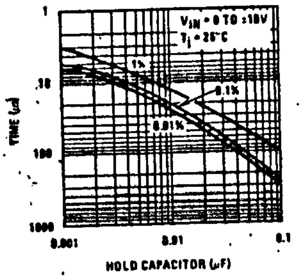


Typical Applications

Typical Connection



Acquisition Time



LF198/LF298/LF398, LF198A/LF398A

7

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MOTOROLA

MC14419

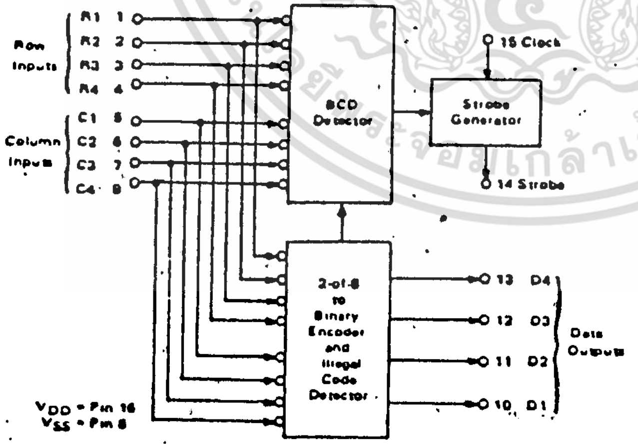
2-OF-8 KEYPAD-TO-BINARY ENCODER

The MC14419 is designed for phone dialer system applications, but finds many applications as a keypad-to-binary encoder. The device contains 2-of-8 to binary encoder, a strobe generator, and an illegal state detector. The encoder has four row inputs and four column inputs and is designed to accept inputs from 16 keyswitches arranged in a 4 x 4 matrix. For an output on the four data lines, one and only one row along with one and only one column input line must be activated. All other combinations are suppressed by the illegal state detector to eliminate false data output.

The strobe generator produces a strobe pulse when any of the 10 keys corresponding to numerals 0 through 9 are depressed. The strobe output can be used to eliminate erroneous data entry due to contact bounce. For a strobe output to occur, the key row and column input lines must remain stable for 80 clock pulses after activation. When the contact bounce has settled and 80 clock pulses have occurred, the output will be a single strobe pulse equal in width to that of the clock low state. The strobe generator will output one and only one pulse each time a numerical key is depressed. After the pulse has occurred, noise and bounce due to contact break will not cause another strobe pulse. With a 16 kHz input clock frequency, the pulse occurs 5 ms after the last bounce.

- Suppressed Output for Illegal Input Codes
- On Chip Pullup Resistors for Row and Column Inputs
- Clock Input Conditioning Circuit
- Low Current Drain in Standby Mode
  5.0 μA Typical @ 5.0 Vdc
- Subsystem Complement to the MC14408/14409 Phone Pulse Converter
- Codes for Numbers 0-9 Produce a Strobe Pulse

BLOCK DIAGRAM



CMOS MSI

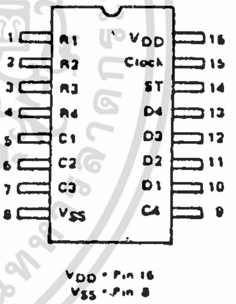
(LOW-POWER COMPLEMENTARY MOS)

2-OF-8 KEYPAD-TO-BINARY ENCODER

L SUFFIX
CERAMIC PACKAGE
CASE 620

P SUFFIX
PLASTIC PACKAGE
CASE 648

PIN ASSIGNMENT



This device contains circuitry to protect the inputs against damage due to high static voltages or electric fields; however, it is advised that normal precautions be taken to avoid application of any voltage higher than maximum rated voltages to this high impedance circuit. For proper operation it is recommended that V_{in} and V_{out} be constrained to the range $V_{SS} \leq (V_{in}$ or $V_{out}) \leq V_{DD}$

MC14419

MAXIMUM RATINGS (Voltages referenced to V_{SS} Pin 8)

Rating	Symbol	Value	Unit
DC Supply Voltage	V_{DD}	+6.0 to −0.5	Vdc
Input Voltage, All Inputs	V_{in}	V_{DD} + 0.5 to V_{SS} − 0.5	Vdc
DC Current Drain per Pin	I	10	mAdc
Operating Temperature Range	T_A	−40 to +85	°C
Storage Temperature Range	T_{stg}	−65 to +150	°C

ELECTRICAL CHARACTERISTICS

Characteristic	Symbol	V_{DD} Vdc	−40°C Min	−40°C Max	25°C Min	25°C Typ	25°C Max	+85°C Min	+85°C Max	Unit
Supply Voltage Operating Range	V_{DD}	–	3.0	6.0	3.0	5.0	6.0	3.0	6.0	Vdc
Output Voltage "0" Level	V_{out}	5.0	–	0.05	–	0	0.05	–	0.05	Vdc
Output Voltage "1" Level		5.0	4.95	–	4.95	5.0	–	4.95	–	Vdc
Input Voltage "0" Level (V_O = 4.5 or 0.5 Vdc)	V_{IL}	5.0	1.5	–	1.5	2.25	–	1.4	–	Vdc
Input Voltage "1" Level (V_O = 0.5 or 4.5 Vdc)	V_{IH}	5.0	3.5	–	3.5	2.25	–	3.6	–	Vdc
Output Drive Current (V_{OH} = 2.5 Vdc) Source	I_{OH}	5.0	−0.23	–	−0.20	−1.7	–	−0.16	–	mAdc
Output Drive Current (V_{OL} = 0.4 Vdc) Sink	I_{OL}	5.0	0.23	–	0.20	0.78	–	0.16	–	mAdc
Input Leakage Current (V_{in} = V_{DD})	I_{IH}	5.0	–	±0.1	–	±0.00001	±0.1	–	±1.0	µAdc
Pullup Resistor Source Current (Row and Column Inputs) (V_{in} = V_{SS})	I_{IL}	5.0	265	460	190	260	330	125	215	µAdc
Input Capacitance (V_{in} = V_{SS})	C_{in}	–	–	–	–	5.0	–	–	–	pF
Standby Supply Current (f_{clock} = 16 kHz, No Keys Depressed)	I_{DDS}	3.0 5.0 6.0	– – –	3.0 15 60	– – –	1.0 5.0 20	3.0 15 60	– – –	6.0 30 120	µAdc
Standby Supply Current as a Function of Clock Frequency* (No Keys Depressed)	I_{DDS}	5.0	I_{DDS} = 0.09 µA/kHz + 3.0 µA							µAdc

*The formula given is for the typical characteristics only.

SWITCHING CHARACTERISTICS (C_L = 50 pF, T_A = 25°C)

Characteristic	Symbol	V_{DD}	Min	Typ	Max	Unit
Output Rise and Fall Times, D1 thru D4 (Figure 1)	t_{TLH}, t_{THL}	5.0	–	300	–	ns
Propagation Delay Time, Row or Column Input to Data Output (Figure 1)	t_{PLH}, t_{PHL}	5.0	–	1000	–	ns
Clock Pulse Frequency Range	PRF	3.0 to 6.0	–	–	80	kHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

FIGURE 1 – SWITCHING TIME WAVEFORMS

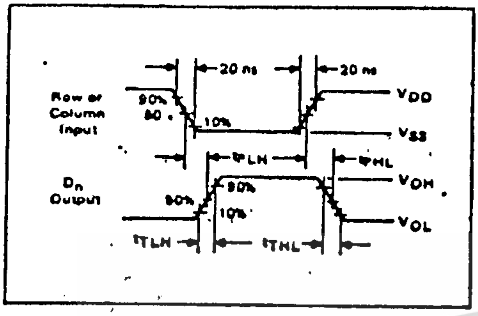
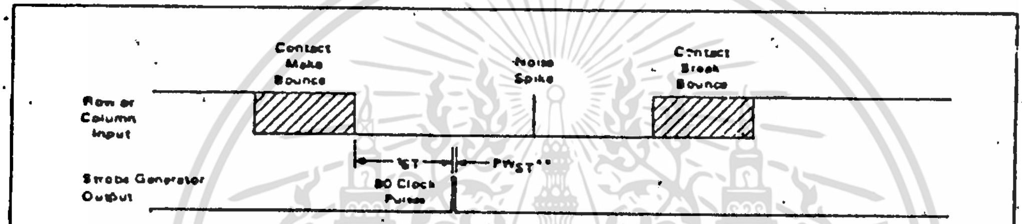


FIGURE 2 – TYPICAL STROBE PULSE DELAY TIMES

PRF Clock Frequency kHz	t_{ST}* Strobe Pulse Delay Time ms
4.0	20
8.0	10
16	5.0
32	2.5
80	1.0

*t_{ST} = (1/PRF) × 80, with PRF in kHz, t_{ST} in ms.

FIGURE 3 – STROBE GENERATOR TIMING DIAGRAM

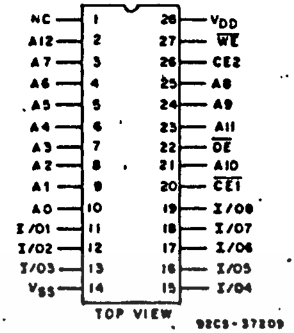


**PW_{ST} = Strobe Pulse Width = Low State Clock Pulse Width (PW_L).

TRUTH TABLE

Key**	Inputs								Outputs				
	Row				Column								
	R4	R3	R2	R1	C4	C3	C2	C1	D4	D3	D2	D1	Strobe
1	1	1	1	0	1	1	1	0	0	0	0	1	⊓
2	1	1	1	0	1	1	0	1	0	0	1	0	⊓
3	1	1	1	0	1	0	1	1	0	0	1	1	⊓
A	1	1	1	0	0	1	1	1	1	1	0	0	0
4	1	1	0	1	1	1	1	0	0	1	0	0	⊓
5	1	1	0	1	1	1	0	1	0	1	0	1	⊓
6	1	1	0	1	1	0	1	1	0	1	1	0	⊓
B	1	1	0	1	0	1	1	1	1	1	0	1	0
7	1	0	1	1	1	1	1	0	0	1	1	1	⊓
8	1	0	1	1	1	1	0	1	1	0	0	0	⊓
9	1	0	1	1	1	0	1	1	1	0	0	1	⊓
C	1	0	1	1	0	1	1	1	1	1	1	0	0
*	0	1	1	1	1	1	1	0	1	0	1	0	0
0	0	1	1	1	1	1	0	1	0	0	0	0	⊓
#	0	1	1	1	1	0	1	1	1	0	1	1	0
D	0	1	1	1	0	1	1	1	1	1	1	1	0
	All Other Combinations								0	0	0	0	0

**See Figure 4 for keypad designation.



TERMINAL ASSIGNMENT

CMOS 8192-Word by 8-Bit LSI Static RAM

Features:

- *Fully static operation*
- *Single power supply: 4.5 V to 5.5 V*
- *All inputs and outputs directly TTL compatible*
- *3-state outputs*
- *Industry standard 28-pin configuration*
- *Input address buffers gated off with chip disable*
- *Fast access time: t_{AA}=150 ns/120 ns (CDM6264-3/CDM6264-4)*
- *Low standby and operating power: I_{DDS1}=2 μA typical, I_{OPER1}=40 mA maximum*
- *Data retention voltage: 2 V min.*
- *Operating temperature range (max, rating): 0° to 70° C*

The RCA-CDM6264 is a 8192-word by 8-bit static random-access memory. It is designed for use in memory systems where high-speed, low power and simplicity in use are desirable. This device has common data input and data output and utilizes a single power supply of 4.5 V to 5.5 V.

Either chip enable ($\overline{CE1}$ or CE2), when not valid, will gate off the address and output buffers and power down the chip to minimum standby power with inputs toggling. The output enable ($\overline{OE}$) controls the output buffers to eliminate bus contention.

The CDM6264 is supplied in 28-lead, hermetic, dual-in-line side-brazed ceramic (D suffix) and in 28-lead dual-in-line plastic (E suffix) packages.

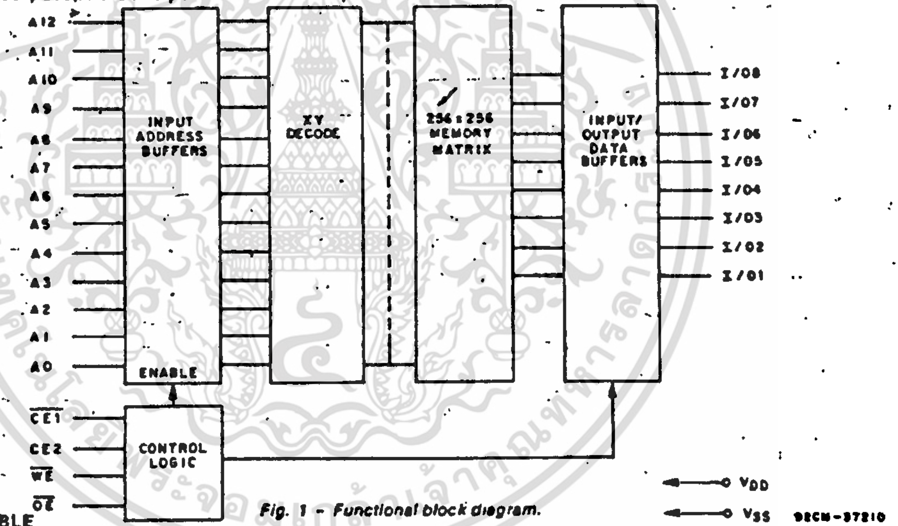


Fig. 1 - Functional block diagram.

TRUTH TABLE

$\overline{CE1}$	CE2	$\overline{OE}$	$\overline{WE}$	A0 TO A12	MODE	DATA I/O	DEVICE CURRENT
H	X	X	X	X	NOT SELECTED	HIGH Z	STANDBY
X	L	X	X	X	NOT SELECTED	HIGH Z	STANDBY
L	H	L	H	STABLE	READ	DATA OUT	ACTIVE
L	H	X	L	STABLE	WRITE	DATA IN	ACTIVE
L	H	H	H	STABLE	OUTPUT DISABLE	HIGH Z	ACTIVE

L = LOW H = HIGH X = H OR L

CDM6264

MAXIMUM RATINGS, *Absolute-Maximum Values:*

DC SUPPLY-VOLTAGE RANGE, (V_{DD}):
(Voltage referenced to V_{SS} terminal) .... -0.3 to +7 V
INPUT VOLTAGE RANGE, ALL INPUTS .... -0.3 to +7 V
POWER DISSIPATION PER PACKAGE (P_D):
For T_A = 0° to +60°C (PACKAGE TYPE E) .... 500 mW
For T_A = +60° to +70°C (PACKAGE TYPE E) .... Derate Linearly at 8 mW/°C to 420 mW
For T_A = 0° to +70°C (PACKAGE TYPE D) .... 500 mW
DEVICE DISSIPATION PER OUTPUT TRANSISTOR
For T_A = FULL PACKAGE-TEMPERATURE RANGE .... 100 mW
OPERATING-TEMPERATURE RANGE (T_A):
PACKAGE TYPE D .... 0 to +70°C
PACKAGE TYPE E .... 0 to +70°C
STORAGE TEMPERATURE RANGE (T_{stg}) .... -55 to +125°C
LEAD TEMPERATURE (DURING SOLDERING):
At distance 1/16 ± 1/32 in. (1.59 ± 0.79 mm) from case for 10 s max. .... +265°C

OPERATING CONDITIONS at T_A = 0 to +70°C

For maximum reliability, operating conditions should be selected so that operation is always within the following ranges:

CHARACTERISTIC		LIMITS ALL TYPES MIN.	MAX.	UNITS
DC Operating Voltage Range		4.5	5.5	V
Input Voltage Range	V_{IH}	2.2	V_{DD} + 0.3	V
	V_{IL}	-0.3	0.8	V
Input Signal Rise or Fall Time[Δ]	t_r, t_f	—	5	μs

[Δ] Input signal rise and fall times with a duration greater than the maximum value can cause loss of stored data in the selected mode.

STATIC ELECTRICAL CHARACTERISTICS at T_A = 0 to +70°C, V_{DD} = 5 V ± 10%, Except as noted

CHARACTERISTIC		CONDITIONS		LIMITS ALL TYPES Min.	Typ.*	Max.	UNITS
Standby Device Current	I_{DDS}	CE1=V_{IH} or CE2=V_{IL}		—	1.5	3	mA
	I_{DDS1}	CE1=CE2 ≥ V_{DD}-0.2 V or CE2 ≤ 0.2 V		—	2	100	μA
Output Voltage Low Level	V_{OL} Max.	I_{OL}=2.1 mA		—	—	0.4	V
		I_{OL}=1 μA		—	0.1	—	V
Output Voltage High Level	V_{OH} Min.	I_{OH}=-1 mA		2.4	—	—	V
		I_{OH}=-1 μA		—	V_{DD}-0.1	—	V
Input Leakage Current	I_{IN} Max.	V_{IN}=0 V to V_{DD}		—	±0.1	±2	μA
3-State Output Leakage Current	I_{OUT}	$V_{I/O}$=0 V to V_{DD}		—	±0.5	±2	μA
Operating Device Current	I_{OPER1}[•]	V_{IN}=V_{IL}, V_{IH}	t_{cyc}=1 μs	—	4.5	9	mA
			t_{cyc}=120 ns	—	22.5	45	mA
	I_{OPER2}[•]	V_{IN}=0.2 V, V_{DD}-0.2 V	t_{cyc}=1 μs	—	2	4	mA
			t_{cyc}=120 ns	—	20	40	mA
Input Capacitance	C_{IN}	V_{IN}=0 V, f=1 MHz, T_A=25°C		—	4	6	pF
Output Capacitance	$C_{I/O}$	$V_{I/O}$=0 V, f=1 MHz, T_A=25°C		—	6	8	pF

*Typical values are for T_A=25°C and nominal V_{DD}.

[•] Outputs open circuited.

SIGNAL DESCRIPTIONS

A0-A10 (Address Inputs):	These inputs must be stable prior to a write operation, but may change asynchronously during read functions.
I/01-I/08:	8-bit tristate data bus.
$\overline{CE1}$, CE2 (Chip Enable):	Either chip enable, when not true, powers down the chip, disables Read and Write functions, and gates off address and output buffers.
$\overline{OE}$ (Output Enable):	Enables tristate outputs if $\overline{CE1}$ and CE2 are valid and $\overline{WE}$ is high.
$\overline{WE}$ (Write Enable):	Enables Write function, if $\overline{CE1}$ and CE2 are valid. $\overline{WE}$ will dominate if both $\overline{WE}$ and $\overline{OE}$ are low (i.e., the bus will be tristated and a Write will occur).
V_{DD}, V_{SS}:	Power supply connections.

DYNAMIC ELECTRICAL CHARACTERISTICS at T_A = 0 to +70° C, V_{DD} = 5 V ± 10%, Input t_r, t_f = 10 ns; C_L = 100 pF and 1 TTL Load, Input Pulse Levels: 0.8 V to 2.4 V

CHARACTERISTIC		LIMITS				UNITS
		CDM6264-3		CDM6264-4		
Read Cycle Times, See Fig. 2		MIN.†	MAX.	MIN.†	MAX.	
Read Cycle Time	t_{RC}	150	—	120	—	ns
Address Access Time	t_{AA}	—	150	—	120	
Chip Enable Access Time	t_{ACE1}, t_{ACE2}	—	150	—	120	
Chip Enable to Output Active	t_{CLZ1}, t_{CLZ2}	10	—	10	—	
Output Enable to Output Valid	t_{OEV}	—	70	—	60	
Output Enable to Output Active	t_{OEX}	5	—	5	—	
Chip Disable to Output "High Z"	t_{CHZ1}, t_{CHZ2}	0	70	0	50	
Output Disable to Output "High Z"	t_{OHZ}	0	60	0	40	
Output Hold from Address Change	t_{OH}	30	—	30	—	

†Time required by a limit device to allow for the indicated function.

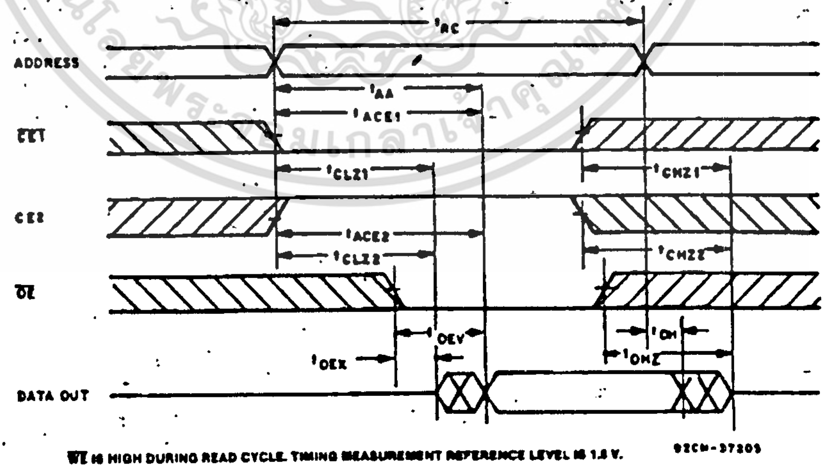


Fig. 2 - Read-cycle timing waveforms.

CDM6264

DYNAMIC ELECTRICAL CHARACTERISTICS at T_A = 0 to +70°C, V_{DD} = 5 V ± 10%, Input t_r, t_f = 10 ns; C_L = 100 pF and 1 TTL Load, Input Pulse Levels: 0.8 V to 2.4 V

CHARACTERISTIC		LIMITS				UNITS
		CDM6264-3		CDM6264-4		
Write Cycle Times, See Fig. 3		MIN.†	MAX.	MIN.†	MAX.	
Write Cycle Time	t_{WC}	150	—	120	—	ns
Chip Enable to End of WRITE	t_{CW1}, t_{CW2}	120	—	100	—	
Address Valid to End of WRITE	t_{AW}	120	—	100	—	
Address Setup Time	t_{AS}	0	—	0	—	
Write Enable Width	t_{WW}	100	—	80	—	
Write Recovery Time	t_{WR}	0	—	0	—	
Write to Output "High Z"	t_{WHZ}	—	70	—	50	
Input Data Setup Time	t_{DW}	60	—	50	—	
Input Data Hold Time	t_{DH}	0	—	0	—	
Output Active from End of Write	t_{OW}	10	—	10	—	

†Time required by a limit device to allow for the indicated function.

WRITE CYCLE 1 ($\overline{CE1}$ CONTROL)

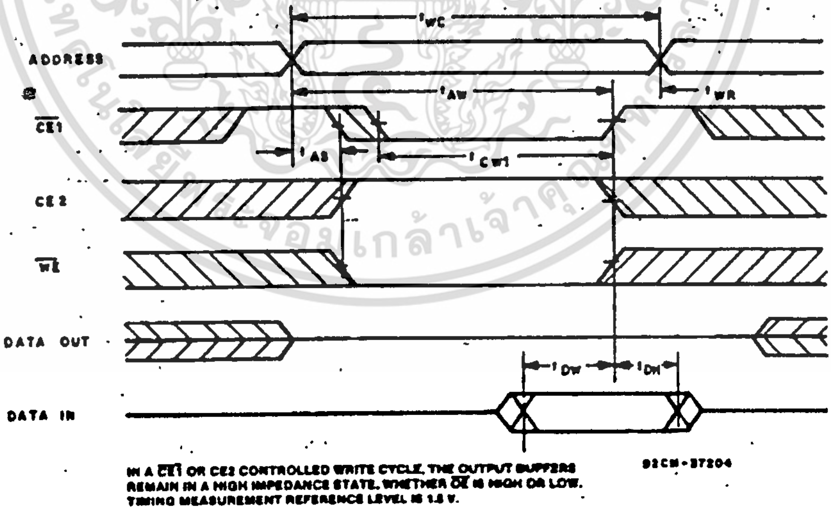
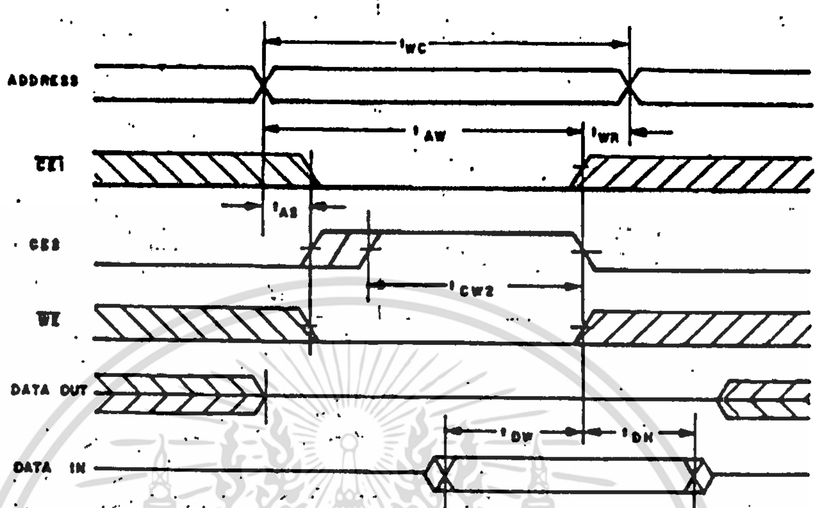


Fig. 3 – Write-cycle timing waveforms.

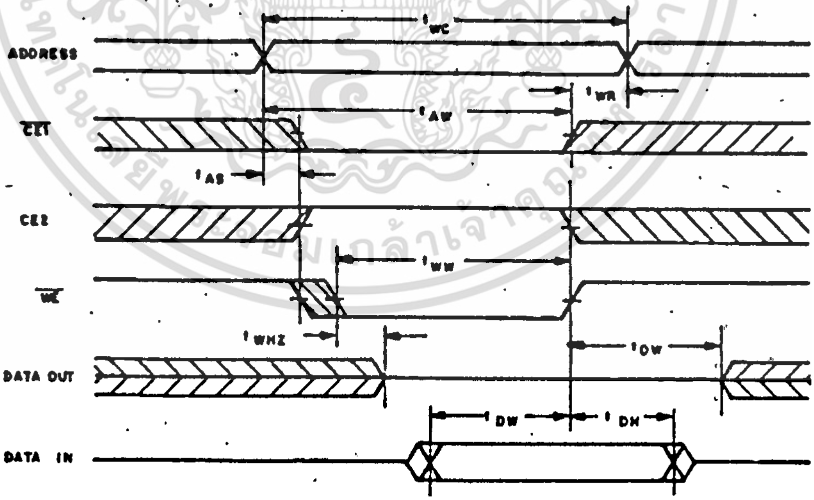
WRITE CYCLE 2 (CE2 CONTROL)



IN A $\overline{CE1}$ OR CE2 CONTROLLED WRITE CYCLE, THE OUTPUT BUFFERS REMAIN IN A HIGH IMPEDANCE STATE, WHETHER $\overline{OE}$ IS HIGH OR LOW.
TIMING MEASUREMENT REFERENCE LEVEL IS 1.5 V.

92CM-37206

WRITE CYCLE 3 ($\overline{WE}$ CONTROL)



IF $\overline{OE}$ IS HIGH DURING A $\overline{WE}$ CONTROLLED WRITE CYCLE,
THE OUTPUT BUFFERS REMAIN IN A HIGH IMPEDANCE STATE IN THIS PERIOD.
TIMING MEASUREMENT REFERENCE LEVEL IS 1.5 V.

92CS-37207

Fig. 3 - Write-cycle timing waveforms (cont'd).

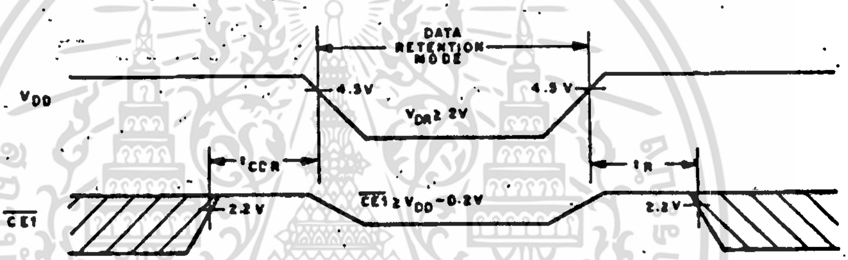
CDM6264

DATA RETENTION CHARACTERISTICS at T_A = 0 to 70° C; See Fig. 4.

CHARACTERISTIC		TEST CONDITIONS	LIMITS ALL TYPES MIN.	LIMITS ALL TYPES MAX.	UNITS
Minimum Data Retention Voltage	V_{DR}	$\overline{CE1} \geq V_{DD} - 0.2$ V or CE2 $\leq$ 0.2 V	2	5.5	V
Data Retention Quiescent Current	$I_{DD}DR$	V_{DD} = 3 V, $\overline{CE1}$,CE2 $\geq V_{DD} - 0.2$ V or CE2 $\leq$0.2 V	—	50	µA
Chip Disable to Data Retention Time	t_{CDR}	See Fig. 4	0	—	ns
Recovery to Normal Operation Time	t_R	See Fig. 4	*t_{RC}	—	ns

*t_{RC} = Read Cycle Time.

DATA RETENTION WAVEFORM 1 ($\overline{CE1}$ CONTROL)



DATA RETENTION WAVEFORM 2 (CE2 CONTROL)

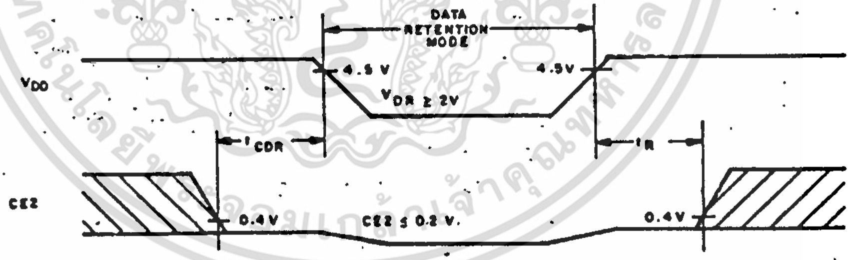


Fig. 4 – Low V_{DD} data-retention timing waveforms.

กิตติกรรมประกาศ

ปริญญานิพนธ์ฉบับนี้สำเร็จลงได้ก็ด้วยความช่วยเหลือของท่านอาจารย์ที่ปรึกษาทั้งสองท่าน คือ อาจารย์ มนูญ สุขเกษม และ อาจารย์ ถวิล พึ่งมา ที่ได้ให้ความช่วยเหลือแนะนำบางสิ่งบางอย่างแก่ผู้จัดทำ ดังนั้นผู้จัดทำจึงต้องขอขอบคุณมา ณ ที่นี้ด้วย และผู้จัดทำยังต้องขอขอบคุณเพื่อนๆทุกคนที่มีส่วนช่วยเหลือให้ปริญญานิพนธ์ฉบับนี้สำเร็จลงได้ด้วย

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

หนังสืออ้างอิง

1. รศ. มนูญ สุขเกษม , " วิศวกรรมโทรเลขและโทรศัพท์ " , หน้า 110-130 , ศูนย์การพิมพ์ดวงกมล

2. ชัยบูรณ์ ถังสเจียรณ์ , " ระบบโทรศัพท์แบบมัลติเพลกซ์สำหรับการสื่อสารด้วยเส้นใยแสง " , วิทยานิพนธ์สำหรับปริญญามหาบัณฑิต คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้า เจ้าคุณทหารลาดกระบัง , หน้า 3-18 , 2529

3. JAPAN INTERNATIONAL COOPERATION AGENCY NIPPON TELEGRAPH & TELEPHONE PUBLIC CORPORATION , KINGMONGKUT'S INSTITUTE OF TECHNOLOGY , "TELEPHONE SWITCHING ENGINEERING (DIGITAL SWITCHING SYSTEM)" , PAGE 1 - 21

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้