ภาควิชาครุศาสตร์วิศวกรรม

คณะครุศาสตร์อุตสาหกรรม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ใบรับรองปริญญานิพนธ์

ชื่อหัวข้อ ชุดปฏิบัติการไมโครโปรเซสเซอร์

Microprocessor Training Set

ชื่อนักศึกษา

1. นายจตุพล	เฮงเจริญ	รหัสประจำตัว	44035317
2. นายนที	ยงยุทธ	รหัสประจำตัว	44035325
3. นายสิทธิชัย	มิ่งขวัญตา	รหัสประจำตัว	44035346
4. นายสุฏิพงษ์	จันทร์เป็งผัด	รหัสประจำตัว	44035348

หลักสูตร ครุศาสตร์อุตสาหกรรมบัณฑิต **สาขาวิชา** อิเล็กทรอนิกส์และคอมพิวเตอร์

อาจารย์ที่ปรึกษา อาจารย์สุชิน อาจหาญ

อาจารย์ที่ปรึกษาร่วม อาจารย์กิติพงค์ มะโน

คณะกรรมการสอบปริญญานิพนธ์		ลายมือชื่อ
1. อาจารย์สุชิน	อาจหาญ	.....
2. อาจารย์ปิยะ	จิตธรรมมาภิรมย์	.....
3. อาจารย์ปิยะ	ศุภวราสุวัฒน์	.....
4. อาจารย์โกศล	ตราชู	.....
5. อาจารย์สุระชัย	พิมพ์สาลี	.....

วัน/เดือน/ปีที่สอบ วันพฤหัสบดีที่ 7 พฤศจิกายน พ.ศ. 2545 เวลา 16.00 น.

สถานที่สอบ ห้อง ค.311 คณะครุศาสตร์อุตสาหกรรม สจล.

ภาควิชารับรองแล้ว

ลงนาม.....

(ผศ.วิสุทธิ์ อธิพรธรรม)

หัวหน้าภาควิชาครุศาสตร์วิศวกรรม

วันที่ 30 เดือน ไลย พ.ศ. 2546

เอกสารนี้สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

<BT45020042>

ชุดปฏิบัติการไมโครโปรเซสเซอร์

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

ปริญญานิพนธ์

ชุดปฏิบัติการไมโครโปรเซสเซอร์

MICROPROCESSOR TRAINING SET

นายจตุพล เฮงเจริญ
นายนที ยงยุทธ
นายสิทธิชัย มิ่งขวัญตา
นายสุฏิพงษ์ จันทร์เป็งผัด

เลขหมู่.....
เลขทะเบียน 48345
วัน, เดือน, ปี 15 ม.ค. 2546

.b.....
.i.....

ปริญญานิพนธ์ฉบับนี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรครุศาสตร์อุตสาหกรรมบัณฑิต
สาขาวิชาอิเล็กทรอนิกส์และคอมพิวเตอร์
ภาควิชาครุศาสตร์วิศวกรรม คณะครุศาสตร์อุตสาหกรรม
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
ปีการศึกษา 2545

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์

เรื่อง ชุดปฏิบัติการไมโครโปรเซสเซอร์

Microprocessor Training Set

วัตถุประสงค์

1) เพื่อศึกษาโครงสร้างและการทำงานของไมโครโปรเซสเซอร์
2) เพื่อออกแบบชุดปฏิบัติการไมโครโปรเซสเซอร์
3) เพื่อสร้างชุดปฏิบัติการไมโครโปรเซสเซอร์
4) เพื่อทำการทดลอง และทดสอบการทำงานของชุดปฏิบัติการไมโครโปรเซสเซอร์
5) เพื่อนำไปใช้ในการฝึกปฏิบัติการไมโครโปรเซสเซอร์

ประโยชน์ที่คาดว่าจะได้รับ

1) ได้ความรู้เกี่ยวกับการทำงานของไมโครโปรเซสเซอร์
2) ได้วงจรการทำงานของ ชุดปฏิบัติการไมโครโปรเซสเซอร์
3) ได้ชุดปฏิบัติการไมโครโปรเซสเซอร์
4) ได้ผลการทดลองและผลการทดสอบชุดปฏิบัติการไมโครโปรเซสเซอร์
5) สามารถนำชุดปฏิบัติการไมโครโปรเซสเซอร์ ไปใช้ในการศึกษาได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ชื่อหัวข้อ	ชุดปฏิบัติการไมโครโปรเซสเซอร์
นักศึกษา	นายจตุพล เฮงเจริญ
	นายนที ยงยุทธ
	นายสิทธิชัย มิ่งขวัญตา
	นายสุฏิพงษ์ จันทร์เป็งผัด
อาจารย์ที่ปรึกษา	อาจารย์สุชิน อาจหาญ
อาจารย์ที่ปรึกษาร่วม	อาจารย์กิติพงค์ มะโน
หลักสูตร	ครุศาสตร์อุตสาหกรรมบัณฑิต
สาขาวิชา	อิเล็กทรอนิกส์และคอมพิวเตอร์
ปีการศึกษา	2545

บทคัดย่อ

ปริญญานิพนธ์ฉบับนี้ นำเสนอชุดปฏิบัติการไมโครโปรเซสเซอร์ เพื่อแสดงให้เห็นถึงหลักการ และขั้นตอนการทำงานของซีพียูขณะทำการประมวลผลคำสั่ง ส่วนประกอบของชุดปฏิบัติการไมโครโปรเซสเซอร์ ได้แยกวงจรภาคการทำงานแต่ละส่วนของซีพียูออกเป็นโมดูล ผู้ใช้สามารถออกแบบคำสั่ง และเลือกใช้ภาคการทำงานในแต่ละส่วนได้ตามความเหมาะสม วงจรภายในของชุดปฏิบัติการไมโครโปรเซสเซอร์ ได้ถูกออกแบบ และสร้างขึ้นโดยใช้ไอซีลอจิกเกตพื้นฐานประเภท TTL ในชุดปฏิบัติการมีความสามารถในการแสดงผลข้อมูลที่อยู่ภายในแต่ละส่วนโดยแสดงผลเป็นตัวเลขแสดงผลแบบเจ็ดส่วน เพื่อให้ผู้ที่ศึกษาการทำงานของชุดปฏิบัติการไมโครโปรเซสเซอร์ เข้าใจถึงการทำงานภายในซีพียู และสามารถนำไปประยุกต์ใช้ต่อไปได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Thesis Title	Microprocessor Training Set
Students	Mr.Jattupol Hengjarern
	Mr.Nathee Youngyut
	Mr.Sitthichai Mingkuanta
	Mr.Sutipong Janpengpud
Advisor	Mr.Suchin Adhan
Co-Advisor	Mr.Kitipong Mano
Education Level	Bachelor of Science in Industrial Education
Program in	Electronics and Computer
Academic Year	2002

ABSTRACT

This thesis presents Microprocessor Training Set which can be displayed operation of CPU while processes instruction code. Parts of Microprocessor Training Set are seperatibility. Users can designed instruction code and choosed appropriate parts of working module. The training set has design and build by using Transistor-Transistor Logic (TTL). Data in each module can be displayed by LED 7 segments for users to understanding processes of CPU, which can be applied and operate as well.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ปริญญานิพนธ์ฉบับนี้สำเร็จลุล่วงไปด้วยดี เนื่องมาจากความร่วมมือของสมาชิกภายในกลุ่มทุกท่าน ขอขอบคุณอาจารย์สุชิน อาจหาญ อาจารย์ที่ปรึกษารวมทั้งคณาจารย์ภาควิชาครุศาสตร์วิศวกรรมทุกท่านที่ได้ให้คำแนะนำ แนวความคิด และความรู้ต่างๆ รวมทั้งแนวทางในการแก้ไขปัญหา รวมถึงขอบคุณพี่อรรณพ เรืองยศจันทนา ที่ได้แบ่งเวลามาให้คำปรึกษาด้วยความตั้งใจจริงและเพื่อนๆ หลายท่านที่ได้ให้ความช่วยเหลือในเรื่องวัสดุอุปกรณ์ และให้กำลังใจในการทำโครงงานชิ้นนี้จนประสบผลสำเร็จด้วยดี

ในการจัดทำปริญญานิพนธ์ขอขอบคุณพี่ธนพล แก้วคำแจ้ง ที่ให้ความช่วยเหลือในการตรวจรูปแบบและข้อบกพร่องที่เกิดขึ้นให้มีความสมบูรณ์ยิ่งขึ้น

สุดท้ายที่ควรระลึกถึงอย่างยิ่งคือ บิดา มารดา ที่ได้ทำงานด้วยความเหน็ดเหนื่อยเพื่อให้บุตรได้รับการศึกษาที่สูงที่สุด คณาจารย์ที่ได้อบรมสั่งสอนมาในอดีตจนถึงปัจจุบันรวมถึงญาติพี่น้องที่เป็นผู้ให้การสนับสนุนด้านการศึกษา และเป็นผู้ให้กำลังใจด้วยดีตลอดมา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

เรื่อง	หน้า
บทคัดย่อภาษาไทย	I
บทคัดย่อภาษาอังกฤษ	II
กิตติกรรมประกาศ	III
สารบัญ	IV
สารบัญตาราง	VIII
สารบัญรูป	IX
บทที่ 1 บทนำ	1
1.1 ความเป็นมาและความสำคัญของปริญญานิพนธ์	1
1.2 ขีดความสามารถของโครงงาน	1
1.3 เนื้อหาโดยสังเขป	2
บทที่ 2 ทฤษฎีและหลักการ	3
2.1 กล่าวนำ	3
2.2 หลักการทำงานของซีพียู	3
2.2.1 การทำงานของซีพียู	4
2.2.2 ส่วนประกอบของซีพียู Z80	5
2.3 สถาปัตยกรรมภายในซีพียู ที่ใช้ในชุดปฏิบัติการไมโครโปรเซสเซอร์	6
2.4 ส่วนประกอบของชุดปฏิบัติการไมโครโปรเซสเซอร์	6
2.4.1 รีจิสเตอร์อาเรย์	6
2.4.2 หน่วยคำนวณทางคณิตศาสตร์และกระทำทางลอจิก	15
2.4.3 รีจิสเตอร์คำสั่งและส่วนควบคุม	16
2.4.4 ดาต้าบัสบัฟเฟอร์	17
2.4.5 แอดเดรสบัสบัฟเฟอร์	18
2.5 วิธีการอ้างตำแหน่งที่อยู่ข้อมูลของซีพียู	18
2.5.1 การอ้างตำแหน่งแบบแฝง	18
2.5.2 การอ้างตำแหน่งแบบทันที	19

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ (ต่อ)

เรื่อง	หน้า
2.5.3 การอ้างตำแหน่งแบบทันทีขยาย	20
2.5.4 การอ้างตำแหน่งแบบรีจิสเตอร์	20
2.5.5 การอ้างตำแหน่งแบบผ่านรีจิสเตอร์	20
2.5.6 การอ้างตำแหน่งแบบขยาย	21
2.5.7 การอ้างตำแหน่งในหน้าศูนย์	21
2.5.8 การอ้างตำแหน่งแบบสัมพันธ์	22
2.5.9 การอ้างตำแหน่งแบบดัชนี	23
2.5.10 การอ้างตำแหน่งแบบบิต	24
2.6 การทำงานภายในซีพียู	24
2.6.1 กรณีการเฟ็ทช์	24
2.6.2 กรณีการเอ็กซ์ซีคิว	25
บทที่ 3 การออกแบบ การสร้าง และการทำงาน	31
3.1 ขั้นตอนการออกแบบ	31
3.1.1 ส่วนวงจรภายในซีพียู	31
3.1.2 ส่วนการป้อนโปรแกรม	32
3.1.3 ส่วนของการแสดงผลข้อมูล	32
3.2 การสร้าง และการทำงาน	32
3.2.1 รีจิสเตอร์	32
3.2.2 ส่วนการประมวลผลทางคณิตศาสตร์และกระทำทางลอจิก	39
3.2.3 ส่วนควบคุมการทำงานของซีพียู	43
3.2.4 ส่วนการป้อนข้อมูล	49
3.2.5 ส่วนการแสดงผลข้อมูล	53
3.2.6 ส่วนการเชื่อมต่อวงจรส่วนฐาน	55
บทที่ 4 การทดลอง และผลการทดลอง	57
4.1 การทดลองแผงวงจรรีจิสเตอร์ทั่วไป 8 บิต	57
4.1.1 การทดลองโหลดข้อมูลขนาด 8 บิต จากบัสข้อมูลภายใน	58

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ (ต่อ)

เรื่อง	หน้า
4.1.2 ผลการทดลองโหลดข้อมูล 8 บิต จากบัสข้อมูลภายในลงในรีจิสเตอร์	58
4.1.3 การทดลองส่งข้อมูลที่เก็บในรีจิสเตอร์ออกสู่บัสข้อมูลภายใน	59
4.1.4 ผลการทดลองส่งข้อมูลที่เก็บในรีจิสเตอร์ออกสู่บัสข้อมูลภายใน	59
4.2 การทดลองการทำงานของชิฟท์รีจิสเตอร์	60
4.2.1 การทดลองการทำงานของชิฟท์รีจิสเตอร์	60
4.2.2 ผลทดลองการทำงานของชิฟท์รีจิสเตอร์	60
4.3 การทดลองวงจรรีจิสเตอร์พักข้อมูลขนาด 8 บิต	62
4.3.1 การทดลองวงจรรีจิสเตอร์พักข้อมูลขนาด 8 บิต ตัวที่ 1	62
4.3.2 ผลการทดลองวงจรรีจิสเตอร์พักข้อมูลขนาด 8 บิต ตัวที่ 1	63
4.3.3 การทดลองวงจรรีจิสเตอร์พักข้อมูลขนาด 8 บิต ตัวที่ 2	63
4.3.4 ผลการทดลองวงจรรีจิสเตอร์พักข้อมูลขนาด 8 บิต ตัวที่ 2	63
4.4 การทดลองวงจรแสดงผลตัวเลข 7 ส่วน	64
4.4.1 การทดลองวงจรแสดงผลตัวเลข 7 ส่วน	64
4.4.2 ผลการทดลองวงจรแสดงผลตัวเลข 7 ส่วน	65
4.5 การทดลองการทำงานของส่วนป้อนข้อมูล	65
4.5.1 การทดลองเคลียร์ค่าตำแหน่ง	65
4.5.2 ผลการทดลองเคลียร์ค่าตำแหน่ง	65
4.5.3 การทดลองป้อนข้อมูลเข้าสู่หน่วยความจำ	66
4.5.4 ผลการทดลองป้อนข้อมูลเข้าสู่หน่วยความจำ	66
4.5.5 การทดลองส่งข้อมูลเข้าสู่ชุดปฏิบัติการไมโครโปรเซสเซอร์	66
4.5.6 ผลการทดลองส่งข้อมูลเข้าสู่ชุดปฏิบัติการไมโครโปรเซสเซอร์	66
4.5.7 การทดลองป้อนข้อมูลจากชุดปฏิบัติการไมโครโปรเซสเซอร์เข้าสู่หน่วยความจำ	67
4.5.8 การทดลองป้อนข้อมูลจากชุดปฏิบัติการไมโครโปรเซสเซอร์เข้าสู่หน่วยความจำ	67

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ (ต่อ)

เรื่อง	หน้า
4.6 การทดลองวงจรแสดงสถานะการทำงาน	68
4.6.1 การทดลองส่วนแสดงสถานะการทำงานในส่วนของแฟลกพาริตี้	68
4.6.2 ผลการทดลองส่วนแสดงสถานะการทำงานในส่วนของแฟลกพาริตี้	69
4.6.3 การทดลองส่วนแสดงสถานะการทำงานในส่วนของแฟลกศูนย์	69
4.6.4 ผลการทดลองส่วนแสดงสถานะการทำงานในส่วนของแฟลกศูนย์	70
4.6.5 การทดลองส่วนแสดงสถานะการทำงานในส่วนของแฟลกตัวทด	70
4.6.6 ผลการทดลองส่วนแสดงสถานะการทำงานในส่วนของแฟลกตัวทด	71
4.7 การทดลองวงจรประมวลผลทางคณิตศาสตร์และลอจิก	72
4.7.1 กำหนดการต่อใช้งานแผ่นวงจรประมวลผลทางคณิตศาสตร์และลอจิก	72
4.7.2 การทดลองวงจรคำนวณทางคณิตศาสตร์และลอจิก	73
4.7.3 ผลการทดลองวงจรคำนวณทางคณิตศาสตร์และลอจิก	73
บทที่ 5 บทสรุป ปัญหา แนวทางแก้ไข และพัฒนา	74
5.1 สรุป	74
5.2 ปัญหา และแนวทางแก้ไข	75
5.3 แนวทางการพัฒนา	76
ภาคผนวก ก เครื่องต้นแบบ	77
ภาคผนวก ข วงจรและแผ่นวงจรพิมพ์	79
ภาคผนวก ค รายการอุปกรณ์	112
ภาคผนวก ง รายละเอียดและคุณสมบัติของอุปกรณ์	119
บรรณานุกรม	130
ประวัติผู้แต่ง	131

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

ตาราง	หน้า
ตารางที่ 2.1 การเซตบิตแอดเดรสซิ่งรีจิสเตอร์ C ที่บิต 0 เป็น 1	24
ตารางที่ 3.1 การใช้งานไอซี 74LS181	40
ตารางที่ 3.2 ค่าที่เขียนลงใน PAL16L8 เพื่อให้แสดงค่า 0-F	54
ตารางที่ 4.1 ผลการทดลองโหลดข้อมูลเข้าสู่รีจิสเตอร์	58
ตารางที่ 4.2 การป้อนสัญญาณควบคุมการส่งข้อมูลที่เก็บในรีจิสเตอร์ออกสู่บัสข้อมูลภายใน	59
ตารางที่ 4.3 สัญญาณที่มาจากส่วนควบคุม	61
ตารางที่ 4.4 ผลการป้อนสัญญาณอินพุตและเอาต์พุตที่ได้	61
ตารางที่ 4.5 การป้อนสัญญาณควบคุมการทดลองในส่วนของรีจิสเตอร์พักข้อมูลขนาด 8 บิต ตัวที่ 1	62
ตารางที่ 4.6 การป้อนสัญญาณควบคุมการทดลองในส่วนของรีจิสเตอร์พักข้อมูลขนาด 8 บิต ตัวที่ 2	63
ตารางที่ 4.7 การป้อนข้อมูลเพื่อทดลองส่วนแสดงผล	64
ตารางที่ 4.8 การทดลองการแสดงสถานะของพาริตี้บิต	68
ตารางที่ 4.8 (ต่อ) การทดลองการแสดงสถานะของพาริตี้บิต	69
ตารางที่ 4.9 การทดลองการแสดงสถานะของแฟลกศูนย์	69
ตารางที่ 4.9 (ต่อ) การทดลองการแสดงสถานะของแฟลกศูนย์	70
ตารางที่ 4.10 การทดลองการแสดงสถานะของแฟลกตัวทด	71

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป

รูป	หน้า
รูปที่ 2.1 แผนแสดงการทำงานของซีพียูเบื้องต้น	3
รูปที่ 2.2 สถาปัตยกรรมภายในของหน่วยประมวลผลกลาง Z80	4
รูปที่ 2.3 สถาปัตยกรรมภายในซีพียูที่ใช้ในชุดปฏิบัติการไมโครโปรเซสเซอร์	6
รูปที่ 2.4 กลุ่มรีจิสเตอร์ขนาด 8 บิต	6
รูปที่ 2.5 รูปแบบของรีจิสเตอร์ F (แฟลก)	7
รูปที่ 2.6 ผลลัพธ์จากการบวกและลบเลขฐานสองขนาด 8 บิต	8
รูปที่ 2.7 ผลลัพธ์ที่ทำให้เกิดค่าของแฟลกพาริตี้	9
รูปที่ 2.8 สมการลอจิกกรณีการเกิดค่าเกิน	11
รูปที่ 2.9 กลุ่มรีจิสเตอร์ขนาด 16 บิต	13
รูปที่ 2.10 การเลื่อนข้อมูลในรีจิสเตอร์ A, F เข้าในหน่วยความจำสแตก	14
รูปที่ 2.11 การเลื่อนข้อมูลในรีจิสเตอร์ B, C เข้าออกในหน่วยความจำสแตก	15
รูปที่ 2.12 การเลื่อนบิตไปทางซ้ายมือ	16
รูปที่ 2.13 การหมุนข้อมูลไปทางซ้ายผ่านแฟลกตัวทด	16
รูปที่ 2.14 ส่วนควบคุมและรีจิสเตอร์คำสั่ง	17
รูปที่ 2.15 ดาต้าบัสบัฟเฟอร์	17
รูปที่ 2.16 แอดเดรสบัสบัฟเฟอร์	18
รูปที่ 2.17 การอ้างตำแหน่งแบบทันทีขยาย	20
รูปที่ 2.18 การอ้างตำแหน่งแบบรีจิสเตอร์	20
รูปที่ 2.19 ค่าในหน่วยความจำตำแหน่งที่ชี้โดย NN ที่เก็บในรีจิสเตอร์ A	21
รูปที่ 2.20 ตำแหน่งการจบโปรแกรม	21
รูปที่ 2.20 (ต่อ) ตำแหน่งการจบโปรแกรม	22
รูปที่ 2.21 การอ้างตำแหน่งแบบสัมพันธ์	22
รูปที่ 2.22 การอ้างตำแหน่งแบบสัมพันธ์	22
รูปที่ 2.23 การอ้างตำแหน่งแบบดัชนี	23
รูปที่ 2.24 การอ้างตำแหน่งแบบดัชนี	23
รูปที่ 2.25 จำนวนที่ใช้ในการเฟ็ทซ์ข้อมูล	25

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป (ต่อ)

รูป	หน้า
รูปที่ 2.26 การทำงานของคำสั่ง LD A, B	26
รูปที่ 2.27 การทำงานของคำสั่ง LD A, n	26
รูปที่ 2.28 การทำงานของคำสั่ง LD A, (HL)	27
รูปที่ 2.29 การทำงานของคำสั่ง LD BC, nn	28
รูปที่ 2.30 การทำงานของคำสั่ง ADD A, B	28
รูปที่ 2.30 (ต่อ) การทำงานของคำสั่ง ADD A, B	29
รูปที่ 2.31 การทำงานของคำสั่งหมุนและเลื่อนข้อมูล	29
รูปที่ 2.31 (ต่อ) การทำงานของคำสั่งหมุนและเลื่อนข้อมูล	30
รูปที่ 3.1 สถาปัตยกรรมภายในของซีพียูในชุดปฏิบัติการไมโครโปรเซสเซอร์	31
รูปที่ 3.2 วงจรรับข้อมูลจากส่วนควบคุมและกำหนดตำแหน่งของรีจิสเตอร์	33
รูปที่ 3.3 วงจรส่วนเก็บข้อมูล	34
รูปที่ 3.4 วงจรรีจิสเตอร์พักข้อมูลขนาด 8 บิต	36
รูปที่ 3.5 วงจรแลตช์ข้อมูลขนาด 8 บิต เป็น 16 บิต	38
รูปที่ 3.6 วงจรประมวลผลทางคณิตศาสตร์และกระทำทางลอจิกขนาด 8 บิต	39
รูปที่ 3.7 วงจรตรวจสอบสถานะ	41
รูปที่ 3.8 วงจรเลื่อนข้อมูล	43
รูปที่ 3.9 วงจรถอดรหัสคำสั่ง	45
รูปที่ 3.10 วงจรส่วนกระทำคำสั่ง	48
รูปที่ 3.11 ชุดของรหัสคำสั่งขนาด 14 บิต	49
รูปที่ 3.12 วงจรชุดป้อนข้อมูลส่วนที่ 1	50
รูปที่ 3.13 วงจรชุดป้อนข้อมูลส่วนที่ 2	52
รูปที่ 3.14 วงจรส่วนแสดงผล	53
รูปที่ 3.15 การเชื่อมต่อวงจรส่วนฐาน	55
รูปที่ 4.1 แผงวงจรรีจิสเตอร์ทั่วไป 8 บิต	57
รูปที่ 4.2 วงจรในส่วนของชิฟท์รีจิสเตอร์	60
รูปที่ 4.3 รีจิสเตอร์พักข้อมูล	62

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป (ต่อ)

รูป	หน้า
รูปที่ 4.4 แผงวงจรแสดงผลตัวเลข 7 ส่วน	64
รูปที่ 4.5 ส่วนของวงจรป้อนข้อมูล	67
รูปที่ 4.6 การป้อนข้อมูลจากชุดปฏิบัติการไมโครโปรเซสเซอร์เข้าสู่หน่วยความจำ	67
รูปที่ 4.7 แผงวงจรแสดงสถานะการทำงาน	68
รูปที่ 4.8 แผงวงจรคำนวณทางคณิตศาสตร์และกระทำทางลอจิก	72
รูปที่ ก.1 เครื่องต้นแบบ	78
รูปที่ ก.2 แผงวงจรส่วนป้อนคำสั่ง	78
รูปที่ ข.1 วงจรรีจิสเตอร์ทั่วไปขนาด 8 บิต ส่วนที่ 1	80
รูปที่ ข.2 วงจรรีจิสเตอร์ทั่วไปขนาด 8 บิต ส่วนที่ 2	81
รูปที่ ข.3 วงจรรีจิสเตอร์พักข้อมูลขนาด 8 บิต	82
รูปที่ ข.4 วงจรแลตช์ข้อมูลขนาด 8 บิต เป็น 16 บิต	83
รูปที่ ข.5 วงจรประมวลผลทางคณิตศาสตร์และลอจิกขนาด 8 บิต	84
รูปที่ ข.6 วงจรส่วนตรวจสอบสถานะ	85
รูปที่ ข.7 วงจรเลื่อนข้อมูลขนาด 8 บิต	86
รูปที่ ข.8 วงจรส่วนถอดรหัสคำสั่ง	87
รูปที่ ข.9 วงจรส่วนกระทำคำสั่ง	88
รูปที่ ข.10 วงจรส่วนชุดป้อนข้อมูล ส่วนที่ 1	89
รูปที่ ข.11 วงจรส่วนชุดป้อนข้อมูล ส่วนที่ 2	90
รูปที่ ข.12 วงจรส่วนแสดงผล	91
รูปที่ ข.13 แผ่นพิมพ์ลายวงจรรีจิสเตอร์ทั่วไปขนาด 8 บิต ส่วนที่ 1	92
รูปที่ ข.14 แผ่นพิมพ์ลายวงจรรีจิสเตอร์ทั่วไปขนาด 8 บิต ส่วนที่ 1 ด้านอุปกรณ์	92
รูปที่ ข.15 แผ่นพิมพ์ลายวงจรรีจิสเตอร์ทั่วไปขนาด 8 บิต ส่วนที่ 2	93
รูปที่ ข.16 แผ่นพิมพ์ลายวงจรรีจิสเตอร์ทั่วไปขนาด 8 บิต ส่วนที่ 2 ด้านอุปกรณ์	93
รูปที่ ข.17 แผ่นพิมพ์ลายวงจรรีจิสเตอร์พักข้อมูลขนาด 8 บิต ด้านบน	94
รูปที่ ข.18 แผ่นพิมพ์ลายวงจรรีจิสเตอร์พักข้อมูลขนาด 8 บิต ด้านล่าง	94
รูปที่ ข.19 แผ่นพิมพ์ลายวงจรรีจิสเตอร์พักข้อมูลขนาด 8 บิต ด้านอุปกรณ์	95

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป (ต่อ)

รูป	หน้า
รูปที่ ข.20 แผ่นพิมพ์ลายวงจรแลตซ์ข้อมูลขนาด 8 บิต เป็น 16 บิต ด้านบน	95
รูปที่ ข.21 แผ่นพิมพ์ลายวงจรแลตซ์ข้อมูลขนาด 8 บิต เป็น 16 บิต ด้านล่าง	96
รูปที่ ข.22 แผ่นพิมพ์ลายวงจรแลตซ์ข้อมูลขนาด 8 บิต เป็น 16 บิต ด้านอุปกรณ์	96
รูปที่ ข.23 แผ่นพิมพ์ลายวงจรส่วนประมวลผลทางคณิตศาสตร์และลอจิกขนาด 8 บิต ด้านบน	97
รูปที่ ข.24 แผ่นพิมพ์ลายวงจรส่วนประมวลผลทางคณิตศาสตร์และลอจิกขนาด 8 บิต ด้านล่าง	97
รูปที่ ข.25 แผ่นพิมพ์ลายวงจรส่วนประมวลผลทางคณิตศาสตร์และลอจิกขนาด 8 บิต ด้านอุปกรณ์	98
รูปที่ ข.26 แผ่นพิมพ์ลายวงจรเลื่อนข้อมูลขนาด 8 บิต ด้านบน	98
รูปที่ ข.27 แผ่นพิมพ์ลายวงจรเลื่อนข้อมูลขนาด 8 บิต ด้านล่าง	99
รูปที่ ข.28 แผ่นพิมพ์ลายวงจรเลื่อนข้อมูลขนาด 8 บิต ด้านอุปกรณ์	99
รูปที่ ข.29 แผ่นพิมพ์ลายวงจรส่วนถอดรหัส ส่วนที่ 1 ด้านบน	100
รูปที่ ข.30 แผ่นพิมพ์ลายวงจรส่วนถอดรหัส ส่วนที่ 1 ด้านล่าง	100
รูปที่ ข.31 แผ่นพิมพ์ลายวงจรส่วนถอดรหัส ส่วนที่ 1 ด้านอุปกรณ์	101
รูปที่ ข.32 แผ่นพิมพ์ลายวงจรส่วนถอดรหัส ส่วนที่ 2 ด้านบน	101
รูปที่ ข.33 แผ่นพิมพ์ลายวงจรส่วนถอดรหัส ส่วนที่ 2 ด้านล่าง	102
รูปที่ ข.34 แผ่นพิมพ์ลายวงจรส่วนถอดรหัส ส่วนที่ 2 ด้านอุปกรณ์	102
รูปที่ ข.35 แผ่นพิมพ์ลายวงจรส่วนกระทำคำสั่ง ด้านบน	103
รูปที่ ข.36 แผ่นพิมพ์ลายวงจรส่วนกระทำคำสั่ง ด้านล่าง	103
รูปที่ ข.37 แผ่นพิมพ์ลายวงจรส่วนกระทำคำสั่ง ด้านอุปกรณ์	104
รูปที่ ข.38 แผ่นพิมพ์ลายวงจรส่วนป้อนข้อมูล ส่วนที่ 1	104
รูปที่ ข.39 แผ่นพิมพ์ลายวงจรส่วนป้อนข้อมูล ส่วนที่ 1 ด้านอุปกรณ์	105
รูปที่ ข.40 แผ่นพิมพ์ลายวงจรส่วนป้อนข้อมูล ส่วนที่ 2 ด้านบน	105
รูปที่ ข.41 แผ่นพิมพ์ลายวงจรส่วนป้อนข้อมูล ส่วนที่ 2 ด้านล่าง	106
รูปที่ ข.42 แผ่นพิมพ์ลายวงจรส่วนป้อนข้อมูล ส่วนที่ 2 ด้านอุปกรณ์	106

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป (ต่อ)

รูป	หน้า
รูปที่ ข.43 แผ่นพิมพ์ลายวงจรส่วนแสดงผล 2 หลัก ด้านบน	107
รูปที่ ข.44 แผ่นพิมพ์ลายวงจรส่วนแสดงผล 2 หลัก ด้านล่าง	107
รูปที่ ข.45 แผ่นพิมพ์ลายวงจรส่วนแสดงผล 2 หลัก ด้านอุปกรณ์	108
รูปที่ ข.46 แผ่นพิมพ์ลายวงจรส่วนแสดงผล 4 หลัก ด้านบน	108
รูปที่ ข.47 แผ่นพิมพ์ลายวงจรส่วนแสดงผล 4 หลัก ด้านล่าง	109
รูปที่ ข.48 แผ่นพิมพ์ลายวงจรส่วนแสดงผล 4 หลัก ด้านอุปกรณ์	109
รูปที่ ข.49 แผ่นพิมพ์ลายวงจรส่วนแสดงผล 6 หลัก ด้านบน	110
รูปที่ ข.50 แผ่นพิมพ์ลายวงจรส่วนแสดงผล 6 หลัก ด้านล่าง	110
รูปที่ ข.51 แผ่นพิมพ์ลายวงจรส่วนแสดงผล 6 หลัก ด้านอุปกรณ์	111

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

1.1 ความเป็นมาและความสำคัญของปริญญานิพนธ์

ในปัจจุบัน คอมพิวเตอร์ได้เข้ามามีบทบาทสำคัญและเกี่ยวข้องกับชีวิตประจำวันเป็นอย่างมาก การมีความรู้ในเรื่องของคอมพิวเตอร์จึงนับได้ว่าเป็นสิ่งสำคัญ โดยเฉพาะอย่างยิ่งในงานทางด้านอุตสาหกรรม ที่จำเป็นจะต้องอาศัยบุคลากรที่มีความเชี่ยวชาญทางด้านวิศวกรรมคอมพิวเตอร์ที่จะนำความรู้ที่มีไปใช้กับระบบคอมพิวเตอร์ในทางอุตสาหกรรม ซึ่งคอมพิวเตอร์ได้เป็นหัวใจหลักสำคัญของการดำเนินงานในหลายๆ ส่วน เพื่อจะสามารถก้าวทันเทคโนโลยีที่ได้รุดหน้าไปอย่างรวดเร็ว บุคลากรจำต้องมีความเข้าใจในระบบคอมพิวเตอร์ เข้าใจถึงโครงสร้าง กระบวนการทำงาน โปรแกรมควบคุมขั้นพื้นฐานทางด้านไมโครโปรเซสเซอร์ ซึ่งวิธีการที่จะได้มาซึ่งทักษะทางด้านคอมพิวเตอร์เหล่านี้ จะสามารถพบได้ในหลักสูตรประกาศนียบัตรวิชาชีพ ประกาศนียบัตรวิชาชีพชั้นสูง และระดับปริญญาตรีในสาขาวิชาที่เกี่ยวข้องกับไมโครโปรเซสเซอร์

ในการเรียนวิชาไมโครโปรเซสเซอร์ จะพบว่าผู้ที่ได้เรียนไปแล้วส่วนใหญ่ยังมีทักษะความรู้พื้นฐานในเรื่องของไมโครโปรเซสเซอร์ไม่ดีและลึกซึ้งเพียงพอ เนื่องจากวิชาดังกล่าวเป็นวิชาที่เข้าใจได้ยาก ส่วนหนึ่งเพราะผู้เรียนไม่สามารถเห็นการทำงานภายในที่แท้จริงของระบบไมโครโปรเซสเซอร์ได้ว่าเป็นอย่างไร และกระบวนการทำงานในแต่ละคำสั่งมีขั้นตอนการทำงานภายในแต่ละส่วนอย่างไรบ้าง ซึ่งการที่จะทำให้ผู้เรียนสามารถเข้าใจในพื้นฐานจุดนี้ ผู้สอนต้องรู้และเข้าใจการทำงานภายในของซีพียูอย่างลึกซึ้ง จึงจะสามารถถ่ายทอดกระบวนการภายในของซีพียูให้ผู้เรียนเกิดความเข้าใจและจินตนาการตามได้ ชุดปฏิบัติการไมโครโปรเซสเซอร์นี้จึงเป็นอุปกรณ์การสอนอีกชิ้นหนึ่งที่จะช่วยให้ผู้เรียนเข้าใจถึงระบบการทำงานของไมโครโปรเซสเซอร์ และสามารถนำความรู้ที่ได้ไปประยุกต์ใช้ในการเรียนรู้ในส่วนการทำงาน ของสถาปัตยกรรมภายในซีพียูที่มีความซับซ้อนได้

1.2 ขีดความสามารถของโครงงาน

โครงงานชุดปฏิบัติการไมโครโปรเซสเซอร์ มีขีดความสามารถดังต่อไปนี้

1) เป็นชุดปฏิบัติการ การทำงานไมโครโปรเซสเซอร์ขนาด 8 บิต

2) สามารถประมวลผลคำสั่งคำนวณทางคณิตศาสตร์และลอจิกได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3) สามารถสั่งงานเป็นแบบลำดับขั้น

4) สามารถแสดงค่าข้อมูลของรีจิสเตอร์ออกทางส่วนแสดงผล 7 ส่วน ทุกตัว

5) การทำงานแต่ละส่วนแยกออกเป็นหน่วยย่อยๆ

1.3 เนื้อหาโดยสังเขป

ปริญญานิพนธ์เล่มนี้ประกอบด้วยรายละเอียดต่างๆ มีหัวข้อดังต่อไปนี้

บทที่ 1 บทนำ กล่าวถึง ความเป็นมา และความสำคัญของปริญญานิพนธ์ ขีดความสามารถโครงงานชุดปฏิบัติการไมโครโปรเซสเซอร์

บทที่ 2 ทฤษฎีและหลักการ กล่าวถึง โครงสร้างของซีพียู หลักการทำงานพื้นฐานของซีพียู และหลักการแสดงผลข้อมูลภายในซีพียู

บทที่ 3 การออกแบบ การสร้าง และการทำงาน กล่าวถึง การออกแบบวงจรของชุดปฏิบัติการไมโครโปรเซสเซอร์ในแต่ละภาค การสร้างและการทำงานชุดปฏิบัติการไมโครโปรเซสเซอร์ในแต่ละภาค

บทที่ 4 การทดลอง และผลการทดลอง กล่าวถึง วิธีการทดลอง และผลที่ได้จากการทดลองของชุดปฏิบัติการไมโครโปรเซสเซอร์

บทที่ 5 บทสรุป ปัญหา แนวทางแก้ไข และการพัฒนา กล่าวถึง สรุปการทำโครงงาน ปัญหาที่เกิดขึ้นระหว่างการทำโครงงาน รวมถึงแนวทางการแก้ไขปัญหาที่เกิดขึ้น พร้อมทั้งได้เสนอแนะแนวทางในการพัฒนาต่อไป

ในภาคผนวก แสดงรายละเอียดของการสร้างชุดปฏิบัติการไมโครโปรเซสเซอร์ รวมถึงรายละเอียดของอุปกรณ์ต่างๆ

ภาคผนวก ก เครื่องต้นแบบ

ภาคผนวก ข วงจรและแผ่นวงจรพิมพ์

ภาคผนวก ค รายการอุปกรณ์

ภาคผนวก ง รายละเอียดและคุณสมบัติของอุปกรณ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

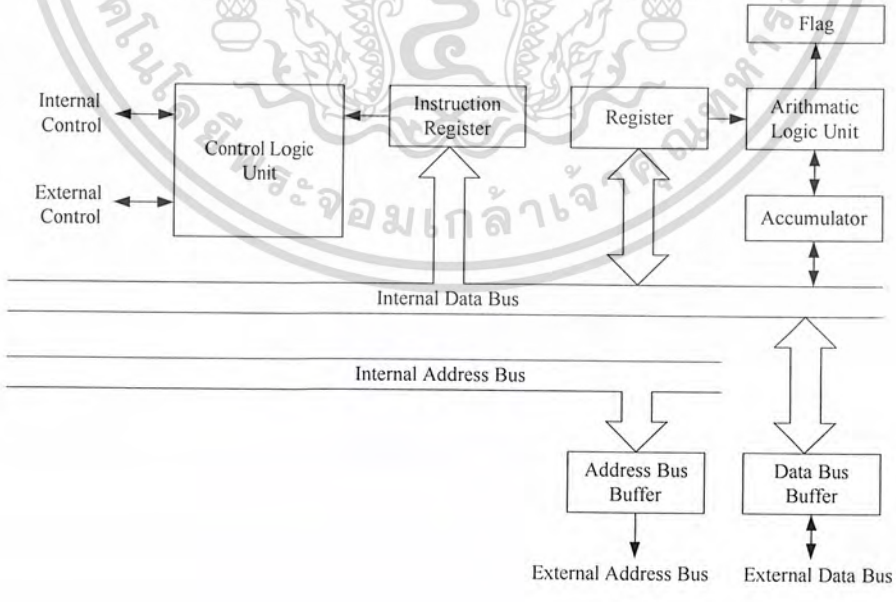
บทที่ 2
ทฤษฎี และหลักการ

2.1 กล่าวนำ

เนื้อหาของปริญญานิพนธ์ในบทนี้เป็นทฤษฎี และหลักการที่นำมาใช้ประกอบการสร้างโครงงานชุดปฏิบัติการไมโครโปรเซสเซอร์ โดยประกอบไปด้วยเรื่องของหลักการทำงานของซีพียู วิธีการอ้างตำแหน่งที่อยู่ข้อมูลของซีพียู การทำคำสั่งของซีพียู หลักการแสดงผลข้อมูลที่อยู่ในตัวซีพียู ซึ่งจะกล่าวถึงรายละเอียดดังต่อไปนี้

2.2 หลักการทำงานของซีพียู

หน่วยประมวลผลกลาง (Central Processing Unit : CPU) เป็นอุปกรณ์ที่ทำหน้าที่ปฏิบัติงานประมวลผลข้อมูลเลขฐานสอง ทำหน้าที่คิด ตัดสินเงื่อนไขต่างๆ ตามรูปแบบของคำสั่งที่ซีพียูได้รับ โดยที่การปฏิบัติงานนั้นต้องไม่เกินความสามารถของซีพียู สามารถแบ่งออกเป็นส่วนสำคัญได้ดังแผนแสดงการทำงานต่อไปนี้



รูปที่ 2.1 แผนแสดงการทำงานของซีพียูเบื้องต้น

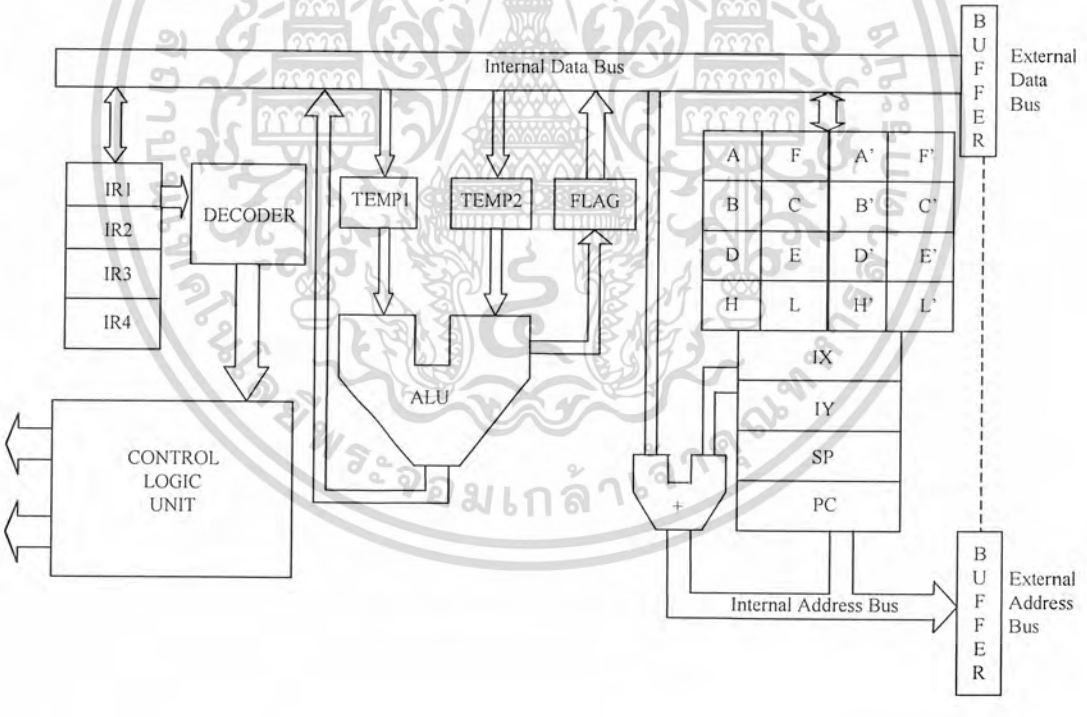
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2.1 การทำงานของซีพียู มีอยู่ 2 สภาวะ ดังนี้

1) การเฟ็ทช์ เป็นการนำรหัสคำสั่งซึ่งเป็นข้อมูลในรูปเลขฐานสอง ที่เก็บอยู่ในหน่วยความจำภายนอกเข้ามาเก็บที่รีจิสเตอร์คำสั่งซึ่งอยู่ภายในตัวซีพียู แล้วทำการแปลรหัสคำสั่ง (decode) ซึ่งเป็นข้อมูลเลขฐานสองที่เก็บอยู่ในรีจิสเตอร์คำสั่ง ว่าเป็นคำสั่งที่ต้องการให้ซีพียูทำงานอะไร

2) การเอ็กซ์ซีคิว เป็นการกระทำคำสั่ง ตามที่ได้เฟ็ทช์เข้ามาเก็บภายในซีพียู กระบวนการนี้ซีพียูจะทำการสร้างสัญญาณขึ้นมาควบคุมการทำงานภายในซีพียูส่วนต่างๆ เพื่อให้ได้ผลลัพธ์ตามคำสั่งที่ซีพียูได้รับ หลังจากทำคำสั่งเสร็จแล้ว ซีพียูจะทำการเฟ็ทช์คำสั่งใหม่เข้ามาอีก และทำการเอ็กซ์ซีคิวเพื่อกระทำคำสั่งตามที่ได้รับเข้ามา ซึ่งซีพียูจะมีลักษณะการทำงานซ้ำๆ อยู่เช่นนี้

ซีพียู เบอร์ Z80 เป็นซีพียูเบอร์หนึ่งที่ได้รับความนิยมเป็นอย่างสูง สำหรับผู้ที่เริ่มต้นในการเรียนรู้การทำงานของไมโครโปรเซสเซอร์ โดยซีพียูเบอร์นี้มีโครงสร้างภายใน และการใช้งานที่ง่ายต่อการศึกษาทำความเข้าใจเกี่ยวกับการทำงานของระบบไมโครโปรเซสเซอร์



รูปที่ 2.2 สถาปัตยกรรมภายในของหน่วยประมวลผลกลาง Z80

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2.2 ส่วนประกอบของซีพียู Z80 มีส่วนประกอบของขาใช้งานต่างๆ ดังต่อไปนี้

1) รีจิสเตอร์แอคคิวมูเลเตอร์ ทำหน้าที่เก็บค่าตัวตั้ง เพื่อใช้งานในคำสั่งที่เกี่ยวข้องกับ ALU (Arithmetic Logic Unit) แล้วใช้เก็บค่าผลลัพธ์ที่ออกจาก ALU ลงในแอคคิวมูเลเตอร์

2) รีจิสเตอร์แฟลก ทำหน้าที่เก็บค่าสถานะของคำตอบที่ได้จากการกระทำคำสั่งที่ผ่าน ALU

3) รีจิสเตอร์ B, C, D, E, H, L ทำหน้าที่เก็บข้อมูลขนาด 8 บิตที่อยู่ในบัสข้อมูลภายใน

4) รีจิสเตอร์ A' B' C' D' E' F' H' L' ใช้เป็นรีจิสเตอร์สำรอง เก็บข้อมูลขนาด 8 บิตที่อยู่ในรีจิสเตอร์หลัก B, C, D, E, H, L

5) รีจิสเตอร์ I (Interrupt Register) เป็นรีจิสเตอร์ที่ทำหน้าที่เก็บข้อมูลเลขฐานสอง ขนาด 8 บิตบน ของการอินเตอร์รัพต์โหมด 2

6) รีจิสเตอร์ R เป็นรีจิสเตอร์ที่ใช้ทำหน้าที่เก็บค่า ในการรีเฟรชหน่วยความจำแบบชั่วคราว (DRAM) ที่ต่ออยู่ภายนอก

7) รีจิสเตอร์ IX, IY เป็นอินเด็กซ์รีจิสเตอร์ ใช้ทำหน้าที่ช่วยในการกำหนดตำแหน่งของหน่วยความจำให้คล่องตัวยิ่งขึ้น

8) โปรแกรมเคาน์เตอร์ (PC) ทำหน้าที่ชี้ค่าตำแหน่งที่อยู่ของข้อมูลในหน่วยความจำภายนอกที่จะทำการเฟ็ทซ์คำสั่งครั้งถัดไป

9) สแตกพอยท์เตอร์ (SP) ทำหน้าที่ชี้ตำแหน่งที่อยู่ของข้อมูลที่นำมาพักไว้ที่หน่วยความจำภายนอก

10) ดาต้าอินเอาต์บัฟเฟอร์ เป็นส่วนที่ควบคุมสัญญาณที่เข้าออกจากตัวซีพียู

11) แอดเดรสบัสบัฟเฟอร์ เป็นส่วนที่ทำหน้าที่ควบคุมสัญญาณตำแหน่งที่ส่งออกจากซีพียู

12) แลตซ์ ในซีพียู Z80 ภายในมีวงจรแลตช์ 2 วงจร หรือเรียกว่า Temp1, Temp2 เพื่อพักตัวตั้ง และตัวกระทำก่อนเข้าอินพุตของ ALU

13) ALU ทำหน้าที่ประมวลผลคำสั่งทางคณิตศาสตร์และกระทำทางลอจิก

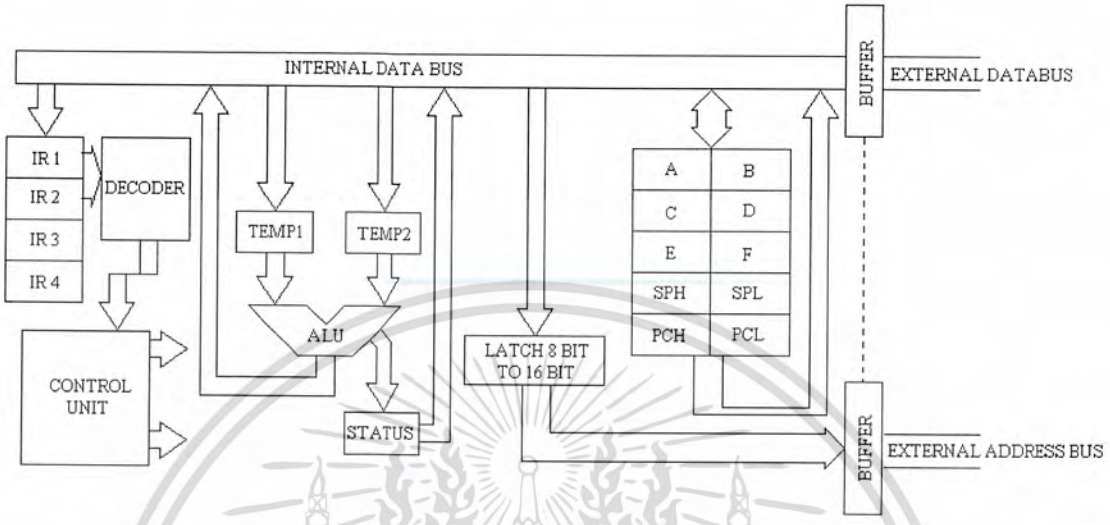
14) รีจิสเตอร์คำสั่ง ทำหน้าที่เก็บรหัสคำสั่งจากการเฟ็ทซ์จากหน่วยความจำภายนอก

15) ส่วนถอดรหัสคำสั่ง ทำหน้าที่ในการแปลรหัสคำสั่งที่ได้จากการเฟ็ทซ์ ว่าคำสั่งนั้นเป็นคำสั่งที่ต้องการให้ซีพียูทำหน้าที่อะไร

16) ส่วนควบคุม ทำหน้าที่กำเนิดสัญญาณความคุมส่วนต่างๆ ของซีพียู ให้ทำงานตามคำสั่งที่ซีพียูได้รับเข้ามา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3 สถาปัตยกรรมภายในซีพียู ที่ใช้ในชุดปฏิบัติการไมโครโปรเซสเซอร์



รูปที่ 2.3 สถาปัตยกรรมภายในซีพียู ที่ใช้ในชุดปฏิบัติการไมโครโปรเซสเซอร์

ลักษณะสถาปัตยกรรมภายในซีพียูนี้ เป็นสถาปัตยกรรมแบบฮาร์วาร์ด (Harward) ที่มีบัสภายใน 2 ชุด คือ บัสข้อมูล (Data Bus) และบัสตำแหน่ง (Address Bus) แยกกัน

2.4 ส่วนประกอบของชุดปฏิบัติการไมโครโปรเซสเซอร์

ในการสร้างชุดปฏิบัติการไมโครโปรเซสเซอร์ ได้แบ่งส่วนประกอบออกเป็น 5 ส่วนดังนี้คือ

2.4.1 รีจิสเตอร์อาเรย์ โดยแบ่งรีจิสเตอร์ได้เป็น 2 กลุ่ม คือ กลุ่มที่ 1

กลุ่มที่ 1 เป็นรีจิสเตอร์เดี่ยวขนาด 8 บิต โดยรีจิสเตอร์แต่ละตัวมีรายละเอียดดังนี้

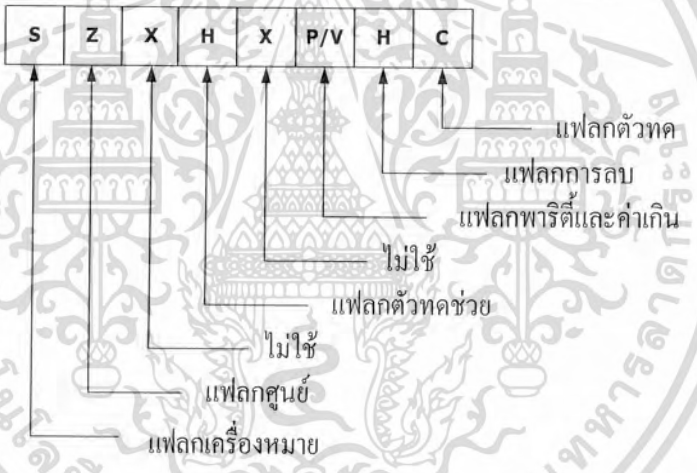
A	F
B	C
D	E
H	L

รูปที่ 2.4 กลุ่มรีจิสเตอร์ขนาด 8 บิต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1) รีจิสเตอร์ A (แอคคิวมูเลเตอร์) เป็นรีจิสเตอร์หลักที่ใช้สำหรับพักข้อมูลเข้าและออก จาก ALU เมื่อซีพียูทำการประมวลผลคำสั่งทางคณิตศาสตร์หรือกระทำทางลอจิก ซีพียูจะเก็บค่าตัวตั้งไว้ในแอคคิวมูเลเตอร์ เมื่อซีพียูประมวลผลคำสั่งทางคณิตศาสตร์และกระทำทางลอจิกเสร็จ จะเก็บค่าคำตอบที่ได้ไว้ในแอคคิวมูเลเตอร์ นอกจากนี้รีจิสเตอร์ A ยังใช้เป็นรีจิสเตอร์หลักสำหรับการพักข้อมูลที่เข้าและออกจากตัวซีพียูด้วย

2) รีจิสเตอร์ F (แฟลก) เป็นรีจิสเตอร์ที่ทำหน้าที่เก็บและแสดงถึงสภาวะของผลลัพธ์ ที่ซีพียูได้ทำการประมวลผลคำสั่งทางคณิตศาสตร์และกระทำทางลอจิก ซึ่งประกอบด้วยรีจิสเตอร์สถานะหรือแฟลก โดยเป็นรีจิสเตอร์ขนาด 8 บิต แต่ละบิตจะใช้แสดงสถานะของซีพียูที่จะเกิดขึ้นหลังจากที่กระทำคำสั่งทางคณิตศาสตร์ คำสั่งทางลอจิกหรือการทำคำสั่งอื่นๆ ของซีพียู บิตต่างๆ ของแฟลกใช้แสดงสถานะที่แตกต่างกัน โดยรูปแบบของรีจิสเตอร์นี้แสดงดังรูปที่ 2.5



รูปที่ 2.5 รูปแบบของรีจิสเตอร์ F (แฟลก)

บิต 3 และบิต 5 ของแฟลกไม่ได้ถูกใช้เพื่อแสดงสถานะ ดังนั้นค่าในบิตทั้ง 2 นี้จะเป็นค่าใดก็ได้ ข้อมูลที่บิตต่างๆ ของแฟลกอาจเป็น “0” หรือ “1” ก็ได้แล้วแต่ผลของการกระทำคำสั่งต่างๆ ของซีพียู กลุ่มคำสั่งที่มีผลต่อแฟลก เช่น คำสั่งในกลุ่มของการกระทำทางคณิตศาสตร์และกระทำทางลอจิก กลุ่มของการเลื่อนและหมุนข้อมูล กลุ่มของการทดสอบบิต เป็นต้น และในการทำงานข้าม (Jump or Branch) แบบมีเงื่อนไข ซีพียูจะทำการทดสอบข้อมูลที่บิตต่างๆ ของแฟลกนี้ด้วย ว่าเป็นไปตามเงื่อนไขที่ต้องการหรือไม่ โดยรายละเอียดของแฟลกต่างๆ อธิบายได้ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.1) แฟลกตัวทด (Carry flag)

แฟลกตัวทดหรือแฟลก C (บิตตำแหน่ง 0) แฟลกนี้จะเซตหรือรีเซตขึ้นอยู่กับผลการทำงานของคำสั่งกลุ่มต่างๆ เช่น กลุ่มคณิตศาสตร์ กลุ่มของการเลื่อนและหมุนข้อมูล ตัวอย่างเช่น การบวกเลขฐานสอง 8 บิตสองจำนวน หรือการลบเลขฐานสอง 8 บิตสองจำนวน แสดงดังรูปที่ 2.6

```
   01101011          01001010
 + 11011110        + 00111101
[1] 01001001      [0] 10000111
```

(ก) รูปการบวกแบบมีตัวทด **(ข)** รูปการบวกแบบไม่มีตัวทด

```
   01101011          01011010
 - 00101001        - 10001100
[0] 01000010      [1] 11000110
```

(ค) รูปการลบแบบไม่มีตัวทด **(ง)** รูปการลบแบบมีตัวทด

รูปที่ 2.6 ผลลัพธ์จากบวกและลบเลขฐานสองขนาด 8 บิต

จากตัวอย่าง (ก) เห็นได้ว่าผลของการบวกได้ผลลัพธ์เกิน 8 บิต ดังนั้นบิตที่เกินมาเป็นบิตที่ 9 จะทำให้แฟลก C เซตเป็น 1 ส่วนตัวอย่าง (ข) ผลของการบวกไม่เกิน 8 บิต แฟลก C จะรีเซตเป็น 0 ในทำนองเดียวกันเมื่อทำคำสั่งลบ แฟลก C นี้จะเป็นแฟลกที่ใช้แสดงการขอยืม (borrow) ตัวอย่าง (ง) เมื่อการลบต้องมีการขอยืม แฟลก C จะเซตเป็น 1 และจากตัวอย่าง (ค) ถ้าไม่มีการขอยืม แฟลก C นี้ก็จะรีเซตเป็น 0 แต่ถ้าซีพียูทำคำสั่งกลุ่มลอจิก ไม่ว่าคำสั่งใดก็ตาม แฟลก C นี้จะ รีเซตเป็น 0 เสมอ

2.2) แฟลกการลบ (Negative flag)

แฟลกการลบจะเซตหรือรีเซต ขึ้นอยู่กับคำสั่งที่ใช้เกี่ยวข้องกับทางคณิตศาสตร์ นั่นคือเมื่อทำคำสั่งประเภทการลบ แฟลกนี้จะเซต เช่น เมื่อซีพียูทำคำสั่ง SUB, CP, DEC เป็นต้น แต่ถ้าซีพียูทำคำสั่งที่เป็นการบวก เช่น ADD, INC แฟลกนี้จะรีเซต แฟลกการลบนี้มีประโยชน์มากเมื่อทำคำสั่ง DAA (Decimal Adjust Accumulator) จะทำให้ซีพียูรู้ว่าคำสั่งก่อนหน้านี้เป็นคำสั่งประเภทการบวกหรือการลบ เพื่อจะได้ทำการปรับด้วยการบวกหรือลบด้วย 6 เพื่อให้ได้เลข BCD ที่ต้องการ

2.3) แฟลกพาริตี้หรือค่าเกิน (Parity or overflow flag)

เป็นแฟลกที่อยู่บิต 2 ของแฟลกรีจิสเตอร์ แฟลกนี้มีประโยชน์สองอย่างคือ เมื่อซีพียูทำคำสั่งทางลอจิก แฟลกนี้จะเป็นแฟลกพาริตี้ แต่ถ้าซีพียูทำคำสั่งทางคณิตศาสตร์ แฟลกนี้จะเป็นแฟลก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ค่าเกิน ในกรณีของแฟลกพาริตี้ บิตนี้จะเซตเป็น 1 ถ้าผลของการกระทำทางลอจิกแล้วทำให้จำนวน 1 ของแอคคิวมูเลเตอร์เป็นจำนวนคู่ (Even parity) และรีเซตเป็น 0 ถ้าจำนวน 1 ในแอคคิวมูเลเตอร์เป็นจำนวนคี่ (Odd parity) แสดงดังรูปที่ 2.7

```
          10110110
AND       10000101
ผลลัพธ์   10000100  ──────► "1" มี 2 บิต เป็นจำนวนคู่ : แฟลก P = 1

          01101001
OR        00110001
ผลลัพธ์   01111001  ──────► "1" มี 5 บิต เป็นจำนวนคี่ : แฟลก P = 0
```

รูปที่ 2.7 ผลลัพธ์ที่ทำให้เกิดค่าของแฟลกพาริตี้

ในกรณีที่ทำงานเป็นแฟลกค่าเกิน (Overflow หรือ V) คือเมื่อซีพียูทำคำสั่งทางคณิตศาสตร์ แฟลก V นี้จะเซตเมื่อผลลัพธ์จากการกระทำมีค่าเกิน และรีเซตเมื่อผลลัพธ์ไม่เกิดค่าเกิน ค่าเกินนี้พิจารณาได้จากผลลัพธ์ที่จะได้ที่แอคคิวมูเลเตอร์ เนื่องจากระบบตัวเลขที่ใช้ในไมโครโปรเซสเซอร์เป็นแบบ 2's Complement Sign Binary นั่นคือ บิตสูงสุดเป็นบิตเครื่องหมาย และที่เหลือเป็นขนาดของเลข ดังนั้นถ้าแอคคิวมูเลเตอร์มีขนาด 8 บิต มันจะสามารถแสดงค่าเลขฐานสองได้ระหว่าง 0111 1111 (+127) ถึง 1000 000 (-128) ดังนั้นถ้าผลของการกระทำทางคณิตศาสตร์ สูงกว่า +127 หรือต่ำกว่า –128 จะทำให้แฟลก V เซต แต่ถ้าผลของการกระทำทางคณิตศาสตร์ มีค่าอยู่ระหว่าง +127 ถึง –128 แฟลกนี้จะรีเซต โดยแสดงดังตัวอย่างต่อไปนี้

ตัวอย่างที่ 1

จำนวนเลขฐานสิบบวกเลขฐานสิบ

```
  + 127
  +  64
  + 191
```

จำนวนเลขฐานสองบวกเลขฐานสอง

```
    01111111
  + 01000000
V[1] 10111111
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งไม่อนุญาตให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตัวอย่างที่ 2

จำนวนเลขลบฐานสิบลบเลขฐานสิบ

- 125

- 126

- 251

จำนวนลบเลขฐานสองลบเลขฐานสอง

1 0 0 0 0 0 1 1

\+ 1 0 1 0 0 0 1 0

V [1] 0 0 0 0 0 1 0 1

ตัวอย่างที่ 3

จำนวนเลขฐานสิบบวกเลขฐานสิบ

+ 32

+ 32

+ 64

จำนวนเลขฐานสองบวกเลขฐานสอง

0 0 1 0 0 0 0 0

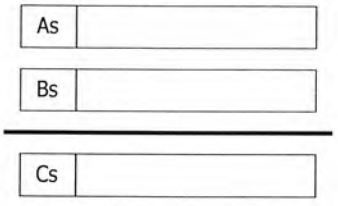
\+ 0 0 1 0 0 0 0 0

V [0] 0 1 0 0 0 0 0 0

จากตัวอย่างแรกและตัวอย่างที่สอง แสดงให้เห็นว่าแฟลก V เซต สังเกตได้ว่าในกรณีที่แฟลก V จะเซต เป็นได้ดังนี้คือ ถ้าบิตเครื่องหมายของทั้งตัวตั้งและตัวบวกเป็น “0” (+) แล้วผลลัพธ์มีบิตเครื่องหมายเป็น “1” (-) แสดงว่าเกิดค่าเกิน (ตัวอย่างแรก) ในทำนองเดียวกันถ้าบิตเครื่องหมายของทั้งตัวตั้งและตัวบวกเป็น “1” (-) ทั้งคู่ แล้วผลลัพธ์มีบิตเครื่องหมายเป็น “0” (+) แสดงว่าเกิดค่าเกิน นอกเหนือจากนี้แฟลก V จะรีเซต ดังนั้นถ้ากำหนดให้บิตเครื่องหมายตัวตั้งคือ As บิตเครื่องหมายตัวบวกคือ Bs และบิตเครื่องหมายผลลัพธ์คือ Cs ดังแสดงดังตัวอย่างด้านล่าง ในกรณีของการเกิดค่าเกิน สามารถเขียนเป็นสมการลอจิกได้ดังนี้ คือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$V = \overline{As}.\overline{BS}.Cs + As.Bs.\overline{CS}$$



รูปที่ 2.8 สมการลอจิก กรณีของการเกิดค่าเกิน

เมื่อ V คือสถานะการเกิดค่าเกินถ้า V เป็นลอจิก "1" แสดงว่าเกิดค่าเกิน ถ้าเป็นลอจิก "0" แสดงว่าไม่เกิดค่าเกิน ในกรณีของการเกิดค่าเกิน เราจะต้องพิจารณาแฟลก C เป็นบิตเครื่องหมาย และบิตเครื่องหมายเดิมจะกลายเป็นบิตสูงสุดของค่าตัวเลข (Magnitude)

2.4) แฟลกตัวทดช่วย (Half carry flag)

แฟลกตัวทดช่วย มีประโยชน์ในการกระทำทางคณิตศาสตร์ของตัวเลข BCD โดยที่แฟลกนี้จะเซต เมื่อมีการทดหรือการขอยืมของการกระทำตัวเลข 4 บิตทางด้านต่ำ (4 Least Significant Bit) ประโยชน์ของแฟลกนี้ ใช้เพื่อการปรับผลลัพธ์ของตัวเลขที่เกิดจากการกระทำทางคณิตศาสตร์ของตัวเลข BCD ตัวอย่างของการเซตแฟลกตัวทดช่วยนี้แสดงดังตัวอย่าง

ตัวอย่างที่ 1

		H [0]	
11 bcd	⟶	0 0 0 1 0 0 0 1	
+ 22 bcd	⟶	+ 0 0 1 0 0 0 1 0	
33 bcd	⟶	0 0 1 1 0 0 1 1	แฟลก H = 0

ตัวอย่างที่ 2

		H [1]	
49 bcd	⟶	0 1 0 0 1 0 0 1	
+ 28 bcd	⟶	+ 0 0 1 0 1 0 0 0	
71 bcd (ไม่ถูกต้อง)	⟶	0 1 1 1 0 0 0 1	แฟลก H = 1
+ 6	⟶	+ 0 0 0 0 0 1 1 0	ถ้ามีการปรับโดยคำสั่ง DAA
77 bcd	⟶	0 1 1 1 0 1 1 1	โดยการบวก6 เข้าที่ 4 บิตด้านต่ำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แฟลกตัวทดช่วยและแฟลกการลบ เป็นแฟลกเพื่อใช้ประโยชน์ส่วนใหญ่ในการกระทำทางคณิตศาสตร์ของเลข BCD และแฟลกทั้งสองนี้ ไม่ได้ถูกทดสอบโดยคำสั่งของการทำงานข้ามแบบมีเงื่อนไขเหมือนกับแฟลกอื่นทั่วไป

2.5) แฟลกศูนย์ (Zero flag)

แฟลกศูนย์จะเซต ถ้าผลของการปฏิบัติคำสั่งแล้วทำให้ผลลัพธ์ในรีจิสเตอร์ที่อ้างถึงมีค่าเป็น "0" และจะรีเซต ถ้าผลลัพธ์ในรีจิสเตอร์ที่อ้างถึงไม่เป็น "0" ตัวอย่างของการทำงานของแฟลกศูนย์แสดงวิธีคำนวณได้ตามตัวอย่างต่อไปนี้

ตัวอย่างที่ 1

```
        01101001
AND     00000000
ผลลัพธ์ 00000000    แฟลก Z = 1 เพราะผลลัพธ์หลังจากการ AND เป็น 0
```

ตัวอย่างที่ 2

```
        11111111
+       00000001
C [1]   00000000    แฟลก Z = 1 และ แฟลก C = 1
```

แฟลกศูนย์นี้มีประโยชน์มากในการทำงานข้ามแบบมีเงื่อนไข โดยใช้คำสั่งต่างๆ เช่นคำสั่ง JP Z,nn JR Z,e และ JR NZ,nn เป็นต้น แฟลกศูนย์โดยทั่วไปใช้ประโยชน์ดังนี้

1) ใช้สำหรับเปรียบเทียบเลข 2 จำนวน

2) ใช้ทดสอบบิต

3) ใช้ตรวจสอบการลดค่าตัวนับ

ซึ่งประโยชน์ต่างๆ ในการใช้งานของแฟลกศูนย์จะเห็นได้ในการเขียนโปรแกรมที่ทำงานแบบวนรอบ

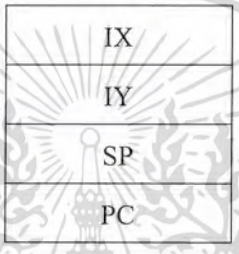
2.6) แฟลกเครื่องหมาย (Sign flag)

แฟลกนี้ใช้ในการตรวจสอบบิตเครื่องหมาย ซึ่งเครื่องหมายบวกหรือลบนี้ แสดงโดยตัวเลขที่บิต 7 ของแอคคิวมูเลเตอร์ ถ้าบิต 7 เท่ากับ "0" แสดงว่าเป็นค่าบวก ถ้าบิต 7 เท่ากับ "1" แสดงว่าเป็นค่าลบ แฟลกเครื่องหมายนี้จะเซต ถ้าหลังจากการปฏิบัติคำสั่งได้ผลลัพธ์ที่มีเครื่องหมายเป็นลบ และรีเซตเมื่อผลลัพธ์จากการปฏิบัติคำสั่งได้เครื่องหมายเป็นบวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แฟลกต่างๆ จะเซตหรือรีเซตจากผลการทำงานของคำสั่งในกลุ่มต่างๆ ดังนั้นเราสามารถทราบได้ว่าแฟลกใดจะมีผลเนื่องมาจากคำสั่งใด และคำสั่งใดทำการทดสอบที่แฟลกไหน โดยการดูได้จากตารางของชุดคำสั่งกลุ่มต่างๆ

3) รีจิสเตอร์ทั่วไป B, C, D, E, H, L เป็นรีจิสเตอร์เดี่ยวขนาด 8 บิต ใช้สำหรับเก็บข้อมูลเลขฐานสองขนาด 8 บิต โดยสามารถนำมาใช้เป็นรีจิสเตอร์คู่ขนาด 16 บิตได้ด้วย จากการจับคู่ระหว่างรีจิสเตอร์ B กับ C การจับคู่ระหว่างรีจิสเตอร์ D กับ E และจับคู่ระหว่างรีจิสเตอร์ H กับ L รีจิสเตอร์ B, C, D, E, H, L นี้เป็นรีจิสเตอร์ที่เหมาะสำหรับใช้เก็บข้อมูลขนาด 8 บิตทั่วไป



รูปที่ 2.9 กลุ่มรีจิสเตอร์ขนาด 16 บิต

4) อินเด็กซ์รีจิสเตอร์ (IX, IY) เป็นรีจิสเตอร์ขนาด 16 บิต ใช้ในการอ้างตำแหน่งแบบชี้ค่า โดยตำแหน่งใช้งานซึ่งเป็นตำแหน่งที่ชี้ไปยังหน่วยความจำนั้น จะเกิดจากเอาค่าตำแหน่งใน IX หรือ IY รวมกับค่าตำแหน่งระยะ (Displacement) เช่น

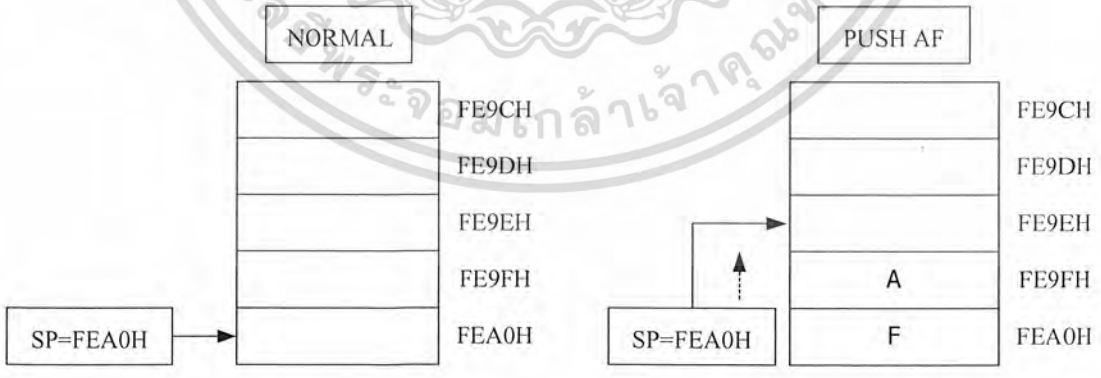
LD (IX+d), n เป็นการนำค่าเลขฐานสองขนาด 8 บิตใดๆ ไปเก็บยังตำแหน่งที่อยู่ของข้อมูลที่ค่า IX + d ชี้อยู่ เพื่อประโยชน์ในการชี้ข้อมูลที่เก็บอยู่ได้หลายตาราง ทำให้การทำกระบวนการข้อมูลเป็นไปอย่างรวดเร็ว และประหยัดเวลาทำงานตามโปรแกรมคำสั่ง

5) โปรแกรมเคาน์เตอร์ (PC) เป็นส่วนที่ทำหน้าที่เก็บตำแหน่งที่ชี้ลำดับการทำงานของคำสั่ง (Instruction) หรือโปรแกรมตัวถัดไปที่เก็บอยู่ ณ ตำแหน่งนั้นในขณะที่ให้โปรแกรมทำงานตามลำดับที่ต้องการได้ ซึ่งจะมี 16 บิต สำหรับซีพียูที่มีข้อมูลขนาด 8 บิต (Bit Word) สัญญาณวัฏจักรคำสั่ง (Instruction Cycle) จะเริ่มด้วยการที่ซีพียูส่งข้อมูลตำแหน่งที่เก็บคำสั่งตัวแรกด้วยโปรแกรมเคาน์เตอร์ และผ่านข้อมูลออกสู่บัสตำแหน่ง เพื่อที่ซีพียูจะได้อ่านหรือเฟ็ทซ์ (Fetch) การเฟ็ทซ์หมายถึง การที่ซีพียูอ่านข้อมูลจากตำแหน่งที่โปรแกรมเคาน์เตอร์ได้ชี้กำหนดไว้ หลังจากข้อมูลเข้าซีพียู โปรแกรมเคาน์เตอร์ก็จะเพิ่มค่าตำแหน่งอีกหนึ่งหน่วยโดยอัตโนมัติ เพื่อที่จะดึงเอาข้อมูลของคำสั่งที่จะให้ซีพียูทำอะไรต่อไปได้ตามโปรแกรมนั้นๆ บางครั้งคำสั่งต้องใช้ข้อมูลคำสั่งมากกว่าหนึ่งตำแหน่งที่อยู่ในหน่วยความจำ ณ ตำแหน่งนั้นๆ โปรแกรมเคาน์เตอร์ของซีพียูก็จะเพิ่มหน่วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

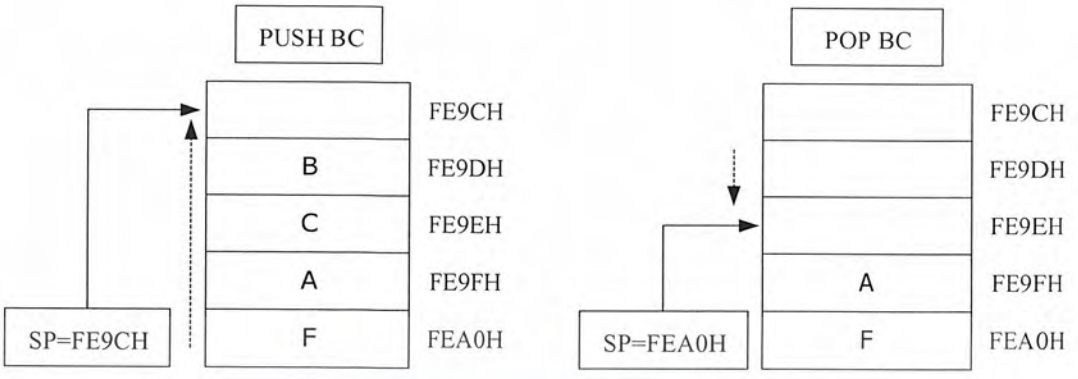
ขึ้นทีละหน่วยจนกว่าจะครบข้อมูลคำสั่งที่ซีพียูหรือรีจิสเตอร์นั้นๆ จะเข้าใจ และทำงานตามคำสั่งหลายตำแหน่งหรือไบต์ (Byte) นั้น โดยปกติซีพียูจะทำงานตามลำดับทีละขั้นตอนตามคำสั่งตลอดเวลาที่ไม่มีการสั่งเปลี่ยนตำแหน่ง หรือค่าข้อมูลที่อยู่ในโปรแกรมเคาน์เตอร์ด้วยคำสั่งของ JUMP

6) สแตกพอยท์เตอร์ (SP) ไมโครโปรเซสเซอร์ส่วนใหญ่จะต้องใช้สแตกพอยท์เตอร์เป็นตัวเก็บข้อมูลของรีจิสเตอร์ตัวนับโปรแกรม (PC) เมื่อการทำงานตามคำสั่ง CALL เป็นการเปลี่ยนแปลงค่าของโปรแกรมเคาน์เตอร์ ซึ่งก่อนจะเปลี่ยนแปลงค่าของโปรแกรมเคาน์เตอร์ไปยังตำแหน่งของโปรแกรมย่อย (Subroutine) จะต้องเก็บตำแหน่งของคำสั่งถัดมาจากคำสั่ง CALL ไปที่บริเวณสแตกก่อน ทั้งนี้เมื่อไมโครโปรเซสเซอร์สิ้นสุดการทำงานโปรแกรมย่อยแล้ว หลังการทำคำสั่ง RET ก็จะคืนกลับมายังตำแหน่งเดิมได้ ด้วยการเปลี่ยนค่าโปรแกรมเคาน์เตอร์จากการ POP เอาค่าโปรแกรมเคาน์เตอร์เดิมจากบริเวณสแตกมาไว้ที่โปรแกรมเคาน์เตอร์ เช่นเดียวกับการอินเตอร์รัพต์โปรแกรมด้วยฮาร์ดแวร์ เพื่อที่จะนำเอาข้อมูลเหล่านี้มาใช้ใหม่หลังจากอินเตอร์รัพต์เสร็จเรียบร้อยแล้วและต้องการจะทำงานต่อจากลำดับหลังก่อนที่จะมีการอินเตอร์รัพต์ โดยสแตกจะเป็นแบบ Last-In, First-Out (LIFO'S) Memory และตัวชี้สแตก หมายถึงข้อมูลที่เก็บอยู่ในหน่วยความจำที่กำหนดตำแหน่งด้วยตัวชี้สแตกโดยถือว่าเป็นบริเวณของสแตก และจะเป็นตัวชี้ตำแหน่งที่อยู่ของข้อมูลของรีจิสเตอร์ต่างๆ ที่เก็บอยู่ และสามารถจะทำงานในโปรแกรมด้วยคำสั่ง PUSH กรณีใส่ข้อมูลเข้าไปในบริเวณของสแตก และ POP เมื่อจะอ่านข้อมูลจากหน่วยความจำบริเวณของสแตก โดยหลังการ PUSH สแตกพอยท์เตอร์จะทำการเพิ่มค่าขึ้นหนึ่งตำแหน่งโดยอัตโนมัติ (Increment) ทำนองเดียวกันกับการ POP เมื่อเกิดแล้วค่าจะลดลงหนึ่งตำแหน่งเช่นกัน (Decrement)



รูปที่ 2.10 การเลื่อนข้อมูลในรีจิสเตอร์ A, F เข้าในหน่วยความจำสแตก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.11 การเลื่อนข้อมูลรีจิสเตอร์ B, C เข้าออกในหน่วยความจำสแตก

2.4.2 หน่วยคำนวณทางคณิตศาสตร์และกระทำทางลอจิก (Arithmetic Logic Unit)

ทำหน้าที่คำนวณทางคณิตศาสตร์และกระทำทางลอจิก เช่น

1) การบวก (Addition)

2) การลบ (Subtraction)

3) การกระทำทางลอจิกแอน (Logical AND)

4) การกระทำทางลอจิกออร์ (Logical OR)

5) การกระทำทางลอจิกเอ็กคลูซีพออร์ (Logical Exclusive-OR)

6) การคอมพลีเมนต์ (Logical NOT)

7) การเพิ่มค่าขึ้น 1 ค่า (Increment)

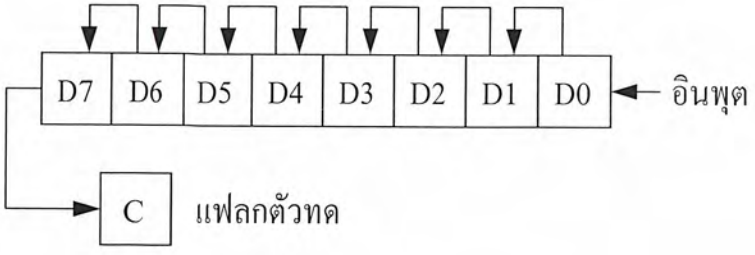
8) การลดค่าลง 1 ค่า (Decrement)

9) การเลื่อนบิตซ้ายขวา (Left, Right Shift)

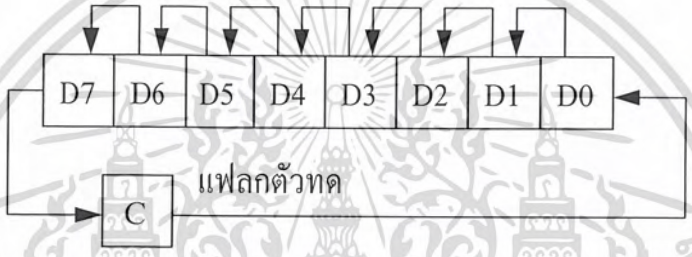
10) การหมุนบิตซ้ายขวา (Left, Right Rotate)

ALU มีอินพุต 2 ทาง โดยอินพุตด้านหนึ่งจะมีรีจิสเตอร์ขนาด 1 ไบต์เรียกว่า แอคคิวมูเลเตอร์ ซึ่งเก็บข้อมูลที่จะนำมาคำนวณที่ ALU และเมื่อได้ค่าผลลัพธ์แล้ว ผลลัพธ์นั้นจะถูกนำไปเก็บในแอคคิวมูเลเตอร์เช่นกัน ALU ปกติสามารถที่จะทำการเลื่อนข้อมูล (Shift Data) และหมุนข้อมูล (Rotate Data) ได้ ซึ่งการเลื่อนข้อมูลหรือการหมุนข้อมูลนี้จะกระทำผ่านแฟลกตัวทด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.12 การเลื่อนบิตไปทางซ้ายมือ



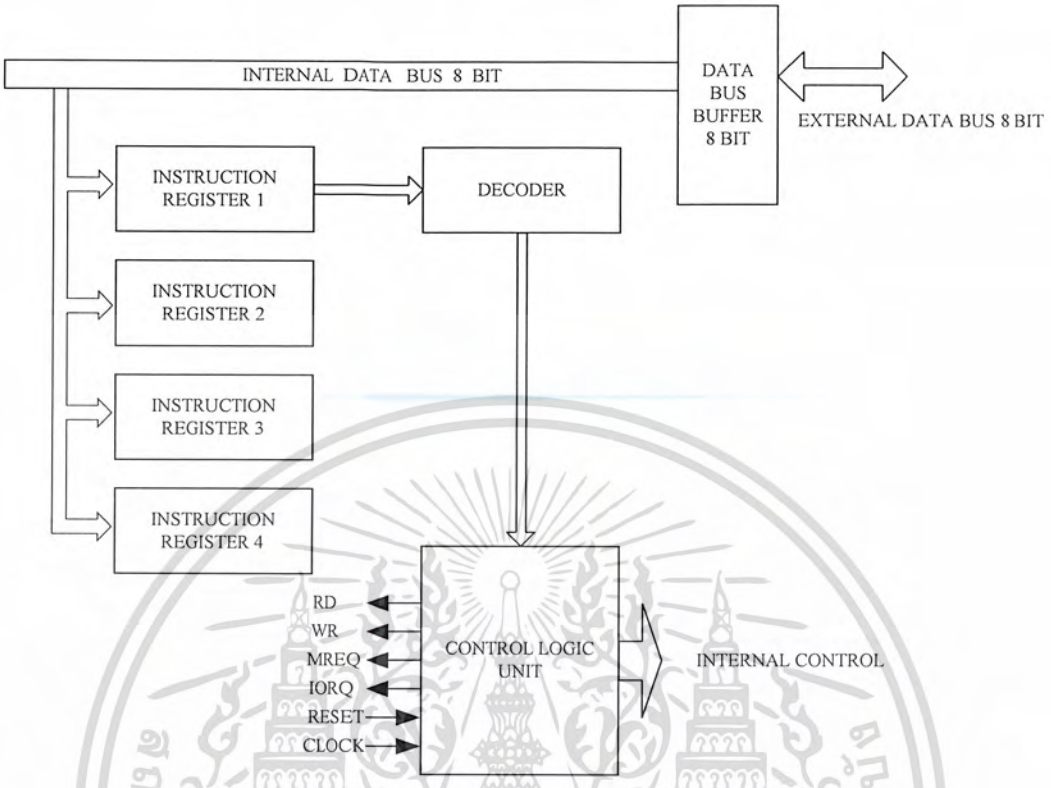
รูปที่ 2.13 การหมุนข้อมูลไปทางซ้ายผ่านแฟลกตัวทด

2.4.3 รีจิสเตอร์คำสั่ง และส่วนควบคุม

รีจิสเตอร์คำสั่ง (IR) เป็นรีจิสเตอร์ขนาด 8 บิตจำนวน 4 ตัว ทำหน้าที่เก็บคำสั่งความยาวตั้งแต่ 1-4 ไบต์ทำงาน โดยเมื่อเฟ็ทซ์คำสั่งเข้ามาในซีพียู คำสั่งไบต์แรกจะถูกเก็บยัง IR1 และคำสั่งไบต์แรกจะถูกส่งไปยังส่วนควบคุมเพื่อถอดรหัสคำสั่งว่าเป็นคำสั่งที่ต้องการให้ซีพียูต้องทำหน้าที่อะไร โดยส่วนควบคุมจะทำหน้าที่สร้างสัญญาณควบคุมการทำงานภายในและภายนอกซีพียู ตามรหัสคำสั่งที่ได้รับการถอดรหัสจากตัวถอดรหัสคำสั่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

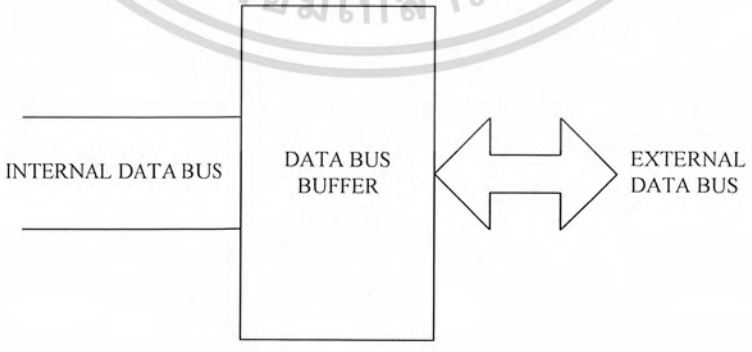
สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง



รูปที่ 2.14 ส่วนควบคุมและรีจิสเตอร์คำสั่ง

2.4.4 ดาต้าบัสบัฟเฟอร์

เป็นบัฟเฟอร์แบบไตรสเตทขนาด 8 บิต ชนิด 3 สภาวะ ทำหน้าที่แยกบัสข้อมูลภายในซีพียู กับบัสข้อมูลภายนอกซีพียู โดยข้อมูลจะสามารถเข้าออกได้สองทาง



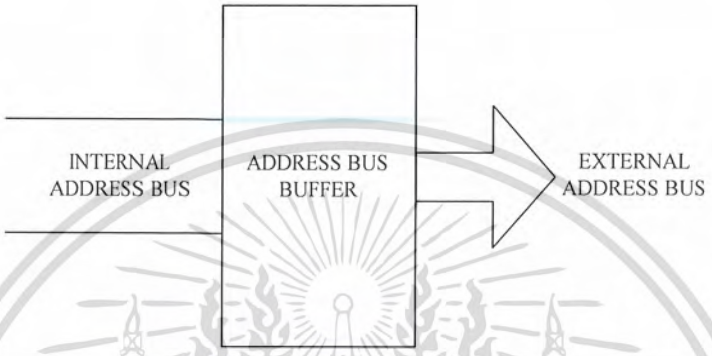
รูปที่ 2.15 ดาต้าบัสบัฟเฟอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

48345

2.4.5 แอดเดรสบัสบัฟเฟอร์

เป็นบัฟเฟอร์แบบไตรสเตท มีขนาด 16 บิต ทำหน้าที่เก็บตำแหน่งที่ใช้ชี้ตำแหน่งที่อยู่ของข้อมูลที่อยู่ในหน่วยความจำภายนอก ทั้งหน่วยความจำโปรแกรม และหน่วยความจำข้อมูล ซึ่งแอดเดรสบัสบัฟเฟอร์นี้ข้อมูลสามารถออกได้ทางเดียว



รูปที่ 2.16 แอดเดรสบัสบัฟเฟอร์

2.5 วิธีการอ้างตำแหน่งที่อยู่ข้อมูลของซีพียู

วิธีในการอ้างตำแหน่งที่อยู่ของข้อมูลในหน่วยความจำหรือรีจิสเตอร์ มี 10 วิธี ดังนี้

2.5.1 การอ้างตำแหน่งแบบแฝง (Implied Addressing)

การอ้างตำแหน่งชนิดนี้ รหัสคำสั่ง (Operation Code) จะเป็นแบบรหัสแน่นอน (Fix) ไม่มีส่วนที่แปรค่าได้ (Vary Field) เช่นคำสั่ง CPL, LD SP, IY , LD I, A , LD A, I และ RET เป็นต้น

เช่น คำสั่ง CPL : เป็นคำสั่งคอมพลีเมนต์ค่าในแอคคิวมูเลเตอร์

0010 1111 = 2FH (Opcode)

คำสั่ง LD SP, IY : เป็นคำสั่งที่นำค่าใน IY ไปเก็บใน SP

1111 1101 = FDH (Opcode)

1111 1001 = F9H (Opcode)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.5.2 การอ้างตำแหน่งแบบทันที (Immediate Addressing)

การอ้างตำแหน่งชนิดนี้ ข้อมูลจะเป็นส่วนประกอบอยู่ในคำสั่ง โดยไบต์ที่ 2 หรือ 3 จะเป็นโอเปอร์แรนด์ มีประโยชน์ใช้ในการคำนวณหรือปฏิบัติทางลอจิกด้วยข้อมูลที่คงที่

ถ้าข้อมูลมีขนาด 8 บิต จะถูกเก็บในไบต์ที่ 2 ของคำสั่ง

ถ้าข้อมูลมีขนาด 16 บิต 8 บิตล่างจะอยู่ในไบต์ที่ 2 ของคำสั่ง และ 8 บิตบนจะอยู่ในส่วน 3 ไบต์สูงของหน่วยความจำตำแหน่งสูงกว่าไบต์ต่ำ

1) Add A, n : เป็นคำสั่งนำค่า n บวกกับค่าในรีจิสเตอร์ A (แอคคิวมูเลเตอร์)

1100 0110 Opcode = C6H

n Onerand

n : เป็นโอเปอร์แรนด์มีค่าตั้งแต่ 0-255

ตัวอย่าง Add A, 30H

ก่อน A =	70	0111 0000	(70H)
		0011 0000 +	(30H)
หลัง A =	A0	1010 0000	(A0H)

หลังปฏิบัติคำสั่งนี้แอคคิวมูเลเตอร์จะมีค่า A0H

2) XOR N เป็นคำสั่งนำค่า N เอ็กคลูซีพออร์กับค่าใน A

1110 1110 = EEH

N = Operand

ตัวอย่าง XOR F0H

ก่อน A = F0H

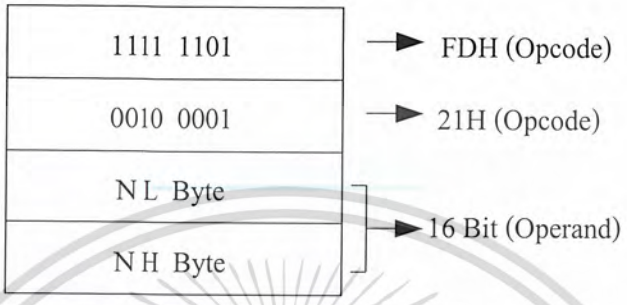
หลัง A = 00H

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.5.3 การอ้างตำแหน่งแบบทันทีขยาย (Extended Immediate Addressing)

คล้ายกับคำสั่งการอ้างตำแหน่งแบบทันที แต่เป็นกลุ่มที่ต้องการโอเปอร์แรนด์ขนาด 16 บิต

ตัวอย่าง LD IY, nn เป็นการนำค่า nn ขนาด 16 บิต ไปเก็บไว้ใน IY โดยเป็นคำสั่งขนาด 4 ไบต์

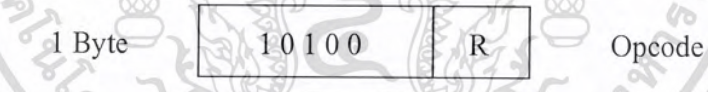


รูปที่ 2.17 การอ้างตำแหน่งแบบทันทีขยาย

2.5.4 การอ้างตำแหน่งแบบรีจิสเตอร์ (Register Addressing)

การอ้างตำแหน่งแบบนี้จะใช้รหัสคำสั่งที่ระบุถึงรีจิสเตอร์เดี่ยวขนาด 8 บิตภายในซีพียู เช่น And R, Add R เป็นต้น

ตัวอย่าง And R เป็นคำสั่งที่นำค่าในรีจิสเตอร์ที่ระบุโดย R ไป And กับค่าใน A



รูปที่ 2.18 การอ้างตำแหน่งแบบรีจิสเตอร์

2.5.5 การอ้างตำแหน่งแบบผ่านรีจิสเตอร์ (Register Indirect Addressing)

การอ้างตำแหน่งแบบนี้จะใช้รีจิสเตอร์คู่ขนาด 16 บิต BC, DE, HL ในการชี้ข้อมูลในหน่วยความจำ เช่น INC (HL) เป็นคำสั่งเพิ่มค่าภายในหน่วยความจำตำแหน่งที่ชี้โดยรีจิสเตอร์คู่ HL

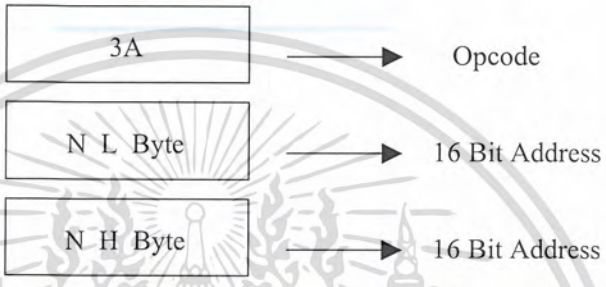
00110100 = 34H (Opcode)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.5.6 การอ้างตำแหน่งแบบขยาย (Extended Addressing)

การอ้างตำแหน่งแบบนี้ คำสั่งจะมีค่าตำแหน่งอยู่ด้วย ดังนั้นคำสั่งในกลุ่มนี้จะมีหลายไบต์ ทำให้การอ้างตำแหน่งหน่วยความจำได้มากขึ้น

ตัวอย่าง LD A, (NN) เป็นคำสั่งนำค่าในหน่วยความจำตำแหน่งที่ชี้โดย NN ไปเก็บไว้ในรีจิสเตอร์ A

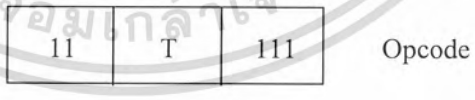


รูปที่ 2.19 ค่าในหน่วยความจำตำแหน่งที่ชี้โดย NN ไปเก็บในรีจิสเตอร์ A

2.5.7 การอ้างตำแหน่งในหน้าศูนย์ (Modify Page Zero Addressing)

การอ้างตำแหน่งแบบนี้ ใช้สำหรับคำสั่ง RST P (Restart Page Zero) คำสั่งนี้จะกระโดดไปยัง Page 0 ซึ่งแบ่งเป็น 8 ไบต์ (256 ไบต์เรียกว่า 1 Page)

การอ้างตำแหน่งแบบนี้ จะสังเกตได้ว่าประหยัดจำนวนไบต์ด้วยการใช้ไบต์เดียว ซึ่งปกติการอ้างหน่วยความจำต้องใช้หลายไบต์ เช่น คำสั่ง RST P



P	T
00H	000
08H	001
10H	010

รูปที่ 2.20 ตำแหน่งการจบโปรแกรม

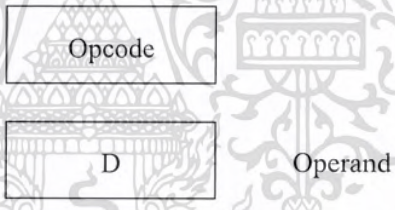
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

P	T
18H	011
20H	100
28H	101
30H	110
38H	111

รูปที่ 2.20 (ต่อ) ตำแหน่งการจบโปรแกรม

2.5.8 การอ้างตำแหน่งแบบสัมพันธ์ (Relative Addressing)

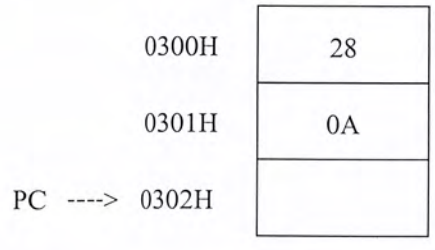
การอ้างตำแหน่งชนิดนี้ จะประหยัดเนื้อที่ของหน่วยความจำ คือสามารถอ้างตำแหน่งโดยใช้เพียง 2 ไบต์ (รวมรหัสคำสั่ง) แทนที่จะใช้ 3 หรือ 4 ไบต์เหมือนคำสั่งอื่นๆ โดยส่วนใหญ่จะเป็นคำสั่งกระโดดไปตำแหน่งต่างๆ ที่สัมพันธ์กับตำแหน่งของโปรแกรมเคาน์เตอร์



รูปที่ 2.21 การอ้างตำแหน่งแบบสัมพันธ์

D = ค่าระยะ (Displacement value) มีค่าตั้งแต่ -128 ถึง + 127 โดยการใช้ข้อมูลขนาด 7 บิต ส่วนบิตที่ 8 เป็นบิตเครื่องหมายบวกหรือลบ

ตัวอย่าง JR Z , 0AH



รูปที่ 2.22 การอ้างตำแหน่งแบบสัมพันธ์

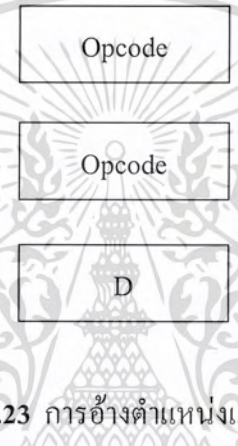
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หลังจากปฏิบัติคำสั่ง JR Z, 0AH จะกระโดดไปยังตำแหน่ง 0302H + 0AH = 30CH ถ้า Z = 0 แต่ถ้า Z ไม่เท่ากับ 0 จะทำตำแหน่ง 0302H ต่อไป

2.5.9 การอ้างตำแหน่งแบบดัชนี (Index Addressing)

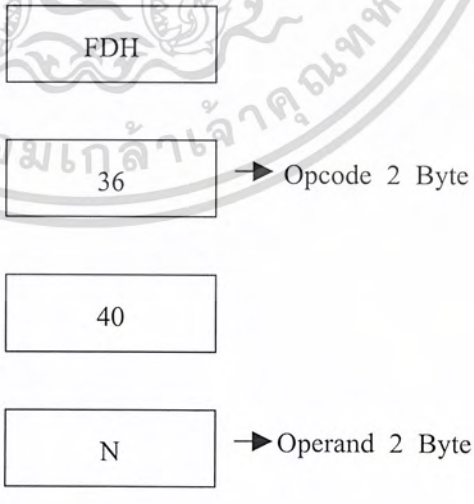
เป็นการอ้างตำแหน่งโดยให้ค่าในรีจิสเตอร์ IX, IY 16 บิต รวมกับค่าระยะ (Displacement) ค่าที่ได้เรียกว่าตำแหน่งใช้งาน ใช้ในการอ้างตำแหน่งติดต่อกับหน่วยความจำภายนอก

ตัวอย่าง ตำแหน่งใช้งาน = (IX+D) หรือ (IY+D)



รูปที่ 2.23 การอ้างตำแหน่งแบบดัชนี

ตัวอย่าง LD (IY+ D), N เป็นคำสั่งนำค่า N (8 บิต) ไปเก็บที่หน่วยความจำที่ชี้โดย (IY+ d)



รูปที่ 2.24 การอ้างตำแหน่งแบบดัชนี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ถ้า IY = 1003H และ N=30H เมื่อปฏิบัติ LD (IY+40) , 30H

ตำแหน่งใช้งาน = 1003H + 40H = 1043H

นำ N ไปเก็บที่ตำแหน่ง 1043H ซึ่งในที่นี้ N = 30H

2.5.10 การอ้างตำแหน่งแบบบิต (Bit Addressing)

เป็นกลุ่มคำสั่งซึ่งมีประโยชน์มากในการเซทและรีเซท หรือทดสอบบิตต่างๆ ในรีจิสเตอร์ขนาด 8 บิตหรือในหน่วยความจำ เช่น คำสั่ง BIT B, R SET B, R และ RES 9, r เป็นต้น

เช่น SET 0, C เป็นคำสั่งในการเซตรีจิสเตอร์ C บิตที่ 0 เป็น 1

ตารางที่ 2.1 การเซตบิตแอดเดรสซึ่งรีจิสเตอร์ C ที่บิต 0 เป็น 1

ก่อน	หลัง
C 00011110	C 00011111

2.6 การทำงานภายในซีพียู

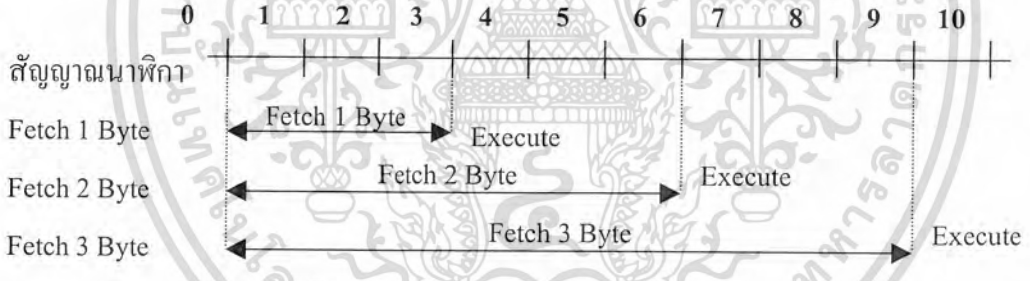
ภายในซีพียูมีการทำงานอยู่ 2 สภาวะ คือการเฟ็ทซ์และการเอ็กซ์ซีคิว

2.6.1 กรณีการเฟ็ทซ์ (นำข้อมูลคำสั่งจากหน่วยความจำภายนอกเข้าซีพียู)

ในครั้งแรก เมื่อซีพียูได้รับสัญญาณนาฬิกาลูกแรกเข้ามา ซีพียูจะเริ่มทำการเฟ็ทซ์ โดยส่วนควบคุมจะสร้างสัญญาณ สั่งให้โปรแกรมเคาน์เตอร์ส่งค่าตำแหน่งที่โปรแกรมเคาน์เตอร์เก็บอยู่ออกนำข้อมูลส่งไปที่บัสตำแหน่งข้อมูลภายใน และสร้างสัญญาณที่ขา MERQ, RD ให้เป็น 0 เพื่อเรียกใช้งานหน่วยความจำให้อ่านข้อมูลออกมา และสั่งดาต้าบัสบัฟเฟอร์ให้ทำการรับข้อมูลจากบัสตำแหน่งข้อมูลภายนอกเข้าสู่บัสข้อมูลภายใน โดยจากสัญญาณนาฬิกาลูกแรกที่ซีพียูได้รับข้อมูลที่เก็บอยู่ที่ตำแหน่งที่โปรแกรมเคาน์เตอร์ชี้อยู่จะถูกส่งเข้ายังบัสข้อมูลภายใน ซึ่งเป็นข้อมูลเลขฐานสอง เมื่อซีพียูได้รับสัญญาณนาฬิกาลูกที่ 2 เข้ามา ข้อมูลที่บัสข้อมูลภายในจะถูกสั่งให้เก็บลงบัสข้อมูลภายในตัวที่ 1 และส่วนถอดรหัสคำสั่งทำการแปลสัญญาณที่รีจิสเตอร์คำสั่ง 1 เก็บอยู่ ว่าเป็นคำสั่งอะไรและความยาวของคำสั่งนี้มีกี่ไบต์ เมื่อสัญญาณนาฬิกาลูกที่ 3 ถูกป้อนเข้าสู่ซีพียู ส่วนควบคุมจะสร้างสัญญาณให้โปรแกรมเคาน์เตอร์เพิ่มค่าที่เก็บอยู่ขึ้น 1 ตำแหน่ง ขั้นตอนนี้ในกรณีที่ส่วนถอดรหัสคำสั่งบอกว่าคำสั่งนี้มีความยาวแค่ 1 ไบต์ เมื่อซีพียูได้รับสัญญาณนาฬิกาลูกที่ 4 เข้ามา ก็จะไปทำการปฏิบัติตามคำสั่งที่ได้รับ แต่ถ้าส่วนถอดรหัสคำสั่งบอกว่าคำสั่งนี้มีความ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ยาว 2 ไบต์ เมื่อซีพียูได้รับสัญญาณนาฬิกาลูกที่ 4 เข้ามา ซีพียูจะทำการเฟ็ทซ์ซึ่งกระทำเหมือนสัญญาณนาฬิกาลูกแรก โดยข้อมูลที่ตำแหน่งที่โปรแกรมเคาน์เตอร์ชี้อยู่จะถูกส่งเข้าบัสข้อมูลภายใน เมื่อสัญญาณนาฬิกาลูกที่ 5 เข้ามา ส่วนควบคุมจะทำการเก็บค่าข้อมูลจากบัสข้อมูลภายในลงในรีจิสเตอร์คำสั่ง 2 เมื่อสัญญาณนาฬิกาลูกที่ 6 ถูกป้อนเข้าซีพียู ส่วนควบคุมจะทำการสร้างสัญญาณให้โปรแกรมเคาน์เตอร์เพิ่มค่าที่เก็บอยู่ขึ้น 1 ตำแหน่ง ขั้นตอนนี้ในกรณีที่ส่วนถอดรหัสคำสั่งบอกว่าคำสั่งนี้มีความยาวแค่ 2 ไบต์ เมื่อซีพียูได้รับสัญญาณนาฬิกาลูกที่ 7 เข้ามาก็จะทำการปฏิบัติตามคำสั่งที่ได้รับ แต่ถ้าส่วนถอดรหัสคำสั่งบอกว่าคำสั่งนี้มีความยาว 3 ไบต์ เมื่อซีพียูได้รับสัญญาณนาฬิกาลูกที่ 7 เข้ามา ซีพียูจะทำการเฟ็ทซ์ซึ่งกระทำเหมือนสัญญาณนาฬิกาลูกแรก ข้อมูลที่ตำแหน่งที่โปรแกรมเคาน์เตอร์ชี้อยู่จะถูกส่งเข้าบัสข้อมูลภายใน เมื่อสัญญาณนาฬิกาลูกที่ 8 เข้ามา ส่วนควบคุมจะทำการเก็บค่าข้อมูลในบัสข้อมูลภายในลงในรีจิสเตอร์คำสั่ง 3 เมื่อสัญญาณนาฬิกาลูกที่ 9 ถูกป้อนเข้าซีพียู ส่วนควบคุมจะสร้างสัญญาณสั่งให้โปรแกรมเคาน์เตอร์เพิ่มค่าที่เก็บอยู่ขึ้น 1 ตำแหน่ง ขั้นตอนนี้ ในกรณีที่ส่วนถอดรหัสคำสั่งบอกว่าคำสั่งนี้มีความยาว 3 ไบต์ เมื่อซีพียูได้รับสัญญาณนาฬิกาลูกที่ 10 เข้ามาก็จะทำตามคำสั่งที่ได้รับ



รูปที่ 2.25 จำนวนที่ใช้ในการเฟ็ทซ์ข้อมูล

2.6.2 กรณีการเอ็กซ์ซีคิว (การกระทำคำสั่งที่ซีพียูได้รับ)

คำสั่งที่ซีพียูได้รับนี้มีการทำงานอยู่หลายจำพวก สามารถแบ่งได้ดังนี้

1) กลุ่มคำสั่งโหลดข้อมูล 8 บิต

ใช้เคลื่อนย้ายข้อมูลระหว่างรีจิสเตอร์ด้วยกัน หรือระหว่างรีจิสเตอร์กับหน่วยความจำ 8 บิต โดยแสดงตัวอย่างการทำงานของกลุ่มคำสั่งได้ดังนี้

ตัวอย่างที่ 1 คำสั่ง LD A, B (B คือรีจิสเตอร์ที่ทำหน้าที่เก็บข้อมูลต้นทางและ A คือรีจิสเตอร์ที่ทำหน้าที่เก็บข้อมูลปลายทาง)

คำสั่งนี้คือการนำข้อมูลเลขฐานสองขนาด 8 บิตที่เก็บอยู่ในรีจิสเตอร์ B ไปเก็บลงในรีจิสเตอร์ A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ก่อนทำคำสั่ง รีจิสเตอร์ A = 35H, รีจิสเตอร์ B = 12H

1) นำข้อมูลในรีจิสเตอร์ B ออกสู่บัสข้อมูลภายใน → Reg B -> IN DATA BUS

2) สั่งเก็บข้อมูลที่บัสข้อมูลภายในลงในรีจิสเตอร์ A → IN DATA BUS -> Reg A

จบการทำคำสั่ง

รูปที่ 2.26 การทำงานของคำสั่ง LD A,B

หลังทำคำสั่ง ค่าในรีจิสเตอร์ A = 12H, รีจิสเตอร์ B = 12H

ตัวอย่างที่ 2 คำสั่ง LD A, n (n คือค่าในหน่วยความจำภายนอกขนาด 8 บิต, A คือรีจิสเตอร์เก็บข้อมูลปลายทาง) คำสั่งนี้คือการนำข้อมูลเลขฐานสองขนาด 8 บิตที่เก็บอยู่ในหน่วยความจำภายนอกเก็บลงในรีจิสเตอร์ A ก่อนทำคำสั่งค่าในรีจิสเตอร์ A = 35H, n = 9DH

ขณะที่เฟ็ทซ์ค่า n จะถูกนำมาเก็บในรีจิสเตอร์คำสั่ง 2 (ค่า n มาจากหน่วยความจำภายนอกในตำแหน่งถัดจากตำแหน่งที่อยู่ของรหัสคำสั่งไบต์แรก)

1) นำข้อมูลในรีจิสเตอร์คำสั่ง 2 ออกสู่บัสข้อมูลภายใน → IR2 -> IN DATA BUS

2) สั่งเก็บข้อมูลที่บัสข้อมูลภายใน ลงในรีจิสเตอร์ A → IN DATA BUS -> Reg

จบการทำคำสั่ง

รูปที่ 2.27 การทำงานของคำสั่ง LD A,n

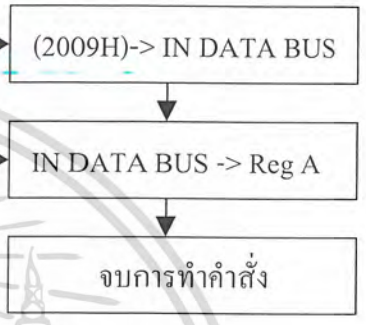
หลังทำคำสั่ง ค่าในรีจิสเตอร์ A = 9DH, n = 9DH

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตัวอย่างที่ 3 คำสั่ง LD A, (HL) (HL คือค่าตำแหน่งที่อยู่ของข้อมูลในหน่วยความจำภายนอก A คือรีจิสเตอร์เก็บข้อมูลปลายทาง) คำสั่งนี้คือการนำข้อมูลจากหน่วยความจำภายนอกในตำแหน่งที่ HL ชี้อยู่ ไปเก็บลงในรีจิสเตอร์ A

ก่อนทำคำสั่งค่าในรีจิสเตอร์ A = 35H, (HL) = 2009H เก็บข้อมูล 37H

1) นำข้อมูล HL ออกสู่บัสตำแหน่ง
เรียกใช้หน่วยความจำภายนอกให้อ่านข้อมูล ตำแหน่ง 2009H เข้าสู่บัสข้อมูลภายใน
2) สั่งเก็บข้อมูลที่บัสข้อมูลภายในลงในรีจิสเตอร์ A



รูปที่ 2.28 การทำงานของคำสั่ง LD A,(HL)

หลังทำคำสั่ง ค่าในรีจิสเตอร์ A = 37H, (HL) = 2009H เก็บข้อมูล 37H

2) กลุ่มคำสั่งโหลดข้อมูล 16 บิต

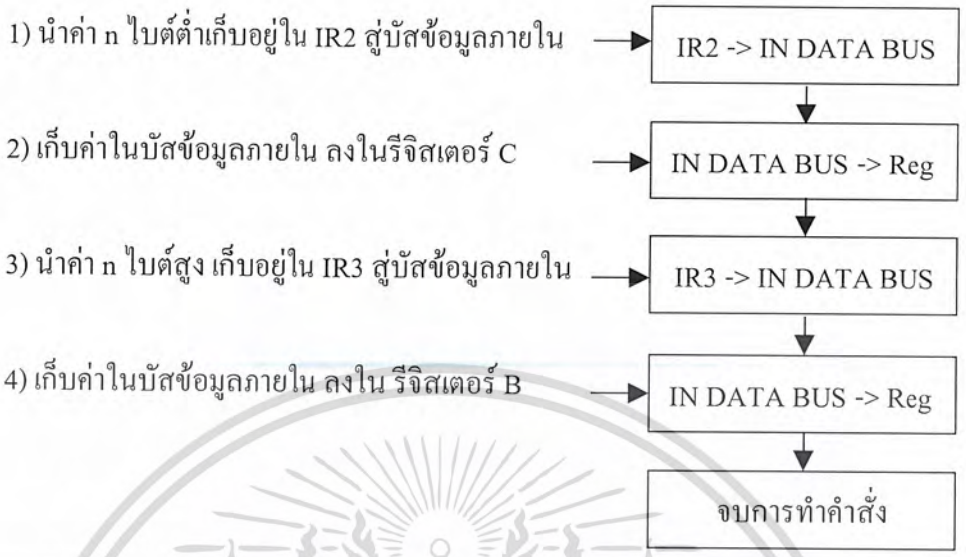
ใช้เคลื่อนย้ายข้อมูลระหว่างรีจิสเตอร์ด้วยกัน หรือระหว่างรีจิสเตอร์กับหน่วยความจำขนาด 16 บิต

ตัวอย่างที่ 1 คำสั่ง LD BC, nn เป็นการนำค่าข้อมูลเลขฐานสองขนาด 16 บิต ไปเก็บยังรีจิสเตอร์คู่ BC

ก่อนทำคำสั่ง B = 65H, C = 84H, n ไบต์ต่ำ = 54H, n ไบต์สูง = 23H

ขณะที่เฟิทซ์ค่า n ไบต์ต่ำ จะถูกนำมาเก็บในรีจิสเตอร์คำสั่ง 2 (ค่า n ไบต์ต่ำมาจากหน่วยความจำภายนอก ในตำแหน่งถัดจากตำแหน่งที่อยู่ของรหัสคำสั่งไบต์แรก) ค่า n ไบต์สูง จะถูกนำมาเก็บในรีจิสเตอร์คำสั่ง 3 (ค่า n ไบต์สูงมาจากหน่วยความจำภายนอกในตำแหน่งถัดจากตำแหน่งที่อยู่ของ n ไบต์ต่ำ)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



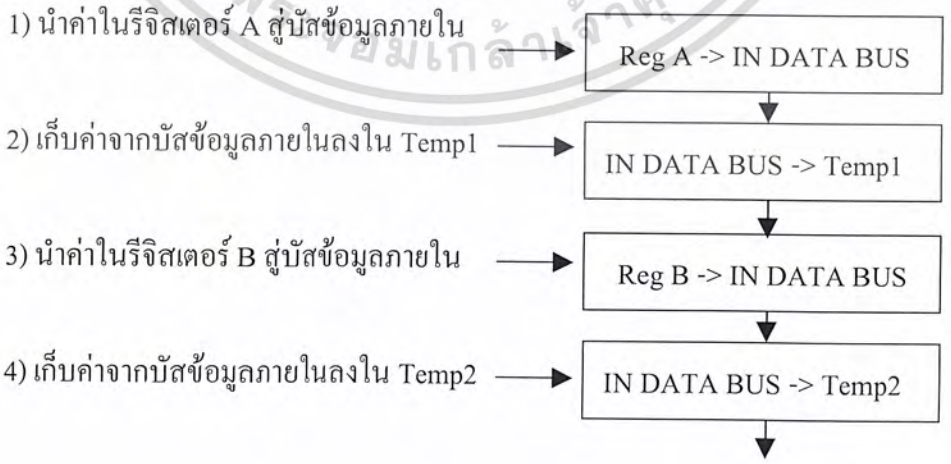
รูปที่ 2.29 การทำงานของคำสั่ง LD BC,nn

3) กลุ่มคำสั่งคำนวณทางคณิตศาสตร์และกระทำทางลอจิก 8 บิต

ใช้ปฏิบัติกับข้อมูลที่อยู่ในแอคคิวมูเลเตอร์, รีจิสเตอร์ หรือในหน่วยความจำ โดยผลลัพธ์ที่ได้จากการคำนวณนี้มีขนาด 8 บิต

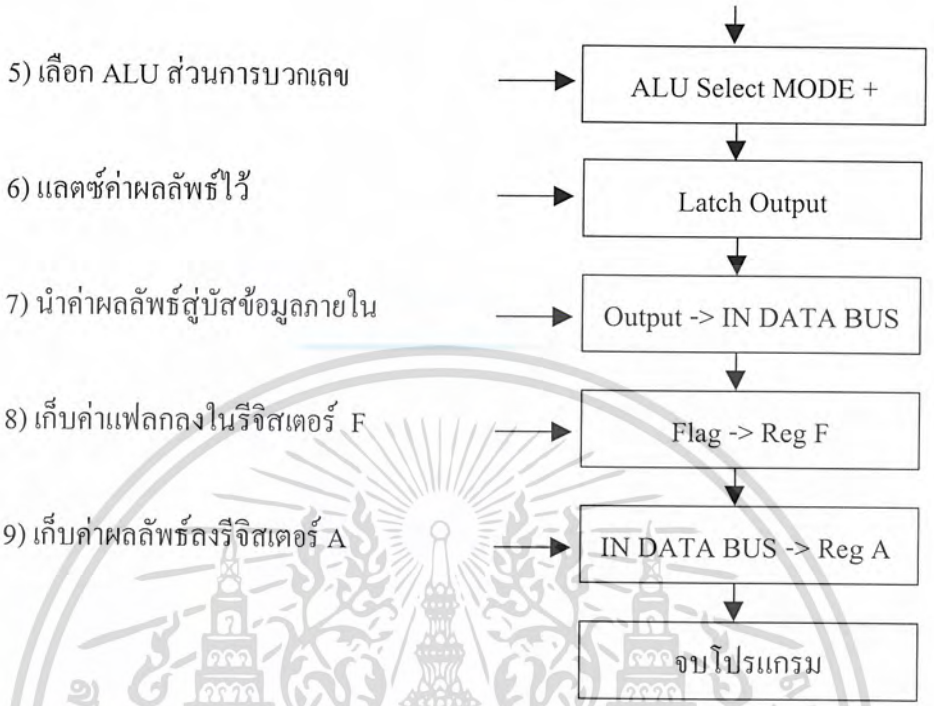
ตัวอย่างที่ 1 คำสั่ง ADD A, B เป็นการนำค่าในรีจิสเตอร์ A บวกกับค่าในรีจิสเตอร์ B แล้วนำผลลัพธ์เก็บยังรีจิสเตอร์ A

ก่อนทำคำสั่ง ค่าในรีจิสเตอร์ A = 15H, รีจิสเตอร์ B = 23H



รูปที่ 2.30 การทำงานของคำสั่ง ADD A,B

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



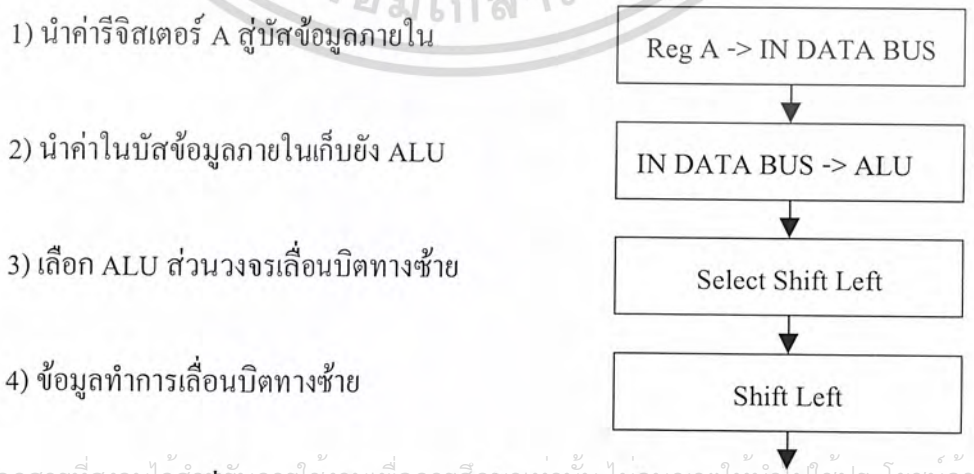
รูปที่ 2.30 (ต่อ) การทำงานของคำสั่ง ADD A,B

4) กลุ่มคำสั่งในการหมุนข้อมูลและเลื่อนข้อมูล (Shift and Rotate)

เป็นคำสั่งที่ใช้หมุนและเลื่อนบิตของข้อมูล

ตัวอย่างที่ 1 คำสั่ง SLA s เลื่อนข้อมูลในรีจิสเตอร์ A ไปทางซ้ายมือ โดยนำ 0 ไปแทนที่ D0

ก่อนทำคำสั่ง ค่าใน รีจิสเตอร์ A = 00011011



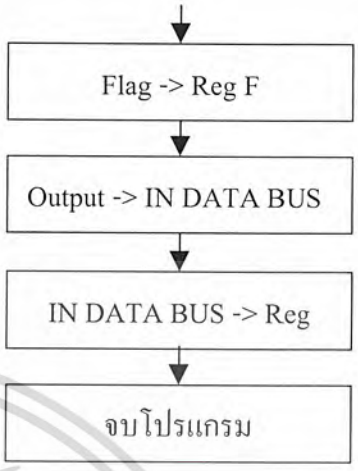
รูปที่ 2.31 การทำงานของคำสั่งหมุนและเลื่อนข้อมูล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5) เก็บค่าแฟลก

6) นำเอาต์พุตสู่บัสข้อมูลภายใน

7).นำค่าจากบัสข้อมูลภายในเก็บยังรีจิสเตอร์ A



รูปที่ 2.31 (ต่อ) การทำงานของคำสั่งหมุนและเลื่อนข้อมูล

5) กลุ่มคำสั่ง เซท รีเซท และตรวจสอบบิต

การใช้คำสั่ง เซท รีเซท และตรวจสอบบิตโดยสามารถเปลี่ยนแปลง และทดสอบข้อมูล แต่ละบิต (บิต 0-บิต 7) ในหน่วยความจำรีจิสเตอร์แอคคิวมูเลเตอร์ โดยผลของการเปลี่ยนแปลง และการทดสอบข้อมูลแต่ละบิตจะถูกแสดงในแฟลก

6) กลุ่มคำสั่งการกระโดด

ได้แก่คำสั่งการกระโดดไปทำงานยังตำแหน่งปลายทาง เช่น JP nn, JR e

7) กลุ่มคำสั่งการเรียกโปรแกรมย่อย และกลับเข้าสู่โปรแกรมหลัก

ได้แก่คำสั่ง Jump โดยการตรวจสอบสภาวะของแฟลกก่อนแบบมีเงื่อนไข และ Jump โดยไม่มีการตรวจสอบสภาวะของแฟลกก่อน รวมทั้งคำสั่งที่ใช้เรียกโปรแกรมย่อย และคำสั่งในกลุ่มกลับจากโปรแกรมย่อย เช่น CALL nn, RET, RST p

8) กลุ่มคำสั่งรับส่งข้อมูลเข้าและออกจากอุปกรณ์ภายนอก

คำสั่งประเภทนี้ใช้ในการเคลื่อนย้ายข้อมูลระหว่างรีจิสเตอร์กับหน่วยความจำ ไปยังอุปกรณ์อินพุตและเอาต์พุตภายนอก โดยมีคำสั่งพิเศษสำหรับเคลื่อนย้ายกลุ่มของข้อมูลสูงสุด 256 ไบต์ ระหว่างอุปกรณ์อินพุตและเอาต์พุตกับหน่วยความจำ เช่น IN (BC), n, OUT n, (BC)

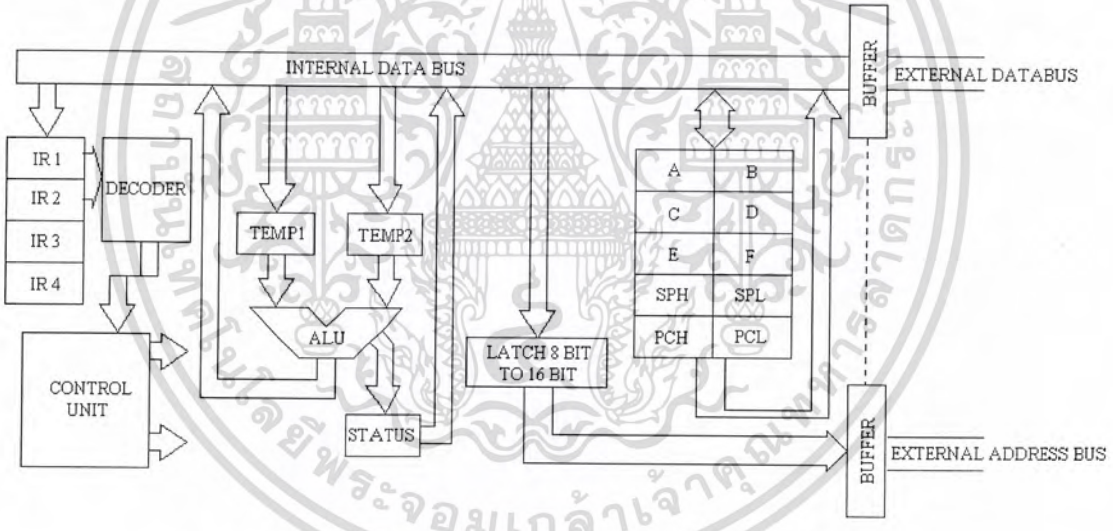
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3
การออกแบบ การสร้าง และการทำงาน

จากหลักการพื้นฐาน และทฤษฎีต่างๆ ที่เกี่ยวข้องกับหลักการทำงานของระบบไมโครโปรเซสเซอร์ สามารถทำการออกแบบ และสร้างวงจรการทำงานของชุดปฏิบัติการไมโครโปรเซสเซอร์ในแต่ละส่วน โดยมีขั้นตอนการออกแบบ การสร้าง และการทำงาน ได้ดังต่อไปนี้

3.1 ขั้นตอนการออกแบบ

สถาปัตยกรรมภายในของซีพียูในชุดปฏิบัติการไมโครโปรเซสเซอร์ มีโครงสร้างดังรูป



รูปที่ 3.1 สถาปัตยกรรมภายในของซีพียู ในชุดปฏิบัติการไมโครโปรเซสเซอร์

ส่วนประกอบหลักในการทำงานของชุดปฏิบัติการไมโครโปรเซสเซอร์ สามารถแยกออกเป็นส่วนสำคัญ 3 ส่วนดังนี้

3.1.1 ส่วนของวงจรภายในซีพียู

เป็นส่วนที่ทำหน้าที่รับคำสั่งจากหน่วยความจำภายนอกเข้าสู่ตัวซีพียูและทำการประมวลผล โดยช่วงของการรับคำสั่งจากหน่วยความจำภายนอก จะเรียกว่าสภาวะการเฟ็ทซ์ จากนั้นซีพียูจะทำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การแปลคำสั่งนั้นว่าเป็นคำสั่งอะไรแล้วจึงกระทำตามคำสั่งนั้นโดยเรียกว่า สภาวะการเอ็กซ์ซีคิว เมื่อเสร็จแล้ว ซีพียูจะทำการรับคำสั่งใหม่เข้ามาประมวลผลอีก

ส่วนของวงจรภายในซีพียูนี้จะประกอบไปด้วยภาคที่ทำหน้าที่หลักที่สำคัญคือ ส่วนของวงจรรีจิสเตอร์ วงจรส่วนประมวลผลทางคณิตศาสตร์และลอจิก และวงจรส่วนควบคุม

3.1.2 ส่วนการป้อนโปรแกรม

ทำหน้าที่รับการกดคีย์ 0 ถึง F จากภายนอกแล้วแปลงค่าที่ได้จากการกดคีย์ให้อยู่ในรูปรหัส BCD-8421 แล้วนำรหัสที่ได้นี้ป้อนเข้าสู่หน่วยความจำภายนอก ซึ่งรหัสดังกล่าวก็คือภาษาเครื่องหรือแมชชีนโค้ด เพื่อให้ซีพียูทำการประมวลผลรหัสดังกล่าวต่อไป

3.1.3 ส่วนของการแสดงผลข้อมูล

ทำหน้าที่ในการแสดงผลข้อมูล โดยบอกถึงค่าที่ถูกเก็บอยู่ในส่วนของภาคต่างๆ เช่น ค่าต่างๆ ในรีจิสเตอร์ของชุดปฏิบัติการไมโครโปรเซสเซอร์ ค่าที่เก็บอยู่ในส่วนประมวลผลทางคณิตศาสตร์และลอจิก เป็นต้น ซึ่งข้อมูลที่เก็บอยู่จะอยู่ในรูปของรหัส BCD-8421 จึงต้องมีการแปลงข้อมูลรหัส BCD-8421 นี้ เป็นเอาต์พุต A, B, C, D, E, F, G เพื่อใช้ขับส่วนแสดงผล 7 ส่วน

3.2 การสร้างและการทำงาน

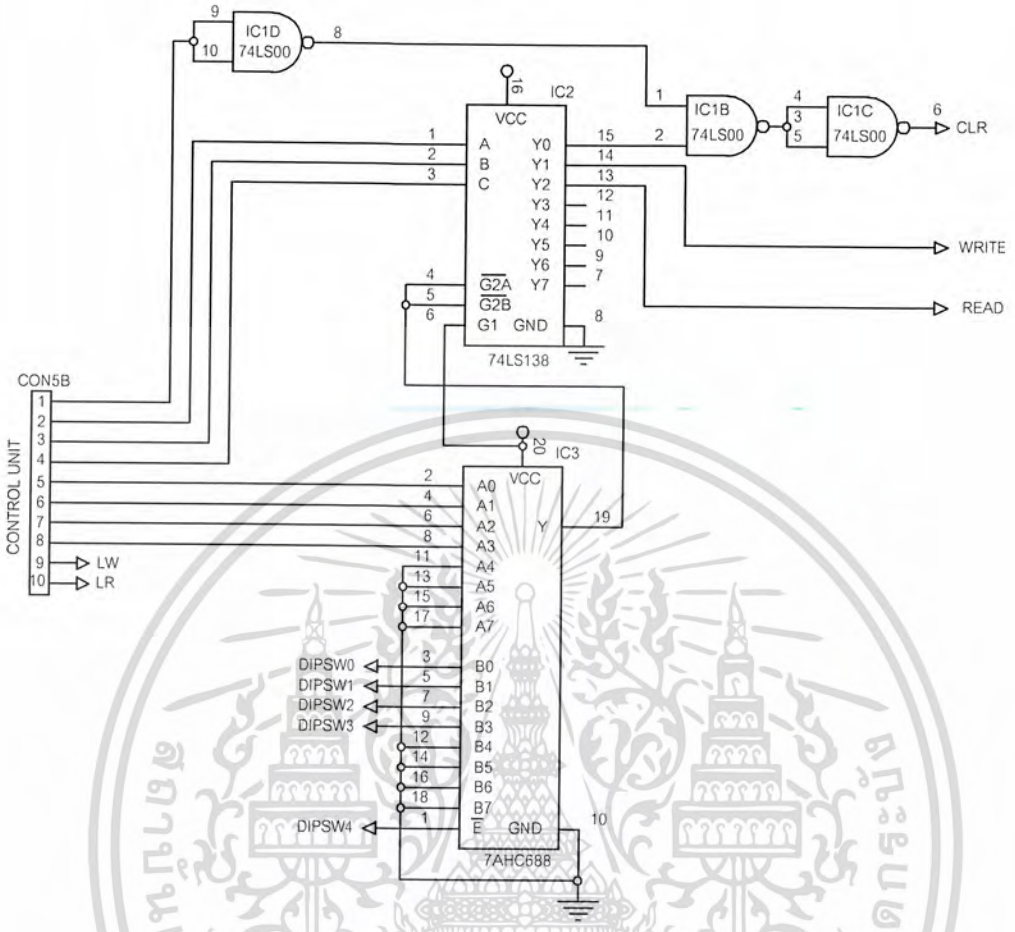
3.2.1 รีจิสเตอร์

1) รีจิสเตอร์ใช้งานทั่วไป

ทำหน้าที่เป็นรีจิสเตอร์ใช้งานทั่วไปขนาด 8 บิต ที่ประกอบไปด้วยรีจิสเตอร์ A, B, C, D, E และ F สำหรับเก็บข้อมูลตัวตั้ง ตัวกระทำ และผลลัพธ์ ที่ได้จากการกระทำจากส่วนประมวลผลทางคณิตศาสตร์และลอจิก และใช้งานเป็นรีจิสเตอร์คำสั่ง (IR) เก็บรหัสของคำสั่งเพื่อใช้ในการตีความ (Decode) นอกจากนี้ยังสามารถนำรีจิสเตอร์ทั่วไป 2 ตัว มาต่อร่วมกันได้ โดยที่รีจิสเตอร์นี้จะกลายเป็นรีจิสเตอร์ขนาด 16 บิตสำหรับใช้ทำงานพิเศษบางอย่าง เช่น ใช้สำหรับการกระทำทางคณิตศาสตร์ขนาด 16 บิต หรือใช้เป็นตัวเก็บตำแหน่งของหน่วยความจำที่ต้องการอ้างถึง คือ โปรแกรมเคาน์เตอร์ (PC) และสแตคพอยท์เตอร์ (SP) โดยในการใช้งาน ผู้ใช้จะต้องทำการกำหนดดิปสวิตซ์ขนาด 5 บิต เพื่อกำหนดตำแหน่งของรีจิสเตอร์แต่ละตัวว่าจะให้ทำหน้าที่เป็นรีจิสเตอร์ใด โดยค่าที่ใช้จะไม่เป็นค่าตายตัว ผู้ใช้งานสามารถที่จะกำหนดขึ้นได้ตามความเหมาะสม

การทำงานของวงจรรีจิสเตอร์ทั่วไปนี้ จะมีสัญญาณที่เข้าและออกจากรีจิสเตอร์สองส่วน คือ สัญญาณที่มาจากส่วนควบคุม (Control Unit) และสัญญาณที่เชื่อมต่ออยู่กับบัสข้อมูลภายในเพื่อใช้ในการส่งและรับข้อมูล โดยมีการทำงานดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

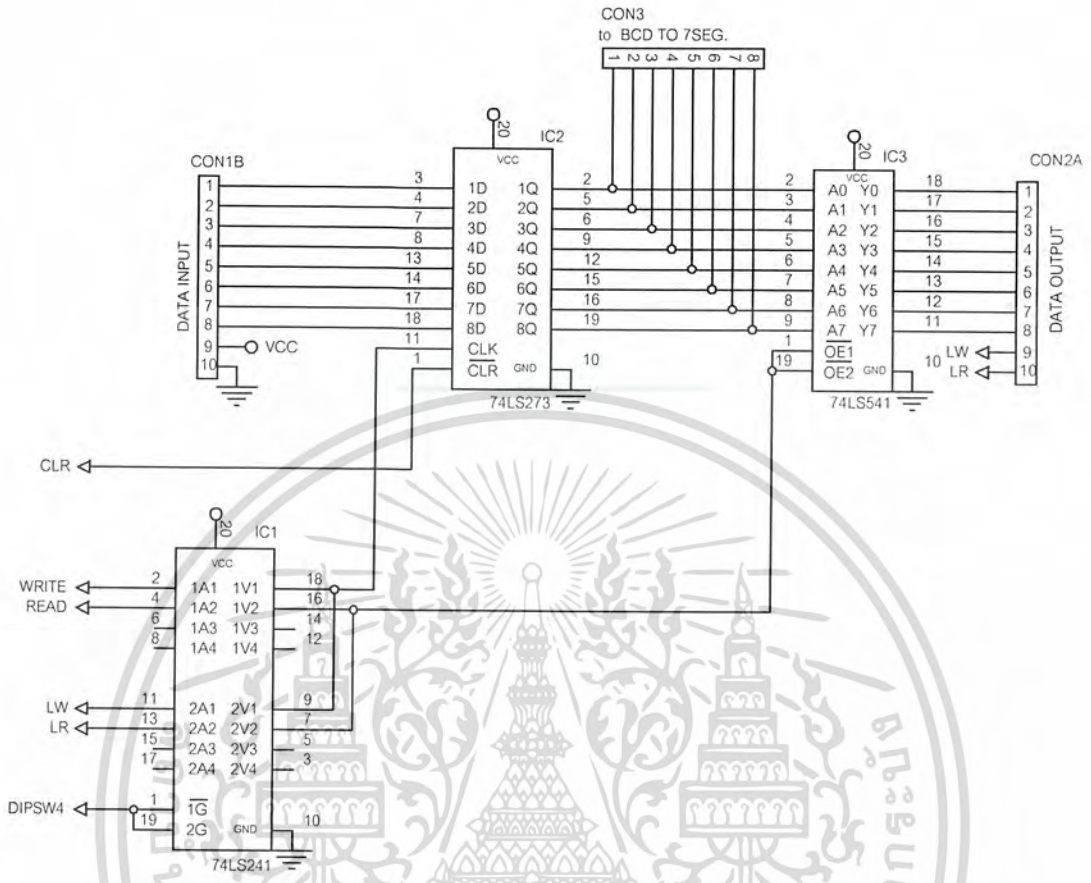


รูปที่ 3.2 วงจรรับข้อมูลจากส่วนควบคุมและกำหนดตำแหน่งของรีจิสเตอร์

จากรูปที่ 3.2 เป็นส่วนของวงจรที่ทำหน้าที่รับสัญญาณจากส่วนควบคุม (Control Unit) เพื่อกำหนดสัญญาณในการอ่าน เขียน หรือเคลียร์ข้อมูลในรีจิสเตอร์ และใช้สำหรับกำหนดตำแหน่งของรีจิสเตอร์ มีการทำงานดังนี้

ไอซี 3 เบอร์ 74LS688 เป็นคอมพาราเตอร์ ทำหน้าที่เปรียบเทียบสัญญาณเพื่อใช้ในการกำหนดตำแหน่งของรีจิสเตอร์ โดยมีขาอินพุต A0-A3 ทำหน้าที่รับสัญญาณจากส่วนควบคุม ทำการเปรียบเทียบสัญญาณกับขา B0-B3 ที่ต่อเข้ากับดิปสวิตซ์ขนาด 5 บิต โดยเมื่อชุดอินพุตขา A และชุดอินพุตขา B มีค่าตรงกัน จะเกิดสัญญาณลอจิก “0” ออกจากขา 19 สั่งงานไปยังไอซี 2 เบอร์ 74LS138 ให้ทำงาน โดยทำหน้าที่รับข้อมูลเลขฐานสองจำนวน 3 บิตจากส่วนควบคุม และทำการถอดรหัสสัญญาณที่เข้ามายังขา A, B, C สัญญาณที่ออกมาใช้เพื่อกำหนดสัญญาณในการอ่าน เขียน หรือเคลียร์ข้อมูลในรีจิสเตอร์ โดยจะส่งออกทางขาเอาต์พุต Y0, Y1, Y2 เข้าไปยังวงจรส่วนที่สอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.3 วงจรส่วนเก็บข้อมูล

จากรูปที่ 3.3 ไอซี 1 เบอร์ 74LS241 เป็นตัวเลือก (Selector) ขนาด 4 บิต ใช้ทำหน้าที่เลือกชุดของสัญญาณที่ส่งมาจากส่วนควบคุม (Control Unit) มีขา 1 และขา 19 ทำหน้าที่รับสัญญาณสำหรับใช้เลือกชุดของสัญญาณ คือ 1A และ 2A โดยปกติเมื่อใช้ทำหน้าที่เป็นรีจิสเตอร์ทั่วไปขนาด 8 บิต สัญญาณจะถูกเลือกให้ใช้ขาในชุด 1A ซึ่งเป็นสัญญาณที่ส่งมาจากส่วนที่ 1 ส่วนขาชุด 2A จะใช้ในกรณีที่ให้รีจิสเตอร์นี้ทำหน้าที่เป็นตัวแลตซ์ข้อมูล โดยจะถูกใช้งานในกรณีมีการใช้คำสั่งเกี่ยวกับการโอนย้ายข้อมูลระหว่างรีจิสเตอร์ ไอซี 2 เบอร์ 74LS273 เป็น D ฟลิปฟลอปขนาด 8 บิต ใช้ทำหน้าที่สำหรับเก็บข้อมูลเลขฐานสองที่มีขนาด 8 บิต มีขาอินพุต 1D-8D ใช้รับข้อมูลที่มาจากบัสข้อมูลภายใน โดยจะทำการเก็บข้อมูลเมื่อสัญญาณขา 11 ซึ่งเป็นขา Clock ได้รับสัญญาณลอจิก “1” ซึ่งเป็นสัญญาณที่จะถูกกำหนดมาจากส่วนควบคุม (Control Unit) ผ่านเข้าวงจรส่วนที่ 1 และออกมาจากขา 1V ของไอซี 2 โดยในที่นี้จะหมายถึงการ “เขียน” ข้อมูลลงรีจิสเตอร์ ส่วนขา 1 ของไอซี 3 จะเป็นขาที่ใช้สำหรับรับสัญญาณการเคลียร์ข้อมูลใน D ฟลิปฟลอป โดยจะทำงานเมื่อได้รับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณลอจิก "0" ซึ่งเมื่อเกิดการเคลียร์ขึ้น ค่าใน D ฟลิปฟลอปจะถูกเคลียร์ทั้งหมด โดยในที่นี้จะหมายถึงสัญญาณการ "เคลียร์" ข้อมูลในรีจิสเตอร์นั่นเอง ขาเอาต์พุตของไอซี 3 นี้จะถูกต่อเข้ากับไอซี 3 เบอร์ 74LS541 เพื่อใช้ทำหน้าที่เป็นบัฟเฟอร์ที่มีการทำงานแบบ 3 สถานะ (Tri-State) โดยสถานะอิมพีแดนซ์สูง (High Impedance) จะใช้ตัดวงจรไม่ให้มีสัญญาณออกสู่บัสข้อมูลภายในเพื่อป้องกันการชนกันของข้อมูล มีขา 1 และขา 19 ของไอซี 4 ใช้สำหรับควบคุมการเปิดปิดสัญญาณออกสู่บัสข้อมูลภายใน โดยจะทำการปล่อยข้อมูลออกสู่บัสข้อมูลภายใน เมื่อได้รับสัญญาณลอจิก "0" ซึ่งจะถูกกำหนดมาจากส่วนควบคุม (Control Unit) ผ่านเข้าวงจรส่วนที่ 1 และออกจากขา 16 ของไอซี 2 ซึ่งในที่นี้ก็คือสัญญาณการ "อ่าน" ข้อมูลจากรีจิสเตอร์

2) โปรแกรมเคาน์เตอร์ (PC)

เป็นรีจิสเตอร์ขนาด 16 บิต ที่ใช้ทำหน้าที่เก็บตำแหน่งของข้อมูลขนาด 16 บิต (Address A15-A0) หรือคือตำแหน่งของคำสั่งต่อไปที่จะถูกเฟ็ทช์ออกมาจากหน่วยความจำ โดยคำสั่งที่ใช้ในชุดปฏิบัติการไมโครโปรเซสเซอร์ จะเป็นคำสั่งที่มีความยาว 1, 2, 3 หรือ 4 ไบต์ ดังนั้นค่าในโปรแกรมเคาน์เตอร์จะเพิ่มขึ้นครั้งละ 1, 2, 3 หรือ 4 ไบต์โดยอัตโนมัติ ขึ้นอยู่กับความยาวของคำสั่งที่ถูกปฏิบัติก่อนหน้านั้น ในการทำงานของโปรแกรมเคาน์เตอร์ จะใช้รีจิสเตอร์ทั่วไปขนาด 8 บิต จำนวน 2 ชุด ทำหน้าที่ในการเป็นโปรแกรมเคาน์เตอร์ เก็บข้อมูลที่เป็นข้อมูลตำแหน่งขนาด 16 บิต วิธีการเก็บข้อมูลจะเหมือนกันกับรีจิสเตอร์ทั่วไปขนาด 8 บิต โดยจะใช้ตัวหนึ่งในการเก็บค่าตำแหน่ง 8 บิตด้านไบต์ต่ำ และอีกตัวหนึ่งเก็บค่าตำแหน่ง 8 บิตด้านไบต์สูง และใช้ดิปสวิตซ์ขนาด 5 บิต ในการกำหนดตำแหน่งของรีจิสเตอร์ให้ทำหน้าที่เป็นโปรแกรมเคาน์เตอร์

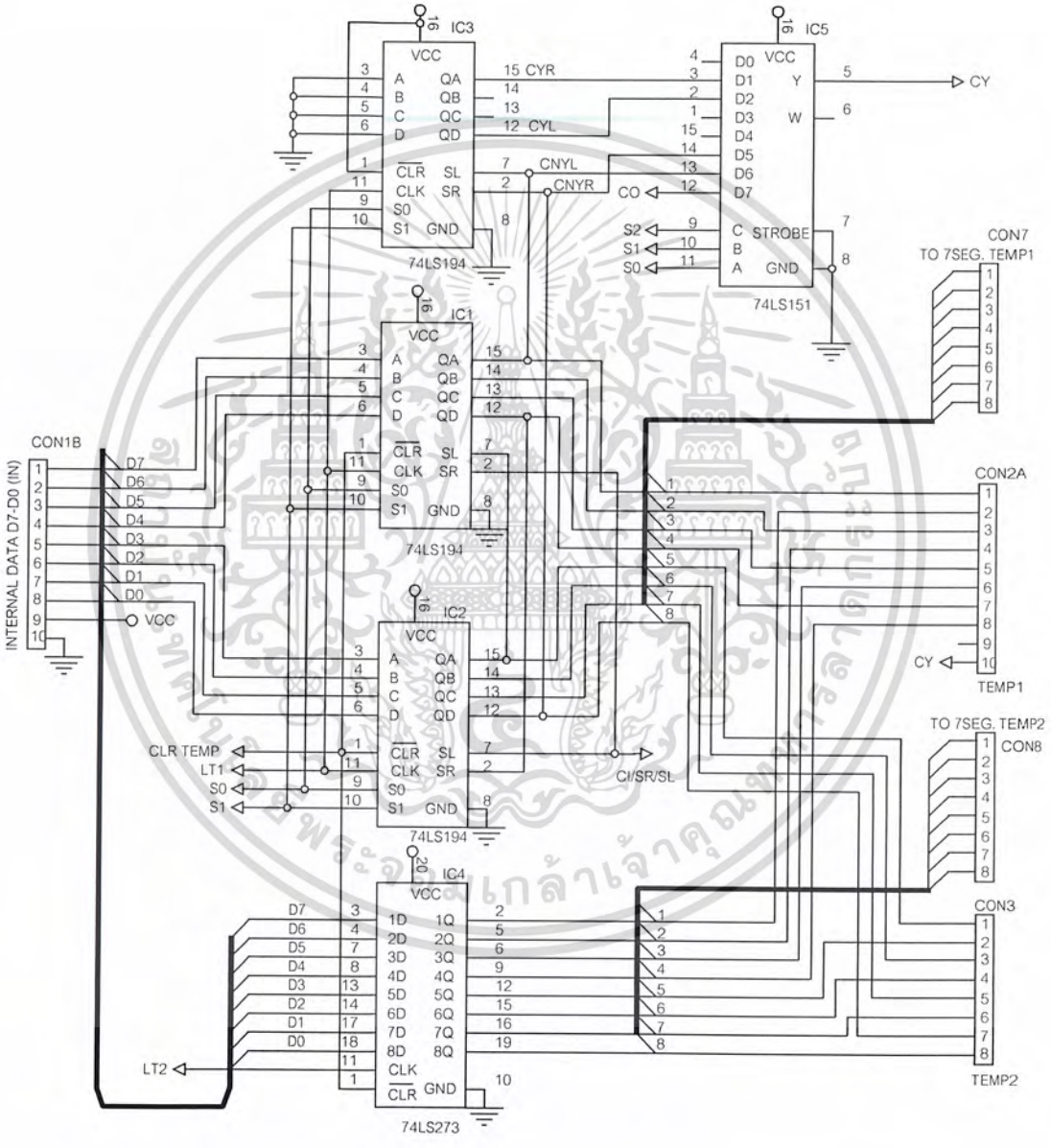
3) สแตคพอยท์เตอร์ (SP)

การใช้งานจะคล้ายกับโปรแกรมเคาน์เตอร์คือ เป็นรีจิสเตอร์ขนาด 16 บิตที่ทำหน้าที่เก็บตำแหน่งของข้อมูลขนาด 16 บิต (A15-A0) โดยมีหน้าที่ใช้สำหรับเก็บตำแหน่งของโปรแกรมเคาน์เตอร์ขณะที่โปรแกรมถูกกระทำคำสั่ง เช่น เมื่อซีพียูทำคำสั่ง CALL จะทำการเก็บค่าของโปรแกรมเคาน์เตอร์เข้าไปในสแตคโดยอัตโนมัติ และเมื่อทำคำสั่ง RET ข้อมูลของโปรแกรมเคาน์เตอร์ที่เก็บไว้ในสแตคก็จะถูกนำออกมาโดยอัตโนมัติเช่นกัน ในการทำงานของสแตคพอยท์เตอร์จะใช้รีจิสเตอร์ทั่วไปขนาด 8 บิต จำนวน 2 ชุด ทำหน้าที่ในการเป็นสแตคพอยท์เตอร์เก็บข้อมูลที่เป็นข้อมูลตำแหน่งขนาด 16 บิต วิธีการเก็บข้อมูลจะเหมือนกันกับรีจิสเตอร์ทั่วไปขนาด 8 บิต โดยจะใช้ตัวหนึ่งในการเก็บค่าตำแหน่ง 8 บิตด้านไบต์ต่ำ และอีกตัวหนึ่งเก็บค่าตำแหน่ง 8 บิตด้านไบต์สูง โดยใช้ดิปสวิตซ์ขนาด 5 บิตในการกำหนดตำแหน่งของรีจิสเตอร์ให้ทำหน้าที่เป็นสแตคพอยท์เตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4) รีจิสเตอร์พักข้อมูลขนาด 8 บิต

รีจิสเตอร์ Temp1 และ Temp2 ทำหน้าที่เก็บข้อมูลเลขฐานสองตัวละ 8 บิต โดยรีจิสเตอร์ Temp1 ใช้สำหรับเก็บค่าตัวตั้ง และรีจิสเตอร์ Temp2 ใช้เก็บค่าตัวกระทำ เพื่อพักไว้ก่อนส่งเข้าส่วนการกระทำคำสั่งทางคณิตศาสตร์และลอจิก



รูปที่ 3.4 วงจรรีจิสเตอร์พักข้อมูลขนาด 8 บิต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรนี้ใช้ทำหน้าที่สองอย่างคือเป็นทั้งชิฟท์รีจิสเตอร์และรีจิสเตอร์พักข้อมูล ในที่นี้จะถูกกำหนดการทำงานให้เป็นรีจิสเตอร์พักข้อมูล โดยมีการทำงานดังนี้

ไอซี 1 และไอซี 2 เบอร์ 74LS194 ถูกใช้ทำหน้าที่เป็นรีจิสเตอร์ Temp1 โดยสามารถเก็บข้อมูลได้ตัวละ 4 บิต นำมาต่อร่วมกัน 2 ตัว ทำให้สามารถใช้เก็บข้อมูลตัวตั้งขนาด 8 บิตได้ มีขาอินพุตของไอซีทั้งสองตัวที่ต่อกับบัสข้อมูลภายในเพื่อรับข้อมูลเข้าคือ ขา A, B, C, D ขา 11 ซึ่งเป็นขา Clock ของไอซี 1 และไอซี 2 จะถูกต่อร่วมกัน โดยเมื่อได้รับสัญญาณลอจิก "1" จากส่วนควบคุม ไอซีจะทำการโหลดข้อมูลจากบัสข้อมูลภายในเข้ามาเก็บไว้ยังตัวไอซี ขา 1 ของไอซี 1 และไอซี 2 ใช้ทำหน้าที่รับสัญญาณเพื่อเคลียร์ข้อมูลในรีจิสเตอร์ โดยข้อมูลในไอซีจะถูกเคลียร์เมื่อได้รับสัญญาณลอจิก "0" จากส่วนควบคุม ขาเอาต์พุต QA-QD ของไอซี 1 และไอซี 2 ถูกต่อเข้ากับขาอินพุตของวงจรประมวลผลทางคณิตศาสตร์และลอจิก เพื่อใช้ส่งข้อมูลขนาด 8 บิตที่ใช้เป็นค่าตัวตั้ง

ไอซี 4 เบอร์ 74LS273 เป็น D ฟลิปฟลอป ใช้ทำหน้าที่เก็บข้อมูลขนาด 8 บิตด้านตัวกระทำ มีขาอินพุต 1D-8D ต่อเข้ากับบัสข้อมูลภายใน เพื่อใช้รับข้อมูลตัวกระทำขนาด 8 บิต มีขา 11 เป็นขา Clock ที่จะทำการเก็บข้อมูลเมื่อได้รับสัญญาณลอจิก "1" จากส่วนควบคุม ขา 1 ใช้รับสัญญาณจากส่วนควบคุมเพื่อใช้เป็นขาเคลียร์ข้อมูลใน D ฟลิปฟลอป โดยข้อมูลใน D ฟลิปฟลอปจะถูกเคลียร์เมื่อได้รับสัญญาณลอจิก "0" ขาเอาต์พุต 1Q-8Q ของไอซี 4 จะต่อเข้ากับขาอินพุตของวงจรประมวลผลทางคณิตศาสตร์และลอจิก เพื่อใช้ส่งข้อมูลขนาด 8 บิตด้านตัวกระทำ

5) วงจรแลตซ์ข้อมูลขนาด 8 บิต เป็น 16 บิต

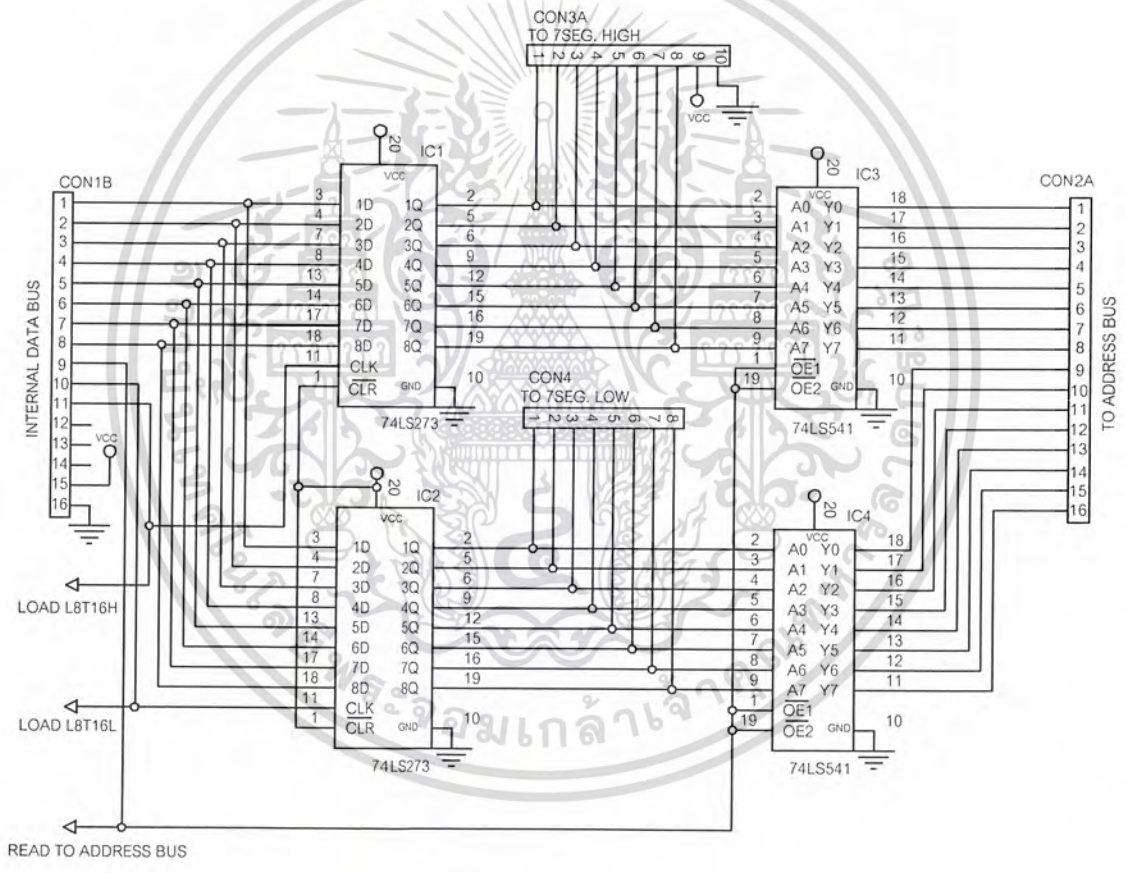
วงจรแลตซ์ข้อมูลขนาด 8 บิต เป็น 16 บิต ทำหน้าที่เก็บข้อมูลขนาด 16 บิตเพื่อใช้เป็นข้อมูลสำหรับการติดต่อกับหน่วยความจำภายนอกผ่านทางบัสตำแหน่ง โดยใช้รีจิสเตอร์ขนาด 8 บิต จำนวน 2 ตัว ต่อร่วมกันเพื่อให้สามารถเก็บข้อมูลขนาด 16 บิต โดยตัวแรกใช้เก็บข้อมูลขนาด 8 บิตด้านไบต์ต่ำ และอีกตัวหนึ่งใช้เก็บข้อมูลขนาด 8 บิตด้านไบต์สูง เพื่อนำค่าที่ใช้เก็บในการอ้างตำแหน่งของข้อมูลที่อยู่ในหน่วยความจำภายนอก

วงจรแลตซ์ข้อมูลขนาด 8 บิต เป็น 16 บิต จะใช้ไอซีเบอร์ 74LS273 ซึ่งเป็น D ฟลิปฟลอปขนาด 8 บิต ทำหน้าที่ในการเก็บข้อมูลพร้อมกับมีไอซี 74LS541 ทำหน้าที่เป็นบัฟเฟอร์ที่มีการทำงานแบบ 3 สถานะ ทำให้สามารถใช้งานเป็นวงจรรีจิสเตอร์เก็บข้อมูลได้ โดยมีการทำงานดังนี้

ไอซี 1 และไอซี 2 เบอร์ 74LS273 เป็น D ฟลิปฟลอปขนาด 8 บิต ต่อร่วมกัน 2 ตัว ทำให้สามารถเก็บข้อมูลขนาด 16 บิตได้ ไอซี 1 ใช้ทำหน้าที่เก็บข้อมูล 8 บิตด้านไบต์สูง และใช้ไอซี 2 ทำหน้าที่เก็บข้อมูล 8 บิตด้านไบต์ต่ำ มีขาอินพุต 1D-8D ต่อเข้ากับบัสข้อมูลภายในเพื่อรับข้อมูล โดยไอซีจะทำการโหลดข้อมูลเข้าไปเก็บไว้ใน D ฟลิปฟลอป เมื่อได้รับสัญญาณลอจิก "1" จากส่วน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ควบคุม เข้าที่ขา 11 ซึ่งเป็นขา Clock โดยสัญญาณนี้จะถูกส่งมาจากส่วนควบคุม ขาเอาต์พุต 1Q-8Q จะถูกต่อเข้ากับไอซี 3 และไอซี 4 ที่ทำหน้าที่เป็นบัฟเฟอร์ที่มีการทำงานแบบ 3 สถานะ โดยในสถานะอิมพีแดนซ์สูง จะมีสถานะเสมือนเปิดวงจรไม่มีสัญญาณออกไปสู่บัสตำแหน่ง ทำให้ข้อมูลไม่ถูกส่งออกไป จนเมื่อขา 1 และขา 19 ได้รับสัญญาณลอจิก "0" ที่ส่งมาจากส่วนควบคุม ข้อมูลทั้ง 2 ส่วน คือข้อมูล 8 บิตด้านไบต์สูงและข้อมูล 8 บิตด้านไบต์ต่ำ จะถูกส่งออกไปสู่บัสตำแหน่ง พร้อมกับส่งไปยังหน่วยความจำภายนอก เพื่อให้หน่วยความจำภายนอกรับสัญญาณตำแหน่งของข้อมูลที่ต้องการ และส่งข้อมูลออกไปสู่บัสข้อมูลภายใน



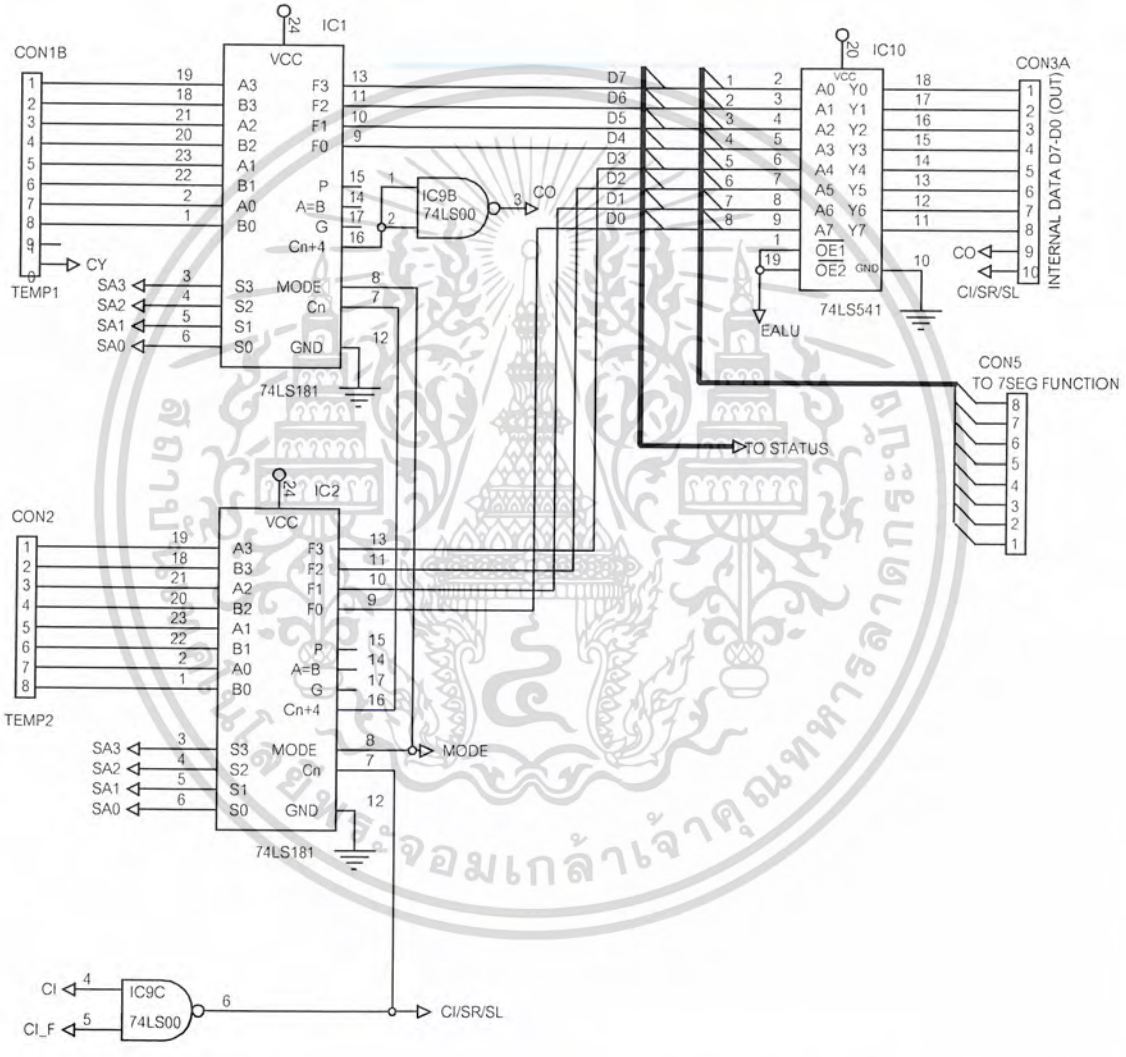
รูปที่ 3.5 วงจรแลตซ์ข้อมูลขนาด 8 บิต เป็น 16 บิต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2.2 ส่วนประมวลผลทางคณิตศาสตร์และกระทำทางลอจิก

1) วงจรประมวลผลทางคณิตศาสตร์และกระทำทางลอจิกขนาด 8 บิต

วงจรประมวลผลทางคณิตศาสตร์และกระทำทางลอจิกขนาด 8 บิต ใช้ทำหน้าที่คำนวณทางคณิตศาสตร์ เช่น การบวกเลข การบวกเลขแบบคิดตัวทด การลบเลข การลบเลขแบบคิดตัวทด และการกระทำทางลอจิก เช่น AND, OR, XOR เป็นต้น



รูปที่ 3.6 วงจรประมวลผลทางคณิตศาสตร์และลอจิกขนาด 8 บิต

ในการประมวลผลทางคณิตศาสตร์และลอจิก จะใช้ไอซีเบอร์ 74LS181 ซึ่งเป็น ALU ขนาด 4 บิต ต่อร่วมกันจำนวน 2 ตัว เพื่อให้มีความสามารถในการประมวลผลข้อมูลขนาด 8 บิตได้ และมี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ไอซีเบอร์ 74LS541 ทำหน้าที่เป็นบัฟเฟอร์ที่ทำงานแบบ 3 สถานะ คอยควบคุมสัญญาณที่จะออกสู่บัสข้อมูลภายใน โดยมีการทำงานดังนี้

ไอซี 1 และไอซี 2 เบอร์ 74LS181 ทำหน้าที่เป็น ALU ขนาด 4 บิต มีจำนวน 2 ตัว ต่อร่วมกันเพื่อให้สามารถทำงานเป็น ALU ขนาด 8 บิต โดยมีขา S0, S1, S2, S3 ใช้รับสัญญาณจากส่วนควบคุม เพื่อทำหน้าที่ในการกำหนดฟังก์ชันการคำนวณทางคณิตศาสตร์หรือการกระทำทางลอจิก มีขา MODE รับสัญญาณจากส่วนควบคุมเพื่อใช้เลือกการทำงานระหว่างการประมวลผลทางคณิตศาสตร์หรือการกระทำทางลอจิก โดยมีฟังก์ชันการทำงานดังตารางที่ 3.1

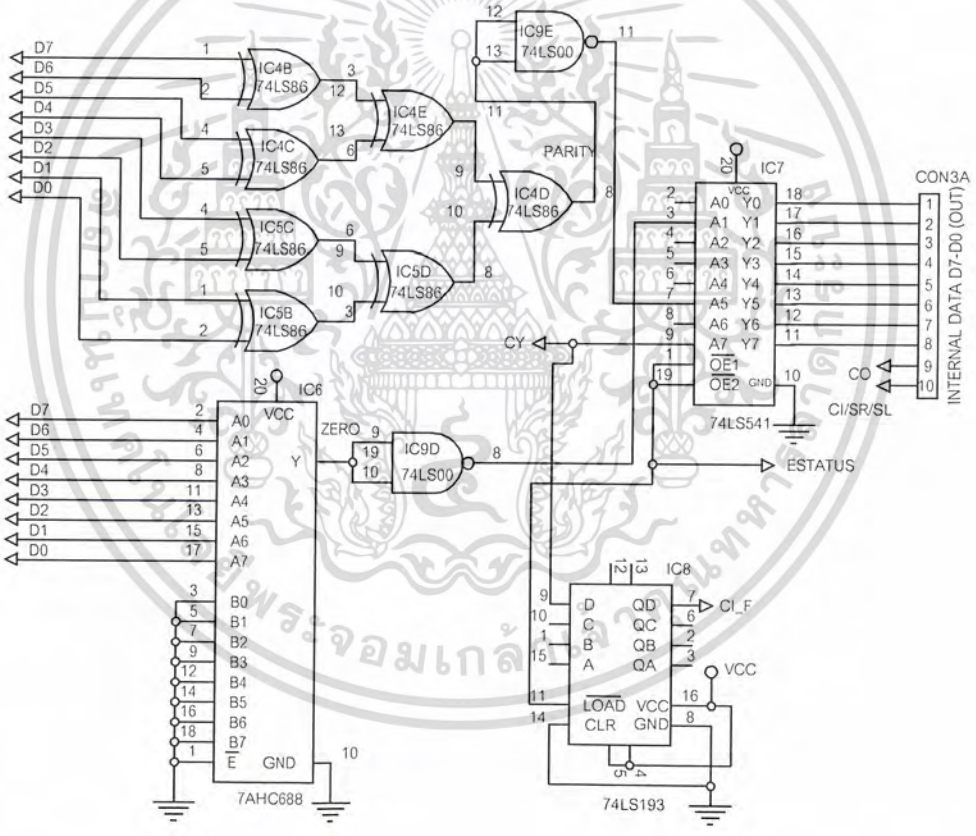
ตารางที่ 3.1 การใช้งานไอซี 74LS181

Selection				Active Hi Data		
				M=H Logic	M=L ; Arithmetic Operation	
S3	S2	S1	S0	Function	Cn=H(no carry)	Cn=L(with carry)
0	0	0	0	F= $\overline{A}$	F=A	F=A Plus 1
0	0	0	1	F= $\overline{A+B}$	F=A+B	F=(A+B) Plus 1
0	0	1	0	F= $\overline{A}$ B	F=A+ $\overline{B}$	F=(A+ $\overline{B}$) Plus 1
0	0	1	1	F=0	F=Minus 1(2'Compl)	F=Zero
0	1	0	0	F= $\overline{AB}$	F= A Plus A $\overline{B}$	F= A Plus A $\overline{B}$ Plus 1
0	1	0	1	F= $\overline{B}$	F=(A+B) Plus A $\overline{B}$	F=(A+B)Plus A $\overline{B}$ Plus1
0	1	1	0	F= A $\oplus$ B	F=A Minus B Minus 1	F=A Minus B
0	1	1	1	F=A $\overline{B}$	F= A $\overline{B}$ Minus 1	F= A $\overline{B}$
1	0	0	0	F= $\overline{A}$ +B	F=A Plus AB	F=A Plus AB Plus 1
1	0	0	1	F= $\overline{A \oplus B}$	F=A Plus B	F=A Plus B Plus 1
1	0	1	0	F=B	F=(A+ $\overline{B}$) Plus AB	F=(A+ $\overline{B}$)Plus AB Plus1
1	0	1	1	F=AB	F=AB Minus 1	F=AB
1	1	0	0	F=1	F=A Plus A*	F=A Plus A Plus 1
1	1	0	1	F= A+ $\overline{B}$	F=(A+B) Plus A	F=(A+B) Plus A Plus 1
1	1	1	0	F=A+B	F= (A+ $\overline{B}$) Plus A	F= AB Minus 1
1	1	1	1	F=A	F=A Minus 1	F=A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขา Cn ทำหน้าที่รับสัญญาณตัวทดเข้า ขา Cn+4 ทำหน้าที่เป็นเอาต์พุตตัวทดออก ขาอินพุต B0-B3 และขา A0-A3 ของไอซี 74LS181 ทั้งสองตัวทำหน้าที่รับค่าตัวตั้งที่มาจากรีจิสเตอร์พักข้อมูลขนาด 8 บิต Temp1 และ Temp2 โดยมีขา F0-F3 ของทั้งไอซี 1 และไอซี 2 เป็นเอาต์พุตต่อเข้ากับขา A0-A7 ของไอซี 10 เบอร์ 74LS541 ที่เป็นบัฟเฟอร์ทำหน้าที่เป็นตัวควบคุมสัญญาณออกสู่บัสข้อมูลภายในที่มีขาควบคุมคือขา 1 และขา 19 รับสัญญาณ EALU ที่จะส่งมาจากส่วนควบคุม โดยถ้าได้รับสัญญาณลอจิก "0" ข้อมูลจะถูกส่งออกสู่บัสข้อมูลภายใน

สัญญาณอีกส่วนหนึ่งที่ต่อกับขา A0-A7 ของไอซี 10 จะถูกแยกออกไปยังส่วนของวงจรตรวจสอบสถานะ (Status) สองวงจรด้วยกันคือ ส่วนตรวจสอบพาริตี้และตรวจสอบค่าศูนย์ ซึ่งมีวงจรแสดงดังรูปที่ 3.7



รูปที่ 3.7 วงจรตรวจสอบสถานะ

การทำงานในส่วนวงจรตรวจสอบพาริตี้ สามารถตรวจสอบได้โดยใช้หลักการพื้นฐานของพีชคณิตบูลีนและการทำงานของลอจิกเกตพื้นฐาน โดยใช้ไอซีเบอร์ 74LS86 ซึ่งเป็นเอ็กซ์คลูซีฟออเกตทำหน้าที่ตรวจสอบข้อมูลที่มาจากสัญญาณอินพุต D0-D7 ที่เข้ามาทั้ง 8 ขา ว่าเป็นพาริตี้คู่หรือคี่

เอกสารนี้สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ไอซี 6 เบอร์ 74HC688 เป็นคอมพาราเตอร์ใช้ทำหน้าที่ในการตรวจสอบค่าศูนย์ โดยการเปรียบเทียบขาอินพุตทั้ง 8 ขาที่เข้ามาคือ ขา A0-A7 กับขา B0-B7 โดยเมื่อชุดอินพุตขา A และชุดอินพุตขา B มีค่าตรงกัน จะเกิดสัญญาณลอจิก "0" ออกจากขา 19 ซึ่งเป็นขาเอาต์พุต

สัญญาณเอาต์พุตจากส่วนตรวจสอบสถานะทั้ง 2 ส่วน จะต่อเข้าที่ขาอินพุต A1 และ A5 ของไอซี 7 เบอร์ 74LS541 ทำหน้าที่เป็นบัฟเฟอร์ที่มีการทำงานแบบ 3 สถานะ ที่ทำหน้าที่เปิดปิดข้อมูลออกสู่บัสข้อมูลภายใน โดยจะปล่อยข้อมูลออกสู่บัสข้อมูลภายในเมื่อขา 1 และขา 19 ได้รับสัญญาณลอจิก "0"

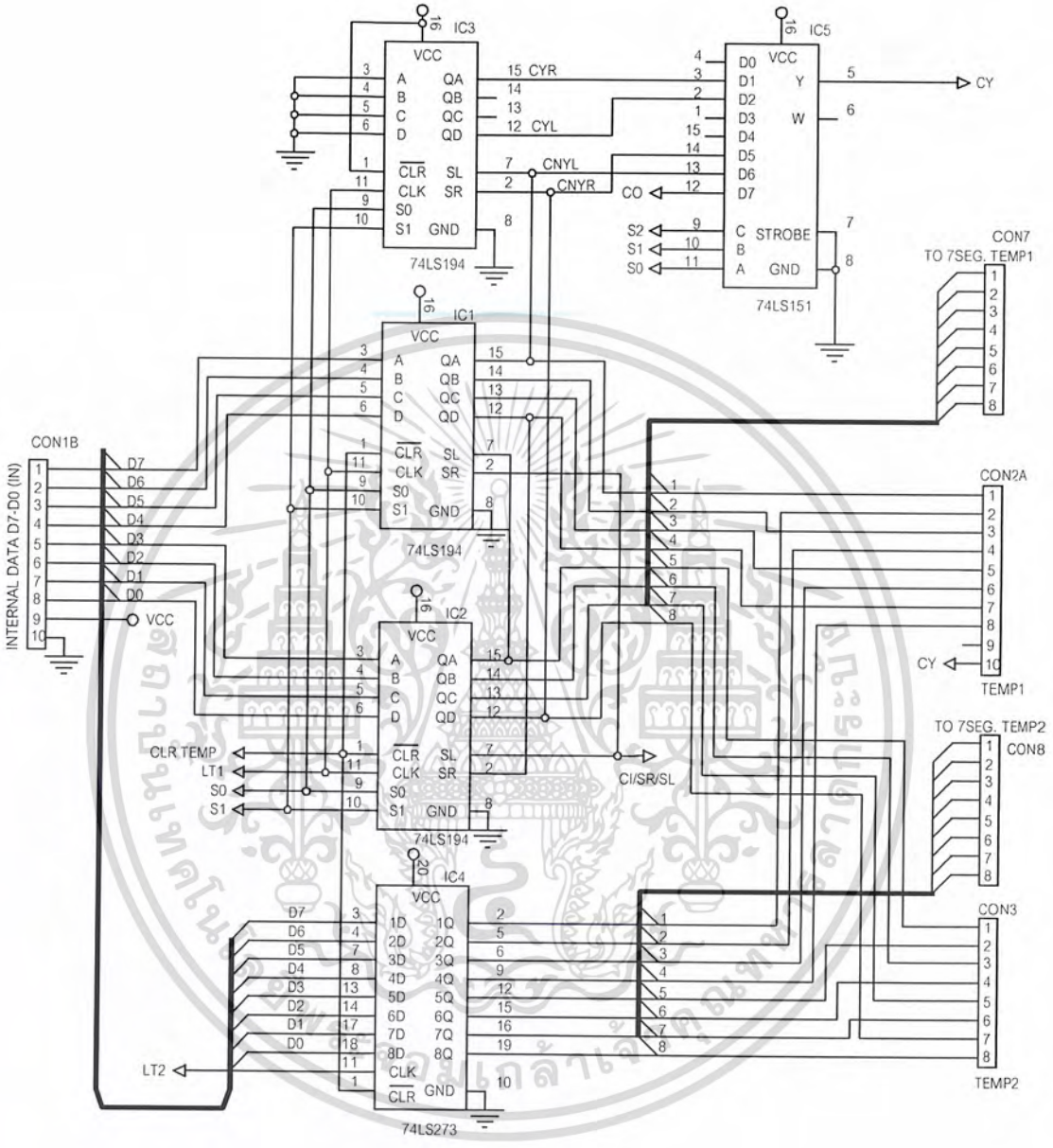
ในส่วนของขาอินพุต A7 ของไอซี 7 จะใช้รับสัญญาณอินพุตที่มาจากวงจรชิฟท์รีจิสเตอร์เพื่อใช้ในส่วนของสัญญาณตัวทด

2) วงจรเลื่อนข้อมูล

วงจรเลื่อนข้อมูลหรือชิฟท์รีจิสเตอร์ จะใช้วงจรเดียวกันกับวงจรรีจิสเตอร์พักข้อมูลขนาด 8 บิต Temp1 และ Temp2 โดยในการทำหน้าที่เป็นวงจรเลื่อนข้อมูล จะใช้ไอซีเบอร์ 74LS194 เป็นชิฟท์รีจิสเตอร์ขนาด 4 บิต จำนวน 2 ตัว รับข้อมูลเข้ามาตัวละ 4 บิต โดยมีการทำงานดังนี้

ไอซี 1 และไอซี 2 เบอร์ 74LS194 ทำหน้าที่เป็นชิฟท์รีจิสเตอร์ รับข้อมูลจากบัสข้อมูลภายในเข้ามาตัวละ 4 บิต มีขา A, B, C, D เป็นขารับสัญญาณอินพุต และขา QA, QB, QC, QD เป็นขาสัญญาณเอาต์พุตขา 1 เป็นขาเคลียร์ ใช้เคลียร์ค่าในชิฟท์รีจิสเตอร์ให้เป็น 0 ขานี้ทำงานที่สัญญาณลอจิก "0" โดยรับสัญญาณมาจากส่วนควบคุม มีขา 11 เป็นขา CLK โดยถ้าได้รับสัญญาณลอจิก "1" ไอซีจะทำการโหลดข้อมูลเข้าในไอซี มีขา S0 และ S1 เป็นขาเลือกโหมดการทำงาน ขา SL และ SR เป็นขาในการเลือกทิศทางในการหมุนที่รับสัญญาณจากส่วนควบคุม เพื่อให้ไอซีทำการเลื่อนบิตข้อมูลไปทางซ้ายหรือทางขวา ขา SL ของ ไอซี 2 และขา SR ของ ไอซี 1 มีไว้เพื่อรับสัญญาณตัวทดหรือสัญญาณเลื่อนบิตข้อมูลไปทางซ้ายและทางขวาจากบัสข้อมูลภายในที่มาจากส่วนควบคุม ขา QA ของไอซี 2 ต่อเข้ากับขา SL ของไอซี 1 เพื่อรับข้อมูลตัวทดกรณีเลื่อนบิตข้อมูลไปทางซ้าย ขา QD ของไอซี 1 ต่อเข้ากับขา SR ของไอซี 2 เพื่อรับข้อมูลตัวทดกรณีเลื่อนบิตข้อมูลไปทางขวา ขา SL และ SR ของไอซี 3 เบอร์ 74LS194 มีไว้รับสัญญาณข้อมูลตัวทดจากไอซี 1 ไอซี 2 ใช้ในกรณีการหมุนข้อมูล (Rotate) มีขา QA ใช้ส่งสัญญาณตัวทดกรณีหมุนข้อมูลไปทางขวา ขา QD ใช้ส่งสัญญาณตัวทดกรณีหมุนข้อมูลไปทางซ้าย โดยมีสัญญาณออกไปยังขา D1 และ D2 ของไอซี 5 เบอร์ 74LS151 ที่ทำหน้าที่เป็นสวิตช์เลือกสัญญาณ มีขาที่ใช้ในการกำหนดคือขา A, B, C ซึ่งเป็นขาอินพุตที่รับสัญญาณมาจากส่วนควบคุม มีขา Y เป็นเอาต์พุตเพื่อบอกถึงสัญญาณตัวทดส่งไปยังส่วนควบคุม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.8 วงจรเลื่อนข้อมูล

3.2.3 ส่วนควบคุมการทำงานของซีพียู (Control Unit)

1) วงจรถอดรหัสคำสั่ง

เป็นส่วนหนึ่งที่ทำงานควบคู่กับส่วนควบคุม (Control Unit) มีทำหน้าที่ในการสร้างสัญญาณเพื่อควบคุมการทำงานของชุดปฏิบัติการไมโครโปรเซสเซอร์ ให้ทำงานอย่างมีระเบียบและ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

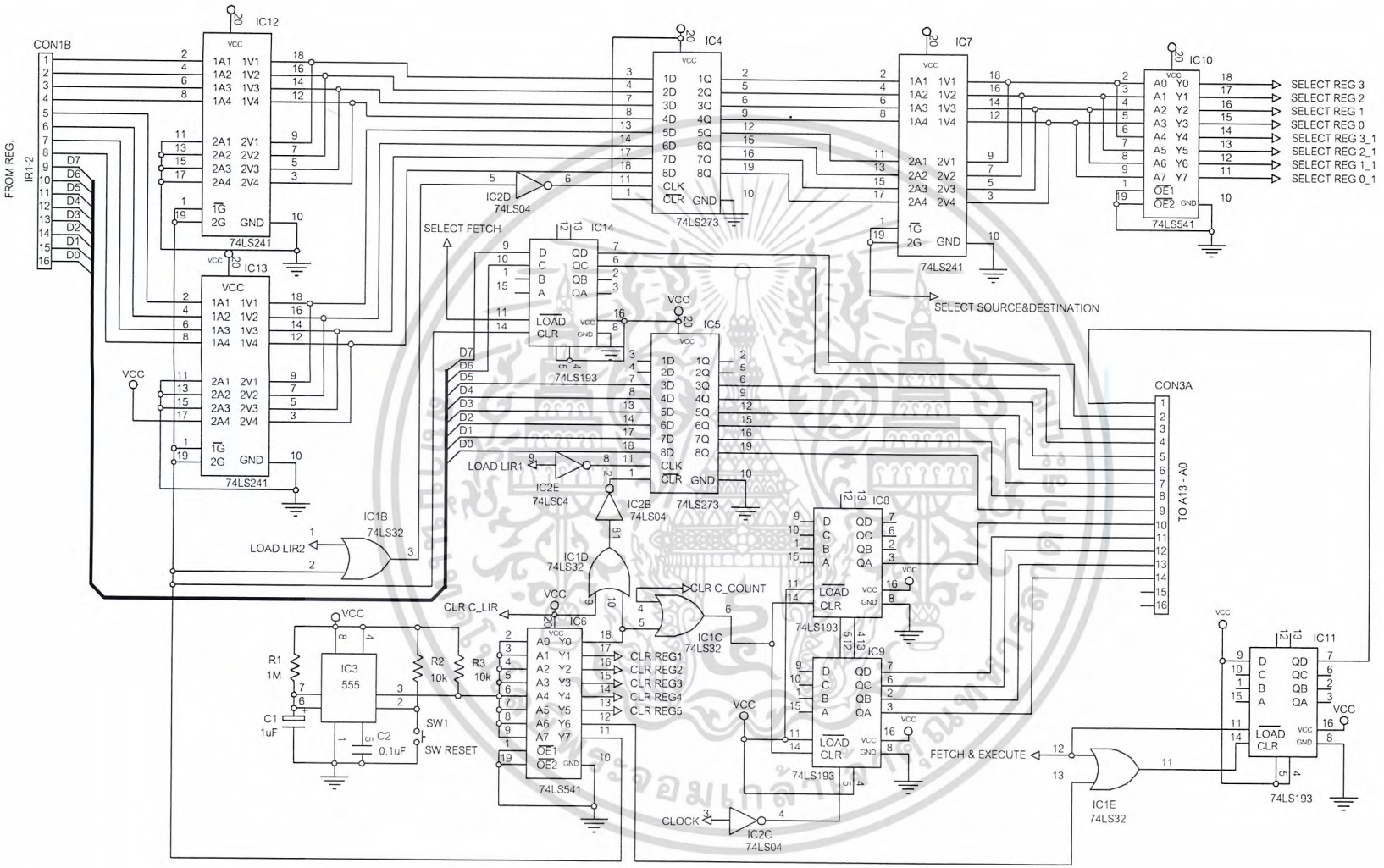
สัมพันธ์กัน โดยที่ส่วนควบคุมจะต้องรับสัญญาณมาจากส่วนวงจรถอดรหัสคำสั่งเพื่อทำการถอดรหัสแปลรหัสคำสั่งที่ได้มาจากรีจิสเตอร์คำสั่ง (IR1, IR2) ดังนั้นการทำงานภายในของชุดปฏิบัติการไมโครโปรเซสเซอร์จึงขึ้นอยู่กับคำสั่งที่ป้อนเข้ามา โดยการทำงานของวงจรถอดรหัสคำสั่งมีดังนี้

เมื่อทำการเปิดเครื่องให้พร้อมที่จะทำงาน ส่วนต่างๆ ของวงจรถอดรหัสจะต้องถูกรีเซต โดยการกดสวิตซ์รีเซต sw1 สัญญาณจะถูกส่งไปให้ไอซี 555 กำเนิดสัญญาณนาฬิกาขึ้นมา 1 ลูก สัญญาณจะถูกส่งเข้าไปยังขาอินพุต A0-A7 ของไอซี 6 เบอร์ 74LS541 ที่ทำหน้าที่เป็นบัฟเฟอร์ โดยขา 1 และขา 19 จะได้รับสัญญาณเป็นลอจิก “0” อยู่ตลอดเวลา เพื่อให้ไอซี 6 ปล่อยข้อมูลออกอยู่ตลอด สัญญาณที่ออกจากขา Y0 จะถูกแยกออกไป 2 ส่วน ส่วนแรกจะถูกส่งไปยังไอซี 1C เบอร์ 74LS32 เพื่อใช้เป็นสัญญาณในการเคลียร์ค่าของไอซีสองตัวคือ ไอซี 8 และไอซี 9 เบอร์ 74LS193 ที่ใช้เป็นเคาน์เตอร์ขนาด 5 บิต ต่อร่วมกันอยู่ 2 ตัว ให้มีสภาวะเริ่มต้นเป็น 00000 การเคลียร์ค่าในส่วนนี้สามารถทำได้อีกทางหนึ่งคือ ส่วนควบคุมส่งสัญญาณลอจิก 1 เข้ายังขา 4 ของ ไอซี 1C เบอร์ 74LS32 ที่เป็นออเกตผ่านเข้าขา 14 ของไอซี 8 และไอซี 9 เพื่อเคลียร์ค่าในไอซี การเพิ่มค่าให้กับชุดนับที่ใช้ไอซี 8 และไอซี 9 นี้สามารถทำได้โดยการป้อนสัญญาณลอจิก “1” เข้าไปยังขา 5 ของไอซี 9 โดยเป็นสัญญาณอินพุตที่ถูกป้อนมาจากส่วนควบคุม สัญญาณเอาต์พุตทั้ง 5 บิตนี้จะถูกส่งไปยัง CON3A ที่เป็นทางเดินของสัญญาณที่ต่อเข้ากับวงจรส่วนควบคุม เพื่อใช้ส่งสัญญาณที่ใช้ในการควบคุมในส่วนต่างๆ

ส่วนหนึ่งของสัญญาณที่ออกจากขา Y0 ของไอซี 6 จะถูกส่งไปที่ไอซี 1D เบอร์ 74LS32 ผ่านไอซี 2B เป็นสัญญาณลอจิก “0” ใช้เพื่อเคลียร์ข้อมูลในไอซี 5 เบอร์ 74LS273 ที่ทำหน้าที่เก็บข้อมูลที่มาจากรีจิสเตอร์คำสั่งตัวที่ 1 (IR1) ส่วนสัญญาณที่ใช้ในการโหลดข้อมูลเข้า ทำโดยการรับสัญญาณที่เป็นลอจิก “1” เข้าที่ขา 11 ของไอซี ซึ่งเป็นสัญญาณที่ถูกส่งมาจากส่วนควบคุม

สัญญาณ 2 บิตบน D6 และ D7 ที่มาจากรีจิสเตอร์คำสั่งตัวที่ 1 (IR1) จะถูกแยกออกไปยังไอซี 14 เบอร์ 74LS193 ทำหน้าที่เป็นตัวกำหนดค่าของคำสั่งที่ป้อนเข้าไปนี้มีขนาดกี่ไบต์ โดยมีขนาดตั้งแต่ 1-4 ไบต์ มีขา 11 เป็นขาสั่งการทำงาน โดยจะทำการปล่อยข้อมูลเมื่อได้รับสัญญาณลอจิก “1” ที่ถูกส่งมาจากส่วนควบคุมซึ่งก็คือสัญญาณเลือกสภาวะการเฟ็ทซ์นั่นเอง สัญญาณที่ออกจากขา Y1-Y5 ของไอซี 6 เบอร์ 74LS541 ถูกนำไปใช้เพื่อไปสั่งเคลียร์ข้อมูลในรีจิสเตอร์ทั่วไปขนาด 8 บิต ตัวที่ 1-5 สัญญาณที่ออกจากขา Y7 ของไอซี 6 ส่วนหนึ่งจะส่งไปยังขา 14 ของไอซี 14 เบอร์ 74LS193 เพื่อเคลียร์ค่าในส่วนของการเลือกสภาวะการเฟ็ทซ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.9 วงจรถอดรหัสคำสั่ง

ในส่วนของขั้นตอนการเฟ็ทซ์และเอ็กซ์ซีคิว สัญญาณที่ออกจากขา Y6 จะถูกส่งออกไปยังอินพุตขา 13 ของไอซี 1E ที่เป็นออเกต โดยมีอินพุตขา 12 ของไอซี 1E ใช้รับสัญญาณที่มาจากส่วนควบคุม สัญญาณเอาต์พุตขา 11 จะถูกส่งเข้าไปยังอินพุตขา 14 ของไอซี 11 เบอร์ 74LS193 ซึ่งเป็นขาเคลียร์ข้อมูลในไอซี ใช้ในการกำหนดให้วงจรทำงานเป็นช่วงสภาวะเฟ็ทซ์ โดยสัญญาณที่ออกจากขา Y6 ของไอซี 6 ขณะที่กดสวิตซ์ sw1 เกิดสัญญาณที่เป็นลอจิก "1" ส่งไปเคลียร์ข้อมูลของไอซี 11 ทำให้ขา QD มีสัญญาณเอาต์พุตเป็นลอจิก "0" ส่งไปยังส่วนควบคุม เมื่อส่วนควบคุมทราบถึงสภาวะการทำงาน ส่วนควบคุมจะส่งสัญญาณกลับมายังอินพุตขา 12 ผ่านไอซี 1E ที่เป็นออเกต เพื่อเป็นสัญญาณเลือกการเฟ็ทซ์หรือเอ็กซ์ซีคิว ซึ่งในขณะนี้มีลอจิกเป็น "1" คือกำลังอยู่ในสภาวะการเฟ็ทซ์ จนเมื่อถึงจังหวะที่จะสิ้นสุดคำสั่ง จะมีการบอกให้หยุดกระบวนการเฟ็ทซ์เพื่อไปเริ่มกระบวนการเอ็กซ์ซีคิว ส่วนควบคุมจะส่งสัญญานที่เป็นลอจิก "0" ผ่านขา 12 ของออเกต ทำให้ขา 11 ของไอซี 11 ซึ่งเป็นขาโหลด กำเนิดสัญญาณเอาต์พุตออกจากขา QD อีกครั้ง โดยครั้งนี้จะมีสภาวะเป็นลอจิก "1" ส่งไปยังส่วนควบคุม ส่วนควบคุมจะส่งสัญญาณลอจิก "0" กลับเข้ามายังขา 12 ของออเกตอีกครั้งจนกระทั่งสิ้นสุดกระบวนการของการเอ็กซ์ซีคิว โดยการทำงานจะทำงานสลับไปสลับมาเช่นนี้อยู่ตลอดในช่วงของการเฟ็ทซ์และเอ็กซ์ซีคิว

สัญญาณที่ออกจากขา Y7 ของไอซี 6 เมื่อสวิตซ์ sw1 ถูกกด จะแยกออกไปสองส่วน ส่วนแรก ส่งไปยังขา 1 และขา 19 ของไอซี 12 และไอซี 13 เบอร์ 74LS241 อีกส่วนหนึ่งจะส่งไปยังขา 14 ของไอซี 14 เพื่อเคลียร์ค่า โดยการทำงานของสัญญาณส่วนแรกคือ ไอซี 13 มีหน้าที่ในการเก็บข้อมูลของรีจิสเตอร์คำสั่งตัวที่หนึ่ง (IR1) ไอซี 12 ใช้เก็บข้อมูลของรีจิสเตอร์คำสั่งตัวที่ 2 (IR2) โดยขณะกดสวิตซ์ sw1 สัญญาณลอจิก "1" จากขา Y7 ของไอซี 6 จะเข้าไปยังขา 2G ของไอซี 12 และไอซี 13 เพื่อเลือกเอาสัญญาณในชุด 2A ของไอซีทั้งสองตัว ขาอินพุต 2A ของไอซีทั้งสองตัวถูกต่อเข้ากับดิปสวิตซ์ขนาด 8 บิต โดยสัญญาณที่ถูกกำหนดขึ้นจากดิปสวิตซ์ ใช้เพื่อเป็นการอ้างถึงการเรียกใช้รีจิสเตอร์ทั่วไปขนาด 8 บิต ที่ถูกกำหนดให้ทำหน้าที่เป็นโปรแกรมเคาน์เตอร์ โดยชุดสัญญาณ 2A ของไอซี 12 ใช้สำหรับเก็บข้อมูลจากโปรแกรมเคาน์เตอร์ด้านไบต์สูง และสัญญาณชุด 2A ของไอซี 13 ใช้สำหรับเก็บข้อมูลจากโปรแกรมเคาน์เตอร์ด้านไบต์ต่ำ มีขาเอาต์พุตของไอซีทั้งสองตัวคือขาชุด 2V ส่วนขา 1G ของไอซี 12 และไอซี 13 จะทำงานเมื่อได้รับสัญญาณเป็นลอจิก "0" จากขา Y7 ของไอซี 6 โดยเป็นการเลือกสัญญาณอินพุตชุด 1A เพื่อรับเอาข้อมูลมาจากรีจิสเตอร์คำสั่งตัวที่ 1 โดยไอซี 13 ใช้เก็บข้อมูลจากรีจิสเตอร์คำสั่งตัวที่ 1 ด้านไบต์ต่ำ ไอซี 12 ใช้เก็บข้อมูลจากรีจิสเตอร์คำสั่งตัวที่ 1 ด้านไบต์สูง มีขาเอาต์พุตของไอซีทั้งสองตัวเป็นขาชุด 1V ขาเอาต์พุตจากไอซี 12 และไอซี 13 ถูกต่อเข้ากับขาอินพุต 1D-8D ของไอซี 4 เบอร์ 74LS273 ที่เป็น D ฟลิปฟลอปขนาด 8 บิตใช้เก็บข้อมูลโดยมีขาอินพุตขา 11 เป็นขา CLK ทำงานที่สัญญาณลอจิก "1" ทำหน้าที่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โหลดข้อมูลเข้าจากไอซี 12 และไอซี 13 ขา 14 ของไอซี 14 ใช้ทำหน้าที่รับสัญญาณในการเคลียร์ค่าที่เก็บไว้ภายในดังที่ได้อธิบายไว้ตรงส่วนของขั้นตอนการเฟ็ทซ์และเอ็กซ์ซีคิว โดยสัญญาณจะมาจากขา Y7 ของไอซี 6 เบอร์ 74LS541 ผ่านไอซี 1B ที่เป็นออเกต มีขา 1 เป็นอินพุตรับสัญญาณจากส่วนควบคุม

ขาเอาต์พุตของไอซี 4 ถูกต่อกับไอซี 7 เบอร์ 74LS241 ทำหน้าที่ใช้เลือกชุดของรีจิสเตอร์ปลายทาง โดยส่งสัญญาณออกครั้งละ 4 บิต มีการทำงานคือ ขา 1 และขา 19 ของไอซี 7 เป็นอินพุตที่มาจากส่วนควบคุมทำหน้าที่เป็นตัวเลือกส่วนของสัญญาณที่นำเข้ามา เหตุที่จะต้องทำการเลือกตำแหน่งของรีจิสเตอร์ปลายทาง เพื่อจะได้รู้ว่าจะต้องทำการติดต่อกับรีจิสเตอร์ตัวใดก่อนในแต่ละคำสั่ง เช่น LD A, B ที่จะต้องทำการติดต่อกับรีจิสเตอร์ B ก่อนเพื่ออ่านค่าออกมาสู่บัสข้อมูล แล้วจึงจะทำการติดต่อกับรีจิสเตอร์ A เพื่อทำการเขียนข้อมูลลงไป จากวงจรที่ได้ออกแบบไว้แล้วนี้ สัญญาณที่ใช้เลือกตำแหน่งปลายทางนั้นจะได้มาจากส่วนควบคุมนั่นเอง ส่วนไอซี 10 ทำหน้าที่เป็นบัฟเฟอร์และใช้ทำหน้าที่ส่งข้อมูลออกสู่บัสตำแหน่ง โดยมีขา 1 และขา 19 ทำงานที่สัญญาณลอจิก "0" เป็นขาควบคุมการทำงาน โดยเป็นสัญญาณที่รับมาจากส่วนควบคุม และเพื่อป้องกันการเกิดปัญหา Fan in และ Fan out ของไอซี จึงได้ทำการแยกสัญญาณออกไปเป็น 2 ส่วน จากนั้นจึงนำไปต่อกับไอซี 74LS541 ในวงจรส่วนฐานของชุดปฏิบัติการไมโครโปรเซสเซอร์

2) วงจรกระทำคำสั่ง

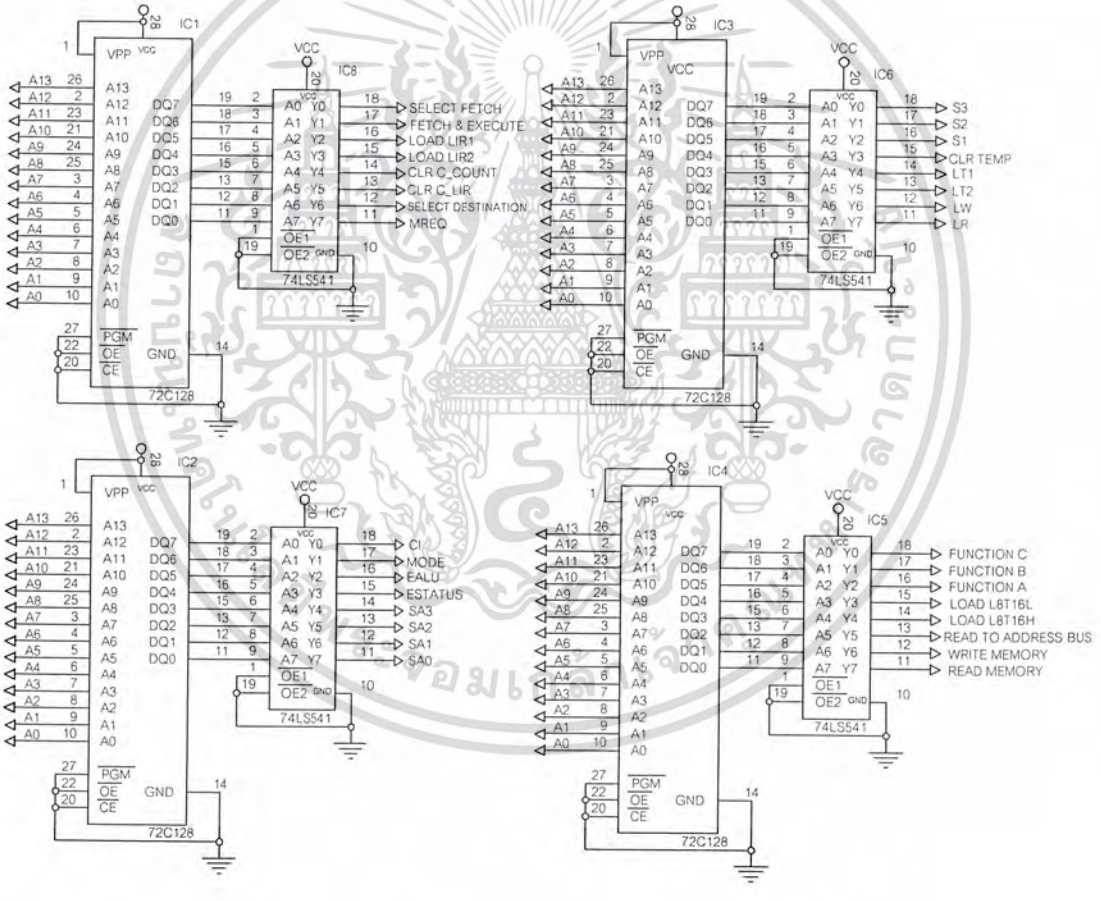
ทำหน้าที่รับข้อมูลที่ส่งมาจากส่วนวงจรถอดรหัส เพื่อใช้ในการกำหนดสัญญาณควบคุมให้วงจรภาคต่างๆ ทำงาน โดยจะส่งสัญญาณควบคุมออกไปยังแต่ละส่วนผ่านทางบัสควบคุม

เอาต์พุตที่มาจากทางเดินข้อมูล CON3A จากส่วนของวงจรถอดรหัสคำสั่งจะต่อเข้ากับขาตำแหน่ง A0-A13 ของไอซี 1 ตัวที่ 4 ซึ่งเป็นอีพรอมเบอร์ 27C128 มีขนาดตัวละ 16 กิโลไบต์ ใช้ตรวจสอบสัญญาณข้อมูลที่รับเข้ามาว่าตรงกับข้อมูลภายในอีพรอมที่โปรแกรมไว้หรือไม่ ถ้าตรงกับชุดคำสั่งใด ก็จะส่งสัญญาณควบคุมขั้นตอนการทำงานออกไปยังส่วนต่างๆ โดยต่อเข้ากับขาตำแหน่ง A0-A13 ของอีพรอม 4 ตัวที่ต่อขนานกัน อีพรอมทั้ง 4 ตัวนี้ ขาข้อมูล DQ0-DQ7 จะมีทางเดินของสัญญาณแยกกัน ทำให้มีขาสัญญาณควบคุมการทำงานภายในซีพียูทั้งสิ้น 32 ขา โดยขาสัญญาณแต่ละขามีหน้าที่ส่งสัญญาณควบคุมไปยังส่วนต่างๆ

โดยส่วนของไอซี 1 ใช้เป็นสัญญาณควบคุมในส่วนของการเฟ็ทซ์และเอ็กซ์ซีคิว การควบคุมรีจิสเตอร์คำสั่ง และการติดต่อกับหน่วยความจำภายนอก ส่วนของไอซี 2 เป็นสัญญาณที่ใช้ควบคุมในส่วนของการคำนวณทางคณิตศาสตร์และลอจิกและส่วนสถานะ (Status) ส่วนของไอซี 3 ขา DQ5-DQ7 เป็นสัญญาณที่ใช้ควบคุมในส่วนของชิฟท์รีจิสเตอร์การเลื่อนและการหมุนค่า ขา DQ4 เป็นสัญญาณเลือกการโหลดข้อมูลในรีจิสเตอร์คำสั่งส่วนไบต์ด้านสูง ขา DQ3 และ DQ2 ทำหน้าที่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ควบคุมในส่วนของรีจิสเตอร์พักข้อมูล ขา DQ1 และ DQ0 ใช้ควบคุมการอ่านและเขียนข้อมูลของรีจิสเตอร์ทั่วไปขนาด 8 บิตในกรณีทำหน้าที่แลตซ์ข้อมูล ส่วนของไอซี 4 ขา DQ5-DQ7 ใช้ควบคุมรีจิสเตอร์ทั่วไปขนาด 8 บิต ในการอ่าน เขียนและเคลียร์ข้อมูล ขา DQ4 และ DQ3 ใช้ควบคุมส่วนของวงจรแลตซ์ข้อมูลขนาด 8 บิต เป็น 16 บิต ขา DQ2 เป็นสัญญาณใช้ติดต่อเพื่ออ่านหรือเขียนข้อมูลกับหน่วยความจำภายนอก ขา DQ0 เป็นสัญญาณเลือกการโหลดข้อมูลในรีจิสเตอร์คำสั่งส่วนไบต์ด้านต่ำ โดยขาเอาต์พุต DQ0-DQ7 ที่ออกจากไอซีแต่ละตัวจะต่อเข้ากับไอซีเบอร์ 74LS541 ที่ทำหน้าที่เป็นบัฟเฟอร์เก็บข้อมูลค้างไว้ก่อนที่จะออกสู่วงจรเพื่อควบคุมในส่วนของภาคต่างๆ

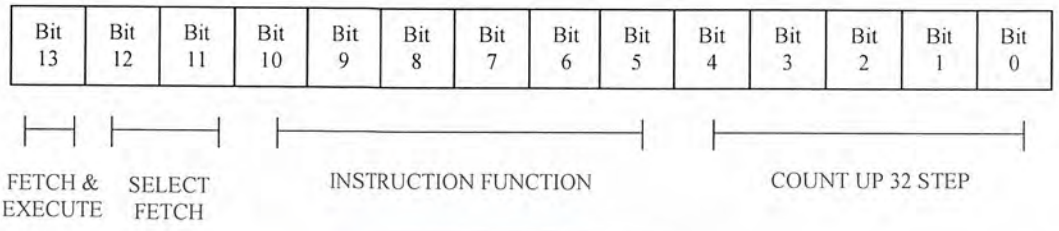


รูปที่ 3.10 วงจรส่วนกระทำคำสั่ง

สัญญาณข้อมูลที่ใช้ในการติดต่อระหว่างส่วนถอดรหัสและส่วนควบคุม หลังจากที่ส่วนถอดรหัสและแปลรหัสคำสั่งทำการถอดรหัสข้อมูลที่ได้มาจากรีจิสเตอร์คำสั่งแล้ว สัญญาณที่ส่งไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ยังส่วนควบคุมจะเป็นชุดของรหัสคำสั่งที่มีขนาด 14 บิต โดยแต่ละบิตได้ถูกแบ่งหน้าที่ในการดำเนินการที่แตกต่างกันออกไป ดังแสดงในรูป 3.11



รูปที่ 3.11 ชุดของรหัสคำสั่งขนาด 14 บิต

โดยในแต่ละบิตมีหน้าที่ดังนี้

1) บิตที่ 13 เป็นบิตที่กำหนดให้ชุดปฏิบัติการไมโครโปรเซสเซอร์อยู่ในสภาวะของการเฟ็ทซ์หรือการเอ็กซ์ซีคิว

2) บิตที่ 11 และ 12 มีหน้าที่ในการกำหนดขนาดของคำสั่งว่าจะให้คำสั่งนั้นมีขนาดกี่ไบต์ โดยกำหนดดังนี้

ค่า 00 จะมีขนาดเท่ากับ 1 ไบต์

ค่า 01 จะมีขนาดเท่ากับ 2 ไบต์

ค่า 10 จะมีขนาดเท่ากับ 3 ไบต์

ค่า 11 จะมีขนาดเท่ากับ 4 ไบต์

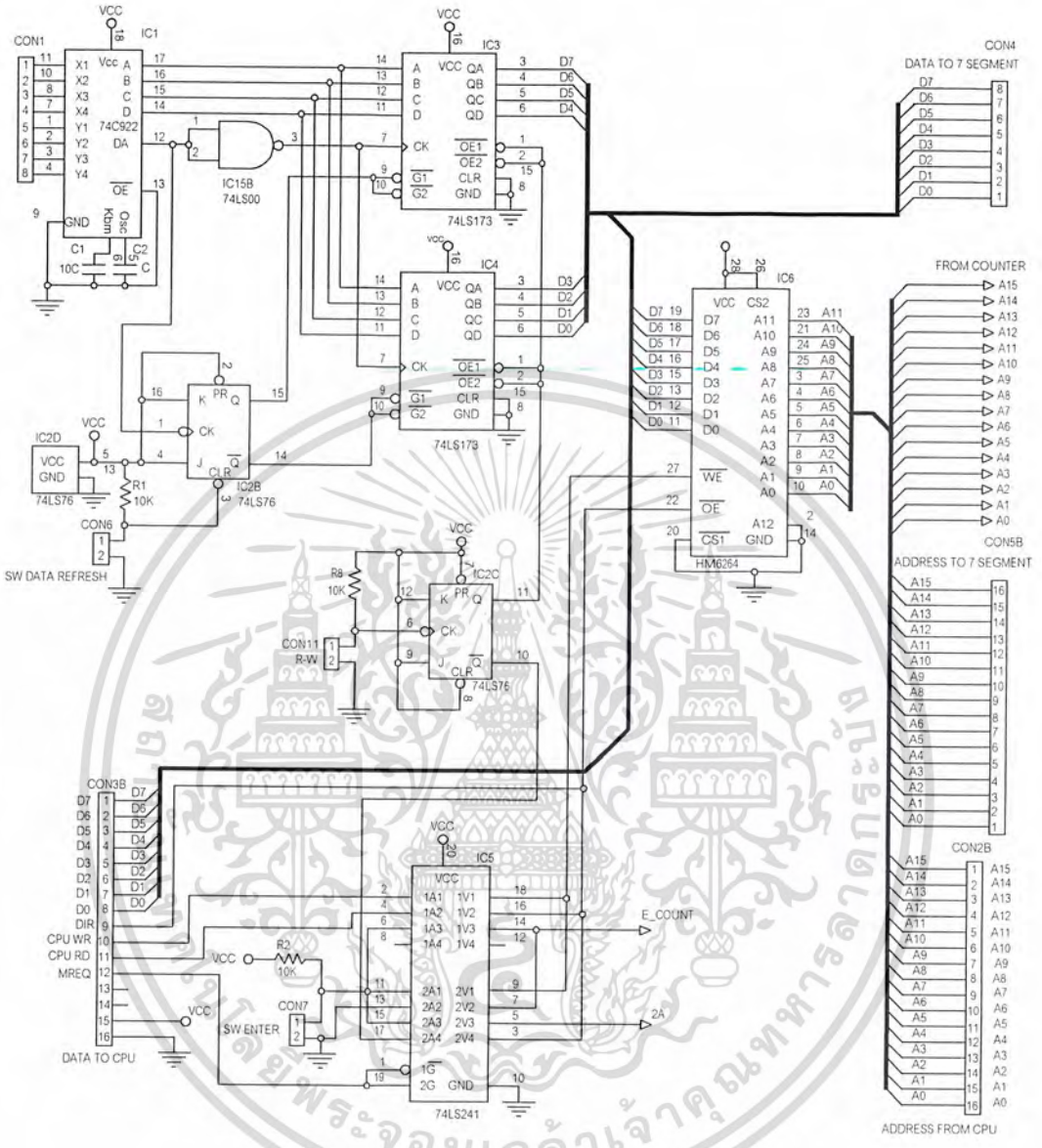
3) บิต 5 ถึง 10 ใช้ในการเก็บรหัสคำสั่ง โดยสามารถเก็บคำสั่งได้สูงสุด 64 คำสั่ง

4) บิต 0 ถึง 4 ใช้เก็บค่าจังหวะของการทำงานในแต่ละคำสั่ง โดยสามารถนับได้สูงสุด 32 จังหวะ

3.2.4 ส่วนการป้อนข้อมูล

การทำงานของชุดป้อนข้อมูล สัญญาณ MREQ จาก CON3B (บัสข้อมูลภายใน) เข้ามาเป็นสัญญาณลอจิก "0" ไปยังขา 1 และ 19 ของไอซี 5 ทำหน้าที่สวิตช์เลือกชุดสัญญาณ เมื่อป้อนข้อมูลเข้าทางอินพุต CON1 ซึ่งเป็นคีย์บอร์ดขนาด 16 คีย์แบบเมตริก สัญญาณจากคีย์บอร์ดจะถูกส่งต่อไปยังขา Y1, Y2, Y3, Y4 และ X1, X2, X3, X4 ซึ่งเป็นอินพุตของไอซี 1 เบอร์ 74C922 ทำหน้าที่แปลงสัญญาณที่ได้มาทางอินพุตให้เป็นสัญญาณชนิด BCD ออกไปยังเอาต์พุต ขา A, B, C, D โดยมีขา DA ทำหน้าที่กำเนิดสัญญาณนาฬิกาป้อนให้แก่ไอซี 3 และไอซี 4 เบอร์ 74LS173 ซึ่งเป็นรีจิสเตอร์ใช้เก็บข้อมูลขนาด 4 บิตที่ได้จากการกดแป้นคีย์บอร์ด โดยไอซี 3 และไอซี 4 จะสลับกันเก็บข้อมูล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.12 วงจรส่วนชุดป้อนข้อมูล ส่วนที่ 1

ในการจะกำหนดเลือกตัวใดในการเก็บข้อมูล ทำได้โดยการควบคุมจากไอซี 2B เบอร์ 74LS76 ซึ่งเป็นฟลิปฟลอปชนิด J-K รับสัญญาณนาฬิกาจากขา DA ของไอซี 1 เข้าขา 1 เป็นขา CLK ทำให้ไอซี 2B มีการเปลี่ยนสถานะแบบทอกเกิล โดยจะเปลี่ยนค่าของเอาต์พุต 0 และ 1 ที่ออกจากขา 14 และ ขา 15 สลับไปมา จากตรงนี้นี่เองที่เราสามารถนำไปควบคุมการโหลดข้อมูลเข้าของไอซี 3 และ ไอซี 4 โดยในสภาวะเริ่มแรกจะมีการเคลียร์ค่าในฟลิปฟลอปชนิด J-K เสียก่อน ผลที่ได้คือทำให้เกิดสัญญาณลอจิก "0" ออกทางขา 15 ส่งผลให้ไอซี 3 ได้รับสัญญาณสั่งให้รีจิสเตอร์

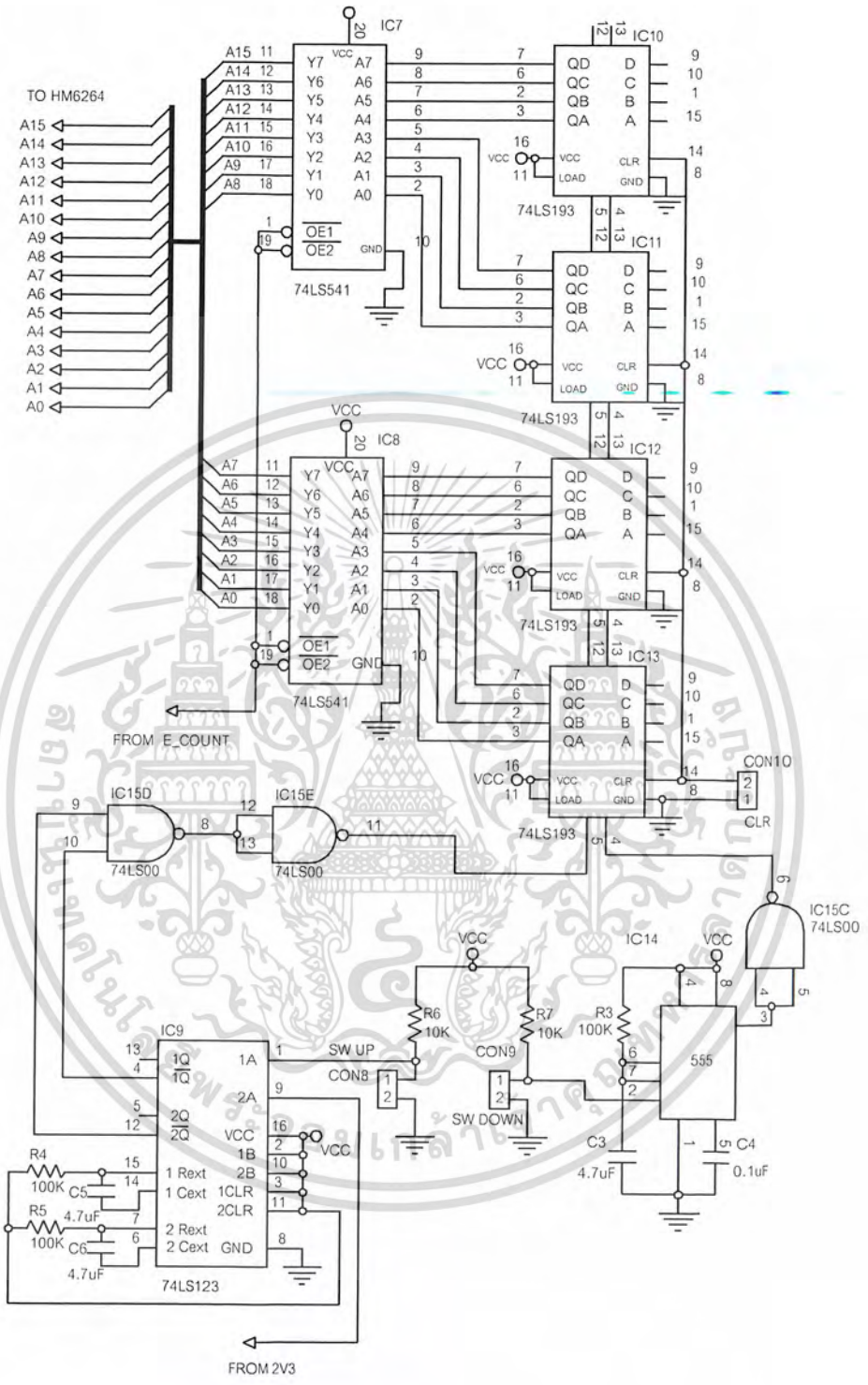
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ ดัดแปลง เผยแพร่ หรือแสวงหาประโยชน์ทางการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทำการเก็บข้อมูลขนาด 4 บิต เข้าที่ขา A, B, C, D โดยสัญญาณสั่งการเก็บข้อมูลเข้านี้จะเข้ามาทางอินพุตที่ขา 9 และ 10 ทำให้สามารถโหลดข้อมูลเข้าได้ ขณะเดียวกันเอาต์พุตที่ขา 14 จะเป็นสัญญาณลอจิก "1" ทำให้ไอซี 4 ไม่สามารถทำการโหลดข้อมูลได้เนื่องจากไอซีจะทำการเก็บข้อมูลได้ต้องได้รับสัญญาณสั่งการทำงานเป็นสัญญาณลอจิก "0" เข้ายังขา 9 และ 10 จากนั้นเมื่อเราป้อนข้อมูลเข้าจากคีย์บอร์ดอีกครั้งหนึ่งจะเกิดสัญญาณนาฬิกาจากขา DA ของไอซี 1 เข้าไปที่อินพุตขา CLK ของไอซี 2B เกิดสภาวะทอกเกิลอีกครั้ง ผลทำให้เกิดการเปลี่ยนค่าของเอาต์พุตที่ขา 15 เป็นลอจิก "1" ที่ขา 14 เป็นลอจิก "0" ส่งผลให้ไอซี 4 ที่มีขาสั่งการทำงานคือขา 9 และ 10 ทำงานที่สัญญาณลอจิก "0" สามารถโหลดข้อมูลเก็บเข้าไปได้

ไอซี 6 เบอร์ HM6264 เป็นหน่วยความจำทำหน้าที่ในการเก็บข้อมูลจากไอซี 3 และไอซี 4 โดยสั่งงานจากการกดคีย์ ENTER ที่ CON7 สัญญาณจากขา 2V1 ที่มาจากไอซี 5 เบอร์ 74LS241 จะส่งสัญญาณลอจิก "0" ไปที่ขา 27 ของไอซี 6 ให้ทำการเก็บข้อมูลที่เข้ามายังขา D0-D7 ซึ่งมาจากไอซี 3 และไอซี 4 โดยขา 1 และขา 2 ของไอซีทั้งสองตัวถูกต่อเข้ากับไอซี 2C เบอร์ 74LS76 ไอซีตัวนี้จะทำหน้าที่ในสองสภาวะคือ ในสภาวะการเขียน เป็นการควบคุมให้ไอซี 3 และไอซี 4 ส่งข้อมูลให้หน่วยความจำตลอดเวลา และในสภาวะการอ่าน ใช้ในกรณีที่ซีพียูร้องขอข้อมูลจากหน่วยความจำโดยตรงในกรณีนี้ไอซี 2C จะส่งสัญญาณลอจิก "1" ออกไป

ในกรณีที่ซีพียูต้องการเรียกข้อมูลที่อยู่ในหน่วยความจำโดยตรง ซีพียูจะส่งสัญญาณบอกตำแหน่งข้อมูลผ่านบัสข้อมูลภายในตรงมายังไอซี 6 ซึ่งเป็นหน่วยความจำ พร้อมกับส่งสัญญาณลอจิก "0" เข้ายังขา 22 ของไอซี 6 ด้วย เพื่อสั่งให้ไอซี 6 ปล่อยข้อมูลออกจากขา D0-D7 ไปยังบัสข้อมูลภายใน ในการทำงานในส่วนของการนับค่าตำแหน่งขณะกดคีย์ ENTER ที่ CON7 สัญญาณลอจิก "1" จะออกจากขา 2V3 ของไอซี 5 เบอร์ 74LS241 เข้าไปยังขาอินพุต 2A ของไอซี 9 เบอร์ 74LS123 ซึ่งเป็นวงจรโมโนสเตเบิ้ลส่งสัญญาณลอจิก "0" ออกจากขา 2Q ผ่านไอซีเบอร์ 74LS00 ที่ทำหน้าที่เป็นแอนเกตเข้าไปยังวงจรนับผ่านไปยังขาอินพุตขา 5 ของไอซี 13 เบอร์ 74LS193 ที่เป็นวงจรนับขนาด 4 บิต โดยไอซี 74LS193 ถูกต่ออนุกรมกันจำนวน 4 ตัว เพื่อให้สามารถทำงานเป็นวงจรนับขนาด 16 บิต มีขา 5 เป็นขานับขึ้นทำงานที่สัญญาณลอจิก "0" มีขา 12 เป็นขาตัวทดออกใช้ต่อกับขา UP (ขา 5 ของไอซีตัวถัดไป) มีขา 13 เป็นขาตัวยืม ใช้ต่อกับขา DOWN (ขา 4 ของไอซีตัวถัดไป) ใช้ในกรณีต้องการนับลง ขา 14 เป็นขาเคลียร์ค่าที่นับให้เป็นศูนย์ โดยทำงานที่สัญญาณลอจิก "1" ขา 14 ของไอซี 10 ถึงไอซี 13 ถูกต่อเข้ากับ CON10 เพื่อเป็นสวิตช์สำหรับใช้ในการเคลียร์ค่า ขา QA, QB, QC, QD ของไอซี 10 และไอซี 11 ใช้ต่อเข้ากับบัสตำแหน่งเข้ายังขาอินพุต A0-A11 ของไอซี 6 เบอร์ HM6264 ที่ทำหน้าที่เป็นหน่วยความจำเพื่อใช้ค่านี้เป็นค่าบัสตำแหน่งส่วนไบต์ด้านต่ำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.13 วงจรส่วนชุดป้อนข้อมูล ส่วนที่ 2

ขา QA, QB, QC, QD ของไอซี 12 และไอซี 13 ต่อเข้ากับบัสตำแหน่ง และขาอินพุต A0-A11 ของไอซี 6 เบอร์ HM6264 เพื่อใช้ค่านี้เป็นค่าบัสตำแหน่งส่วนไบต์ด้านสูง โดยเอาต์พุต QA, QB

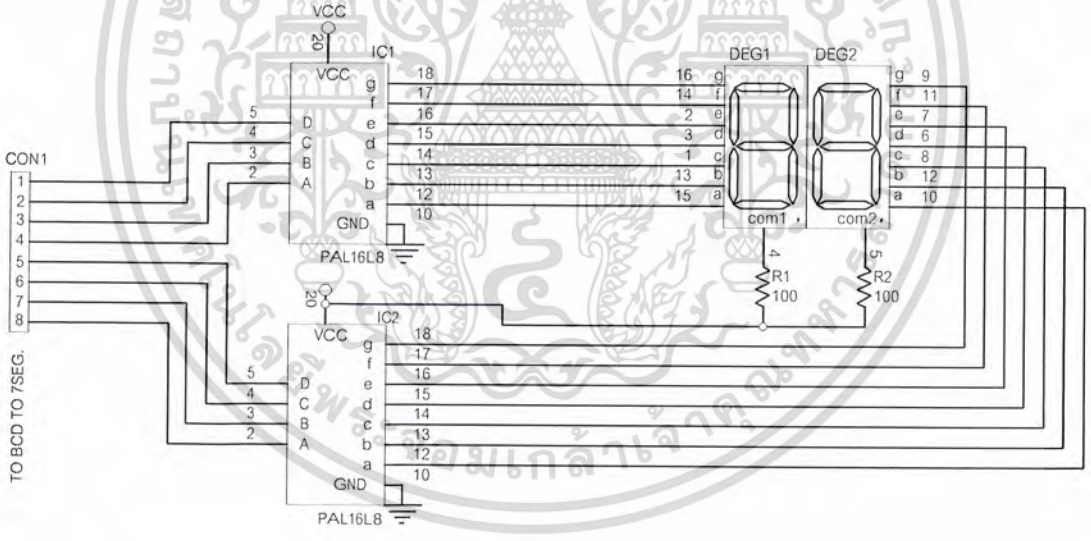
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของผลงานทุกครั้งที่มีการนำไปใช้

QC, QD ของไอซีทั้ง 4 ตัว จะผ่านไอซี 7 และไอซี 8 เบอร์ 74LS541 ทำหน้าที่เป็นบัฟเฟอร์ มีขา 1 และขา 19 ใช้รับสัญญาณในการควบคุมการเปิดปิดข้อมูลทำงานที่สัญญาณลอจิก "0" โดยสัญญาณที่ป้อนให้ไอซีทำการปล่อยข้อมูลออกจะถูกส่งมาจากขา 2V2 ของ ไอซี 5 เบอร์ 74LS241 โดยทำงานช่วงเวลาเดียวกับการกดคีย์ ENTER ที่ CON7

ขา 1A ของไอซี 9 เบอร์ 74LS123 ใช้ทำหน้าที่รับสัญญาณ UP จากคีย์ CON8 เพื่อใช้ในการเพิ่มค่าในวงจรนับ โดยเอาต์พุตที่ออกจากขา $\overline{1Q}$ ของไอซี 9 จะถูกส่งไปยังขา 5 ซึ่งเป็นขา UP ของวงจรนับ ขา 4 ของไอซี 13 ใช้รับสัญญาณ DOWN ใช้เพื่อลดค่าของข้อมูลลง สัญญาณจะถูกผลิตขึ้นโดยไอซี 555 ที่จะนับลงเมื่อกดคีย์ CON9 โดยคีย์ CON8 และคีย์ CON9 นี้จะถูกใช้เพื่อเพิ่มหรือลดข้อมูลในกรณีที่ต้องการดูว่าข้อมูลในตำแหน่งนั้นๆ มีค่าเท่าใด

3.2.5 ส่วนการแสดงผลข้อมูล

ทำหน้าที่แสดงผลข้อมูลค่า 0-F มีประโยชน์ในการติดตามดูผลข้อมูลภายในของวงจรของแต่ละภาคการทำงานของชุดปฏิบัติการไมโครโปรเซสเซอร์



รูปที่ 3.14 วงจรส่วนแสดงผล

จากรูป 3.14 วงจรส่วนแสดงผลใช้แสดงผลข้อมูลขนาด 8 บิต มีการทำงานคือ สัญญาณข้อมูลรหัส BCD-8421 ที่วงจรแสดงผลข้อมูลได้ต่อไว้กับส่วนของภาคต่างๆ ถูกต่อเข้ากับขาอินพุต D, C, B, A ของไอซี 1 และไอซี 2 เบอร์ PAL16L8 ซึ่งเป็นอีพรอมที่ถูกโปรแกรมใช้เป็นตัวถอดรหัสข้อมูล BCD โดยทำหน้าที่ถอดรหัสข้อมูล BCD-8421 ที่ส่งเข้ามาเพื่อใช้ขับส่วนแสดงผล 7 ส่วน ชนิดแอโนดร่วม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้ทำซ้ำ ดัดแปลง เผยแพร่ หรือนำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น ผู้ใช้งานต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทำงานของวงจรแสดงผลข้อมูลที่ติดตั้งไว้ในแต่ละภาคมีการทำงานที่เหมือนกัน โดยวงจรส่วนแสดงผลจะถูกต่ออยู่กับส่วนของวงจรในภาคต่างๆ ดังนี้

1) วงจรรีจิสเตอร์ทั่วไปขนาด 8 บิต

2) วงจรรีจิสเตอร์พักข้อมูลขนาด 8 บิต

3) วงจรแลตซ์ข้อมูลขนาด 8 บิต เป็น 16 บิต

4) วงจรคำนวณทางคณิตศาสตร์และลอจิก

5) วงจรเลื่อนข้อมูล

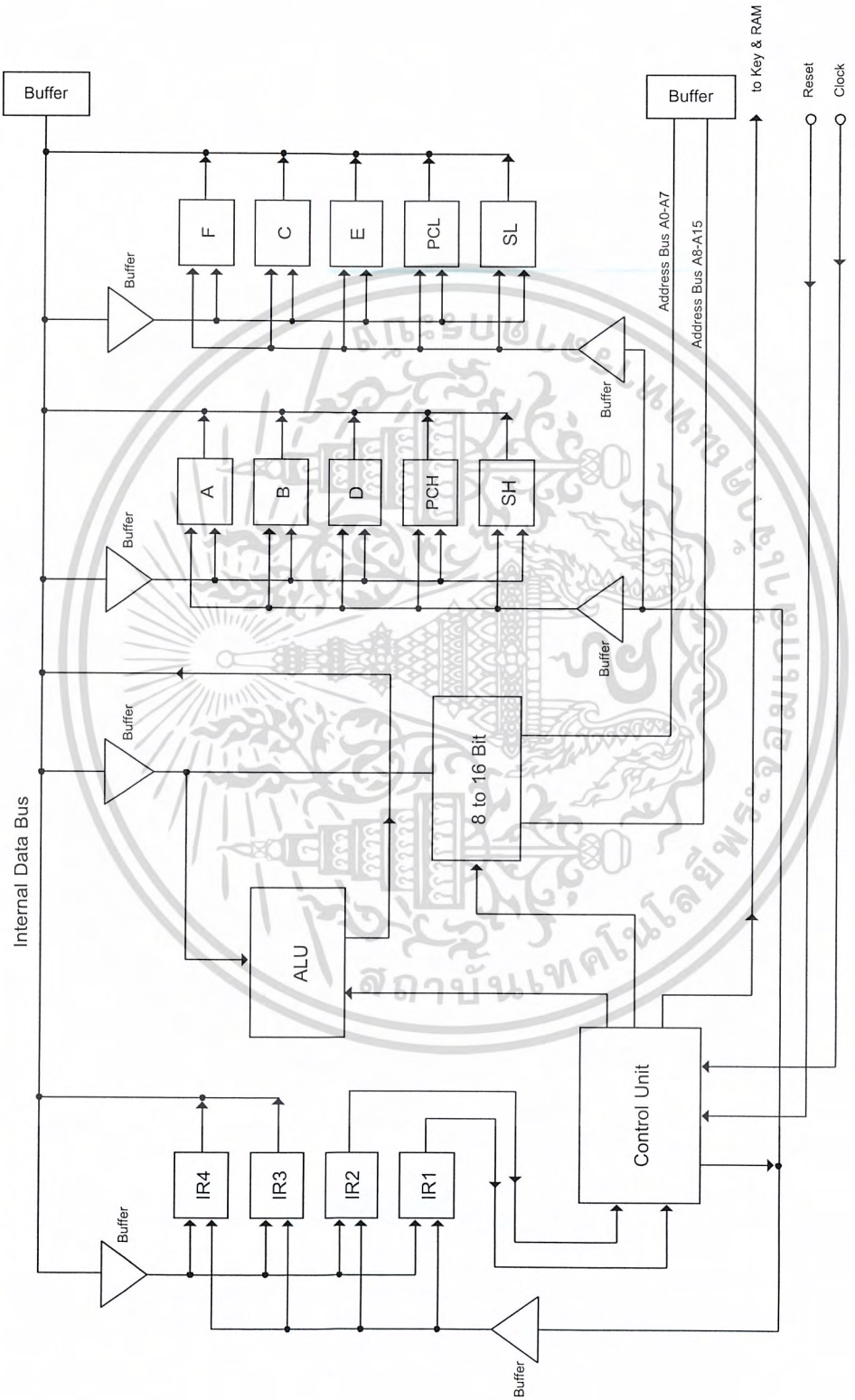
6) วงจรชุดป้อนข้อมูล

ตารางที่ 3.2 ค่าที่เขียนลงในไอซี PAL16L8 เพื่อให้แสดงค่า 0-F

ตัวเลข	ตำแหน่ง	G	F	E	D	C	B	A	ข้อมูลที่ป้อน
		D6	D5	D4	D3	D2	D1	D0	
		4	2	1	8	4	2	1	
0	0000	1	0	0	0	0	0	0	40
1	0001	1	1	1	1	0	0	1	79
2	0002	0	1	0	0	1	0	0	24
3	0003	0	1	1	0	0	0	0	30
4	0004	0	0	1	1	0	0	1	19
5	0005	0	0	1	0	0	1	0	12
6	0006	0	0	0	0	0	1	0	02
7	0007	1	1	1	1	0	0	0	78
8	0008	0	0	0	0	0	0	0	00
9	0009	0	0	1	0	0	0	0	10
A	000A	0	0	0	1	0	0	0	08
B	000B	0	0	0	0	0	1	1	03
C	000C	1	0	0	0	1	1	0	46
D	000D	0	1	0	0	0	0	1	21
E	000E	0	0	0	0	0	1	1	03
F	000F	0	0	0	1	1	0	1	0D

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2.6 การเชื่อมต่อวงจรส่วนฐาน



รูปที่ 3.15 การเชื่อมต่อวงจรส่วนฐาน

เป็นส่วนที่ทำหน้าที่เชื่อมโยงภาคการทำงานต่างๆ เข้าไว้ด้วยกัน ผ่านทางเดินของสัญญาณหรือบัสซึ่งอยู่ในวงจรส่วนฐาน ประกอบไปด้วยทางเดินของสัญญาณข้อมูลหรือบัสข้อมูล และทางเดินของสัญญาณตำแหน่งหรือบัสตำแหน่ง

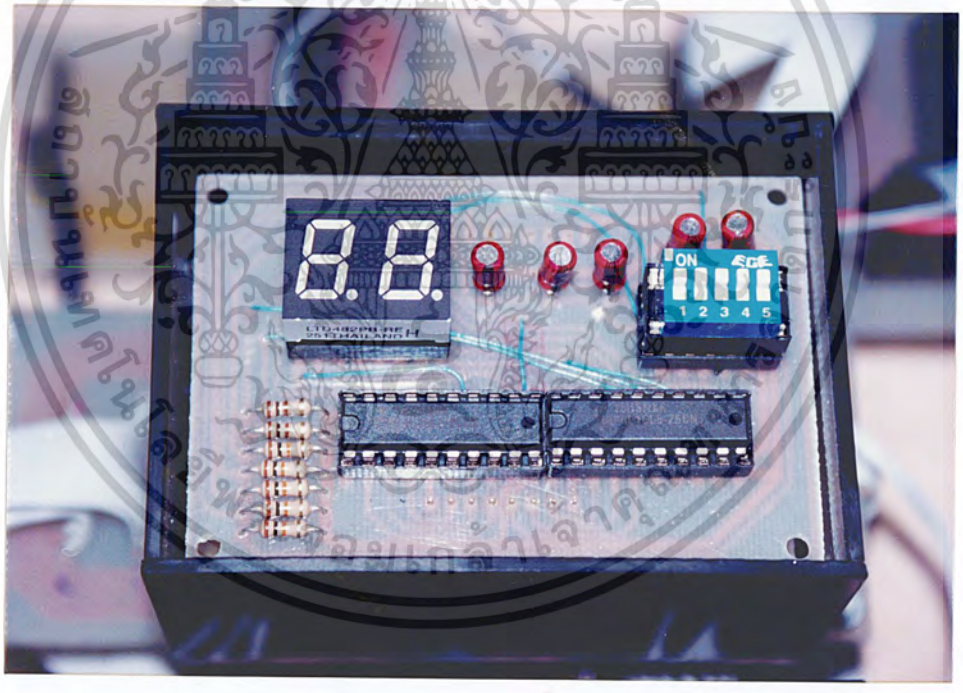
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

การทดลอง และผลการทดลอง

ในบทนี้กล่าวถึงการทดลองชุดปฏิบัติการไมโครโปรเซสเซอร์ ที่มีการแบ่งแผงวงจรเป็นส่วนต่างๆ ตามหน้าที่ ซึ่งในการทดลองจะแบ่งออกเป็นแต่ละโมดูลแล้วจึงประกอบรวมกันเป็นชุดปฏิบัติการไมโครโปรเซสเซอร์ โดยมีการทดลองดังนี้

4.1 การทดลองแผงวงจรรีจิสเตอร์ทั่วไป 8 บิต



รูปที่ 4.1 แผงวงจรรีจิสเตอร์ทั่วไป 8 บิต

รีจิสเตอร์ทั่วไปขนาด 8 บิตจะมีจำนวนทั้งหมด 6 ตัว ประกอบด้วยรีจิสเตอร์ B, C, D, E, H และ L ซึ่งทั้ง 8 ตัวมีการทำงานที่เหมือนกันคือ สามารถโหลดข้อมูลจากบัสข้อมูลภายในมาเก็บในตัวรีจิสเตอร์ และสามารถส่งค่าที่เก็บในตัวรีจิสเตอร์ไปยังบัสข้อมูลภายในเมื่อได้รับการสั่งจากส่วนควบคุม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.1.1 การทดลองโหลดข้อมูลขนาด 8 บิตจากบัสข้อมูลภายใน

ทำการทดลองตามลำดับขั้นดังต่อไปนี้

1) ป้อนไฟ +5 โวลต์ เข้าวงจรรีจิสเตอร์ทั่วไป 8 บิต

2) ต่อแผงวงจรส่วนของรีจิสเตอร์เข้ากับบัสข้อมูลภายใน

3) ป้อนข้อมูลตามตารางเข้าที่บัสข้อมูลภายใน แล้วได้ผลการทดลองตามตารางที่ 4.1

ตารางที่ 4.1 ผลการทดลองโหลดข้อมูลเข้าสู่รีจิสเตอร์

ครั้งที่	ข้อมูลที่ป้อน เข้าที่ CON1B	สัญญาณในส่วน ของการควบคุม ขา CON3B 11-20	สัญญาณในส่วน ดิปสวิตซ์ ขา DIPSW 0-4	ข้อมูลที่เอาต์พุต ของไอซี 3 74LS273
1	5BH	11 1000 0100	0001 0	xxH
2	5BH	11 1000 0101	0001 0	00H
3	5BH	11 1000 0100	0001 0	5BH
4	78H	11 1000 0110	0011 0	5BH
5	4AH	11 1000 0110	0011 0	5BH
6	4AH	11 1000 0110	0011 1	4AH
7	4AH	11 1000 0111	0011 1	00H
8	55H	11 1000 0110	0011 1	55H

4.1.2 ผลการทดลองโหลดข้อมูล 8 บิต จากบัสข้อมูลภายในลงในรีจิสเตอร์

จากผลการทดลองจะเห็นได้ว่าการที่จะโหลดข้อมูลเข้าไปสู่รีจิสเตอร์นั้นสามารถที่จะทำได้ 2 วิธีการด้วยกันคือ ในขั้นตอนที่ 3 เราจะสั่งให้รีจิสเตอร์โหลดข้อมูลเข้าไปโดยการควบคุมจากส่วนของส่วนควบคุม ที่ต้องกำหนดดิปสวิตซ์ให้ตรงกับสัญญาณที่ขา A0-A3 และที่สำคัญต้องกำหนดดิปสวิตซ์ 4 ให้เป็นลอจิก "0" และป้อนลอจิก "1" เข้าที่ขา B ของไอซี 1 อีกวิธีหนึ่งในการโหลดข้อมูลเข้าไปสู่รีจิสเตอร์คือ การสั่งโดยตรงแบบไม่ต้องผ่านส่วนควบคุม โดยการป้อนลอจิก "1" เข้าที่ดิปสวิตซ์ 4 และทำการป้อนลอจิก "1" เข้าที่ขา 12 ของส่วนควบคุม

ในการเคลียร์ข้อมูลที่อยู่ในรีจิสเตอร์นั้นสามารถที่จะทำได้โดยการให้ลอจิก "1" ที่ขา 20 ของส่วนควบคุมหรือการให้ลอจิก "0" เข้าที่ขา A ของไอซี 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.1.3 การทดลองส่งข้อมูลที่เก็บในรีจิสเตอร์ออกสู่บัสข้อมูลภายใน

ทำการทดลองตามลำดับขั้นดังต่อไปนี้

1) ต่อแผงวงจรส่วนของรีจิสเตอร์เข้าไปสู่บัสข้อมูลภายใน

2) ป้อนไฟ +5 โวลต์ เข้าวงจรส่วนของรีจิสเตอร์เข้าไปสู่บัสข้อมูลภายใน

3) ป้อนข้อมูลตามตารางเข้าที่บัสข้อมูลภายใน แล้วได้ผลการทดลองตามตารางที่ 4.2

ตารางที่ 4.2 การป้อนสัญญาณควบคุมการการส่งข้อมูลที่เก็บในรีจิสเตอร์ออกสู่บัสข้อมูลภายใน

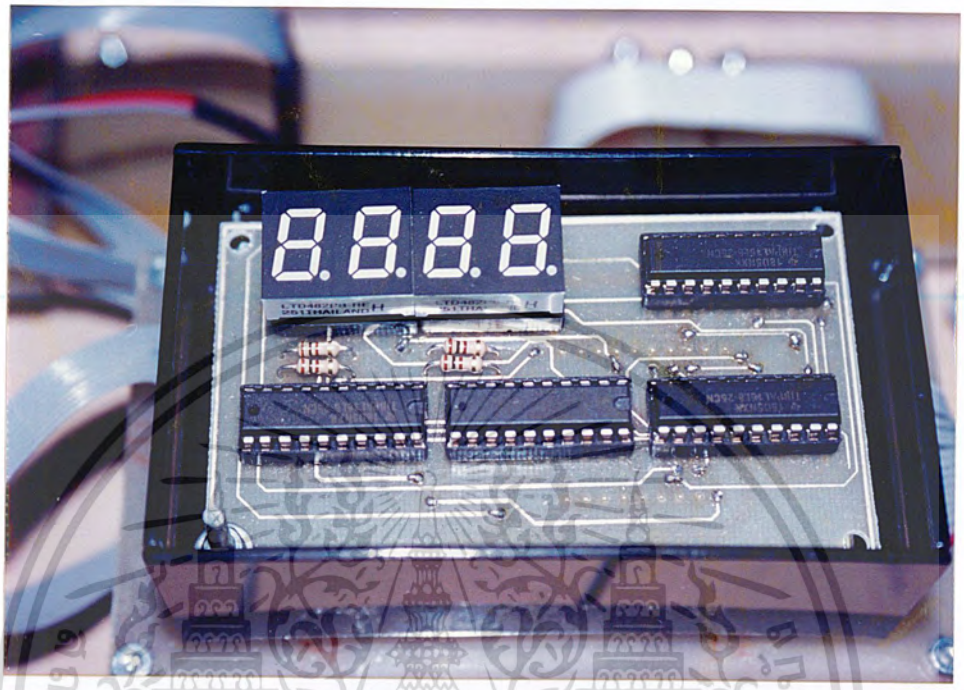
ครั้งที่	ข้อมูลที่ป้อนเข้าที่ CON1B	สัญญาณในส่วนของการควบคุม CON3B 11-20	สัญญาณในส่วนดิปสวิตซ์ DIPSW 0-4	ข้อมูลที่ขาเอาต์พุต CON2A
1	5BH	11 1000 1010	0001 0	High Impedance
2	5BH	11 1000 1011	0001 0	High Impedance
3	5BH	11 1000 1110	0001 0	High Impedance
4	DDH	11 1000 0010	0001 0	5BH
5	2AH	11 1000 0010	0011 0	High Impedance
6	18H	10 1000 1110	0011 1	High Impedance
7	18H	00 1000 1110	0011 1	18H
8	DDH	00 1000 1111	0011 1	00H

4.1.4 ผลการทดลองส่งข้อมูลที่เก็บในรีจิสเตอร์ออกสู่บัสข้อมูลภายใน

จากการทดลองการอ่านข้อมูลจากรีจิสเตอร์ออกสู่บัสข้อมูลภายใน เห็นได้ว่าเราสามารถทำได้ด้วยกัน 2 วิธี วิธีการแรกคือ การควบคุมมาจากวงจรส่วนควบคุม โดยที่เราต้องป้อนสัญญาณที่ขา A0–A3 ให้ตรงกันกับขา B0–B3 และทำการป้อนลอจิก “0” เข้าที่ขา DIPSW 4 แล้วทำการอ่านข้อมูลโดยป้อนลอจิก “0” เข้าที่ขา C ของไอซี 1 และอีกวิธีการหนึ่งคือการควบคุมจากผู้ใช้งานเอง เป็นการป้อนสัญญาณควบคุมเข้าไปโดยตรงโดยการเลือกจากสัญญาณที่ป้อนเข้าสู่ DIPSW4 ถ้าเป็นลอจิก “0” จะเป็นการควบคุมจากส่วนควบคุม และถ้าเป็นลอจิก “1” จะเป็นการควบคุมจากดิปสวิตซ์โดยตรง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2 การทดลองการทำงานของชิฟท์รีจิสเตอร์



รูปที่ 4.2 วงจรในส่วนของชิฟท์รีจิสเตอร์

4.2.1 การทดลองการทำงานของชิฟท์รีจิสเตอร์

ทำการทดลองตามลำดับขั้นดังต่อไปนี้

1) ทำการต่อแผงวงจรส่วนของชิฟท์รีจิสเตอร์เข้าไปสู่บัสข้อมูลภายใน

2) ป้อนไฟ +5 โวลต์ เข้าวงจรชิฟท์รีจิสเตอร์

3) ทำการป้อนข้อมูลตามตารางเข้าที่บัสข้อมูลภายใน แล้วได้ผลการทดลองตามตารางที่ 4.3 และ 4.4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 4.3 สัญญาณที่มาจากส่วนควบคุม

ครั้งที่	S2	S1	S0	SERIAL		CLR	LT1	LT2	ข้อมูลที่ขา
				LEFT	RIGHT	TEMP			CON4B 1- 8
1	1	1	1	X	X	0		0	1101 0000
2	1	1	1	X	H	1		0	1101 0000
3	1	1	0	X	L	1		0	1101 0000
4	1	0	1	H	X	1		0	1101 0000
5	1	0	0	L	X	1		0	1101 0000

ตารางที่ 4.4 ผลการป้อนสัญญาณอินพุตและเอาต์พุตที่ได้

ครั้งที่	สัญญาณอินพุต	สัญญาณเอาต์พุต
1	1010 1101	0000 0000
2	1010 1101	1101 0110
3	1010 1101	0101 0110
4	1010 1101	0101 1011
5	1010 1101	0101 1010

4.2.2 ผลของการทดลองในส่วนของชิฟท์รีจิสเตอร์

ครั้งที่ 1 จากการทดลองในครั้งแรกของชิฟท์รีจิสเตอร์ เป็นการป้อนสัญญาณควบคุมเพื่อเคลียร์สถานะของชิฟท์รีจิสเตอร์ให้มีค่าเป็น "00H"

ครั้งที่ 2 เป็นการตั้งค่าให้ชิฟท์รีจิสเตอร์ทำงานในสภาวะเลื่อนไปทางขวา โดยป้อนสัญญาณลอจิก "1" เข้าที่ขา Serial In

ครั้งที่ 3 เป็นการตั้งค่าให้ชิฟท์รีจิสเตอร์ทำงานในสภาวะเลื่อนไปทางขวา โดยป้อนสัญญาณลอจิก "0" เข้าที่ขา Serial In

ครั้งที่ 4 เป็นการตั้งค่าให้ชิฟท์รีจิสเตอร์ทำงานในสภาวะเลื่อนไปทางซ้าย โดยป้อนสัญญาณลอจิก "1" เข้าที่ขา Serial In

ครั้งที่ 5 เป็นการตั้งค่าให้ชิฟท์รีจิสเตอร์ทำงานในสภาวะเลื่อนไปทางซ้าย โดยป้อนสัญญาณลอจิก "0" เข้าที่ขา Serial In

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.3 การทดลอง วงจรรีจิสเตอร์พักข้อมูลขนาด 8 บิต (Temporary Register)

รูปที่ 4.3 รีจิสเตอร์พักข้อมูล

4.3.1 การทดลองวงจรรีจิสเตอร์พักข้อมูลขนาด 8 บิต ตัวที่ 1 (Temporary Register 1)

ทำการทดลองตามลำดับขั้นดังต่อไปนี้

1) ต่อวงจรในส่วนของรีจิสเตอร์พักข้อมูลเข้าสู่แผงวงจรส่วนฐาน

2) ต่อไฟเลี้ยง +5 โวลต์ เข้าสู่วงจรทำการป้อนข้อมูลและได้ผลดังตารางที่ 4.5

ตารางที่ 4.5 การป้อนสัญญาณควบคุมการทดลองในส่วนของรีจิสเตอร์พักข้อมูลขนาด 8 บิต ตัวที่ 1

ครั้งที่	สัญญาณควบคุมที่ CON5A					สัญญาณควบคุมที่ CON4B (1-8)	ข้อมูลที่ป้อนเข้า	ข้อมูลที่แสดงออกมา
	S2	S1	S0	LT1	LT2			
1	1	1	1	0	0	1101 0000	1011 0111	xxH
2	1	1	1	⎍	0	1101 0000	1011 0111	B7H
3	1	1	1	0	0	1101 0000	1101 0100	xxH
4	1	1	1	⎍	0	1101 0000	1101 1001	B9H

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.3.2 ผลการทดลองวงจรรีจิสเตอร์พักข้อมูลขนาด 8 บิต ตัวที่ 1

จากการทดลองในส่วนของรีจิสเตอร์พักข้อมูลขนาด 8 บิต ตัวที่ 1 ในครั้งแรก กำหนดให้สัญญาณลอจิก "0" แก่ขา LT1 ซึ่งจะเป็นการกำหนดให้ข้อมูลที่ป้อนไว้ไม่ส่งออกไปสู่ส่วนประมวลผลทางคณิตศาสตร์และกระทำทางลอจิก ในการทดลองครั้งที่ 2 จะเป็นการป้อนข้อมูลเข้า เมื่อทำการป้อนสัญญาณลอจิก "1" จะเป็นการโหลดข้อมูลที่ได้ทำการป้อนไว้เข้าสู่รีจิสเตอร์พักข้อมูลตัวที่ 1 และจะทำการผ่านค่าเข้าไปยังส่วนประมวลผลทางคณิตศาสตร์และกระทำทางลอจิกทันที ในการทดลองในครั้งที่ 3 จะมีการทำงานเช่นเดียวกันกับครั้งที่ 2 เพียงแต่ได้เปลี่ยนข้อมูลที่ป้อนเข้าเท่านั้น

4.3.3 การทดลองวงจรในส่วนของรีจิสเตอร์พักข้อมูลขนาด 8 บิต ตัวที่ 2

ทำการทดลองตามลำดับขั้นดังต่อไปนี้

1) ต่อวงจรส่วนของวงจรรีจิสเตอร์พักข้อมูลเข้าสู่แผงวงจรส่วนฐาน
2) ต่อวงจรไฟเลี้ยง +5 โวลต์ เข้าสู่วงจรในส่วนของรีจิสเตอร์พักข้อมูลขนาด 8 บิต ตัวที่ 2
3) ทำการป้อนข้อมูลแล้วได้ผลตามค่าในตารางที่ 4.6

ตารางที่ 4.6 การป้อนสัญญาณควบคุมการทดลองในส่วนของรีจิสเตอร์พักข้อมูลขนาด 8 บิต ตัวที่ 2

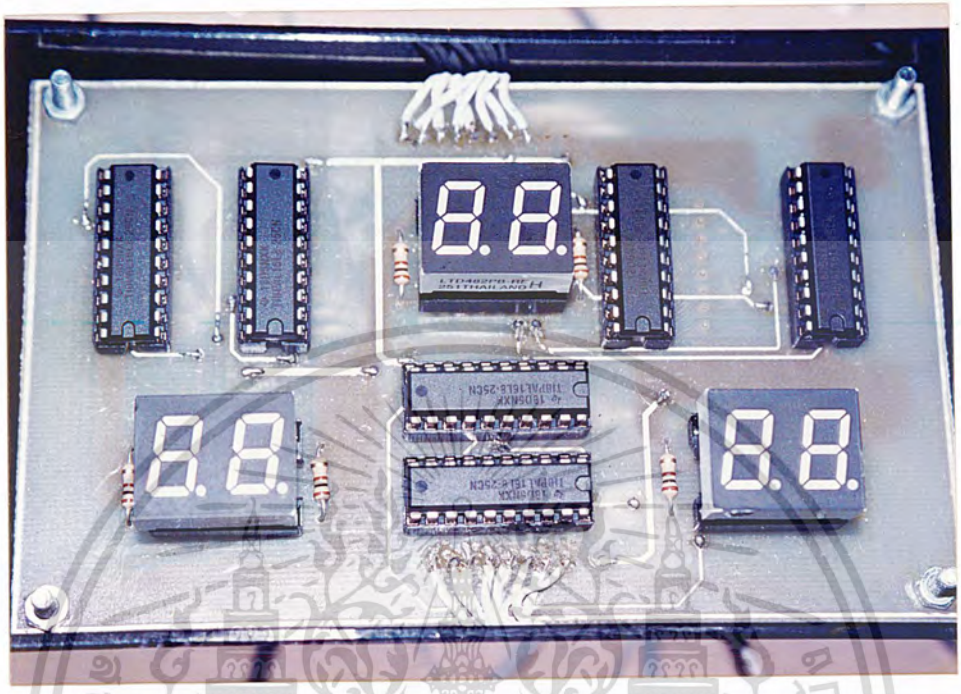
ครั้งที่	ข้อมูลที่สัญญาณควบคุม CON4A (8 –1)	สัญญาณที่ CON5A ขา 1, 2, 3, 5, 6	ข้อมูลเข้า	ข้อมูลออก
1	0101 1110	11100	0FAH	xxH
2	0101 1010	11100	0FAH	xxH
3	1010 1010	11101	0FAH	0FAH
4	0101 1010	11101	0BBH	0FAH
5	1010 1010	11101	74H	0BBH

4.3.4 ผลการทดลองวงจรในส่วนของรีจิสเตอร์พักข้อมูลขนาด 8 บิต ตัวที่ 2

1) ครั้งที่ 1 เป็นการสั่งให้รีจิสเตอร์พักข้อมูลยังไม่ทำการโหลดข้อมูล
2) ครั้งที่ 2 และ 4 เป็นการโหลดข้อมูลที่อยู่ในบัสข้อมูลภายใน เข้าสู่รีจิสเตอร์พักข้อมูล
3) ครั้งที่ 3 และ 5 เป็นการโหลดข้อมูลที่อยู่ภายในรีจิสเตอร์พักข้อมูลไปสู่บัสข้อมูลภายใน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.4 การทดลองแผงวงจรแสดงผลตัวเลข 7 ส่วน



รูปที่ 4.4 แผงวงจรแสดงผลตัวเลข 7 ส่วน

4.1.1 การทดลองแผงวงจรแสดงผลตัวเลข 7 ส่วน

ทำการทดลองตามลำดับขั้นดังต่อไปนี้

1) ต่อแผงวงจรส่วนแสดงผลเข้ากับสัญญาณส่วนที่ต้องการแสดงผล

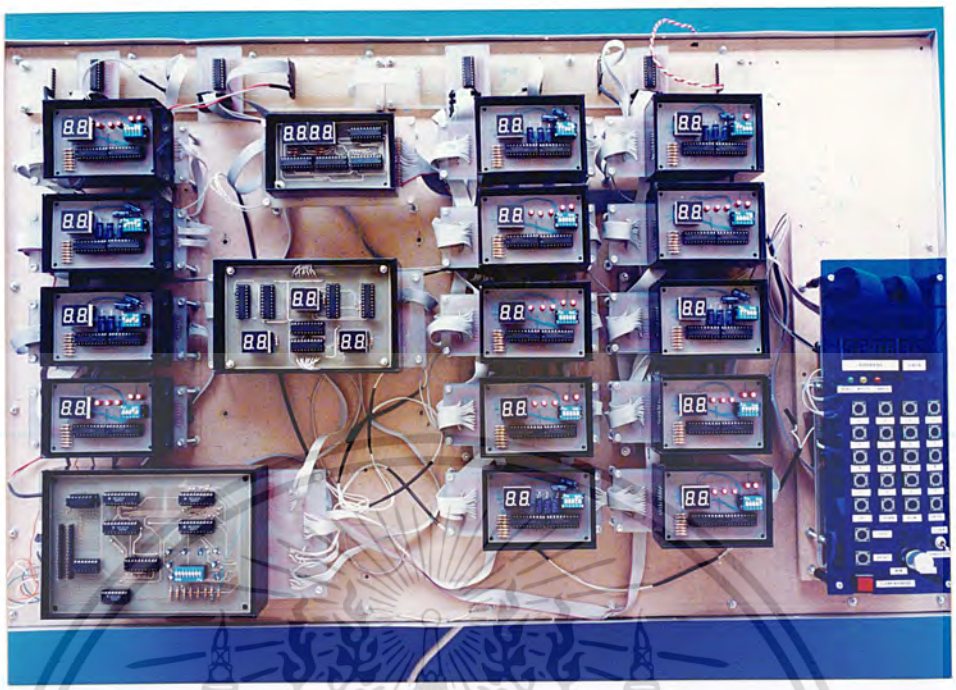
2) ป้อนไฟเลี้ยง +5 โวลต์ เข้าสู่วงจร และทำการป้อนข้อมูลตามตารางที่ 4.7

4.4.2 ผลการทดลองแผงวงจรแสดงผลตัวเลข 7 ส่วน

จากการทดลองในส่วนของการแสดงผล ข้อมูลที่ปรากฏออกมาถูกต้องและการแสดงผลเป็นไปตามที่ได้ป้อนสัญญาณอินพุตเข้าไป สามารถที่จะทำการนำแผงวงจรส่วนแสดงผลไปใช้ในชุดปฏิบัติการไมโครโปรเซสเซอร์ได้

4.5 การทดลองการทำงานของส่วนป้อนข้อมูล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.5 การทำงานของส่วนป้อนข้อมูล

4.5.1 การทดลองเคลียร์ค่าตำแหน่ง

ทำการทดลองตามลำดับขั้นดังต่อไปนี้

1) ทำการรวมแผงวงจรส่วนของการป้อนข้อมูลรวมเข้าด้วยกัน

2) ป้อนไฟเลี้ยงเข้าสู่วงจรส่วนป้อนข้อมูล

3) ทำการกดสวิตซ์เคลียร์ (CLR) แล้วดูผลของตัวเลข 7 ส่วนว่าแสดงค่าเป็นเท่าไร

4.5.2 ผลการทดลองเคลียร์ค่าตำแหน่ง

1) จากการทดลอง เมื่อทำการกดสวิตซ์เคลียร์แล้วผลปรากฏว่าตัวเลขทุกตัวแสดงผลออกมาเป็น “0” ทั้งหมด

4.5.3 การทดลองป้อนข้อมูลเข้าไปสู่หน่วยความจำ

ทำการทดลองตามลำดับขั้นดังต่อไปนี้

1) ทำการต่อแผงวงจรส่วนของชุดป้อนข้อมูลรวมเข้าด้วยกัน

2) ป้อนไฟเลี้ยงเข้าสู่วงจรส่วนของชุดป้อนข้อมูล

3) ทำการป้อนค่าดังต่อไปนี้ 3F, A2, 51, 55, 78, 81, 95, 4E, AA, A2 โดยหลังจากการกดตัวเลขลงไป 2 ตัวหรือค่า 1 ไบต์แล้ว ต้องทำการกดปุ่ม Enter ด้วย เพื่อเป็นการเลื่อนตำแหน่งขึ้น

4) หลังจากทำการป้อนข้อมูลตามข้อ 3 ทั้ง 10 ค่าเสร็จสิ้นแล้ว ให้ทำการกดสวิตซ์ DOWN เพื่อเป็นการเช็คดูว่าข้อมูลที่ได้กดไปแล้วนั้นได้ถูกจัดเก็บไว้หรือไม่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5) ทำการกดสวิตซ์ UP เพื่อเป็นการเช็คดูว่าสามารถที่จะดูข้อมูลที่อยู่ในหน่วยความจำ โดยการเลื่อนตำแหน่งลงได้หรือไม่

4.5.4 ผลการทดลองป้อนข้อมูลเข้าไปสู่หน่วยความจำ

1) หลังจากป้อนข้อมูลลงไปสู่หน่วยความจำแล้ว เมื่อกดสวิตซ์ DOWN ค่าของตำแหน่งจะลดลง 1 ตำแหน่ง และข้อมูลจะเปลี่ยนจาก A2 เป็น AA เมื่อกดสวิตซ์ DOWN อีกครั้งข้อมูลจะเปลี่ยนจาก AA เป็น 4E แสดงว่าการกดสวิตซ์ DOWN สามารถทำการลดค่าตำแหน่งลงได้ และข้อมูลจะเปลี่ยนไปตามค่าที่ได้ป้อนเอาไว้จริง

2) เมื่อทำการกดสวิตซ์ UP แล้วข้อมูล EE จะเปลี่ยนเป็น AA และค่าของตำแหน่งจะเพิ่มขึ้น 1 ค่า เมื่อทำการสวิตซ์กด UP ค่าของข้อมูลจะเปลี่ยนไปจาก AA ไปเป็น A2 และค่าตำแหน่งจะเพิ่มขึ้นอีก 1 ค่าด้วย แสดงว่าการกดสวิตซ์ UP สามารถที่จะทำงานได้จริง

4.5.5 การทดลองส่งข้อมูลเข้าสู่ชุดปฏิบัติการไมโครโปรเซสเซอร์

ทำการทดลองตามลำดับขั้นดังต่อไปนี้

1) ทำการต่อแผงวงจรของส่วนป้อนข้อมูลเข้าสู่แผงวงจรชุดปฏิบัติการไมโครโปรเซสเซอร์

2) ป้อนไฟเลี้ยงวงจร +5 โวลต์

3) ป้อนลอจิก “0” เข้าที่ขา MREQ

4) ป้อนลอจิก “0” เข้าที่ขา CPU_RD

5) ป้อนค่า 0001H เข้าที่จุดเชื่อมต่อ CON2B

4.5.6 ผลการทดลองส่งข้อมูลเข้าสู่ชุดปฏิบัติการไมโครโปรเซสเซอร์

จากผลการทดลองได้ข้อมูลค่า A2 เข้าสู่ชุดปฏิบัติการไมโครโปรเซสเซอร์

4.5.7 การทดลองป้อนข้อมูลจากชุดปฏิบัติการไมโครโปรเซสเซอร์เข้าสู่หน่วยความจำ

ทำการทดลองตามลำดับขั้นดังต่อไปนี้

1) ทำการต่อแผงวงจรของส่วนป้อนข้อมูลเข้าสู่ชุดปฏิบัติการไมโครโปรเซสเซอร์

2) ป้อนไฟเลี้ยงวงจร +5 โวลต์

3) ป้อนลอจิก “0” เข้าที่ขา MREQ

4) ป้อนลอจิก “0” เข้าที่ขา CPU_WR ที่จุดเชื่อมต่อ CON3B

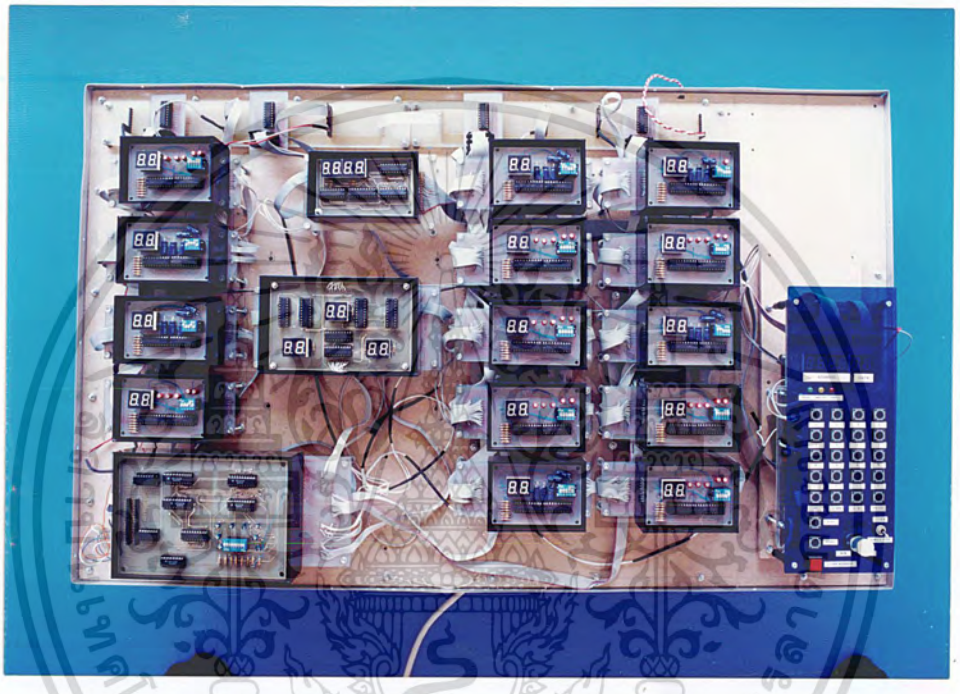
5) ป้อนค่า 0010H เข้าที่จุดเชื่อมต่อ CON2B

6) ป้อนค่า 4AH เข้าที่ขา 1–8 ของจุดเชื่อมต่อ CON3B

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.5.8 ผลการทดลองป้อนข้อมูลจากชุดปฏิบัติการไมโครโปรเซสเซอร์เข้าสู่หน่วยความจำ

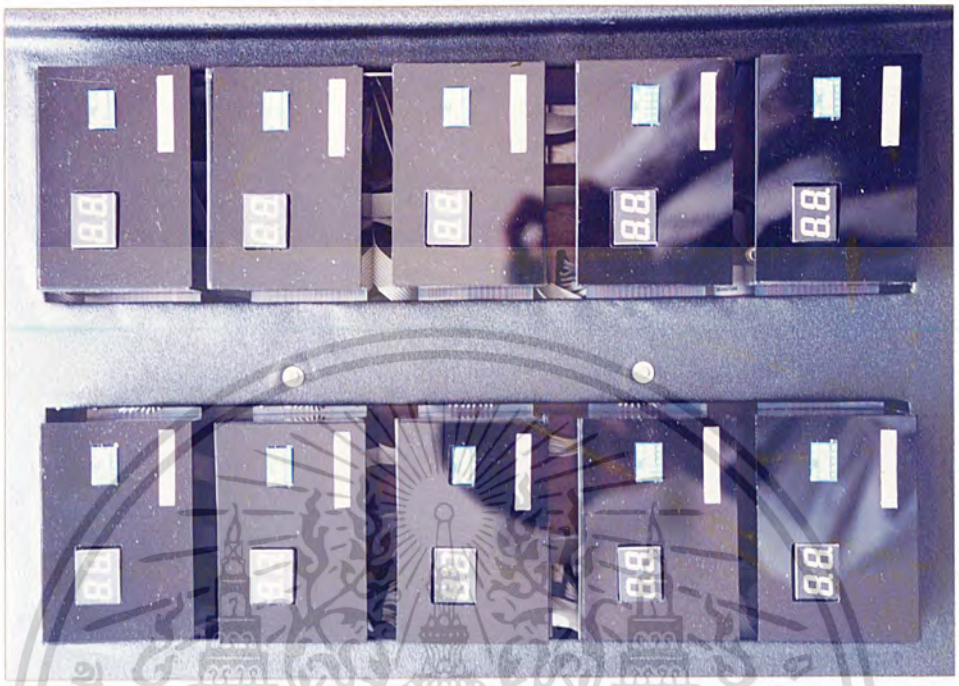
หลังจากทำการทดลองตามลำดับขั้นที่ 1 ถึง 5 เสร็จสิ้นแล้ว เมื่อทำการกดสวิตซ์ UP หรือ DOWN เพื่อให้ค่าตำแหน่งมาอยู่ที่ 0010H ปรากฏว่าได้ค่า 4AH ออกมาตามค่าที่ได้ทำการป้อนข้อมูลเข้าไปไว้จริง



รูปที่ 4.6 การป้อนข้อมูลจากชุดปฏิบัติการไมโครโปรเซสเซอร์เข้าสู่หน่วยความจำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.6 การทดลองแผงวงจรแสดงสถานะการทำงาน



รูปที่ 4.7 แผงวงจรแสดงสถานะการทำงาน

4.6.1 การทดลองการแสดงสถานะการทำงานในส่วนของแฟลกพาริตี้

ทำการทดลองตามลำดับขั้นดังต่อไปนี้

1) ต่อวงจรส่วนประมวลผลทางคณิตศาสตร์และกระทำทางลอจิกเข้าสู่วงจรส่วนฐาน

2) ป้อนไฟเลี้ยง +5 โวลต์ เข้าสู่วงจรประมวลผลทางคณิตศาสตร์และกระทำทางลอจิก

3) ทำการทดลองและบันทึกผลตามตารางที่ 4.8

ตารางที่ 4.8 การทดลองการแสดงสถานะของ พาริตี้บิต

ครั้งที่	สัญญาณที่ CON4A ขาที่ (1-8)	ข้อมูลที่รีจิสเตอร์ พักข้อมูลตัวที่ 1	ข้อมูลที่รีจิสเตอร์ พักข้อมูลตัวที่ 2	สถานะของ พาริตี้บิต
1	0101 1111	0000 0000	0000 0000	ไม่แสดงสถานะ
2	0110 1111	1110 1000	1110 1000	1
3	0110 1111	011 0 1101	1001 1101	0

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 4.8 (ต่อ) การทดลองการแสดงสถานะของ พาริตี้บิต

ครั้งที่	สัญญาณที่ CON4A ขาที่ (1-8)	ข้อมูลที่รีจิสเตอร์ พักข้อมูลตัวที่ 1	ข้อมูลที่รีจิสเตอร์ พักข้อมูลตัวที่ 2	สถานะของ พาริตี้บิต
4	0110 1111	0110 1111	1011 1111	1

4.6.2 ผลการทดลองการแสดงสถานะการทำงานในส่วนของแฟลกพาริตี้

จากการทดลองในส่วนของการแสดงสถานะของพาริตี้บิตในส่วนของสัญญาณที่ CON4A (ขาที่ 1-8) ได้ทำการตั้งค่าให้วงจรส่วนประมวลผลทางคณิตศาสตร์และกระทำทางลอจิกผ่านค่าของรีจิสเตอร์พักข้อมูลขนาด 8 บิต ตัวที่ 1 (Temp1) ออกสู่บัสข้อมูลภายใน

ครั้งที่ 1 เป็นการสั่งให้ส่วนประมวลผลทางคณิตศาสตร์และลอกระทำทางจิก ส่งข้อมูลออกสู่บัสข้อมูลภายใน โดยที่ยังไม่สั่งให้ส่วนของการแสดงสถานะทำงานจึงทำให้ค่าของแฟลกพาริตี้ไม่แสดงออกมา

ครั้งที่ 2 เป็นการสั่งให้ส่วนของการแสดงสถานะทำงาน โดยเมื่อป้อนข้อมูลที่มีค่าเป็น "0" เป็นจำนวนคู่ ทำให้สถานะของพาริตี้บิตแสดงค่าเป็น "1"

ครั้งที่ 3 เป็นการสั่งให้ส่วนของการแสดงสถานะทำงาน โดยเมื่อป้อนข้อมูลที่มีค่าเป็น "0" เป็นจำนวนคี่ ทำให้สถานะของพาริตี้บิตแสดงค่าเป็น "0"

ครั้งที่ 4 เป็นการสั่งให้ส่วนของการแสดงสถานะทำงาน โดยเมื่อป้อนข้อมูลที่มีค่าเป็น "0" เป็นจำนวนคู่ ทำให้สถานะของพาริตี้บิตแสดงค่าเป็น "1"

4.6.3 การทดลองการแสดงสถานะการทำงานในส่วนของแฟลกศูนย์

ทำการทดลองตามลำดับขั้นดังต่อไปนี้

1) ต่อวงจรส่วนของการประมวลผลเข้าสู่วงจรส่วนฐาน

2) ป้อนไฟเลี้ยง +5 โวลต์ เข้าสู่วงจรส่วนประมวลผล

3) ทำการทดลองและบันทึกผลตามตารางที่ 4.9

ตารางที่ 4.9 การทดลองการแสดงสถานะของแฟลกศูนย์

ครั้งที่	สัญญาณที่ CON4A ขาที่ (1-8)	ข้อมูลที่รีจิสเตอร์ พักข้อมูลตัวที่ 1	ข้อมูลที่รีจิสเตอร์ พักข้อมูลตัวที่ 2	สถานะของ แฟลกศูนย์
1	0101 1111	1000 1111	0000 0000	ไม่แสดงสถานะ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 4.9 (ต่อ) การทดลองการแสดงสถานะของแฟลกศูนย์

ครั้งที่	สัญญาณที่ CON4A ขาที่ (1-8)	ข้อมูลที่รีจิสเตอร์ พักข้อมูลตัวที่ 1	ข้อมูลที่รีจิสเตอร์ พักข้อมูลตัวที่ 2	สถานะของ แฟลกศูนย์
2	0110 1111	0000 0000	1110 1000	1
3	0110 1111	011 0 1101	1001 1101	0
4	0110 1111	0110 1110	1011 1111	0

4.6.4 ผลการทดลองส่วนของการแสดงสถานะของแฟลกศูนย์

จากการทดลองในส่วนของการแสดงสถานะของแฟลกศูนย์ในส่วนของสัญญาณที่ CON4A (ขาที่ 1-8) ได้ทำการตั้งค่าให้วงจรส่วนประมวลผลทางคณิตศาสตร์และกระทำทางลอจิกผ่านค่าของรีจิสเตอร์พักข้อมูลขนาด 8 บิต ตัวที่ 1 (Temp1) ออกสู่บัสข้อมูลภายใน

ครั้งที่ 1 เป็นการสั่งให้ส่วนประมวลผลทางคณิตศาสตร์และกระทำทางลอจิกส่งข้อมูลออกสู่บัสข้อมูลภายใน โดยที่ยังไม่สั่งให้ส่วนของการแสดงสถานะทำงานจึงทำให้ค่าของแฟลกพารีตี้ไม่แสดงออกมา

ครั้งที่ 2 เป็นการสั่งให้ส่วนของการแสดงสถานะทำงาน โดยเมื่อป้อนข้อมูลที่มีค่าเป็น "0" ทั้ง 8 บิต ทำให้สถานะของแฟลกศูนย์แสดงค่าเป็น "1"

ครั้งที่ 3 เป็นการสั่งให้ส่วนของการแสดงสถานะทำงาน โดยเมื่อป้อนข้อมูลที่มีค่าเป็น "0" จำนวน 3 บิตซึ่งไม่ใช่ทั้งหมด ทำให้สถานะของแฟลกศูนย์แสดงค่าเป็น "0"

ครั้งที่ 4 เป็นการสั่งให้ส่วนของการแสดงสถานะทำงาน โดยเมื่อป้อนข้อมูลที่มีค่าเป็น "0" จำนวน 3 บิตซึ่งไม่ใช่ทั้งหมด ทำให้สถานะของแฟลกศูนย์แสดงค่าเป็น "0"

4.6.5 การทดลองการแสดงสถานะการทำงานในส่วนของแฟลกตัวทด

ทำการทดลองตามลำดับขั้นดังต่อไปนี้

1) ต่อวงจรส่วนของการประมงลผลเข้าสู่วงจรส่วนฐาน

2) ป้อนไฟเลี้ยง + 5 โวลต์ เข้าสู่วงจรส่วนของการประมวลผล

3) ทำการทดลองและบันทึกผลตามตารางที่ 4.10

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 4.10 การทดลองการแสดงสถานะของแฟลกตัวทด

ครั้งที่	สัญญาณที่ CON4A ขาที่ (1-8)	ข้อมูลที่รีจิสเตอร์พักข้อมูลตัวที่ 1	ข้อมูลที่รีจิสเตอร์พักข้อมูลตัวที่ 2	สถานะของแฟลกตัวทด
1	0101 1110	1000 1111	0000 0000	ไม่แสดงสถานะ
2	0110 1110	0000 0000	1110 1000	0
3	0110 1110	1111 1111	0000 0001	1
4	0110 1101	0000 0001	0000 0000	0

4.6.6 ผลการทดลองในส่วนของการแสดงสถานะของแฟลกตัวทด

จากการทดลองในส่วนของการแสดงสถานะของแฟลกตัวทด ในส่วนของสัญญาณที่ CON4A (ขาที่ 1-8) ได้ทำการตั้งค่าให้วงจรส่วนประมวลผลทางคณิตศาสตร์และกระทำทางลอจิกผ่านค่าของรีจิสเตอร์พักข้อมูลตัวที่ 1 ออกสู่บัสข้อมูลภายใน

ครั้งที่ 1 เป็นการตั้งค่าสั่งให้สัญญาณในส่วนของ CON4A (ขาที่ 1-8) ทำการบวกข้อมูลระหว่างรีจิสเตอร์พักข้อมูลตัวที่ 1 กับตัวที่ 2 เข้าด้วยกัน และส่งค่าออกไปบัสข้อมูลภายในโดยที่ยังไม่สั่งให้ส่วนของการแสดงสถานะทำงาน จึงทำให้ค่าของแฟลกตัวทดยังไม่แสดงออกมา

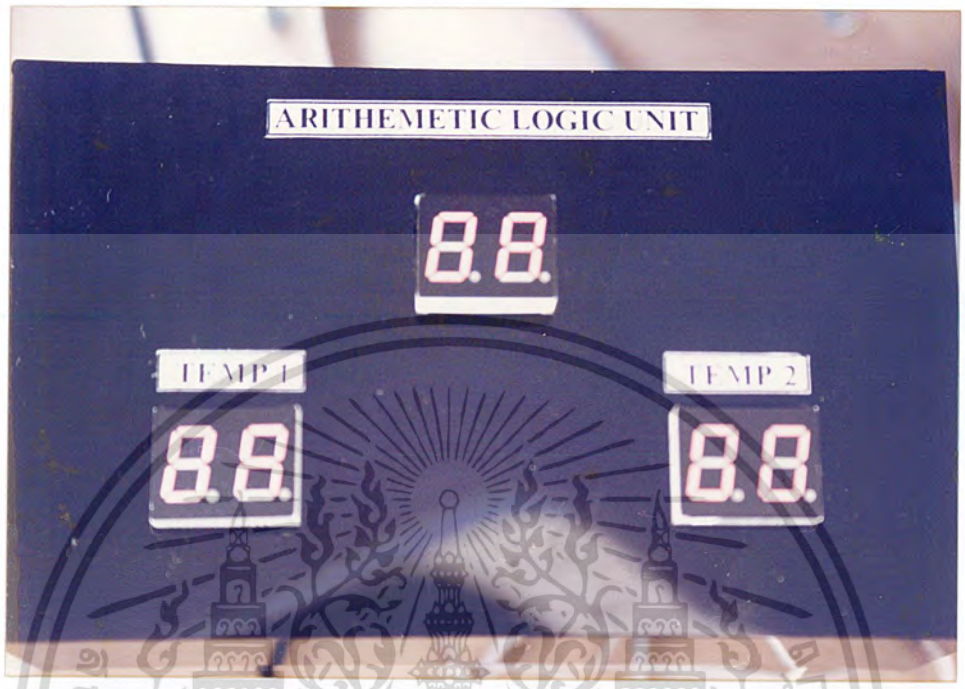
ครั้งที่ 2 เป็นการตั้งค่าสั่งให้สัญญาณในส่วนของ CON4A (ขาที่ 1-8) ทำการบวกข้อมูลระหว่างรีจิสเตอร์พักข้อมูลตัวที่ 1 กับตัวที่ 2 เข้าด้วยกัน และสั่งให้ส่วนของการแสดงสถานะทำงานและส่งค่าออกไปสู่บัสข้อมูลภายใน จึงทำให้แฟลกตัวทดแสดงผลออกมาเป็น “0” เนื่องจากเมื่อทำการบวกกันแล้วไม่เกิดการทดหรือการยืมเกิดขึ้น

ครั้งที่ 3 เป็นการตั้งค่าสั่งให้สัญญาณในส่วนของ CON4A (ขาที่ 1-8) ทำการบวกข้อมูลระหว่างรีจิสเตอร์พักข้อมูลตัวที่ 1 กับตัวที่ 2 เข้าด้วยกัน และสั่งให้ส่วนของการแสดงสถานะทำงานส่งข้อมูลออกไปสู่บัสข้อมูลภายใน จึงทำให้แฟลกตัวทดแสดงผลออกมาเป็น “1” เนื่องจากเมื่อทำการบวกกันแล้วเกิดการทดขึ้น

ครั้งที่ 4 เป็นการตั้งค่าสั่งให้สัญญาณในส่วนของ CON4A (ขาที่ 1-8) ทำการบวกข้อมูลระหว่างรีจิสเตอร์พักข้อมูลตัวที่ 1 กับตัวที่ 2 เข้าด้วยกัน และสั่งให้ของการแสดงสถานะทำงานส่งข้อมูลออกไปสู่บัสข้อมูลภายใน จึงทำให้แฟลกตัวทดแสดงผลออกมาเป็น “0” เนื่องจาก เมื่อทำการบวกกันแล้วไม่เกิดการทดหรือการยืมเกิดขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.7 การทดลองแผงวงจรประมวลผลทางคณิตศาสตร์กระทำทางและลอจิก



รูปที่ 4.8 แผงวงจรประมวลผลทางคณิตศาสตร์และกระทำทางลอจิก

แผ่นวงจรประมวลผลทางคณิตศาสตร์ขนาด 8 บิต ทำหน้าที่ประมวลผลคำสั่งทางคณิตศาสตร์ เช่น การบวก การลบ และกระทำทางลอจิก เช่น AND, OR, XOR เป็นต้น

4.7.1 กำหนดการต่อใช้งานแผ่นวงจรประมวลผลทางคณิตศาสตร์และกระทำทางลอจิก

1) กำหนดให้อินพุตของไอซี 74LS181 ตัวที่ 1 ต่อเข้ากับเอาต์พุตของแผงวงจรรีจิสเตอร์พักข้อมูลตัวที่ 1 (Temp1)

2) กำหนดให้อินพุตของไอซี 74LS181 ตัวที่ 2 ต่อเข้ากับเอาต์พุตของแผงวงจรรีจิสเตอร์พักข้อมูลตัวที่ 2 (Temp2)

3) ทำการสั่งให้ไอซี 74LS541 ทำงาน โดยให้ทำการแลตซ์ค่าผลลัพธ์ไว้ตลอดเวลา

4) กำหนดให้ขา EALU เปลี่ยนสถานะจากลอจิก "1" เป็นลอจิก "0" (1->0) เมื่อต้องการส่งค่าผลลัพธ์สู่บัสข้อมูลภายใน

5) ทำการกำหนดขา MODE, CI, CO, S3, S2, S1 และ S0 โดยดูได้จากตารางการใช้งานของไอซี 74LS181

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.7.2 การทดลองแผงวงจรคำนวณทางคณิตศาสตร์และกระทำทางลอจิก

ทำการทดลองตามลำดับขั้นดังต่อไปนี้

1) ทำการป้อนค่า 11100011 เข้าที่รีจิสเตอร์พักข้อมูลขนาด 8 บิต ตัวที่ 1

2) ทำการป้อนค่า 00000111 เข้าที่รีจิสเตอร์พักข้อมูลขนาด 8 บิต ตัวที่ 2

3) ใช้งานไอซี 74181 เป็นโหมดบวกเลข โดยป้อนสัญญาณลอจิก "1" ที่ขา S3, S0, CI และป้อนสัญญาณลอจิก "0" ที่ ขา S2, S1, MODE

4) ป้อนลอจิก 0->1 ที่ขา EALU เมื่อต้องการแลตช์ค่าผลลัพธ์ไว้

5) ป้อนลอจิก 1->0 ที่ขา EALU เมื่อต้องการส่งค่าผลลัพธ์สู่บัสข้อมูลภายใน

6) ตรวจดูสัญญาณที่บัสข้อมูลภายในจะได้ค่า 11101010 แสดงว่าการบวกเลขถูกต้อง

4.7.3 ผลการทดลองแผงวงจรคำนวณทางคณิตศาสตร์และกระทำทางลอจิก

จากการทดลองในส่วนของแผงวงจรประมวลผลทางคณิตศาสตร์และกระทำทางลอจิก การทำงานสามารถให้ผลการคำนวณออกมาได้ถูกต้องตามที่ได้กำหนดฟังก์ชั่นการทำงานไว้ ดังนั้นจึงสามารถนำชุดคำนวณทางด้านคณิตศาสตร์และกระทำทางลอจิกไปใช้งานได้จริง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
บทสรุป ปัญหา แนวทางแก้ไข และพัฒนา

5.1 สรุป

ชุดปฏิบัติการไมโครโปรเซสเซอร์ เป็นชุดปฏิบัติการที่นำเสนอให้เห็นถึงหลักการทำงานและขั้นตอนการทำงานของซีพียูขณะประมวลผลคำสั่ง ในแต่ละวงจรได้ถูกสร้างขึ้นเพื่อให้ทำงานเป็นภาคต่างๆ ของซีพียู โดยสามารถที่จะแยกวงจรแต่ละส่วนออกจากกันได้ ในชุดปฏิบัติการไมโครโปรเซสเซอร์ มีบัสข้อมูลขนาด 8 บิต (D7-D0) มีบัสตำแหน่งขนาด 16 บิต (A15-A0) ประกอบด้วยรีจิสเตอร์ใช้งานทั่วไป A, B, C, D, E, F ขนาด 8 บิต สามารถต่อใช้งานเป็นรีจิสเตอร์คู่ขนาด 16 บิตเพื่อใช้ทำงานพิเศษบางอย่างได้ เช่น ใช้สำหรับการกระทำทางคณิตศาสตร์ขนาด 16 บิต ใช้เป็นโปรแกรมเคาน์เตอร์เพื่อเก็บตำแหน่งของข้อมูลหรือคำสั่งที่ซีพียูต้องอ่านมาเพื่อปฏิบัติ และใช้เป็นสแตคพอยท์เตอร์ สำหรับใช้เก็บข้อมูลชั่วขณะหรือข้อมูลจากโปรแกรมเคาน์เตอร์เมื่อซีพียูถูกขัดจังหวะ มีส่วนประมวลผลทางคณิตศาสตร์และลอจิกขนาด 8 บิต ทำหน้าที่ประมวลผลทางคณิตศาสตร์ บวก ลบ และกระทำทางลอจิก แอน ออร์ เอ็กซ์คลูซีฟออร์ มีวงจรชิฟท์รีจิสเตอร์ที่สามารถเลื่อนบิตข้อมูลและหมุนบิตข้อมูลได้ ชุดคำสั่งเพื่อใช้ในการสั่งงานซีพียูได้ถูกโปรแกรมเก็บไว้ในอีพรอม ข้อมูลในแต่ละส่วนสามารถที่จะแสดงออกมาให้ผู้ใช้งานทราบได้ โดยในแต่ละวงจรจะมีส่วนแสดงผล 7 ส่วนอยู่ภายในเพื่อให้ผู้ใช้ทราบถึงข้อมูลขณะที่เกิดการประมวลผลหรือกระทำคำสั่งต่างๆ นอกจากนี้ยังสามารถปรับความเร็วของซีพียูขณะประมวลผล และปรับการทำงานให้เป็นแบบแสดงการทำงานทีละลำดับขั้นได้ โดยใช้การควบคุมจากส่วนป้อนข้อมูล

เมื่อทำการต่อแผ่นวงจรพิมพ์ของแต่ละวงจรเข้าด้วยกันยังพบปัญหาคือ บางส่วนของชุดปฏิบัติการไมโครโปรเซสเซอร์ยังไม่สามารถทำงานได้ทั้งหมด คือปัญหาในส่วนการทำงานของวงจรส่วนควบคุม แต่สามารถทำการทดสอบได้โดยการใช้สวิตซ์ป้อนลอจิกทดสอบแทนการทำงานของอีพรอม เมื่อทำการป้อนลอจิกด้วยสวิตซ์ ชุดสาธิตสถาปัตยกรรมภายในซีพียูสามารถโอนย้ายข้อมูลระหว่างรีจิสเตอร์แต่ละตัวได้ และสามารถทำการคำนวณทางคณิตศาสตร์และกระทำทางลอจิกได้ แต่ยังไม่สามารถเฟ็ทซ์ข้อมูลจากหน่วยความจำภายนอกมาเก็บยังภายในซีพียูได้ และวงจรรับข้อมูลจากการป้อนโปรแกรมยังทำงานได้ไม่สมบูรณ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.2 ปัญหา และแนวทางแก้ไข

1) ปัญหาการสร้างแผ่นวงจรพิมพ์ที่ใช้ในชุดปฏิบัติการไมโครโปรเซสเซอร์ เนื่องจากการออกแบบวงจรของชุดปฏิบัติการไมโครโปรเซสเซอร์เป็นวงจรดิจิตอลที่ประกอบด้วย ไอซีลอจิกเกต TTL และไอซีอื่นๆ จำนวนกว่า 100 ตัว ในแต่ละการทำงานจึงได้แบ่งแผ่นวงจรพิมพ์ออกเป็นภาคๆ โดยถ้าใช้แผ่นวงจรพิมพ์ชนิดสองหน้า จะทำให้ง่ายต่อการออกแบบ แต่พบปัญหาคือต้องใช้งบประมาณสูงในการสั่งทำแผ่นวงจรพิมพ์ชนิดเชื่อมต่อสองหน้า

แนวทางการแก้ไข ออกแบบและสั่งทำแผ่นวงจรพิมพ์แบบสองหน้า กำหนดให้ในระหว่างการทำแผ่นวงจรพิมพ์แบบสองหน้า ไม่ต้องทำการเชื่อมต่อระหว่างด้านล่างกับด้านบน แต่นำมาเชื่อมระหว่างทั้ง 2 ด้านเอง เพื่อเป็นการลดต้นทุนในการผลิต

2) ปัญหาทางด้านการแสดงผล เนื่องจากชุดปฏิบัติการไมโครโปรเซสเซอร์ เป็นการใช้วงจรดิจิตอลมาทำการเลียนแบบการทำงานส่วนต่างๆ ภายในตัวไมโครโปรเซสเซอร์ จึงมีข้อกำหนดว่าไม่ควรใช้ไมโครคอนโทรลเลอร์เข้ามาเกี่ยวข้อง ซึ่งรวมไปถึงภาคแสดงผลด้วย

แนวทางการแก้ไข ในส่วนของภาคแสดงผล ทำได้โดยการออกแบบวงจรแปลงรหัส BCD 8421 ให้แสดงเป็นตัวเลข 0-F แล้วเขียนโปรแกรมใส่ไอซี PAL เบอร์ 16L8 เพื่อเป็นตัวแปลงสัญญาณส่วนนี้ส่งให้กับส่วนแสดงผลตัวเลข 7 ส่วน

3) ปัญหาการติดตั้งวงจรส่วนฐาน เนื่องจากวงจรในส่วนของฐานที่ได้ทำการออกแบบมามีแผ่นวงจรอยู่เป็นจำนวนหลายแผ่น ทำให้เกิดปัญหาในการจัดวาง ซึ่งถ้าการจัดวางไม่ลงตัวจะทำให้แผงวงจรรวมทั้งหมดมีขนาดใหญ่

แนวทางการแก้ไข ออกแบบการจัดวางวงจรในส่วนต่างๆ ให้มีความกะทัดรัด และให้เหมาะสมต่อการใช้งาน

4) ปัญหาเกี่ยวกับคำสั่งที่ใช้ในการตัดสินใจในส่วนของวงจรส่วนควบคุมของชุดปฏิบัติการไมโครโปรเซสเซอร์ เนื่องจากบางคำสั่งของซีพียูจำเป็นที่จะต้องมีเงื่อนไขในการตัดสินใจ ซึ่งมาจากการตรวจสอบสถานะของซีพียูนั่นเอง ในส่วนของชุดปฏิบัติการไมโครโปรเซสเซอร์นี้สามารถที่จะทำการตรวจสอบสถานะได้ แต่ว่าไม่สามารถที่นำสถานะดังกล่าวไปใช้ในคำสั่งที่ต้องการเงื่อนไขในการตัดสินใจได้

แนวทางการแก้ไข ทำการปรับปรุงวงจรในส่วนของการตรวจสอบสถานะและตรวจสอบเงื่อนไข โดยวงจรนี้จะทำงานเกี่ยวข้องกับวงจรส่วนควบคุมของชุดปฏิบัติการไมโครโปรเซสเซอร์ด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5) ปัญหาในส่วนควบคุมการทำงานของไมโครโปรเซสเซอร์ ส่วนควบคุมไม่สามารถที่จะทำการควบคุมการทำงานของชุดปฏิบัติการไมโครโปรเซสเซอร์ได้

แนวทางการแก้ไข ทำการปรับปรุงวงจรส่วนควบคุม (Control Unit) โดยการตรวจสอบการทำงานของวงจรส่วนควบคุมว่ามีการทำงานตรงตามสถานะที่ตั้งไว้หรือไม่ ถ้าหากไม่สามารถทำงานได้ตามสถานะที่ตั้งไว้ ให้ทำการเปลี่ยนแปลงวงจรในส่วนควบคุมเพื่อให้สามารถทำงานได้ตามสถานะที่ตั้งไว้ต่อไป

5.3 แนวทางการพัฒนา

1) เพิ่มคำสั่งในชุดปฏิบัติการไมโครโปรเซสเซอร์ โดยการสร้างวงจรด้วยเกตพื้นฐานและเขียนรหัสคำสั่งใหม่ในอีพรอมที่เก็บรหัสคำสั่ง หรือไมโครโค้ดจะทำให้ได้คำสั่งเพิ่มขึ้น

2) ออกแบบและพัฒนาวงจรให้การทำงานมีเสถียรภาพดียิ่งขึ้น และสามารถที่จะกระทำคำสั่งได้มากขึ้น

3) ในส่วนการทำงานแต่ละภาคควรมีสัญญาณไฟแสดงสถานะ โดยสามารถแสดงได้ว่าภาคไหนกำลังทำงานอยู่ขณะที่ทำคำสั่งนั้น

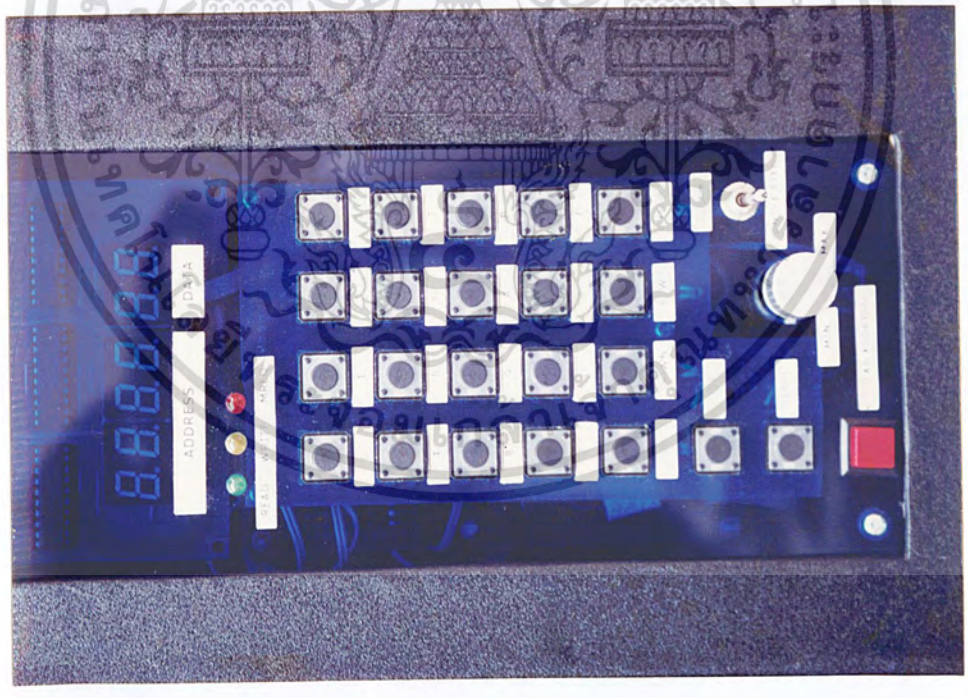
4) เพื่อให้เกิดประโยชน์สูงสุด ผู้เรียนควรมีหนังสือไมโครโปรเซสเซอร์ และมีคู่มือการใช้งานที่สมบูรณ์แบบประกอบการใช้ด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ก
เครื่องต้นแบบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ ก.1 เครื่องต้นแบบ



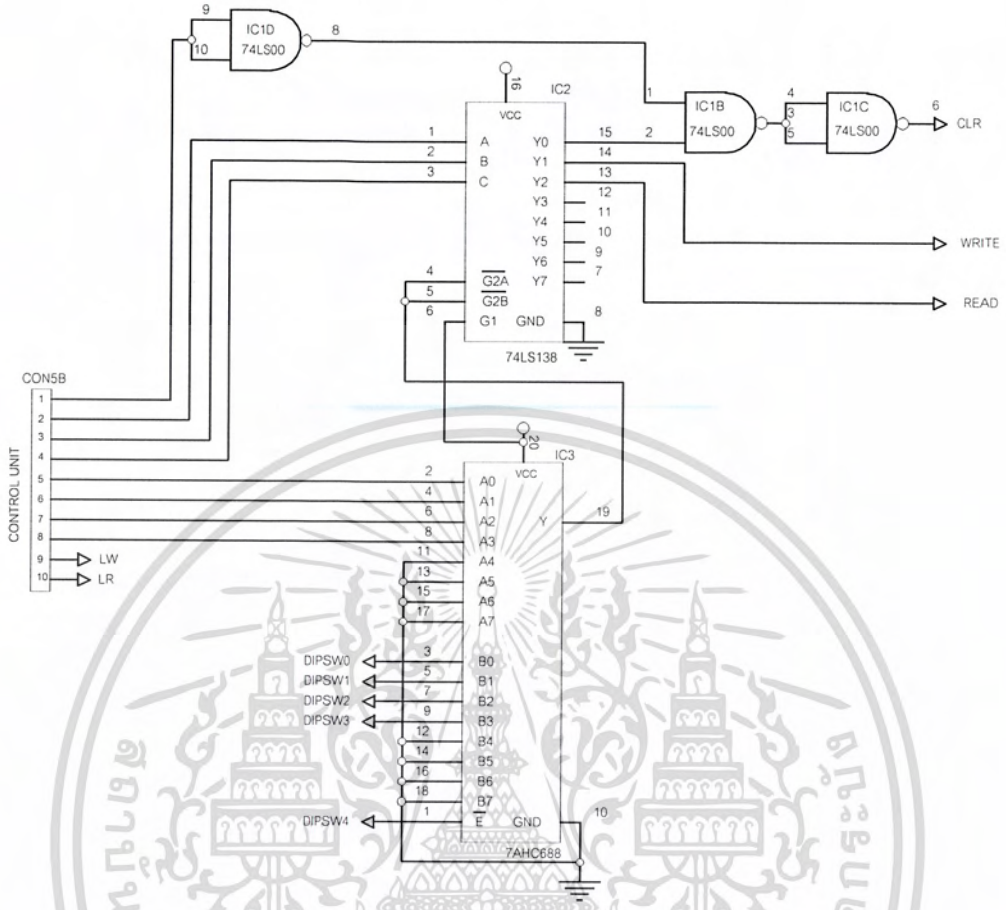
รูปที่ ก.2 แผงวงจรส่วนป้อนคำสั่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ข

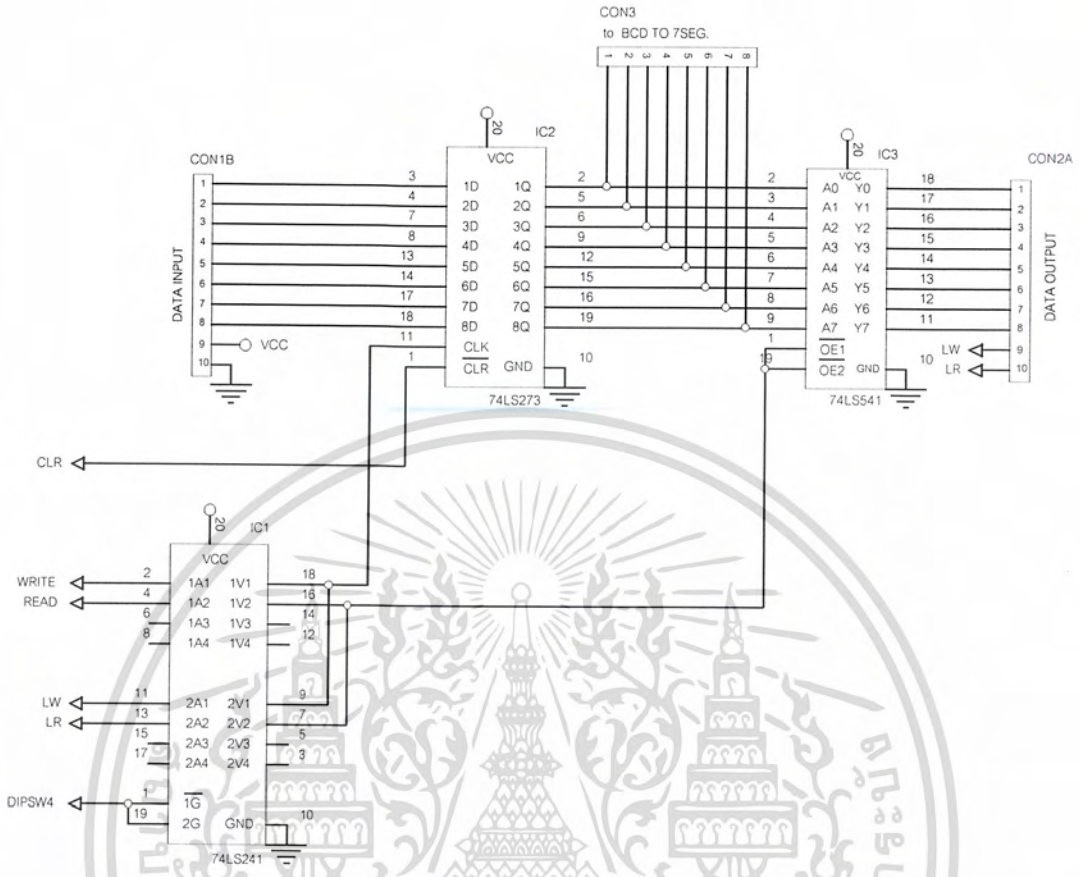
วงจร และแผ่นวงจรพิมพ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



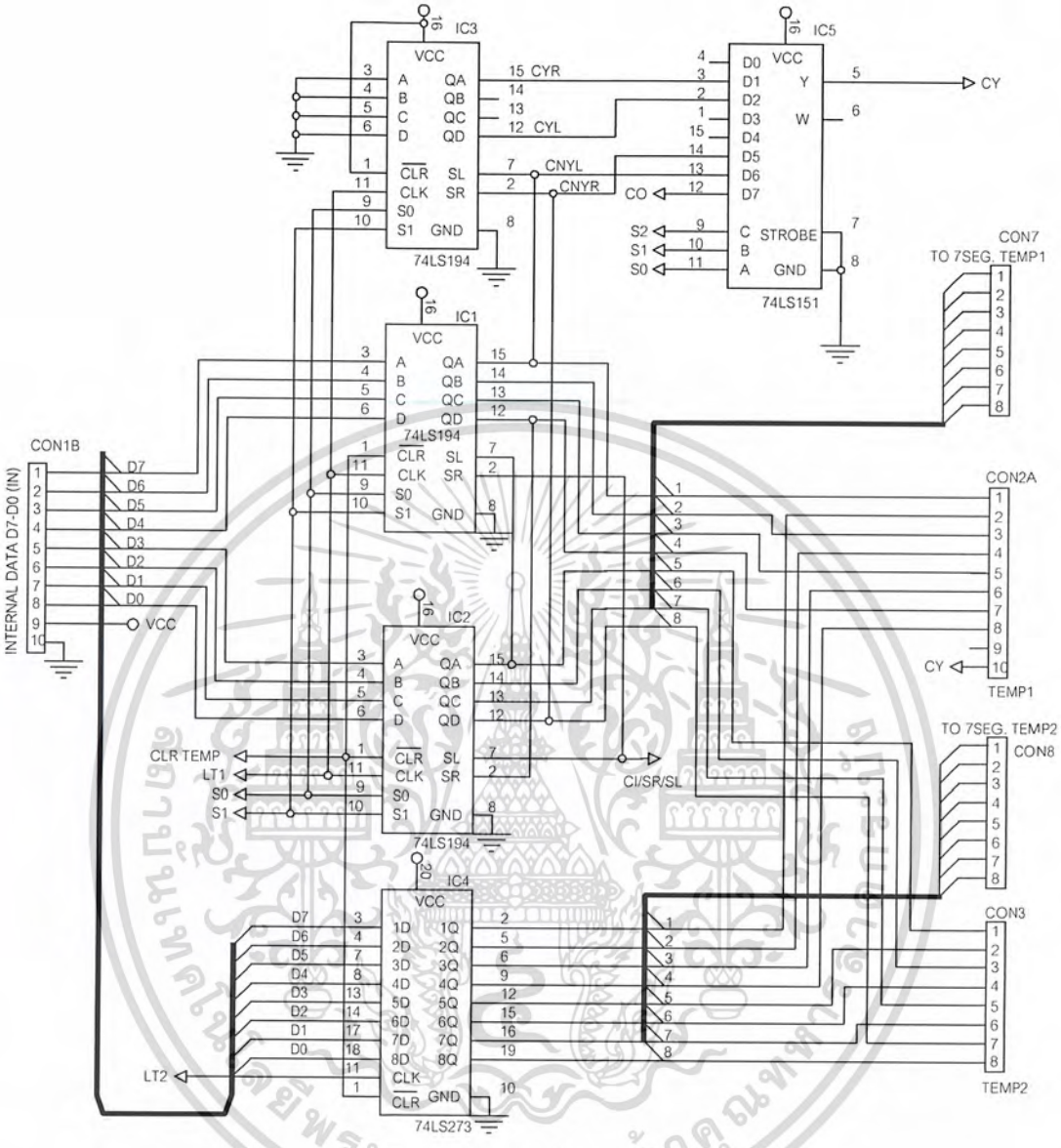
รูปที่ ข.1 วงจรรีจิสเตอร์ทั่วไปขนาด 8 บิต ส่วนที่ 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



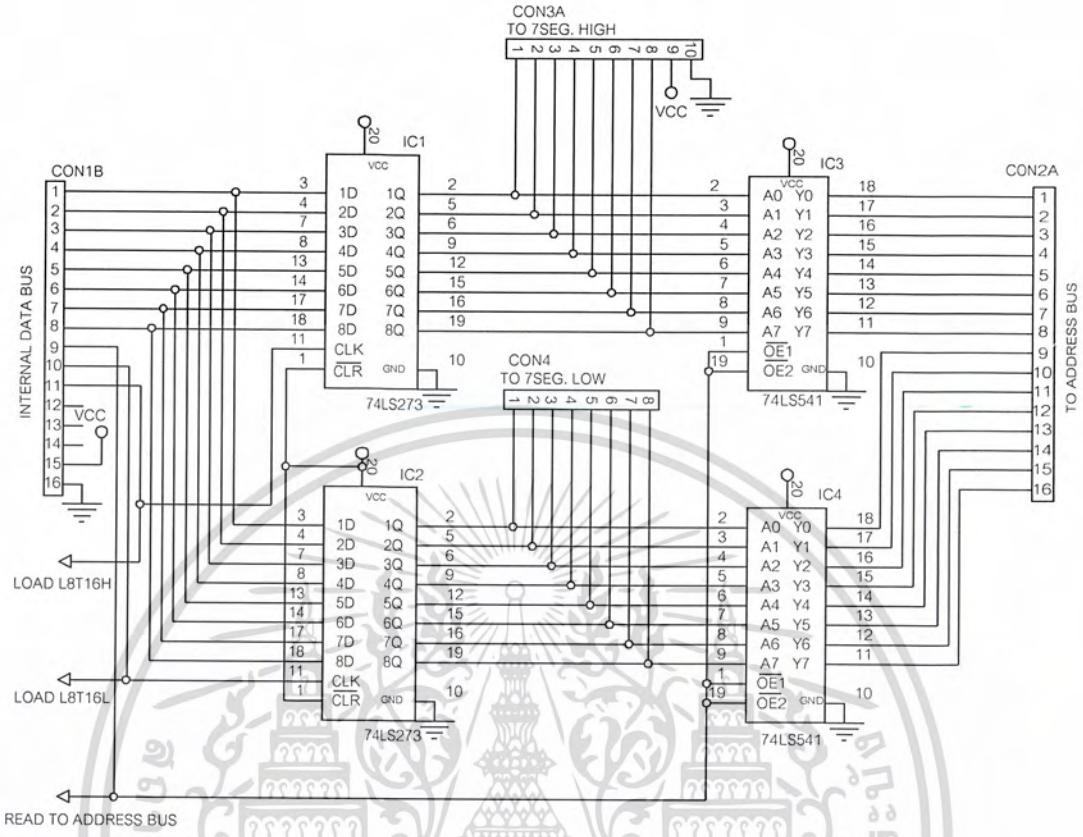
รูปที่ ข.2 วงจรรีจิสเตอร์ทั่วไปขนาด 8 บิต ส่วนที่ 2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



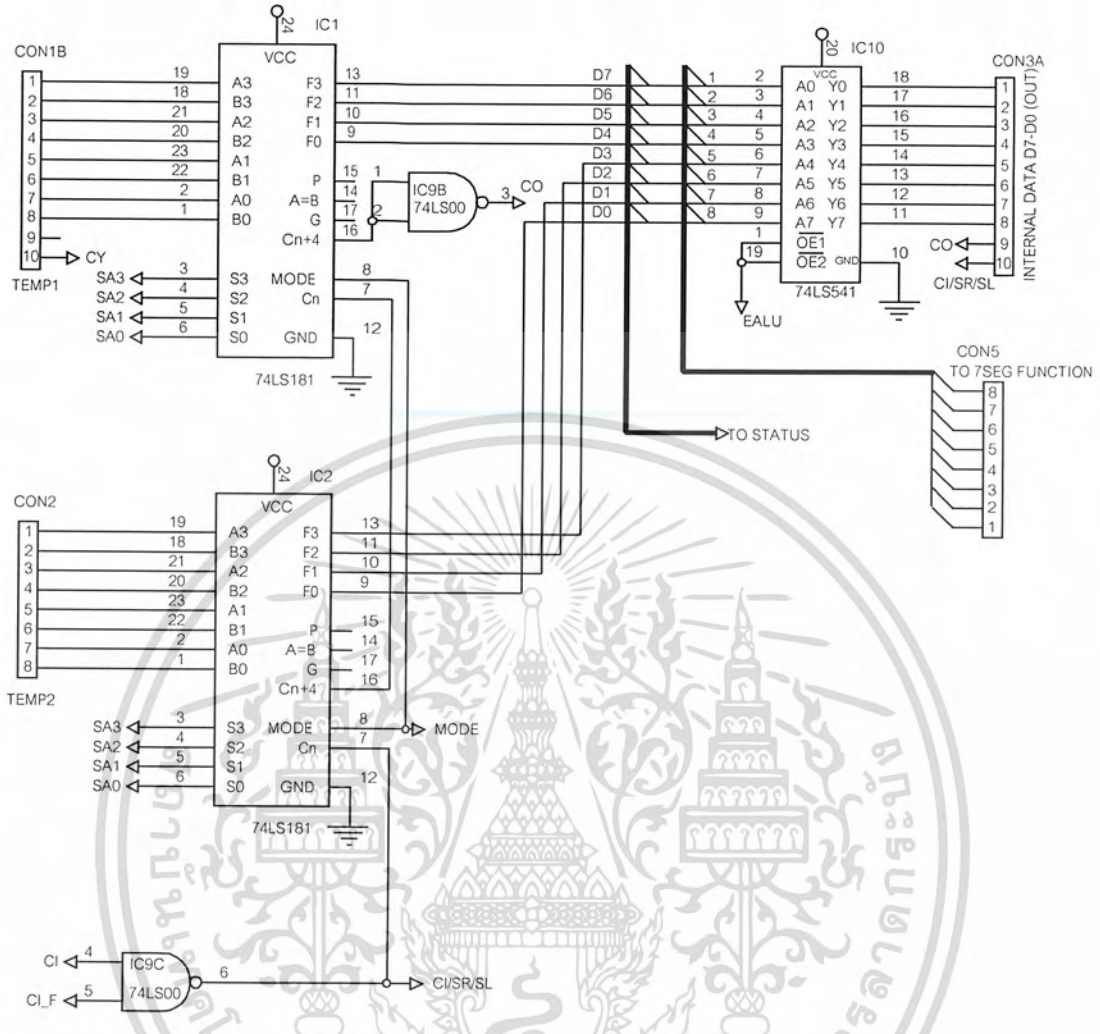
รูปที่ ข.3 วงจรรีจิสเตอร์พักข้อมูลขนาด 8 บิต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



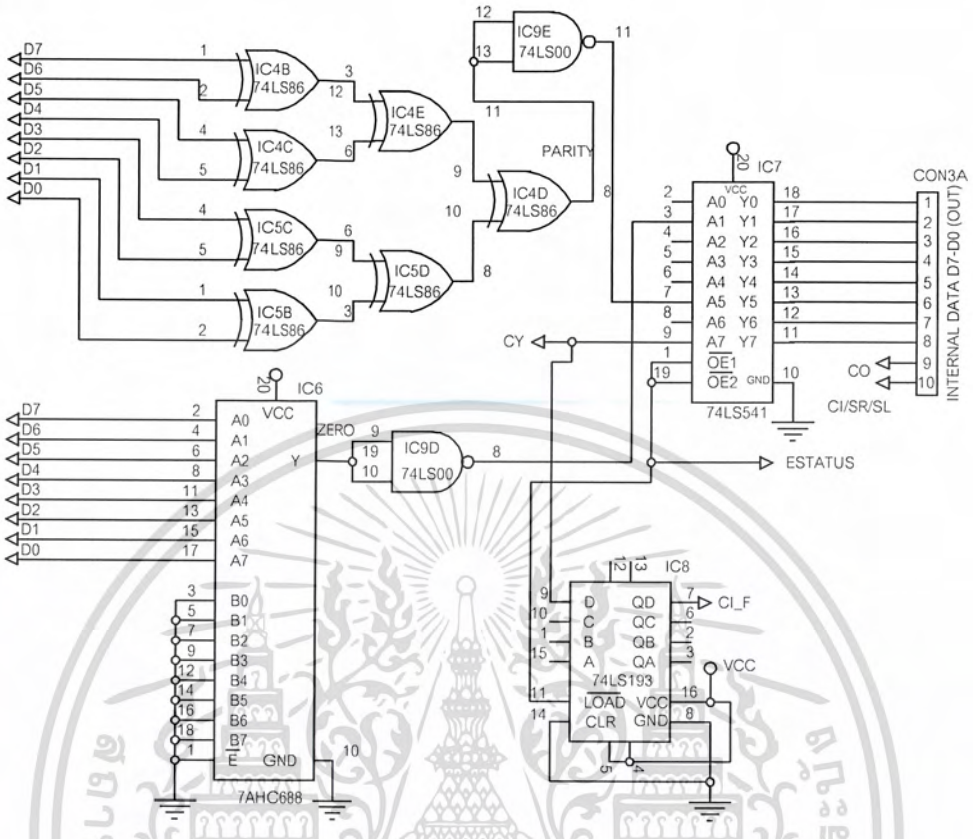
รูปที่ ข.4 วงจรแลตช์ข้อมูลขนาด 8 บิต เป็น 16 บิต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



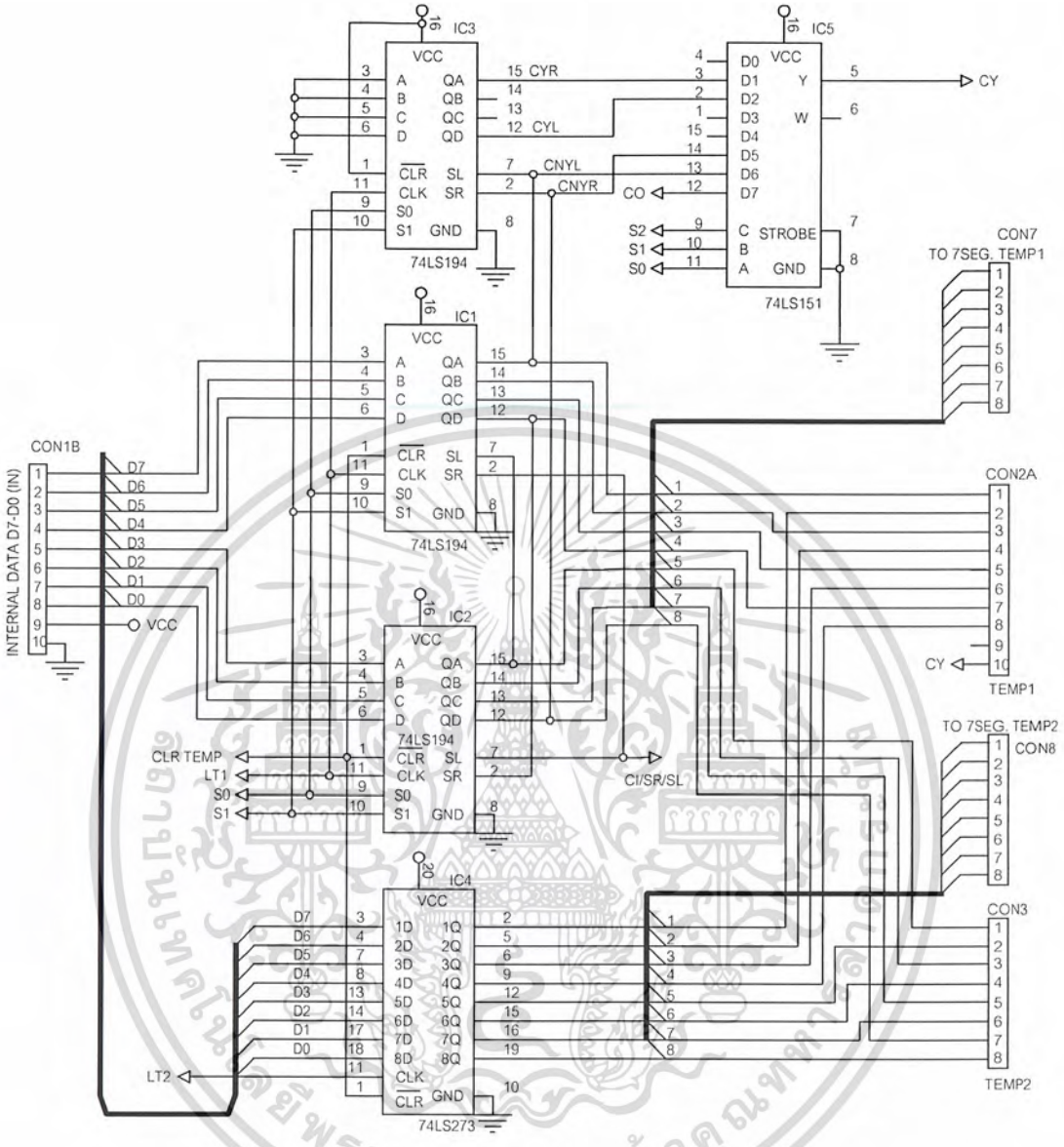
รูปที่ ข.5 วงจรประมวลผลทางคณิตศาสตร์และลอจิกขนาด 8 บิต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



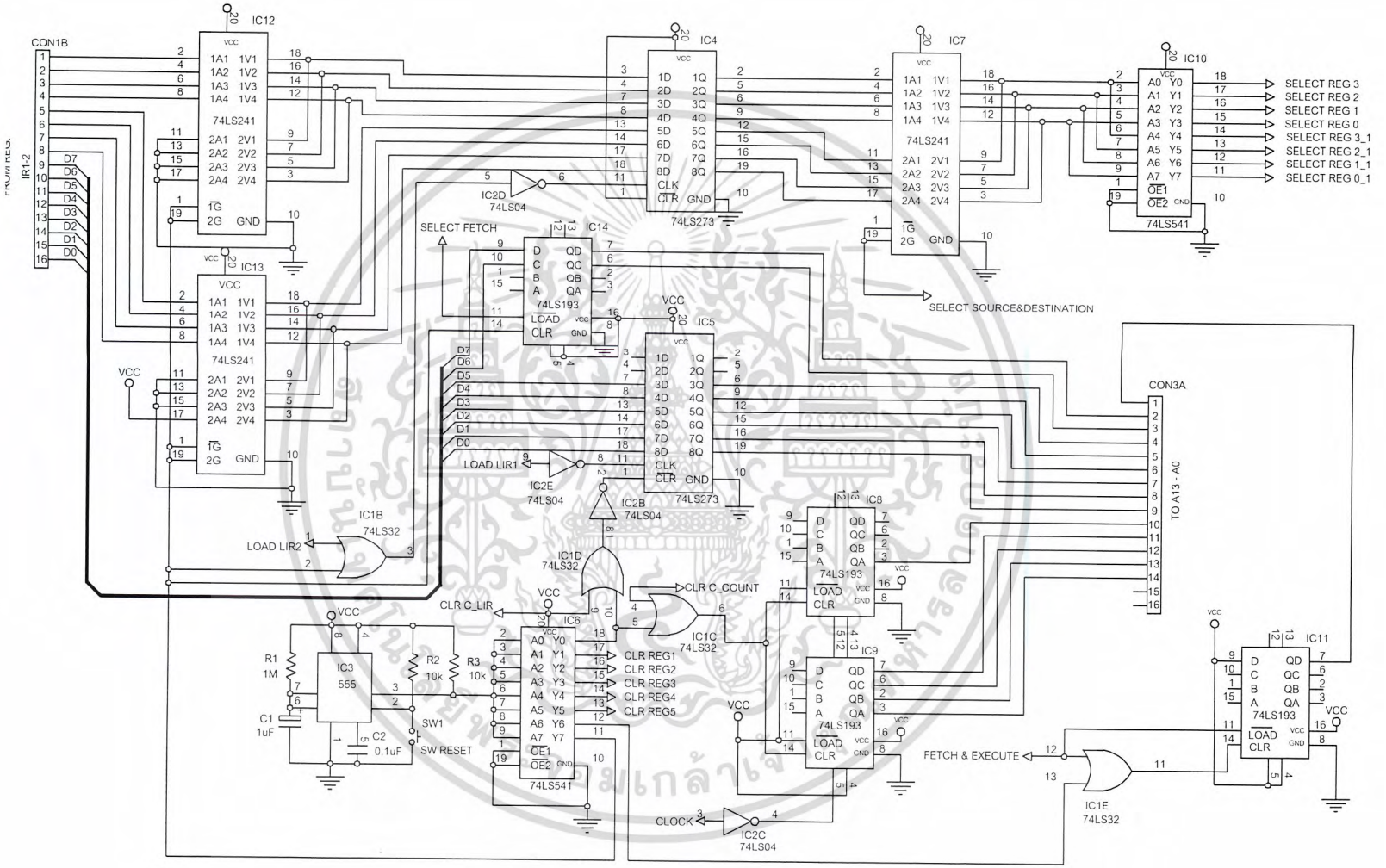
รูปที่ ข.6 วงจรส่วนตรวจสอบสถานะ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

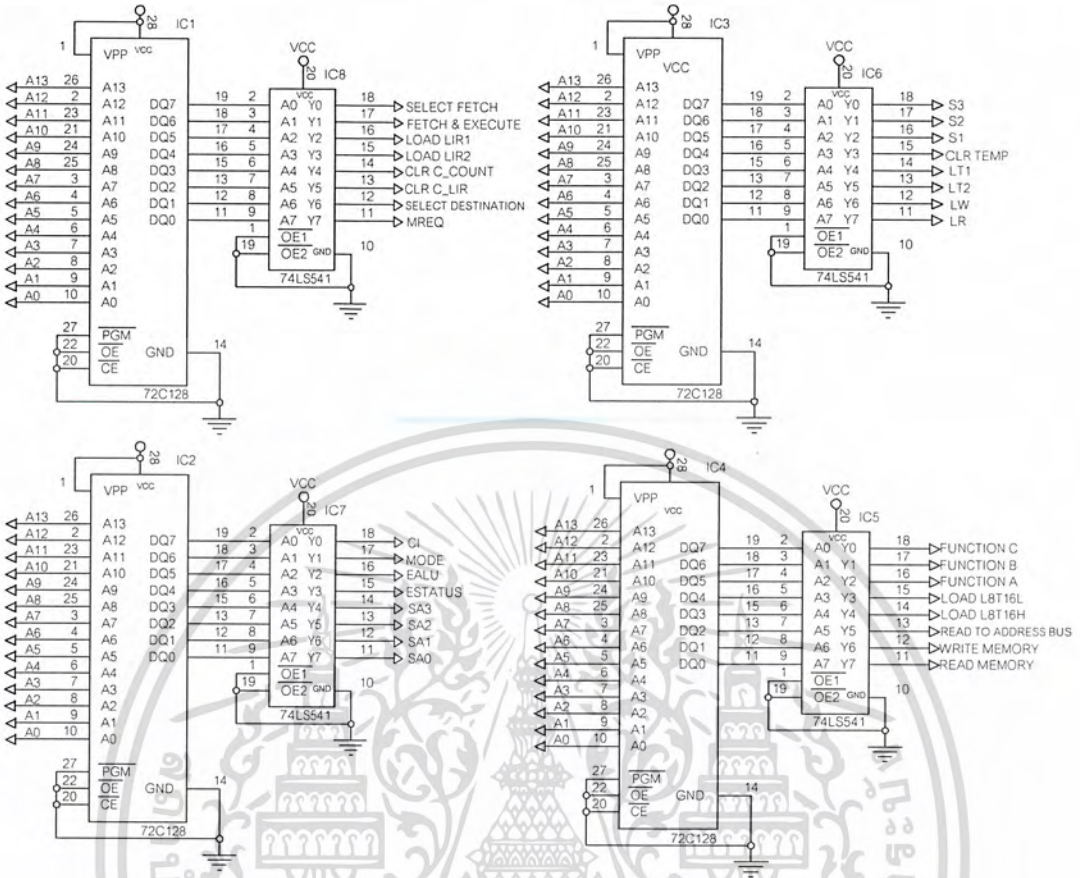


รูปที่ ข.7 วงจรเลื่อนข้อมูลขนาด 8 บิต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

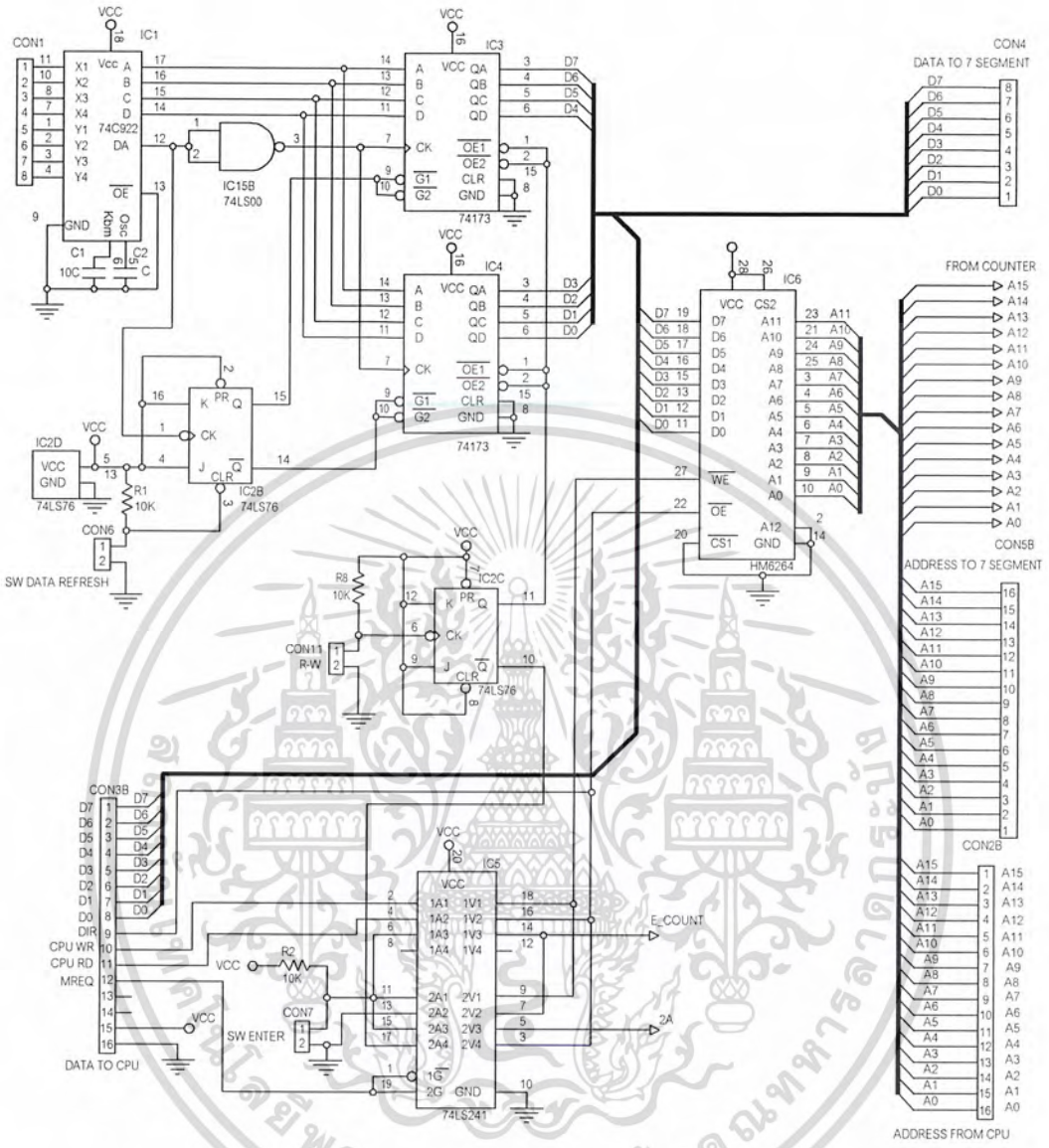


รูปที่ ข.8 วงจรส่วนถอดรหัสคำสั่ง



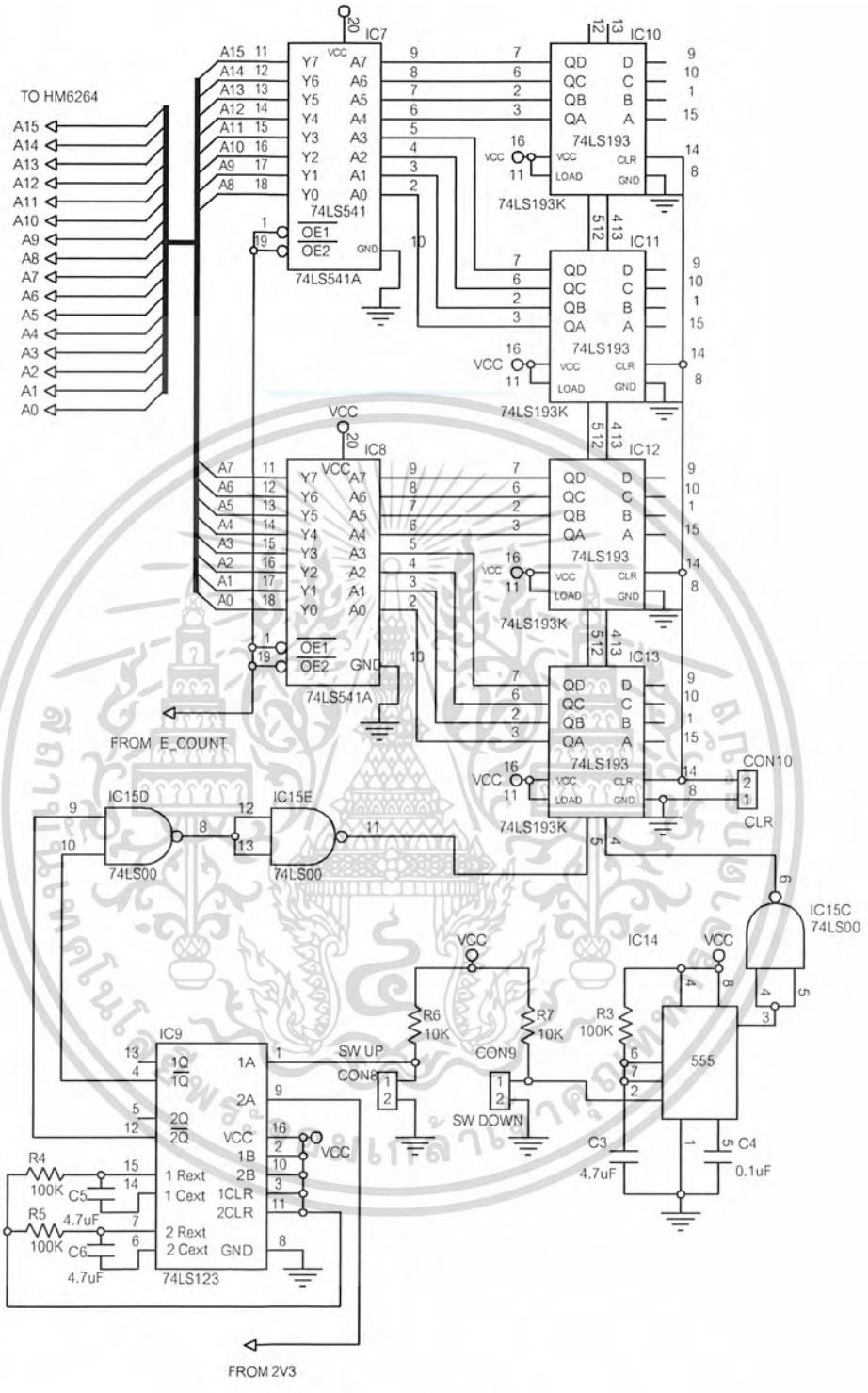
รูปที่ ข.9 วงจรส่วนกระทำคำสั่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



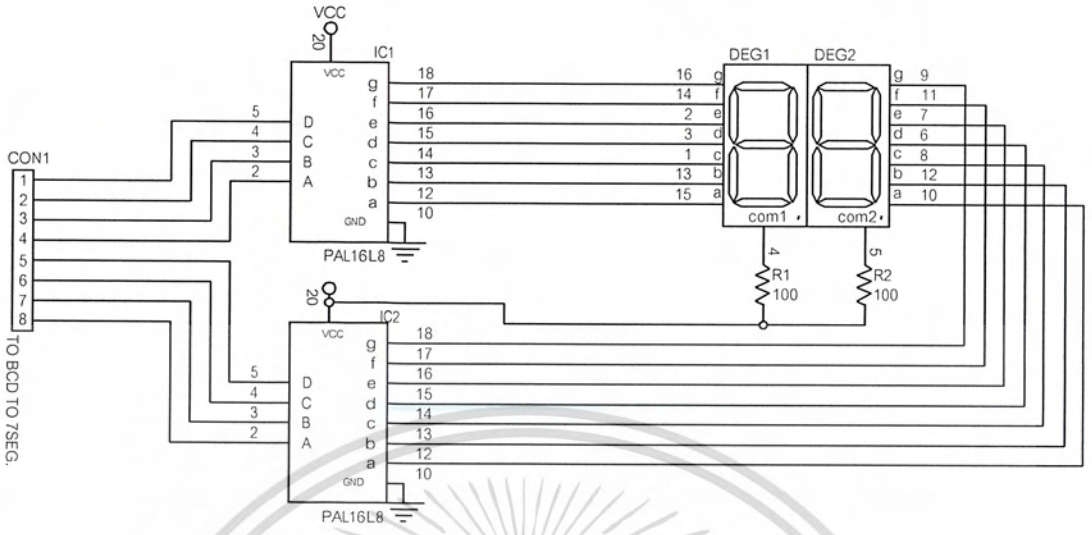
รูปที่ ข.10 วงจรส่วนชุดป้อนข้อมูล ส่วนที่ 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



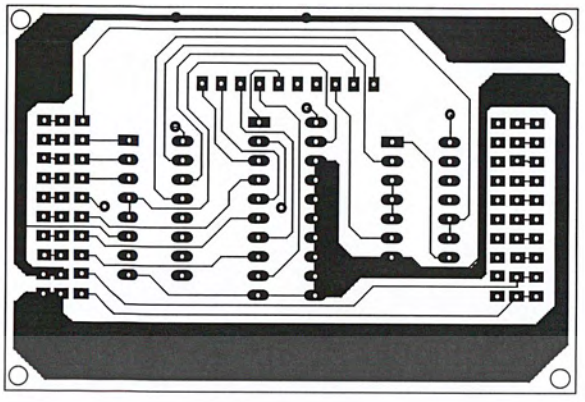
รูปที่ ข.11 วงจรส่วนชุดป้อนข้อมูล ส่วนที่ 2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

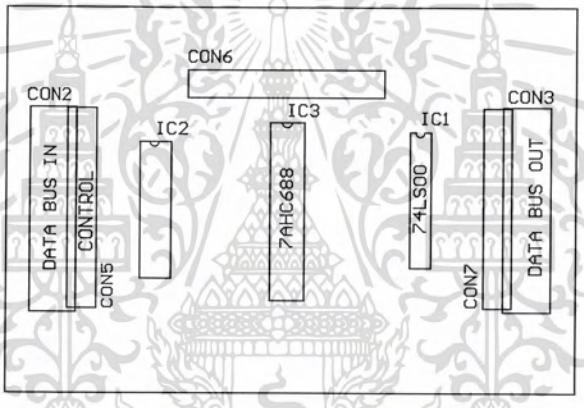


รูปที่ ข.12 วงจรส่วนแสดงผล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

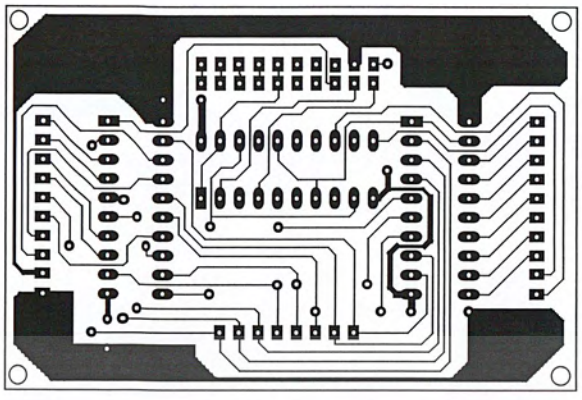


รูปที่ ข.13 แผ่นพิมพ์ลายวงจรรีจิสเตอร์ทั่วไปขนาด 8 บิต ส่วนที่ 1

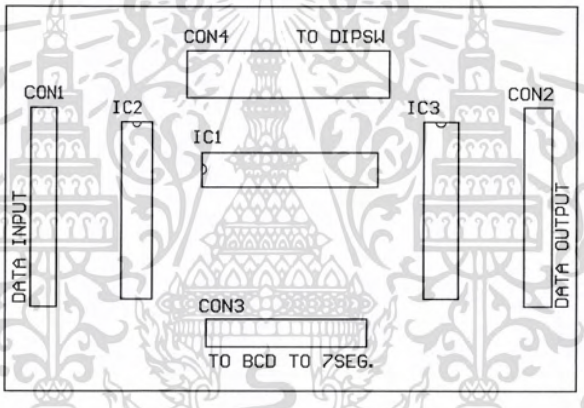


รูปที่ ข.14 แผ่นพิมพ์ลายวงจรรีจิสเตอร์ทั่วไปขนาด 8 บิต ส่วนที่ 1 ด้านอุปกรณ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

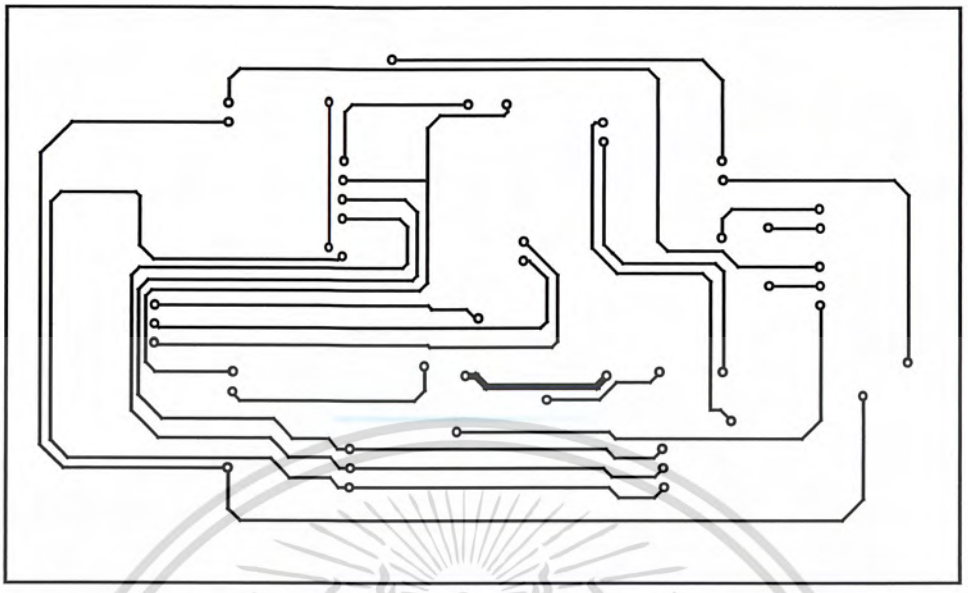


รูปที่ ข.15 แผ่นพิมพ์ลายวงจรรีจิสเตอร์ทั่วไปขนาด 8 บิต ส่วนที่ 2

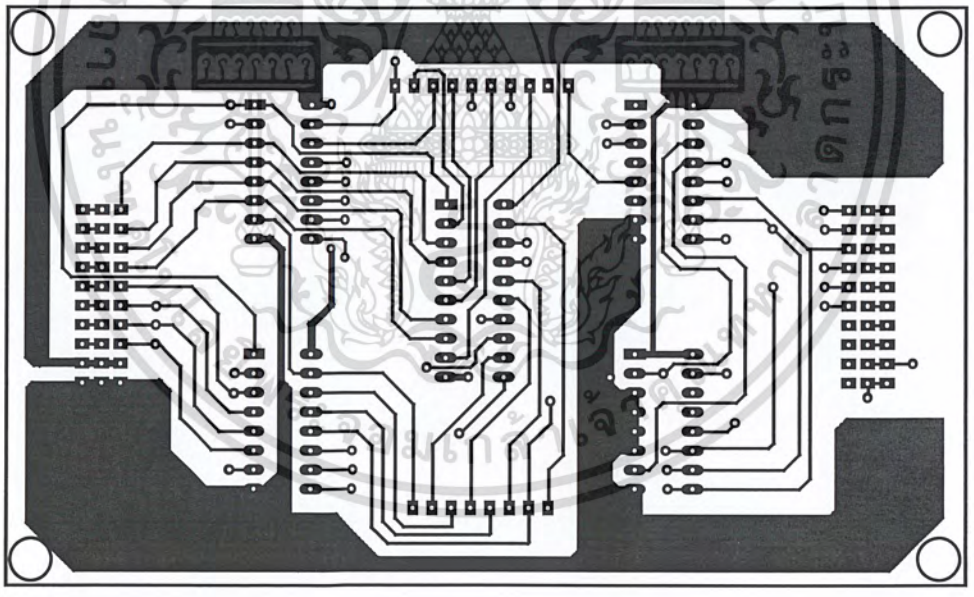


รูปที่ ข.16 แผ่นพิมพ์ลายวงจรรีจิสเตอร์ทั่วไปขนาด 8 บิต ส่วนที่ 2 ด้านอุปกรณ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

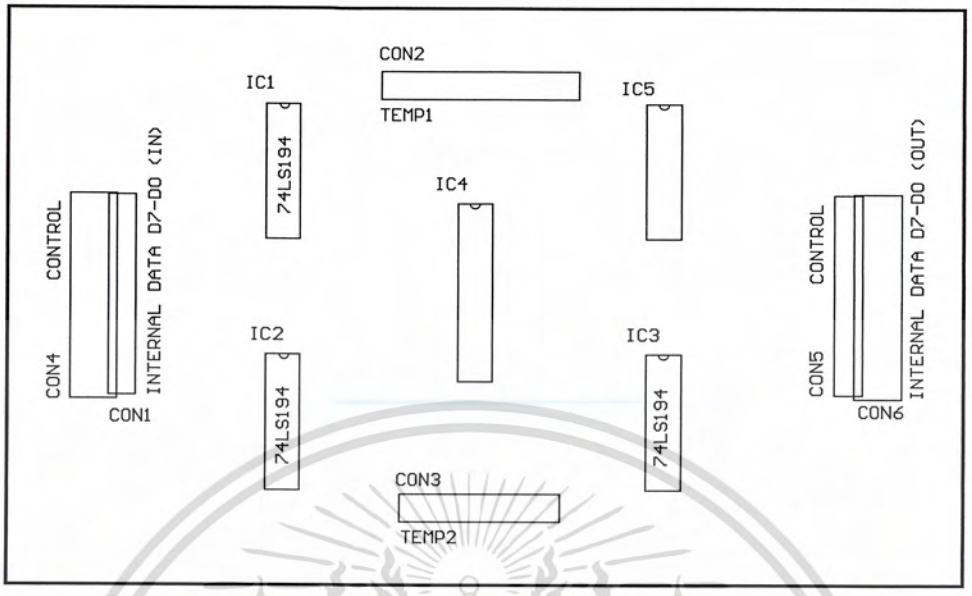


รูปที่ ข.17 แผ่นพิมพ์ลายวงจรรีจิสเตอร์พักข้อมูลขนาด 8 บิต ด้านบน

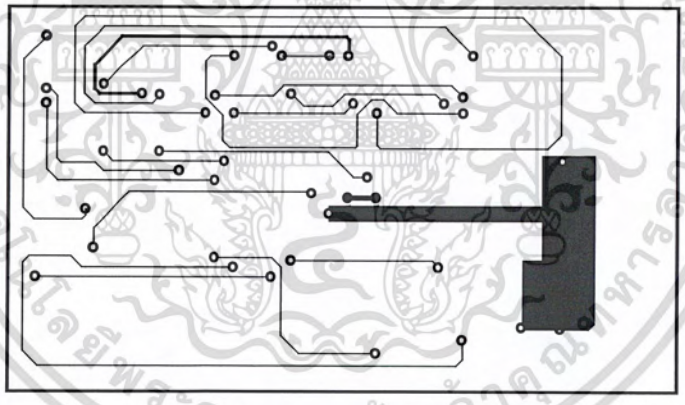


รูปที่ ข.18 แผ่นพิมพ์ลายวงจรรีจิสเตอร์พักข้อมูลขนาด 8 บิต ด้านล่าง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

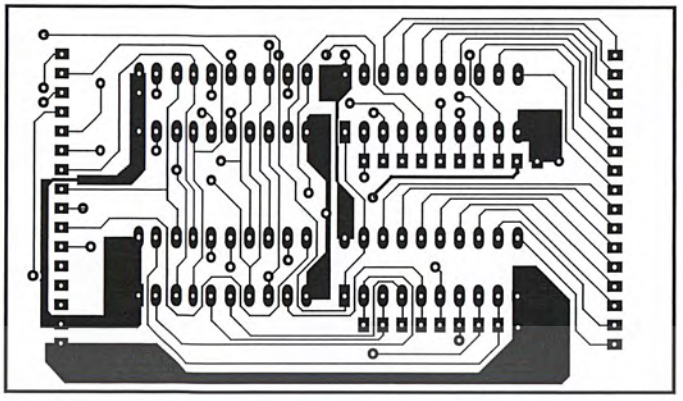


รูปที่ ข.19 แผ่นพิมพ์ลายวงจรรีจิสเตอร์พักข้อมูลขนาด 8 บิต ด้านอุปกรณ์

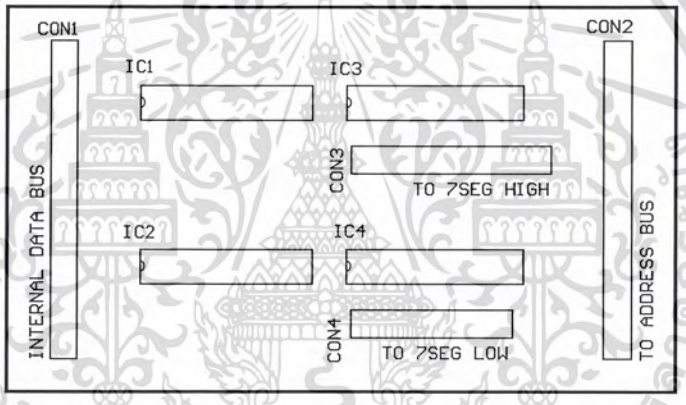


รูปที่ ข.20 แผ่นพิมพ์ลายวงจรแลตช์ข้อมูลขนาด 8 บิต เป็น 16 บิต ด้านบน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

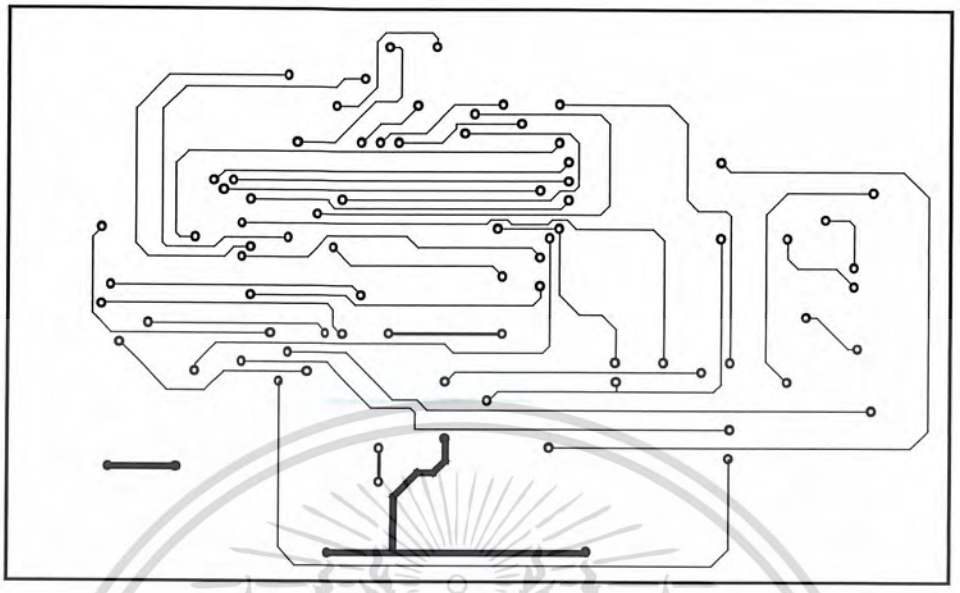


รูปที่ ข.21 แผ่นพิมพ์ลายวงจรแลตช์ข้อมูลขนาด 8 บิต เป็น 16 บิต ด้านล่าง

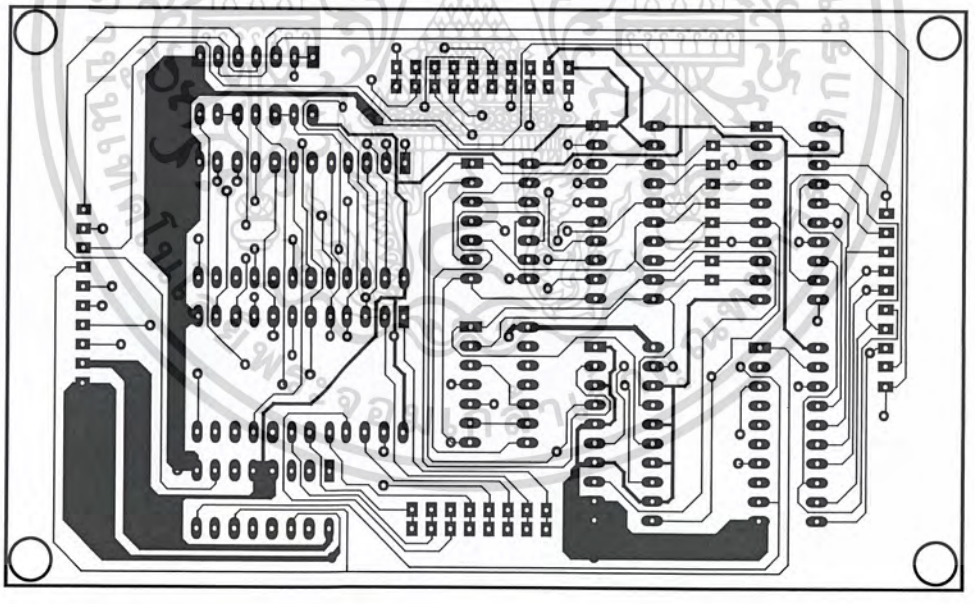


รูปที่ ข.22 แผ่นพิมพ์ลายวงจรแลตช์ข้อมูลขนาด 8 บิต เป็น 16 บิต ด้านอุปกรณ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

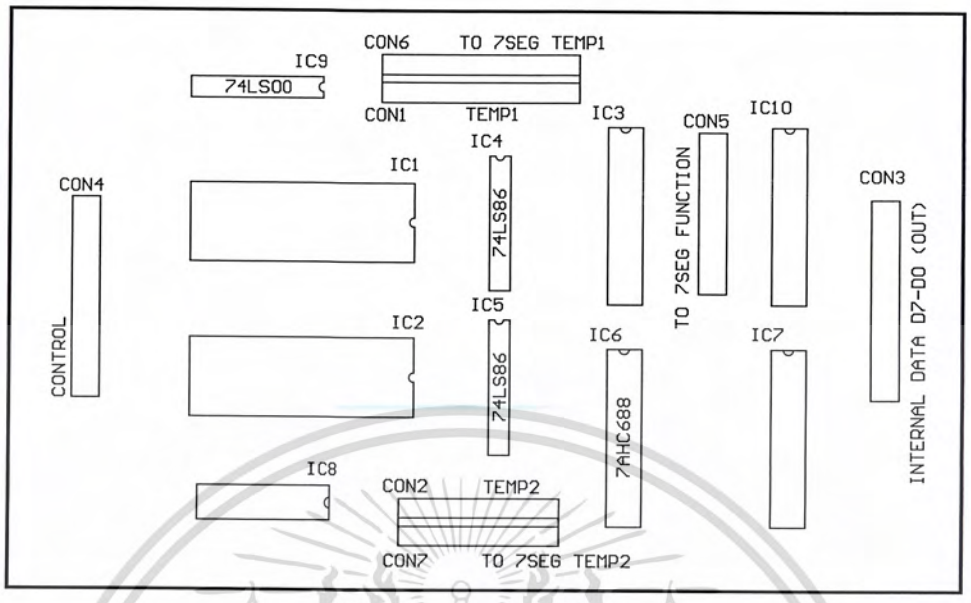


รูปที่ ข.23 แผ่นพิมพ์ลายวงจรส่วนประมวลผลทางคณิตศาสตร์และลอจิกขนาด 8 บิต ด้านบน

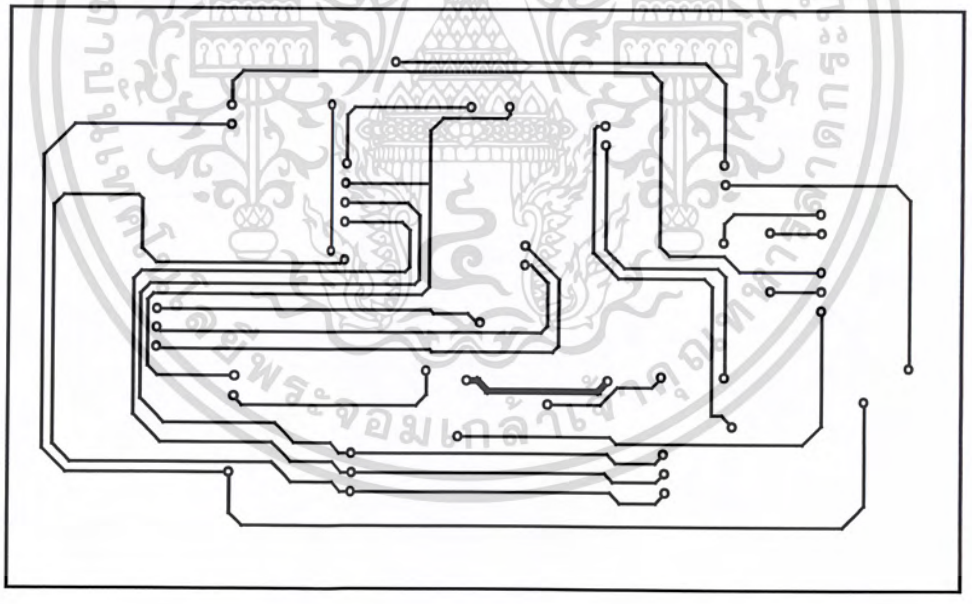


รูปที่ ข.24 แผ่นพิมพ์ลายวงจรส่วนประมวลผลทางคณิตศาสตร์และลอจิกขนาด 8 บิต ด้านล่าง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

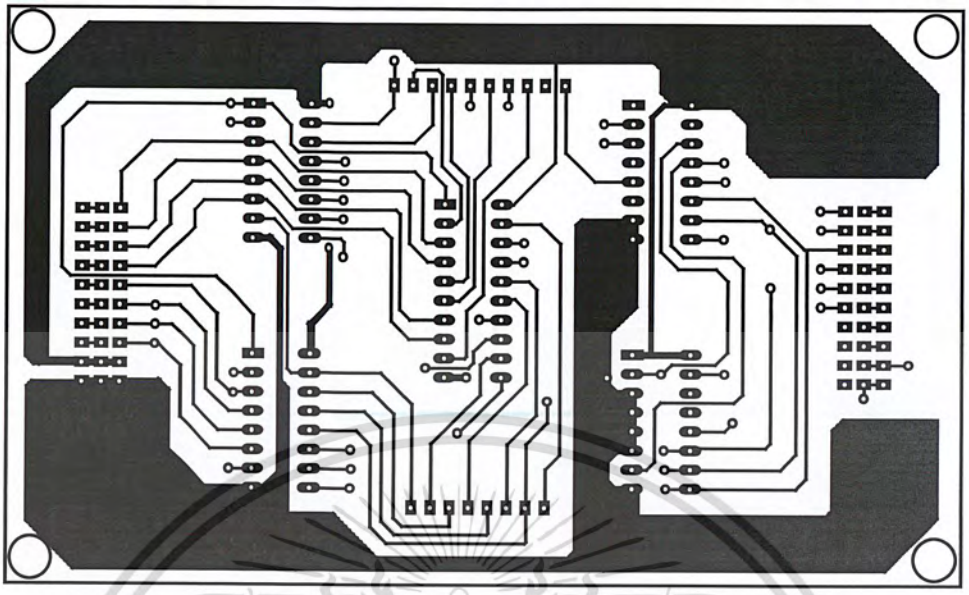


รูปที่ ข.25 แผ่นพิมพ์ลายวงจรส่วนประมวลผลทางคณิตศาสตร์และลอจิกขนาด 8 บิต ด้านอุปกรณ์

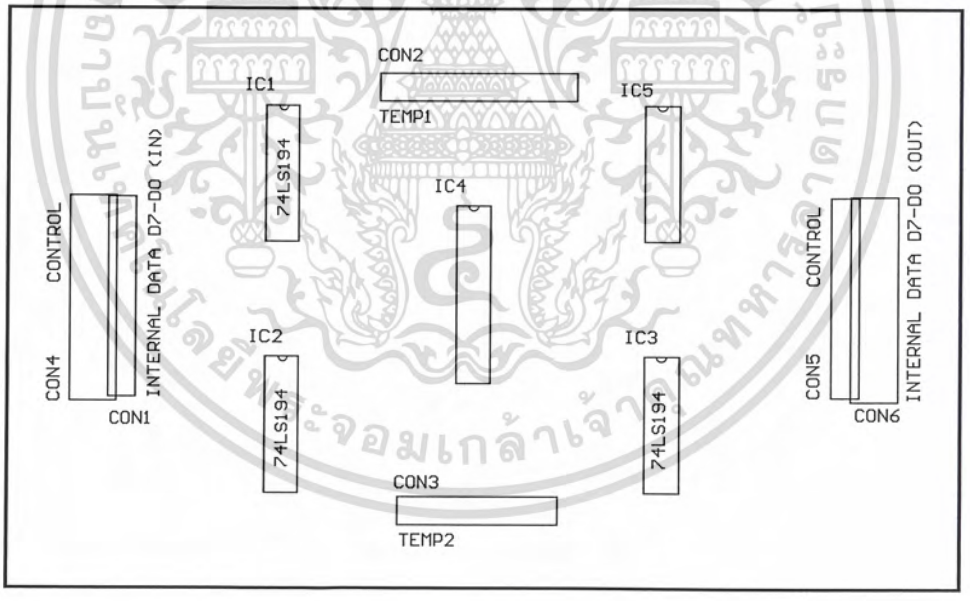


รูปที่ ข.26 แผ่นพิมพ์ลายวงจรเลื่อนข้อมูลขนาด 8 บิต ด้านบน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

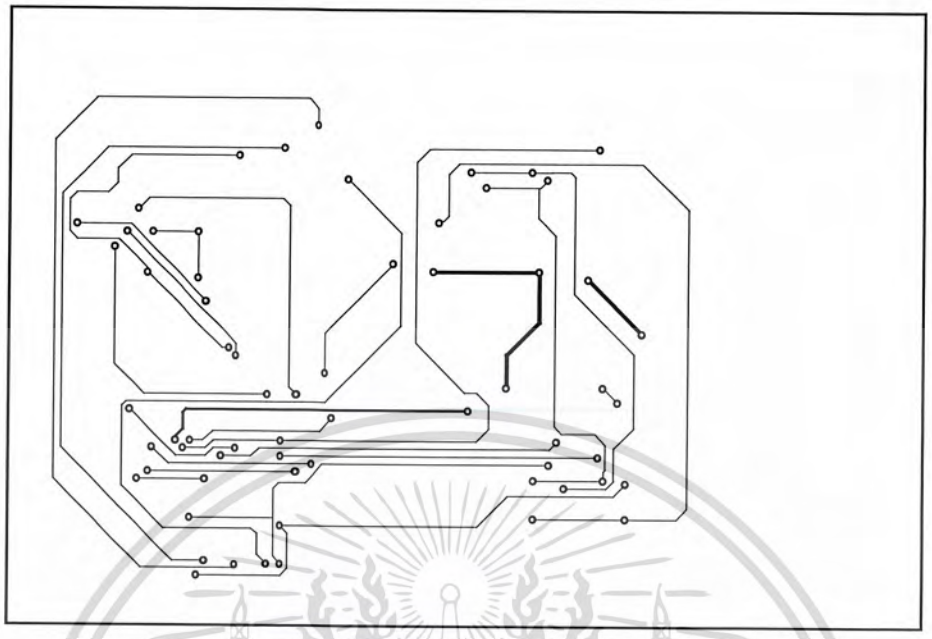


รูปที่ ข.27 แผ่นพิมพ์ลายวงจรเลื่อนข้อมูลขนาด 8 บิต ด้านล่าง

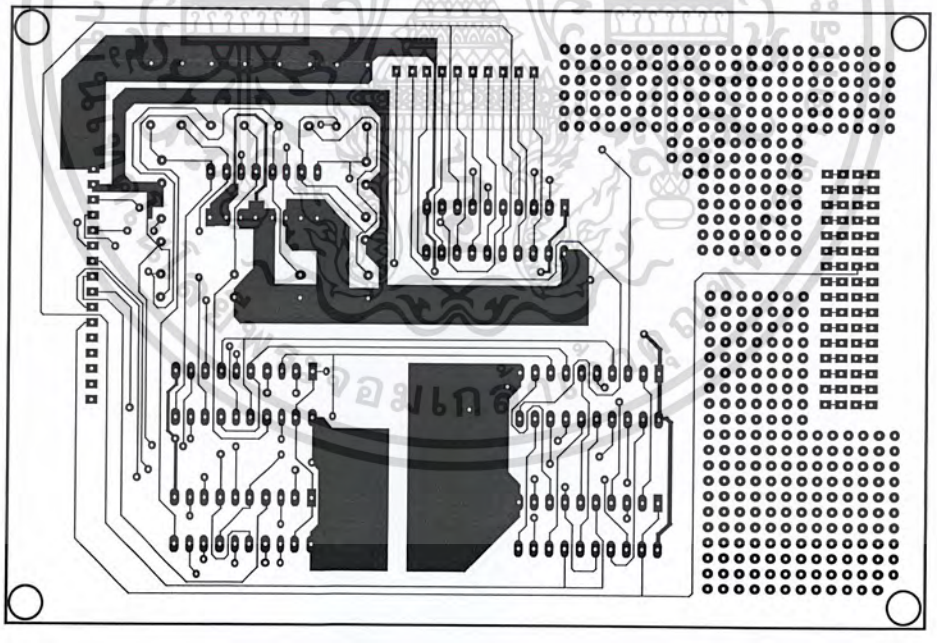


รูปที่ ข.28 แผ่นพิมพ์ลายวงจรเลื่อนข้อมูลขนาด 8 บิต ด้านอุปกรณ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

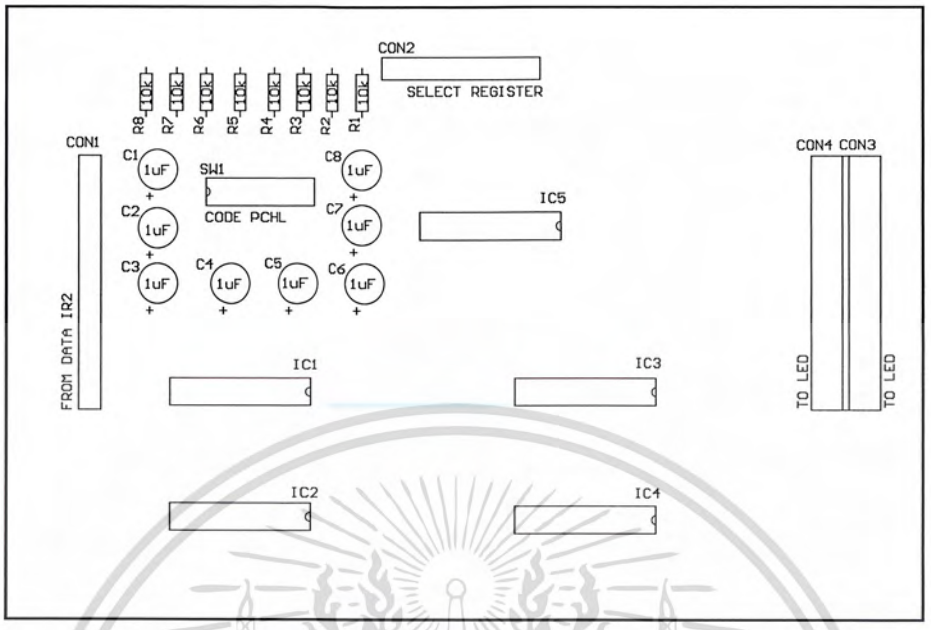


รูปที่ ข.29 แผ่นพิมพ์ลายวงจรส่วนถอดรหัส ส่วนที่ 1 ด้านบน

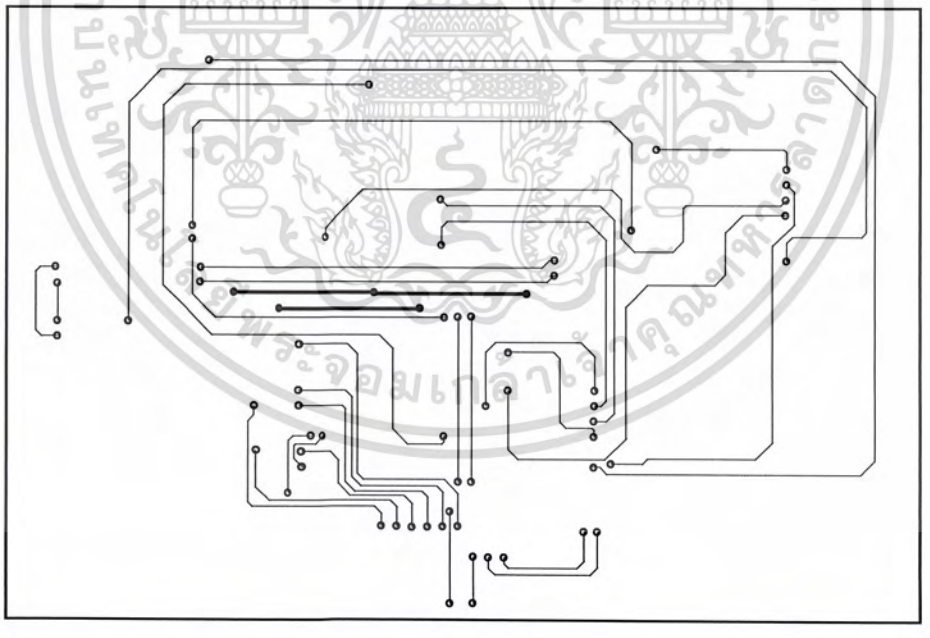


รูปที่ ข.30 แผ่นพิมพ์ลายวงจรส่วนถอดรหัส ส่วนที่ 1 ด้านล่าง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

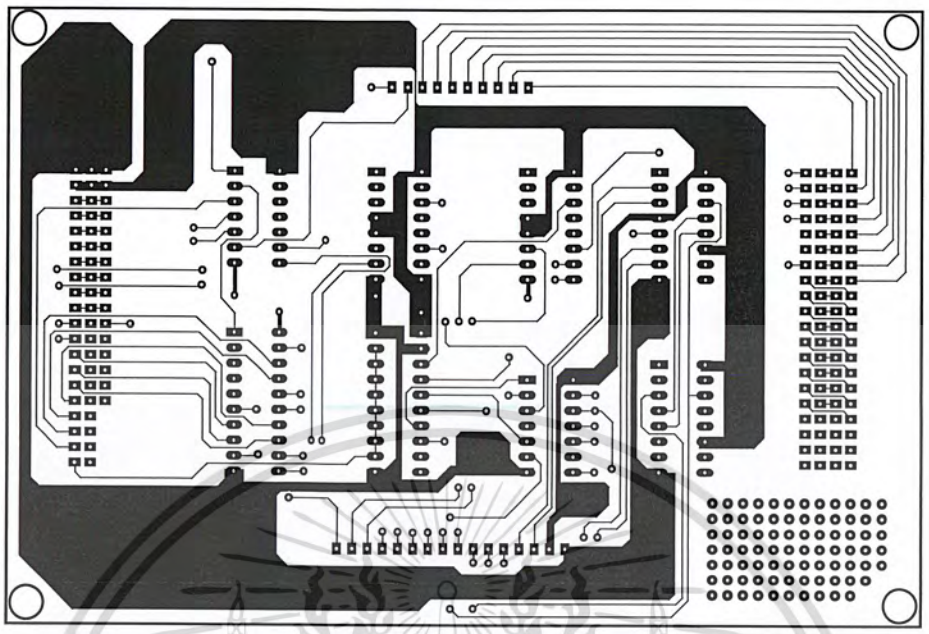


รูปที่ ข.31 แผ่นพิมพ์ลายวงจรส่วนถอดรหัส ส่วนที่ 1 ด้านอุปกรณ์

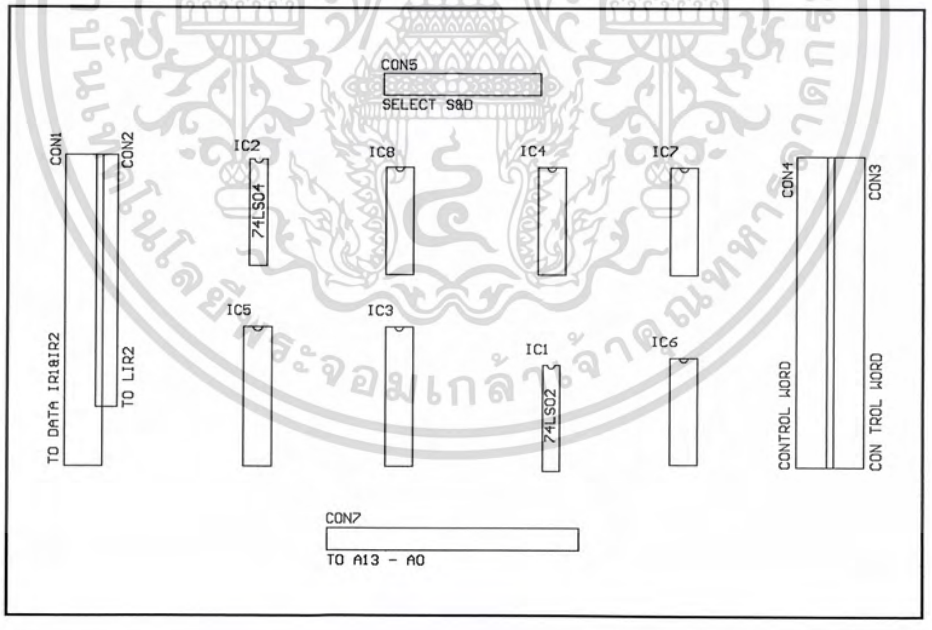


รูปที่ ข.32 แผ่นพิมพ์ลายวงจรส่วนถอดรหัส ส่วนที่ 2 ด้านบน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

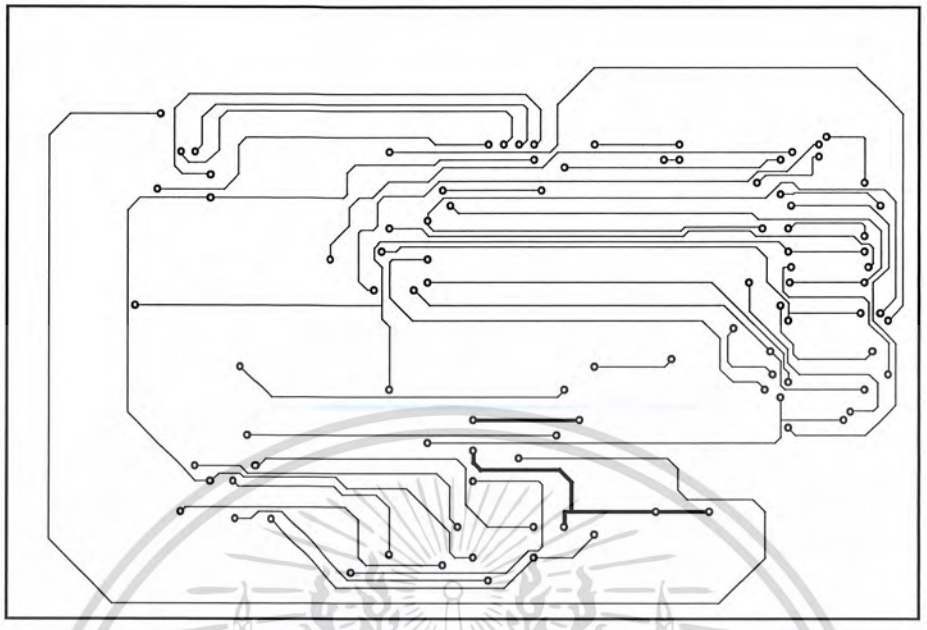


รูปที่ ข.33 แผ่นพิมพ์ลายวงจรส่วนถอดรหัส ส่วนที่ 2 ด้านล่าง

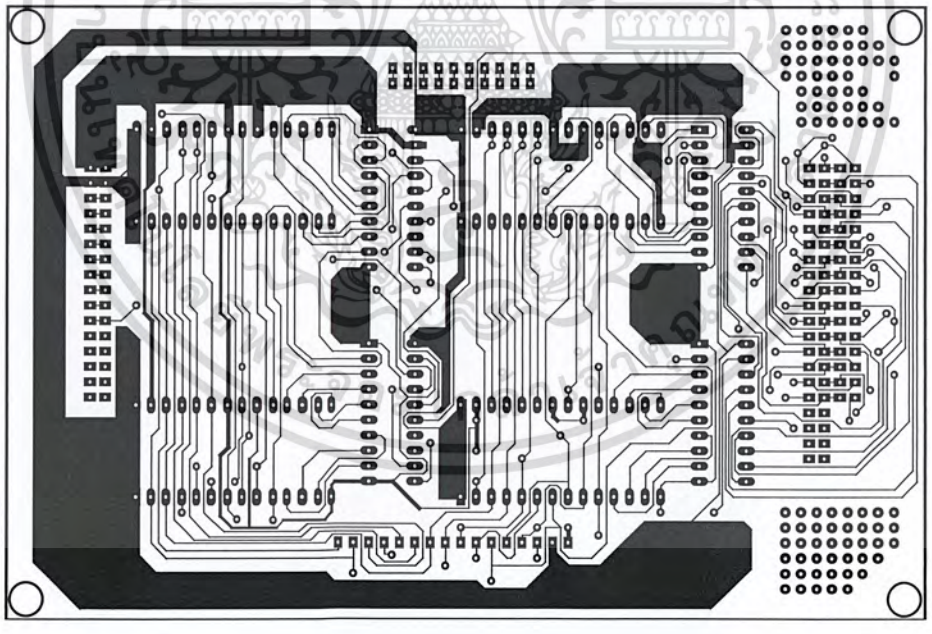


รูปที่ ข.34 แผ่นพิมพ์ลายวงจรส่วนถอดรหัส ส่วนที่ 2 ด้านอุปกรณ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

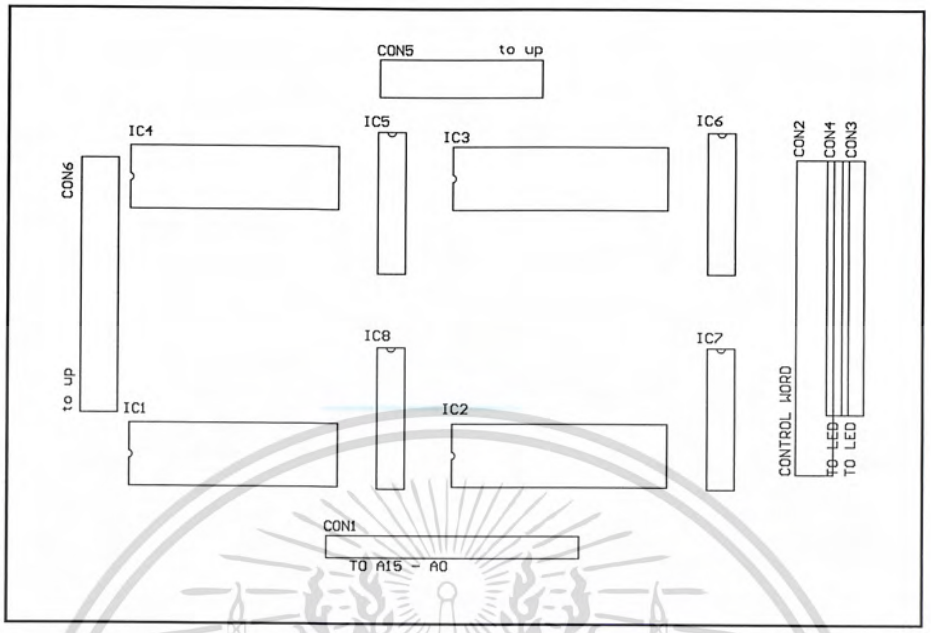


รูปที่ ข.35 แผ่นพิมพ์ลายวงจรส่วนกระทำคำสั่ง ด้านบน

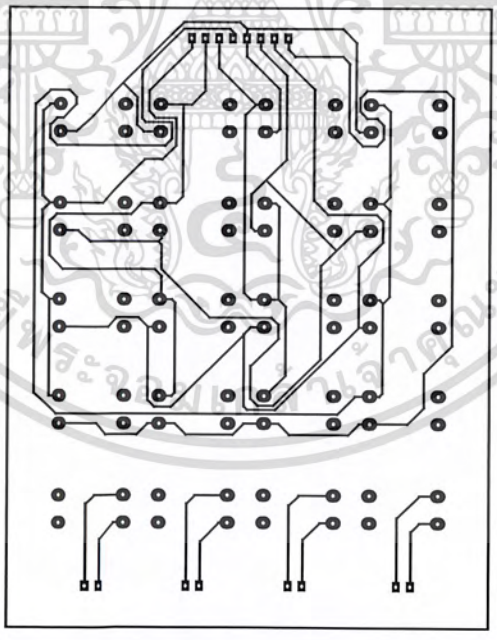


รูปที่ ข.36 แผ่นพิมพ์ลายวงจรส่วนกระทำคำสั่ง ด้านล่าง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

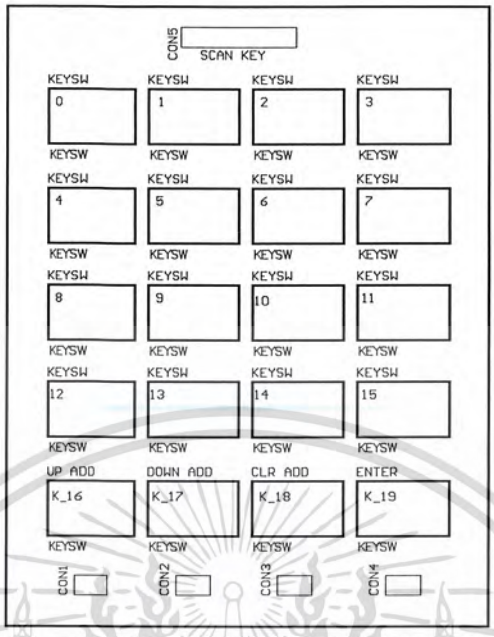


รูปที่ ข.37 แผ่นพิมพ์ลายวงจรส่วนกระทำคำสั่ง ด้านอุปกรณ์

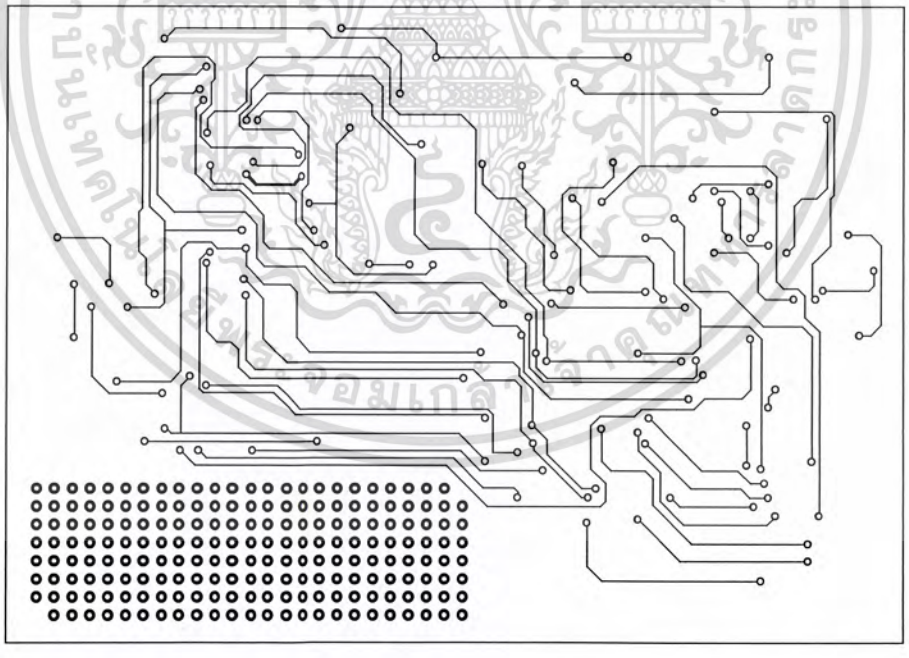


รูปที่ ข.38 แผ่นพิมพ์ลายวงจรส่วนป้อนข้อมูล ส่วนที่ 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

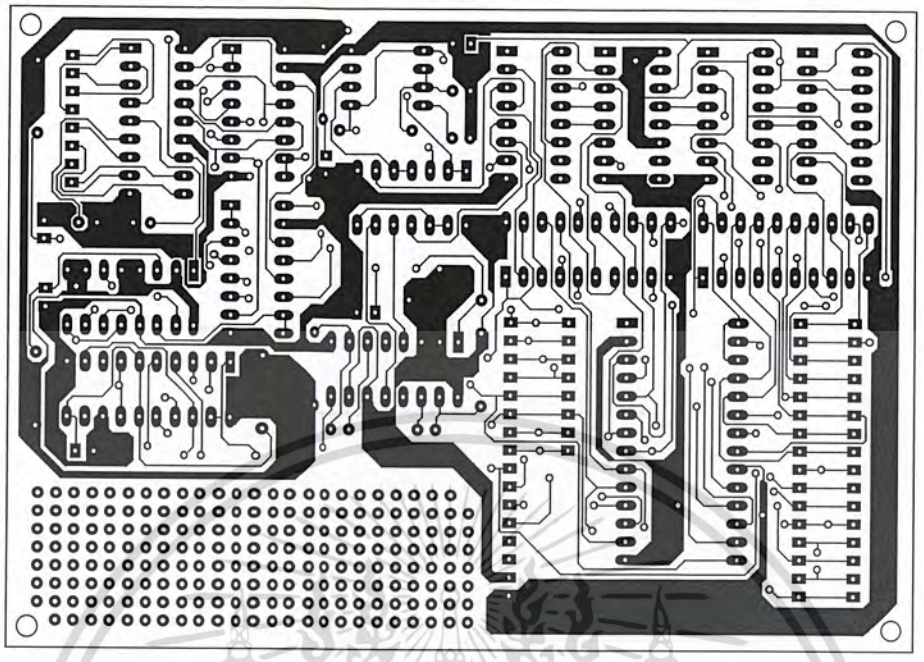


รูปที่ ข.39 แผ่นพิมพ์ลายวงจรส่วนป้อนข้อมูล ส่วนที่ 1 ด้านอุปกรณ์

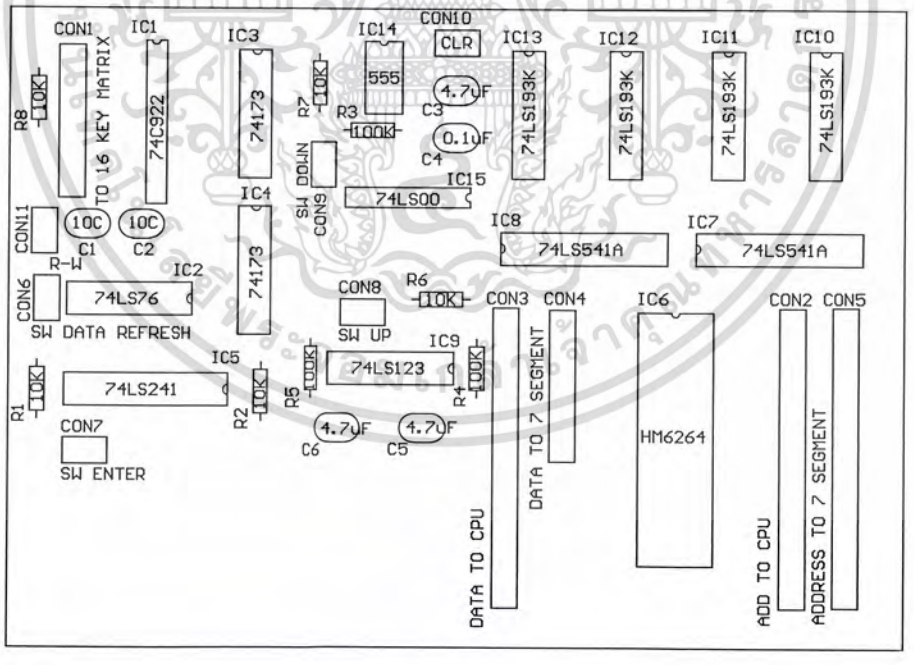


รูปที่ ข.40 แผ่นพิมพ์ลายวงจรส่วนป้อนข้อมูลส่วนที่ 2 ด้านบน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

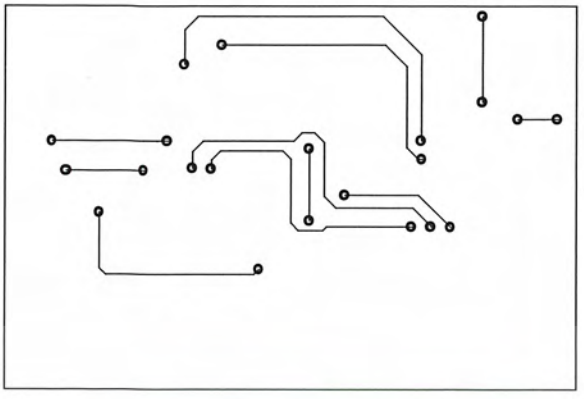


รูปที่ ข.41 แผ่นพิมพ์ลายวงจรส่วนป้อนข้อมูลส่วนที่ 2 ด้านล่าง

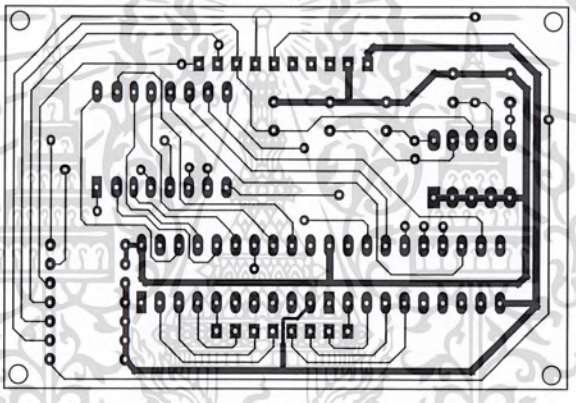


รูปที่ ข.42 แผ่นพิมพ์ลายวงจรส่วนป้อนข้อมูลส่วนที่ 2 ด้านอุปกรณ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

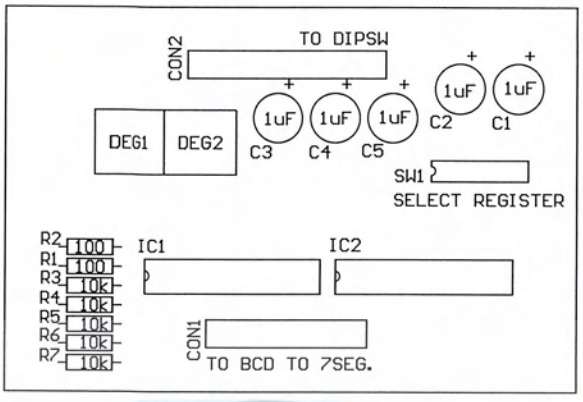


รูปที่ ข.43 แผ่นพิมพ์ลายวงจรส่วนแสดงผล 2 หลัก ด้านบน

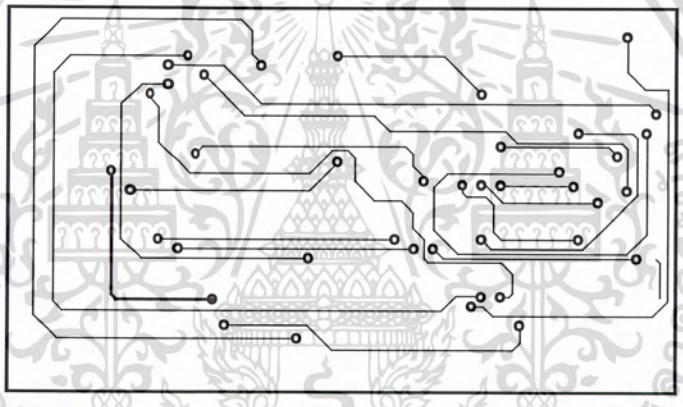


รูปที่ ข.44 แผ่นพิมพ์ลายวงจรส่วนแสดงผล 2 หลัก ด้านล่าง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

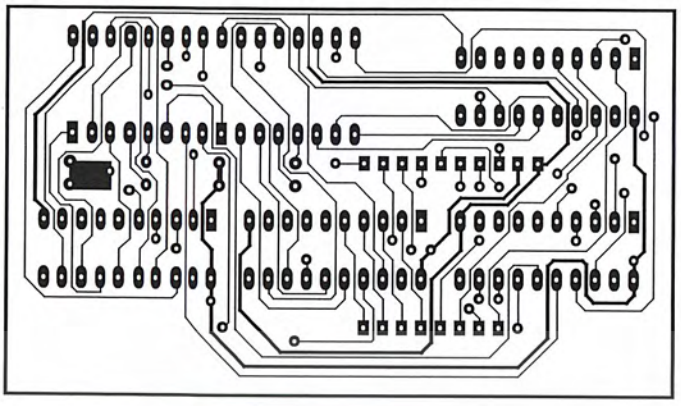


รูปที่ ข.45 แผ่นพิมพ์ลายวงจรส่วนแสดงผล 2 หลัก ด้านอุปกรณ์

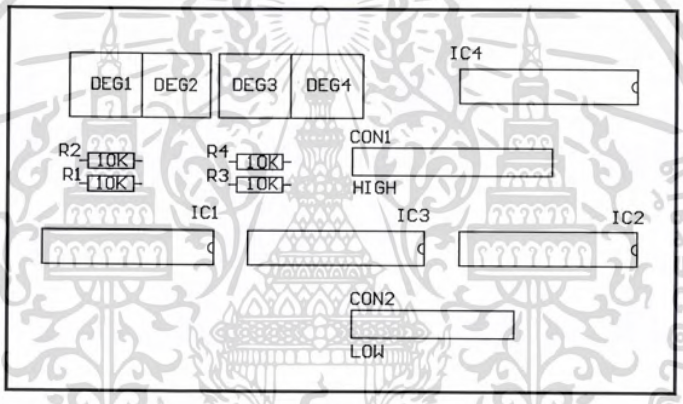


รูปที่ ข.46 แผ่นพิมพ์ลายวงจรส่วนแสดงผล 4 หลัก ด้านบน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

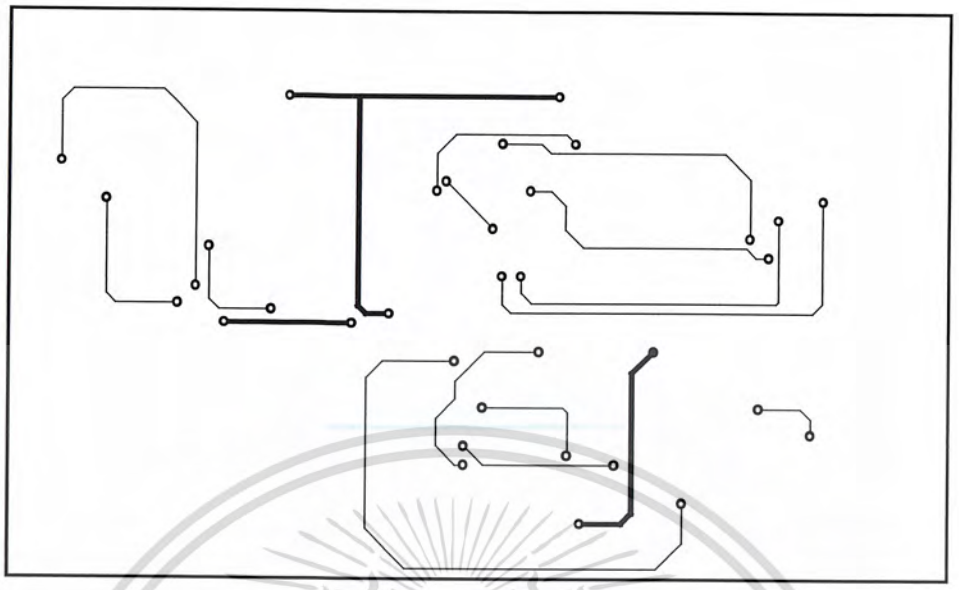


รูปที่ ข.47 แผ่นพิมพ์ลายวงจรส่วนแสดงผล 4 หลัก ด้านล่าง

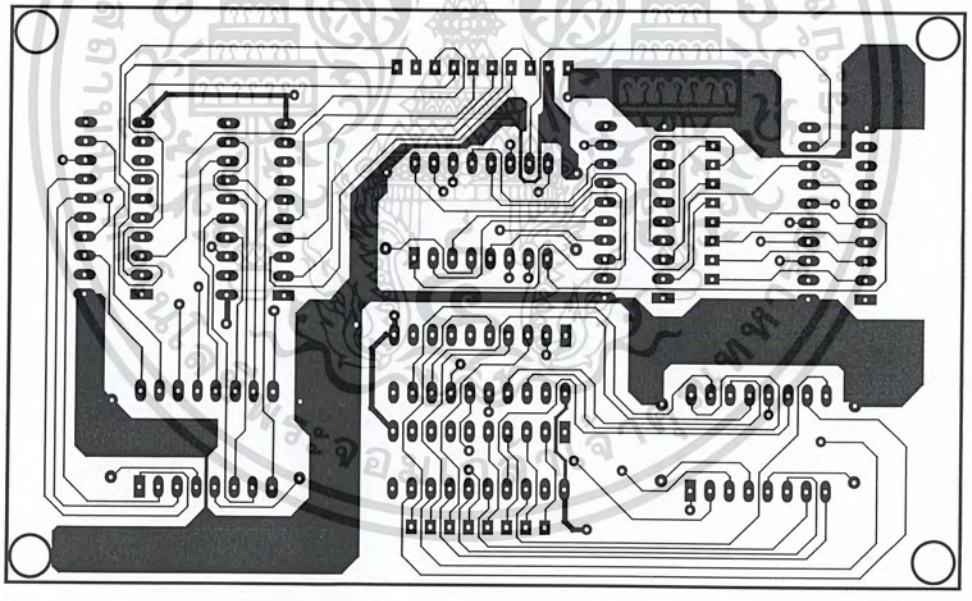


รูปที่ ข.48 แผ่นพิมพ์ลายวงจรส่วนแสดงผล 4 หลัก ด้านอุปกรณ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

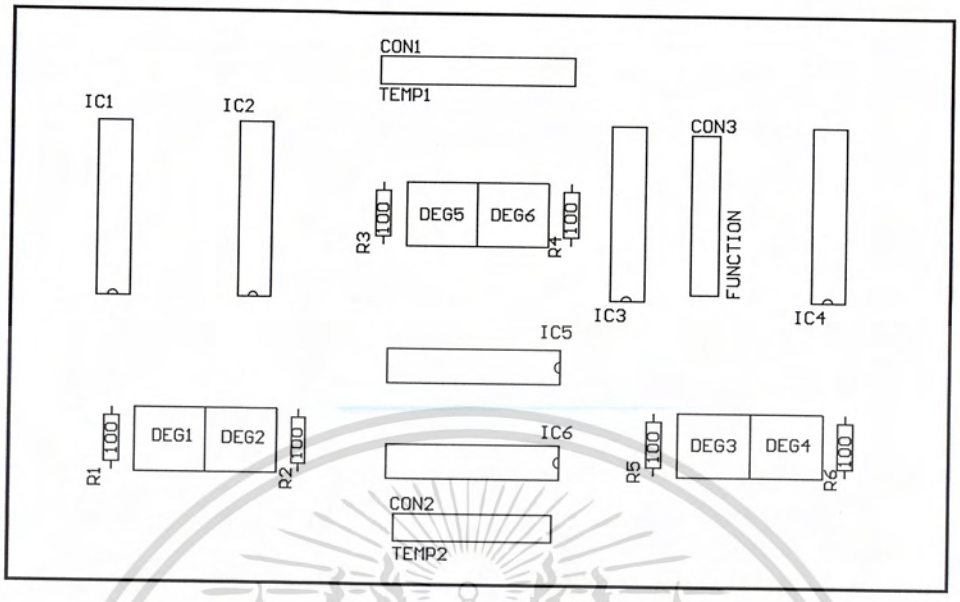


รูปที่ ข.49 แผ่นพิมพ์ลายวงจรส่วนแสดงผล 6 หลัก ด้านบน



รูปที่ ข.50 แผ่นพิมพ์ลายวงจรส่วนแสดงผล 6 หลัก ด้านล่าง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ ข.51 แผ่นพิมพ์ลายวงจรส่วนแสดงผล 6 หลัก ด้านอุปกรณ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ค
รายการอุปกรณ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รายการอุปกรณ์

1. วงจรรีจิสเตอร์ทั่วไป

1.1) ตัวต้านทาน

1) ตัวต้านทาน 100 Ω	28	ตัว
2) ตัวต้านทาน 10 KΩ	70	ตัว

1.2) ตัวเก็บประจุ

1) ตัวเก็บประจุ 0.1 μF 50 V	70	ตัว

1.3) ไอซี

1) 74LS273	14	ตัว
2) 74LS541	14	ตัว
3) 74LS241	14	ตัว
4) 74LS00	14	ตัว
5) 74LS138	14	ตัว
6) 74HC688	14	ตัว
7) PAL16L8-25CN	28	ตัว

1.4) ไดโอด

1) ไดโอดเปล่งแสง 7 ส่วน เบอร์ 482PB	14	ตัว

1.5) ดิปสวิตซ์

1) ดิปสวิตซ์ 5 ทาง	14	ตัว

1.6) คอนเน็คเตอร์

1) คอนเน็คเตอร์ 8 ขา	14	ตัว
2) คอนเน็คเตอร์ 10 ขา	56	ตัว
3) คอนเน็คเตอร์ 20 ขา	28	ตัว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2. วงจรแลตซ์ข้อมูลขนาด 8 บิต เป็น 16 บิต

2.1) ตัวต้านทาน

1) ตัวต้านทาน 100 Ω	4	ตัว

2.2) ไอซี

1) 74LS273	2	ตัว
2) 74LS541	2	ตัว
3) PAL16L8-25CN	4	ตัว

2.3) ไดโอด

1) ไดโอดเปล่งแสง 7 ส่วน เบอร์ 482PB	2	ตัว

2.4) ดิปสวิตซ์

1) ดิปสวิตซ์ 5 ทาง	14	ตัว

2.5) คอนเน็คเตอร์

1) คอนเน็คเตอร์ 8 ขา	1	ตัว
2) คอนเน็คเตอร์ 10 ขา	1	ตัว
3) คอนเน็คเตอร์ 16 ขา	2	ตัว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3. วงจรประมวลผลทางคณิตศาสตร์และลอจิก

3.1) ตัวต้านทาน

1) ตัวต้านทาน 100 Ω	6	ตัว

3.2) ไอซี

1) 74LS181	2	ตัว
2) 74LS541	1	ตัว
3) 74LS193	4	ตัว
4) 74HC688	2	ตัว
5) 74LS00	1	ตัว
6) 74LS86	2	ตัว
7) PAL16L8-25CN	6	ตัว

3.3) ไดโอด

1) ไดโอดเปล่งแสง 7 ส่วน เบอร์ 482PB	3	ตัว

3.4) คอนเน็คเตอร์

1) คอนเน็คเตอร์ 8 ขา	3	ตัว
2) คอนเน็คเตอร์ 10 ขา	4	ตัว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4. วงจรส่วนควบคุม

4.1) ตัวต้านทาน

1) ตัวต้านทาน 10 KΩ	8	ตัว

4.2) ตัวเก็บประจุ

1) ตัวเก็บประจุ 0.1 μF 50 V	8	ตัว

4.3) ไอซี

1) 74LS02	1	ตัว
2) 74LS04	1	ตัว
3) 74LS32	1	ตัว
4) 74LS193	4	ตัว
5) 74LS241	3	ตัว
6) 74LS273	2	ตัว
7) 74LS541	6	ตัว

4.4) คอนเน็คเตอร์

1) คอนเน็คเตอร์ 10 ขา	2	ตัว
2) คอนเน็คเตอร์ 16 ขา	3	ตัว
3) คอนเน็คเตอร์ 32 ขา	1	ตัว
4) คอนเน็คเตอร์ 40 ขา	3	ตัว

5. วงจรเลื่อนข้อมูล

5.1) ไอซี

1) 74LS194	4	ตัว
2) 74LS151	1	ตัว
3) 74LS273	1	ตัว
4) 74LS04	1	ตัว
5) 74LS76	1	ตัว

5.2) คอนเน็คเตอร์

1) คอนเน็คเตอร์ 8 ขา	1	ตัว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2) คอนเน็คเตอร์ 10 ขา	3	ตัว
3) คอนเน็คเตอร์ 20 ขา	2	ตัว

6. วงจรส่วนป้อนข้อมูล

6.1) ตัวต้านทาน

1) ตัวต้านทาน 100 Ω	6	ตัว
2) ตัวต้านทาน 220 Ω	4	ตัว
3) ตัวต้านทาน 10 KΩ	4	ตัว
4) ตัวต้านทาน 100 KΩ	5	ตัว

6.2) ตัวเก็บประจุ

1) ตัวเก็บประจุ 0.1 μF 50 V	4	ตัว
2) ตัวเก็บประจุ 1 μF 50 V	1	ตัว
3) ตัวเก็บประจุ 4.7 μF 50 V	3	ตัว
4) ตัวเก็บประจุ 10 μF 50 V	2	ตัว

6.3) ไอซี

1) 74C922	1	ตัว
2) 74C900	1	ตัว
3) 74LS76	1	ตัว
4) 74LS123	1	ตัว
5) 74LS173	2	ตัว
6) 74LS193	4	ตัว
7) 74LS241	1	ตัว
8) 74LS245	1	ตัว
9) 74LS541	4	ตัว
10) PAL16L8-25CN	6	ตัว
11) UT6264C	1	ตัว
12) NE555	3	ตัว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6.4) ไดโอด

1) ไดโอดเปล่งแสง	4	ตัว
2) ไดโอดเปล่งแสง 7 ส่วน เบอร์ 428PB	3	ตัว

6.5) สวิตซ์

1) สวิตซ์แบบกดติดปล่อยดับ	23	ตัว
2) สวิตซ์กดดับปล่อยติด	1	ตัว

6.6) คอนเน็คเตอร์

1) คอนเน็คเตอร์ 2 ขา	11	ตัว
2) คอนเน็คเตอร์ 3 ขา	1	ตัว
3) คอนเน็คเตอร์ 8 ขา	2	ตัว
4) คอนเน็คเตอร์ 12 ขา	1	ตัว
5) คอนเน็คเตอร์ 16 ขา	5	ตัว

7. วงจรส่วนฐาน

7.1) ไอซี

1) 74LS541	10	ตัว

7.2) คอนเน็คเตอร์

1) คอนเน็คเตอร์ 10 ขา	54	ตัว
2) คอนเน็คเตอร์ 16 ขา	2	ตัว

สถาบันวิทยบริการ จุฬาลงกรณ์มหาวิทยาลัย พระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ง
รายละเอียด และคุณสมบัติของอุปกรณ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

HM6264B Series

64 k SRAM (8-kword × 8-bit)

HITACHI

ADE-203-454B (Z)
Rev. 2.0
Nov. 1997

Description

The Hitachi HM6264B is 64k-bit static RAM organized 8-kword × 8-bit. It realizes higher performance and low power consumption by 1.5 µm CMOS process technology. The device, packaged in 450 mil SOP (foot print pitch width), 600 mil plastic DIP, 300 mil plastic DIP, is available for high density mounting.

Features

- High speed
  Fast access time: 85/100 ns (max)
- Low power
  Standby: 10 µW (typ)
  Operation: 15 mW (typ) (f = 1 MHz)
- Single 5 V supply
- Completely static memory
  No clock or timing strobe required
- Equal access and cycle times
- Common data input and output
  Three state output
- Directly TTL compatible
  All inputs and outputs
- Battery backup operation capability

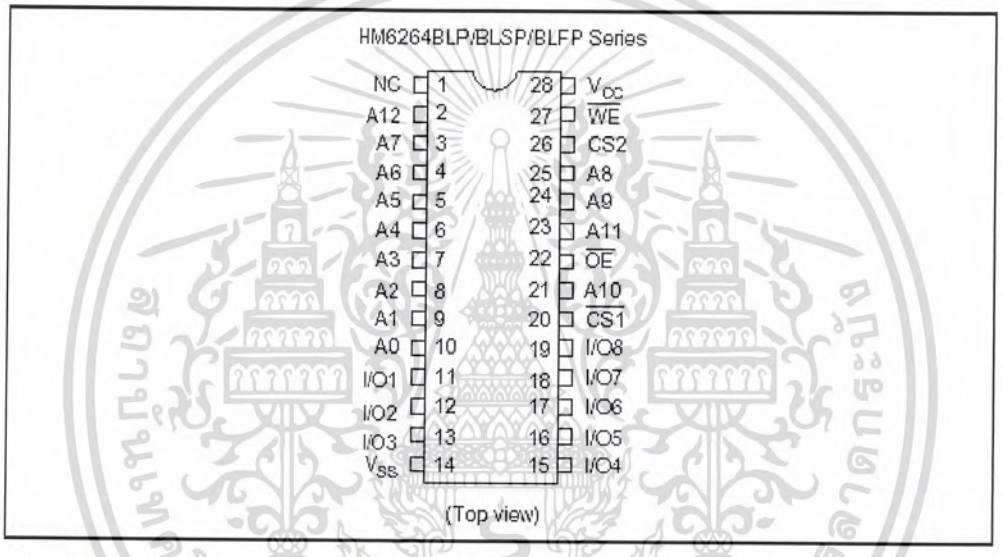
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

HM6264B Series

Ordering Information

Type No.	Access time	Package
HM6264BLP-8L HM6264BLP-10L	85 ns 100 ns	600-mil, 28-pin plastic DIP (DP-28)
HM6264BLSP-8L HM6264BLSP-10L	85 ns 100 ns	300-mil, 28-pin plastic DIP(DP-28N)
HM6264BLFP-8LT HM6264BLFP-10LT	85 ns 100 ns	450-mil, 28-pin plastic SOP(FP-28DA)

Pin Arrangement

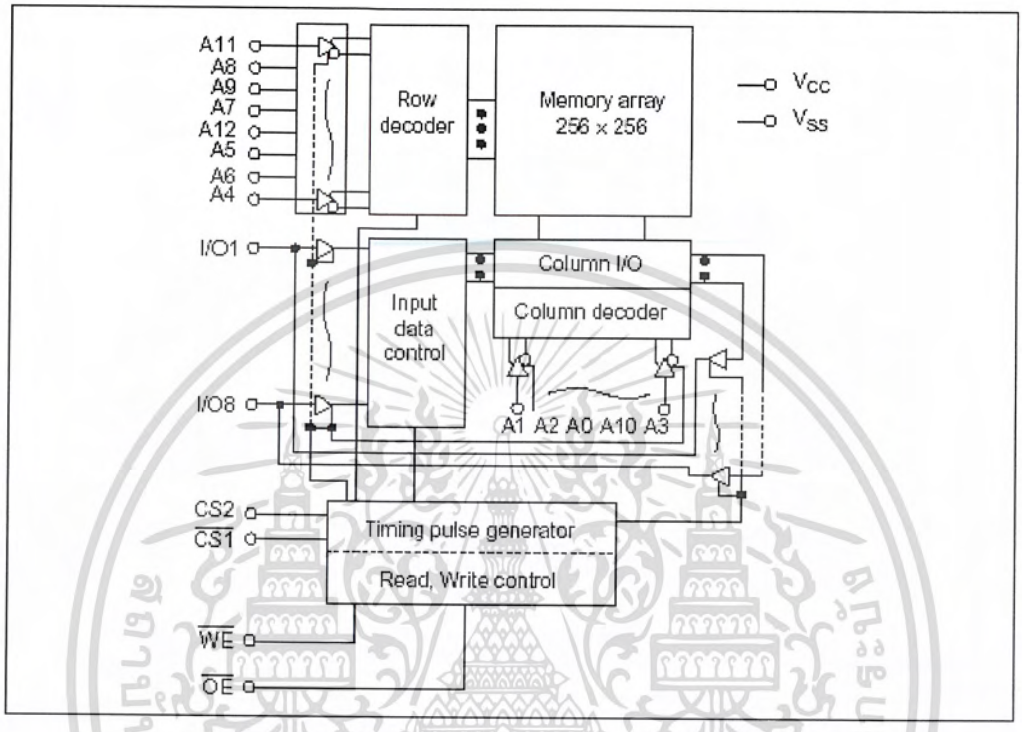


Pin Description

Pin name	Function	Pin name	Function
A0 to A12	Address input	$\overline{WE}$	Write enable
I/O1 to I/O8	Data input/output	$\overline{OE}$	Output enable
$\overline{CS1}$	Chip select 1	NC	No connection
CS2	Chip select 2	V_{CC}	Power supply
		V_{SS}	Ground

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Block Diagram



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Function Table

$\overline{WE}$	$\overline{CS1}$	CS2	$\overline{OE}$	Mode	V_{CC} current	I/O pin	Ref. cycle
×	H	×	×	Not selected (power down)	I_{SB}, I_{SB1}	High-Z	—
×	×	L	×	Not selected (power down)	I_{SB}, I_{SB1}	High-Z	—
H	L	H	H	Output disable	I_{CC}	High-Z	—
H	L	H	L	Read	I_{CC}	Dout	Read cycle (1)–(3)
L	L	H	H	Write	I_{CC}	Din	Write cycle (1)
L	L	H	L	Write	I_{CC}	Din	Write cycle (2)

Note: ×: H or L

Absolute Maximum Ratings

Parameter	Symbol	Value	Unit
Power supply voltage*1	V_{CC}	–0.5 to +7.0	V
Terminal voltage*1	V_T	–0.5*2 to V_{CC} + 0.3*3	V
Power dissipation	P_T	1.0	W
Operating temperature	Topr	0 to +70	°C
Storage temperature	Tstg	–55 to +125	°C
Storage temperature under bias	Tbias	–10 to +85	°C

Notes: 1. Relative to V_{SS}
2. V_T min: –3.0 V for pulse half-width ≤ 50 ns
3. Maximum voltage is 7.0 V

Recommended DC Operating Conditions (Ta = 0 to +70°C)

Parameter	Symbol	Min	Typ	Max	Unit
Supply voltage	V_{CC}	4.5	5.0	5.5	V
	V_{SS}	0	0	0	V
Input high voltage	V_{IH}	2.2	—	V_{CC} + 0.3	V
Input low voltage	V_{IL}	–0.3*1	—	0.8	V

Note: 1. V_{IL} min: –3.0 V for pulse half-width ≤ 50 ns

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

December 1993

NM27C128
131,072-Bit (16K x 8) High Performance CMOS EPROM

General Description

The NM27C128 is a high performance 128K UV Erasable Electrically Programmable Read Only Memory. It is manufactured with National's latest CMOS split gate EPROM technology which enables it to operate at speeds as fast as 100 ns access time over the full operating range.

The NM27C128 provides microprocessor-based systems extensive storage capacity for large portions of operating system and application software. Its 100ns access time provides high speed operation with high-performance CPUs. The NM27C128 offers a single chip solution for the code storage requirements of 100% firmware-based equipment. Frequently-used software routines are quickly executed from EPROM storage, greatly enhancing system utility.

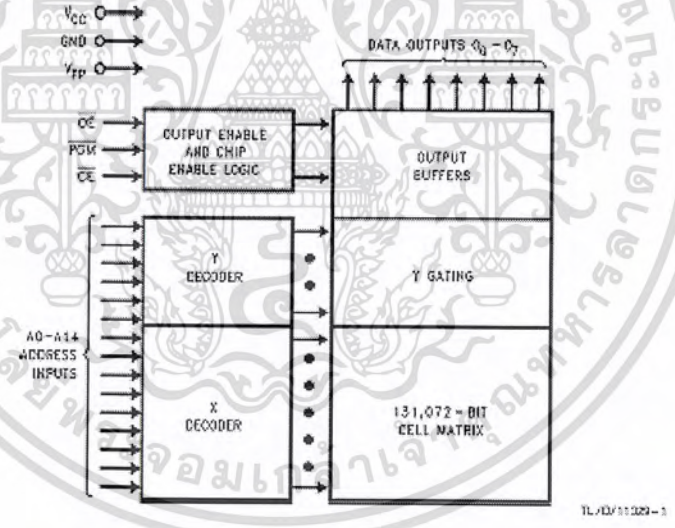
The NM27C128, is configured in the standard EPROM pinout which provides an easy upgrade path for systems which are currently using standard EPROMs.

The NM27C128 is one member of a high density EPROM Family which range in densities up to 4 Mb.

Features

- High performance CMOS
  - 100 ns access time
- Fast turn-off for microprocessor compatibility
- JEDEC standard pin configuration
  - 28-pin DIP package
  - 32-pin chip carrier
- Drop-in replacement for 27C128 or 27128

Block Diagram



TRI-STATE® is a registered trademark of National Semiconductor Corporation.
HPC™ is a trademark of National Semiconductor Corporation.

©1995 National Semiconductor Corporation TL/D/11329

RRD-B30M75/Printed in U.S.A.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Connection Diagrams

27C080	27C040	27C020	27C010	27C512	27C256
A19	V_{PP}	V_{PP}	V_{PP}		
A16	A16	A16	A16		
A15	A15	A15	A15	A15	V_{PP}
A12	A12	A12	A12	A12	A12
A7	A7	A7	A7	A7	A7
A6	A6	A6	A6	A6	A6
A5	A5	A5	A5	A5	A5
A4	A4	A4	A4	A4	A4
A3	A3	A3	A3	A3	A3
A2	A2	A2	A2	A2	A2
A1	A1	A1	A1	A1	A1
A0	A0	A0	A0	A0	A0
O0	O0	O0	O0	O0	O0
O1	O1	O1	O1	O1	O1
O2	O2	O2	O2	O2	O2
GND	GND	GND	GND	GND	GND

DIP
NM27C128

TL/D/11129–2

27C256	27C512	27C010	27C020	27C040	27C080
		VCC	VCC	VCC	VCC
		PGM	PGM	A18	A18
VCC	VCC	XX	A17	A17	A17
A14	A14	A14	A14	A14	A14
A13	A13	A13	A13	A13	A13
A8	A8	A8	A8	A8	A8
A9	A9	A9	A9	A9	A9
A11	A11	A11	A11	A11	A11
OE	OE/VPP	OE	OE	OE	OE/VPP
A10	A10	A10	A10	A10	A10
CE	CE/PGM	CE	CE	CE/PGM	CE/PGM
O7	O7	O7	O7	O7	O7
O6	O6	O6	O6	O6	O6
O5	O5	O5	O5	O5	O5
O4	O4	O4	O4	O4	O4
O3	O3	O3	O3	O3	O3

Note: Compatible EPROM pin configurations are shown in the blocks adjacent to the NM27C128 pins.

Commercial Temp. Range (0°C to +70°C)
V_{CC} = 5V ±10%

Parameter/Order Number	Access Time (ns)
NM27C128 Q, N, V100	100
NM27C128 Q, N, V120	120
NM27C128 Q, N, V150	150
NM27C128 Q, N, V200	200

Extended Temp. Range (−40°C to +85°C)
V_{CC} = 5V ±10%

Parameter/Order Number	Access Time (ns)
NM27C128 QE, NE, VE 120	120
NM27C128 QE, NE, VE 150	150
NM27C128 QE, NE, VE 200	200

Note: Surface mount PLCC package available for commercial and extended temperature ranges only.

Military Temp. Range (−55°C to +125°C)
V_{CC} = 5V ±10%

Parameter/Order Number	Access Time (ns)
NM27C128 QM120	120
NM27C128 QM150	150

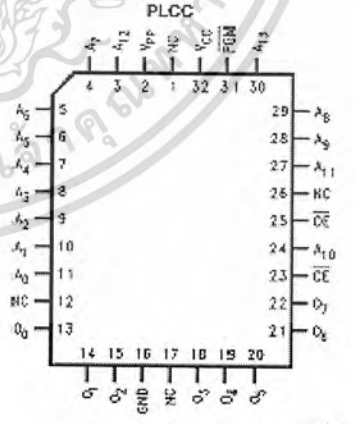
Package Types: NM27C128 Q, N, V XXX
Q = Quartz-Windowed Ceramic DIP
N = Plastic OTP DIP
V = Surface-Mount PLCC

- All packages conform to the JEDEC standard.
- All versions are guaranteed to function for slower speeds.

Pin Names

Symbol	Description
A0–A13	Addresses
$\overline{CE}$	Chip Enable
$\overline{OE}$	Output Enable
O0–O7	Outputs
$\overline{PGM}$	Program
NC	No Connect

PLCC

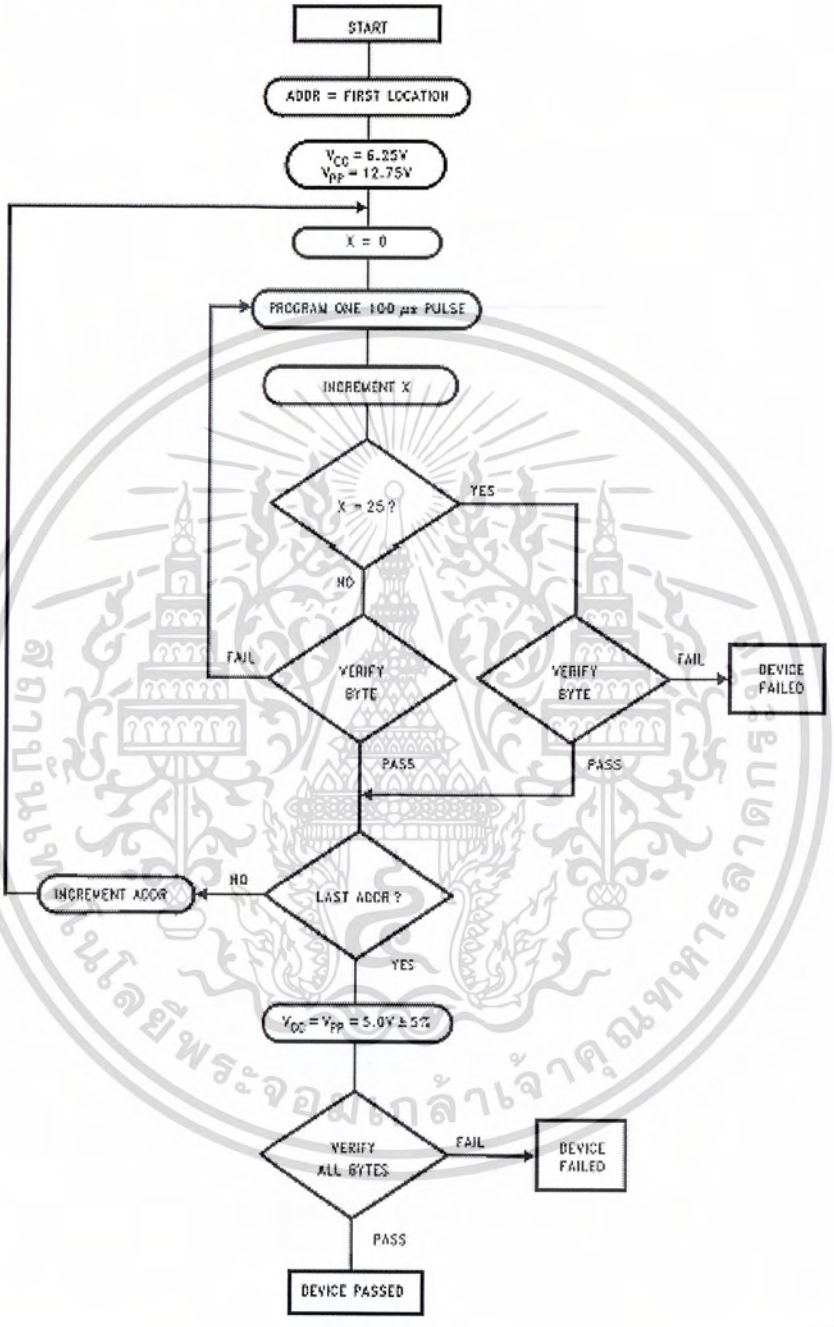


Top

TL/D/11129–3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Fast Programming Algorithm Flow Chart (Note 4)



TL/D/11329-4

FIGURE 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

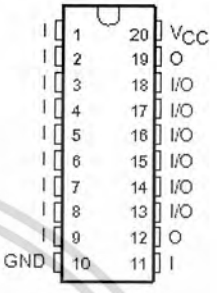
TIBPAL16L8-25C, TIBPAL16R4-25C, TIBPAL16R6-25C, TIBPAL16R8-25C
TIBPAL16L8-30M, TIBPAL16R4-30M, TIBPAL16R6-30M, TIBPAL16R8-30M
LOW-POWER HIGH-PERFORMANCE *IMPACT*™ *PAL*® CIRCUITS

SRPS020 – D3337, FEBRUARY 1984 – REVISED MARCH 1992

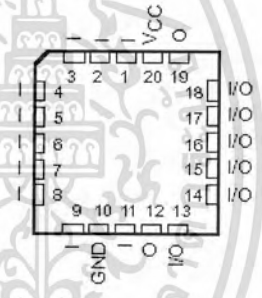
- High-Performance Operation:
  Propagation Delay
  C Suffix . . . 25 ns Max
  M Suffix . . . 30 ns Max
- Functionally Equivalent, but Faster than PAL16L8A, PAL16R4A, PAL16R6A, and PAL16R8A
- Power-Up Clear on Registered Devices (All Register Outputs are Set High, but Voltage Levels at the Output Pins Go Low)
- Package Options Include Both Plastic and Ceramic Chip Carriers in Addition to Plastic and Ceramic DIPs
- Dependable Texas Instruments Quality and Reliability

DEVICE	I INPUTS	3-STATE O OUTPUTS	REGISTERED Q OUTPUTS	I/O PORTS
PAL16L8	10	2	0	6
PAL16R4	8	0	4 (3-state buffers)	4
PAL16R6	8	0	6 (3-state buffers)	2
PAL16R8	8	0	8 (3-state buffers)	0

TIBPAL16L8'
C SUFFIX . . . J OR N PACKAGE
M SUFFIX . . . J OR W PACKAGE
(TOP VIEW)



TIBPAL16L8'
C SUFFIX . . . FN PACKAGE
M SUFFIX . . . FK PACKAGE
(TOP VIEW)



description

These programmable array logic devices feature high speed and functional equivalency when compared with currently available devices. These IMPACT™ circuits combine the latest Advanced Low-Power Schottky technology with proven titanium-tungsten fuses to provide reliable, high-performance substitutes for conventional TTL logic. Their easy programmability allows for quick design of custom functions and typically results in a more compact circuit board. In addition, chip carriers are available for futher reduction in board space.

The TIBPAL16' C series is characterized from 0°C to 75°C. The TIBPAL16' M series is characterized for operation over the full military temperature range of –55°C to 125°C.

These devices are covered by U.S. Patent 4,410,987.
IMPACT is a trademark of Texas Instruments Incorporated.
PAL is a registered trademark of Advanced Micro Devices Inc.

PRODUCTION DATA information is current as of publication date. Products conform to specifications per the terms of Texas Instruments standard warranty. Production processing does not necessarily include testing of all parameters.

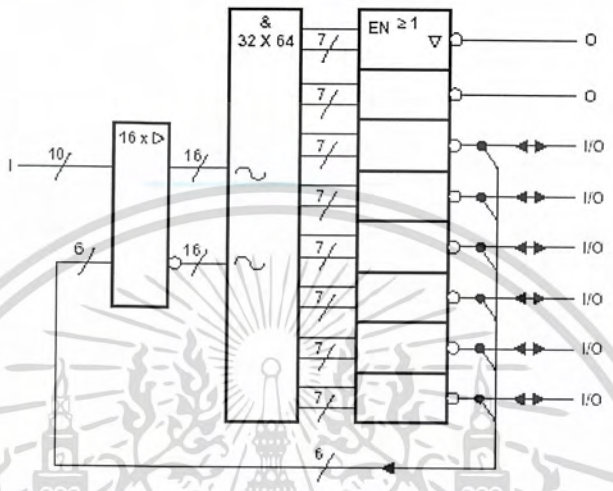
Copyright © 1992, Texas Instruments Incorporated

TEXAS INSTRUMENTS
POST OFFICE BOX 655303 • DALLAS, TEXAS 75265

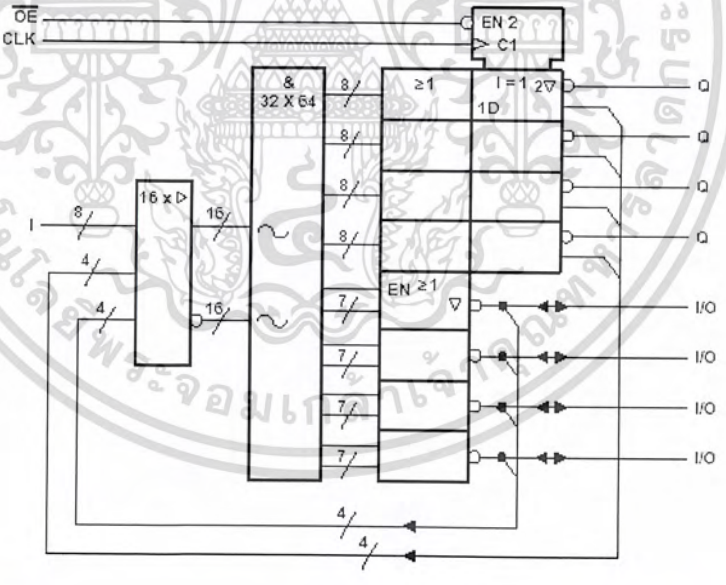
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

functional block diagrams (positive logic)

TIBPAL16L8'



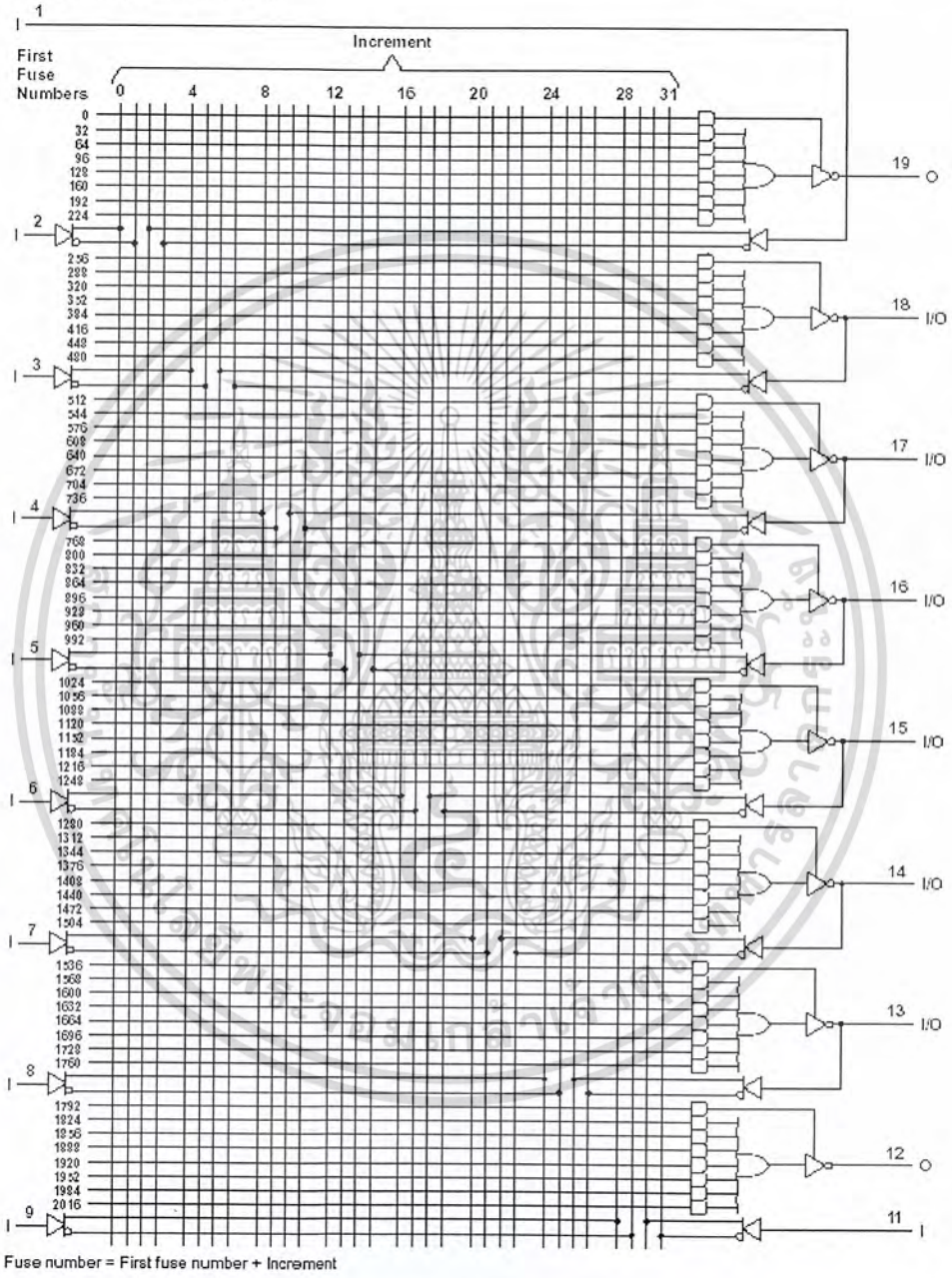
TIBPAL16R4'



denotes fused inputs

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

logic diagram (positive logic)



Fuse number = First fuse number + Increment

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บรรณานุกรม

ไกรวุฒิ โรจน์ประเสริฐกุล, (ผู้เรียบเรียง). **เข้าใจ/สร้าง/เล่น ไมโครโปรเซสเซอร์**. เล่ม 2 กรุงเทพฯ : ซีเอ็ดยูเคชั่น. 2539

ยืน ภู่วรวรรณ และคณะ. **ไมโครโปรเซสเซอร์-ไมโครคอมพิวเตอร์**. พิมพ์ครั้งที่ 8. กรุงเทพฯ : ซีเอ็ดยูเคชั่น. 2532

วิบูลย์ ชื่นแขก. **ไมโครโปรเซสเซอร์**. พิมพ์ครั้งที่ 2. กรุงเทพฯ : สถาบันเทคโนโลยีพระจอมเกล้าพระนครเหนือ. 2532

อรรณพ เรืองยศจันทนา และคณะ. ชุดสาธิตสถาปัตยกรรมภายใน CPU. ปริญญานิพนธ์ครุศาสตร์อุตสาหกรรมบัณฑิต สาขาวิชาเทคโนโลยีการวัดคุมทางอุตสาหกรรม, สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง. 2544

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ประวัติผู้แต่ง

ชื่อผู้ทำปริญญานิพนธ์	นายจตุพล เฮงเจริญ
วันเดือนปีเกิด	8 ธันวาคม 2523
สถานที่เกิด	จังหวัดปราจีนบุรี
ภูมิลำเนาเดิม	53 ถนนปราจีนอนุสรณ์ ตำบลหน้าเมือง อำเภอเมือง จังหวัดปราจีนบุรี 25000
ที่อยู่ปัจจุบัน	774/11 ถนนปราจีนอนุสรณ์ ตำบลหน้าเมือง อำเภอเมือง จังหวัดปราจีนบุรี 25000
โทรศัพท์	0-9672-7054
ประวัติการศึกษา	
ประถมศึกษา	โรงเรียนอนุบาลปราจีนบุรี
มัธยมศึกษาตอนต้น	โรงเรียนปราจิณราษฎรบำรุง
ประกาศนียบัตรวิชาชีพ (ปวช.)	วิทยาลัยเทคนิคปราจีนบุรี
ประกาศนียบัตรวิชาชีพชั้นสูง (ปวส.)	วิทยาลัยเทคนิคปราจีนบุรี
ปริญญาตรี	สาขาวิชาอิเล็กทรอนิกส์และคอมพิวเตอร์ ภาควิชาครุศาสตร์วิศวกรรม คณะครุศาสตร์อุตสาหกรรม
คติพจน์	ชีวิตอิสระที่ตั้งอยู่บนความดี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ประวัติผู้แต่ง

ชื่อผู้ทำปริญญานิพนธ์	นายนที ยงยุทธ
วันเดือนปีเกิด	14 กุมภาพันธ์ 2524
สถานที่เกิด	จังหวัดลพบุรี
ภูมิลำเนาเดิม	33 หมู่ 3 ตำบลทุ่งท่าช้าง อำเภอสระโบสถ์ จังหวัดลพบุรี 15240
ที่อยู่ปัจจุบัน	33 หมู่ 3 ตำบลทุ่งท่าช้าง อำเภอสระโบสถ์ จังหวัดลพบุรี 15240
โทรศัพท์	0-6612-1842
ประวัติการศึกษา	
ประถมศึกษา	โรงเรียนบ้านทุ่งท่าช้าง
มัธยมศึกษาตอนต้น	โรงเรียนสระโบสถ์วิทยาคาร
ประกาศนียบัตรวิชาชีพ (ปวช.)	วิทยาลัยการอาชีพโคกสำโรง
ประกาศนียบัตรวิชาชีพชั้นสูง (ปวส.)	วิทยาลัยเทคนิคลพบุรี
ปริญญาตรี	สาขาวิชาอิเล็กทรอนิกส์และคอมพิวเตอร์ ภาควิชาครุศาสตร์วิศวกรรม คณะครุศาสตร์อุตสาหกรรม
คติพจน์	คนที่รู้จักจุดหมายปลายทางของตนเอง คือคนที่เดินทางไปได้ไกลที่สุด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ประวัติผู้แต่ง

ชื่อผู้ทำปริญญานิพนธ์	นายสิทธิชัย มิ่งขวัญตา
วันเดือนปีเกิด	14 เมษายน 2524
สถานที่เกิด	จังหวัดชลบุรี
ภูมิลำเนาเดิม	520/4 หมู่ 3 ตำบลหนองขาม อำเภอศรีราชา จังหวัดชลบุรี 20110
ที่อยู่ปัจจุบัน	520/4 หมู่ 3 ตำบลหนองขาม อำเภอศรีราชา จังหวัดชลบุรี 20110
โทรศัพท์	0-1869-3348

ประวัติการศึกษา

ประถมศึกษา	โรงเรียนเมรี่อิมมาคูเลตคอนแวนต์(อ.1-ป4)
	โรงเรียนดาราสมุทร(ป.5-ป.6)
มัธยมศึกษาตอนต้น	โรงเรียนดาราสมุทร
ประกาศนียบัตรวิชาชีพ (ปวช.)	วิทยาลัยเทคนิคสัตหีบ
ประกาศนียบัตรวิชาชีพชั้นสูง (ปวส.)	สถาบันเทคโนโลยีราชมงคลวิทยาเขตพระนครเหนือ
ปริญญาตรี	สาขาวิชาอิเล็กทรอนิกส์และคอมพิวเตอร์
	ภาควิชาครุศาสตร์วิศวกรรม
	คณะครุศาสตร์อุตสาหกรรม
คติพจน์	คนที่ไม่เคยคิดข้ามคลองเล็กคลองน้อย ย่อมไม่มีวันได้ข้ามน้ำข้ามทะเล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ประวัติผู้แต่ง

ชื่อผู้ทำปริญญานิพนธ์	นายสุฏิพงษ์ จันทร์เป็งผัด
วันเดือนปีเกิด	21 สิงหาคม 2523
สถานที่เกิด	จังหวัดเชียงราย
ภูมิลำเนาเดิม	149 หมู่ 3 ตำบลสันติสุข อำเภอพาน จังหวัดเชียงราย 57120
ที่อยู่ปัจจุบัน	149 หมู่ 3 ตำบลสันติสุข อำเภอพาน จังหวัดเชียงราย 57120
โทรศัพท์	0-1429-0878
ประวัติการศึกษา	
ประถมศึกษา	โรงเรียนบ้านไร่อ้อย
มัธยมศึกษาตอนต้น	โรงเรียนพานพิเศษพิทยา
ประกาศนียบัตรวิชาชีพ (ปวช.)	วิทยาลัยเทคนิคเชียงราย
ประกาศนียบัตรวิชาชีพชั้นสูง (ปวส.)	วิทยาลัยเทคนิคเชียงราย
ปริญญาตรี	สาขาวิชาอิเล็กทรอนิกส์และคอมพิวเตอร์ ภาควิชาครุศาสตร์วิศวกรรม คณะครุศาสตร์อุตสาหกรรม
คติพจน์	ไม่มีทางลัดเพื่อไปสู่เป้าหมาย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้