สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

QPSK มอดูเลชั่น และ ดีมอดูเลชั่น

QPSK MODULATION AND DEMODULATION

T046493

นายปรีชา ธรรมพิทักษ์

นายวุฒิชัย อัชชสวัสดิ์

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาอุตสาหกรรมศาสตรบัณฑิต

สาขาวิชาเทคโนโลยีโทรคมนาคม ภาควิชาวิศวกรรมสารสนเทศ

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2545

เลขหมู่.....
เลขทะเบียน 46493
วัน, เดือน, ปี - 2 มิ.ย. 2546

.b.....
.i.....

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

QPSK มอดูเลชั่น และ ดีมอดูเลชั่น

QPSK MODULATION AND DEMODULATION

จัดทำโดย

นายปรีชา ธรรมพิทักษ์ รหัสประจำตัว 43015878

นายวุฒิชัย อัชชสวัสดิ์ รหัสประจำตัว 43015889

อาจารย์ที่ปรึกษา

รศ.ชวลิต เบญจางคประเสริฐ์

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาอุตสาหกรรมศาสตรบัณฑิต

สาขาวิชาเทคโนโลยีโทรคมนาคม ภาควิชาวิศวกรรมสารสนเทศ

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2545

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

QPSK MODULATION AND DEMODULATION

Mr. PREECHA THAMPITAK ID 43015878

Mr. WUTICHAI ATCHASAWAT ID 43015889

PROJECT SUBMITTED IN PARTIAL FULFILLMENT OF THE REQUIREMENT FOR

BACHELOR OF TELECOMMUNICATION TECHNOLOGY

DEPARTMENT OF INFORMATION ENGINEERING

FACULTY OF ENGINEERING

KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG

2002

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อวิทยานิพนธ์	QPSK มอดูเลชั่นและดีมอดูเลชั่น
นักศึกษา	นายปรีชา ธรรมพิทักษ์
	นายวุฒิชัย อัชชสวัสดิ์
อาจารย์ผู้ควบคุม	รศ. ชวลิต เบญจางคประเสริฐ
ระดับการศึกษา	ปริญญาอุตสาหกรรมศาสตรบัณฑิต
ภาควิชา	วิศวกรรมสารสนเทศ
ปีการศึกษา	2545

คณะวิศวกรรมศาสตร์สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง อนุมัติให้ปริญญานิพนธ์ฉบับนี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรอุตสาหกรรมศาสตรบัณฑิต

.....

(รศ.ชวลิต เบญจางคประเสริฐ)

อาจารย์ผู้ควบคุมวิทยานิพนธ์

ลิขสิทธิ์ของคณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อวิทยานิพนธ์	QPSK มอดูเลชั่นและดีมอดูเลชั่น
นักศึกษา	นายปรีชา ธรรมพิทักษ์
	นายวุฒิชัย อัชชสวัสดิ์
อาจารย์ผู้ควบคุม	รศ. ชวลิต เบญจางคประเสริฐ
ระดับการศึกษา	ปริญญาอุตสาหกรรมศาสตรบัณฑิต
ภาควิชา	วิศวกรรมสารสนเทศ
ปีการศึกษา	2545

บทคัดย่อ

โครงงานนี้เป็นการนำเสนอ การทดลองส่งสัญญาณดิจิตอลด้วยความเร็ว 64 kbps ไปตามสายโคแอคเชียลโดยใช้หลักการของการเข้ารหัสแบบ QPSK ซึ่งเป็นรูปแบบหนึ่งของการส่งสัญญาณดิจิตอล โดยข้อมูลจะถูกบรรจุอยู่ในเฟสของสัญญาณพาหะ

ในโครงงานนี้จะใช้วงจรกำเนิดสัญญาณพาหะ 512 kHz และสัญญาณนำร่อง 480 kHz และใช้วงจรแยกสัญญาณดิจิตอล นำไปแปลงเป็นสัญญาณอนาล็อกก่อนเข้าบาลานซ์มอดดูเลเตอร์ ดังนั้นที่วงจรบาลานซ์มอดดูเลเตอร์จะทำการผสมสัญญาณพาหะกับข้อมูล ซึ่งจะเป็นการนำสัญญาณที่จะส่งอยู่ในรูปเฟสของสัญญาณพาหะ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Thesis. QPSK Modulation and Demodulation

Student. Mr. Preecha Thampitak

Mr. Wutichai Atchasawat

Advisor. Assoc.Prof. Chawalit Benjangkaprasert

Department. Information Engineering

Academic Year. 2002

ABSTRACT

This project presents a digital transmission at bit rate 64 Kbps in coaxial cable. This work uses Quadrature Phase shift Keying (QPSK) is in a digital modulation from where the digital information is contained phase of the transmitted carrier.

In this project uses the 512 kHz oscillating carrier signal and 480 kHz pilot signal circuits with controlled by using real time clock 64 kHz. And uses digital data separate circuit to digital to analog converter before presenting to either balanced modulator. Also, at the balanced modulator includes the digital signal conversion with carrier. The results indicate the in-phase of the transmitted carrier.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ปริญญานิพนธ์ฉบับนี้สำเร็จลุล่วงได้ด้วยดีเป็นผลเนื่องมาจากความมานะอดทน และความช่วยเหลือเกื้อกูลกันของเพื่อน ๆ ทุกท่านที่มีส่วนร่วม ตลอดระยะเวลาที่ทำโครงงานนี้ โดยได้รับการสนับสนุนจาก รศ.ชวลิต เบญจางคประเสริฐ และอาจารย์ทุกท่านในภาควิชาวิศวกรรมศาสตร์สารสนเทศ ที่ได้ให้ความรู้ คำแนะนำและรายละเอียดเกี่ยวกับโครงงานนี้ จึงขอกราบขอบพระคุณไว้ ณ ที่นี้ด้วย

สุดท้ายนี้ขอกราบขอบพระคุณบิดา มารดา ที่ได้ให้การสนับสนุนในด้านการศึกษา อีกทั้งสิ่ง ดีๆทุกๆอย่างที่มีให้กันมาโดยตลอด รวมทั้งญาติพี่น้องทุกท่านที่คอยเป็นขวัญและกำลังใจด้วยดีเสมอมา

ผู้จัดทำ

นายปรีชา ธรรมพิทักษ์

นายวุฒิชัย อัชชสวัสดิ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

		หน้า
บทคัดย่อ(ภาษาไทย)		I
บทคัดย่อ (ภาษาอังกฤษ)		II
กิตติกรรมประกาศ		III
สารบัญ		IV
สารบัญรูปภาพ		VI
สารบัญตาราง		VIII
บทที่1	บทนำ	1
บทที่2	ทฤษฎีที่เกี่ยวข้อง	2
	ทฤษฎี QPSK	4
	ประสิทธิภาพของแถบความถี่	6
	วงจรบาลานซ์มอดดูเลเตอร์	9
	Active filter	10
	เฟสล็อคลูป	14
บทที่3	การออกแบบวงจรทางภาคส่ง	17
	ชุดกำเนิดข้อมูลขนาดความเร็ว 64 kbps	18
	วงจรแยกสัญญาณดิจิตอล	18
	วงจรแปลงบิทเป็น 2 ระดับ	19
	วงจรบาลานซ์มอดดูเลเตอร์	21
	วงจรกรองช่วงความถี่	22
	Band-pass filter	23
	วงจรเลื่อนเฟส 90 องศา	28
	วงจรกำเนิดสัญญาณพาห์ 512 kHz	29
	วงจรกำเนิดสัญญาณนำร่อง 480 kHz	30
	วงจรรวมสัญญาณ	31

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ (ต่อ)

		หน้า
บทที่4	การออกแบบวงจรและทดลองทางด้านภาครับ	33
	วงจรกรองความถี่ช่วง 496-528 kHz	34
	วงจรกรองความถี่ช่วง 480 kHz	35
	วงจรเฟสล็อคลูป	35
	วงจรเลื่อนเฟส90องศา	37
	วงจรบาลานซ์ดีมอดูเลเตอร์	37
	วงจรกรองความถี่ต่ำ	38
	วงจรแปลงสัญญาณ 2 ระดับเป็น 1 บิท	39
	วงจรรวมสัญญาณดิจิตอล	40
บทที่5	ผลการทดลอง	42
	เครื่องส่ง	42
	วงจรกำเนิดข้อมูลไบนารี NRZ ความเร็วในการส่ง 64 kHz	42
	วงจรแยกบิทสัญญาณข้อมูล	43
	วงจรกำเนิดสัญญาณพาห์ความถี่ 512 kHz	44
	วงจรกำเนิดสัญญาณนำร่อง 480 kHz	45
	วงจรกำเนิดสัญญาณเลื่อนเฟส 90 องศา	46
	วงจรมอดูเลเตอร์แบบแยกคลื่นพาห์	47
	วงจรรวมสัญญาณ	49
บทที่6	บทสรุปและข้อเสนอแนะ	58
	ภาคผนวก	
	หนังสืออ้างอิง	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูปภาพ

หน้า

รูปที่2.1บล็อกไดอะแกรม QPSK 3

รูปที่2.2 QPSK มอดูเลเตอร์ 4

(a)ตารางการทำงาน (b) เฟสเซอร์ไดอะแกรม (c) คอนเทลเลชั่นไดอะแกรม

รูปที่2.3 บล็อกไดอะแกรมเครื่องรับ QPSK 5

รูปที่2.4วงจรบาลานซ์มอดูเลเตอร์ 8

รูปที่ 2.5 Frequency Response ของวงจร Filter 12

รูปที่ 2.6 บล็อกไดอะแกรมของวงจร เฟสล็อคลูป 14

รูปที่ 2.7 คุณลักษณะระหว่างความถี่กับ Error Voltage ของเฟสล็อคลูป 15

รูปที่ 3.1 บล็อกไดอะแกรมที่ใช้ในการออกแบบวงจรภาคส่ง 16

รูปที่ 3.2 วงจรกำเนิดสัญญาณข้อมูล 17

รูปที่ 3.3 วงจรแยกสัญญาณดิจิตอล 18

รูปที่ 3.4 วงจรแปลงสัญญาณ 1 บิท เป็น 2 ระดับ 19

รูปที่ 3.5 วงจรบาลานซ์มอดดูเลเตอร์ 20

รูปที่ 3.6 แสดงวงจร wide band pass filter และ response 23

รูปที่ 3.7 วงจร Positivc Fccdback Band – Pass 23

รูปที่ 3.8 กราฟแสดงความสัมพันธ์ ระหว่าง K parameter เทียบกับความถี่ 24

รูปที่ 3.9 กราฟแสดงความสัมพันธ์ระหว่างค่าความต้านทานเทียบกับ K parameter 25

รูปที่ 3.10 วงจร Phasc Shift 90 องศา 25

รูปที่ 3.11 วงจรกำเนิดสัญญาณพาหะ 512 kHz 27

รูปที่ 3.12 วงจรกำเนิดสัญญาณนำร่อง 480 kHz 28

รูปที่ 3.13 วงจร Summing Amplifier 29

รูปที่ 4.1 Block Diagram ทางด้านภาครับ 30

รูปที่ 4.2 วงจรกรองความถี่ช่วง 496-528 kHz 31

รูปที่ 4.3 วงจรเฟสล็อกลูปที่ 1 กู้สัญญาณนาฬิกา 64 kHz 32

รูปที่ 4.4 วงจรเฟสล็อกลูปที่ 2 กู้สัญญาณพาหะ 512 kHz 33

รูปที่ 4.5 วงจรเลื่อนเฟส 90 องศา 34

รูปที่ 4.6 วงจรบาลานซ์ดีมอดูเลเตอร์ 34

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูปภาพ(ต่อ)

	หน้า
รูปที่ 4.7 วงจรกรองความถี่ต่ำ	35
รูปที่ 4.8 วงจร Comparator	36
รูปที่ 4.9 วงจรรวมสัญญาณดิจิตอล	37
รูปที่ 5.1.1 สัญญาณนาฬิกาที่สร้างขึ้น	38
รูปที่ 5.1.2 สัญญาณนาฬิกาเปรียบเทียบกับสัญญาณข้อมูล 10110100	39
รูปที่ 5.1.3 สัญญาณข้อมูลที่ถูกแยกเป็นช่อง I ช่อง Q เปรียบเทียบกับสัญญาณนาฬิกา	40
รูปที่ 5.1.4 สัญญาณคลื่นพาห์ 512 kHz	41
รูปที่ 5.1.5 สัญญาณจากวงจรกำเนิดสัญญาณนาฬิกาเปรียบเทียบกับสัญญาณนำร่อง	42
รูปที่5.1.6 สัญญาณคลื่นพาห์ที่ได้จากการเลื่อนเฟส 90 องศา	43
รูปที่5.1.7 (ก) เปรียบเทียบสัญญาณ I กับ I'	44
รูปที่ 5.1.7 (ข) เปรียบเทียบสัญญาณ Q กับ Q'	45
รูปที่ 5.1.7 (ค) เปรียบเทียบสัญญาณ I channel และ Q channel	46
รูปที่ 5.1.8 สัญญาณ QPSK	47
รูปที่ 5.1.9 เปรียบเทียบสัญญาณ QPSK กับสัญญาณพาหะ 512 kHz	48
รูปที่ 5.2.0 เปรียบเทียบสัญญาณ QPSK กับ สัญญาณนาฬิกา 64 kHz	49
รูปที่ 5.2.1 แสดงรูปของสัญญาณนาฬิกาที่กู้ได้เทียบกับสัญญาณกรองความถี่ 480kHz	50
รูปที่ 5.2.2 สัญญาณนาฬิกาที่กู้ได้ แล้วผ่านวงจรเลื่อนเฟสไป 90 องศา	51
รูปที่ 5.2.3 (ก) สัญญาณเอาท์พุทที่ได้จากวงจรดีมอดูเลต เปรียบเทียบกับสัญญาณช่อง I	52
รูปที่5.2.3 (ข) สัญญาณเอาท์พุทที่ได้จากวงจรดีมอดูเลต เปรียบเทียบกับสัญญาณ ช่อง Q	53
รูปที่ 5.2.4(ก) สัญญาณที่ผ่านวงจรเปรียบเทียบในช่อง I เปรียบเทียบกับทางภาคส่ง	54
รูปที่ 5.2.4 (ข) สัญญาณที่ผ่านวงจรเปรียบเทียบสัญญาณในช่อง Qเปรียบเทียบกับทางภาคส่ง	55
รูปที่ 5.2.4 (ค) สัญญาณช่อง I และ ช่อง Q เปรียบเทียบกับสัญญาณนาฬิกา	56
รูปที่ 5.2.5 แสดงการเปรียบเทียบสัญญาณข้อมูลทางภาครับเทียบกับทางด้านส่ง	57

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

หน้า

ตารางที่ 2.1 แถบความถี่ที่น้อยที่สุดของรูปแบบการมอดูเลทต่างๆ 7

ตารางที่ 2.2 สรุปข้อแตกต่างของ FSK , PSK และ QAM 8

ตารางที่ 3.1 การแปลงบิทเป็น 2 ระดับ 20

ตารางที่ 4.1 ระดับสัญญาณ 2 ระดับ 39

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1

บทนำ

ในโลกปัจจุบันการสื่อสารโทรคมนาคม สามารถแบ่งการสื่อสารออกเป็นระบบใหญ่ๆได้ 2 ระบบ คือ

1.ระบบสื่อสาร แบบดิจิตอล (Digital Communication System)

2.ระบบสื่อสาร แบบอนาลอก (Analog Communication System)

แต่ปัจจุบันนี้ การสื่อสารแบบดิจิตอลได้เข้ามามีบทบาทเนื่องจากการสื่อสาร แบบอนาลอกประสบปัญหาอยู่หลายประการ อาทิเช่น ปัญหาของสัญญาณที่ผิดพลาดที่สำคัญยิ่ง มีภูมิคุ้มกันสัญญาณรบกวน(noise)ต่ำ และด้วยเหตุผลต่างๆทำให้ระบบการสื่อสารแบบดิจิตอลในปัจจุบันและอนาคตมีบทบาทสำคัญยิ่ง เนื่องจากระบบการสื่อสารแบบดิจิตอลจะให้ความถูกต้องแม่นยำกว่า อีกทั้งมีความต้องการเพิ่มขึ้นอย่างมากทั้งทางคุณภาพและปริมาณในการใช้งานทั้งในการส่งสัญญาณหรือข้อมูลในระบบต่างๆ เช่น ระบบโทรศัพท์,ระบบสื่อสารผ่านดาวเทียมภาคพื้นดินหรือระบบสื่อสารดาวเทียมอวกาศ (Aeronuatical or Land Mobile Satellite System) เป็นต้น จำเป็นต้องใช้การสื่อสารแบบดิจิตอลที่แม่นยำเพื่อพัฒนาให้ทันกับความต้องการของตลาดการสื่อสารที่เป็นอยู่

รูปแบบการมอดดูเลทสัญญาณ ดิจิตอล มีหลายรูปแบบ เช่น FSK, PSK, BPSK, QPSK, 8PSK, QAM, 8QAM, 16QAM ฯลฯ แต่ในโครงงานนี้จะเลือกศึกษาระบบ QPSK (Quadrature Phase Shift Keying) ซึ่งการเปลี่ยนแปลงของคลื่นพาหะจะมีทางเฟสรวม 4 ตำแหน่งในหนึ่ง คาบเวลา

ความเป็นมา

ที่กล่าวมาแล้วว่าปัจจุบันนี้ ระบบการส่งสัญญาณดิจิตอลจะมีบทบาทสำคัญยิ่งต่อการสื่อสารแบบต่าง ๆ แต่ในการส่งสัญญาณดิจิตอลนั้น มีรูปแบบการมอดดูเลทหลายรูปแบบแต่เราจะศึกษาแบบ QPSK ซึ่งเป็นแนวทางในการศึกษาและค้นคว้าพื้นฐานในการศึกษาระบบส่งสัญญาณดิจิตอล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขอบเขตของโครงงาน

ในการทำโครงงานครั้งนี้มีการออกแบบและทดลองวงจร 2 ส่วน คือ

ภาคส่ง (Transmitter)

1. วงจรแปลงจากอนุกรมเป็นขนาน (Serial to Parallel)
2. วงจรแปลงจากหนึ่งบิตเป็นสองระดับ (1 Bit to 2 Level)
3. วงจรเฟสล็อคลูป (Phase Lock Loop)
4. วงจรกรองความถี่ช่วงผ่าน (Band Pass Filter)
5. วงจรเลื่อนเฟส 90 องศา (Phase Shift 90 degree)
6. วงจรบาลานซ์มอดดูเลเตอร์ (Balance Modulator)
7. วงจรรวมสัญญาณ (Summing Amplifier)

ภาครับ (Receiver)

1. วงจรกรองความถี่ช่วงผ่าน (Band Pass Filter)
2. วงจรเฟสล็อคลูป (Phase Lock Loop)
3. วงจรกู้สัญญาณพาหะ (Carrier Recovery)
4. วงจรกู้สัญญาณนาฬิกา (Clock Recovery)
5. วงจรเลื่อนเฟส 90 องศา (Phase Shift 90 degree)
6. วงจรบาลานซ์มอดดูเลเตอร์ (Balance Modulator)
7. วงจรกรองความถี่ต่ำผ่าน (Low Pass Filter)
8. วงจรแปลงจากสองระดับเป็นหนึ่งบิท (2 Level to 1 bit)
9. วงจรแปลงจากขนานเป็นอนุกรม (Parallel to Serial)

ประโยชน์ที่ได้รับ

สามารถเข้าใจรายละเอียดและโครงสร้างของระบบ QPSK อีกทั้งรายละเอียดและส่วนประกอบของโครงงานเช่น วงจรแยกบิท – รวมบิท วงจรกรองความถี่วงจรบาลานซ์มอดดูเลเตอร์ และเข้าใจการทำงานรวมถึงอุปสรรค ปัญหาต่าง ๆ การประกอบ วงจร

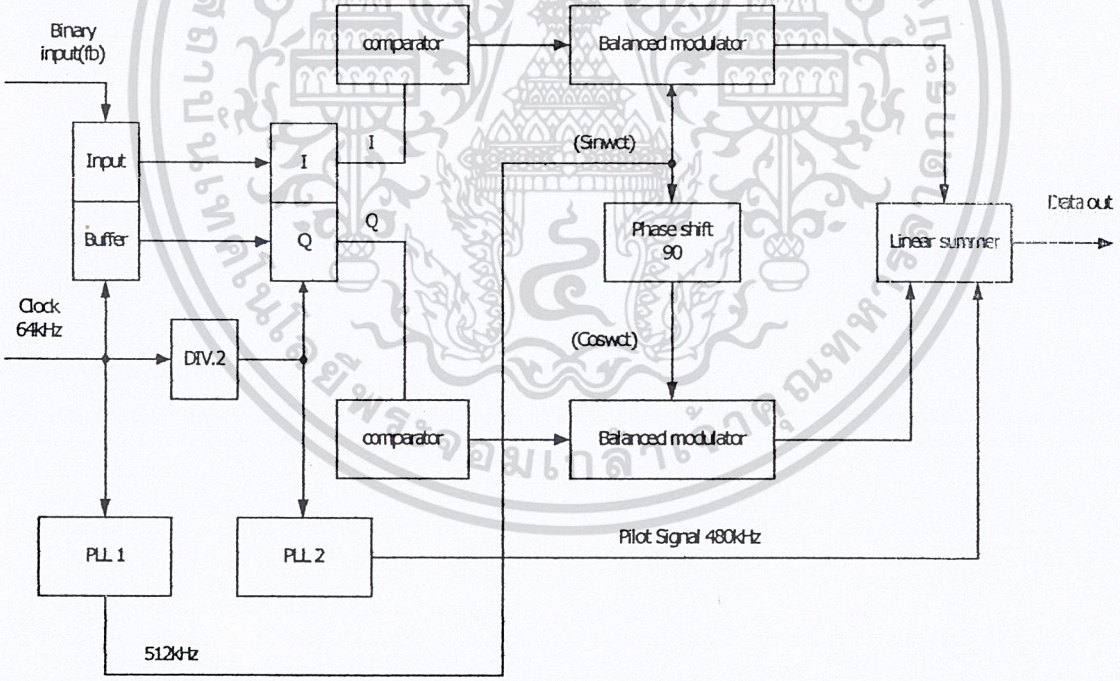
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2

ทฤษฎีที่เกี่ยวข้อง

"Quadrture Phase Shift Keying (QPSK)"

ในวิธีการ QPSK สัญญาณ 2 บิทจะถูกส่งไปพร้อม ๆ กัน โดยลำดับสัญญาณดิจิตอลที่จะส่งถูกแบ่งเป็นบล็อค 2 บิท และแต่ละรหัสบล็อคประกอบด้วย 2 บิทถูกส่งไปพร้อม ๆ กันในกรณีนี้จะมีการรวมรหัส 4 คู่ด้วยกันคือ 00, 01, 10 และ 11 คู่รหัสทั้ง 4 คู่นี้จะเทียบกับ initical phase 4 เฟสของสัญญาณ QPSK จะเห็นว่าถ้าเปรียบเทียบรหัสสองเฟสข้างเคียง หนึ่งในสองบิทจะเหมือนกันในทุก ๆ กรณีดังนั้นโดยการใช้ Gray code จะมีเพียงบิทเดียวที่เกิดผิดพลาดแม้ว่าสัญญาณที่รับได้ถูกดีมอดดูเลทผิดไปเป็นเฟสข้างเคียง



รูปที่ 2.1 เป็นบล็อคไดอะแกรม QPSK มอดดูเลชั่นจากบล็อคไดอะแกรมประกอบด้วยวงจรมอดดูเลทชั้น 2 binary PSK คู่กันสัญญาณดิจิตอลที่จะส่งถูกแยกออกทางช่องสัญญาณ I และ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ช่องสัญญาณ Q โดยตัวเปลี่ยนอนุกรมเป็นขนาน แต่ละด้านถูกมอดดูเลทแบบ BPSK (Binary Phase Shift Keying) โดยบาลานซ์มอดดูเลเตอร์ คลื่นพาหะที่ใช้ในการมอดดูเลทของช่องสัญญาณ I จะใช้จาก output ของออสซิลเลเตอร์โดยตรง ส่วนคลื่นพาหะที่ใช้สำหรับช่องสัญญาณ Q เฟสจะถูก shift ไป $\pi/2$ หลังจากผ่าน $\pi/2$ phase Shifter ดังในสัญญาณมอดดูเลท BPSK ทั้งสองนี้ได้รับโดยการใช้คลื่นพาหะที่ต่างเฟสกัน $\pi/2$ และถูกรวม กันโดยวงจรรวมก็จะได้สัญญาณ QPSK ออกมา

Binary Input		Gray Code		QPSK OUTPUT Phase
Q	I	Q	I	
0	0	0	0	-135°
0	1	0	1	-45°
1	0	1	1	+45°
1	1	1	0	+135°

(a)

รูปที่ 2.2 QPSK มอดูเลเตอร์ (a) ตารางการทำงาน (b) เฟสเซอร์ไดอะแกรม
(c)คอนเทลเลชั่นไดอะแกรม

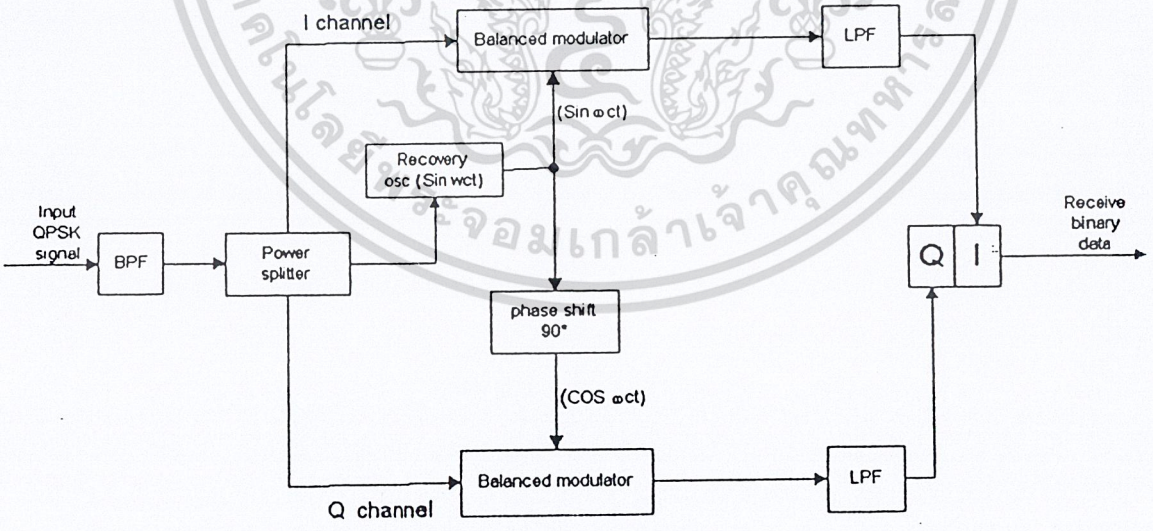
เราลองมาพิจารณาความสัมพันธ์ระหว่างคลื่นพาหะที่ใช้ในช่องสัญญาณ I และ Q และสัญญาณ BPSK สำหรับรหัส 0 และ 1 โดยใช้เวคเตอร์ไดอะแกรม รูป 2.2 (b) ถ้าเฟสเริ่มแรกของสัญญาณเอาท์พุทจากออสซิลเตอร์กำหนดเป็นตัวอ้างอิง คลื่นพาหะที่ใช้ในช่องสัญญาณ I จะอยู่ในเฟสเดียวกันกับสัญญาณอ้างอิงส่วนคลื่นพาหะของช่องสัญญาณ Q ได้จากการ Shift เฟส $\pi/2$ จากสัญญาณเอาท์พุทของออสซิลเลเตอร์ สัญญาณที่มอดดูเลทแบบ BPSK ในช่องสัญญาณ I และ Q

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จะอยู่ในเฟสเดียวกันกับคลื่นพาหะสำหรับรหัส 1 แต่จะต่างเฟสกับคลื่นพาหะเท่ากับ π สำหรับรหัส 0

โดยการรวมสัญญาณ BPSK ที่ได้รับการมอดดูเลทในช่องสัญญาณ I และ ช่องสัญญาณ Q เราจะได้สัญญาณ QPSK เมื่อรหัสในช่องสัญญาณ Q เป็น "1" และรหัสในช่องสัญญาณ I เป็นฯ "0" เวคเตอร์ผลลัพธ์จะแสดงดังในรูป เวคเตอร์ผลลัพธ์นี้แสดงสัญญาณ QPSK สำหรับ 10 ซึ่งสัญญาณ QPSK นี้จะต่างเฟส +135 ° กับคลื่นพาหะของช่องสัญญาณ I สัญญาณ QPSK สำหรับรหัส 00 จะต่างเฟสเท่ากับ –135 ° สัญญาณสำหรับรหัส 01 จะต่างเฟส –45 และสัญญาณสำหรับรหัส 11 จะต่างเฟส +45 กับคลื่นพาหะของช่องสัญญาณ I รหัสสัญญาณเหล่านี้เรียกว่า "Gray Code"

เมื่อเปรียบเทียบรหัสของ 2 เฟสที่อยู่ใกล้เคียงกัน จะเห็นว่า หนึ่งในสองบทจะเหมือนกัน ตอนนี้เรามาพิจารณาหลักการของการดีมอดดูเลทสัญญาณ QPSK ดังรูป 2.3 โดย coherent detection สัญญาณ QPSK ที่ได้รับซึ่งสัญญาณ QPSK นี้สามารถพิจารณาได้ว่าเป็นสัญญาณผลลัพธ์ที่ได้โดยการรวมสัญญาณ BPSK ที่ตั้งฉากกันคู่หนึ่งนั่นคือ การดีมอดดูเลทสัญญาณ QPSK ก็เท่ากับการดีมอดดูเลทสัญญาณ BPSK สองสัญญาณดังนั้นสัญญาณ QPSK ที่ได้รับคือ การดีเทคแบบ cohcrcnt โดยการใช้คลื่นพาหะอ้างอิง



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 2.3 บล็อกไดอะแกรมเครื่องรับ QPSK

รูป 2.3 เป็นวงจรดีมอดดูเลทสำหรับสัญญาณ QPSK โดยการดีเทคแบบ coherent ซึ่งวงจรประกอบด้วยวงจรดีมอดดูเลทแบบ coherent คู่หนึ่งสำหรับสัญญาณ BPSK ที่ตั้งฉากกัน สัญญาณ QPSK ที่รับได้ถูกแบ่งออกเป็นขบวนสัญญาณ 2 ขบวน ซึ่งถูกดีเทคแบบ coherent แยกกัน คู่ของคลื่นพาหะอ้างอิงที่ตั้งฉากกันถูกป้อนเข้า และแยกเป็นช่องสัญญาณ I และ Q แต่ละช่องสัญญาณซึ่ง output จะผ่านวงจรกรองความถี่ต่ำ เพื่อตัดฮาร์โมนิคสูง ๆ ออก หลังจากนั้นก็ผ่านไปยังวงจรขนานเป็นอนุกรม ดังนั้นสัญญาณจะถูกดีมอดดูเลทแยกกันในช่องสัญญาณ I และ Q ขบวนสัญญาณที่ขนานกันนี้ถูกรวมเข้าด้วยกันที่ วงจรขนานเป็นอนุกรม เพื่อจักรูปแบบเรียงเป็นสัญญาณอนุกรมตามเดิม

ประสิทธิภาพของแถบความถี่

ประสิทธิภาพของแถบความถี่ (หรือความหนาแน่นของข้อมูล) ถูกใช้เปรียบเทียบการทำงานของเทคนิคการมอดดูเลทหนึ่งกับแบบอื่น ๆ สิ่งที่สำคัญคือ อัตราส่วนของบิทเรทในการสื่อสารกับแถบความถี่ที่น้อยที่สุดที่ต้องการ สำหรับการมอดดูเลทที่ต้องการความละเอียด ประสิทธิภาพของแถบความถี่แต่ละเฮิรตซ์เขียนสมการได้เป็น

$$\text{BW effciency} = \frac{\text{transmission rate (bps)}}{\text{Minimum bandwidth (Hz)}}$$

$$= \frac{\text{bit / second}}{\text{hert}}$$

$$= \frac{\text{bits / second}}{\text{cycles / second}}$$

$$= \frac{\text{bits}}{\text{cycle}}$$

การหาประสิทธิภาพของแถบความถี่สำหรับการมอดดูเลทแบบ BPSK , QPSK , 8PSK และ 16 QAM จากตารางเป็นการแสดงแถบความถี่ ที่น้อยที่สุดที่ใช้ส่งสัญญาณที่มีอัตราการส่ง 10 Mbps ด้วยการมอดดูเลทในรูปแบบต่าง ๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Modulation Technique	Minimun Bandwidth (MHz)
BPSK	10
QPSK	5
8PSK	3.33
16QAM	2.5

ตาราง 2.1 แถบความถี่ที่น้อยที่สุดของรูปแบบการมอดดูเลทต่างๆ

แทนค่าลงในสมการ จะได้ค่าประสิทธิภาพแถบความถี่ดังนี้

$$\textbf{BPSK ; BW efficiency} = \frac{10\ \text{Mbps}}{10\ \text{MHz}} = \frac{1\ \text{bps}}{\text{Hz}} = \frac{1\ \text{bit}}{\text{cycle}}$$

$$\textbf{QPSK ; Bw efficiency} = \frac{10\ \text{Mbps}}{5} = \frac{2\ \text{bps}}{\text{Hz}} = \frac{2\ \text{bit}}{\text{cycle}}$$

$$\textbf{8PSK ; Bw efficiency} = \frac{10\ \text{Mbps}}{3.33} = \frac{3\ \text{bps}}{\text{Hz}} = \frac{3\ \text{bit}}{\text{cycle}}$$

$$\textbf{16QAM ; Bw efficiency} = \frac{10\ \text{Mbps}}{2.5} = \frac{4\ \text{bps}}{\text{Hz}} = \frac{4\ \text{bit}}{\text{cycle}}$$

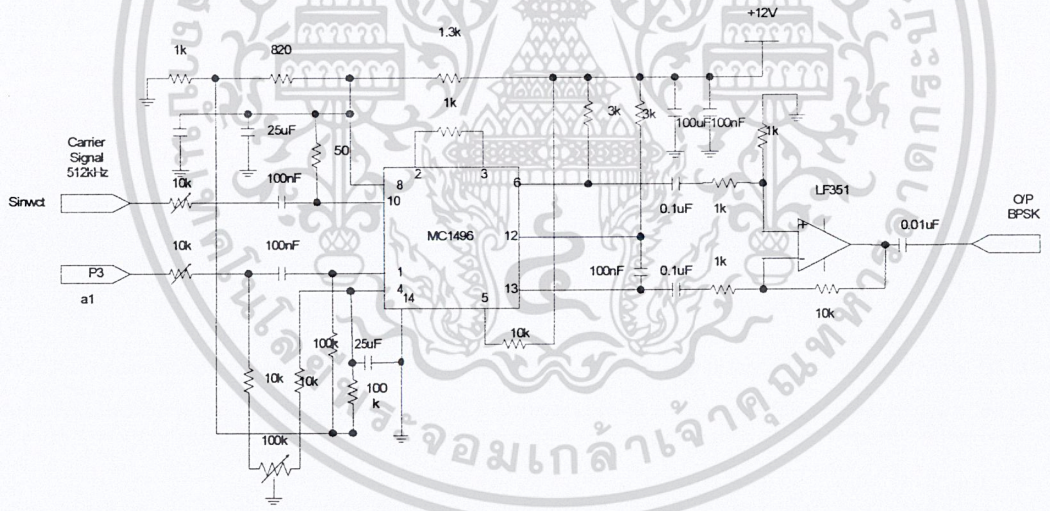
ผลที่ได้แสดงให้เห็นว่า BPSK มีประสิทธิภาพต่ำสุดและ 16QAM มีประสิทธิภาพสูงสุด และ QPSK ต้องการเพียง 1/2 ของแถบความถี่ที่ใช้ใน BPSK ในอัตราบิทเรทอินพุทที่เท่ากัน และสรุปข้อแตกต่างได้ในตารางที่ 2.1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Modulation	Encoding	Bandwidth (Hz)	baud	Bandwidth efficiency (bps/Hz)
FSK	Single bit	>Fb	Fb	<1
BPSK	Single bit	Fb	Fb	1
QPSK	Dibit	Fb/2	Fb/2	2
8PSK	Tribit	Fb/3	Fb/3	3
8QAM	Tribit	Fb/3	Fb/3	3
16PSK	Quadbit	Fb/4	Fb/4	4
16QAM	Quadbit	Fb/4	Fb/4	4

ตารางที่ 2.2 สรุปข้อแตกต่างของ FSK , PSK และ QAM

"วงจรบาลานซ์มอดดูเลทเตอร์ (Balance Modulator)"



รูปที่ 2.4 วงจรบาลานซ์ มอดดูเลเตอร์

วงจรบาลานซ์มอดดูเลเตอร์หรือเรียกย่อ ๆ ว่า BW นี้จะทำหน้าที่ที่ผสมสัญญาณเบสแบรนด์กับสัญญาณพาหะ โดยผลลัพธ์ที่ได้จากการผสมจะมีเฉพาะไซด์แบนด์ทั้งสองข้างเท่านั้นโดยสัญญาณพาหะ จะถูกกำจัดออกไปในการออกแบบวงจร BM นี้จะใช้ IC MC 1496 ทำหน้าที่เป็นตัวบาลานซ์มอดดูเลเตอร์ โดยในวงจรจะมี VR 100 kOhm เป็นตัวปรับสมดุลย์ การกำจัดพาหะขึ้นอยู่กับระดับ สัญญาณ พาหะที่ป้อนระดับสัญญาณพาหะที่เหมาะสมอยู่ในช่วง 300 ถึง 500 mV_{pp} ซึ่งวงจรที่ใช้งานแสดงดังรูปที่ 2.4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทำงานของวงจรบาลานซ์มอดคูเลเตอร์ เหมือนกับวงจรคูณสัญญาณสมมุติให้สัญญาณแรกคือ พาหะ $f_o = \sin w_o t$

และอีกสัญญาณคือ เบสแบนด์ $f_m = \sin w_m t$

และจะได้ output :

$$Vo = A_o \sin w_o t * A_m \sin w_m t$$

$$Vo = (A_o A_m/2) [\cos (w_o - w_m)t + \cos (w_o + w_m)t]$$

IC NC1496,MC1596 ตัวนี้จะทำหน้าที่เป็น บาลานซ์มอดูแลเตอร์ / ดีมอดูเลเตอร์ ซึ่งถูกออกแบบสำหรับใช้กับเอาท์พุทเกิดจากการคูณของสัญญาณเบสแบนด์กับพาหะซึ่งนอกจากทำเป็นวงจรบาลานซ์มอดูเลเตอร์แล้ว ยังสามารถนำไปประยุกต์ได้อีกหลายอย่าง เช่น Amplitude Modulator, Symchronous Delection, FM Delection ฯลฯ และในการนำ IC ตัวนี้มาใช้ต้องพิจารณาด้วยว่า ในวงจรที่เราใช้นั้นมีการกำหนดค่าถูกต้องตาม IC ที่เรามีอยู่หรือไม่เพราะ IC ชนิดนี้มี 2 รูปแบบ คือ แบบที่เป็นตัวถังโลหะมี 10 ขา และแบบตัวถังพลาสติกมี 14 ขา โดยมีขนาดข้อกำหนดของสัญญาณพาหะและสัญญาณเบสวงจรที่ใช้นี้จะใช้เพียงไฟเลี้ยงชุดเดียว คือ +12 V นอกจากนี้ IC MC1496, MC1596 ตัวนี้สามารถใช้กับไฟเลี้ยง 2 ชุด (+12V และ –8V) และถ้าหากต้องการนำ IC ตัวนี้ไปประยุกต์ใช้งานกับงานอื่นก็ต้องมีข้อกำหนดที่แตกต่างกันไป โดยเราสามารถดูรายละเอียดได้จากคู่มือ ไอซีในภาคผนวก

Active Filter

Active Filter ทำหน้าที่กรองความถี่สัญญาณ เป็นวงจรที่ประกอบด้วยภาคขยาย เช่น Transistor หรือ IC และ Network เลือกความถี่ (Frequency Selective Network) จำพวกตัวความ ต้านทานตัวเก็บประจุ วงจรให้ผ่านได้เฉพาะสัญญาณในช่วงความถี่ที่กำหนด ขณะเดียวกันจะขวางกั้น (Block) หรือลดทอนสัญญาณนอกเหนือช่วงความถี่ดังกล่าว มิให้ปรากฏที่ output

โดยทั่วไปแล้ว Filter แบ่งออกเป็นหลายรูปแบบ ดังนี้

1. Filter ชนิด Analog หรือ Digital
2. Filter ประเภท Active หรือ Passive
3. Filter ย่านความถี่เสียง (Audio Frequency)
   หรือ ย่านความถี่วิทยุ (Radio Frequency)

Analog Filter ออกแบบมาเพื่อใช้กับสัญญาณ Analog ส่วน Digital Filter ใช้งานกับสัญญาณ Digital โดยอาศัยเทคนิคทาง Analog มาช่วยถ้าคำนึงถึงชิ้นส่วน (Element) ที่นำมา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ประกอบกันเป็นวงจร Filter แบ่งออกเป็น Passive และ Active ชิ้นส่วนวงจรที่ใช้ใน Passive Filter ได้แก่ ค่าความต้านทาน ตัวเก็บประจุ ตัวเหนี่ยวนำ ส่วน Active Filter ประกอบด้วยตัวขยายสัญญาณจำพวก Transistor หรือ IC ในรูป Op-Amp และ ตัวความต้านทาน และตัวเก็บประจุ ทำงานร่วมกัน ตัวต้านทาน ตัวเก็บประจุ ตัวเหนี่ยวนำถือได้ว่าเป็นชิ้นส่วนประเภท Passive element การจะเลือกใช้ชิ้นส่วนใดนั้น ขึ้นอยู่กับย่านความถี่สัญญาณที่ต้องการให้วงจร Filter ทำงานยกตัวอย่าง RC Filter ใช้กับย่านความถี่เสียงหรือในย่านความถี่ต่ำ ในขณะที่ IC Filter จะใช้ในย่านความถี่วิทยุหรือย่านความถี่สูง

ข้อดีของ Active Filter ที่มีเหนือกว่า Passive Filter

1.การปรับอัตราการขยายและปรับความถี่เป็นอิสระต่อกัน เราสามารถจัดค่าอัตราการขยายของ Op-Amp ชดเชยกับอัตราลดทอนสัญญาณของวงจร RC หรือเพิ่มอัตราการขยายของวงจรทั้งหมดด้วยการจัดค่าวิ้นส่วนอะปกรณีในส่วนของวงจรขยาย Op-Amp และการปรับเปลี่ยนความถี่ก็อยู่ที่ค่า RC เท่านั้น

2.ไม่มีปัญหา Loading จากการที่ Op-Amp มีคุณสมบัติของ Input Impedance สูงและ Output Impedance ต่ำ วงจร Active Filter อาศัย Op-Amp จึงไม่เกิดปัญหาการ Loading กับ Output และ Input ของวงจร ณ จุดที่นำ Active Filter เข้าไปต่อร่วม

3.ราคาถูกกว่าเนื่องจาก Active Filter มีราคาสูงกว่า Passive Filter เพราะไม่ต้องอาศัยตัวเหนี่ยวนำที่มีราคาแพงและยังใช้ Op-Amp ซึ่งในปัจจุบันราคาถูกมาก

เราแบ่ง Active Filter ตามลักษณะการทำงานออกเป็น 5 ชนิด

- กรองความถี่ต่ำ (Low Pass Filter)
- กรองความถี่สูง (High Pass Filter)
- กรองช่วงความถี่ (Band Pass Filter)
- กำหนดช่วงความถี่ผ่าน(Band Refectหรือ Band Stop Filter)
- ความถี่ผ่านตลอด (All Pass Filter)

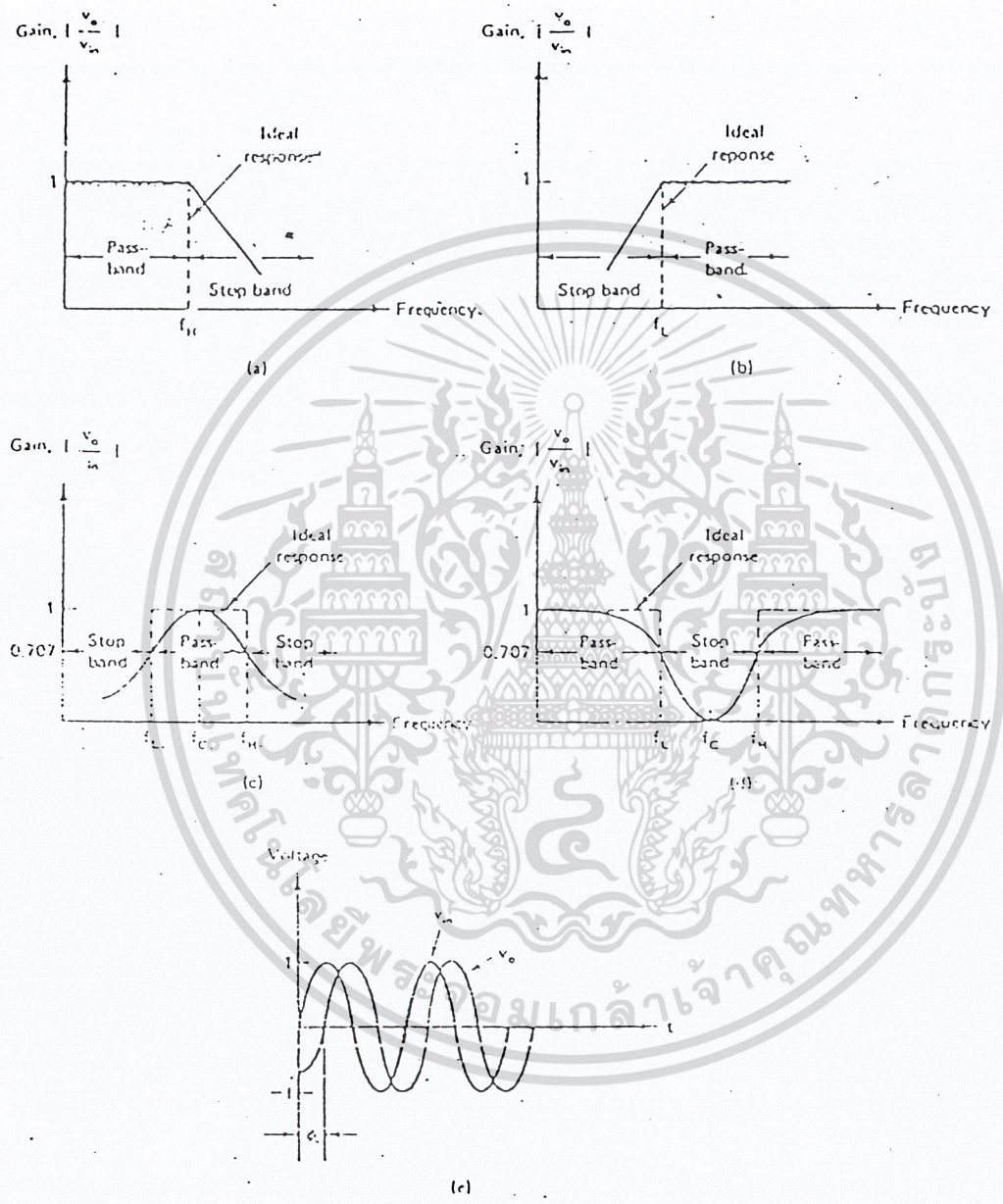
Filter เหล่านี้อาศัยตัวต้านทานและตัวเก็บประจุเป็น Passive Dlement ทำงานร่วมกับ Active Element จำพวก Op-Amp อาศัย IC ที่มีคุณสมบัติ High Speed ที่มี Slew Rate ที่มี Slew Rate สูงและ Unity Gain Bandwidth สูง ๆ เช่น LM 318 หรือ ICL8017 จะช่วยให้วงจรมีคุณสมบัติด้านความถี่และอัตราการขยายของ Filter ดีขึ้น

Frequency Response ของ Filter ทั้ง 5 ชนิดแสดงในรูปที่ 2.5 เส้นประแสดงถึงการตอบสนองที่เป็นอุดมคติในทางทฤษฎี ส่วน เส้นตอบสนอง ในทางปฏิบัติแสดงด้วยเส้นทึบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 2.5 (a) แสดงการตอบสนองความถี่ของวงจรกรองความถี่ต่ำมีขนาดของแกน (Gain) คงที่จากความถี่ 0 Hz ถึงความถี่ High Cutoff (f_H) ค่าของแบนวิดธ์ (Bandwidth) จึงเท่ากับ f_H ที่ f_H หรือตำแหน่งความถี่ High Cutoff นั้นแกนจะลดลง 3 dB และที่ความถี่มากกว่า f_H นั่นคือที่ $f > f_H$ อัตราขยายหรือ Gain ของวงจรก็ลดลงทุกขณะอย่างต่อเนื่อง ตามความถี่สัญญาณ Input ที่เพิ่มขึ้น ช่วงของ ความถี่ระหว่าง $0 - f_H$ Hz เรียกว่า ช่วงผ่าน (Pass Band) ส่วนช่วงที่ความถี่สูงกว่า f_H ขึ้นไปเกิดการลดทอนของสัญญาณลงทุกขณะเรียกว่า ช่วงหยุด (Stop Band) จากการตอบสนองที่เป็นอุดมคติในเส้นประแสดงให้เห็นว่า Filter ที่เป็นอุดมคติจะมีความสูญเสีย (Loss) เป็นศูนย์ตลอดช่วงและมีความสูญเสียเป็นอนันต์ใน ช่วงหยุด แต่สภาพความเป็นจริงในทางปฏิบัติ มิได้เป็นเช่นนั้น เพราะโครงข่ายวงจรชนิดเชิงเส้น (Linear Network) ไม่สามารถสร้างคุณสมบัติของความไม่ต่อเนื่องขึ้นได้ อย่างไรก็ตามเราอาจสร้างเส้นตอบสนองในทางปฏิบัติ ตามเส้นทึบให้ใกล้เคียงกับการตอบสนองที่เป็นอุดมคติตามเส้นประได้เช่นกัน โดยอาศัยเทคนิคการออกแบบวงจรเป็นพิเศษเข้าช่วย ประกอบวงจรด้วยชิ้นส่วนอุปกรณ์เช่นตัวความต้านทานและตัวเก็บประจุ ที่มีค่าถูกต้องแม่นยำหรือมีค่าผิดพลาดน้อยที่สุดและใช้ Op – Amp ชนิดความเร็วสูง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.5 Frequency Response ของวงจร Filter

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปแบบของ Filter ที่นิยมนำมาใช้กันมากในทางปฏิบัติซึ่งให้ เส้นตอบสนองประมาณใกล้เคียงทางทฤษฎี ได้แก่รูปแบบ Butterworth Filter ให้คุณลักษณะของทั้งช่วงผ่านและช่วงหยุด ในลักษณะค่อนข้างราบเรียบบางโอกาสจึงเรียกว่า Flat Filter สำหรับ Chebyshev Filter มีคุณลักษณะ ช่วงผ่าน เป็น Ripple และช่วงหยุดเป็น Flat ส่วน Caur Filter ให้ทั้งช่วงผ่านและช่วงหยุดเป็น Ripple ทั้งคู่ซึ่งการออกแบบและความยุ่งยากของวงจรก็แตกต่างกันไปตามลักษณะการใช้งาน

รูปที่ 2.5 (b) เป็นเส้นตอบสนอง ของวงจรกรองความถี่สูง เมื่อให้ f เป็นความถี่ใด ๆ และ f_L เป็น Low Cutoff Frequency แล้วช่วง ช่วงหยุด จะอยู่ที่ ความถี่ $0 < f < f_L$ และช่วงของช่วงผ่านอยู่ที่ $f > f_L$

รูปที่ 2.5 (c) แสดงการตอบสนองความถี่ของวงจรกรองส่วนความถี่ของวงจรกรองส่วนความถี่ ช่วงผ่านอยู่ระหว่างสองความถี่คัทออฟได้แก่ High Cutoff Frequency (f_H) และ Low Cutoff Frequecy (f_L) ซึ่งเป็นตำแหน่งที่เกน ลดลง 3 dB และช่วง ช่วงหยุดมีสองช่วงที่ $o < f < f_L$ กับ $f > f_L$ โดยที่ $f_H > f_L$ ค่า Bandwidth ของ Band Pass Filter เท่ากับ $f_H - f_L$ และความถี่ตรงกลาง (Center Frequency) อยู่ที่ความถี่ f_o ปรากฏที่ตำแหน่งกึ่งกลางช่วง (Pass Band Gain) พอดี

รูปที่ 2.5 (d) แสดงการตอบสนองของกำหนดช่วงผ่านมี Curve คุณลักษณะตรงข้ามกับกรองช่วงผ่าน กล่าวคือช่วง ช่วงหยุด อยู่ระหว่างความถี่คัทออฟสองจุดคือ f_H กับ f_L และมีช่วงช่วงผ่านสองช่วงอยู่ระหว่างความถี่ $f > f_H$ $0 < f > f_L$ อาจเรียก Band Reject ว่า Band Stop Filter หรือ Band Elimination Filter ก็ได้ค่า แบนด์วิดธ์ ของช่วงหยุด เท่ากับ $f_H - f_L$ และตำแหน่งกึ่งกลางของช่วงหยุดเป็นความถี่ ความถี่กึ่งกลาง หรือ f_o

รูปที่ 2.5 (e) แสดงการเลื่อนเฟส (Phase Shift) ระหว่างแรงดันอินพุท (Vin) กับ แรงดันเอาท์พุท (Vo) ของความถี่ผ่านตลอดมีคุณสมบัติในการให้สัญญาณทุกความถี่ผ่านได้เท่าๆ กัน กล่าวคือให้ แรงดันเอาท์พุทเท่าแรงดันอินพุท ในทุกความถี่โดยปรากฏการเลื่อนเฟสขึ้นระหว่างแรงดันเอาท์พุท กับแรงดันอินพุท ในบางความถี่แต่ความถี่สูงสดซึ่งแรงดันเอาท์พุท กับ แรงดันอินพุท ยังคงมีขนาดเท่ากันขึ้นอยู่กับคุณสมบัติ Unity Gain Bandwidth ของ Op – Amp ที่ความถี่นี้ Phase Shift ที่เกิดขึ้นระหว่างแรงดันเอาท์พุทกับแรงดันอินพุท จะมีค่าสูงสุด

เฟสล๊อคลูป (Phase Lock Loop)

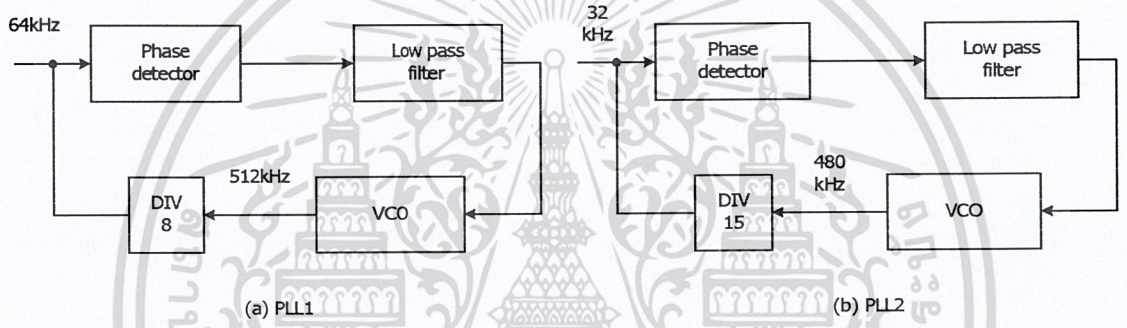
เฟสล๊อคลูป เป็นอิเล็กทรอนิกส์เซอร์โว ซึ่งสามารถควบคุมออสซิลเตอร์ให้ผลิตความถี่ล๊อคหรือชิ้งค์กับความถี่ของสัญญาณที่เข้ามา เมื่อเฟสของความถี่จากออสซิลเลเตอร์เปลี่ยน แสดงว่าสัญญาณที่เข้ามาความถี่เปลี่ยนไป เอาท์พุทจากเฟสดีเทคเตอร์จะมีค่าเพิ่มขึ้นหรือลดลง ควบคุมให้ออสซิลเลเตอร์ผลิตความถี่ให้ตรงและล๊อคกับสัญญาณที่เข้ามาดังนั้นโวลเตจเฉลี่ยที่ได้จากเฟสดี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เทคเตอร์ไปควบคุม ออสซิลเลเตอร์จึงเป็นฟังก์ชั่นของความถี่ของสัญญาณที่เข้ามาอาทิเช่น หากสัญญาณที่เข้ามาเป็น FM (Frequency Modulation) แล้วเอาท์พุททีได้จากเฟสดีเทคเตอร์ผ่าน วงจรกรองความถี่ต่ำ จะเป็นสัญญาณที่ถูกทำ การดีมอดดูเลท์นั่นเอง

หลักการของเฟสล๊อคลูป

หลักการเบื้องต้นของ เฟสล๊อคลูปก็มาจากระบบการป้อนกลับ ซึ่งประกอบด้วยส่วนสำคัญสามส่วนดังบล๊อคไดอะแกรมในรูปที่ 2.6 คือ เฟสดีเทคเตอร์ (Phase Detector) , กรองความถี่ต่ำ และ Voltage Control Oscillator (VCO)



รูปที่ 2.6 บล๊อกไดอะแกรมของวงจร เฟสล๊อคลูป

ในขณะที่ไม่มีสัญญาณป้อนเข้ามา Vd จะเท่ากับศูนย์และ VCO จะผลิตความถี่แบบที่เรียกว่า Free – running เท่ากับ fo เมื่อมีอินพุท Vs ป้อนเข้ามามีความถี่เท่ากับ fs วงจรเผสดีเทคเตอร์จะทำหน้าที่เปรียบเทียบเฟสและความถี่ของสัญญาณที่เข้ามากับสัญญาณที่ VCO ถ้า fs และ fo แตกต่างกันจะได้ Ve (Error Voltage) จากเอาท์พุทของเฟสดีเทคเตอร์ผ่านกรองความถี่ต่ำ Vd ไปเข้า VCO ปรับความถี่ fo ให้เท่ากับ fs และเมื่อ fo เท่ากับ fs ก็คือสภาวะล๊อคหรือซิ้งค์ เอาท์พุทจากเฟสดีเทคเตอร์ Ve จะเป็นศูนย์ และ Vd ก็เท่ากับศูนย์ด้วย

ในเรื่องของ เฟสล๊อคลูป มีคำที่มักเข้าใจสับสนกันบ่อยๆ คือคำว่า Lock Range กับคำว่า Capture Range ซึ่งมีความหมายแตกต่างกันดังนี้

Lock Range หมายถึง ย่านความถี่ที่ใกล้เคียงกับ fo ซึ่ง เฟสล๊อคลูป ยังสามารถล๊อคกับสัญญาณที่เข้ามา ค่าของ Lock Range จะลดลงเมื่ออัตราการขยายทั้งหมดของเฟสล๊อคลูปลดลง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Capture Range หมายถึง บริเวณแถบความถี่ที่ใกล้เคียงกับ fo ที่เฟสล๊อคลูปเริ่มล๊อคกับสัญญาณที่เข้ามา ค่าของ Capture Range ขึ้นอยู่กับแบนด์วิดธ์ของวงจรกรองความถี่ต่ำคือจะลดลงหากแบนด์วิดธ์แคบ และโดยปกติ Capture Range จะมีค่าน้อยกว่า Lock Range

เพื่อให้เข้าใจค่า Lock Range และ Capture Range ง่ายขึ้น ลองพิจารณาดูจากรูปที่ 2.6 ซึ่งแสดงถึงคุณลักษณะระหว่างความถี่กับ Error Voltage ของ เฟสล๊อคลูป ดังรูป

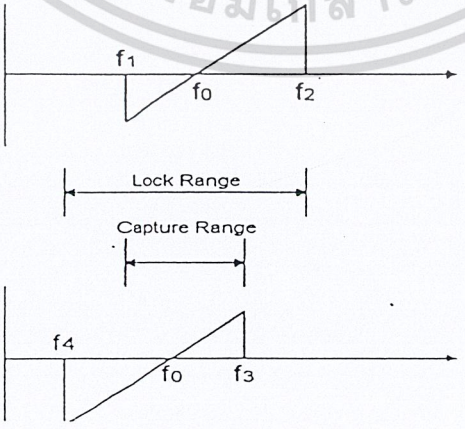
จากส่วนบนของรูปที่ 2.7 สมมติว่าสัญญาณที่เข้ามามีความถี่ค่อยๆ เปลี่ยนไปจากต่ำไปสูง ตอนแรกจะยังไม่มีอะไรเกิดขึ้นและ Vd เท่ากับศูนย์จนกระทั่งความถี่ของสัญญาณที่เข้ามา fs ซึ่งเป็นความถี่ต่ำสุดของ Capture Range ทำให้เฟสล๊อคลูปเริ่มล๊อคกับ fs และ vd มีค่าเป็นลบเพื่อปรับ VCO ให้ fo เท่ากับ fs แต่ในที่นี้เราสมมติว่า fs เปลี่ยนไปเรื่อยๆ ซึ่งจะทำให้ค่าของ Vd เป็นลบน้อยลง

จนกระทั่ง fs = fo ทำให้ Vd เท่ากับศูนย์ จากนั้น Vd จะเริ่มเป็นบวก และมากขึ้นเรื่อยๆ จนกระทั่ง fs = f2 ซึ่งเป็นความถี่สูงสุดของ Lock Range จะทำให้หลุดจากการล๊อค และ Vd เท่ากับศูนย์

ในทางกลับกันถ้า fs เปลี่ยนจากสูงลงมาต่ำ ให้พิจารณารูปที่ 2.7 ส่วนล่างเฟสล๊อคลูปจะเริ่มล๊อคเมือ fs = f3 ซึ่งเป็นค่าสูงสุดของ Capture Range ทำให้ Vd มีค่าเป็นบวกทันทีเมื่อ fs ลดลงจน fs = fo จะได้ Vd เท่ากับศูนย์แล้วมีค่าเป็นลบมากขึ้นเรื่อยๆ จนกระทั่ง fs = f4 ซึ่งเป็นค่าต่ำสุดของ Lock Range จะทำให้ fs หยุดจากการล๊อคของ เฟสล๊อคลูป และ Vd กลับเป็นศูนย์อีกครั้ง เราจึงสรุปได้ว่า

Lock Range = f2 – f4

Capture Range = f3 – f1



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

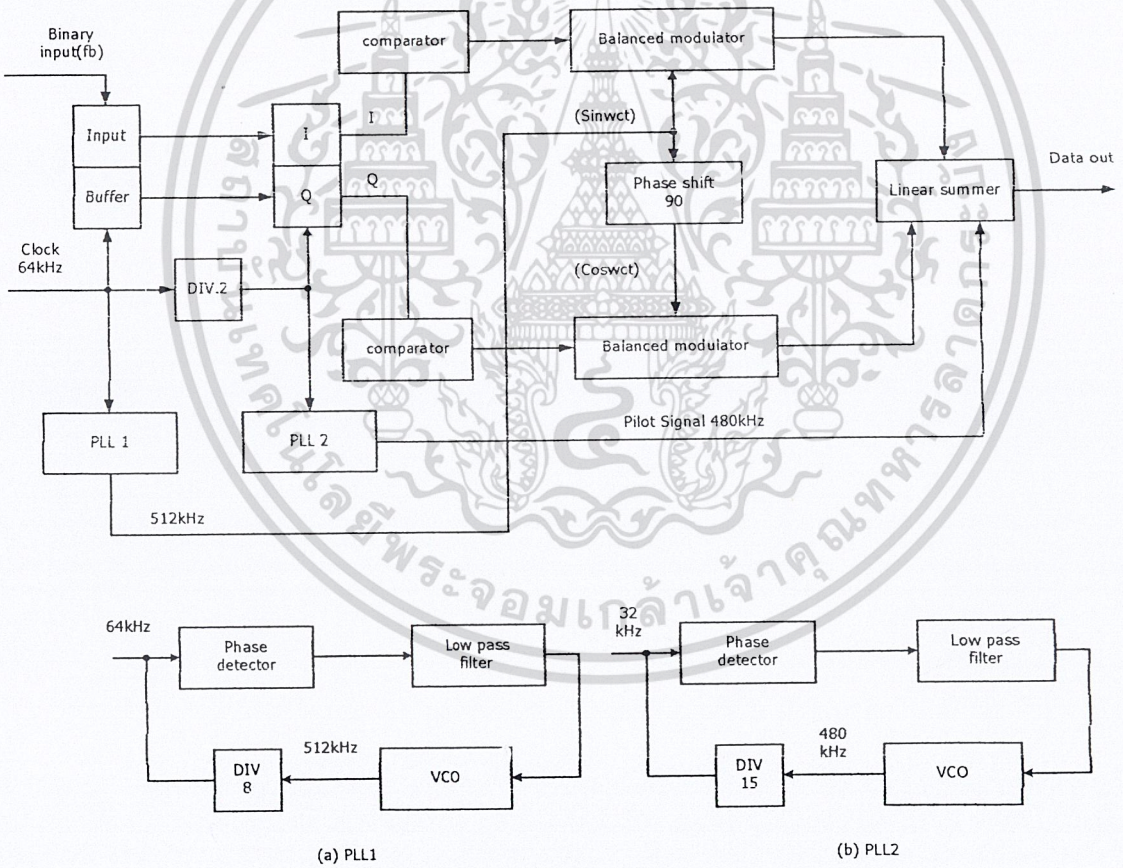
รูปที่ 2.7 คุณลักษณะระหว่างความถี่กับ Error Voltage ของเฟสล๊อคลูป

บทที่ 3

การออกแบบวงจรทางด้านภาคส่ง

ในการออกแบบทางด้านภาคส่งนั้นเราต้องเพิ่มเติมบางส่วน เพื่อความสะดวกทางการ Synchronized เราต้องสร้างสัญญาณนำร่อง (Pilot Signal) และสัญญาณพาหะโดยใช้ Clock 64 kHz โดยใช้หลักการของ PLL ให้ได้ความถี่ที่คงที่ แล้วทำการส่งไปยังภาครับต่อไป

ในส่วนของวงจรกำเนิดสัญญาณเรานำ Clock 64 kHz มาทำเป็นพาหะ 512 kHz และทำเป็นสัญญาณนำร่องเท่ากับ 480 kHz ส่วนรายละเอียดแต่ละบล๊อก ไดอะแกรมดูการออกแบบแต่ละส่วนภายในบทที่ 3



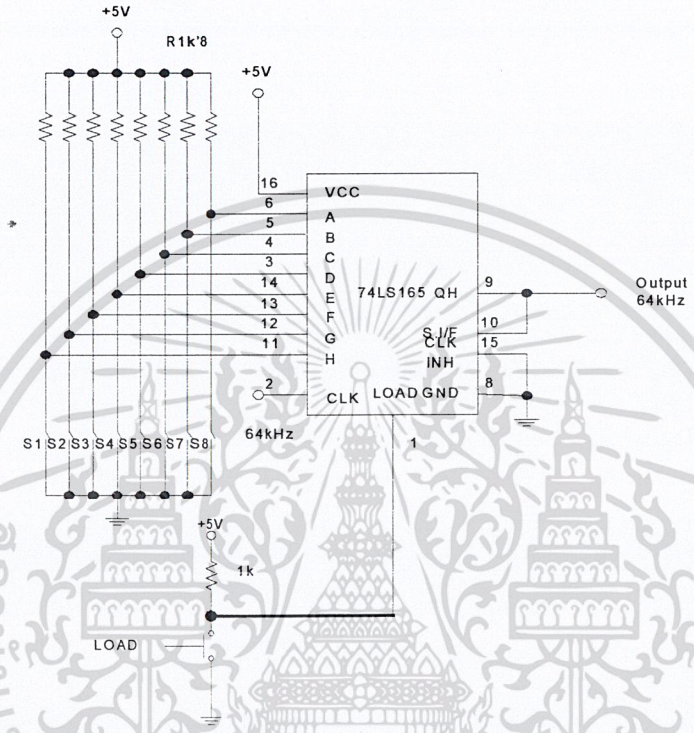
รูปที่ 3.1 บล๊อกไดอะแกรมที่ใช้ในการออกแบบวงจรภาคส่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

ชุดกำเนิดข้อมูลขนาดความเร็ว 64 kbps

ใช้ IC 74LS165 ซึ่งทำงานเป็น Parallel – Load 8 Bit Shift Register ข้อมูลที่จะ โหลดเข้ามาทดสอบความสามารถกำหนดได้ โดยการปรับสวิทช์สัญญาณนาฬิกาที่ใช้ เลื่อนข้อมูล 64 kHz



รูปที่3.2 วงจรกำเนิดข้อมูล NRZ

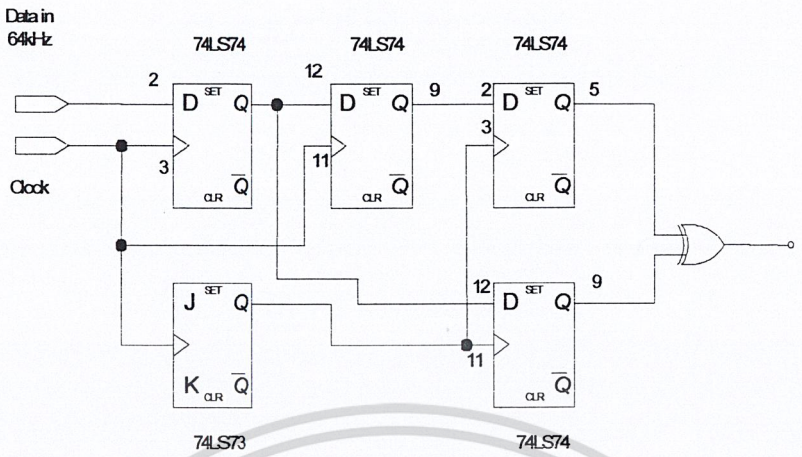
วงจรแยกสัญญาณดิจิตอล

เป็นวงจรทำหน้าที่แบ่งข้อมูลดิจิตอลอินพุทเป็น 2 ชุดๆละ 1 บิท พร้อมใช้วงจรหน่วยเวลา 2 บิท เพื่อควบคุมให้อินพุทเข้ามาครบ 2 บิทเสียก่อน และจึงทำการแยกสัญญาณ

จากรูปที่ 3.2 นั้นจะใช้ D ฟลิบฟลอบและ JK ฟลิบฟลอบทำงานร่วมกัน และที่เป็นส่วนสำคัญของวงจรส่วนนี้ ก็คือ วงจรหน่วงเวลา 2 บิท หรือวงจรหาร 2 นั้นเอง ช่วยควบคุมจังหวะการรับข้อมูลและส่งข้อมูลให้เหมาะสมกัน แนวทางของวงจรอาศัยหลักการของวงจรอนุกรมและขนานนั้นเอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

46493



รูปที่ 3.3 วงจรแยกสัญญาณดิจิตอล

ข้อมูลที่ออกมาจากส่วนนี้มีอยู่ 2 ส่วน คือ Imphase และ Quadrature Phase อาจเรียกง่าย ๆ ว่า บิทบน บิทล่าง ก็ได้ ข้อมูลที่ได้จะแบ่งเป็นข้างละบิทแล้วนำข้อมูลนี้ไปเข้าวงจรแบ่งระดับแรงดันต่อไป

วงจรแปลงบิท เป็น 2 ระดับ

ด้วยสาเหตุที่ว่าวงจรบาลานซ์มอดนั้น สัญญาณดิจิตอลที่จะทำการมอดดูเลทจะต้องเป็นสัญญาณที่มีขนาดไม่เกิน 300 v_{P-P} ดังนั้นความเปลี่ยนแปลงอันเกิดจากสัญญาณบิทมีโอกาสเป็นไปได้ $2^{1}=2$ ระดับ การเปลี่ยนแปลงของสัญญาณ ดังตารางที่ 3.1

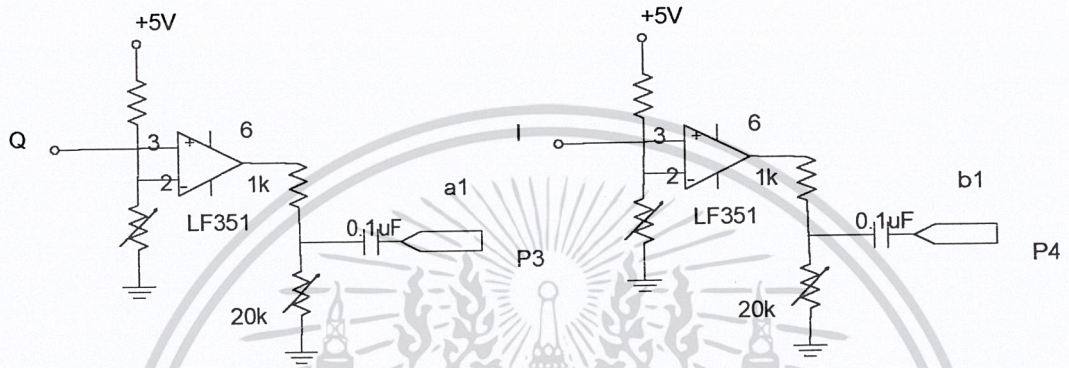
I	Output
0	-150
1	+150

Q	Output
0	-150
1	+150

ตารางที่ 3.1 การแปลงบิทเป็น 2 ระดับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในส่วนของวงจรอาศัยวงจร OP – AMP เป็นตัวเปรียบเทียบระดับแรงดันสัญญาณจะทำหน้าที่แปลงให้เป็น 2 ระดับดังข้อกำหนดตารางที่ 3.1 จึงได้ทำการออกแบบวงจรแปลงสัญญาณดิจิตอล 1 บิต เป็น 2 ระดับดังรูปที่ 3.3



รูปที่ 3.4 วงจรแปลงสัญญาณ 1 บิท เป็น 2 ระดับ

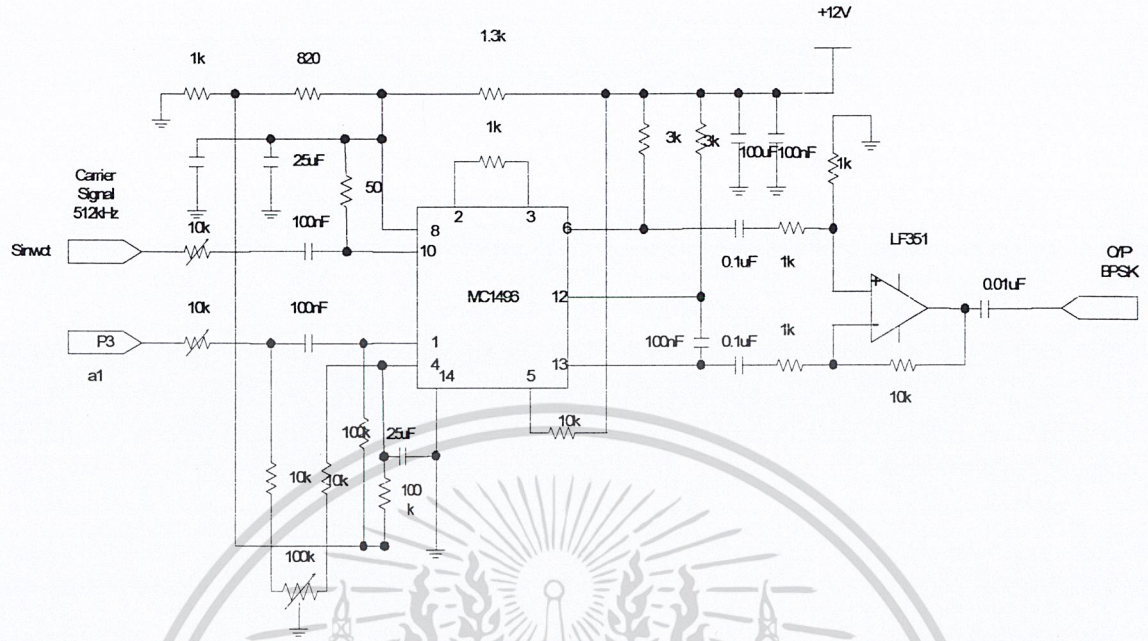
วงจรบาลานซ์มอดดูเลทเตอร์

วงจรนี้จะทำหน้าที่คูณกันระหว่างสัญญาณพาหะกับสัญญาณ 2 ระดับ ซึ่งจะมี 2 ส่วนกล่าวคือ จะมีทั้ง Inphase กัน Quadrature Phase

วงจรบาลานซ์มอดดูเลเตอร์ทางด้าน Inphase ก็จะทำน้าที่คูณสัญญาณ 2 ระดับที่มาจากวงจรสัญญาณดิจิตอลกับสัญญาณพาหะที่ได้มาจากวงจรกำเนิดสัญญาณพาหะผ่านวงจรเลื่อนเฟส 90 องศา

รายละเอียดของวงจรบาลานซ์มอดดูเลเตอร์ทั้งสองวงจร จะเหมือนกันทุกประการดังแสดงดังรูปที่ 3.4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.5 วงจรบาลานซ์มอดดูเลเตอร์

ข้อควรคำนึงในส่วนวงจรนี้คือ ข้อกำหนดจาก Data Sheet ของ IC MC 1496 ได้ระบุไว้ว่าขนาดของสัญญาณที่จะนำมามอดดูเลทควรมีค่าประมาณ mV (ms) และขนาดของสัญญาณพาหะควรมีค่าประมาณ 150 mV (ms) และขนาดของสัญญาณพาหะควรมีค่าประมาณ 150 mV (ms) ดังนั้นก่อนนำไปคูณควรผ่านตัวต้านทานปรับค่าได้เสียก่อนเพื่อจะได้ควบคุมระดับสัญญาณก่อนนำไปคูณ

วงจรกรองช่วงความถี่

วงจรกรองช่วงความถี่ เป็นวงจรกรองความถี่ที่ยอมให้ความถี่ที่อยู่ในช่วง low frequency cutoff (f_L) กับ frequency cutoff (f_H) ผ่านไปได้เท่านั้นโดยที่ $f_H > f_L$ ส่วนความถี่นอกเหนือจากนี้ไปจะไม่สามารถผ่านได้

วงจร BPF สามารถแบ่งได้ 2 ชนิดคือ wide band pass และ narrow band pass filter โดยเราสามารถดูได้จากค่า Quality factor (Q) ถ้าค่า Q<10 เราเรียกว่าวงจร wind band pass filter และถ้าค่า Q>10 เรียกว่า narrow band pass filter เราสามารถหาค่า Q ได้จากสมการ

$$Q = \frac{f_o}{f_H - f_L}$$

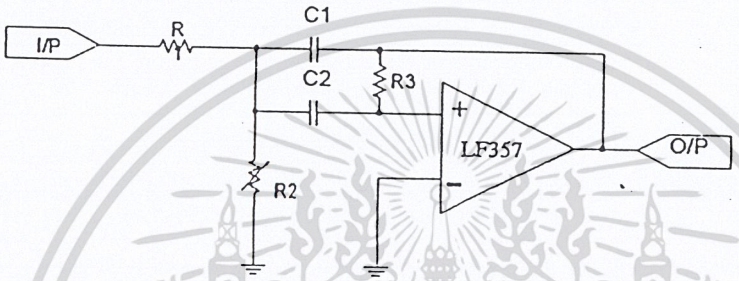
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยที่ f_o คือ ความถี่กึ่งกลาง

BW คือ แบนวิดซ์

สำหรับ wide band filter นั้น เราสามารถหา ความกึ่งกลาง ได้จากสมการ

$$f_o = \sqrt{f_H f_L}$$



รูปที่ 3.6 แสดงวงจร wide band pass filter และ response

วงจร filter ชนิดนี้จะมีค่าแรงดันสูงสุด (v_{max}) อยู่ที่ความถี่หนึ่งซึ่งเราเรียกว่าความถี่ ริโซแนนซ์ (w_r) และจุดที่เอาท์พุทโวลเต็จมีค่า 0.707 v_{max} นั้นในช่วงพาสแบนด์จะมีความถี่ที่สูงกว่าความถี่ w_r เราเรียกว่า high cutoff frequency : w_l ช่วงระหว่างความถี่ w_h และ w_l เราเรียกว่าแบนวิดธ์ (B)

$$B = w_h - w_l$$

วงจรกรองช่วงความถี่ แบ่งได้เป็น 2 อย่างคือ วงจร narrow band filter และ วงจร wide band filter โดยวงจร narrow band filter จะมีค่าแบนด์วิดธ์น้อยกว่า 0.1 เท่าของความถี่รีโซแนนซ์ ($B < 0.1\ w_r$) และวงจร wide band filter จะมีค่าแบนด์วิดธ์มากกว่า 0.1 เท่าของความถี่รีโซแนนซ์ อัตราส่วนระหว่างความถี่รีโซแนนซ์กับแบนด์วิดธ์เราเรียกว่า quality factor : Q

$$Q = \frac{w_r}{B}$$

หรือ

$$B = \frac{w_r}{Q}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

นั้นคือค่า Q ของวงจร narrow band filter จะมีค่ามากกว่า 10 และค่า Q ของวงจร wide band filter จะมีค่าน้อยกว่า 10

band – pass filter

วงจร wide band filter อย่างง่ายนั้นทำได้โดยนำวงจรกรองความถี่สูงมาต่อ case cade กัน เพื่อเป็นการง่ายต่อการออกแบบ ถ้าเรานำวงจร 1st order HPF ต่อกับ 1st order LPF ก็จะได้เป็น + 20 dB / decade band pass และถ้าเรานำวงจร 2nd order LPF ก็จะได้เป็น + 40 dB / decade band pass ดังนั้น order ของวงจรกรองช่วงความถี่ขึ้นอยู่กับ order ของ วงจรกรองความถี่สูงและวงจรกรองความถี่ต่ำ

จากวงจรเห็นว่าเราใช้ op-amp เพียงตัวเดียวโดยต่อแบบ multiple feedback โดยทั่วไปในการออกแบบ narrow Band นี้เราสามารถหาความสัมพันธ์ของ f_c กับ Q ซึ่งมีสมการดังนี้ในการ ออกแบบเรากำหนดให้ $C_1 = C_2 = C$

$$R_1 = \frac{Q}{2\pi f_o C A_p}$$

$$R_2 = \frac{Q}{2\pi f_o C(2Q - A_p)}$$

$$R_3 = \frac{Q}{\pi f_o C}$$

โดยที่ A_p เป็นแกนที่ความถี่กึ่งกลางหาได้จากสมการ

$$A_p = \frac{R_3}{2R_1}$$

ดังนั้น $A_p < 2Q^2$

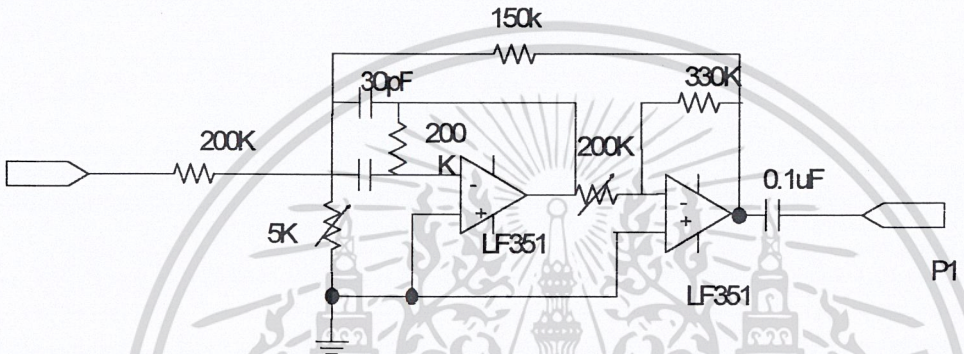
จากวงจรในรูปเราสามารถเปลี่ยนค่าความถี่กึ่งกลาง f_c ไปเป็น f_c' ได้โดยไม่ต้องเปลี่ยนแกนและแบนด์วิดธ์ใหม่ แต่ทำการเปลี่ยนค่า R_2 ไปเป็น R_2' หาได้จาก

$$R_2' = R_2 \left[\frac{f_2}{f_1'} \right]^2$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ส่วนอีกวงจรเป็นวงจรกรองความถี่ย่านผ่าน ใช้สำหรับกรองความถี่ของสัญญาณ นำร่องเราใช้วงจร Possitive Feedback Band – Pass Filter เลือกค่า

Q = 40 แสดงดังรูป 3.6



รูปที่ 3.7 วงจร Positive Feedback Band - Pass

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

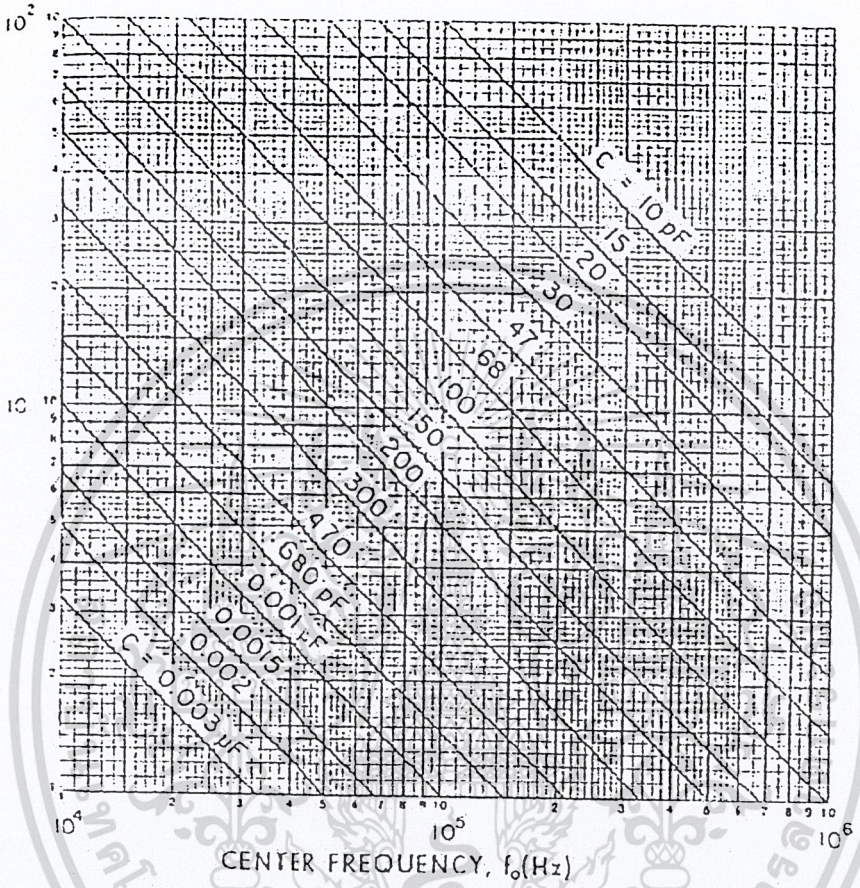


Fig. 4.11. (c) K parameter versus frequency.

รูปที่ 3.8 กราฟแสดงความสัมพันธ์ ระหว่าง K parameter เทียบกับความถี่

สำหรับการออกแบบเราจะกำหนดความถี่ที่ต้องการ กำหนดค่า Q หรือ BW และแกนที่ต้องการขั้นตอนในการออกแบบมีดังนี้

1. เลือกค่าคาปาซิเตอร์ และหาค่า K paameter จากรูปที่ 3.7
2. ใช้ค่า K ที่หาได้จากข้อ (1) มาหาค่าความต้านทานจากรูปที่ 3.8 ซึ่งค่าความต้านทานนี้จะขึ้นอยู่กับค่า Q,BW และแกนที่กำหนด
3. เลือกค่าความต้านทานให้ตรงตามกราฟที่ได้และทำการสร้างวงจร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

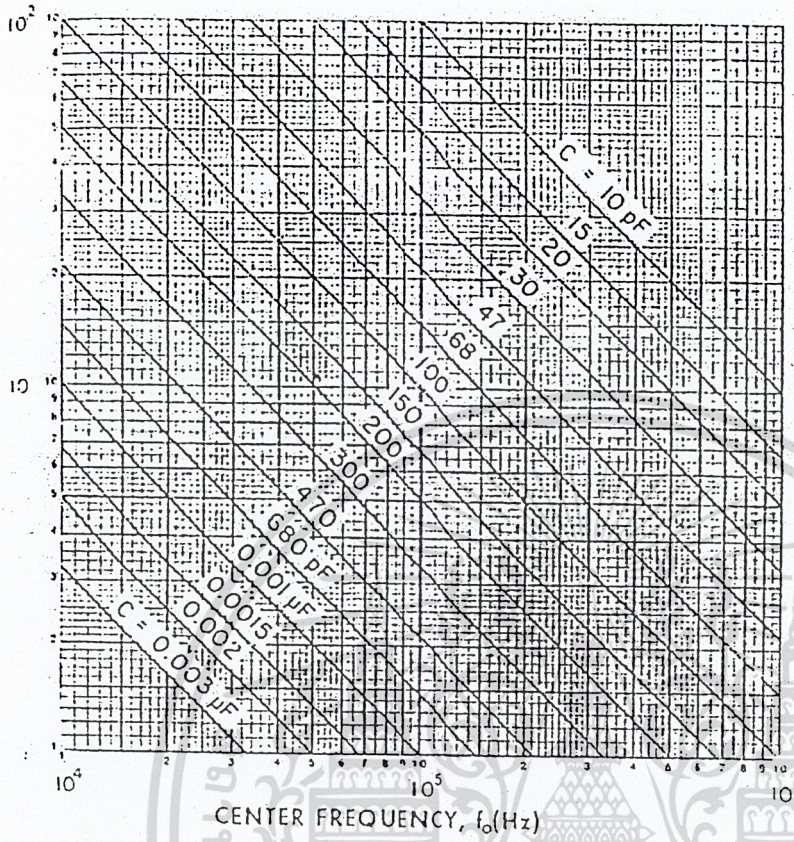
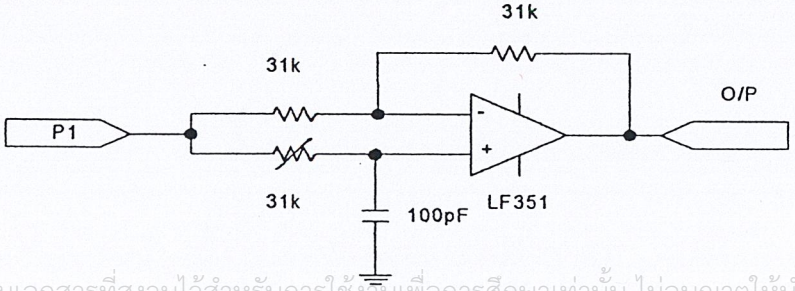


Fig. 4.11. (a) K parameter versus frequency.

รูปที่ 3.9 กราฟแสดงความสัมพันธ์ระหว่างค่าความต้านทานเทียบกับ K parameter

วงจรเลื่อนเฟส 90 องศา

ในการออกแบบวงจรเลื่อนเฟส เพื่อทำการเลื่อนสัญญาณที่เข้ามาทางอินพุท หรือเป็นการหน่วงเวลาสัญญาณอินพุทให้ช้าลง ซึ่งสามารถเขียนวงจรและกราฟแสดงผลการตอบสนองต่อความถี่ดังรูปที่ 3.9



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 3.10 วงจร Phase Shift 90 องศา

จากรูปที่ 3.9 เมื่อกำหนดให้ค่าของ $R_1 = R_P$ จะได้สมการ output voltage (Vo) ดังต่อไปนี้

$$Vo = -Vin + -jXc \quad \frac{Vin\,(2)}{R - jXc} \quad [3.1]$$

โดยที่ $-j = 1/j$

$Xc = 1/2\pi fc$

f = ความถี่ที่จะใช้ในการ Shift

แทนค่าของ –j และ Xc จะได้สมการใหม่ดังนี้

$$Vo = \frac{Vi\,(-1 + 2\quad)}{j2\pi fRC + 1}$$

$$\frac{Vo}{Vin} = \frac{1 - j2\pi fRC}{1 + j2\pi fRc} \quad [3.2]$$

สามารถคำนวณหาค่าของมุม วงจรเลื่อนเฟส ได้จากสมการ

$$\phi = -2\tan^{-1}\left(\frac{2\pi fRC}{1}\right) \quad [3.3]$$

เพราะฉะนั้นถ้าต้องการให้มีมุมของ Phase (ϕ) = -90^{o} สามารถหาค่าอุปกรณ์ได้โดยกำหนดค่า ตัวเก็บประจุ และค่าของ ความถี่ ที่ต้องการจากสมการที่ [3.3]

$$R = \frac{1}{2\pi fc}$$

กำหนดค่า f = 512 kHz กำหนดค่า C = 100 PF

$$R = \frac{1}{2\pi x512x10^{3}x100x10^{-12}}$$

$$R = 31\ k\Omega$$

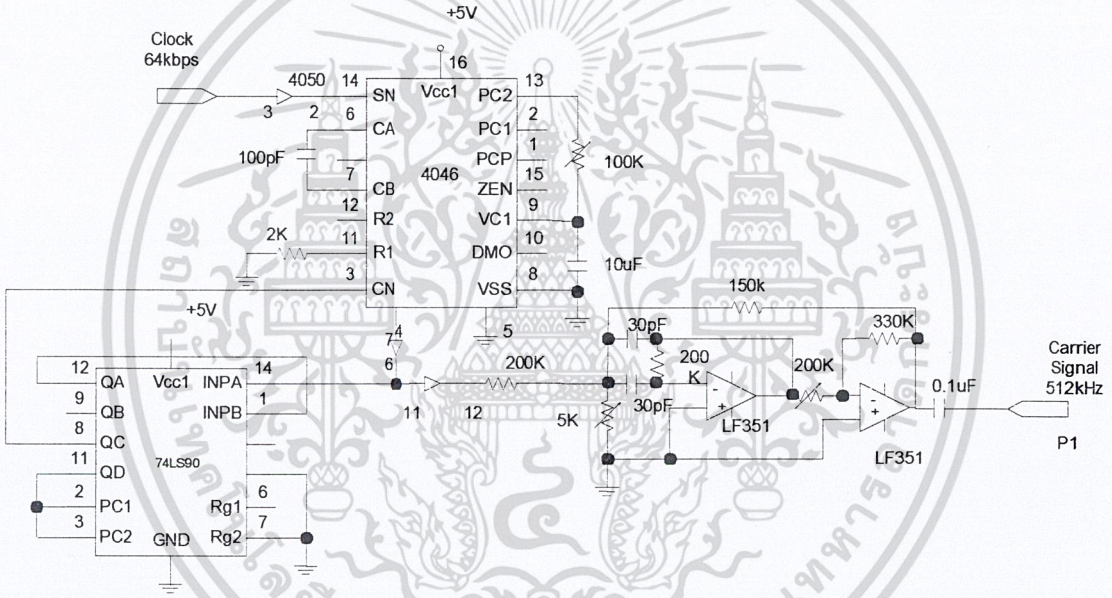
วงจรกำเนิดสัญญาณพาหะ 512 kHz

วงจรส่วนนี้ทำหน้าที่กำเนิดสัญญาณ Sine wave ความถี่ 512 kHz เพื่อใช้เป็นสัญญาณพาหะเพื่อนำไปคูณกับสัญญาณ 2 ระดับ ที่วงจรบาลานซ์มอดดูเลเตอร์ และอีกส่วนจะนำไปเลื่อนเฟส 90^{o} เป็นสัญญาณ Cosine เนื่องจากระบบการส่งสัญญาณแบบดิจิตอลนี้ มีหัวใจสำคัญ คือ การซิงโครไนซ์เซชั่น (Sychronization) ที่ทำให้จังหวะการทำงานภาคส่งและภาครับมีความสัมพันธ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น ไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กันอย่างแม่นยำ ดังนั้นเราจึงนำสัญญาณนาฬิกาที่ได้จากข้อมูลที่ทำการส่ง ในส่วนนี้เราส่งข้อมูลความเร็ว 64 kbps จึงมีสัญญาณนาฬิกา 64 kbps มาอ้างอิงในการทำการสร้างวงจร โดยใช้วงจรเฟสล็อกลูป (Phase lock loop) ช่วยในการล็อกสัญญาณนาฬิกาและคูณความถี่ให้สูงขึ้น เราจึงนำสัญญาณนาฬิกาที่ 64 kbps ไปคูณกับ 8 ซึ่งก็จะได้ความถี่ 64 x8 = 512 kbps พอดี

เมื่อสัญญาณนาฬิกาผ่าน วงจรเฟสล็อกลูปแล้วก็ยังเป็นสัญญาณรูปสี่เหลี่ยมอยู่ไม่สามารถนำไปเป็นสัญญาณพาหะได้เพราะสัญญาณรูปสี่เหลี่ยมประกอบไปด้วย ฮาร์โมนมากมายไม่เหมาะสมในการนำไปมอดดูเลท ดังนั้นจึงใช้วงจรกรองช่วงความถี่ (Band Pass Filter) ทำการกรองเอาความถี่ฮาร์โมนิกที่ 1 เป็น Sine wave มีความถี่เท่าสัญญาณสี่เหลี่ยมมาใช้งาน



รูปที่ 3.11 วงจรกำเนิดสัญญาณพาหะ 512 kHz

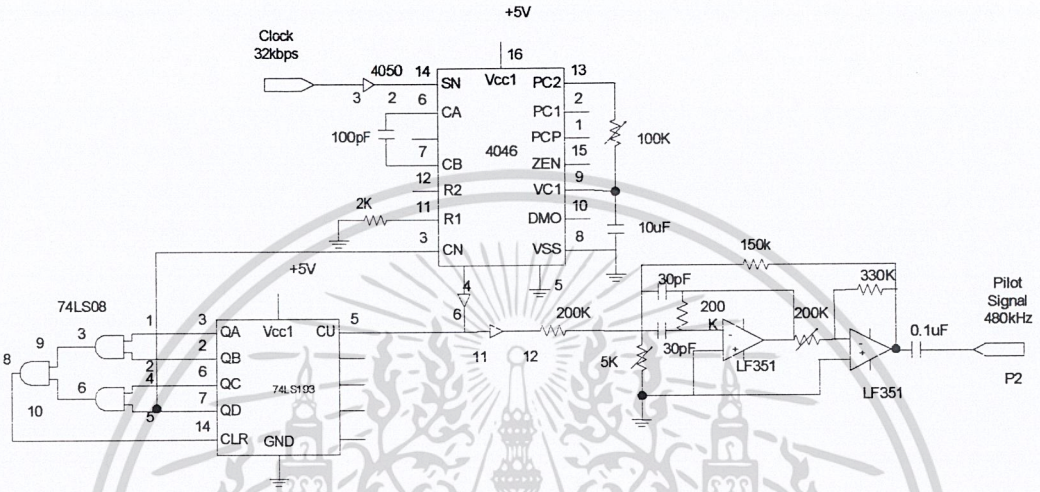
วงจรกำเนิดสัญญาณนำร่อง (Pilot Signal)

สาเหตุที่ต้องทำสัญญาณนำร่อง เพราะว่าในส่วนมากภาครับนั้นเราต้องการสัญญาณนาฬิกาและสัญญาณคลื่นพาหะที่มีเฟสและความถี่เท่ากันกับภาคส่ง เพื่อการซิงโครไนนเซชั่นที่ดีที่สุด

โดยเราเลือกความถี่ 480 kHz จะอยู่ทางด้านไซด์แบนด์ต่ำ(Lower Side Band) ของสเปคตรัมการมอดดูเลทในโครงการนี้ สาเหตุที่เลือกความถี่ 480 kHz เพราะว่าอยู่ห่างจากความถี่พาหะ 32 kHz และสะดวกในการออกแบบวงจรคูณความถี่ คือจะใช้วงจรหาร 15 ต่อกันวงจรเฟสล็อกลูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำหรับวงจรเราใช้เหมือนกับ วงจรกำเนิดสัญญาณพาหะเกือบทุกอย่าง ต่างกันตรงสัญญาณเข้ามาเรานำสัญญาณนาฬิกาที่ผ่านวงจรหาร 2 มาใช้เป็น อินพุทและใช้วงจรหารความถี่เท่ากับ 15 แทนก็จะได้สัญญาณความถี่ 480 kHz



รูปที่ 3.12 วงจรกำเนิดสัญญาณนำร่อง 480 kHz

วงจรรวมสัญญาณ (SUMMING AMP)

วงจร summing amp ใช้สำหรับการรวมสัญญาณหลายๆ ชุดเข้าด้วยกัน เพื่อให้เป็นสัญญาณที่ถูกขยายแล้วเพียงชุดเดียวซึ่งแรงดัน ที่เอาท์พุทเราสามารถหาได้จาก

$$Vo = \left(\frac{R_p V_1}{R_1} + \frac{R_p V_2}{R_2} \right)$$

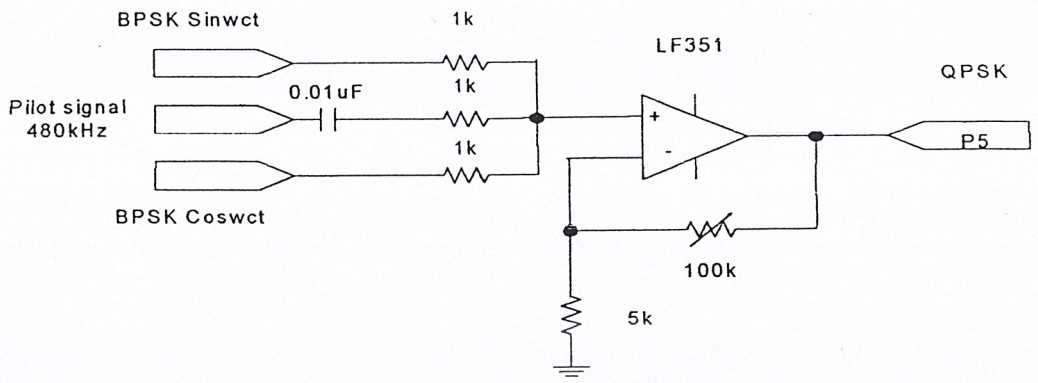
โดยที่ V_1 คือ สัญญาณเอาท์พุทจากวงจร บาลานซ์มอดดูเลเตอร์ด้าน 1

V_2 คือ สัญญาณเอาท์พุทจากวงจร สัญญาณนำร่อง

V_3 คือ สัญญาณเอาท์พุทจากวงจรบาลานซ์มอดดูเลเตอร์ทางด้านQ

ในการออกแบบวงจรเราเลือกใช้ R_f = 1 kOhm R_1 และ R_2 ใช้ VR 20 kohm เพื่อที่สามารถปรับแกนได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



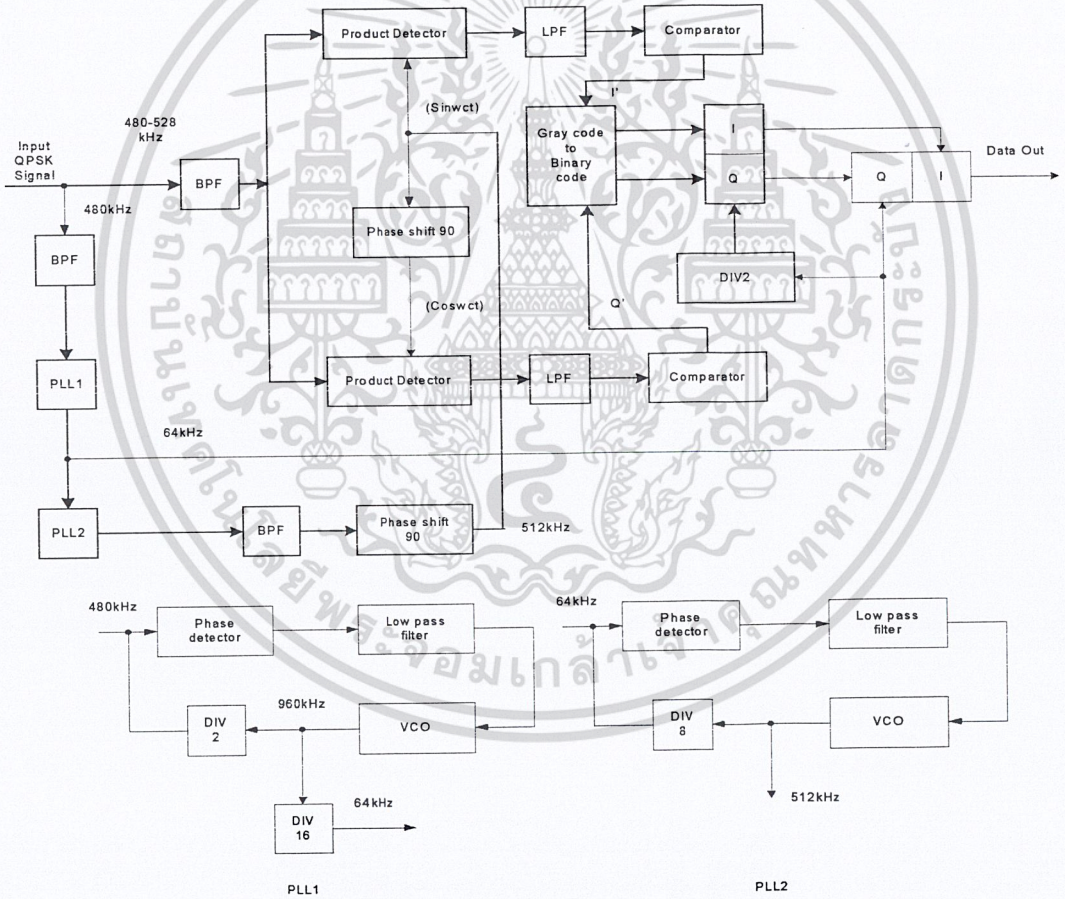
รูปที่ 3.13 วงจร Summing Amplifier

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

การออกแบบและทดลองวงจรทางด้านภาครับ

ในการออกแบบและทดลองทางด้านภาครับรับนั้น ต้องการมีการเพิ่มเติมบางส่วนจากทฤษฎี เพื่อจะให้สอดคล้อง กับสัญญาณที่ส่งมาทางด้านภาคส่งซึ่งสัญญาณ นำร่อง 480 kHz ร่วมส่งกับสัญญาณเข้ารหัส ดังนั้นต้องมีวงจรกรองสัญญาณ 2 วงจร วงจรกรองความถี่ช่วง 496-528 kHz และวงจรกรองความถี่ 480 kHz ดังแสดงในรูปที่ 4.1



รูปที่ 4.1 Block Diagram ทางด้านภาครับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

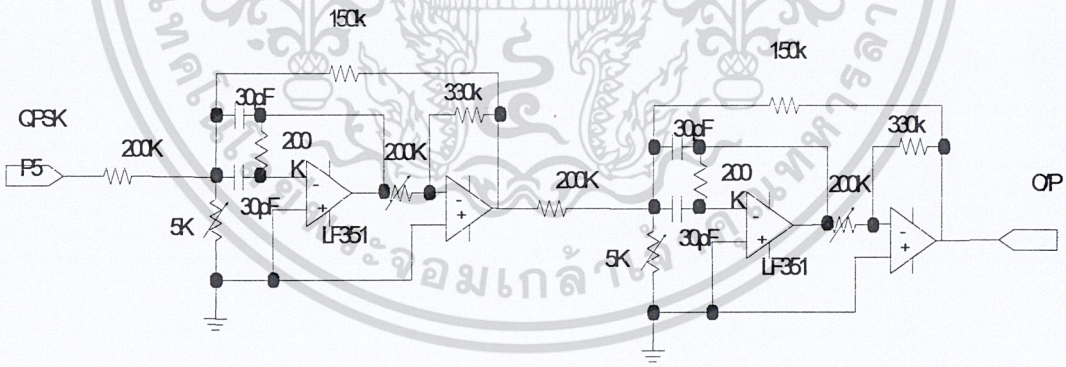
ทำการนำสัญญาณนำร่อง 480 kHz มาใช้ในการกู้สัญญาณพาหะ Sine wave 512 kHz ผ่านวงจรเลื่อนเฟส 90^{O} ทำการดีเทคเตอร์สัญญาณนำสัญญาณที่ได้ผ่านวงจรกรองความถี่ต่ำ แล้วนำมาเปรียบเทียบสัญญาณจะได้สัญญาณทางด้าน I' และ Q' เข้ารหัสสัญญาณ Gray code to Binary code ได้สัญญาณ I และ Q จากนั้นทำการเลื่อนข้อมูลแบบขนานเป็นอนุกรม ก็จะได้สัญญาณเอาท์พุทออกมา แต่สัญญาณนาฬิกา 64 kHz ได้จากการนำเอาสัญญาณนำร่องมากู้สัญญาณนาฬิกาผ่านวงจรเฟส ล๊อกลูปได้สัญญาณนาฬิกา 64 kHz ใช้ในการกระตุ้นข้อมูลออกมาทางเอาท์พุทได้

วงจรกรองความถี่ ช่วง 496-528 kHz

เมื่อสัญญาณที่ได้เข้ารหัสแบบ QPSK แล้วจะถูกส่งมาตามสายโคแอกเชียลทางภาครับเมื่อรับสัญญาณแล้ว ต้องทำการตรวจรับสัญญาณในขั้นต้น และกรองสัญญารช่วงความถี่ที่ภาครับต้องการเท่านั้นอีกทั้งสามารถกำจัดสัญญาณรบกวนได้อีกทางหนึ่งด้วย ในการออกแบบนั้นเราใช้วงจรกรองช่วงความถี่ผ่านแบบป้อนกลับทางบวก การออกแบบนั้นเลือกค่า

Q = 40 และค่าคาปาซิเตอร์เท่ากับ 10 pF ทำการเลือกค่าความต้านทานในรูปที่ 3.8 ในรายละเอียดการออกแบบแสดงไว้แล้วในบทที่ 3

เรานำวงจรกรองช่วงความถี่ผ่านต่อแบบ Cascade เพื่อจะได้ช่วงความถี่ที่ต้องการมีความคมขึ้น เพื่อจะได้ความถี่ช่วง 496-528 kHz ความต้องการดังในวงจรรูปที่ 4.2



รูปที่ 4.2 วงจรกรองความถี่ช่วง 496-528 kHz

วงจรกรองความถี่ช่วง 480 kHz

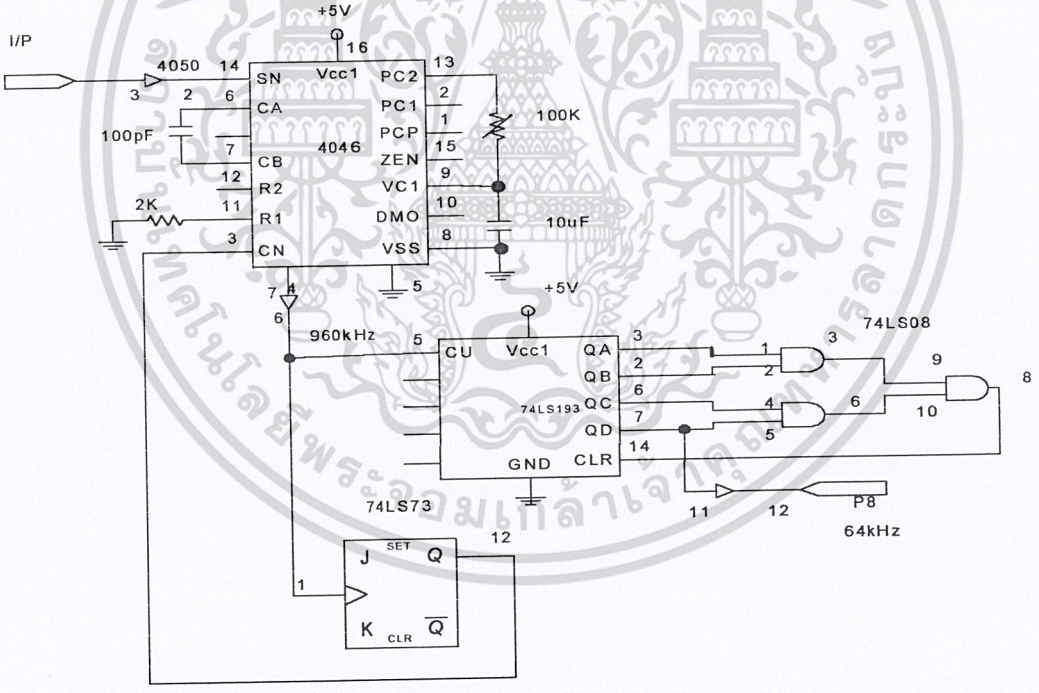
เราใช้วงจร positive feed back band – pass filter เนื่องจากเราต้องการความถี่ 480 kHz ซึ่งมีความสำคัญในการนำมารู้สัญญาณพาหะและ กู้สัญญาณนาฬิกา ดังนั้นวงจร Positive feed back

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

band – pass filter จะมีคุณสมบัติในการกรองความถี่ได้ช่วง แบนด์วิชด์ แคบมากฉะนั้นเราจึงนำคุณสมบัตินี้มาใช้กรองความถี่ช่วง 480 kHz ทำการต่อแบบ Cascade จะได้วงจรดังรูปที่ 4.2 ทำการปรับความถี่โดยการเปลี่ยนค่าความต้านทานปรับค่าได้เพียงเล็กน้อย เพื่อความสะดวกในการออกแบบ

วงจรเฟสล๊อกลูป

ในด้านภาครับนั้น มีวงจรเฟสล๊อกลูปด้วยกัน 2 วงจรในวงจรเฟสล๊อกลูปที่ 1 นั้นเราต้องการสัญญาณทางด้านเอาท์พุท 64 kHz เพื่อนำมาเป็นสัญญาณนาฬิกาใช้ในการทริกสัญญาณข้อมูลออกไปหลักการข้อวงจรเฟสล๊อกลูปวงจรที่ 1 คือเรานำสัญญาณ 480 kHz ทำการเปรียบเทียบทางเฟสที่ ผ่านวงจรกรองความถี่ต่ำนำสัญญาณที่ได้ทำการปรับค่าความถี่ ให้เท่ากับความถี่ที่เข้ามาโดยวงจร VCO แต่ทางด้านเอาท์พุทของ VCO นั้น ความถี่ที่ต้องการคือ 960 kHz แล้วทำการปรับค่าความถี่ได้นี้ให้ลดลงโดยผ่านวงจรหาร 15 จะได้ ความถี่ 64 kHz ที่ต้องการดังรูปที่ 4.3

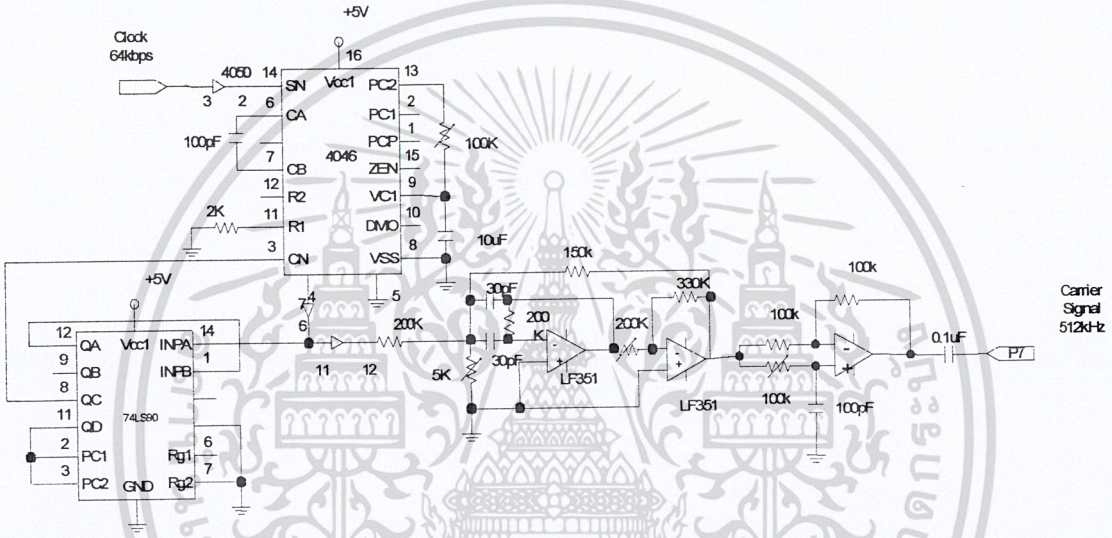


รูปที่ 4.3 วงจรเฟสล๊อกลูปที่ 1 กู้สัญญาณนาฬิกา 64 kHz

ส่วนของวงจรเฟสล๊อกลูปวงจรที่ 2 นั้นเราใช้สำหรับกู้สัญญาณพาหะความถี่ 512 kHz เพื่อนำไปทำการดีเทคเตอร์สัญญาณจะได้สัญญาณพาหะ Sine wave 512 kHz ซึ่งจะต้องมีความถี่และเฟสมีค่าตรงกันกับทางด้านภาคส่งเพื่อจะได้การซิงโครไนท์ที่ถูกต้อง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หลักการออกแบบนั้นจะใช้หลักกการของเฟสล๊อกลูปทั่ว ๆ ไปที่ได้กล่าวแล้วในข้างต้นแต่จะเพิ่มเติมในบางส่วนคือ เรานำสัญญาณ 64 kHz จากเฟสล๊อกลูปวงจรที่ 1 มาใช้เป็นสัญญาณอินพุทของวงจรเฟสล๊อกลูปวงจรที่ 2 แต่สัญญาณเอาท์พุทของวงจร VCO นั้น เราต้องการ 512 kHz ดังนั้นทางด้านวงจรเปรียบเทียบเฟส 64 kHz จะมีการลดค่าความถี่ให้ได้ 64 kHz จะมีการลดค่าความถี่ให้ได้ 64 kHz โดยใช้วงจรหาร 8 เท่า ก็จะได้เอาท์พุทของ VCO มีค่าเท่ากับ 512 kHz พอดี ดังวงจรในรูปที่ 4.4

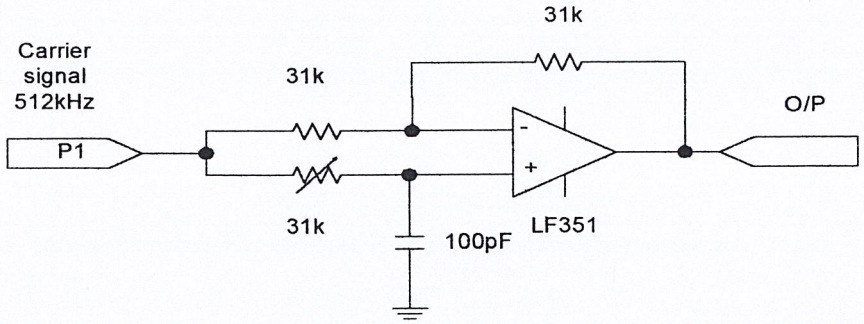


รูปที่ 4.4 วงจรเฟสล๊อกลูปที่ 2 กู้สัญญาณพาหะ 512 kHz

วงจรเลื่อนเฟส 90^0

ในทางด้านภาครับนั้น เมื่อทำการกู้สัญญาณพาหะที่ใช้ในการดีมอดเลเตอร์ทางด้าน Imphase ซึ่งก็คือสัญญาณ Sine wave ได้แล้วนั้นในส่วนของทางด้าน Quadrature phase นั้นต้องนำสัญญาณ Cosine wave เป็นสัญญาณพาหะไปทำการดีมอดูเลเตอร์อีกทางหนึ่งด้วย ดังนั้นเมื่อได้สัญญาณ Sine wave แล้วต้องการสัญญาณ Cosine wave ต้องวงจรเลื่อนเฟส 90^0 ซึ่งจะใช้วงจรกรองผ่านทุกความถี่ชนิด Vo ถ้าหลัง Vin เหมือนกันทางด้านภาคส่งทุกประการ ดังวงจรรูปที่ 4.5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

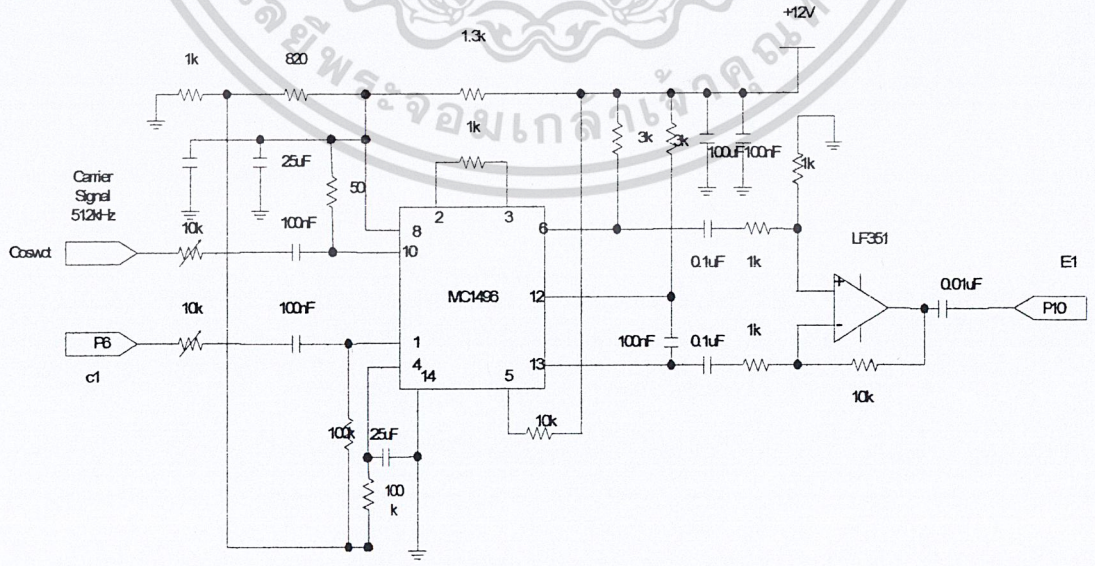


รูปที่ 4.5 วงจรเลื่อนเฟส 90^0

การออกแบบนั้นได้กล่าวแล้วในบทที่ 3 ในหัวข้อวงจรเลื่อนเฟส 90^0

วงจรบาลานซ์ดีมอดูเลเตอร์

ในทางด้านภาครับวงจรบาลานซ์ดีมอดูเลเตอร์ (Balance demodulator) จะใช้ IC 1496 รูปแบบวงจรนั้นจะเหมือนกับวงจรบาลานซ์มอดูเลเตอร์ทางด้านภาคส่ง เกือบทุกประการแต่จะแตกต่างกันกับทางด้านภาคส่งเพียงเล็กน้อย ดังแสดงไว้ในวงจรรูปที่ 4.6 และด้วยเหตุที่ว่าข้อมูลจะส่งมาแล้วแยกเป็น 2 ส่วนดังนั้นจะต้องใช้วงจรบาลานซ์ดีมอดูเลเตอร์ 2 วงจร เพื่อทำการดีมอดูเลทางด้าน Carrier ที่ทำกันดีมอดูเลททางด้าน Imphase เป็น Sine wave ส่วนทางด้าน Quadrature phase เป็น Cosine wave ซึ่งเป็นเอาท์พุทของวงจรเลื่อนเฟส 90^0 ดัง แสดงในวงจรรูปที่ 4.6



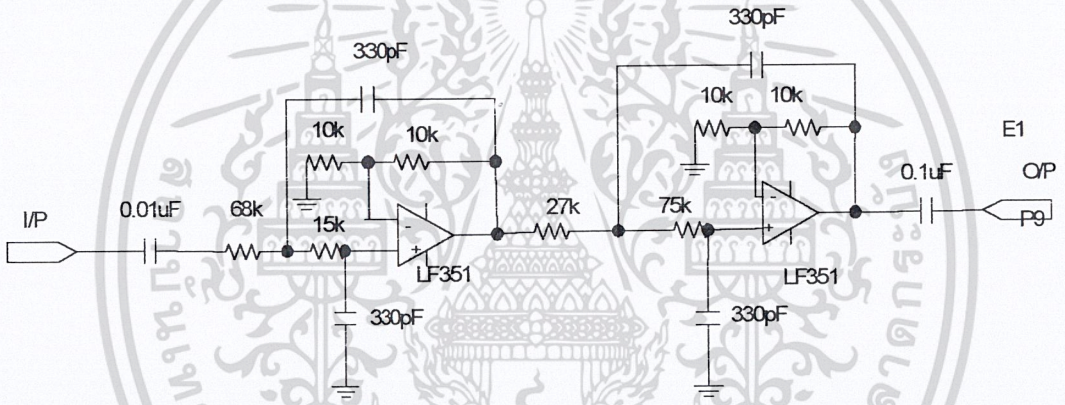
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 4.6 วงจรบาลานซ์ดีมอดูเลเตอร์

วงจรกรองความถี่ต่ำ

เมื่อทำการดีมอดูเลเตอร์ทั้ง 2 ด้าน แล้วสัญญาณเอาท์พุททั้งสองวงจรนั้นจะประกอบด้วยสัญญาณที่เกิดจากการคูณกันของสัญญาณพาหะกับสัญญาณมอดูเลท และผลที่ได้จะมีสัญญาณมอดูเลท และผลที่ได้จะมีสัญญาณความถี่สูงและสัญญาณความถี่ต่ำสัญญาณ 2 ระดับที่ต้องการนั้นอยู่ในรูปของสัญญาณความถี่ต่ำดังนั้น วงจรกรองความถี่ต่ำจะทำหน้าที่กรองเฉพาะสัญญาณความถี่ต่ำที่ต้องการเท่านั้น ส่วนสัญญาณความถี่สูงจะถูกตัดทิ้งไปเหลือเพียงสัญญาณ 2 ระดับในส่วนของความถี่ต่ำที่ต้องการเท่านั้น

ในส่วนการออกแบบนั้น เราใช้ความถี่ คัท – ออฟ ที่ 16 kHz รูปแบบของวงจรแสดงในรูปที่ 4.7



รูปที่ 4.7 วงจรกรองความถี่ต่ำ

ในส่วนวงจรกรองความถี่ต่ำทั้ง 2 ด้านเหมือนกันทุกประการ

วงจรแปลงสัญญาณ 2 ระดับเป็น 1 บิต

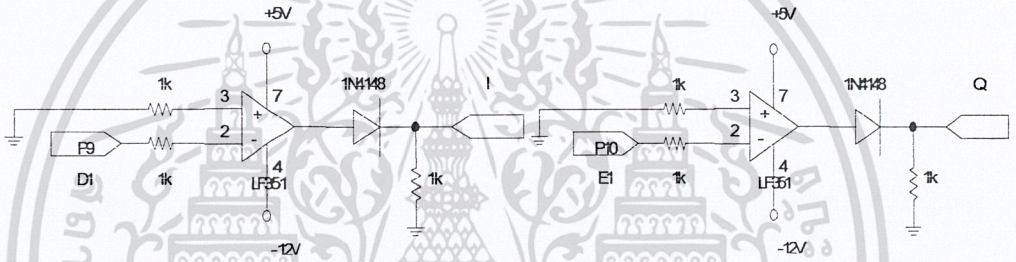
เมื่อเราทำการเอาเฉพาะความถี่ที่ต้องการได้แล้วต่อไป ต้องนำสัญญาณนั้นมาทำการแยกระดับสัญญาณต่างๆเป็น 2 ระดับเหมือนกันกับเข้าบาลานซ์มอดูเลเตอร์ทางด้านส่งระดับสัญญาณที่ได้แสดงดังตารางที่ 4.2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Input (V)	Output (V)	Gray Code
+4.5	5	1
-4.5	0	0

ตารางที่ 4.1 ระดับสัญญาณ 2 ระดับ

ในส่านของการทำระดับสัญญาณ 2 ระดับเป็น ระดับ 0 กับ 1 นั้นเราใช้วงจร Comparator จะทำการจัดระดับเป็น ระดับ +5v และทำการจัดระดับสัญญาณ 0 ถ้าที่ระดับ 0 ถ้าที่ระดับ –12v ดังวงจรในรูปที่ 4.8



รูปที่ 4.8 วงจร Comparator

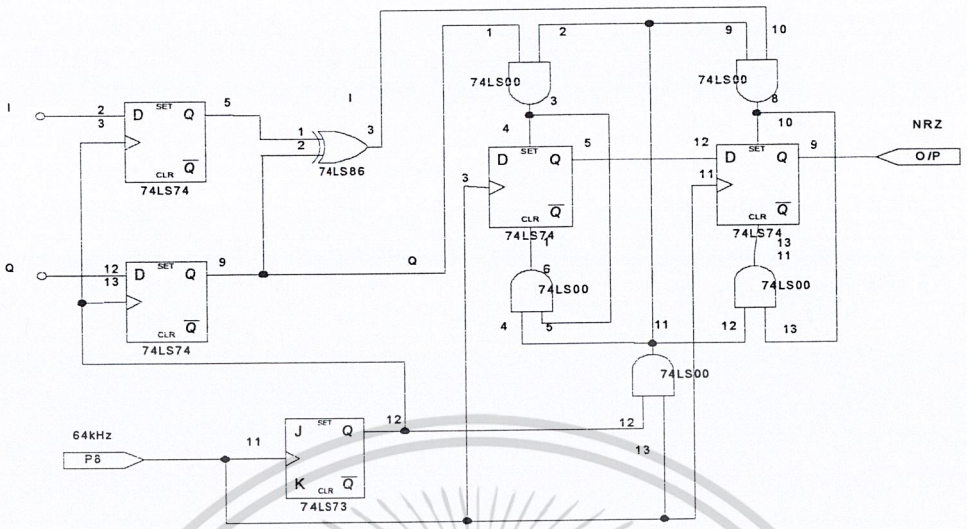
วงจรรวมสัญญาณดิจิตอล

เป็นวงจรที่มีลักษณะและหน้าที่การทำงานตรงกันข้ามกันวงจรแยกสัญญาณดิจิตอลทางด้านภาคส่ง เพื่อทำหน้าที่รวมสัญญาณดิจิตอลทางด้าน Imphase และ Quadrature phase จากสัญญาณแบบขนานไปเป็นสัญญาณดิจิตอลแบบอนุกรมโดยทำการควบคุมจังหวะการทังานของฟลิปฟลอบจากสัญญาณนาฬิกาที่ได้มาจากการกู้สัญญาณนาฬิกา

แต่ต้องทำการแปลง Gray code เป็น Binary code ก่อนเพราะทางด้านส่งได้ทำการแปลงจาก Binary code เป็น Geay code ส่งมาเพื่อป้องกันการผิดพลาดโดยใช้ Ex-or Gate

วงจรหน่วงเวลา 2 บิท นั้นจะเป็นตัวควบคุมจังหวะการทำงานของขา Preset และขา Clear ของ D ฟลิปฟลอบ ส่งข้อมูลมาเฉพาะสัญญาณนาฬิกาลูกแรกเท่านั้น จึงใช้ NAND Gate ในการบังคับ Dฟลิปฟลอบ หลักการดังกล่าวเป็นหลักการของวงจรแปลงจากขนานไปเป็นอนุกรมวงจรนี้ได้ทดลองเป็นดังรูปที่ 4.9

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.9 วงจรรวมสัญญาณดิจิตอล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

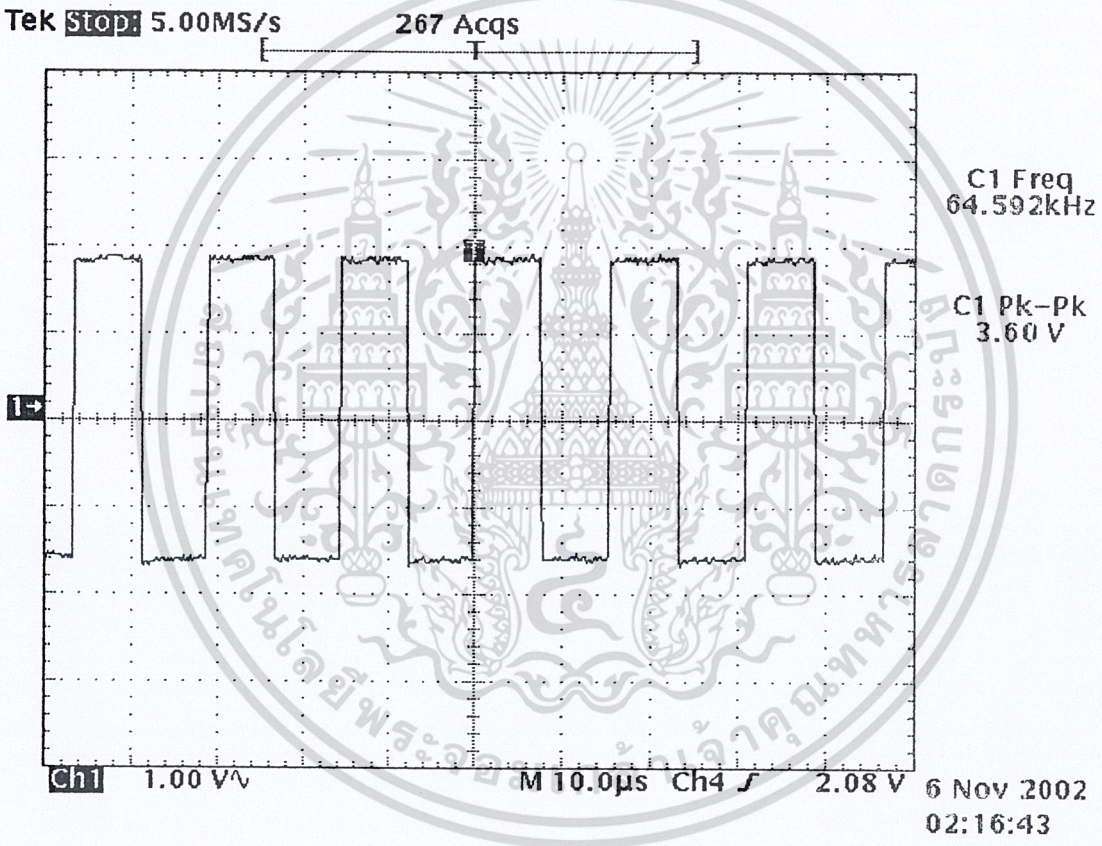
บทที่5

ผลการทดลอง

5.1 เครื่องส่ง

ในการทดลองส่งข้อมูลแบบ QPSK จากเครื่องส่งแล้วนำออสซิลโลสโคป (Oscilloscope) วัดตามจุดต่างๆ ได้ดังนี้

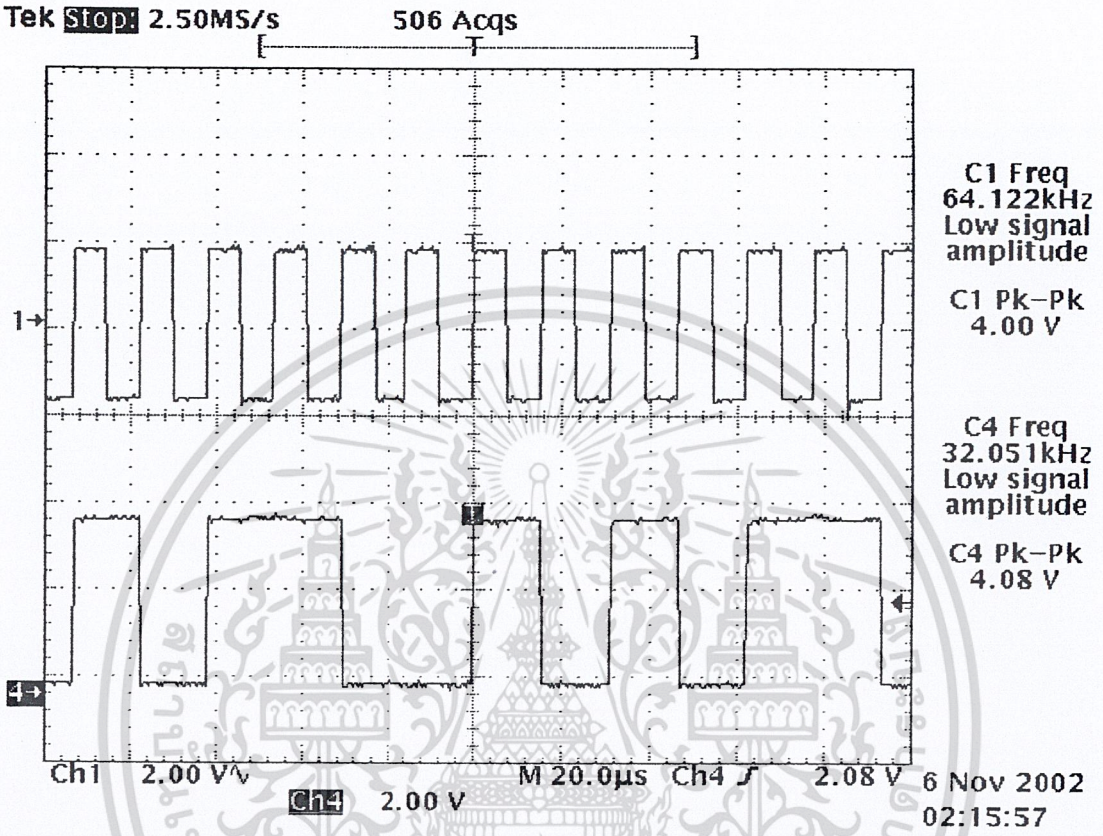
5.1.1 ภาควงจรกำเนิดสัญญาณนาฬิกา 64 kHz



รูปที่ 5.1.1 สัญญาณนาฬิกาที่สร้างขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.1.2 วงจรกำเนิดข้อมูลไบนารี NRZ ความเร็วในการส่ง 64 kHz



รูปที่ 5.1.2 สัญญาณนาฬิกาเปรียบเทียบกับสัญญาณข้อมูล 10110100

CH3 สัญญาณข้อมูล 10110010

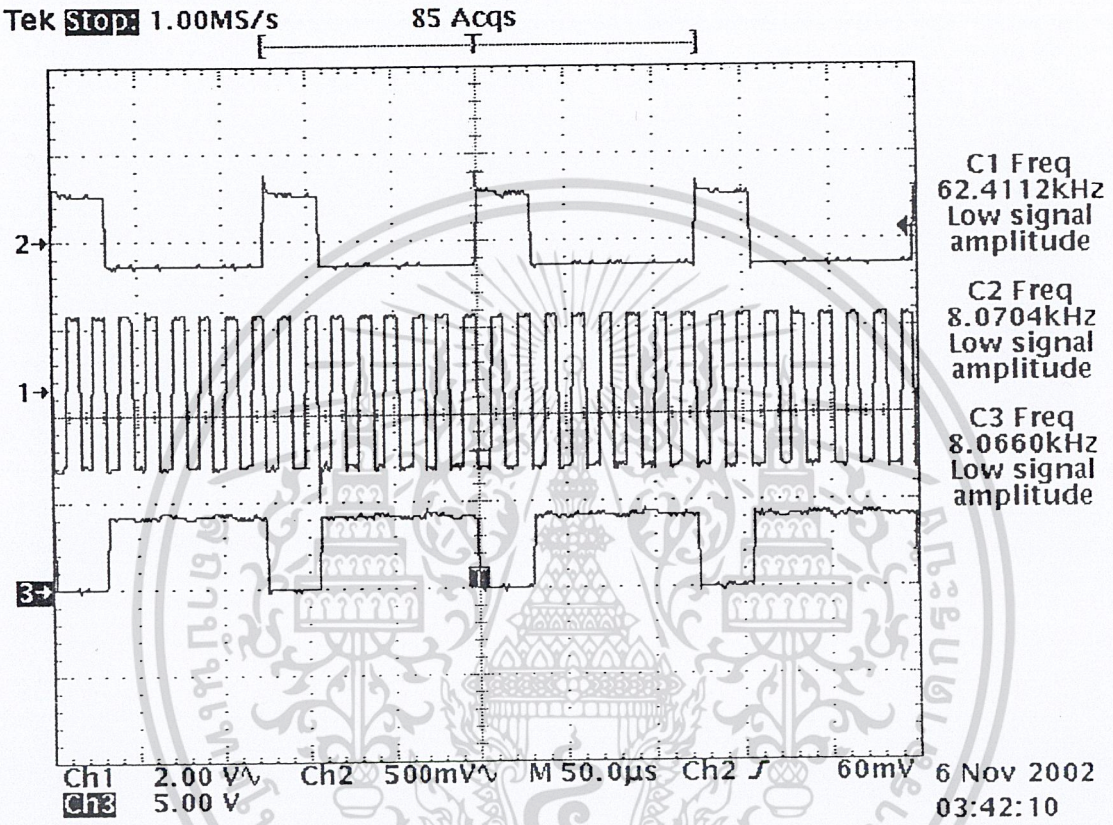
CH4 สัญญาณนาฬิกา

วงจรส่วนนี้จะใช้สัญญาณนาฬิกามากำหนดความเร็วในการเลื่อนข้อมูลของไอซีเบอร์ 74165 โดยสามารถเปลี่ยนแปลงข้อมูลได้ โดยการใช้ Dip Switch ข้อมูลที่ได้จะมีลักษณะต่อเนื่องกัน 8 bit

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.1.3 วงจรแยกบิทสัญญาณข้อมูล

เนื่องจากในการส่งข้อมูล QPSK ข้อมูลที่จะส่งเป็นแบบอนุกรม ดังนั้นจึงต้องทำการแยกให้อยู่ในรูปของข้อมูลที่ขนานกันโดยแบ่งเป็นสองช่องคือ ช่อง I และช่อง Q



รูปที่ 5.1.3 สัญญาณข้อมูลที่ถูกแยกเป็นช่อง I ช่อง Q เปรียบเทียบกับสัญญาณนาฬิกา

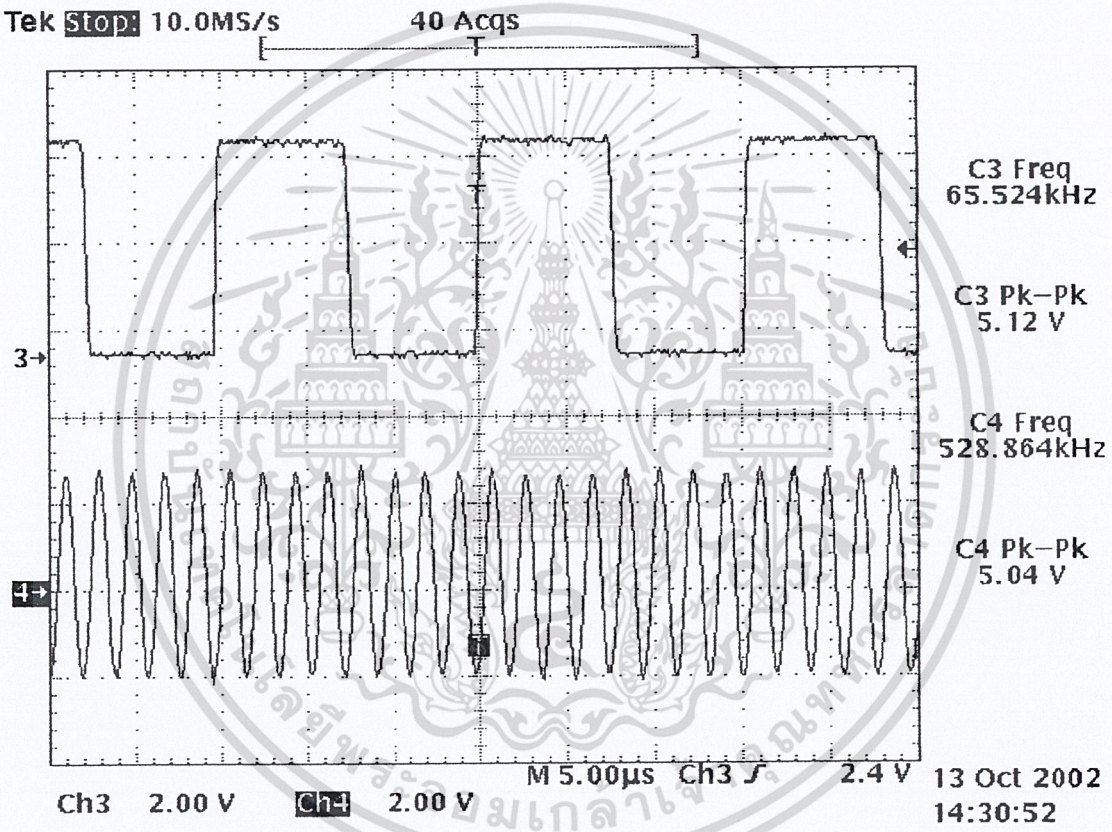
CH3 สัญญาณช่อง I

CH4 สัญญาณช่อง Q

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.1.3 วงจรกำเนิดสัญญาณพาห์ความถี่ 512 kHz

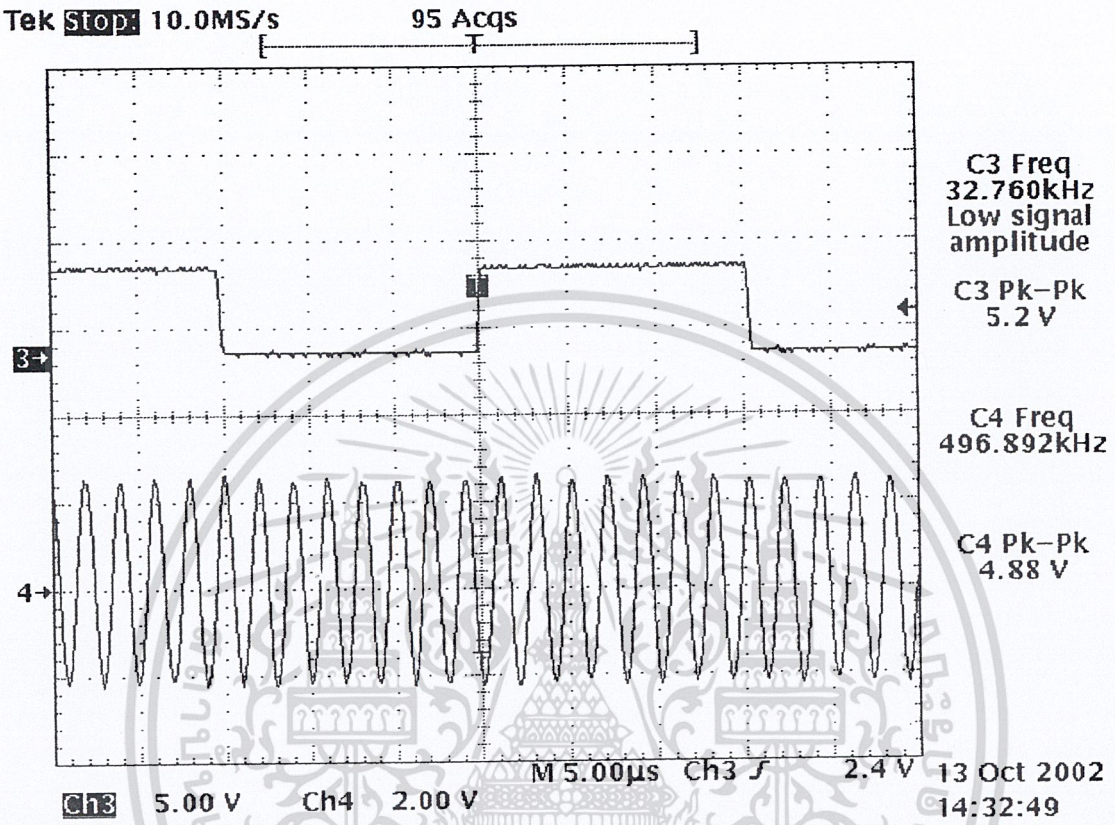
ในการกำเนิดสัญญาณพาห์ จะใช้สัญญาณนาฬิกา 64 kHz มาเข้าวงจรเฟสล็อกลูป เพื่อคูณความถี่ไป 8 เท่า แล้วจึงนำสัญญาณนี้ไปเข้าวงจรกรองช่วงความถี่ เพื่อให้ได้สัญญาณพาห์ 512 kHz ก่อน แล้วจึงนำไปเลื่อนเฟสอีก 90 องศา



รูปที่ 5.1.3 สัญญาณคลื่นพาห์ที่ได้จากการป้อนสัญญาณนาฬิกาขนาด 64 kHz มาเข้าวงจรคูณ 8 ได้สัญญาณ 512 kHz แล้วนำสัญญาณไปเข้าวงจรกรองช่วงความถี่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.1.4 วงจรกำเนิดสัญญาณนำร่อง 480 kHz



รูปที่ 5.1.4 สัญญาณจากวงจรกำเนิดสัญญาณนาฬิกาเปรียบเทียบกับสัญญาณนำร่อง

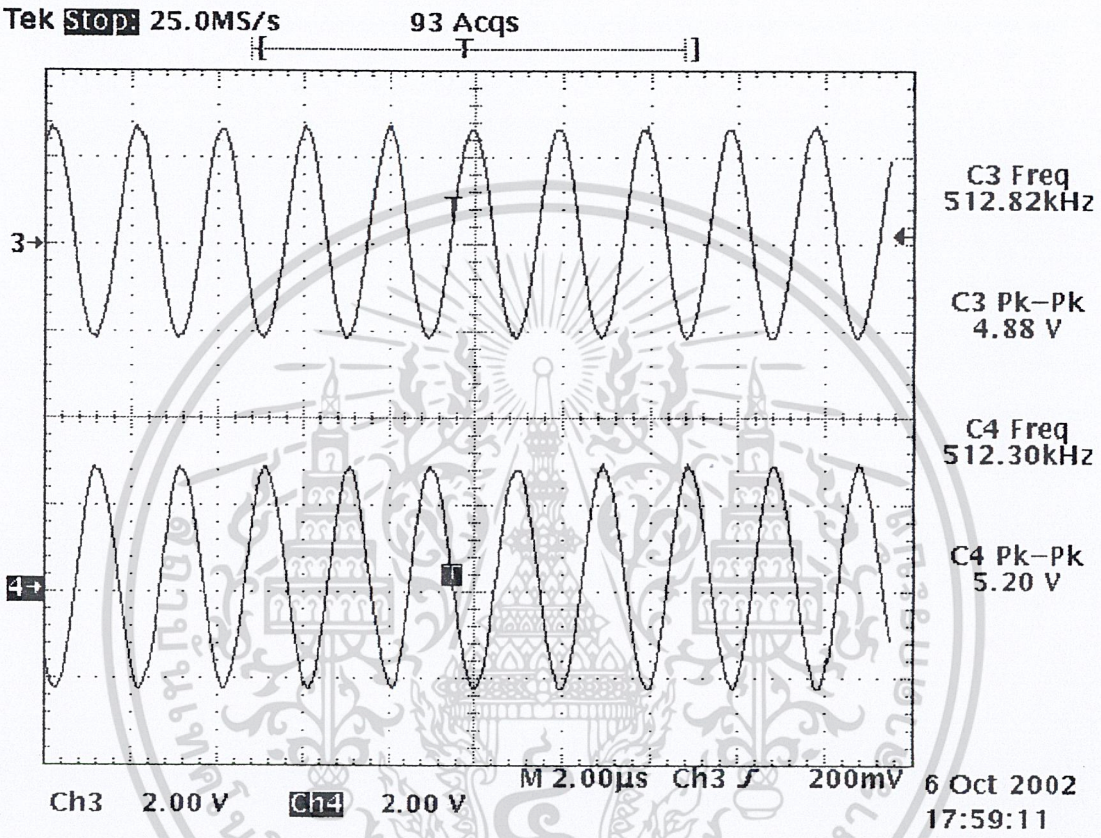
CH3 สัญญาณจากวงจรกำเนิดสัญญาณนาฬิกา

CH24สัญญาณที่ผ่านวงจรกรองความถี่แถบผ่านแล้วเป็นสัญญาณนำร่อง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.1.5 วงจรกำเนิดสัญญาณเลื่อนเฟส 90 องศา

ได้จากการนำสัญญาณพาห์ความถี่ 512 kHz นำมาเลื่อนเฟส 90 องศา เพื่อนำไปใช้ในวงจรมอดูเลชั่นต่อไป



รูปที่5.1.5 สัญญาณคลื่นพาห์ที่ได้จากการเลื่อนเฟส 90 องศา

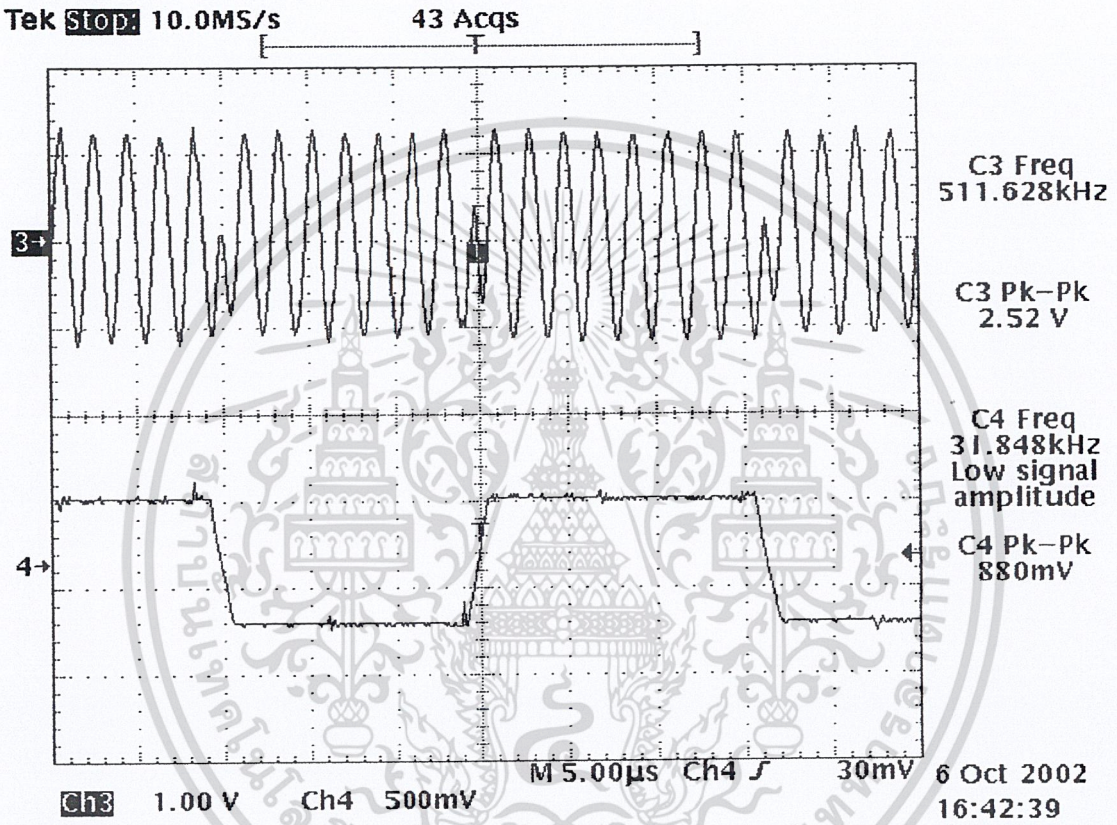
CH3 สัญญานคลื่นพาห์

CH4 สัญญาณคลื่นพาห์ที่เลื่อนเฟส 90 องศา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.1.6 วงจรมอดูเลเตอร์แบบแยกคลื่นพาห์

จะแบ่งเป็น 2 วงจรคือ นำ "I" มามอดูเลตกับสัญญาณคลื่นพาห์ และนำ "Q" มามอดูเลตกับสัญญาณคลื่นที่เลื่อนเฟส 90 องศา จะเรียกสัญญาณทั้งคู่ว่าสัญญาณช่อง I(I channel) สัญญาณช่อง Q(Q channel) ตามลำดับ

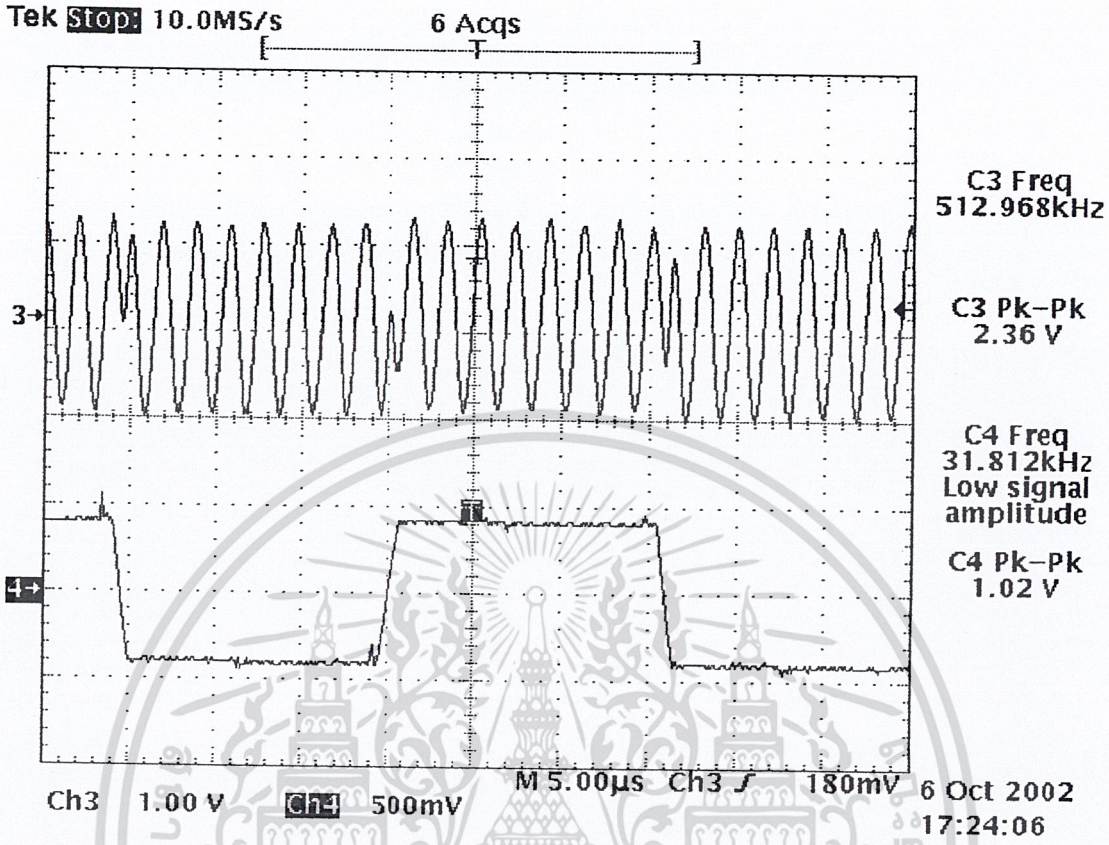


รูปที่5.1.6(ก) เปรียบเทียบสัญญาณ I channel กับ I'

CH3 สัญญาณ I channel

CH4 สัญญาณ I'channel

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

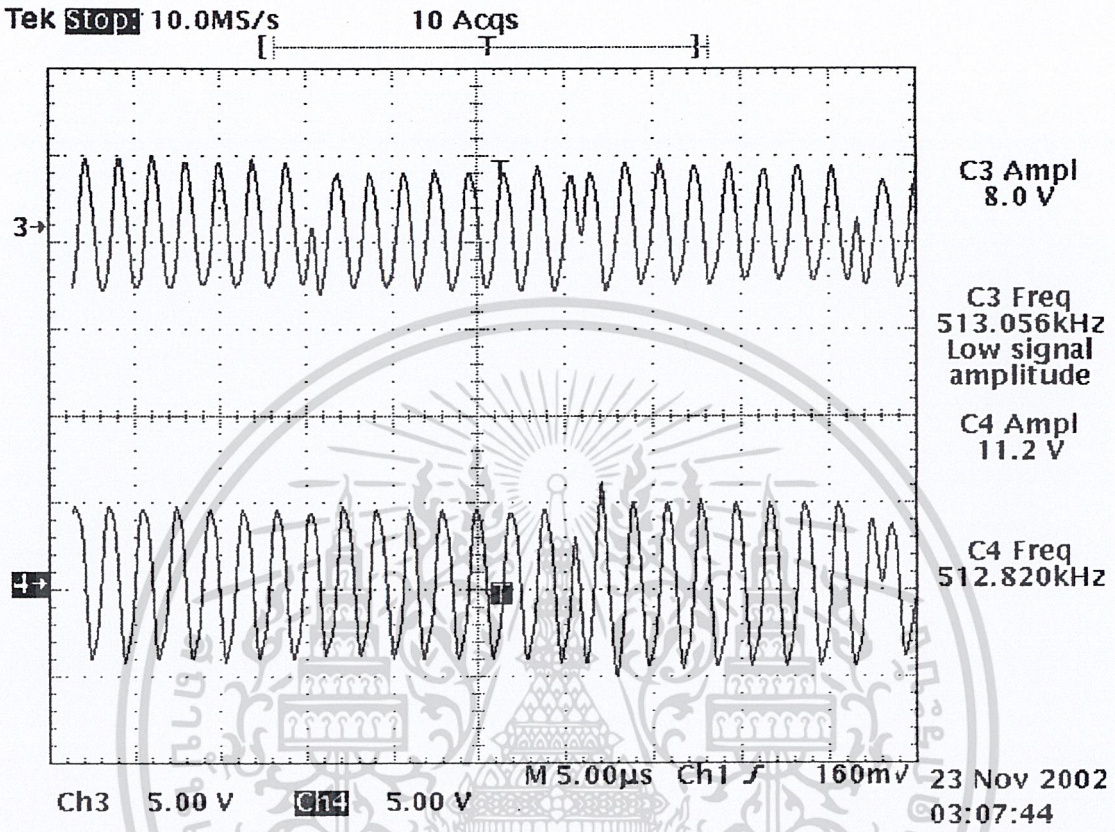


รูปที่ 5.1.7 (ข) เปรียบเทียบสัญญาณ Q กับ Q'

CH3 สัญญาณ Q channel

CH4 สัญญาณ Q' channel

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

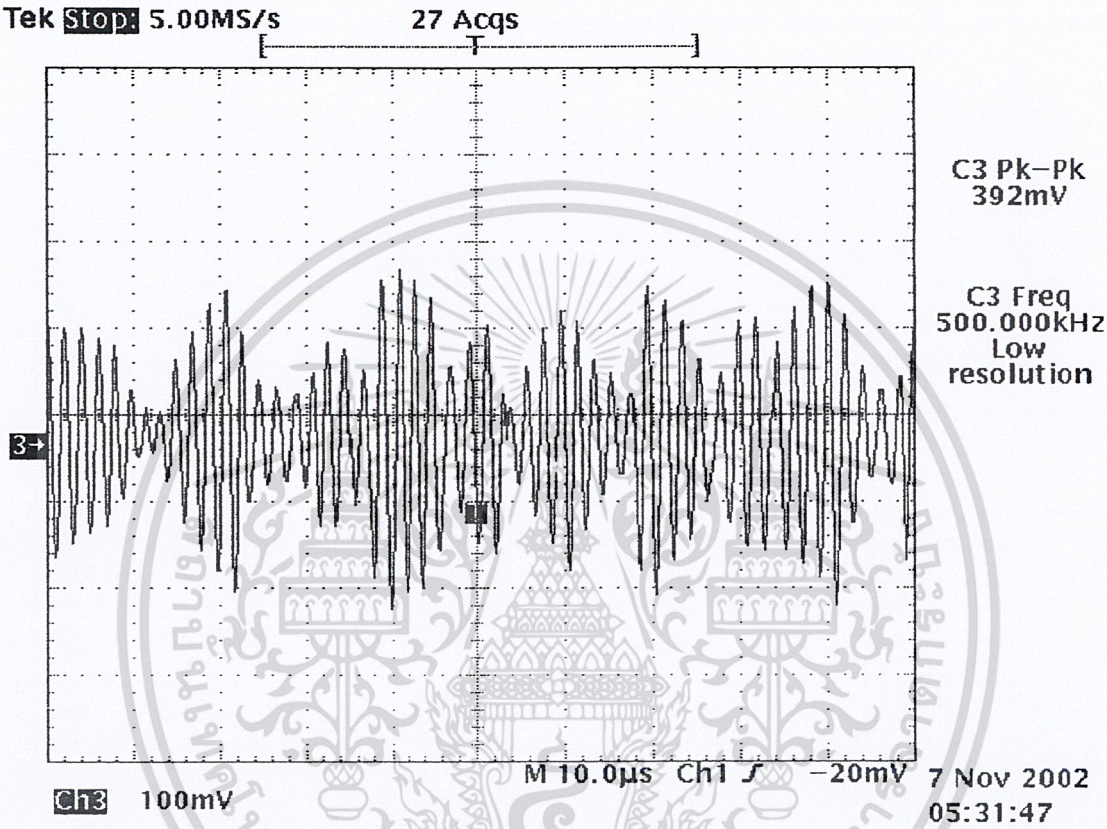


รูปที่ 5.1.7(ค) เปรียบเทียบสัญญาณ I channel และ Q channel

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.1.8 วงจรรวมสัญญาณ

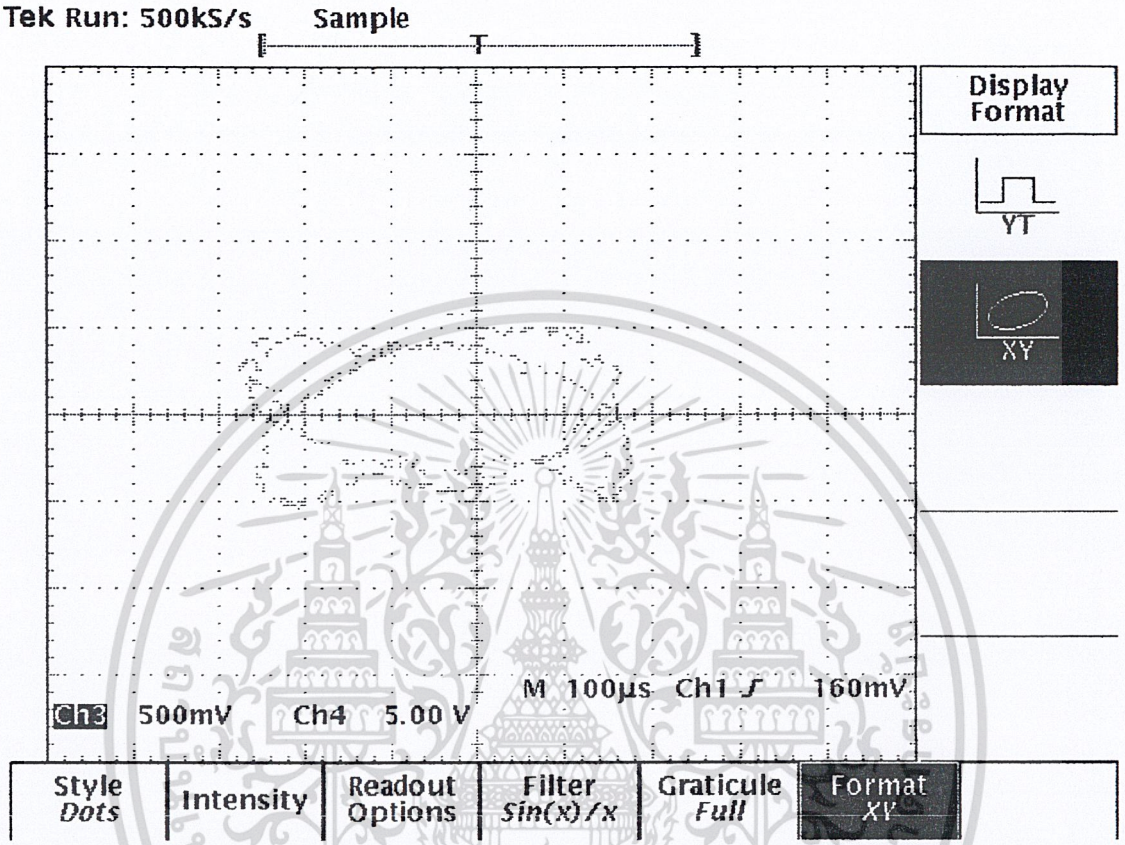
ในการส่งสัญญาณ QPSK จะทำการส่งข้อมูลที่เป็นผลรวมของ I channel , Q channel และสัญญาณนำร่อง 480 kHz



รูปที่5.1.8 สัญญาณ QPSK

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

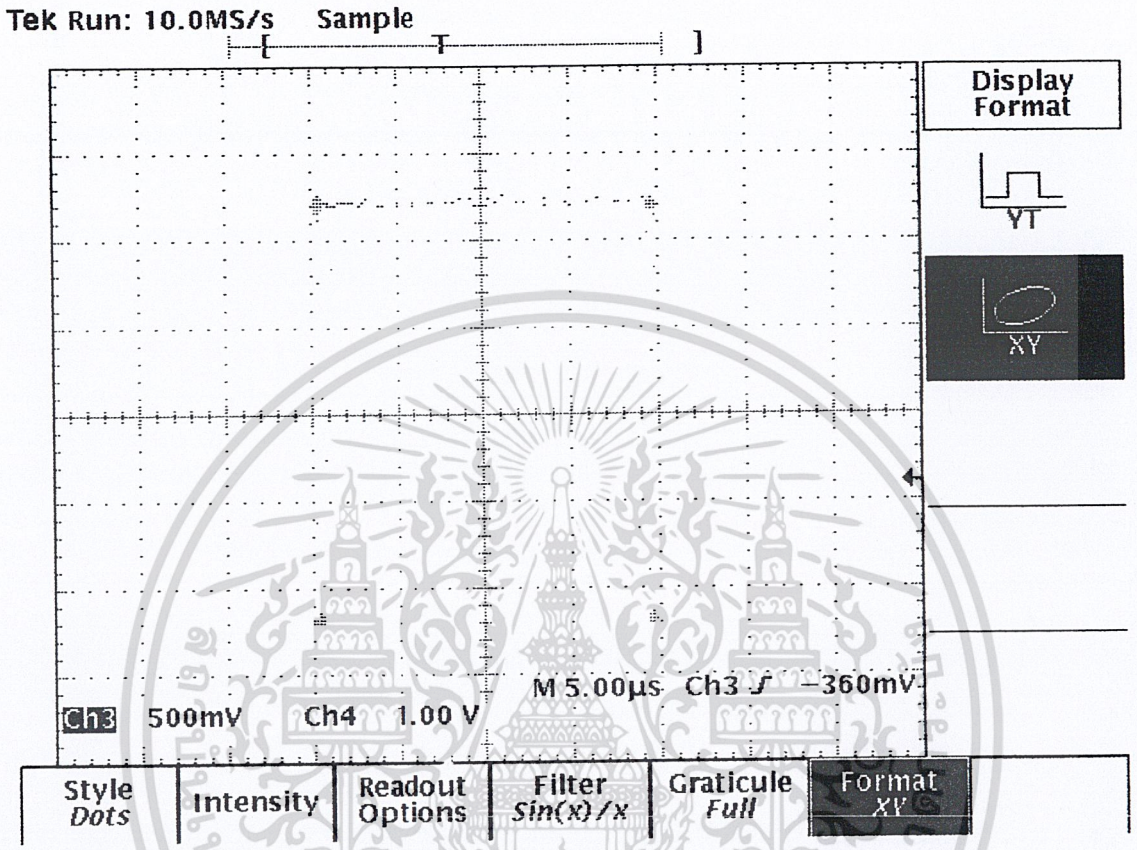
5.1.9 เปรียบเทียบสัญญาณ QPSK กับ สัญญาณพาหะใน X-Y MODE



รูปที่ 5.1.9 เปรียบเทียบสัญญาณ QPSK กับสัญญาณพาหะ 512 kHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.2.0 เปรียบเทียบสัญยาณ QPSK กับสัญญาณนาฬิกา



รูปที่ 5.2.0 เปรียบเทียบสัญญาณ QPSK กับ สัญญาณนาฬิกา 64 kHz

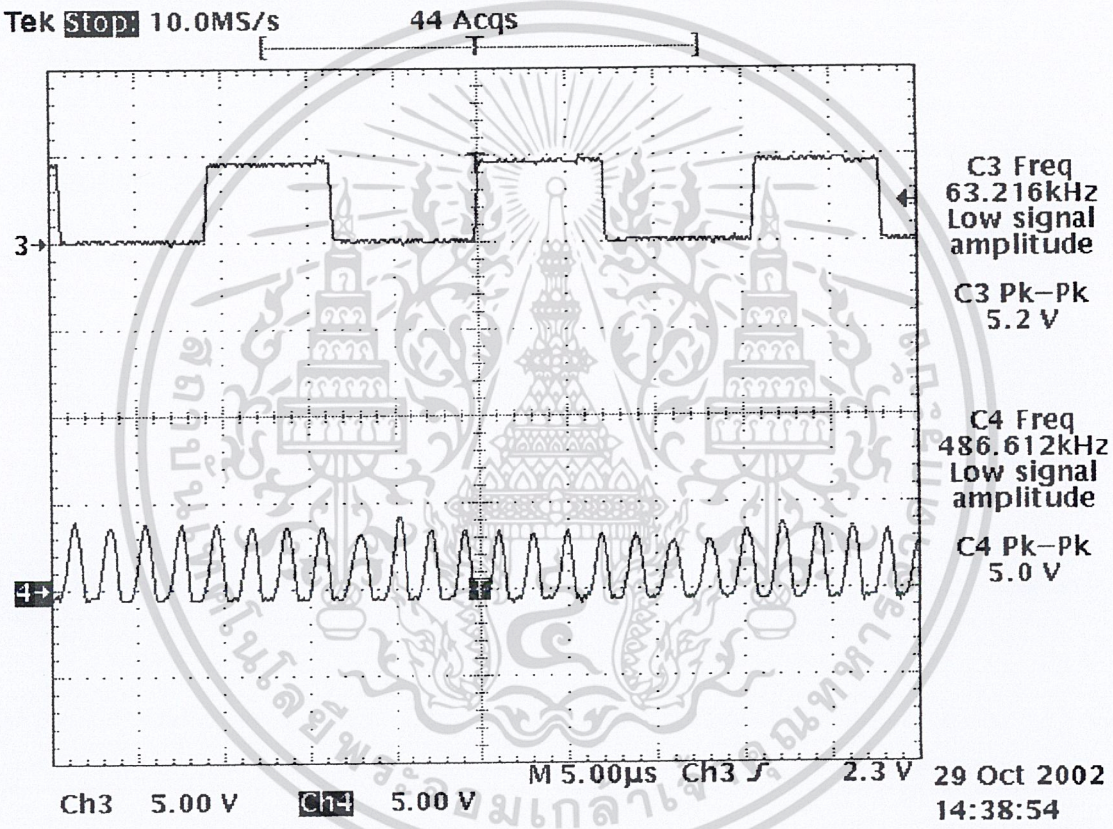
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.2เครื่องรับ

เมื่อทางภาคส่ง ส่งข้อมูลมาทางภาครับ โดยผ่านสายคคแอคเชียล ใช้ออสซิลโลสโคปวัดตามจุดต่างๆดังนี้

5.2.1 ภาคกรองช่วงความถี่นำร่องและกู้สัญญาณนาฬิกา

เมื่อสัญญาณข้อมูลที่รับได้จะถูกกรองความถี่ด้วยวงจรกรองช่วงความถี่ 480 kHz แล้วนำไปเป็นสัญญาณอ้างอิงในการกู้สัญญาณนาฬิกา

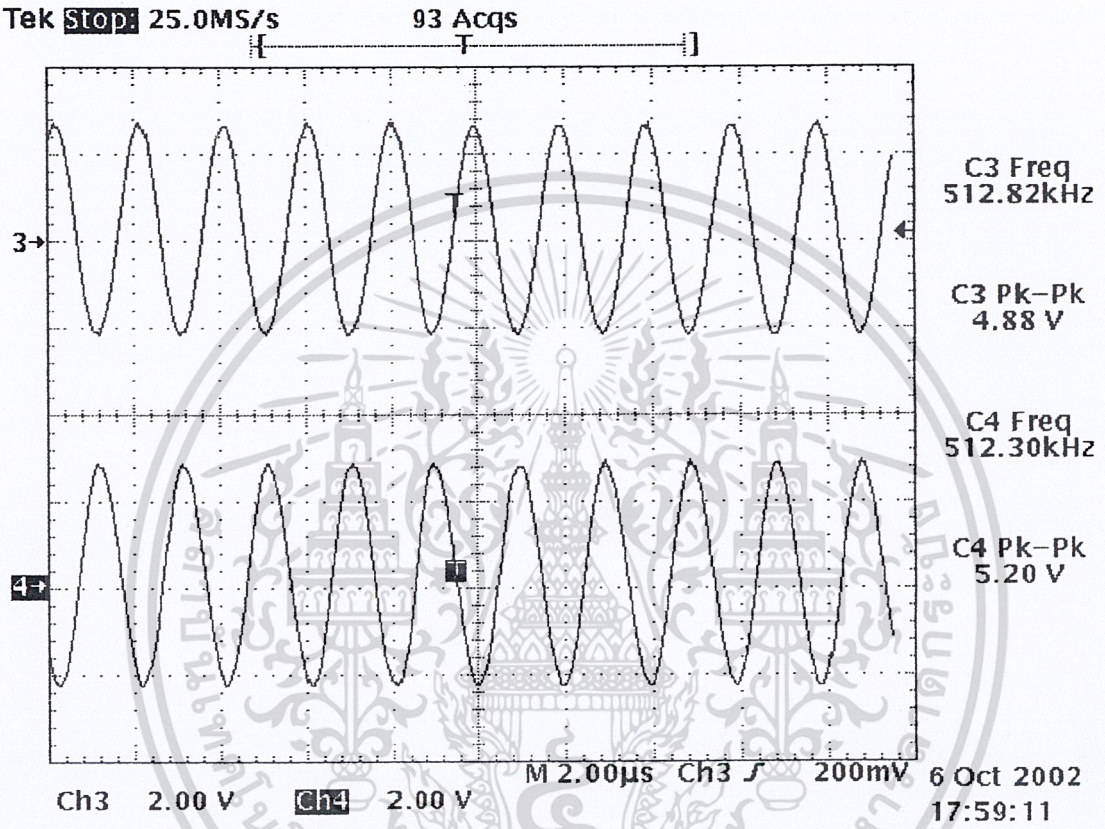


รูปที่ 5.2.1 แสดงรูปของสัญญาณนาฬิกาที่กู้ได้เทียบกับสัญญาณกรองความถี่ 480kHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.2.2 นำสัญญาณนาฬิกาเป็นสัญญาณอ้างอิงในการกู้สัญญาณพาห์

นำสัญญาณนาฬิกาที่กู้ได้มาเป็นสัญญาณอ้างอิงในการสร้างสัญญาณพาห์เมื่อได้สัญญาณพาห์แล้วนำสัญญาณที่ได้ไปผ่านวงจรเลื่อนเฟส 90 องศา ผลการทดลองได้ดังรูป

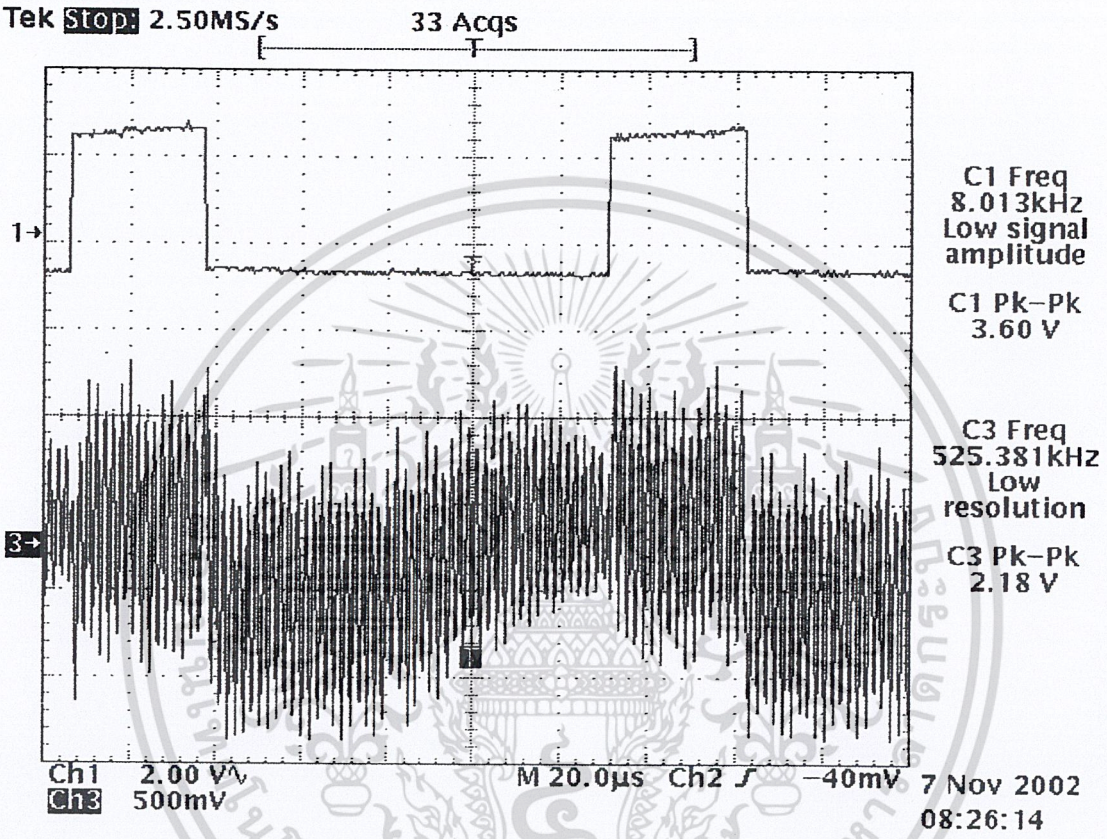


รูปที่ 5.2.2 สัญญาณนาฬิกาที่กู้ได้ แล้วผ่านวงจรเลื่อนเฟสไป 90 องศา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.2.3 ภาคดีมอดูเลต

คือการนำเอาสัญญาณพาห์มาคูณกับสัญญาณข้อมูลที่รับได้ สัญญาณพาห์ที่กู้ได้ เข้าวงจรดีมอดูเลตเพื่อดีเทคสัญญาณช่อง I

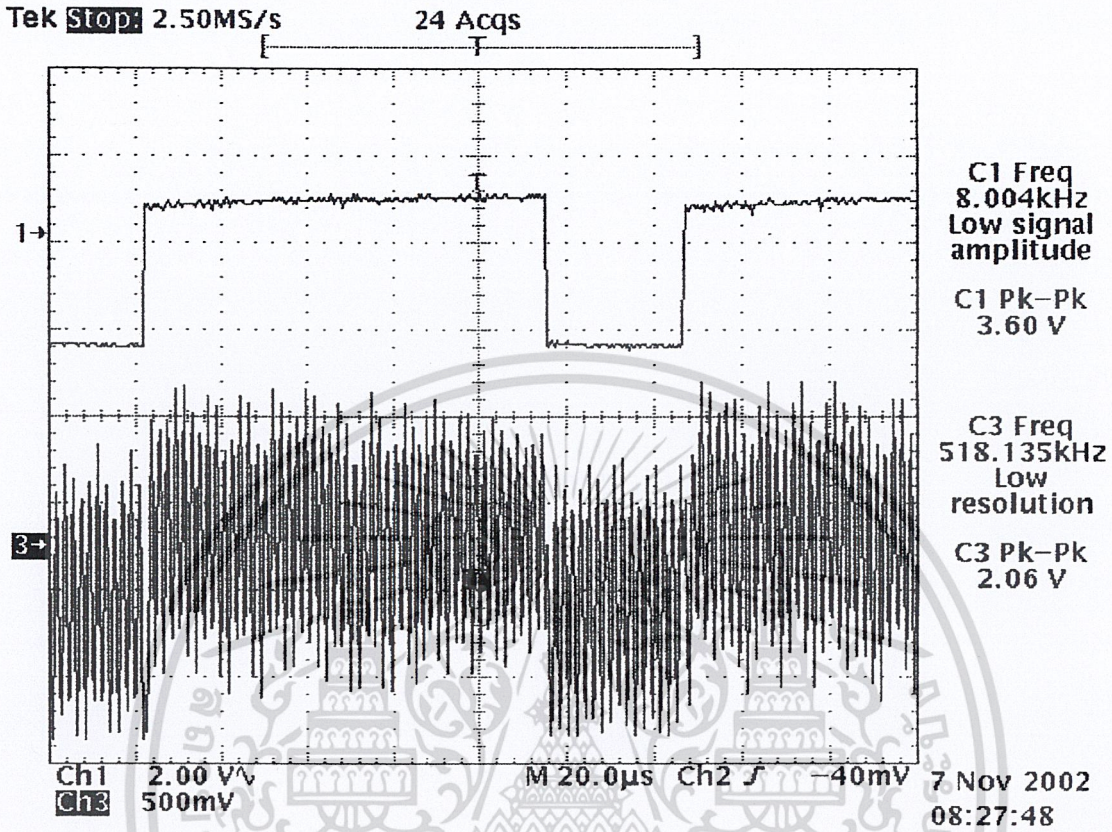


รูปที่ 5.2.3 (ก) สัญญาณเอาท์พุทที่ได้จากวงจรดีมอดูเลต เปรียบเทียบกับสัญญาณช่อง I

CH 1 สัญญาณที่ผ่านวงจรดีมอดูเลต

CH 2 สัญญาณช่อง I

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่5.2.3 (ข) สัญญาณเอาท์พุทที่ได้จากวงจรดีมอดูเลต เปรียบเทียบกับสัญญาณ ช่อง Q

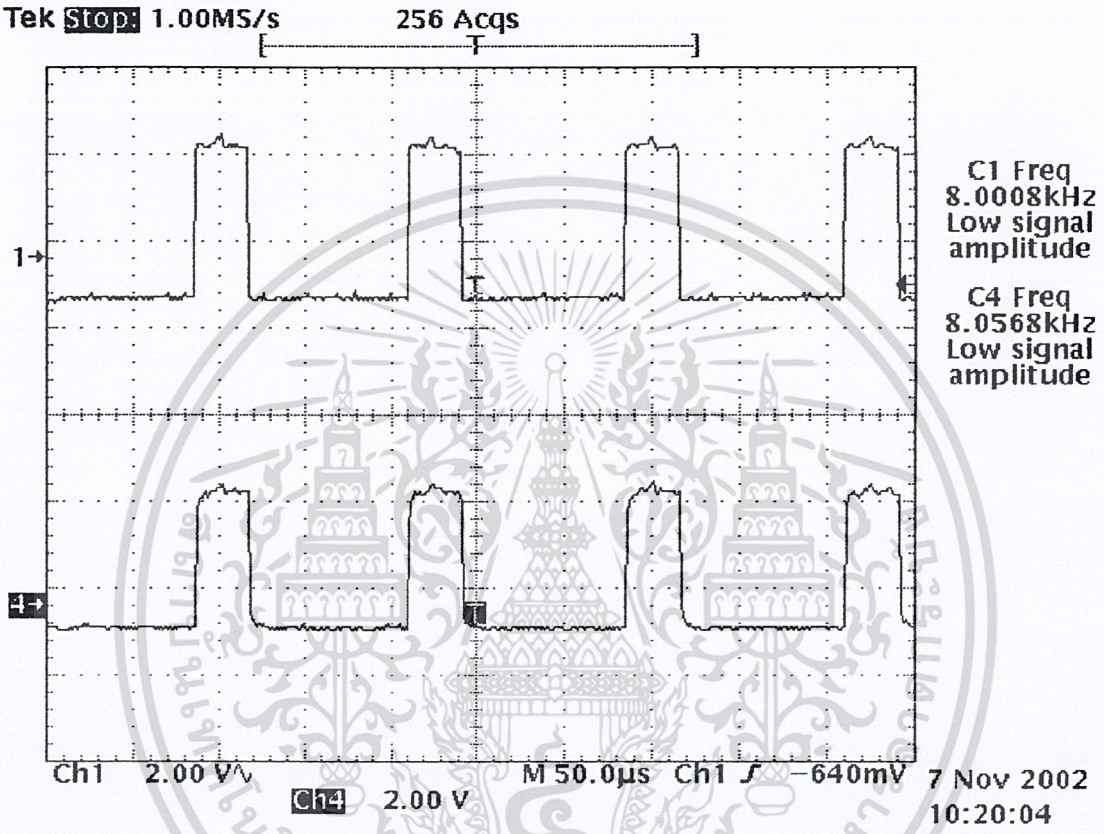
CH 1 สัญญาณที่ผ่านวงจรดีมอดูเลต

CH 2 สัญญาณช่อง Q

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.2.4 ภาควงจรกรองความถี่ต่ำผ่านและวงจรเปรียบเทียบสัญญาณ

สัญญาณที่ผ่านวงจรดีมอดูเลตจะต้องถูกส่งไปวงจรกรองความถี่ต่ำผ่านก่อนแล้วเข้าวงจรเปรียบเทียบสัญญาณต่อไป

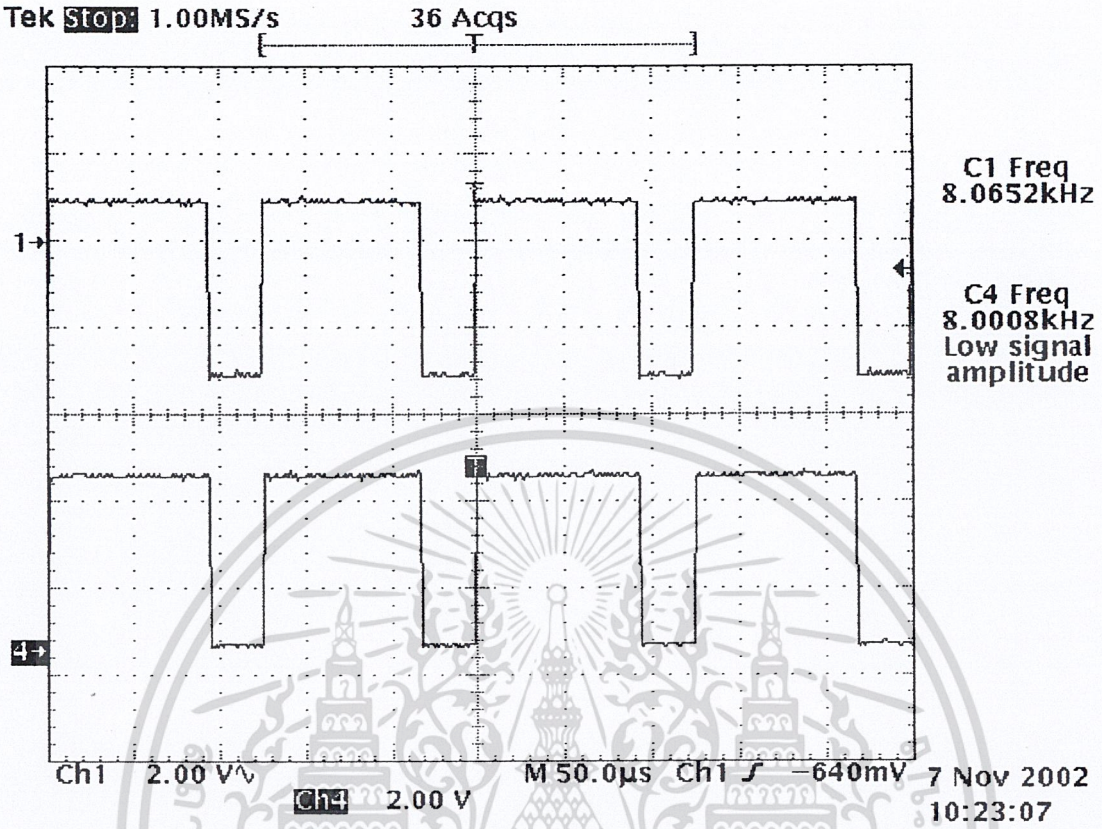


รูปที่ 5.2.4(ก) สัญญาณที่ผ่านวงจรเปรียบเทียบในช่อง I เปรียบเทียบกับทางภาคส่ง

CH 1 สัญญาณช่อง I ทางภาคส่ง

CH 2 สัญญาณช่อง I ทางภาครับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



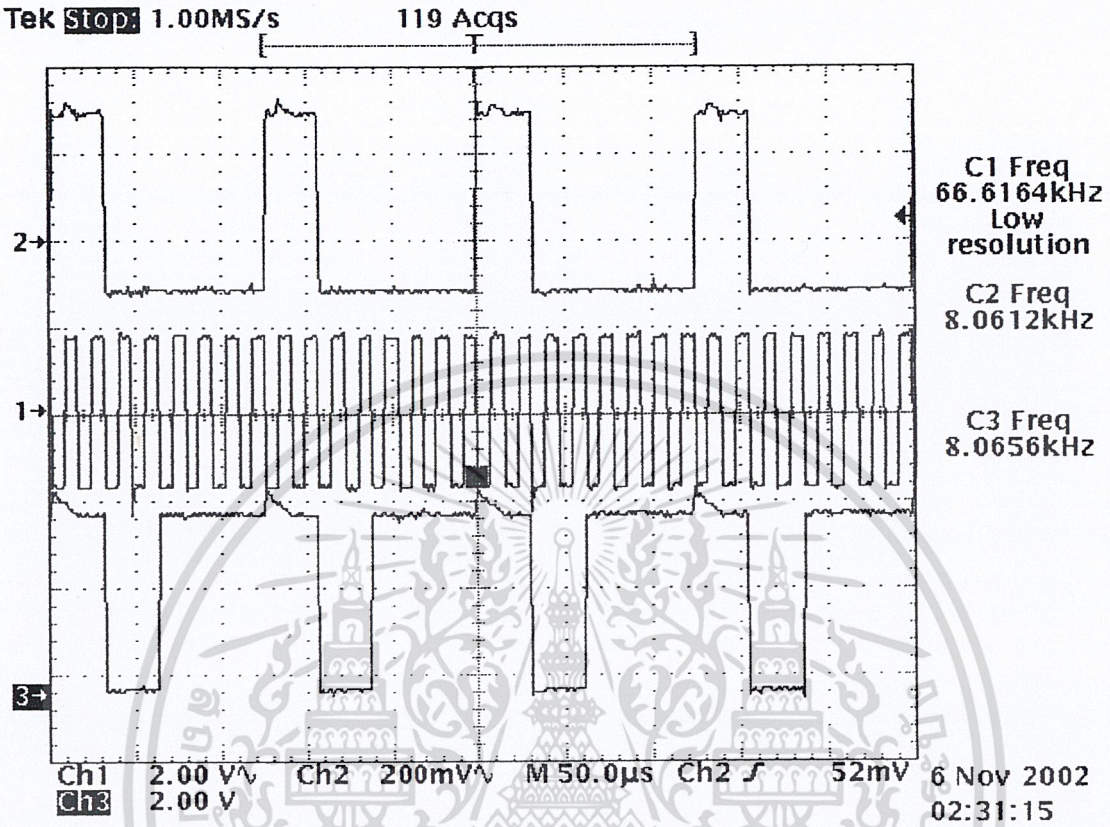
รูปที่ 5.2.4 (ข) สัญญาณที่ผ่านวงจรเปรียบเทียบสัญญาณในช่อง Qเปรียบเทียบกับทางภาคส่ง

CH 1 สัญญาณ Q ทางด้านส่ง

CH 2 สัญญาณ Q ทางด้านรับ

สัญญาณช่อง I และ ช่อง Q เปรียบเทียบกันทั้งสองช่อง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



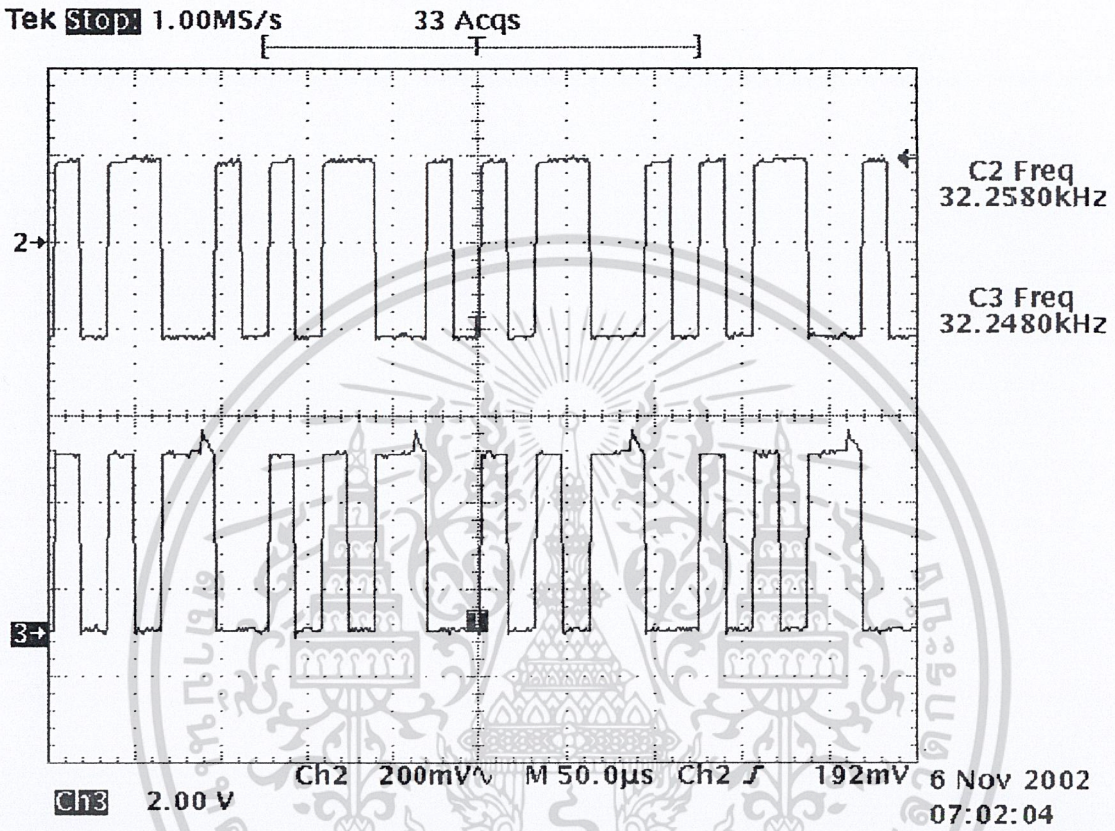
รูปที่ 5.2.4 (ค) สัญญาณช่อง I และ ช่อง Q เปรียบเทียบกับสัญญาณนาฬิกา

CH 1 สัญญาณ Q ที่ผ่านวงจรเปรียบเทียบสัญญาณ

CH 2 สัญญาณ I ที่ผ่านวงจรเปรียบเทียบสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.2.5 ภาควงจรรวมสัญญาณดิจิตอล



รูปที่ 5.2.5 แสดงการเปรียบเทียบสัญญาณข้อมูลทางภาครับเทียบกับทางด้านส่ง

CH 1 สัญญาณดิจิตอลทางด้านภาคส่ง

CH 2 สัญญาณดิจิตอลทางด้านภาครับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่6

สรุปและวิจารณ์ผลการทดลอง

6.1 เครื่องส่ง

ในการทดสอบเครื่องส่ง QPSK ในขั้นตอนแรกได้ทำการทดสอบแยกแต่ล่ะวงจรก่อนแล้วจึงนำมาประกอบเข้าด้วยกัน โดยสรุปผลแต่ล่ะวงจรได้ดังนี้

6.1.1 วงจรกำเนิดสัญญาณนาฬิกา

วงจรนี้มีความสำคัญมากในการนำมาสร้างสัญญาณพาห์ 512 kHz สัญญาณนำร่อง 480 kHz และนำมาเลื่อนเฟสของข้อมูล โดยวงจรที่ใช้เป็นวงจรหารความถี่ที่ได้จากคริสตอลจึงมีความเที่ยงตรงสูง

6.1.2 วงจรกำเนิดข้อมูลไบนารี

เนื่องจากข้อมูลที่ใช้ส่งเป็นข้อมูลอนุกรม ซึ่งในการส่งข้อมูลได้กำหนดให้ไหลในลักษณะวนรอบซ้ำกันทุกๆ 8 บิท ซึ่งเอาท์พุทที่ได้เป็นที่น่าพอใจ แต่การส่งข้อมูลในลักษณะนี้จะพบว่า ในการเปรียบเทียบข้อมูลระหว่างภาคส่งกับภาครับไม่สามารถจัดลำดับก่อนหลังของข้อมูลได้

6.1.3 วงจรแยกสัญญาณข้อมูล

ในส่วนของวงจรแยกข้อมูล ในการทดลองจะพบปัญหาในการต่อวงจร เนื่องจากความไม่เข้าใจในตัวอุปกรณ์ จึงควรศึกษาให้ดีก่อนต่อวงจร รวมทั้งควรลดความยุ่งยากในการออกแบบวงจร

6.1.4 วงจรปรับระดับสัญญาณ

วงจรนี้มีปัญญาณบ้าง เนื่องจากในการปรับระดับสัญญาณ ถ้าปรับระดับสัญญาณให้มีแอมปลิจูดสูงเกินไป ก็ไม่สามารถนำไปมอดูเลตได้

6.1.5 วงจรกำเนิดสัญญาณคลื่นพาห์ 512 kHz และวงจรเลื่อนเฟส 90 องศา

วงจรกำเนิดสัญญาณความถี่ 512 kHz จะได้จากสัญญาณ CLK 64 kHz มาทำการทวีคูณไปอีก 8 เท่า โดยวงจรเฟสล็อคลูป แล้วนำไปเข้าวงจรกรองความถี่ ในส่วนนี้จะไม่ค่อยมีปัญหาเท่าไร

6.1.6 วงจรกำเนิดสัญญาณนำร่องความถี่ 480kHz

วงจรกำเนิดสัญญาณความถี่ 480 kHz จะได้จากสัญญาณ CLK 32 kHz มาทำการทวีคูณไปอีก15 เท่า โดยวงจรเฟสล็อคลูป แล้วนำไปเข้าวงจรกรองความถี่ในส่วนนี้ก็ไม่ค่อยมีปัญหาเท่าไร

6.1.7 วงจรบาลานซ์มอดูเลเตอร์

วงจรนี้เป็นวงจรที่มีปัญหาอีกวงจรหนึ่งเนื่องจาก วงจรนี้ใช้อินพุทค่อนข้างต่ำมาก ซึ่งในการทดลองพบปัญหาในการทำให้สัญญาณ carrier กับ NRZ บาลานซ์กัน แต่ก็สามรถแก้ไขมาได้ด้วยดี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6.1.8 วงจรรวมสัญญาณ

วงจรนี้ไม่ค่อยมีความยุ่งยาก ผลที่ได้น่าพอใจมาก

สรุปภาคส่ง

เมื่อทำการรวมวงจรและทดสอบการส่งข้อมูลนั้น พบว่า วงจรส่วยมากทำงานได้ดี ปัญหาส่วนมากที่เกิดจะเกิดจากวงจรบาลานซ์ เนื่องจากการไม่บาลานซ์กันระหว่าง carrier กับ NRZ แต่ก็สามารถแก้ไขไปได้ด้วยดี

6.2 เครื่องรับ

6.2.1 วงจรกรองช่วงความถี่นำร่อง

ในส่วนของวงจรนี้มีส่วนสำคัญมากในภาครับเนื่องจากเป็นสิ่งที่ทำให้ภาครับและภาคส่งสัมพันธ์กัน ในการทดลองจะพบปัญหามากในวงจรนี้ ดังนั้นจึงต้องทำการออกแบบให้ดี

6.2.2 วงจรกรองช่วงความถี่พาห์

เป็นวงจรที่มีปัญหาเหมือนกันเป็นความต่อเนื่องมาจากวงจรช่วงความถี่นำร่อง ถ้าออกแบบวงจรกรองช่วงความถี่ดีก็จะไม่มีปัญหา

6.2.3 วงจรกู้สัญญาณพาห์

เป็นวงจรต่อเนื่องจากวงจรกรองช่วงความถี่นำร่อง ถ้าวงจรกรองช่วงความถี่ไม่มีปัญหา วงจรกู้สัญญาณนาฬิกาก็ไม่มีปัญหา

6.2.4 วงจรดีมอดูเลเตอร์

ใช้วงจรคล้ายกับวงจรบาลานซ์มอดูเลต ปัญหาที่เจอคือต้องปรับสัญญาณก่อนเข้าวงจรให้ตรงตามข้อกำหนด

6.2.5 วงจรกรองความถี่ต่ำ

ไม่ค่อยมีปัญหาเท่าไร เพียงแต่ต้องออกแบบให้ดีให้เหมาะสมกับสัญญาณข้อมูล

6.2.6 วงจรเปรียบเทียบสัญญาณ

วงจรที่ออกแบบไม่ค่อยยากมากผลที่ได้น่าพอใจ

6.2.7 วงจรรวมสัญญารดิจิตอล

วงจรค่อนข้างมีปัญหาเหมือนกันเนื่องความถ้าออกแบบผิด สัญญาณที่รวมออกมาก็จะผิดเพี้ยนไป ดังนั้นจึงต้องออกแบบให้ดี

สรุปภาครับ

เมื่อทำการรวมวงจรปัญหาที่พบคือสัญญาณที่รับได้ผิดเพี้ยนไป ดังนั้นในการออกแบบจึงต้องออกแบบให้ดี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หนังสืออ้างอิง

1. นิกร สุขุดมตันดิ, การออกแบบวงจรอิเล็กทรอนิกส์ ตำราชุดวิศวกรรมศาสตร์, สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง, พิมพ์ครั้งที่ 1 , 74 หน้า,1 พ.ส.2533

2. ณรงค์ เหมกรณ์, การสื่อสารดาวเทียม , โครงการตำรา คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง,กรุงเทพ,2533

3. Wayne Tomasi , Advanced Electronic Communication System, second edition Prentice Hall. Engle Wood Cliffs, N.J.,1992

4. J. Hilburn and D.E. Johnson , Manual of Active Filter Design, Mcgraw Hill, 1973

5. R. A. Gayakwad, Op-Amps and Linear Integrated Circuits, secand edition, Prentice-Hall, 1988

6. A B. Williams and F. J. Taylor, Eletronic Filter Design Handbook , second edition, Mcgraw-Hill, 1991

7. L. W. Couch, Digital and Analog Communication System, Macmillan Publishing Company, 1987

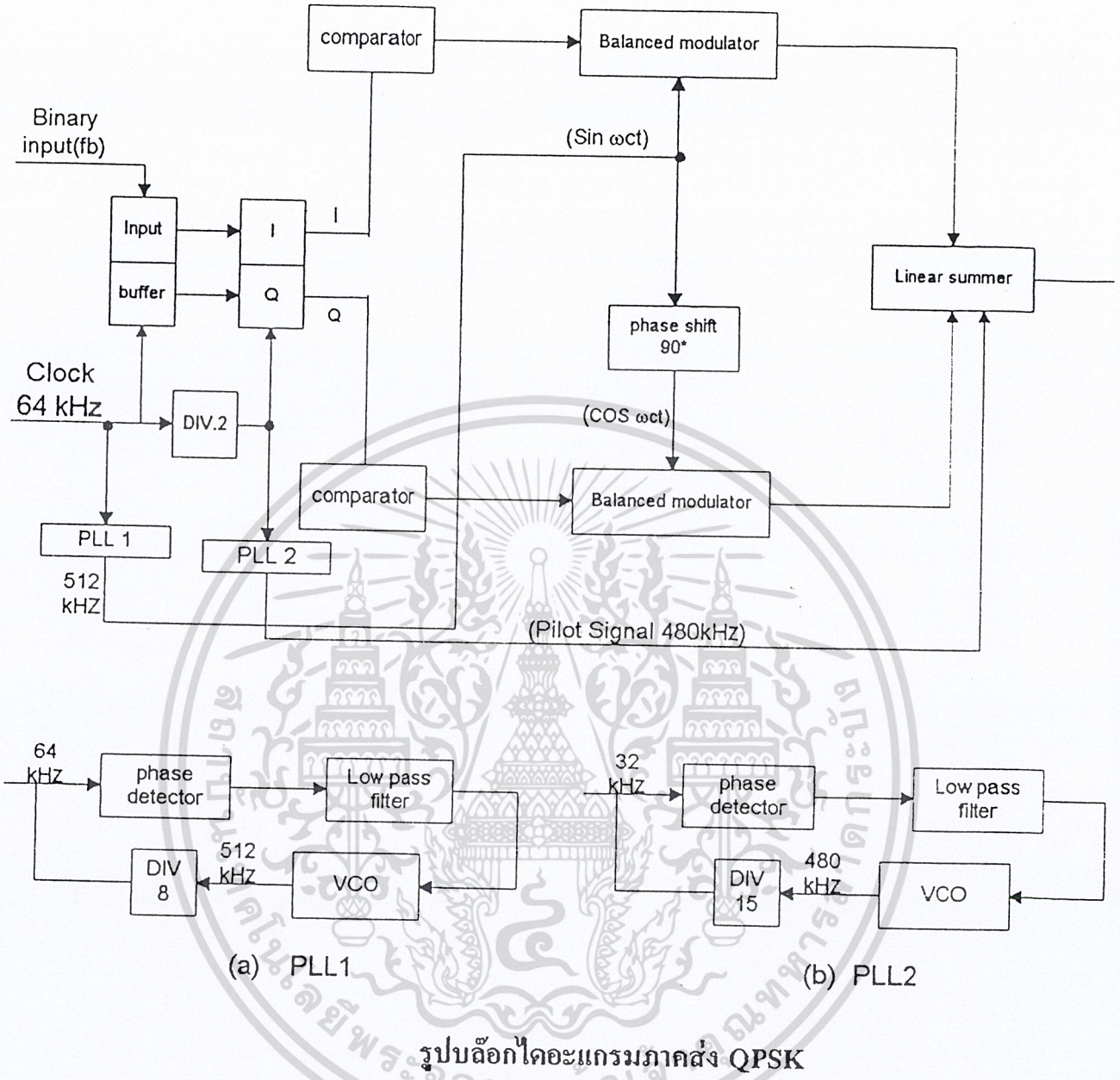
8. A. Biran and M. Breiner, MATLAB for Engineers, Addison Wesley, 1995

9. D. J.Dailey, Operational Amplifier and Linear Integrated Circuits Theory and Application, Prentice-Hall, 1991

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

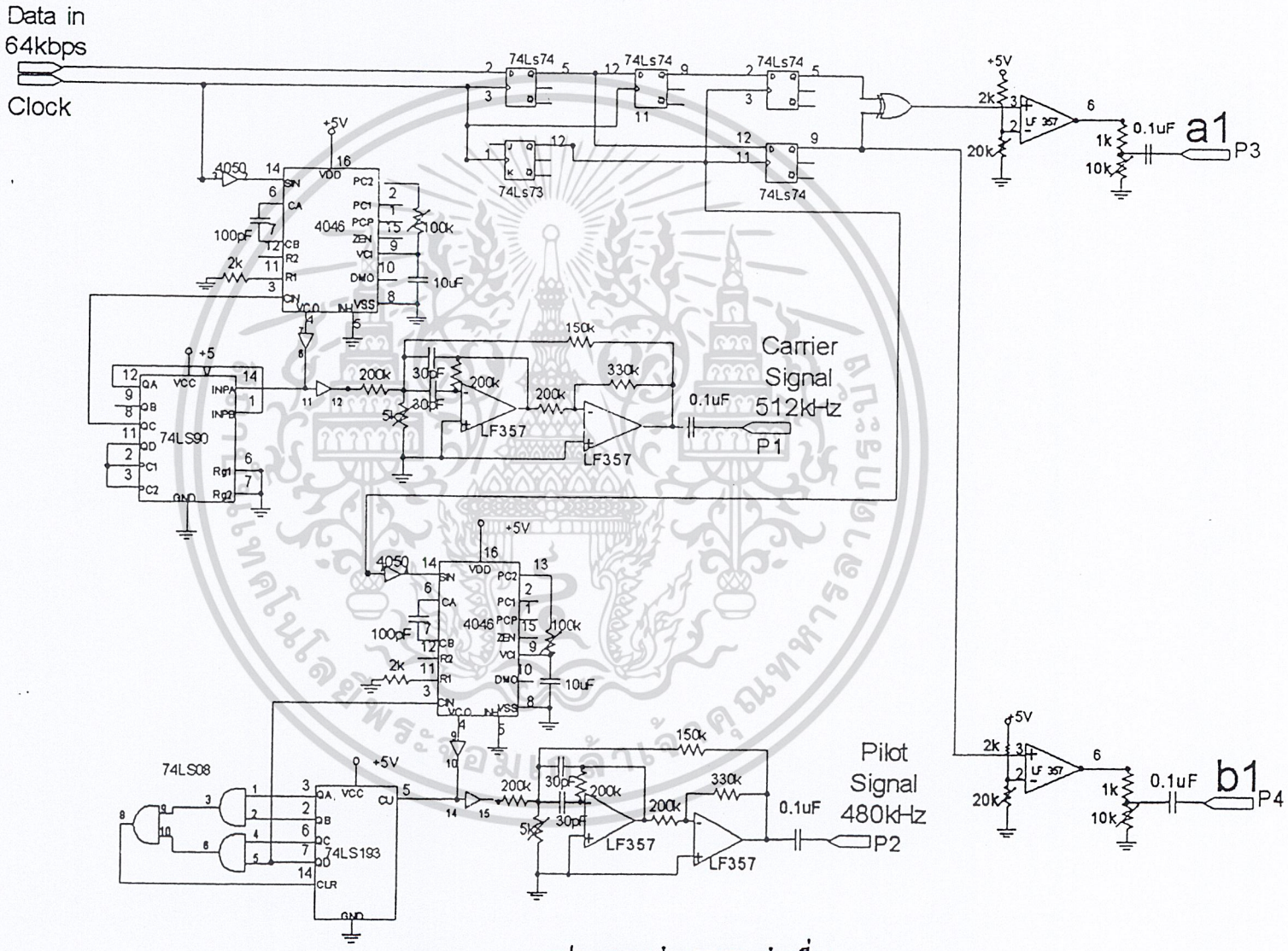
ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

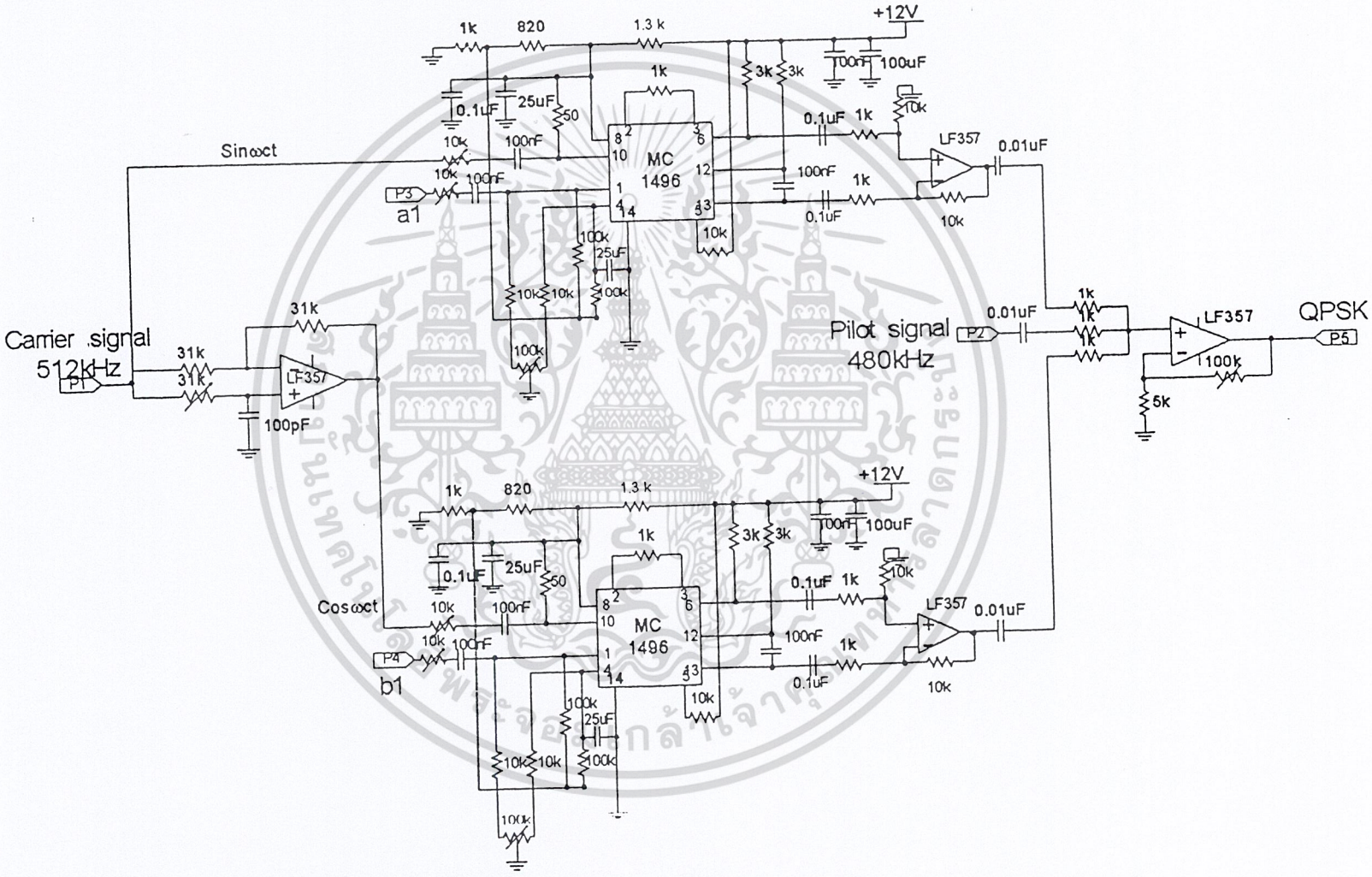


รูปบล็อกไดอะแกรมภาคส่ง QPSK

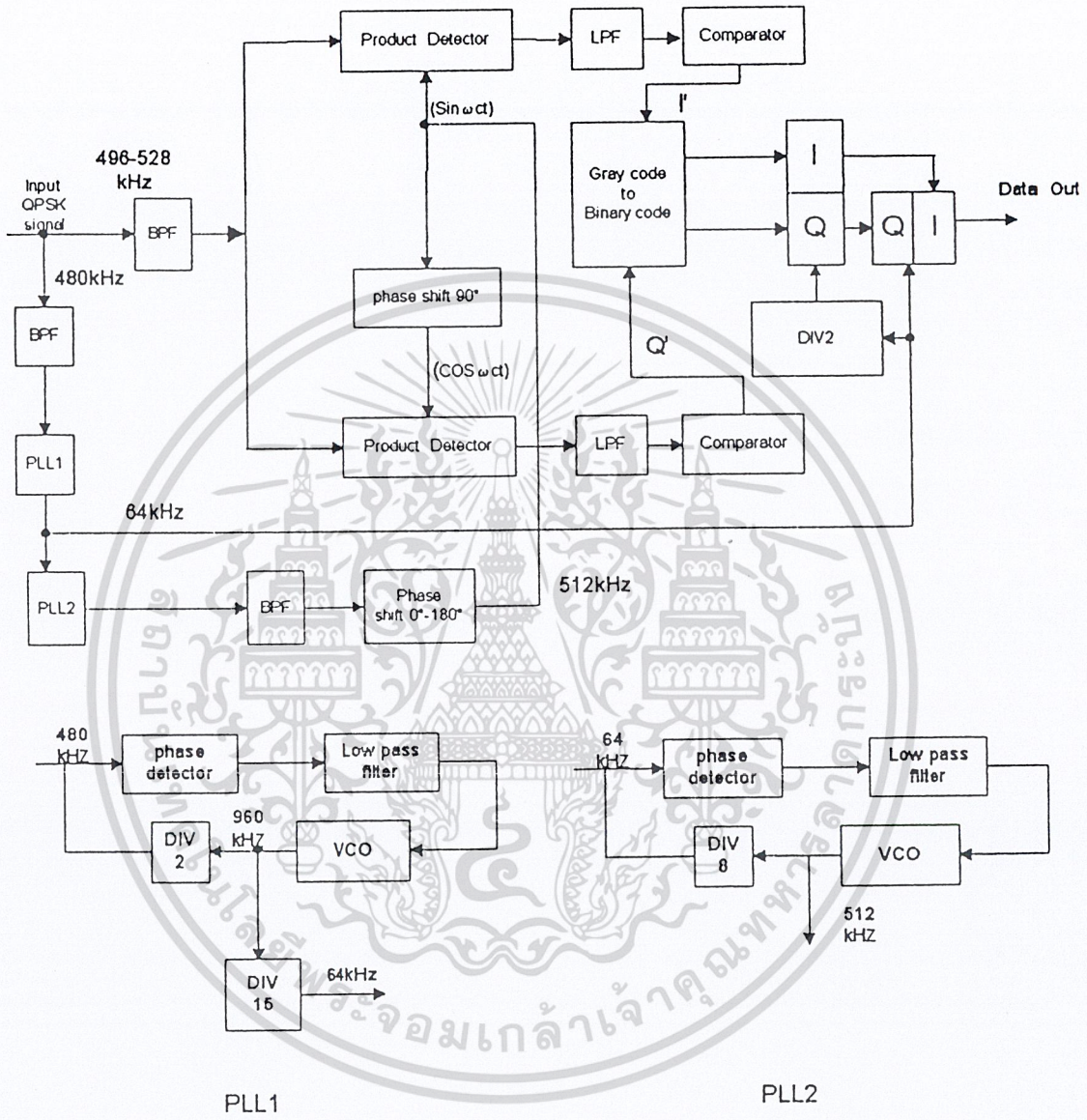
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปวงจรภาคส่ง QPSK ส่วนที่ 1

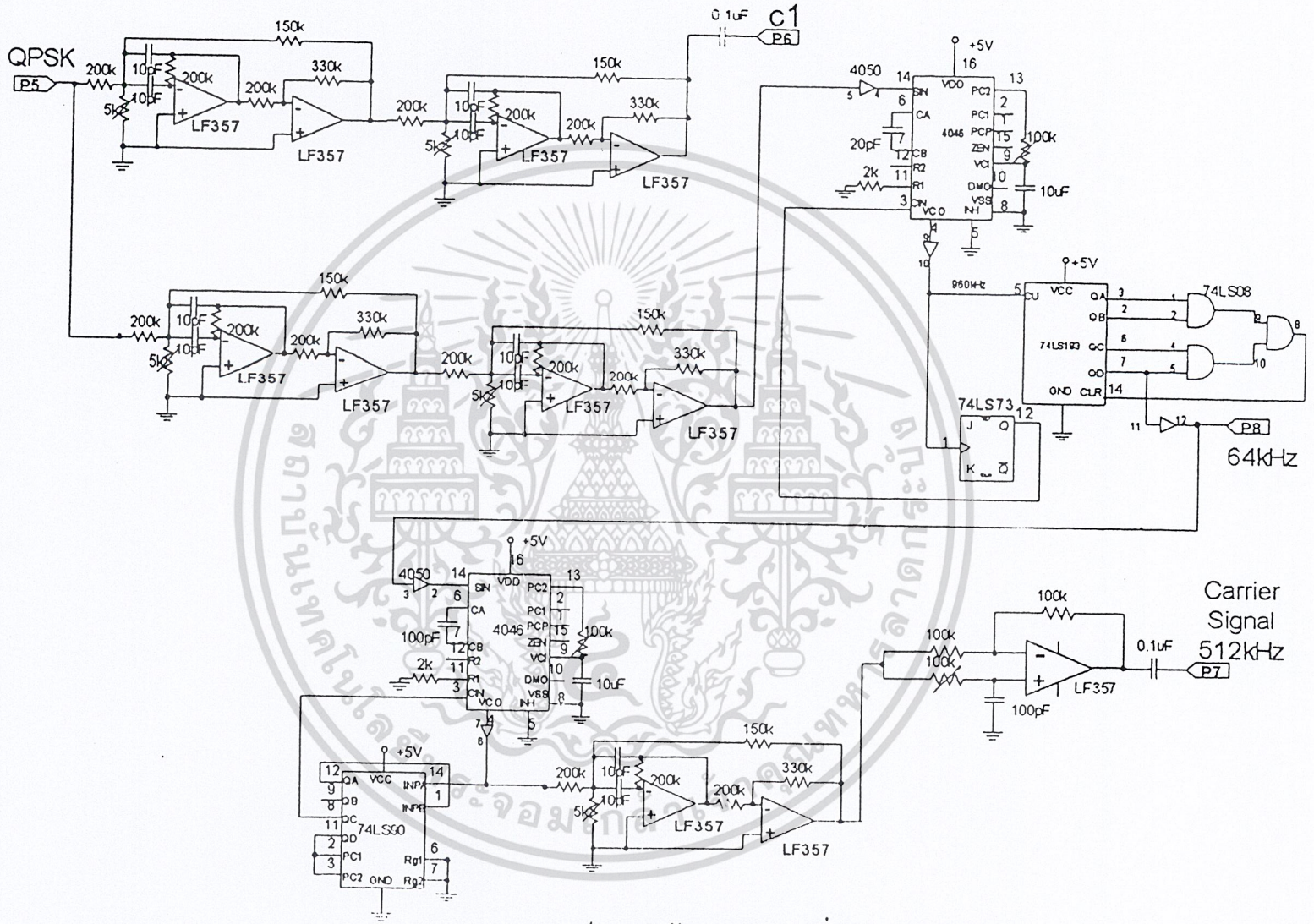


วงจรภาคส่ง QPSK ส่วนที่ 2

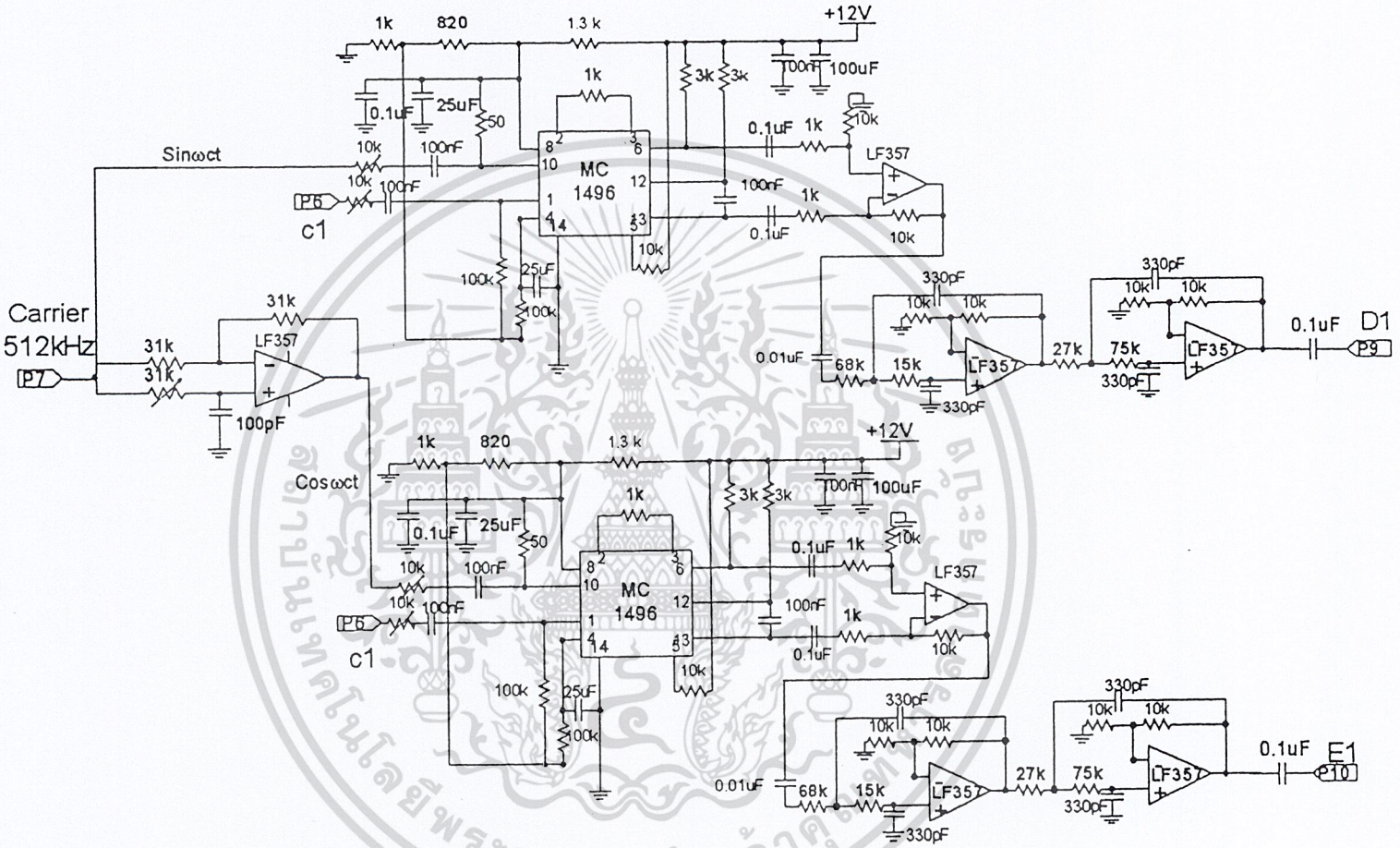


รูปบล๊อกไดอะแกรมภาครับ QPSK

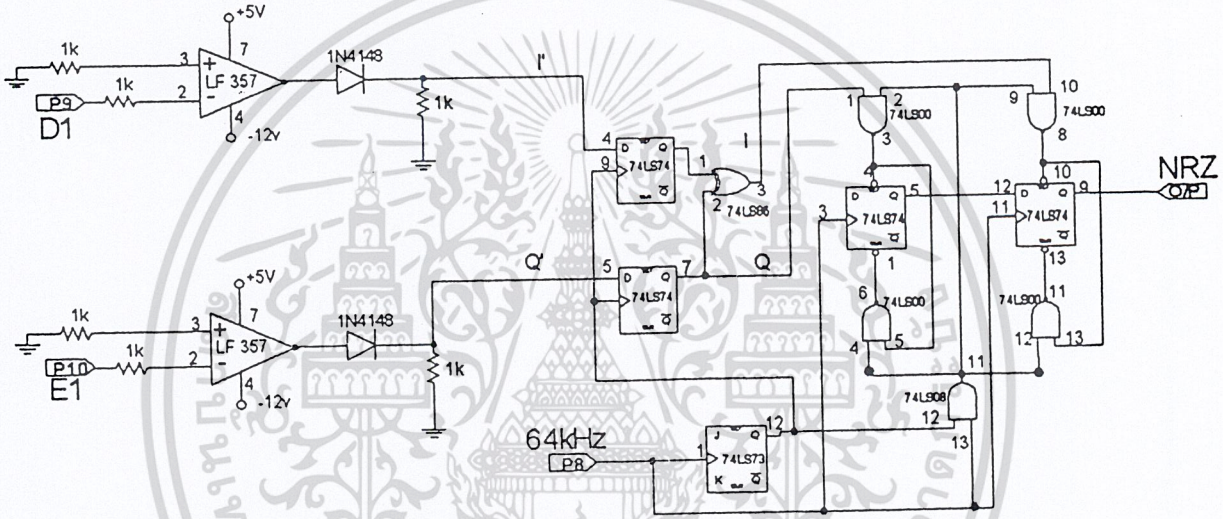
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



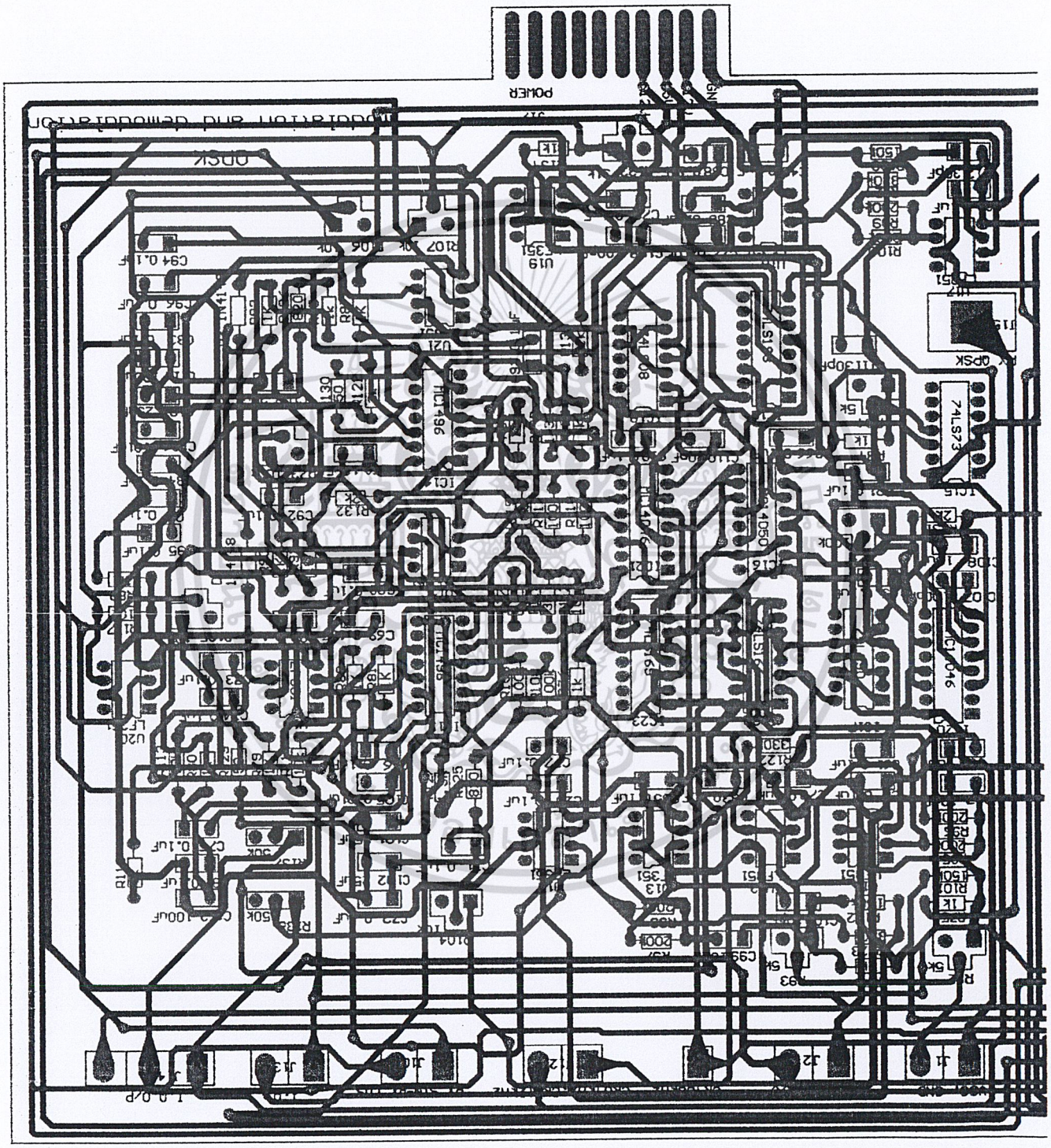
รูปวงจรภาครับ QPSK ส่วนที่ 1



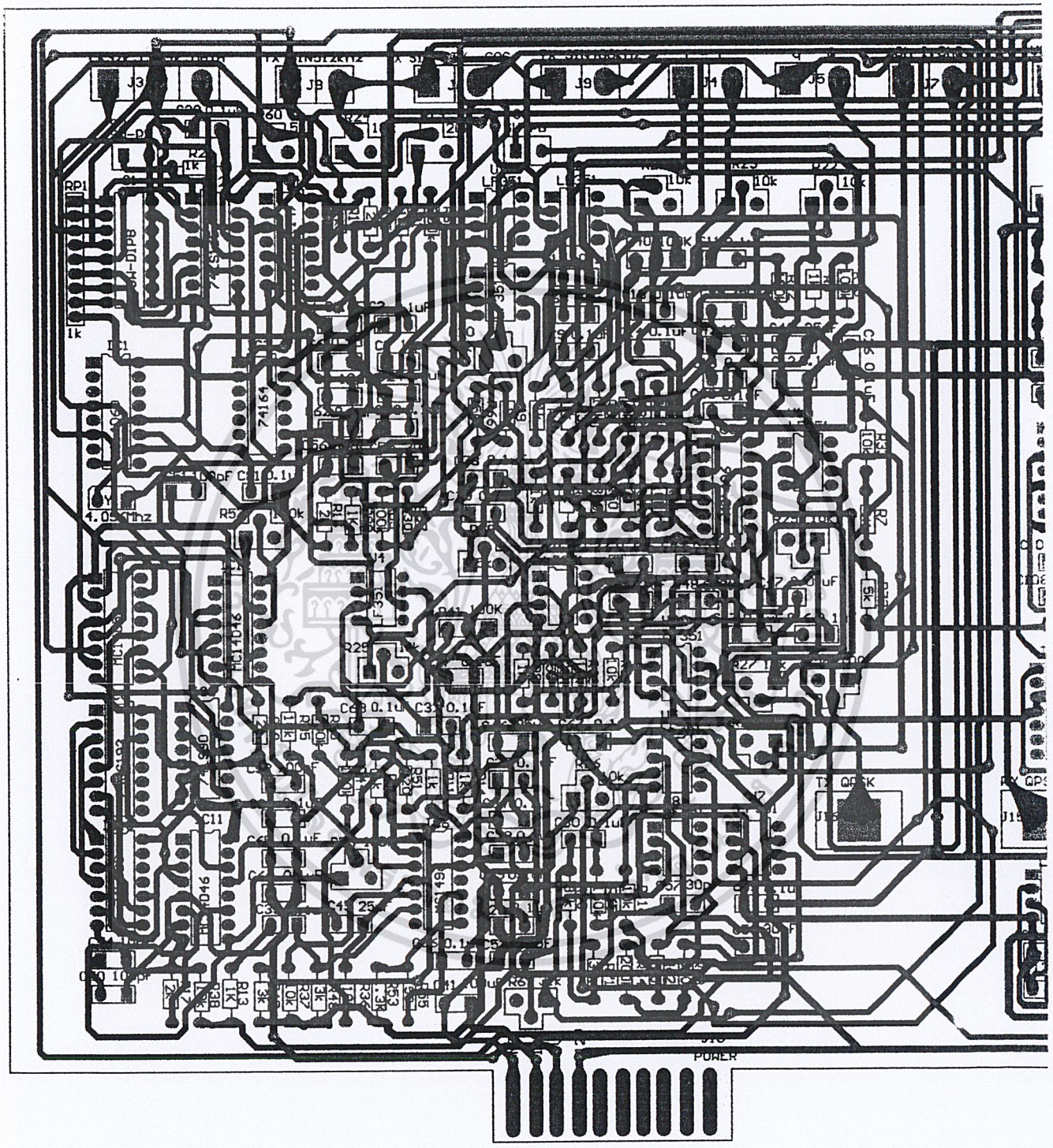
รูปวงจรภาครับ QPSK ส่วนที่ 2



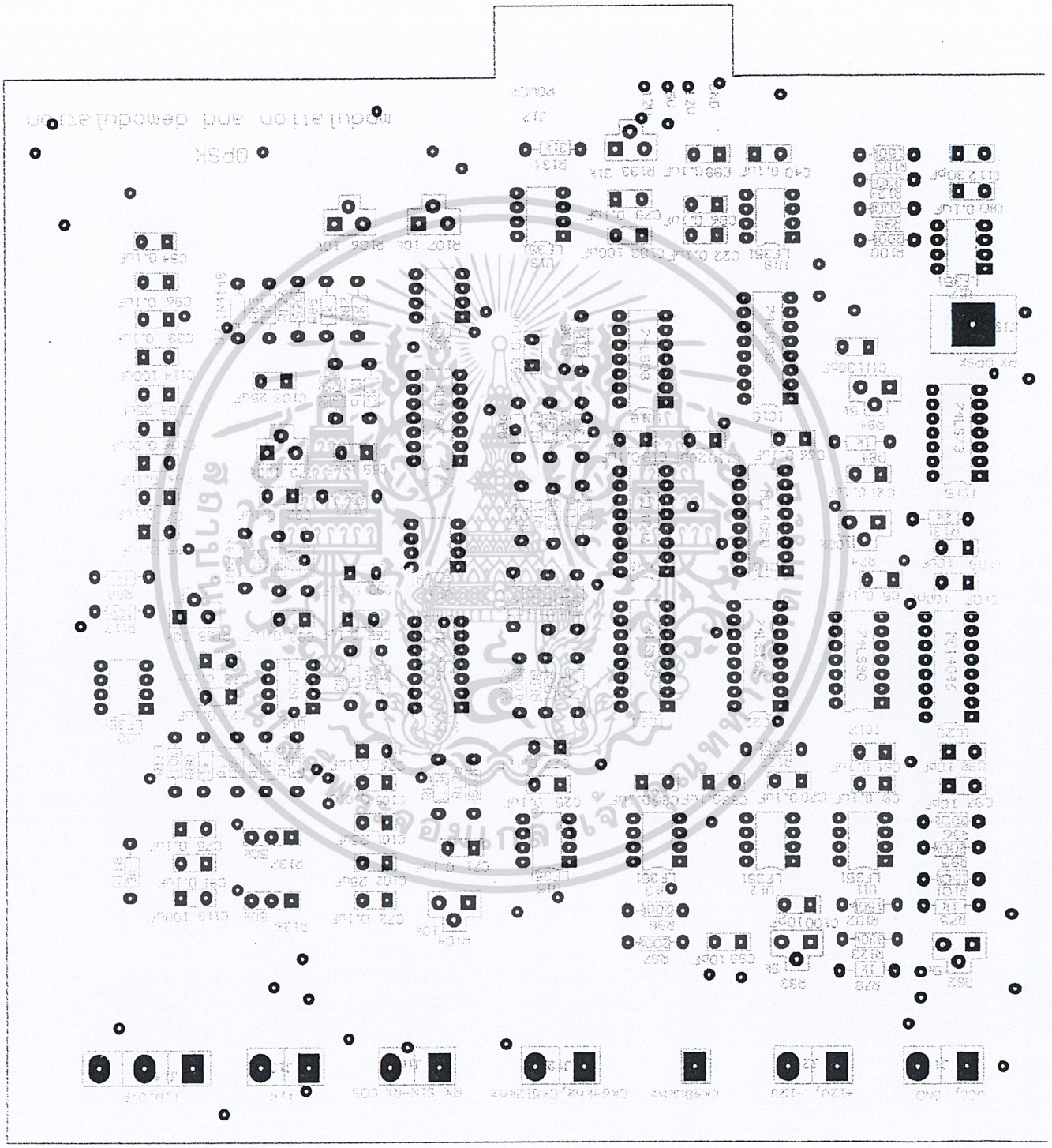
รูปวงจรภาครับ QPSK ส่วนที่ 3



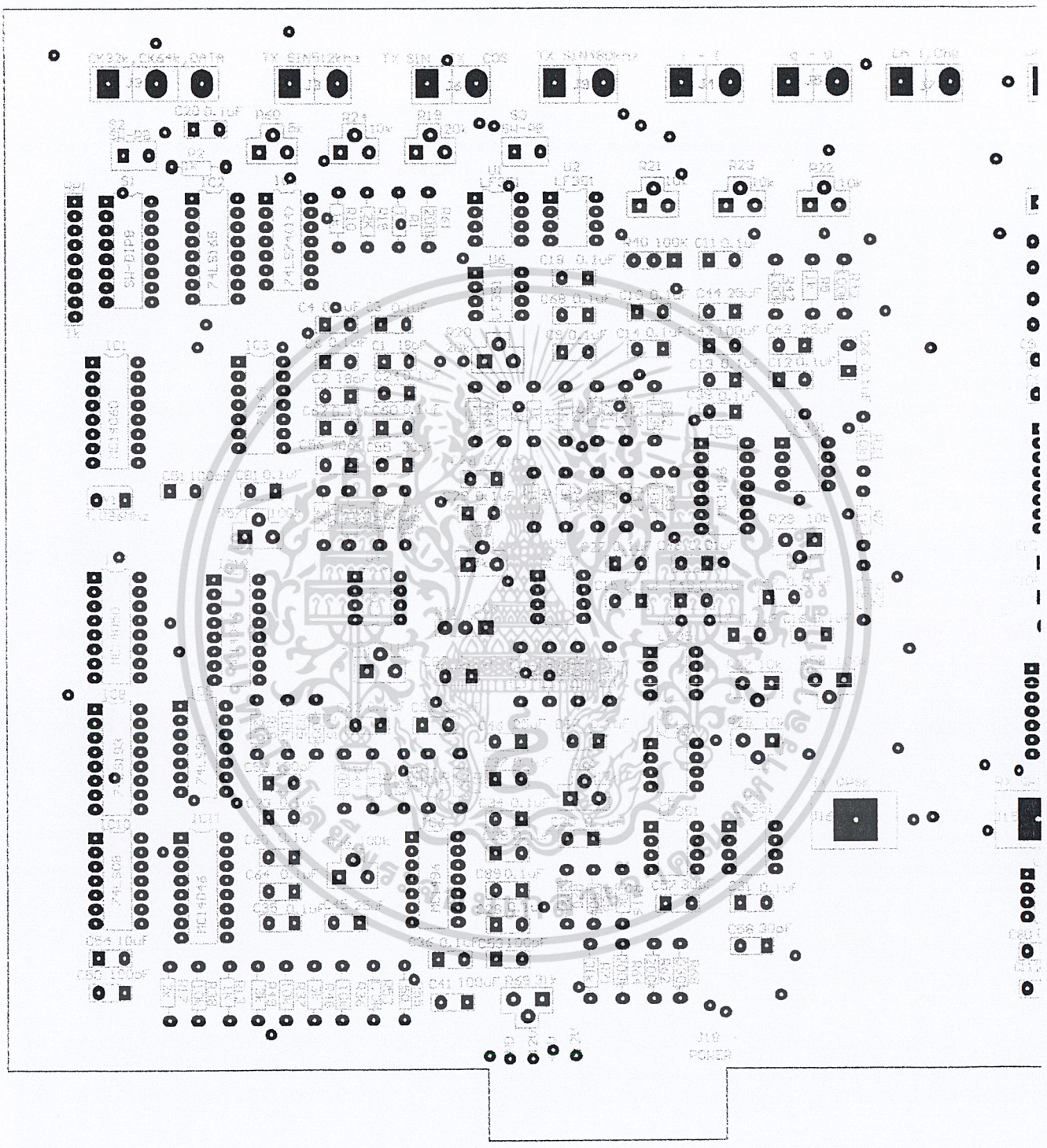
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



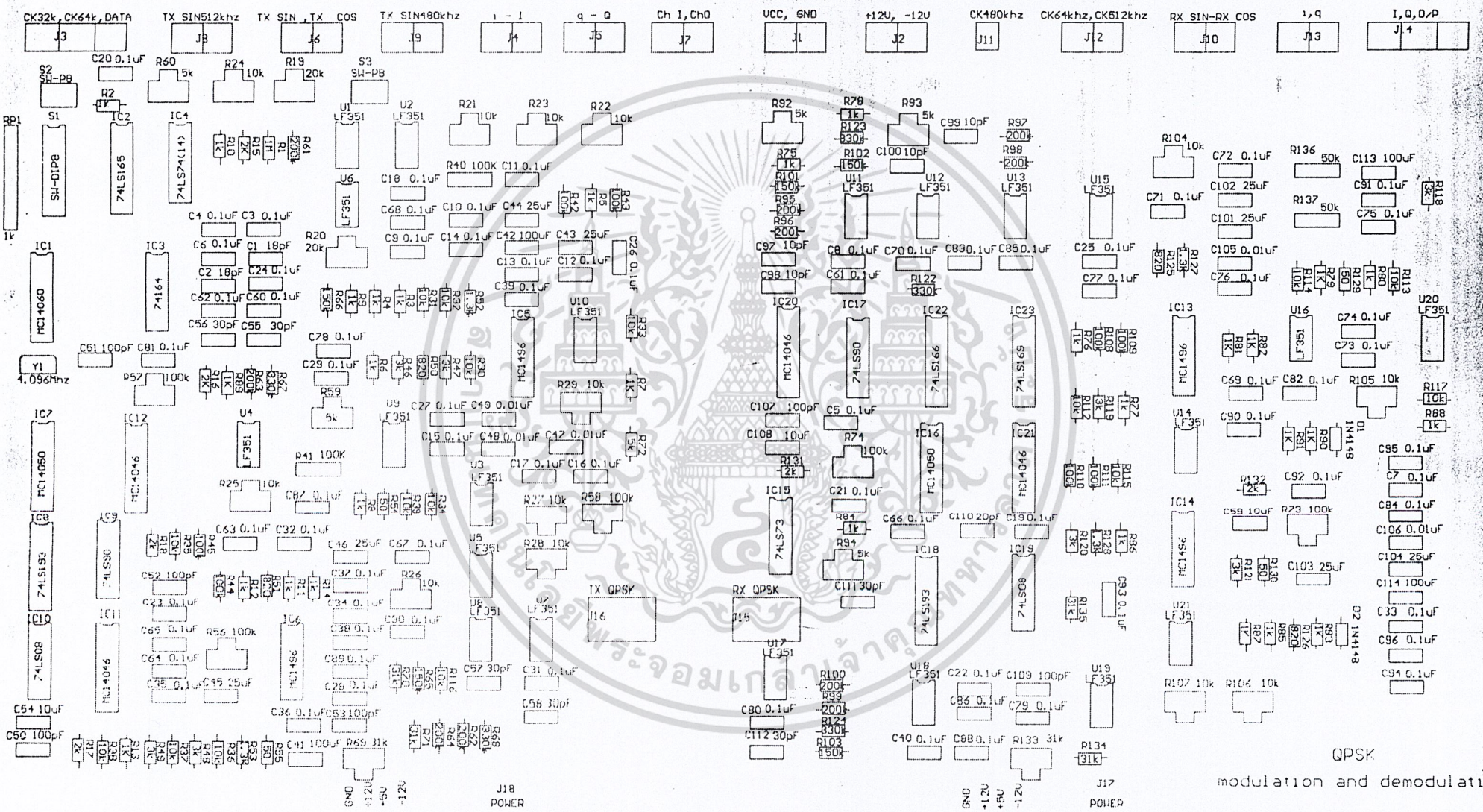
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ชน์ด้านการค้า
การนำไปใช้

TOP OVERLAY


CK32k,CK64k,DATA
TX SIN512khz
TX SIN ,TX COS
TX SIN480khz
i - I
q - Q
Ch 1,Ch0
VCC, GND
+12V, -12V
CK480khz
CK64khz,CK512khz
RX SIN-RX COS
i,q
I,Q,O/P
J3
J8
J6
J9
J4
J5
J7
J1
J2
J11
J12
J10
J13
J14
S2 SW-PB
S3 SW-PB
S1 SW-DIP8
RP1
1M
IC1 MC14060
IC2 74LS165
IC3 74164
IC4 74LS74(14)
Y1 4.096Mhz
IC5 MC1496
IC6 MC1496
IC7 MC14050
IC8 74LS193
IC9 74LS90
IC10 74LS08
IC11 MC14046
IC12 MC14046
IC13 MC1496
IC14 MC1496
IC15 74LS73
IC16 MC14050
IC17 74LS90
IC18 74LS93
IC19 74LS08
IC20 MC14046
IC21 MC14046
IC22 74LS166
IC23 74LS165
U1 LF351
U2 LF351
U3 LF351
U4 LF351
U5 LF351
U6 LF351
U7 LF351
U8 LF351
U9 LF351
U10 LF351
U11 LF351
U12 LF351
U13 LF351
U14 LF351
U15 LF351
U16 LF351
U17 LF351
U18 LF351
U19 LF351
U20 LF351
U21 LF351
D1 1N4148
D2 1N4148
TX QPSK
J16
RX QPSK
J15
GND +12V +5V -12V
J18 POWER
GND +12V +5V -12V
J17 POWER
QPSK
modulation and demodulation

MOTOROLA

8-BIT PARALLEL-TO-SERIAL SHIFT REGISTER

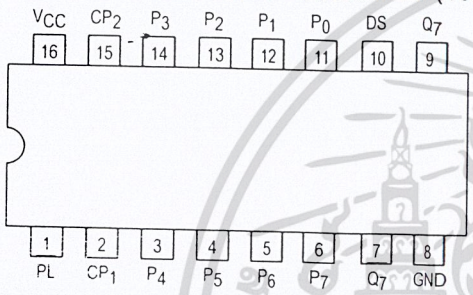
SN54/74LS165

8-BIT PARALLEL-TO-SERIAL SHIFT REGISTER

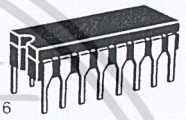
LOW POWER SCHOTTKY

The SN54/74LS165 is an 8-bit parallel load or serial-in register with complementary outputs available from the last stage. Parallel inputing occurs asynchronously when the Parallel Load (PL) input is LOW. With PL HIGH, serial shifting occurs on the rising edge of the clock; new data enters via the Serial Data (DS) input. The 2-input OR clock can be used to combine two independent clock sources, or one input can act as an active LOW clock enable.

CONNECTION DIAGRAM DIP (TOP VIEW)



NOTE:
The Flatpak version has the same pinouts (Connection Diagram) as the Dual In-Line Package.



J SUFFIX
CERAMIC
CASE 620-09

N SUFFIX
PLASTIC
CASE 648-08

D SUFFIX
SOIC
CASE 751B-03

ORDERING INFORMATION

SN54LSXXXJ	Ceramic
SN74LSXXXN	Plastic
SN74LSXXXD	SOIC

PIN NAMES

		LOADING (Note a) HIGH	LOW
CP_1, CP_2	Clock (LOW-to-HIGH Going Edge) Inputs	0.5 U.L.	0.25 U.L.
DS	Serial Data Input	0.5 U.L.	0.25 U.L.
PL	Asynchronous Parallel Load (Active LOW) Input	1.5 U.L.	0.75 U.L.
P_0-P_7	Parallel Data Inputs	0.5 U.L.	0.25 U.L.
Q_7	Serial Output from Last State (Note b)	10 U.L.	5 (2.5) U.L.
$\overline{Q}_7$	Complementary Output (Note b)	10 U.L.	5 (2.5) U.L.

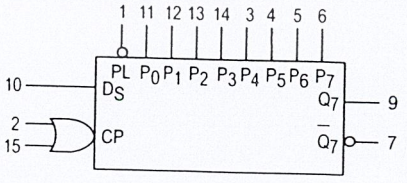
NOTES:
a) 1 TTL Unit Load (U.L.) = 40 µA HIGH/1.6 mA LOW.
b) The Output LOW drive factor is 2.5 U.L. for Military (54) and 5 U.L. for Commercial (74) Temperature Ranges.

TRUTH TABLE

PL	CP 1	CP 2	CONTENTS Q_0	Q_1	Q_2	Q_3	Q_4	Q_5	Q_6	Q_7	RESPONSE
L	X	X	P_0	P_1	P_2	P_3	P_4	P_5	P_6	P_7	Parallel Entry
H	L	↓	DS	Q_0	Q_1	Q_2	Q_3	Q_4	Q_5	Q_6	Right Shift
H	H	↓	Q_0	Q_1	Q_2	Q_3	Q_4	Q_5	Q_6	Q_7	No Change
H	↓	L	DS	Q_0	Q_1	Q_2	Q_3	Q_4	Q_5	Q_6	Right Shift
H	↓	H	Q_0	Q_1	Q_2	Q_3	Q_4	Q_5	Q_6	Q_7	No Change

H = HIGH Voltage Level
L = LOW Voltage Level
X = Immaterial

LOGIC SYMBOL

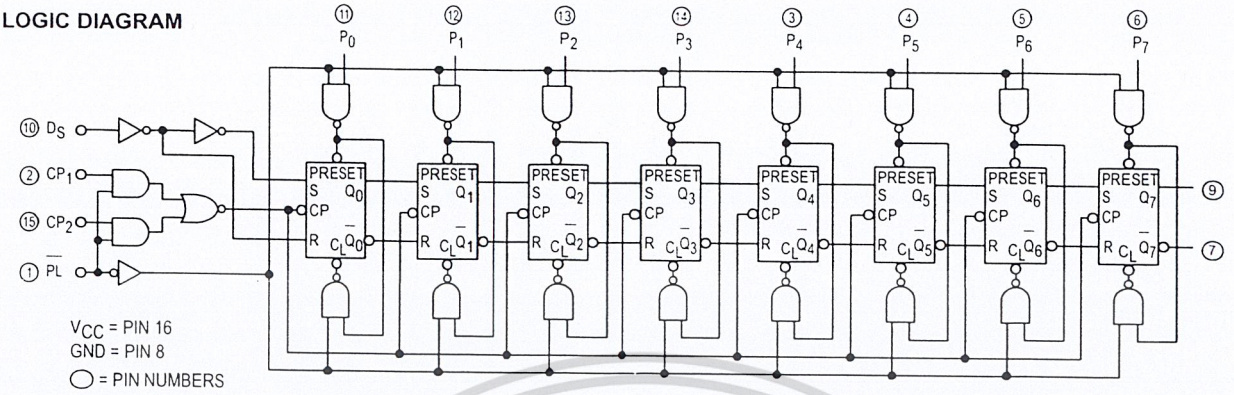


V_{CC} = PIN 16
GND = PIN 8

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SN54/74LS165

LOGIC DIAGRAM



FUNCTIONAL DESCRIPTION

The SN54/74LS165 contains eight clocked master/slave RS flip-flops connected as a shift register, with auxiliary gating to provide overriding asynchronous parallel entry. Parallel data enters when the PL signal is LOW. The parallel data can change while PL is LOW, provided that the recommended set-up and hold times are observed.

For clock operation, PL must be HIGH. The two clock inputs perform identically; one can be used as a clock inhibit by applying a HIGH signal. To avoid double clocking, however, the inhibit signal should only go HIGH while the clock is HIGH. Otherwise, the rising inhibit signal will cause the same response as a rising clock edge. The flip-flops are edge-triggered for serial operations. The serial input data can change at any time, provided only that the recommended setup and hold times are observed, with respect to the rising edge of the clock.

GUARANTEED OPERATING RANGES

Symbol	Parameter		Min	Typ	Max	Unit
V_{CC}	Supply Voltage	54 74	4.5 4.75	5.0 5.0	5.5 5.25	V
T_A	Operating Ambient Temperature Range	54 74	−55 0	25 25	125 70	°C
I_{OH}	Output Current — High	54, 74			−0.4	mA
I_{OL}	Output Current — Low	54 74			4.0 8.0	mA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DC CHARACTERISTICS OVER OPERATING TEMPERATURE RANGE (unless otherwise specified)

Symbol	Parameter		Limits Min	Typ	Max	Unit	Test Conditions	
V_{IH}	Input HIGH Voltage		2.0			V	Guaranteed Input HIGH Voltage for All Inputs	
V_{IL}	Input LOW Voltage	54			0.7	V	Guaranteed Input LOW Voltage for All Inputs	
		74			0.8			
V_{IK}	Input Clamp Diode Voltage			−0.65	−1.5	V	V_{CC} = MIN, I_{IN} = −18 mA	
V_{OH}	Output HIGH Voltage	54	2.5	3.5		V	V_{CC} = MIN, I_{OH} = MAX, V_{IN} = V_{IH} or V_{IL} per Truth Table	
		74	2.7	3.5		V		
V_{OL}	Output LOW Voltage	54, 74		0.25	0.4	V	I_{OL} = 4.0 mA	V_{CC} = V_{CC} MIN, V_{IN} = V_{IL} or V_{IH} per Truth Table
		74		0.35	0.5	V	I_{OL} = 8.0 mA	
I_{IH}	Input HIGH Current Other Inputs PL Input				20 60	μA	V_{CC} = MAX, V_{IN} = 2.7 V	
	Other Inputs PL Input				0.1 0.3	mA	V_{CC} = MAX, V_{IN} = 7.0 V	
I_{IL}	Input LOW Current Other Inputs PL Input				−0.4 −1.2	mA	V_{CC} = MAX, V_{IN} = 0.4 V	
I_{OS}	Short Circuit Current (Note 1)		−20		−100	mA	V_{CC} = MAX	
I_{CC}	Power Supply Current				36	mA	V_{CC} = MAX	

Note 1: Not more than one output should be shorted at a time, nor for more than 1 second.

AC CHARACTERISTICS (T_A = 25°C)

Symbol	Parameter	Limits Min	Typ	Max	Unit	Test Conditions
f_{MAX}	Maximum Input Clock Frequency	25	35		MHz	V_{CC} = 5.0 V C_L = 15 pF
t_{PLH} t_{PHL}	Propagation Delay PL to Output		22 22	35 35	ns	
t_{PLH} t_{PHL}	Propagation Delay Clock to Output		27 28	40 40	ns	
t_{PLH} t_{PHL}	Propagation Delay P_7 to Q_7		14 21	25 30	ns	
t_{PLH} t_{PHL}	Propagation Delay P_7 to Q_7		21 16	30 25	ns	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC SETUP REQUIREMENTS (T_A = 25°C)

Symbol	Parameter	Limits			Unit	Test Conditions
		Min	Typ	Max		
t_W	CP Clock Pulse Width	25			ns	V_{CC} = 5.0 V
t_W	PL Pulse Width	15			ns	
t_s	Parallel Data Setup Time	10			ns	
t_s	Serial Data Setup Time	20			ns	
t_s	CP_1 to CP_2 Setup Time[1]	30			ns	
t_h	Hold Time	0			ns	
t_{rec}	Recovery Time, PL to CP	45			ns	

[1] The role of CP_1 and CP_2 in an application may be interchanged.

DEFINITION OF TERMS:

SETUP TIME (t_s) — is defined as the minimum time required for the correct logic level to be present at the logic input prior to the clock transition from LOW-to-HIGH in order to be recognized and transferred to the outputs.

HOLD TIME (t_h) — is defined as the minimum time following the clock transition from LOW-to-HIGH that the logic level must be maintained at the input in order to ensure continued recognition. A negative hold time indicates that the correct logic level may be released prior to the clock transition from LOW-to-HIGH and still be recognized.

RECOVERY TIME (t_{rec}) — is defined as the minimum time required between the end of the PL pulse and the clock transition from LOW-to-HIGH in order to recognize and transfer loaded Data to the Q outputs.

AC WAVEFORMS

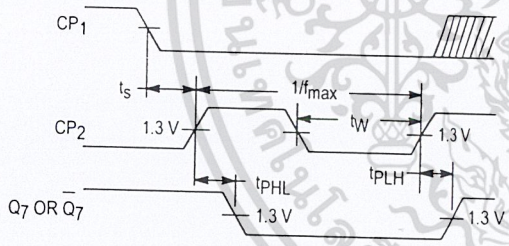


Figure 1

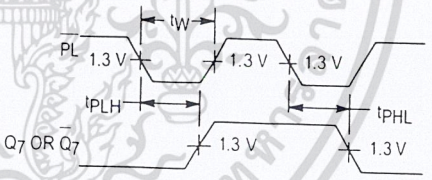


Figure 2

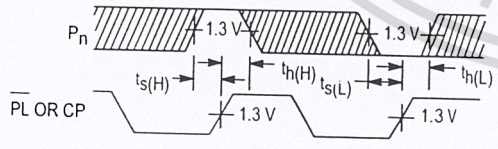


Figure 3

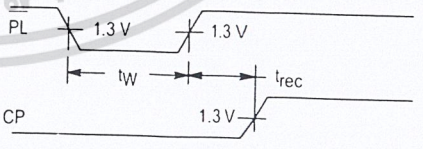


Figure 4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC14046B

Phase Locked Loop

The MC14046B phase locked loop contains two phase comparators, a voltage–controlled oscillator (VCO), source follower, and zener diode. The comparators have two common signal inputs, PCA_{in} and PCB_{in}. Input PCA_{in} can be used directly coupled to large voltage signals, or indirectly coupled (with a series capacitor) to small voltage signals. The self–bias circuit adjusts small voltage signals in the linear region of the amplifier. Phase comparator 1 (an exclusive OR gate) provides a digital error signal $PC1_{out}$, and maintains 90° phase shift at the center frequency between PCA_{in} and PCB_{in} signals (both at 50% duty cycle). Phase comparator 2 (with leading edge sensing logic) provides digital error signals, $PC2_{out}$ and LD, and maintains a 0° phase shift between PCA_{in} and PCB_{in} signals (duty cycle is immaterial). The linear VCO produces an output signal VCO_{out} whose frequency is determined by the voltage of input VCO_{in} and the capacitor and resistors connected to pins $C1_A$, $C1_B$, R1, and R2. The source–follower output SF_{out} with an external resistor is used where the VCO_{in} signal is needed but no loading can be tolerated. The inhibit input Inh, when high, disables the VCO and source follower to minimize standby power consumption. The zener diode can be used to assist in power supply regulation.

Applications include FM and FSK modulation and demodulation, frequency synthesis and multiplication, frequency discrimination, tone decoding, data synchronization and conditioning, voltage–to–frequency conversion and motor speed control.

- Buffered Outputs Compatible with MHTL and Low–Power TTL
- Diode Protection on All Inputs
- Supply Voltage Range = 3.0 to 18 V
- Pin–for–Pin Replacement for CD4046B
- Phase Comparator 1 is an Exclusive Or Gate and is Duty Cycle Limited
- Phase Comparator 2 switches on Rising Edges and is not Duty Cycle Limited

MAXIMUM RATINGS (Voltages Referenced to V_{SS}) (Note 2.)

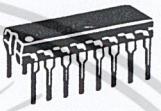
Symbol	Parameter	Value	Unit
V_{DD}	DC Supply Voltage Range	–0.5 to +18.0	V
V_{in}	Input Voltage Range (All Inputs)	–0.5 to V_{DD} + 0.5	V
I_{in}	DC Input Current, per Pin	±10	mA
P_D	Power Dissipation, per Package (Note 3.)	500	mW
T_A	Operating Temperature Range	–55 to +125	°C
T_{stg}	Storage Temperature Range	–65 to +150	°C

2. Maximum Ratings are those values beyond which damage to the device may occur.
3. Temperature Derating:
Plastic "P and D/DW" Packages: – 7.0 mW/°C From 65°C To 125°C

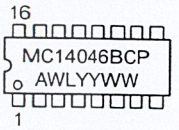
ON Semiconductor™

http://onsemi.com

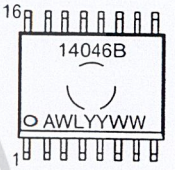
MARKING DIAGRAMS



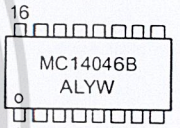
PDIP–16
P SUFFIX
CASE 648



SO–16
DW SUFFIX
CASE 751G



EIAJ SO–16
F SUFFIX
CASE 966



A = Assembly Location
WL, L = Wafer Lot
YY, Y = Year
WW, W = Work Week

ORDERING INFORMATION

Device	Package	Shipping
MC14046BCP	PDIP–16	2000/Box
MC14046BDW	SO–16	2350/Box
MC14046BDWR2	SO–16	1000/Tape & Reel
MC14046BF	EIAJ SO–16	Refer to Note 1.
MC14046BFEL	EIAJ SO–16	Refer to Note 1.

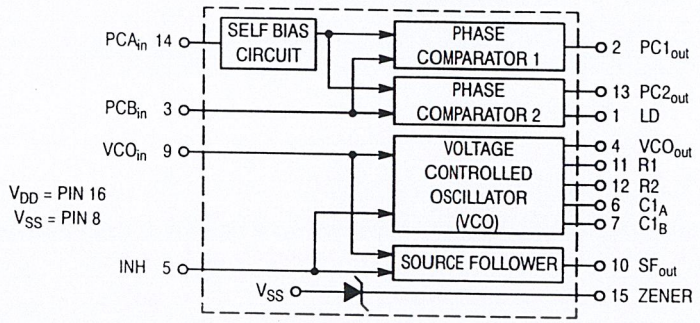
1. For ordering information on the EIAJ version of the SOIC packages, please contact your local ON Semiconductor representative.

This device contains protection circuitry to guard against damage due to high static voltages or electric fields. However, precautions must be taken to avoid applications of any voltage higher than maximum rated voltages to this high–impedance circuit. For proper operation, V_{in} and V_{out} should be constrained to the range $V_{SS} \le (V_{in}$ or $V_{out}) \le V_{DD}$.

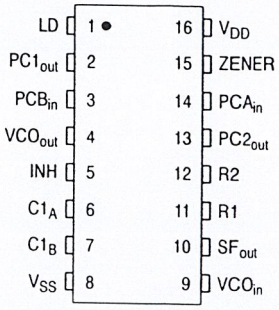
Unused inputs must always be tied to an appropriate logic voltage level (e.g., either V_{SS} or V_{DD}). Unused outputs must be left open.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

BLOCK DIAGRAM



PIN ASSIGNMENT



ELECTRICAL CHARACTERISTICS (Voltages Referenced to V_{SS})

Characteristic	Symbol	V_{DD} Vdc	−55°C Min	−55°C Max	25°C Min	25°C Typ	25°C Max	125°C Min	125°C Max	Unit
Output Voltage "0" Level V_{in} = V_{DD} or 0	V_{OL}	5.0	—	0.05	—	0	0.05	—	0.05	Vdc
		10	—	0.05	—	0	0.05	—	0.05	
		15	—	0.05	—	0	0.05	—	0.05	
"1" Level V_{in} = 0 or V_{DD}	V_{OH}	5.0	4.95	—	4.95	5.0	—	4.95	—	Vdc
		10	9.95	—	9.95	10	—	9.95	—	
		15	14.95	—	14.95	15	—	14.95	—	
Input Voltage (4.) "0" Level (V_O = 4.5 or 0.5 Vdc)	V_{IL}	5.0	—	1.5	—	2.25	1.5	—	1.5	Vdc
(V_O = 9.0 or 1.0 Vdc)		10	—	3.0	—	4.50	3.0	—	3.0	
(V_O = 13.5 or 1.5 Vdc)		15	—	4.0	—	6.75	4.0	—	4.0	
(V_O = 0.5 or 4.5 Vdc) "1" Level	V_{IH}	5.0	3.5	—	3.5	2.75	—	3.5	—	Vdc
(V_O = 1.0 or 9.0 Vdc)		10	7.0	—	7.0	5.50	—	7.0	—	
(V_O = 1.5 or 13.5 Vdc)		15	11	—	11	8.25	—	11	—	
Output Drive Current	I_{OH}									mAdc
(V_{OH} = 2.5 Vdc) Source		5.0	− 1.2	—	− 1.0	− 1.7	—	− 0.7	—	
(V_{OH} = 4.6 Vdc)		5.0	− 0.25	—	− 0.2	− 0.36	—	− 0.14	—	
(V_{OH} = 9.5 Vdc)		10	− 0.62	—	− 0.5	− 0.9	—	− 0.35	—	
(V_{OH} = 13.5 Vdc)		15	− 1.8	—	− 1.5	− 3.5	—	− 1.1	—	
(V_{OL} = 0.4 Vdc) Sink	I_{OL}	5.0	0.64	—	0.51	0.88	—	0.36	—	mAdc
(V_{OL} = 0.5 Vdc)		10	1.6	—	1.3	2.25	—	0.9	—	
(V_{OL} = 1.5 Vdc)		15	4.2	—	3.4	8.8	—	2.4	—	
Input Current	I_{in}	15	—	± 0.1	—	±0.00001	± 0.1	—	± 1.0	µAdc
Input Capacitance	C_{in}	—	—	—	—	5.0	7.5	—	—	pF
Quiescent Current (Per Package) Inh = PCA$_{in}$ = V_{DD},	I_{DD}	5.0	—	5.0	—	0.005	5.0	—	150	µAdc
Zener = VCO$_{in}$ = 0 V, PCB$_{in}$ = V_{DD}		10	—	10	—	0.010	10	—	300	
or 0 V, I_{out} = 0 µA		15	—	20	—	0.015	20	—	600	
Total Supply Current (5.) (Inh = "0", f_o = 10 kHz, C_L = 50 pF,	I_T	5.0	I_T = (1.46 µA/kHz) f + I_{DD}							mAdc
R1 = 1.0 MΩ, R2 = ∞ R_{SF} = ∞,		10	I_T = (2.91 µA/kHz) f + I_{DD}							
and 50% Duty Cycle)		15	I_T = (4.37 µA/kHz) f + I_{DD}							

4. Noise immunity specified for worst−case input combination.
   Noise Margin for both "1" and "0" level = 1.0 Vdc min @ V_{DD} = 5.0 Vdc
   2.0 Vdc min @ V_{DD} = 10 Vdc
   2.5 Vdc min @ V_{DD} = 15 Vdc

5. To Calculate Total Current in General:

$$I_T \approx 2.2 \times V_{DD}\left(\frac{VCO_{in} - 1.65}{R1} + \frac{V_{DD} - 1.35}{R2}\right)^{3/4} + 1.6 \times \left(\frac{VCO_{in} - 1.65}{R_{SF}}\right)^{3/4} + 1 \times 10^{-3} (C_L + 9) V_{DD} f +$$

$$1 \times 10^{-1} V_{DD}^2 \left(\frac{100\% \text{ Duty Cycle of PCA}_{in}}{100}\right) + I_Q$$

where: I_T in µA, C_L in pF, VCO$_{in}$, V_{DD} in Vdc, f in kHz, and R1, R2, R_{SF} in MΩ, C_L on VCO$_{out}$.

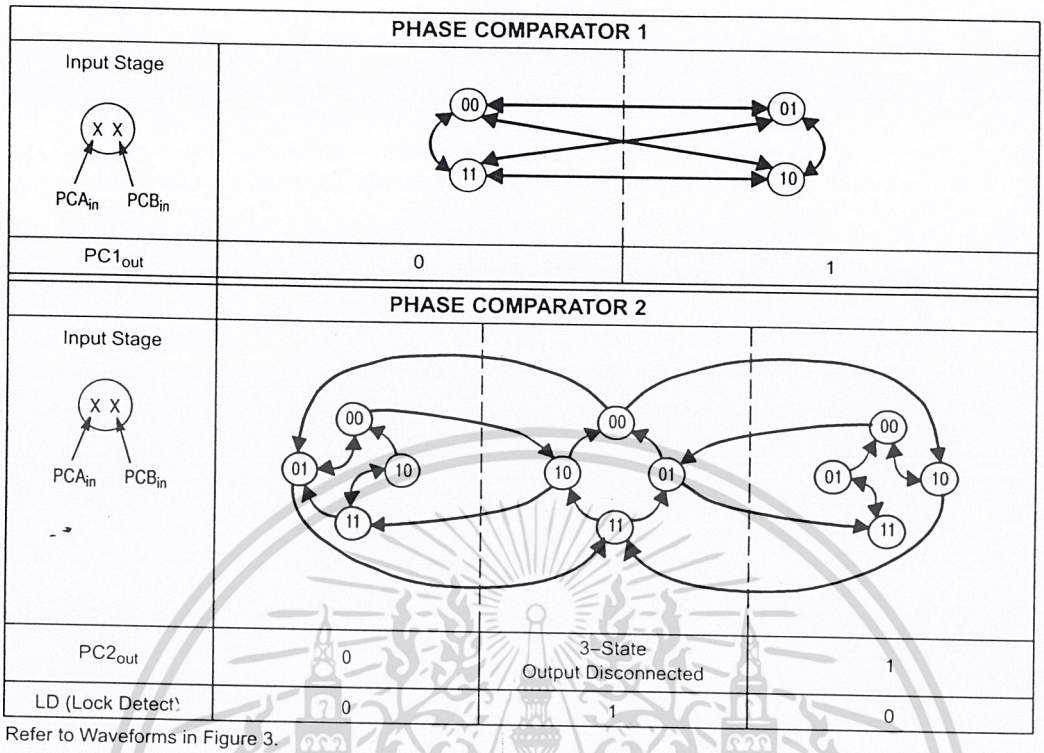
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS [6.] (C_L = 50 pF, T_A = 25°C)

Characteristic	Symbol	V_{DD} Vdc	Minimum Device	Typical	Maximum Device	Units
Output Rise Time	t_{TLH}					ns
t_{TLH} = (3.0 ns/pF) C_L + 30 ns		5.0	—	180	350	
t_{TLH} = (1.5 ns/pF) C_L + 15 ns		10	—	90	150	
t_{TLH} = (1.1 ns/pF) C_L + 10 ns		15	—	65	110	
Output Fall Time	t_{THL}					ns
t_{THL} = (1.5 ns/pF) C_L + 25 ns		5.0	—	100	175	
t_{THL} = (0.75 ns/pF) C_L + 12.5 ns		10	—	50	75	
t_{THL} = (0.55 ns/pF) C_L + 9.5 ns		15	—	37	55	
PHASE COMPARATORS 1 and 2						
Input Resistance — PCA_{in}	R_{in}	5.0	1.0	2.0	—	MΩ
		10	0.2	0.4	—	
		15	0.1	0.2	—	
— PCB_{in}	R_{in}	15	150	1500	—	MΩ
Minimum Input Sensitivity	V_{in}					mV p–p
AC Coupled — PCA_{in}		5.0	—	200	300	
C series = 1000 pF, f = 50 kHz		10	—	400	600	
		15	—	700	1050	
DC Coupled — PCA_{in}, PCB_{in}	—	5 to 15	See Noise Immunity			
VOLTAGE CONTROLLED OSCILLATOR (VCO)						
Maximum Frequency	f_{max}					MHz
(VCO_{in} = V_{DD}, C1 = 50 pF		5.0	0.5	0.7	—	
R1 = 5.0 kΩ, and R2 = ∞)		10	1.0	1.4	—	
		15	1.4	1.9	—	
Temperature — Frequency Stability	—					%/°C
(R2 = ∞)		5.0	—	0.12	—	
		10	—	0.04	—	
		15	—	0.015	—	
Linearity (R2 = ∞)	—					%
(VCO_{in} = 2.5 V ± 0.3 V, R1 > 10 kΩ)		5.0	—	1.0	—	
(VCO_{in} = 5.0 V ± 2.5 V, R1 > 400 kΩ)		10	—	1.0	—	
(VCO_{in} = 7.5 V ± 5.0 V, R1 ≥ 1000 kΩ)		15	—	1.0	—	
Output Duty Cycle	—	5 to 15	—	50	—	%
Input Resistance — VCO_{in}	R_{in}	15	150	1500	—	MΩ
SOURCE–FOLLOWER						
Offset Voltage	—					V
(VCO_{in} minus SF_{out}, RSF > 500 kΩ)		5.0	—	1.65	2.2	
		10	—	1.65	2.2	
		15	—	1.65	2.2	
Linearity	—					%
(VCO_{in} = 2.5 V ± 0.3 V, R_{SF} > 50 kΩ)		5.0	—	0.1	—	
(VCO_{in} = 5.0 V ± 2.5 V, R_{SF} > 50 kΩ)		10	—	0.6	—	
(VCO_{in} = 7.5 V ± 5.0 V, R_{SF} > 50 kΩ)		15	—	0.8	—	
ZENER DIODE						
Zener Voltage (I_Z = 50 μA)	V_Z	—	6.7	7.0	7.3	V
Dynamic Resistance (I_Z = 1.0 mA)	R_Z	—	—	100	—	Ω

6. The formula given is for the typical characteristics only.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



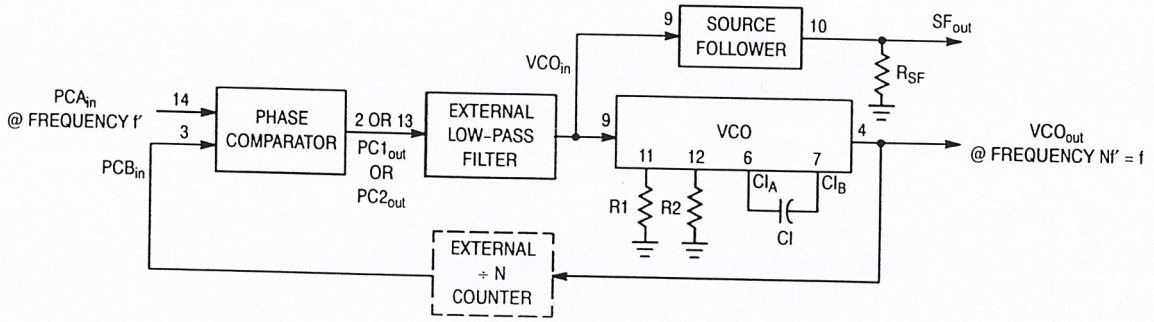
Refer to Waveforms in Figure 3.

Figure 1. Phase Comparators State Diagrams

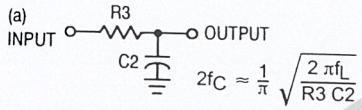
Characteristic	Using Phase Comparator 1	Using Phase Comparator 2
No signal on input PCA$_{in}$.	VCO in PLL system adjusts to center frequency (f_0).	VCO in PLL system adjusts to minimum frequency (f_{min}).
Phase angle between PCA$_{in}$ and PCB$_{in}$.	90° at center frequency (f_0), approaching 0° and 180° at ends of lock range ($2f_L$)	Always 0° in lock (positive rising edges).
Locks on harmonics of center frequency.	Yes	No
Signal input noise rejection.	High	Low
Lock frequency range ($2f_L$).	The frequency range of the input signal on which the loop will stay locked if it was initially in lock; $2f_L$ = full VCO frequency range = $f_{max} - f_{min}$.	
Capture frequency range ($2f_C$).	The frequency range of the input signal on which the loop will lock if it was initially out of lock.	
	Depends on low–pass filter characteristics (see Figure 3). $f_C \leq f_L$	$f_C = f_L$
Center frequency (f_0).	The frequency of VCO$_{out}$, when VCO$_{in}$ = 1/2 V_{DD}	
VCO output frequency (f). Note: These equations are intended to be a design guide. Since calculated component values may be in error by as much as a factor of 4, laboratory experimentation may be required for fixed designs. Part to part frequency variation with identical passive components is typically less than ± 20%.	$f_{min} = \frac{1}{R_2(C_1 + 32\ pF)}$ (V_{CO} input = V_{SS}) $f_{max} = \frac{1}{R_1(C_1 + 32\ pF)} + f_{min}$ (V_{CO} input = V_{DD}) Where: 10K ≤ R_1 ≤ 1 M 10K ≤ R_2 ≤ 1 M 100pF ≤ C_1 ≤ .01 μF	

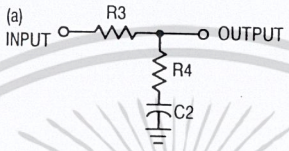
Figure 2. Design Information

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Typical Low–Pass Filters





Typically:

$$R_4 C_2 = \frac{6N}{f_{max}} - \frac{N}{2\pi\Delta f}$$

$$(R_3 + 3{,}000\Omega)\,C_2 = \frac{100N\Delta f}{f_{max}^2} - R_4 C_2$$

$$\Delta f = f_{max} - f_{min}$$

NOTE: Sometimes R3 is split into two series resistors each R3 ÷ 2. A capacitor C_C is then placed from the midpoint to ground. The value for C_C should be such that the corner frequency of this network does not significantly affect ω_n. In Figure B, the ratio of R3 to R4 sets the damping, R4 ≅ (0.1)(R3) for optimum results.

LOW–PASS FILTER

Definitions: N = Total division ratio in feedback loop

$K\phi = V_{DD}/\pi$ for Phase Comparator 1

$K\phi = V_{DD}/4\pi$ for Phase Comparator 2

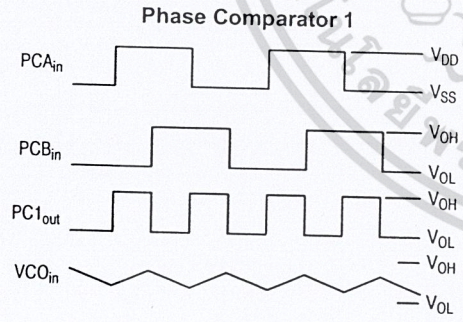
$$K_{VCO} = \frac{2\pi\Delta f_{VCO}}{V_{DD} - 2\,V}$$

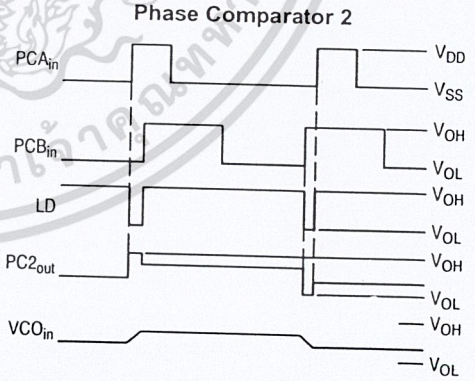
for a typical design $\omega_n \cong \frac{2\pi f_r}{10}$ (at phase detector input)

$\zeta \cong 0.707$

Filter A	Filter B
$\omega_n = \sqrt{\frac{K\phi K_{VCO}}{NR_3C_2}}$	$\omega_n = \sqrt{\frac{K\phi K_{VCO}}{NC_2(R_3 + R_4)}}$
$\zeta = \frac{N\omega_n}{2K\phi K_{VCO}}$	$\zeta = 0.5\,\omega_n\left(R_3C_2 + \frac{N}{K\phi K_{VCO}}\right)$
$F(s) = \frac{1}{R_3C_2S + 1}$	$F(s) = \frac{R_3C_2S + 1}{S(R_3C_2 + R_4C_2) + 1}$

Waveforms





Note: for further information, see:

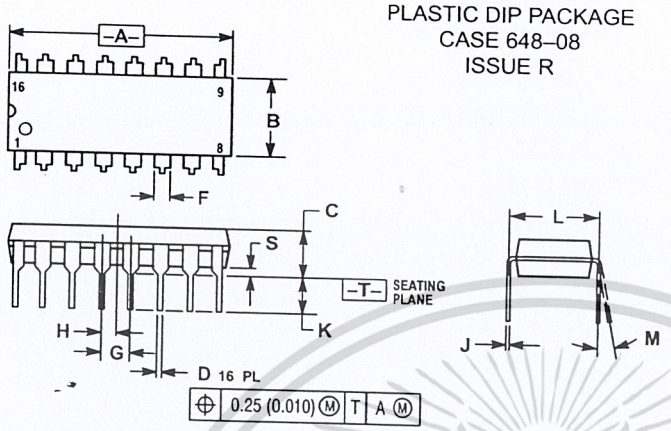
(1) F. Gardner, "Phase–Lock Techniques", John Wiley and Son, New York, 1966.
(2) G. S. Moschytz, "Miniature RC Filters Using Phase–Locked Loop", BSTJ, May, 1965.
(3) Garth Nash, "Phase–Lock Loop Design Fundamentals", AN–535, Motorola Inc.
(4) A. B. Przedpelski, "Phase–Locked Loop Design Articles", AR254, reprinted by Motorola Inc.

Figure 3. General Phase–Locked Loop Connections and Waveforms

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PACKAGE DIMENSIONS

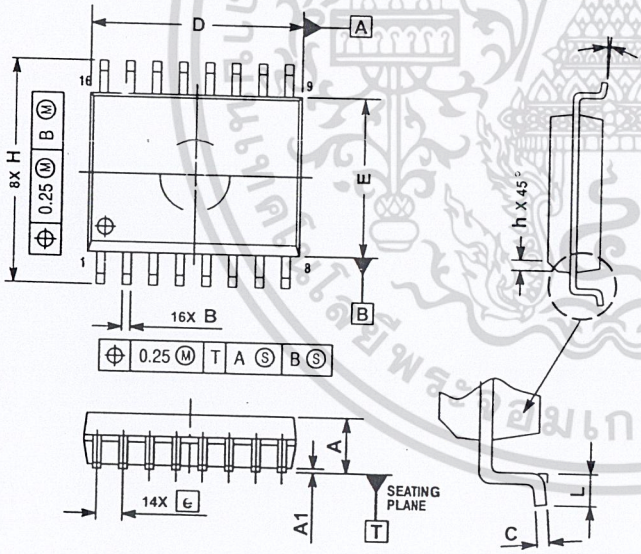
PDIP–16
P SUFFIX
PLASTIC DIP PACKAGE
CASE 648–08
ISSUE R



NOTES:
1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982.
2. CONTROLLING DIMENSION: INCH.
3. DIMENSION L TO CENTER OF LEADS WHEN FORMED PARALLEL.
4. DIMENSION B DOES NOT INCLUDE MOLD FLASH.
5. ROUNDED CORNERS OPTIONAL.

	INCHES		MILLIMETERS	
DIM	MIN	MAX	MIN	MAX
A	0.740	0.770	18.80	19.55
B	0.250	0.270	6.35	6.85
C	0.145	0.175	3.69	4.44
D	0.015	0.021	0.39	0.53
F	0.040	0.70	1.02	1.77
G	0.100 BSC		2.54 BSC	
H	0.050 BSC		1.27 BSC	
J	0.008	0.015	0.21	0.38
K	0.110	0.130	2.80	3.30
L	0.295	0.305	7.50	7.74
M	0°	10°	0°	10°
S	0.020	0.040	0.51	1.01

SOIC–16
DW SUFFIX
PLASTIC SOIC PACKAGE
CASE 751G–03
ISSUE B



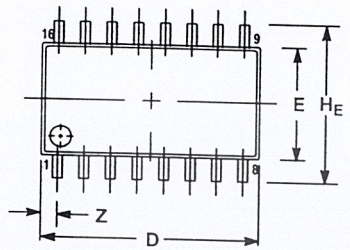
NOTES:
1. DIMENSIONS ARE IN MILLIMETERS.
2. INTERPRET DIMENSIONS AND TOLERANCES PER ASME Y14.5M, 1994.
3. DIMENSIONS D AND E DO NOT INLCUDE MOLD PROTRUSION.
4. MAXIMUM MOLD PROTRUSION 0.15 PER SIDE.
5. DIMENSION B DOES NOT INCLUDE DAMBAR PROTRUSION. ALLOWABLE DAMBAR PROTRUSION SHALL BE 0.13 TOTAL IN EXCESS OF THE B DIMENSION AT MAXIMUM MATERIAL CONDITION.

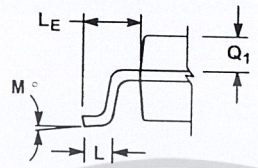
	MILLIMETERS	
DIM	MIN	MAX
A	2.35	2.65
A1	0.10	0.25
B	0.35	0.49
C	0.23	0.32
D	10.15	10.45
E	7.40	7.60
e	1.27 BSC	
H	10.05	10.55
h	0.25	0.75
L	0.50	0.90
θ	0°	7°

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

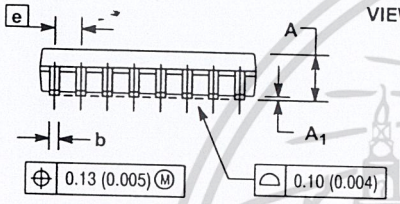
PACKAGE DIMENSIONS

SOEIAJ–16
F SUFFIX
PLASTIC EIAJ SOIC PACKAGE
CASE 966–01
ISSUE O





DETAIL P



NOTES:
1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982.
2. CONTROLLING DIMENSION: MILLIMETER.
3. DIMENSIONS D AND E DO NOT INCLUDE MOLD FLASH OR PROTRUSIONS AND ARE MEASURED AT THE PARTING LINE. MOLD FLASH OR PROTRUSIONS SHALL NOT EXCEED 0.15 (0.006) PER SIDE.
4. TERMINAL NUMBERS ARE SHOWN FOR REFERENCE ONLY.
5. THE LEAD WIDTH DIMENSION (b) DOES NOT INCLUDE DAMBAR PROTRUSION. ALLOWABLE DAMBAR PROTRUSION SHALL BE 0.08 (0.003) TOTAL IN EXCESS OF THE LEAD WIDTH DIMENSION AT MAXIMUM MATERIAL CONDITION. DAMBAR CANNOT BE LOCATED ON THE LOWER RADIUS OR THE FOOT. MINIMUM SPACE BETWEEN PROTRUSIONS AND ADJACENT LEAD TO BE 0.46 (0.018).

	MILLIMETERS		INCHES	
DIM	MIN	MAX	MIN	MAX
A	---	2.05	---	0.081
A_1	0.05	0.20	0.002	0.008
b	0.35	0.50	0.014	0.020
c	0.18	0.27	0.007	0.011
D	9.90	10.50	0.390	0.413
E	5.10	5.45	0.201	0.215
e	1.27 BSC		0.050 BSC	
H_E	7.40	8.20	0.291	0.323
L	0.50	0.85	0.020	0.033
L_E	1.10	1.50	0.043	0.059
M	0 °	10 °	0 °	10 °
Q_1	0.70	0.90	0.028	0.035
Z	---	0.78	---	0.031

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ON Semiconductor and ON are trademarks of Semiconductor Components Industries, LLC (SCILLC). SCILLC reserves the right to make changes without further notice to any products herein. SCILLC makes no warranty, representation or guarantee regarding the suitability of its products for any particular purpose, nor does SCILLC assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation special, consequential or incidental damages. "Typical" parameters which may be provided in SCILLC data sheets and/or specifications can and do vary in different applications and actual performance may vary over time. All operating parameters, including "Typicals" must be validated for each customer application by customer's technical experts. SCILLC does not convey any license under its patent rights nor the rights of others. SCILLC products are not designed, intended, or authorized for use as components in systems intended for surgical implant into the body, or other applications intended to support or sustain life, or for any other application in which the failure of the SCILLC product could create a situation where personal injury or death may occur. Should Buyer purchase or use SCILLC products for any such unintended or unauthorized application, Buyer shall indemnify and hold SCILLC and its officers, employees, subsidiaries, affiliates, and distributors harmless against all claims, costs, damages, and expenses, and reasonable attorney fees arising out of, directly or indirectly, any claim of personal injury or death associated with such unintended or unauthorized use, even if such claim alleges that SCILLC was negligent regarding the design or manufacture of the part. SCILLC is an Equal Opportunity/Affirmative Action Employer.

PUBLICATION ORDERING INFORMATION

NORTH AMERICA Literature Fulfillment:
Literature Distribution Center for ON Semiconductor
P.O. Box 5163, Denver, Colorado 80217 USA
Phone: 303–675–2175 or 800–344–3860 Toll Free USA/Canada
Fax: 303–675–2176 or 800–344–3867 Toll Free USA/Canada
Email: ONlit@hibbertco.com
Fax Response Line: 303–675–2167 or 800–344–3810 Toll Free USA/Canada

N. American Technical Support: 800–282–9855 Toll Free USA/Canada

EUROPE: LDC for ON Semiconductor – European Support
German Phone: (+1) 303–308–7140 (Mon–Fri 2:30pm to 7:00pm CET)
Email: ONlit–german@hibbertco.com
French Phone: (+1) 303–308–7141 (Mon–Fri 2:00pm to 7:00pm CET)
Email: ONlit–french@hibbertco.com
English Phone: (+1) 303–308–7142 (Mon–Fri 12:00pm to 5:00pm GMT)
Email: ONlit@hibbertco.com

EUROPEAN TOLL–FREE ACCESS*: 00–800–4422–3781
*Available from Germany, France, Italy, UK, Ireland

CENTRAL/SOUTH AMERICA:
Spanish Phone: 303–308–7143 (Mon–Fri 8:00am to 5:00pm MST)
Email: ONlit–spanish@hibbertco.com
Toll–Free from Mexico: Dial 01–800–288–2872 for Access – then Dial 866–297–9322

ASIA/PACIFIC: LDC for ON Semiconductor – Asia Support
Phone: 1–303–675–2121 (Tue–Fri 9:00am to 1:00pm, Hong Kong Time)
Toll Free from Hong Kong & Singapore:
001–800–4422–3781
Email: ONlit–asia@hibbertco.com

JAPAN: ON Semiconductor, Japan Customer Focus Center
4–32–1 Nishi–Gotanda, Shinagawa–ku, Tokyo, Japan 141–0031
Phone: 81–3–5740–2700
Email: r14525@onsemi.com

ON Semiconductor Website: http://onsemi.com

For additional information, please contact your local Sales Representative.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FAIRCHILD SEMICONDUCTOR™

September 1986
Revised March 2000

DM74LS193
Synchronous 4-Bit Binary Counter with Dual Clock

General Description

The DM74LS193 circuit is a synchronous up/down 4-bit binary counter. Synchronous operation is provided by having all flip-flops clocked simultaneously, so that the outputs change together when so instructed by the steering logic. This mode of operation eliminates the output counting spikes normally associated with asynchronous (ripple-clock) counters.

The outputs of the four master-slave flip-flops are triggered by a LOW-to-HIGH level transition of either count (clock) input. The direction of counting is determined by which count input is pulsed while the other count input is held HIGH.

The counter is fully programmable; that is, each output may be preset to either level by entering the desired data at the inputs while the load input is LOW. The output will change independently of the count pulses. This feature allows the counters to be used as modulo-N dividers by simply modifying the count length with the preset inputs.

A clear input has been provided which, when taken to a high level, forces all outputs to the low level, independent of the count and load inputs. The clear, count, and load inputs are buffered to lower the drive requirements of clock drivers, etc., required for long words.

These counters were designed to be cascaded without the need for external circuitry. Both borrow and carry outputs are available to cascade both the up and down counting functions. The borrow output produces a pulse equal in width to the count down input when the counter underflows. Similarly, the carry output produces a pulse equal in width to the count down input when an overflow condition exists. The counters can then be easily cascaded by feeding the borrow and carry outputs to the count down and count up inputs respectively of the succeeding counter.

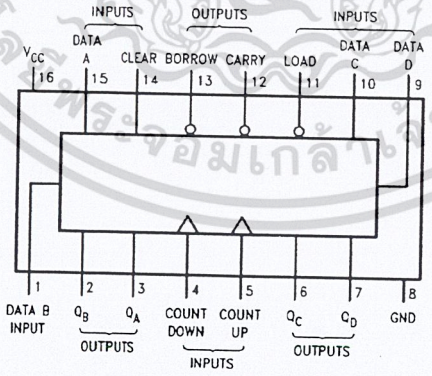
Features

- Fully independent clear input
- Synchronous operation
- Cascading circuitry provided internally
- Individual preset each flip-flop

Ordering Code:

Order Number	Package Number	Package Description
DM74LS193M	M16A	16-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-012, 0.150" Narrow Body
DM74LS193N	N16E	16-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300" Wide

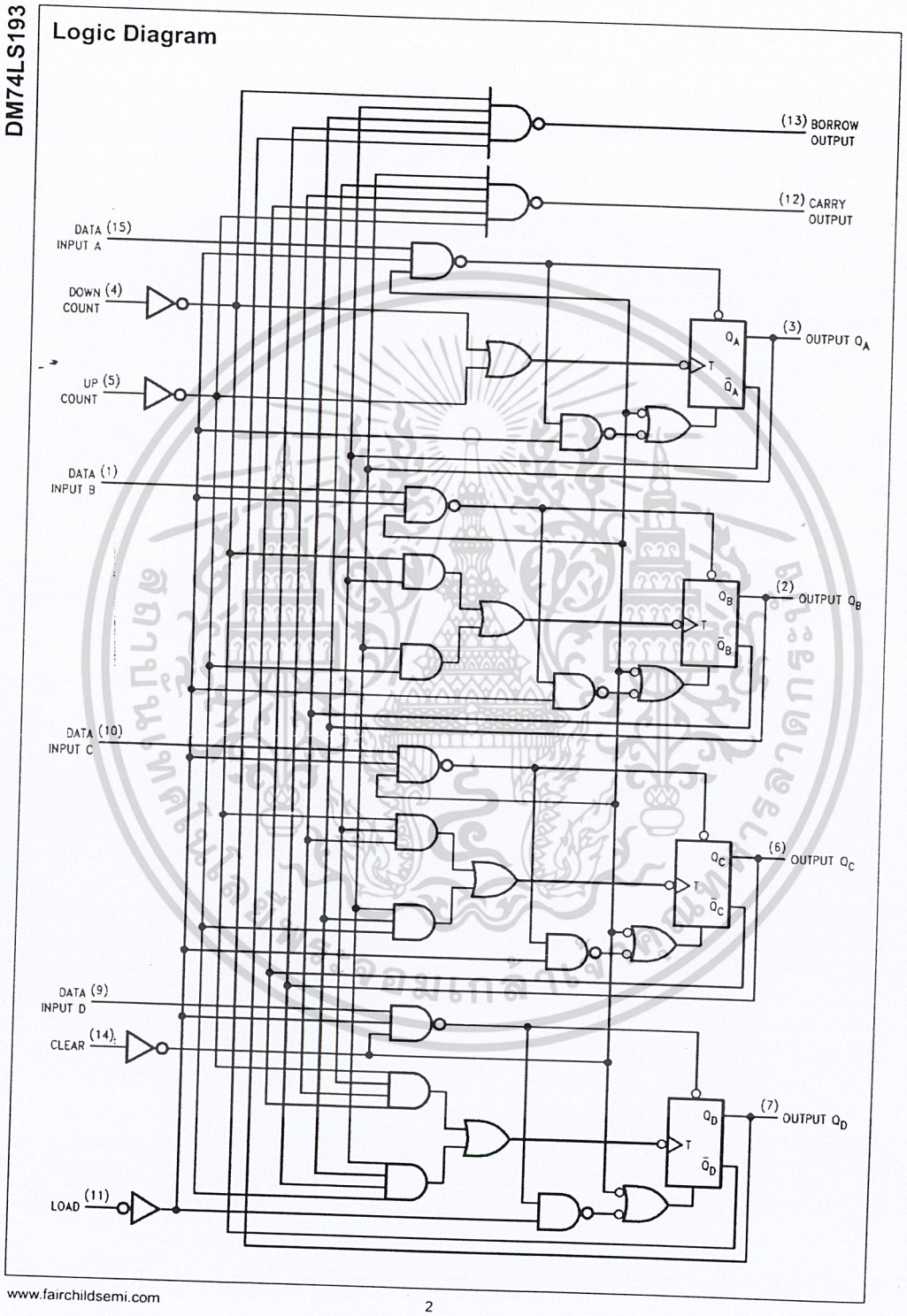
Connection Diagram



© 2000 Fairchild Semiconductor Corporation

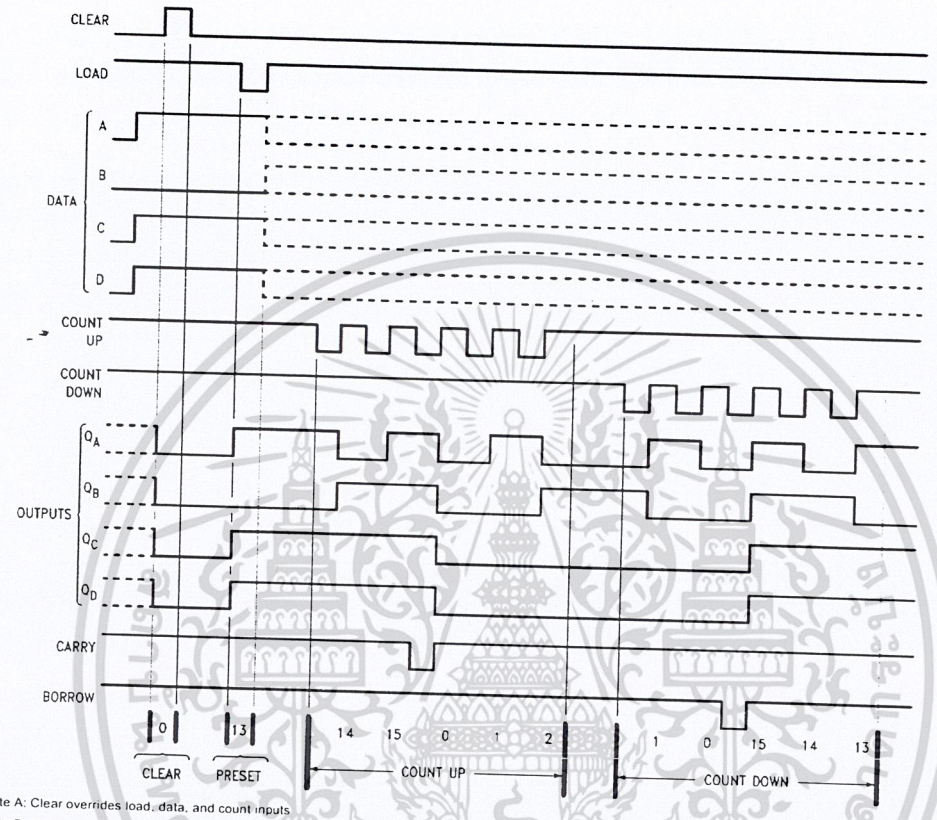
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Logic Diagram



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Timing Diagram



Note A: Clear overrides load, data, and count inputs.

Note B: When counting up, count-down input must be HIGH; when counting down, count-up input must be HIGH.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings(Note 1)

Operating Free Air Temperature Range	−0°C to +70°C
Supply Voltage	7V
Input Voltage	7V
Storage Temperature Range	−65°C to +125°C

Note 1: The "Absolute Maximum Ratings" are those values beyond which the safety of the device cannot be guaranteed. The device should not be operated at these limits. The parametric values defined in the Electrical Characteristics tables are not guaranteed at the absolute maximum ratings. The "Recommended Operating Conditions" table will define the conditions for actual device operation.

Recommended Operating Conditions

Symbol	Parameter	Min	Nom	Max	Units
V_{CC}	Supply Voltage	4.75	5	5.25	V
V_{IH}	HIGH Level Input Voltage	2			V
V_{IL}	LOW Level Input Voltage			0.8	V
I_{OH}	HIGH Level Output Current			−0.4	mA
I_{OL}	LOW Level Output Current			8	mA
f_{CLK}	Clock Frequency (Note 2)	0		25	MHz
	Clock Frequency (Note 3)				
t_W	Pulse Width of any Input (Note 4)	20			ns
t_{SU}	Data Setup Time (Note 4)	20			ns
t_H	Data Hold Time (Note 4)	0			ns
t_{EN}	Enable Time to Clock (Note 4)	40			ns
T_A	Free Air Operating Temperature	0		70	°C

Note 2: C_L = 15 pF, R_L = 2 kΩ, I_A = 25°C and V_{CC} = 5V.

Note 3: C_L = 50 pF, R_L = 2 kΩ, I_A = 25°C and V_{CC} = 5V.

Note 4: T_A = 25°C and V_{CC} = 5V.

DC Electrical Characteristics

Symbol	Parameter	Conditions	Min	Typ (Note 5)	Max	Units
V_I	Input Clamp Voltage	V_{CC} = Min, I_I = −18 mA			−1.5	V
V_{OH}	HIGH Level Output Voltage	V_{CC} = Min, I_{OH} = Max	2.5	3.4		V
		V_{IL} = Max, V_{IH} = Min	2.7	3.4		
V_{OL}	LOW Level Output Voltage	V_{CC} = Min, I_{OL} = Max		0.25	0.4	V
		V_{IL} = Max, V_{IH} = Min		0.35	0.5	
		I_{OL} = 4 mA, V_{CC} = Min		0.25	0.4	
I_I	Input Current @ Max Input Voltage	V_{CC} = Max, V_I = 7V			0.1	mA
I_{IH}	HIGH Level Input Current	V_{CC} = Max, V_I = 2.7V			20	μA
I_{IL}	LOW Level Input Current	V_{CC} = Max, V_I = 0.4V			−0.4	mA
I_{OS}	Short Circuit Output Current	V_{CC} = Max	−20		−100	mA
I_{CC}	Supply Current	(Note 6)	20		100	
		V_{CC} = Max (Note 7)		19	34	mA

Note 5: All typicals are at V_{CC} = 5V, T_A = 25°C.

Note 6: Not more than one output should be shorted at a time, and the duration should not exceed one second.

Note 7: I_{CC} is measured with all outputs open, CLEAR and LOAD inputs grounded, and all other inputs at 4.5V.

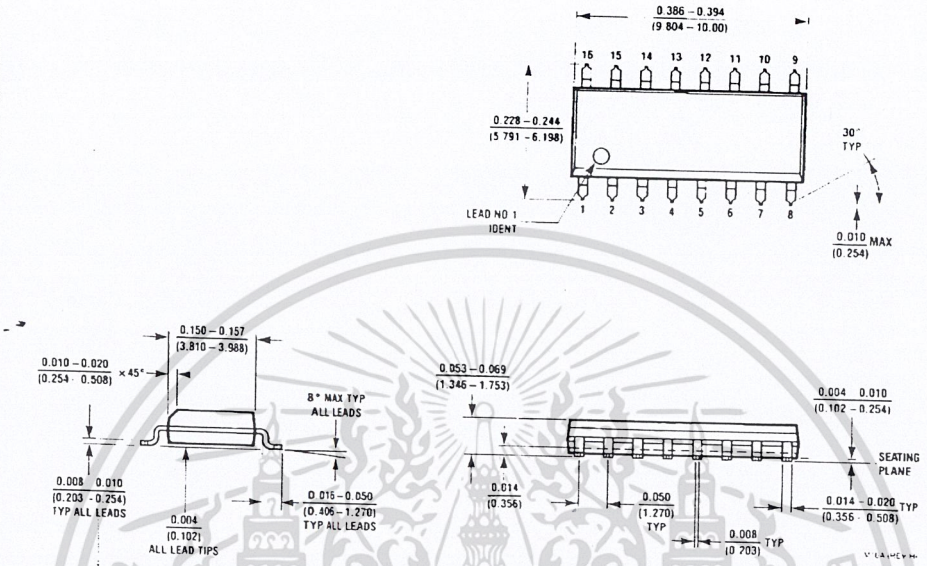
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC Electrical Characteristics

Symbol	Parameter	From (Input) To (Output)	R_L = 2 kΩ				Units
			C_L = 15 pF		C_L = 50 pF		
			Min	Max	Min	Max	
f_{MAX}	Maximum Clock Frequency		25		20		MHz
t_{PLH}	Propagation Delay Time LOW-to-HIGH Level Output	Count Up to Carry		26		30	ns
t_{PHL}	Propagation Delay Time HIGH-to-LOW Level Output	Count Up to Carry		24		36	ns
t_{PLH}	Propagation Delay Time LOW-to-HIGH Level Output	Count Down to Borrow		24		29	ns
t_{PHL}	Propagation Delay Time HIGH-to-LOW Level Output	Count Down to Borrow		24		32	ns
t_{PLH}	Propagation Delay Time LOW-to-HIGH Level Output	Either Count to Any Q		38		45	ns
t_{PHL}	Propagation Delay Time HIGH-to-LOW Level Output	Either Count to Any Q		47		54	ns
t_{PLH}	Propagation Delay Time LOW-to-HIGH Level Output	Load to Any Q		40		41	ns
t_{PHL}	Propagation Delay Time HIGH-to-LOW Level Output	Load to Any Q		40		47	ns
t_{PHL}	Propagation Delay Time HIGH-to-LOW Level Output	Clear to Any Q		35		44	ns

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

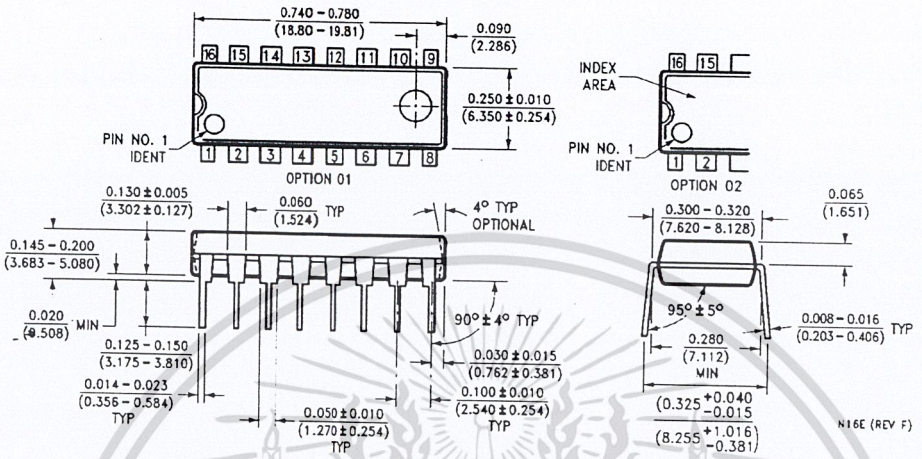
Physical Dimensions inches (millimeters) unless otherwise noted



16-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-012, 0150" Narrow Body
Package Number M16A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Physical Dimensions inches (millimeters) unless otherwise noted (Continued)



16-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300" Wide
Package Number N16E

Fairchild does not assume any responsibility for use of any circuitry described, no circuit patent licenses are implied and Fairchild reserves the right at any time without notice to change said circuitry and specifications.

LIFE SUPPORT POLICY

FAIRCHILD'S PRODUCTS ARE NOT AUTHORIZED FOR USE AS CRITICAL COMPONENTS IN LIFE SUPPORT DEVICES OR SYSTEMS WITHOUT THE EXPRESS WRITTEN APPROVAL OF THE PRESIDENT OF FAIRCHILD SEMICONDUCTOR CORPORATION. As used herein:

1. Life support devices or systems are devices or systems which, (a) are intended for surgical implant into the body, or (b) support or sustain life, and (c) whose failure to perform when properly used in accordance with instructions for use provided in the labeling, can be reasonably expected to result in a significant injury to the user.
2. A critical component in any component of a life support device or system whose failure to perform can be reasonably expected to cause the failure of the life support device or system, or to affect its safety or effectiveness.

www.fairchildsemi.com

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

November 1995

CD4046BM/CD4046BC Micropower Phase-Locked Loop

General Description

The CD4046B micropower phase-locked loop (PLL) consists of a low power, linear, voltage-controlled oscillator (VCO), a source follower, a zener diode, and two phase comparators. The two phase comparators have a common signal input and a common comparator input. The signal input can be directly coupled for a large voltage signal, or capacitively coupled to the self-biasing amplifier at the signal input for a small voltage signal.

Phase comparator I, an exclusive OR gate, provides a digital error signal (phase comp. I Out) and maintains 90° phase shifts at the VCO center frequency. Between signal input and comparator input (both at 50% duty cycle), it may lock onto the signal input frequencies that are close to harmonics of the VCO center frequency.

Phase comparator II is an edge-controlled digital memory network. It provides a digital error signal (phase comp. II Out) and lock-in signal (phase pulses) to indicate a locked condition and maintains a 0° phase shift between signal input and comparator input.

The linear voltage-controlled oscillator (VCO) produces an output signal (VCO Out) whose frequency is determined by the voltage at the VCO_{IN} input, and the capacitor and resistors connected to pin $C1_A$, $C1_B$, R1 and R2.

The source follower output of the VCO_{IN} (demodulator Out) is used with an external resistor of 10 kΩ or more.

The INHIBIT input, when high, disables the VCO and source follower to minimize standby power consumption. The zener diode is provided for power supply regulation, if necessary.

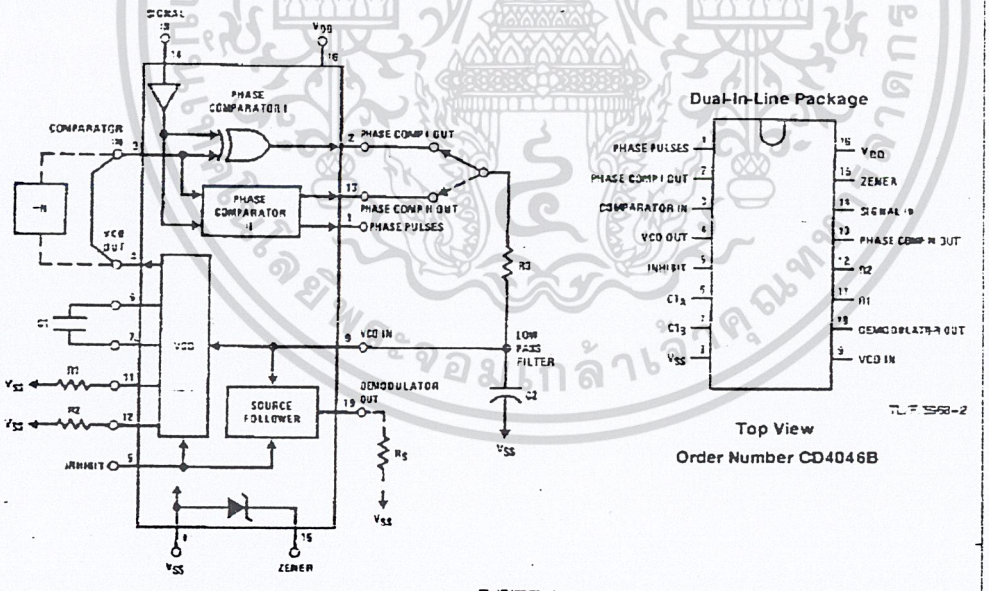
Features

■ Wide supply voltage range	3.0V to 18V
■ Low dynamic power consumption	70 μW (typ.) at f_o = 10 kHz, V_{DD} = 5V
■ VCO frequency	1.3 MHz (typ.) at V_{DD} = 10V
■ Low frequency drift with temperature	0.06%/°C at V_{DD} = 10V
■ High VCO linearity	1% (typ.)

Applications

- FM demodulator and modulator
- Frequency synthesis and multiplication
- Frequency discrimination
- Data synchronization and conditioning
- Voltage-to-frequency conversion
- Tone decoding
- FSK modulation
- Motor speed control

Block & Connection Diagrams



TL/F/5968–1

FIGURE 1

©1995 National Semiconductor Corporation TL/F/5968 RRD-B30M115/Printed in U. S. A.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings (Notes 1 & 2)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

DC Supply Voltage (V_{DD})	−0.5 to +18 V_{DC}
Input Voltage (V_{IN})	−0.5 to V_{DD} +0.5 V_{DC}
Storage Temperature Range (T_S)	−65°C to +150°C
Power Dissipation (P_D)	
Dual-In-Line	700 mW
Small Outline	500 mW
Lead Temperature (T_L) (Soldering, 10 seconds)	260°C

Recommended Operating Conditions (Note 2)

DC Supply Voltage (V_{DD})	3 to 15 V_{DC}
Input Voltage (V_{IN})	0 to V_{DD} V_{DC}
Operating Temperature Range (T_A)	
CD4046BM	−55°C to +125°C
CD4046BC	−40°C to +85°C

DC Electrical Characteristics CD4046BM (Note 2)

Symbol	Parameter	Conditions	−55°C		+25°C			+125°C		Units
			Min	Max	Min	Typ	Max	Min	Max	
I_{DD}	Quiescent Device Current	Pin 5 = V_{DD}, Pin 14 = V_{DD}, Pin 3, 9 = V_{SS}								
		V_{DD} = 5V		5		0.005	5		150	μA
		V_{DD} = 10V		10		0.01	10		300	μA
		V_{DD} = 15V		20		0.015	20		600	μA
		Pin 5 = V_{DD}, Pin 14 = Ocen, Pin 3, 2 = V_{SS}								
		V_{DD} = 5V		45		5	35		185	μA
		V_{DD} = 10V		450		20	350		650	μA
		V_{DD} = 15V		1200		50	900		1500	μA
V_{OL}	Low Level Output Voltage	V_{DD} = 5V		0.05		0	0.05		0.05	V
		V_{DD} = 10V		0.05		0	0.05		0.05	V
		V_{DD} = 15V		0.05		0	0.05		0.05	V
V_{OH}	High Level Output Voltage	V_{DD} = 5V	4.95		4.95	5		4.95		V
		V_{DD} = 10V	9.95		9.95	10		9.95		V
		V_{DD} = 15V	14.95		14.95	15		14.95		V
V_{IL}	Low Level Input Voltage Comparator and Signal In	V_{DD} = 5V, V_O = 0.5V or 4.5V		1.5		2.25	1.5		1.5	V
		V_{DD} = 10V, V_O = 1V or 9V		3.0		4.5	3.0		3.0	V
		V_{DD} = 15V, V_O = 1.5V or 13.5V		4.0		6.25	4.0		4.0	V
V_{IH}	High Level Input Voltage Comparator and Signal In	V_{DD} = 5V, V_O = 0.5V or 4.5V	3.5		3.5	2.75		3.5		V
		V_{DD} = 10V, V_O = 1V or 9V	7.0		7.0	5.5		7.0		V
		V_{DD} = 15V, V_O = 1.5V or 13.5V	11.0		11.0	8.25		11.0		V
I_{OL}	Low Level Output Current (Note 4)	V_{DD} = 5V, V_O = 0.4V	0.64		0.51	0.88		0.36		mA
		V_{DD} = 10V, V_O = 0.5V	1.6		1.3	2.25		0.9		mA
		V_{DD} = 15V, V_O = 1.5V	4.2		3.4	8.8		2.4		mA
I_{OH}	High Level Output Current (Note 4)	V_{DD} = 5V, V_O = 4.6V	−0.64		−0.51	−0.88		−0.36		mA
		V_{DD} = 10V, V_O = 9.5V	−1.6		−1.3	−2.25		−0.9		mA
		V_{DD} = 15V, V_O = 13.5V	−4.2		−3.4	−8.8		−2.4		mA
I_{IN}	Input Current	All Inputs Except Signal Input V_{DD} = 14V, V_{IN} = 0V		−0.1		-10^{-5}	−0.1		−1.0	μA
		V_{DD} = 15V, V_{IN} = 15V		0.1		10^{-5}	0.1		1.0	μA
C_{IN}	Input Capacitance	Any Input (Note 3)							7.5	pF
P_T	Total Power Dissipation	f_o = 10 kHz, R1 = 1 MΩ R2 = ∞, VCO_{IN} = V_{DD}/2								
		V_{DD} = 5V				0.07				mW
		V_{DD} = 10V				0.6				mW
		V_{DD} = 15V				2.4				mW

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DC Electrical Characteristics CD4046BC (Note 2)

Symbol	Parameter	Conditions	−40°C		∓25°C			∓85°C		Units
			Min	Max	Min	Typ	Max	Min	Max	
I_{DD}	Quiescent Device Current	Pin 5 − V_{DD}, Pin 14 − V_{DD}, Pin 3, 9 − V_{SS}								
		V_{DD} − 5V		20		0.005	20		150	μA
		V_{DD} − 10V		40		0.01	40		300	μA
		V_{DD} − 15V		80		0.015	80		600	μA
		Pin 5 − V_{DD}, Pin 14 − Ocsn, Pin 3, 9 − V_{SS}								
		V_{DD} − 5V		70		5	55		205	μA
		V_{DD} − 10V		530		20	410		710	μA
		V_{DD} − 15V		1500		50	1200		1800	μA
V_{OL}	Low Level Output Voltage	V_{DD} − 5V		0.05		0	0.05		0.05	V
		V_{DD} − 10V		0.05		0	0.05		0.05	V
		V_{DD} − 15V		0.05		0	0.05		0.05	V
V_{OH}	High Level Output Voltage	V_{DD} − 5V	4.95		4.95	5		4.95		V
		V_{DD} − 10V	9.95		9.95	10		9.95		V
		V_{DD} − 15V	14.95		14.95	15		14.95		V
V_{IL}	Low Level Input Voltage Comparator and Signal In	V_{DD} − 5V, V_O − 0.5V or 4.5V		1.5		2.25	1.5		1.5	V
		V_{DD} − 10V, V_O − 1V or 9V		3.0		4.5	3.0		3.0	V
		V_{DD} − 15V, V_O − 1.5V or 13.5V		4.0		6.25	4.0		4.0	V
V_{IH}	High Level Input Voltage Comparator and Signal In	V_{DD} − 5V, V_O − 0.5V or 4.5V	3.5		3.5	2.75		3.5		V
		V_{DD} − 10V, V_O − 1V or 9V	7.0		7.0	5.5		7.0		V
		V_{DD} − 15V, V_O − 1.5V or 13.5V	11.0		11.0	8.25		11.0		V
I_{OL}	Low Level Output Current (Note 4)	V_{DD} − 5V, V_O − 0.4V	0.52		0.44	0.88		0.36		mA
		V_{DD} − 10V, V_O − 0.5V	1.3		1.1	2.25		0.9		mA
		V_{DD} − 15V, V_O − 1.5V	3.6		3.0	8.8		2.4		mA
I_{OH}	High Level Output Current (Note 4)	V_{DD} − 5V, V_O − 4.6V	−0.52		−0.44	−0.88		−0.36		mA
		V_{DD} − 10V, V_O − 9.5V	−1.3		−1.1	−2.25		−0.9		mA
		V_{DD} − 15V, V_O − 13.5V	−3.6		−3.0	−8.8		−2.4		mA
I_{IN}	Input Current	All Inputs Except Signal Input V_{DD} − 15V, V_{IN} − 0V		−0.3		-10^{-5}	−0.3		−1.0	μA
		V_{DD} − 15V, V_{IN} − 15V		0.3		10^{-5}	0.3		1.0	μA
C_{IN}	Input Capacitance	Any Input (Note 3)					7.5			pF
P_T	Total Power Dissipation	f_o − 10 kHz, R1 − 1 MΩ, R2 − ∞, VCO_{IN} − $V_{DD}/2$								
		V_{DD} − 5V				0.07				mW
		V_{DD} − 10V				0.6				mW
		V_{DD} − 15V				2.4				mW

Note 1: "Absolute Maximum Ratings" are those values beyond which the safety of the device cannot be guaranteed. They are not meant to imply that the devices should be operated at these limits. The table of "Recommended Operating Conditions" and "Electrical Characteristics" provides conditions for actual device operation.

Note 2: V_{SS} − 0V unless otherwise specified.

Note 3: Capacitance is guaranteed by periodic testing.

Note 4: I_{OH} and I_{OL} are tested one output at a time.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC Electrical Characteristics* CD4046BM/CD4046BC T_A = 25°C, C_L = 50 pF

Symbol	Parameter	Conditions	Min	Typ	Max	Units
VCO SECTION						
I_{DD}	Operating Current	f_o = 10 kHz, R1 = 1 MΩ, R2 = ∞, VCO_{IN} = V_{DD}/2				
		V_{DD} = 5V		20		μA
		V_{DD} = 10V		90		μA
		V_{DD} = 15V		200		μA
f_{MAX}	Maximum Operating Frequency	C1 = 50 pF, R1 = 10 kΩ, R2 = ∞, VCO_{IN} = V_{DD}				
		V_{DD} = 5V	0.4	0.8		MHz
		V_{DD} = 10V	0.6	1.2		MHz
		V_{DD} = 15V	1.0	1.6		MHz
	Linearity	VCO_{IN} = 2.5V ±0.3V, R1 > 10 kΩ, V_{DD} = 5V		1		%
		VCO_{IN} = 5V ±2.5V, R1 > 400 kΩ, V_{DD} = 10V		1		%
		VCO_{IN} = 7.5V ±5V, R1 > 1 MΩ, V_{DD} = 15V		1		%
	Temperature-Frequency Stability No Frequency Offset, f_{MIN} = 0	%/°C = 1/R1 V_{DD}, R2 = ∞				
		V_{DD} = 5V		0.12–0.24		%/°C
		V_{DD} = 10V		0.04–0.08		%/°C
		V_{DD} = 15V		0.015–0.03		%/°C
	Frequency Offset, f_{MIN} ≠ 0	V_{DD} = 5V		0.06–0.12		%/°C
		V_{DD} = 10V		0.05–0.1		%/°C
		V_{DD} = 15V		0.03–0.05		%/°C
VCO_{IN}	Input Resistance	V_{DD} = 5V		10^6		MΩ
		V_{DD} = 10V		10^6		MΩ
		V_{DD} = 15V		10^6		MΩ
VCO	Output Duty Cycle	V_{DD} = 5V		50		%
		V_{DD} = 10V		50		%
		V_{DD} = 15V		50		%
t_{THL}	VCO Output Transition Time	V_{DD} = 5V		90	200	ns
t_{THL}		V_{DD} = 10V		50	100	ns
		V_{DD} = 15V		45	80	ns

*AC Parameters are guaranteed by DC correlated testing.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

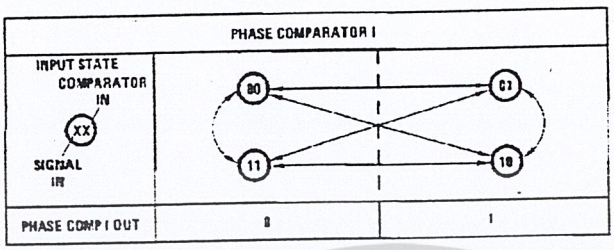
AC Electrical Characteristics* CD4046BM/CD4046BC T_A = 25°C, C_L = 50 pF (Continued)

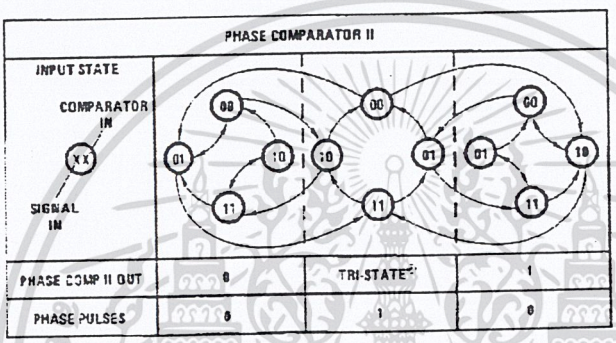
Symbol	Parameter	Conditions	Min	Typ	Max	Units
PHASE COMPARATORS SECTION						
R_{IN}	Input Resistance					
	Signal Input	V_{DD} = 5V	1	3		MΩ
		V_{DD} = 10V	0.2	0.7		MΩ
		V_{DD} = 15V	0.1	0.3		MΩ
	Comparator Input	V_{DD} = 5V		10^6		MΩ
		V_{DD} = 10V		10^6		MΩ
		V_{DD} = 15V		10^6		MΩ
	AC-Coupled Signal Input Voltage Sensitivity	C_{SERIES} = 1000 pF f = 50 kHz				
		V_{DD} = 5V		200	400	mV
		V_{DD} = 10V		400	800	mV
		V_{DD} = 15V		700	1400	mV
DEMODULATOR OUTPUT						
VCO_{IN} − V_{DEM}	Offset Voltage	RS > 10 kΩ, V_{DD} = 5V		1.50	2.2	V
		RS ≤ 10 kΩ, V_{DD} = 10V		1.50	2.2	V
		RS ≤ 50 kΩ, V_{DD} = 15V		1.50	2.2	V
	Linearity	RS ≤ 50 kΩ				
		VCO_{IN} = 2.5V ±0.3V, V_{DD} = 5V		0.1		%
		VCO_{IN} = 5V ±2.5V, V_{DD} = 10V		0.6		%
		VCO_{IN} = 7.5V ±5V, V_{DD} = 15V		0.8		%
ZENER DIODE						
V_Z	Zener Diode Voltage	I_Z = 50 μA	6.3	7.0	7.7	V
R_Z	Zener Dynamic Resistance	I_Z = 1 mA		100		Ω

*AC Parameters are guaranteed by DC correlated testing.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Phase Comparator State Diagrams

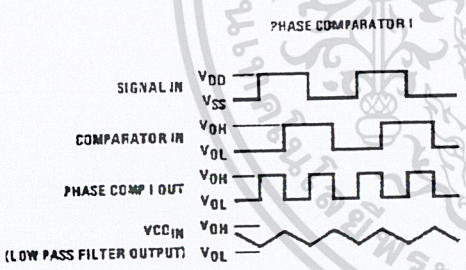




TL/F/5968–3

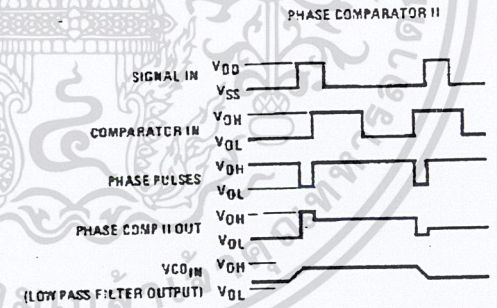
FIGURE 2

Typical Waveforms



TL/F/5968–4

FIGURE 3. Typical Waveform Employing Phase Comparator I in Locked Condition



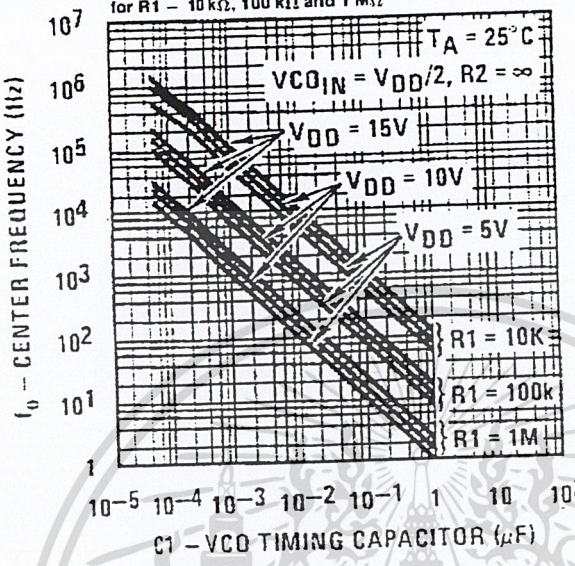
TL/F/5968–5

FIGURE 4. Typical Waveform Employing Phase Comparator II in Locked Condition

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics

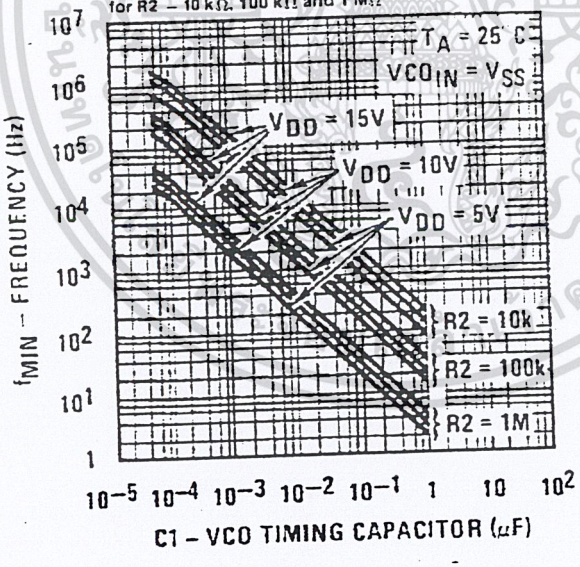
Typical Center Frequency vs C1
for R1 = 10 kΩ, 100 kΩ and 1 MΩ



TL/F/5968–5

FIGURE 5a

Typical Frequency vs C1
for R2 = 10 kΩ, 100 kΩ and 1 MΩ



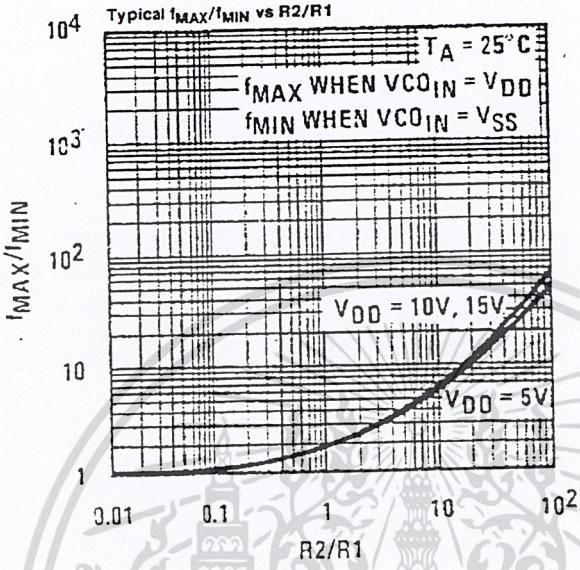
TL/F/5968–13

FIGURE 5b

Note: To obtain approximate total power dissipation of PLL system for no-signal input: Phase Comparator I, P_D (Total) = P_D (f_0) + P_D (f_{MIN}) + P_D (FST Phase Comparator II, P_D (Total) = P_D (f_{MIN})

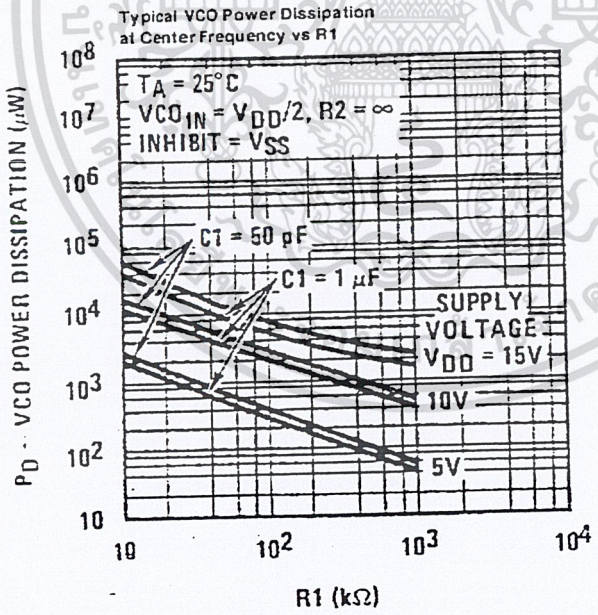
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics (Continued)



TL/F/5968–14

FIGURE 5C



TL/F/5968–15

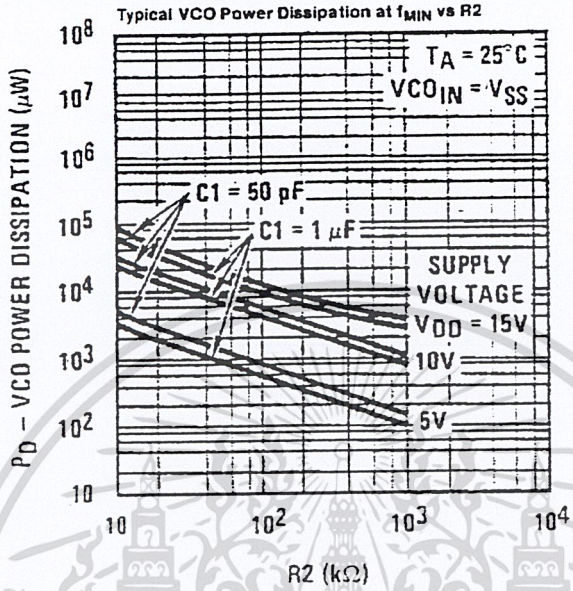
FIGURE 6a

Note: To obtain approximate total power dissipation of PLL system for no-signal input: Phase Comparator I, P_D (Total) = P_D (f_o) + P_D (f_{VCO}) + P_D (f_S); Phase Comparator II, P_D (Total) = P_D (f_{VCO})

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics (Continued)

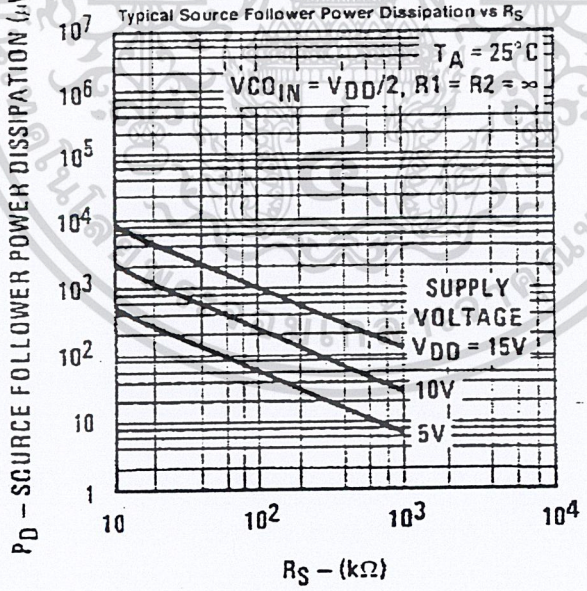
Typical VCO Power Dissipation at f_{MIN} vs R2



TL/F/5968–16

FIGURE 6b

Typical Source Follower Power Dissipation vs R_S



TL/F/5968–17

FIGURE 6c

Note: To obtain approximate total power dissipation of PLL system for no-signal input: Phase Comparator I, P_D (Total) = P_D (f_o) + P_D (f_{MIN}) + P_D (R_S). Phase Comparator II, P_D (Total) = P_D (f_{MIN}).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics (Continued)

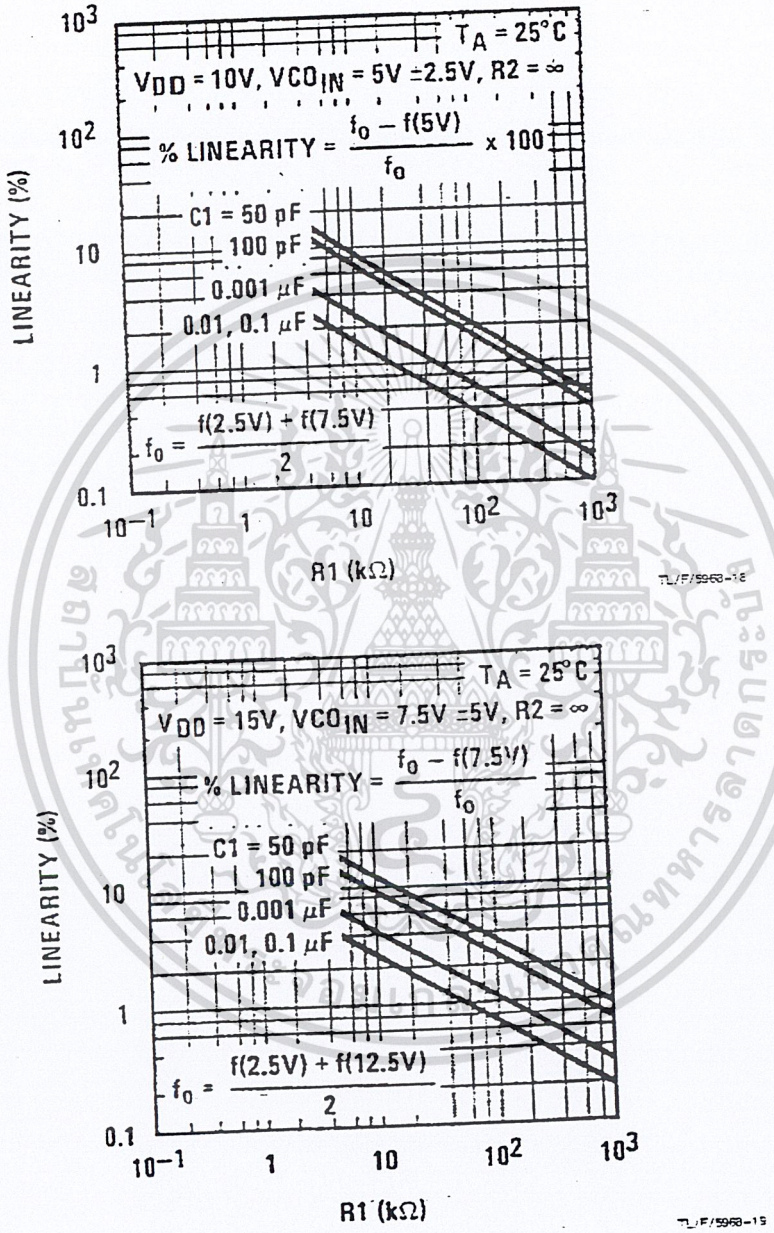


FIGURE 7. Typical VCO Linearity vs R1 and C1

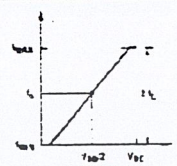
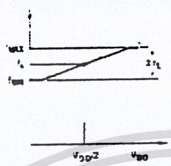
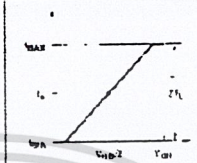
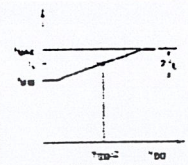
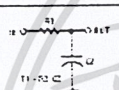
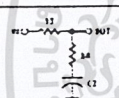
Note: To obtain approximate total power dissipation of PLL system for no-signal input: Phase Comparator I, P_D (Total) = P_D (f_o) + P_D (f_{MIN}) + P_D (f_o); Phase Comparator II, P_D (Total) = P_D (f_{MIN}).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Design Information

This information is a guide for approximating the value of external components for the CD4046B in a phase-locked-loop system. The selected external components must be within the following ranges: R1, R2 > 10 kΩ, R_S > 10 kΩ, C1 > 50 pF.

In addition to the given design information, refer to *Figure 5* for R1, R2 and C1 component selections.

Characteristics	Using Phase Comparator I		Using Phase Comparator II	
	VCO Without Offset R2 = ∞	VCO With Offset	VCO Without Offset R2 = ∞	VCO With Offset
VCO Frequency	 TL/F/5968–7	 TL/F/5968–8	 TL/F/5968–9	 TL/F/5968–10
For No Signal Input	VCO in PLL system will adjust to center frequency, f_o		VCO in PLL system will adjust to lowest operating frequency, f_{min}	
Frequency Lock Range, $2f_L$	$2f_L$ = full VCO frequency range $2f_L = f_{max} - f_{min}$			
Frequency Capture Range, $2f_C$	 TL/F/5968–11 $2f_C \approx \frac{1}{\pi}\sqrt{\frac{2\pi f_L}{\tau 1}}$		$f_C = f_L$	
Loop Filter Component Selection	 TL/F/5968–12 For $2f_C$ see Ref.			
Phase Angle Between Single and Comparator	90° at center frequency (f_o), approximating 0° and 180° at ends of lock range ($2f_L$)		Always 0° in lock	
Locks on Harmonics of Center Frequency	Yes		No	
Signal Input Noise Rejection	High		Low	
VCO Component Selection	Given: f_o. Use f_o with *Figure 5a* to determine R1 and C1.	Given: f_o and f_L. Calculate f_{min} from the equation $f_{min} = f_o - f_L$. Use f_{min} with *Figure 5b* to determine R2 and C1. Calculate $\frac{f_{max}}{f_{min}}$ from the equation $\frac{f_{max}}{f_{min}} = \frac{f_o + f_L}{f_o - f_L}$. Use $\frac{f_{max}}{f_{min}}$ with *Figure 5c* to determine ratio R2/R1 to obtain R1.	Given: f_{max}. Calculate f_o from the equation $f_o = \frac{f_{max}}{2}$. Use f_o with *Figure 5a* to determine R1 and C1.	Given: f_{min} and f_{max}. Use f_{min} with *Figure 5b* to determine R2 and C1. Calculate $\frac{f_{max}}{f_{min}}$. Use $\frac{f_{max}}{f_{min}}$ with *Figure 5c* to determine ratio R2/R1 to obtain R1.

References

G.S. Moschytz, "Miniaturized RC Filters Using Phase-Locked Loop", BSTJ, May, 1965.

Floyd Gardner, "Phaselock Techniques", John Wiley & Sons, 1966.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Order this document by MC1496/D

MOTOROLA

MC1496, B

Balanced Modulators/ Demodulators

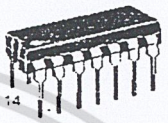
These devices were designed for use where the output voltage is a product of an input voltage (signal) and a switching function (carrier). Typical applications include suppressed carrier and amplitude modulation, synchronous detection, FM detection, phase detection, and chopper applications. See Motorola Application Note AN531 for additional design information.

- Excellent Carrier Suppression –65 dB typ @ 0.5 MHz
  –50 dB typ @ 10 MHz
- Adjustable Gain and Signal Handling
- Balanced Inputs and Outputs
- High Common Mode Rejection –85 dB typical

This device contains 8 active transistors.

BALANCED MODULATORS/DEMODULATORS

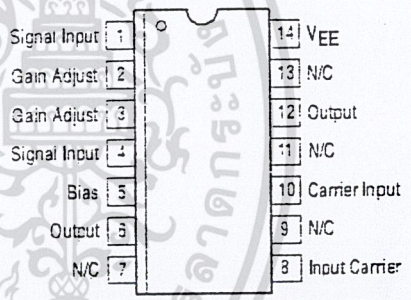
SEMICONDUCTOR TECHNICAL DATA



D SUFFIX
PLASTIC PACKAGE
CASE 751A
(SO–14)

P SUFFIX
PLASTIC PACKAGE
CASE 646

PIN CONNECTIONS



ORDERING INFORMATION

Device	Operating Temperature Range	Package
MC1496D	T_A = 0°C to +70°C	SO–14
MC1496P		Plastic DIP
MC1496BP	T_A = –40°C to +125°C	Plastic DIP

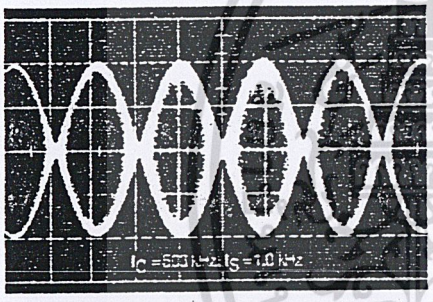


Figure 1. Suppressed Carrier Output Waveform

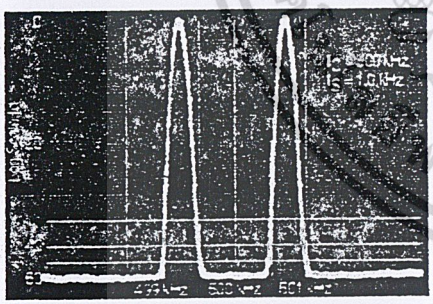


Figure 2. Suppressed Carrier Spectrum

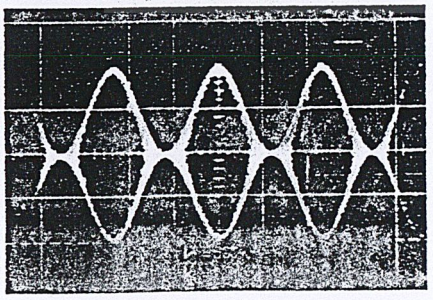
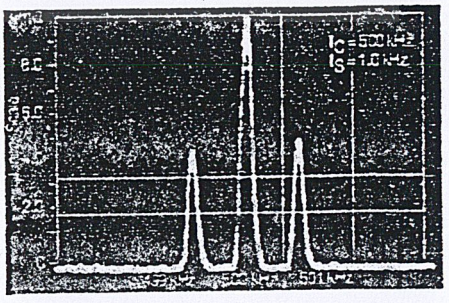


Figure 3. Amplitude Modulation Output Waveform

Figure 4. Amplitude–Modulation Spectrum



© Motorola, Inc. 1996

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MAXIMUM RATINGS (T_A = 25°C, unless otherwise noted.)

Rating	Symbol	Value	Unit
Applied Voltage (V6 – V8, V10 – V1, V12 – V8, V12 – V10, V8 – V4, V8 – V1, V10 – V4, V6 – V10, V2 – V5, V3 – V5)	ΔV	30	Vdc
Differential Input Signal	V8 – V10 V4 – V1	+5.0 ±(5+I5Re)	Vdc
Maximum Bias Current	I_5	10	mA
Thermal Resistance, Junction–to–Air Plastic Dual In–Line Package	RθJA	100	°C/W
Operating Temperature Range	T_A	0 to +70	°C
Storage Temperature Range	T_{stg}	–65 to +150	°C

NOTE: ESD data available upon request.

ELECTRICAL CHARACTERISTICS (V_{CC} = 12 Vdc, V_{EE} = –8.0 Vdc, I5 = 1.0 mAdc, R_L = 3.9 kΩ, Re = 1.0 kΩ, T_A = T_{low} to T_{high}, all input and output characteristics are single–ended, unless otherwise noted.)

Characteristic	Fig.	Note	Symbol	Min	Typ	Max	Unit
Carrier Feedthrough	5	1	V_{CFT}				μVrms
V_C = 60 mVrms sine wave and offset adjusted to zero, f_C = 1.0 kHz				–	40	–	
f_C = 10 MHz				–	140	–	mVrms
V_C = 300 mVpp square wave: offset adjusted to zero, f_C = 1.0 kHz				–	0.04	0.4	
offset not adjusted, f_C = 1.0 kHz				–	20	200	
Carrier Suppression	5	2	V_{CS}				dB
f_S = 10 kHz, 300 mVrms				40	65	–	
f_C = 500 kHz, 60 mVrms sine wave				–	50	–	k
f_C = 10 MHz, 60 mVrms sine wave							
Transadmittance Bandwidth (Magnitude) (R_L = 50 Ω)	8	8	BW3dB				MHz
Carrier Input Port, V_C = 60 mVrms sine wave				–	300	–	
f_S = 1.0 kHz, 300 mVrms sine wave							
Signal Input Port, V_S = 300 mVrms sine wave				–	80	–	
|V_C| = 0.5 Vdc							
Signal Gain (V_S = 100 mVrms, f = 1.0 kHz; |V_C| = 0.5 Vdc)	10	3	A_{VS}	2.5	3.5	–	V/V
Single–Ended Input Impedance, Signal Port, f = 5.0 MHz	6	–					
Parallel Input Resistance			r_{ip}	–	200	–	kΩ
Parallel Input Capacitance			c_{ip}	–	2.0	–	pF
Single–Ended Output Impedance, f = 10 MHz	6	–					
Parallel Output Resistance			r_{op}	–	40	–	kΩ
Parallel Output Capacitance			c_{oo}	–	5.0	–	pF
Input Bias Current	7	–					μA
$I_{bS} = \frac{I1 + I4}{2}$; $I_{bC} = \frac{I8 + I10}{2}$			I_{bS}	–	12	30	
			I_{bC}	–	12	30	
Input Offset Current	7	–					μA
I_{ioS} = I1–I4; I_{ioC} = I8–I10			|I_{ioS}|	–	0.7	7.0	
			|I_{ioC}|	–	0.7	7.0	
Average Temperature Coefficient of Input Offset Current (T_A = –55°C to +125°C)	7	–	|TC_{Iio}|	–	2.0	–	nA/°C
Output Offset Current (I6–I9)	7	–	|I_{oo}|	–	14	80	μA
Average Temperature Coefficient of Output Offset Current (T_A = –55°C to +125°C)	7	–	|TC_{Ioo}|	–	90	–	nA/°C
Common–Mode Input Swing, Signal Port, f_S = 1.0 kHz	9	4	CMV	–	5.0	–	Vpp
Common–Mode Gain, Signal Port, f_S = 1.0 kHz, |V_C| = 0.5 Vdc	9	–	ACM	–	–65	–	dB
Common–Mode Quiescent Output Voltage (Pin 6 or Pin 9)	10	–	V_{out}	–	8.0	–	Vpp
Differential Output Voltage Swing Capability	10	–	V_{out}	–	8.0	–	Vpp
Power Supply Current I6 +I12	7	6	I_{CC}	–	2.0	4.0	mAdc
I14			I_{EE}	–	3.0	5.0	
DC Power Dissipation	7	5	P_D	–	33	–	mW

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

GENERAL OPERATING INFORMATION

Carrier Feedthrough

Carrier feedthrough is defined as the output voltage at carrier frequency with only the carrier applied (signal voltage = 0).

Carrier null is achieved by balancing the currents in the differential amplifier by means of a bias trim potentiometer (R1 of Figure 5).

Carrier Suppression

Carrier suppression is defined as the ratio of each sideband output to carrier output for the carrier and signal voltage levels specified.

Carrier suppression is very dependent on carrier input level, as shown in Figure 22. A low value of the carrier does not fully switch the upper switching devices, and results in lower signal gain, hence lower carrier suppression. A higher than optimum carrier level results in unnecessary device and circuit carrier feedthrough, which again degenerates the suppression figure. The MC1496 has been characterized with a 60 mVrms sinewave carrier input signal. This level provides optimum carrier suppression at carrier frequencies in the vicinity of 500 kHz, and is generally recommended for balanced modulator applications.

Carrier feedthrough is independent of signal level, V_S. Thus carrier suppression can be maximized by operating with large signal levels. However, a linear operating mode must be maintained in the signal–input transistor pair – or harmonics of the modulating signal will be generated and appear in the device output as spurious sidebands of the suppressed carrier. This requirement places an upper limit on input–signal amplitude (see Figure 20). Note also that an optimum carrier level is recommended in Figure 22 for good carrier suppression and minimum spurious sideband generation.

At higher frequencies circuit layout is very important in order to minimize carrier feedthrough. Shielding may be necessary in order to prevent capacitive coupling between the carrier input leads and the output leads.

Signal Gain and Maximum Input Level

Signal gain (single–ended) at low frequencies is defined as the voltage gain,

$$A_{VS} = \frac{V_o}{V_S} = \frac{R_L}{R_e + 2r_e} \quad \text{where } r_e = \frac{26\ mV}{I5(mA)}$$

A constant dc potential is applied to the carrier input terminals to fully switch two of the upper transistors "on" and two transistors "off" (V_C = 0.5 Vdc). This in effect forms a cascode differential amplifier.

Linear operation requires that the signal input be below a critical value determined by R_E and the bias current I5.

$$V_S \leq I5\ R_E \text{ (Volts peak)}$$

Note that in the test circuit of Figure 10, V_S corresponds to a maximum value of 1.0 V peak.

Common Mode Swing

The common–mode swing is the voltage which may be applied to both bases of the signal differential amplifier, without saturating the current sources or without saturating the differential amplifier itself by swinging it into the upper switching devices. This swing is variable depending on the particular circuit and biasing conditions chosen.

Power Dissipation

Power dissipation, P_D, within the integrated circuit package should be calculated as the summation of the voltage–current products at each port, i.e. assuming V12 = V6, I5 = I6 = I12 and ignoring base current, P_D = 2 I5 (V6 – V14) + I5) V5 – V14 where subscripts refer to pin numbers.

Design Equations

The following is a partial list of design equations needed to operate the circuit with other supply voltages and input conditions.

A. Operating Current

The internal bias currents are set by the conditions at Pin 5. Assume:

$I5 = I6 = I12$,

$I_B << I_C$ for all transistors

then :

$$R5 = \frac{V - -\phi}{I5} - 500\ \Omega$$

where: R5 is the resistor between Pin 5 and ground

ϕ = 0.75 at T_A = +25°C

The MC1496 has been characterized for the condition I_5 = 1.0 mA and is the generally recommended value.

B. Common–Mode Quiescent Output Voltage

$$V6 = V12 = V+ - I5\ R_L$$

Biasing

The MC1496 requires three dc bias voltage levels which must be set externally. Guidelines for setting up these three levels include maintaining at least 2.0 V collector–base bias on all transistors while not exceeding the voltages given in the absolute maximum rating table;

$30\ V_{CC} \geq [(V6, V12) - (V8, V10)] \geq 2\ Vdc$

$30\ V_{CC} \geq [(V8, V10) - (V1, V4)] \geq 2.7\ Vdc$

$30\ V_{CC} \geq [(V1, V4) - (V5)] \geq 2.7\ Vdc$

The foregoing conditions are based on the following approximations:

$V6 = V12,\ V8 = V10,\ V1 = V4$

Bias currents flowing into Pins 1, 4, 8 and 10 are transistor base currents and can normally be neglected if external bias dividers are designed to carry 1.0 mA or more.

Transadmittance Bandwidth

Carrier transadmittance bandwidth is the 3.0 dB bandwidth of the device forward transadmittance as defined by:

$$|Y21C| = \left| \frac{i_o\ (\text{each sideband})}{v_s\ (\text{signal})} \right| V_o = 0$$

Signal transadmittance bandwidth is the 3.0 dB bandwidth of the device forward transadmittance as defined by:

$$|Y21S| = \left| \frac{i_o\ (\text{signal})}{v_s\ (\text{signal})} \right| V_C = 0.5\ Vdc,\ V_o = 0$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่อนุญาตให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Coupling and Bypass Capacitors

Capacitors C1 and C2 (Figure 5) should be selected for a reactance of less than 5.0 Ω at the carrier frequency.

Output Signal

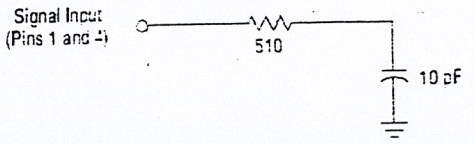
The output signal is taken from Pins 6 and 12 either balanced or single–ended. Figure 11 shows the output levels of each of the two output sidebands resulting from variations in both the carrier and modulating signal inputs with a single–ended output connection.

Negative Supply

V_{EE} should be dc only. The insertion of an RF choke in series with V_{EE} can enhance the stability of the internal current sources.

Signal Port Stability

Under certain values of driving source impedance, oscillation may occur. In this event, an RC suppression network should be connected directly to each input using short leads. This will reduce the Q of the source–tuned circuits that cause the oscillation.



An alternate method for low–frequency applications is to insert a 1.0 kΩ resistor in series with the input (Pins 1, 4). In this case input current drift may cause serious degradation of carrier suppression.

TEST CIRCUITS

Figure 5. Carrier Rejection and Suppression

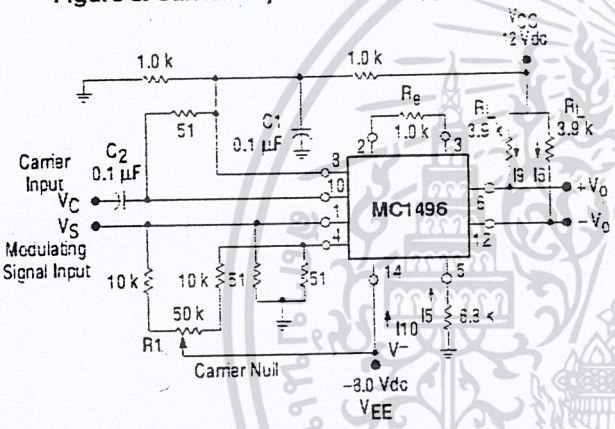
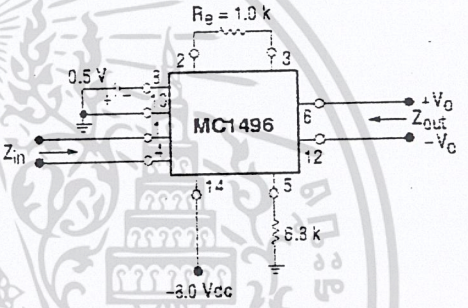


Figure 6. Input–Output Impedance



NOTE: Shielding of input and output leads may be needed to properly perform these tests.

Figure 7. Bias and Offset Currents

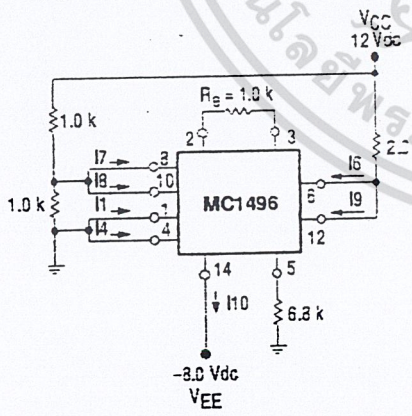
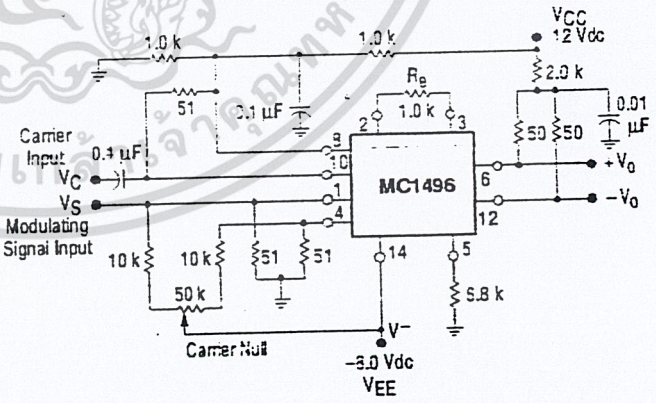


Figure 8. Transconductance Bandwidth



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 9. Common Mode Gain

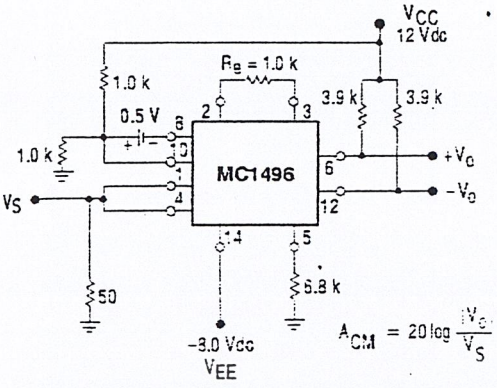
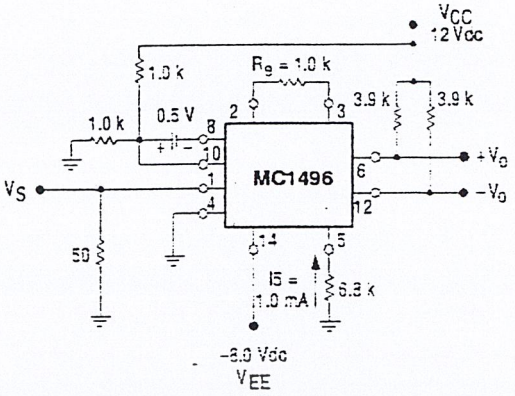


Figure 10. Signal Gain and Output Swing



TYPICAL CHARACTERISTICS

Typical characteristics were obtained with circuit shown in Figure 5. f_C = 500 kHz (sine wave). V_C = 60 mVrms, f_S = 1.0 kHz, V_S = 300 mVrms, T_A = 25°C, unless otherwise noted.

Figure 11. Sideband Output versus Carrier Levels

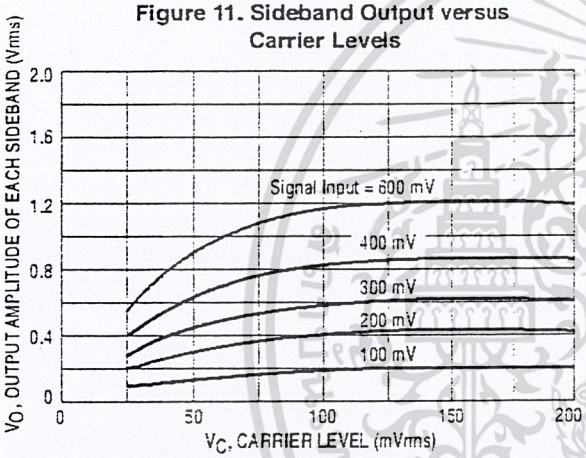


Figure 12. Signal–Port Parallel–Equivalent Input Resistance versus Frequency

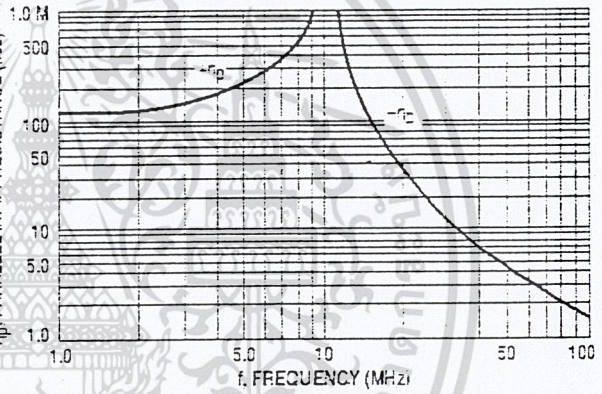


Figure 13. Signal–Port Parallel–Equivalent Input Capacitance versus Frequency

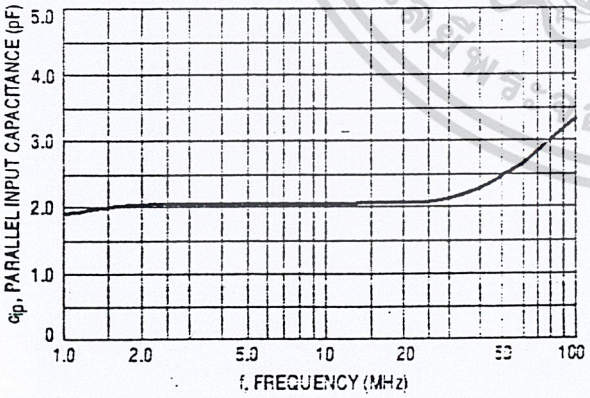
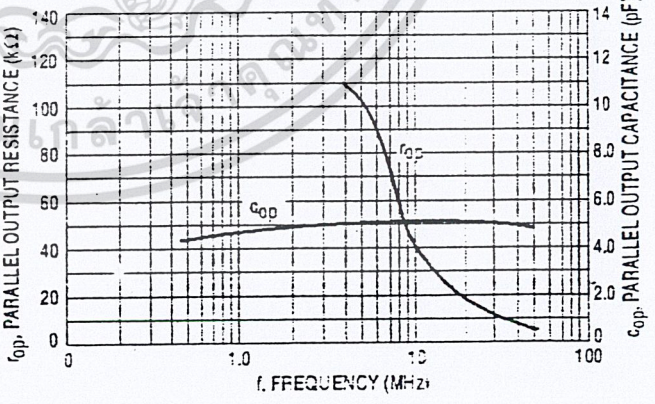


Figure 14. Single–Ended Output Impedance versus Frequency



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
และการแสวงหาผลประโยชน์ทางการค้า ไม่ให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPICAL CHARACTERISTICS (continued)

Typical characteristics were obtained with circuit shown in Figure 5. f_C = 500 kHz (sine wave), V_C = 60 mVrms. f_S = 1.0 kHz. V_S = 300 mVrms. T_A = 25°C. unless otherwise noted.

Figure 15. Sideband and Signal Port Transadmittances versus Frequency

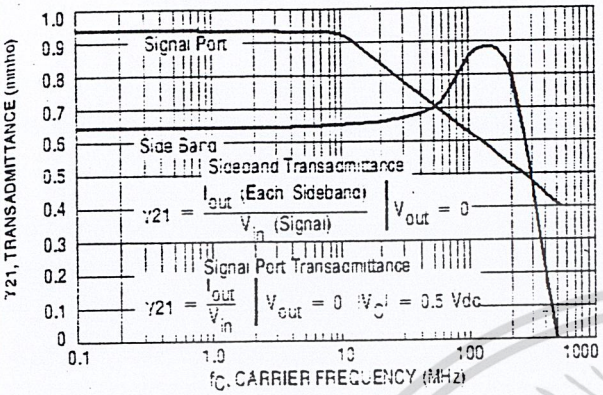


Figure 16. Carrier Suppression versus Temperature

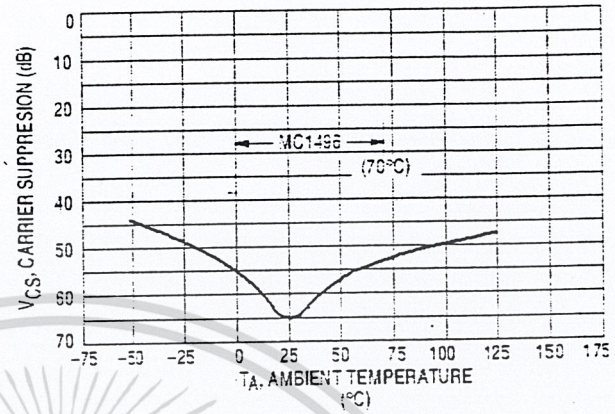


Figure 17. Signal–Port Frequency Response

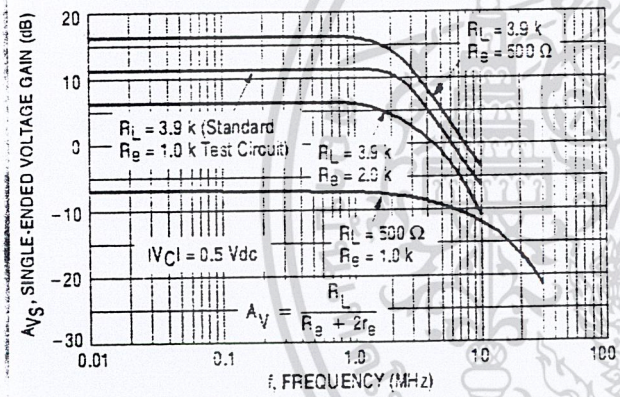


Figure 18. Carrier Suppression versus Frequency

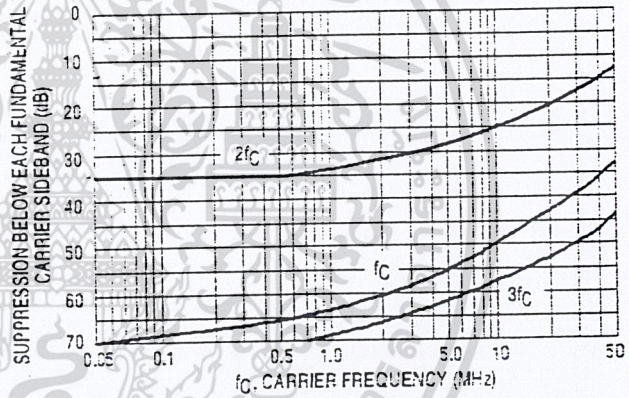


Figure 19. Carrier Feedthrough versus Frequency

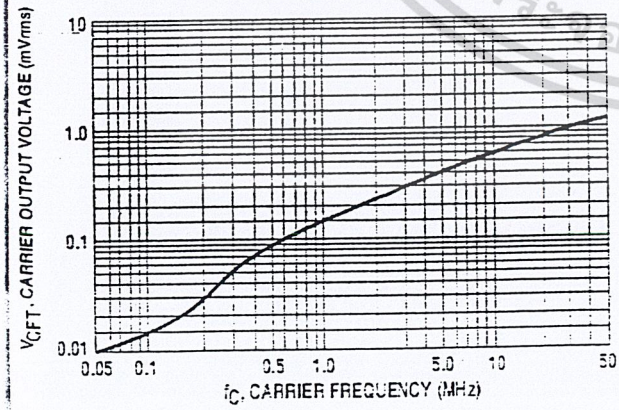
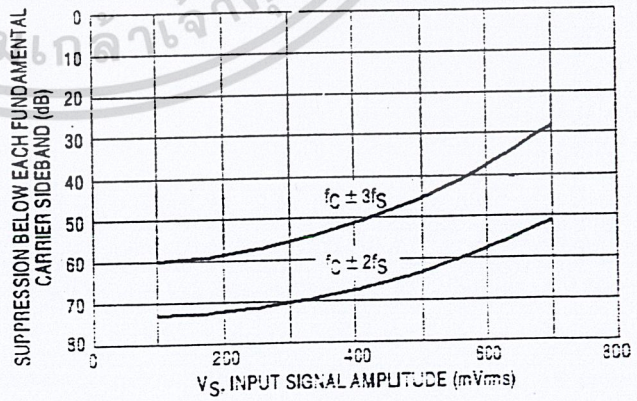


Figure 20. Sideband Harmonic Suppression versus Input Signal Level



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 21. Suppression of Carrier Harmonic Sidebands versus Carrier Frequency

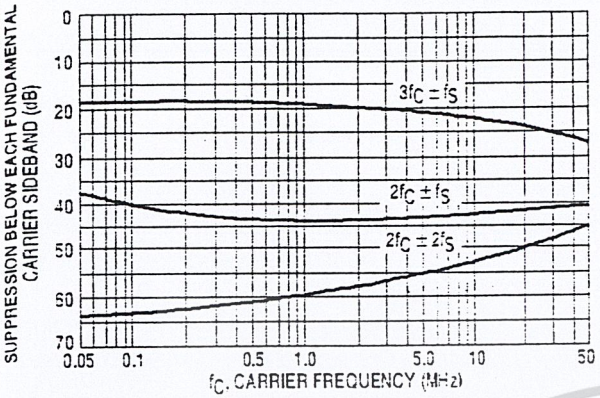
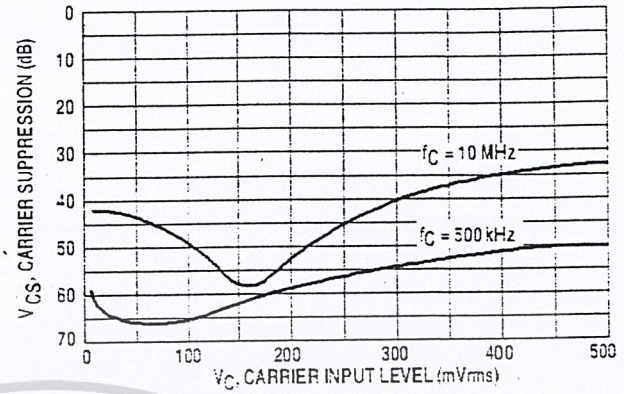


Figure 22. Carrier Suppression versus Carrier Input Level



OPERATIONS INFORMATION

The MC1496, a monolithic balanced moculator circuit, is shown in Figure 23.

This circuit consists of an upper quad differential amplifier driven by a standard differential amplifier with dual current sources. The output collectors are cross–coupled so that full–wave balanced multiplication of the two input voltages occurs. That is, the output signal is a constant times the product of the two input signals.

Mathematical analysis of linear ac signal multiplication incicates that the output spectrum will consist of only the sum and difference of the two input frecuencies. Thus, the cevice may be used as a balanced modulator, doubly balanced mixer, product detector, frequency doubler, and other applications requiring these particular output signal characteristics.

The lower differential amplifier has its emitters connected to the package pins so that an external emitter resistance may be used. Also, external load resistors are employed at the device output.

Signal Levels

The upper quad differential amplifier may be operated either in a linear or a saturated mode. The lower differential amplifier is operated in a linear mode for most applications.

For low–level operation at both input ports, the output signal will contain sum and difference frecuency components and have an amplitude which is a function of the product of the input signal amplitudes.

For high–level operation at the carrier input port and linear operation at the moculating signal port, the output signal will contain sum anc difference frequency components of the moculating signal frequency and the fundamental anc ocd harmonics of the carrier frequency. The output amplituce will be a constant times the moculating signal amplituce. Any amplitude variations in the carrier signal will not appear in the output.

The linear signal hancling capabilities of a differential amplifier are well cefinec. With no emitter degeneration, the maximum input voltage for linear operation is approximately 25 mV peak. Since the upper differential amplifier has its emitters internally connected, this voltage applies to the carrier input port for all concitions.

Since the lower differential amplifier has provisions for an external emitter resistance, its linear signal hancling range may be adjusted by the user. The maximum input voltage for linear operation may be approximated from the following expression:

$$V = (15)(R_E) \text{ volts peak.}$$

This expression may be usec to compute the minimum value of R_E for a given input voltage amplituce.

Figure 23. Circuit Schematic

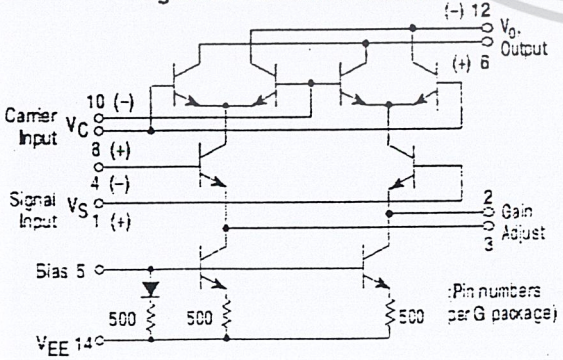
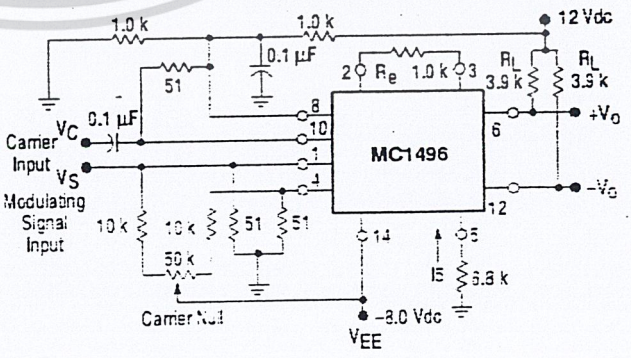


Figure 24. Typical Modulator Circuit



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ผู้ใช้งานสามารถนำไปใช้ได้ แต่ไม่อนุญาตให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 25. Voltage Gain and Output Frequencies

Carrier Input Signal (V_C)	Approximate Voltage Gain	Output Signal Frequency(s)
Low–level dc	$\frac{R_L V_C}{2(R_E + 2r_e)\left(\frac{KT}{q}\right)}$	f_M
High–level dc	$\frac{R_L}{R_E + 2r_e}$	f_M
Low–level ac	$\frac{R_L V_C(rms)}{2\sqrt{2}\left(\frac{KT}{q}\right)(R_E + 2r_e)}$	$f_C \pm f_M$
High–level ac	$\frac{0.637\ R_L}{R_E + 2r_e}$	$f_C \pm f_M, 3f_C \pm f_M, 5f_C \pm f_M, \ldots$

NOTES: 1. Low–level Modulating Signal, V_M, assumed in all cases. V_C is Carrier Input Voltage.
2. When the output signal contains multiple frequencies, the gain expression given is for the output amplitude of each of the two desired outputs, $f_C + f_M$ and $f_C - f_M$.
3. All gain expressions are for a single–ended output. For a differential output connection, multiply each expression by two.
4. R_L = Load resistance.
5. R_E = Emitter resistance between Pins 2 and 3.
6. r_e = Transistor dynamic emitter resistance, at 25°C:
$$r_e = \frac{26\ mV}{I_5\ (mA)}$$
7. K = Boltzmann's Constant, T = temperature in degrees Kelvin, q = the charge on an electron.
$\frac{KT}{q} = 26\ mV$ at room temperature

The gain from the moculating signal input port to the output is the MC1496 gain parameter which is most often of interest to the designer. This gain has significance only when the lower cifferential amplifier is operated in a linear moce, but this includes most applications of the cevice.

As previously mentioned, the upper quad differential amplifier may be operated either in a linear or a saturated mode. Approximate gain expressions have been developed for the MC1496 for a low–level modulating signal input and the following carrier input conditions:

1) Low–level dc
2) High–level dc
3) Low–level ac
4) High–level ac

These gains are summarized in Figure 25, along with the frequency components contained in the output signal.

APPLICATIONS INFORMATION

Double sideband suppressed carrier modulation is the basic application of the MC1496. The suggested circuit for this application is shown on the front page of this data sheet.

In some applications, it may be necessary to operate the MC1496 with a single dc supply voltage instead of dual supplies. Figure 26 shows a balanced modulator designed for operation with a single 12 Vdc supply. Performance of this circuit is similar to that of the dual supply moculator.

AM Modulator

The circuit shown in Figure 27 may be used as an amplituce modulator with a minor modification.

All that is requirec to shift from suppressed carrier to AM operation is to acjust the carrier null potentiometer for the proper amount of carrier insertion in the output signal.

However, the suppressed carrier null circuitry as shown in Figure 27 does not have sufficient acjustment range. Therefore, the moculator may be modifiec for AM operation by changing two resistor values in the null circuit as shown in Figure 28.

Product Detector

The MC1496 makes an excellent SSB product cetector (see Figure 29).

This procuct cetector has a sensitivity of 3.0 microvolts and a cynamic range of 90 cB when operating at an intermeciate frequency of 9.0 MHz.

The cetector is broacbanc for the entire high frecuency range. For operation at very low intermeciate-frequencies down to 50 kHz the 0.1 µF capacitors on Pins 8 and 10 should be increasec to 1.0 µF. Also, the output filter at Pin 12 can be tailored to a specific intermeciate frecuency and audio amplifier input impecance.

As in all applications of the MC1496, the emitter resistance between Pins 2 anc 3 may be increased or decreased to acjust circuit gain, sensitivity, and dynamic range.

This circuit may also be used as an AM cetector by introcucing carrier signal at the carrier input and an AM signal at the SSB input.

The carrier signal may be cerived from the intermeciate frecuency signal or generatec locally. The carrier signal may be introcuced with or without moculation, provicec its level is sufficiently high to saturate the upper cuad cifferential

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ในเชิงพาณิชย์ ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

amplifier. If the carrier signal is modulated, a 300 mVrms input level is recommended.

Doubly Balanced Mixer

The MC1496 may be used as a doubly balanced mixer with either broadband or tuned narrow band input and output networks.

The local oscillator signal is introduced at the carrier input port with a recommended amplitude of 100 mVrms.

Figure 30 shows a mixer with a broadband input and a tuned output.

Frequency Doubler

The MC1496 will operate as a frequency doubler by introducing the same frequency at both input ports.

Figures 31 and 32 show a broadband frequency doubler and a tuned output very high frequency (VHF) doubler, respectively.

Phase Detection and FM Detection

The MC1496 will function as a phase detector. High–level input signals are introduced at both inputs. When both inputs are at the same frequency the MC1496 will deliver an output which is a function of the phase difference between the two input signals.

An FM detector may be constructed by using the phase detector principle. A tuned circuit is added at one of the inputs to cause the two input signals to vary in phase as a function of frequency. The MC1496 will then provide an output which is a function of the input signal frequency.

TYPICAL APPLICATIONS

Figure 26. Balanced Modulator (12 Vdc Single Supply)

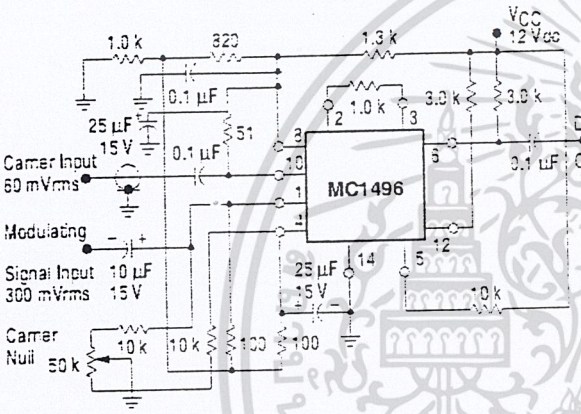


Figure 27. Balanced Modulator–Demodulator

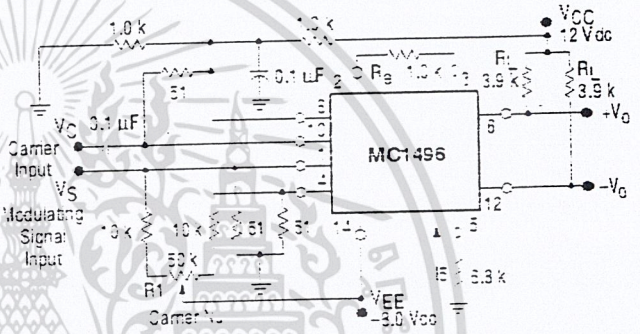


Figure 28. AM Modulator Circuit

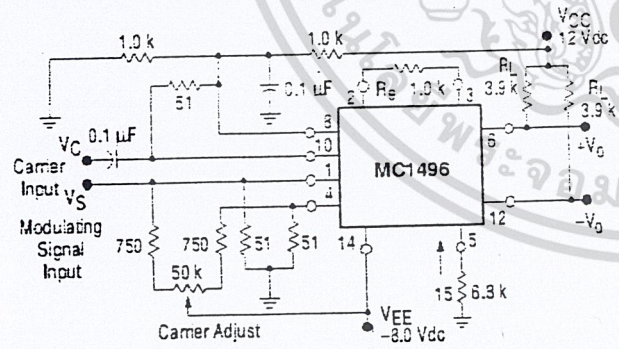
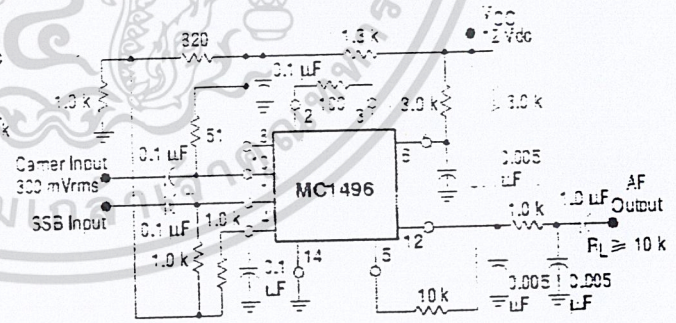
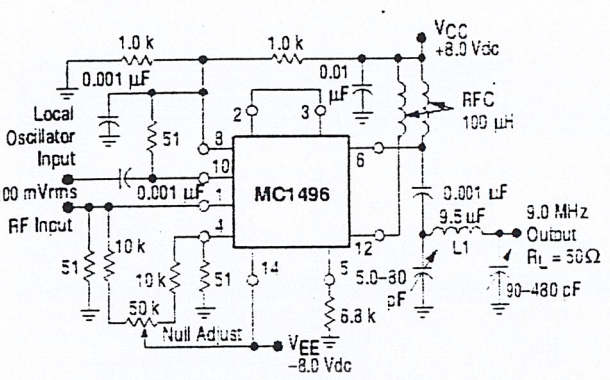


Figure 29. Product Detector (12 Vdc Single Supply)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่อนุญาตให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 30. Doubly Balanced Mixer (Broadband Inputs, 9.0 MHz Tuned Output)



L1 = 44 Turns AWG No. 28 Enameled Wire, Wound on Micrometals Type 44–6 Toroid Core.

Figure 31. Low–Frequency Doubler

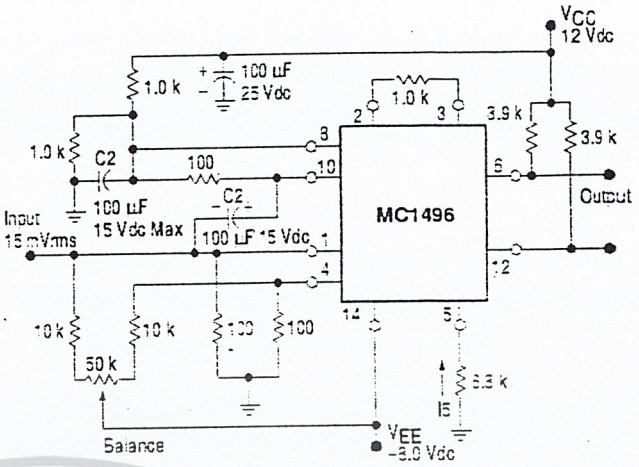
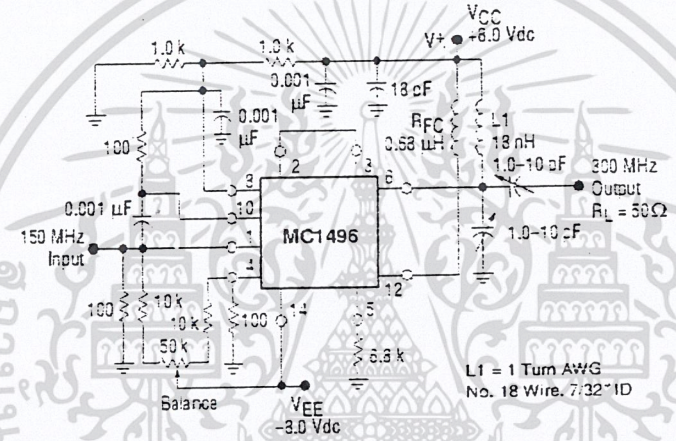
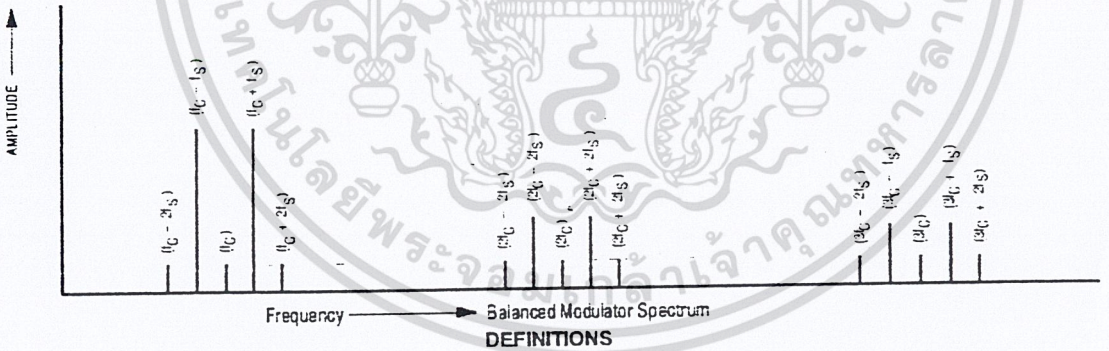


Figure 32. 150 to 300 MHz Doubler





DEFINITIONS

f_C	Carrier Fundamental	$f_C \pm nf_S$	Fundamental Carrier Sideband Harmonics
f_S	Modulating Signal	nf_C	Carrier Harmonics
$f_C \pm f_S$	Fundamental Carrier Sidebands	$nf_C \pm nf_S$	Carrier Harmonic Sidebands

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

January 1995

DAC0800/DAC0801/DAC0802 8-Bit Digital-to-Analog Converters

General Description

The DAC0800 series are monolithic 8-bit high-speed current-output digital-to-analog converters (DAC) featuring typical settling times of 100 ns. When used as a multiplying DAC, monotonic performance over a 40 to 1 reference current range is possible. The DAC0800 series also features high compliance complementary current outputs to allow differential output voltages of 20 Vp-p with simple resistor loads as shown in *Figure 1*. The reference-to-full-scale current matching of better than ±1 LSB eliminates the need for full-scale trims in most applications while the nonlinearities of better than ±0.1% over temperature minimizes system error accumulations.

The noise immune inputs of the DAC0800 series will accept TTL levels with the logic threshold pin, V_{LC}, grounded. Changing the V_{LC} potential will allow direct interface to other logic families. The performance and characteristics of the device are essentially unchanged over the full ±4.5V to ±18V power supply range; power dissipation is only 33 mW with ±5V supplies and is independent of the logic input states.

The DAC0800, DAC0802, DAC0800C, DAC0801C and DAC0802C are a direct replacement for the DAC-08, DAC-08A, DAC-08C, DAC-08E and DAC-08H, respectively.

Features

- Fast settling output current — 100 ns
- Full scale error — ±1 LSB
- Nonlinearity over temperature — ±0.1%
- Full scale current drift — ±10 ppm/°C
- High output compliance — −10V to +18V
- Complementary current outputs
- Interface directly with TTL, CMOS, PMOS and others
- 2 quadrant wide range multiplying capability
- Wide power supply range — ±4.5V to ±18V
- Low power consumption — 33 mW at ±5V
- Low cost

Typical Applications

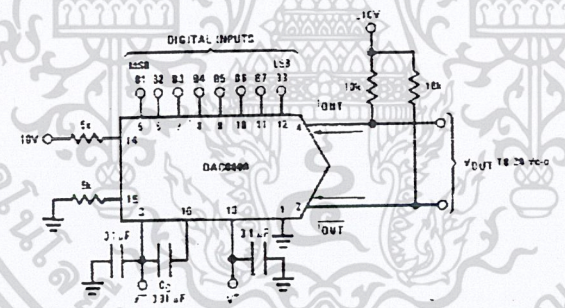


FIGURE 1. ±20 V_{p-p} Output Digital-to-Analog Converter (Note 4)

Ordering Information

Non-Linearity	Temperature Range	Order Numbers				
		J Package (J16A)*		N Package (N16A)*		SO Package (M16A)
±0.1% FS	0°C ≤ T_A ≤ +70°C	DAC0802LCJ	DAC-08HQ	DAC0802LCN	DAC-08HP	DAC0802LCM
±0.19% FS	−55°C ≤ T_A ≤ +125°C	DAC0800LJ	DAC-08Q			
±0.19% FS	0°C ≤ T_A ≤ +70°C	DAC0800LCJ	DAC-08EQ	DAC0800LCN	DAC-08EP	DAC0800LCM
±0.39% FS	0°C ≤ T_A ≤ +70°C			DAC0801LCN	DAC-08CP	DAC0801LCM

*Devices may be ordered by using either order number

©1995 National Semiconductor Corporation TL/H/5636

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings (Note 1)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Supply Voltage ($V^+ - V^-$)	±18V or 36V
Power Dissipation (Note 2)	500 mW
Reference Input Differential Voltage (V14 to V15)	V^- to V^+
Reference Input Common-Mode Range (V14, V15)	V^- to V^+
Reference Input Current	5 mA
Logic Inputs	V^- to V^- plus 36V
Analog Current Outputs ($V_S^- = -15V$)	4.25 mA
ESD Susceptibility (Note 3)	TBD V
Storage Temperature	−65°C to +150°C
Lead Temp. (Soldering, 10 seconds)	
Dual-In-Line Package (plastic)	260°C
Dual-In-Line Package (ceramic)	300°C
Surface Mount Package	
Vapor Phase (60 seconds)	215°C
Infrared (15 seconds)	220°C

Operating Conditions (Note 1)

	Min	Max	Units
Temperature (T_A)			
DAC0800L	−55	+125	°C
DAC0800LC	0	+70	°C
DAC0801LC	0	+70	°C
DAC0802LC	0	+70	°C

Electrical Characteristics The following specifications apply for $V_S^- = -15V$, $I_{REF} = 2$ mA and $T_{MIN} \le T_A \le T_{MAX}$ unless otherwise specified. Output characteristics refer to both I_{OUT} and $\overline{I_{OUT}}$.

Symbol	Parameter	Conditions	DAC0802LC			DAC0800L/ DAC0800LC			DAC0801LC			Units
			Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
	Resolution		8	8	8	8	8	8	8	8	8	Bits
	Monotonicity		8	8	8	8	8	8	8	8	8	Bits
	Nonlinearity				±0.1			±0.19			±0.39	%FS
t_S	Settling Time	To ±½ LSB, All Bits Switched "ON" or "OFF", $T_A = 25°C$		100	135					100	150	ns
		DAC0800L					100	135				ns
		DAC0800LC					100	150				ns
tPLH, tPHL	Propagation Delay Each Bit	$T_A = 25°C$		35	50		35	50		35	50	ns
	All Bits Switched			35	50		35	50		35	50	ns
TC_{IFS}	Full Scale Tempco			±10	±50		±10	±50		±10	±50	ppm/°C
V_{CC}	Output Voltage Compliance	Full Scale Current Change <½ LSB, R_{OUT} 20 MΩ Typ	10		18	10		18	10		18	V
I_{FS4}	Full Scale Current	$V_{REF} = 10.000V$, R14 = 5.000 kΩ, R15 = 5.000 kΩ, $T_A = 25°C$	1.984	1.992	2.000	1.94	1.99	2.04	1.94	1.99	2.04	mA
I_{FSS}	Full Scale Symmetry	$I_{FS4} - I_{FS2}$		±0.5	±4.0		±1	±8.0		±2	±15	µA
I_{ZS}	Zero Scale Current			0.1	1.0		0.2	2.0		0.2	4.0	µA
I_{OSR}	Output Current Range	$V^- = -5V$	0	2.0	2.1	0	2.0	2.1	0	2.0	2.1	mA
		$V^- = -8V$ to $-18V$	0	2.0	4.2	0	2.0	4.2	0	2.0	4.2	mA
	Logic Input Levels											
V_{IL}	Logic "0"	$V_{LC} = 0V$			0.8			0.8			0.8	V
V_{IH}	Logic "1"		2.0			2.0			2.0			V
	Logic Input Current	$V_{LC} = 0V$										
I_{IL}	Logic "0"	$-10V \le V_{IN} \le 0.8V$		−2.0	−10		−2.0	−10		−2.0	−10	µA
I_{IH}	Logic "1"	$2V \le V_{IN} \le +18V$		0.002	10		0.002	10		0.002	10	µA
V_{IS}	Logic Input Swing	$V^- = -15V$	−10		−18	−10		−18	−10		−18	V
V_{THR}	Logic Threshold Range	$V_S^- = -15V$	−10		−13.5	−10		−13.5	−10		−13.5	V
I_{-S}	Reference Bias Current			−1.0	−3.0		−1.0	−3.0		−1.0	−3.0	µA
dI/dt	Reference Input Slew Rate	(Figure 12)	4.0	8.0		4.0	8.0		4.0	8.0		mA/µs
$PSSI_{FS-}$	Power Supply Sensitivity	$-4.5V \ge V^+ \ge -16.5V$		0.0001	0.01		0.0001	0.01		0.0001	0.01	%/%
$PSSI_{FS-}$		$-4.5V \ge V^- \ge -16.5V$, $I_{REF} = 1$ mA		0.0001	0.01		0.0001	0.01		0.0001	0.01	%/%
I^+	Power Supply Current	$V_S^- = -5V$, $I_{REF} = 1$ mA		2.3	3.8		2.3	3.8		2.3	3.8	mA
I^-				4.3	5.8		4.3	5.8		4.3	5.8	mA
I^+		$V_S^- = -5V, -15V$, $I_{REF} = 2$ mA		2.4	3.8		2.4	3.8		2.4	3.8	mA
I^-				5.4	7.8		5.4	7.8		5.4	7.8	mA
I^+		$V_S^- = -15V$, $I_{REF} = 2$ mA		2.5	3.8		2.5	3.8		2.5	3.8	mA
I^-				5.5	7.8		5.5	7.8		5.5	7.8	mA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Electrical Characteristics (Continued)

The following specifications apply for $V_S = \pm 15V$, $I_{REF} = 2$ mA and $T_{MIN} \leq T_A \leq T_{MAX}$ unless otherwise specified. Output characteristics refer to both I_{OUT} and $\overline{I_{OUT}}$.

Symbol	Parameter	Conditions	DAC0802LC			DAC0800L/ DAC0800LC			DAC0801LC			Units
			Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
P_D	Power Dissipation	$\pm 5V$, $I_{REF} = 1$ mA		33	48		33	48		33	48	mW
		5V, $-15V$, $I_{REF} = 2$ mA		108	136		108	136		108	136	mW
		$\pm 5V$, $I_{REF} = 2$ mA		135	174		135	174		135	174	mW

Note 1: Absolute Maximum Ratings indicate limits beyond which damage to the device may occur. DC and AC electrical specifications do not apply when operating the device beyond its specified operating conditions.

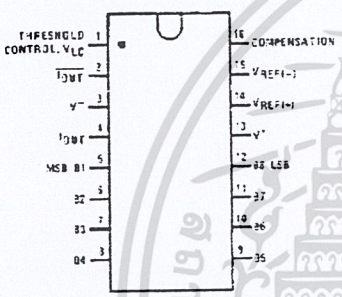
Note 2: The maximum junction temperature of the DAC0800, DAC0801 and DAC0802 is 125°C. For operating at elevated temperatures, devices in the Dual-In-Line J package must be derated based on a thermal resistance of 100°C/W junction-to-ambient, 175°C/W for the molded Dual-In-Line N package and 100°C/W for the Small Outline M package.

Note 3: Human body model, 100 pF discharged through a 1.5 kΩ resistor.

Note 4: Pin-out numbers for the DAC080X represent the Dual-In-Line package. The Small Outline package pin-out differs from the Dual-In-Line package.

Connection Diagrams

Dual-In-Line Package

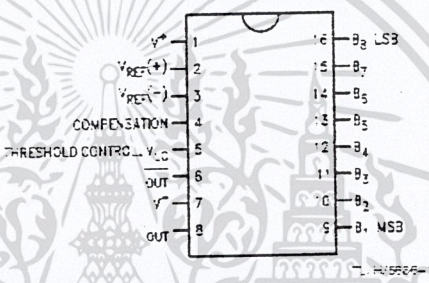


Top View

Order Number DAC0800LC, DAC0801LC or DAC0802LC

See Ordering Information

Small Outline Package

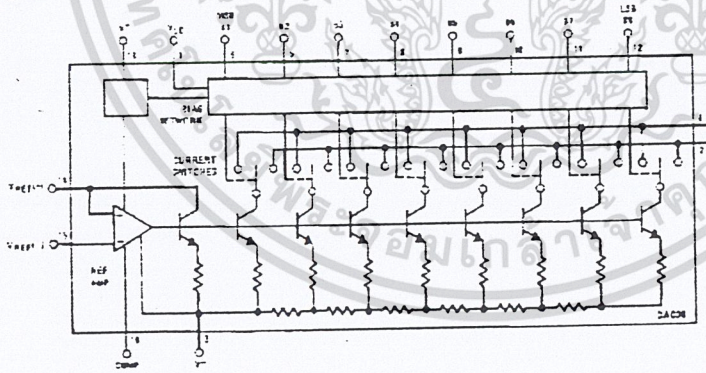


Top View

Order Number DAC0800LCM, DAC0801LCM or DAC0802LCM

See Ordering Information

Block Diagram (Note 4)

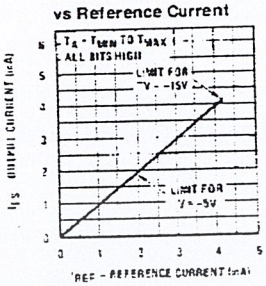


TL/H/5686–2

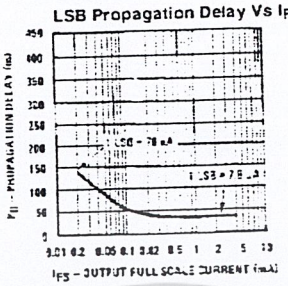
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics

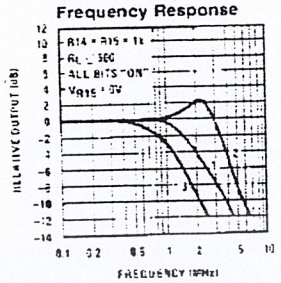
Full Scale Current vs Reference Current



LSB Propagation Delay Vs I_{FS}



Reference Input Frequency Response

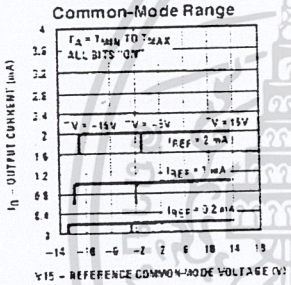


Curve 1: $C_C = 15$ pF, $V_{IN} = 2$ Vp-p centered at 1 V

Curve 2: $C_C = 15$ pF, $V_{IN} = 50$ mVp-p centered at 200 mV.

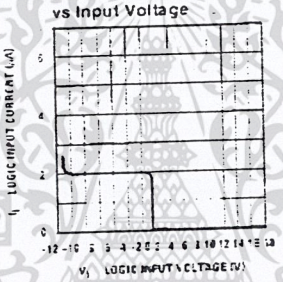
Curve 3: $C_C = 0$ pF, $V_{IN} = 100$ mVp-p at 0V and applied through 50 Ω connected to pin 14 2V applied to R14

Reference Amp Common-Mode Range

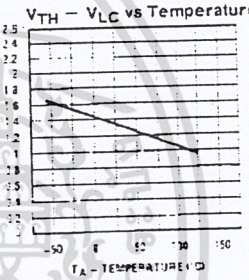


Note: Positive common-mode range is always (V– + 5V

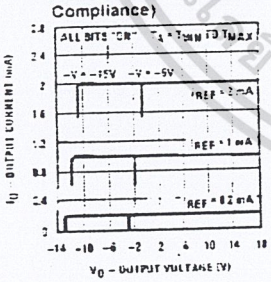
Logic Input Current vs Input Voltage



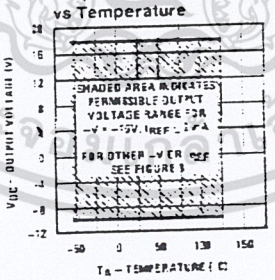
$V_{TH} - V_{LC}$ vs Temperature



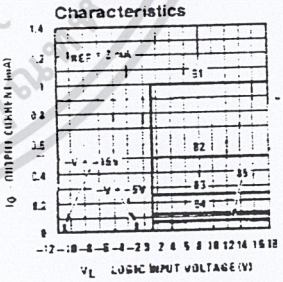
Output Current vs Output Voltage (Output Voltage Compliance)



Output Voltage Compliance vs Temperature



Bit Transfer Characteristics



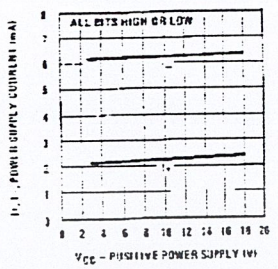
TL/H/5686–3

Note: B1–B8 have identical transfer characteristics. Bits are fully switched with less than ½ LSB error at less than ± 100 mV from actual threshold. These switching points are guaranteed to lie between 0.8 and 2V over the operating temperature range (V_{LC} = 3V)

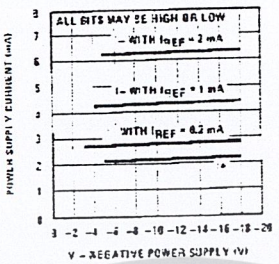
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics (Continued)

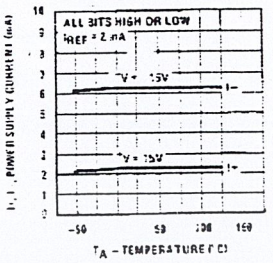
Power Supply Current vs $+V$



Power Supply Current vs $-V$

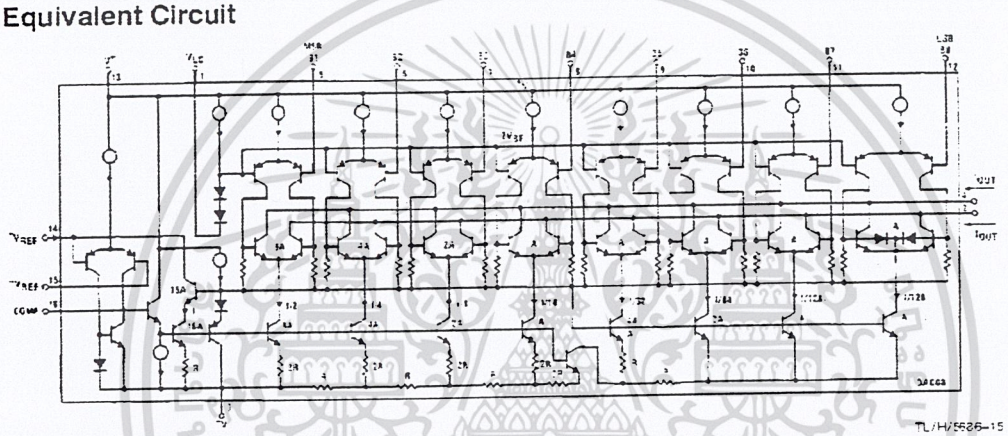


Power Supply Current vs Temperature



TL/H/5686–4

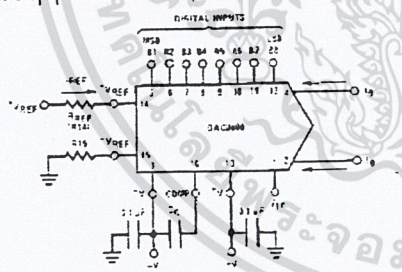
Equivalent Circuit



TL/H/5686–15

FIGURE 2

Typical Applications (Continued)



$$I_{FS} = \frac{-V_{REF}}{R_{REF}} \times \frac{255}{256}$$

I_0 = $\overline{I_0}$ – I_{FS} for all logic states

For fixed reference TTL operation typical values are:

V_{REF} = 10.000V

R_{REF} = 5.000k

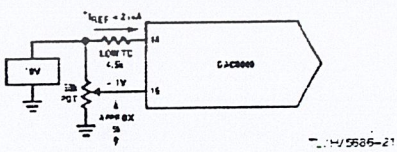
$R15 \approx R_{REF}$

C_C = 0.01 μF

V_{CC} = 5V (Ground)

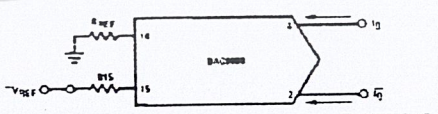
TL/H/5686–5

FIGURE 3. Basic Positive Reference Operation (Note 4)



TL/H/5686–21

FIGURE 4. Recommended Full Scale Adjustment Circuit (Note 4)



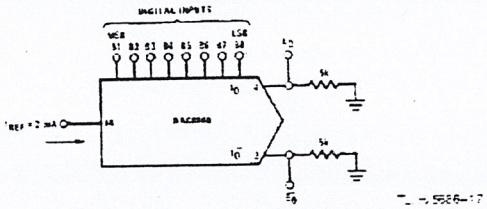
TL/H/5686–16

$$I_{FS} = \frac{-V_{REF}}{R_{REF}} \times \frac{255}{256}$$ Note R_{REF} sets I_{FS}; R15 is for bias current cancellation

FIGURE 5. Basic Negative Reference Operation (Note 4)

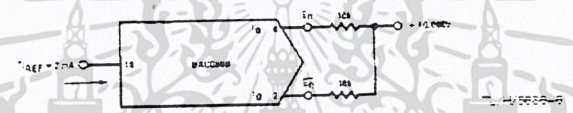
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Applications (Continued)



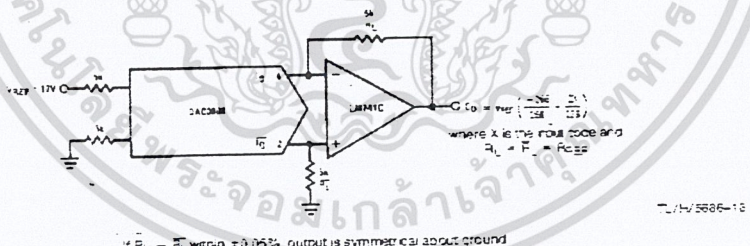
	B1	B2	B3	B4	B5	B6	B7	B8	I_O mA	$\overline{I_O}$ mA	E_O	$\overline{E_O}$
Full Scale	1	1	1	1	1	1	1	1	1.992	0.000	−9.960	0.000
Full Scale−LSB	1	1	1	1	1	1	1	0	1.984	0.008	−9.920	−0.040
Half Scale+LSB	1	0	0	0	0	0	0	1	1.008	0.984	−5.040	−4.920
Half Scale	1	0	0	0	0	0	0	0	1.000	0.992	−5.000	−4.960
Half Scale−LSB	0	1	1	1	1	1	1	1	0.992	1.000	−4.960	−5.000
Zero Scale+LSB	0	0	0	0	0	0	0	1	0.008	1.984	−0.040	−9.920
Zero Scale	0	0	0	0	0	0	0	0	0.000	1.992	0.000	−9.960

FIGURE 6. Basic Unipolar Negative Operation (Note 4)



	B1	B2	B3	B4	B5	B6	B7	B8	E_O	$\overline{E_O}$
Pos. Full Scale	1	1	1	1	1	1	1	1	−9.920	−10.000
Pos. Full Scale−LSB	1	1	1	1	1	1	1	0	−9.840	−9.920
Zero Scale+LSB	1	0	0	0	0	0	0	1	−0.080	−0.160
Zero Scale	1	0	0	0	0	0	0	0	0.000	−0.080
Zero Scale−LSB	0	1	1	1	1	1	1	1	+0.080	0.000
Neg. Full Scale+LSB	0	0	0	0	0	0	0	1	+9.920	−9.840
Neg. Full Scale	0	0	0	0	0	0	0	0	+10.000	−9.920

FIGURE 7. Basic Bipolar Output Operation (Note 4)



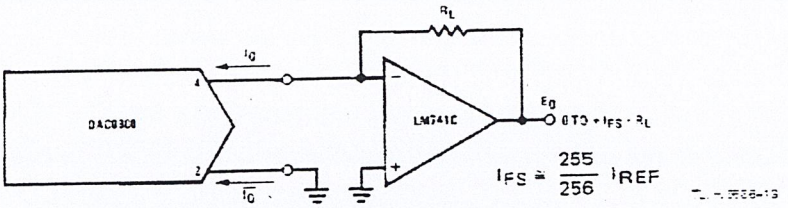
If $R_1 = R_2$ within ±0.05% output is symmetrical about ground

	B1	B2	B3	B4	B5	B6	B7	B8	E_O
Pos. Full Scale	1	1	1	1	1	1	1	1	+9.960
Pos. Full Scale−LSB	1	1	1	1	1	1	1	0	+9.880
(+)Zero Scale	1	0	0	0	0	0	0	0	+0.040
(−)Zero Scale	0	1	1	1	1	1	1	1	−0.040
Neg. Full Scale+LSB	0	0	0	0	0	0	0	1	−9.880
Neg. Full Scale	0	0	0	0	0	0	0	0	−9.960

FIGURE 8. Symmetrical Offset Binary Operation (Note 4)

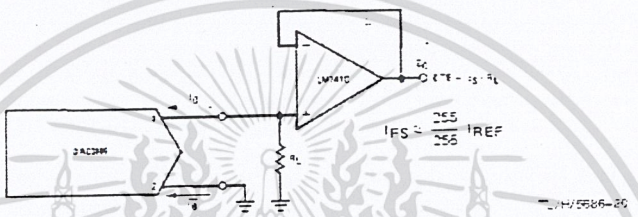
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Applications (Continued)



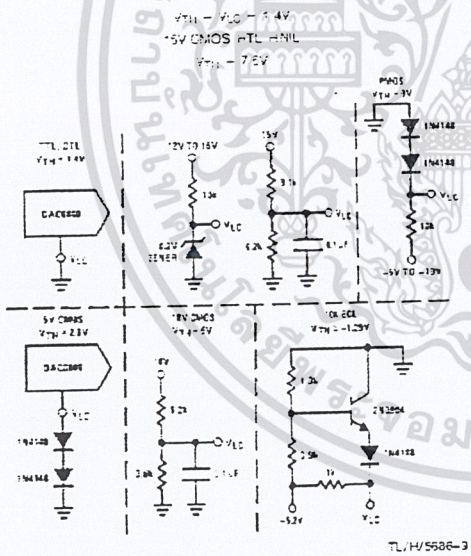
For complementary output (operation as negative logic DAC), connect inverting input of op amp to $\overline{I_O}$ (pin 2), connect I_O (pin 4) to ground.

FIGURE 9. Positive Low Impedance Output Operation (Note 4)



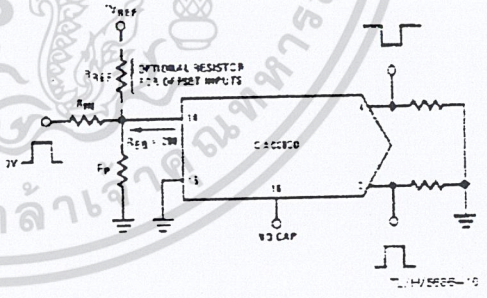
For complementary output (operation as a negative logic DAC), connect non-inverting input of op amp to $\overline{I_O}$ (pin 2), connect I_O (pin 4) to ground.

FIGURE 10. Negative Low Impedance Output Operation (Note 4)



Note: Do not exceed negative logic input range of DAC.

FIGURE 11. Interfacing with Various Logic Families



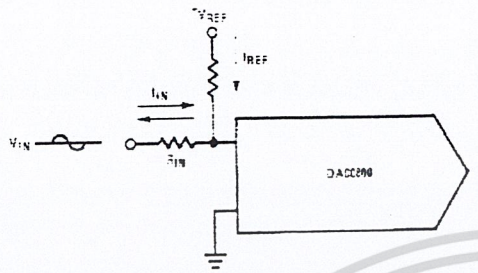
Typical values: $R_{IN} = 5k = R_N = 10V$

FIGURE 12. Pulsed Reference Operation (Note 4)

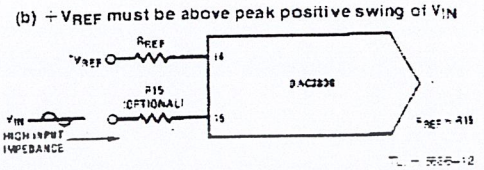
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Applications (Continued)

(a) $I_{REF} >$ peak negative swing of I_{IN}

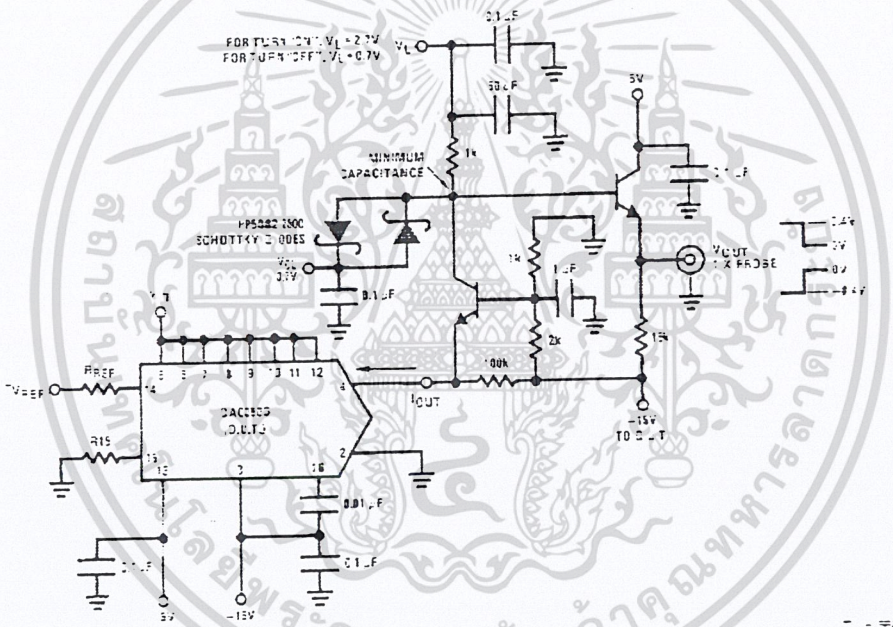


(b) $+V_{REF}$ must be above peak positive swing of V_{IN}



TL/H/5586–11

FIGURE 13. Accommodating Bipolar References (Note 4)

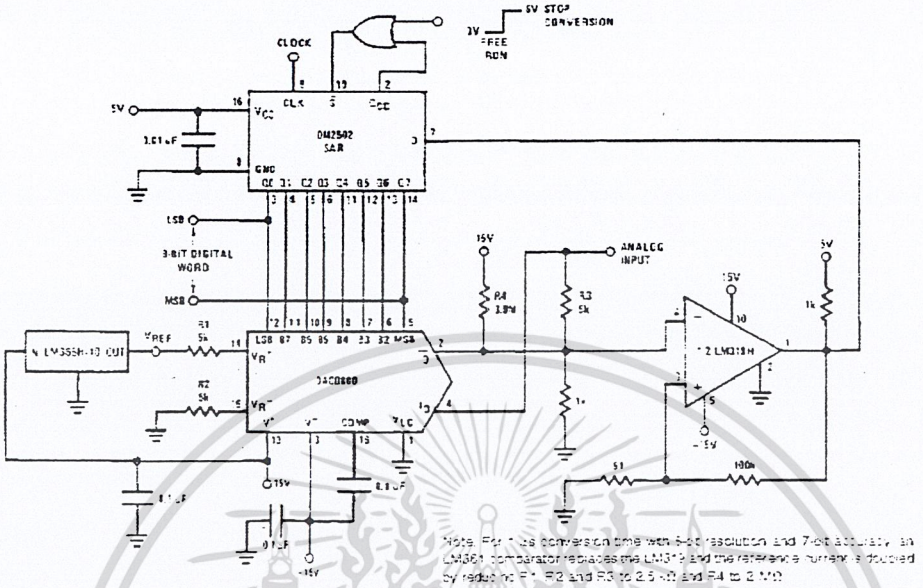


TL/H/5586–7

FIGURE 14. Settling Time Measurement (Note 4)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Applications (Continued)

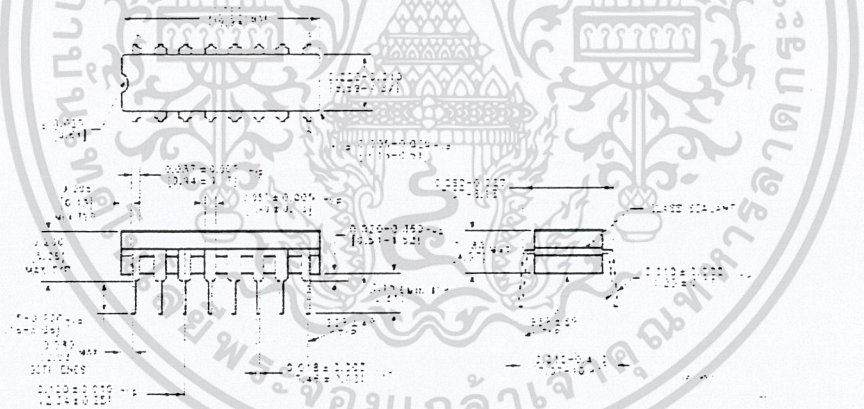


Note: For 1 μs conversion time with 8-bit resolution and 7-bit accuracy, an LM361 comparator replaces the LM318 and the reference current is doubled by reducing R1, R2 and R3 to 2.5 kΩ and R4 to 2 MΩ.

TL/H/5686-8

FIGURE 15. A Complete 2 μs Conversion Time, 8-Bit A/D Converter (Note 4)

Physical Dimensions inches (millimeters)



Molded Dual-In-Line Package
Order Numbers DAC0800 or DAC0802
NS Package Number J16A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

December 1995

National Semiconductor

LF351 Wide Bandwidth JFET Input Operational Amplifier

General Description

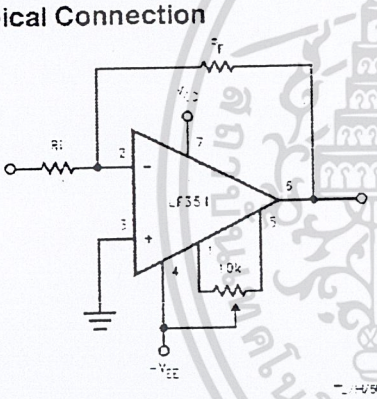
The LF351 is a low cost high speed JFET input operational amplifier with an internally trimmed input offset voltage (BI-FET II™ technology). The device requires a low supply current and yet maintains a large gain bandwidth product and a fast slew rate. In addition, well matched high voltage JFET input devices provide very low input bias and offset currents. The LF351 is pin compatible with the standard LM741 and uses the same offset voltage adjustment circuitry. This feature allows designers to immediately upgrade the overall performance of existing LM741 designs.

The LF351 may be used in applications such as high speed integrators, fast D/A converters, sample-and-hold circuits and many other circuits requiring low input offset voltage, low input bias current, high input impedance, high slew rate and wide bandwidth. The device has low noise and offset voltage drift, but for applications where these requirements are critical, the LF356 is recommended. If maximum supply current is important, however, the LF351 is the better choice.

Features

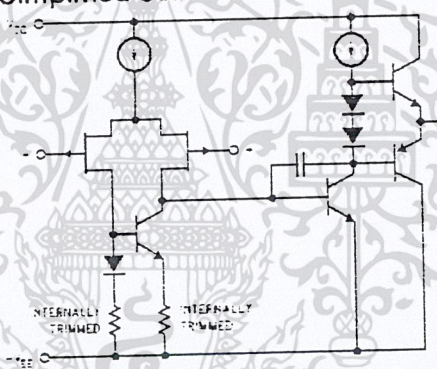
■ Internally trimmed offset voltage	10 mV
■ Low input bias current	50 pA
■ Low input noise voltage	25 nV/√Hz
■ Low input noise current	0.01 pA/√Hz
■ Wide gain bandwidth	4 MHz
■ High slew rate	13 V/μs
■ Low supply current	1.8 mA
■ High input impedance	$10^{12}\Omega$
■ Low total harmonic distortion $A_V = 10$, $R_L = 10k$, $V_O = 20$ V_{p-p}, BW = 20 Hz–20 kHz	0.02%
■ Low 1/f noise corner	50 Hz
■ Fast settling time to 0.01%	2 μs

Typical Connection



TL/H/5648–11

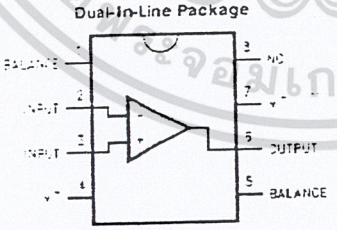
Simplified Schematic



TL/H/5648–12

Connection Diagrams

Dual-In-Line Package



TL/H/5648–13

Order Number LF351M or LF351N
See NS Package Number M08A or N08E

© 1995 National Semiconductor Corporation TL/H/5648

RRD-B30M115 Printed in U.S.A.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Supply Voltage	±18V
Power Dissipation (Notes 1 and 6)	670 mW
Operating Temperature Range	0°C to +70°C
$T_{j(MAX)}$	115°C
Differential Input Voltage	±30V
Input Voltage Range (Note 2)	±15V
Output Short Circuit Duration	Continuous
Storage Temperature Range	−65°C to +150°C
Lead Temp. (Soldering, 10 sec.)	
Metal Can	300°C
DIP	260°C
θ_{jA}	
N Package	120°C/W
M Package	TBD
Soldering Information	
Dual-In-Line Package	
Soldering (10 sec.)	260°C
Small Outline Package	
Vapor Phase (60 sec.)	215°C
Infrared (15 sec.)	220°C

See AN-450 "Surface Mounting Methods and Their Effect on Product Reliability" for other methods of soldering surface mount devices.

ESD rating to be determined.

DC Electrical Characteristics (Note 3)

Symbol	Parameter	Conditions	LF351			Units
			Min	Typ	Max	
V_{OS}	Input Offset Voltage	$R_S = 10\ k\Omega$, $T_A = 25°C$		5	10	mV
		Over Temperature			13	mV
$\Delta V_{OS}/\Delta T$	Average TC of Input Offset Voltage	$R_S = 10\ k\Omega$		10		μV/°C
I_{OS}	Input Offset Current	$T_j = 25°C$, (Notes 3, 4)		25	100	pA
		$T_j = 70°C$			4	nA
I_B	Input Bias Current	$T_j = 25°C$, (Notes 3, 4)		50	200	pA
		$T_j = 70°C$			8	nA
R_{IN}	Input Resistance	$T_j = 25°C$		10^{12}		Ω
A_{VOL}	Large Signal Voltage Gain	$V_S = \pm 15V$, $T_A = 25°C$	25	100		V/mV
		$V_O = \pm 10V$, $R_L = 2\ k\Omega$				
		Over Temperature	15			V/mV
V_O	Output Voltage Swing	$V_S = \pm 15V$, $R_L = 10\ k\Omega$	±12	±13.5		V
V_{CM}	Input Common-Mode Voltage Range	$V_S = \pm 15V$		+15		V
			±11			
				−12		V
CMRR	Common-Mode Rejection Ratio	$R_S = 10\ k\Omega$	70	100		dB
PSRR	Supply Voltage Rejection Ratio	(Note 5)	70	100		dB
I_S	Supply Current			1.8	3.4	mA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC Electrical Characteristics (Note 3)

Symbol	Parameter	Conditions	LF351			Units
			Min	Typ	Max	
SR	Slew Rate	$V_S = \pm 15V$, $T_A = 25°C$		13		V/μs
GBW	Gain Bandwidth Product	$V_S = \pm 15V$, $T_A = 25°C$		4		MHz
e_n	Equivalent Input Noise Voltage	$T_A = 25°C$, $R_S = 100\Omega$, $f = 1000$ Hz		25		nV/$\sqrt{Hz}$
i_n	Equivalent Input Noise Current	$T_j = 25°C$, $f = 1000$ Hz		0.01		pA/$\sqrt{Hz}$

Note 1: For operating at elevated temperatures, the device must be derated based on the thermal resistance θ_{jA}.

Note 2: Unless otherwise specified the absolute maximum negative input voltage is equal to the negative power supply voltage.

Note 3: These specifications apply for $V_S = \pm 15V$ and $0°C \le T_A \le +70°C$. V_{OS}, I_B and I_{OS} are measured at $V_{CM} = 0$.

Note 4: The input bias currents are junction leakage currents which approximately double for every 10°C increase in the junction temperature T_j. Due to the limited production test time, the input bias currents measured are correlated to junction temperature. In normal operation the junction temperature rises above the ambient temperature as a result of internal power dissipation. $P_D = T_j - T_A = \theta_{jA} P_D$ where θ_{jA} is the thermal resistance from junction to ambient. Use of a heat sink is recommended if input bias current is to be kept to a minimum.

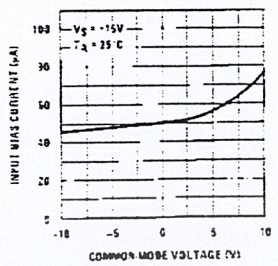
Note 5: Supply voltage rejection ratio is measured for both supply magnitudes increasing or decreasing simultaneously in accordance with common practice. From $\pm 15V$ to $\pm 5V$.

Note 6: Max. Power Dissipation is defined by the package characteristics. Operating the part near the Max. Power Dissipation may cause the part to operate outside guaranteed limits.

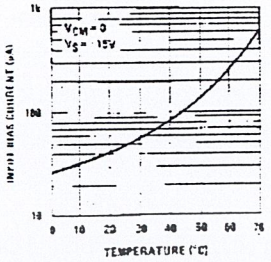
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics

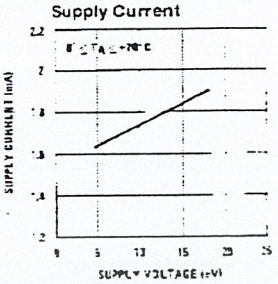
Input Bias Current



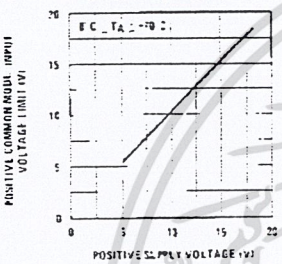
Input Bias Current



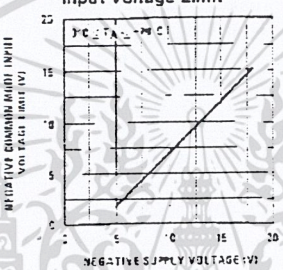
Supply Current



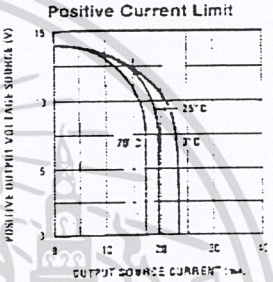
Positive Common-Mode Input Voltage Limit



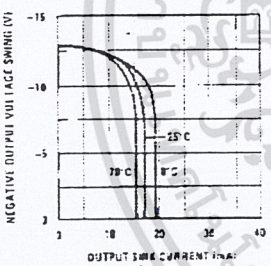
Negative Common-Mode Input Voltage Limit



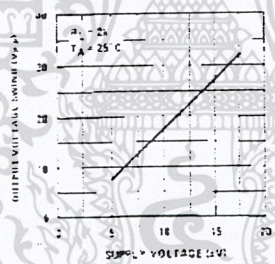
Positive Current Limit



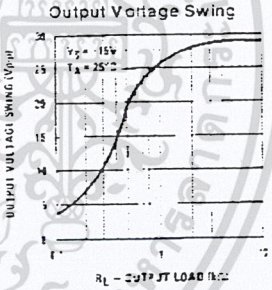
Negative Current Limit



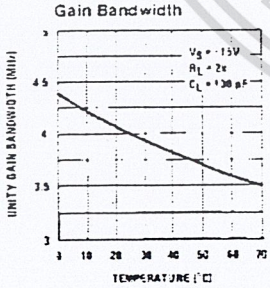
Voltage Swing



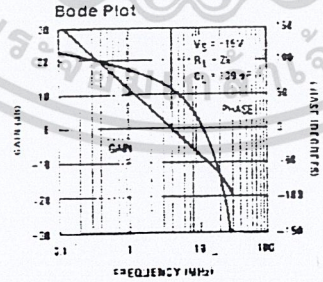
Output Voltage Swing



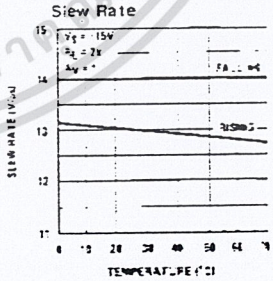
Gain Bandwidth



Bode Plot



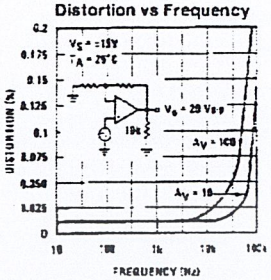
Slew Rate



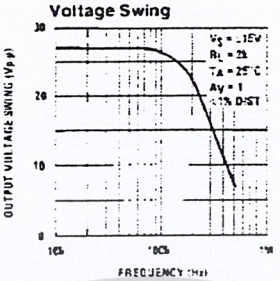
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics (Continued)

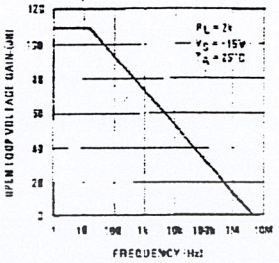
Distortion vs Frequency



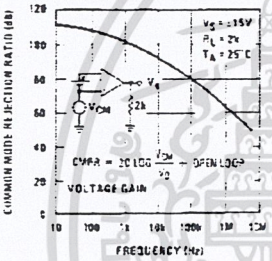
Undistorted Output Voltage Swing



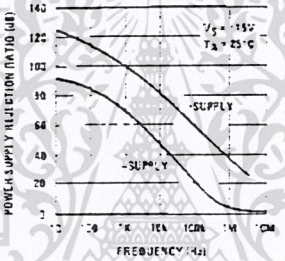
Open Loop Frequency Response



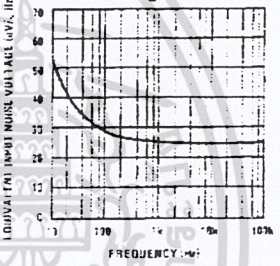
Common-Mode Rejection Ratio



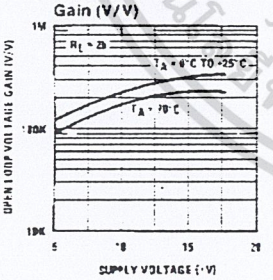
Power Supply Rejection Ratio



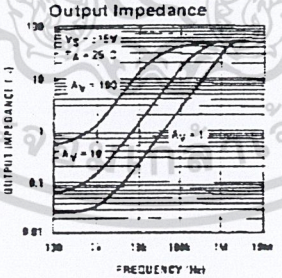
Equivalent Input Noise Voltage



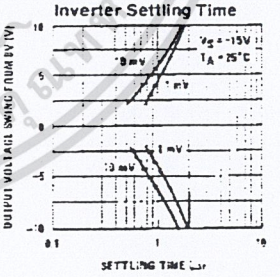
Open Loop Voltage Gain (V/V)



Output Impedance



Inverter Settling Time

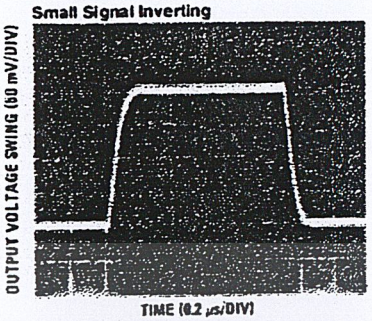


TL/H/5648–3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

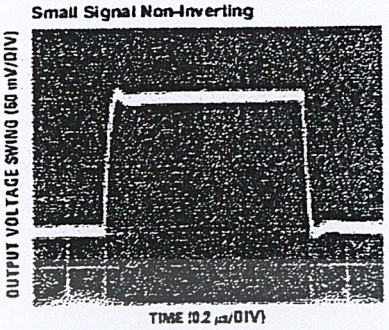
Pulse Response

Small Signal Inverting



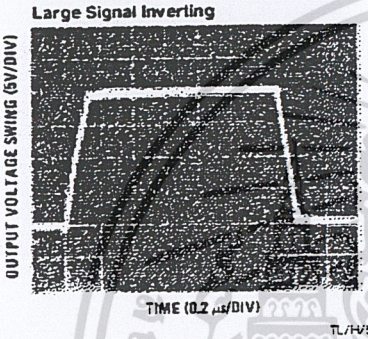
TL/H/5648–4

Small Signal Non-Inverting



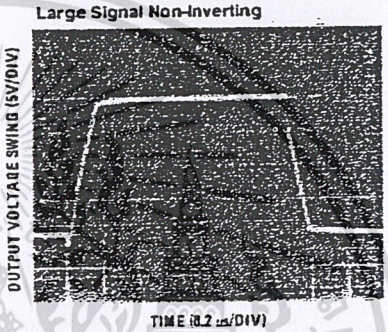
TL/H/5648–5

Large Signal Inverting



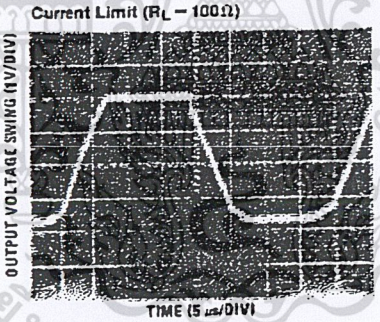
TL/H/5648–6

Large Signal Non-Inverting



TL/H/5648–7

Current Limit ($R_L = 100\Omega$)



TL/H/5648–8

Application Hints

The LF351 is an op amp with an internally trimmed input offset voltage and JFET input devices (BI-FET II™). These JFETs have large reverse breakdown voltages from gate to source and drain eliminating the need for clamps across the inputs. Therefore, large differential input voltages can easily be accommodated without a large increase in input current. The maximum differential input voltage is independent of the supply voltages. However, neither of the input voltages should be allowed to exceed the negative supply as this will cause large currents to flow which can result in a destroyed unit.

Exceeding the negative common-mode limit on either input will force the output to a high state, potentially causing a reversal of phase to the output.

Exceeding the negative common-mode limit on both inputs will force the amplifier output to a high state. In neither case does a latch occur since raising the input back within the

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Application Hints (Continued)

common-mode range again puts the input stage and thus the amplifier in a normal operating mode.

Exceeding the positive common-mode limit on a single input will not change the phase of the output; however, if both inputs exceed the limit, the output of the amplifier will be forced to a high state.

The amplifier will operate with a common-mode input voltage equal to the positive supply; however, the gain bandwidth and slew rate may be decreased in this condition. When the negative common-mode voltage swings to within 3V of the negative supply, an increase in input offset voltage may occur.

The LF351 is biased by a zener reference which allows normal circuit operation on ±4V power supplies. Supply voltages less than these may result in lower gain bandwidth and slew rate.

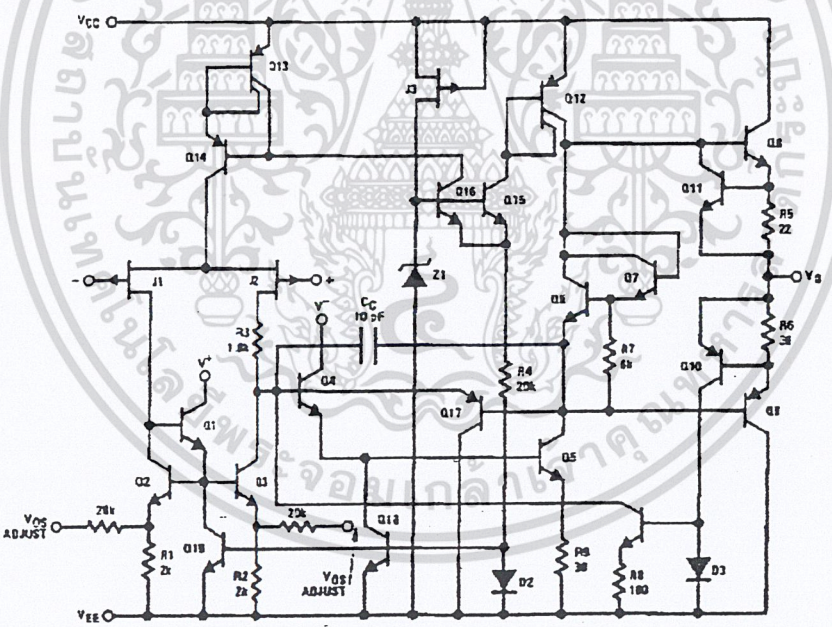
The LF351 will drive a 2 kΩ load resistance to ±10V over the full temperature range of 0°C to +70°C. If the amplifier is forced to drive heavier load currents, however, an increase in input offset voltage may occur on the negative voltage swing and finally reach an active current limit on both positive and negative swings.

Precautions should be taken to ensure that the power supply for the integrated circuit never becomes reversed in polarity or that the unit is not inadvertently installed backwards in a socket as an unlimited current surge through the resulting forward diode within the IC could cause fusing of the internal conductors and result in a destroyed unit.

As with most amplifiers, care should be taken with lead dress, component placement and supply decoupling in order to ensure stability. For example, resistors from the output to an input should be placed with the body close to the input to minimize "pick-up" and maximize the frequency of the feedback pole by minimizing the capacitance from the input to ground.

A feedback pole is created when the feedback around any amplifier is resistive. The parallel resistance and capacitance from the input of the device (usually the inverting input) to AC ground set the frequency of the pole. In many instances the frequency of this pole is much greater than the expected 3 dB frequency of the closed loop gain and consequently there is negligible effect on stability margin. However, if the feedback pole is less than approximately 5 times the expected 3 dB frequency a lead capacitor should be placed from the output to the input of the op amp. The value of the added capacitor should be such that the RC time constant of this capacitor and the resistance it parallels is greater than or equal to the original feedback pole time constant.

Detailed Schematic

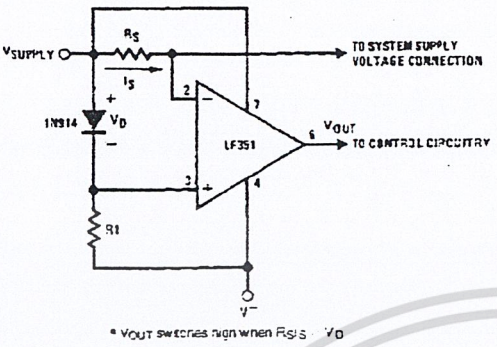


TL/H/5848–9

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

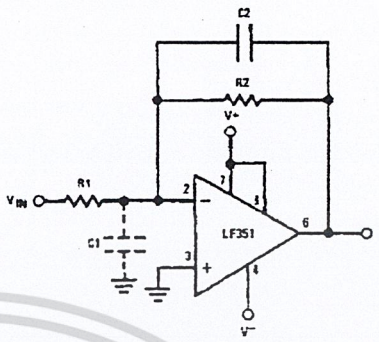
Typical Applications

Supply Current Indicator/Limiter



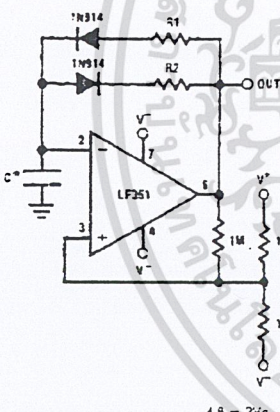
* V_{OUT} switches high when $R_S I_S = V_D$

Hi-Z_{IN} Inverting Amplifier



Parasitic input capacitance C1 ≈ (3 pF for LF351 plus any additional layout capacitance) interacts with feedback elements and creates undesirable high frequency pole. To compensate, add C2 such that R2C2 ≈ R1C1.

Ultra-Low (or High) Duty Cycle Pulse Generator



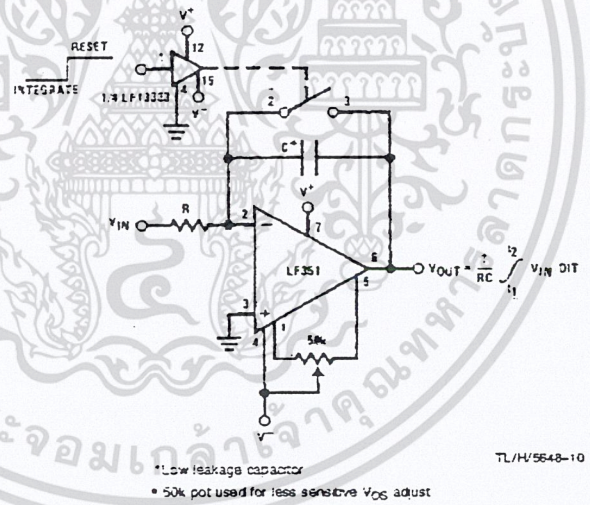
* $t_{OUTPUT\ HIGH} \approx R1C \ln \frac{4.6 - 2V_S}{4.6 - V_S}$

* $t_{OUTPUT\ LOW} \approx R2C \ln \frac{2V_S - 7.6}{V_S - 7.6}$

where $V_S = V^+ - V^-$

*low leakage capacitor

Long Time Integrator



TL/H/5648–10

*Low leakage capacitor

* 50k pot used for less sensitive V_{OS} adjust

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

December 1993

NM27C256
262,144-Bit (32K x 8) High Performance CMOS EPROM

General Description

The NM27C256 is a 256K Electrically Programmable Read Only Memory. It is manufactured in National's latest CMOS split gate EPROM technology which enables it to operate at speeds as fast as 120 ns access time over the full operating range.

The NM27C256 provides microprocessor-based systems extensive storage capacity for large portions of operating system and application software. Its 120 ns access time provides high speed operation with high-performance CPUs. The NM27C256 offers a single chip solution for the code storage requirements of 100% firmware-based equipment. Frequently-used software routines are quickly executed from EPROM storage, greatly enhancing system utility.

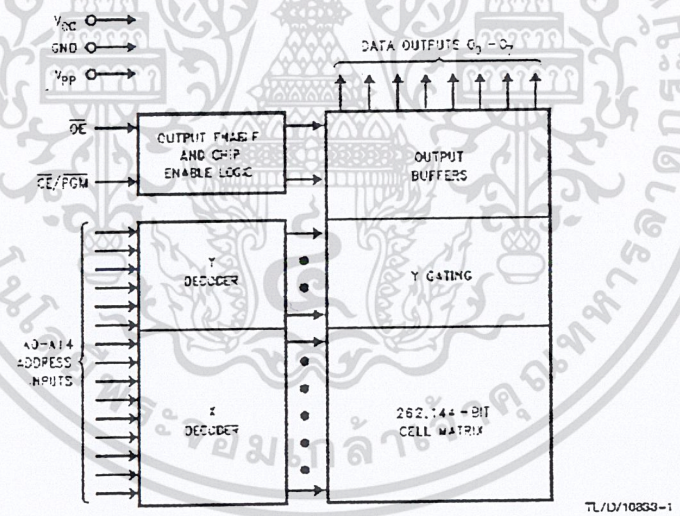
The NM27C256 is configured in the standard EPROM pinout which provides an easy upgrade path for systems which are currently using standard EPROMs.

The NM27C256 is one member of a high density EPROM Family which ranges in densities up to 4 Mb.

Features

- High performance CMOS
  - 120 ns access time
- JEDEC standard pin configuration
  - 28-pin DIP package
  - 32-pin chip carrier
- Drop-in replacement for 27C256 or 27256
- Manufacturer's identification code

Block Diagram



TL/D/10833–1

TRI-STATE® is a registered trademark of National Semiconductor Corporation.
HPC™ is a trademark of National Semiconductor Corporation.

©1995 National Semiconductor Corporation TL/D/10833

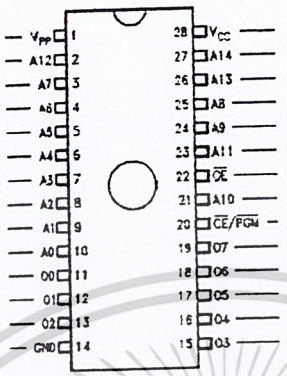
RRD-B30M95/Printed in U. S. A.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Connection Diagrams

27C080	27C040	27C020	27C010	27C512
A19	XX/V_{PP}	XX/V_{PP}	XX/V_{PP}	
A16	A16	A16	A16	
A15	A15	A15	A15	A15
A12	A12	A12	A12	A12
A7	A7	A7	A7	A7
A6	A6	A6	A6	A6
A5	A5	A5	A5	A5
A4	A4	A4	A4	A4
A3	A3	A3	A3	A3
A2	A2	A2	A2	A2
A1	A1	A1	A1	A1
A0	A0	A0	A0	A0
O0	O0	O0	O0	O0
O1	O1	O1	O1	O1
O2	O2	O2	O2	O2
GND	GND	GND	GND	GND

DIP
NM27C256



TL/D/10333–2

27C512	27C010	27C020	27C040	27C080
	V_{CC} XX/PGM	V_{CC} XX/PGM	V_{CC} A18	V_{CC} A18
V_{CC}	XX	A17	A17	A17
A14	A14	A14	A14	A14
A13	A13	A13	A13	A13
A8	A8	A8	A8	A8
A9	A9	A9	A9	A9
A11	A11	A11	A11	A11
$\overline{OE}/V_{PP}$	$\overline{OE}$	$\overline{OE}$	$\overline{OE}$	$\overline{CE}/V_{PP}$
A10	A10	A10	A10	A10
$\overline{CE}/\overline{PGM}$	$\overline{CE}$	$\overline{CE}$	$\overline{CE}/\overline{PGM}$	$\overline{CE}/\overline{PGM}$
O7	O7	O7	O7	O7
O6	O6	O6	O6	O6
O5	O5	O5	O5	O5
O4	O4	O4	O4	O4
O3	O3	O3	O3	O3

Note: Compatible EPROM pin configurations are shown in the blocks adjacent to the NM27C256 pins.

Commercial Temp. Range (0°C to +70°C)
V_{CC} 5V ±10%

Parameter/Order Number	Access Time (ns)
NM27C256 Q, N, V 120	120
NM27C256 Q, N, V 150	150
NM27C256 Q, N, V 200	200

Military Temp. Range (−55°C to +125°C)
V_{CC} 5V ±10%

Parameter/Order Number	Access Time (ns)
NM27C256 QM 150	150
NM27C256 QM 250	250

Extended Temp. Range (−40°C to +85°C)
V_{CC} 5V ±10%

Parameter/Order Number	Access Time (ns)
NM27C256 QE, NE, VE 120	120
NM27C256 QE, NE, VE 150	150
NM27C256 QE, NE, VE 200	200

Note: Surface mount PLCC package available for commercial and extended temperature ranges only.

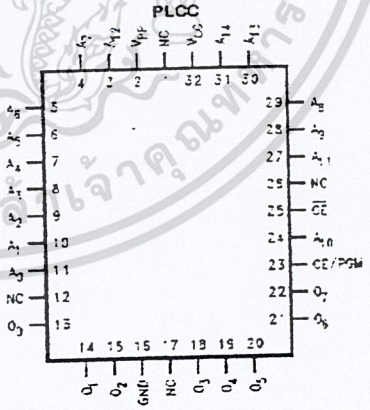
Package Types: NM27C256 Q, N, V XXX
- Q — Quartz-Windowed Ceramic DIP
- N — Plastic OTP DIP
- V — Surface-Mount PLCC

- All packages conform to the JEDEC standard.
- All versions are guaranteed to function for slower speeds.

Pin Names

Symbol	Description
A0–A14	Addresses
$\overline{CE}$	Chip Enable
$\overline{OE}$	Output Enable
O0–O7	Outputs
$\overline{PGM}$	Program
XX	Don't Care (during Read)

PLCC



Top

TL/D/10333–3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings (Note 1)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Storage Temperature	−65°C to +150°C
All Input Voltages except A9 with Respect to Ground	−0.6V to +7V
V_{PP} and A9 with Respect to Ground	−0.7V to +14V
V_{CC} Supply Voltage with Respect to Ground	−0.6V to +7V
ESD Protection	+2000V
All Output Voltages with Respect to Ground	V_{CC} + 1.0V to GND −0.6V

Operating Range

Range	Temperature	V_{CC}
Comm'l	0°C to +70°C	+5V ±10%
Industrial	−40°C to +85°C	+5V ±10%
Military	−55°C to +125°C	+5V ±10%

Read Operation

DC Electrical Characteristics Over Operating Range with $V_{PP} = V_{CC}$

Symbol	Parameter	Test Conditions	Min	Max	Units
V_{IL}	Input Low Level		−0.5	0.8	V
V_{IH}	Input High Level		2.0	V_{CC} + 1	V
V_{OL}	Output Low Voltage	I_{OL} = 2.1 mA		0.4	V
V_{OH}	Output High Voltage	I_{OH} = −2.5 mA	3.5		V
I_{SB1} (Note 11)	V_{CC} Standby Current (CMOS)	$\overline{CE} = V_{CC} \pm 0.3V$		100	µA
I_{SB2}	V_{CC} Standby Current (TTL)	$\overline{CE} = V_{IH}$		1	mA
I_{CC1}	V_{CC} Active Current TTL Inputs	$\overline{CE} = \overline{OE} = V_{IL}$, f = 5 MHz Inputs = V_{IH} or V_{IL}, I/O = 0 mA		35	mA
I_{PP}	V_{PP} Supply Current	$V_{PP} = V_{CC}$		10	µA
V_{PP}	V_{PP} Read Voltage		V_{CC} − 0.7	V_{CC}	V
I_{LI}	Input Load Current	V_{IN} = 5.5V or GND	−1	1	µA
I_{LO}	Output Leakage Current	V_{OUT} = 5.5V or GND	−10	10	µA

AC Electrical Characteristics Over Operating Range with $V_{PP} = V_{CC}$

Symbol	Parameter	100		120		150		200		Units
		Min	Max	Min	Max	Min	Max	Min	Max	
t_{ACC}	Address to Output Delay		100		120		150		200	ns
t_{CE}	$\overline{CE}$ to Output Delay		100		120		150		200	
t_{OE}	$\overline{OE}$ to Output Delay		50		50		50		50	
t_{DF} (Note 2)	Output Disable to Output Float		30		35		45		55	
t_{OH} (Note 2)	Output Hold from Addresses, $\overline{CE}$ or $\overline{OE}$, Whichever Occurred First	0		0		0		0		

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

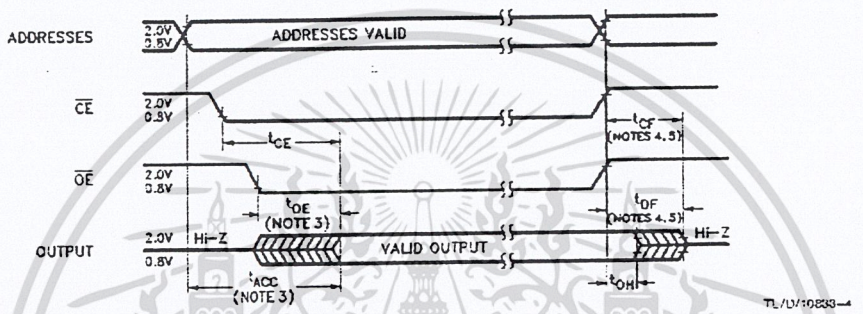
Capacitance T_A = +25°C, f = 1 MHz (Note 2)

Symbol	Parameter	Conditions	Typ	Max	Units
C_{IN}	Input Capacitance	V_{IN} = 0V	6	12	pF
C_{OUT}	Output Capacitance	V_{OUT} = 0V	9	12	pF

AC Test Conditions

Output Load	1 TTL Gate and C_L = 100 pF (Note 8)
Input Rise and Fall Times	≤ 5 ns
Input Pulse Levels	0.45 to 2.4V
Timing Measurement Reference Level (Note 10)	
Inputs	0.8V and 2.0V
Outputs	0.8V and 2.0V

AC Waveforms (Notes 6, 7 and 9)



Note 1: Stresses above those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. This is stress rating only and functional operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

Note 2: This parameter is only sampled and is not 100% tested.

Note 3: $\overline{OE}$ may be delayed up to $t_{ACC} - t_{OE}$ after the falling edge of $\overline{CE}$ without impacting t_{ACC}.

Note 4: The t_{DF} and t_{CF} compare level is determined as follows:
High to TRI-STATE®, the measured V_{OH1} (DC) − 0.10V.
Low to TRI-STATE, the measured V_{OL1} (DC) + 0.10V.

Note 5: TRI-STATE may be attained using $\overline{OE}$ or $\overline{CE}$.

Note 6: The power switching characteristics of EPROMs require careful device decoupling. It is recommended that at least a 0.1 μF ceramic capacitor be used on every device between V_{CC} and GND.

Note 7: The outputs must be restricted to V_{CC} +1.0V to avoid latch-up and device damage.

Note 8: TTL Gate: I_{OL} = 1.6 mA, I_{OH} = −400 μA.
C_L = 100 pF includes fixture capacitance.

Note 9: V_{PP} may be connected to V_{CC} except during programming.

Note 10: Inputs and outputs can undershoot to −2.0V for 20 ns Max.

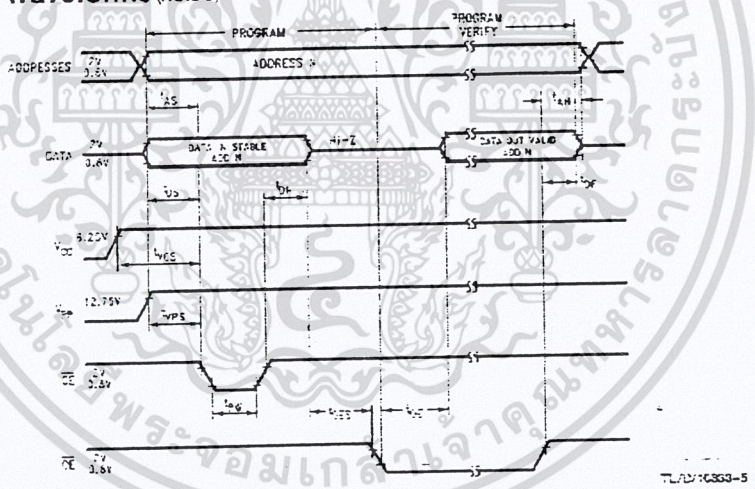
Note 11: CMOS inputs: V_{IL} = GND ±0.3V, V_{IH} = V_{CC} ±0.3V.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Programming Characteristics (Notes 1, 2, 3, 4 and 5)

Symbol	Parameter	Conditions	Min	Typ	Max	Units
t_{AS}	Address Setup Time		1			µs
t_{OES}	$\overline{OE}$ Setup Time		1			µs
t_{VPS}	V_{PP} Setup Time		1			µs
t_{VCS}	V_{CC} Setup Time		1			µs
t_{DS}	Data Setup Time		1			µs
t_{AH}	Address Hold Time		0			µs
t_{DH}	Data Hold Time		1			µs
t_{DF}	Output Enable to Output Float Delay	$\overline{CE}$ – V_{IL}	0		60	ns
t_{PW}	Program Pulse Width		95	100	105	µs
t_{OE}	Data Valid from $\overline{OE}$	$\overline{CE}$ – V_{IL}			100	ns
I_{PP}	V_{PP} Supply Current during Programming Pulse	$\overline{CE}$ – V_{IL}			30	mA
I_{CC}	V_{CC} Supply Current				50	mA
T_A	Temperature Ambient		20	25	30	°C
V_{CC}	Power Supply Voltage		6.0	6.25	6.5	V
V_{PP}	Programming Supply Voltage		12.5	12.75	13.0	V
t_{FR}	Input Rise, Fall Time		5			ns
V_{IL}	Input Low Voltage			0.0	0.45	V
V_{IH}	Input High Voltage		2.4	4.0		V
t_{IN}	Input Timing Reference Voltage		0.8		2.0	V
t_{OUT}	Output Timing Reference Voltage		0.8		2.0	V

Programming Waveforms (Note 3)



Note 1: National's standard product warranty applies to devices programmed to specifications described herein.

Note 2: V_{CC} must be applied simultaneously or before V_{PP} and removed simultaneously or after V_{PP}. The EPROM must not be inserted into or removed from a board with voltage applied to V_{PP} or V_{CC}.

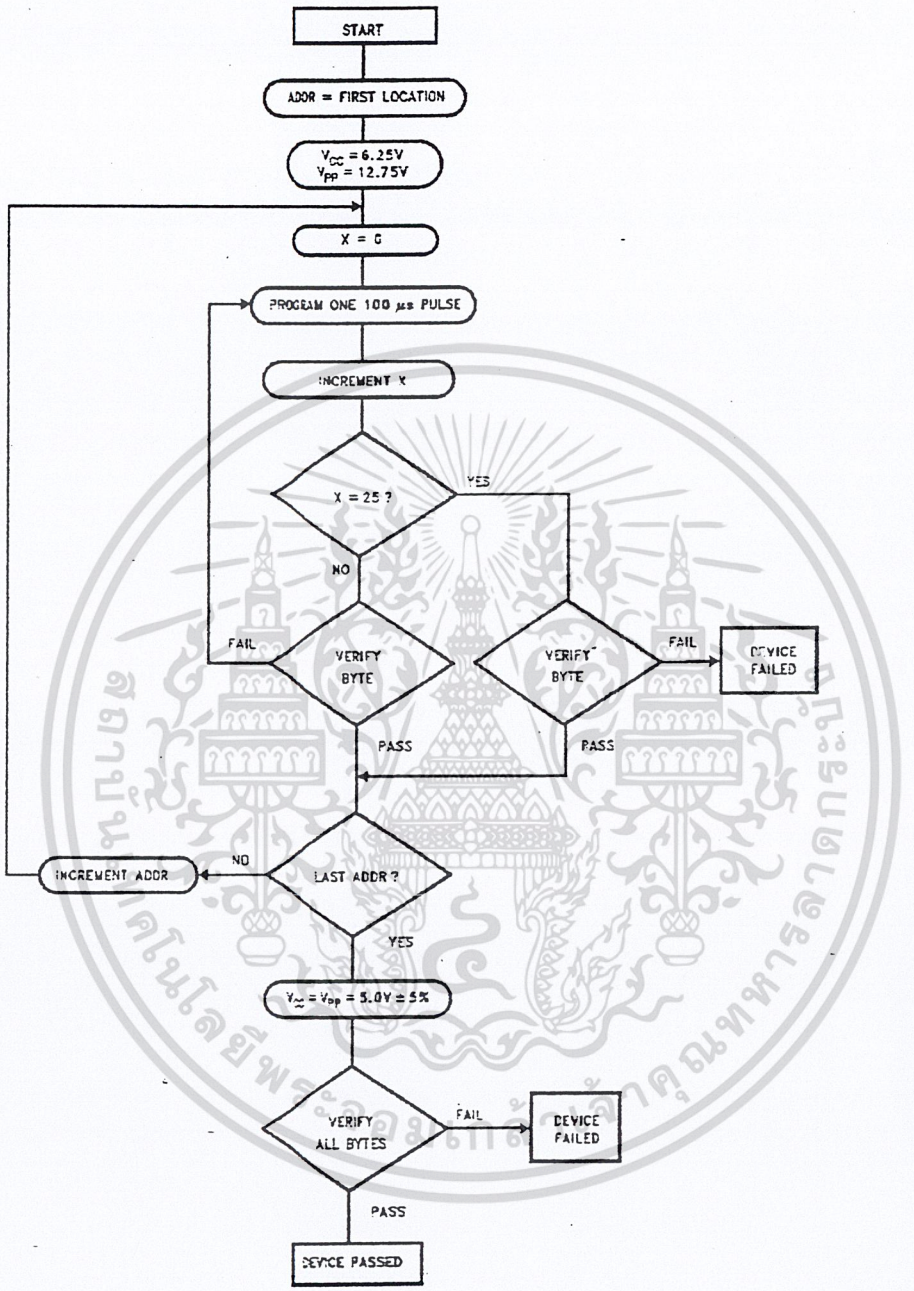
Note 3: The maximum absolute allowable voltage which may be applied to the V_{PP} pin during programming is 14V. Care must be taken when switching the V_{PP} supply to prevent any overshoot from exceeding this 14V maximum specification. At least a 0.1 µF capacitor is required across V_{PP}, V_{CC} to GND to suppress spurious voltage transients which may damage the device.

Note 4: Programming and program verify are tested with the Fast Program Algorithm, at typical power supply voltages and timings.

Note 5: During power up the $\overline{PGM}$ pin must be brought high ($\geq V_{IH}$) either coincident with or before power is applied to V_{PP}.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Fast Programming Algorithm Flow Chart



TL/D/10833—5

FIGURE 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Functional Description

DEVICE OPERATION

The six modes of operation of the EPROM are listed in Table I. It should be noted that all inputs for the six modes are at TTL levels. The power supplies required are V_{CC} and V_{PP}. The V_{PP} power supply must be at 12.75V during the three programming modes, and must be at 5V in the other three modes. The V_{CC} power supply must be at 6.25V during the three programming modes, and at 5V in the other three modes.

Read Mode

The EPROM has two control functions, both of which must be logically active in order to obtain data at the outputs. Chip Enable (CE/PGM) is the power control and should be used for device selection. Output Enable (OE) is the output control and should be used to gate data to the output pins, independent of device selection. Assuming that addresses are stable, address access time (t_{ACC}) is equal to the delay from CE to output (t_{CE}). Data is available at the outputs t_{CE} after the falling edge of OE, assuming that CE/PGM has been low and addresses have been stable for at least $t_{ACC}-t_{OE}$.

Standby Mode

The EPROM has a standby mode which reduces the active power dissipation by over 99%, from 385 mW to 0.55 mW. The EPROM is placed in the standby mode by applying a CMOS high signal to the CE/PGM input. When in standby mode, the outputs are in a high impedance state, independent of the OE input.

Output Disable

The EPROM is placed in output disable by applying a TTL high signal to the OE input. When in output disable all circuitry is enabled, except the outputs are in a high impedance state (TRI-STATE).

Output OR-Typing

Because the EPROM is usually used in larger memory arrays, National has provided a 2-line control function that accommodates this use of multiple memory connections. The 2-line control function allows for:

a) the lowest possible memory power dissipation, and

b) complete assurance that output bus contention will not occur.

To most efficiently use these two control lines, it is recommended that CE/PGM be decoded and used as the primary device selecting function, while OE be made a common connection to all devices in the array and connected to the READ line from the system control bus. This assures that all deselected memory devices are in their low power standby modes and that the output pins are active only when data is desired from a particular memory device.

Programming

CAUTION: Exceeding 14V on pin 1 (V_{PP}) will damage the EPROM.

Initially, and after each erasure, all bits of the EPROM are in the "1's" state. Data is introduced by selectively programming "0's" into the desired bit locations. Although only "0's" will be programmed, both "1's" and "0's" can be presented in the data word. The only way to change a "0" to a "1" is by ultraviolet light erasure.

The EPROM is in the programming mode when the V_{PP} power supply is at 12.75V and OE is at V_{IH}. It is required that at least a 0.1 µF capacitor be placed across V_{PP}, V_{CC} to ground to suppress spurious voltage transients which may damage the device. The data to be programmed is applied 8 bits in parallel to the data output pins. The levels required for the address and data inputs are TTL.

When the address and data are stable, an active low, TTL program pulse is applied to the CE/PGM input. A program pulse must be applied at each address location to be programmed. The EPROM is programmed with the Fast Programming Algorithm shown in *Figure 1*. Each Address is programmed with a series of 100 µs pulses until it verifies good, up to a maximum of 25 pulses. Most memory cells will program with a single 100 µs pulse.

The EPROM must not be programmed with a DC signal applied to the CE/PGM input.

Programming multiple EPROM in parallel with the same data can be easily accomplished due to the simplicity of the programming requirments. Like inputs of the parallel EPROM may be connected together when they are programmed with the same data. A low level TTL pulse applied to the CE/PGM input programs the paralleled EPROM.

Program Inhibit

Programming multiple EPROMs in parallel with different data is also easily accomplished. Except for CE/PGM, all like inputs (including OE) of the parallel EPROMs may be common. A TTL low level program pulse applied to an EPROM's CE/PGM input with Vpp at 12.75V will program that EPROM. A TTL high level CE/PGM input inhibits the other EPROMs from being programmed.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Functional Description (Continued)

Program Verify

A verify should be performed on the programmed bits to determine whether they were correctly programmed. The verify may be performed with V_{PP} at 12.75V. V_{PP} must be at V_{CC} except during programming and program verify.

AFTER PROGRAMMING

Opaque labels should be placed over the EPROM window to prevent unintentional erasure. Covering the window will also prevent temporary functional failure due to the generation of photo currents.

MANUFACTURER'S IDENTIFICATION CODE

The EPROM has a manufacturer's identification code to aid in programming. When the device is inserted in an EPROM programmer socket, the programmer reads the code and then automatically calls up the specific programming algorithm for the part. This automatic programming control is only possible with programmers which have the capability of reading the code.

The Manufacturer's Identification code, shown in Table II, specifically identifies the manufacturer and device type. The code for NM27C256 is "8F04", where "8F" designates that it is made by National Semiconductor, and "04" designates a 256K part.

The code is accessed by applying 12V ±0.5V to address pin A9. Addresses A1–A8, A10–A16, and all control pins are held at V_{IL}. Address pin A0 is held at V_{IL} for the manufacturer's code, and held at V_{IH} for the device code. The code is read on the eight data pins, O_0–O_7. Proper code access is only guaranteed at 25°C to ±5°C.

ERASURE CHARACTERISTICS

The erasure characteristics of the device are such that erasure begins to occur when exposed to light with wavelengths shorter than approximately 4000 Angstroms (Å). It should be noted that sunlight and certain types of fluorescent lamps have wavelengths in the 3000Å–4000Å range.

The recommended erasure procedure for the EPROM is exposure to short wave ultraviolet light which has a wavelength of 2537Å. The integrated dose (i.e., UV intensity × exposure time) for erasure should be a minimum of 15W-sec/cm^2.

The EPROM should be placed within 1 inch of the lamp tubes during erasure. Some lamps have a filter on their tubes which should be removed before erasure. Table III shows the minimum EPROM erasure time for various light intensities.

An erasure system should be calibrated periodically. The distance from lamp to device should be maintained at one inch. The erasure time increases as the square of the distance from the lamp (if distance is doubled the erasure time increases by factor of 4). Lamps lose intensity as they age. When a lamp is changed, the distance has changed, or the lamp has aged, the system should be checked to make certain full erasure is occurring. Incomplete erasure will cause symptoms that can be misleading. Programmers, components, and even system designs have been erroneously suspected when incomplete erasure was the problem.

SYSTEM CONSIDERATION

The power switching characteristics of EPROMs require careful decoupling of the devices. The supply current, I_{CC}, has three segments that are of interest to the system designer: the standby current level, the active current level, and the transient current peaks that are produced by voltage transitions on input pins. The magnitude of these transient current peaks is dependent of the output capacitance loading of the device. The associated V_{CC} transient voltage peaks can be suppressed by properly selected decoupling capacitors. It is recommended that at least a 0.1 µF ceramic capacitor be used on every device between V_{CC} and GND. This should be a high frequency capacitor of low inherent inductance. In addition, at least a 4.7 µF bulk electrolytic capacitor should be used between V_{CC} and GND for each eight devices. The bulk capacitor should be located near where the power supply is connected to the array. The purpose of the bulk capacitor is to overcome the voltage drop caused by the inductive effects of the PC board traces.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้