สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

เครื่องเข้ารหัสและถอดรหัสแบบ เดลต้า/ซีวีเอสดี

Delta/CVSD Encoder & Deocoder

T 046458

นายรณชิต กลมเกลี้ยง

นายสรพงษ์ จำปาหอม

เลขหมู่.....
เลขทะเบียน 46458
วัน, เดือน, ปี - 2 เม.ย. 2546

.b.....
.i.....

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาอุตสาหกรรมศาสตรบัณฑิต

สาขาวิชาเทคโนโลยีโทรคมนาคม ภาควิชาวิศวกรรมสารสนเทศ

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2545

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เครื่องเข้ารหัสและถอดรหัสแบบ เดลต้า/ซีวีเอสดี

Delta/CVSD Encoder & Decoder

นายรณชิต กลมเกลี้ยง รหัส 43015883

นายสรพงษ์ จำปาหอม รหัส 43015895

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาอุตสาหกรรมศาสตรบัณฑิต

สาขาวิชาเทคโนโลยีโทรคมนาคม ภาควิชาวิศวกรรมสารสนเทศ

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2545

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อวิทยานิพนธ์	เครื่องเข้ารหัสและถอดรหัสแบบ เคลต้า/ซีวีเอสดี
นักศึกษา	นายรณชิต กลมเกลี้ยง
	นายสรพงษ์ จำปาหอม
อาจารย์ผู้ควบคุมวิทยานิพนธ์	รศ.ดร. กนก เจนจิระพงศ์เวช
ระดับการศึกษา	ปริญญาอุตสาหกรรมศาสตรบัณฑิต
	สาขาเทคโนโลยีโทรคมนาคม
ภาควิชา	วิศวกรรมสารสนเทศ
ปีการศึกษา	2545

คณะวิศวกรรมศาสตร์สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง อนุมัติให้ปริญญานิพนธ์ฉบับนี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรอุตสาหกรรมศาสตรบัณฑิต

.....

(รศ.ดร. กนก เจนจิระพงศ์เวช)

อาจารย์ผู้ควบคุมวิทยานิพนธ์

ลิขสิทธิ์ของคณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อวิทยานิพนธ์	เครื่องเข้ารหัสและถอดรหัสแบบ เดลต้า/ซีวีเอสดี
นักศึกษา	นายรณชิต กลมเกลี้ยง
	นายสรพงษ์ จำปาหอม
อาจารย์ผู้ควบคุมวิทยานิพนธ์	รศ.ดร. กนก เจนจิระพงศ์เวช
ระดับการศึกษา	ปริญญาอุตสาหกรรมศาสตรบัณฑิต
	สาขาเทคโนโลยีโทรคมนาคม
ภาควิชา	วิศวกรรมสารสนเทศ
ปีการศึกษา	2545

บทคัดย่อ

ปริญญานิพนธ์นี้เป็นการศึกษา ทฤษฎีการมอดดูเลชั่นในรูปแบบของ เดลต้ามอดดูเลชั่น (Delta Modulation) แต่ข้อเสียของเดลต้ามอดนั้นมีข้อเสียในเรื่องของการ โอเวอร์โหลดทางความชัน (Slope Overload) และการรบกวนแบบเม็ด (Granular Noise) ปัญหาทั้งสองข้อนี้เกิดเนื่องจากระบบของเดลต้ามอดมีการตอบสนองต่อสัญญาณอินพุตที่ต่ำและคงที่สามารถแก้ปัญหาโดยใช้เดลต้ามอดที่มีการเปลี่ยนแปลงและปรับค่าตามสัญญาณอินพุตที่เข้ามา ซึ่งจะเป็นไปโดยอัตโนมัติอย่างต่อเนื่อง ซึ่งระบบนี้เรียกว่า Delta/CVSD (Continuous Variable Slope Delta Modulation)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Thesis.	Delta/CVSD Encoder & Decoder
Student.	Mr.Ronnachit Klomklang
	Mr.Sorraphong Champahorm
Advisor.	Assoc. Prof. Knok Janchitrapongvri
Department.	Information Engineering
Academic Year.	2002

Abstract

This project describes the Delta Modulation. In general, the incurred problem in Delta Modulation has two types of distortion, first is the granular noise and latter is the slope overload distortion. There distortions is the slope overload distortion. There distortions can be solved by using continuous Variable Slope Delta Modulation (herein after in called CVSD). CVSD systems changes the size of the quantization interval by changing the slope of the ramp in the integrated signal and automatically adjust quantization gain by loop circuity.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ปริญญานิพนธ์ฉบับนี้สำเร็จลุล่วงได้ด้วยดีเป็นผลเนื่องมาจากความร่วมมือกันของสมาชิกภายในกลุ่ม ซึ่งให้ความช่วยเหลือซึ่งกันและกันตลอดระยะเวลาที่ทำโครงงานนี้ โดยได้รับการสนับสนุนจาก รศ. ดร. กนก เจนจิระพงศ์เวช และ ท่านอาจารย์อรลาภ แสงอรุณ ที่ได้ให้คำแนะนำและรายละเอียดเกี่ยวกับโครงงาน ตลอดจนเอื้อเฟื้อเครื่องมือและอุปกรณ์พร้อมทั้งห้องปฏิบัติการในการทำโครงงานนี้ จึงขอกราบขอบพระคุณไว้ ณ ที่นี้ด้วย

สุดท้ายนี้ขอกราบขอบพระคุณบิดา มารดาที่ได้ให้การสนับสนุนทั้งในด้านการศึกษา อีกทั้งยังสร้างขวัญกำลังใจด้วยดีเสมอมา

นายรณชิต กลมเกลี้ยง

นายสรพงษ์ จำปาหอม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

	หน้า
บทคัดย่อภาษาไทย	II
บทคัดย่อภาษาอังกฤษ	III
กิตติกรรมประกาศ	IV
สารบัญ	V
สารบัญภาพ	VII
สารบัญตาราง	IX
บทที่ 1 บทนำ	
-วัตถุประสงค์	1
-ขอบเขตของโครงงาน	1
-ขั้นตอนการดำเนินงาน	1
บทที่ 2 ทฤษฎีและหลักการ	
2.1 การอภิปราย	2
2.2 เดลต้า มอดดูเลชั่น ที่ปรับค่าได้ (Delta/ CVSD)	6
2.3 เดลต้ามอดูเลชั่น (Delta Modulation)	9
2.4 การเปรียบเทียบคุณสมบัติของการเข้ารหัสแบบต่าง ๆ	13
2.5 สเปคซิฟิเคชั่นของการแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอล	14
2.6 วงจรกรองความถี่ต่ำผ่าน (Low Pass Filter)	21
2.7 Comparator	26
2.8 วงจรอินติเกรเตอร์	27
บทที่ 3 หลักการออกแบบของภาคส่งและภาครับ	
3.1 แนวทางการออกแบบ	31
3.2 การจัดขาและหน้าที่ต่าง ๆ ของไอซี	34
3.3 การออกแบบการใช้งาน CVSD	36
3.4 การเลือกสัญญาณนาฬิกาและขนาดของชิฟรีจิสเตอร์	37
3.5 การเลือกค่าลูปเกน	37
3.6 การเลือกขนาดของ สเต็ปที่เล็กสุด (minimum step size)	40

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ (ต่อ)

	หน้า
3.7 การออกแบบและประยุกต์ใช้งาน CVSD	41
3.8 การออกแบบวงจรกำเนิดความถี่อ้างอิง	45
3.9 การออกแบบวงจรกรองความถี่ต่ำผ่าน (Lowpass Filter Design)	47
บทที่ 4 การทดลองและผลการทดลอง	
1. ทดลองปรับขนาดความชันของอินติเกรต	51
2. ทดลองป้อนสัญญาณอินพุต	53
3. ทดลองเปลี่ยนความถี่ Sampling	56
4. วัดสัญญาณที่จุด Test Point ภายในวงจร	59
บทที่ 5 สรุปและวิจารณ์การทดลอง	62
หนังสืออ้างอิง	63
ภาคผนวก	64
ภาคผนวก ก	
ภาคผนวก ข	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญภาพ

	หน้า
รูปที่ 2-1 การประเมินค่าความผิดเพี้ยนในเดลต้ามอดดูเลชั่น	2
รูปที่ 2-2 ความผิดเพี้ยนในการโอเวอร์โหลดทางความชัน	3
รูปที่ 2-3 (a) การตั้งค่า SLOPE ในการผิดเพี้ยนแบบ OVERLOAD	4
รูปที่ 2-3 (b) การตั้งค่า SLOPE ในการผิดเพี้ยนแบบ OVERLOAD	4
รูปที่ 2-4 (a) Clock frequency	5
รูปที่ 2-4 (b) ผลกระทบของสัญญาณ clock ในการโอเวอร์โหลดทางความชัน	5
รูปที่ 2-5 Block diagram ซีวีเอสดี Encoder	7
รูปที่ 2-6 การเปรียบเทียบสัญญาณ Delta กับ CVSD	8
รูปที่ 2-7 การเข้ารหัสสัญญาณในระบบ DM	9
รูปที่ 2-8 การเกิดโอเวอร์โหลดทางความชันในระบบ	10
รูปที่ 2-9 บล็อกไดอะแกรมของการเข้ารหัสและการถอดรหัสในระบบ	10
รูปที่ 2-10 ระบบเดลต้าโมดูเลชั้นภาคส่งและภาครับ	15
รูปที่ 2-11 รูปคลื่นของเดลต้าโมดูเลชัน	15
รูปที่ 2-12 เครื่องโมดูเลเตอร์เดลต้าแบบปรับกำลังขยายได้	16
รูปที่ 2-13 การวางตำแหน่งของโพลและซีโร่	23
รูปที่ 2-14 วงจรเปรียบเทียบสัญญาณ	27
รูปที่ 2-15 รูปแสดงวงจรอินติเกรเตอร์	28
รูปที่ 2-16 วงจรอินติเกรเตอร์ที่ใช้งานจริงในทางปฏิบัติ	29
รูปที่ 3-1 บล็อกแผนผังการทำงานของซีวิเอสในการแปลงสัญญาณ จากอนาล็อกเป็นดิจิตอล	32
รูปที่ 3-2 บล็อกแผนผังการทำงานของ CVSD ในการแปลงสัญญาณ จากดิจิตอลเป็นอนาล็อก	32
รูปที่ 3-3 วงจรพื้นฐาน	38
รูปที่ 3-4 วงจรพื้นฐาน	38
รูปที่ 3-5 วงจรการออกแบบทางด้านภาคส่งของ CVSD	44
รูปที่ 3-6 วงจรการออกแบบทางด้านภาครับของ CVSD	44

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญภาพ (ต่อ)

หน้า

รูปที่ 3-7 วงจรกำเนิดความถี่อ้างอิง 46

รูปที่ 3-8 วงจรกรองความถี่ต่ำผ่านแบบบัตเตอร์เวิร์ธ ออเดอร์2 47

รูปที่ 3-9 วงจรกรองความถี่ต่ำผ่านแบบ บัตเตอร์เวิร์ธ ออเดอร์4 47

รูปที่ 3-10 กราฟผลการตอบสนองทางความถี่ของวงจรกรองความถี่ต่ำ
แบบบัตเตอร์เวิร์ธออเดอร์ 4 49

รูปที่ 4-1 ตำแหน่งของจุดวัดภายในวงจรของภาคส่ง 50

รูปที่ 4-2 ตำแหน่งของจุดวัดภายในวงจรของภาครับ 51

รูปที่ 4-3 การวัดค่าความชันที่ 1 52

รูปที่ 4-4 การวัดค่าความชันที่ 2 52

รูปที่ 4-5 การวัดค่าความชันที่ 3 53

รูปที่ 4-6 เมื่อความถี่อินพุตเท่ากับ 500 Hz 54

รูปที่ 4-7 เมื่อความถี่อินพุตเท่ากับ 1 KHz 54

รูปที่ 4-8 เมื่อความถี่อินพุตเท่ากับ 2 KHz 55

รูปที่ 4-9 เมื่อความถี่อินพุตเท่ากับ 4 KHz 55

รูปที่ 4-10 เมื่อความถี่อินพุตเท่าที่ทำให้เกิด Slope Overload 56

รูปที่ 4-11 ลด Overload โดยเพิ่ม Sampling เท่ากับ 32 KHz 57

รูปที่ 4-12 ลด Overload โดยเพิ่ม Sampling เท่ากับ 64 KHz 57

รูปที่ 4-13 ลด Overload โดยเพิ่ม Sampling เท่ากับ 128 KHz 58

รูปที่ 4-14 ลด Overload โดยเพิ่ม Sampling เท่ากับ 256 KHz 58

รูปที่ 4-15 เปรียบเทียบอินพุตกับอินติเกรตของการเกิดโอเวอร์โหลดทางความชัน 59

รูปที่ 4-16 การเกิด High Slope Overload 59

รูปที่ 4-17 สัญญาณที่ภาครับ 60

รูปที่ 4-18 สัญญาณ CVSD และ Slope control 60

รูปที่ 4-19 สัญญาณนาฬิกาและสัญญาณ Slope detecter 61

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

หน้า

ตารางที่ 2-1 คุณสมบัติของการเข้ารหัสแบบต่าง ๆ 13

ตารางที่ 3-1 ผลการตอบสนองทางความถี่ของวงจรกรองความถี่ต่ำ
แบบบัตเตอร์เวิร์ธออเดอร์ 4 48

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

บทนำ

ซีวีเอสดี หรือ Continuosly Variable Slope Delta Modulation เป็นอีกรูปแบบหนึ่งของเดลต้า มอดดูเลชั่น (DM) ที่มีคุณลักษณะที่ดีกว่าเดลต้าในแบบธรรมดาที่มีค่าการตอบสนองต่ำและคงที่ระบบซีวีเอสดี (CVSD) ได้ถูกพัฒนาเพื่อให้วงจรมีการตอบสนองทันต่อเหตุการณ์ของอินพุตที่ถูกป้อนเข้ามาอยู่ตลอดเวลาซึ่งจะกำจัดการเกิดโอเวอร์โหลดทางความชัน (Slope Overload) และการเกิดสัญญาณแบบเม็ด (Granular noise) ให้มีค่าน้อยลงกว่าระบบเดลต้าในแบบธรรมดาโดยอาศัยเอาท์พุตส่วนหนึ่งป้อนกลับเข้าสู่ส่วนควบคุมการปรับค่าเกณฑ์ของวงจรก่อนนำสัญญาณที่ได้จากส่วนควบคุมไปเปรียบเทียบกับอินพุตที่ถูกป้อนเข้ามาอยู่ตลอดเวลา

วัตถุประสงค์

1. ศึกษาและค้นคว้าทฤษฎีของระบบเดลต้า/ซีวีเอสดี
2. ออกแบบสร้างชุดฝึกสำหรับการทดลองในห้องปฏิบัติการ

ขอบเขตของโครงงาน

ทำเครื่องส่ง เครื่องรับในแบบของ เดลต้า/ซีวีเอสดี ให้สามารถนำไปใช้เป็นชุดฝึกในห้องปฏิบัติการ ให้สามารถทดลองวัดค่าให้เห็นรูปคลื่นของสัญญาณและการทำงานของวงจรได้จริง

ขั้นตอนการดำเนินงาน

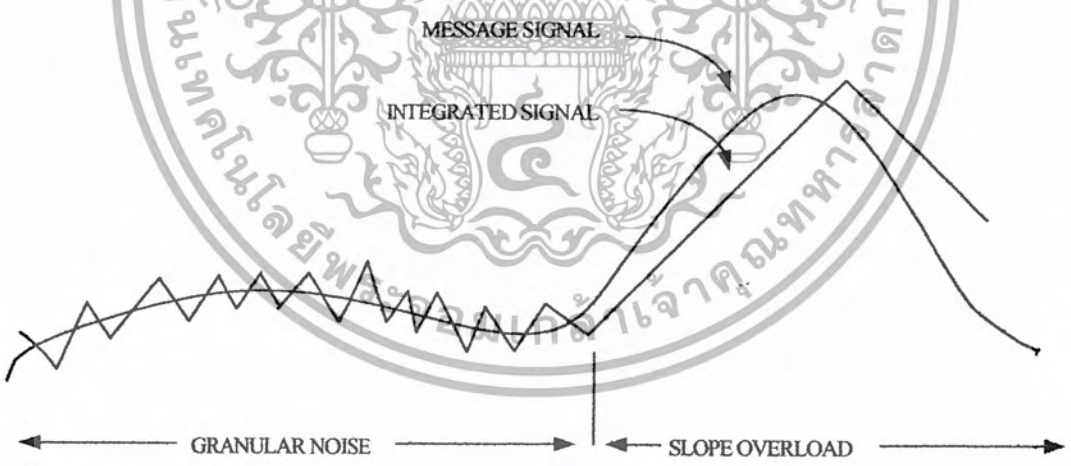
1. ศึกษาทฤษฎีค้นคว้าหาข้อมูล
2. ออกแบบวงจร
3. ประกอบวงจรและทดลองวัดค่าผลการทดลอง
4. สรุปผลที่ได้เปรียบเทียบกับทฤษฎี
5. แก้ไขปรับปรุง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
ทฤษฎีและหลักการ

2.1 การอภิปราย

การโอเวอร์โหลดทางความชัน (Slope Overeload) การประเมินค่าความผิดเพี้ยนในระบบเดลต้ามอดดูเลชั่นที่ไม่เรียบมี 2 ประเภท สำหรับความผิดเพี้ยน คือ สัญญาณรบกวนแบบเม็ด (Granular noise) และการโอเวอร์โหลดทางความชัน (Slope Overload) สัญญาณรบกวนแบบเม็ดสามารถลดค่าลงโดยการตั้งค่าความชันให้ต่ำลง เพื่อวิเคราะห์ช่วงห่างเล็ก ๆ ในการผลิต การวิเคราะห์การรวมตัวกันในช่วงห่างของสัญญาณได้ดีกว่าการเปลี่ยนแปลงในสัญญาณข่าวสารแสดงสัญญาณรบกวนแบบเม็ดตามรูป 2-1

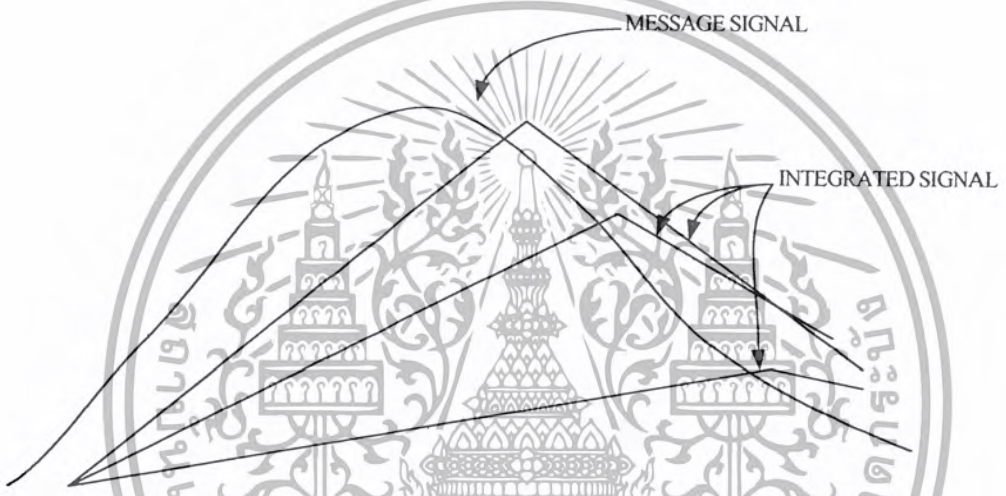


รูปที่ 2-1 การประเมินค่าความผิดเพี้ยนในเดลต้ามอดดูเลชั่น

ความผิดเพี้ยนจากการโอเวอร์โหลดทางความชัน ที่แสดงในรูป 2-1 มันจะเกิดขึ้นเมื่อความชันของสัญญาณข่าวสารมากกว่าความชันที่ลาดเอียงในการรวมสัญญาณดังนั้นสัญญาณที่รวมตัวกันจะอ่อนตัวลงกว่าสัญญาณข่าวสารสัญญาณที่รวมตัวกันไม่สามารถจับตัวกับสัญญาณข่าวสาร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

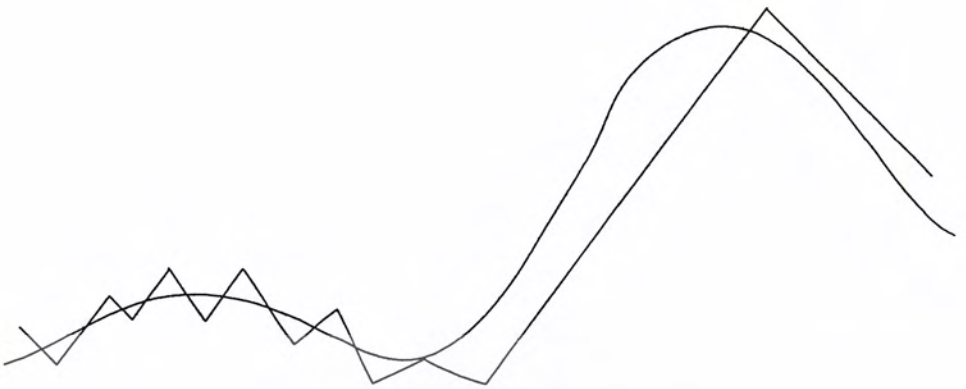
จนกระทั่งความชันเปลี่ยนแปลงอย่างรวดเร็ว โดยสัญญาณข่าวสารจะลดลงโดยในรูป 2-2 แสดงสัญญาณข่าวสาร และการรวมสัญญาณที่แตกต่างกัน 3 สัญญาณ โดยสัญญาณทั้ง 3 ทนต่อการโอเวอร์โหลดทางความชัน ในการสร้างสัญญาณข่าวสารใหม่, สัญญาณที่กรองได้จากการรวมตัวกันจะมีรูปแบบที่ไม่แน่นอนเหมือนสัญญาณเดิมแอมปลิจูดของสัญญาณที่สร้างใหม่จะน้อยกว่าแอมปลิจูดของสัญญาณข่าวสาร และเฟสของสัญญาณที่สร้างใหม่จะอ่อนลงกว่าเฟสของสัญญาณข่าวสาร



รูปที่ 2-2 ความผิดเพี้ยนในการโอเวอร์โหลดทางความชัน

ความผิดเพี้ยนจากการโอเวอร์โหลดทางความลาดชันสามารถทำให้น้อยลงโดยการเปลี่ยนขนาดของความห่างมี 2 วิธีที่ใช้ในการเปลี่ยนแปลงช่วงห่างในระบบเดลต้ามอดดูเลชั่น โดยการเพิ่มอัตราขยายอินติเกรเตอร์หรือการเพิ่มความถี่ของสัญญาณนาฬิกาในการเพิ่มอัตราขยายของวงจรอินติเกรเตอร์ให้แน่นอน โดยการตั้งค่าความชัน ตั้งค่าอัตราการขยาย อินติเกรเตอร์ให้น้อยสุด และให้ความลาดเอียงในการรวมสัญญาณน้อยสุด อธิบายได้ดังรูป 2-3 (a) ในการตั้งความลาดเอียงต้องมีความสัมพันธ์กันต่ำ และผลลัพธ์ที่ได้จากการโอเวอร์โหลดทางความชันต้องแยกออกจากกันโดยสมบูรณ์ สัญญาณที่รวมตัวกันจะไม่สามารถรักษาความเร็วเมื่อมีสัญญาณข่าวสารเพิ่มขึ้น เมื่อตั้งค่าความชันความลาดเอียงจะเพิ่มขึ้นดังแสดงในรูป 2-3 (b) การรวมตัวกันของสัญญาณจะจับตัวกันเมื่อสัญญาณข่าวสารเปลี่ยนแปลงอย่งรวดเร็ว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



a) Low SLOPE setting

รูปที่ 2-3 (a) การตั้งค่า SLOPE ในการผิดเพี้ยนแบบ OVERLOAD

b) Hight SLOPE setting

รูปที่ 2-3 (b) การตั้งค่า SLOPE ในการผิดเพี้ยนแบบ OVERLOAD

สัญญาณรบกวนแบบเม็ดการโอเวอร์โหลดทางความชันสามารถทำให้ลดลงได้โดยการเพิ่มความถี่ของสัญญาณนาพิกาโดยแสดงดังรูป 2-4 เป็นการเพิ่มสัญญาณนาพิกาโดยไม่ต้องปรับเปลี่ยนการตั้งค่าสโลปการโอเวอร์โหลดทางความชัน จะเกิดขึ้นเมื่อความชันของสัญญาณข่าวสารมีการเปลี่ยนแปลงค่าสูงกว่าความชันของสัญญาณที่รวมตัวกันเมื่อความถี่ของสัญญาณปฏิกริยาโต้ตอบในแอมปลิจูดของสัญญาณข่าวสารมากกว่าก่อนหน้านี้นี้เป็นการยินยอมให้สัญญาณที่รวมตัวกันสามารถรักษาสัญญาณข่าวสารไว้ ดังแสดงในรูป 2-4 (b)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 2-4 (a) Clock frequency

รูปที่ 2-4 (b) ผลกระทบของสัญญาณ clock ในการโอเวอร์โหลดทางความชัน

โดยจะสรุปได้ว่า ทั้งสัญญาณรบกวนแบบเม็ดและการโอเวอร์โหลดทางความชันสามารถทำให้น้อยลงได้โดย การเพิ่มความถี่ของสัญญาณนาฬิกา อย่างไรก็ตามสัญญาณแบบเม็ดสามารถทำให้ลดลงได้ โดยการเปลี่ยนแปลงขนาดของความห่าง ในทางตรงกันข้ามการโอเวอร์โหลดทางความชัน สามารถทำให้ลดลงได้โดยการเพิ่มความห่างเห็นได้ง่าย ๆ เมื่อเราออกแบบเคลต้ามอดดูเลชั่นแบบเชิงเส้น เราจะต้องยอมให้มีความห่างเกิดขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วิธีการหนึ่งในการเลือกความถี่นาฬิกา และการเปลี่ยนแปลงขนาดของความห่าง ที่ใช้ในระบบ LDM เป็นการทำให้ความถี่นาฬิกาสิ้นสุดลง ซึ่งถ้าจะให้ได้ผลต้องแน่ใจว่าอัตราส่วนของสัญญาณต่อสัญญาณเม็ดและการเปลี่ยนแปลงความห่างของภาคส่งต้องแน่ใจ โดยในการเข้ารหัสจะใช้ความถี่สัญญาณไซน์เวฟที่ 800 H_z ซึ่งเป็นความชันแอมปลิจูดสูงสุดของไซน์เวฟ ซึ่งมีค่าเท่ากันกับภาคปรีฟิลเตอร์

2.2 เดลต้า มอดดูเลชั่น ที่ปรับค่าได้ (Delta/ CVSD)

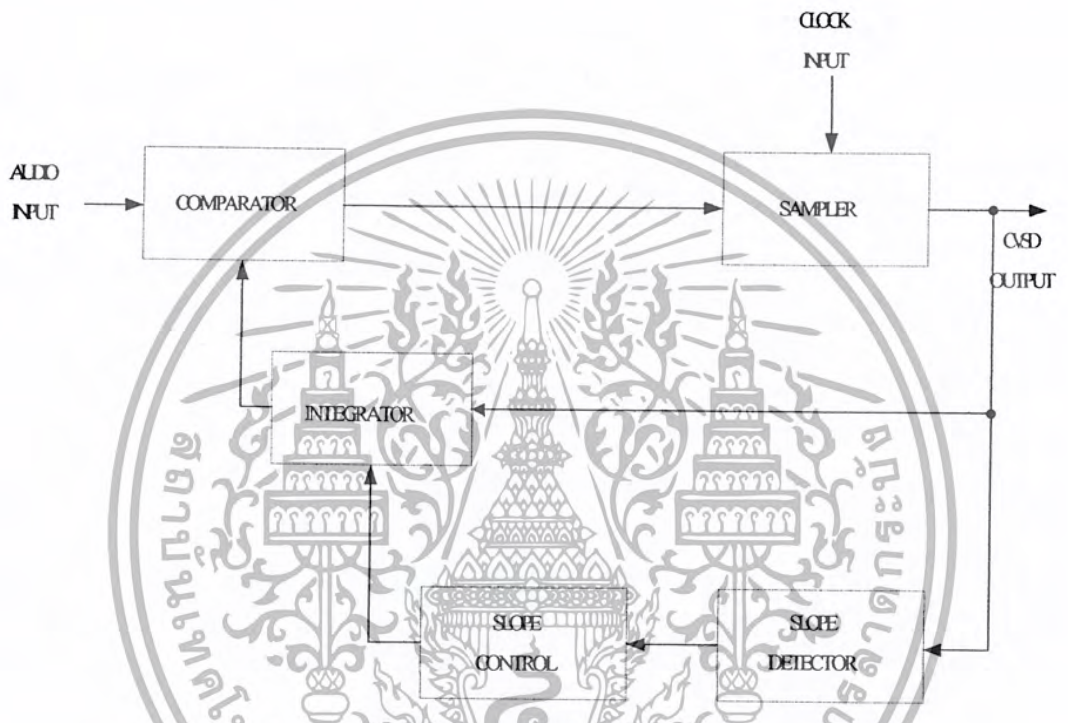
ระบบเดลต้ามอดดูเลชั่นซึ่งเป็นเส้นตรงจะมีผลต่อสัญญาณรบกวนแบบเม็ดและการโอเวอร์โหลดทางความชันผิดเพี้ยนได้ ถ้าความชันมีความเอียงลดลงในการรวมสัญญาณ สัญญาณรบกวนแบบเม็ดจะลดลง แต่ความผิดเพี้ยนจากการโอเวอร์โหลดทางความชันจะเพิ่มขึ้น ถ้าความชันมีการเอียงเพิ่มขึ้นในการรวมสัญญาณ การโอเวอร์โหลดทางความชันจะผิดเพี้ยนน้อยลงแต่สัญญาณรบกวนแบบเม็ดจะเพิ่มขึ้น ซึ่งการปรับตัวทางเดลต้ามอดดูเลชั่น จะมีเทคนิคที่พยายามจะแก้ปัญหาความชัน โดยการปรับขนาดของความห่างให้สอดคล้องกับการเปลี่ยนแปลงในสัญญาณข่าวสาร

การเปลี่ยนแปลงอีกชนิดหนึ่ง ที่เรียกว่า ระบบเดลต้ามอดดูเลชั่นแบบเปลี่ยนแปลงความชันต่อเนื่อง ซีวีเอสดี (Continous Variable Slope Delta Modulation) เป็นระบบหนึ่งที่สามารถพบเห็นการเริ่มต้นการโอเวอร์โหลดทางความชัน และการลดขนาดลงอย่างอัตโนมัติของค่าความห่าง โดยปกติเรามักจะทำให้เปลี่ยนแปลงความห่างลดลงอย่างช้า ๆ ซึ่งมันจะไปขัดขวางกลายเป็นเปลี่ยนแปลงใหญ่และมากเกินไป และทำให้สัญญาณรบกวนแบบเม็ดลดลง

บล็อกไดอะแกรมที่แสดงในรูป 2-5 เป็นภาคเข้ารหัสและถอดรหัสของซีวีเอสดีในระบบซีวีเอสดีเหมือนกับระบบเดลต้ามอดดูเลชั่นกับการเพิ่มวงจรอิเล็กทรอนิกส์เพื่อตรวจการเริ่มโอเวอร์โหลดทางความชัน และเป็นการปรับการประเมินค่าความห่างโดยอัตโนมัติ ตามที่ได้กล่าวไว้ข้างต้น ระบบ ซีวีเอสดี สามารถขนาดการประเมินค่าความห่าง โดยการเปลี่ยนความเอียงของความชันในการรวมสัญญาณในระบบ ซีวีเอสดี การเริ่มต้นโอเวอร์โหลดทางความชัน เป็นการตรวจหาโดยภาคถอดรหัสความชัน(สโลปดีเทคเตอร์)ได้แสดงในหน้าจอดิจิตอลส่วนสัญญาณซีวีเอสดี
เอาท์พุต
มองเห็นต่อเนื่องกัน 3 ลูกคลื่น 1'S หรือ O'S ซึ่งอาจจะเป็นการบอกให้รู้ว่าการโอเวอร์โหลดทางความชันจะปรากฏขึ้น(ระบบซีวีเอสดีกับสัญญาณนาฬิกาความถี่สูงบ่อยครั้งที่อาจเกิดต่อเนื่องกัน 4 ลูกคลื่น 1'S OR O'S)เมื่อสโลปดีเทคเตอร์ได้ตรวจเลือกหนึ่งลูกที่เรียงตัวกันเป็นแถวมันจะส่งสัญญาณไปจะ สโลปดอนโทรล เพื่อไปเพิ่มอัตราขยายไปยัง อินติเกรเตอร์ ดังนั้นจึงต้องเพิ่มขนาดของความห่าง สโลปดีเทคเตอร์รักษาสัญญาณโดยการเพิ่มขนาดของความห่างใน อินติเกรเตอร์กระ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทั้งเราพบเห็นการเปลี่ยนแปลงในสัญญาณ ซีวีเอสเอาท์พุต ในการป้องกันการเปลี่ยนค่าระหว่างช่องว่างที่มีการเปลี่ยนแปลงมากเกินความจำเป็น โดยทั่วๆไป สัญญาณในสโลปดีเทคเตอร์และสโลปคอนโทรลจะลดลงเมื่อเพิ่มการขยายของอินติเกรเตอร์ จนกระทั่งมันตรวจหาสามลูกคลื่นใน 1'S OR O'S ในหนึ่งแถว

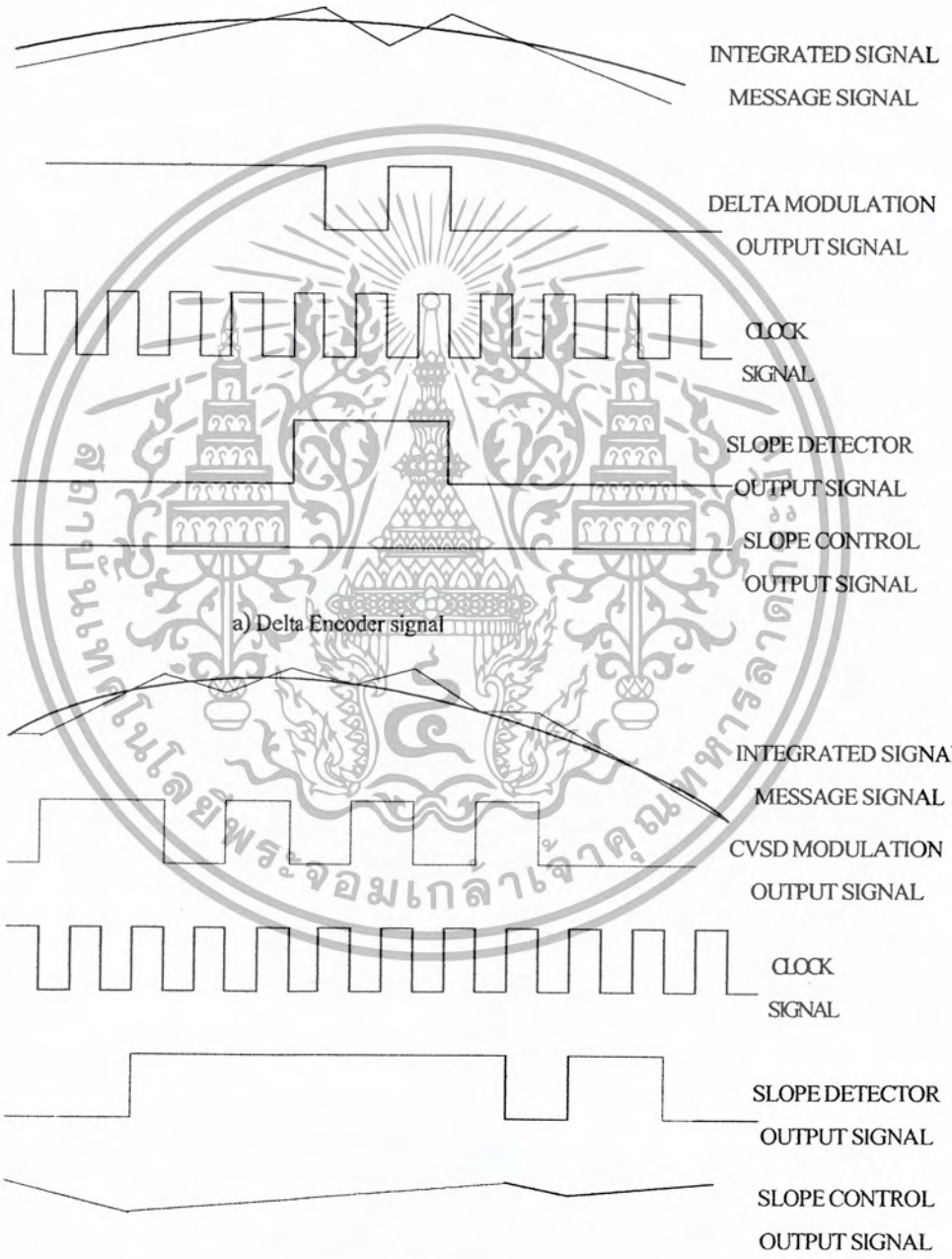


รูปที่ 2-5 บล็อกไดอะแกรม ซีวีเอสดี ENCODE

รูปที่แสดงในรูป 2-6 เป็นการแสดงความสัมพันธ์ที่ต่างกันระหว่างสัญญาณเข้ารหัสเดลต้าและเข้ารหัสซีวีเอสดีที่เหมือนกับสัญญาณข่าวสาร (ยกเว้นสัญญาณคอมพาเรเตอร์ทางด้านขาออก) ในสัญญาณขาออกของ สโลปดีเทคเตอร์โดยปกติคือ 5 V อย่างไรก็ตามเมื่อสโลปดีเทคเตอร์ ที่พบเห็นกันมีลูกคลื่นต่อเนื่องกันสามลูกคลื่นเป็น 1OR O มันจะยังคงเป็น OV จนกระทั่งมันตรวจพบการเปลี่ยนแปลงในสัญญาณ เดลต้า/ซีวีเอสดี มอดดูเลชั่น ในรูป 2-6 เราสามารถเห็นฟังก์ชั่น สโลปดีเทคเตอร์ในการมอดเดลต้าและซีวีเอสดี อย่างไรก็ตามในการมอดเดลต้าสโลปดีเทคเตอร์ไม่สามารถเชื่อมต่อกับสโลปคอนโทรลได้ดังนั้นสัญญาณขาออกจะไม่เปลี่ยน ในการมอดซีวีเอสดีสัญญาณขาออกของ สโลปดีเทคเตอร์จะเชื่อมต่อกับ สโลปคอนโทรลได้ตรวจสอบความเป็นไปได้ในการเริ่มต้นของการโอเวอร์โหลดทางความชันสัญญาณขาออกจะเป็นศูนย์โวลท์นี้เป็นสาเหตุที่ทำให้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณเอาท์พุตของสโลปดอนโทรลเปลี่ยนทิศทางในค่าความชันทางด้านลบ สโลปดอนโทรล สัญญาณจะเพิ่มขึ้นใน อินติเกรเตอร์ และความชันทางด้านบวกจะมีการขยายลดลงใน อินติเกรเตอร์ โดยเปรียบการรวมระหว่างสองสัญญาณ เราสามารถเห็นในภาคเข้ารหัส ซีวีเอสดี จะมีการเคลื่อนตัวของการโอเวอร์โหลดทางความชันที่พบในภาคเข้ารหัส เดลต้า

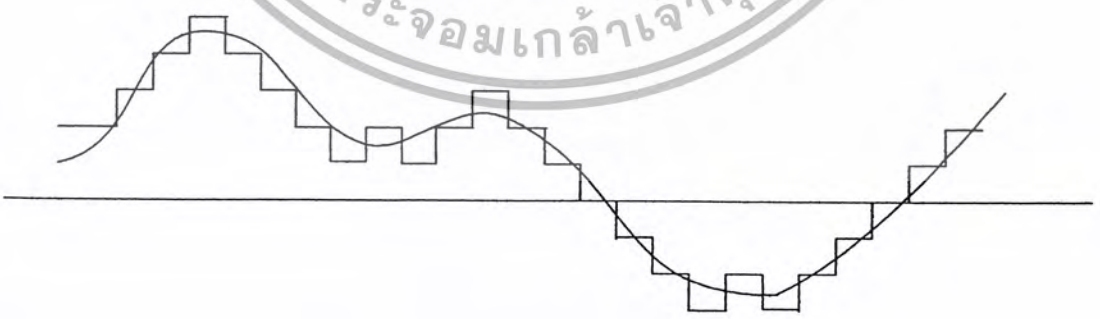


รูปที่ 2-6 แสดงการเปรียบเทียบสัญญาณ Delta กับ CVSD

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

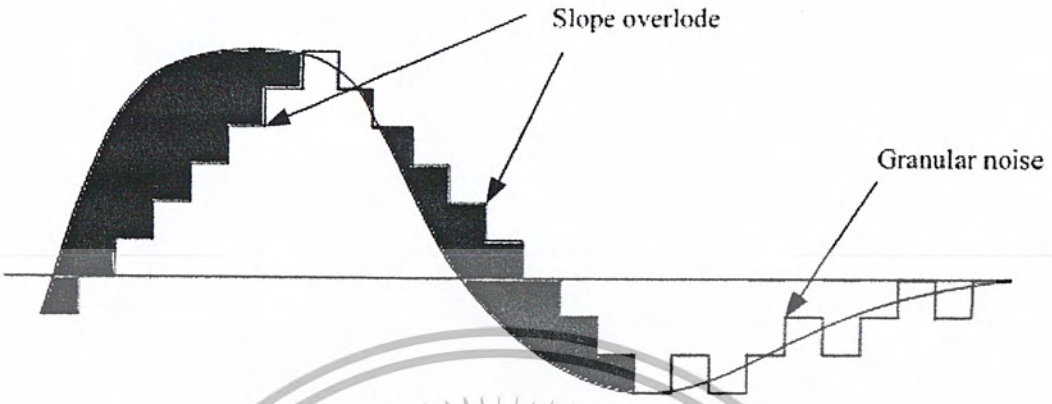
2.3 เดลต้ามอดูเลชั่น (Delta Modulation)

เดลต้ามอดูเลชั่นหรือ DM เป็นวิธีมอดูเลตสัญญาณอนาล็อก โดยแปลงสัญญาณให้อยู่ในรูปของสัญญาณดิจิตอลเช่นเดียวกัน DM ก็อาศัยลักษณะสัญญาณอนาล็อกที่ถูกสุ่มตัวอย่างมีข่าวสารที่ซ้ำซ้อนกันอยู่ เช่นเดียวกับ DPCM แต่วิธีการของ DM นั้นค่อนข้างจะแตกต่างกันมากเมื่อเปรียบเทียบกับ DPCM กล่าวคือ DM นั้นจะใช้สัญญาณไบนารีเพียง 1 บิต ในการระบุการเปลี่ยนแปลงระดับของสัญญาณสุ่มตัวอย่าง รูปที่ 2-7 แสดงลักษณะของการติดตาม สัญญาณในระบบ DM นี้ ในรูปแสดงกรณีที่ขึ้นของการควอนไตซ์สอดคล้องกับการเปลี่ยนแปลงของสัญญาณมาก ในกรณีที่การเปลี่ยนแปลงของสัญญาณมีความชันสูงกว่าขั้นของการควอนไตซ์ ก็จะเกิดสภาพที่เข้าการรหัสไม่สามารถติดตามการเปลี่ยนแปลงของระดับสัญญาณได้ ซึ่งเรียกสภาพดังกล่าวว่าเกิดการโอเวอร์โหลดทางความชัน (Slope overload) รูปที่ 2-8 แสดงสภาพดังกล่าวนี้ รูปที่ 2-9 แสดงบล็อกไดอะแกรมของชุดเข้ารหัส และชุดถอดรหัสของระบบ DM นี้ ซึ่งจะเห็นได้ว่าเป็นระบบที่ค่อนข้างง่าย การทำงานก็จะเป็นดังนี้คือ สัญญาณที่เข้ามาจะถูกเปรียบเทียบกับสัญญาณขาออกจากชุดเข้ารหัสก็จะเป็น “1” ถ้าสัญญาณที่เข้ามาต่ำกว่าเดิม สัญญาณขาออกจากชุดเข้ารหัสก็จะเป็น “0” สำหรับชุดถอดรหัสทางภาครับก็นำสัญญาณดิจิตอลที่รับเข้ามาได้ ไปให้กำเนิดสัญญาณพัลส์ที่เป็นบวกหรือเป็นลบตามรหัสที่รับเข้ามา เสร็จแล้วก็อินติเกรตสัญญาณพัลส์นั้นไปเรื่อย ๆ และเมื่อผ่านวงจรฟิลเตอร์ผ่านความถี่ต่ำแล้ว สัญญาณที่อยู่ในรูปขั้นบันไดก็จะราบเรียบขึ้นและเข้าใกล้สัญญาณอนาล็อกเดิม

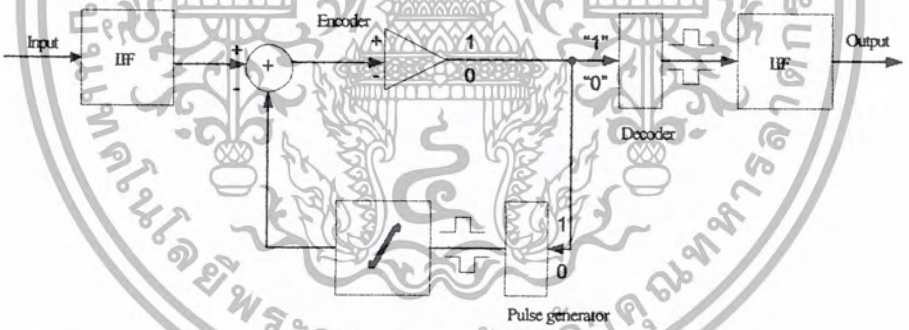


รูปที่ 2-7 การเข้ารหัสสัญญาณในระบบ DM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2-8 การเกิดโอเวอร์โหลดทางความชันในระบบ



รูปที่ 2-9 บล็อกไดอะแกรมของการเข้ารหัสและการถอดรหัสในระบบ

จากรูปที่ 2-8 จะเห็นได้ว่า สัญญาณรบกวนที่เกิดขึ้นได้ในระบบ DM นั้นมี 2 แบบด้วยกัน คือ สัญญาณรบกวนแบบเม็ด (granular noise) และสัญญาณรบกวนจากการเกิดโอเวอร์โหลดทางความชัน อันที่จริงการเกิดโอเวอร์โหลดทางความชันนั้น จะเกิดขึ้นเฉพาะอัตราการเปลี่ยนแปลงของสัญญาณ ตามเวลาสูงกว่าผลคูณของความถี่ของการสุ่มตัวอย่างกับขั้นของการควอนไตซ์ หรือ

$$\left|\frac{dx(t)}{dt}\right| \geq q * f_s \qquad (2\text{-}1)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เพราะฉะนั้น เราจะสามารถลดขนาดของสัญญาณรบกวนจากการเกิดโอเวอร์โหลดทางความชันโดยการเพิ่ม f_s หรือใช้ค่า q ที่ใหญ่ขึ้น ค่า f_s ในกรณีนี้โดยทั่วไปก็จะสูงกว่าของกรณีPCM อยู่แล้ว ดังนั้นการเพิ่มค่า f_s เพียงอย่างเดียวก็จะทำให้อัตราการส่งสัญญาณดิจิตอลต้องสูงขึ้นไปอีก สำหรับการขยายขนาดของ q นั้น ก็จะทำให้สัญญาณรบกวนแบบเม็ดสูงขึ้น เพราะฉะนั้นจึงต้องทำการประนีประนอมระหว่างการเลือกค่า q และค่า f_s แต่เนื่องจากผลเสียของการเกิดโอเวอร์โหลดทางความชันมีน้อยกว่าสัญญาณรบกวนแบบเม็ด เพราะสัญญาณเบสแบนที่ตีกลับมาจะใกล้เคียงกับสัญญาณเดิมมากกว่า ดังนั้นในที่นี้จะพิจารณาผลกระทบของสัญญาณรบกวน แบบเม็ดเป็นหลัก ในกรณีของระบบ DM แบบเชิงเส้นนั้น อัตราการสุ่มตัวอย่างต้องสูงกว่าอัตราการสุ่มตัวอย่างของไนควิสต์เสมอ และเมื่อใช้อัตราการสุ่มตัวอย่างสูงกว่าความถี่คัตออฟของฟิลเตอร์ ของสัญญาณขาเข้ามากกว่า 6 เท่า จากการศึกษาของผู้เชี่ยวชาญหลาย ๆ คนพบว่า สัญญาณรบกวนแบบเม็ดจะมีขนาดแปรตามอัตราส่วน ระหว่างความถี่คัตออฟของฟิลเตอร์ทางภาครับ กับความถี่ในการสุ่มตัวอย่างในรูปต่อไปนี้

$$N_Q = K\left(\frac{f_c}{f_s}\right)q^2 \tag{2-2}$$

โดยที่ f_c และ f_s เป็นความถี่คัตออฟของฟิลเตอร์ และความถี่ในการสุ่มตัวอย่างตามลำดับ สำหรับ K นั้นเป็นค่าคงที่ และมีค่าเท่ากับ 0.32 (นักวิชาการบางคนเสนอให้ใช้ค่า K = 0.18, 0.51 แต่โดยทั่วไปใช้ K = 0.32) จากสมการ (2-1) และสมการ (2-2) นี้ เราสามารถหาค่า SQR ได้ดังนี้

ในกรณีที่ x(t) = Asinwt จะได้ $q = 2¶fA/f_s$ ซึ่งนำไปคำนวณ SQR ได้ดังนี้

$$SQR = \frac{A^2/2}{K(f_c/f_s)(2o(2of_s)^2}$$

$$= 0.04f_s{}^3/f_c f^2 \tag{2-3}$$

ผลที่ได้ตามสมการ (2-3) นี้จะต้องระวังในประเด็นที่ว่า สมการ (2-3) นี้หามาได้จากสมมุติฐานที่ว่าเราได้เลือกใช้ขั้นตอนของการควอนไตซ์เหมาะสมกับการเปลี่ยนแปลงของสัญญาณ ดังนั้นถ้าเราสามารถเลือกใช้ขั้นของการควอนไซต์เหมาะสมตลอดเวลา (ซึ่งหมายถึง ระบบนั้นจะต้องเป็น ADM) เราก็จะได้ผลตามสมการ (2-3) คือ ค่า SQR จะสูงขึ้นเมื่อความถี่ f ต่ำลง แต่ถ้าขั้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ของการควอนไซต์คงที่ก็จะไม่สามารถสรุปเช่นนั้นได้ และข้อสังเกตอีกประการหนึ่งในการหาสมการ (2-3) ก็คือเป็นการ ควอนไซต์จากสัญญาณที่มีค่าแอมปลิจูดเป็น A แต่โดยทั่วไปค่าแอมปลิจูดนี้จะต้องครอบคลุมช่วงไดนามิกที่ต้องการ ดังนั้นถ้าให้ A_{min} และ A_{max} เป็นแอมปลิจูดของสัญญาณระดับต่ำสุดและระดับสูงสุดที่ต้องการเข้ารหัสตามลำดับ ช่วงไดนามิกหรือ DR จะเขียนได้เป็น $DR = (A_{min} / A_{max})^2$ และเนื่องจากค่า SQR จะต่ำที่สุดที่แอมปลิจูด A_{min} และขั้นของการควอนไตซ์ถูกกำหนดจาก A_{max} คือ $q = 2\pi A_{max} (f/f_s)$ ดังนั้นเราจะต้องคำนวณอัตราการสุ่มตัวอย่าง f_s ได้โดยใช้สมการ (2-3) ซึ่งจะได้ผลดังนี้

$$SQR = \frac{f_s^3 A^2 min/2}{K f_c (2o2o_{max})^2} \tag{2-4}$$

$$f_s = \left\{25.3(DR)\left(f^2\right)\left(f_c\right)\left(SQR\right)\right\}^{\frac{1}{3}} \tag{2-5}$$

ดังนั้นถ้าโจทย์กำหนด SQR , DR และ f_c มาให้ ก็จะคำนวณหา f_s ได้ ยกตัวอย่างเช่น ถ้าให้ SQR = 26db(398 เท่า), DB = 30db(1,000 เท่า) และ f_c = 3.4 kHz และความถี่ของสัญญาณไซน์ที่ต้องการทำ DM แบบเชิงเส้นเป็น 800 Hz ก็จะคำนวณ f_s ได้ผลดังนี้

$$f_s = \left\{25.3(100)\left(800^2\right)\left(3400\right)\left(398\right)\right\}^{\frac{1}{3}} = 279kHz \tag{2-6}$$

ซึ่งหมายความว่า ถ้าเราใช้ 1 บิตต่อ 1 สัญญาณสุ่มตัวอย่าง ก็จะต้องใช้อัตราการส่งข้อมูลถึง 279 kbps ในสภาพเช่นนี้ระบบ DM จะต้องส่งด้วยอัตราการส่งข้อมูลสูงกว่าระบบ PCM ซึ่งก็คือไม่ให้ผลดีแต่อย่างใดในด้านของอัตราการส่งข้อมูล

ข้อเสียอีกอย่างกนึ่งของระบบ DM แบบเชิงเส้นก็คือ เมื่อกำหนดขั้นของการควอนไซต์เพื่อให้ได้ SQR ตามที่ต้องการสำหรับสัญญาณระดับต่ำที่สุด ก็จะทำให้สัญญาณระดับสูง ๆ มี SQR ดีเกินความจำเป็นไป ข้อเสียนี้ก็เกิดขึ้นในระบบ PCM แบบเชิงเส้น ซึ่งได้กล่าวไว้ก่อนหน้านี้เช่นเดียวกัน

ถึงแม้ระบบ DM จะมีข้อเสียที่ต้องใช้อัตราการสุ่มตัวอย่างสูง แต่ก็มีใช้อยู่บ้าง เพราะความง่ายของชุดเข้ารหัสและถอดรหัสดังที่แสดงไว้ในรูปที่ 2-9 ในกรณีที่ต้องการลดอัตราการส่งสัญญาณดิจิตอลก็จะทำได้โดยใช้ระบบ ADM วิธีการที่ใช้ก็คือ ทำการปรับขนาดขั้นของการควอนไตซ์ ให้สอดคล้องกับการเปลี่ยนแปลงของระดับสัญญาณตลอดเวลา อุปกรณ์ที่ต้องใช้ในการเข้ารหัสและ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ถอดรหัสก็จะยุ่งยากขึ้น แต่ก็จะสามารถลดอัตราการส่งสัญญาณดิจิตอลลงให้เหลือประมาณ 40 kbps ได้ โดยทีสัญญาณเสียงนั้นมีคุณภาพดีทัดเทียมกับสัญญาณ PCM

2.4 การเปรียบเทียบคุณสมบัติของการเข้ารหัสแบบต่าง ๆ

จากที่กล่าวมาข้างต้นทั้งหมดจะเห็นได้ว่า สัญญาณอนาล็อกสามารถถูกแปลงรูปให้เป็นสัญญาณดิจิตอล เพื่อทำการส่งในรูปสัญญาณดิจิตอลได้ และเนื่องจากสัญญาณเสียงพูดของคนเป็นสัญญาณอนาล็อกที่มีความสำคัญสูงที่สุด จึงได้เน้นในเรื่องนี้มากที่สุด ในการเปรียบเทียบคุณสมบัติของการเข้ารหัสแบบต่าง ๆ โดยการพิจารณาสัญญาณพูดเป็นหลักนั้น หลักเกณฑ์ในการพิจารณาจะมีหลายประเด็นด้วยกัน หลักเกณฑ์หลัก ๆ ก็คือคุณภาพของเสียงที่สร้างคืนกลับมาได้กับอัตราการส่งข้อมูลที่ต้องการ คุณภาพของเสียงนั้นเราอาจจะแบ่งออกเป็น 3 ระดับด้วยกันคือ ระดับดีมาก ระดับดี และระดับพอใช้ ระดับดีมากคือ ระดับที่กำหนดเป็นมาตรฐานในระบบสื่อสารโทรศัพท์ที่จะต้องผ่านชุมสายระดับสูงออกไปไกล ๆ ระดับดีนั้นเป็นระดับที่ส่งระยะใกล้และมีเสียงชัดเจน สำหรับระดับพอใช้นั้นเป็นระดับที่ส่งระยะที่รับฟังได้เข้าใจ แต่ความชัดเจนและเป็นธรรมชาตินั้นจะด้อยลงไป เมื่อพิจารณาตามหลักเกณฑ์ดังกล่าวนี้จะพบว่า คุณสมบัติของการเข้ารหัสแต่ละประเภทจะเป็นดังที่แสดงไว้ในตารางที่ 2-1

ตารางที่ 2-1 คุณสมบัติของการเข้ารหัสแบบต่าง

ระบบเข้ารหัส	คุณภาพเสียง	อัตราการสุ่มตัวอย่าง (kHz)	จำนวนบิตต่อตัวอย่าง	อัตราการส่งข้อมูล kbps
PCM	ดีมาก	8	7-8	56-64
DPCM	ดี-ดีมาก	8	4-6	32-48
ADPCM	ดี-ดีมาก	8	3-4	24-32
DM	ดี-ดีมาก	64-128	1	64-128
ADM	ดีมาก	48-64	1	48-64
LPC	พอใช้	0.04-0.1	80	3-8

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.5 สเปคซิฟิเคชั่นของการแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอล

1.ความแม่นยำ

คือสัญญาณดิจิตอลที่แปลงได้มีความสมบูรณ์มากน้อยแค่ไหน เนื่องจากในการแปลงสัญญาณย่อมเกิดความคลาดเคลื่อนขึ้นได้ เช่น เกิดจากการควอนไตซ์, จากคอมพาเรเตอร์ (Comparater)หรือเกิดจากความต้านทาน เป็นต้น

2.รีโซลูชั่น (Resolution)

รีโซลูชั่นของการแปลงสัญญาณอนาล็อกเป็นดิจิตอลนั้น จะบอกมาในรูปของจำนวนบิตที่ทำการแปลง เช่น การแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอล ให้เอาท์พุตไบนารีมีรีโซลูชั้น 4 บิต, 16 บิต เป็นต้น นอกจากนี้รีโซลูชั่นยังสามารถบอกในรูปเปอร์เซนต์ของค่าเต็มสเกล (Full Scale) เช่น การแปลงสัญญาณอนาล็อกเป็นดิจิตอล 4 บิต จะแบ่งระดับขั้นที่ใช้ในการเปรียบเทียบได้ 24.1= 15 ขั้น และมีรีโซลูชั่น 6.7 เปอร์เซ็นต์ (1/15*100 = 6.7 เปอร์เซ็นต์) ระบบการแปลงสัญญาณที่ให้จำนวนบิตมากย่อมมีรีโซลูชั่นดีกว่า ระบบการแปลงสัญญาณที่ให้จำนวนบิตน้อย

3. ไดนามิกเรนจ์ (Dynamic Range)

คือ อัตราส่วนของสัญญาณค่ามากสุดกับสัญญาณค่าน้อยสุด ปกติจะอยู่ในหน่วยเดซิเบล พิจารณาใน Binary Word บิต ที่อยู่ทางซ้ายจะมีน้ำหนักมากกว่าบิตที่อยู่ทางขวาถัดมาอยู่ 2 เท่า เมื่อคำนวณหาอัตราส่วนระหว่างบิตทั้งสอง (คิดในรูปโวลท์เตจ) จะได้ประมาณ 6 dB ดังนั้น สามารถคำนวณหาค่าไดนามิคเรนจ์ทั้งระบบได้ดังนี้

ค่าไดนามิคเรนจ์ ของระบบ (dB) = 6(dB)* จำนวนบิต ตัวอย่างเช่น การแปลงสัญญาณดิจิตอล 10 บิต จะมีไดนามิคเรนจ์ = 6(dB)*10 = 60(dB)

4. คอนเวอชั้นไทม์ (Convertion time)

- ปกติจะเท่ากับ +5 V แต่บางครั้งอาจพบ A/D CONVERTOR IC ทำงานในช่วง +5 ถึง +15 V
- OUTPUT LOGIC LEVEL เช่น เป็นแบบ TTL, CMOS หรือ TRISTATE
- INPUTVOLTAGE

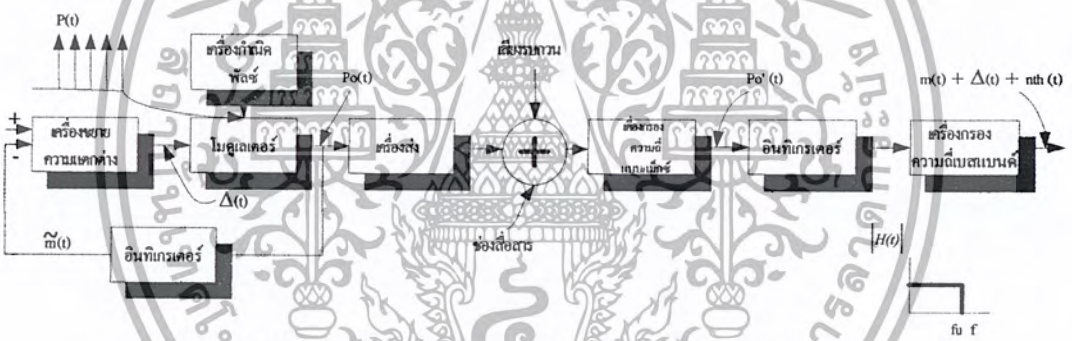
MAXIMUM POWERDISSIPATION สำหรับ A/D CONVERTER IC จะอยู่ในช่วง 15-3,000 mW คือ เวลาที่ใช้ในการแปลงสัญญาณอนาล็อกให้เป็นสัญญาณดิจิตอล นอกจากนี้ยังมีสิ่งที่กำหนดคุณสมบัติระบบอื่นๆ อีกเช่น

- POWER SUPPLY VOLTAGE

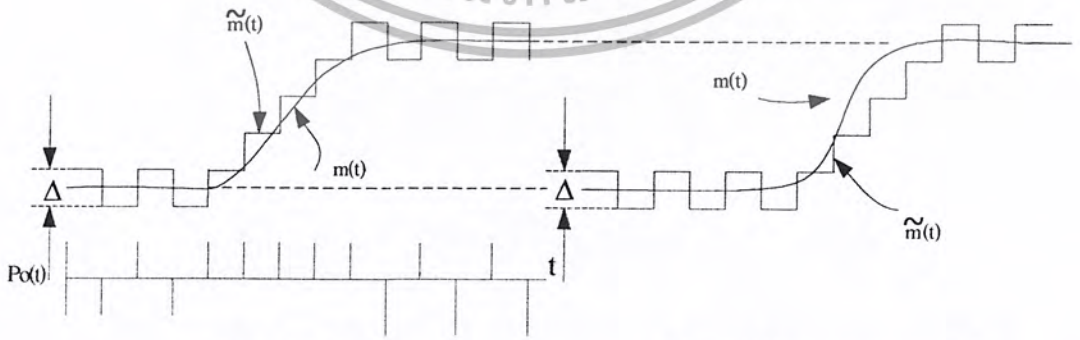
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เดลต้ามอดดูเลชั่นเป็นเทคนิคของการมอดดูเลชั่นอย่างหนึ่งที่สัญญาณอนาล็อก สามารถนำมาเข้ารหัส (encode) เป็นไบนารี่ดิจิตอล หรือบิตได้โดยตรง เดลต้ามอดดูเลชั่นหรือดีเอ็ม (DM) จึงมีข้อดีที่มีวงจรที่ภาคส่ง โดยเฉพาะอย่างยิ่งวงจรที่ภาครับง่ายกว่าวงจรของพีซีเอ็ม

ระบบเดลต้ามอดดูเลชั่นแสดงอยู่ในรูปที่ 2-11 เครื่องกำเนิดพัลส์จะกำเนิดขบวนพัลส์ Pi(t) ที่มีขนาดและขั้ว (polarity) แน่นอน เมื่อสัญญาณเบสแบนที่เป็นอนาล็อค m(t) เข้ามาในวงจร DM สัญญาณเบสแบน m(t) จะเปรียบเทียบกับพัลส์ pi(t) ที่ผ่านเครื่องอินติเกรเตอร์ $\widetilde{m}(t)$ ผลต่างของ m(t)- $\widetilde{m}(t)$ ถ้าเป็นบวกจะผ่านลิมิตเตอร์ให้สัญญาณ +1 คูณกับ pi(t) ถ้าเป็นลบจะผ่านลิมิตเตอร์ให้สัญญาณ –1 คูณกับ Pi(t) เมื่อ Pi(t) ผ่านเครื่องอินติเกรเตอร์ ก็จะให้พัลส์ $\widetilde{m}(t)$ ตามสัญญาณเบสแบนเปลี่ยนขนาดอย่างรวดเร็ว และเครื่องเดลต้ามอดดูเลทไม่สามารถสร้างพัลส์ $\widetilde{m}(t)$ ไล่ทันสัญญาณเบสเบนด์ m(t) ในกรณีนี้เราเรียกว่า เกิดการเกินภาระของความชัน (slope overload) ดังรูปที่ 2-11



รูปที่2-10 ระบบเดลต้ามอดดูเลชั่นภาคส่งและภาครับ

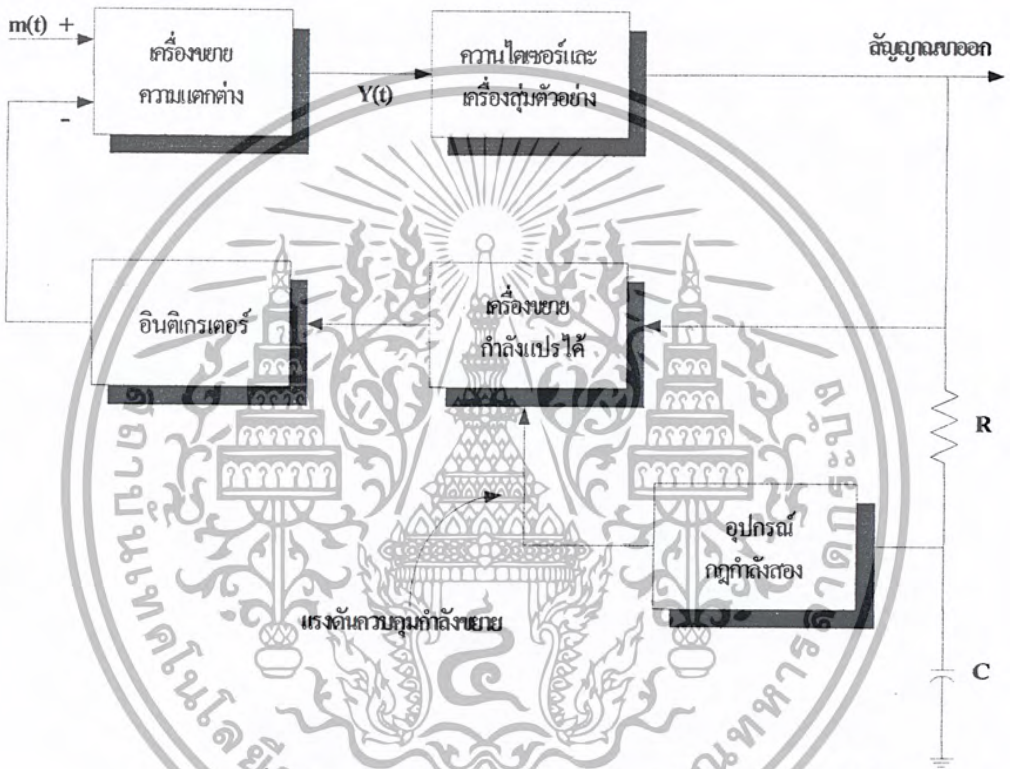


(ก) ในกรณีปกติ (ข) ในกรณีเกินภาระของความชัน

รูปที่ 2-11 รูปคลื่นของเดลต้ามอดดูเลชั่น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เพื่อขจัดการเกิดกรณีเกินภาระของความชัน (Slope verload) ให้สร้างระบบเดลต้ามอดดูเลชั่นสามารถปรับขนาดของขั้นบันได (step size) ได้แทนที่จะเป็นขั้นบันไดคงที่ ระบบนี้เรียกว่าระบบเดลต้ามอดดูเลชั่นที่ปรับตัวได้ (adaptive delta modulator) ในระบบนี้ จะมีเครื่องขยายที่สามารถปรับกำลังขยาย (variable เกณฑ์) ได้ โดยที่กำลังขยายนี้เป็นฟังชั่นของแรงดัน ที่เกิดขึ้นที่ขั้วของเครื่องควบคุมกำลังขยาย (เกณฑ์ control) ดังรูปที่ 2-12



รูปที่ 2-12 เครื่องมอดดูเลเตอร์เดลต้าแบบปรับกำลังขยายได้

สัญญาณรบกวนจากควอนไตซิ่งในเดลต้ามอดดูเลชั่น

สมมุติให้ ผลแตกต่างระหว่างสัญญาณเบสแบน m(t) และสัญญาณเดลต้าที่กะประมาณค่า (estimate) $\tilde{m}(t)$ เป็น $e_q(t)$ ดังนั้นรูปคลื่นของความผิดพลาด

$$e_q(t) = m(t) - \tilde{m}(t) \qquad (2\text{-}7)$$

รูปคลื่นของความผิดพลาดนี้ คือต้นกำเนิดของเสียงรบกวนจากคอนไตซิ่งนั่นเอง ในขณะที่ไม่มีภาระของความชันนั้น $e_q(t)$ จะมีค่าต่ำกว่าขนาดของขั้นบันได Δ เสมอ สมมุติว่าค่า e(t) มีโอกาสที่จะ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

เกิดในช่วงระหว่าง $-\Delta$ และ $+\Delta$ เท่ากัน ในกรณีนี้ เราสามารถสมมติให้พรอบบะบิวลิตี้เดนซิตี้ของ $e_q(t)$ เป็นการกระจายสม่ำเสมอได้ จะได้กำลังของเสียงรบกวนจากคอนไตซิ่งดังนี้

$$e^2_q(t) \int_{-\Delta}^{\Delta} \frac{1}{2\Delta} e^2 de = \left(\Delta^2\right)/3 \qquad (2\text{-}8)$$

ได้มีการทดลองพิสูจน์มาแล้วว่า กำลังที่ถูกนอร์มัลไลซ์ (normalized) แล้วของรูปคลื่น $e_q(t)$ มีการกระจายสม่ำเสมอภายในช่วงความถี่ $(0, f_s)$ โดย f_s คืออัตราการสุ่มตัวอย่าง ฉะนั้นความเข้มข้นสเปคตรัมของกำลัง $G_{eq}(f)$ ของ $e_q(t)$ จะได้

$$G_{e_q}(f) = \begin{cases} \Delta^2/(\sigma f_s), |f| < f_s \\ 0 \end{cases} \qquad (2\text{-}9)$$

ดังนั้น $m_q(t)$ ซึ่งเป็นเสียงรบกวนจากการคอนไตซิ่ง ที่ออกจากเครื่องกรองความถี่ต่ำผ่านจะมีกำลังเฉลี่ยที่ถูกนอร์มัลไลซ์แล้ว เท่ากับ

$$N_q = \int_{-fx}^{fx} G_{eq}(f)df = \left[(\Delta^2)/3\right]\left[\frac{fx}{fs'}\right] \qquad (2\text{-}10)$$

กำลังของสัญญาณขาออก

ในการคำนวณกำลังของสัญญาณขาออก เราจะใช้กรณีที่เลวที่สุด (worst case) เคลต้ามอดดูเลชั่น คือในกรณีที่กำลังของสัญญาณจะรวมกันที่ปลายความถี่สูงของสัญญาณ นั้นคือสมมติให้เป็นสัญญาณไซน์ยูซอยตัล

$$m(t) = A\cos 2\pi f_x t \qquad (2\text{-}11)$$

ดังนั้นกำลังของสัญญาณขาออกคือ

$$S_o = \overline{m^2(t)} = (A^2)/2 \qquad (2\text{-}12)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

46458

เพื่อให้หลีกเลี่ยงการเกินภาระของความชัน เราควรเลือกความชันที่มากที่สุด (maximum slope) ของสัญญาณมีค่าเท่ากับ

$$\left|\frac{dm(t)}{dt}\right|max = A2\pi f_x \tag{2-13}$$

และการเปลี่ยนแปลงของตัวอย่างหนึ่งไปอีกตัวอย่างหนึ่ง (sample to sample) ซึ่งเท่ากับ $A\,2\pi f_{xs}$

$$2\pi f_x T_s' A < \Delta \tag{2-14}$$

หรือเลือกขนาดสูงสุดของสัญญาณเวลาเกิดสภาวะการเกินภาระความชันเท่ากับ

$$A = \frac{\Delta}{2\pi} \frac{fs'}{fx} \tag{2-15}$$

ในที่นี้ $f_s = 1/T_s$ ซึ่งเป็นอัตราการสุ่มตัวอย่างของระบบดีเอ็ม ฉะนั้นอัตราส่วนของกำลังของสัญญาณต่อกำลังของเสียงรบกวนควอนไตซิง จากสมการ (2-10), (2-11) และ (2-12) จะได้

$$\frac{So}{Nq} = \left[3/(8\pi^2)\right]\left(\frac{fs'}{fx}\right)^3 \tag{2-16}$$

สัญญาณรบกวนจากความร้อนในระบบดีเอ็ม

เมื่อเสียงรบกวนจากความร้อน (thermal noise) เกิดในช่อง (channel) ขั้ว (polarity) ของรูปคลื่นที่ส่งในบางครั้งบางคราวจะถูกถอดรหัสผิด เนื่องจากรูปคลื่นที่ส่งเป็นขบวนอิมพัลส์ที่มีขนาด $\pm\Delta$ ความผิดพลาดในเครื่องหมาย + หรือ – เป็น + ก็เท่ากับเกิดอิมพัลส์ของความผิดพลาดที่มีกำลัง 2Δ พูดอีกนัยหนึ่งว่าอิมพัลส์ของความผิดพลาดจะต้องมีกำลังเป็น 2 เท่าของ Δ จึงจะเปลี่ยนขั้วของพัลส์ได้ เสียงรบกวนจากความร้อนที่เกิดในช่อง (channel) นี้จะปรากฏที่ขาเข้าที่เครื่องอินติเกรเตอร์ของภาครับ เป็นขบวนอิมพัลส์ที่มีเวลาการเกิดเป็นแรนดัม (เพราะเสียงรบกวนนี้เป็น white noise ที่เกิดแรนดัมอยู่แล้ว) และมีกำลัง $\pm 2\Delta$ ระยะเวลาที่ห่างกันระหว่างอิมพัลส์คือ T'_s / Pe ในที่นี้ Pe คือพรอบบะบิวลิตี้ของความผิดพลาด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เราสามารถพิสูจน์ได้ว่า ความเข้มข้นสเปคตรัมของกำลังของขบวนอิมพัลส์เป็น white และมีขนาด $4\Delta^2 Pe\, f_s'$ และถ้าให้ทรานเฟอร์ฟังชั่นของเครื่องอินติเกรเตอร์เป็น $1/jw$ แล้ว ความเข้มข้นสเปคตรัมของเสียงรบกวนจากความร้อนที่เข้าไปในช่อง (channel) ที่ขาเข้าของเครื่องกรองความถี่ต่ำ จะได้

$$G_{th}(f) = (4\Delta^2 Pefs')/(2\pi f)^2 \qquad (2\text{-}17)$$

ในทางปฏิบัติ เครื่องอินติเกรเตอร์ที่ตามด้วยเครื่องกรองความถี่ต่ำผ่าน ซึ่งมีความถี่ตัดที่ความถี่ต่ำ (low -cutoff frequency) $f_l>0$ ซึ่งมีค่าน้อยมากเมื่อเทียบกับความถี่ตัดออกที่มีความถี่สูง (high-frequency-cutoff) f_x (การที่ให้ f_l มีค่าน้อยแต่น้อยแต่ไม่เท่าศูนย์ เพราะการอินติเกรท $G_{th}(f)$ ที่ $f=0$ จะได้ค่าอนันต์) ดังนั้น

$$N_{th} = 2\int_{fl}^{fx} G_{th}(f) = (2\Delta^2 Pefs')/(\pi)^2\left[\frac{1}{fl} - \frac{1}{fx}\right]$$
$$= (2\Delta^2 Pe\, fs')/\pi^2 fl \qquad (2\text{-}18)$$

เนื่องจาก $f_l << f_x$

สมการ (2-18) แสดงให้เห็นว่ากำลังของเสียงรบกวนขาออกที่ทำให้เกิดความผิดพลาดของบิต มีค่าขึ้นอยู่กับความถี่คัดออกที่ความถี่ต่ำ f_l มากกว่าความถี่คัดออกที่ความถี่สูง f_x

อัตราส่วนของกำลังของสัญญาณต่อกำลังของเสียงรบกวน

เนื่องจากสัญญาณที่เขาภาครับของระบบดีเอ็มจะประกอบด้วยสัญญาณ m(t) สัญญาณรบกวนจากควอนไตซิ่ง และเสียงรบกวนจากความร้อน (เช่นเดียวกับระบบพีซีเอ็ม) อัตราส่วนของกำลังของสัญญาณต่อกำลังของเสียงรบกวน

$$\frac{So}{No} = \frac{So}{Nq + N_{th}} = \frac{3 f_s^3/(8\pi^2 f_x^3}{1 + (\sigma Pe\, f_s^2/(\pi^2 f_x f_l))} \qquad (2\text{-}19)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การเปรียบเทียบระบบพีซีเอ็มและดีเอ็ม

เราสามารถเปรียบเทียบวิสัยความสามารถของระบบพีซีเอ็มและดีเอ็ม ในด้านของคุณภาพของสัญญาณ และความยุ่งยากของวงจร เพื่อให้เกิดการเปรียบเทียบบนพื้นฐานเดียวกันเราสมมติให้ทั้งสองระบบใช้แถบความถี่ โดยประมาณเท่ากันในการส่งสัญญาณเบสแบนด์ที่เป็นอนาล็อกถ้าเราให้ f_x และ f'_s แทนอัตราการสุ่มตัวอย่างของ N บิต พีซีเอ็มและดีเอ็ม ดังนั้น อัตราการส่งของพีซีเอ็มจะได้ Nfs และ f's ตามลำดับ ถ้าสเปคตรัมไปถึง fx เฮิร์ตละก็ $fs = 2f_x$ และความต้องการที่จะให้แถบความถี่ทั้งสองระบบเท่ากันนั้น เท่ากับเป็นการกำหนดให้

$$fs'=2Nfx \tag{2-20}$$

อัตราของกำของสัญญาณต่อกำลังของสัญญาณรบกวน

ถ้าอัตราส่วนของกำลังของสัญญาณต่อกำลังของเสียงรบกวน(Signal to noise power ratio) มีค่าสูง วิสัยความสามารถของพีซีเอ็มและดีเอ็ม ถูกจำกัดด้วยเสียงรบควนจากการควอนไตซิ่ง อัตราส่วนของกำลังของสัญญาณต่อกำลังของเสียงรบกวนจากควอนไตซิ่งสำหรับระบบพีซีเอ็ม

$$(\mathrm{So/No})_{PCM} = M^2 = 2^{2N}; N \geq 2 \tag{2-21}$$

ในที่นี้ $M = 2N$ คือจำนวนของระดับของควอนไตเซอร์

สำหรับระบบดีเอ็ม อัตราส่วนดังกล่าว จากสมการ (2-16) จะได้

$$(\mathrm{So/No})_{DM} = (3/8\pi^2)(f_s/f_x)3 = 0.3N^3 \tag{2-22}$$

จากสมการข้างบนจะเห็นได้ว่า ในกรณีที่แถบความถี่คงที่ วิสัยความสามารถของดีเอ็มจะเลวกว่าพีซีเอ็มเสมอ เพื่อเป็นการยกตัวอย่างให้เห็นจริง ค่าแถบความถี่ของช่อง (channel bandwidth) กว้างพอสำหรับโคดพีซีเอ็ม 8 บิต แล้ว

$$(\mathrm{So/No})_{PCM} = 48\mathrm{dB} \text{ และ } (\mathrm{So/No})_{DM} = 22\ \mathrm{dB} \tag{2-23}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จะเห็นได้ว่าอัตราส่วนของกำลังของสัญญาณต่อกำลัง ของเสียงรบกวนของระบบดีเอ็ม มีค่าน้อยกว่าระบบพีซีเอ็ม 26 dB วิสัยความสามารถของดีเอ็มส่ามารถปรับปรุงให้ดีขึ้นอย่างมากมาย โดยใช้ขนาดของขั้นบันไดที่เปลี่ยนได้ (นั่นคือใช้เครื่องมอดดูเลเตอร์เดลต้าชนิดปรับกำลังขยายได้) สำหรับการส่งสัญญาณเสียง (Speech transmission) ได้มีการพิสูจน์ว่า วิสัยความสามารถของระบบเดลต้ามอดดูเลชั่นชนิดปรับกำลังขยายได้ ไม่แตกต่างกับวิสัยความสามารถของระบบพีซีเอ็ม ที่อัตราการส่ง (bit rate) ประมาณ 64 กิโลบิต ต่อวินาที

ความต้องการด้านแถบความถี่

ในกรณีของการส่งสัญญาณเสียง สมมติให้พีซีเอ็มใช้โคด 8 บิต (N = 8) และเพื่อให้คุณภาพของสัญญาณดี ต้องสุ่มตัวอย่างที่อัตรา f_s = 800 เฮิรตซ์ ก็จะได้ความเร็วการส่ง (bit rate) 800 *8 =64 กิโลบิตต่อวินาทีเพื่อให้คุณภาพของสัญญาณใกล้เคียงกัน ระบบดีเอ็มต้องใช้อัตราการสุ่มตัวอย่างประมาณ 100 กิโลบิตต่อวินาที ซึ่งมากกว่าระบบพีซีเอ็มเกือบเท่าตัว อย่างไรก็ตาม ได้มีการพิสูจน์แล้วว่า ถาใช้เดลต้ามอดดูเลชั่นชนิดปรับความชันอย่างต่อเนื่องได้ (continuous variable slope delta:CVSD) อาจจะลดความเร็วการส่ง (bit rate) ลงเหลือ 32 กิโลบิตต่อวินาทีได้ โดยคุณภาพของสัญญาณอยู่ในเกณฑ์ดีเหมือนเดิม

ความยุ่งยากของอุปกรณ์

ฮาร์ดแวร์ที่ใช้ในระบบดีเอ็มนั้นง่ายกว่าระบบพีซีเอ็มมาก ปัจจุบันไอซีชิปที่รวมเครื่องเข้ารหัสและเครื่องถอดรหัส (coders/decoders) ในตัวเดียวกัน หรือที่เรียกว่าโคเดค (codec) ของเดลต้ามอดดูเลชั่นชนิดปรับความชันอย่างต่อเนื่องได้นั้น มีขายในตลาดทั่วไปแล้ว แต่พีซีเอ็มโคเดคยังต้องอาศัยใช้ไอซีชิป 2 ตัว จึงมีราคาแพงกว่าดีเอ็ม

2.6 วงจรกรองความถี่ต่ำผ่าน (Low Pass Filter)

ในการพิจารณาสมการของวงจรกรองความถี่ต่ำผ่าน โดยทั่วไปมักจะพิจารณาสมการโวลท์เตททรานฟอร์ฟังชั่น ซึ่งอาจเป็นอัตราขยาย(gain) หรืออัตราการลดทอน(Attenuation) ก็ได้ จากรูปของสมการไบควอดราติก

(2-24)

$$H_s = \frac{C_2 s^2 + C_1 s + C_o}{D_2 s^2 + D_1 s + Do}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

นำเอาคุณสมบัติของวงจรกรองความถี่ต่ำมาพิจารณาเทอมเศษที่ความถี่ W > 0 จะได้ว่า ขนาดของ H(s) = 1ที่ความถี่ W > Infinnity จะได้ว่าขนาดของ H(s) = 0 โดยที่ s=jw (กรณีที่สภาวะคงตัวของสัญญาณรูปซายน์)

$$\lim_{s>0}|H(s)| = \lim_{s>0} H_s = \frac{C_2 s^2 + C_1 s + C_0}{D_2 s^2 + D_1 s + D_0} = 1 \qquad (2\text{-}25)$$

ดังนั้นจากสมการจะได้ว่า $C_0 = D_0$ และ

$$\lim_{s>\alpha}|H(s)| = \lim_{s>\alpha} H_s = \frac{C_2 + C_1/S + C_0/S^2}{D_2 + D_1/S + D_0/S^2} = 1 \qquad (2\text{-}26)$$

ดังนั้นจากสมการจะได้ว่า $C_2 = D_2 = 0$ ดังนั้น $C_2 = 0$

ดังนั้นจากสมการจะได้ว่ารูปแบบวงจรกรองความถี่ต่ำผ่าน แบบไบควอดราติกมี 2 รูปแบบ

$$H_s = \frac{C_1 s + C_0}{D_2 s^2 + D_1 s + D_0} \qquad (2\text{-}27)$$

$$H_s = \frac{C_0}{D_2 s^2 + D_1 s + D_0} \qquad (2\text{-}28)$$

สามารถจัดรูปใหม่ได้

$$H_s = \frac{b}{s^2 + as + b} \qquad (2\text{-}29)$$

อาศัยทฤษฎีที่นิยาม Wp และเทอม Q โดยที่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\omega_p = \sqrt{b} \text{ และ } \omega_p = \sqrt{b/a} \tag{2-30}$$

นำไปแทนจะได้ว่า

$$H_s = \frac{(\omega p)^2}{s^2 + \omega ps/Q + (\omega p)^2} \tag{2-31}$$

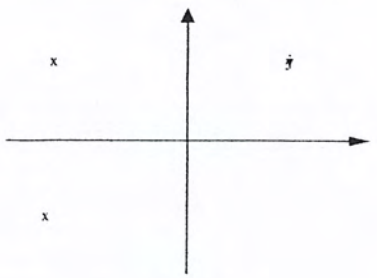
กราฟความถี่ตอบสนองจะมีลักษณะเช่นเดียวกับสมการ

$$H_s = \frac{b}{s^2 + as + b} \tag{2-32}$$

ซึ่งคุณสมบัติของวงจรกรองความถี่ต่ำผ่านที่ดีนั้น ไม่ควรมีค่ารีโซแนนซ์ที่เกิดผลของค่า Q นั้นคือกล่าวได้ว่า ขนาดสูงสุดของผลรวมวงจรกรองความถี่ต่ำผ่าน ควรจะอยู่ตรงความถี่ที่ $W_{max} = 0$ ดังนั้นจึงจำเป็นอย่างยิ่งในการออกแบบวงจรกรองความถี่ต่ำผ่านได้ โดยที่จะต้องเลือกค่า Q ให้เหมาะสม

ตำแหน่งของโพลและซีโร่ของ LPF

1. ไม่มีตำแหน่งของ Zero
2. ตำแหน่งของ โพลจะต้องงอยู่ทางด้านซ้ายของระนาบและมีตำแหน่งของ pole 2 จุดจาก ข้อสรุปสองข้อดังกล่าวสามารถวางตำแหน่งของโพลและซีโร่ได้ตามรูป 2-13



รูปที่ 2-13 การวางตำแหน่งของโพลและซีโร่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปัญหาในการเลือกค่า Q ที่เหมาะสมสำหรับวงจร

$$H_s = \frac{(\omega p)^2}{s^2 + \omega ps/Q + (\omega p)^2} \tag{2-33}$$

หาขนาดที่สูงสูดของสมการ H_s จะได้ค่า w_{max}

$$\frac{d|H(s)|}{d\omega} = 0 \tag{2-34}$$

แทนค่า S = $j\omega$ ได้ว่า

$$|H(j\omega)| = \frac{(\omega p)^2}{\left[(\omega p)^2 - (\omega_{max})2\right]^2 + \left[\frac{\omega p \omega_{max}}{Q}\right]^2} \tag{2-35}$$

ดังนั้น

$$\frac{d|H(j\omega)|}{d\omega} = \frac{d(\omega p)^2}{d\omega\sqrt{\left[(\omega p)^2 - (\omega_{max})^2\right]^2 + \left[\frac{\omega p \omega_{max}}{Q}\right]^2}} \tag{2-36}$$

จะได้ค่า $(\omega_{max})^2 = (\omega p)^2(1 - 1/2Q^2)$

$$\omega_{max} = \omega p\sqrt{1 - 1/2Q} \tag{2-37}$$

แต่จากคุณลักษณะของวงจรกรองความถี่ต่ำผ่านที่ดี ค่าความถี่ที่ได้ค่าขนาดของสัญญาณสูงสุดต้องเป็นที่ $W_{max} = 0$ จะได้

$$\sqrt{1 - 1/2Q} = 0; \omega p \neq 0$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$Q = 1/\sqrt{2} = 0.07$$

แน่นอนว่าในกรณีที่ค่า $Q \leq 0.707$ แล้ว $W_{\max}$ ยังคงอยู่ที่ 0 เช่นกันตามเงื่อนไขความถี่คัตออฟของวงจรกรองความถี่ต่ำผ่าน

จากนิยามของวงจรกรองความถี่ต่ำผ่าน คือความถี่ตรงจุดที่ขนานของ $|H(j\omega)|$ ตกลงมาประมาณ 70.7% ของความถี่ที่ 0 หรือต่ำกว่า 3 dB ลงมาจากความถี่ที่เป็น 0 นั่นเอง ดังนั้นจากข้อความข้างต้นจะได้ว่า

$$\omega = \omega_0 |H(j\omega)| = \frac{(\omega_p)^2}{\sqrt{\left[(\omega_p)^2 - (\omega_0)^2\right]^2 + \frac{\left[\omega_p \omega_0\right]^2}{Q}}} = 1/\sqrt{2}$$

$$= \frac{(\omega_p)^4}{\left[(\omega_p)^2 - (\omega_0)^2\right]^2 + \frac{\left[\omega_p \omega_0\right]^2}{Q}} = 1/2 \qquad (2\text{-}38)$$

$$2.(\omega_P)^4 = (\omega_0)^4 + 2.(\omega P \omega_0)^2 + (\omega P)^4/Q + \left[\omega_p \omega_0\right]^2 \qquad (2\text{-}39)$$

จัดรูปสมการใหม่จะได้ดังนี้

$$0 = (\omega_0)^4 + (\omega_0)^2 + \left[(\omega_p)^4/Q - 2.(\omega_p)^2\right] + (\omega_p)^4 \qquad (2\text{-}40)$$

$$(\omega_0)^2 = (\omega_p)^2.\left[1 - 1/2Q^2\right] + (\omega_p)^2/2\sqrt{\left[1/Q^2 - 2\right]^2 + 4}$$

$$= (\omega_p)^2.\left[1 - 1/2Q^2\right] + \sqrt{\left[1/4Q^2 - 1/Q^2 + 2\right]} \qquad (2\text{-}41)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สมการที่ได้มาจะเลือกเฉพาะเครื่องหมายบวกเท่านั้น เพราะแน่นอนว่าค่า W0 จะต้องไม่เป็นลบ สำหรับค่า Q ใดๆ ดังนั้นจะได้ว่า

$$\omega_0 = (\omega p).\left[1 - 1/12Q^2 + \sqrt{\left[1/4Q^4 - 1/Q^2 + 2\right]}\right]^{1/2} \qquad (2\text{-}42)$$

หาความสัมพันธ์ระหว่าง $\omega 0$ และค่า Q ได้โดยแน่นอนว่าค่า ωp ใดๆของวงจรหนึ่งๆย่อมมีค่า ดังนั้นจะได้ว่า

$$\omega_0/(\omega p) = \left[1 - 1/2Q^2 + \sqrt{\left[1/4Q^4 - 1/Q^2 + 2\right]}\right]^{1/2} \qquad (2\text{-}43)$$

ในหนังสือเกี่ยวกับวิชาระบบวัดคุม(control)ส่วนใหญ่จะต้องอ้างอิงถึงค่าแดมปิ้งแฟคเตอร์ (Damping Factor) โดยจะอธิบายสมการของวงจรกรองความถี่ต่ำผ่านในเทอมของ S และค่า ω_n (Natural Frequency) ดังนี้

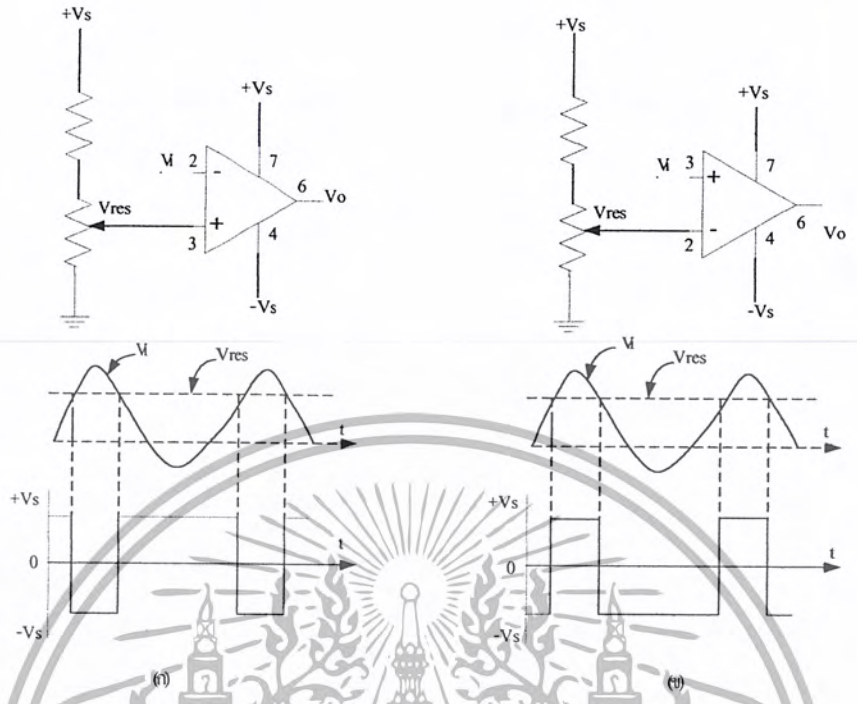
$$H(s) = \frac{(\omega_n)^2}{s^2 + 2\delta\omega_n s + (\omega p)^2} \qquad (2\text{-}44)$$

เมื่อเทียบกับสมการ Low Pass ที่ได้จะได้ว่าค่า ω_n เทียบเท่าค่า ωp และ ค่า $\delta = 0.5Q$

2.7 Comparator

ในกรณีที่จะให้ออปแอมป์ทำหน้าที่เป็น วงจรเปรียบเทียบสัญญาณ หรือเรียกกันว่า Comparator ดังแสดงวงจรในรูปที่ 2-13

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2-14 วงจรเปรียบเทียบสัญญาณ

ในรูปที่ 2-13 (ก) มี V_{REF} ที่ขั้ว Noninverting (+) และมีสัญญาณอินพุต (Vi) ที่ขั้ว inverting (-) แรงดันเอาท์พุต (V_o) จะเป็น $+V_s$ เมื่อ $V_i \leq V_{REF}$ และแรงดันเอาท์พุต (V_o) จะเป็น $+V_s$ เมื่อ $V_I > V_{REF}$

รูปที่ 2-13 (ข) มี V_{REF} ที่ขั้ว inverting (-) และมีสัญญาณอินพุต (V_i) ที่ขั้ว Noninverting(+) แรงดันเอาท์พุต (V_o) จะเป็น $+V_s$ เมื่อ $V_i \geq V_{REF}$ และแรงดันเอาท์พุต (V_o) จะเป็น $+V_s$ เมื่อ $V_i < V_{REF}$

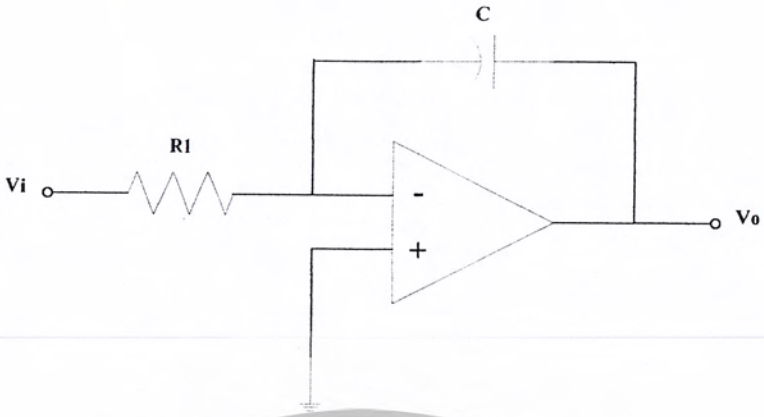
2.8 วงจรอินติเกรเตอร์

วงจรอินติเกรเตอร์ สามารถแสดงได้ดังรูป 2-14 ภายในประกอบด้วยออปแอมป์ โดยต่อให้เป็นการป้อนกลับแบบลบ (negative feedback) ซึ่งจะมีความต้านทาน R1 ต่อทางอินพุต และมีตัวเก็บประจุต่ออยู่ในเส้นทางป้อนกลับ

วงจรอินติเกรเตอร์ จะมีค่าสัญญาณเอาต์พุตเป็นสัดส่วนกับการอินทิกรัลของเวลา (time integral) ของสัญญาณอินพุต โดยแสดงได้ตามสมการคณิตศาสตร์ดังนี้

$$VI = (\frac{1}{RC}) \int V_i \, dt \qquad (2\text{-}45)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2-15 รูปแสดงวงจรอินติเกรเตอร์

โดยที่ Vo คือ แรงดันเอาต์พุต

Vi คือ แรงดันอินพุต

เมื่อมีสัญญาณเข้าวงจร $Vi = V\sin \omega t$

Vi จะถูกอินติเกรตดังสมการ

$$\int Vidt = -(\frac{V}{\omega})\cos \omega t \qquad (2\text{-}46)$$

ซึ่งจะเห็นได้ว่าขนาดของสัญญาณเอาต์พุตจะเป็นส่วนกลับกับความถี่ ซึ่งหาความสัมพันธ์ระหว่างค่าอัตราขยายแรงดัน Av กับความถี่จะได้ดังสมการ

$$A_v = -\frac{R_F}{R_i} \qquad (2\text{-}47)$$

โดยที่ R_r คือ ค่าความต้านทานป้อนกลับ

R_i คือ ค่าความต่านทานอินพุต

ดังนั้นจากรูปวงจรที่2.21จะได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$A_v = -\left[\frac{-j}{2\pi fC}\right]\frac{1}{R} = -\frac{j}{2\pi fRC} \tag{2.48}$$

จากสมการจะเห็นว่า ค่าอัตราการขยายแรงดันจะลดลงในขณะที่ความถี่เพิ่มขึ้น โดยอัตราการขยายแรงดันจะมีค่าเท่ากับ 1 ที่ความถี่ค่าหนึ่ง สมมุติให้เป็น f_2 ดังสมการ

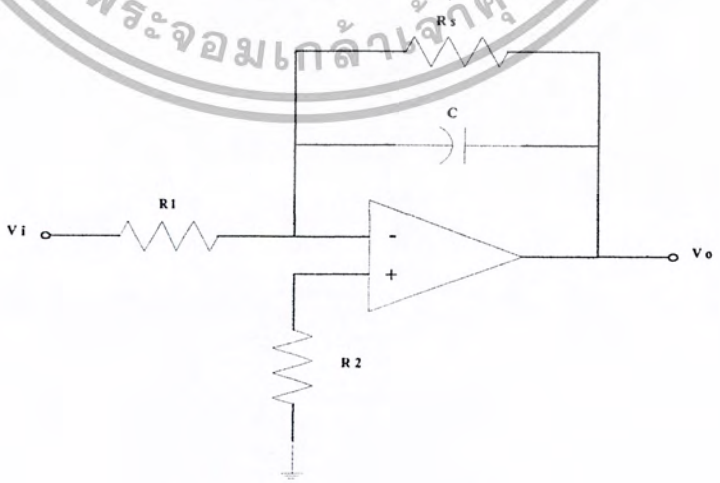
$$1 = 2\pi f_2 RC \tag{2-49}$$

$$f_2 = \frac{1}{2\pi RC} \tag{2-50}$$

$$\omega_2 = \frac{1}{RC} \tag{2-51}$$

ค่าคงที่ของเวลา (timeconstant) RC ของการอินทิเกรตยิ่งมีค่ามากเท่าใด ขนาดของสัญญาณเอาท์พุตที่ได้จะมีค่าเล็กลงเท่านั้น

อย่างไรก็ตาม วงจรอินติเกรเตอร์ที่ใช้ในทางปฏิบัติแสดงได้ดังรูปที่ 2-15 ซึ่งจะใช้ความต้านทาน R_s ต่อตกคร่อมตัวเก็บประจุ C



รูปที่ 2-16 วงจรอินติเกรเตอร์ที่ใช้งานจริงในทางปฏิบัติ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

R_s จะต่อไว้เพื่อทำให้เกิดเสถียรภาพของไฟกระแสตรง ให้กับวงจรอินติเกรเตอร์ โดยจะจำกัดค่าอัตราการขยายที่ความถี่ต่ำของตัวขยายสัญญาณ (amplifier) เพราะถ้าอัตราขยายที่ความถี่ต่ำไม่ถูกจำกัดแล้ว ค่าออฟเซตของไฟกระแสตรง (dc offset) ที่เกิดขึ้นจะถูกอินติเกรต ซึ่งอาจทำให้เกิดช่วงทำงานของการขยายสัญญาณได้ และในที่สุดออปแอมป์ก็จะทำงานในช่วงอิ่มตัว (saturation)

ค่าแรงดันออฟแซตของไฟกระแสตรง จะขึ้นอยู่กับแรงดันไบอัสอินพุต ซึ่งจะทำให้เกิดน้อยที่สุดโดยค่าความต้านทาน R_2 จะหาได้ดังนี้

$$R_2 = \frac{(R_t \cdot R_s)}{(R_t + R_s)} \qquad (2\text{-}52)$$

ความถี่วงจรจะเริ่มต้นทำงานเป็นอินติเกรเตอร์ได้คือ

$$f_c = \frac{1}{2\pi R_s C} \qquad (2\text{-}53)$$

ถ้าความถี่อินพุตมีค่าน้อยกว่า f_c วงจรจะมีคุณสมบัติเข้าใกล้วงจรขยายกลับเฟส ซึ่งมีค่าอัตราการขยายแรงดันดังนี้

$$\frac{V_o}{V_i} = -\frac{R_s}{R_i} \qquad (2\text{-}54)$$

และเพื่อให้เป็นคุณสมบัติเชิงเส้นที่ดี ความถี่ของสัญญาณอินพุตควรมีค่าอย่างน้อยเป็น 10 เท่าของ f_c

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3
หลักการออกแบบของภาคส่งและภาครับ

3.1 แนวทางการออกแบบ

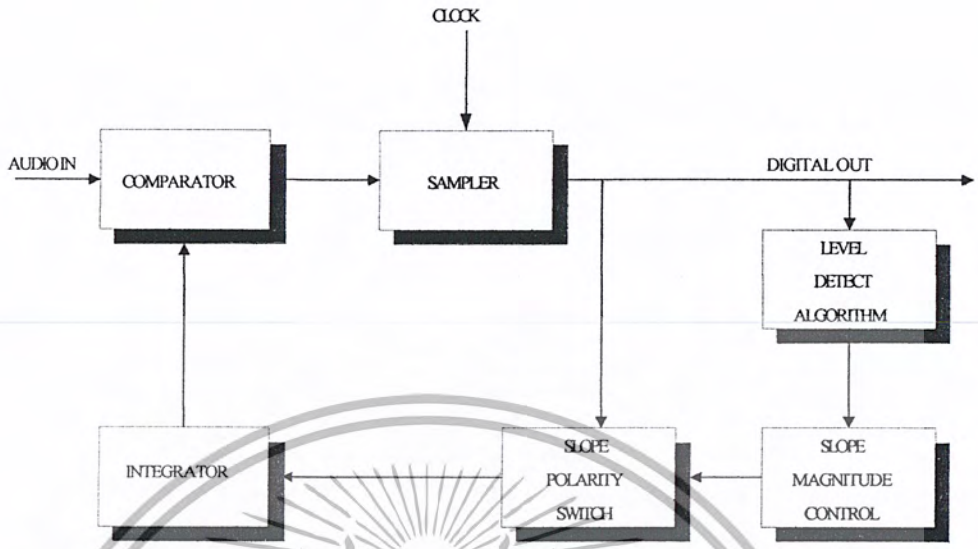
จากการทดลองในโครงงานนี้ได้ใช้ไอซีสำเร็จรูปในการแปลงสัญญาณอนาล็อกเป็นดิจิตอล เป็นชนิด เดลต้ามอดูเลชั่น ใช้ไอซีเบอร์ MC 3418 เป็นชนิดซีวีเอสดี (Continuous Variable Slope Delta modulation and demodulation) ข้อจำกัดของวิธีการเดลต้ามอดูเลชั่น คือ แถบกว้างความถี่ใช้งานซึ่งถูกจำกัดโดยความถี่ใช้งานนาพิกา และจะสูงกว่าความถี่สูงสุดของสัญญาณอินพุตมากกว่า 2 เท่าขึ้นไป อีกอันหนึ่ง คือ ความเร็วของการเปลี่ยนแปลงความสูงของสัญญาณหรือไดนามิกส์เรนจ์ (dynamic range) ระบบเดลต้ามอดูเลชั่นธรรมดามีค่าไดนามิกส์เรนจ์ที่แคบ จำเป็นต้องมีส่วนเพิ่มเติมทำหน้าที่ขยายไดนามิกส์เรนจ์ให้กว้างขึ้น โดยการควบคุมอัตราการขยายตัวของอินติเกรเตอร์ (integrator) เพื่อให้ตอบสนองต่อสัญญาณที่มีความชันมาก ๆ ได้ทัน ระบบนี้มีชื่อเรียกใหม่ว่า ระบบเดลต้ามอดูเลชั่นแบบเปลี่ยนแปลงความชันต่อเนื่อง หรือ CVSD (Continuous Variable Slope Delta modulation)

ระบบ CVSD ทั้งส่วนแปลงจากอนาล็อกเป็นดิจิตอล และส่วนแปลงกลับจากดิจิตอลเป็นอนาล็อกรูปที่ 3.1 และรูปที่ 3.2 ตามลำดับ วิธีการของ CVSD ก็คือ มีการตรวจระดับสัญญาณโดยอาจใช้วิธีการจัดให้มีรีจิสเตอร์ (register) สำหรับเก็บข้อมูลล่าสุดจำนวน 3 ถึง 4 บิต แล้วตรวจดูว่าเป็น “0” หมดหรือ “1” หมดหรือไม่ ถ้าใช่แสดงว่าขณะนี้อัตราการขยายให้สูงขึ้นเฉพาะในช่วงนั้น ในส่วนของการแปลง ก็มีการทำงานในลักษณะเดียวกัน คือ มีรีจิสเตอร์ตรวจดูข้อมูลว่าเป็น “0” หมดหรือ “1” หมดหรือไม่ แล้วจัดการควบคุมอัตราการขยายของอินติเกรเตอร์ให้สอดคล้องกัน

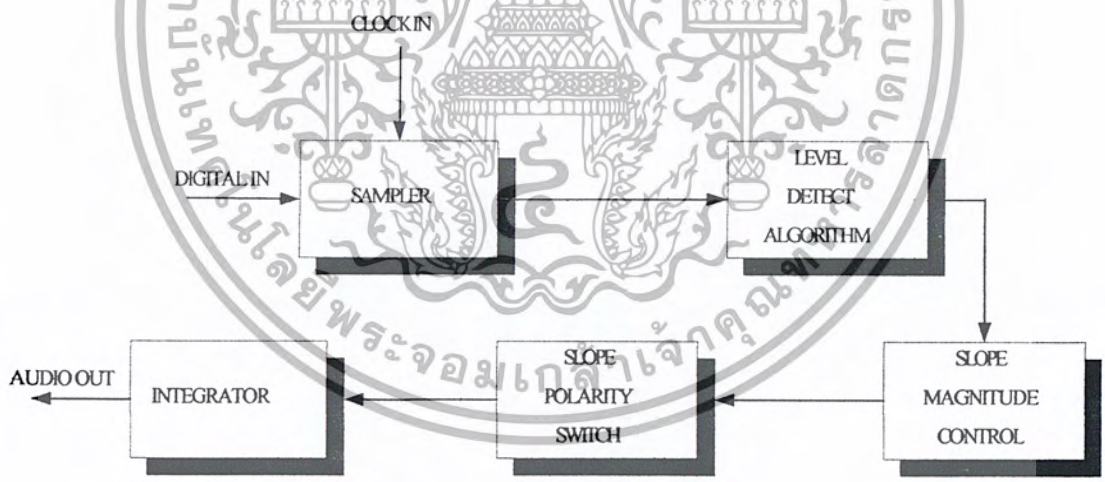
สำหรับบิตเรท (bit rate) หรือ อัตราเร็วของข้อมูลสำหรับวิธีการเดลต้ามอดูเลชั่น มีความถี่เท่ากับความถี่สัญญาณนาฬิกาเช่นเสียงพูดในระบบโทรศัพท์ มีแถบความถี่กว้าง 4 กิโลเฮิร์ท ต้องใช้ความถี่นาฬิกา 16 กิโลเฮิร์ท ได้ข้อมูลดิจิตอลที่มีบิตเรท 16 กิโลบิตต่อวินาที เป็นต้น

ในโครงงานนี้จะใช้ ไอซีเบอร์ MC 3418 ของโมโตโรล่า เป็นซีวีเอสดีมอดูเลชั่น และดีมอดูเลชั่นตัวเดียวทำหน้าที่ทั้งแปลงสัญญาณอนาล็อกเป็นดิจิตอลและแปลงกลับจากดิจิตอลเป็นอนาล็อก มาใช้กับระบบสื่อสารสมัยใหม่ที่เป็นระบบดิจิตอล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3-1 บล็อกแผนผังการทำงานของซีวิเอสในการแปลงสัญญาณจากอนาล็อกเป็นดิจิตอล



รูปที่ 3-2 บล็อกแผนผังการทำงานของ CVSD ในการแปลงสัญญาณจากดิจิตอลเป็นอนาล็อก

ข้อได้เปรียบของ DM นั้นคือ สร้างง่าย และให้เอาท์พุตออกมาเป็นอนุกรมเลย ข้อจำกัดของ DM คือความเที่ยงตรงในการแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอลด้วยบิตที่จำกัด ดังนั้น อนาล็อกเอาท์พุตจึงต้องมีการกำจัดทั้งแบนด์วิดและแอมป์ปลิจูดสำหรับความถี่จะจำกัดจุดสูงของ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ความถี่อินพุตไม่ให้เกินกว่าที่จะเข้าระหัสได้ส่วนแอมป์ปลิจูดนั้นจะจำกัดทั้งสูงสุดและต่ำสุด เพราะแอมป์ปลิจูดค่าต่ำสุดต้องไม่ต่ำกว่าระดับของนอยส์ที่DM สร้างขึ้นขณะไม่มีสัญญาณอินพุต สำหรับ Delta modulation แบบธรรมดาแล้วพบว่ามีไดนามิกส์เรนจ์ต่ำ และระดับของ นอยส์ คงที่

สำหรับวงจร Continuous variable slope นั้นมีจุดประสงค์ เพื่อเพิ่มเติมไดนามิกส์เรนจ์ซึ่งทำได้โดยการปรับเกณฑ์ของวงจรอินติเกรเตอร์ ด้วยวิธีการตรวจสอบสัญญาณอินพุต โดยใช้ชิฟรีจิสเตอร์นี้จะมี 3 หรือ 4 ตัวตามแต่การใช้งาน CVSD จะคอยเช็คดูว่าค่าภายในชิฟรีจิสเตอร์เป็น “0” หรือ “1” ทั้งหมดหรือไม่ ถ้าค่าภายในของชิฟรีจิสเตอร์เป็น “0” หรือ “1” ทั้งหมดแสดงว่า เกณฑ์ของอินติเกรเตอร์นั้นน้อยไป เราจะได้ผลแสดงออกมาทาง Coincidence เอาท์พุตซึ่งจะไปทำการเพิ่มเกณฑ์ของอินติเกรเตอร์

นอกจากวิธีการใช้ชิฟรีจิสเตอร์แล้วยังมีวิธีอื่นอีก เช่น การวัดกำลังเฉลี่ยหรือการวัดขนาดของสัญญาณอินพุต หรือตรวจสอบค่าขณะของอินพุต ซึ่งวิธีการเหล่านี้ล้วนแล้วแต่ต้องการควบคุมเกณฑ์ ของอินติเกรเตอร์ เพื่อเพิ่มไดนามิกส์เรนจ์ของ DM ทั้งสิ้น

จากวิธีการเข้ารหัสนี้ถ้าถูกนำมาใช้ในการถอดรหัสที่ทางด้านรับ เราก็จะได้สัญญาณดิจิตอลเอาท์พุตมีรูปร่างเช่นเดียวกับทางด้านอินพุต

จากวิธีการของ CVSD นี้เรียกว่าการ Compand (Compress + Expand) ถ้านำสัญญาณดิจิตอลเอาท์พุตของ CVSD Encoder มาใช้การถอดรหัสด้วย DM แบบธรรมดา (หรือ LDM นั่นเอง) เอาท์พุตหลังจากผ่านอินติเกรเตอร์แล้ว จะมีลักษณะเช่นเดียวกับทางอินพุต แต่ระดับ แอมป์ปลิจูดจะมีขนาดเท่ากันตลอด ดังนั้นวิธีการถอดรหัส CVSD ก็ต้องใช้เช่นเดียวกับวิธีการเข้ารหัส

ภาคส่ง

คอมพาเรเตอร์เป็นแบบ High gain differential comparator

- สัญญาณที่จะส่งป้อนเข้าทาง Noninverting input (+)
- สัญญาณที่เข้าทาง Inverting เป็นสัญญาณที่เกิดจากการป้อนกลับมาจากเอาทพุท โดยมีลักษณะคล้ายกับสัญญาณที่จะส่งมา
- คอมพาเรเตอร์จะ Saturation ไปทางด้านบวกหรือ Negative Supply Voltage อย่างใดอย่างหนึ่ง ขึ้นอยู่กับขั้วของแรงดันผลต่างระหว่างอินพุต (+ มีโวลท์สูงหรือต่ำกว่า – Input) ทั้งสอง ฉะนั้นเอาท์พุตจะมีแต่บวกหรือลบ

1) มอดดูเลเตอร์ได้รับ Pulse pi (t) เป็นแบบมีขั้วด้านเดียว (Unipolar) โดยมีอัตราแซมปลิ้งเท่าที่ต้องการทำหน้าที่ SW ให้เอาท์พุตของมอดออกไปได้พัลซ์เป็น +1 หรือ –1 คือ ถูกสลับด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

พัลซ์สัญญาณนี้นอกจากจะถูกส่งออกไปเป็นเอาท์พุต po(t) แล้ววยังย้อนกลับไปป้อนทางอินพุตโดยผ่านวงจรอินติเกรเตอร์ก่อน

2) อินติเกรเตอร์จะสร้างรูปคลื่นขั้นบันไดมีความสูงตายตัว โดยขั้วจะขึ้นเมื่อได้ Pulse + และขั้วจะตกลงเมื่อได้ Pulse – เป็นสัญญาณ m(t) ความสูงของพัลซ์ปรับได้โดยการเปลี่ยนแปลงเกณฑ์แฟคเตอร์ของอินติเกรเตอร์การจะทำให้รูปคลื่นมี Maximum rate Rmax ของการเพิ่มเกณฑ์

ภาครับ

1. Regenerator จะแต่งสัญญาณที่เข้ามาให้ปราศจาก นอยส์ ให้เหมือนรูปเดิม
2. อินติเกรเตอร์ สร้างสัญญาณเป็นรูปขั้นบันได m'(t)

Lowpass Filter ขจัด Quantization นอยส์ สัญญาณ m''(t) ที่จะออกไปเหมือนสัญญาณเดิมมากที่สุด

3.2 การจัดขาและหน้าที่ต่าง ๆ ของไอซี

ขา 1 analog input

เป็นขาอินเวอร์ติ้งอินพุตของอนาล็อก คอมพาราเตอร์ ซึ่งเราจะป้อนสัญญาณเสียงเข้าขานี้ได้ทั้งแบบเอซีและดีซี ขึ้นอยู่กับการใช้งาน ถ้าระดับสัญญาณเสียงมีค่าเข้าใกล้แรงดันอ้างอิงภายในแล้วตัวต้านทางที่ต่อไบอัสระหว่างขา 1 กับขา 10 จะถูกนำมาใช้อนาล็อกคอมพาราเตอร์ออกแบบใช้กับ hysteresis ต่ำ แต่มี เกณฑ์ สูง (ประมาณ 70 db)

ขา 2 analog feedback

เป็นขานอนอินเวอร์ติ้งอินพุตของอนาล็อกคอมพาราเตอร์ในการใช้งานเป็นเข้ารหัส (encode) ขานี้จะต่อกับ อนาล็อกเอาท์พุตของวงจรรหัส (encode circuit) หรือ ขา 7 ซึ่งก็คือ วงจรกรองความถี่ต่ำ (low pass filter) เอาท์พุตนั่นเอง ในการใช้งานเป็น Decoder ขานี้ไม่ใช้จะต่อกับขา 10 หรือปล่อยลอยไว้เฉย ๆ

ขา 3 syllabic filter

ขานี้เป็นขาที่มี Syllabic voltage ป้อนเข้าเพื่อใช้ในการคอนโทรลขนาดสเต็ปของอินติเกรเตอร์ ขานี้เป็น NPN อินพุตของ Op-Amp syllabic filter ประกอบด้วย RC network ที่มีต่อระหว่างขา 11 และขา 3 ซึ่งใช้ time constant ระหว่าง 6 mS – 50 mS

ขา 4 เกณฑ์ control input

Syllabic filter voltage ที่ปรากฏคร่อม Cs ของ Syllabic filter จะถูกเปลี่ยนเป็นกระแสนำไปขับ (drive) ขา 4 ที่ Slew rate 0.5 V/S ดังนั้น กระแสที่ผ่านเข้าขา 4 ก็คือ Syllabic filter voltage ที่หารด้วย Rx

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขา 5 Reference input

ขานี้เป็นขานอนอินเวอร์ติ้งอินพุตของอินติเกรเตอร์แอมปลิไฟเออร์ (integrator amplifier) ใช้เป็นระดับอ้างอิงดีซี (DC reference) ของสัญญาณเอาท์พุตใช้เป็นตัวเข้ารหัส (encode) ขานี้จะต้องมีแรงดันอ้างอิง (reference voltage) ระดับเดียวกันกับขา 1

ขา 6 Filter input

เป็นขาอินเวอร์ติ้งอินพุตออปแอมป์ซึ่งใช้ต่อกับอินติเกรเตอร์เนทเวอร์ก(integrator network) ภายนอกกระแสอินติเกรติ้ง (Iint) จะไหลเข้าขา 6 ในการเข้ารหัส (encoder) เมื่ออนาล็อกอินพุต (ขา 1) มากกว่า analog feedback (ขา 2) หรือการ decoder digital data อินพุต (ขา 13) เป็น "1" และในทางตรงกันข้าม กระแส Iint จะไหลออกจากขา 6 เมื่ออินพุตกลับกันครั้งแรกสำหรับระบบซิงเกิลอินติเกรชั่น (single integration) จะมี RC ต่อระหว่างขา 6 และขา 7

ขา 7 Analog output

เป็นขาอินติเกรเตอร์เอาท์พุต สามารถขับโหลดต่ำสุด 600 โอห์ม ด้วยแรงดันอ้างอิง (reference) กับ Vcc/2 สำหรับการออกแบบอินติเกรชั่นฟิลเตอร์เนตเวอร์ก slew rate ของการชดเชยภายใน โดยอินติเกรเตอร์ออปแอมป์ ประมาณ .05V/μS ขานี้จัดกระแสไว้ประมาณ 30 mA

ขา 8 Vee

ไอซีถูกออกแบบให้ทำงานได้ทั้งแหล่งจ่ายคู่และแหล่งจ่ายเดี่ยว ขานี้จะต่อกับไฟลบหรือกราวด์

ขา 9 Digital output

ขานี้เป็นขาเอาท์พุตจากผลของเดลต้ามอดูเลเตอร์ คอนเวอร์ชั่นเอาท์พุตของขานี้จะสวิงระหว่าง Vcc กับ Vee ซึ่งเมื่อสามารถต่อเข้ากับ MOS หรือ TLL ได้ ขานี้จะอินเวิร์ต เมื่อเทียบไปกับขา 1 และเป็นนอนอินเวิร์ตเมื่อเทียบกับขา 2 ขานี้ เอาท์พุตขึ้นอยู่กับสัญญาณนาฬิกาที่ขา 14 เมื่อมีขอบขาลง สัญญาณนาฬิกามี raise และ fall time 250 nS และ 50μS

ขา 10 Vcc/2 output

ขานี้มี impedance ต่ำ และจ่าย mid-supply reference สำหรับใช้งานแบบ single ภายในเป็นเรกูเลเตอร์ แหล่งจ่ายกระแส (current source) และจะต้องมีโหลดเพื่อ sink กระแสนี้ ขานี้สามารถจ่ายกระแสได้สูงสุด 10 mA

ขา 11 Coincidence output

ค่าดิวตี้ ไซเคิ้ล (duty cycle) ของขานี้เป็นสัดส่วนโดยตรง กับแรงดันที่ตกคร่อม Cs ขานี้จะเป็น low เมื่อค่าที่อยู่ในชิฟรีจิสเตอร์ (shift register) เป็น "0" หรือ "1" ทั้งหมดขานี้เป็น open

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

collector NPN จึงต้องมี pull up register มีชาร์จและดิสชาร์จไทม์คอนแตนซ์ (time constant) จะต่างกันเพราะ charging constant คือ Rs.Cs ขณะที่ discharge constant คือ (RS + Cs).Cs

ขา 12 Digital threshold

ขานี้เป็นขาอินพุต ซึ่งเป็นตัวเทียบระดับการสวิง สำหรับขา 13 , 14 , 15 ซึ่งจะช่วยในการอินเตอร์เฟส (interfacing) ระดับลอจิก เมื่อต่อกับไอซีชนิดต่าง ๆ ยังไม่ต้องมีไดโอดที่ต่อกับขา Vee สำหรับการอินเตอร์เฟส กับ ทีทีแอล

ขา 13 Digital data input

ขานี้เป็นขาอินพุตของดิจิตอลพัลส์ สำหรับการทำงานถอดรหัส ส่วนการเข้ารหัสจะไม่ใช้ขานี้ ในการถอดรหัสสัญญาณดิจิตอลจะถูกป้อนเข้าขานี้ สำหรับช่วงการเข้ารหัสขานี้ไม่ใช้หรืออาจจะใช้ในการส่งสัญญาณข่าวสาร ทั้งนี้ก็ขึ้นอยู่กับขา 15 ที่ใช้ควบคุมระดับข้อมูลดิจิตอล อินพุตควรจะคงที่อยู่ที่ 0.5 μS ก่อนและหลังการกระตุ้นของสัญญาณนาฬิกา

ขา 14 Clock input

ขานี้เป็นขาสำหรับสัญญาณนาฬิกา ซึ่งขึ้นอยู่กับว่าเราต้องการอัตราข้อมูล (data rate) เท่าไร ในการเข้า-ถอดรหัส (decode) เช่น 32 K bit rate ต้องใช้สัญญาณนาฬิกา 32 kHz สำหรับ switching threshold ถูกต้องไว้ที่ขา 12 สำหรับชิฟรีจิสเตอร์ (shift regiater) ภายในท็อคเกิล (toggle) ด้วยขอบขาลง (filter edge) ของ clock สำหรับความกว้างของ pulse + สูงสุด 300 nS ส่วน pulse – เป็น 900 nS

ขา 15 Encode/Decode

เป็นขาควบคุมต่อระหว่างอนาล็อกอินพุตของคอมพาราเตอร์ (ดิจิตอลพารามิเตอร์ ของคอมพาราเตอร์) เข้ากับชิฟรีจิสเตอร์ ถ้าเป็น “1” สัญญาณอนาล็อกอินพุตเปรียบเทียบกับช่วงขอบขาลงของสัญญาณนาฬิกาที่ขา 14 ถ้าเป็น “0” สัญญาณดิจิตอลจะถูกเปรียบเทียบเพื่อการแปลงกลับ

ขา 16 Vcc

เป็นขาแหล่งจ่ายไฟเลี้ยง ตั้งแต่ 4.77 V ถึง 16.5 V เมื่อเปรียบเทียบกับ Vee

3.3 การออกแบบการใช้งาน CVSD

ไอซีเบอร์ MC 3417, MC 3418 เป็น CVSD แบบง่าย การต่อให้ทำงานเป็น Encode และ Decode ดังแสดงในรูปที่ 3-3 ไอซีชนิดนี้เป็นCVSD แบบใช้งานทั่วไป ผู้ใช้สามารถออกแบบปรับปรุงได้ มีสิ่งที่ต้องการกำหนดและออกแบบ 7 ข้อคือ

1. กำหนดความถี่ของสัญญาณนาฬิกา (clock rate)
2. ขนาดของชิพรีจีสเตอร์ที่ต้องใช้ (3 หรือ 4 บิต)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3. เลือกลูปเกณฑ์(loop เกณฑ์)
4. กำหนดขนาดสเต็ปที่เล็กที่สุด(step size)
5. ออกแบบอินทิเกรชั่นฟิลเตอร์(transfer function)
6. ออกแบบซิแลบอิค ทรานเฟอฟังค์ชั่น(Syllabic filter transfer function)
7. ออกแบบวงจรกรองความถี่ต่ำผ่าน(low pass filter)

3.4 การเลือกสัญญาณนาฬิกาและขนาดของชิฟรีจิสเตอร์

ในการออกแบบขั้นต้น เราต้องกำหนดบิตเรทของ CVSD ซึ่งจำนวน บิตเรท นี้คือสัญญาณนาฬิกาที่ต้องใช้นั่นเอง เนื่องจาก DM สร้างสัญญาณที่เป็นอนุกรมออกมาเลย ดังนั้นบิตเรทและสัญญาณนาฬิกาหรือความถี่ของการ แซมปลิ้ง ก็คือตัวเดียวกันนั่นเอง ถ้าความถี่ของสัญญาณนาฬิกาสูง S/N ก็จะสูงไปด้วย ที่มีการใช้กันมากในอุปกรณ์การสื่อสารทั่วไป คือ 16 kHz , 36 kHz และ 37.7 kHz ในระบบโทรศัพท์สาธารณะจะใช้ 32 kHz และสำหรับการเข้ารหัสอื่น ๆ บางครั้งอาจจะใช้บิตเรทสูงถึง 200 กิโลบิตต่อวินาที

หลังจากการกำหนดระบบบิตเรทแล้ว ก็ต้องทำการกำหนดขนาดของ ชิฟรีจิสเตอร์นี้เป็นตัวเก็บข้อมูลของสัญญาณในช่วงเวลาที่ได้ผ่านมาก่อนหน้านี้แล้ว เพื่อควบคุมอัตตราการขยายของอินติเกรเตอร์ ซึ่งก็ขึ้นอยู่กับสัญญาณนาฬิกาด้วย ดังนั้นที่อัตราต่ำกว่า 16 kHz ควรใช้รีจิสเตอร์ขนาด 3 บิต ซึ่งจะให้ผลดีที่สุดและจาก 16 กิโลบิต ขึ้น ไปจะใช้ 3 หรือ 4 บิต อย่างใดอย่างหนึ่ง สำหรับ 4 บิต จะให้ S/N ที่ flat กว่า เพราะว่า รีจิสเตอร์ มีการเก็บข้อมูลที่ยาวกว่า อย่างก็ตามผลตอบสนอง ของทรานเซ้ียน จะไม่ดีเท่าที่ควร เนื่องจากการคอมแพนช้า ดังนั้น ไอซีเบอร์ MC 3418 ซึ่งมีรีจิสเตอร์ 3 ตัวนั้นใช้กับระบบที่ใช้ บิตเรทต่ำ ส่วน MC 3418 รีจิสเตอร์ 4 ตัว ใช้กับระบบที่มี บิตเรทสูงตั้งแต่ 64 กิโลบิต ขึ้นไปจะทำงานได้ดี

3.5 การเลือกค่าลูปเกณ

ในวงจรรูปที่ 3-3 Rx เป็นตัวกำหนดเกนขยายป้อนกลับของ CVSD การเลือกเกนนี้เป็นพารามิเตอร์ที่สำคัญอีกอย่างหนึ่งของการเข้ารหัส เนื่องจากวิธีการของ CVSD ก็เพื่อปรับปรุงไดนามิกส์เรนจ์ของ เดลต้ามอดูเลชั่น ที่ระดับสัญญาณอินพุตต่ำ ๆ การเลือกลูปเกนจึงต้องขึ้นอยู่กับ

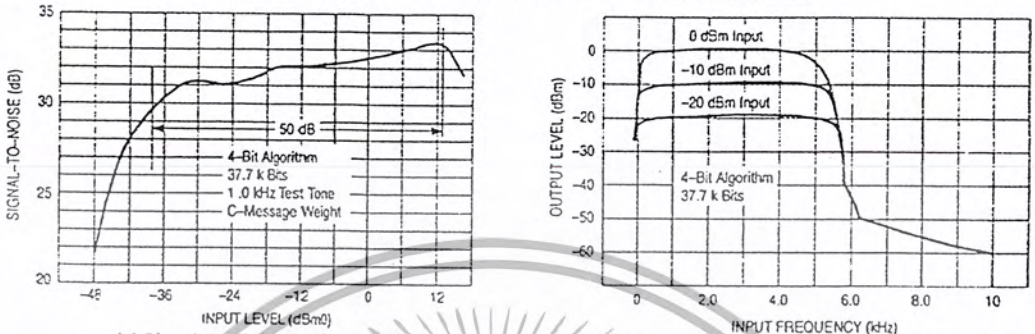
1. ระดับและความถี่ของสัญญาณอินพุต
2. ทรานเฟอร์ฟังก์ชั่นของอินทิเกรชั่นฟิลเตอร์

ดังเช่น การคอมแพน จะทำงานในระหว่าง 5% ถึง 25% ของเวลาเท่านั้น Rx จะถูกเลือกก็

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC3418

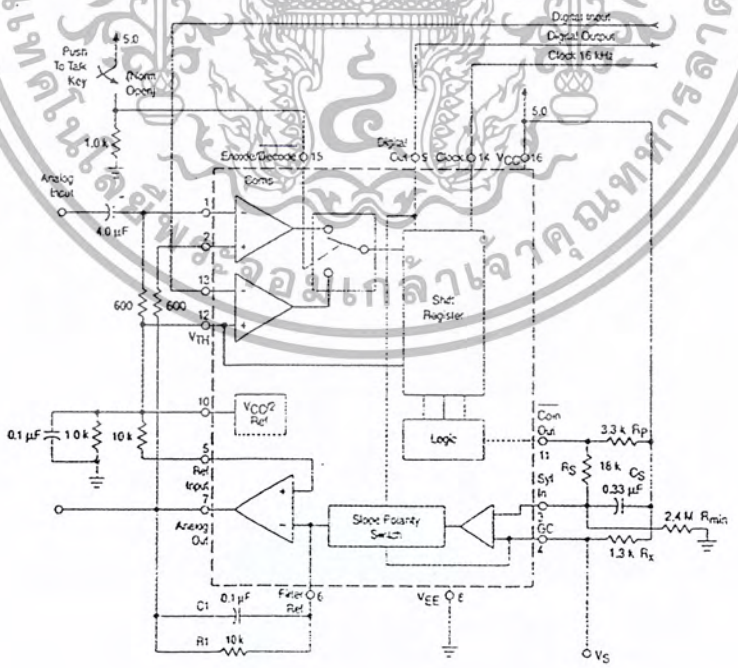
Figure 20. Signal–to–Noise Performance and Frequency Response*



(a) Signal–to–Noise Performance of Telephony Quality Deltamodulator

(b) Frequency Response versus Input Level (Slope Overload Characteristic)

รูปที่ 3-3 วงจรพื้นฐาน



รูปที่ 3-4 ผลตอบสนอง S/N เมื่อเทียบกับการตอบสนองความถี่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยการกำหนดกระแสที่อินติเกรเตอร์ต้องการ ซึ่งก็สร้างขนาดของ step ได้ตามต้องการเมื่ออินพุต ของ syllabic filter ได้ประมาณ 25% ของจุดสูงสุดของมัน

เพื่อที่จะคำนวณขนาดของกระแสของสเต็ปเราต้องหาลักษณะของทรานเฟอร์อินติเกรชั่น ฟิลเตอร์ ในรูปที่ 3-3

R = 10K C = 0.1 μF

$$\frac{VO}{li} = \frac{1}{C(S + 1/RC)} = \frac{K}{S + Wo} \qquad (3\text{-}1)$$

จาก Wo = 2f

10^3 = Wo = 2f

f = 159.2 Hz

ดังนั้น อินติเกรเตอร์ จะมี Single pole response ตั้งแต่ 300 Hz ถึง 3 kHz กระแสที่ต้องการ จะทำให้เอาท์พุตของอินติเกรเตอร์ เพิ่มจาก 0 ถึงจุดโวลท์เตจที่ต้องการ คือ

$$li = \frac{VO}{R} + \frac{CdVo}{dt} \qquad (3\text{-}2)$$

ที่ 0 dBmo ของ Sine wave จะเท่ากับ 1.0954 V ดังนั้น กระแสที่ต้องการสำหรับที่ 0 dBmo ของ 1 kHz ลูกคลื่นซายน์ คือ

$$li = \frac{1.1V}{2(10K)} + \frac{0.1\mu F(1.1)}{0.15\,mS} \qquad (3\text{-}3)$$

โวลท์เตจสูงสุดที่ตกคร่อม Ri = 1.1 V / 2

จากโวลท์ของ syllabic filter ก็คือ Vcc การ Compand ไม่เกิน 25%

$$Rx = 0.25\,Vcc * \frac{1}{0.935\,mA} \qquad (3\text{-}4)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.6 การเลือกขนาดของสเต็ปที่เล็กสุด (minimum step size)

พารามิเตอร์ที่จะกำหนดสุดท้ายนี้ สำหรับวงจรในรูป 3-3 คือขนาดของ step ที่เล็กที่สุด ขณะไม่มีสัญญาณอินพุตดิจิตอลของ CVSD เป็น "1" และ "0" สลับกันไปตลอด และที่อนาล็อกเอาท์พุตจะได้รับรูปสามเหลี่ยมเล็ก ๆ ซึ่งเรียกว่า Idle channel ซึ่งหมายความว่า CVSD ไม่สามารถเข้ารหัสสัญญาณที่มีระดับต่ำกว่าขนาดของ step ที่เล็กที่สุดได้ ในทางทฤษฎีแล้ว จะทำพารามิเตอร์นี้เป็น "0" แต่ในทางปฏิบัติจะมีค่าผิดพลาด (error) เช่น step ที่ขึ้นและลงไม่พอดีกันคอมพารามิเตอรอีสเตอร์รีซีส และฟิลเตอร์ออปแอมป์ออฟเซท (filter opamp off set) ซึ่งทำให้เกิด Idle channel ทั้งสิ้น

การกำหนดขนาด Idle channel นี้ด้วยการเลือกขนาดของ Rmin ขณะที่ไม่มีสัญญาณอินพุต ส่วนควบคุมความเอียงจะไม่ทำงานเพราะ เอาท์พุตของคอมพาราเตอร์ จะไม่เป็น "1" หรือ "0" ติดๆ กัน จนทำให้เกิด coincidence เอาท์พุตได้ ดังนั้น โวลท์เตจที่ตกคร่อม Cs จะประมาณ 0 V อย่างไรก็ตามโวลท์เตจที่ถูกแบ่งของ Rs และ Rmin จะทำให้มีโวลท์เตจตกคร่อม Cs บ้าง ซึ่งโวลท์เตจนี้จะทำให้เกิดสัญญาณสามเหลี่ยมที่เอาท์พุตของอนาล็อก จากสมการกระแสอินพุต

ที่ Vo น้อย ๆ จะได้ VO/R = 0 ดังนั้น เทอม Vo/R จึงถูกตัดทิ้งได้

$$li = C_s * \frac{VO}{T} \qquad (3\text{-}5)$$

T = Petiode ของสัญญาณนาฬิกา

Vo = Peak – to – Peak value of idle channel

$$li = \frac{0.1\,\mu F * 10\,mV}{26.52\,\mu S} \qquad (3\text{-}6)$$

ดังนั้นโวลท์เตจคร่อม Cs ที่กระแส 37.7 μA กำหนดโดย Rx

li.Rx = Vsmin = 37.7 μA . 1.3 K = 49 mV

ในรูปที่ 5.8 Rs = 60 k จะทำให้เกิดโวลท์เตจแบ่งกันระหว่าง Rs , Rmin โดยตกคร่อม Rs 49 mV ดังนั้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$cc * \frac{Rs}{Rs + Rmin} = Vsmin \qquad (3\text{-}7)$$

รูปที่ 3-4 เป็นการวัดผล S/N ของวงจร ซึ่งจะได้ผลดีที่สุดที่ระดับ 0 dBmo แต่ S/N จะตกลง 6 dB จาก 0 dBmo ที่ –30 dBm

3.7 การออกแบบและประยุกต์ใช้งาน CVSD

ไอซีเบอร์ MC 3418 เป็นชนิด CVSD แบบง่าย การออกแบบมีสิ่งที่ต้องกำหนดและออกแบบ 7 ข้อ คือ

1. กำหนดความถี่ของสัญญาณนาฬิกา (Clock rate)
2. ขนาดของชิฟรีจิสเตอร์ที่ต้องใช้ (3 หรือ 4 bit)
3. เลือกลูปเกณฑ์
4. กำหนดขนาดสเต็ปที่เล็กที่สุด
5. ออกแบบอินทีเกรชั่นฟิลเตอร์ Transfer function
6. ออกแบบ Syllabic filter transfer function
7. ออกแบบ Low pass filter

สัญญาณนาฬิกาและขนาดของชิฟรีจิสเตอร์

ในโครงงานนี้ใช้ความถี่ของสัญญาณนาฬิกา (Clock rate) ขนาดตั้งแต่ 4-256 kHz และขนาดของชิฟรีจิสเตอร์ใช้ 4 บิต

เลือกลูปเกณฑ์

ในวงจรเดลต้ามอดูเลชั่น Rx เป็นตัวกำหนด feedback เกณฑ์ ของ CVSD การเลือก เกณฑ์นี้เป็นพารามิเตอร์ที่สำคัญอีกอย่างหนึ่งของการเข้ารหัสเนื่องจากวิธีการของ CVSD ก็เพื่อปรับปรุงไดนามิกส์เรนจ์ของ Delta modulator ที่ระดับสัญญาณอินพุตต่ำ ๆ การเลือกลูปเกณฑ์ จึงต้องขึ้นอยู่กับ

1. ระดับและความถี่สูงสุดของสัญญาณอินพุต
2. ทรานเฟอฟังชั่นของอินติเกรชั่นฟิลเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดังเช่นการ Compand จะทำงานในระหว่าง 5% ถึง 25% ของเวลาเท่านั้น Rx จะถูกเลือกก็โดยการกำหนดกระแสที่อินติเกรเตอร์ต้องการ ซึ่งจะสร้างขนาดของสเต็ปได้ตามต้องการเมื่อเอาท์พุตของ Syllabic filter ได้ประมาณ 25% ของจุดสูงสุดของมัน

เพื่อที่จะคำนวณขนาดของกระแสของ step เราต้องหาลักษณะของทรานเฟอร์ของอินติเกรชั่นฟิลเตอร์ ในรูปที่ 3-5

$$R = 10\ k \qquad C = 0.1\ uF$$

จาก $\omega o = 2\pi f$

$$10^3 = \omega o = 2\pi f$$

$$f = 159.2\ Hz$$

ดังนั้นอินติเกรเตอร์ฟิลเตอร์จะมี Single pole response ตั้งแต่ 300 ถึง 3 kHz กระแสที่ต้องการที่จะทำให้เอาท์พุตของอินติเกรเตอร์ เพิ่มจาก 0 ถึงจุดโวลท์เตจที่ต้องการคือ

$$Ii = vo/R + CdVo/dt$$

ที่ 0 dBmo ของ Sine wave จะเท่ากับ 1.0954 ดังนั้นกระแสที่ต้องการสำหรับที่ 0 dBmo ของ 1 kHz Sine wave คือ

$$Ii = 1.1v/2(10k) + 0.1\ uF(1.1)/0.125 = 0.935\ mA$$

โวลท์เตจสูงสุดที่ตกคร่อม Ri = 1.1

จากโวลท์เตจของ syllabic filter ก็คือ Vcc การ Compand ไม่เกิน 25Rx = 0.25 Vcc x (1/0.935 mA)

ที่ Vcc = 5 V , Rx = 1.3 k

ขนาดของสเต็ปที่เล็กที่สุด (minimum step size)

พารามิเตอร์ที่จะกำหนดสุดท้ายนี้ สำหรับวงจรเดลต้ามอดูเลชั่น คือ ขนาดของสเต็ปที่เล็กที่สุด ขณะที่ไม่มีสัญญาณอินพุต ที่เอาท์พุตดิจิตอลของ CVSD เป็น 1 และ 0 สลับกันไปตลอดและที่อนาล็อกเอาท์พุตจะได้รูปสามเหลี่ยมเล็ก ๆ ซึ่งเรียกว่า Idle channel ซึ่งหมายความว่า CVSD ไม่สามารถเข้าสัญญาณที่มีระดับต่ำกว่าขนาดของสเต็ปที่เล็กที่สุดได้ในทางทฤษฎีแล้วจะทำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

พารามิเตอร์นี้เป็น 0 แต่ในทางปฏิบัติจะมีค่าผิดพลาด (Error) เช่นสเต็ปที่ขึ้นและลงไม่พอดีกัน คอมพารามิเตอร์อีสเตอร์รีซีส และ Filter op-amp offset ซึ่งทำให้เกิด Idle channel ทั้งสิ้น

การกำหนดขนาด Idle channel นี้โดยการเลือกขนาดของ Rmin ขณะที่ไม่มีสัญญาณอินพุต ส่วนที่ควบคุมความชันจะไม่ทำงานเพราะเอาท์พุตของคอมพาราเตอร์จะไม่เป็น 1 หรือ 0 ติด ๆ กัน จนทำให้เกิด Concidence เอาท์พุตได้ ดังนั้นโวลท์เตจที่ตกคร่อม Cs จะประมาณ 0V อย่างไรก็ตาม โวลท์เตจนี้จะทำให้เกิดสัญญาณสามเหลี่ยมที่เอาท์พุตของ อนาล็อกจากสมการกระแสอินพุต

ที่ Vo น้อย ๆ จะได้ ดังนั้นเทอม Vo/R จึงถูกตัดทิ้งได้ จะได้

ΔT = period ของสัญญาณนาฬิกา

ΔVo = peak-to-peak valuenof idle channel

จากวงจรในรูปที่ 6.2 ใช้สัญญาณนาฬิกา 3.7 kHz

li = 0.1uF*10mA/26052 us = 37.7 uA

ดังนั้น โวลท์เตจคร่อม Cs ที่กระแส 37.7 μA กำหนดโดย Rx

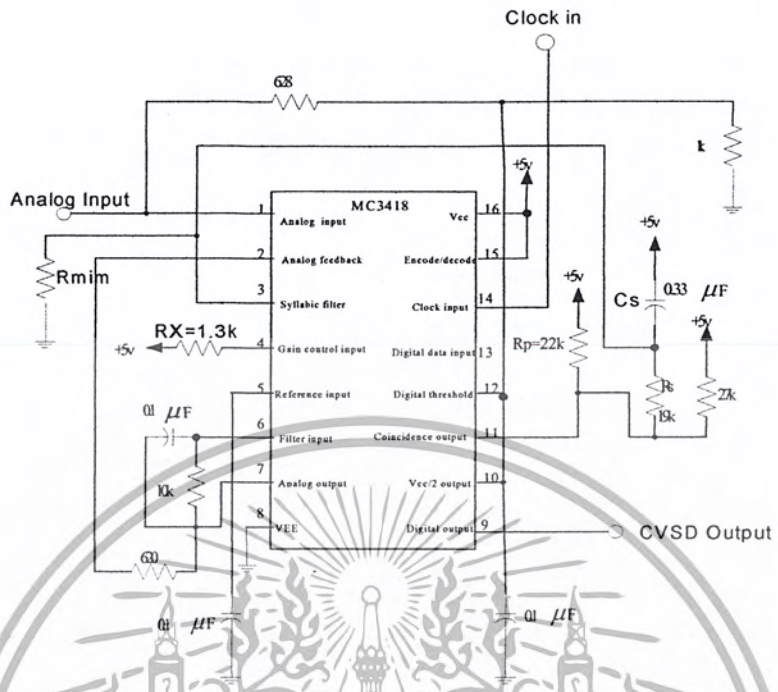
Li Rx = Vsmin = 37.7 μA x 1.3 K = 49 mV

ในรูปที่ 3-5 Rs = 60 kΩ จะทำให้เกิดโวลท์เตจแบ่งกัน ระหว่าง Rs, Rmin โดยจะตกคร่อม Rs 49 mV ดังนั้น

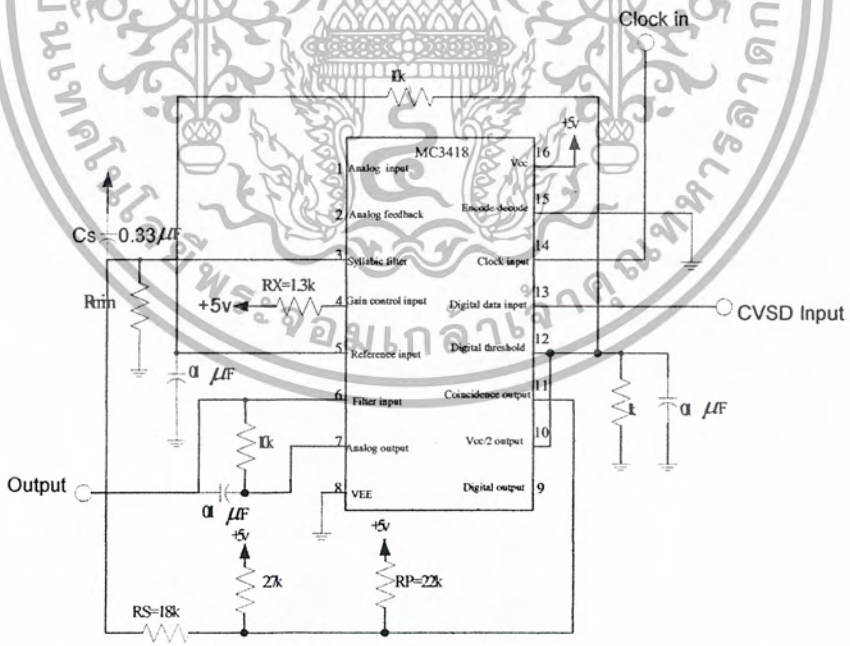
Vcc = Rs = Vsmin/Rs+Rmin

Rmin = 6.1 M

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3-5 วงจรการออกแบบทางด้านภาคส่งของ CVSD



รูปที่ 3-6 วงจรการออกแบบทางด้านภาครับของ CVSD

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.8 การออกแบบวงจรกำเนิดความถี่อ้างอิง

วงจรกำเนิดความถี่อ้างอิง สร้างจาก IC MC14060 หรือ 74HC4060 ซึ่ง 2 เบอร์นี้ใช้แทนกันได้เป็น IC – Digital Hi Speed CMOS 14 – Stage Ripple / Carry Binary Counter / Divider and Oscillator ซึ่งภายในประกอบด้วยเกทอินเวอร์เตอร์ และวงจรหารแบบไบนารี่จำนวน 14 สเตท โดยที่เอาท์พุตเป็นสัญญาณหาร 16384 ที่ขา 6 โดยวงจรเกทต่อร่วมกับคริสตอลสำหรับออสซิเลททำงานที่ความถี่ 4.096 MHz

สัญญาณหารที่เอาท์พุต = 2^{n+1}

โดย n = อันดับของจำนวนเอาท์พุต เช่นที่ Q7 จะได้

สัญญาณหารที่เอาท์พุต Q7 = 2^{7+1} = 256

ดังนั้นสัญญาณหารที่เอาท์พุตของแต่ละเอาท์พุตจะเป็นดังนี้ โดยเริ่มที่

Q3 = 16
Q4 = 32
Q5 = 64
Q6 = 128
Q7 = 256
Q8 = 512
Q9 = 1,024
Q10 = 2,048
Q11 = 4,096
Q12 = 8,92
Q13 = 16,384

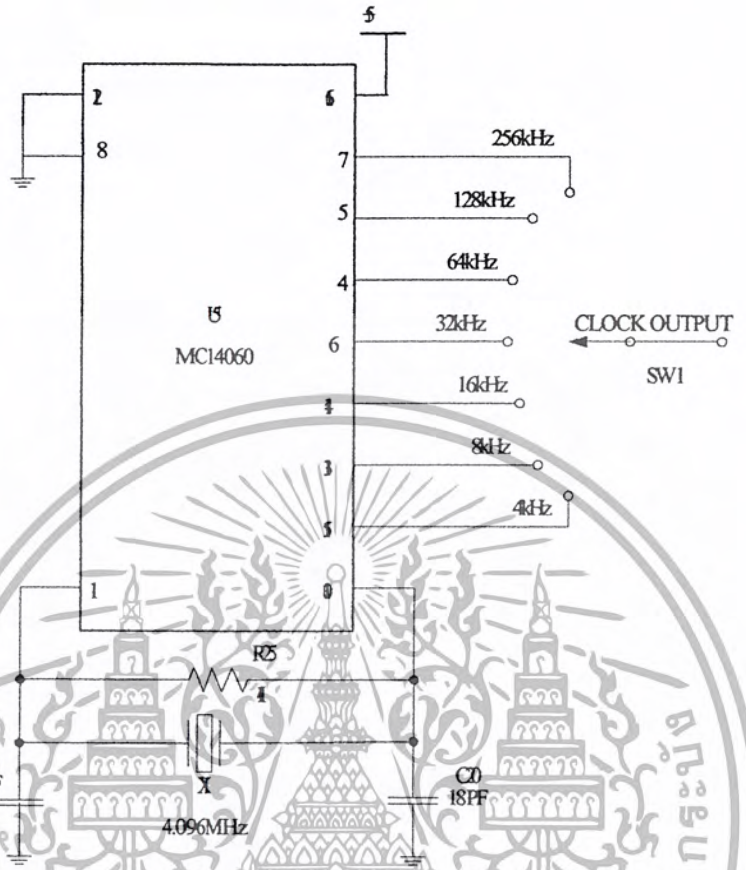
สำหรับโครงงานนี้ใช้คริสตอล ผลิตความถี่ 4.096 MHz ดังนั้นเราจะทราบว่าเอาท์พุตแต่ละเอาท์พุตจะได้สัญญาณนาฬิกาที่มีความถี่เท่าไร โดยการนำเอาความถี่ของคริสตอล หารด้วยสัญญาณนาฬิกาของแต่ละเอาท์พุต เช่นที่ Q7 จะได้

ความถี่ของสัญญาณนาฬิกาที่ Q7 = 4.096 MHz / 256 = 16 kHz

ดังนั้นจะได้ความถี่ของสัญญาณนาฬิกาแต่ละเอาท์พุต ดังนี้

Q3 (ขา 7) = 256 kHz
Q4 (ขา 5) = 128 kHz
Q5 (ขา 4) = 64 kHz
Q6 (ขา 6) = 32 kHz
Q7 (ขา 14) = 16 kHz
Q8 (ขา 13) = 8 kHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3-7 วงจรกำเนิดสัญญาณนาความถี่อ้างอิง

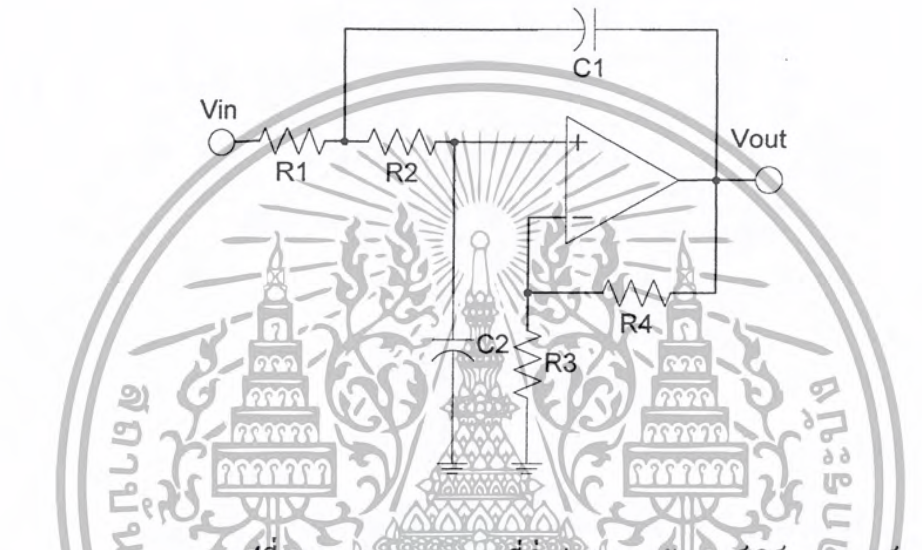
ซึ่งสัญญาณนาฬิกา หรือสัญญาณความถี่อ้างอิงที่ได้จะเป็นสัญญาณแรงดัน TTL ขนาด 0 V สำหรับลอจิก "0" ขนาด 5 V สำหรับลอจิก "1"

สำหรับวงจรเกทออสซิเลท ซึ่งอยู่ภายในวงจรรวม MC14060 หรือ 74HC4060 เกทเปรียบเหมือนวงจรขยายกลับเฟว โดยมี R25, C19, C20 และคริสตอลเป็นส่วนของวงจรป้อนกลับสัญญาณจากเอาท์พุตของเกท ให้อินพุตของเกทมีเฟสกลับไป 180 องศา R25 เป็นความต้านทางสำหรับไบอัสให้เกททำงาน เลือกใช้ขนาด 1 MΩ สำหรับค่า C19 และ C20 กำหนดให้ค่า C19 และ C20 อนุกรมกันจะมีขนาดเท่ากับค่าโหลดคาปาซิแตนท์ของคริสตอล โดยการออกแบบเลือกค่า C19, C20 ขนาด 18 pF

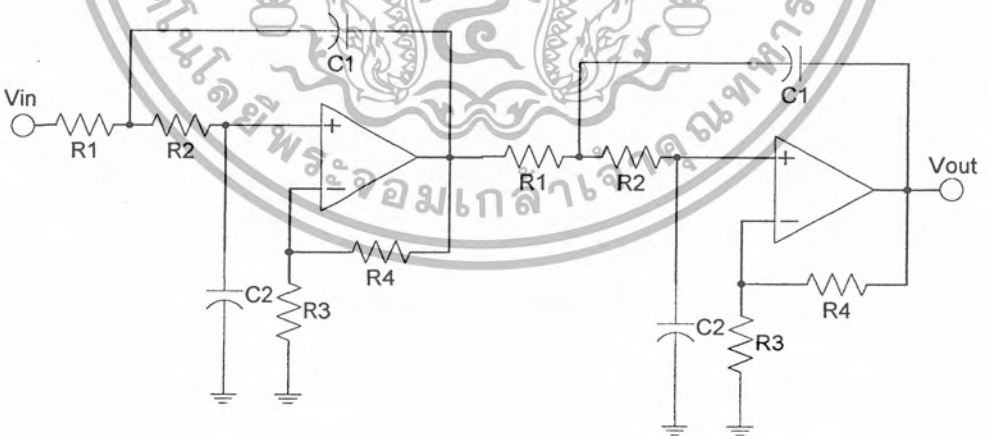
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.9 การออกแบบวงจรกรองความถี่ต่ำผ่าน (Lowpass Filter Design)

เนื่องจากสัญญาณอนาล็อกเอาท์พุตที่ได้จากวงจรเดลต้า/ซีวีเอสดีเป็นสัญญาณอินติเกรต จึงต้องนำสัญญาณดังกล่าวมาผ่านวงจรกรองความถี่ต่ำผ่าน จากที่สัญญาณความถี่อินพุตที่ถูกปล่อยเข้าสู่ระบบในตอนแรกถูกป้อนให้มีค่าไม่เกิน 4 Khz ดั้งจึงออกแบบวงจรกรองความถี่ต่ำผ่านแบบบัตเตอร์เวิร์ธ ที่ความถี่คัตออฟเท่ากับ 4 Khz แสดงรูปวงจรดังนี้



รูปที่ 3-8 วงจรกรองความถี่ต่ำผ่านแบบบัตเตอร์เวิร์ธ ออเดอร์2



รูปที่ 3-9 วงจรกรองความถี่ต่ำผ่านแบบ บัตเตอร์เวิร์ธ ออเดอร์4

จากหนังสือ Manual of Active Filter Design เมื่อต้องการสร้างวงจรกรองความถี่ต่ำผ่านแบบบัตเตอร์เวิร์ธ ที่มีอัตตราขยายเท่ากับ 4 โดยเลือกค่าความเก็บประจุ C1 เป็น 0.01 ไมโครฟาหรัด แล้วหาค่าพารามิเตอร์ (K parameter) ซึ่งจะได้ K=2.5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

นำค่า K=2.5 ไปเปิดกราฟที่มีอัตราขยายเท่ากับ 4 จะสามารถรู้ค่า C2 , R1, R2, R3, และ R4 ได้ดังนี้

$C1 = C2 = 0.01 \ \mu F$

$R1 = 1.75 \ K\Omega$

$R2 = 9.3 \ K\Omega$

$R3 = 14.5 \ K\Omega$

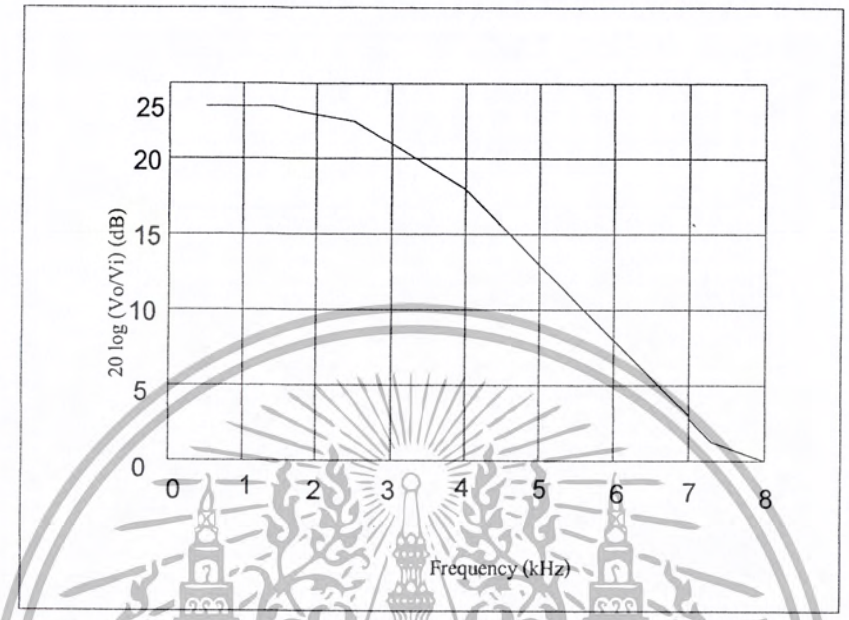
$R4 = 44 \ K\Omega$

แต่ในการทดลองนี้ต้องการวงจรกรองความถี่ต่ำผ่านแบบบัตเตอร์เวิร์ธออเดอร์ 4 จึงนำวงจรกรองความถี่ต่ำผ่านออเดอร์2 จำนวน 2 ชุดมาต่อกันซึ่งจะได้ผลตอบสนองทางความถี่ของวงจรกรองความถี่ต่ำแบบบัตเตอร์เวิร์ธออเดอร์4 ดังแสดงในตารางที่3-1 แล้วนำไปเขียนกราฟได้ดังรูปที่ 3-10

ตารางที่ 3-1 ผลการตอบสนองทางความถี่ของวงจรกรองความถี่ต่ำแบบบัตเตอร์เวิร์ธออเดอร์ 4

Frequency (kHz)	Vin-pp (Volt)	Vout-pp (Volt)	20 log[Vo/Vi] (dB)
0.5	1.062	16.41	23.77968129
1.0	1.062	16.56	23.85871631
1.5	1.062	16.72	23.94223513
2.0	1.125	16.41	23.27912117
2.5	1.125	15.47	22.76675583
3.0	1.125	13.59	21.64133869
3.5	1.125	11.09	19.87558047
4.0	1.125	8.594	17.66085654
4.5	1.125	6.406	15.10868824
5.0	1.125	4.687	12.39484862
5.5	1.062	3.594	10.58907112
6.0	1.062	2.656	7.962071079
6.5	1.062	2.031	5.631708133
7.0	1.062	1.719	4.183027199

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



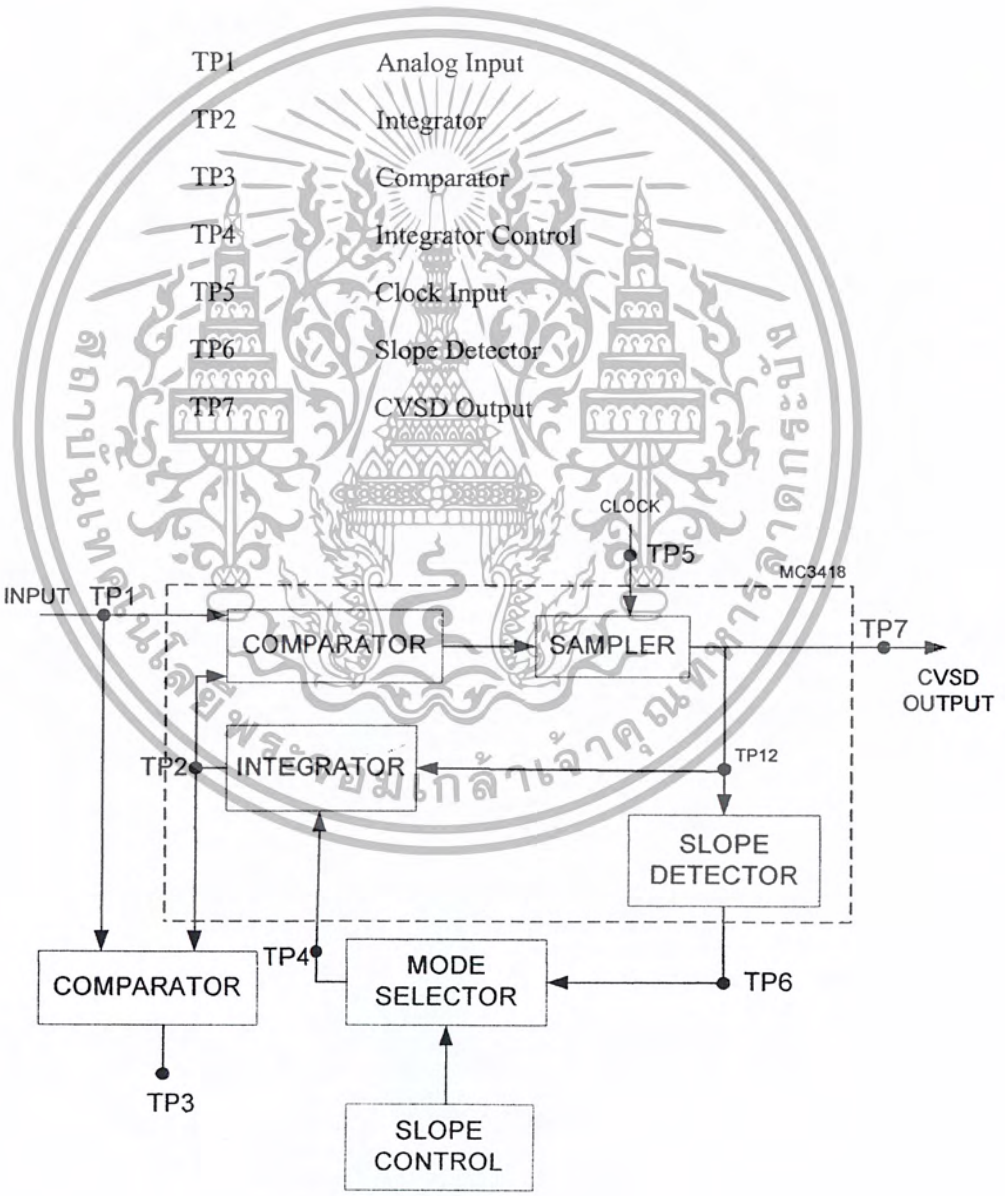
รูปที่ 3-10 กราฟผลการตอบสนองทางความถี่ของวงจรกรองความถี่ต่ำแบบบัตเตอร์เวิร์ธ ออเดอร์ 4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่4

การทดลองและผลการทดลอง

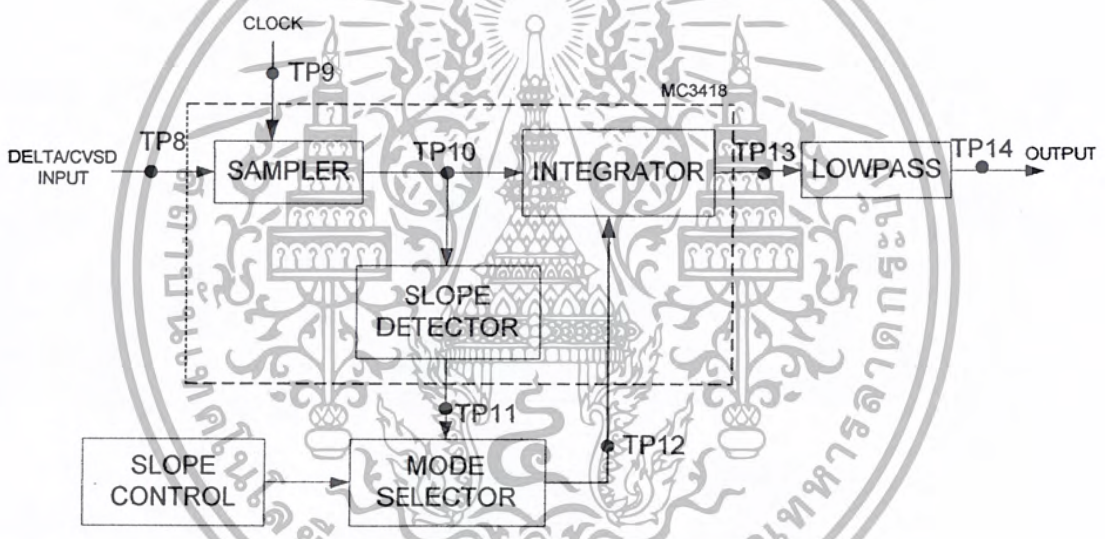
การทดลองจะทำการวัดค่ารูปคลื่นการทำงานของวงจร โดยจะทำการวัดค่าที่จุดวัดต่างๆ ภายในวงจรตามบล็อกไดอะแกรมที่แสดงในรูปที่ 4-1 สำหรับภาคส่งและในรูปที่ 4-2 สำหรับภาครับ



รูปที่ 4-1 ตำแหน่งของจุดวัดภายในวงจรของภาคส่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TP8	CVSD Input
TP9	Clock Iput
TP10	Sampler
TP11	Slope Detector
TP12	Integrator Control
TP13	Analog Output
TP14	Output



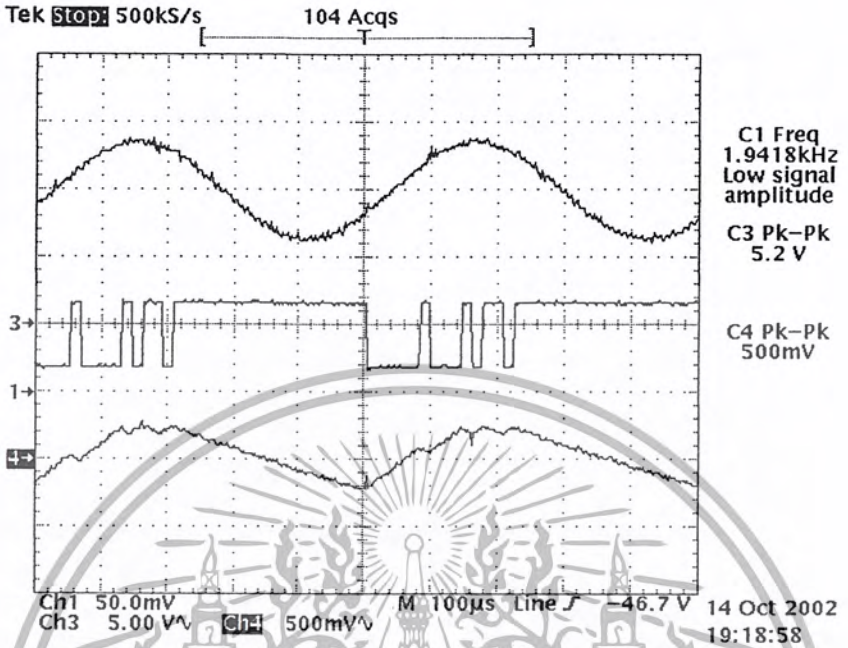
รูปที่ 4-2 ตำแหน่งของจุดวัดภายในวงจรของภาครับ

การทดลอง

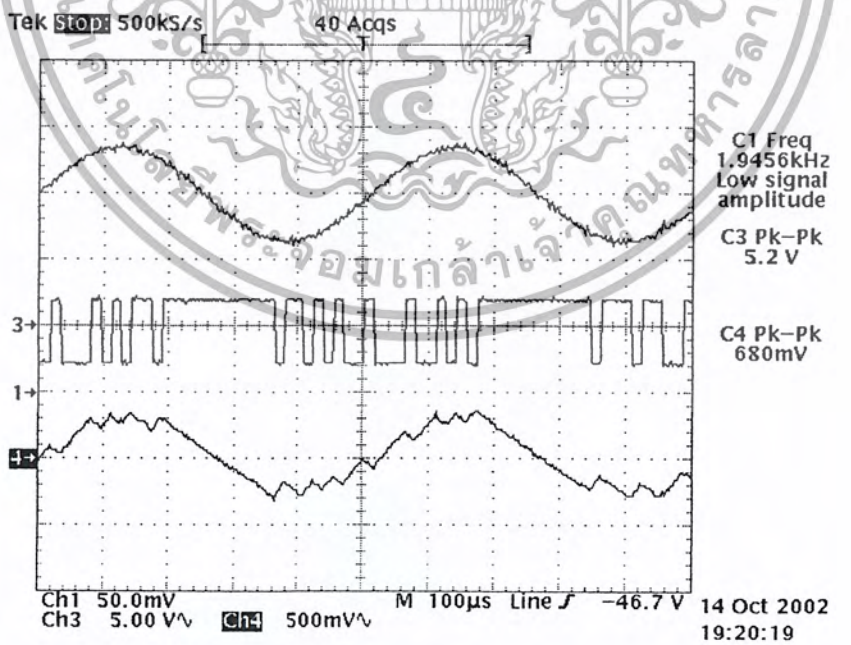
1. ทดลองปรับขนาดความชันของอินติเกรต

โดยการป้อนอินพุตที่ความถี่ 2 KHz และ Clock เท่ากับ 16 KHz โดยเลือก Mode Select ไปที่ Mode Control แล้วทำการปรับค่า Slope Control วัดค่าสัญญาณ อินพุตที่ TP1 เทียบกับสัญญาณ Integrator ที่ TP2 พร้อมทั้งวัดค่าสัญญาณ CVSD Output ที่ TP7 ได้ ผลการทดลองดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

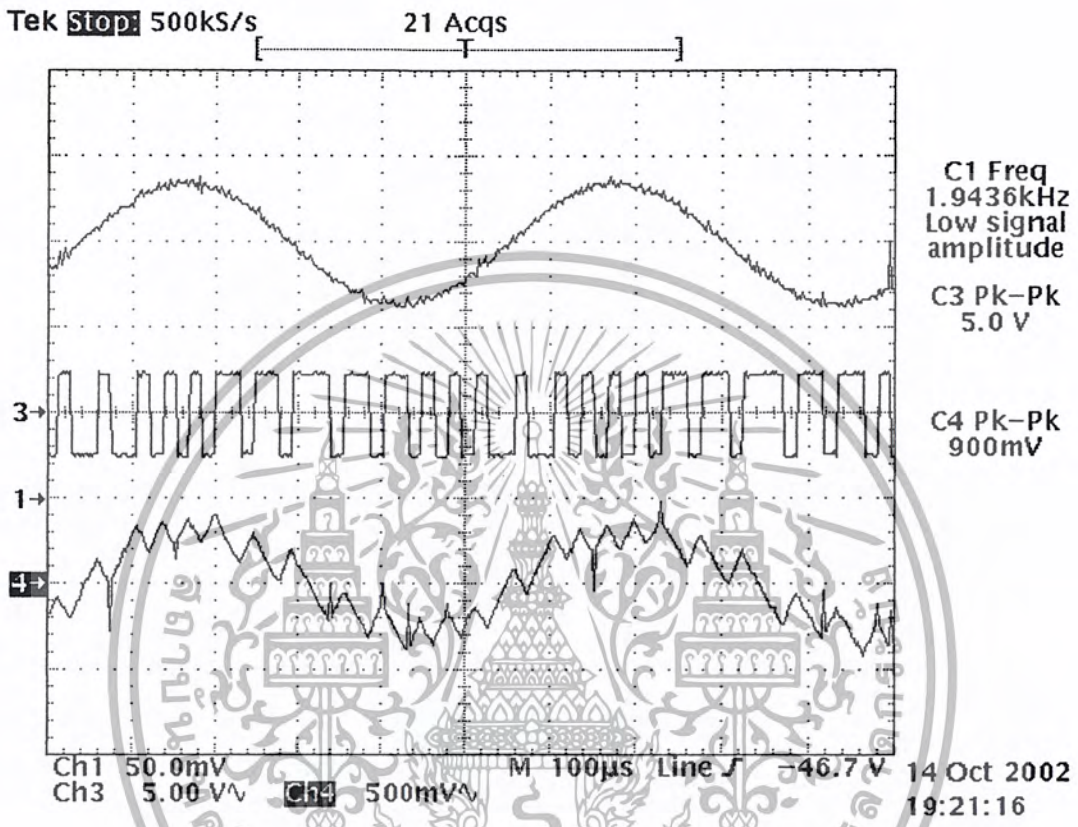


รูปที่ 4-3 วัดค่าความชันที่ 1 CH1:Input CH2:CVSD CH3:Integrator



รูปที่ 4-4 วัดค่าความชันที่ 2 CH1:Input CH2:CVSD CH3:Integrator

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

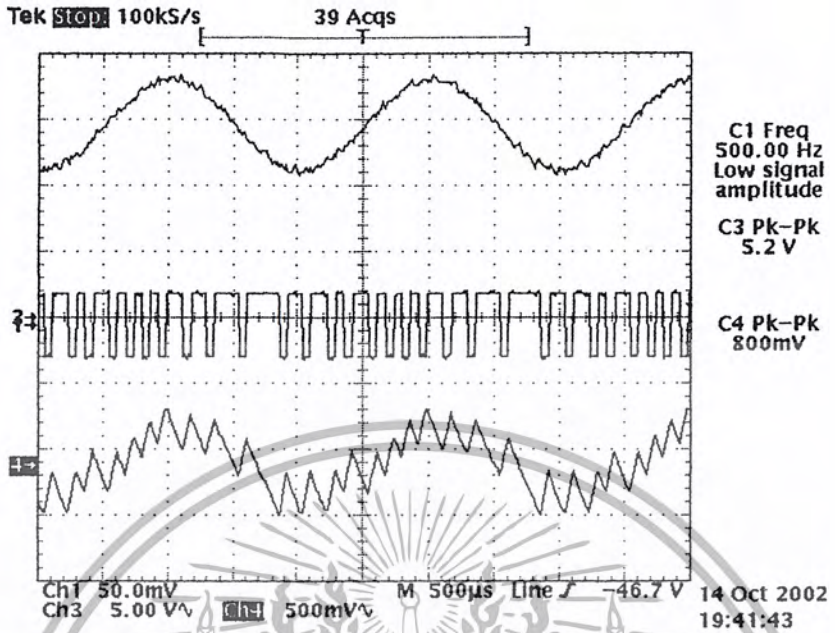


รูปที่ 4-5 วัดค่าความชันที่ 3 CH1:Input CH2:CVSD CH3:Integrator

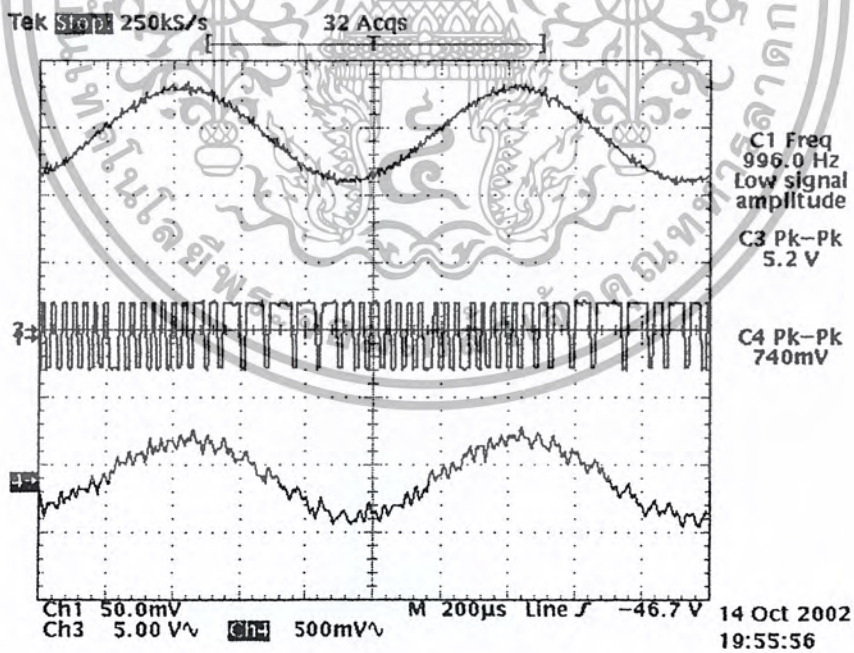
2. ทดลองป้อนสัญญาณอินพุต

ป้อนสัญญาณ Clock ให้กับวงจรที่ 16 Khz และป้อนอินพุตด้วยสัญญาณ Sinewave โดยปรับค่า ความถี่ที่ 500Hz , 1Khz , 2Khz , 4Khz ,และจน ถึงจุดโอเวอร์โหลด ตามลำดับ จากนั้นทำการวัดค่าสัญญาณ อินพุตที่ TP1 เทียบกับสัญญาณ Integrator ที่ TP2 พร้อมทั้งวัดค่าสัญญาณ CVSD Output ที่ TP7 ได้ ผลการทดลองดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

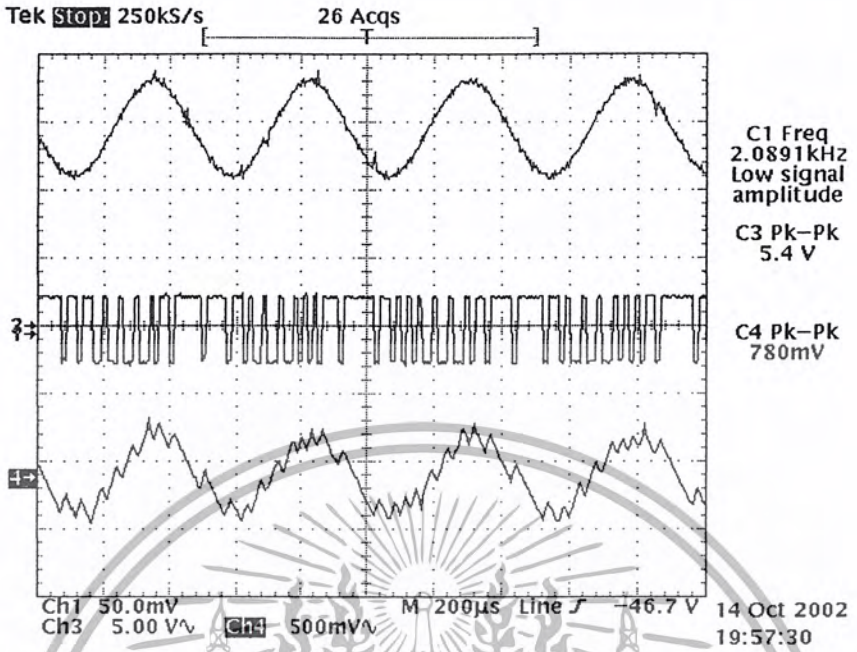


รูปที่ 4-6 เมื่อความถี่อินพุตเท่ากับ 500 Hz CH1:Input CH2:CVSD CH3:Integrator

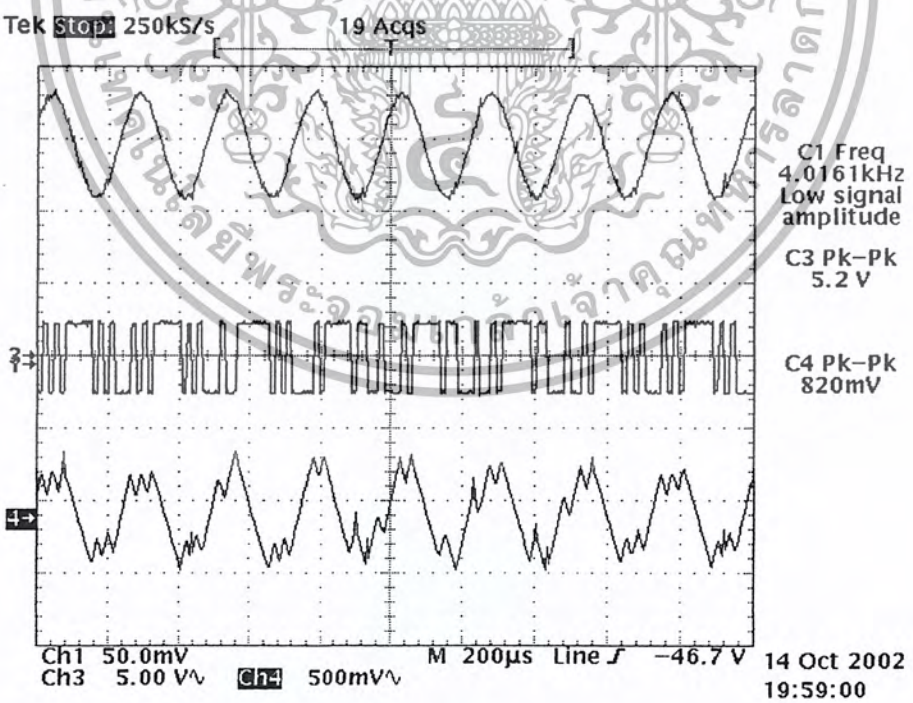


รูปที่ 4-7 เมื่อความถี่อินพุตเท่ากับ 1 KHz CH1:Input CH2:CVSD CH3:Integrator

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

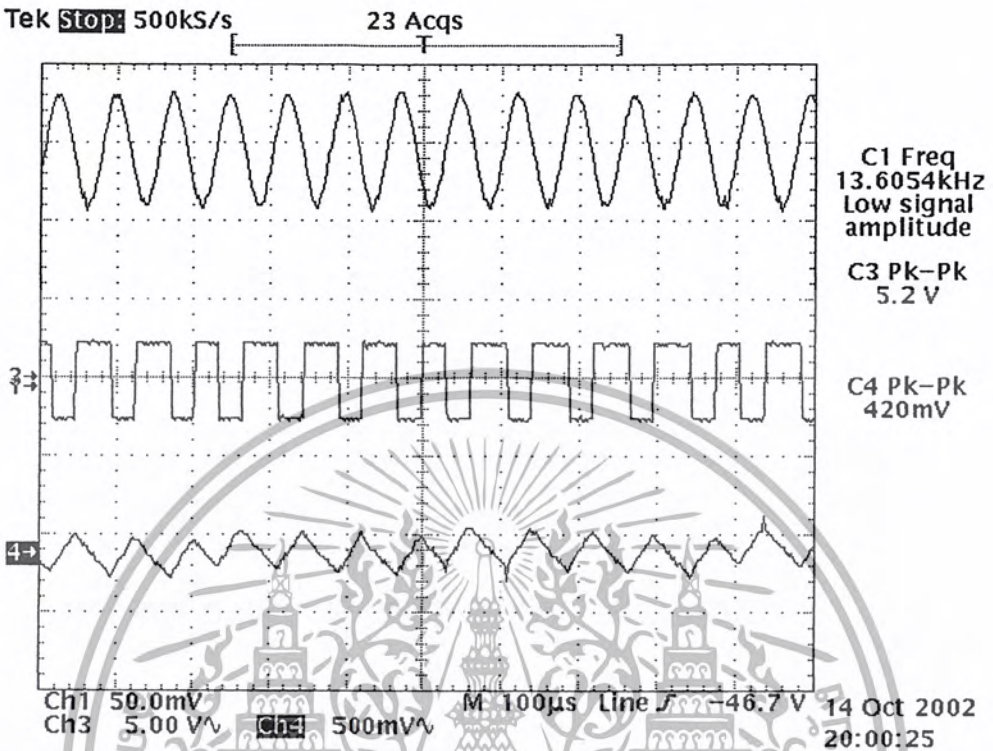


รูปที่ 4-8 เมื่อความถี่อินพุตเท่ากับ 2 KHz CH1:Input CH2:CVSD CH3:Integrator



รูปที่ 4-9 เมื่อความถี่อินพุตเท่ากับ 4 KHz CH1:Input CH2:CVSD CH3:Integrator

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

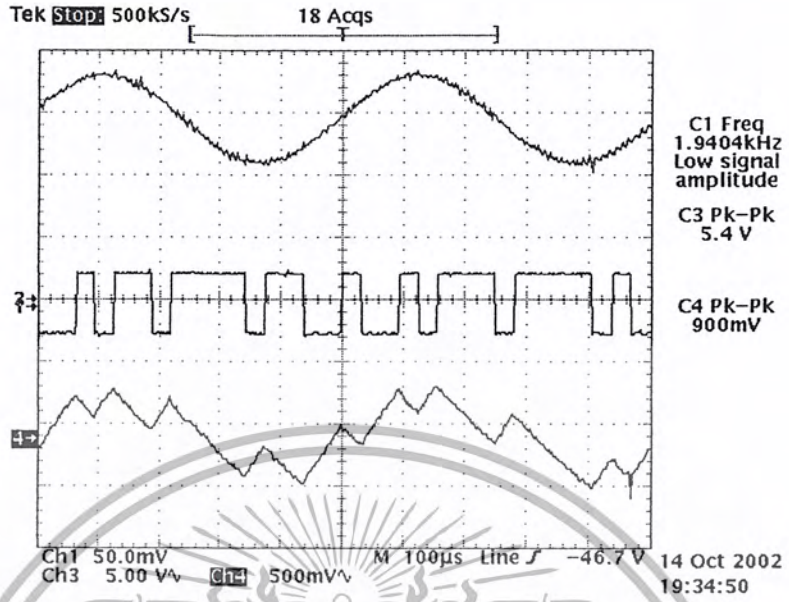


รูปที่ 4-10 เมื่อความถี่อินพุตเท่าที่ทำให้เกิด Slope Overload CH1:Input CH2:CVSD CH3:Integrator

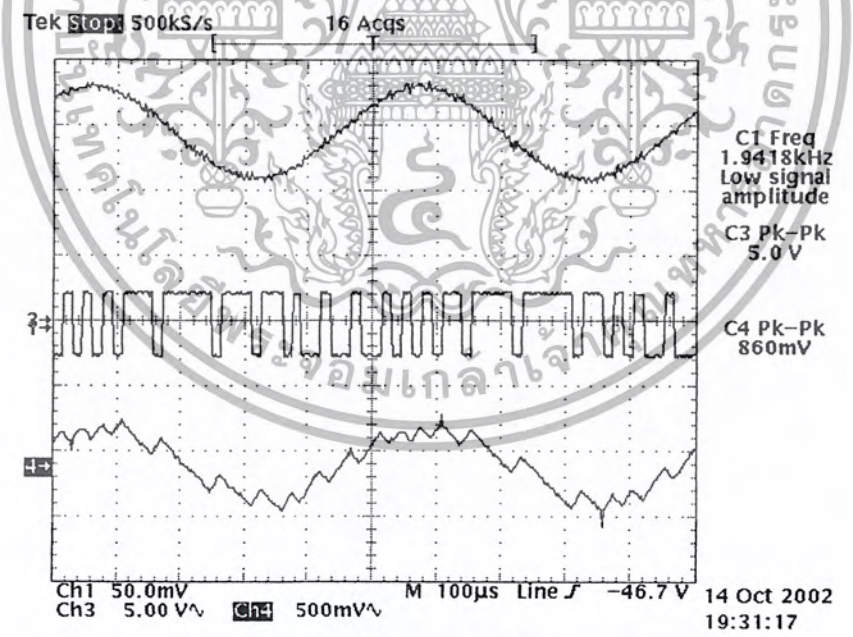
3. ทดลองเปลี่ยนความถี่ Sampling

จะเห็นได้ว่าที่ความถี่สูงขึ้นจะทำให้เกิดการโอเวอร์โหลดทางความชันขึ้นดังรูปที่ 4-10 สามารถแก้ไขได้โดยการให้อัตราการ Sampler ที่เพิ่มขึ้นหรือการเพิ่มความถี่ Clock ขึ้นอีกจะทำให้การโอเวอร์โหลดทางความชันมีค่าลดลง จะทำการทดลองโดยการป้อนอินพุตความถี่คงที่เท่ากับ 2 KHz และทำให้ปรับ Clock ไปที่ความถี่เท่ากับ 32, 64, 128, และ 256 KHz ตามลำดับได้ผลทดลองดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

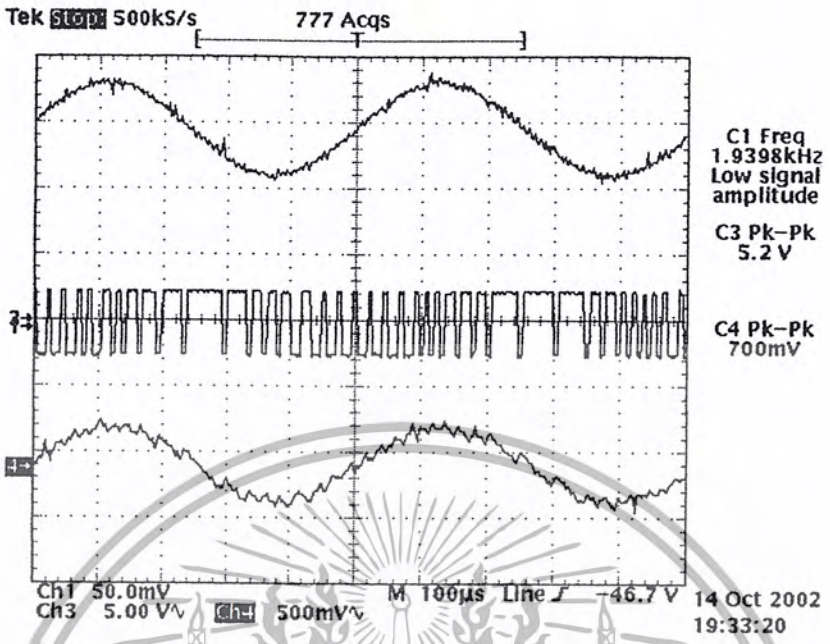


รูปที่ 4-11 ลด Overload โดยเพิ่ม Sampling เท่ากับ 32 KHz CH1:Input CH2:CVSD CH3:Integrator

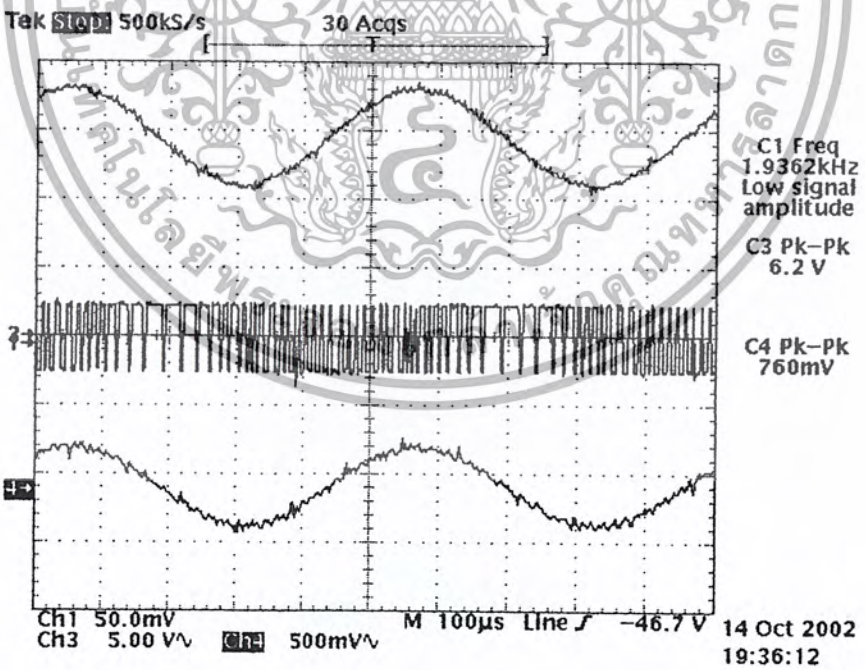


รูปที่ 4-12 ลด Overload โดยเพิ่ม Sampling เท่ากับ 64 KHz CH1:Input CH2:CVSD CH3:Integrator

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4-13 ลด Overload โดยเพิ่ม Sampling เท่ากับ 128 KHz CH1:Input CH2:CVSD CH3:Integrator

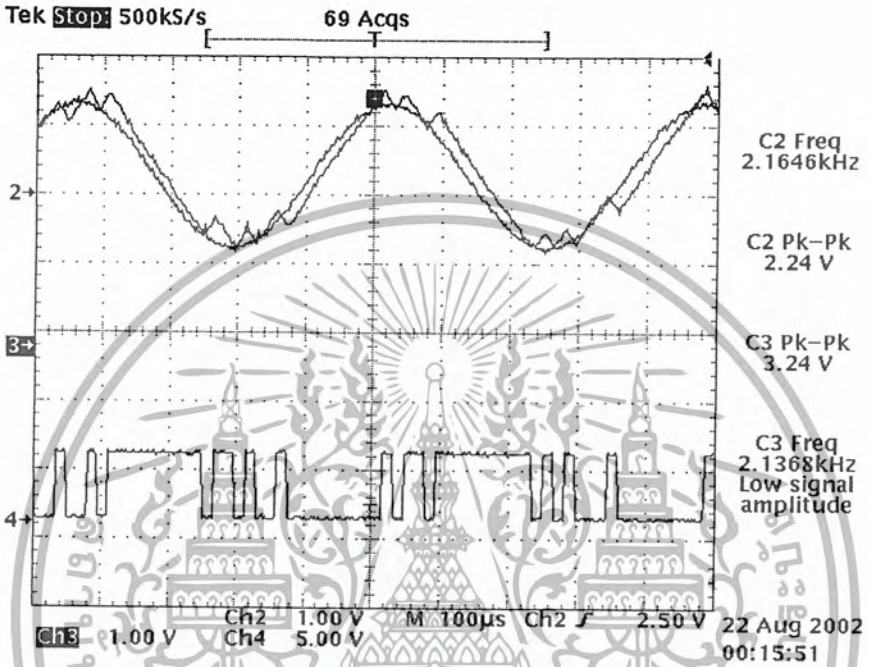


รูปที่ 4-14 ลด Overload โดยเพิ่ม Sampling เท่ากับ 256 KHz CH1:Input CH2:CVSD CH3:Integrator

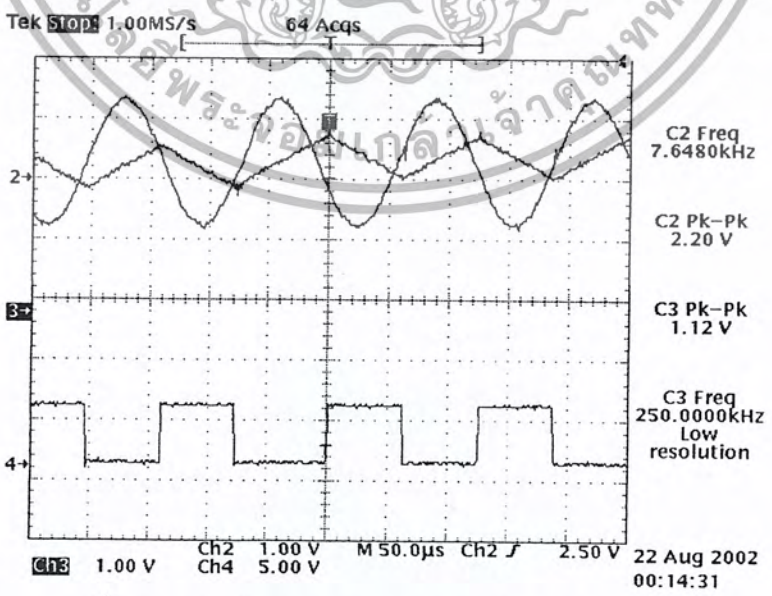
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4. วัดสัญญาณที่จุด Test Point ภายในวงจร

ทำการวัดสัญญาณที่จุด Test Point ภายในวงจรดูรูปคลื่นสัญญาณการทำงานของวงจรได้ผลการทดลองดังนี้

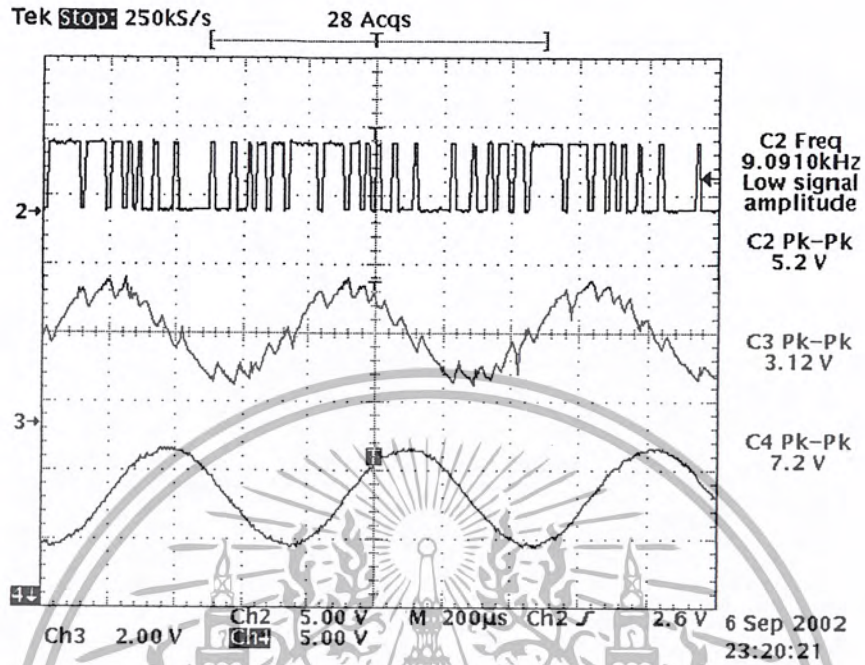


รูปที่ 4-15 เปรียบเทียบอินพุตกับอินติเกรตของการเกิดโอเวอร์โหลดทางความชันและCVSDที่ได้

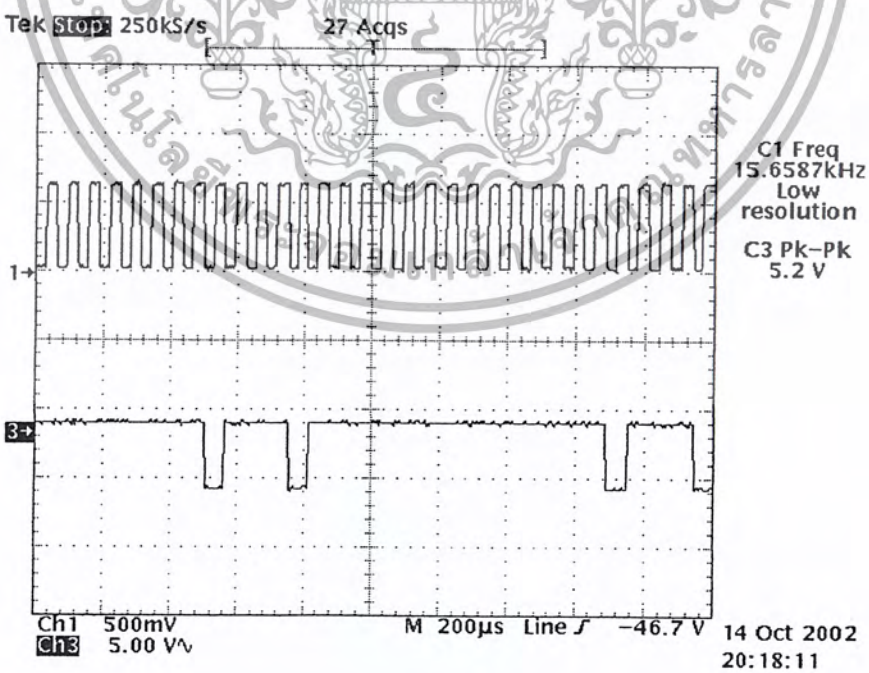


รูปที่ 4-16 การเกิด High Slope Overload และ CVSD ที่ได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

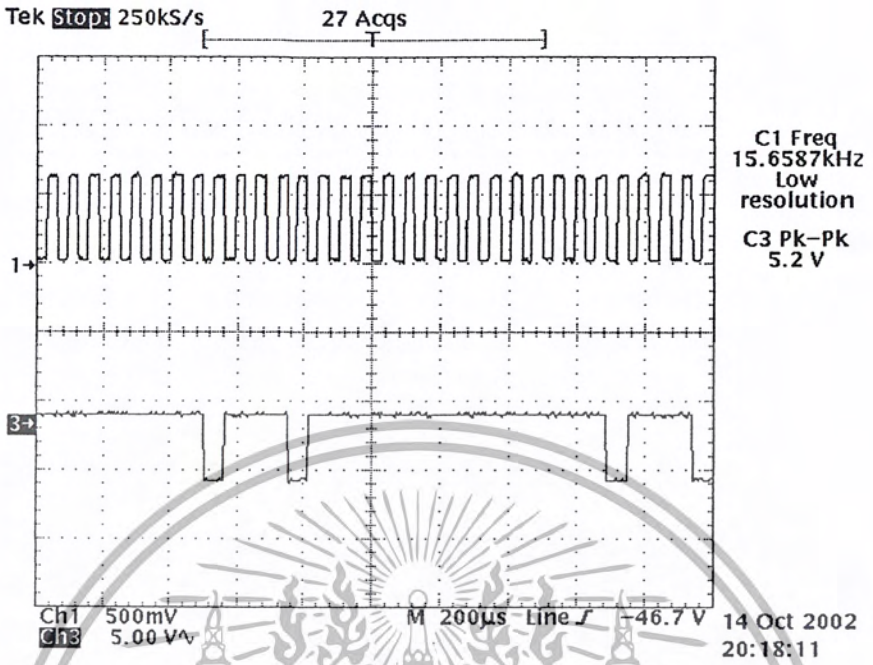


รูปที่ 4-17 สัญญาณที่ภาครับ CH1:CVSD Input CH2: Integrator Detecter CH3:เอาท์พุต หลังผ่านวงจรกรองความถี่ต่ำผ่าน



รูปที่ 4-18 สัญญาณนาฬิกาและสัญญาณ Slope detecter

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4-19 สัญญาณนาฬิกาและสัญญาณ Slope detecter

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
สรุปและวิจารณ์การทดลอง

จากการทดลองเราสามารถที่จะควบคุมการโอเวอร์โหลดทางความชัน (Slope Overload) ได้ด้วยวิธีการปรับ Slope Control และการปรับค่าความถี่ที่ใช้ในการ Sampling หรือการเปลี่ยนความถี่ของสัญญาณนาฬิกาซึ่งในการทดลองนั้น หากเราให้ค่าของสัญญาณอินพุตคงที่และสัญญาณนาฬิกาคงที่แล้ว สับสวิทช์ไปที่ Mode Slope Control และลองปรับค่าความชันก็จะทำให้เห็นการเปลี่ยนแปลงความชันในสัญญาณอินติเกรเตอร์ค่อยๆ เปลี่ยนความชันไป จนถึงจุดที่ทำให้เกิดของการโอเวอร์โหลดทางความชัน ซึ่งเป็นสภาวะที่ไม่สามารถ Decode สัญญาณกลับมาได้ เราจะทำการทดลองแก้การ โอเวอร์โหลดทางความชันนี้โดยการปรับสวิทช์ไปที่ Mode Auto แล้วทดลองปรับอัตราการ Sampling ไปที่ความถี่ของสัญญาณนาฬิกาค่าต่างๆเพื่อดูสัญญาณอินติเกรตซึ่งในขณะนี้ค่าของความชันคงที่ การเปลี่ยนแปลงรูปฟันปลาของสัญญาณอินติเกรตจะมีค่ามากที่อัตราการ Sampling ที่มากซึ่งก็จะทำให้สัญญาณอินติเกรตมีลักษณะรูปสัญญาณที่ถูก Encode มากขึ้นเรื่อยๆตามความถี่ Sampling ซึ่งก็จะทำให้การ Decode ออกมาใกล้เคียง อีกวิธีหนึ่งเพื่อดูการทำงานของวงจรจะให้อัตราการ Sampling คงที่และค่าความชันคงที่แล้วลองปรับค่าอินพุตที่ป้อนให้กับวงจรมีค่าเพิ่มขึ้นเรื่อยๆ เพื่อดูจุดของการโอเวอร์โหลดทางความชันก็จะเห็นจุดโอเวอร์โหลดที่มากกว่าของกา Sampling ที่ความถี่ที่สูงกว่า

หลังจากนั้นเราได้นำเอาชุดทดลองนี้ไปทดลองโดยการป้อนอินพุตด้วยสัญญาณเสียงพูด ปรากฏว่าที่ความถี่ Sampling ต่ำๆ จะให้สัญญาณที่ต่ำ เสียงมีการขาดหายและมีเสียงฮัมเมื่อปรับ Sampling ขึ้นเรื่อยๆ ก็จะให้เสียงที่ดีมากขึ้นนั้นเป็นเพราะระบบเคลเป็นระบบที่ต้องการอัตรา Sampling 3-4 เท่าของสัญญาณอินพุตและอัตราของการ Sampling ของระบบมีค่าเท่ากับอัตราบิตเรท ดังนั้นจึงเป็นระบบที่ไม่นิยมนำไปมอดกับอินพุตที่มีความถี่สุงๆโดยจะนิยมนำมาใช้ในการเข้ารหัสถอดรหัสของเสียงพูดมากกว่า

สำหรับปัญหาที่เกิดขึ้นในการทำโครงงานชิ้นนี้ คือ สัญญาณอินติเกรตที่ภาครับจะมีสัญญาณ Spike เข้ามารบกวนซึ่งเกิดจากการออกแบบวงจรอินติเกรเตอร์ที่ไม่ดีแต่แก้ไขโดยการปรับเปลี่ยนค่าความต้านทานภายในวงจรอินติเกรเตอร์จึงทำให้ค่า Spike ลดลง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หนังสืออ้างอิง

1. ดร. ประสิทธ์ ประพิณมงคลการ.หลักการระบบสื่อสาร, เอช-เอน การพิมพ์. กรุงเทพฯ. 2521
2. บัณฑิต โรจน์อารยานนท์. หลักการไฟฟ้าสื่อสาร, โรงพิมพ์จุฬาลงกรณ์ฯ. กรุงเทพฯ. 2532
3. Kishan Shenai. Digital Signal Processing In Telecommunication. Prentice Hall International Inc.
4. Degem systems. Digital Communication System. 1981
5. Motorola. Telecommunications Device Data. 1991

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

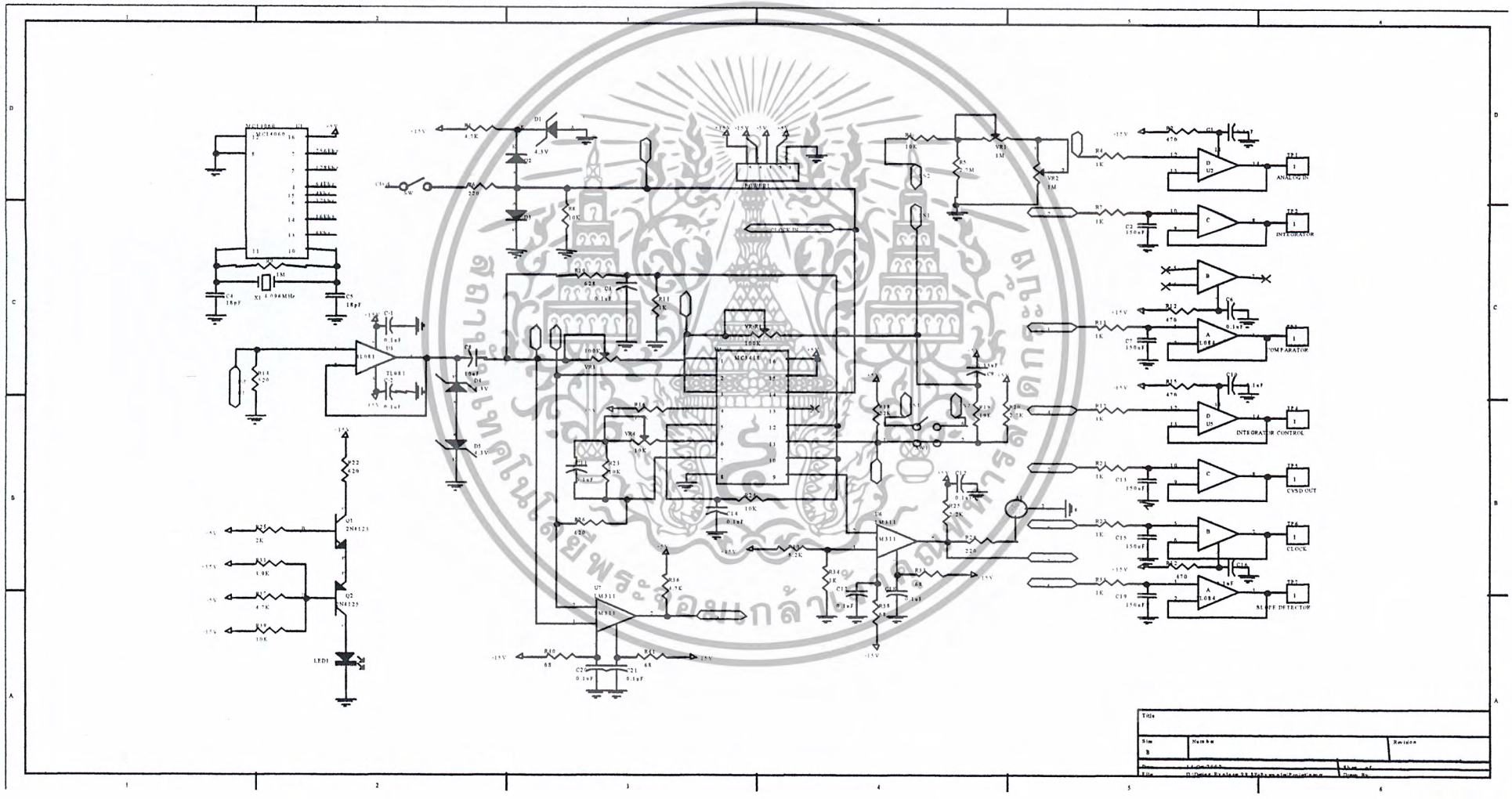
ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

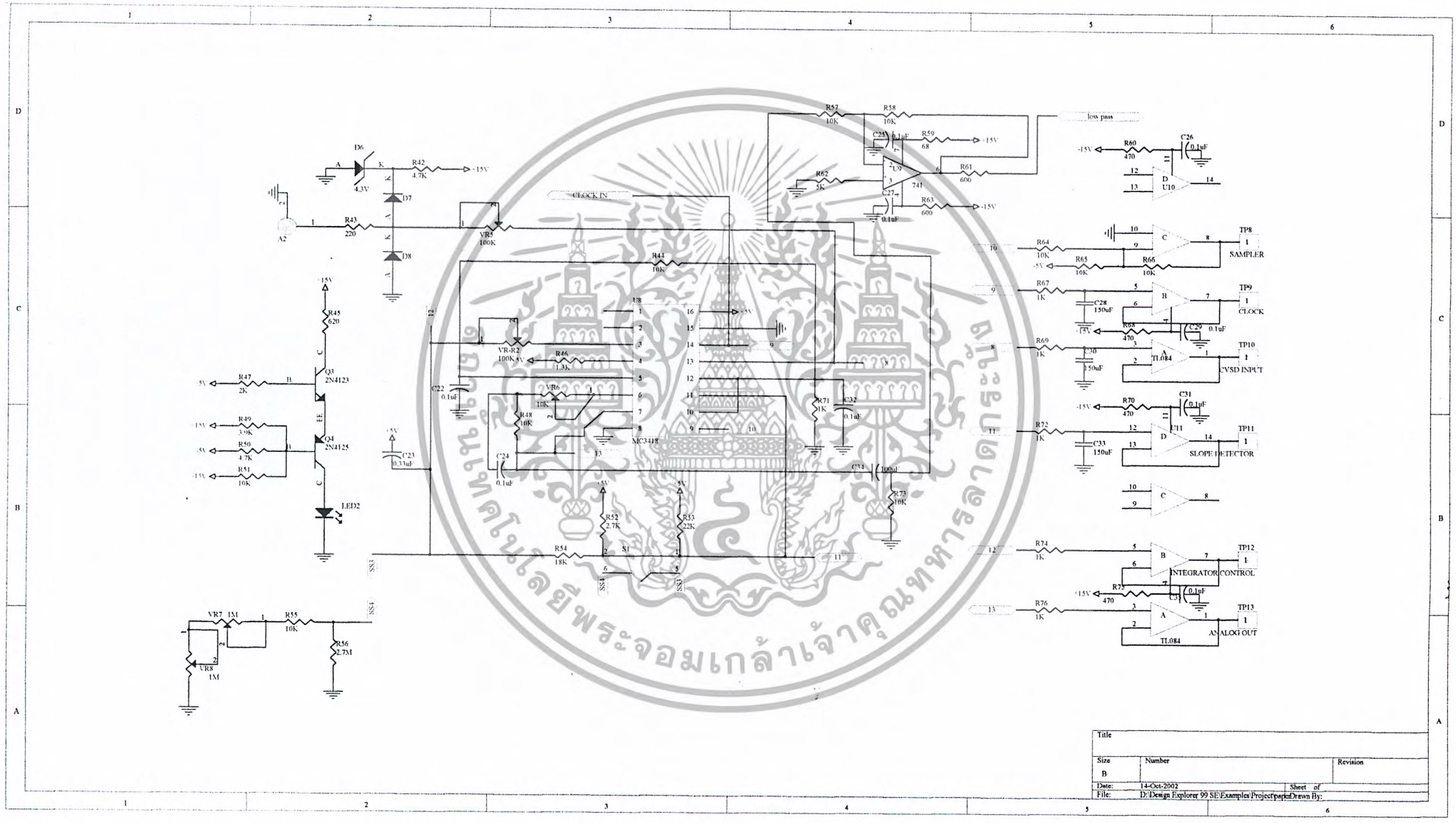
ภาคผนวก ก

รายละเอียดวงจร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

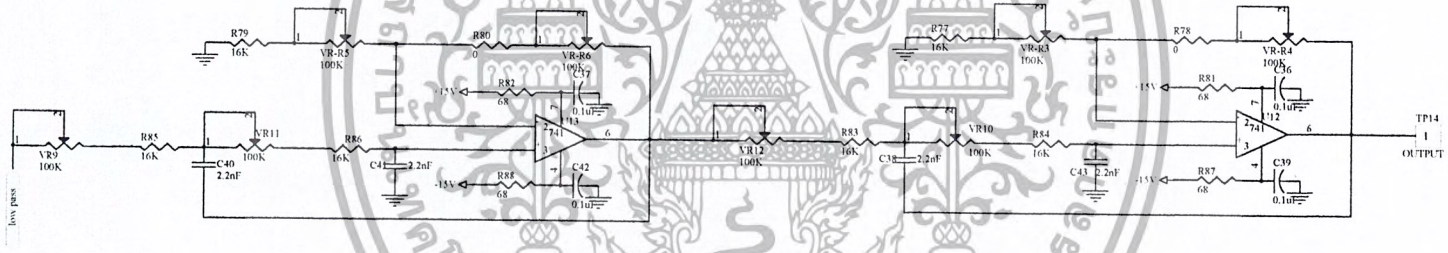


Encode

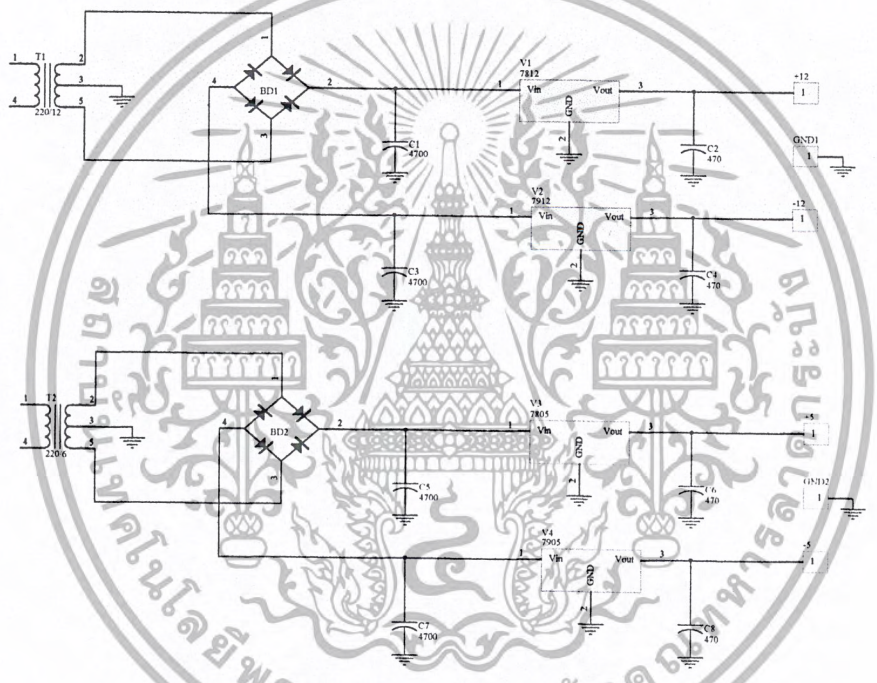

CLOCK IN
low pass
SAMPLER
CLOCK
CVSD INPUT
SLOPE DETECTOR
INTEGRATOR CONTROL
ANALOG OUT
MC3418
TL084
741
LED2
Title
Size
B
Number
Revision
Date: 14-Oct-2002
Sheet of
File: D:\Design Explorer 99 SE\Examples\Project\parlaDrawn By:

Decode

Lowpass



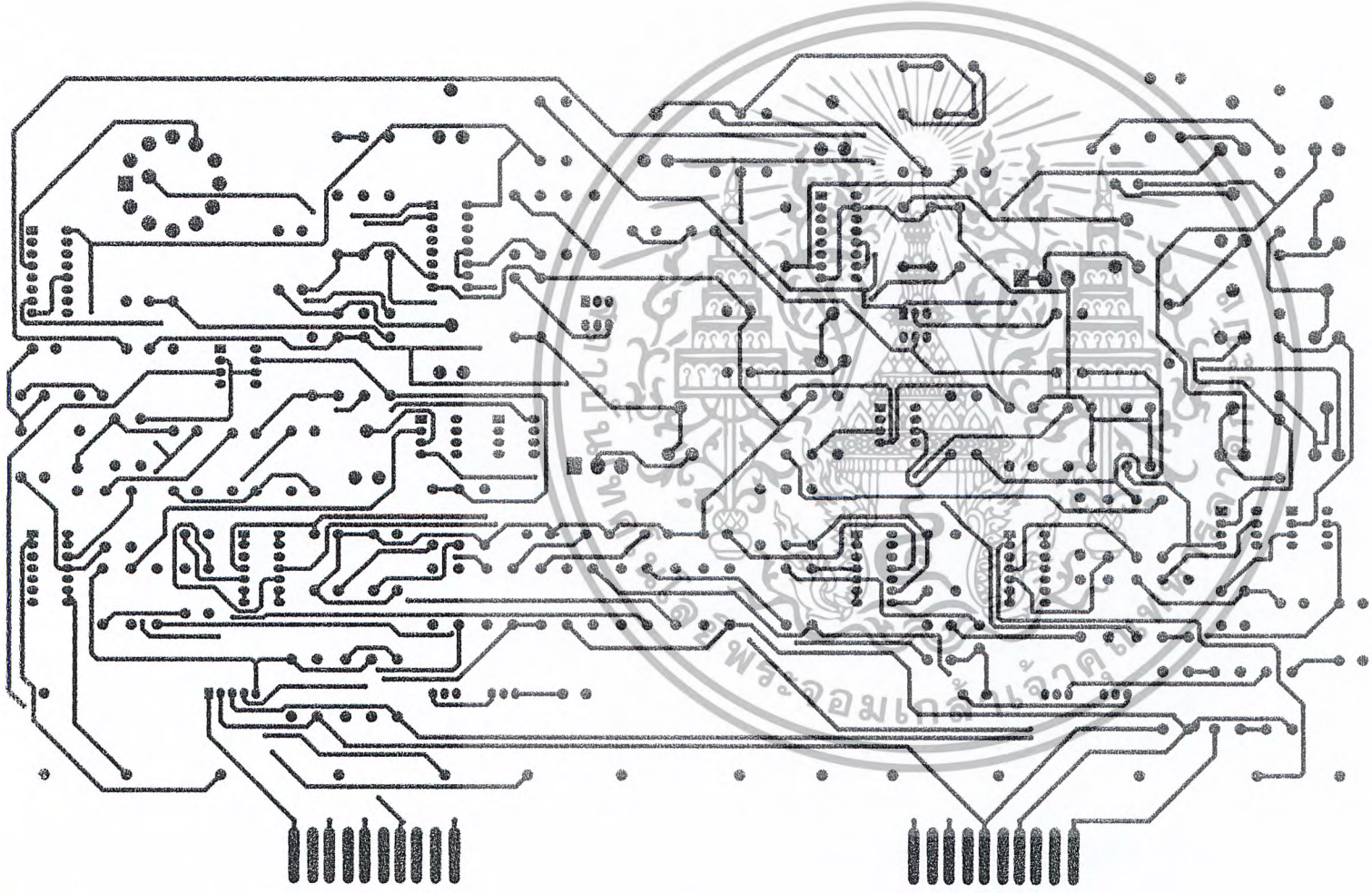
Title		
Size: B	Number	Revision
Date: 14-Oct-2002	Sheet of	
File: D:\Design Explorer 99 SE\Examples\Project.ddb	Drawn By:	



สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

Title		
Size: B	Number	Revision
Date: 2-Nov-2002	Sheet of	
File: D:\Design Explorer 99 SE Examples\Project pow\PhaseBy;		

TOP LAYER



PreProduction Report

MATERIAL FR4 Type DS PTH
Soldermark X Top X Bottom
Overlay X Top Bottom
FIN HASL BOL ROUT

Original	Production	Finished (Approx)
28	28	26
30	32	30
32	32	30
36	36	34
40	40	38
80	80	80
394	DRILL	394

Drill Size

Prepared By

THANAVAT

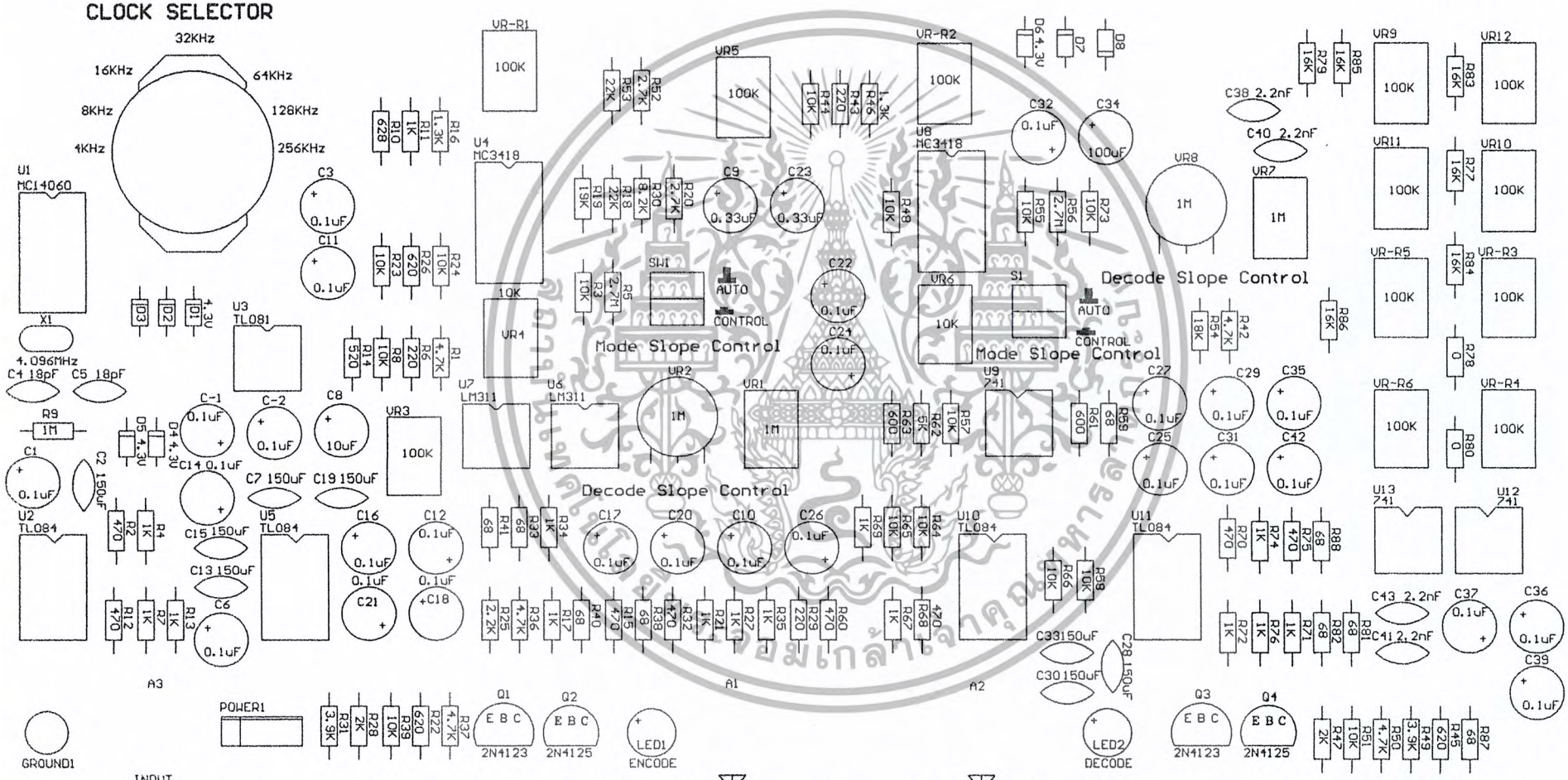
Approved By

BOTTOM LAYER

TOP OVERLAY

DALTA/CVSD ENCODE & DECODE

LADKRABANG ENGINEERING '15



ภาคผนวก ข

รายละเอียดอุปกรณ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Order this document by MC3418/D

MOTOROLA

MC3418

CONTINUOUSLY VARIABLE SLOPE DELTA MODULATOR/DEMODULATOR

LASER–TRIMMED IC

SEMICONDUCTOR TECHNICAL DATA

Continuously Variable Slope Delta Modulator/Demodulator

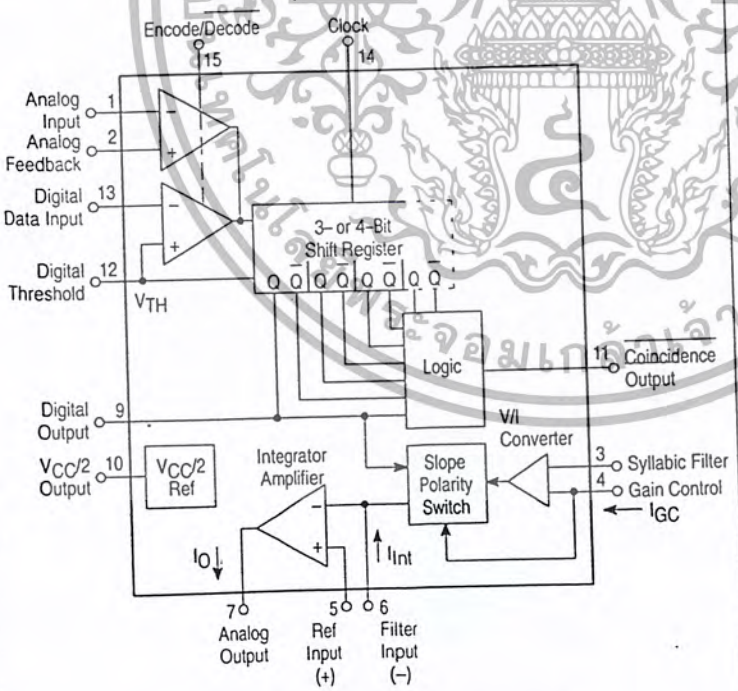
Providing a simplified approach to digital speech encoding/decoding, the MC3418 CVSD is designed for military secure communication and commercial telephone applications. A single IC provides both encoding and decoding functions.

- Encode and Decode Functions on the Same Chip with a Digital Input for Selection
- Utilization of Compatible I²L – Linear Bipolar Technology
- CMOS Compatible Digital Output
- Digital Input Threshold Selectable ($V_{CC}/2$ Reference Provided On–Chip)
- MC3418 has a 4–Bit Algorithm (Commercial Telephone)

P SUFFIX
PLASTIC PACKAGE
CASE 648

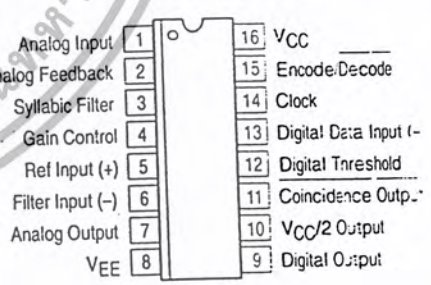
DW SUFFIX
PLASTIC PACKAGE
CASE 751G
(SO–16L)

Representative Block Diagram



This device contains 144 active transistors.

PIN CONNECTIONS



(Top View)

ORDERING INFORMATION

Device	Operating Temperature Range	Package
MC3418DW	$T_A = 0°$ to $+70°C$	SO–16L
MC3418P		Plastic DIP

© Motorola, Inc. 1996

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MAXIMUM RATINGS (All voltages referenced to V_{EE}, T_A = 25°C, unless otherwise noted.)

Rating	Symbol	Value	Unit
Power Supply Voltage	V_{CC}	–0.4 to +18	Vdc
Differential Analog Input Voltage	V_{ID}	±5.0	Vdc
Digital Threshold Voltage	V_{TH}	–0.4 to V_{CC}	Vdc
Logic Input Voltage Clock, Digital Data, Encode/Decode	V_{Logic}	–0.4 to +18	Vdc
Coincidence Output Voltage	$V_{O(Con)}$	–0.4 to +18	Vdc
Syllabic Filter Input Voltage	$V_{I(Syl)}$	–0.4 to V_{CC}	Vdc
Gain Control Input Voltage	$V_{I(GC)}$	–0.4 to V_{CC}	Vdc
Reference Input Voltage	$V_{I(ref)}$	$V_{CC}/2$ – 1.0 to V_{CC}	Vdc
$V_{CC}/2$ Output Current	I_{ref}	–25	mA

NOTE: ESD data available upon request.

ELECTRICAL CHARACTERISTICS (V_{CC} = 12 V, V_{EE} = Gnd, T_A = 0 to 70°C, unless otherwise noted.)

Characteristic	Symbol	Min	Typ	Max	Unit
Power Supply Voltage Range (Figure 1)	V_{CCR}	4.75	12	16.5	Vdc
Power Supply Current (Figure 1) @ Idle Channel V_{CC} = 5.0 V V_{CC} = 15 V	I_{CC}	 – –	 3.7 6.0	 5.5 11	mA
Gain Control Current Range (Figure 2)	I_{GCR}	0.002	–	3.0	mA
Analog Comparator Input Range (Pins 1 and 2) 4.75 V ≤ V_{CC} ≤ 16.5 V	V_I	1.3	–	V_{CC} – 1.3	Vdc
Analog Output Range (Pin 7) 4.75 V ≤ V_{CC} ≤ 16.5 V, I_O = ±5.0 mA	V_O	1.3	–	V_{CC} – 1.3	Vdc
Input Bias Currents (Figure 3) Comparator in Active Region Analog Input (I1) Analog Feedback (I2) Syllabic Filter Input (I3) Reference Input (I5)	I_{IB}	 – – – –	 0.25 0.25 0.06 –0.06	 1.0 1.0 0.3 –0.3	µA
Input Offset Current Comparator in Active Region Analog Input/Analog Feedback |I1 – I2| (Figure 3) Analog Input/Analog Feedback |I5 – I6| (Figure 4)	I_{IO}	 – –	 0.05 0.01	 0.4 0.1	µA
Input Offset Voltage V/I Converter (Pins 3 and 4) (Figure 5)	V_{IO}	–	2.0	6.0	mV
Transconductance V/I Converter, 0 to 3.0 mA Integrator Amplifier, 0 to ±5.0 mA Load	gm	 0.1 1.0	 0.3 10	 – –	mA/mV
Propagation Delay Times (Note 1) Clock Trigger to Digital Output C_L = 25 pF to Gnd Clock Trigger to Coincidence Output C_L = 25 pF to Gnd, R_L = 4.0 kΩ to V_{CC}	 t_{PLH} t_{PHL} t_{PLH} t_{PHL}	 – – – –	 1.0 0.8 1.0 0.8	 2.5 2.5 3.0 2.0	µs
Coincidence Output Voltage – Low Logic Stage $I_{OL(Con)}$ = 3.0 mA	$V_{OL(Con)}$	–	0.12	0.25	Vdc

NOTES: 1. All propagation delay times measured 50% to 50% from the negative going (from V_{CC} to +0.4 V) edge of the clock.
2. Dynamic total loop offset (ΣVoffset) equals VIO (comparator) (Figure 3) minus VIOX (Figure 5). The input offset voltages of the analog comparator and of the integrator amplifier include the effects of input offset current through the input resistors. The slope polarity switch current mismatch appears as an average voltage across the 10 k integrator resistor. The clock frequency is 32 kHz. Idle channel performance is guaranteed if this dynamic total loop offset is less than one–half of the change in integrator output voltage during one clock cycle (ramp step size). Laser trimming is used to ensure good idle channel performance.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS (continued) (V_{CC} = 12 V, V_{EE} = Gnd, T_A = 0 to 70°C, unless otherwise noted.)

Characteristic	Symbol	Min	Typ	Max	Unit
Coincidence Output Leakage Current – High Logic State V_{OH} = 15 V, 0°C ≤ T_A ≤ 70°C	$I_{OH(Con)}$	–	0.01	0.5	µA
Applied Digital Threshold Voltage Range (Pin 12)	V_{TH}	1.2	–	V_{CC} – 2.0	Vdc
Digital Threshold Input Current 1.2 V ≤ V_{th} ≤ V_{CC} – 2.0 V V_{IL} Applied to Pins 13, 14 and 15 V_{IH} Applied to Pins 13, 14 and 15	$I_{I(th)}$	 – –	 – –10	 5.0 –50	µA
Maximum Integrator Amplifier Output Current	I_O	±5.0	–	–	mA
V_{CC}/2 Generator Maximum Output Current (Source Only)	I_{ref}	10	–	–	mA
V_{CC}/2 Generator Output Impedance (0 to –10 mA)	z_{ref}	–	3.0	6.0	Ω
V_{CC}/2 Generator Tolerance (4.75 V ≤ V_{CC} ≤ 16.5 V)	εr	–	–	±3.5	%
Logic Input Voltage (Pins 13, 14 and 15) Low Logic State High Logic State	 V_{IL} V_{IH}	 V_{EE} V_{th} + 0.4	 – –	 V_{th} – 0.4 18	Vdc
Dynamic Total Loop Offset Voltage (Note 2) (Figures 3, 4 and 5) I_{GC} = 12 µA, V_{CC} = 12 V T_A = 25°C 0°C ≤ T_A ≤ + 70°C I_{GC} = 12 µA, V_{CC} = 5.0 V T_A = 25°C 0°C ≤ T_A ≤ + 70°C	ΣV_{offset}	 – – – –	 ±0.5 ±0.75 ±1.0 ±1.3	 ±3.0 ±3.8 ±3.5 ±4.3	mV
Digital Output Voltage I_{OL} = 3.6 mA I_{OH} = –0.35 mA	 V_{OL} V_{OH}	 – V_{CC} – 1.0	 0.1 V_{CC} – 0.2	 0.4 –	Vdc
Syllabic Filter Applied Voltage (Pin 3) (Figure 2)	$V_{I(Syl)}$	3.2	–	V_{CC}	Vdc
Integrating Current (Figure 2) I_{GC} = 12 µA I_{GC} = 1.5 mA I_{GC} = 3.0 mA	$\lvert I_{Int} \rvert$	 8.0 1.42 2.75	 10 1.5 3.0	 12 1.58 3.25	 µA mA mA
Dynamic Integrating Current Match (Figure 6) I_{GC} = 1.5 mA	$V_{O(Ave)}$	–	±100	±280	mV
Input Current – High Logic State (V_{IH} = 18 V) Digital Data Input Clock Input Encode/Decode Input	I_{IH}	 – – –	 – – –	 5.0 5.0 5.0	µA
Input Current – Low Logic State (V_{IL} = 0 V) Digital Data Input Clock Input Encode/Decode Input Clock Input, V_{IL} = 0.4 V	I_{IL}	 –10 –360 –36 –72	 – – – –	 – – – –	µA

NOTES: 1. All propagation delay times measured 50% to 50% from the negative going (from V_{CC} to +0.4 V) edge of the clock.
2. Dynamic total loop offset (ΣVoffset) equals VIO (comparator) (Figure 3) minus VIOX (Figure 5). The input offset voltages of the analog comparator and of the integrator amplifier include the effects of input offset current through the input resistors. The slope polarity switch current mismatch appears as an average voltage across the 10 k integrator resistor. The clock frequency is 32 kHz. Idle channel performance is guaranteed if this dynamic total loop offset is less than one–half of the change in integrator output voltage during one clock cycle (ramp step size). Laser trimming is used to ensure good idle channel performance.

DEFINITION AND FUNCTION OF PINS

Pin 1 — Analog Input

This is the analog comparator inverting input where the voice signal is applied. It may be ac or dc coupled depending on the application. If the voice signal is to be level shifted to the internal reference voltage, then a bias resistor between pins 1 and 10 is used. The resistor is used to establish the reference as the new dc average of the ac coupled signal. The analog comparator was designed for low hysteresis (typically less than 0.1 mV) and high gain (typically 70 dB).

Pin 2 — Analog Feedback

This is the noninverting input to the analog signal comparator. In an encoder application it should be connected to the analog output of the encoder circuit. This may be Pin 7 or a low pass filter output connected to Pin 7. In a decode circuit Pin 2 is not used and may be tied to V_{CC}/2 at Pin 10 or ground.

The analog input comparator has bias currents of 1.0 µA max, thus the driving impedances at Pins 1 and 2 should be

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

equal to avoid disturbing the idle channel characteristics of the encoder.

Pin 3 — Syllabic Filter

This is the point at which the syllabic filter voltage is returned to the IC in order to control the integrator step size. It is an NPN input to an op amp. The syllabic filter consists of an RC network between Pins 11 and 3. Typical time constant values of 6.0 to 50 ms are used in voice codecs.

Pin 4 — Gain Control Input

The syllabic filter voltage appears across C_S of the syllabic filter and is the voltage between V_{CC} and Pin 3. The active voltage to current (V – I) converter drives Pin 4 to the same voltage at a slew rate of typically 0.5 V/μs. Thus the current injected into Pin 4 (I_{GC}) is the syllabic filter voltage divided by the R_X resistance. Figure 7 shows the relationship between I_{GC} (x–axis) and the integrating current, I_{Int} (y–axis). The discrepancy, which is most significant at very low currents, is due to circuitry within the slope polarity switch which enables trimming to a low total loop offset. The R_X resistor is then varied to adjust the loop gain of the codec, but should be no larger than 5.0 kΩ to maintain stability.

Pin 5 — Reference Input

This pin is the noninverting input of the integratoramplifier. It is used to reference the dc level of the output signal. In an encoder circuit it must reference the same voltage as Pin 1 and is tied to Pin 10.

Pin 6 — Filter Input

This inverting op amp input is used to connect the integrator external components. The integrating current (I_{Int}) flows into Pin 6 when the analog input (Pin 1) is high with respect to the analog feedback (Pin 2) in the encode mode or when the digital data input (Pin 13) is high in the decode mode. For the opposite states, I_{Int} flows out of Pin 6. Single integration systems require a capacitor and resistor between Pins 6 and 7. Multipole configurations will have different circuitry. The resistance between Pins 6 and 7 should always be between 8.0 kΩ and 13 kΩ to maintain good idle channel characteristics.

Pin 7 — Analog Output

This is the integrator op amp output. It is capable of driving a 600 Ω load referenced to $V_{CC}/2$ to +6.0 dBm and can otherwise be treated as an op amp output. Pins 5, 6 and 7 provide full access to the integrator op amp for designing integration filter networks. The slew rate of the internally compensated integrator op amp is typically 0.5 V/μs. Pin 7 output is current limited for both polarities of current flow at typically 30 mA.

Pin 8 — V_{EE}

The circuit is designed to work in either single or dual power supply applications. Pin 8 is always connected to the most negative supply.

Pin 9 — Digital Output

The digital output provides the results of the delta modulator's conversion. It swings between V_{CC} and V_{EE} and is CMOS or TTL compatible. Pin 9 is inverting with respect to Pin 1 and noninverting with respect to Pin 2. It is clocked on the falling edge of Pin 14. The typical 10% to 90% rise and fall times are 250 ns and 50 ns respectively for V_{CC} = 12 V and C_L = 25 pF to ground.

Pin 10 — $V_{CC}/2$ Output

An internal low impedance mid–supply reference is provided for use in single supply applications. The internal regulator is a current source and must be loaded with a resistor to ensure its sinking capability. If a +6.0 dBmo signal is expected across a 600 Ω input bias resistor, then Pin 10 must sink 2.2 V/600 Ω = 3.66 mA. This is possible only if Pin 10 sources 3.66 mA into a resistor normally and will source the difference under peak load. The reference load resistor is chosen accordingly. A 0.1 μF bypass capacitor from Pin 10 to V_{EE} is also recommended. The $V_{CC}/2$ reference is capable of sourcing 10 mA and can be used as a reference elsewhere in the system circuitry.

Pin 11 — Coincidence Output

The duty cycle of this pin is proportional to the voltage across C_S. The coincidence output will be low whenever the content of the internal shift register is all 1s or all 0s. The MC3418 contains a 4–bit register. Pin 11 is an open collector NPN device and requires a pull–up resistor. If the syllabic filter is to have equal charge and discharge time constants, the value of R_P should be much less than R_S. In systems requiring different charge and discharge constants, the charging constant is $R_S C_S$ while the decay constant is $(R_S + R_P)C_S$. Thus longer decays are easily achievable. The NPN device should not be required to sink more than 3.0 mA in any configuration. The typical 10% to 90% rise and fall times are 200 ns and 100 ns respectively for R_L = 4.0 kΩ to 12 V and C_L = 25 pF to ground.

Pin 12 — Digital Threshold

This input sets the switching threshold for Pins 13, 14 and 15. It is intended to aid in interfacing different logic families without external parts. Often it is connected to the $V_{CC}/2$ reference for CMOS interface or can be biased two diode drops above V_{EE} for TTL interface.

Pin 13 — Digital Data Input

In a decode application, the digital data stream is applied to Pin 13. In an encoder it may be unused or may be used to transmit signaling message under the control of Pin 15. It is an inverting input with respect to Pin 9. When Pins 9 and 13 are connected, a toggle flip–flop is formed and a forced idle channel pattern can be transmitted. The digital data input level should be maintained for 0.5 μs before and after the clock trigger for proper clocking.

Pin 14 — Clock Input

The clock input determines the data rate of the codec circuit. A 32 k bit rate requires a 32 kHz clock. The switching threshold of the clock input is set by Pin 12. The shift register circuit toggles on the falling edge of the clock input. The minimum high time for the clock input is 300 ns and minimum low time is 900 ns.

Pin 15 — Encode/Decode

This pin controls the connection of the analog input comparator and the digital input comparator to the internal shift register. If high, the result of the analog comparison will be clocked into the register on the falling edge at Pin 14. If low, the digital input state will be entered. This allows use of the IC as an encoder/decoder or simplex codec without external parts. Furthermore, it allows non–voice patterns to be forced onto the transmission line through Pin 13 in an encoder.

Pin 16 — V_{CC}

The power supply range is from 4.75 to 16.5 V between Pin V_{CC} and V_{EE}.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 1. Power Supply Current

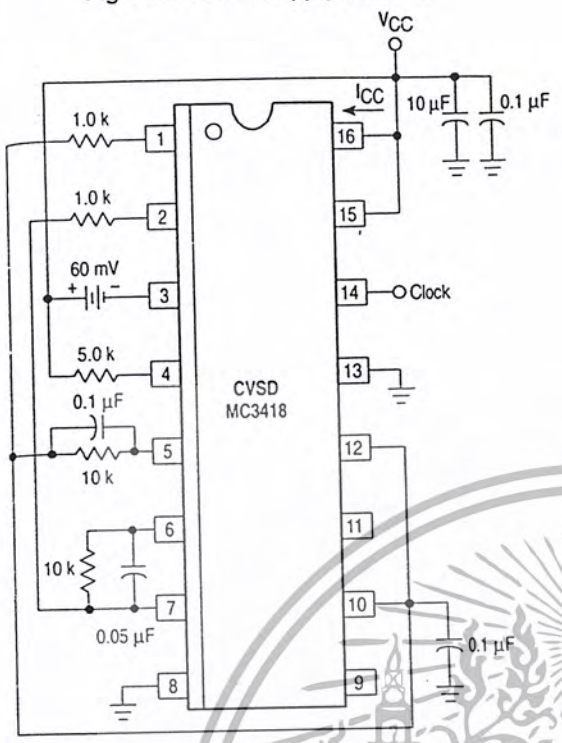
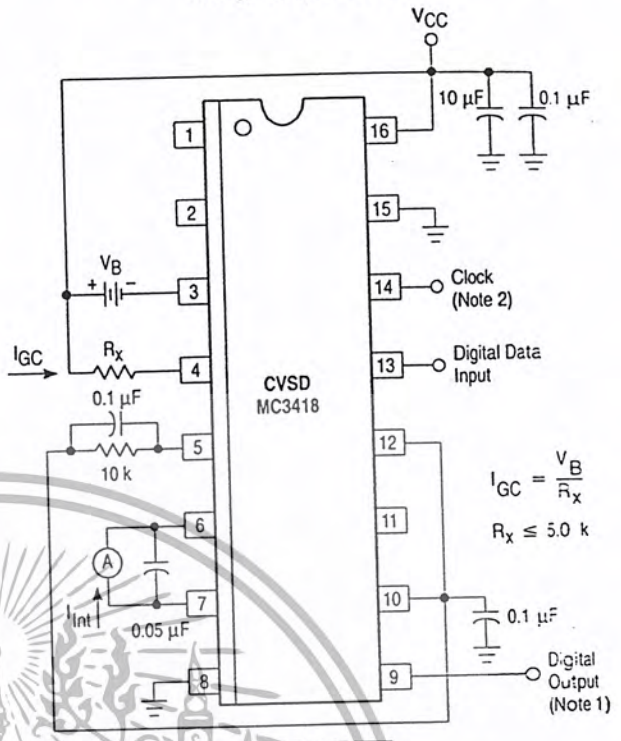
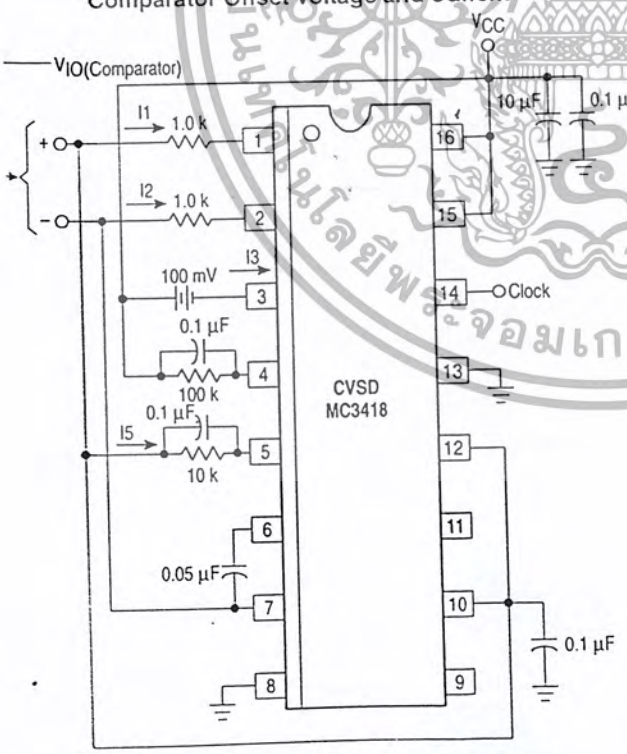


Figure 2. I_{GCR} – Gain Control Range and I_{Int} – Integrating Current



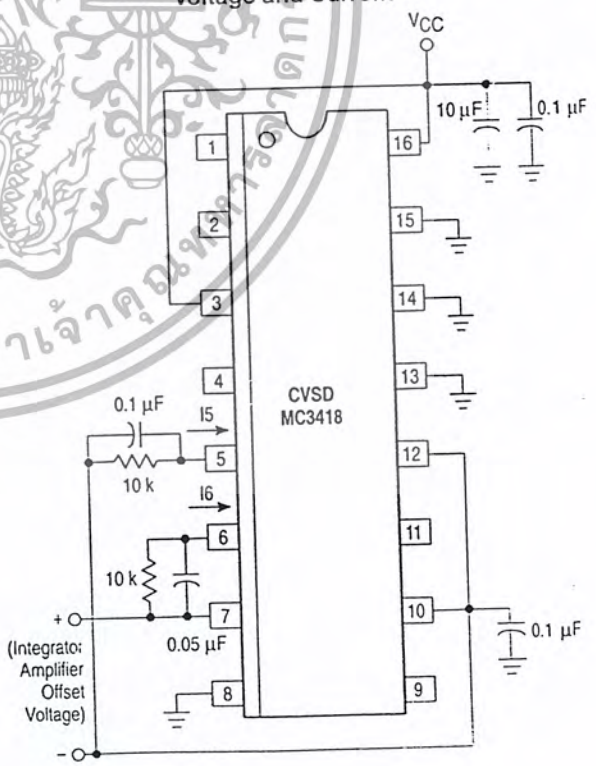
NOTES: 1. Digital Output = Digital Data Input
2. For static testing, the clock is only necessary for preconditioning to obtain proper state for a given input.

Figure 3. Input Bias Currents, Analog Comparator Offset Voltage and Current



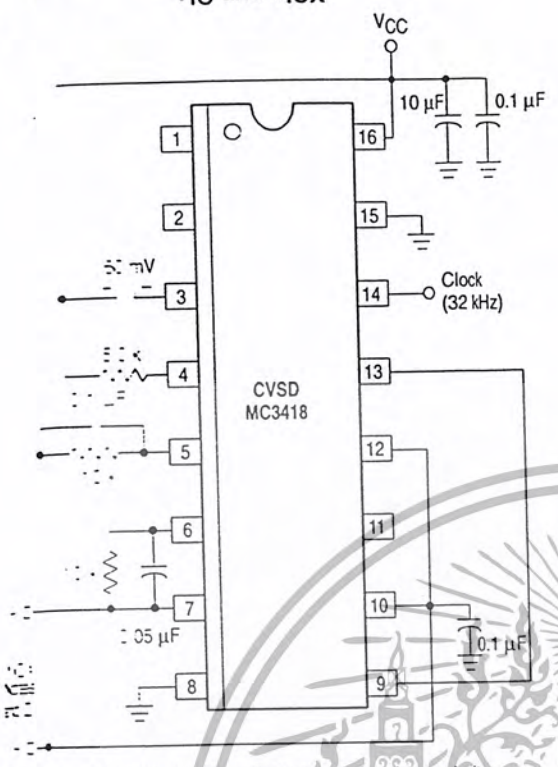
NOTE: The analog comparator offset voltage is tested under dynamic conditions and therefore must be measured with appropriate filtering.

Figure 4. Integrator Amplifier Offset Voltage and Current



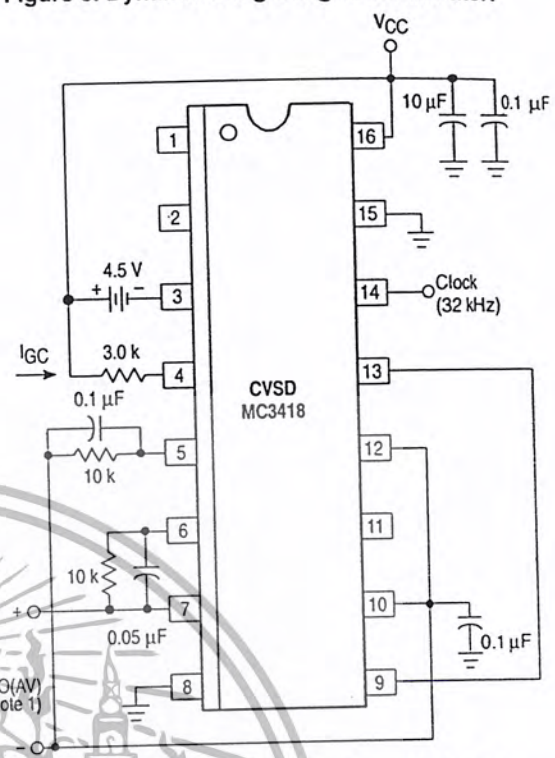
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 5. V/I Converter Offset Voltage, V_{IO} and V_{IOX}



CES
- Integrator amplifier offset voltage plus slope polarity and slope mismatch.
- ...X is the average voltage of the triangular wave observed at the measurement points.

Figure 6. Dynamic Integrating Current Match



NOTES: 1. $V_{O(AV)}$, Dynamic Integrating Current Match, is the average voltage of the triangular waveform observed at the measurement points, across 10 kΩ resistor with I_{GC} = 1.5 mA.
2. See Note 2 in the Electrical Characteristics table.
3. See Figures 8 and 9.

TYPICAL PERFORMANCE CURVES

Figure 7. Typical I_{Int} versus I_{GC} (Mean ±2 σ)

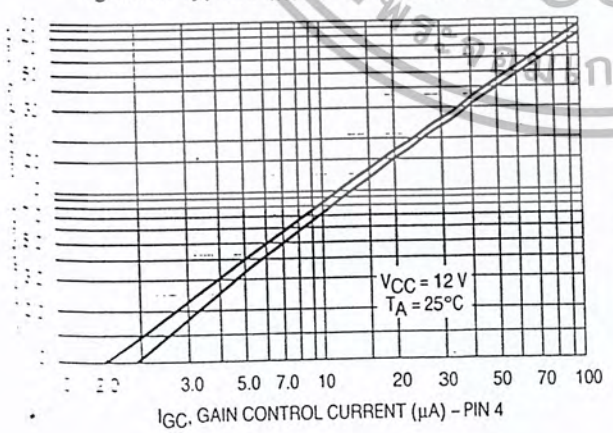
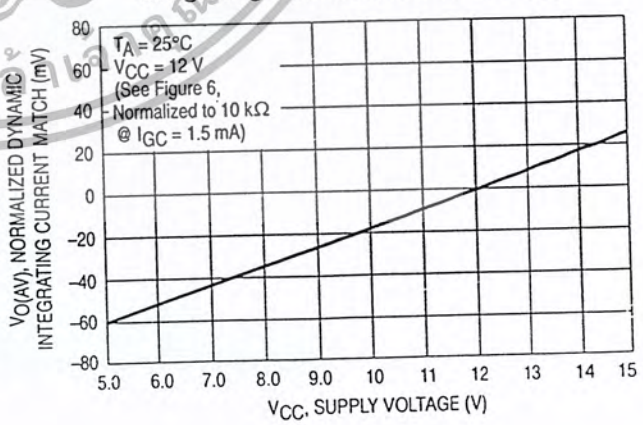


Figure 8. Normalized Dynamic Integrating Current Match versus V_{CC}



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 9. Normalized Dynamic Integrating Current Match versus Clock Frequency

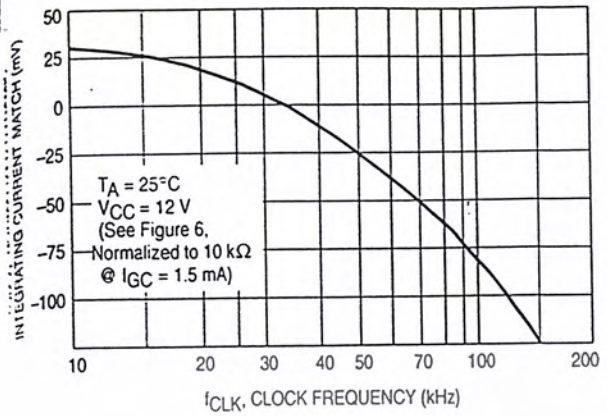


Figure 10. Dynamic Total Loop Offset versus Clock Frequency

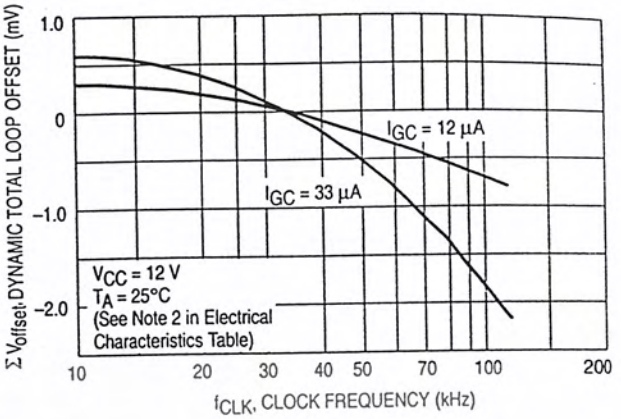


Figure 11. Block Diagram of the CVSD Encoder

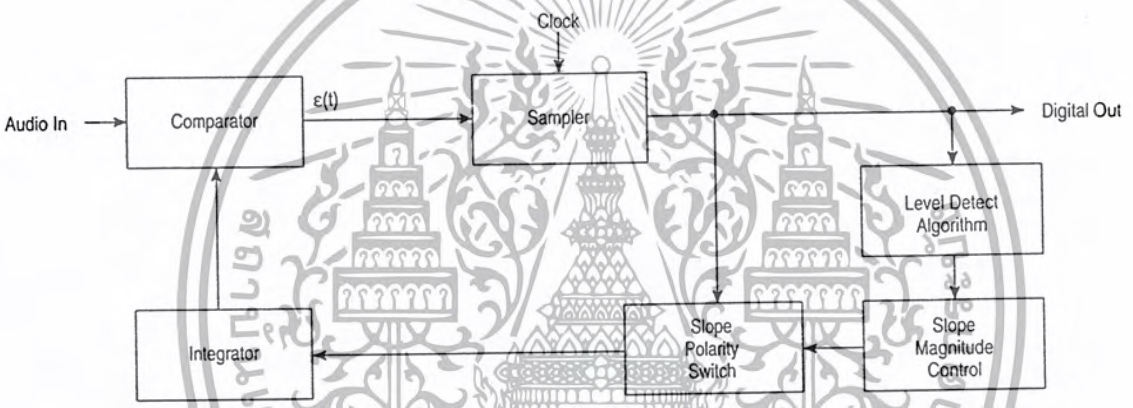
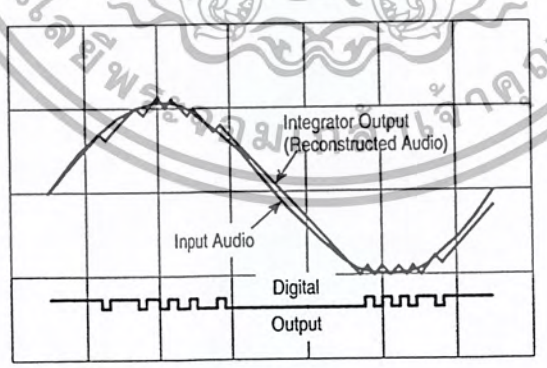


Figure 12. CVSD Waveforms



เอกสารนี้จัดทำขึ้นเพื่อใช้ประกอบการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 13. Block Diagram of the CVSD Decoder

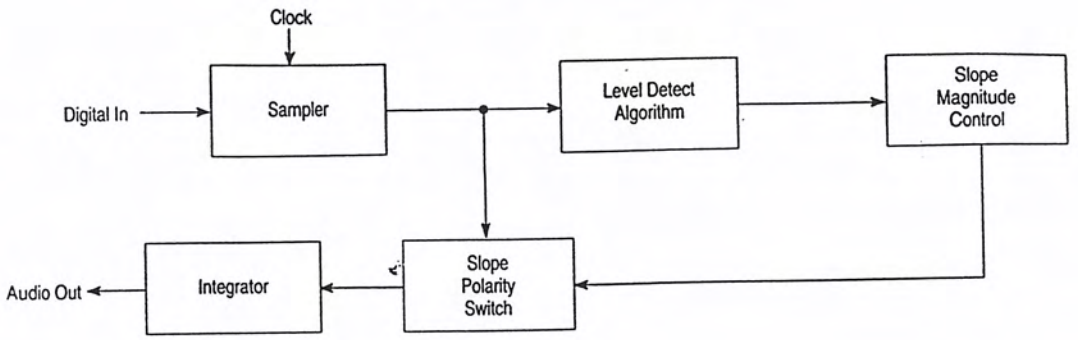
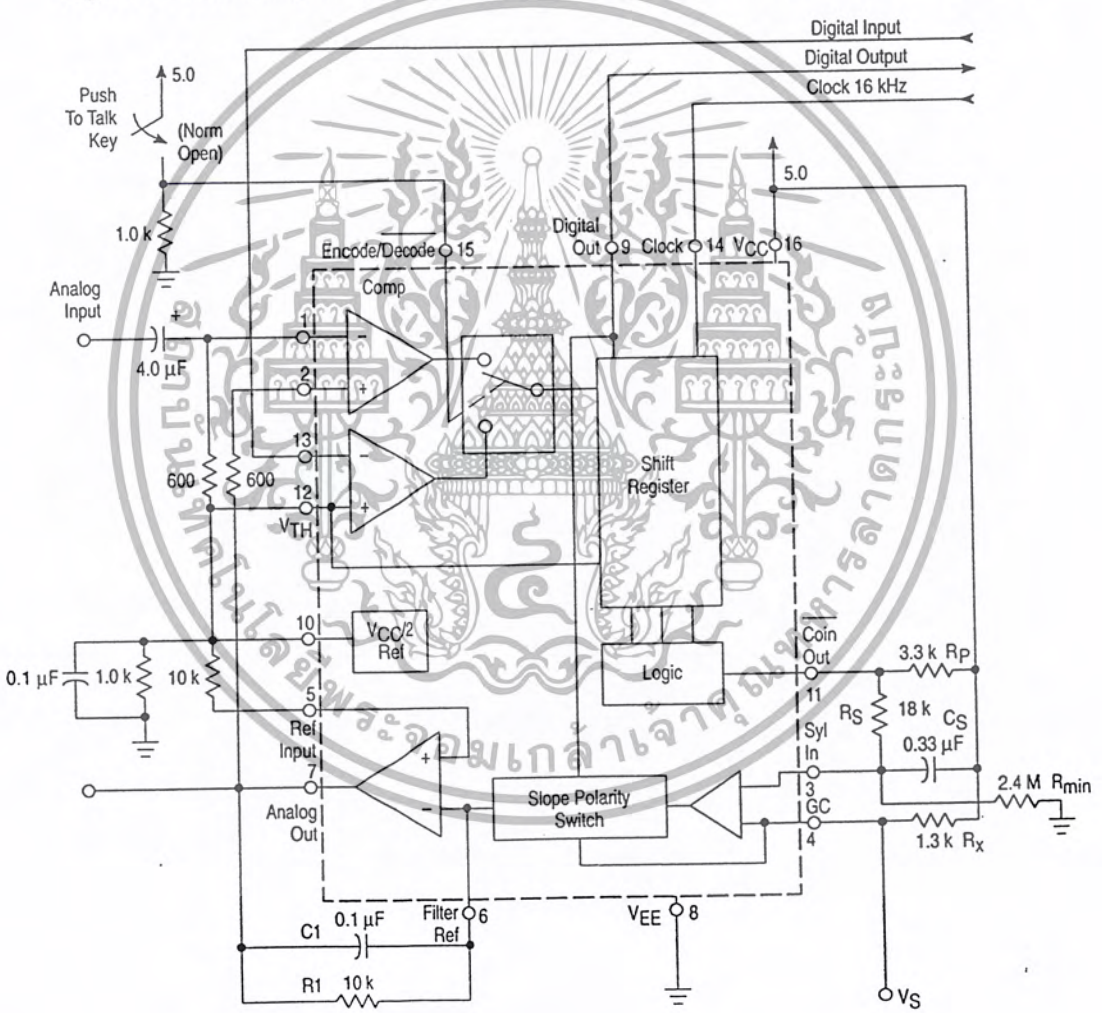


Figure 14. 16 kHz Simplex Voice Codec (Single–Pole Companding and Single Integration)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CIRCUIT DESCRIPTION

The continuously variable slope delta modulator (CVSD) is a simple alternative to more complex conventional conversion techniques in systems requiring digital communication of analog signals. The human voice is analog, but digital transmission of any signal over great distance is attractive. Signal/noise ratios do not vary with distance in digital transmission and multiplexing, switching and repeating hardware is more economical and easier to design. However, instrumentation A to D converters do not meet the communications requirements. The CVSD A to D is well suited to the requirements of digital communications and is an economically efficient means of digitizing analog inputs for transmission.

The Delta Modulator

The innermost control loop of a CVSD converter is a simple delta modulator. A block diagram CVSD Encoder is shown in Figure 11. A delta modulator consists of a comparator in the forward path and an integrator in the feedback path of a simple control loop. The inputs to the comparator are the input analog signal and the integrator output. The comparator output reflects the sign of the difference between the input voltage and the integrator output. That sign bit is the digital output and also controls the direction of ramp in the integrator. The comparator is normally clocked so as to produce a synchronous and band–limited digital bit stream.

If the clocked serial bit stream is transmitted, received, and delivered to a similar integrator at a remote point, the remote integrator output is a copy of the transmitting control loop integrator output. To the extent that the integrator at the transmitting locations tracks the input signal, the remote receiver reproduces the input signal. Low pass filtering at the receiver output will eliminate most of the quantizing noise, if the clock rate of the bit stream is an octave or more above the bandwidth of the input signal. Voice bandwidth is 4.0 kHz and clock rates from 8.0 k and up are possible. Thus the delta modulator digitizes and transmits the analog input to a remote receiver. The serial, unframed nature of the data is ideal for communications networks. With no input at the transmitter, a continuous one zero alternation is transmitted. If the two integrators are made leaky, then during any loss of contact the receiver output decays to zero and receive restart begins without framing when the receiver reacquires. Similarly, a delta modulator is tolerant of sporadic bit errors. Figure 12 shows the delta modulator waveforms while Figure 13 shows the corresponding CVSD decoder block diagram.

The Companding Algorithm

The fundamental advantages of the delta modulator are its simplicity and the serial format of its output. Its limitations are its ability to accurately convert the input within a limited digital bit rate. The analog input must be band limited and amplitude limited. The frequency limitations are governed by the nyquist rate while the amplitude capabilities are set by the gain of the integrator.

The frequency limits are bounded on the upper end; that is, for any input bandwidth there exists a clock frequency larger than that bandwidth which will transmit the signal with a specific noise level. However, the amplitude limits are bounded on both upper and lower ends. For a signal level, one specific gain will achieve an optimum noise level. Unfortunately, the basic delta modulator has a small dynamic range over which the noise level is constant.

The continuously variable slope circuitry provides increased dynamic range by adjusting the gain of the integrator. For a given clock frequency and input bandwidth the additional circuitry increases the delta modulator's dynamic range. External to the basic delta modulator is an algorithm which monitors the past few outputs of the delta modulator in a simple shift register. The register is 4–bits long. The accepted CVSD algorithm simply monitors the contents of the shift register and indicates if it contains all 1s or 0s. This condition is called coincidence. When it occurs, it indicates that the gain of the integrator is too small. The coincidence output charges a single–pole low pass filter. The voltage output of this syllabic filter controls the integrator gain through a pulse amplitude modulator whose other input is the sign bit or up/down control.

The simplicity of the all 1s, all 0s algorithm should not be taken lightly. Many other control algorithms using the shift register have been tried. The key to the accepted algorithm is that it provides a measure of the average power or level of the input signal. Other techniques provide more instantaneous information about the shape of the input curve. The purpose of the algorithm is to control the gain of the integrator and to increase the dynamic range. Thus a measure of the average input level is what is needed.

The algorithm is repeated in the receiver and thus the level data is recovered in the receiver. Because the algorithm operates only on the past serial data, it changes the nature of the bit stream without changing the channel bit rate.

The effect of the algorithm is to compand the input signal. If a CVSD encoder is played into a basic delta modulator, the output of the delta modulator will reflect the shape of the input signal but all of the output will be at an equal level. Thus the algorithm at the output is needed to restore the level variations. The bit stream in the channel is as if it were from a standard delta modulator with a constant level input.

The delta modulator encoder with the CVSD algorithm provides an efficient method for digitizing a voice input in a manner which is especially convenient for digital communications requirements.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

APPLICATIONS INFORMATION

CVSD DESIGN CONSIDERATIONS

A simple CVSD encoder using the MC3418 is shown in Figure 14. This IC is a general purpose CVSD building block which allows the system designer to tailor the encoder's transmission characteristics to the application. Thus, the achievable transmission capabilities are constrained by the fundamental limitations of delta modulation and the design of encoder parameters. The performance is not dictated by the internal configuration of the MC3418. There are seven design considerations involved in designing these basic CVSD building blocks into a specific codec application, and they are as follows:

1. Selection of clock rate
2. Required number of shift register bits
3. Selection of loop gain
4. Selection of minimum step size
5. Design of integration filter transfer function
6. Design of syllabic filter transfer function
7. Design of low pass filter at the receiver

The circuit in Figure 14 is the most basic CVSD circuit possible. For many applications in secure radio or other intelligible voice channel requirements, it is entirely suficient. In this circuit, items 5 and 6 are reduced to their simplest form. The syllabic and integration filters are both single–pole networks. The selection of items 1 through 4 govern the codec performance.

Layout Considerations

Care should be exercised to isolate all digital signal paths (Pins 9, 11, 13 and 14) from analog signal paths (Pins 1 to 7 and 10) in order to achieve proper idle channel performance.

Clock Rate

With minor modifications, the circuit in Figure 14 may be operated anywhere from 9.6 to 64 kHz clock rates. Obviously the higher the clock rate the higher the S/N performance. The circuit in Figure 14 typically produces the S/N performance shown in Figure 16. The selection of clock rate is usually dictated by the bandwidth of the transmission medium. Voice bandwidth systems will require no higher than 9600 Hz. Some radio systems will allow 12 kHz. Private 4–wire telephone systems are often operated at 16 kHz and commercial telephone performance can be achieved at 32 k bits and above. Other codecs may use bit rates up to 200 k bits/sec.

Shift Register Length (Algorithm)

The MC3418 has a 4–bit algorithm well suited for 32 kHz and higher clock rates. Since the algorithm records a fixed past history of the input signal, a longer shift register is required to obtain the same internal history. At 16 kHz and below, the 4–bit algorithm will produce a slightly wider dynamic range at the expense of level change response. Basically the MC3418 is intended for high performance, high bit rate systems.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

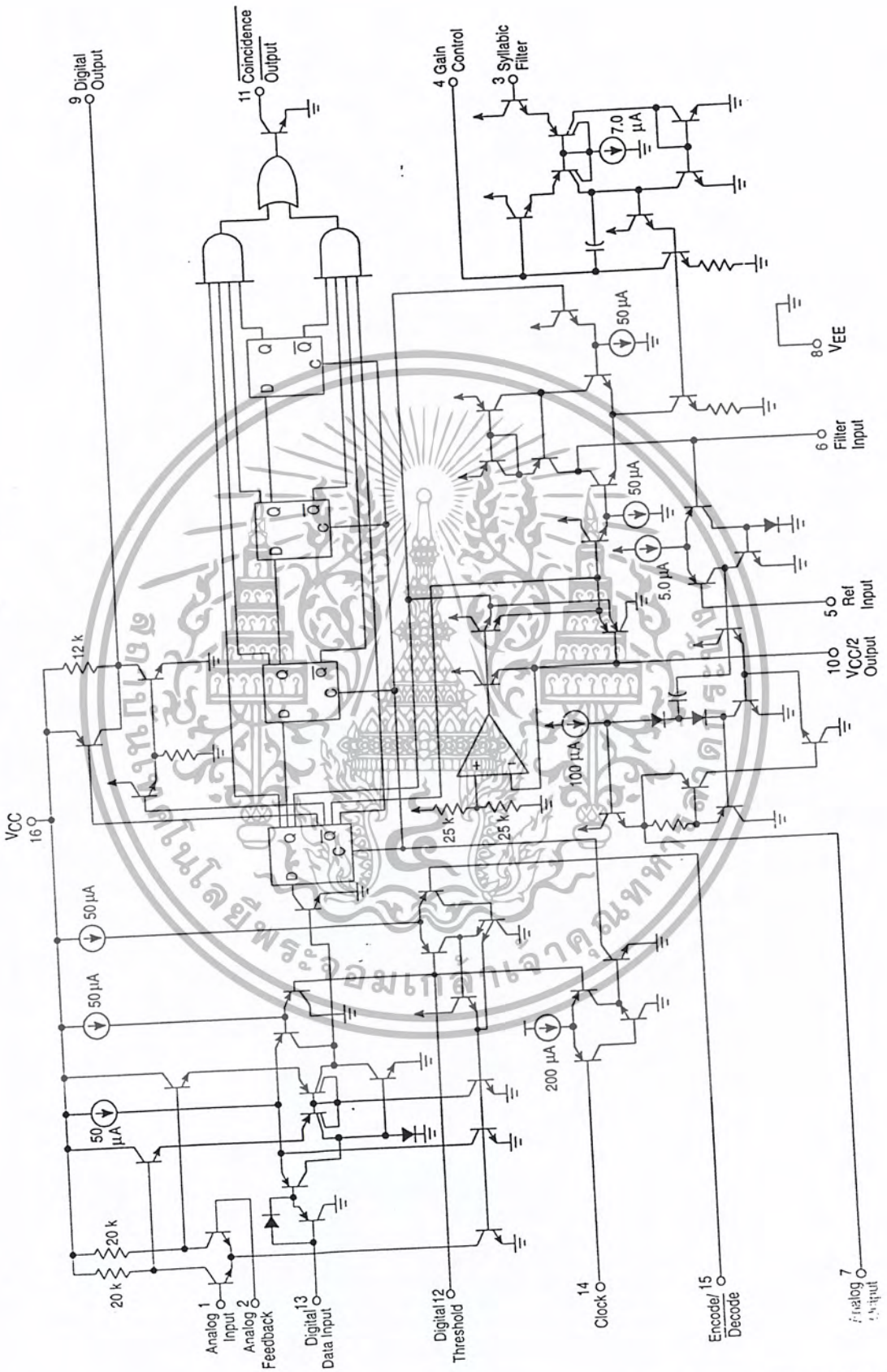
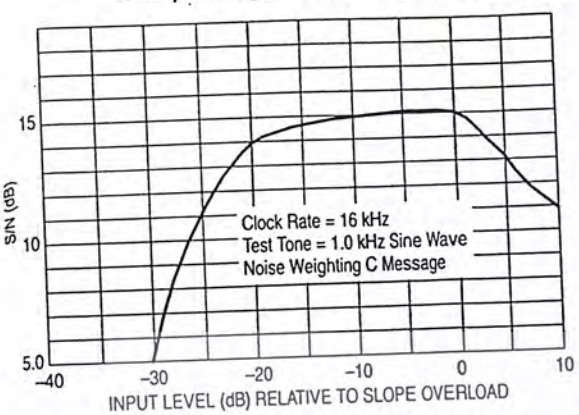


Figure 15. CVSD Circuit Schematic

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 16. Signal–to–Noise Performance with Single Integration, Single–Pole and Companding at 16 k Bits (Typical)



Selection of Loop Gain

The gain of the circuit in Figure 14 is set by resistor R_X. R_X must be selected to provide the proper integrator step size for high level signals such that the companding ratio does not exceed about 25%. The companding ratio is the active low duty cycle of the coincidence output on Pin 11 of the codec circuit. Thus the system gain is dependent on:

1. The maximum level and frequency of the input signal.
2. The transfer function of the integration filter.

For voice codecs the typical input signal is taken to be a sine wave at 1.0 kHz of 0 dBmo level. In practice, the useful dynamic range extends about 6.0 dB above the design level. In any system the companding ratio should not exceed 30%.

To calculate the required step size current, we must describe the transfer characteristics of the integration filter. In the basic circuit of Figure 14, a single–pole of 160 Hz is used.

$$R1 = 10\ k\Omega,\ C1 = 0.1\ \mu F$$

$$\frac{V_O}{I_i} = \frac{1}{C\left(S + \frac{1}{RC}\right)} = \frac{K}{S + \omega_O}$$

$$\omega_O = 2\pi f$$

$$10^3 = \omega_O = 2\pi f$$

$$f = 159.2\ Hz$$

Note that the integration filter produces a single–pole response from 300 to 3.0 kHz. The current required to move the integrator output a specific voltage from zero is simply:

$$I_i = \frac{V_O}{R1} + \left(C1 \times \frac{dV_O}{dt}\right)$$

Now a 0 dBmo sine wave has a peak value of 1.0954 V. In 1/8 of a cycle of a sine wave centered around the zero crossing, the sine wave changes by approximately its peak value. The CVSD step should trace that change. The required current for a 0 dBm 1.0 kHz sine wave is:

$$I_i = \frac{1.1\ V}{2\ (10\ k\Omega)} + \frac{0.1\ \mu F\ (1.1)}{0.125\ ms} = 0.935\ mA$$

* The maximum voltage across R1 when maximum slew is required is:

$$\frac{1.1\ V}{2}$$

Now the voltage range of the syllabic filter is the power supply voltage, thus:

$$R_X = 0.25\left(V_{CC}\right)\frac{1}{0.935\ mA}$$

A similar procedure can be followed to establish the proper gain for any input level and integration filter type.

Minimum Step Size

The final parameter to be selected for the simple codec in Figure 14 is idle channel step size. With no input signal, the digital output becomes a one–zero alternating pattern and the analog output becomes a small triangle wave. Mismatches of internal currents and offsets limit the minimum step size which will produce a perfect idle channel pattern. The MC3418 is tested to ensure that a 20 mVpp minimum step size at 16 kHz will attain a proper idle channel. The idle channel step size must be twice the specified total loop offset if a one–zero idle pattern is desired. In some applications a much smaller minimum step size (e.g., 0.1 mV) can produce quiet performance without providing a 1 – 0 pattern.

To set the idle channel step size, the value of R_{min} must be selected. With no input signal, the slope control algorithm is inactive. A long series of ones or zeros never occurs. Thus, the voltage across the syllabic filter capacitor (C_S) would decay to zero. However, the voltage divider of R_S and R_{min} (see Figure 14) sets the minimum allowed voltage across the syllabic filter capacitor. That voltage must produce the desired ramps at the analog output. Again we write the filter input current equation:

$$I_i = \frac{V_O}{R1} + C\frac{dV_O}{dt}$$

For values of V_O near $V_{CC}/2$ the V_O/R term is negligible; thus:

$$I_i = C_S\frac{\Delta V_O}{\Delta T}$$

where ΔT is the clock period and ΔV_O is the desired peak–to–peak value of the idle output. For a 16 k bit system using the circuit in Figure 14:

$$I_i = \frac{0.1\ \mu F\ 20\ mV}{62.5\ \mu s} = 33\ \mu A$$

The voltage on C_S which produces a 33 μA current is determined by the value of R_X.

$I_iR_X = V_S min$; for 33 μA, $V_S min = 41.6$ mV

In Figure 14 R_S is 18 kΩ. That selection is discussed with the syllabic filter considerations. The voltage divider of R_S and R_{min} must produce an output of 41.6 mV.

$$V_{CC}\frac{R_S}{R_S + R_{min}} = V_S min \quad R_{min} = 2.4\ M\Omega$$

Having established these four parameters – clock rate, number of shift register bits, loop gain, and minimum step size – the encoder circuit in Figure 14 will function at near optimum performance for input levels around 0 dBm.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

INCREASING CVSD PERFORMANCE

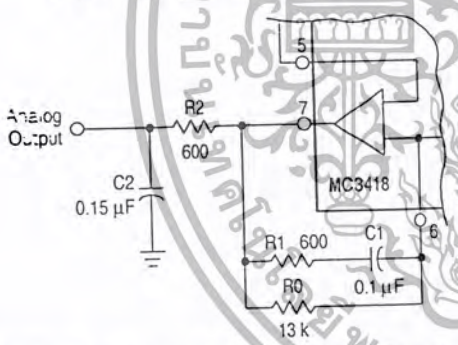
Integration Filter Design

The circuit in Figure 14 uses a single–pole integration network formed with a 0.1 µF capacitor and a 10 kΩ resistor. It is possible to improve the performance of the circuit in Figure 14 by 1.0 or 2.0 dB by using a two–pole integration network. The improved circuit is shown in Figure 17.

The first pole is still placed below 300 Hz to provide the 1/S type content curve and a second pole is placed somewhere above the 1.0 kHz frequency. For telephony circuits, the second pole can be placed above 1.8 kHz to exceed the 3.3 touchtone frequency. In other communication systems, poles as low as 1.0 kHz may be selected. In general, the more in frequency the second pole is placed, the greater the noise improvement. Then, to ensure the encoder loop stability, a zero is added to keep the phase shift less than 90°. This zero should be placed slightly above the low–pass output filter break frequency so as not to reduce the effectiveness of the second pole. A network of 235 Hz, 1.5 kHz, and 5.2 kHz is typical for telephone applications while 160 Hz, 1.2 kHz, and 2.8 kHz might be used in voice only channels. (Voice only channels can use an output low–pass filter which breaks at about 2.5 kHz.) The two–pole network in Figure 17 has a transfer function of:

$$\frac{V_o}{V_i} = \frac{R0R1\left(S + \frac{1}{R1C1}\right)}{R2C2(R0 + R1)\left(S + \frac{1}{(R0+R1)C1}\right)\left(S + \left(\frac{1}{R2C2}\right)\right)}$$

Figure 17. Improved Filter Configuration



NOTE: These component values are for the telephone channel circuit poles described in the text. The R2, C2 product can be provided with different values of R and C. R2 should be chosen to be equal to the termination resistor on Pin 1.

Thus the two poles and the zero can be selected arbitrarily as long as the zero is at a higher frequency than the first pole. The values in Figure 17 represent one implementation of the telephony filter requirement.

The selection of the two–pole filter network affects the selection of the loop gain value and the minimum step size resistor. The required integrator current for a given change in voltage now becomes:

$$I_i = \frac{V_O}{R0} + \left(\frac{R2C2}{R0} + \frac{R1C1}{R0} + C1\right)\frac{\Delta V_O}{\Delta T} +$$

$$\left(R2C2C1 + \frac{R1C1R2C2}{R0}\right)\frac{\Delta V_O{}^2}{\Delta T^2}$$

The calculation of desired gain resistor R_X then proceeds exactly as previously described.

Syllabic Filter Design

The syllabic filter in Figure 14 is a simple single–pole network of 18 kΩ and 0.33 µF. This produces a 6.0 ms time constant for the averaging of the coincidence output signal. The voltage across the capacitor determines the integrator current which in turn establishes the step size. The integrator current and the resulting step size determine the companding ratio and the S/N performance. The companding ratio is defined as the voltage across C_S/V_{CC}.

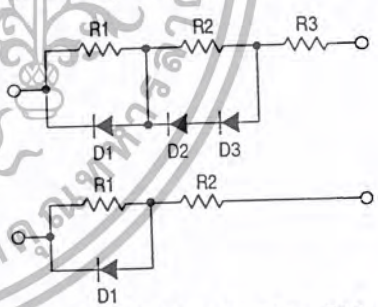
The S/N performance may be improved by modifying the voltage to current transformation produced by R_X. If different portions of the total R_X are shunted by diodes, the integrator current can be other than $(V_{CC} - V_S)/R_X$. These breakpoint curves must be designed experimentally for the particular system application. In general, one would wish that the current would double with input level. To design the desired curve, supply current to Pin 4 of the codec from an external source. Input a signal level and adjust the current until the S/N performance is optimum. Then record the syllabic filter voltage and the current. Repeat this for all desired signal levels. Then derive the resistor diode network which produces that curve on a curve tracer.

Once the network is designed with the curve tracer, it is then inserted in place of R_X in the circuit and the forced optimum noise performance will be achieved from the active syllabic algorithm.

Diode breakpoint networks may be very simple or moderately complex and can improve the usable dynamic range of any codec. In the past they have been used in high performance telephone codecs.

Typical resistor–diode networks are shown in Figure 18.

Figure 18. Resistor–Diode Networks



If the performance of more complex diode networks is desired, the circuit in Figure 19 should be used. It simulates the companding characteristics of nonlinear R_X elements in a different manner.

Output Low Pass Filter

A low pass filter is required at the receiving circuit output to eliminate quantizing noise. In general, the lower the bit rate, the better the filter must be. The filter in Figure 21 provides excellent performance for 12 to 40 kHz systems.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TELEPHONE CARRIER QUALITY CODEC

Two specifications of the integrated circuit are specifically ended to meet the performance requirements of mmercial telephone systems. First, slope polarity switch rent matching is laser trimmed to guarantee proper idle nnel performance with 5.0 mV minimum step size and a ical 1.0% current match from 15 µA to 3.0 mA. Thus a 300 1 range of step size variation is possible. Second, the 3418 provides the 4–bit algorithm currently used in scriber loop telephone systems. With these specifications the circuit of Figure 19, a telephone quality codec can be ss produced.

The circuit in Figure 19 provides a 30 dB S/Nc ratio over dB of dynamic range for a 1.0 kHz test tone at a 37.7 k rate. At 37.7 k bits, 40 voice channels may be ltiplexed on a standard 1.544 MB T1 facility. This codec s also been tested for 10^{-7} error rates with asynchronous synchronous data up to 2400 baud and for reliable formance with DTMF signaling. Thus, the design is plicable in telephone quality subscriber loop carrier stems. subscriber loop concentrators, and small PABX stallations.

e Active Companding Network

The unique feature of the codec in Figure 19 is the step e control circuit which uses a companding ratio reference, present step size, and the present syllabic filter output to tablish the optimum companding ratios and step sizes for y given input level. The companding ratio of a CVSD codec defined as the duty cycle of the coincidence output. It is the rameter measured by the syllabic filter and is the voltage ross C_S divided by the voltage swing of the coincidence tput. In Figure 19, the voltage swing of Pin 11 is 6.0 V. The erating companding ratio is analoged by the voltage tween Pins 10 and 4 by means of the virtual short across ns 3 and 4 of the V to I op amp within the integrated circuit. us, the instantaneous companding ratio of the codec is ays available at the negative input of A1.

The diode D1 and the gain of A1 and A2 provide a mpanding ratio reference for any input level. If the output of is more than 0.7 V below $V_{CC}/2$, then the positive input of is ($V_{CC}/2$ – 0.7). The on diode drop at the input of A1 resents a 12% companding ratio (12% = 0.7 V/6.0 V).

The present step size of the operating codec is directly ated to the voltage across R_X, which established the grator current. In Figure 19, the voltage across R_X is plified by the differential amplifier A2 whose output is gle ended with respect to Pin 10 of the IC.

For large signal inputs, the step size is large and the put of A2 is lower than 0.7 V. Thus D1 is fully on. The sent step size is not a factor in the step size control. wever, the difference between 12% companding ratio and the instantaneous companding ratio at Pin 4 is amplified by A1. The output of A1 changes the voltage across R_X in a direction which reduces the difference between the companding reference and the operating ratio by changing the step size. The ratio of R4 and R3 determines how closely the voltage at Pin 4 will be forced to 12%. The selection of R3 and R4 is initially experimental. However, the resulting companding control is dependent on R_X, R3, R4, and the full diode drop D1. These values are easy to reproduce from codec to codec.

For small input levels, the companding ratio reference becomes the output of A2 rather than the diode drop. The operating companding ratio on Pin 4 is then compared to a companding ratio smaller than 12% which is determined by the voltage drop across R_X and the gain of A2 and A1. The gain of A2 is also experimentally determined, but once determined, the circuitry is easily repeated.

With no input signal, the companding ratio at Pin 4 goes to zero and the voltage across R_X goes to zero. The voltage at the output of A2 becomes zero since there is no drop across R_X. With no signal input, the actively controlled step size vanished.

The minimum step size is established by the 500 k resistor between V_{CC} and Pin 4 and is therefore independently selectable.

The signal to noise results of the active companding network are shown in Figure 20. A smooth 2.0 dB drop is realized from 12 dBm to –24 under the control of A1. At –24 dBm, A2 begins to degenerate the companding reference and the resulting step size is reduced so as to extend the dynamic range of the codec by 20 dBm.

The slope overload characteristic is also shown. The active companding network produces improved performance with frequency. The 0 dBm slope overload point is raised to 4.8 kHz because of the gain available in controlling the voltage across R_X. The curves demonstrate that the level linearity has been maintained or improved.*

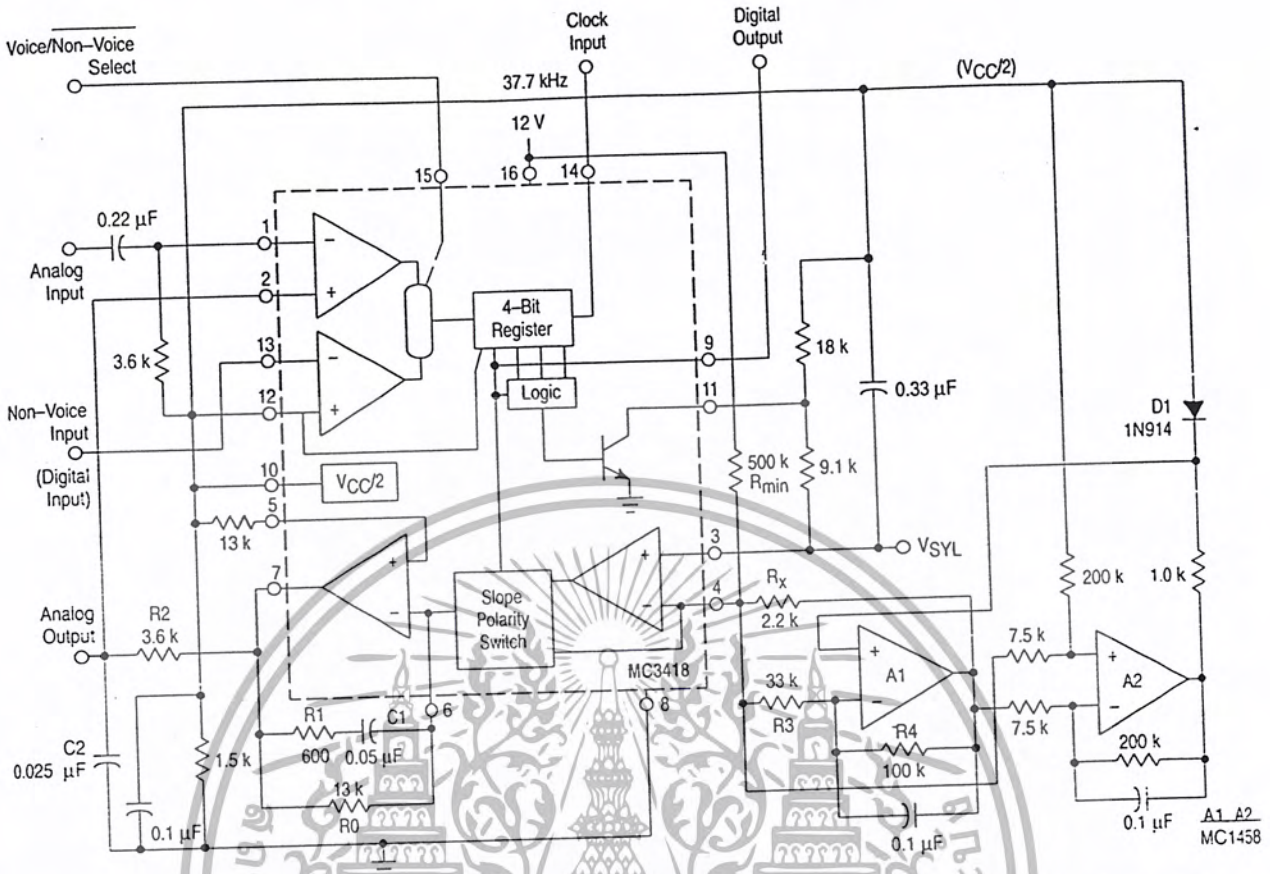
The codec in Figure 19 is designed specifically for 37.7 k bit systems. However, the benefits of the active companding network are not limited to high bit rate systems. By modifying the crossover region (changing the gain of A2), the active technique may be used to improve the performance of lower bit rate systems.

The performance and repeatability of the codec in Figure 19 represents a significant step forward in the art and cost of CVSD codec designs.

*A larger value for C2 is required in the decoder circuit than in the encoder to adjust the level linearity with frequency. In Figure 19, 0.050 µF would work well.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

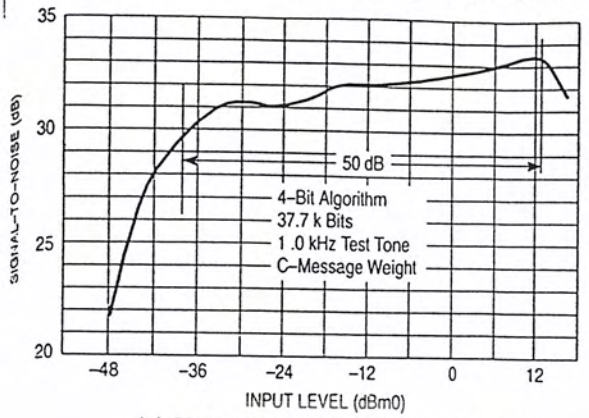
Figure 19. Telephone Quality Deltamod Coder*



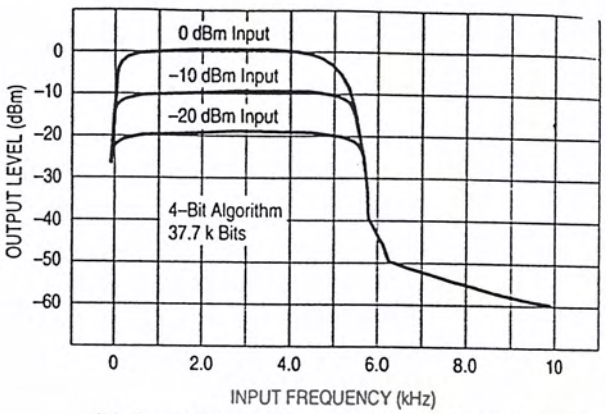
* Both double integration and active companding control are used to obtain improved CVSD performance. Laser trimming of the integrated circuit provides reliable idle channel and step size range characteristics.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 20. Signal–to–Noise Performance and Frequency Response*



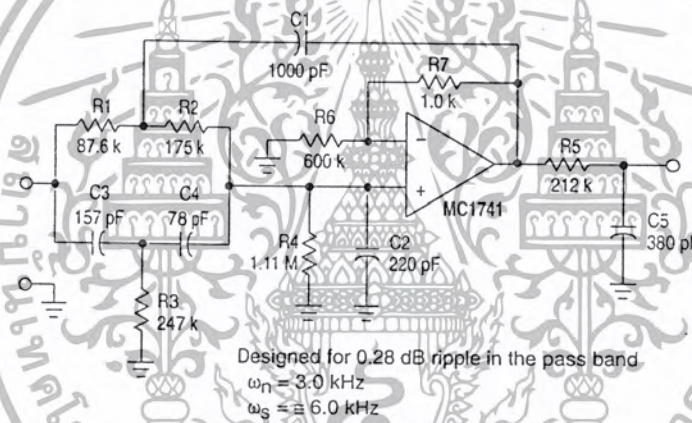
(a) Signal–to–Noise Performance of Telephony Quality Deltamodulator



(b) Frequency Response versus Input Level (Slope Overload Characteristic)

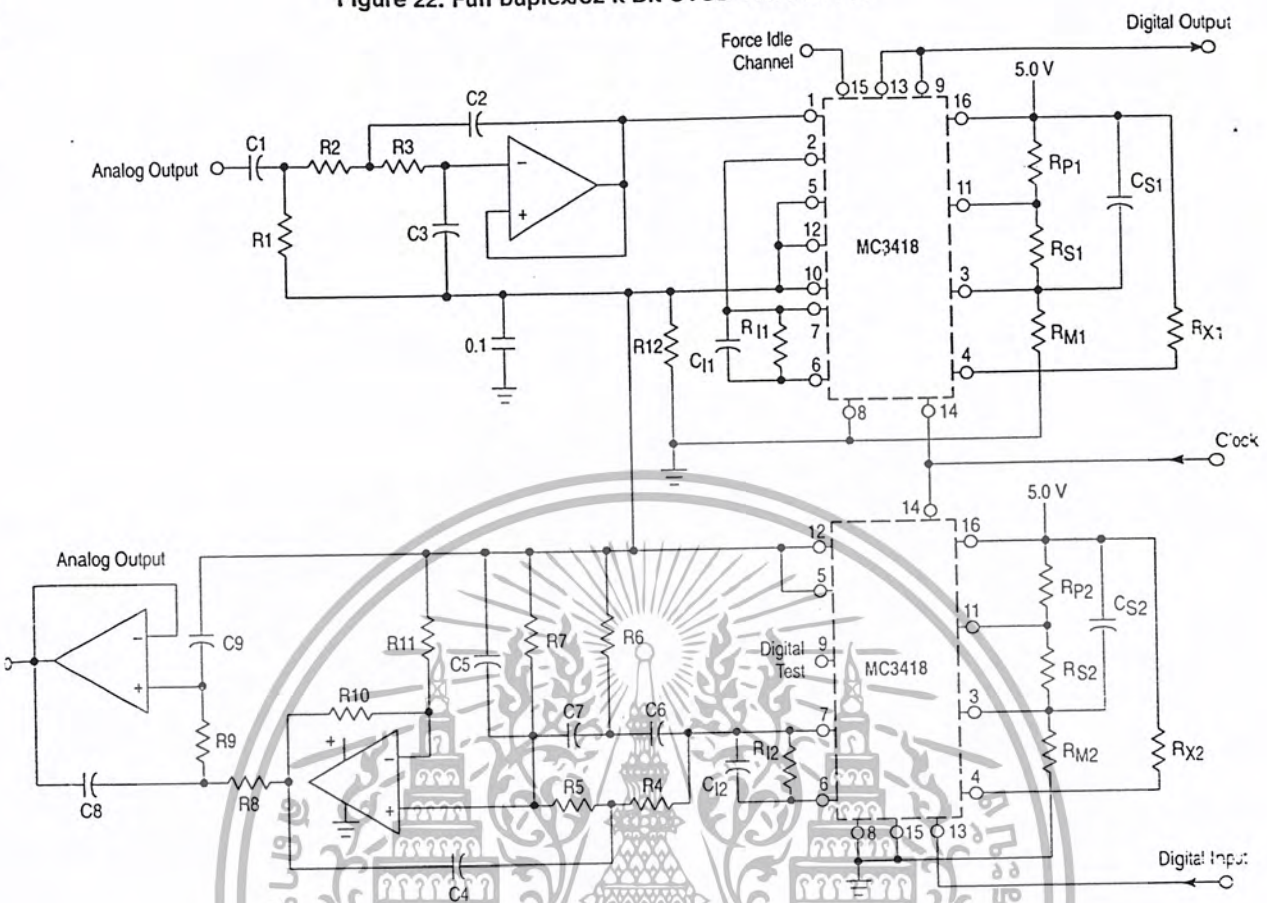
*Showing the improvement realized with the circuit in Figure 19.

Figure 21. High Performance Elliptic Filter for CVSD Output



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 22. Full Duplex/32 k Bit CVSD Voice Codec



Codec Components

R_{X1}, R_{X2} – 3.3 kΩ
R_{P1}, R_{P2} – 3.3 kΩ
R_{S1}, R_{S2} – 100 kΩ
R_{I1}, R_{I2} – 20 kΩ
R_{12} – 1.0 kΩ
R_{M1}, R_{M2} – 15 MΩ
Minimum step size = 6.0 mV
C_{S1}, C_{S2} – 0.05 µF
C_{I1}, C_{I2} – 0.05 µF
2 MC3418
1 MC3403 (or MC3406)

NOTE: All Res. 5%
All Cap. 5%

Input Filter Specifications

12 dB/Octave Rolloff above 3.3 kHz
6.0 dB/Octave Rolloff below 50 Hz

Output Filter Specifications

Break Frequency – 3.3 kHz
Stop Band – 9.0 kHz
Stop Band Atten. – 50 dB
Rolloff – > 40 dB/Octave

Filter Components

R1 – 965 Ω
R2 – 72 kΩ
R3 – 72 kΩ
R4 – 63.46 kΩ
R5 – 127 kΩ
R6 – 365.5 kΩ
R7 – 1.645 MΩ
R8 – 72 kΩ
R9 – 72 kΩ
R10 – 29.5 Ω
R11 – 72 kΩ

C1 – 3.3 µF
C2 – 837 pF
C3 – 536 pF
C4 – 1000 pF
C5 – 222 pF
C6 – 77 pF
C7 – 38 pF
C8 – 837 pF
C9 – 536 pF

NOTE: All Res. 0.1% to 1%
All Cap. 0.1%

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

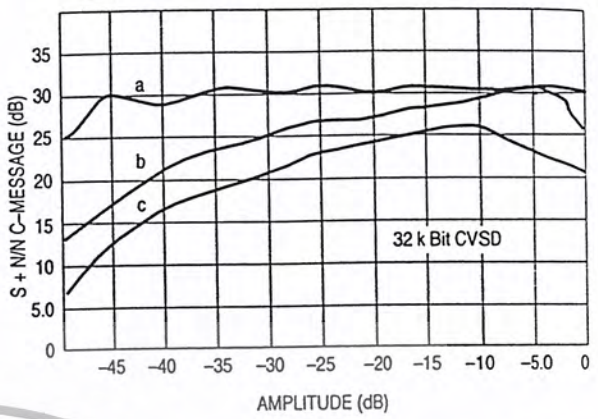
COMPARATIVE CODEC PERFORMANCE

The salient feature of CVSD codecs is versatility. The range of codec complexity tradeoffs and bit rate is so wide that one cannot grasp the interdependency of parameters for voice applications in a few pages.

Design of a specific codec must be tailored to the digital channel bandwidth, the analog bandwidth, the quality of signal transmission required, and the cost objectives. To illustrate the choices available, the data in Figure 23 compares the signal–to–noise ratios and dynamic range of various codec design options at 32 k bits. Generally, the relative merits of each design feature will remain intact in any application. Lowering the bit rate will reduce the dynamic range and noise performance of all techniques. As the bit rate is increased, the overall performance of each technique will improve and the need for more complex designs diminishes.

Non–voice applications of the MC3418 are also possible. In those cases, the signal bandwidth and amplitude characteristics must be defined before the specification of codec parameters can begin. However, in general, the design can proceed along the lines of the voice applications shown here, taking into account the different signal bandwidth requirements.

Figure 23. Comparative Codec Performance – Signal–to–Noise Ratio for 1.0 kHz Test Tone



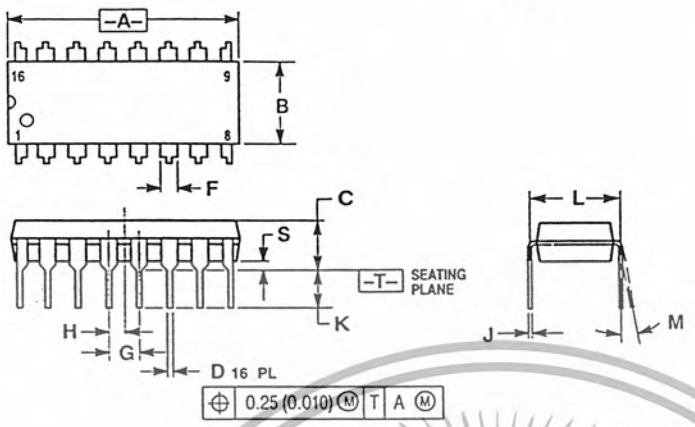
NOTE: These curves demonstrate the improved performance obtained with several codec designs of varying complexity.

Curve a – Complex companding and double integration (Figure 19)
Curve b – Double integration (Figure 14 using Figure 17)
Curve c – Single integration (Figure 14) with 6.0 mV stepsize

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ในเชิงพาณิชย์ ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

OUTLINE DIMENSIONS

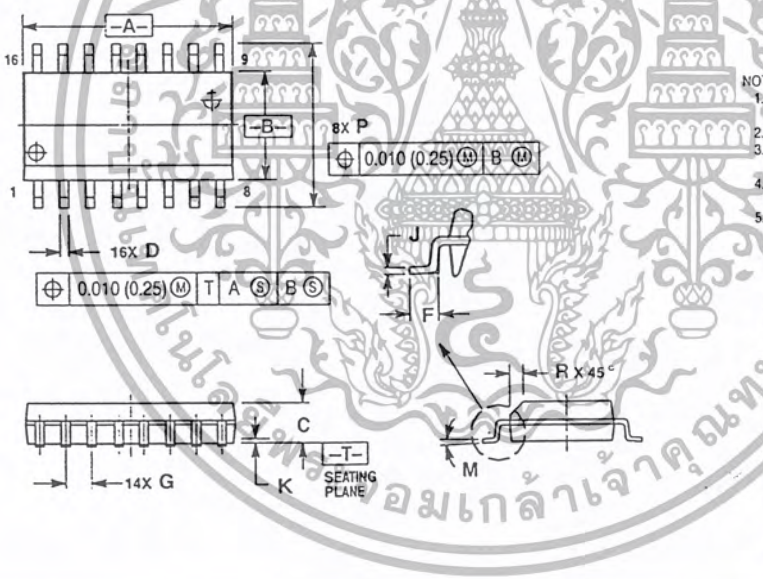
P SUFFIX
PLASTIC PACKAGE
CASE 648–08
ISSUE R



NOTES:
1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982.
2. CONTROLLING DIMENSION: INCH.
3. DIMENSION L TO CENTER OF LEADS WHEN FORMED PARALLEL.
4. DIMENSION B DOES NOT INCLUDE MOLD FLASH.
5. ROUNDED CORNERS OPTIONAL.

	INCHES		MILLIMETERS	
DIM	MIN	MAX	MIN	MAX
A	0.740	0.770	18.80	19.55
B	0.250	0.270	6.35	6.85
C	0.145	0.175	3.69	4.44
D	0.015	0.021	0.39	0.53
F	0.040	0.70	1.02	1.77
G	0.100 BSC		2.54 BSC	
H	0.050 BSC		1.27 BSC	
J	0.008	0.015	0.21	0.38
K	0.110	0.130	2.80	3.30
L	0.295	0.305	7.50	7.74
M	0°	10°	0°	10°
S	0.020	0.040	0.51	1.01

DW SUFFIX
PLASTIC PACKAGE
CASE 751G–02
(SO–16L)
ISSUE A



NOTES:
1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982.
2. CONTROLLING DIMENSION: MILLIMETER.
3. DIMENSIONS A AND B DO NOT INCLUDE MOLD PROTRUSION.
4. MAXIMUM MOLD PROTRUSION 0.15 (0.006) PER SIDE.
5. DIMENSION D DOES NOT INCLUDE DAMBAR PROTRUSION. ALLOWABLE DAMBAR PROTRUSION SHALL BE 0.13 (0.005) TOTAL IN EXCESS OF D DIMENSION AT MAXIMUM MATERIAL CONDITION.

	MILLIMETERS		INCHES	
DIM	MIN	MAX	MIN	MAX
A	10.15	10.45	0.400	0.411
B	7.40	7.60	0.292	0.299
C	2.35	2.65	0.093	0.104
D	0.35	0.49	0.014	0.019
F	0.50	0.90	0.020	0.035
G	1.27 BSC		0.050 BSC	
J	0.25	0.32	0.010	0.012
K	0.10	0.25	0.004	0.009
M	0°	7°	0°	7°
P	10.05	10.55	0.395	0.415
R	0.25	0.75	0.010	0.029

เอกสารนี้ใช้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Motorola reserves the right to make changes without further notice to any products herein. Motorola makes no warranty, representation or guarantee regarding the suitability of its products for any particular purpose, nor does Motorola assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation consequential or incidental damages. "Typical" parameters which may be provided in Motorola data sheets and/or specifications can and do vary in different applications and actual performance may vary over time. All operating parameters, including "Typicals" must be validated for each customer application by customer's technical experts. Motorola does not convey any license under its patent rights nor the rights of others. Motorola products are not designed, intended, or authorized for use as components in systems intended for surgical implant into the body, or other applications intended to support or sustain life, or for any other application in which the failure of the Motorola product could create a situation where personal injury or death may occur. Should Buyer purchase or use Motorola products for any such unintended or unauthorized application, Buyer shall indemnify and hold Motorola and its officers, employees, subsidiaries, affiliates, and distributors harmless against all claims, costs, damages, and expenses, and reasonable attorney fees arising out of, directly or indirectly, any claim of personal injury or death associated with such unintended or unauthorized use, even if such claim alleges that Motorola was negligent regarding the design or manufacture of the part. Motorola and Ⓜ are registered trademarks of Motorola, Inc. Motorola, Inc. is an Equal Opportunity/Affirmative Action Employer.

How to reach us:
USA/EUROPE/Locations Not Listed: Motorola Literature Distribution;
P.O. Box 20912; Phoenix, Arizona 85036. 1–800–441–2447 or 602–303–5454

FAX: RMFAX0@email.sps.mot.com – TOUCHTONE 602–244–6609
INTERNET: http://Design–NET.com

JAPAN: Nippon Motorola Ltd.; Tatsumi–SPD–JLDC, 6F Seibu–Butsuryu–Center, 3–14–2 Tatsumi Koto–Ku, Tokyo 135, Japan. 03–81–3521–8315

ASIA/PACIFIC: Motorola Semiconductors H.K. Ltd.; 8B Tai Ping Industrial Park, 51 Ting Kok Road, Tai Po, N.T., Hong Kong. 852–26629298

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ในการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC14060B

14-Bit Binary Counter and Oscillator

The MC14060B is a 14–stage binary ripple counter with an on–chip oscillator buffer. The oscillator configuration allows design of either RC or crystal oscillator circuits. Also included on the chip is a reset function which places all outputs into the zero state and disables the oscillator A negative transition on Clock will advance the counter to the next state. Schmitt trigger action on the input line permits very slow input rise and fall times. Applications include time delay circuits, counter controls, and frequency dividing circuits.

- Fully static operation
- Diode Protection on All Inputs
- Supply Voltage Range = 3.0 V to 18 V
- Capable of Driving Two Low–power TTL Loads or One Low–power Schottky TTL Load Over the Rated Temperature Range
- Buffered Outputs Available from Stages 4 Through 10 and 12 Through 14
- Common Reset Line
- Pin–for–Pin Replacement for CD4060B

L SUFFIX
CERAMIC
CASE 620

P SUFFIX
PLASTIC
CASE 648

D SUFFIX
SOIC
CASE 751B

ORDERING INFORMATION

MC14XXXBCP	Plastic
MC14XXXBCL	Ceramic
MC14XXXBD	SOIC

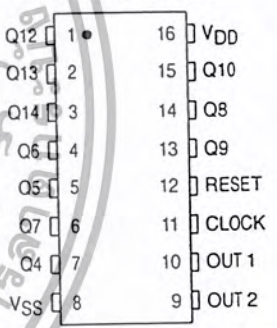
T_A = – 55° to 125°C for all packages.

TRUTH TABLE

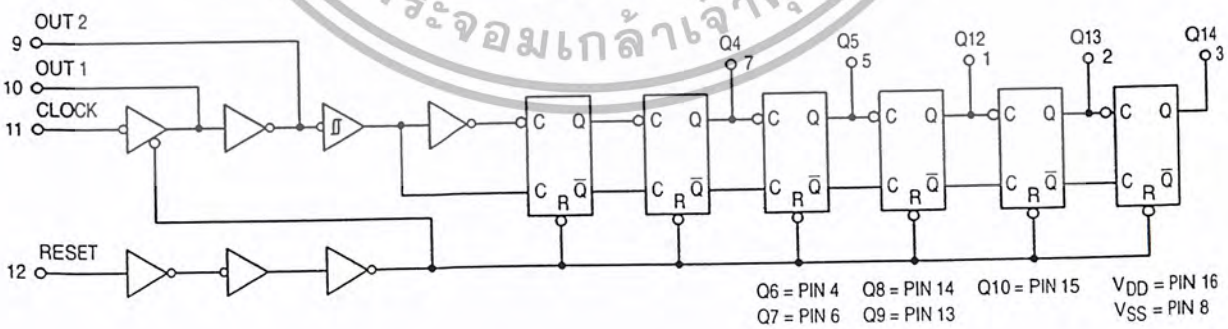
Clock	Reset	Output State
↑	L	No Change
↓	L	Advance to next state
X	H	All Outputs are low

X = Don't Care

PIN ASSIGNMENT



LOGIC DIAGRAM



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MAXIMUM RATINGS* (Voltages Referenced to V_{SS})

Symbol	Parameter	Value	Unit
V_{DD}	DC Supply Voltage	– 0.5 to + 18.0	V
V_{in}, V_{out}	Input or Output Voltage (DC or Transient)	– 0.5 to V_{DD} + 0.5	V
I_{in}, I_{out}	Input or Output Current (DC or Transient), per Pin	± 10	mA
P_D	Power Dissipation, per Package†	500	mW
T_{stg}	Storage Temperature	– 65 to + 150	°C
T_L	Lead Temperature (8–Second Soldering)	260	°C

*Maximum Ratings are those values beyond which damage to the device may occur

†Temperature Derating:
Plastic "P and D/DW" Packages: – 7.0 mW/°C From 65°C To 125°C
Ceramic "L" Packages – 12 mW/°C From 100°C To 125°C

This device contains protection circuitry to guard against damage due to high static voltages or electric fields. However, precautions must be taken to avoid applications of any voltage higher than maximum rated voltages to this high–impedance circuit. For proper operation, V_{in} and V_{out} should be constrained to the range $V_{SS} \le (V_{in}$ or $V_{out}) \le V_{DD}$.

Unused inputs must always be tied to an appropriate logic voltage level (e.g., either V_{SS} or V_{DD}). Unused outputs must be left open.

ELECTRICAL CHARACTERISTICS (Voltages Referenced to V_{SS})

Characteristic	Symbol	V_{DD} Vdc	– 55°C Min	– 55°C Max	25°C Min	25°C Typ #	25°C Max	125°C Min	125°C Max	Unit
Output Voltage "0" Level	V_{OL}	5.0	—	0.05	—	0	0.05	—	0.05	V
V_{in} = V_{DD} or 0		10	—	0.05	—	0	0.05	—	0.05	
		15	—	0.05	—	0	0.05	—	0.05	
V_{in} = 0 or V_{DD} "1" Level	V_{OH}	5.0	4.95	—	4.95	5.0	—	4.95	—	V
		10	9.95	—	9.95	10	—	9.95	—	
		15	14.95	—	14.95	15	—	14.95	—	
Input Voltage "0" Level	V_{IL}									V
(V_O = 4.5 or 0.5 V)		5.0	—	1.5	—	2.25	1.5	—	1.5	
(V_O = 9.0 or 1.0 V)		10	—	3.0	—	4.50	3.0	—	3.0	
(V_O = 13.5 or 1.5 V)		15	—	4.0	—	6.75	4.0	—	4.0	
(V_O = 0.5 or 4.5 V) "1" Level	V_{IH}	5.0	3.5	—	3.5	2.75	—	3.5	—	V
(V_O = 1.0 or 9.0 V)		10	7.0	—	7.0	5.50	—	7.0	—	
(V_O = 1.5 or 13.5 V)		15	11.0	—	11.0	8.25	—	11.0	—	
Input Voltage "0" Level	V_{IL}									Vdc
(V_O = 4.5 Vdc) (For Input 11		5.0	—	1.0	—	2.25	1.0	—	1.0	
(V_O = 9.0 Vdc) and Output 10)		10	—	2.0	—	4.50	2.0	—	2.0	
(V_O = 13.5 Vdc)		15	—	2.5	—	6.75	2.5	—	2.5	
(V_O = 0.5 Vdc) "1" Level	V_{IH}	5.0	4.0	—	4.0	2.75	—	4.0	—	Vdc
(V_O = 1.0 Vdc)		10	8.0	—	8.0	5.50	—	8.0	—	
(V_O = 1.5 Vdc)		15	12.5	—	12.5	8.25	—	12.5	—	
Output Drive Current	I_{OH}									mA
(V_{OH} = 2.5 V) (Except Source		5.0	– 3.0	—	– 2.4	– 4.2	—	– 1.7	—	
(V_{OH} = 4.6 V) Pins 9 and 10)		5.0	– 0.64	—	– 0.51	– 0.88	—	– 0.36	—	
(V_{OH} = 9.5 V)		10	– 1.6	—	– 1.3	– 2.25	—	– 0.9	—	
(V_{OH} = 13.5 V)		15	– 4.2	—	– 3.4	– 8.8	—	– 2.4	—	
(V_{OL} = 0.4 V) Sink	I_{OL}	5.0	0.64	—	0.51	0.88	—	0.36	—	mA
(V_{OL} = 0.5 V)		10	1.6	—	1.3	2.25	—	0.9	—	
(V_{OL} = 1.5 V)		15	4.2	—	3.4	8.8	—	2.4	—	
Input Current	I_{in}	15	—	± 0.1	—	±0.00001	± 0.1	—	± 1.0	µA
Input Capacitance (V_{in} = 0)	C_{in}	—	—	—	—	5.0	7.5	—	—	pF
Quiescent Current (Per Package)	I_{DD}	5.0	—	5.0	—	0.005	5.0	—	150	µA
		10	—	10	—	0.010	10	—	300	
		15	—	20	—	0.015	20	—	600	
Total Supply Current**† (Dynamic plus Quiescent, Per Package) (C_L = 50 pF on all outputs, all buffers switching)	I_T	5.0	I_T = (0.25 µA/kHz) f + I_{DD}							µA
		10	I_T = (0.54 µA/kHz) f + I_{DD}							
		15	I_T = (0.85 µA/kHz) f + I_{DD}							

#Data labelled "Typ" is not to be used for design purposes but is intended as an indication of the IC's potential performance.

*The formulas given are for the typical characteristics only at 25°C.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SWITCHING CHARACTERISTICS (C_L = 50 pF, T_A = 25°C)

Characteristic	Symbol	V_{DD} Vdc	Min	Typ #	Max	Unit
Output Rise Time (Counter Outputs)	t_{TLH}	5.0	—	40	200	ns
		10	—	25	100	
		15	—	20	80	
Output Fall Time (Counter Outputs)	t_{THL}	5.0	—	50	200	ns
		10	—	30	100	
		15	—	20	80	
Propagation Delay Time Clock to Q4	t_{PLH} t_{PHL}	5.0	—	415	740	ns
		10	—	175	300	
		15	—	125	200	
Clock to Q14		5.0	—	1.5	2.7	µs
		10	—	0.7	1.3	
		15	—	0.4	1.0	
Clock Pulse Width	t_{WH}	5.0	100	65	—	ns
		10	40	30	—	
		15	30	20	—	
Clock Pulse Frequency	f_ϕ	5.0	—	5	3.5	MHz
		10	—	14	8	
		15	—	17	12	
Clock Rise and Fall Time	t_{TLH} t_{THL}	5.0	No Limit			ns
		10				
		15				
Reset Pulse Width	t_W	5.0	120	40	—	ns
		10	60	15	—	
		15	40	10	—	
Propagation Delay Time Reset to On	t_{PHL}	5.0	—	170	350	ns
		10	—	80	160	
		15	—	60	100	

#Data labelled "Typ" is not to be used for design purposes but is intended as an indication of the IC's potential performance.

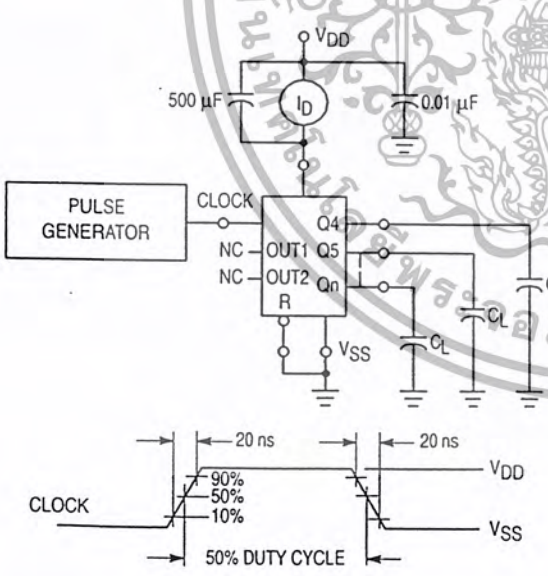


Figure 1. Power Dissipation Test Circuit and Waveform

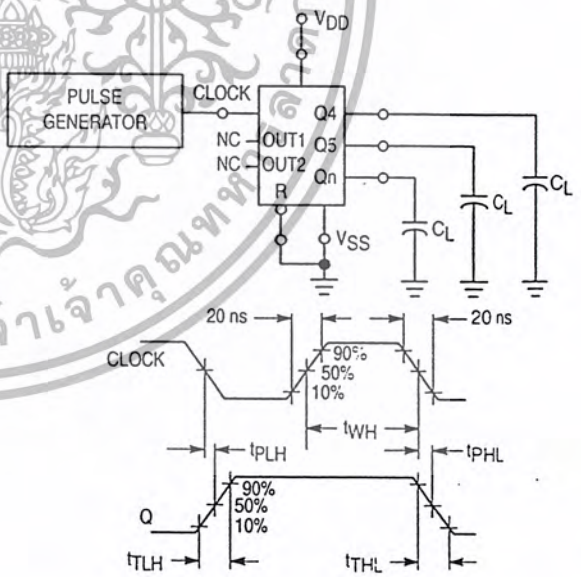
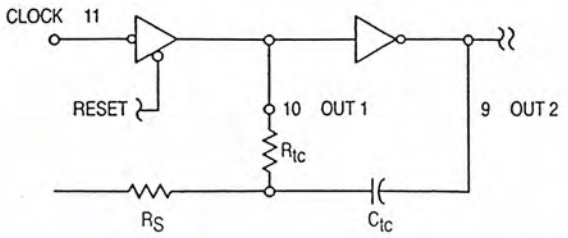


Figure 2. Switching Time Test Circuit and Waveforms

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



$$f \approx \frac{1}{2.3 R_{tc} C_{tc}}$$

if 1 kHz ≤ f ≤ 100 kHz
and $2R_{tc} < R_S < 10R_{tc}$
(f in Hz, R in ohms, C in farads)

The formula may vary for other frequencies. Recommended maximum value for the resistors in 1 MΩ.

Figure 3. Oscillator Circuit Using RC Configuration

TYPICAL RC OSCILLATOR CHARACTERISTICS

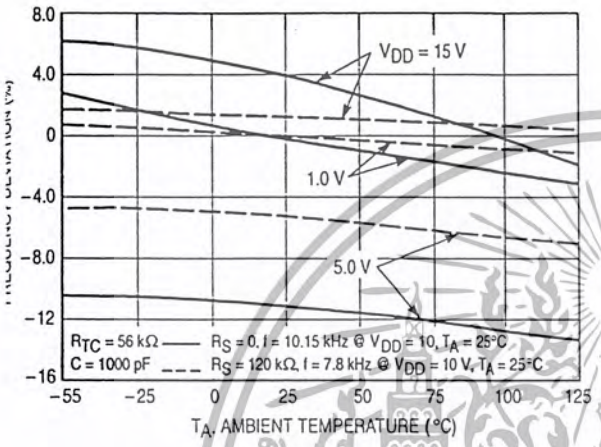


Figure 4. RC Oscillator Stability

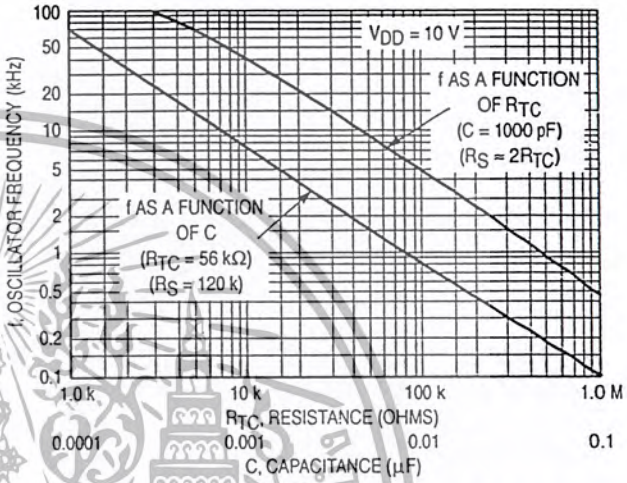


Figure 5. RC Oscillator Frequency as a Function of R_{TC} and C

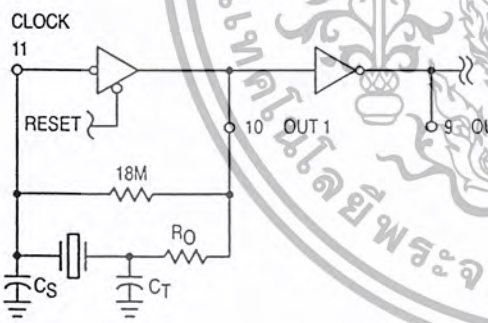


Figure 6. Typical Crystal Oscillator Circuit

Characteristic	500 kHz Circuit	32 kHz Circuit	Unit
Crystal Characteristics			
Resonant Frequency	500	32	kHz
Equivalent Resistance, R_S	1.0	6.2	kΩ
External Resistor/Capacitor Values			
R_O	47	750	kΩ
C_T	82	82	pF
C_S	20	20	pF
Frequency Stability			
Frequency Changes as a Function of V_{DD} (T_A = 25°C)			
V_{DD} Change from 5.0 V to 10V	+ 6.0	+ 2.0	ppm
V_{DD} Change from 10 V to 15 V	+ 2.0	+ 2.0	ppm
Frequency Change as a Function of Temperature (V_{DD} = 10 V)			
T_A Change from − 55°C to +25°C Complete Oscillator*	+ 100	+ 120	ppm
T_A Change from + 25°C to +125°C Complete Oscillator*	− 160	− 560	ppm

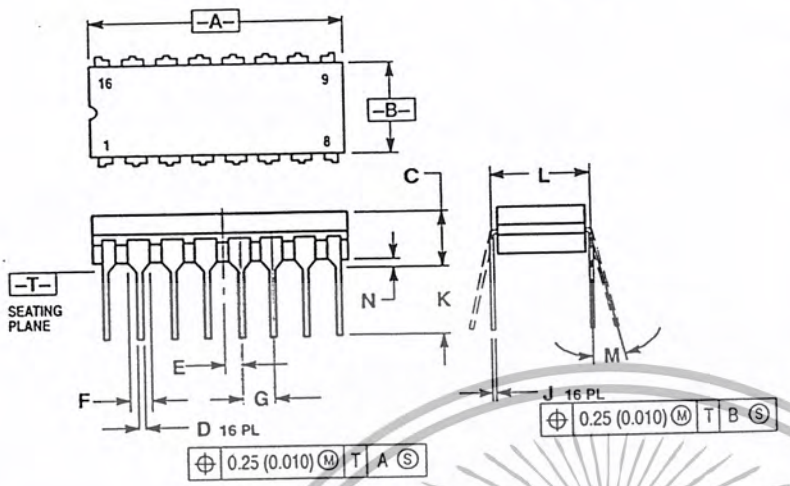
* Complete oscillator includes crystal, capacitors, and resistors.

Figure 7. Typical Data for Crystal Oscillatgor Circuit

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

OUTLINE DIMENSIONS

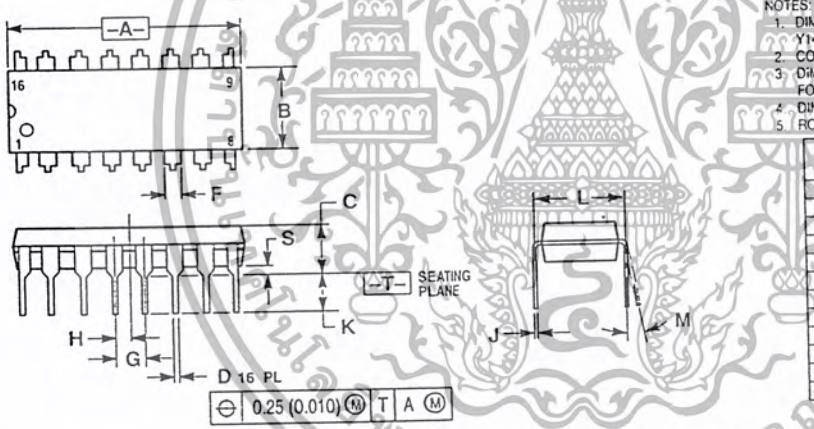
L SUFFIX
CERAMIC DIP PACKAGE
CASE 620–10
ISSUE V



NOTES:
1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982.
2. CONTROLLING DIMENSION: INCH.
3. DIMENSION L TO CENTER OF LEAD WHEN FORMED PARALLEL.
4. DIMENSION F MAY NARROW TO 0.76 (0.030) WHERE THE LEAD ENTERS THE CERAMIC BODY.

DIM	INCHES		MILLIMETERS	
	MIN	MAX	MIN	MAX
A	0.750	0.785	19.05	19.93
B	0.240	0.295	6.10	7.49
C	—	0.200	—	5.08
D	0.015	0.020	0.39	0.50
E	0.050 BSC		1.27 BSC	
F	0.055	0.065	1.40	1.65
G	0.100 BSC		2.54 BSC	
H	0.008	0.015	0.21	0.38
K	0.125	0.170	3.18	4.31
L	0.300 BSC		7.62 BSC	
M	0°	15°	0°	15°
N	0.020	0.040	0.51	1.01

P SUFFIX
PLASTIC DIP PACKAGE
CASE 648–08
ISSUE R



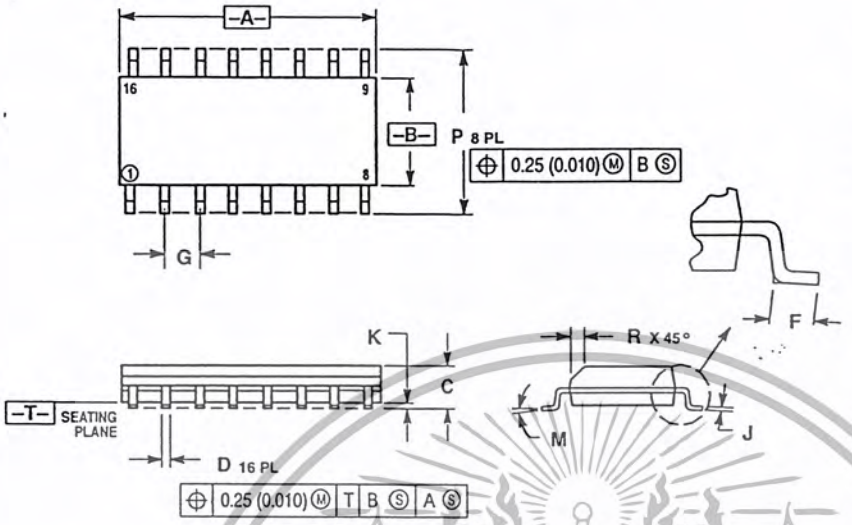
NOTES:
1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982.
2. CONTROLLING DIMENSION: INCH.
3. DIMENSION L TO CENTER OF LEADS WHEN FORMED PARALLEL.
4. DIMENSION B DOES NOT INCLUDE MOLD FLASH.
5. ROUNDED CORNERS OPTIONAL.

DIM	INCHES		MILLIMETERS	
	MIN	MAX	MIN	MAX
A	0.740	0.770	18.80	19.55
B	0.250	0.270	6.35	6.85
C	0.145	0.175	3.69	4.44
D	0.015	0.021	0.39	0.53
F	0.040	0.70	1.02	1.77
G	0.100 BSC		2.54 BSC	
H	0.050 BSC		1.27 BSC	
J	0.008	0.015	0.21	0.38
K	0.110	0.130	2.80	3.30
L	0.295	0.305	7.50	7.74
M	0°	10°	0°	10°
S	0.020	0.040	0.51	1.01

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

OUTLINE DIMENSIONS

D SUFFIX
PLASTIC SOIC PACKAGE
CASE 751B–05
ISSUE J



NOTES:
1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982.
2. CONTROLLING DIMENSION: MILLIMETER.
3. DIMENSIONS A AND B DO NOT INCLUDE MOLD PROTRUSION.
4. MAXIMUM MOLD PROTRUSION 0.15 (0.006) PER SIDE.
5. DIMENSION D DOES NOT INCLUDE DAMBAR PROTRUSION. ALLOWABLE DAMBAR PROTRUSION SHALL BE 0.127 (0.005) TOTAL IN EXCESS OF THE D DIMENSION AT MAXIMUM MATERIAL CONDITION.

	MILLIMETERS		INCHES	
DIM	MIN	MAX	MIN	MAX
A	9.80	10.00	0.386	0.393
B	3.80	4.00	0.150	0.157
C	1.35	1.75	0.054	0.068
D	0.35	0.49	0.014	0.019
F	0.40	1.25	0.016	0.049
G	1.27 BSC		0.050 BSC	
J	0.19	0.25	0.008	0.009
K	0.10	0.25	0.004	0.009
M	0°	7°	0°	7°
P	5.80	6.20	0.229	0.244
R	0.25	0.50	0.010	0.019

Motorola reserves the right to make changes without further notice to any products herein. Motorola makes no warranty, representation or guarantee regarding the suitability of its products for any particular purpose, nor does Motorola assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation consequential or incidental damages. "Typical" parameters which may be provided in Motorola data sheets and/or specifications can and do vary in different applications and actual performance may vary over time. All operating parameters, including "Typicals" must be validated for each customer application by customer's technical experts. Motorola does not convey any license under its patent rights nor the rights of others. Motorola products are not designed, intended, or authorized for use as components in systems intended for surgical implant into the body, or other applications intended to support or sustain life, or for any other application in which the failure of the Motorola product could create a situation where personal injury or death may occur. Should Buyer purchase or use Motorola products for any such unintended or unauthorized application, Buyer shall indemnify and hold Motorola and its officers, employees, subsidiaries, affiliates, and distributors harmless against all claims, costs, damages, and expenses, and reasonable attorney fees arising out of, directly or indirectly, any claim of personal injury or death associated with such unintended or unauthorized use, even if such claim alleges that Motorola was negligent regarding the design or manufacture of the part. Motorola and ... are registered trademarks of Motorola, Inc. Motorola, Inc. is an Equal Opportunity/Affirmative Action Employer.

How to reach us:
USA/EUROPE/Locations Not Listed: Motorola Literature Distribution; P.O. Box 20912; Phoenix, Arizona 85036. 1–800–441–2447 or 602–303–5454

MFAX: RMFAX0@email.sps.mot.com – TOUCHTONE 602–244–6609
INTERNET: http://Design–NET.com

JAPAN: Nippon Motorola Ltd.; Tatsumi–SPD–JLDC, 6F Seibu–Butsuryu–Center, 3–14–2 Tatsumi Koto–Ku, Tokyo 135, Japan. 03–81–3521–8315

ASIA/PACIFIC: Motorola Semiconductors H.K. Ltd.; 8B Tai Ping Industrial Park, 51 Ting Kok Road, Tai Po, N.T., Hong Kong. 852–26629298

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MOTOROLA

TL071C,AC
TL072C,AC
TL074C,AC

Low Noise, JFET Input Operational Amplifiers

These low noise JFET input operational amplifiers combine two state–of–the–art analog technologies on a single monolithic integrated circuit. Each internally compensated operational amplifier has well matched high voltage JFET input device for low input offset voltage. The BIFET technology provides wide bandwidths and fast slew rates with low input bias currents, input offset currents, and supply currents. Moreover, the devices exhibit low noise and low harmonic distortion, making them ideal for use in high fidelity audio amplifier applications.

These devices are available in single, dual and quad operational amplifiers which are pin–compatible with the industry standard MC1741, MC1458, and the MC3403/LM324 bipolar products.

- Low Input Noise Voltage: 18 nV/$\sqrt{\text{Hz}}$ Typ
- Low Harmonic Distortion: 0.01% Typ
- Low Input Bias and Offset Currents
- High Input Impedance: 10^{12} Ω Typ
- High Slew Rate: 13 V/μs Typ
- Wide Gain Bandwidth: 4.0 MHz Typ
- Low Supply Current: 1.4 mA per Amp

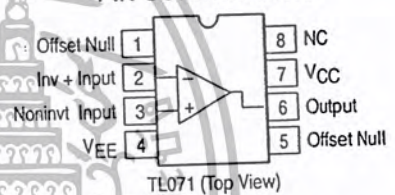
LOW NOISE, JFET INPUT OPERATIONAL AMPLIFIERS

SEMICONDUCTOR TECHNICAL DATA

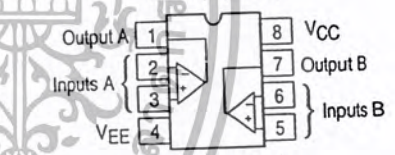
P SUFFIX
PLASTIC PACKAGE
CASE 626

D SUFFIX
PLASTIC PACKAGE
CASE 751
(SO–8)

PIN CONNECTIONS



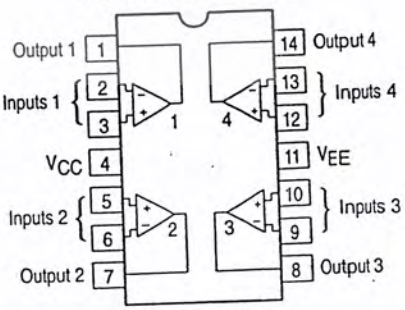
TL071 (Top View)



TL072 (Top View)

N SUFFIX
PLASTIC PACKAGE
CASE 646
(TL074 Only)

PIN CONNECTIONS



TL074 (Top View)

ORDERING INFORMATION

Op Amp Function	Device	Operating Temperature Range	Package
Single	TL071CD	T_A = 0° to +70°C	SO–8
	TL071ACP		Plastic DIP
Dual	TL072CD	T_A = 0° to +70°C	SO–8
	TL072ACP		Plastic DIP
Quad	TL074CN, ACN	T_A = 0° to +70°C	Plastic DIP

© Motorola, Inc. 1997

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MAXIMUM RATINGS

Rating	Symbol	Value	Unit
Supply Voltage	V_{CC} V_{EE}	18 −18	V
Differential Input Voltage	V_{ID}	±30	V
Input Voltage Range (Note 1)	V_{IDR}	±15	V
Output Short Circuit Duration (Note 2)	t_{SC}	Continuous	
Power Dissipation Plastic Package (N, P) Derate above T_A = 47°C	P_D $1.0/\theta_{JA}$	680 10	mW mW/°C
Operating Ambient Temperature Range	T_A	0 to +70	°C
Storage Temperature Range	T_{stg}	−65 to +150	°C

NOTES: 1. The magnitude of the input voltage must not exceed the magnitude of the supply voltage or 15 V, whichever is less.
2. The output may be shorted to ground or either supply. Temperature and/or supply voltages must be limited to ensure that power dissipation ratings are not exceeded.
3. ESD data available upon request.

ELECTRICAL CHARACTERISTICS (V_{CC} = 15 V, V_{EE} = −15 V, T_A = T_{high} to T_{low} [Note 1])

Characteristics	Symbol	Min	Typ	Max	Unit
Input Offset Voltage ($R_S \le 10$ k, V_{CM} = 0) TL071C, TL072C TL074C TL07_AC	V_{IO}	 – – –	 – – –	 13 13 7.5	mV
Input Offset Current (V_{CM} = 0) (Note 2) TL07_C TL07_AC	I_{IO}	 – –	 – –	 2.0 2.0	nA
Input Bias Current (V_{CM} = 0) (Note 2) TL07_C TL07_AC	I_{IB}	 – –	 – –	 7.0 7.0	nA
Large–Signal Voltage Gain (V_O = ±10 V, $R_L \ge 2.0$ k) TL07_C TL07_AC	A_{VOL}	 15 25	 – –	 – –	V/mV
Output Voltage Swing (Peak–to–Peak) ($R_L \ge 10$ k) ($R_L \ge 2.0$ k)	V_O	 24 20	 – –	 – –	V

NOTES: 1. T_{low} = 0°C for TL071C,AC, TL072C,AC, TL074C,AC T_{high} = 70°C for TL071C,AC, TL072C,AC, TL074C,AC
2. Input Bias currents of JFET input op amps approximately double for every 10 °C rise in junction temperature as shown in Figure 3. To maintain junction temperature as close to ambient temperature as possible, pulse techniques must be used during testing.

Figure 1. Unity Gain Voltage Follower

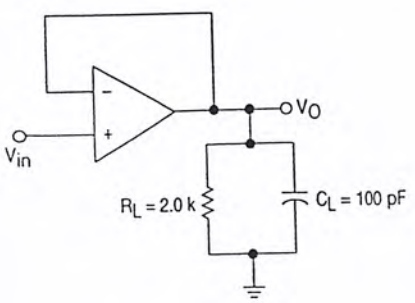
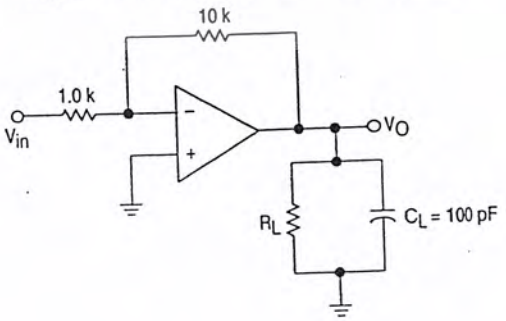


Figure 2. Inverting Gain of 10 Amplifier



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS (V_{CC} = 15 V, V_{EE} = −15 V, T_A = 25°C, unless otherwise noted.)

Characteristics	Symbol	Min	Typ	Max	Unit
Input Offset Voltage ($R_S \le 10$ k, V_{CM} = 0) TL071C, TL072C TL074C TL07_AC	V_{IO}	 – – –	 3.0 3.0 3.0	 10 10 6.0	mV
Average Temperature Coefficient of Input Offset Voltage R_S = 50 Ω, T_A = T_{low} to T_{high} (Note 1)	$\Delta V_{IO}/\Delta T$	–	10	–	μV/°C
Input Offset Current (V_{CM} = 0) (Note 2) TL07_C TL07_AC	I_{IO}	 – –	 5.0 5.0	 50 50	pA
Input Bias Current (V_{CM} = 0) (Note 2) TL07_C TL07_AC	I_{IB}	 – –	 30 30	 200 200	pA
Input Resistance	r_i	–	10^{12}	–	Ω
Common Mode Input Voltage Range TL07_C TL07_AC	V_{ICR}	 ±10 ±11	 15, −12 15, −12	 – –	V
Large–Signal Voltage Gain (V_O = ±10 V, $R_L \ge$ 2.0 k) TL07_C TL07_AC	A_{VOL}	 25 50	 150 150	 – –	V/mV
Output Voltage Swing (Peak–to–Peak) (R_L = 10 k)	V_O	24	28	–	V
Common Mode Rejection Ratio ($R_S \le 10$ k) TL07_C TL07_AC	CMRR	 70 80	 100 100	 – –	dB
Supply Voltage Rejection Ratio ($R_S \le 10$ k) TL07_C TL07_AC	PSRR	 70 80	 100 100	 – –	dB
Supply Current (Each Amplifier)	I_D	–	1.4	2.5	mA
Unity Gain Bandwidth	BW	–	4.0	–	MHz
Slew Rate (See Figure 1) V_{in} = 10 V, R_L = 2.0 k, C_L = 100 pF	SR	–	13	–	v/μs
Rise Time (See Figure 1)	t_r	–	0.1	–	μs
Overshoot (V_{in} = 20 mV, R_L = 2.0 k, C_L = 100 pF)	OS	–	10	–	%
Equivalent Input Noise Voltage R_S = 100 Ω, f = 1000 Hz	e_n	–	18	–	nV/$\sqrt{Hz}$
Equivalent Input Noise Current R_S = 100 Ω, f = 1000 Hz	i_n	–	0.01	–	pA/$\sqrt{Hz}$
Total Harmonic Distortion V_O (RMS) = 10 V, $R_S \le$ 1.0 k, $R_L \ge$ 2.0 k, f = 1000 Hz	THD	–	0.01	–	%
Channel Separation A_V = 100	CS	–	120	–	dB

NOTES: 1. T_{low} = 0°C for TL071C,AC, TL072C,AC, TL074C,AC T_{high} = 70°C for TL071C,AC, TL072C,AC, TL074C,AC

2. Input Bias currents of JFET input op amps approximately double for every 10°C rise in junction temperature as shown in Figure 3. To maintain junction temperature as close to ambient temperature as possible, pulse techniques must be used during testing.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 3. Input Bias Current versus Temperature

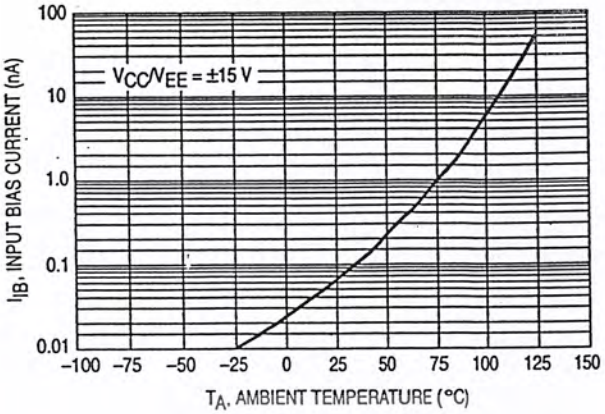


Figure 4. Output Voltage Swing versus Frequency

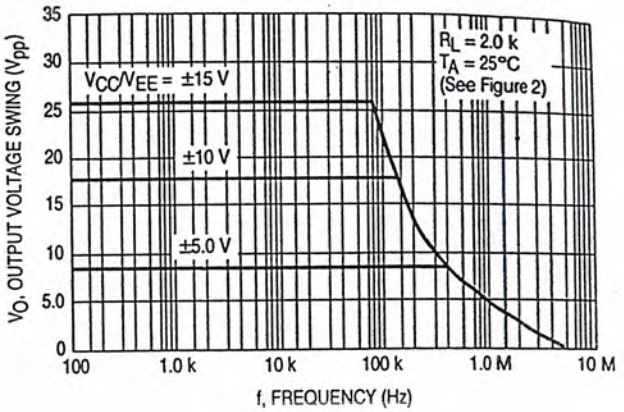


Figure 5. Output Voltage Swing versus Load Resistance

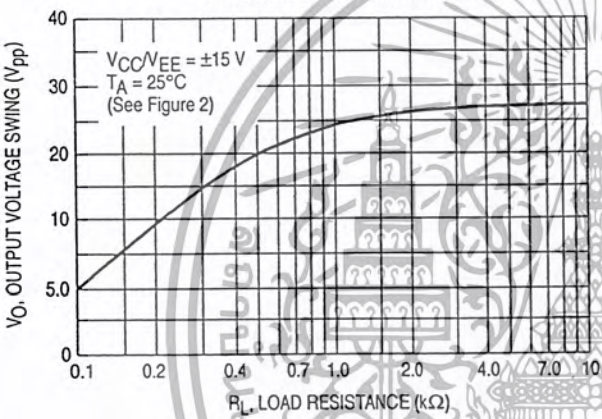


Figure 6. Output Voltage Swing versus Supply Voltage

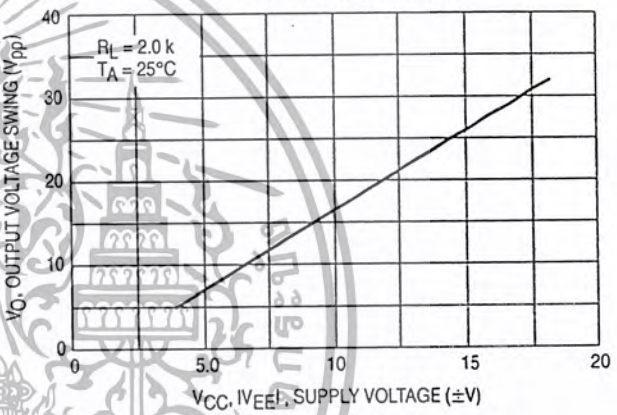


Figure 7. Output Voltage Swing versus Temperature

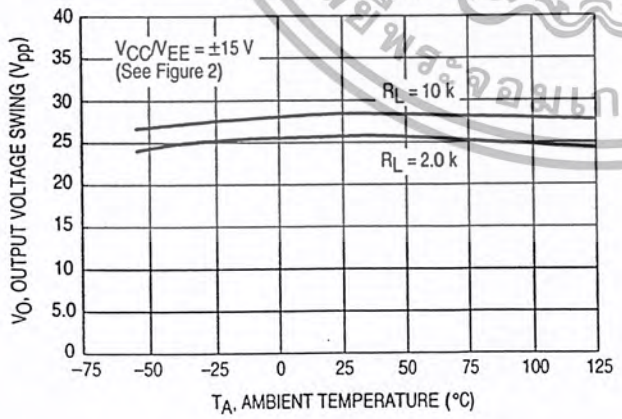
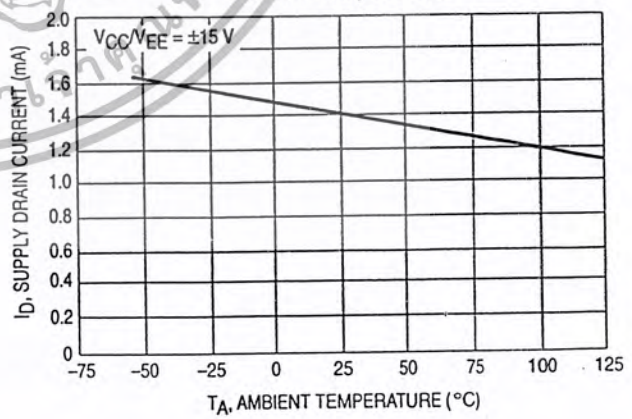


Figure 8. Supply Current per Amplifier versus Temperature



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 9. Large Signal Voltage Gain and Phase Shift versus Frequency

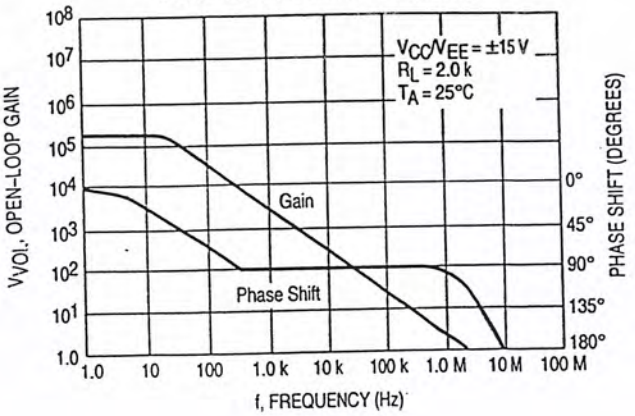


Figure 10. Large Signal Voltage Gain versus Temperature

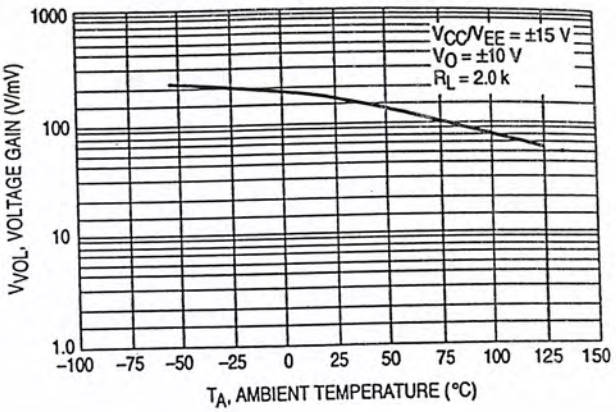


Figure 11. Normalized Slew Rate versus Temperature

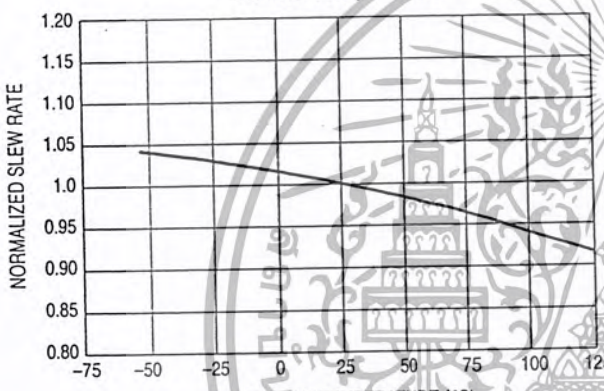


Figure 12. Equivalent Input Noise Voltage versus Frequency

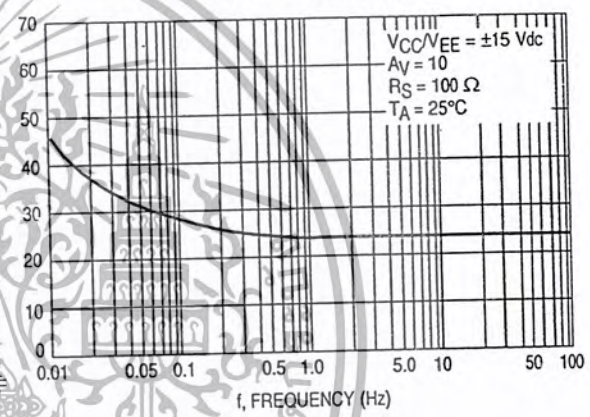
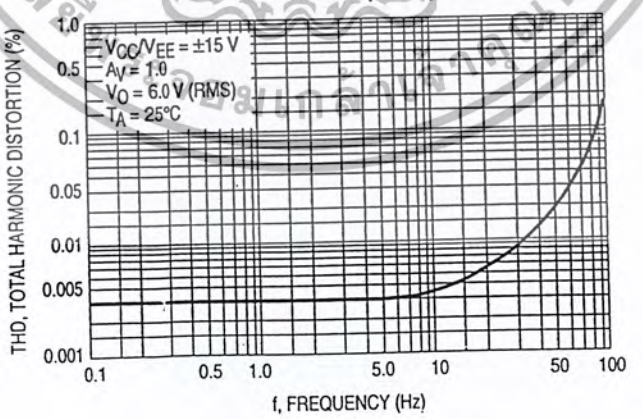


Figure 13. Total Harmonic Distortion versus Frequency



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Representative Schematic Diagram
(Each Amplifier)

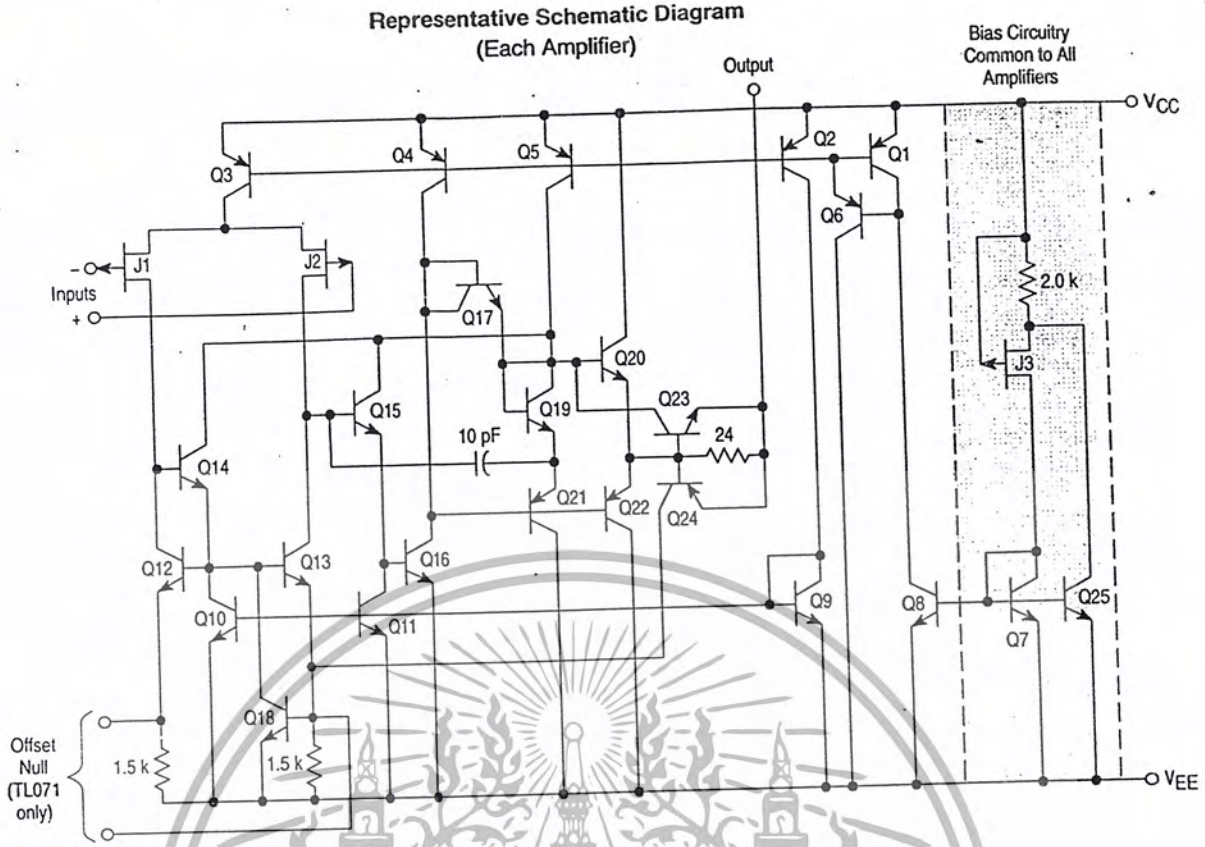


Figure 14. Audio Tone Control Amplifier

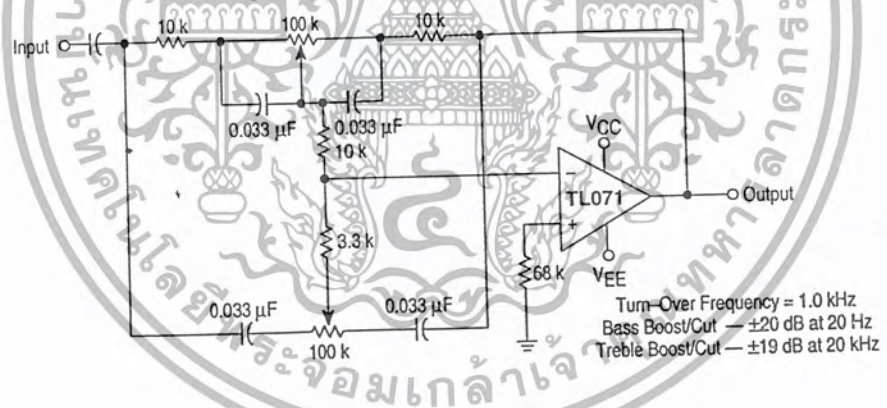
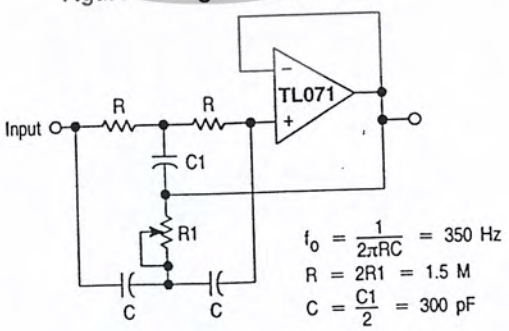


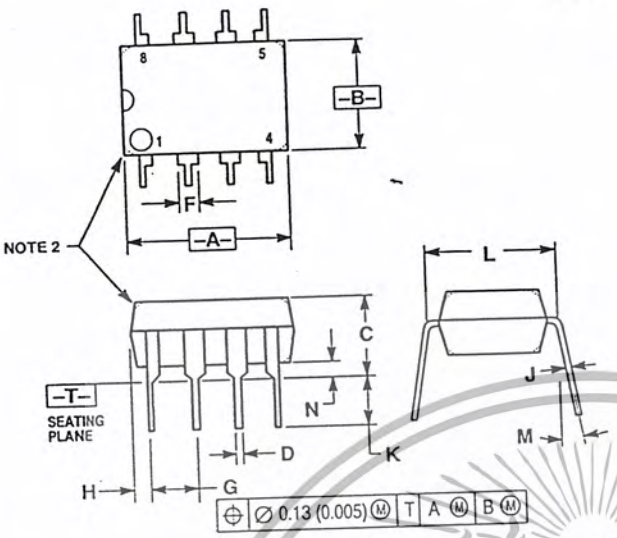
Figure 15. High Q Notch Filter



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

OUTLINE DIMENSIONS

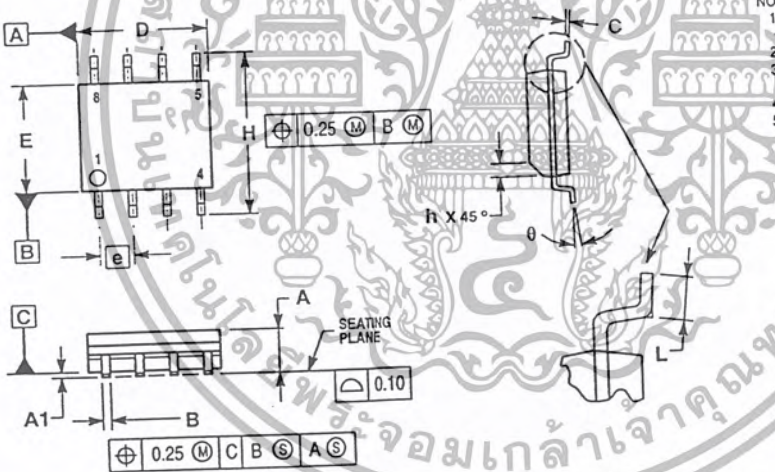
P SUFFIX
PLASTIC PACKAGE
CASE 626–05
ISSUE K



NOTES:
1. DIMENSION L TO CENTER OF LEAD WHEN FORMED PARALLEL.
2. PACKAGE CONTOUR OPTIONAL (ROUND OR SQUARE CORNERS).
3. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982.

	MILLIMETERS		INCHES	
DIM	MIN	MAX	MIN	MAX
A	9.40	10.16	0.370	0.400
B	6.10	6.60	0.240	0.260
C	3.94	4.45	0.155	0.175
D	0.38	0.51	0.015	0.020
F	1.02	1.78	0.040	0.070
G	2.54 BSC		0.100 BSC	
H	0.76	1.27	0.030	0.050
J	0.20	0.30	0.008	0.012
K	2.92	3.43	0.115	0.135
L	7.62 BSC		0.300 BSC	
M	—	10°	—	10°
N	0.76	1.01	0.030	0.040

D SUFFIX
PLASTIC PACKAGE
CASE 751–05
(SO–8)
ISSUE S



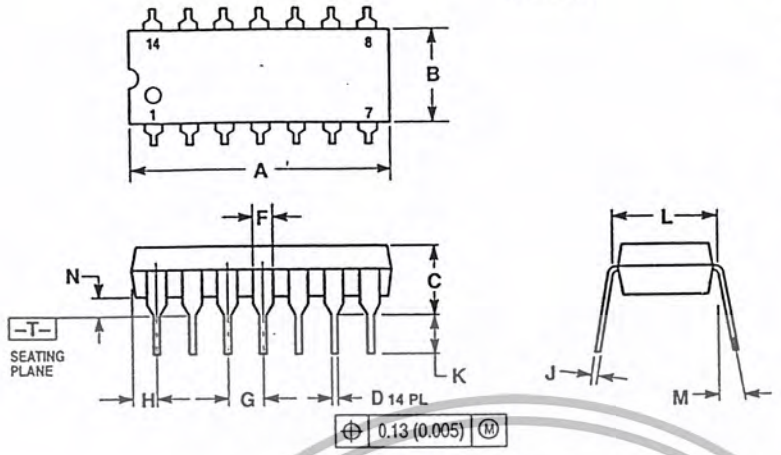
NOTES:
1. DIMENSIONING AND TOLERANCING PER ASME Y14.5M, 1994.
2. DIMENSIONS ARE IN MILLIMETERS.
3. DIMENSION D AND E DO NOT INCLUDE MOLD PROTRUSION.
4. MAXIMUM MOLD PROTRUSION 0.15 PER SIDE.
5. DIMENSION B DOES NOT INCLUDE MOLD PROTRUSION. ALLOWABLE DAMBAR PROTRUSION SHALL BE 0.127 TOTAL IN EXCESS OF THE B DIMENSION AT MAXIMUM MATERIAL CONDITION.

	MILLIMETERS	
DIM	MIN	MAX
A	1.35	1.75
A1	0.10	0.25
B	0.35	0.49
C	0.18	0.25
D	4.80	5.00
E	3.80	4.00
e	1.27 BSC	
H	5.80	6.20
h	0.25	0.50
L	0.40	1.25
θ	0°	7°

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

OUTLINE DIMENSIONS

N SUFFIX
PLASTIC PACKAGE
CASE 646–06
ISSUE M



NOTES:
1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982.
2. CONTROLLING DIMENSION: INCH.
3. DIMENSION L TO CENTER OF LEADS WHEN FORMED PARALLEL.
4. DIMENSION B DOES NOT INCLUDE MOLD FLASH.
5. ROUNDED CORNERS OPTIONAL.

	INCHES		MILLIMETERS	
DIM	MIN	MAX	MIN	MAX
A	0.715	0.770	18.16	18.80
B	0.240	0.260	6.10	6.60
C	0.145	0.185	3.69	4.69
D	0.015	0.021	0.38	0.53
F	0.040	0.070	1.02	1.78
G	0.100 BSC		2.54 BSC	
H	0.052	0.095	1.32	2.41
J	0.008	0.015	0.20	0.38
K	0.115	0.135	2.92	3.43
L	0.290	0.310	7.37	7.87
M	—	10°	—	10°
N	0.015	0.039	0.38	1.01

Motorola reserves the right to make changes without further notice to any products herein. Motorola makes no warranty, representation or guarantee regarding the suitability of its products for any particular purpose, nor does Motorola assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation consequential or incidental damages. "Typical" parameters which may be provided in Motorola data sheets and/or specifications can and do vary in different applications and actual performance may vary over time. All operating parameters, including "Typicals" must be validated for each customer application by customer's technical experts. Motorola does not convey any license under its patent rights nor the rights of others. Motorola products are not designed, intended, or authorized for use as components in systems intended for surgical implant into the body, or other applications intended to support or sustain life, or for any other application in which the failure of the Motorola product could create a situation where personal injury or death may occur. Should Buyer purchase or use Motorola products for any such unintended or unauthorized application, Buyer shall indemnify and hold Motorola and its officers, employees, subsidiaries, affiliates, and distributors harmless against all claims, costs, damages, and expenses, and reasonable attorney fees arising out of, directly or indirectly, any claim of personal injury or death associated with such unintended or unauthorized use, even if such claim alleges that Motorola was negligent regarding the design or manufacture of the part. Motorola and Ⓜ are registered trademarks of Motorola, Inc. Motorola, Inc. is an Equal Opportunity/Affirmative Action Employer.

Mfax is a trademark of Motorola, Inc.

How to reach us:
USA/EUROPE/Locations Not Listed: Motorola Literature Distribution;
P.O. Box 5405, Denver, Colorado 80217. 1–303–675–2140 or 1–800–441–2447

JAPAN: Nippon Motorola Ltd.: SPD, Strategic Planning Office, 4–32–1, Nishi–Gotanda, Shinagawa–ku, Tokyo 141, Japan. 81–3–5487–8488

Customer Focus Center: 1–800–521–6274

Mfax™: RMFAX0@email.sps.mot.com – TOUCHTONE 1–602–244–6609
Motorola Fax Back System – US & Canada ONLY 1–800–774–1848
– http://sps.motorola.com/mfax/

ASIA/PACIFIC: Motorola Semiconductors H.K. Ltd.; 8B Tai Ping Industrial Park, 51 Ting Kok Road, Tai Po, N.T., Hong Kong. 852–26629298

HOME PAGE: http://motorola.com/sps/

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้