สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

วงจรลดและเพิ่มระดับแรงดันไฟฟ้ากระแสตรง เพื่อแก้ไขเพาเวอร์แฟคเตอร์

BUCK, BOOST CONVERTER FOR POWER FACTOR CORRECTION

T049885

นายต้น จำปีทอง
นายอัฐพล แสงกระจ่าง
นายจิรเดช จารสิงห์
นายนพพร จันทร์ฉิม
นายเอกฉันท์ หลวงอี่

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

ภาควิชาวิศวกรรมไฟฟ้า
คณะวิศวกรรมศาสตร์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2545

มพ.
ต 1ธ ส 1
ธ5ส5

เลขหมู่.....
เลขทะเบียน 49885
วัน,เดือน,ปี 2 พ.ย. 2547

b.....
i.....

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรลดและเพิ่มระดับแรงดันไฟฟ้ากระแสตรง เพื่อแก้ไขเพาเวอร์แฟคเตอร์

BUCK, BOOST CONVERTER FOR POWER FACTOR CORRECTION

โดย

นายต้น จำปีทอง

นายอัฐพล แสงกระจ่าง

นายจิรเดช จารสิงห์

นายนพพร จันทร์ฉิม

นายเอกฉันท์ หลวงอี่

อาจารย์ที่ปรึกษา

รศ.ดร.วิริยะ พิเชฐจำเริญ

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

ภาควิชาวิศวกรรมไฟฟ้า

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2545

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ปีการศึกษา 2545

ภาควิชาวิศวกรรมไฟฟ้า

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง วงจรลดและเพิ่มระดับแรงดันไฟฟ้ากระแสตรง เพื่อแก้ไขเพาเวอร์แฟคเตอร์

BUCK, BOOST CONVERTER FOR POWER FACTOR CORRECTION

ผู้จัดทำ

1.นายต้น	จำปีทอง	รหัสประจำตัว 43015115
2.นายอัฐพล	แสงกระจ่าง	รหัสประจำตัว 43015148
3.นายจิรเดช	จารสิงห์	รหัสประจำตัว 43015156
4.นายนพพร	จันทร์ฉิม	รหัสประจำตัว 43015167
5.นายเอกฉันท์	หลวงอี่	รหัสประจำตัว 43015196

อาจารย์ที่ปรึกษา

(รศ.ดร. วีริยะ พิชฐจำเริญ)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรลดและเพิ่มระดับแรงดันไฟฟ้ากระแสตรง เพื่อแก้ไขเพาเวอร์แฟคเตอร์

นาย ต้น จำปีทอง
นาย อัฐพล แสงกระจ่าง
นาย จิรเดช จารสิงห์
นาย นพพร จันทร์ฉิม
นาย เอกฉันท์ หลางอี่
รศ.ดร. วิริยะ พิเชฐจำเริญ อาจารย์ที่ปรึกษา
ปีการศึกษา 2545

บทคัดย่อ

ปริญญานิพนธ์ฉบับนี้ได้นำเสนอหลักการทำงานการออกแบบและสร้างวงจรBuck-Boost Converter ที่ทำงานในโหมดการควบคุมกระแสไฟฟ้าแบบต่อเนื่องชนิดควบคุมค่าเฉลี่ย (Average Continuous Conduction Mode, ACCM) เพื่อนำไปประยุกต์ใช้ในวงจรแก้ไขเพาเวอร์แฟคเตอร์ (Power Factor Correction) ซึ่งสามารถควบคุมให้กระแสทางเข้า มีรูปสัญญาณชนิด Sinusoidal และ In-Phase กับแรงดันไฟฟ้าที่ทางเข้า โดยสามารถแก้เพาเวอร์แฟคเตอร์ได้ในสภาวะที่ยกระดับแรงดันโดยการทดลองสร้างวงจร PFC ที่รองรับ Buck-Boost Converter ขนาด 500 W 400 V ให้ค่าเพาเวอร์แฟคเตอร์ ≈ 0.9 ที่โหลด 100 %

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Buck, Boost Converter for Power Factor Correction

Mr.Ton Jampeetong

Mr.Auttapon Sangkrajang

Mr.Jiradech Jarasing

Mr.Nopporn Janchim

Mr.Akkchan Laungaee

Assc.Prof.Dr.Viriya Pichetjamroen Advisor

2002

ABSTRACT

In this project, the principle, design, and construction of Buck-Boost Converter, which operated in Average Continuous Conduction Mode (ACCM), are proposed. It is applied for the Power Factor Correction (PFC), this method can control the Buck-Boost converter circuit to draw the input current in an approximately sinusoidal wave form and to be in-phase with the input voltage. By control power factor in Boost condition. Using Buck-Boost converter to construct the Power Factor Correction in experiment at rate 500 W 400V yields the power factor $\approx$ 0.9 at load 100%

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

	หน้า
บทคัดย่อภาษาไทย	I
บทคัดย่อภาษาอังกฤษ	II
กิตติกรรมประกาศ	III
สารบัญ	IV
สารบัญภาพ	VI
บทที่ 1 บทนำ	1
บทที่ 2 เพาเวอร์แฟคเตอร์และแนวความคิดในการแก้ไขเพาเวอร์แฟคเตอร์	2
2.1 บทนำ	2
2.2 นิยามของเพาเวอร์แฟคเตอร์	2
2.2.1 เพาเวอร์แฟคเตอร์เมื่อสัญญาณกระแสไฟฟ้าเป็นชนิด Sinusoidal	4
2.2.2 เพาเวอร์แฟคเตอร์เมื่อสัญญาณกระแสไฟฟ้าไม่เป็นชนิด Sinusoidal	4
2.3 แนวความคิดในการแก้ไขเพาเวอร์แฟคเตอร์	6
2.4 ประโยชน์ที่จะได้รับจากการแก้ไขเพาเวอร์แฟคเตอร์	7
2.4.1 ผู้ใช้ไฟฟ้ารายย่อย	7
2.4.2 ผู้จ่ายไฟฟ้า	7
2.5 การแก้ไขเพาเวอร์แฟคเตอร์	7
2.5.1การแก้ไขแบบสถาติค	7
2.5.2 การแก้ไขแบบไดนามิค	8
บทที่ 3 Boost Converter	10
3.1 บทนำ	10
3.2 ทฤษฎีและหลักการ	10

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ (ต่อ)

บทที่ 4 หลักการ และ ทฤษฎีที่ใช้ในการออกแบบสร้างวงจร PFC 16

4.1 บทนำ 16

4.2 ชุดควบคุม 16

4.3 ชุดภาคกำลัง 33

บทที่ 5 การออกแบบสร้างวงจร PFC 38

5.1 บทนำ 38

5.2 การออกแบบวงจรกำลัง 38

5.3 การออกแบบวงจรควบคุม 45

บทที่ 6 การทดลอง, ผลการทดลอง และวิจารณ์ผลการทดลอง 54

6.1 บทนำ 54

6.2 การทดลองการทำงานของคอนเวอร์เตอร์ชนิด Buck, Boost 54

6.3 สรุปและวิจารณ์ผลการทดลอง 63

บทที่ 7 สรุปและวิจารณ์ 64

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญภาพ

ภาพที่	หน้า
2.1 (ก) แสดงวงจร Rectifier ของ SMPS	3
2.1 (ข) สัญญาณของวงจรที่ทางเข้า	3
2.2 แสดง Power Vector ของวงจรที่มีกระแสไฟฟ้าที่ทางเข้าเป็นชนิด Sinusoidal	4
2.3 แสดง Power Vector ของวงจรที่มีกระแสไฟฟ้าที่ทางเข้าไม่เป็นชนิด Sinusoidal	6
2.4 แสดงการแก้ไขแบบสตาติค	8
2.5 (ก) แสดงการแก้ไขแบบไดนามิค	9
2.5 (ข)สัญญาณของวงจรที่ทางเข้า	9
2.6 (ก) แสดง Topology ชนิด Boost	9
2.6 (ข) สัญญาณของวงจรที่ทางเข้า	9
3.1 แสดงวงจร Boost Converter	10
3.2 แสดงวงจรขณะเมื่อสวิตซ์ปิดวงจร	11
3.3 แสดงแรงดันที่ตกคร่อม L	11
3.4 แสดงกระแสที่ไหลผ่าน L	11
3.5 แสดงกระแสที่ไหลผ่านไดโอด	11
3.6 แสดงวงจรขณะเมื่อสวิตซ์เปิดวงจร	12
3.7 แสดงการเปลี่ยนแปลงของ Ripple	15
4.1 Block diagram ของไอซีเบอร์ L4981	16
4.2 ภาพรวมของวงจร	17
4.3 กราฟแสดงประสิทธิภาพ	18
4.4 บล็อกแสดงลักษณะภายในของ IC	18
4.5 แสดงภาพรวมของการควบคุม	19
4.6 แสดงวงจรภายในของ Multiplier Block	19
4.7 แสดงการต่อ Ra และ Rb ที่ขา 3 และ วงจรภายใน	21
4.8 แสดงการต่อวงจรที่ขา 4	21
4.9 แสดงกระบวนการสร้าง PWM	22
4.10 แสดงการ Modulation ของรูปคลื่น	22
4.11 แสดงลูป Gain	23
4.12 (ก) แสดงการต่อวงจรที่ขา 7	23
4.12 (ข) แสดงลูป Gain	24
4.13 แสดงวงจรภายในของบล็อก Multi	24

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญภาพ (ต่อ)

ภาพที่	หน้า
4.13 (ก) กราฟแสดงค่าระหว่าง MULTI-OUT vs. I_{AC}ที่ V_{RMS} = 1.7 V และ V_{LFF} = 5.1 V	25
4.13 (ข) กราฟแสดงค่าระหว่าง MULTI-OUT vs. I_{AC}ที่ V_{RMS} = 2.2 V และ V_{LFF} = 5.1 V	25
4.13 (ค) กราฟแสดงค่าระหว่าง MULTI-OUT vs. I_{AC}ที่ V_{RMS} = 4.4 V และ V_{LFF} = 5.1 V	25
4.13 (ง) กราฟแสดงค่าระหว่าง MULTI-OUT vs. I_{AC}ที่ V_{RMS} = 5.3 V และ V_{LFF} = 5.1 V	25
4.13 (จ) กราฟแสดงค่าระหว่าง MULTI-OUT vs. I_{AC}ที่ V_{RMS} = 1.7 V และ V_{LFF} = 2.5 V	25
4.13 (ฉ) กราฟแสดงค่าระหว่าง MULTI-OUT vs. I_{AC}ที่ V_{RMS} = 2.2 V และ V_{LFF} = 2.5 V	25
4.13 (ช) กราฟแสดงค่าระหว่าง MULTI-OUT vs. I_{AC}ที่ V_{RMS} = 4.4 V และ V_{LFF} = 2.5 V	26
4.13 (ซ) กราฟแสดงค่าระหว่าง MULTI-OUT vs. I_{AC}ที่ V_{RMS} = 5.3 V และ V_{LFF} = 2.5 V	26
4.14 แสดงการต่อวงจรที่ขา 11	26
4.15 แสดงการทำงานภายในที่ขา 12	27
4.16 (ก) แสดงการต่อใช้งานที่ขา 13	27
4.16 (ข) แสดงลูป Gain	28
4.17 Programmable Under Voltage Lockout Thresholds	29
4.17 (ก) V_{ccon} and V_{ccoff}	30
4.17 (ข) แสดงช่วงค่า RH และ RL ที่ช่วง Vcc on และ Vcc off ช่วงต่างๆ	30
4.18 (ก) แสดงการต่อใช้งานที่ขา 12	30
4.18 (ข) แสดงการ modulation ความถี่	30
4.18 (ค) แสดงกราฟมุมระหว่าง Vi และ fsw	31
4.19 Oscillator Diagram	32
4.20 แสดงวงจรภายใน ในส่วนของ Gate driver output	32
4.21 แสดงพลังงานสะสมใน Boost Inductor ในแต่ละช่วง Switching cycle	33
5.1 แสดงวงจรสมบูรณ์ของวงจร PFC	53
6.1 รูปสัญญาณของศักดาไฟฟ้า V_{LI} และรูปสัญญาณกระแสไฟฟ้า I_{LI} ที่ความถี่ใช้งานของ Buck, Boost Converter	54
6.2 รูปสัญญาณของศักดาไฟฟ้า V1 และรูปสัญญาณกระแส I1 ที่ทางเข้าที่แรงดันไฟฟ้า 220 V ที่โหลด 180 W ของวงจร SMPS	55
6.3 รูป Harmonic ที่แรงดันไฟฟ้า 220 V ที่กำลังไฟฟ้าด้านออก 180 W ของวงจร SMPS	55
6.4 รูปสัญญาณของศักดาไฟฟ้า V1 และรูปสัญญาณกระแส I1 ที่ทางเข้าที่แรงดันไฟฟ้า 220 V ที่โหลด 350 W ของวงจร SMPS	56

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญภาพ (ต่อ)

ภาพที่	หน้า
6.5 รูป Harmonic ที่แรงดันไฟฟ้า 220 V ที่กำลังไฟฟ้าด้านออก 350 W ของวงจร SMPS	56
6.6 รูปสัญญาณของศักดาไฟฟ้า V1 และรูปสัญญาณกระแส I1 ที่ทางเข้าที่แรงดันไฟฟ้า 220 V ที่โหลด 500 W ของวงจร SMPS	57
6.7 รูป Harmonic ที่แรงดันไฟฟ้า 220 V ที่กำลังไฟฟ้าด้านออก 500 W ของวงจร SMPS	57
6.8 รูปสัญญาณของศักดาไฟฟ้า V1 และรูปสัญญาณกระแส I1 ที่ทางเข้าที่แรงดันไฟฟ้า 220 V ที่โหลด 180 W ของวงจร PFC	58
6.9 รูป Harmonic ที่แรงดันไฟฟ้า 220 V ที่กำลังไฟฟ้าด้านออก 180 W ของวงจร PFC	58
6.10 รูปสัญญาณของศักดาไฟฟ้า V1 และรูปสัญญาณกระแส I1 ที่ทางเข้าที่แรงดันไฟฟ้า 220 V ที่โหลด 350 W ของวงจร PFC	59
6.11 รูป Harmonic ที่แรงดันไฟฟ้า 220 V ที่กำลังไฟฟ้าด้านออก 350 W ของวงจร PFC	59
6.12 รูปสัญญาณของศักดาไฟฟ้า V1 และรูปสัญญาณกระแส I1 ที่ทางเข้าที่แรงดันไฟฟ้า 220 V ที่โหลด 500 W ของวงจร PFC	60
6.13 รูป Harmonic ที่แรงดันไฟฟ้า 220 V ที่กำลังไฟฟ้าด้านออก 350 W ของวงจร PFC	60
6.14 กราฟของศักดาไฟฟ้าที่ทางออก เมื่อโหลดเปลี่ยนแปลง	61
6.15 การเปรียบเทียบค่าเพาเวอร์แฟคเตอร์เมื่อโหลดเปลี่ยนแปลงของวงจร PFC กับวงจร SMPSแบบเดิม	62
6.16 สัญญาณของศักดาไฟฟ้า V2 และรูปสัญญาณของกระแสไฟฟ้า I2 ที่ทางออกของวงจร PFC	62

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

1.1ความสำคัญและที่มา

การพัฒนาประสิทธิภาพการใช้งานกำลังไฟฟ้าของวงจรไฟฟ้าด้วยวิธีแก้ไขเพาเวอร์แฟคเตอร์ให้มีค่าสูงสุด (≈ 1) โดยควบคุมให้กระแสไฟฟ้าที่ทางเข้ามีค่า/ปริมาณ ของ Harmonic ต่ำที่สุด ได้รับความสนใจอย่างมากในสภาวะปัจจุบัน ที่ต้องการประหยัดกำลังงานไฟฟ้า, แหล่งจ่ายกำลังชนิดสวิตชิ่ง (Switched-Mode Power Supplies, SMPS) ก็เป็นตัวอย่างของวงจรชนิดหนึ่งที่มีความต้องการพัฒนา ดังกล่าวเช่นกัน เพราะว่าโดยทั่วไปวงจร Rectifier ทางด้านทางเข้าของ SMPS ประกอบด้วยวงจรไดโอดและวงจรกรองสัญญาณซึ่งมีตัวเก็บประจุขนาดใหญ่วงจรนี้ข้อจำกัดคือ เพาเวอร์แฟคเตอร์มีค่าต่ำ (≤ 0.6) เพราะสัญญาณของกระแสไฟฟ้าที่ทางเข้ามีลักษณะเป็นรูปสัญญาณพัลซ์ ซึ่งมีค่า/ปริมาณของ Harmonic จำนวนมากจึงได้มีการพัฒนาวงจร เพื่อแก้ปัญหาดังกล่าว เช่น วงจร Power Factor Correction (PFC)

ซึ่งในปริญญานิพนธ์ฉบับนี้ได้นำเอาวงจรคอนเวอร์เตอร์ชนิด Buck-Boost มาออกแบบและสร้างวงจร PFC โดยศึกษาจากวงจรคอนเวอร์เตอร์ชนิด Boost ที่มีการแก้เพาเวอร์แฟคเตอร์ที่ได้มีการศึกษากันมาก่อนแล้ว โดยจะต้องมีการออกแบบส่วนกำลังและส่วนควบคุมใหม่เพื่อปรับให้สามารถใช้งานได้ในคอนเวอร์เตอร์ชนิด Buck-Boost

ปริญญานิพนธ์ฉบับนี้จะนำเสนอหลักการทำงาน, การออกแบบ และการสร้าง วงจร PFC

เนื้อหาของปริญญานิพนธ์นี้แบ่งออกเป็น 7 บท ซึ่งในแต่ละบทมีเนื้อหาสาระดังนี้คือ

บทที่ 2 อธิบายถึงนิยามของเพาเวอร์แฟคเตอร์, ประโยชน์ที่ได้รับเมื่อสามารถควบคุมให้เพาเวอร์แฟคเตอร์มีค่าสูงสุด(≈ 1)

บทที่ 3 อธิบายถึงหลักการและทฤษฎีเบื้องต้นของ Buck-Boost Converter ซึ่งจะนำไปใช้เป็นวงจร PFC ต่อไป

บทที่ 4 อธิบายทฤษฎีและหลักการของการออกแบบวงจร PFC

บทที่ 5 อธิบายและแสดงการคำนวณในการออกแบบวงจร PFC

บทที่ 6 อธิบายถึงวิธีการทดลอง ผลการทดลอง และวิจารณ์ผลการทดลอง

บทที่ 7 เป็นการสรุปผลของปริญญานิพนธ์ทั้งหมด

ในตอนท้ายของปริญญานิพนธ์นี้ จะเป็นภาคผนวกที่จะแสดงรายละเอียดข้อมูลของไอซี ที่นำมาใช้ในวงจร PFC และเอกสารอ้างอิงที่ใช้ประกอบการเขียนปริญญานิพนธ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2

เพาเวอร์แฟคเตอร์และแนวความคิดในการแก้ไขเพาเวอร์แฟคเตอร์

2.1 บทนำ

เพาเวอร์แฟคเตอร์ของอุปกรณ์ไฟฟ้าใดๆเป็นพารามิเตอร์ที่สำคัญมากในทางไฟฟ้าอุตสาหกรรม เพราะเป็นพารามิเตอร์ที่จะบ่งบอกว่า อุปกรณ์ไฟฟ้านั้น มีการใช้กำลังงานไฟฟ้าได้คุ้มค่าหรือไม่ โดยทั่วไปเมื่อกล่าวถึงนิยามของเพาเวอร์แฟคเตอร์ (PF) ก็จะได้รับคำตอบว่า PF = COS φ (เมื่อ φ เป็นมุมทางไฟฟ้าระหว่างรูปสัญญาณของศักดาไฟฟ้าสลับกับกระแสไฟฟ้าสลับ) ซึ่งนิยามดังกล่าวสามารถใช้ได้ก็เฉพาะในกรณีที่รูปสัญญาณของศักดาไฟฟ้าและรูปสัญญาณของกระแสไฟฟ้ามีลักษณะเป็นสัญญาณชนิด Sinusoidal ทั้งคู่เท่านั้น ดังนั้นก่อนที่จะนำเสนอถึงรายละเอียดแนวทางการแก้ไขเพาเวอร์แฟคเตอร์ของวิทยานิพนธ์ฉบับนี้ ในบทนี้จะอธิบายถึงนิยามพื้นฐานเบื้องต้นของเพาเวอร์แฟคเตอร์ ประโยชน์ที่ได้รับเมื่อมีการแก้ไขเพาเวอร์แฟคเตอร์ การแก้ไขเพาเวอร์แฟคเตอร์ที่มีอยู่ในปัจจุบัน แนวความคิดและหลักการที่จะนำแสนอในการแก้ไขเพาเวอร์แฟคเตอร์ต่อไป

2.2 นิยามของเพาเวอร์แฟคเตอร์

โดยปกติรูปสัญญาณของกระแสไฟฟ้าที่ทางเข้าของวงจรอิเล็กทรอนิกส์กำลังจะไม่เป็นชนิด Sinusoidal ดังเช่นกระแสไฟฟ้าที่ทางเข้า (i_i) ของวงจร Rectifier ในรูปที่ 2.1 ก. มีรูปสัญญาณเป็นชนิดสัญญาณแบบพัลซ์ ตามรูปที่ 2.1 ข.

ดังนั้นการคำนวณเพาเวอร์แฟคเตอร์ด้วยนิยาม PF = cosφ จึงใช้ไม่ได้ต้องคำนวณเพาเวอร์แฟคเตอร์จากนิยามที่พื้นฐานเบื้องต้นของเพาเวอร์แฟคเตอร์ กล่าวคือ

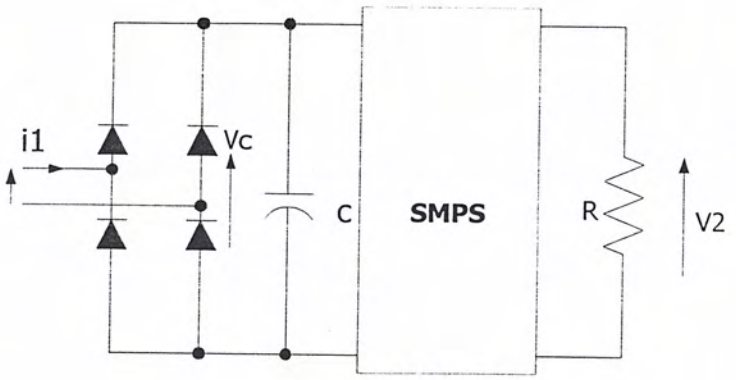
<u>นิยามของเพาเวอร์แฟคเตอร์ :</u>

$$PF = \frac{\text{กำลังงานไฟฟ้าจริง}}{\text{กำลังงานไฟฟ้าปรากฏ}} = \frac{\text{Real Power}}{\text{Total Apparent Power}} \qquad (2.1)$$

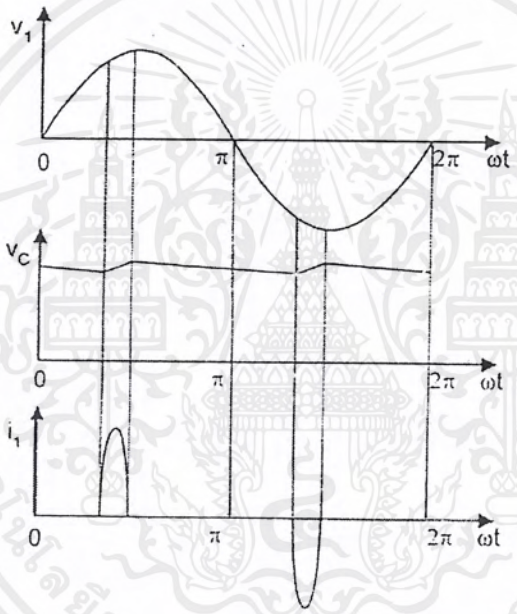
<u>กำลังงานไฟฟ้าจริง</u> (Real Power): คือ กำลังงานไฟฟ้าซึ่งวัด ณ จุดนั้น เป็นกำลังงานไฟฟ้าที่ถูกวงจรนำไปใช้ให้เกิดกำลังงานอย่างแท้จริง

<u>กำลังไฟฟ้าปรากฏ</u> (Total Apparent Power): เป็นปริมาณทางไฟฟ้าที่จะต้องเตรียมให้กับวงจรไฟฟ้า เพื่อทำให้วงจรนั้นทำงานได้สมบูรณ์ ปริมาณกำลังงานไฟฟ้าปรากฏดังกล่าว แสดงปริมาณได้จากผลคูณของศักดาไฟฟ้าเอฟเฟคทีฟ (rms) ที่ใช้งาน ณ จุดนั้น กับกระแสไฟฟ้าเอฟเฟคทีฟ (rms) ที่เกิดขึ้น ณ จุดเดียวกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ก.



ข.

รูปที่ 2.1 แสดงวงจร Rectifier ของ SMPS (ก) และสัญญาณของวงจรที่ทางเข้า (ข)

กำลังงานไฟฟ้าปรากฏประกอบด้วยกำลังสองส่วน คือ

<u>กำลังงานไฟฟ้าจริง</u> (Real Power): เป็นส่วนที่ทำให้เกิดกำลังงาน

<u>กำลังงานไฟฟ้ารีแอคทีฟ</u> (Reactive Power): เป็นส่วนที่ทำให้อุปกรณ์ในวงจรนั้นทำงานได้

จากนิยามของเพาเวอร์แฟคเตอร์ดังกล่าวสามารถกล่าวได้ว่าเพาเวอร์แฟคเตอร์ที่ดีที่สุดเกิดขึ้นเมื่อวงจรนั้นใช้กำลังงานไฟฟ้าได้คุ้มค่าที่สุดกล่าวคือ กำลังที่เตรียมให้กับวงจรถูกวงจรนั้นนำไปใช้ก่อให้เกิดกำลังงานไฟฟ้าจริงได้ทั้งหมด คือ

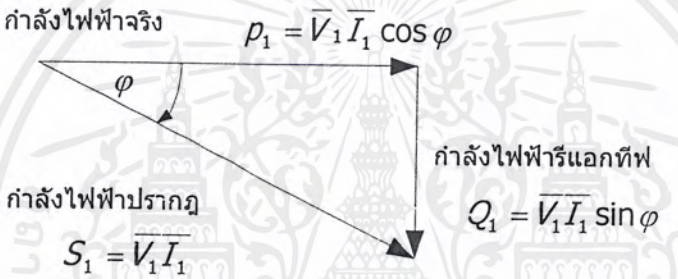
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กำลังไฟฟ้าปรากฏ = กำลังงานไฟฟ้าจริง

เมื่อเงื่อนไขดังกล่าวเป็นจริง ผลคำนวณเพาเวอร์แฟคเตอร์ตามสมการ 2.1 จะได้ PF $\approx$ 1

2.2.1 เพาเวอร์แฟคเตอร์เมื่อสัญญาณกระแสไฟฟ้าเป็นชนิด Sinusoidal

เมื่อสัญญาณของศักดาไฟฟ้าที่ทางเข้า (V_1) และสัญญาณกระแสไฟฟ้าที่ทางเข้า (i_1) เป็นชนิด Sinusoidal และมีมุมทางไฟฟ้าระหว่าง V_1 และ i_1 เป็น φ สัญญาณทั้งสองดังกล่าวสามารถเขียนแทนด้วย Power Vector คือ



รูปที่ 2.2 แสดง Power Vector ของวงจรที่มีกระแสไฟฟ้าที่ทางเข้าเป็นชนิด Sinusoidal

คำนวณเพาเวอร์แฟคเตอร์ได้คือ :

$$PF = \frac{P1}{S1} = \frac{\overline{V_1 I_1} \cos\varphi}{\overline{V_1 I_1}} = \cos\varphi \qquad (2.2)$$

2.2.2 เพาเวอร์แฟคเตอร์เมื่อสัญญาณกระแสไฟฟ้าไม่เป็นชนิด Sinusoidal

เมื่อสัญญาณของศักดาไฟฟ้าที่ทางเข้า (V1) เป็นชนิด Sinusoidal แต่สัญญาณของกระแสไฟฟ้าที่ทางเข้า (i1) ไม่เป็น Sinusoidal เช่นตามรูปที่ 2.1 ข. ค่าเอฟเฟคทีฟของกระแสไฟฟ้า ($\overline{I_1}$) นี้ สามารถเขียนกระจายได้ด้วยอนุกรมของ Fourier คือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\overline{I_1} = \sqrt{\overline{I_{11}^2} + \sum_{n=2}^{\infty} \overline{I_{1n}^2}} \tag{2.3}$$

$\overline{I}_{11}$: เป็นค่าเอฟเฟคทีฟของ Fundamental ของ i_1

$\overline{I}_{1n}$: เป็นค่าเอฟเฟคทีฟของ Harmonic ที่ n ของ i_1

$\overline{I}_{11}$ สามารถเขียนกระจายได้เป็นสองส่วนคือ In-Phase Component ($\overline{I}_{11P}$) และ Quadrate Component ($\overline{I}_{11Q}$) ดังนั้นสมการ 2.3 สามารถจัดใหม่ได้คือ

$$\overline{I}_1 = \sqrt{\overline{I}_{11P}^2 + \overline{I}_{11Q}^2 + \sum_{n=2}^{\infty} \overline{I}_{1n}^2} \tag{2.4}$$

คำนวณกำลังงานไฟฟ้าปรากฏ คือ

$$S_1 = \overline{V}_1 \overline{I}_1 = \sqrt{\overline{V}_1^2 \overline{I}_{11P}^2 + \overline{V}_1^2 \overline{I}_{11Q}^2 + \overline{V}_1^2 \sum_{n=1}^{\infty} \overline{I}_{1n}^2} \tag{2.5}$$

$$S_1 = \sqrt{P_1^2 + Q_1^2 + D_1^2} \tag{2.6}$$

$$S_1 = \sqrt{S_{11}^2 + D_1^2} \tag{2.7}$$

เมื่อ S_{11} : กำลังงานไฟฟ้าปรากฏของ Fundamental

P_1 : กำลังงานไฟฟ้าจริง

$$P_1 = \overline{V_1 I}_{11P} = \overline{V}_1 \overline{I}_{11} \cos \varphi_1 \tag{2.8}$$

φ_1 : เป็นมุมทางไฟฟ้าระหว่างศักดาไฟฟ้าที่ทางเข้ากับกระแสไฟฟ้า Fundamental ที่ทางเข้า

Q_1 : กำลังงานไฟฟ้ารีแอกทีฟ

$$Q_1 = \overline{V}_1 \overline{I}_{11Q} = \overline{V}_1 \overline{I}_{11} \sin \varphi_1 \tag{2.9}$$

D_1 : กำลังงานไฟฟ้าดิสทอร์ชั่น (Distortion Power)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

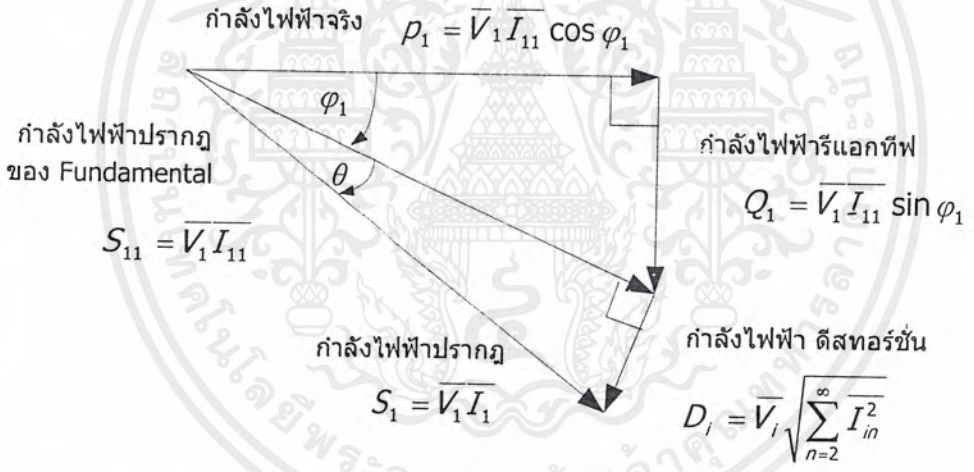
$$D_1 = \bar{V}_1 \sqrt{\sum_{n=2}^{\infty} \bar{I}_{1n}^2} \qquad (2.10)$$

คำนวณเพาเวอร์แฟคเตอร์ได้คือ $$PF = \frac{P_1}{S_1} = \frac{\bar{V}_1 \bar{I}_{11} \cos\varphi_1}{\bar{V}_1 \bar{I}_1} = \frac{\bar{I}_{11}}{\bar{I}_1} \cos\varphi_1 \qquad (2.11)$$

ถ้ากำหนดให้ $$\frac{\bar{I}_{11}}{\bar{I}_1} = \cos\theta \qquad (2.12)$$

ดังนั้น $$PF = \cos\theta \cos\varphi_1 \qquad (2.13)$$

จากสมการ 2.6, 2.7, 2.8, 2.9, 2.10 และ 2.12 สามารถเขียนแทนด้วย Power Vector คือ



รูปที่ 2.3 แสดง Power Vector ของวงจรที่มีกระแสไฟฟ้าที่ทางเข้าไม่เป็นชนิด Sinusoidal

2.3 แนวความคิดในการแก้ไขเพาเวอร์แฟคเตอร์

เมื่อพิจารณารูปที่ 2.3 สังเกตได้ว่ากำลังงานไฟฟ้า Q1 และ D1 เป็นส่วนที่ทำให้ค่าเอฟเฟคทีฟของกระแสไฟฟ้าที่ทางเข้า ($\bar{I}_1$) มากขึ้น เมื่อเปรียบเทียบกับ $\bar{I}_{11}$ ซึ่งเป็นเหตุทำให้การใช้กำลังงานไฟฟ้าได้ไม่คุ้มค่า ดังนั้น เมื่อพิจารณาร่วมกับสมการ 2.13 การที่จะทำให้การใช้กำลังงานไฟฟ้าได้ดีขึ้นสามารถทำได้โดยทำให้ PF $\approx$ 1 โดยพยายามบังคับให้ $\theta = o$ และ $\varphi_1 \approx o$ สามารถแยกได้เป็นสองกรณี คือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทำให้ $\theta = o$: (ทำให้ $D_1 = o$) คือการทำให้รูปสัญญาณของกระแสไฟฟ้าที่ทางเข้าเป็นชนิด Sinusoidal โดยไม่มีสัญญาณ Harmonic ปะปนอยู่

การทำให้ $\varphi 1 \approx o$: (ทำให้ $Q_1 = o$) เมื่อทำให้สัญญาณของกระแสไฟฟ้าที่ทางเข้า เป็นชนิด Sinusoidal จากกรณีแรกแล้ว กรณีนี้ คือ การทำให้สัญญาณกระแสไฟฟ้า In-Phase กับศักดาไฟฟ้าที่ทางเข้า

2.4 ประโยชน์ที่ได้รับจากการแก้ไขเพาเวอร์แฟคเตอร์

ประโยชน์ที่ได้รับจากการแก้ไขเพาเวอร์แฟคเตอร์สามารถแยกย่อยได้เป็นสองกรณีคือ

2.4.1 ผู้ใช้ไฟฟ้ารายย่อย

ถ้าวงจรที่ใช้งานมีค่าเพาเวอร์แฟคเตอร์ PF $\approx$ 1 จะทำให้ผู้ใช้ไฟฟ้ารายย่อย สามารถต่อจำนวนอุปกรณ์กับชุดจ่ายไฟฟ้า ซึ่งจำกัดจำนวนกระแสไฟฟ้าที่จ่ายได้ ได้มากกว่าในกรณีที่ใช้วงจรที่มี PF $<$ 1

2.4.2 ผู้จ่ายไฟฟ้า

ค่า Q_1 : กำลังงานไฟฟ้ารีแอคทีฟ และ D_1 : กำลังงานไฟฟ้าดิสทอร์ชั่น เป็นพารามิเตอร์ที่ทำให้กระแสไฟฟ้าเอฟเฟคทีฟมีค่าสูงขึ้น ก่อให้เกิดกำลังงานไฟฟ้าสูญเสียในระบบสายส่ง ดังนั้น ผู้จ่ายไฟฟ้าต้องเพิ่มขนาดของสายส่งไฟฟ้า นอกจากนั้นการเกิด Harmonic ในระบบสายส่งไฟฟ้าอาจจะก่อให้เกิดปัญหาการทำงานของระบบที่ต้องการ Zero Crossing Detection, ปัญหาเกิดการเพิ่มกระแสไฟฟ้าในสาย Neutral

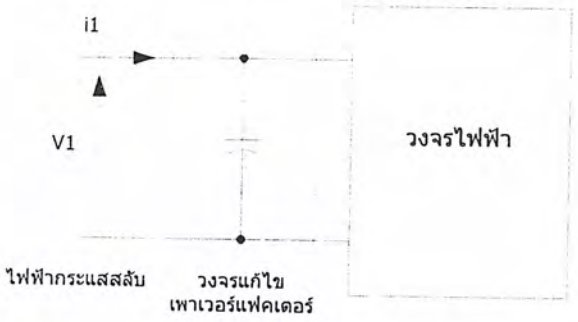
2.5 การแก้ไขเพาเวอร์แฟคเตอร์

การแก้ไขเพาเวอร์แฟคเตอร์เพื่อให้ได้ PF $\approx$ 1 สามารถแบ่งได้เป็นสองกรณีคือ

2.5.1การแก้ไขแบบสตาติค

เป็นการแก้ไขเพาเวอร์แฟคเตอร์โดยรวมของระบบ เช่น การแก้ไขเพาเวอร์แฟคเตอร์โดยการต่อคาซิเตอร์เข้าที่ทางเข้าของงจรตามรูปที่ 2.4 การแก้ไขแบบนี้มีข้อดี คือ ง่ายและราคาถูกแต่ก็มีข้อจำกัดที่สำคัญ คือ เพาเวอร์แฟคเตอร์ที่ได้รับจากการแก้ไข อาจจะไม่ได้ดีที่สุดตลอดพิสัยการทำงาน เพราะค่า C ที่ใช้มีค่าเป็นช่วง ๆ หรือ ถ้าเพาเวอร์แฟคเตอร์ของวงจรเปลี่ยนไป การแก้ไขก็ไม่สามารถทำได้ทันทีทันใด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.4 แสดงการแก้ไขแบบสถาติค

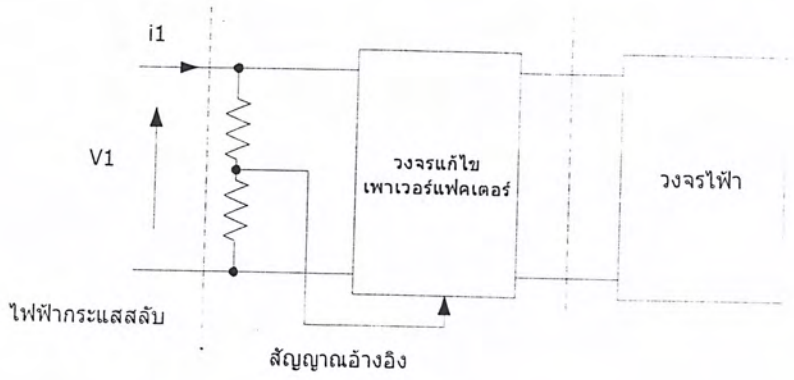
2.5.2 การแก้ไขแบบไดนามิค

คือการแก้ไขเพาเวอร์แฟคเตอร์แบบที่มีการแก้ไขในทันทีทันใดทุกลูกคลื่นของสัญญาณไฟฟ้าทางเข้าตามรูปที่ 2.5 ก.

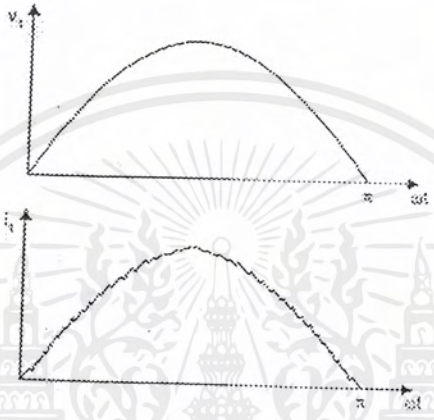
วงจรประเภทนี้จะพยายามบังคับให้กระแสไฟฟ้าที่ทางเข้าให้มีรูปสัญญาณเป็นชนิดใกล้เคียง Sinusoidal และ In-Phase กับศักดาไฟฟ้าที่ทางเข้ามากที่สุด ทำได้โดยใช้ระบบควบคุมที่ใช้รูปสัญญาณ Sinusoidal ของศักดาไฟฟ้าที่ทางเข้าเป็นสัญญาณอ้างอิงควบคุมกระแสไฟฟ้าที่ทางเข้า แสดงผลของกระแสไฟฟ้าที่ทางเข้าที่ได้ในรูปที่ 2.5 ข.

การแก้ไขที่จะใช้ในที่นี้จะเป็นแบบไดนามิคจะใช้วงจรเป็นชนิด Buck-Boost ตามรูปที่ 2.6 ก. ทั้งนี้เพราะว่าลักษณะวงจร Buck-Boost ที่ทางเข้ามีอุปกรณ์ Inductance อยู่ ซึ่งทำให้มีลักษณะเป็น Current Source ถ้าสามารถควบคุมให้กระแสไฟฟ้าที่ไหลเข้ามา (i_l)ในแต่ละช่วง Step ของเวลา T ของการทำงานของวงจร Boost เป็นไปตามที่กำหนด ($i_{L,ref}$) ดังแสดงในรูปที่ 2.6 ข. กระแสไฟฟ้าที่ทางเข้าก็จะมีลักษณะใกล้เคียงกับศักดาไฟฟ้าที่ทางเข้าและ In-Phase กัน ถ้าลดขนาดของ T เพิ่มความถี่การทำงานของ Buck-Boost, $T = 1/f_{sw}$) สัญญาณที่ได้ก็จะมีลักษณะใกล้เคียง Sinusoidal มากขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

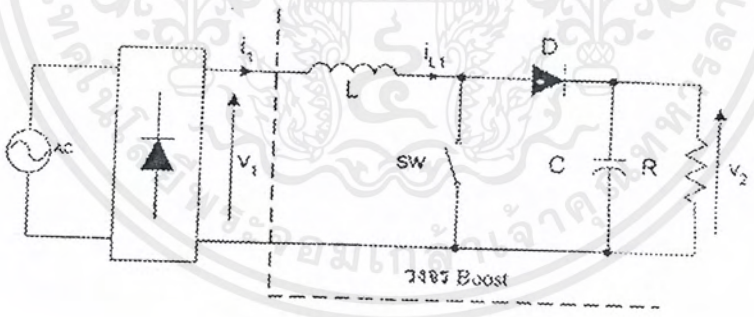


ก.

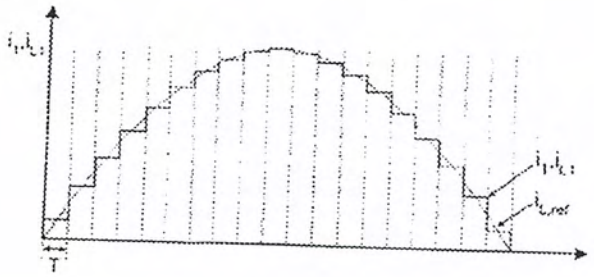


ข.

รูปที่ 2.5 แสดงการแก้ไขแบบไดนามิค (ก) และสัญญาณของวงจรที่ทางเข้า (ข)



ก.



ข.

รูปที่ 2.6 แสดง Topology ชนิด Boost (ก) และสัญญาณของวงจรที่ทางเข้า (ข)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3

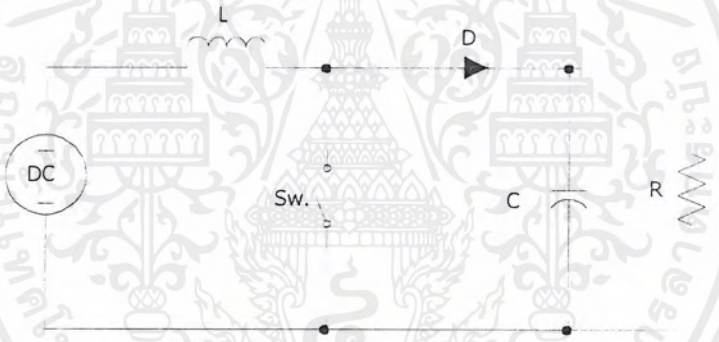
BOOST CONVERTER

3.1 บทนำ

บทนี้จะอธิบายถึงโครงสร้างและทฤษฎีพื้นฐานของคอนเวอร์เตอร์ชนิด Boost ซึ่งจะนำไปใช้ออกแบบและสร้างประยุกต์เป็นวงจร PFC แก้ไขเพาเวอร์แฟคเตอร์ต่อไป

3.2 ทฤษฎีและหลักการ

Boost Converter อาศัยหลักการทำงาน ปิดเปิดด้วยสวิตซ์ อิเล็กทรอนิกส์ ในโครงงานนี้จะใช้มอสเฟสทำหน้าที่เป็นสวิตซ์ ทำงานที่ความถี่สูง (ประมาณ 50 kHz) ที่ถูกเรียกว่า boost converter เนื่องจากแรงดันที่เอาท์พุทจะมีค่ามากกว่าแรงดันที่อินพุทหรือเท่ากับอินพุท

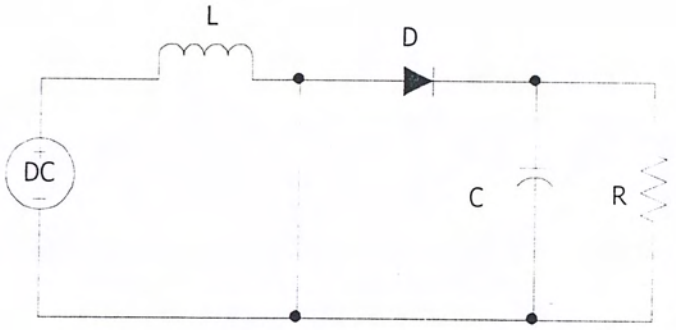


รูปที่ 3.1 แสดงวงจร Boost Converter

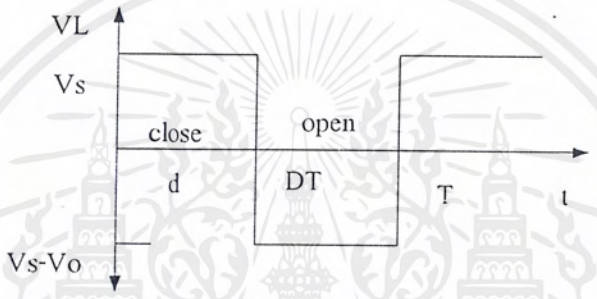
<u>ความสัมพันธ์ระหว่างแรงดันและกระแส</u> การวิเคราะห์วงจรเราจะกำหนดให้

1 วิเคราะห์ในช่วงสภาวะคงตัว(Steady – state)
2 กำหนดให้คาบเวลาในการสวิตซ์ชิ่งเท่ากับ T, และเวลาที่สวิตซ์ปิดเท่ากับ DT และ เปิดเท่ากับ (1-D) T
3 กระแสที่ไหลผ่าน Inductor (L) ต่อเนื่อง (เป็นบวกเสมอ)
4 Capacitor มีค่ามากและแรงดันด้านเอาท์พุทมีค่าคงที่ Vo
5 ส่วนต่างๆในวงจรจะเป็น Ideal

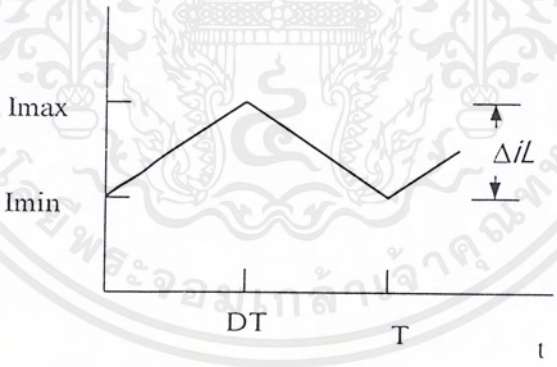
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



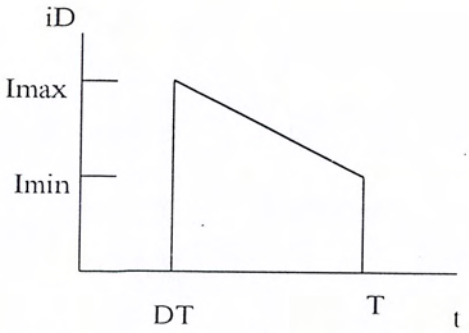
รูปที่ 3.2 แสดงวงจรขณะเมื่อสวิตซ์ปิดวงจร



รูปที่ 3.3 แสดงแรงดันที่ตกคร่อม L



รูปที่ 3.4 แสดงกระแสที่ไหลผ่าน L



รูปที่ 3.5 แสดงกระแสที่ไหลผ่านไดโอด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

<u>การวิเคราะห์ในช่วงสวิตซ์ปิด</u>

เมื่อสวิตซ์ปิดไดโอดจะถูกรีเวิร์ดไบแอสการกฎของ Kirchhoff's voltage law เราจะวิเคราะห์ได้ดังนี้

$$VL = Vs = L\frac{diL}{dt} \text{ หรือ } \frac{dil}{dt} = \frac{vs}{L} \qquad (3.1)$$

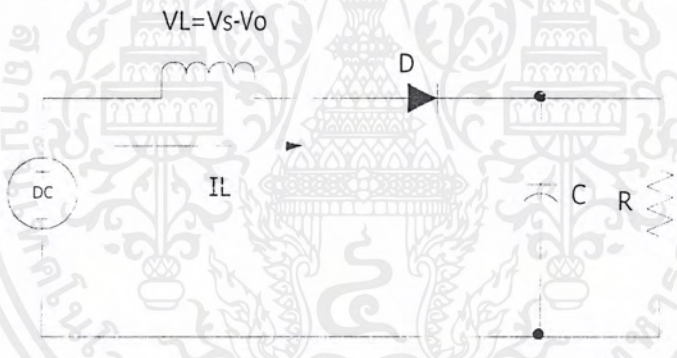
เมื่ออัตราการเปลี่ยนแปลงกระแสคงที่ดังนั้นการะแสจะเพิ่มขึ้นอย่างลิเนียร์เมื่อสวิตซ์ถูกปิด

การเปลี่ยนแปลงกระแสที่ไหลผ่าน Lคำนวณได้จาก

$$\frac{\Delta iL}{\Delta t} = \frac{\Delta iL}{DT} = \frac{Vs}{L}$$

Δ iL เมื่อสวิตซ์ปิด

$$(\Delta iL)_{close} = \frac{VsDT}{L} \qquad (3.2)$$



รูปที่ 3.6 แสดงวงจรขณะเมื่อสวิตซ์เปิดวงจร

<u>การวิเคราะห์ในช่วงสวิตซ์เปิด</u>

เมื่อสวิตซ์เปิดกระแสที่ไหลผ่าน L จะไม่เปลี่ยนแปลงอย่างทันทีทันไดไดโอดจะถูกฟอร์เวิร์ดไบอัสทำให้กระแสที่ไหลผ่าน L เท่ากับกระแสที่ไหลผ่านไดโอดเราจะกำหนดให้แรงดันไฟฟ้าที่เอาท์พุทคงที่ (Vo) แรงดันที่ตกคร่อม L จะได้เท่ากับ

$$VL = Vs - Vo = L\frac{diL}{dt}$$

$$\frac{diL}{dt} = \frac{Vs - Vo}{L}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อัตราการเปลี่ยนแปลงของกระแสที่ผ่าน L จะคงที่ ดังนั้นการเปลี่ยนแปลงของกระแสเมื่อสวิตช์เปิดจะได้

$$\frac{\Delta iL}{\Delta t}=\frac{\Delta iL}{(1-d)T}=\frac{Vs-Vo}{L}$$

หา ΔiL

$$(\Delta iL)_{open}=\frac{(Vs-Vo)(1-D)T}{L} \qquad (3.3)$$

การวิเคราะห์ช่วงสภาวะคงตัว ในช่วง 1T จะได้ผลรวมการเปลี่ยนแปลงกระแสใน L จะได้เท่ากับ 0

โดยใช้สมการที่ 3.2 และ 3.3

$$(\Delta iL)_{closed}+(\Delta iL)_{open}=0$$

$$\frac{VsDT}{L}+\frac{(Vs-Vo)(1-D)T}{L}=0$$

หา Vo

$$Vs\,(D+1-D)-Vo\,(1-D)=0$$

$$\boxed{o=\frac{Vs}{1-D}} \qquad (3.4)$$

ดังนั้นแรงดันเฉลี่ยที่ตกคร่อม L เท่ากับ 0 ใน 1 คาบเวลา จะได้สมการแรงดันเฉลี่ยที่ตกคร่อม L ใน 1คาบเวลาจะได้

$$VL=VsD+(Vs-Vo)(1-D)=0$$

แรงดันตกคร่อม Vo ถ้าสวิทช์ถูกเปิดตลอดเวลา และ D เท่ากับ 0 แรงดันที่ตกคร่อมอินพุทจะเท่ากับแรงดันที่เอาท์พุท เมื่อค่า D เพิ่มขึ้น ตัวหารจากสมการที่ 3.4 จะน้อยลงจะทำให้ แรงดันที่ตกคร่อมด้านเอาท์พุทเพิ่มขึ้นมากกว่าค่าแรงดันด้านอินพุท สรุปได้ว่า boost *converter จะได้แรงดันด้านเอาท์พุทมากกว่าแรงดันด้านอินพุทหรือเท่ากับแรงดันด้านอินพุท*

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การหาค่ากระแสในตัว L นั้นสามารถหาได้จากค่ากำลังไฟฟ้าที่ด้านอินพุทหรือแหล่งจ่าย หรือจะหาได้จากทางด้านเอาท์พุทซึ่งรับกำลังไฟฟ้าซึ่งโหลดเป็นค่าความต้านทาน

$$P_o = \frac{V^2 O}{R}$$

กำลังไฟฟ้าด้านอินพุทเท่ากับ VsIs $= VsI_L$ กำลังไฟฟ้าด้านเอาท์พุท

$$_sI_L = \frac{V_o^{\,2}}{R} = \frac{\left(\frac{V_s}{1-D}\right)^2}{R} = \frac{V_s^{\,2}}{(1-D)^2 R}$$

หรือ

$$I_L = \frac{V_s}{(1-D)^2 R} \tag{3.5}$$

กระแสสูงสุดหรือกระแสต่ำสุดที่ไหลผ่านตัว L หาได้โดยหาค่าเฉลี่ยจากการเปลี่ยนแปลงกระแสในสมการที่ 2

$$I_{\max} = I_L + \frac{\Delta i_L}{2} = \frac{V_s}{(1-D)^2 R} + \frac{V_s DT}{2L} \tag{3.6}$$

$$I_{\min} = I_L + \frac{\Delta i_L}{2} = \frac{V_s}{(1-D)^2 R} - \frac{V_s DT}{2L} \tag{3.7}$$

สมการที่ 3.4 จะสามารถใช้ได้ในเงื่อนไขที่กระแสต่อเนื่องโดยที่ค่ากระแสต่ำสุดยังคงต่อเนื่องขอบเขตระหว่างกระแสต่อเนื่องและไม่ต่อเนื่องที่ไหลผ่านในตัว L นั้นหาได้จาก

$$I_{\min} = 0 = \frac{V_s}{(1-D)^2 R} - \frac{V_s DT}{2L}$$

หรือ

$$\frac{V_s}{(1-D)^2 R} = \frac{V_s DT}{2L} = \frac{V_s D}{2Lf}$$

ค่าต่ำสุดของLและความถี่ในการทำงานย่านกระแสต่อเนื่องในboost converter

$$(Lf)_{\min} = \frac{D(1-D)^2 R}{2}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

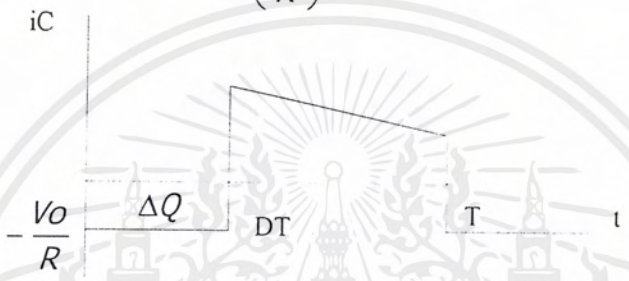
หรือ

$$L_{min} = \frac{D(1-D)^2 R}{2f} \tag{3.8}$$

แรงดันริปเปิ้ลเอาท์พุท

แรงดันพีคทูพีคที่เอาท์พุทริปเปิ้ลสามารถหาได้จากกระแสที่ไหลผ่านคาปาซิเตอร์ จากรูปที่ 3.7 ข้างล่าง แสดงกระแสที่ไหลผ่าน C

$$|\Delta Q| = \left(\frac{V_o}{R}\right) DT = C\Delta V_o \tag{3.9}$$



รูปที่ 3.7 แสดงการเปลี่ยนแปลงของ Ripple

การเปลี่ยนแปลงริปเปิ้ลจะได้จาก

$$\Delta V_o = \frac{V_o DT}{RC} = \frac{V_o D}{RCf}$$

หรือหาได้จาก

$$\frac{\Delta V_o}{V_o} = \frac{D}{RCf} \tag{3.10}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

หลักการ และ ทฤษฎีที่ใช้ในการออกแบบสร้างวงจร PFC

4.1 บทนำ

บทนี้จะอธิบายหลักการ และ ทฤษฎีที่ใช้ในการออกแบบสร้างวงจร PFC ซึ่งจะประกอบด้วย 2 ส่วนหลักๆคือ ในส่วนของชุดควบคุมและส่วนของชุดกำลัง โดยจะอธิบายการทำงานในแต่ละส่วนซึ่งมีรายละเอียดดังนี้

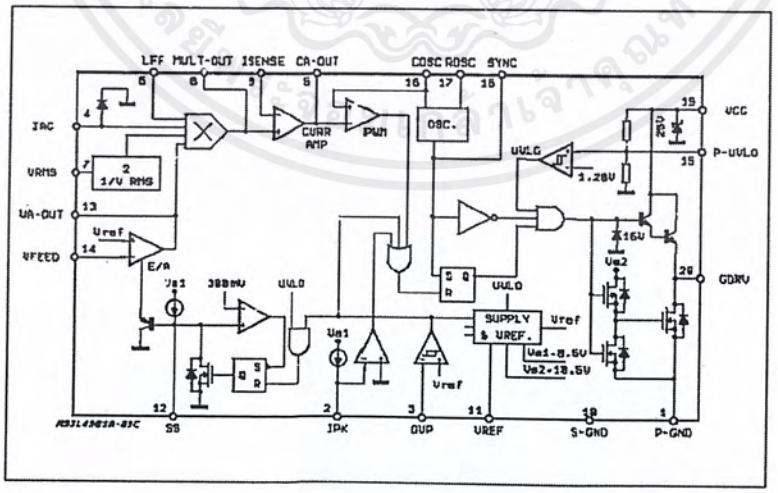
4.2 ชุดควบคุม

ในชุดควบคุมนี้เราจะใช้ IC เบอร์ L4981A ซึ่งมีรายละเอียดดังนี้

IC L4981A จะทำงานในโหมดต่อเนื่อง ได้อย่างมีประสิทธิภาพสูง ในการแปลงพลังงานได้สูงแค่ไหนนั้นขึ้นอยู่กับการจัดเตรียมอุปกรณ์อื่นๆ ด้วย

จุดเด่นหลัก

- ความถี่ สวิตช์สูงถึง 200 kHz
- มีการป้องกันแรงดันและกระแส
- ความถูกต้อง ซึ่งวัดที่ขา IC
- ip/op
- กระแสเริ่มต้นน้อย
- มี Soft start



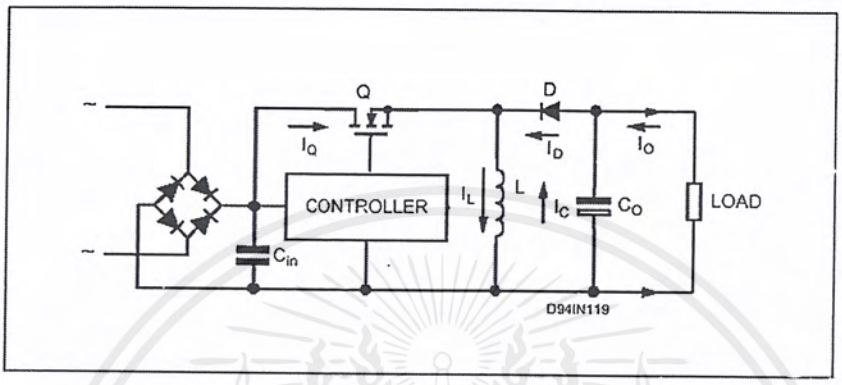
รูปที่ 4.1 Block diagram ของไอซีเบอร์ L4981

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

PFC Buck-Boost topology operation

แรงดันไฟ AC จะถูกแปลงเป็น DC โดยวงจร rectifier แล้วส่งต่อไปยัง ส่วนของวงจร Buck-Boost ในส่วนของวงจร buck-boost หลักการ switching แบบ PWM โดยควบคุมแรงดัน DC input ให้เป็นแรงดัน Vo ซึ่งส่วนประกอบของวงจร Buck-Boost ประกอบด้วย L, Q, D, Co และชุด Control ดังแสดงในรูปที่ 4.2



รูปที่ 4.2 แสดงภาพรวมของวงจร

1. กระแส L,Q,D

$$I_{Lpk} = I_{Qpk} = I_{Dpk} = 2 \cdot \frac{P_O}{V_{Ipk}}$$

2. กระแส L_{rms}

$$I_{Lrms} = \sqrt{2} \cdot \frac{P_O}{V_{Ipk}}$$

3. กระแส Switch rms

$$I_{Qrms} = \frac{P_O}{V_{Ipk}} \cdot \sqrt{2 \pm \frac{16 \cdot V_{Ipk}}{3 \cdot \pi \cdot V_O}}$$

4. ค่าเฉลี่ยของกระแสไดโอด

$$I_{Davg} = I_O$$

5. กระแส Diode rms

$$I_{Drms} = \frac{P_O}{V_{Ipk}} \cdot \sqrt{\frac{16 \cdot V_{Ipk}}{3 \cdot \pi \cdot V_O}}$$

6. Total RMS capacitor (Co) current

$$I_C = I_O \sqrt{\frac{16 \cdot V_O}{3 \cdot \pi \cdot V_{Ipk}} \pm 1}$$

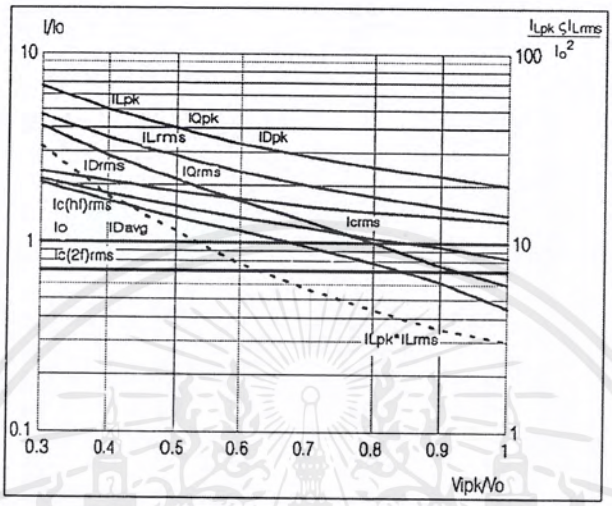
7. RMS twice line frequency capacitor current

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
49885

$$I_{C(2f)rms} = \frac{I_O}{\sqrt{2}}$$

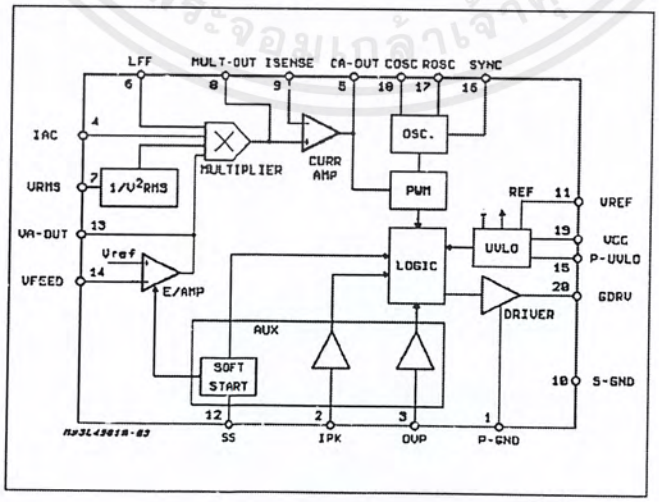
8. RMS high frequency capacitor current

$$I_{C(hf)rms} = I_O \sqrt{\frac{16 \cdot V_O}{3 \cdot \pi \cdot V_{Ipk}} \pm 1.5}$$



รูปที่ 4.3 กราฟแสดงประสิทธิภาพ

จะเห็นได้ชัดว่า ในการใช้งานจริง ประสิทธิภาพจะน้อยกว่า 100 % เพราะว่าแรงดัน ripple ที่ output มีความสัมพันธ์กับ Co ซึ่งเป็นพารามิเตอร์ที่สำคัญมาก Current Ripple ที่ L เมื่อใช้งานที่ความถี่สูง จะเป็นพารามิเตอร์ ที่มีผลกระทบกับค่า L



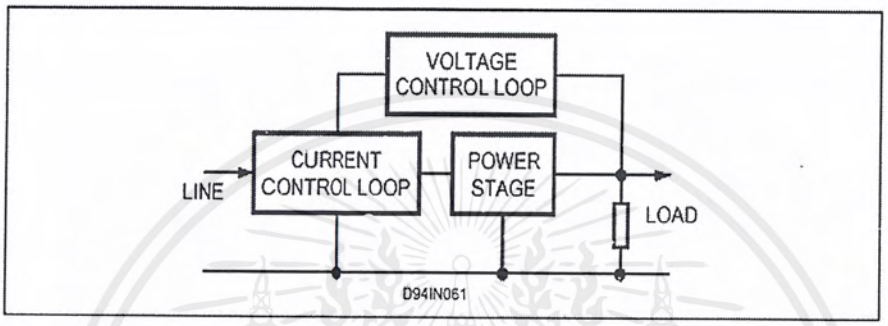
รูปที่ 4.4 บล็อกแสดงลักษณะภายในของ IC

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การ Control

IC 4981 จะใช้ในการควบคุมกระแสเฉลี่ยในย่าน Continue mode โดยการควบคุมแบบ (Current loop and Voltage loop) ดังรูปที่ 4.5

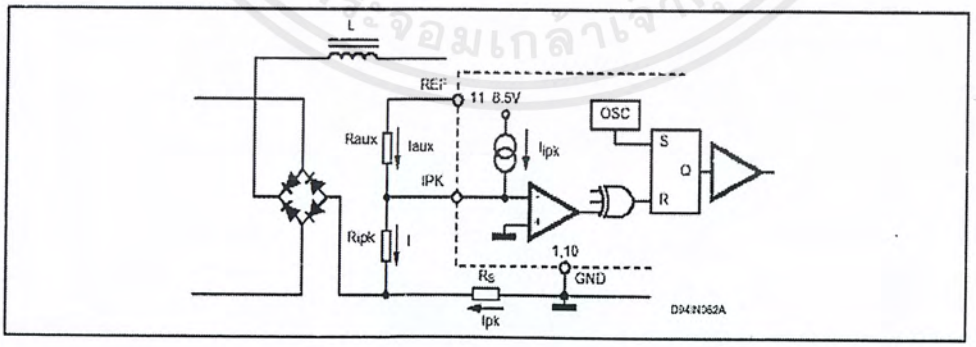
ส่วนลักษณะภายใน บล็อกจะแสดงรายละเอียดในรูปที่ 4.5 ซึ่งจะแสดงหลักการและขาของไอซี



รูปที่ 4.5 แสดงภาพรวมของการควบคุม

Multiplier Block

Block นี้จะเป็นตัวผลิตกระแส out put ซึ่งเป็นผลลัพธ์ ของสัญญาณ i/p อ้างอิง 4 ตัว(รายละเอียดรูปที่ 4.13) กระแส multiplier out put จะไปยัง Ri ซึ่งจะต่อกับด้านลบของ Rsens ซึ่งจะได้สัญญาณ error ของ current loop



รูปที่ 4.6 แสดงวงจรภายในของ Multiplier Block

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Operational amplifier block

จะเป็นAmplifier ที่จะต้องผ่านการยอมของสัญญาณ 2 ตัวคือ (e/a) จะป้อนสัญญาณแรงดัน out put กลับมา (Vo) และจะส่ง out put ไปยัง multiplier Block ส่วนนี้คือ (C/A) จะป้อนกระแสกลับมาและผลิตสัญญาณอ้างอิงเพื่อใช้ในส่วนของ PWM

PWM Block

Block นี้จะเปรียบเทียบ saw tooth ที่ผลิตโดย oscillator กับสัญญาณอ้างอิงจาก C/A modulate เป็นสัญญาณ out put ที่มีค่า duty cycle ซึ่งเป็น output ไปยังส่วนที่เป็น logic และส่วนdrive ซึ่งจะเป็นตัวควบคุมสวิตช์ (Q) ซึ่งจะไป modulate กระแส IL

Logic Block

จะควบคุมการไหลของสัญญาณ PWM และสัญญาณ Auxiliary และ soft start

Driver Block

จะเป็นตัวป้อนสัญญาณ Gate เพื่อเปิด-ปิด สวิตช์ และสามารถส่งสัญญาณกระแสสูงสุดได้ถึง 1 A ทั้งยังประยุกต์ ใช้ในความถี่สูงได้อีกด้วย

Aux. Function

จะเป็นส่วนมารับค่าความเครียดของอุปกรณ์ เพื่อนำมาประยุกต์ใช้อีกทีหนึ่ง

Power Supply Block

วงจรนี้ จะเป็นตัวควบคุม แรงดัน Vcc และ Vref ซึ่งถ้ามีแรงดันต่ำกว่ากำหนดก็จะใช้อยู่ในช่วง Standby เพื่อประหยัดพลังงาน

P.F.C. BOOST DESIGN CRITERIA

Control โดยการต่ออุปกรณ์ที่ขา และการใส่ Bias ให้วงจร

<u>ขา 1 P-GND</u>

ใช้เป็นจุด Ground ให้มอสเฟท

<u>ขา 2 IPK</u> (Over current Protection Input)

จะจำกัดกระแสที่รับสัญญาณมาจากตัวเปรียบเทียบภายในโดยการลด Output Driver เมื่อแรงดันที่ IPK Input ต่ำลงถึง 0 ใน L4981A โดยในการใช้งานปกติจะตั้ง IPK ใช้ที่ประมาณ 85 uA โดยจะตั้งที่แหล่งจ่ายกระแสภายในโดยที่ค่ากระแสสูงสุดนี้จะสามารถโปรแกรมได้ ตามการต่อในรูปที่ 4.6 ซึ่ง I_{PK} จะต่ออยู่ระหว่าง R_{ipk} กับ Rs

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

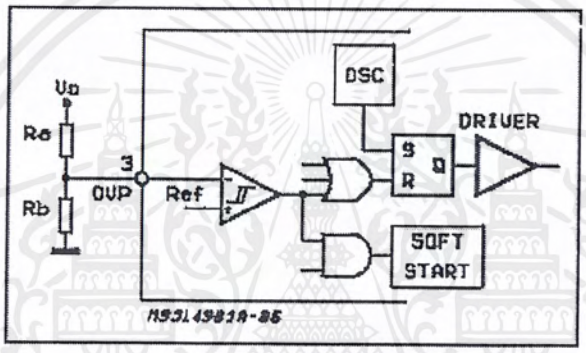
$$R_{Ipk} = \frac{R_S \cdot I_{pk}}{I_{Ipk}}$$

ขา 3 OVP (Over voltage Protection Input)

จะเปรียบเทียบ แรงดันอ้างอิงที่ 5.1 V และ 250 mV ของ hysteresis เราจะพบว่าในสถานะ Standby และการ Discharge ของ คาปาซิเตอร์ ในการ Soft Start ที่ขานี้ จะต้องต่อด้วยค่าความต้านทานที่แบ่งแรงดันของ Output

อัตราส่วนของการแบ่งแรงดันดังแสดงได้คือ

$$\frac{Ra}{Rb} = \frac{V_O + \Delta V_{OUT}}{5.1V} \pm 1$$



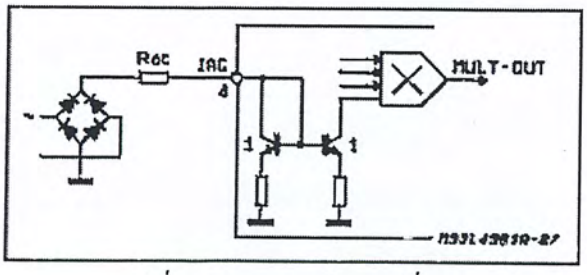
รูปที่ 4.7 แสดงการต่อ Ra และ Rb ที่ขา 3 และ วงจรภายใน

ขา 4 IAC (A.C.Current Input)

ขานี้ใช้ต่อกับความต้านทานตลอดถึงตัว Rectifier ส่วนอีกด้านหนึ่งจะต่อกับ Drive multiplier ด้วยกระแส I_{iAC} ซึ่งเป็นสัดส่วนกับแรงดัน Line

$$I_{IAC} = \frac{V_I}{R_{ac}}$$

ความสัมพันธ์ระหว่างกระแส Input และกระแส output ของส่วน MULT-OUT



รูปที่ 4.8 แสดงการต่อวงจรที่ขา 4

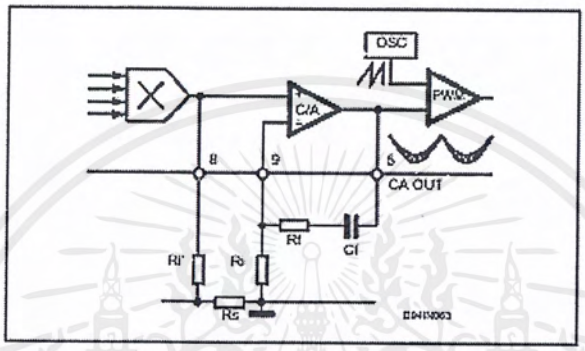
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขา 5 CA-OUTPUT (Current amplifier output)

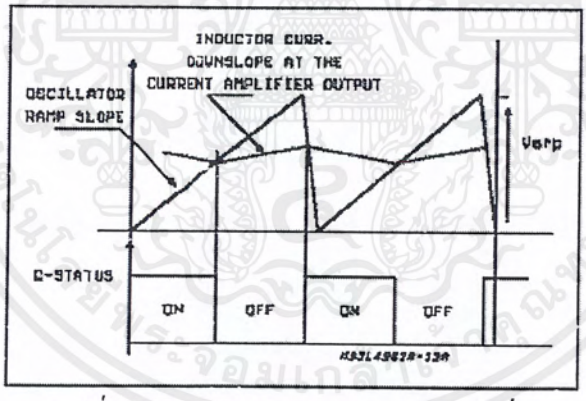
เป็นตัวส่งสัญญาณ ไปที่ตัวเปรียบเทียบ PWM และค่าภายนอกจะถูกกำหนดใน Loop gain ให้เหมาะสม ซึ่งมีทั้ง multiplier output oscillation คือค่าสูงสุดของกระแสที่ L มีค่าต่ำกว่าสัญญาณ ramp

$$\frac{V_O}{L} \cdot R_S \cdot G_{ca} = V_{srp} \cdot f_{sw}$$

$$G_{ca} = \frac{V_{srp} \cdot f_{sw} \cdot L}{V_O \cdot R_S}$$



รูปที่ 4.9 แสดงกระบวนการสร้าง PWM



รูปที่ 4.10 แสดงการ Modulation ของรูปคลื่น

$$\frac{R_f}{R_i} = \frac{V_{srp} \cdot f_{sw} \cdot L}{V_O \cdot R_S} \pm 1$$

$$G_{avg} = \frac{V_{rs}}{V_{ca}}$$

$$V_{rs} = \frac{R_s \cdot V_O}{s \cdot L}$$

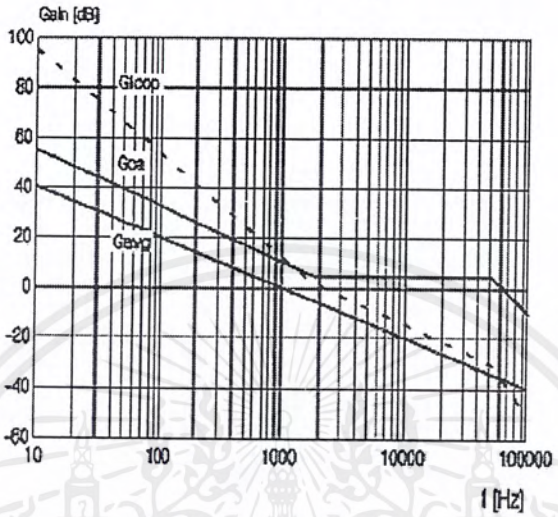
$$G_{avg} = \frac{R_s \cdot V_O}{V_{srp} \cdot 2\pi \cdot f \cdot L}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$f_c = \frac{f_{sw}}{2\pi}$$

$$f_z = \frac{f_{sw}}{4\pi} = \frac{1}{2\pi \cdot C_f \cdot R_f}$$

$$C_f = \frac{2}{R_f \cdot f_{sw}}$$



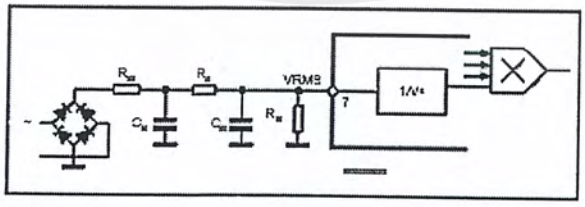
รูปที่ 4.11 แสดงลูป Gain

ขา 6 LFF (Load feed-forward input)

เป็นขา Voltage input เป็นตัวใช้ปรับแต่ง Output ของ multiplier output ซึ่งเป็นสัดส่วนกับโหลดควบคุมการทำงานโดยแรงดัน V_{iff} ระหว่าง 1.5 V ถึง 5.1 V ถ้าไม่ใช้ขานี้ LFF จะต่อกับขา V_{RFF}

ขา 7 VRMS

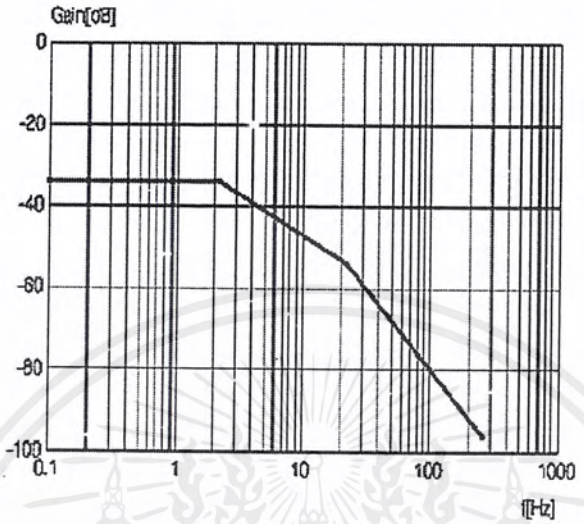
Input จะถูกแบ่ง โดย (1/Vrms) เป็นการใช้งานในลักษณะ พิเศษ ซึ่งจะทำการชดเชย gain เมื่อ i/p Volt เปลี่ยนแปลง เมื่อขานี้ต่อกับวงจรภายนอก มันจะทำให้แรงดันเป็นสัดส่วนกับ main Vrms ในช่วงระหว่าง 1.5 V - 5.5 V



รูปที่ 4.12 (ก) แสดงการต่อวงจรที่ขา 7

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หลีกเลี่ยงกระแส Distortion ระดับของแรงดัน ripple (2f) จะลดลง ถ้าใช้ two pole filter และค่าความต้านทาน 3 ตัวกับค่าความจุ 2 ตัว ตั้งค่า pole ต่ำที่สุด 2 Hz, ซึ่งเพียงพอที่จะลดระดับแรงดันลงเหลือ -80 ที่ gain 100Hz



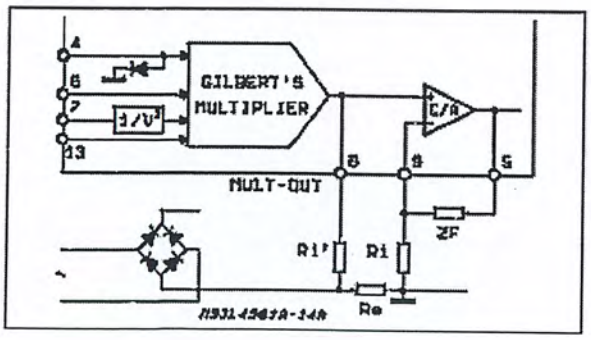
รูปที่ 4.12 (ข) แสดงลูป Gain

ขา 8 MULT-OUT (Output of the multiplier)

กระแสในส่วนนี้จะมีความสัมพันธ์ตามสมการดังนี้

$$I_{mult} = 0.37 \cdot I_{IAC} \cdot \frac{(V_{VA\pm OUT} \pm 1.28V) \cdot (0.8 \cdot V_{LFF} \pm 1.28V)}{VRMS^2}$$

ความเหมาะสมของการ Bias ในแต่ละช่วง การทำงาน คือความสัมพันธ์ระหว่าง Imult และสัญญาณ Input ขาจะต้องต่อด้วยค่าความต้านทาน (Ri) ที่ด้านลบของ Rs เป็นการรวม สัญญาณ (I_L กับ Rs) และ (I_{mult} กับ Ri)



รูปที่ 4.13 แสดงวงจรภายในของบล็อก Multi

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 13a: MULTI-OUT vs. I_{AC} (V_{RMS} = 1.7V; V_{LFF} = 5.1V)

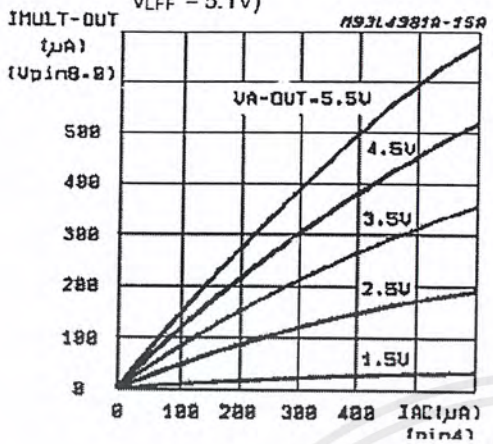


Figure 13b: MULTI-OUT vs. I_{AC} (V_{RMS} = 2.2V; V_{LFF} = 5.1V)

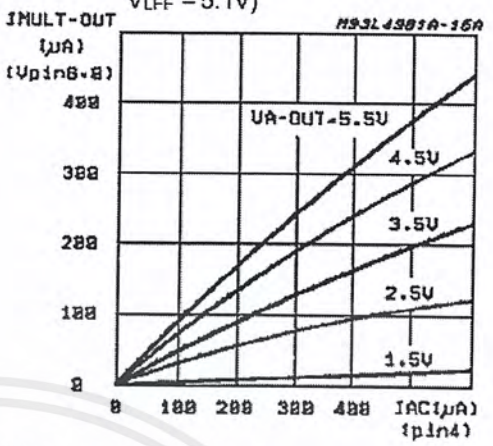


Figure 13c: MULTI-OUT vs. I_{AC} (V_{RMS} = 4.4V; V_{LFF} = 5.1V)

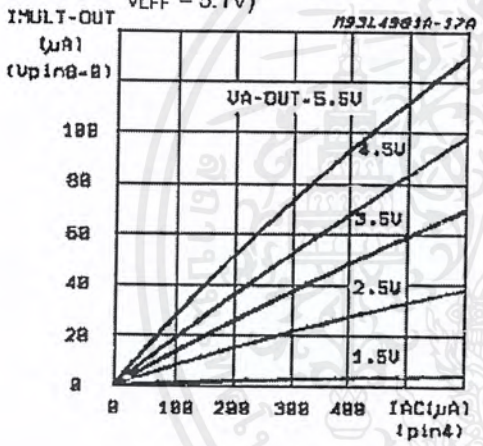


Figure 13d: MULTI-OUT vs. I_{AC} (V_{RMS} = 5.3V; V_{LFF} = 5.1V)

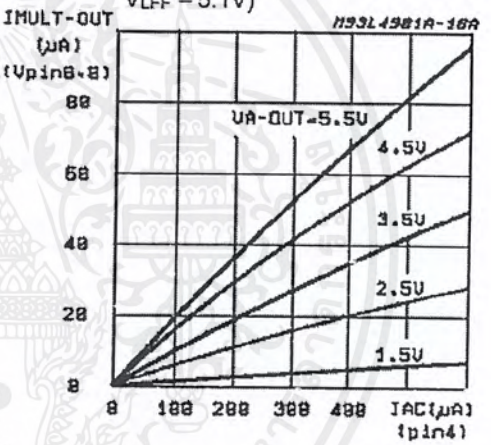


Figure 13e: MULTI-OUT vs. I_{AC} (V_{RMS} = 1.7V; V_{LFF} = 2.5V)

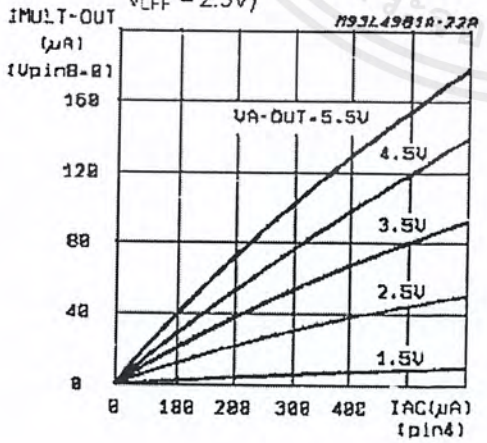
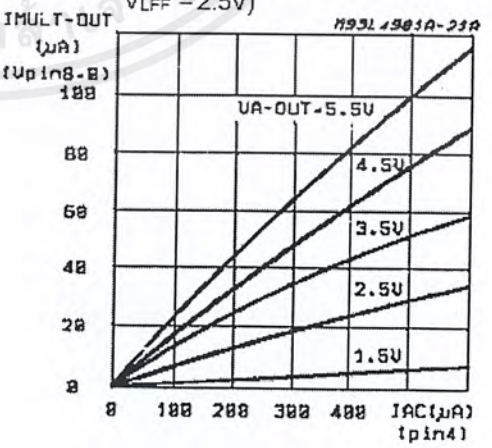
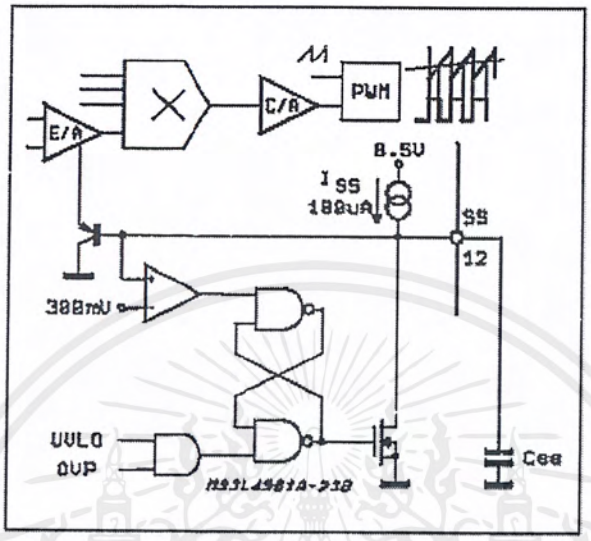


Figure 13f: MULTI-OUT vs. I_{AC} (V_{RMS} = 2.2V; V_{LFF} = 2.5V)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$t_{SS} = C_{SS} \cdot \frac{V_{VA\pm OUT}}{I_{SS}}$$

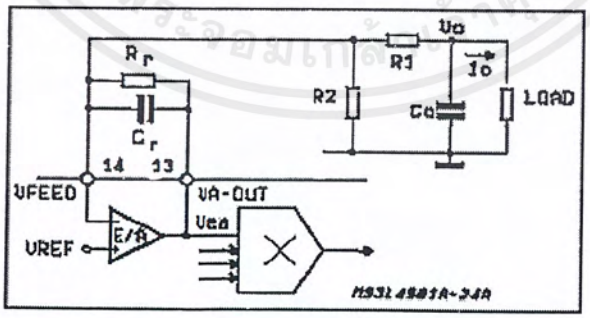


รูปที่ 4.15 แสดงการทำงานภายในที่ขา 12

เวลาที่ได้นี้ ขึ้นอยู่กับ การใช้พารามิเตอร์ (Output Voltage, Input Voltage, Output Capacitor Boost Inductor size, etc)

ขา 13 $V_{VA\text{-}out}$ (Error amplifier output)

จะเป็น Output ของ E/A ซึ่งจะควบคุม การเพิ่มระดับแรงดัน ดูรูป



รูปที่ 4.16 แสดงการต่อใช้งานที่ขา 13

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 13g: MULTI-OUT vs. I_{AC} (V_{RMS} = 4.4V; V_{LFF} = 2.5V)

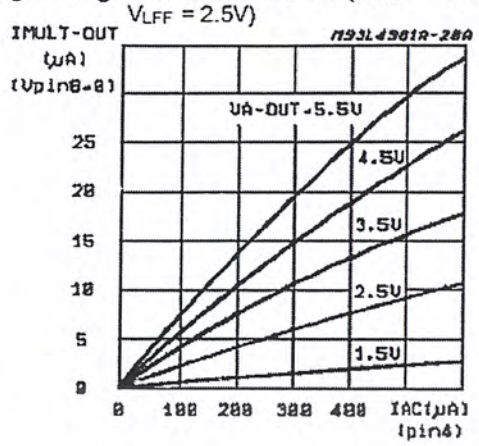
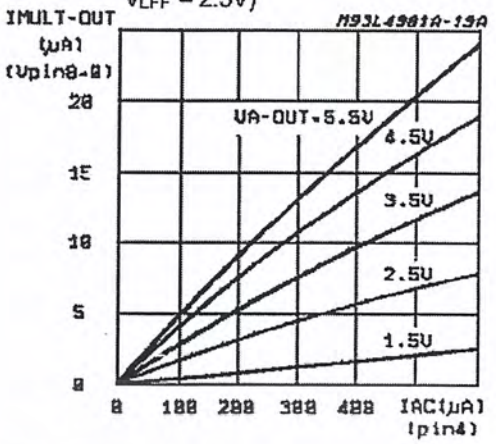


Figure 13h: MULTI-OUT vs. I_{AC} (V_{RMS} = 5.3V; V_{LFF} = 2.5V)



ขา 9 ISENSE (Current Amplifier inverting input)

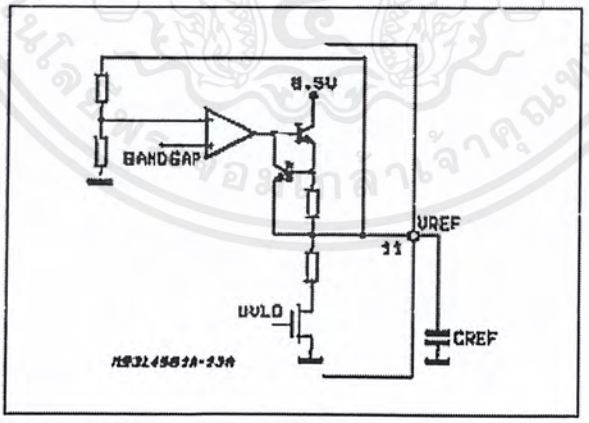
ขานี้จะเป็นขาที่ต่อกับวงจรภายนอก ที่ CA-OUT ซึ่ง Ri กับ Ri' จะมีค่าเหมือนกันเนื่องจาก มี loop ป้อนกลับแบบ high impedance

ขา 10 SGND (Signal ground)

ขานี้เป็น Ground ของระบบ

ขา 11 VREF (Voltage reference)

ที่ขานี้จะมี Capacitor filter ต่ออยู่ (100nF ขึ้นไป) กับ ground ขานี้สามารถดึงกระแสได้ถึง 10 mA

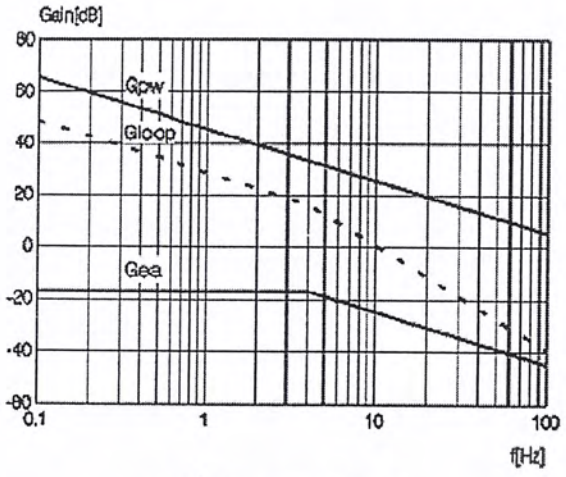


รูปที่ 4.14 แสดงการต่อวงจรที่ขา 11

ขา 12 SS (Soft Start)

เป็นขาที่มีลักษณะในการหลีกเลี่ยง กระแส Over load ของ Mosfet ภายนอก ในระหว่างการเพิ่มแรงดัน Boost และภายในจะเสมือนมี สวิตช์ ที่คอยคายประจุให้ Capacitor ถ้าเกิด การ over Voltage หรือ under Voltage ขึ้น ช่วงเวลาในการ Soft Start หาได้โดย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.16 แสดงลูป Gain

$$G_{ea} = \frac{V_{ea}}{V_O} = \frac{1}{s \cdot R1 \cdot Cr} \qquad G_{ea} = \frac{0.095V}{\Delta V_O}$$

$$C_r = \frac{1}{2\pi \cdot 2f \cdot R1 \cdot G_{ea}} \cdot Ka \frac{\Delta V_O}{R1} \qquad G_{pw} = I_O \frac{X_{CO}}{\Delta V_{ea}}$$

$$G_{pw} = \frac{P_O \cdot X_{CO}}{V_O \cdot \Delta V_{ea}} = \frac{P_O}{V_O \cdot \Delta V_{ea}} \cdot \frac{1}{s \cdot C_O}$$

$$f_C = \sqrt{\frac{P_O}{V_O \cdot \Delta V_{ea} \cdot 2\pi \cdot C_O} \cdot \frac{1}{2\pi \cdot R1 \cdot C_r}}$$

$$R_r = \frac{2.75}{2\pi \cdot f_C \cdot C_r}$$

ขา14 VFEED (ERROR AMPLIFIER INPUT) (รูปที่ 4.16)

ขาที่จะต่อกับแรงดัน Boost o/p โดยผ่านการแบ่งโดยมองข้ามการช่วยของ e/a ที่ป้อนกลับทาง Rrโดยใช้แรงดันอ้างอิง 5.1V และ DC output (Vo) กำหนดอัตราส่วน

$$\frac{R1}{R2} = \frac{V_O}{5.1V} \pm 1$$

จากการพิจารณาค่าของ R1 เป็นค่าที่รับการป้อนกลับของวงจร (ดูขา13) กำหนด E/A gain, ผลกระทบของ ต่อ load (กระแสน้อย, เพิ่มแรงดัน)

$$\Delta V_{O\max} = \frac{\Delta V_{ea} \cdot R1}{R_r}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อ: Vomax เป็น maximum out put ที่เปลี่ยนตาม E/A gain และการเปลี่ยนแปลง load R1, R2 ใช้ค่าที่ใช้ความแม่นยำสูง

ขา15 P-UVLO (Programmable supply under voltage threshold)

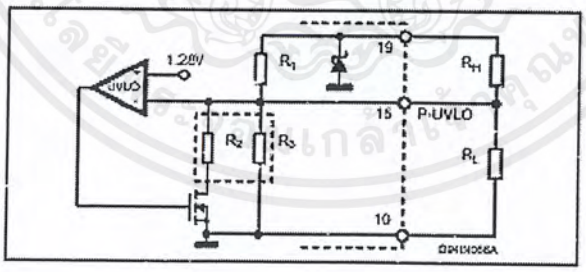
จะแบ่งแรงดันระหว่างขา 19 และ15 กับ ground และจะทำการเปรียบเทียบภายในด้วยซึ่งมากกว่าค่า ของส่วน (รูปที่ 4.17) จะใช้ RH และ RL แบ่งแรงดัน ซึ่งสามารถจะเปลี่ยนค่า threshold ได้ RL เป็นตัวกำหนด turn on threshold เป็นตัวกำหนด ในการออกแบบ จะได้ supply threshold (รูปที่4.17) ซึ่งเป็นค่าตัวอย่าง ใช้ในการออกแบบในการแบ่งแรงดัน คือ R1=394 kΩ, R2=88 kΩ และ R3 = 58 kΩ อย่างไรก็ตามในรูปที่ 4.17 ก. /ข. จะใช้เป็นแนวทางในการกำหนดค่า RH, RL

ขา16 SYNC (In /Out synchronization) Only for L4981A

จะเป็นการทำ Synchronizes ด้วยวงจร (รูปที่ 4.18 ก.) เมื่อเป็นการออกแบบให้ Synchronizes กันภายนอกที่สัญญาณนาฬิกาโดยต้องเพียงพอกับสถานะนี้ด้วย คือขนาดของสัญญาณจะต้องมากกว่าค่าที่ออกแบบโดยค่า R-C Constant เล็กน้อยและความกว้างของพัลซ์ต้องมากกว่า 800 nsec

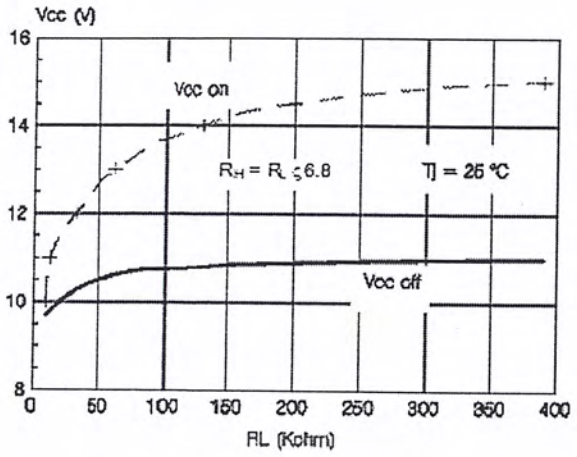
ถ้าออกแบบ Synchronizes ด้วยวงจรอื่น สัญญาณจะถูกเลื่อนโดยขาที่เป็นพัลซ์ ที่ 4.6 โวทล์และช่วงเวลาของพัลซ์จะเท่ากับช่วงที่ Sawtooth full-time

ลักษณะของการ Modulation ความถี่ (รูปที่ 4.18 ข.) ที่ขาจะต้องต่อผ่าน Rtm จาก Rectifier ซึ่งจะยอมให้เกิดการเปลี่ยนแปลงเคลื่อนที่และ Cosc จะชาร์จและคาย กระแสซึ่งจะเป็นตัวกำหนดความชันของ ramp ของ OSC peak (Vipk) ผลรวมของความถี่ที่เปลี่ยนแปลง



รูปที่ 4.17 Programmable Under Voltage Lockout Thresholds

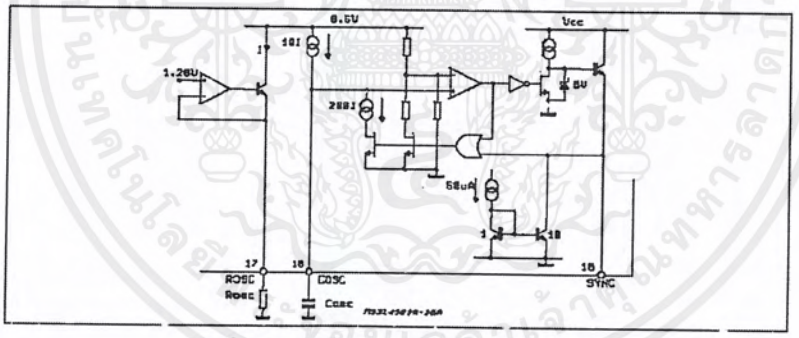
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



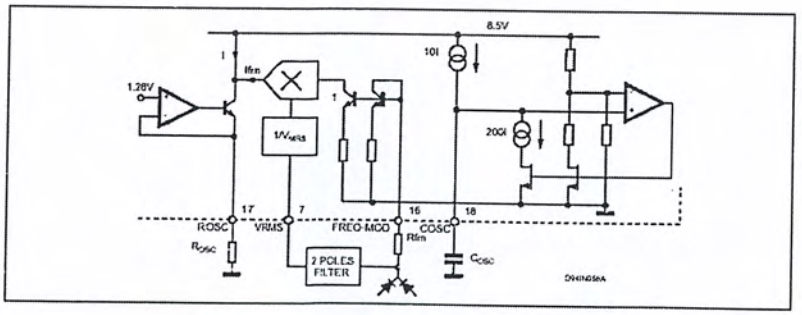
รูปที่ 4.17 (ก) V_{ccon} and V_{ccoff}

$V_{CC\ ON}$	$V_{CC\ OFF}$	RH	RL
11V	10V	82kΩ	12kΩ
12V	10.1V	220kΩ	33kΩ
13V	10.5V	430kΩ	62kΩ
14V	10.8V	909kΩ	133kΩ
14.5V	10.9V	1.36MΩ	200kΩ
15V	11V	2.7MΩ	390kΩ

รูปที่ 4.17 (ข) แสดงช่วงค่า RH และ RL ที่ช่วง Vcc on และ Vcc off ช่วงต่างๆ

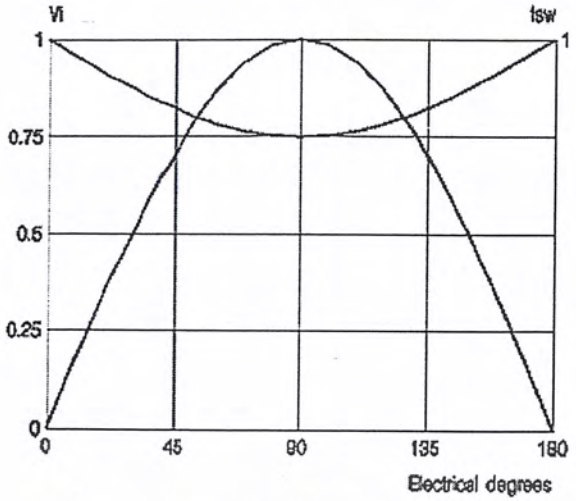


รูปที่ 4.18 (ก) แสดงการต่อใช้งานที่ขา 17



รูปที่ 4.18 (ข) แสดงการ modulation ความถี่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.18 (ค) แสดงกราฟมุมระหว่าง Vi และ fsw

$$\frac{\Delta f_{SW}}{f_{SW}} = K\frac{V_{IPk}\cdot R_{osc}}{V_{RMS}\cdot R_{fm}}$$

เมื่อ R_{fm} คือ Programming current resistance

K คือ ค่าคงที่ ค่า = 0.1157

ขา 17 ROSC (Oscillator resistor)

ขานี้จะต่อตัวต้านทานที่ต่อภายนอกกับ Ground โดยมีการเก็บและคายค่าประจุกระแส ที่ขา 18 จะมีแรงจากคาปาซิเตอร์(Cosc) โดยเทียบกับแรงดันที่ขา 17 คือ 1.28 V (ดูรูปที่ 4.18 ก./ข.)

โดยสามารถคำนวณค่า Charge กระแส(Ic) ดังนี้

$$I_C = 10\cdot\frac{1.28V}{R_{OSC}}$$

และกระแส Discharge (Id) ดังนี้

$$I_d = 200\cdot\frac{1.28V}{R_{OSC}}$$

โดยมีค่ากระแส Discharge (Id) ค่าสูงสุดเท่ากับ 12 mA นั่นหมายความว่าตัวต้านทานค่าต่ำสุดมีค่าเท่ากับ 22 kΩ

ขา 18 COSC (Oscillator capacitor)

ขานี้จะต่อคาปาซิเตอร์(รูปที่ 4.18 ก./ข.) ต่อระหว่างขาและGround เพื่อกำหนดช่วง Full time และ rise time ของ Sawtooth OSC ตามที่กำหนดความสัมพันธ์ที่ขา 17

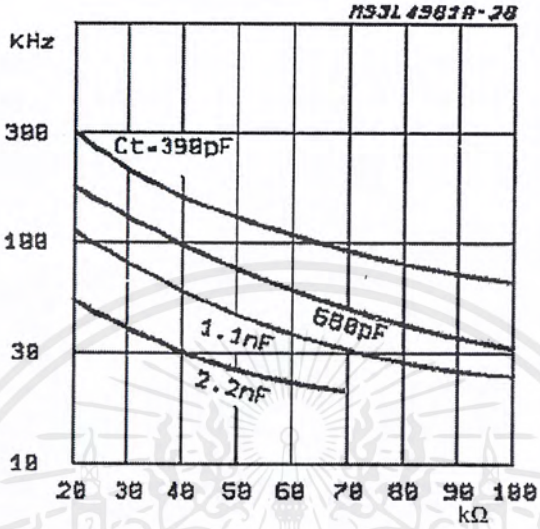
ซึ่งสามารถหาคาบเวลาได้ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$T = t_r + t_f = V_{srp} \cdot C_{OSC} \frac{1}{I_C} + \frac{1}{I_d}$$

และความถี่สวิตชิ่งคือ

$$f_{sw} = \frac{1}{T} \cdot \frac{2.44}{R_{OSC} \cdot C_{OSC}}$$



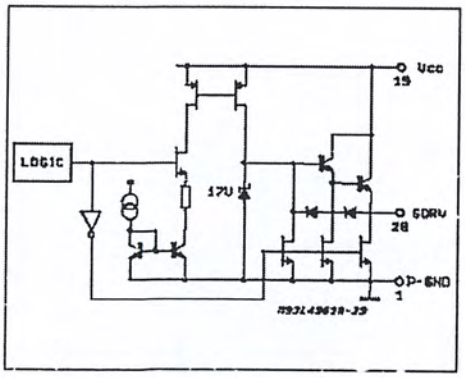
รูปที่ 4.19 Oscillator Diagram

ขา 19 VCC (Supply voltage input)

ก่อนการ Turn on threshold ค่ากระแสจะมีค่าต่ำมากเมื่อวงจรอยู่ในสถานะ Under Voltage ด้วย Hyteresis ที่ 5.5 V และแรงดันภายในเป็น 25 V ซึ่งแน่นอนว่า IC จะทำงานอยู่ในช่วงที่ปลอดภัย

ขา 20 GDRV (Gate driver output)

ขานี้จะมีแรงดันภายในถึง 15 V (รูปที่ 4.20) เพื่อหลีกเลี่ยงปัญหากับ Gate Oxide Output ของ Drive ปกติจะต่ออยู่กับขา gate ของอุปกรณ์ Power โดยผ่านค่าความต้านทานค่าประมาณ 5-50 โอห์ม เพื่อป้องกัน Overshoot และการ Control $\frac{di}{dt}$ ของสวิตซ์



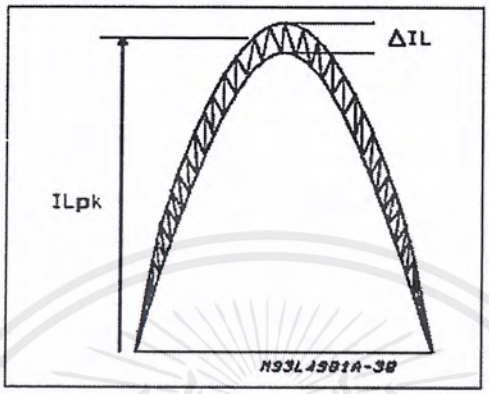
รูปที่ 4.20 แสดงวงจรภายใน ในส่วนของ Gate driver output

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.3 การออกแบบในภาค กำลัง

Inductor

ในการออกแบบ Inductor นั้นนำไปสู่ความสัมพันธ์ที่เกี่ยวข้องกับพารามิเตอร์ซึ่งทำให้เกิดความแตกต่างโดยกำหนดจากพารามิเตอร์นั้นๆ



รูปที่ 4.21 แสดงพลังงานสะสมใน Inductor ในแต่ละช่วง Switching cycle

ในการทำงานในโหมดต่อเนื่องนั้น พลังงานสะสมใน Inductor ในแต่ละช่วง Switching cycle โดยจะไม่สมบรูณ์เนื่องจากการถ่ายเทของเอาท์พุท(bulk) คาปาซิเตอร์ ในการสะสมพลังงานขนาดเล็กๆของวงจรแม่เหล็ก ซึ่งมันจะลดตามกระแสอินพุทริปเปิ้ล โดยมีค่าน้อยๆและจะลดลงตามขนาดของตังกรองอินพุท(Input Filter) ดูรูปที่ 4.21

โดยพลังงานจะถ่ายเทจาก Inductor ไปสู่ Bulk Capacitor ในรอบแต่ละรอบ มีสมการดังนี้

$$E_{cycle} = \frac{1}{2} L \cdot \left(I_{LP}{}^2 \pm I_{Lv}{}^2 \right) = L \cdot I_{Lt} \cdot \Delta I_L$$

เพราะว่าค่ากระแส(i_{Lt})จะเกิดขึ้นในช่วงพริบตาเดียวซึ่งจะเกิดขึ้นในลักษณะเดียวกับค่ากระแสเฉลี่ยของ Inductor ในหนึ่งรอบ

$$I_{Lpk} = \sqrt{2} \cdot I_{Lrms}$$

เมื่อ

$$I_{rms} = I_{Lrms} = \frac{P_I}{V_{Irms}}$$

$$P_I = \frac{P_O}{\eta}$$

Input Bridge

Diode Bridge input จะออกแบบแบบ slow recovery ซึ่งราคาจะต่ำ ซึ่งในการพิจารณาในการเลือกอุปกรณ์จะต้องพิจารณาค่ากระแสและอุณหภูมิ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Input Capacitor

ตัวคาปาซิเตอร์อินพุทจะเป็นตัวช่วย โดยบังคับแรงดันริปเปิ้ล ระหว่างช่วง Turn on ของmosfet โดยค่าแรงดันริปเปิ้ลสูงสุดที่ความถี่สูงสุดสามารถหาค่าคาปาซิเตอร์ที่อินพุทได้ดังนี้

$$C_{in} = Kr \frac{I_{rms}}{2\pi \cdot f_{sw} \cdot r \cdot V_{Irms}}$$

เมื่อ Kr คือ ค่าสปส.ของกระแสริปเปิ้ล

r = 0.02-0.08

โดยที่ Cin ค่า max จะเป็นตัวกำหนดในการเบี่ยงเบนของกระแสได้

Output Bulk Capacitor

ในการเลือก Co จะขึ้นอยู่กับพารามิเตอร์หลายอย่างที่เกี่ยวข้อง ซึ่งจะมีผลกระทบกับคุณสมบัติของ filter

แรงดัน DC output และ Overvoltage กำลังด้านเอาท์พุท และแรงดันริปเปิ้ลเป็นพารามิเตอร์อันดับแรกในการพิจารณา เมื่อ ค่า Ripple RMS Current ของคาปาซิเตอร์ $I_{C(2f)rms} = \frac{I_o}{\sqrt{2}}$ ดังนั้น ΔVo จะเท่ากับ

$$\Delta V_o = I_o \cdot \sqrt{\frac{1}{(2\pi \cdot 2f \cdot c_o)} + (ESR)^2}$$

$$C_o = \frac{I_o}{2\pi \cdot 2f \cdot \Delta V_o}$$

$$= \frac{P_o}{2\pi \cdot 2f \cdot \Delta V_o \cdot V_o}$$

โดยปกติค่า ESR จะไม่มีผลกระทบกับค่าพารามิเตอร์ของริปเปิ้ลแต่จะเกี่ยวข้องกันในเรื่องของความถี่ในการ rectifier และความถี่ของสวิตช์

ค่า Co สามารถหาได้จากค่าพลังงานดังนี้

$$C_o = \frac{2 \cdot P_o \cdot t_{HOLD}}{V_{O_min}^{\ 2} \pm V_{OP_min}^{\ 2}}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Power Switch

มอสเฟท เป็น Active switch ที่มีจุดเด่นในด้านความถี่โดยเราจะเลือกค่าตามแรงดัน boost ที่ใช้ และการส่งกำลังซึ่งจะมีกำลังสูญเสียเกิดขึ้น 2 ส่วนในมอสเฟทคือ conduction losses และ SW. losses ซึ่งสามารถหาค่า power losses ได้ดังนี้

$$P_{on-MOS} = I_{Qrms}{}^2 R_{dson}$$

โดยแยกเป็น 2 ส่วนดังนี้

$$P_{capaciitive} = 5 \cdot c_{oss} \cdot V_O{}^{1.5} + \frac{1}{2} C_{ext} \cdot V_O{}^2$$

$$P_{crossover} = V_O \cdot I_{rms} \cdot f_{sw} \cdot P_{rec}$$

ทั้งนี้นั้นกำลังสูญเสียในส่วนของ Crossover สามารถโดยการใส่วงจร Snubber ได้

Buck-Boost Diode

Buck-Boost Diode จะต้องเลือกให้สามารถที่จะทนแรงดันเอาท์พุทและกระแสได้ ยิ่งไปกว่านั้นจะต้องมีความเร็วเพื่อลดการสูญเสียของสวิตช์ (Switching losses)

โดยการสูญเสียของสวิตช์สามารถแบ่งออกเป็น 2 ลักษณะ คือ Conduction losses และ switching losses

โดย Conduction losses สามารถประมาณได้ดังนี้

$$P_{Con} = V_{to} \cdot I_O + R_d \cdot I_{Drms}{}^2$$

เมื่อ

Vto = แรงดัน threshold

Rd = Differential resistance

Sense Resistor

Sense Resistor เป็นตัวผลิตสัญญาณกระแสป้อนกลับและวงจรป้องกันกระแสเกิน เพื่อเป็นบรรทัดฐานที่ง่าย เพราะฉะนั้นเราจึงเลือก Rsense ที่ดีและค่าต่ำสุดเพื่อที่จะไม่มีผลกับ noise ratio

ตัวอย่างที่ใช้ปฏิบัติ

จุดมุ่งหมายของการออกแบบ วงจร PFC

a) แรงดันอินพุทอยู่ในย่าน V_{irms} = 88V-264V
b) แรงดันเอาท์พุท = 400 V
c) กำลังทางด้านเอาท์พุท = 200 W

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

d) full load output ripple = $\pm$ 8 V

e) ค่าสูงสุดของ Over voltage = 50 V

f) ความถี่สวิตช์ = 120 kHz

g) กระแสริปเปิ้ลที่ความเหนี่ยวนำสูงสุด = 35% ของ I_{Lrms}

h) ประสิทธิภาพต่ำสุด(ที่ Vo ต่ำสุด) = 90%

ในการเลือกวัสดุที่ใช้ควรเลือกให้สอดคล้องกับอุปกรณ์ซึ่งจะมีความสำคัญมากซึ่งจะแสดงรายละเอียดและตัวอย่างดังนี้

Power Mosfet

มอสเฟท จะต้องทนแรงดันได้ต่ำสุด ที่ 500 V ($V_{DSS} + V_O + V_{OUT} + \Delta V_{OUT} + V_{M\arg}$) ซึ่งการสูญเสียจะมีความสัมพันธ์กับ R_{dson} ซึ่งจะเป็นพารามิเตอร์ที่สำคัญมาก โดยค่าการสูญเสียสูงสุดเมื่อทำงานที่ค่า Vo ต่ำสุดแสดงได้ดังนี้

$$\begin{aligned} P_{on-MOS\max} &= I_{Qrms}{}^{2}\max \cdot R_{on} \\ &= 2.15 \cdot 0.8 \\ &= 3.7 \quad W \end{aligned}$$

และค่า Switching losses สามารถจะประมาณได้โดย

$$P_{\cos sover} = t_{cr} \cdot V_O \cdot f_{sw} \cdot I_{rms}$$

ซึ่งค่าของ Boost diode recovery จะมีผลกับการทำงานและเพื่อให้ง่ายต่อการคำนวณ เราจะใช้ค่ากระแส 2 ช่วงเวลา (ที่ turn-0n) ซึ่งจะได้ค่า 1.5 เท่าของค่าจริง

$$\begin{aligned} P_{crossover} &= 1.5 \cdot 40ns \cdot 400v \cdot 100kHz \cdot 2.53A \\ &= 6 \quad W \end{aligned}$$

และค่า Capacitive losses ที่ช่วง turn-on จะเป็น

$$\begin{aligned} P_{capacitive} &= 5 \cdot C_{oss} \cdot V_O{}^{1.5} + \frac{1}{2} C_{ext} \cdot V_O{}^{2} \cdot f_{sw} \\ &= 4 \quad W \end{aligned}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สามารถลดการสูญเสียของสวิตช์โดยใช้ Snubber (RCD)

Boost Diode

การทำงานในโหมดต่อเนื่องนั้น ช่วงเวลา Turn-on ของมอสเฟท Boost diode จะมีช่วงคืนตัวน้อยจึงต้องเลือกใช้ไดโอดที่มีเวลาคืนตัวเร็ว โดยต้องสอดคล้องกับพารามิเตอร์ดังนี้ด้วย

ค่าพลังงานสูญเสียซึ่งเป็นค่าส่วนใหญ่ของ Conduction losses

$$\begin{aligned} P_D &= V_{to} \cdot I_O + R_d \cdot I_{drms}^{\ 2} \\ &= 1.15V \cdot 0.5A + 0.07\Omega \cdot 1.28A^2 \\ &= 0.7 \quad W \end{aligned}$$

เมื่อ Vto และ Rd เป็นพารามิเตอร์ของไดโอด

Booster inductor

ในการออกแบบตัวเหนี่ยวนำ(L) จะต้องคำนึงถึงค่ากระแสริปเปิ้ล ซึ่งจะทำให้ได้ค่าตัวเหนี่ยวนำต่ำสุด(Lmin)

Output Filter Capacitor

ค่า Output Filter Capacitor เราจะกำหนดโดยดูจาก ΔVo

Input Filter Capacitor

โดยจะเลือก Input Filter Capacitor ที่ทำให้ค่าริปเปิ้ลที่ความถี่สูงมีความเรียบขึ้นซึ่งจะทำให้วงจรทำงานได้ดีขึ้น

Sense Resistor

จะใช้ตัวต้านทานต่อขนานกัน 3 ตัว (0.22Ω) เพื่อให้ได้ผลรวม Rs = 73 mΩ ซึ่งจะทำให้สัญญาณของระบบดีขึ้นเมื่อเกิดกำลังงานสูญเสียสูงสุด

$$\begin{aligned} P_{Rs} &= R_S\left(I_{Lrms}^{\ 2} + I_{Lhfrms}^{\ 2}\right) \\ &= 0.46 \quad W \end{aligned}$$

Supply Circuit

เราใช้วงจร Regulate จ่ายไฟกระแสตรง 18 Vdc โดยตรงให้ ไอซี โดยป้อนเข้าที่ขา 19 ของไอซี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่5

การออกแบบ และ สร้างวงจร PFC

5.1 บทนำ

ในบทนี้จะนำเสนอการออกแบบการคำนวณวงจร PFC โดยละเอียด โดยอธิบายการคำนวณในแต่ละอุปกรณ์ของวงจร ซึ่งประกอบด้วยรายละเอียดหลักๆ 2 ส่วนคือ ส่วนกำลังและส่วนควบคุม โดยในส่วนควบคุมเราได้มีการประยุกต์โดยนำไอซี L4981A ซึ่งใช้ในการแก้เพาเวอร์แฟคเตอร์ของวงจร Boost Converter นำมาควบคุมการทำงานแก้เพาเวอร์แฟคเตอร์ของวงจร Buck-Boost Converter โดยมีการย้ายตำแหน่งอุปกรณ์และจะแสดงวงจรโดยรวมในตอนท้ายของบท

5.2 การออกแบบวงจรกำลัง

พิกัดของวงจรที่จะสร้างขึ้นคือ

- ศักดาไฟฟ้าที่ทางเข้า V1 = 88 Vac ถึง 264 Vac 50 Hz
- กำลังไฟฟ้าที่ทางออก Pout = 500 W
- ศักดาไฟฟ้าที่ทางออก Vout = 400 Vdc
- ความถี่ที่ใช้งาน f_{sw} = 80 kHz
- ค่ากระแสกระเพื่อม $\Delta I_L = 23\ \%$
- ค่าแรงดันกระเพื่อมที่โหลดเต็มพิกัด $\Delta V_{ripple} = \pm 8\ \%$

ส่วนประกอบในภาค กำลัง

Input Diode Bridge

Input Diode Bridge, D1. สามารถใช้กับชนิด Slow recovery โดยใช้ค่าสูงสุดของแรงดัน Reverse breakdown, ค่าเฉลี่ยสูงสุดของกระแส forward , ค่าสูงสุดของกระแสกระชากและอุณหภูมิเป็นเกณฑ์ในการพิจารณา

Maximum peak reverse voltage

$$V_{prv} = V_{1rms(\max)}\left(\sqrt{2}\right)(1.2)\,(safty\ margin)$$
$$= (246v)\left(\sqrt{2}\right)(1.2) = 448 \quad v$$

เลือกใช้ พิกัด 600 V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Maximum forward average current

$$I_{rms(\max)} = \frac{P_{out}}{(V_{rms(\min)})(\eta)} = \frac{500}{(88)(0.9)} = 6.31 \quad A$$

$$I_{fave} = \frac{I_{rms(\max)}\sqrt{2}}{\pi} = \frac{(6.31)(\sqrt{2})}{\pi} = 2.84 \quad A$$

อุณหภูมิจะพิจารณาจากกระแส I_{fave} โดยจะใช้ค่าที่มีค่ามากกว่าค่าที่คำนวณเพื่อนำไปพิจารณาหา heat sink ต่อไป

Maximum Surge Current

คือกระแสตอนเริ่มสตาร์ท โดยกำหนดจากขนาดของคาปาซิเตอร์ตัวที่ใหญ่ที่สุด,C6.ที่ Output

Input Fuse

Input Fuse, F1, ควรเปิดในระหว่างที่กระแสมีค่าเกินพิกัด โดยพิจารณาจากค่ากระแสต่อเนื่องสูงสุด(6.3 Arms) ที่แรงดันต่ำสุด (88 V)

เลือกฟิวส์ขนาด 10 A 250 VAC

Input Filter Capacitor

คาปาซิเตอร์ที่ใช้กรองด้านอินพุท, C3, จะอยู่ระหว่างไดโอดบริดจ์ด้านอินพุท โดยมีสมการด้านคำนวณดังนี้

$$C_{in} \rangle Kr\left(\frac{I_{rms}}{2\pi(f_{sw})(\gamma)(V_{rms(\min)})}\right)$$

$$= 0.25\left(\frac{6.31}{2 \cdot \pi \cdot 80k \cdot 0.06 \cdot 88}\right) = 0.59 \quad \mu F$$

เมื่อ : Kr คือ สปส.ของกระแสกระเพื่อม เมื่อ $\gamma = 0.02 - 0.08$

เลือก ค่า 0.68 μF

Output Capacitor

โดยต้องพิจารณาถึงค่าของแรงดันเอาท์พุทริปเปิ้ล โดยกำหนดที่ $\Delta V_{ripple} = \pm 8$ V

$$C_{out} = \frac{P_{OUT}}{2\pi \cdot 2f \cdot \Delta V_O \cdot V_O}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$= \frac{500}{2\pi \cdot 120 \cdot 8 \cdot 400}$$
$$= 207 \quad \mu F$$

เลือก ค่าคาปาซิเตอร์ค่า 330 μF

โดยที่คาปาซิเตอร์ทางด้านเอาท์พุทต้องพิจารณาถึงพิกัดแรงดัน V_{CAP} ด้วย

$$V_{CAP} \rangle V_{OUT} + \Delta V_{RIPPLE} + V_{MARGIN}$$
$$= 400 + 8 + 40 = 448\ v$$

เลือกพิกัดแรงดันของคาปาซิเตอร์ที่เอาท์พุทเท่ากัด 450 V

ดังนั้นเลือกคาปาซิเตอร์ทางด้านเอาท์พุทค่า 207 μF 450 VDC

Power Mosfet

Power Mosfet, Q1. โดยจะใช้ทำงานเป็นสวิตช์ความถี่สูง โดยสามารถรับได้โดยตรงจากการควบคุม

Voltage Rating

$$B_{VDSS} \rangle V_{OUT} + \Delta V_{RIPPLE} + V_{MAGIN}$$
$$= 400 + 8 + 40$$
$$= 448 \quad v$$

เลือกพิกัดแรงดันของเพาเวอร์มอสเฟทที่ค่า 500 V

Power Rating

พารามิเตอร์หลักๆที่จะพิจารณาคือ $R_{DS(ON)}$และ คุณสมบัติของอุณหภูมิ โดยการสูญเสียหลักคืออยู่ที่ การสูญเสียของสวิทชิ่ง โดยที่สามารถแยกการสูญเสียเป็น 2 ส่วนใหญ่ๆคือ

1. Capacitive losses
2. Crossover losses

โดยการสูญเสียทั้ง 2 อย่าง นั้นขึ้นอยู่กับค่าของ กระแส $\frac{di}{dt}$ ค่าสูงสุด (ในสภาวะเปิด) ของการสูญเสียของเพาเวอร์มอสเฟทสามารถคำนวณได้ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$I_{QRMS(MAX)} = \frac{P_{OUT}}{\eta \cdot \sqrt{2} \cdot V_{IRMS(MIN)}} \cdot \sqrt{2 - \frac{16 \cdot \sqrt{2} \cdot V_{IRMS(MIN)}}{3\pi \cdot V_{OUT}}}$$

$$= \frac{500}{0.9 \cdot \sqrt{2} \cdot 88} \cdot \sqrt{2 - \frac{16 \cdot \sqrt{2} \cdot 88}{3\pi \cdot 400}}$$

$$= 5.42 \quad A$$

$$P_{onMAX} = I_{QRMS}{}^2 \max \cdot R_{DS(on)} \max$$

$$= 5.42^2 \cdot 0.54$$

$$= 15.86 \quad W$$

เมื่อ $R_{DS(on)}$ มีค่าเท่ากับ 0.54 ที่อุณหภูมิ 100 องศาเซลเซียส

$$P_{Capacitive} = 5 \cdot C_{OSS} \cdot V_{OUT}{}^{1.5} + \frac{1}{2} \cdot C_{EXT} \cdot V_{OUT}{}^2 \cdot f_{SW}$$

$$= 5 \cdot 650 \cdot 10^{-12} \cdot 400^{1.5} + \frac{1}{2} \cdot 100 \cdot 10^{-12} \cdot 400^2 \cdot 80 \cdot 10^3$$

$$= 2.7 \quad W$$

เมื่อ $C_{OSS} = 650 \quad \rho F$

$C_{EXT} = 100 \quad \rho F$

$$P_{CROSSOVER} = V_{OUT} \cdot I_{QRMS} \cdot f_{SW} \cdot t_{CR} + P_{REC}$$

$$= 400 \cdot 5.42 \cdot 80k \cdot 40ns + 1.5$$

$$= 8.43 \quad W$$

เมื่อ t_{CR} คือ Cross Over Time

P_{REC} คือ Boost Diode Recovery Power Losses

ชุดป้องกันมอสเฟทใช้ RCD Snubber ซึ่งมีการคำนวณดังนี้

$$C_{11} = \frac{I_{Q1pk} \cdot t_{rise}}{\Delta V_{OUT}}$$

$$= \frac{8.92 \cdot 40ns}{400}$$

$$= 892 \quad pF$$

เลือกคาปาซิเตอร์ของวงจร Snubber, C_{11} ค่า 820 pF 1000 VDC

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยมี ค่าความต้านทาน R23-24 เป็นตัวสลายพลังงานที่สะสมอยู่ใน Snubber Capacitor ในช่วงทำงานของเพาเวอร์มอสเฟทโดยที่ค่าคาปาซิเตอร์ควรจะมีการคายประจุได้อย่างเต็มที่ระหว่างช่วงของลูกคลื่นสวิตช์ โดยที่

$$\begin{aligned} R &\leq \frac{1}{10} \cdot \frac{1}{f_{SW} \cdot C_{11}} \\ &= \frac{1}{10 \cdot 80k \cdot 820\rho F} \\ &= 1524 \quad \Omega \end{aligned}$$

โดยที่สามารถหากำลังในการสลายพลังงานในตัวความต้านทาน ซึ่งคำนวณได้ดังนี้

$$\begin{aligned} P_{diss} &= \frac{1}{2} \cdot C_{11} \cdot V_{OUT}{}^2 \cdot f_{SW} \\ &= \frac{1}{2} \cdot 820\rho F \cdot 400^2 \cdot 80k \\ &= 5.25 \quad W \end{aligned}$$

เลือกตัวความต้านทาน R23-24 ค่า 1k Ω 3 W

Buck-Boost Diode

เกณฑ์ในการเลือก Buck-Boost Diode, D2 ต้องคำนึงถึงค่า Repetitive Peak Reverse Breakdown Voltage (V_{Rrms}), ค่าเฉลี่ยของกระแส forward (I_{fave}) Reverse Recovery time (t_{rr}) และอุณหภูมิ

Voltage Rating

$$\begin{aligned} V_{Rrms} &\rangle V_{OUT} + \Delta V_{ripple} + V_{margin} \\ &= 400 + 8 + 40 \\ &= 448 \quad V \end{aligned}$$

เลือกที่พิกัดแรงดัน 500 V

Current Rating

ค่ากำลังสูญเสียใน Buck-Boost Diode จะเกิดจากการสูญเสียในการสับสวิตช์ (Switching losses) โดยที่ Switching losses จะเกี่ยวกับค่า Recovery Time (t_{rr}) และแรงดันเอาท์พุท (V_{OUT})

กรณีแรงดันออก 400 โวลท์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$I_{OUT} = \frac{P_{OUT}}{V_{OUT}} = \frac{500}{400} = 1.25 \quad A$$

$$I_{Drms} = \frac{P_{in}}{\sqrt{2} \cdot V_{inrms(\min)}} \cdot \sqrt{\frac{16 \cdot \sqrt{2} \cdot V_{in\ rms(\min)}}{3 \cdot \pi \cdot V_{OUT}}}$$
$$= 3.24 \quad A$$

$$P_{Cond} = V_{to} \cdot I_{OUT} + I_{Drms}^{\ 2} \cdot R_D$$
$$= 1.15 \cdot 1.25 + 3.24^2 \cdot 0.043$$
$$= 1.89 \quad W$$

เมื่อ Vto = 1.15 V

Rd = 0.043 Ω

Inductor

Inductor, T1, สามารถออกแบบโดยการเริ่มจากการหาค่าความเหนี่ยวนำต่ำสุด (L_{MIN}) โดยจำกัดด้วยกระแสกระเพื่อม (Current Ripple), ต่อมาก็หาจำนวนรอบ (N), ความยาวของช่องอากาศ (Air Gab) ของแกนเฟอร์ไรท์, ขนาดและชนิดของขนาดกำลังและสุดท้ายหาขนาดและชนิดของขดลวด

ในโหมดต่อเนื่องนั้นจะเป็นค่าใกล้เคียง โดยจะมีค่าแฟคเตอร์ของกระแสริปเปิ้ล(Kr) เข้ามาเกี่ยวข้อง โดยจะกำหนดอยู่ในช่วง 10% - 35% จากการออกแบบค่าสูงสุดของกระแสริปเปิ้ลจะเกิดขึ้นเมื่อแรงดันอินพุทมีค่าเท่ากับ $\frac{V_{OUT}}{2}$

$$\Delta I_{L\max} = \frac{V_{OUT}}{4 \cdot f_{sw} \cdot L}$$

$$= \frac{400}{4 \cdot 80k \cdot 0.5mH}$$

$$= 2.5 \quad A$$

$$Occurs\ at\ V_{inpk} = \frac{V_{OUT}}{2} = 200 \quad V;\ V_{inrms} = 141 \quad V$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\Delta I_L = \frac{V_{inpk}\left(V_{out} - V_{inpk}\right)}{V_{out} \cdot f_{sw} \cdot L}$$

$$Kr = \frac{\Delta I_L}{2 \cdot I_{Lpk}}; I_{Lpk} = \sqrt{2} \cdot I_{Lrms} = \frac{\sqrt{2} \cdot P_{in}}{V_{inrms}}$$

โดยที่ค่าความเหนี่ยวนำต่ำสุดสามารถคำนวณได้ดังนี้

$$L_{\min} = \frac{V_{out}}{4 \cdot f_{sw} \cdot \Delta I_{L\max}}$$

$$= \frac{400}{4 \cdot 80k \cdot 2.5}$$

$$= 0.5 \quad mH$$

จำนวนรอบสามารถคำนวณได้ดังนี้

$$N = \frac{L \cdot I_{Lpk}}{A_{eff} \cdot B_{\max}}$$

$$= \frac{0.5mH \cdot 8.92mA}{211 \cdot 10^{-6} m^2 \cdot 0.36T}$$

$$= 59 \quad Turns$$

เมื่อ

L คือ ค่าความเหนี่ยวนำที่คำนวณจากค่าจำกัดของกระแสริปเปิ้ล, ΔIL

I_{Lpk} คือ ค่ากระแสที่ทำงาน ณ แรงดันอินพุทต่ำสุด ที่ 88 V

A_{eff} คือ พื้นที่หน้าตัดของแกนเหล็ก

B_{max} คือ ความหนาแน่นสูงสุดของแกนเหล็ก

โดยช่วงว่างอากาศ จะหาได้โดยจากการเทียบตาราง AL.value vs. gap โดยต้องพิจารณาค่าความเหนี่ยวนำ จำนวนรอบและชนิดแกนเหล็ก ซึ่งจะได้ค่าช่วงว่างอากาศมีค่าเท่ากับ 2.8 mm ส่วนปริมาตรของแกนเหล็กขนาดต่ำสุดจะแปรเปลี่ยนไปตามสมการดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$Volume \geq k \cdot L\left[I_{Lpk} \cdot \left(I_{Lpk} + \Delta I_L\right)\right]$$

เมื่อ K คือ พลังงานคงที่ซึ่งจะขึ้นอยู่กับอัตราส่วนของความยาว gap และความยาว Effective (leff)

$$k = 11.5 \cdot \frac{l_{eff}}{l_{gap}}$$
$$= 11.5 \cdot \frac{11.4}{2.8}$$
$$= 468$$

∴ เราจะสามารถคำนวณหาค่าปริมาตรต่ำสุดของแกนเหล็กได้ดังนี้

$$Volume \geq 468 \cdot 0.5mH\left[8.92(8.92 + 2.5)\right]$$
$$= 23.8 \quad cm^3$$

เลือกแกน ETD 49 ซึ่งมีคุณสมบัติดังนี้

Effective Core Volume	24	cm^3
Effective Magnetic Path Length	114	mm
Effective Core Area	211	mm^2
Effective Cross Section Area	231	mm^2
Winding Area Of Core	373	mm^2

ขนาดและขดลวดที่ใช้ ต้องคำนึงถึงค่าสูงสุดของความสูญเสียทางขดลวด (Copper losses) จากการออกแบบเลือกขดลวดเบอร์ 30 AWG ตีเกลียว 50 รอบ

5.3 การออกแบบวงจรควบคุม

รายละเอียดของ IC เบอร์ L4981A และส่วนควบคุม

PIN 1 P-GND (Power Stage Ground)

ขานี้จะอยู่ระหว่างแหล่งจ่าย(Source) และเพาเวอร์มอสเฟท, Q1

PIN 2 IPK (Over Current Protect Input)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เป็นขาที่ป้องกันกระแสเกินอินพุท โดยมี ความต้านทาน R12 และ R13 ซึ่งสามารถคำนวณได้ดังนี้

$$I_{aux} = \frac{V_{ref}}{R_{13}}$$
$$= \frac{5.1}{5.1k}$$
$$= 1 \quad mA$$
$$R_{12} = \frac{R_{sense} \cdot I_{peak}}{I_{aux}}$$
$$= \frac{0.033 \cdot 17}{0.001}$$
$$= 561 \quad \Omega$$

เลือก R12 = 562 Ω, R13 = 5.1 kΩ

โดยกำหนดให้ I_{peak} = 17 A และ R_{sence} = 0.033 Ω

PIN 3 OVP (Overvoltage Protection Input)

เป็นขาที่ใช้ป้องกันแรงดันเกิน โดยใช้วิธีการแบ่งแรงดัน โดยแบ่งแรงดันที่คาปาซิเตอร์, C6 และที่ตัวความต้านทาน R11, R21 และ R22 ซึ่งสามารถคำนวณได้ดังนี้

$$\frac{R_{21} + R_{22}}{R_{11}} = \frac{V_{out} + \Delta V_{out}}{V_{ref}} - 1$$
$$\frac{909k + 909k}{21k} = \frac{400 + 47}{5.1} - 1$$

เมื่อ ΔV_{out} = 47 V

PIN 4 IAC (AC Current Input)

โดยขานี้จะต่อผ่านตัวความต้านทาน R1 และ R2 ไป Rectifier แล้วไปขับ Multiplier ด้วยกระแส I_{IAC}

$$I_{IAC}(88V) = \frac{V_{inpk}}{R_1 + R_2}$$
$$= \frac{\sqrt{2} \cdot 88}{806k + 806k}$$
$$= 77 \quad \mu A$$
$$I_{IAC}(264V) = \frac{\sqrt{2} \cdot 264}{806k + 806k}$$
$$= 231\mu A$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดังนั้น I_{IAC} จะอยู่ระหว่างค่ากระแสที่ 77 μA ถึง 231 μA ซึ่งจะมีผลระหว่าง I_{IAC} กับกระแส Multiplier Output ซึ่งก็คือในส่วนของขา 8 (MULT OUT) นั่นเอง

PIN 5 CA-OUT (Current Amplifier Output)

กระแส Amplifier Output จะส่งสัญญาณไปเปรียบเทียบ PWM โดยมีการต่อกับ Loop Gain ซึ่งเป็นกระบวนการ Multiplier Output ของสัญญาณกระแสของตัวเหนี่ยวนำโดยต้องห่วงเรื่องปัญหาของการ Oscillation, การตกลงของค่าเหนี่ยวนำสูงสุด (V_{OUT}/L) ซึ่งควรต่ำกว่า Slop ของ Oscillator ($V_{SRP}*f_{SW}$) โดยมีค่า Gain ของกระแส Amplifier ความถี่สูงซึ่งสามารถคำนวณได้ดังนี้

$$G_{ca} = \frac{R_{15}}{R_{14}} + 1 \leq \frac{V_{srp} \cdot f_{sw} \cdot L}{V_{out} \cdot R_{sense}}$$

$$= \frac{5 \cdot 80k \cdot 0.5m}{400 \cdot 0.033}$$

$$= 15.15$$

เมื่อ

V_{SRP} คือแรงดัน Oscillator Ramp Peak-Peak

G_{CA} คือ ค่ากระแส Amplifier Gain

R_{SENSE} คือการต่อขนานของตัวต้านทาน R30-R32

ดังนั้น ใช้ R14 = R16 = 2.7 KΩ และ R15 = 36 KΩ

การหาค่า Compensation capacitor, C9, เพื่อใช้ในการพิจารณาลูปเปิดของ Gain กระแส, หาได้โดยอัตราส่วนของแรงดันระหว่างตัวต้านทานที่ใช้ ตรวจจับกับกระแสAmplifier แรงดันเอาท์พุท โดยมีความถี่ Crossover ดังนี้

$$f_c = \frac{f_{sw}}{2\pi}$$

$$= \frac{80k}{2\pi}$$

$$= 12.7\ kHz$$

โดยค่า Phase Margin ที่ดีที่ความถี่ศูนย์ (Zero frequency) ควรมีค่าประมาณ $f_c/2$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$f_z = \frac{f_{sw}}{4\pi} = \frac{1}{2\pi \cdot C_9 \cdot R_{15}}$$

เมื่อ

$$C_9 = \frac{2}{R_{15} \cdot f_{sw}} = 692\ \rho F$$

เลือก ใช้ค่า 680 pF

PIN 6 LFF (Load Feed-Forward input)

ขานี้จะยอมให้มีการเปลี่ยนแปลงค่ากระแส Multiplier Output ตามการเปลี่ยนแปลงของโหลด ในระดับที่มีการแก้ไขโหลดในสภาวะเวลา Transient ซึ่งไม่ควรใช้ฟังก์ชั่นนี้ โดยขานี้ต้องต่อกับขา Vref

PIN 7 VRMS (Voltage input)

ในฟังก์ชั่นนี้จะเป็นประโยชน์มากสำหรับการใช้ที่หลากหลายอินพุทเข้า โดยจะไปชดเชยการเปลี่ยนแปลงที่เกี่ยวกับการเปลี่ยนแปลงของแรงดันอินพุทโดยขานี้จะต่อผ่านวงจรด้านนอก ไปถึงวงจร Rectifier ด้านอินพุทโดยที่การควบคุมได้เมื่อแรงดันที่ดีควรจะควบคุม Vrms ในระดับแรงดัน 1.5 V ถึง 5.5 V

$$V_{rmspin7} = \left[\frac{R_3}{R_3 + R_4 + R_5 + R_6}\right] V_{rms\ \ line}$$

$$f_{pole1} = \frac{1}{(R_5 + R_6) \cdot C_2} = 3.66\ \ Hz$$

$$f_{pole2} = \frac{1}{R_4 \cdot R_1} = 12.6\ \ Hz$$

เมื่อ

R3 = 33 kΩ, R4 = 360 kΩ, R5 = R6 = 620 kΩ

C1 = C2 = 220 nF

ที่ 88 Vrms, Vpin 7 = 1.78 Vrms

264 Vrms, Vpin 7 = 5.33 Vrms

Gain ที่ 2f (100 Hz) = -80 dB

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำหรับการทำงานหลัก, โดยที่ขานี้สามารถต่อตรงกับ Vref (pin11) หรือ Ground และวงจร RC สามารถเอาออกได้ ถ้ามีการต่อลงดิน (ground) ค่า Vrms Multiplier input ที่ 1.5 V

PIN 8 MULT-OUT (Output Of The Multiplier)

ขานี้จะช่วยให้กระแส Imlut ใช้ กำหนดรงดันอ้างอิง สำหรับกระแส Amplifier โดย ขา 8 จะต่อกับ R14 กับ R30-32 เมื่อค่ากระแสเหนี่ยวนำ (IL) ผลรวมของสัญญาณแรงดัน Error ที่กระแส Amplifier non inverting input

โดยมีสมการ Multiplier Output Current ดังนี้

$$I_{mult} = 0.37 \cdot I_{AC} \cdot \frac{(V_{va-out} - 1.28V) \cdot (0.8 \cdot V_{Iff} - 1.28V)}{V_{rms}^{\ 2}}$$

$$= I_{IAC} \cdot \frac{(V_{va-out} - 1.28V)}{V_{rms}^{\ 2}}$$

เมื่อ

Vva-out คือ ช่วง Error Amplifier Output Voltage

Viff = Vref = 5.1 V

Vrms = แรงดันที่ขา 4

Iiac = กระแสอินพุทที่ ขา 4

PIN 9 ISENSE (Current Amplifier Inverting Input)

ขานี้คือกระแส Amplifier Inverting Input โดยจะต่ออยู่ภายนอกวงจรก็คือที่ CA-OUT (ขา 5) โดยให้ R14 = R16 = 2.7k ซึ่งมีค่าเท่ากันเพราะมีระบบป้อนกลับค่า Impedance สูง

ความต้านทานที่ใช้ตรวจจับ(Sense) R30-32 มีค่าเท่ากับ 0.033 Ω (0.1Ω/3) โดยเลือกค่าต่ำสุดที่ทำให้เกิกำลังสูญเสียเมื่อมีกระแสเหนี่ยวนำโดยรวมไหลผ่านตัวต้านทาน โดยควรจะมีค่ามากเพียงพอที่จะให้สัญญาณที่ดีพอและมีอัตราส่วนของสัญญาณรบกวนถึงกระแส Amplifier

PIN 10 SGND (Signal Ground)

ขานี้ควรต่อปิด โดยเทียบกับแรงดัน ที่ Filler (C7)

PIN 11 VREF (Voltage Reference)

ขานี้จะต่อ คาปาซิเตอร์ฟิลเตอร์ ค่า 1μF, C7 เพื่อใช้เป็นแรงดันอ้างอิงที่ 5.1 V ซึ่งสามารถจ่ายได้ถึง 10 mA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PIN 12 SS (Soft Start)

ขานี้จะเป็นลักษณะของการหลีกเลี่ยงของค่ากระแสเกินพิกัดที่ผ่านตัวเพาเวอร์มอสเฟท ในช่วงที่มีแรงดัน Boost ซึ่งภายใน สวิตช์จะมีการคายประจุของคาปาซิเตอร์ถ้าแรงดันเกินทางด้านเอาท์พุท (OVP) หรือ VCC Under voltage (UVLO) โดยที่ขานี้จะแสดงค่า Error Amplifier และช่วงเวลา Soft-Start ซึ่งสามารถคำนวณได้ดังนี้

$$t_{ss} = C_{ss}\frac{V_{Va-out}}{I_{ss}}$$
$$= 1\mu F\frac{5.1V}{100\mu A}$$
$$= 51 \quad ms$$

เมื่อ

Css = C8 = 1mA

Vva-out = 5.1 V (ค่าใช้งานของ Error Amplifier Voltage Swing)

PIN 13 Vva-out (Error Amplifier Output)

ในระบบที่แน่นอนและมีเสถียรภาพ การเปรียบเทียบจะมีการออกแบบให้Phase Margin ให้มีค่าเพียงพอ และระบบควรจะไม่กำหนดความถี่คู่หลักของความถี่และแรงดันริปเปิ้ลในระดับที่ควรหลีกเลี่ยงกระแส Distortion ซึ่งมีการชดเชยด้วย C10 ซึ่งสามารถคำนวณได้ดังนี้

$$C_{10} \rangle \frac{1}{4\cdot\pi\cdot f_{mains}\cdot(R_9+R_{10})\cdot G_{ea}}$$
$$= K_a\frac{\Delta V_{out}}{R_9+R_{10}}$$

เมื่อ

R9 + R10 คือตัวความต้านทาน divider จากส่วนป้อนกลับของเอาท์พุท

Gea คือ สัญญาณ gain ของ Error Amplifier

ΔVout คือ ค่าสูงสุดของแรงดัน Output Ripple

Ka = 1/60 สำหรับ 60 Hz

$$C_{10} \rangle \frac{1}{60}\cdot\frac{8}{824k} = 162 \quad nF$$

เลือกใช้ 220 nF

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แรงดัน Open loop จะมี 2 ขั้วที่จุดศูนย์ (Origin) ซึ่งจะเกี่ยวกับปัญหาด้านความเสถียรภาพ นั่นจะสามารถหลีกเลี่ยงโดยเลื่อน ค่า Error Amplifier จากจุด Origin ไปใกล้กับ Crossover frequency โดยสามารถทำได้โดยการใส่ R19 ขนาน กับ C10 โดยสามารถคำนวณ Crossover frequency ได้ดังนี้

$$f_c = \sqrt{\left(\frac{P_{out}}{V_{out}\cdot\Delta V_{ea}\cdot 2\pi\cdot C_{out}}\right)\left(\frac{1}{2\pi\cdot(R_9+R_{10})\cdot C_{10}}\right)}$$

$$= \sqrt{\left(\frac{500}{400\cdot 3.82\cdot 2\pi\cdot 330\mu F}\right)\left(\frac{1}{2\pi\cdot 824k\cdot 220nF}\right)}$$

$$= 11.77 \quad Hz$$

เลือกใช้ค่า R19 = 120 kW

PIN 14 VFEED (Error Amplifier Input)

ขานี้คือ Error Amplifier inverting input โดยการต่อแบ่งความต้านทาน ตรงแรงดัน Boost Output โดยค่าความต้านทาน divider สามารถคำนวณได้ดังนี้

$$\frac{R9+R10}{R20} = \frac{824k}{10.6k}$$

$$= \frac{V_{out}}{V_{ref}} - 1 = \frac{400}{5.1} - 1$$

เลือกใช้ R9 = R10 = 412 kW

PIN 15 P-UVLO (Programmable Supply Under Voltage Threshold)

ขานี้ใช้ในการปรับแต่งค่า Turn - on และ Turn - off ของแหล่งจ่าย โดยมีค่าใช้งานอยู่ที่ Turn - on ที่ค่า 15.5 V และ Turn - off ที่ค่า 10 V

PIN 16 SYNC (IN/OUT Synchronization)

เป็นฟังก์ชั่น ที่ยอมให้เกิด Synchronization ในโหมดของตัวหลักและตัวรอง ซึ่งจะเกี่ยวกับวงจรในระบบด้วย

PIN 17 ROSC (Oscillator Resistor)

PIN 18 COSC (Oscillator Capacitor)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขานี้จะใช้ Oscillator ความถี่ โดยมี R17 ต่อกับขา Ground และ C4 ต่อกับขา 18 ลง Ground ซึ่งจะสามารถคำนวณความถี่ที่ใช้ได้คือ

$$\begin{aligned} f_{sw} &= \frac{2.44}{R_{osc} \cdot C_{osc}} \\ &= \frac{2.44}{30.1k \cdot 1n} \\ &= 80 \quad kHz \end{aligned}$$

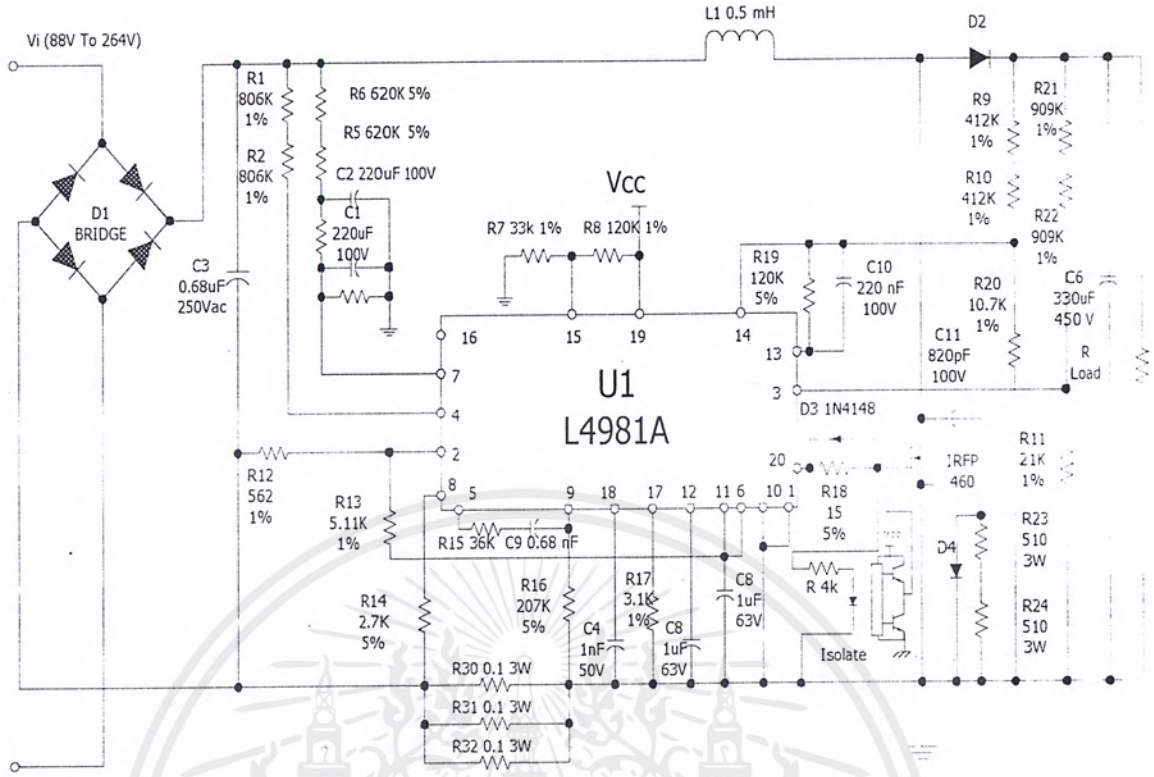
PIN 19 VCC (Supply Voltage Input)

โดยไอซีจะต้องจ่ายไฟเลี้ยงที่ค่ากระแสต่ำๆที่ 0.3 mA ในระหว่างเริ่มต้นค่า Turn-on ควรอยู่ที่ 15.5 V

PIN 20 GDRV (Gate Drive Output)

ค่าเอาท์พุทจากขานี้มีค่า 15 V ใช้ในการป้องกันขาเกทของ เพาเวอร์มอสเฟท โดยมี ค่าความต้านทาน, R18, ค่า 15 Ω ที่ต่ออนุกรมกับขากับขาเกทของ เพาเวอร์มอสเฟทเพื่อหลีกเลี่ยงการ Overshoot และจำกัดค่า $\frac{di}{dt}$ ของสวิตช์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.1 แสดงวงจรสมบูรณ์ของ PFC

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

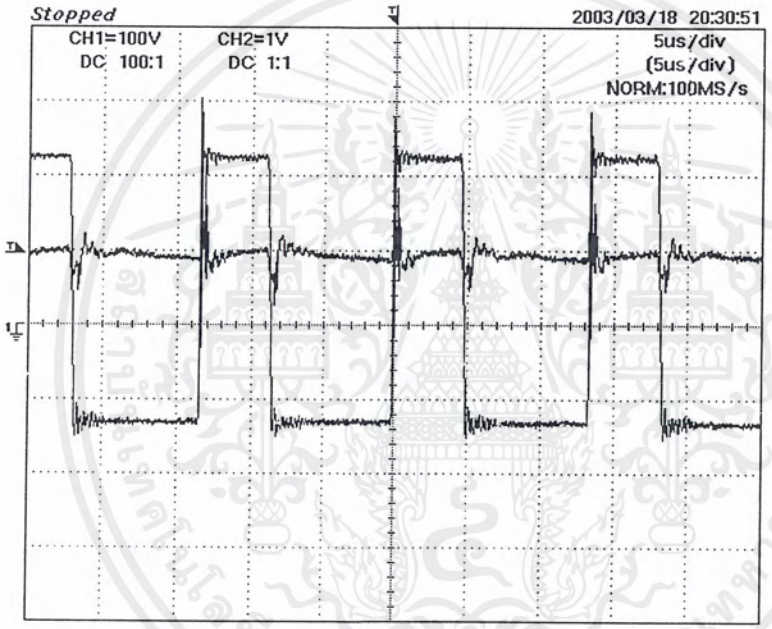
บทที่ 6

การทดลอง ผลการทดลอง และวิจารณ์การทดลอง

6.1 บทนำ

บทนี้จะแสดงถึงการทำงานของวงจร โดยแบ่งเป็น 2 กรณี คือการทำงานของคอนเวอร์เตอร์ Buck-Boost เพื่อให้ได้เพาเวอร์เตอร์ที่ใกล้เคียง 1 และการทดสอบโดยรวมของวงจร PFC เมื่อนำมาเปรียบเทียบกับ SMPS วงจรที่ไม่ได้มีการแก้เพาเวอร์แฟคเตอร์

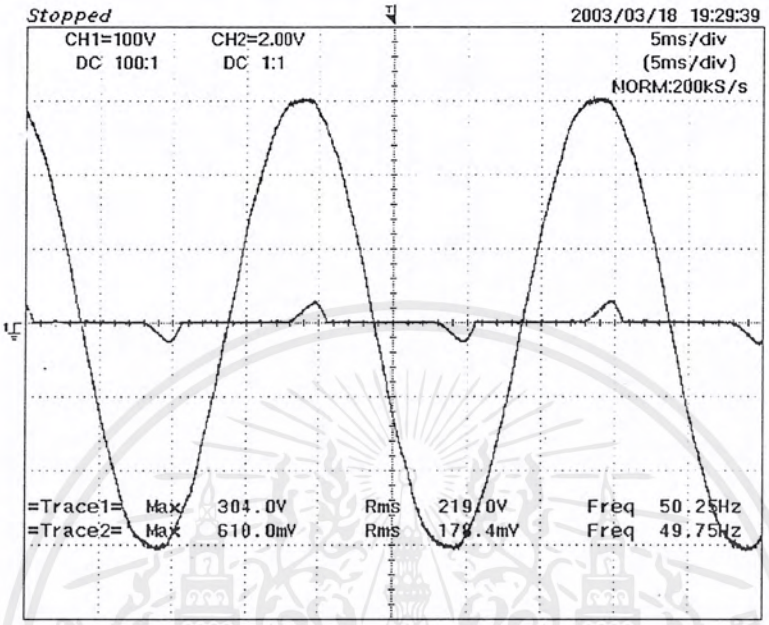
6.2 การทดลองการทำงานของคอนเวอร์เตอร์ชนิด Buck-Boost



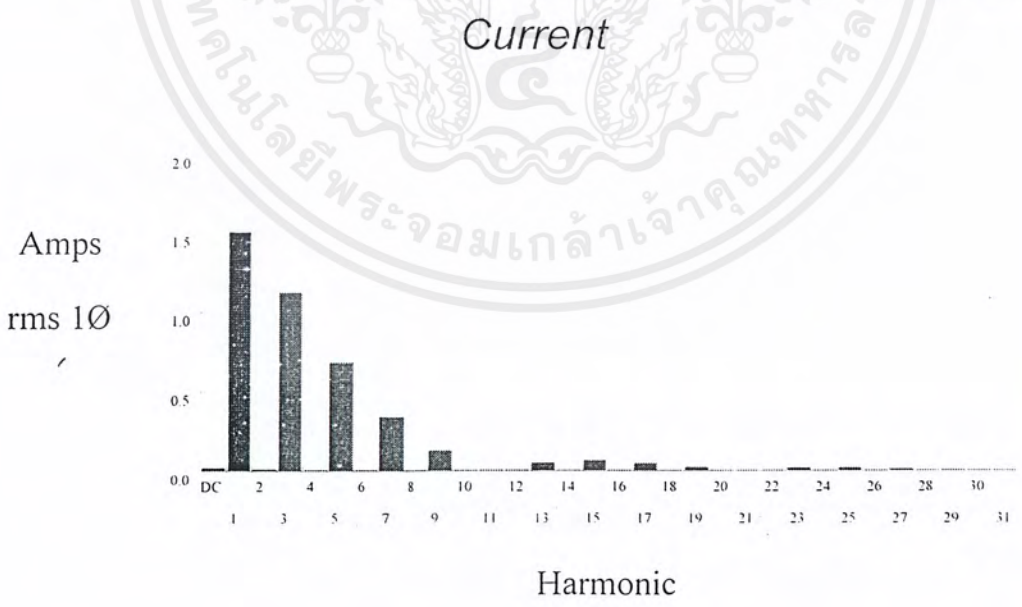
รูปที่ 6.1 รูปสัญญาณของศักดาไฟฟ้า V_{LI} และรูปสัญญาณกระแสไฟฟ้า i_{LI} ที่ความถี่ใช้งานของ Buck-Boost Converter

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แสดงการเปรียบเทียบสัญญาณศักดาไฟฟ้า V1 และกระแสไฟฟ้า I1 ที่ทางเข้า และรูปฮาร์โมนิคของวงจร SMPS กับวงจร PFC ที่แรงดันไฟฟ้า 220 V



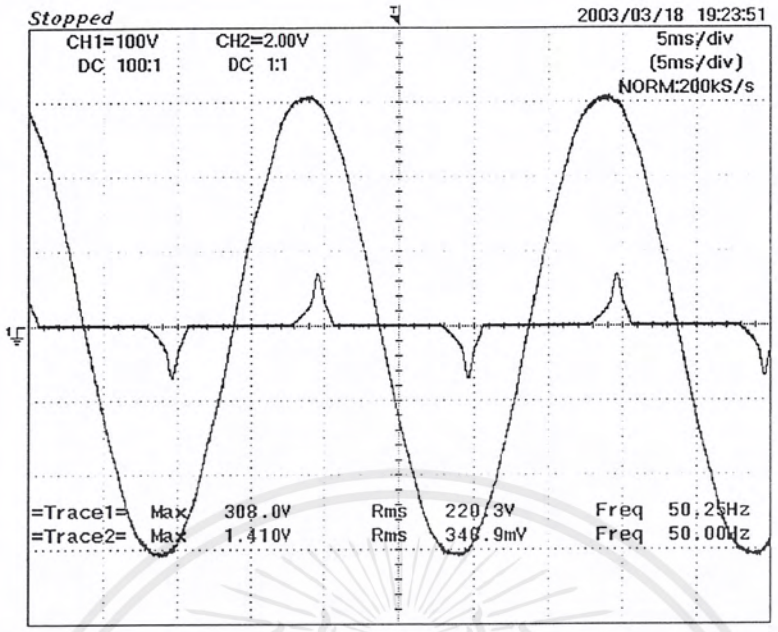
รูปที่ 6.2 รูปสัญญาณของศักดาไฟฟ้า V1 และรูปสัญญาณของกระแส I1 ที่ทางเข้าที่แรงดันไฟฟ้า 220 V ที่โหลด 180 W ของวงจร SMPS



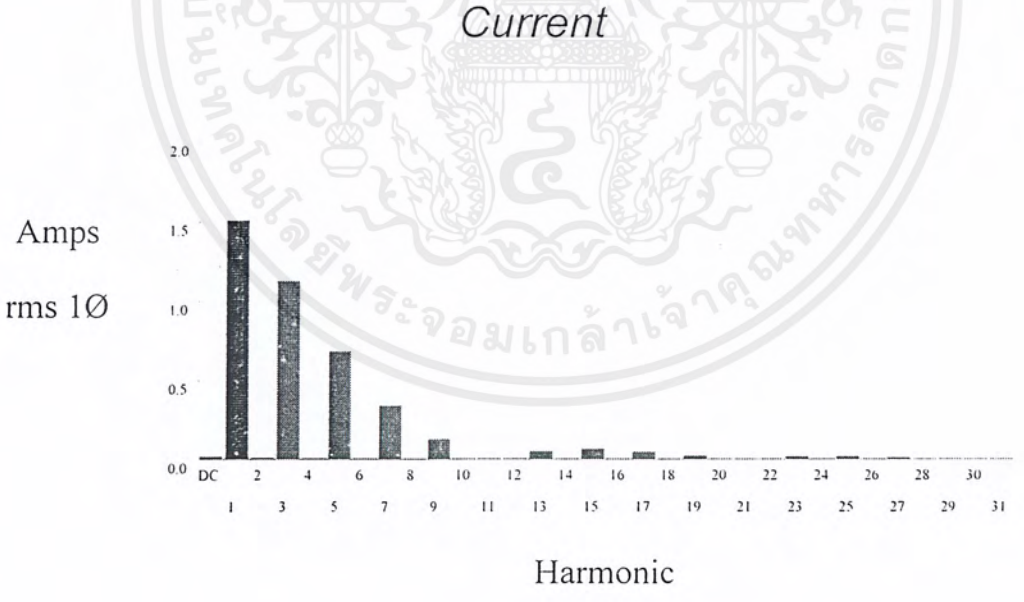
POWER = 211.5 Watt PF = 0.75 %THD = 64.9

รูปที่ 6.3 รูป Harmonic ที่แรงดันไฟฟ้า 220 V ที่กำลังไฟฟ้าด้านออก 180 W ของวงจร SMPS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



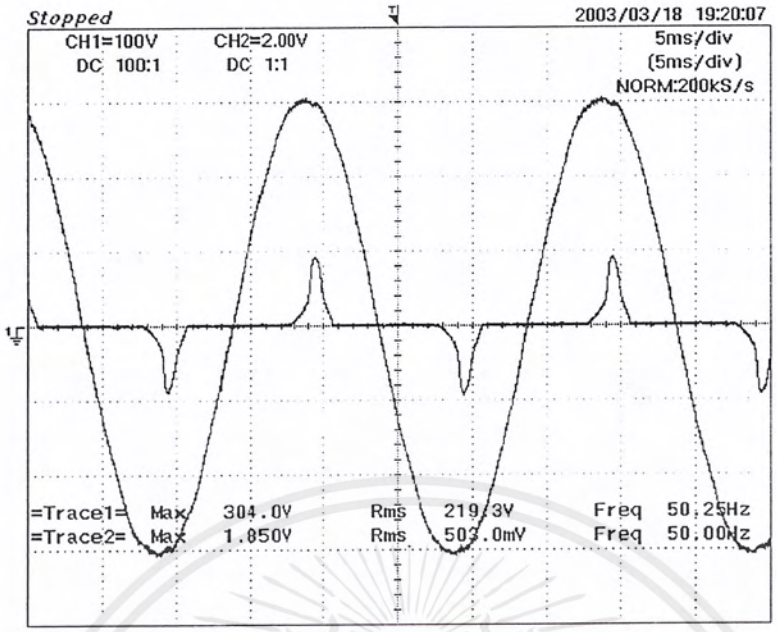
รูปที่ 6.4 รูปสัญญาณของศักดาไฟฟ้า V1 และรูปสัญญาณของกระแส I1 ที่ทางเข้าที่แรงดันไฟฟ้า 220 V ที่โหลด 350 W ของวงจร SMPS



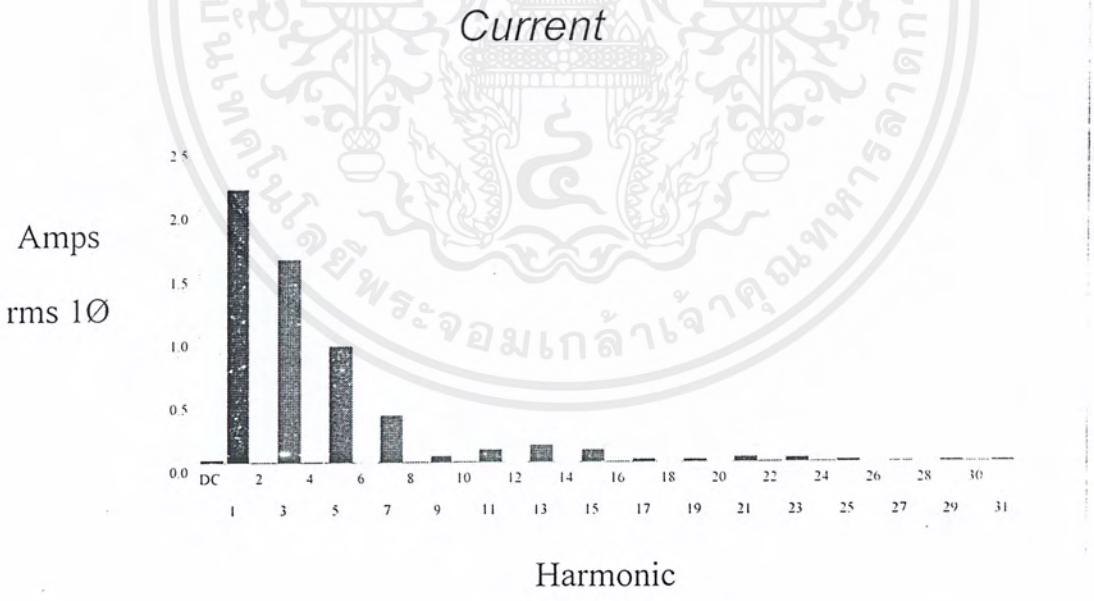
POWER = 406.9 Watt PF = 0.73 %THD = 67.18

รูปที่ 6.5 รูป Harmonic ที่แรงดันไฟฟ้า 220 V ที่กำลังไฟฟ้าด้านออก 350 W ของวงจร SMPS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



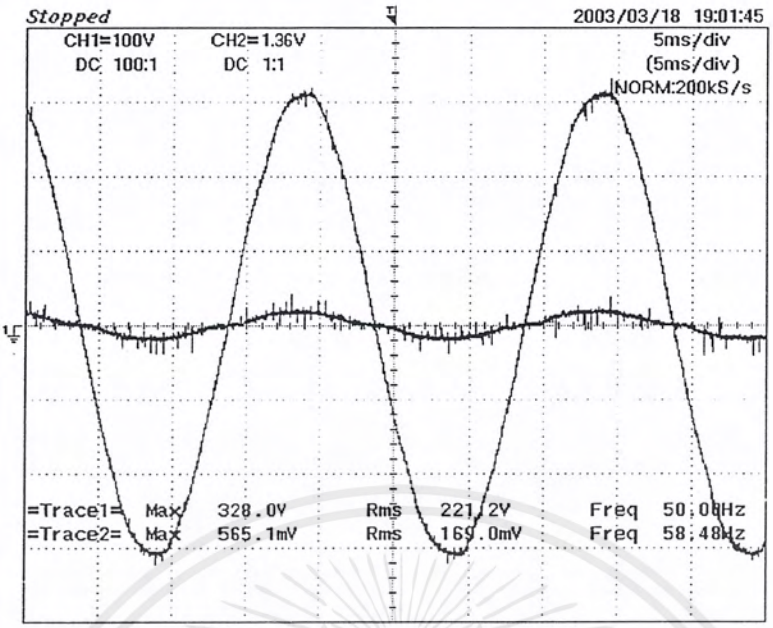
รูปที่ 6.6 รูปสัญญาณของศักดาไฟฟ้า V1 และรูปสัญญาณของกระแส I1 ที่ทางเข้าที่แรงดันไฟฟ้า 220 V ที่โหลด 500 W ของวงจร SMPS



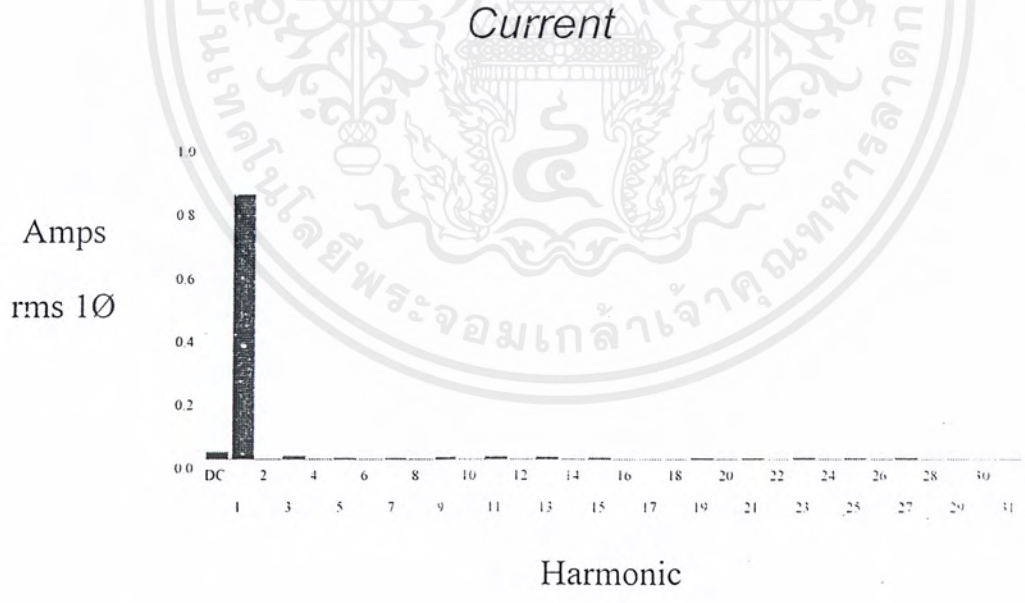
POWER = 561.7 Watt PF = 0.74 %THD = 66.15

รูปที่ 6.7 รูป Harmonic ที่แรงดันไฟฟ้า 220 V ที่กำลังไฟฟ้าด้านออก 500 W ของวงจร SMPS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



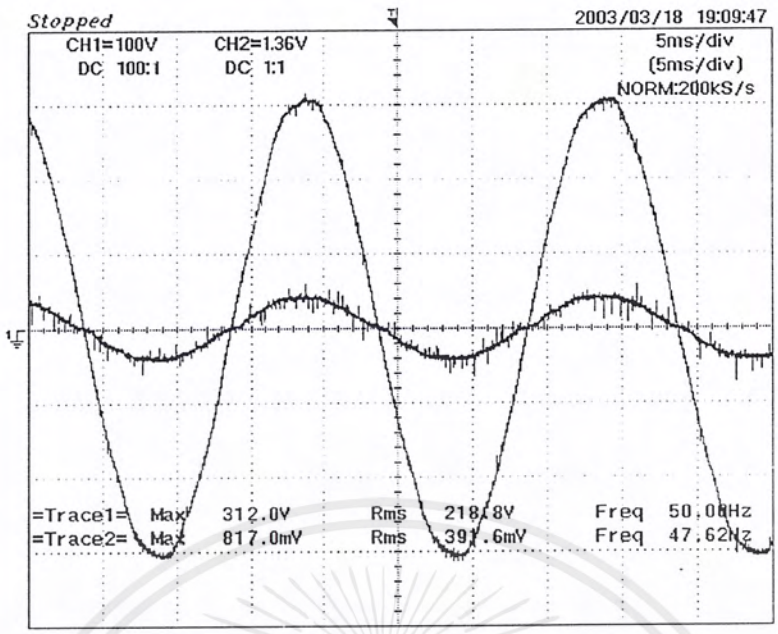
รูปที่ 6.8 รูปสัญญาณของศักดาไฟฟ้า V1 และรูปสัญญาณของกระแส I1 ที่ทางเข้าที่แรงดันไฟฟ้า 220 V ที่โหลด 180 W ของวงจร PFC



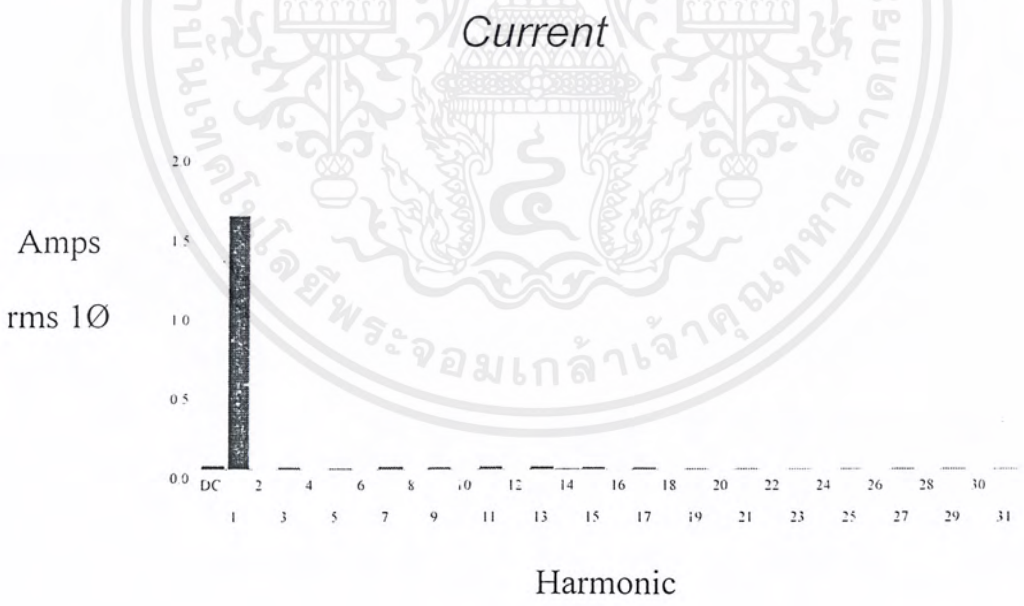
POWER = 182.58 Watt PF = 0.99 %THD = 14.3

รูปที่ 6.9 รูป Harmonic ที่แรงดันไฟฟ้า 220 V ที่กำลังไฟฟ้า 180 W ของวงจร PFC

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



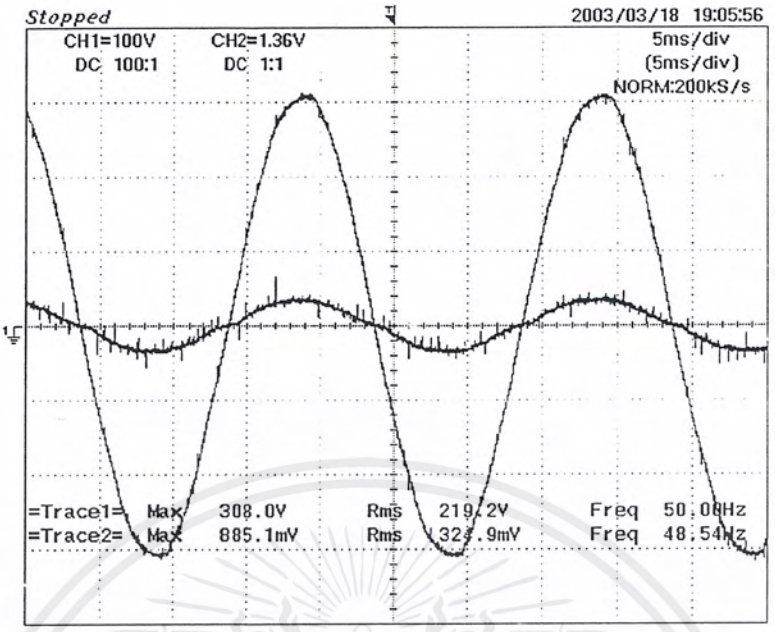
รูปที่ 6.10 รูปสัญญาณของศักดาไฟฟ้า V1 และรูปสัญญาณของกระแส I1 ที่ทางเข้าที่แรงดันไฟฟ้า 220 V ที่โหลด 350 W ของวงจร PFC



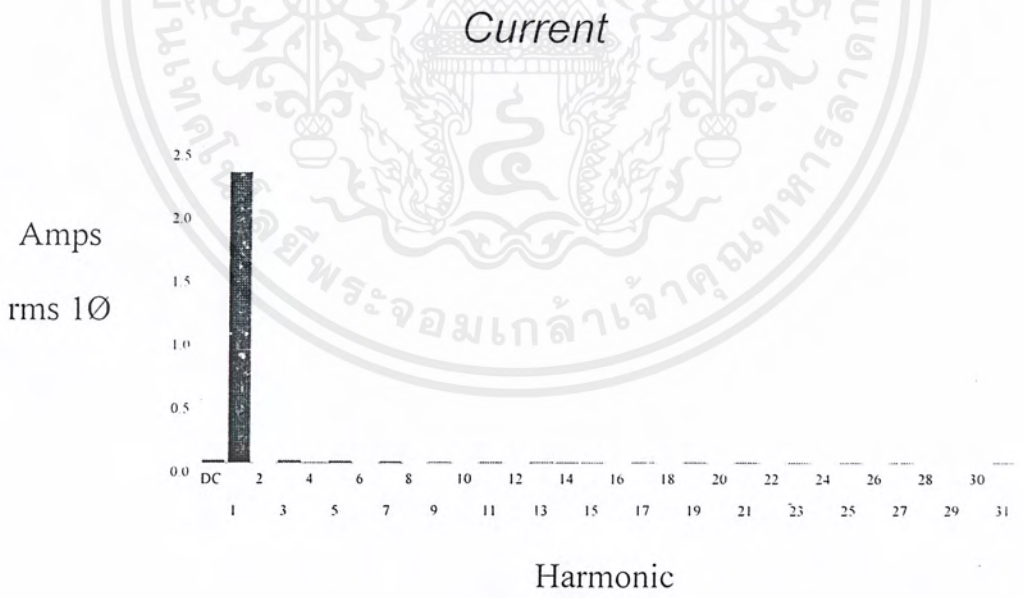
POWER = 352.5 Watt PF = 0.99 %THD = 7.93

รูปที่ 6.11 รูป Harmomic ที่แรงดันไฟฟ้า 220 V ที่กำลังไฟฟ้า 350 W ของวงจร PFC

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 6.12 รูปสัญญาณของศักดาไฟฟ้า V1 และรูปสัญญาณของกระแส I1 ที่ทางเข้าที่แรงดันไฟฟ้า 220V ที่โหลด 500 W ของวงจร PFC



POWER = 425.6 Watt PF = 1 %THD = 6.4

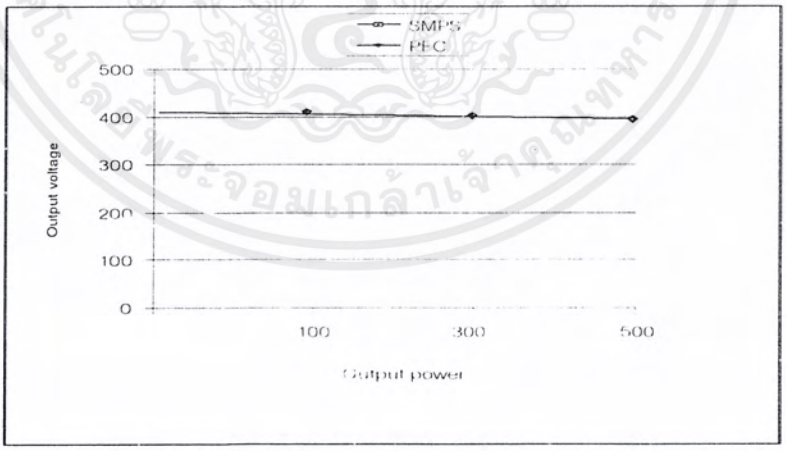
รูปที่ 6.13 รูป Harmonic ที่แรงดันไฟฟ้า 220 V ที่กำลังไฟฟ้า 500 W ของวงจร PFC

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ซึ่งมีรายละเอียดของผลการทดลองดังนี้

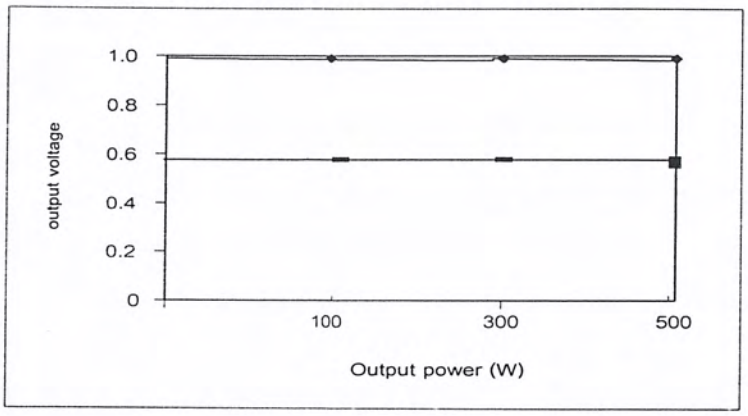
Vin (V)	Pout (W)	Iin (A)	Vout (V)	Pin (W)	P.F.in	%THD
175	180	1.41	410	202.9	0.96	29.7
	350	2.15	400	349	0.99	16.88
	500	2.18	399	352	1	15.35
220	180	0.89	410	182.58	0.99	14.3
	350	1.74	409	352.5	0.99	7.93
	500	2.51	399	425.6	1	6.4
250	180	1.05	410	209.4	0.95	32.13
	350	1.6	409	358.764	0.98	19.7
	500	2.17	400	505.6	0.99	15.64

เมื่อ

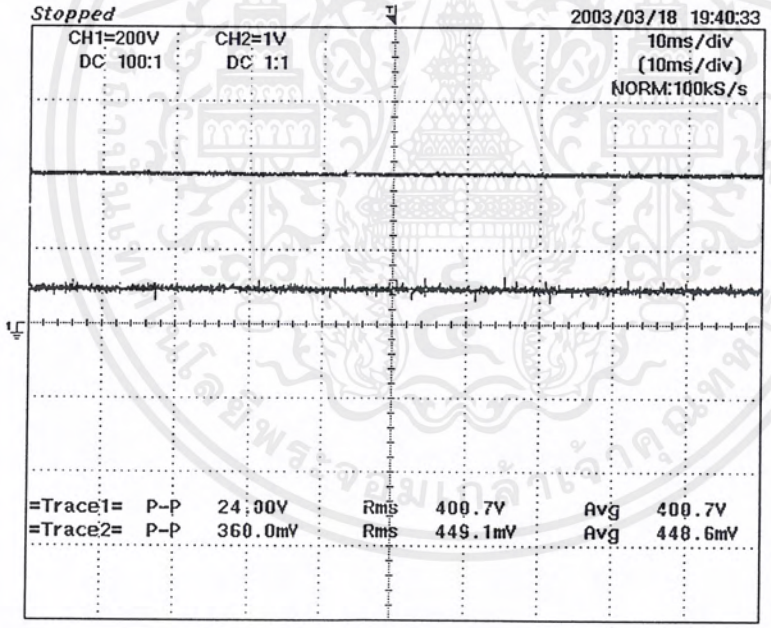


รูปที่ 6.14 กราฟของศักดาไฟฟ้าที่ทางออก เมื่อโหลดเปลี่ยนแปลง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 6.15 การเปรียบเทียบค่าเพาเวอร์แฟคเตอร์เมื่อโหลดเปลี่ยนแปลงของวงจร PFC กับวงจร SMPS แบบเดิม



รูปที่ 6.16 สัญญาณของศักดาไฟฟ้า V_2 และรูปสัญญาณของกระแสไฟฟ้า I_2 ที่ทางออกของวงจร PFC

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6.3 สรุปและวิจารณ์ผลการทดลอง

จากผลการทดลองของวงจร PFC ที่สร้างขึ้น เราจะสังเกตได้ว่ากระแสไฟฟ้าที่ทางเข้าจะมีลักษณะเป็นแบบ Sinusoidal และ In-phase กับศักดาไฟฟ้าที่ทางเข้า ดังนั้นค่าเพาเวอร์แฟคเตอร์ของวงจรจึงมีค่าสูงขึ้น แต่ถ้าพิจารณาถึงศักดาไฟฟ้าที่ทางออกเมื่อมีการเปลี่ยนแปลงโหลดที่เพิ่มขึ้น จะสังเกตได้ว่าค่าแรงดันที่เอาท์พุทจะลดลงตามลำดับแต่ค่าที่ลดลงก็มีค่าไม่มากจะคงที่ที่ประมาณ 400 โวลท์และเมื่อเราทำการเปรียบเทียบการทำงานของวงจร PFC และ SMPS แบบเดิม ผลของเพาเวอร์แฟคเตอร์ และกำลังไฟฟ้าที่ทางเข้าที่วัดได้ จะสังเกตเห็นได้ชัดเจนว่าวงจร PFC ที่สร้างขึ้นสามารถทำงานได้ประสิทธิภาพการใช้กำลังงานไฟฟ้าได้ดีกว่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 7
สรุปและวิจารณ์

จากผลการทดลองที่ได้สามารถสรุปได้ว่าวงจร PFC ที่สร้างขึ้นสามารถควบคุมให้กระแสไฟฟ้าที่ทางเข้า In-Phase กับศักดาไฟฟ้าที่ตำแหน่งนั้น ทำให้ได้ค่าเพาเวอร์แฟคเตอร์ใกล้เคียง 1 มีผลทำให้พลังงานไฟฟ้าของระบบมีประสิทธิภาพสูงขึ้น

แต่อย่างไรก็ตาม วงจร PFC ที่สร้างขึ้นจากคอนเวอร์เตอร์ชนิด Buck-Boost ยังมีข้อจำกัดอยู่บ้าง ดังนี้คือ

- ใช้ได้เฉพาะกับระบบที่ต้องการศักดาไฟฟ้าที่ทางออก สูงกว่าศักดาไฟฟ้าสูงสุดทางเข้าเท่านั้นในที่นี้คือการทำงานในสภาวะที่เป็นการยกระดับแรงดันเท่านั้น ส่วนในช่วงการลดระดับแรงดันจะไม่สามารถทำการแก้ได้ดีเท่าที่ควร
- ไม่สามารถแยกระบบกราวด์ระหว่างทางเข้าและทางออก ซึ่งทำให้มาตรฐานความปลอดภัยที่ทางออกลดลง

โดยสรุปแล้ว วงจร PFC ที่สร้างจากคอนเวอร์เตอร์ชนิด Buck-Boost สามารถทำให้ประสิทธิภาพของระบบดีขึ้นเมื่อเทียบกับ SMPS แต่อาจจะต้องมีการปรับปรุงแก้ไขในข้อจำกัดข้างต้น จึงจำเป็นต้องมีการพัฒนาโดยการเปลี่ยนชนิดของคอนเวอร์เตอร์ เช่น ใช้คอนเวอร์เตอร์ชนิด SEPIC

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บรรณานุกรม

[1] Ned Mohan, Tore M.Unlead, William P. Robbin, "Power Electronics Converter, Applications, and Design", second Edution, John Willey & sons, Inc., New York,1995

[2] Rashid M,H, "Power Electronic", Pentice-Hall , Inc., USA, 1988

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SGS-THOMSON MICROELECTRONICS

APPLICATION NOTE

DESIGNING A HIGH POWER FACTOR SWITCHING PREREGULATOR WITH THE L4981 CONTINUOUS MODE

by G. Comandatore and U. Moriconi

INTRODUCTION

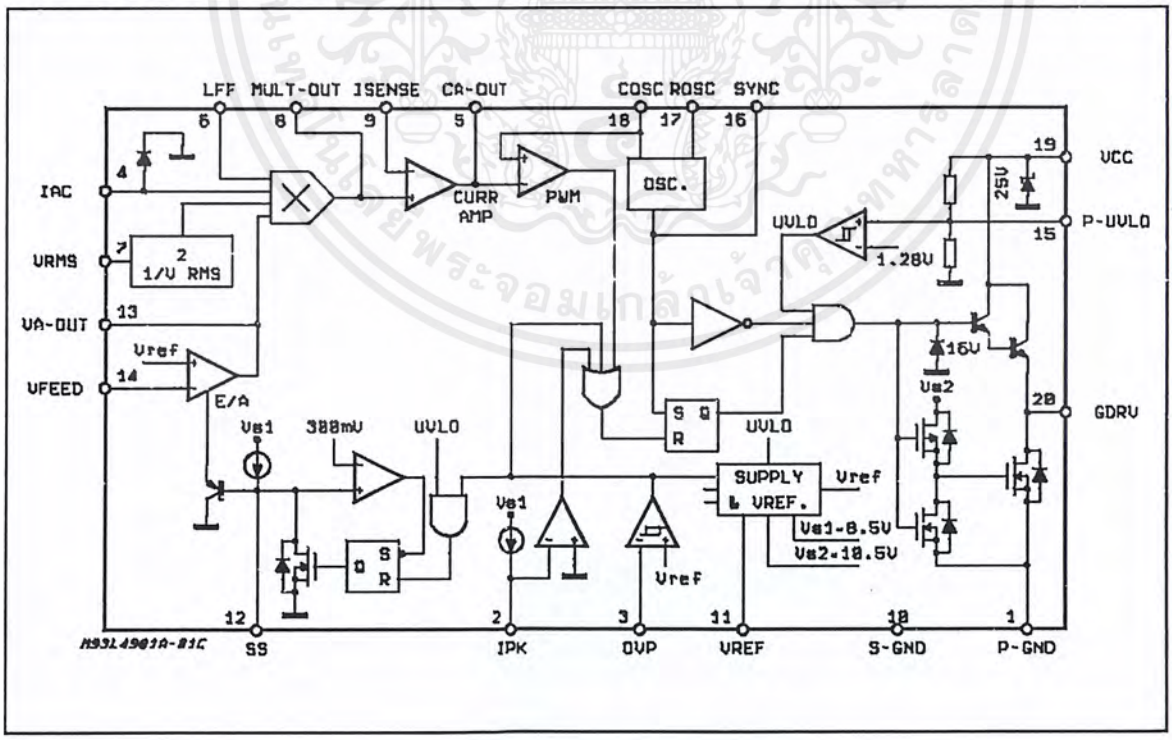
Conventional AC-DC converters usually employ a full wave rectifier bridge with a simple capacitor filter to draw power from the AC line. This "bulk" capacitor must be big enough to supply the total power during most of each half-cycle, while instantaneous line voltage is below the DC rectified voltage. Consequently, the line current waveform is a narrow pulse, and the power factor is poor (0.5-0.6) due to the high harmonic distortion of the current waveform.

If a high power factor switching preregulator is interposed between the input rectifier bridge and the bulk filter capacitor, the power factor will be improved (up to 0.99). Increasing in addition, the RMS current capability from the mains, reducing the bulk capacitor peak current and the harmonic disturbances.

Switching at a frequency much higher than the line's one, the preregulator draws a sinusoidal input current, in phase with the input line voltage.

There are several way that this can be accomplished. When the output voltage is higher than the input voltage (Vo > Vin), BOOST topology and continuos inductor current control mode are well suited to produce a good quality input sine current waveform. The input di/dt is low because the inductor is located between the bridge and the switch. This minimizes line noise and the line spikes will be absorbed by the inductor.

Figure 1: L4981 Block Diagram



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

THE L4981 PFC CONTROLLER IC

The L4981 integrated circuit is a continous mode average current controller with several specific functions for active power factor correction. It can operate in high quality, medium/high power conversion range and provides all the necessary features to achieve a very high power factor, up to 0.99. Thanks to the BCD technology used, operative switching frequency higher than 200kHz can be used.

The L4981 can be used in systems with universal input mains voltage without any line switch.

This new PFC offers the alternative of synchronization working at fixed frequency (L4981A), or working in modulated frequency (L4981B) to optimize the size of the input filter. Both devices control the conversion in average current mode PWM to maintain a sinusoidal line current without slope compensation.

MAIN FEATURES:

- Switching frequency higher than 200 kHz.
- Under Voltage Lockout with hysteresis and programmable turn-on threshold.
- Overvoltage and Overcurrent Protection.
- Precise (2%) on chip Reference externally available.
- Input/Output Synchronization (only for L4981A).
- Feed Forward Line and Load regulation.
- Universal input mains.
- Average current mode PWM.
- High Output Current totem pole driver.
- Low Start-up supply current.
- Soft Start.

P.F.C. BOOST TOPOLOGY OPERATION

The operation of the P.F.C. boost converter (see fig. 2) can be summarized in the following description.

The A.C. line voltage is rectified by a diode bridge and the rectified voltage delivered to the boost converter. The boost converter section, using a PWM switching technique, boosts the rectified input voltage to a D.C. controlled output voltage (V_O). The section consists of a boost inductor (L), a controlled power switch (Q), a boost diode (D), an output capacitor (C_O) and, obviously, a control circuitry.

Referring to the time-variable mains voltage (sine waveform), the converter produces a boost inductor average current like the rectified input voltage, changing continuosly the duty-cycle of the active switch (Q).

The boosted D.C. voltage is controlled to a programmed value, higher than the maximum input instantaneous voltage (V_{Ipk}).

Referring to the main currents shown in fig.2 schematic, the simplified formulae are (assuming: power efficiency = 1; output ripple voltage = 0; high frequency inductor ripple current = 0):

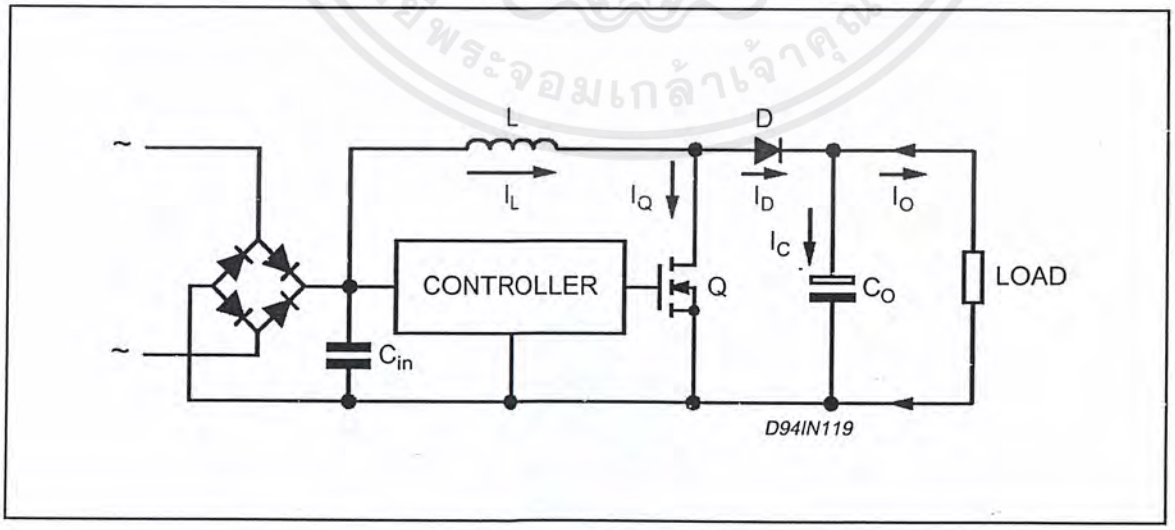
1) Peak inductor (L), switch (Q) and diode (D) currents

$$I_{Lpk} = I_{Qpk} = I_{Dpk} = 2 \cdot \frac{P_O}{V_{Ipk}}$$

2) RMS inductor current

$$I_{Lrms} = \sqrt{2} \cdot \frac{P_O}{V_{Ipk}}$$

Figure 2.



SGS-THOMSON MICROELECTRONICS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3) RMS switch current

$$I_{Qrms} = \frac{P_O}{V_{Ipk}} \cdot \sqrt{2 - \frac{16 \cdot V_{Ipk}}{3 \cdot \pi \cdot V_O}}$$

4) Average diode current

$$I_{Davg} = I_O$$

5) RMS diode current

$$I_{Drms} = \frac{P_O}{V_{Ipk}} \cdot \sqrt{\frac{16 \cdot V_{Ipk}}{3 \cdot \pi \cdot V_O}}$$

6) Total RMS capacitor (C_O) current

$$I_C = I_O \sqrt{\frac{16 \cdot V_O}{3 \cdot \pi \cdot V_{Ipk}} - 1}$$

7) RMS twice line frequency capacitor current

$$I_{C\,(2f)\,rms} = \frac{I_O}{\sqrt{2}}$$

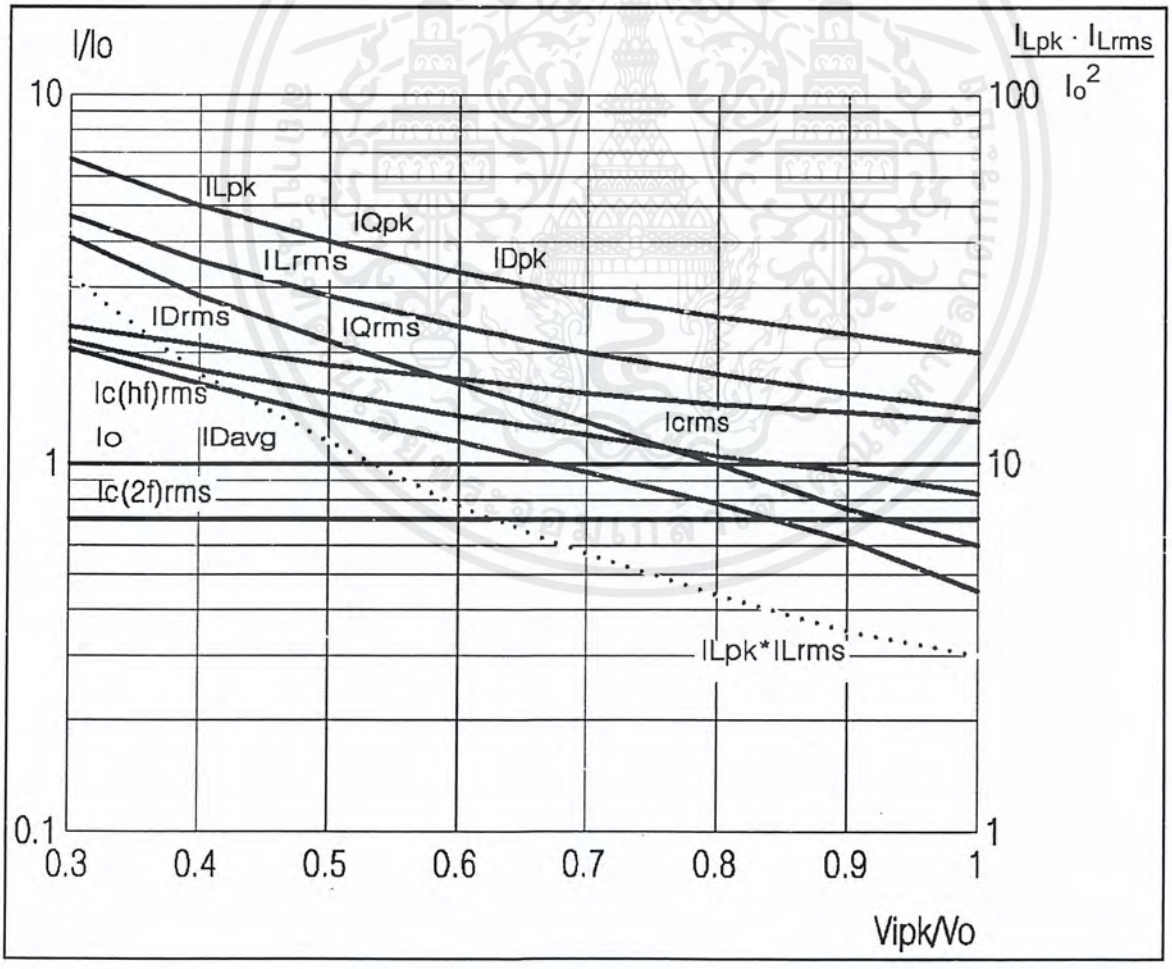
8) RMS high frequency capacitor current

$$I_{C\,(hf)\,rms} = I_O \sqrt{\frac{16 \cdot V_O}{3 \cdot \pi \cdot V_{Ipk}} - 1.5}$$

The figure 3 shows the above mentioned quantities, normalized to the D.C. output current (I_O), plotted versus V_{Ipk} / V_O ratio. Moreover, the $I_{Lpk} \cdot I_{Lrms}$ normalized to I_O^2 value, related to the inductor energy ($I^2 \cdot L$), is plotted in the diagram (dotted line). This last plot gives an idea on the heavy increase of the inductor size operating with large input voltage range.

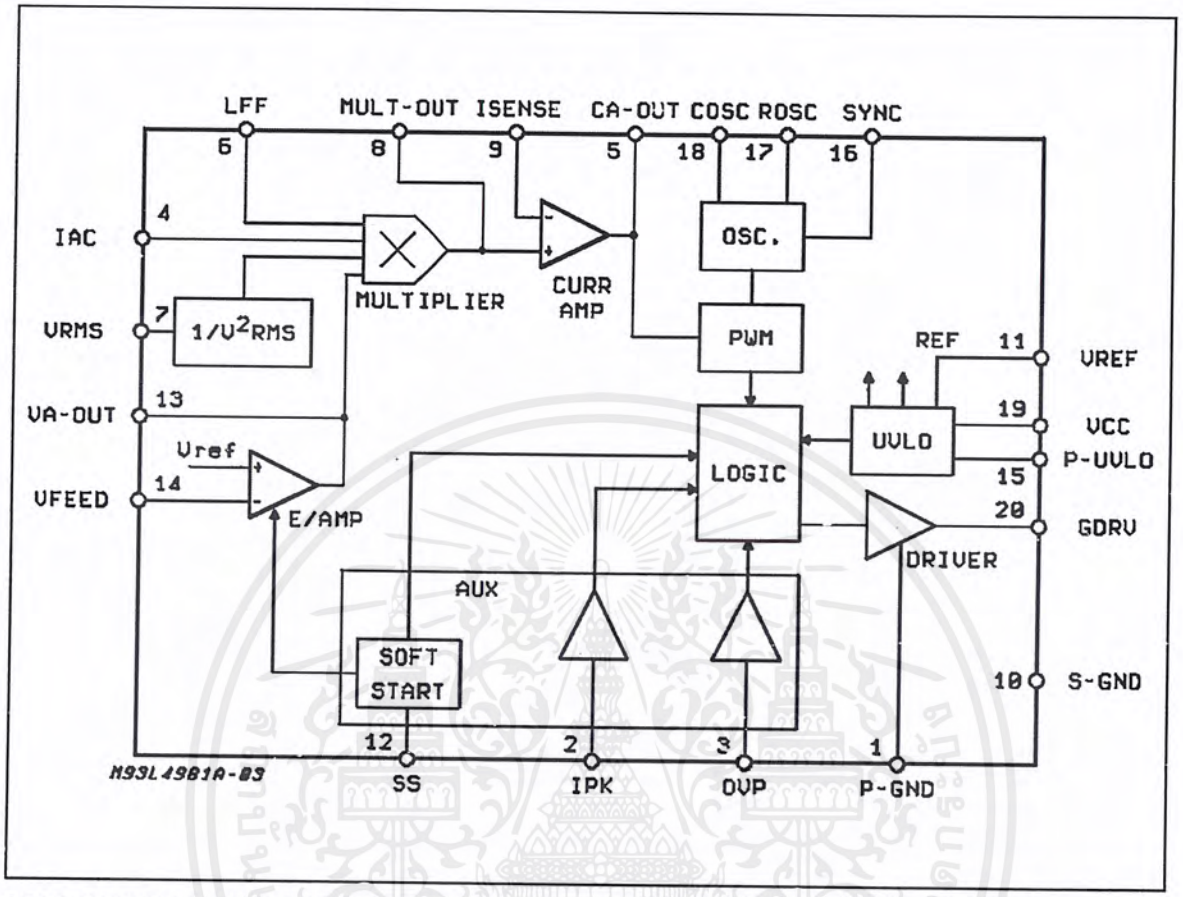
Obviously, in real application the efficiency is less than 100% ($\eta < 1$). The output voltage ripple, related to the output capacitor (C_O) is a parameter to be considered. The inductor high frequency current ripple (ΔI_L) is another parameter affected by the inductor value (L), the switching frequency (f_{sw}) and the delivered power (P_O).

Figure 3.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 4.



CONTROLLER FUNCTION DESCRIPTION.

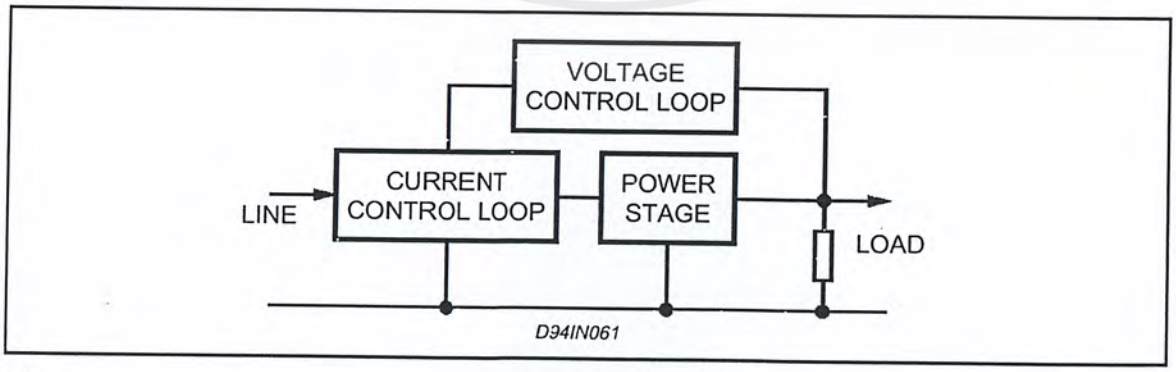
The L4981 I.C. controls the conversion process with a continuous mode average current method, using two control loops (current loop and voltage loop) see fig. 5. Moreover, several internal functions ensure high quality conversion performance.

A description of the internal blocks will be detailed in the design criteria section and pin description. However, referring to fig. 4, here below a brief description of the main functions is done:

Multiplier block.

This block produces an output current (programming current) as a product result of four different input signals (see fig. 13 for details). The multiplier output current, through a resistor connected to the negative side of a sense resistor, determines the error signal to the current loop.

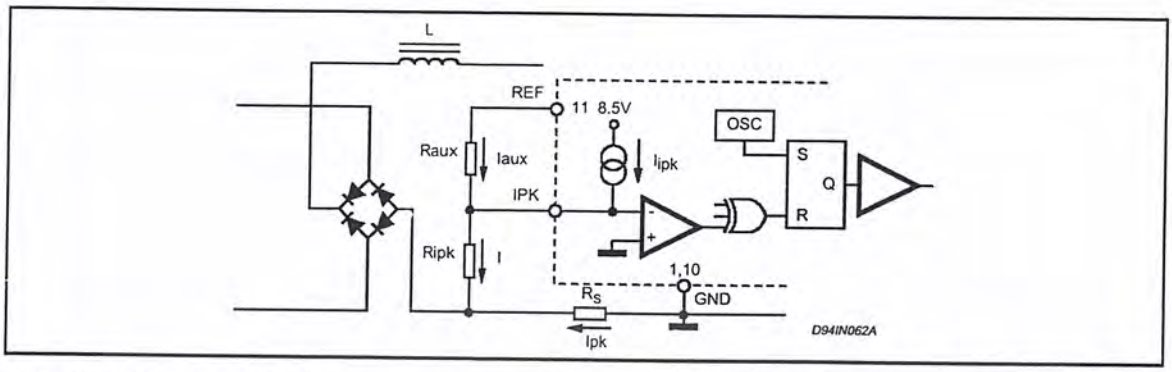
Figure 5.



SGS-THOMSON MICROELECTRONICS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 6.



Operational amplifier blocks.

Two amplifiers allow loop control. The first one (E/A), feeds back the output voltage (V_O) and delivers its output to the multiplier block. The second (C/A), feeds back the line current and produces the reference for the PWM section.

PWM block.

This block, comparing the sawtooth produced by the oscillator, with the reference signal from the C/A output, modulates its output signal duty-cycle. Its output, by the logic and driver sections, allows the controlled switch (Q) to modulate the inductor current.

Logic block.

Controls the flow from the PWM and the output with the Auxiliary function signals and soft start.

Driver block.

The driver supplies the gate current to turn on and off the power switch (Q). It delivers up to 1A peak current to allow high switching frequency applications.

Aux functions.

The Auxiliary functions allow to avoid overstress on power components of the application.

Power supply block.

This circuitry delivers the internal supply and references, recognizes the Undervoltage and Stand-by conditions to save consumption.

P.F.C. BOOST DESIGN CRITERIA

CONTROLLER DEVICE PIN DESCRIPTION AND BIASING CIRCUITRY.

Pin 1. P-GND (Power stage ground). This pin, on the pc-board, has to be connected close the external Mosfet source.

Pin 2. IPK (Overcurrent protection input). The current limitation is obtained with an internal comparator that holds down the output driver when the voltage at IPK input goes down to zero. In the L4981A, to preset the IPK input there is an internal current source (I_{ipk}) of typically 85 µA. The maximum peak current (I_{pk}) can be programmed connecting (see fig. 6) a single resistor (R_{ipk}) between this pin and the sense resistor (R_S):

$$R_{ipk} = \frac{R_S \cdot I_{pk}}{I_{ipk}}$$

In the L4981B, to preset the IPK input, an auxiliary resistor (R_{aux}), connected from the VREF pin to the IPK pin, is required. The maximum peak current (I_{pk}) can be programmed choosing (see fig. 6) the resistances R_{aux} and R_{ipk}:

$$R_{ipk} = \frac{R_S \cdot I_{pk}}{I_{aux}}$$

Where: $I_{aux} = \frac{V_{VREF}}{R_{aux}}$

Note: If used with the L4981A, the auxiliary resistor avoids that the current source spread affects the precision of the protection simply getting an auxiliary current (I_{aux}) much higher than I_{ipk}.

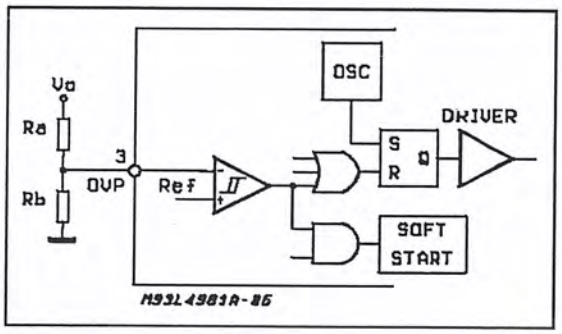
Pin 3. OVP (Overvoltage protection input). A comparator with a precise 5.1V reference voltage and 250mV of hysteresis, detects the overvoltage condition and turns the controller in stand-by condition (with low power consumption) and discharges the soft start capacitor. This pin (see fig. 7) has to be externally connected with a resistive divider (Ra and Rb) to the D.C. output voltage. The divider ratio is defined by the relation:

$$\frac{Ra}{Rb} = \frac{V_O + \Delta V_{OUT}}{5.1V} - 1$$

where: ΔV_{OUT} is the output overvoltage limit.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 7.

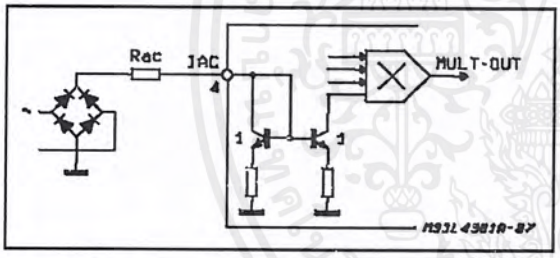


Pin 4. IAC (A.C. current input). This pin (see fig. 8) has to be connected through a resistor to the rectified line voltage to drive the multiplier with a current (I_{IAC}) proportional to the instantaneous line voltage:

$$I_{IAC} = \frac{V_I}{R_{ac}}$$

The relation between the input alternate current (I_{IAC}) and the output current (programming signal Imult) of the multiplier is described at MULT-OUT section (pin8).

Figure 8.



Pin 5. CA-OUT (Current amplifier output). The CA_OUT deliveres its signal to the PWM comparator. An external network (see fig. 9) defines the suitable loop gain to process the multiplier output and the line current signals. To avoid oscillation problem (see fig. 10) the maximum inductor current downslope (V_O/L) has to be lower than oscillator ramp-slope ($V_{srp} \cdot f_{sw}$):

$$\frac{V_O}{L} \cdot R_s \cdot G_{ca} \leq V_{srp} \cdot f_{sw}$$

where:

V_{srp} is the oscillator ramp peak-peak voltage.
G_{ca} is the current amplifier gain.
f_{sw} is the switching frequency.

and rewritten as:

$$G_{ca} \leq \frac{V_{srp} \cdot f_{sw} \cdot L}{V_O \cdot R_s}$$

Figure 9.

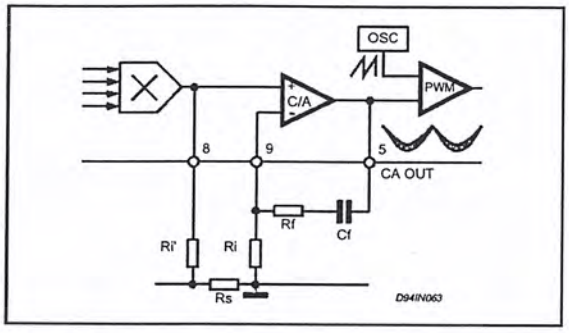
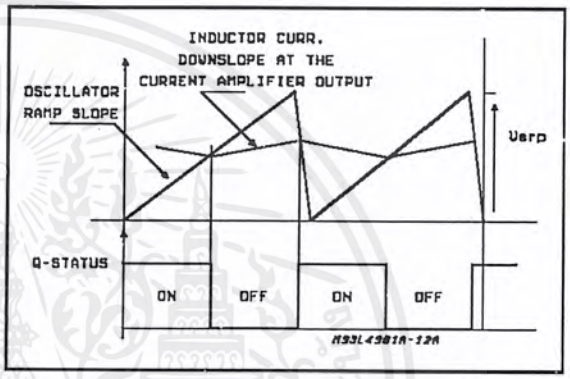


Figure 10.



defines the high frequency C/A gain ($1 + \frac{R_f}{R_i}$):

$$\frac{R_f}{R_i} \leq \frac{V_{srp} \cdot f_{sw} \cdot L}{V_O \cdot R_s} - 1$$

To define the C_f value, it's useful to consider the current openloop gain, defined by the ratio between the voltage across R_s and the current amplifier output signal:

$$G_{avg} = \frac{V_{rs}}{V_{ca}}$$

Because, in worst condition is:

$$V_{rs} = \frac{R_s \cdot V_O}{s \cdot L}$$

and the total variation of v_{ca} (the reference signal for PWM) is V_{srp}:

$$G_{avg} = \frac{R_s \cdot V_O}{V_{srp} \cdot 2\pi \cdot f \cdot L}$$

Multiplying this G_{avg} by G_{ca} and solving for the crossover frequency ($f = f_c$), follows:

$$f_c = \frac{f_{sw}}{2\pi}$$

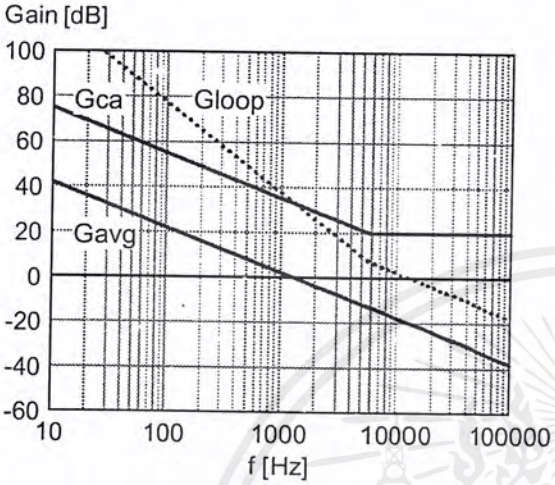
SGS-THOMSON MICROELECTRONICS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

To ensure a phase margin (higher than 45°), the zero frequency (f_z) should be about $f_c/2$, than:

$$f_z = \frac{f_{sw}}{4 \cdot \pi} = \frac{1}{2 \cdot \pi C_f \cdot R_f} \Rightarrow C_f = \frac{2}{R_f \cdot f_{sw}}$$

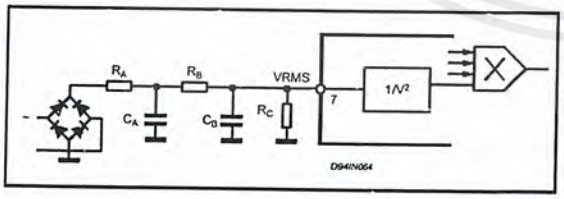
Figure 11.



Pin 6. LFF (Load feed-forward input). This voltage input pin allows to modify the multiplier output current proportionally to the load in order to improve the response time versus load transient. The control is working with V_{LFF} between 1.5V and 5.1V. If this function is not used, the LFF pin has to be connected to VREF pin.
See also appendix A.

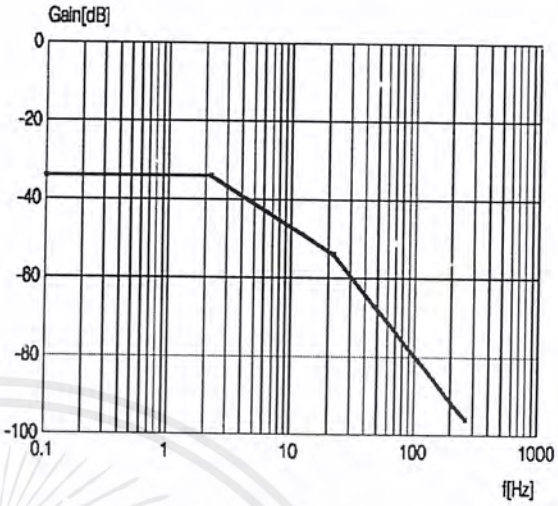
Pin 7. VRMS. Input to the divider ($1/V^2_{RMS}$), it is especially useful in universal mains applications to compensate the gain variation related to the input voltage change. It will be connected to an external network (see fig. 12a) giving a voltage level proportional to the mains V_{RMS}. The best control is reached using a VRMS voltage level in the range between 1.5V and 5.5V.

Figure 12a.



To avoid line current distorsion, the rectified mains ripple (2f) level has to be reduced. A two pole filter, with three resistors and two capacitors, setting the lowest pole at 2Hz and the highest one at 13Hz, is enough to get the useful voltage level reducing to -80dB the 100Hz gain.

Figure 12b.



The signal (pin 7), with the network in fig. 12a is:

V_{RMS} = 85V (110V -20%)	VRM(7) = 1.6V
V_{RMS} = 260V (220V +20%)	VRM(7) = 5V
Gain at 2f(100Hz)	-80dB

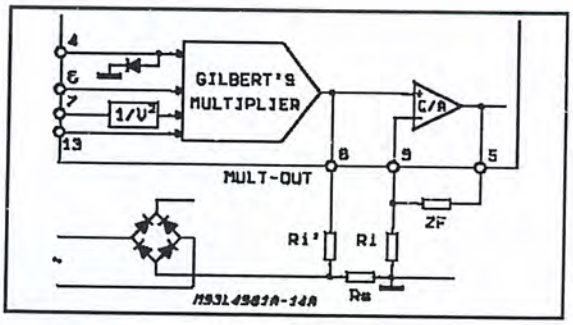
Pin 8. MULT-OUT (Output of the multiplier). This pin deliveres the programming current (Imult) according to the relation:

$$I_{mult} = 0.37 \cdot I_{IAC} \cdot \frac{(V_{VA\text{-}OUT} - 1.28V) \cdot (0.8 \cdot V_{LFF} - 1.28V)}{VRMS^2}$$

where: $V_{VA\text{-}OUT}$ = E/A output voltage range
V_{LFF} = voltage input at pin 6
V_{RMS} = voltage input at pin 7
I_{IAC} = input current at pin 4

To optimize the multiplier biasing for each application, the relation between imult and the other input signals to the multiplier are reported (see figures 13, 13a to 13h).

Figure 13.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 13a: MULTI-OUT vs. I_{AC} (V_{RMS} = 1.7V; V_{LFF} = 5.1V)

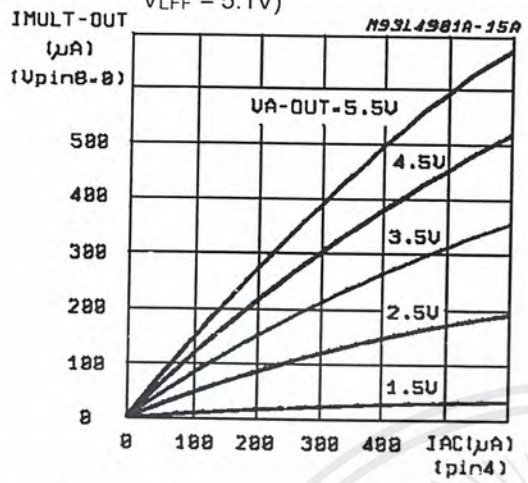


Figure 13b: MULTI-OUT vs. I_{AC} (V_{RMS} = 2.2V; V_{LFF} = 5.1V)

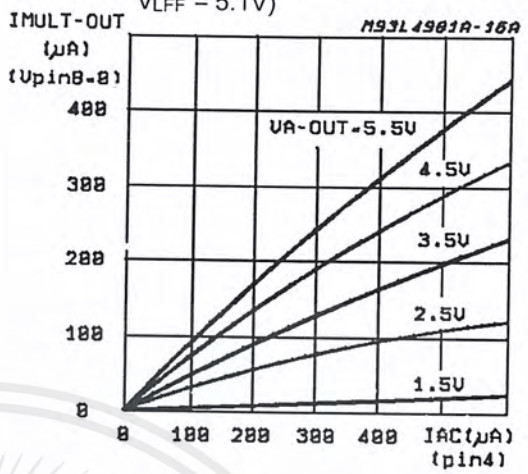


Figure 13c: MULTI-OUT vs. I_{AC} (V_{RMS} = 4.4V; V_{LFF} = 5.1V)

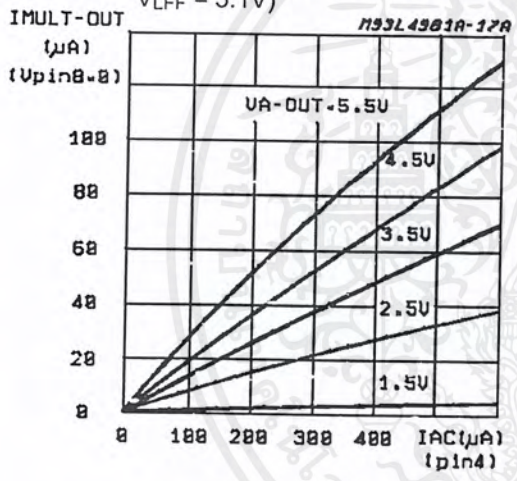


Figure 13d: MULTI-OUT vs. I_{AC} (V_{RMS} = 5.3V; V_{LFF} = 5.1V)

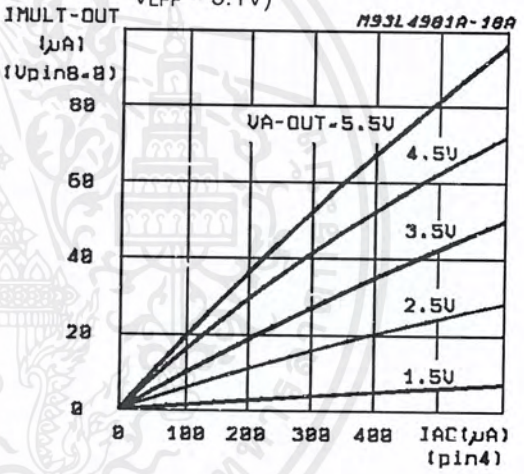


Figure 13e: MULTI-OUT vs. I_{AC} (V_{RMS} = 1.7V; V_{LFF} = 2.5V)

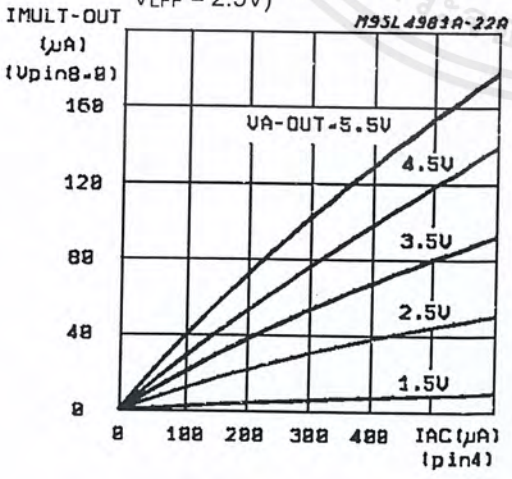
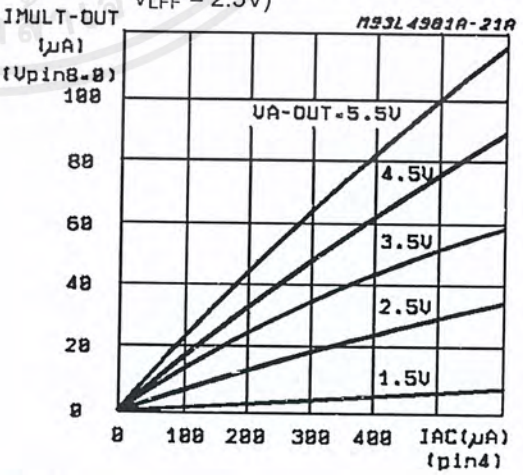


Figure 13f: MULTI-OUT vs. I_{AC} (V_{RMS} = 2.2V; V_{LFF} = 2.5V)



SGS-THOMSON MICROELECTRONICS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 13g: MULTI-OUT vs. I_{AC} (V_{RMS} = 4.4V; V_{LFF} = 2.5V)

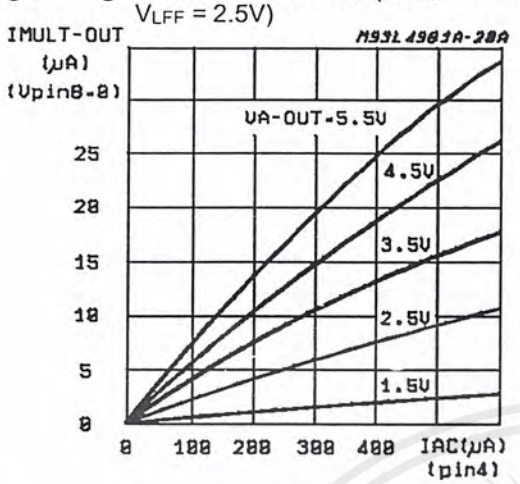
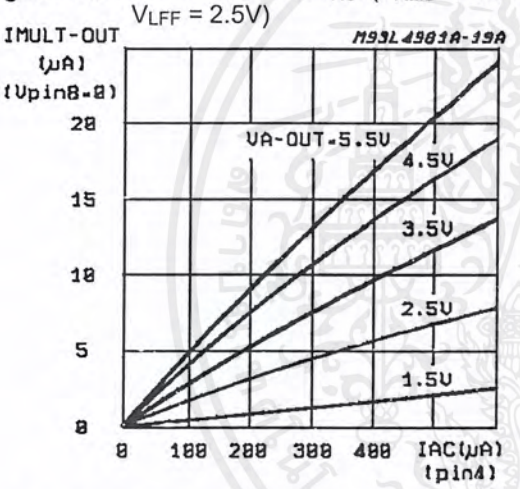


Figure 13h: MULTI-OUT vs. I_{AC} (V_{RMS} = 5.3V; V_{LFF} = 2.5V)



The pin has to be connected through a resistor (Ri') to the negative side of Rs (see fig. 9) to sum the ($I_L \cdot R_S$) and the ($I_{mult} \cdot Ri'$) signals. The sum result is the error signal voltage to the current amplifier non inverting input.

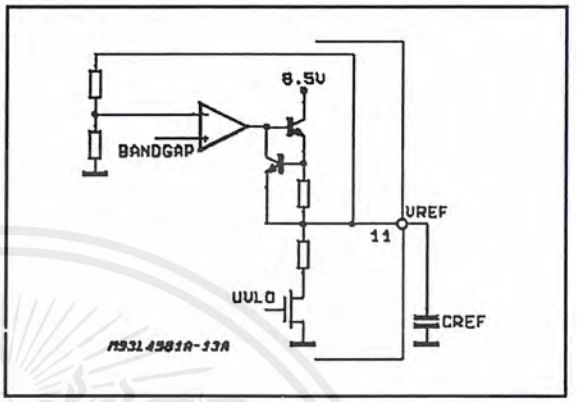
$$Ri' \cdot I_{mult} = R_S \cdot I_L$$

Pin 9. ISENSE (Current Amplifier inverting input). This pin, is externally connected to the external network described at CA-OUT (pin 5). To be noted that Ri and Ri' have the same value because of the high impedance feedback network.

Pin 10. SGND (Signal ground). It has to be connected, to the pc-board GND, close the filtering reference capacitor.

Pin 11. VREF (Voltage reference). An internal bandgap circuitry, allows an accurate voltage reference. An external capacitor filter (from 100nF to some µF) connected to the signal ground is recommanded (see fig. 14). This pin can deliver up to 10mA and can be used for external needs (e.g. enable for other circuits).

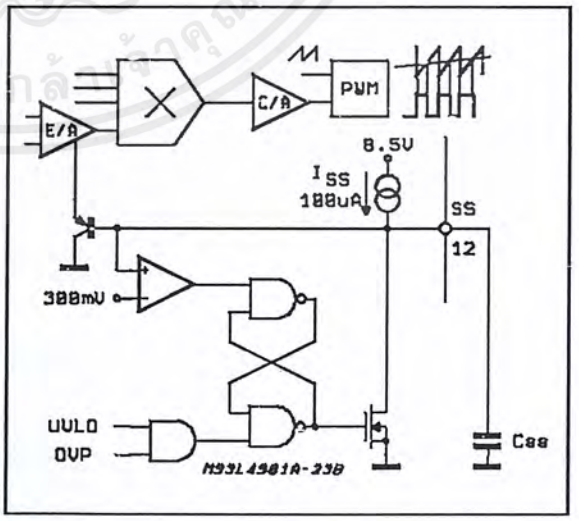
Figure 14.



Pin 12. SS (Soft start). This feature avoids current overload on the external Mosfet (Q) during the ramp-up of the output boosted voltage. An internal switch discharges the capacitor if output overvoltage or VCC undervoltage are detected. An internal current generator of 100µ with the external capacitor define the soft start time costant (see fig. 15). Because the voltage at the softstart pin acts on the E/A output (driving the multiplier with V_{VAOUT} = 5.1V typical voltage swing), the softstart time is defined by:

$$t_{SS} = C_{ss} \cdot \frac{V_{VA-OUT}}{I_{SS}}.$$

Figure 15.



SGS-THOMSON MICROELECTRONICS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

This time (tss) depends on the application parameters (output voltage, input voltage, output capacitor value, boost inductor size, etc.) and normally the value amounts at some tens of msec.

Pin 13. V_{VA-OUT} (Error amplifier output). Output of the E/A that determinates the control of the boosted regulated voltage (V_O). This pin has to be connected with a compensation network to the pin 14 (see fig.16).

Figure 16.

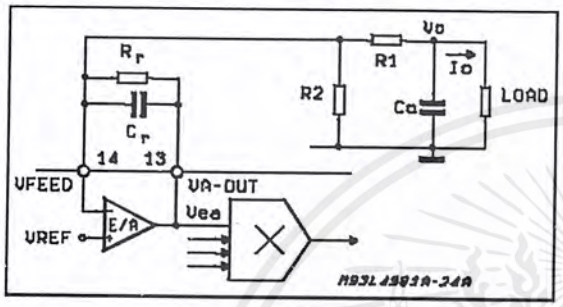
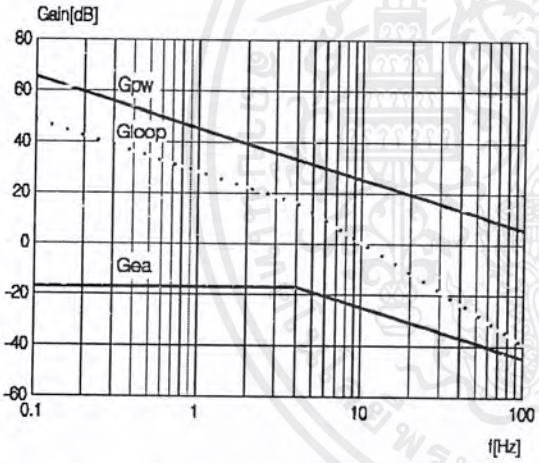


Figure 16a.



First of all, the system does not have to attempt to regulate the twice mains frequency output voltage ripple (ΔV_O) to avoid the line current distorsion. Moreover the system stability has to be ensured. The voltage open loop gain can be splitt in two separated blocks.

The first block small signal gain, is given by the ratio between the E/A output voltage (vea) and output voltage variation (vo) and is defined by the E/A network:

$$Gea' = \frac{vea}{vo} = \frac{1}{s \cdot R1 \cdot C_r}$$

Where Gea' is the E/A gain without R_r ref. fig. 16. R2 has no effect on the error amplifier gain because the inverting input potential is fixed to VREF. The Gea can be seen also as the ratio between the error amplifier output ripple and the imposed output voltage ripple (ΔV_O). The E/A output signal can swing between 1.28V to 5.1V. A value less than 2.5% of the effective E/A output swing voltage (V_{VAOUT}= 3.82V) could be chosen to fix the C_r. So, the Gea defined at the output voltage ripple frequency, determinates the C_r value to ensure the 100/120 Hz (2f) attenuation.

$$Gea \le \frac{0.095V}{\Delta V_O}$$

$$C_r = \frac{1}{2 \cdot \pi \cdot 2f \cdot R1 \cdot Gea} \ge Ka \cdot \frac{\Delta V_O}{R1}$$

where: Ka = 1/60 for 50Hz and 1/72 for 60Hz mains frequency.

Lower C_r value could increase harmonic distortion. The second block (Power block) is represented by the output filter capacitor (C_O) with its own reactance (X_{CO}), the system has to be able to compensate the total external load variation through the E/A output response (ΔVea). The power gain transfer function (G_{pw}), for large variations can be written:

$$G_{pw} = I_O \frac{X_{CO}}{\Delta V_{ea}}$$

The total load variation (I_O) to be considered is: $P_{O(max)}/V_O$:

$$G_{pw} = \frac{P_O \cdot X_{CO}}{V_O \cdot \Delta V_{ea}} \Rightarrow G_{pw} = \frac{P_O}{V_O \cdot \Delta V_{ea}} \cdot \frac{1}{s \cdot C_O}$$

The voltage open loop gain contains two poles in the origin, then stability problem can arise. Connecting the resistor (R_r) in parallel to the capacitor C_r to shift the E/A pole from the origin to 1/(Rr · Cr), the stability is ensured.

The crossover frequency f_c can be calculated by $G_{pw} \cdot Gea' = 1$ and therefore:

$$f_c = \sqrt{\left(\frac{P_O}{V_O \cdot \Delta Vea \cdot 2\pi \cdot C_O}\right) \cdot \left(\frac{1}{2\pi \cdot R_1 C_r}\right)}$$

To allow the highest DC gain maintaining a phase margin of at least 22°, the R_r maximum value is imposed as:

$$R_r \le \frac{2.75}{2\pi \cdot f_c \cdot C_r}$$

The output filter capacitor value (C_O) is related to the output voltage filtering (see Power section design).

Pin 14. VFEED (Error amplifier input). This pin (see fig. 16), connected to the boosted output voltage through a divider, allows the output D.C. voltage regulation. Neglecting the contribution of the E/A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

feedback resistor (R_r), the 5.1V reference and the output DC voltage (V_O) define the ratio between R1 and R2:

$$\frac{R1}{R2} = \frac{V_O}{5.1V} - 1$$

To be considered that the R1, togheter with the feedback network(see pin 13 description) define the E/A gain. The R1/Rr ratio affects the load regulation (lower output current increases the output voltage) with the following relation:

$$\Delta V_{Omax} = \frac{\Delta V_{ea} \cdot R1}{R_r}$$

where: V_{Omax} is the maximum output voltage variation due to the E/A gain reduction and load variation.
The R1 and R2 will be chosen in the high precision class:

Pin 15. P-UVLC (Programmable supply undervoltage threshold). An internal divider (between pin 19, pin 15 and ground) and an internal comparator with a threshold voltage of 1.28V fixes the default turn-on and turn-off 15.5V and 10V levels of the supply section (see fig. 17). Using an external divider (R_H and R_L) it's possible to change the supply thresholds: R_H fixes the hysteresis, R_L fixes the turn-on threshold. To design a divider for a given supply threshold, is useful know (see fig. 17), the typical resistor value, useful to design the external divider, are: R_1 = 394k, R_2 = 88k and R_3 = 58k. Anyway, in fig. 17a/b a diagram with threshold values and a table, useful for a fast choice of R_H and R_L are shown.

For DISABLE function see Appendix B.

Pin 16. SYNC (In/Out synchronization). Only for L4981A, this function allows the device to be synchronized with other circuits of a system (see **Figure 18a.**

Figure 17: Programmable Under Voltage Lockout Thresholds

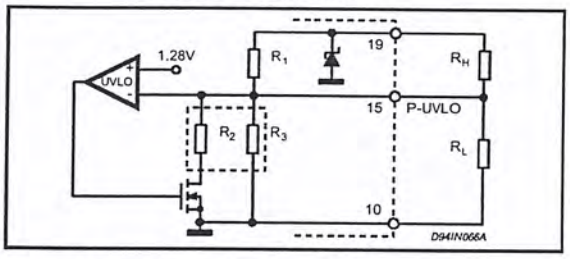


Figure 17a: V_{CCON} and V_{CCOFF} vs. R_L

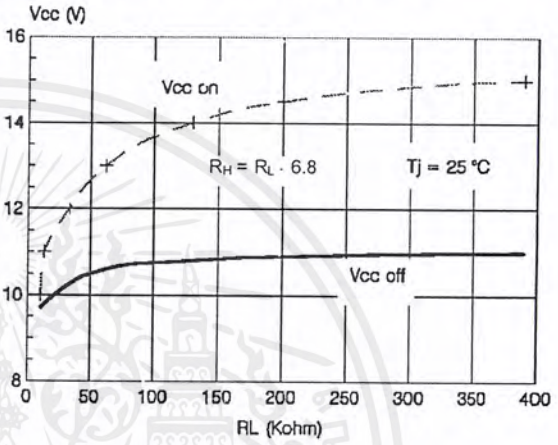
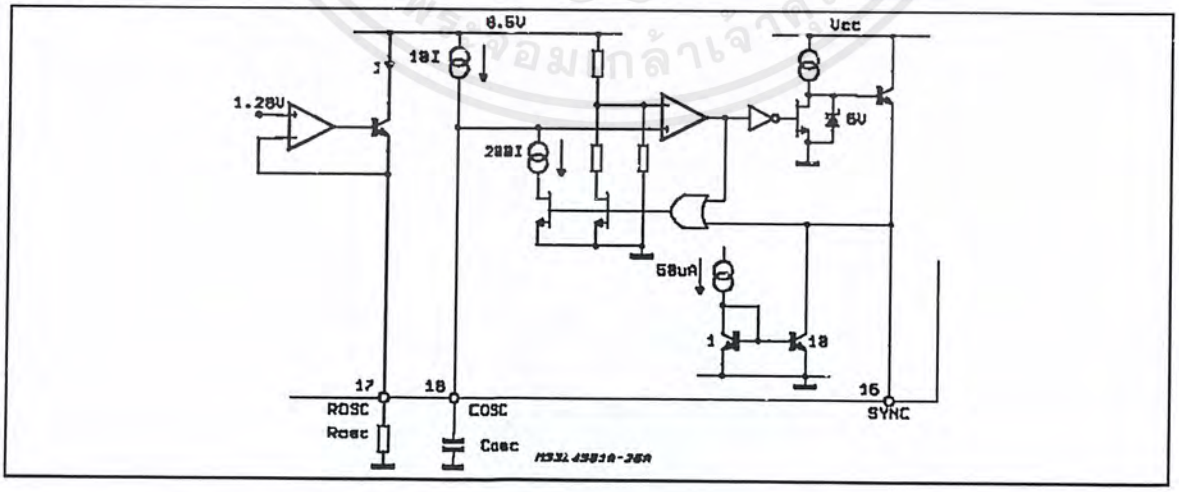


Figure 17b:

$V_{CC\ ON}$	$V_{CC\ OFF}$	RH	RL
11V	10V	82kΩ	12kΩ
12V	10.1V	220kΩ	33kΩ
13V	10.5V	430kΩ	62kΩ
14V	10.8V	909kΩ	133kΩ
14.5V	10.9V	1.36MΩ	200kΩ
15V	11V	2.7MΩ	390kΩ



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 18b.

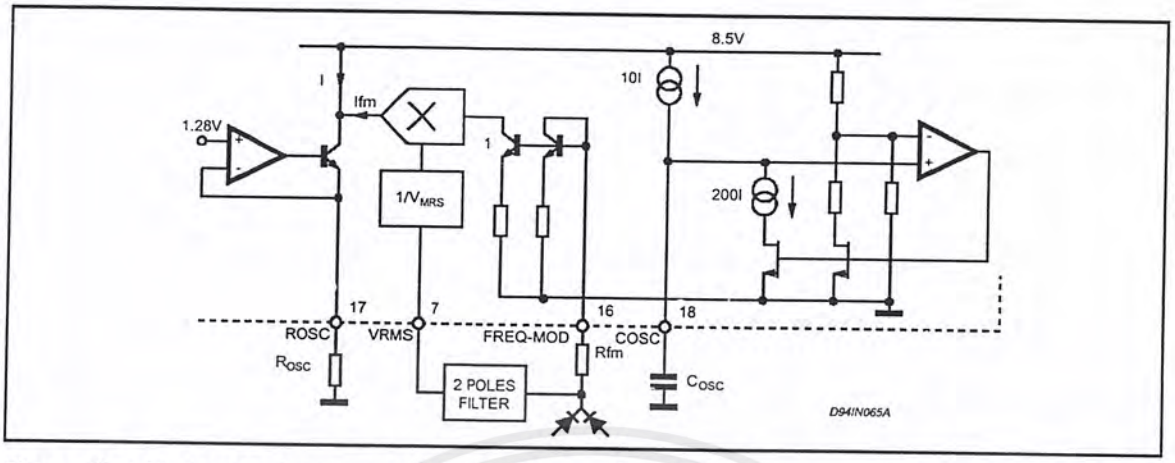


Figure 18c: Modulation Frequency Normalized in an Half Cycle of the Mains Voltage

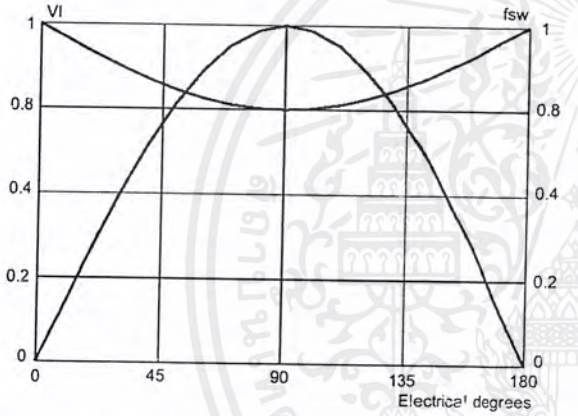


fig.18a). When the device is externally synchronized, the external clock has to satisfy these conditions: the signal amplitude must cross the threshold value (3.5V), the frequency has to be slightly higher than that programmed by the R-C constant (see pin 18) and the pulse width has to be at least 800 nsec.

If the device has to synchronize other circuits, the signal delivered by this pin is a positive pulse of 4.6V (0.5mA) and the pulse duration is equal to the sawtooth falltime.

The L4981B uses this pin to perform another function. If the application does not use the SYNC function, it is preferrable to focus the EMI filtering problem using the B version. Pin 16, named FREQ-MOD in B version, allows to change the switching frequency in order to spread the energy content over a wider spectrum range.

To perform the frequency modulation (see fig.18b), the pin must be connected, through a resistor (R_{fm}), to the rectified line voltage. This allows to change dinamically (cycle by cycle) the (C_{OSC}) charge and the discharge currents that define the ramp slopes of the oscillator sawtooth. The effect of the resistor produces the frequency change (see fig.18c) between the nominal value (f_{sw}) and its minimum value which occurs when the input voltage reaches the peak value (V_{Ipk}). The total frequency variation (see also pin 17 and 18) can be estimated by the formula:

$$\frac{\Delta f_{sw}}{f_{sw}} = K \frac{V_{IPK} \cdot R_{osc}}{V_{RMS} \cdot R_{fm}}$$

where: R_{fm} is the programming current resistor.
K is a constant value = 0.1157 for R value in KΩ and fsw in KHz.

A typical 20% $\frac{\Delta f_{sw}}{f_{sw}}$ can be a good compromise.

Pin 17. ROSC (Oscillator resistor). An external resistor connected to ground, programs the charge and the discharge currents that pin 18 (C_{OSC}) forces to the external capacitor. The reference voltage at pin 17 is 1.28V (see fig.18a/b)

To set the charge current, the relation is:

$$I_c \approx 10 \cdot \frac{1.28V}{R_{OSC}}$$

The discharge current is defined by:

$$I_d \approx 200 \cdot \frac{1.28V}{R_{OSC}}$$

The maximum discharge current of I_d = 12mA, this means a minimum Rosc value of 22KΩ.

Pin 18. COSC (Oscillator capacitor). An external capacitor (see fig 18a/b), connected between this pin and ground, fixes the rise and fall time (t_r and t_f) of the sawtooth oscillator according to the pre-

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

vious relations (pin 17) and therefore the switching frequency. The typical ramp valley-peak voltage (V_{srp}) is fixed to 5V.

The period T is defined by:

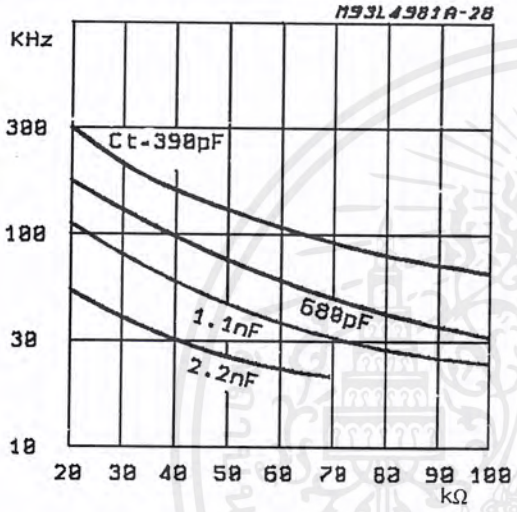
$$T = t_r + t_f = V_{srp} \cdot C_{OSC}\left(\frac{1}{I_C} + \frac{1}{I_d}\right)$$

the switching frequency is:

$$f_{sw} = \frac{1}{T} \approx \frac{2.44}{R_{OSC} \cdot C_{OSC}}$$

See also Fig. 19

Figure 19: Oscillator Diagram



Pin 19. VCC (Supply voltage input). The very low current consumption feature before the turn-on threshold is reached. The undervoltage circuitry, with the threshold hysteresis of 5.5V typ. (see also pin 15) and an internal clamp at 25V (typ.) ensure the IC safety operation.

Pin 20. GDRV (Gate driver output). This output is internally clamped to 15V (see Fig. 20), to avoid ageing problems of the gate oxide. The output driver is normally connected to the gate of the power device through a resistor (say 5 to 50 Ohm) to avoid overshoot and to control the dI/dt of the switch.

POWER SECTION DESIGN

Booster Inductor

The Boost Inductor design involves various parameters to be handled and there are different approaches to define them.

In continuous mode operation, the energy stored in the boost inductor in each switching cycle, is

Figure 20.

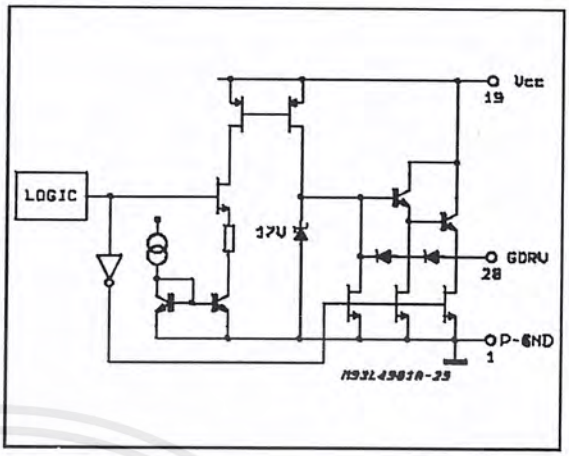
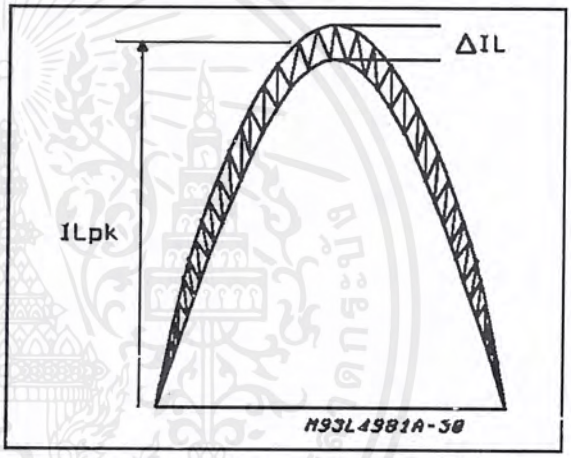


Figure 21.



not completely transferred to the output (bulk) capacitor. A quantity of energy is stored in the magnetic circuit, reducing in this way the input current ripple. This minimizes the line noise and reduces the input filter size (see fig.21).

The energy transferred from the boost inductor to the bulk capacitor in each cycle is:

$$E/cycle = \frac{1}{2} L \cdot (I_{Lp}{}^2 - I_{Lv}{}^2) = L \cdot I_{Lt} \cdot \Delta I_L$$

where:

L = Boost Inductance

I_{Lp} = Inductor Peak Current ($I_{Lt} + \Delta I_L/2$)

I_{Lv} = Inductor Valley Current ($I_{Lt} - \Delta I_L/2$)

I_{Lt} = Instantaneous Line Current ($I_{Lp} + I_{Lv}$)/2

ΔI_L = Twice Inductor Current Ripple ($I_{Lp} - I_{LV}$)

Because the instantaneous line current (I_{Lt}) that corresponds to the average inductor current in the

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

cycle, draws a full rectified (half- sinusoidal) waveform, it is useful to refer to the AC line RMS and peak parameters:

$$I_{Lpk} = \sqrt{2} \cdot I_{Lrms}$$

where: $I_{rms} = I_{Lrms} = P_I/V_{Irms}$ is the line current
$P_I = P_{O/\eta}$ is the input power
η is the power yeld.

The power transferred by the inductor in each cycle

$$P_t = \frac{L \cdot I_{Lt} \cdot \Delta I_L}{t_{on}}$$

where: $t_{on} = \delta / f_{sw}$ and $\delta = (V_O - V_{It}) / V_O$

For a given L, the twice ripple current ΔI_L is the quantity associated to the transferred energy and can be calculated as a certain percentage of the I_{Lpk} inductor current.

$$\Delta I_L = \frac{V_{It} \cdot (V_O - V_{It})}{V_O \cdot f_{sw} \cdot L}$$

If the maximum V_{Ipk} value is higher than the $V_O/2$,

the maximum ΔI_L occours when $V_{It} = \frac{V_O}{2}$ and its

value is $\Delta I_{L(max)} = \frac{V_O}{4 \cdot f_{SW} \cdot L}$.

If the V_{Ipk} maximum value does not reach $V_O/2$ voltage value, the maximum ΔI_L is reduced and its value is :

$$\Delta I_{L(max)} = \frac{V_{Ipk} (V_O - V_{Ipk})}{V_O \cdot f_{sw} \cdot L}$$

In continuous mode approch, the acceptable curent ripple level (K_r) can be considered between 10% to 35%.

$$K_r = \frac{\Delta I_L}{2 \cdot I_{Lpk}}$$

Smaller current ripple on the inductor involves smaller noise on the rectified main bus reducing the input filter size; but the ripple reduction will impose an increase of the boost inductor.

The high voltage, the flux density and the frequency range make the standard high frequency ferrite the most useful material in P.F.C. applications. To avoid the core saturation, related to the high permeability materials, it is necessary built an air-gap in order to allow an adequate magnetic force range (H+Hgap).

An easy approach, is to have an approximated minimum value of core size that could be used to perform the conversion:

$$\text{Volume} \geq K \cdot L \cdot I_{Lpk} \cdot \left(I_{Lpk} + \frac{\Delta I_L}{2} \right)$$

where : K = specific energy constant.
L = Boost inductor value in H.

The specific energy constant (K), mainly depends on the ratio between the gap length (l_{gap}) and the effective length (l_{eff}) of the magnetic core set and on the maximum ΔB swing. Practically

$$K \approx 14 \cdot 10^{-3} \frac{l_{eff}}{l_{gap}}$$

can be used to get the minimum volume of the core set in cm^3. After the minimum core-set size is estimated, the suitable type will be selected with technical and economic evaluations.

Next step will be the design of the coil parameters.

The above mentioned formula $P_{Ot} = \frac{L \cdot I_{Lt} \cdot \Delta I_L}{t_{on}}$

if referred to the magnetic path, can be rewritten :

$$P_{Ot} = Ae \cdot l_{eff} \cdot H \cdot \frac{\Delta B}{t_{on}}$$

where : Ae = effective area of the core section.
leff = effective magnetic path length.
ΔB = deviated magnetic flux density.
H = magnetic field strength.

The ratio between the ferrite and the air path magnetic permeability, depends on the ferrite materials. Core materials for power application (such as B50/51), have a initial permeability value about 2500 times that of air. This means that, above a certain air-gap length percentage, it is possible to neglect the leff (length of the core) simplifing the calculation e.g. if a 1% of air-gap length, respect to the core lenght value is used, the error introduced is about 4%.

Rewriting ($P_{Ot} = Ae \cdot l_{eff} \cdot H \cdot \frac{\Delta B}{t_{on}}$)

$$P_{Ot} \approx Ae \cdot l_{gap} \cdot H_{gap} \cdot \frac{\Delta B}{t_{on}}$$

equating to and simplifing $P_{Ot} = \frac{L \cdot I_{Lt} \cdot \Delta I_L}{t_{on}}$

$$Ae \cdot l_{gap} \cdot H_{gap} \cdot \Delta B \approx L \cdot I_{Lt} \cdot \Delta I_L$$

Because: $l_{gap} \cdot H_{gap} \approx N \cdot I_{Lt}$ and $\Delta B = \mu_0 \cdot \Delta H$

$$Ae \cdot N \cdot \mu_0 \Delta H \approx I \cdot \Delta I_L$$

$$\Delta H \approx N \frac{\Delta I_L}{l_{gap}}$$

and finally:

$$N \approx \sqrt{\frac{L \cdot l_{gap}}{\mu_0 \cdot Ae}}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

This simplified relation is much easier to use than the complete one:

$$N \approx \sqrt{\frac{L}{\mu_o}\left[\frac{l_{gap}}{\left(\sqrt{A_e} + \frac{\pi}{4}\cdot l_{gap}\right)^2} + \frac{l_{eff}}{\mu_r \cdot A_e}\right]}$$

After N has been defined, it's necessary to check the core for saturation of the magnetic path (rated $N \cdot I_{max}$ vs. Air-gap on ferrites databook). If the check is too close the rated limit, an increase of the lgap (gap lengh) and a new calculation will be necessary. Copper losses $R_L \cdot I^2_{Lrms}$ and former's winding space available will be considered for the wire selection.

An auxiliary winding can be used just to get a low cost supply for the I.C. It will be a low cost thin wire coil will be used and the number of turns is the only parameter to define.

Input Bridge

The input diodes bridge can be standard off-line, slow-recovery and low cost devices. The device selection considers just the input current (Irms) and the thermal data.

Input Capacitor

The input filter capacitor (C_{IN}) has to sustain the input instantaneous voltage (V_{It}), with an imposed voltage ripple, during the turn-on (t_{on}) time of the Mosfet.

The worst conditions will be found at the minimum rated input voltage $V_{Irms(min)}$.

The maximum high frequency voltage ripple ($r = \Delta V_I / V_I$) has to be imposed:

$$C_{IN} \geq K_r \frac{I_{rms}}{2 \cdot \pi \cdot f_{sw} \cdot r \cdot V_{Irms}}$$

Where: K_r is the current ripple coefficient.
r = 0.02 to 0.08.

The C_{IN} maximum value is limited to avoid current distortion.

Output Bulk Capacitor

The choice of the output bulk capacitor (C_O), mainly depends on the electrical parameters that affect the filter performances and also on the subsequent application.

The D.C. output voltage and overvoltage, the output power and voltage ripple are the first parameters to consider in all applications. The RMS capacitor ripple current $I_{C(2f)rms} = Io/\sqrt{2}$ and so, the output voltage ripple (ΔV_O) will be:

$$\Delta V_O = I_O \sqrt{\frac{1}{(2\pi \cdot 2f \cdot C_O)^2} + (ESR)^2}$$

With a low ESR capacitor can be simplify:

$$C_O = \frac{I_O}{2\pi \cdot 2f \cdot \Delta V_O} = \frac{P_O}{2\pi \cdot 2f \cdot \Delta V_O \cdot V_O}$$

Although the ESR, normally does not affect the output ripple parameter, it has to be considered in power losses account both for the rectified mains frequency and the switching frequency.

If the application (i.e. computer supply) has to guarantee a specified Hold-Up time (t_{HOLD}), the capacitance sizeing criteria will change:

The C_O has to deliver the supply energy for a certain time and a specific dropout voltage.

$$C_O = \frac{2 \cdot P_O \, t_{HOLD}}{V_{O_min}^2 - V_{op_min}^2}$$

where: V_{O_min} = minimum output voltage value (normally at the maximum load conditions)
V_{op_min} = minimum output operative voltage before the 'power fail' detection.

Power Switch

A power MOSFET is the active switch used in most application for its frequency features. It will be selected according with the output boosted voltage and the delivered power. There are two contributions for power losses in the mosfet: conduction losses and switching losses. The on-state power losses can be calculated using the formula:

$$P_{on\text{-}MOS} = I_{Qrms}^2 \, R_{dson}$$

One extimation of the switching losses can be done considering two separated quantities:

$$P_{capacitive} \approx \left(\frac{10}{3} \cdot C_{oss} \cdot V_o^{1.5} + \frac{1}{2} C_{ext} \cdot V_o^2\right) \cdot f_{sw}$$

$$P_{crossover} \approx V_O \cdot I_{rms} \cdot t_{cr} \cdot f_{sw} + P_{rec}$$

where: C_{oss} is the Drain capacitance at V_{DS} = 25V.
t_{cr} is the crossover time.
C_{ext} is the external layout stray capacitance.
P_{rec} is the contribution due to the diode recovery.

To reduce the crossover losses a snubber network can be used.

Booster diode

The booster diode will be selected to withstand the output voltage and current. Moreover, it has to be as fast as possible in order to reduce the power switch losses.
The SGS-THOMSON Turboswitch™ diode series match this specifications, and are expecially suitable for this application.

The diode power losses can be split in two contri-

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

butions: conduction losses and switching losses. The conduction losses can be estimated by:

$$P_{Don} = V_{to} \cdot I_O + R_d \cdot I_{Drms}^2$$

where: V_{to} = threshold voltage
R_d = differential resistance

Sense Resistor

The sense resistor produces the signal for the current feedback loop and for the overcurrent protection circuit.

An easy criterion to choose the sense resistance is to minimize the power dissipated assuring a sufficient signal to noise ratio.

A PRACTICAL EXAMPLE

The following PFC design example is referred to the evaluation board, realized for demostration purpose.

The design target specification are:

a) UNIVERSAL AC input supply voltage V_{Irms} = 88V to 264V
b) DC output regulated voltage V_O = 400V
c) Rated output power P_O = 200W
d) Full load output ripple $\Delta V_O = \pm$ 8V
e) Maximum overvoltage value ΔV_O = 50V
f) Switching frequency f_{SW} = 100kHz
g) Maximum Inductor current ripple ΔI_L = 35% of I_{Lrms}
h) Worse condition efficiency (at minimum input voltage) η = 90%

To match the specifications the material selection, expecially for some critical components is an important step. The choice criterion for some of this components is here discribed.

Power Mosfet:

Since the Mosfet device has to sustain a mimimum blocking voltage value of 500V (V_{DSS} $V_O + \Delta V_{OUT} + V_{marg}$), then the most important parameter for the selection is the R_{DSON} for its relation with the power dissipation.

The device STH/STW15NA50FI (or equivalent) with its 500V V_{DSS} and the R_{DSON} (R_{DSON} = 0.4Ω @ T = 25°C) of about 0.7Ω at Tj = 100°C, is a good choice for the application. We can estimate its performance in this application.

-The maximum "on state" power dissipation evaluated at the minimum input mains voltage (see the above formulae) is:

$P_{on\text{-}MOSmax} = I_{Qrms}^2{}_{max} \cdot R_{on} = 2.15 \cdot 0.7 \approx 3.3W.$

- The switching (on + off) losses can be estimated as:

$$P_{crossover} \approx t_{cr} \cdot V_O \cdot f_{sw} \cdot I_{rms}$$

To take into account the booster diode recovery effect, an easy approach is to compute two times the current value (at turn-on), this means 1.5 times the above value:

$$P_{crossover} \approx 1.5 \cdot 30ns \cdot 400V \cdot 100kHz \cdot 2.15A = 3.9W$$

The capacitive losses at turn-on to be added are:

$$P_{capacitive} \approx \left(\frac{10}{3} \cdot C_{oss} \cdot V_o^{1.5} + \frac{1}{2} C_{ext} \cdot V_o^2\right) \cdot f_{sw} = 3W.$$

To reduce the switching losses a voltage snubber (RCD) has been used.

Booster Diode:

Because of the continuous inductor current mode, the Mosfet has to recover the booster diode minority-carrier at turn on. This makes advantageous the choice of an ultra fast recovery time diode. The SGS-THOMSON Turboswitch™ family offers the best solution for this kind of application. The STTA506D has been selected to match the board parameters. Considering the frequency of the application and the fast performance of the diode, its power dissipation is mainly due to the conduction losses:

$$P_D = V_{TO} \cdot I_o + R_d \cdot I^2_{drms} = 1.15V \times 0.5A + 0.07\Omega \times 1.28A^2 = 0.7W$$

Where: V_{TO} and R_d are the diode parameters.

Booster Inductor:

The inductor design starts defining the minimum L value to limit the high frequency ripple current ΔI_L (for the given frequency), under the rated value. It results a minimum inductance of 0.7mH (0.75mH has been imposed). Using a gapped ferrite the minimum volume needed is about 6.7cm^3. So the core set B1ET3411A (7.5cm^3) has been selected; its effective magnetic path lenght = 79mm define a gap of 1.4mm placed in the central leg to reduce the magnetic radiation, while its effective core area = 97mm^2 and considering a ΔB up to 250mT, defines the number of the primary winding = 75 turns.

To minimize the copper losses (skin and proximity effect), a multiwire solution with a bunch of 20 wires of 32 AWG (0.2mm) has been used. The maximum resistive copper losses can be calculated with the formula:

$$P_{CU} = I_{Lrms}^2 \cdot R_{CUdc} + I_{Lhfrms}^2 \cdot R_{CUhf} = 1.4W$$

where: R_{CUdc} = 170mΩ (at 100°C),
R_{CUhf} = 5.1Ω (at 100kHz),
I_{Lrms} = 2.5A,
I_{Lhfrms} = 2.5A · 0.35 / $\sqrt{12}$ = 0.25A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Output Filter Capacitor:

For the output capacitor (C_O), in this application, the output voltage ripple is the parameter considered. A 100µF/450V has been chosen obtaining a full load ripple voltage of ±8V.

Input Filter Capacitor:

To smooth the high frequency ripple, a capacitor of 220nF across the rectified mains (bridge output) has been used. This capacitor allows the demoboard works well. In normal application an EMI filter is interposed between the mains and the PFC circuit. The EMI filter design is not described in this paper, anyhow it is used in the following evaluation.

Sense Resistor:

The parallel of three metal film resistors (0.22Ω), has been used to obtain the resistance of R_S= 73mΩ that gives a good signal level, with a maximum power dissipation:

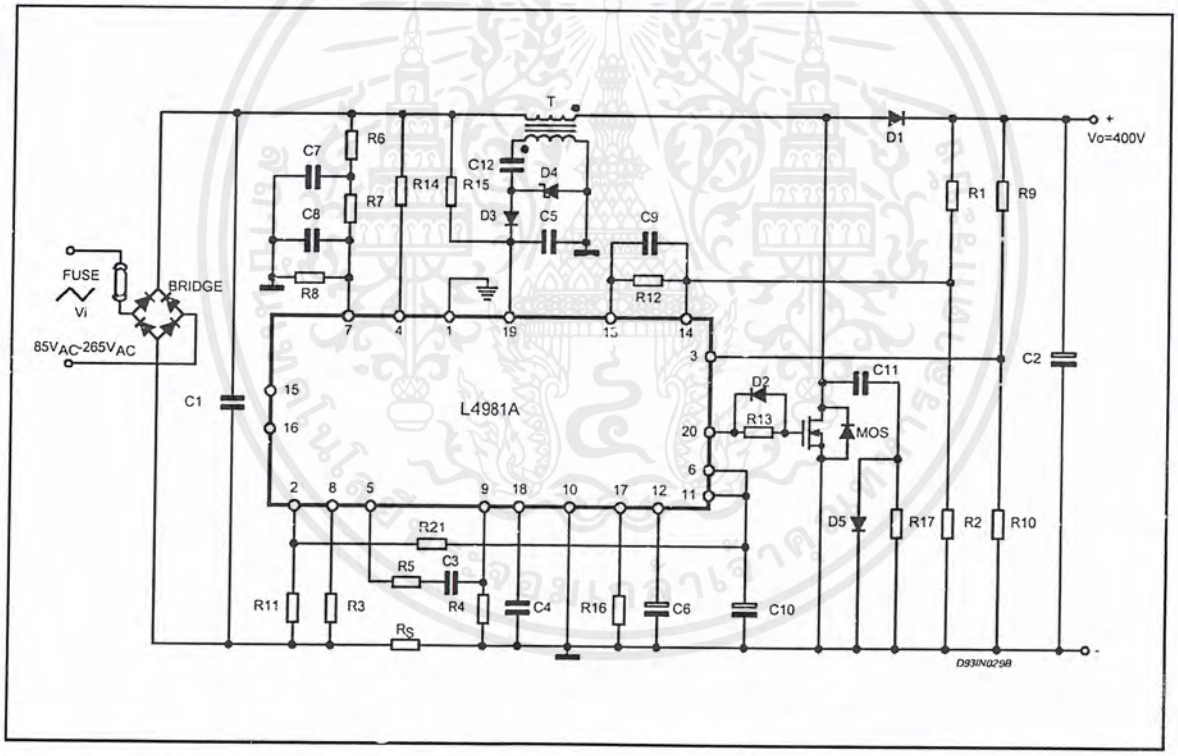
$$P_{Rs} = R_S(I_{Lrms}^2 + I_{Lhfrms}^2) = 0.46W$$

Supply Circuit:

To have a stand alone working demoboard, an IC supply circuitry has been added. This circuitry has been designed for a fast start-up and low power consumption. The start-up is realized with Q_2, Q_3, D_Z, R_{15}, R_{19}, R_{20} and is turned-off by the V_{REF} signal after the turn-on threshold has been reached. At running the supply, delivered by an auxiliary winding on the booster inductor, is optimized to work with large load variation; anyway if the output power (P_O) goes under 10W this circuit doesn't work well and instabilty can happen. To work at so low power a different supply solution has to be used.

The other components has been designed with the criteria already described in this paper and their values are reported in the schematic.

Figure 22: 200W Evaluation Board Circuit.



T= primary: 75 turns of litz wire 20 x 32 AWG (0.2mm)
secondary: 8 turns of # 32AWG (0.20mm)
core: B1ET3411A THOMSON - CSF
gap: 1.4mm for a total primary inductance of 0.7mH

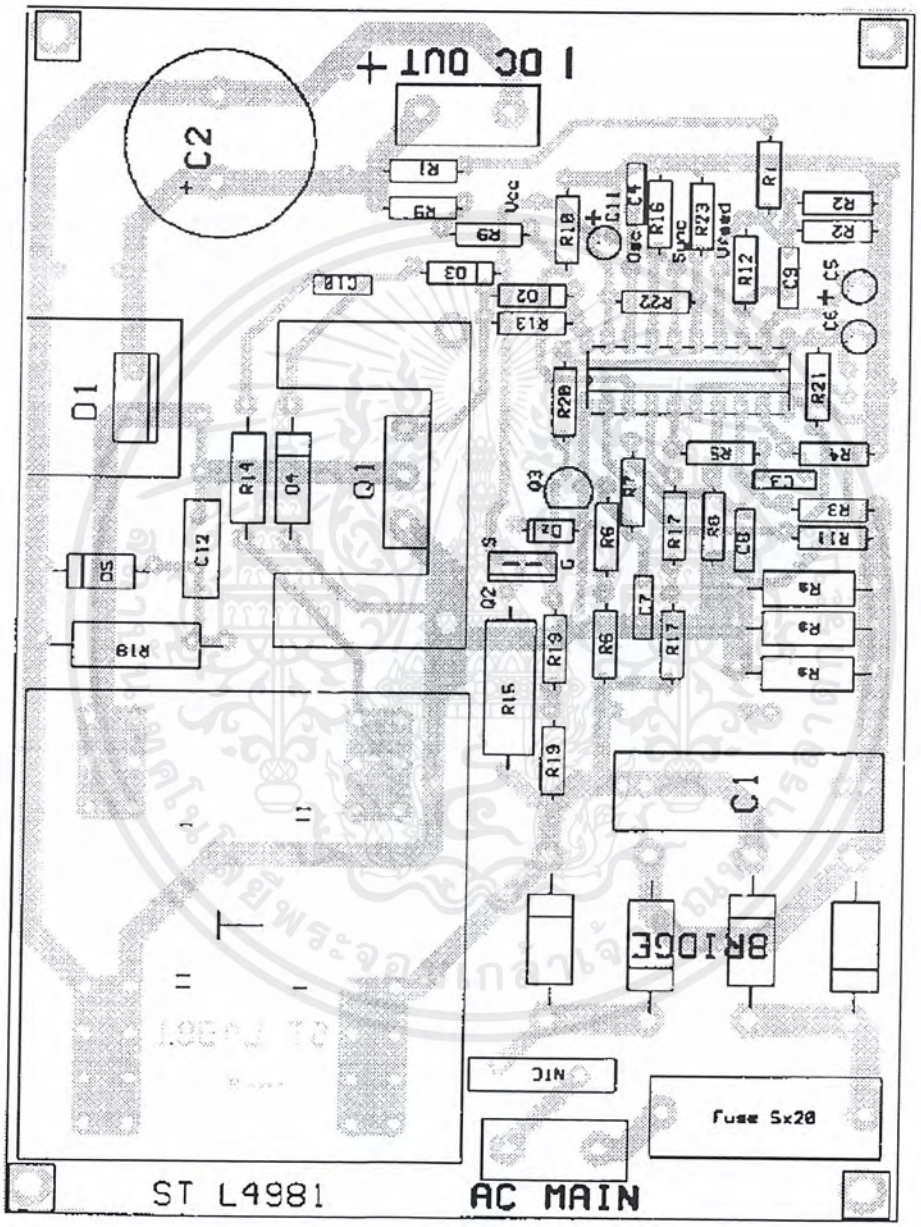
f_{sw} = 100kHz

V_O = 400V; P_O = 200W

Ref. also OREGA P.N. 473201 A9

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 23: P.C. Board and Component Layout of Evaluation Board Circuit (1:1 scale)



(ORDERING NUMBER: EVAL4981A)

SGS-THOMSON MICROELECTRONICS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

EVALUATION RESULTS

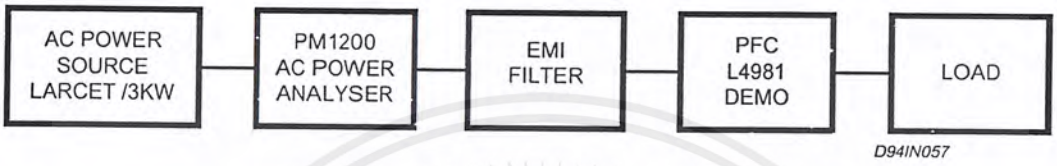
The evaluation board has been designed using a fast not dissipative start-up circuit (Q2, Q3, R19, R20) even if a simple one could be used and a Turn-off snubber to reduce the MOS power dissipation. The fig. 24 and fig. 25 show the Turn-on and the Turn-off MOS waveform.

Further there is a possibility to change the input threshold voltage using an external divider (R23 and R22) and if an inrush current problem arises a NTC resistor could be used.

The PFC demoboard performance has been evaluated testing the following parameters:

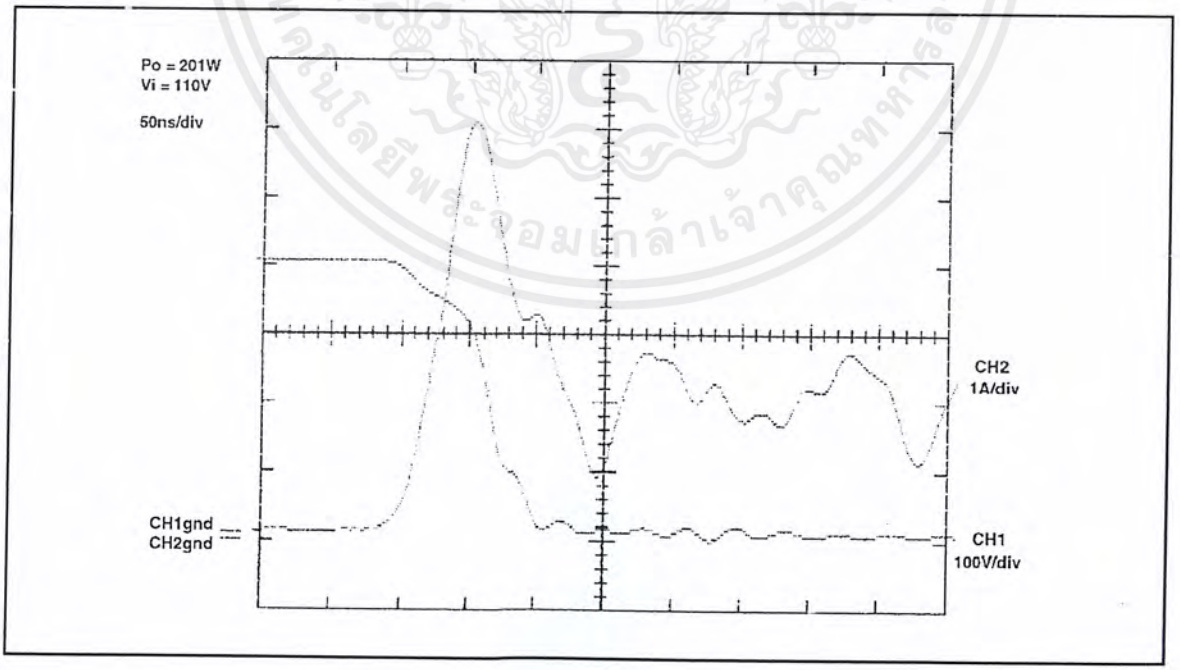
PF (power factor), A-THD (percentage of current total harmonic distortion), H3..H9 (percentage of current's n^{th} harmonic amplitude), ΔV_o (output voltage ripple), V_o (output voltage), η (efficiency).

The test configuration, equipment and results are shown below:



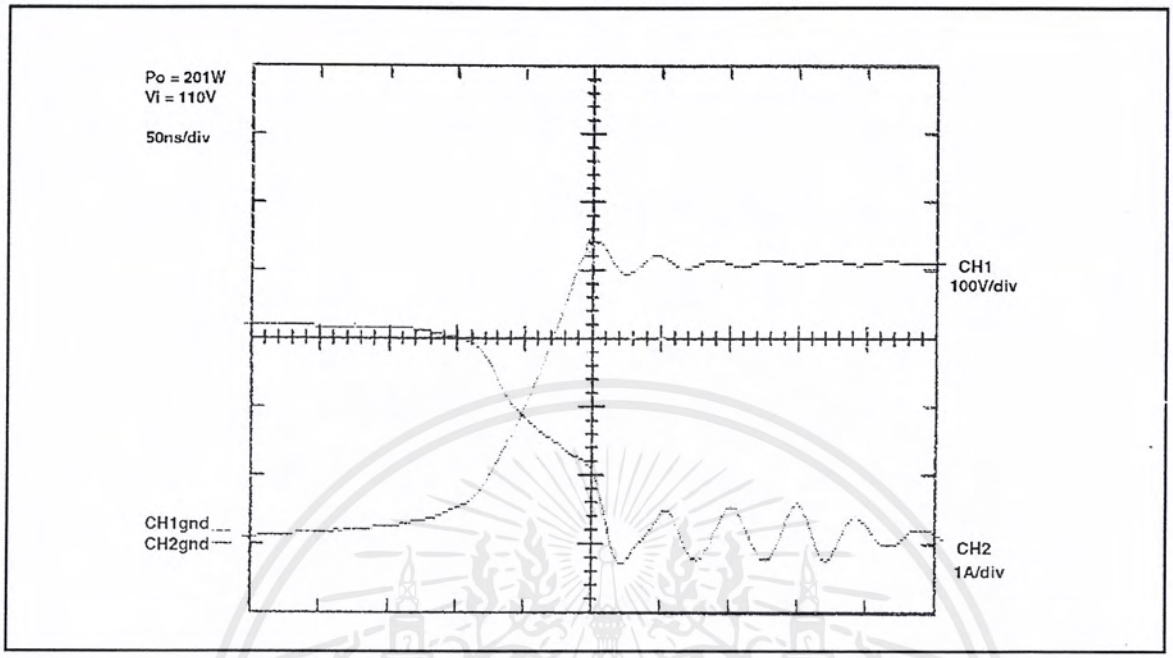
V_i	f	P_i	PF	A-THD	H3	H5	H7	H9	V_O	ΔV_O	PO	η
(V_{rms})	(Hz)	(W)		(%)	(%)	(%)	(%)	(%)	(V)	(V)	(W)	(%)
88	60	222	0.999	2.94	1.98	0.61	0.55	0.70	390	8	200	90.2
110	60	220	0.999	1.79	1.40	0.40	0.31	0.28	392	8	201	91.6
132	60	218	0.999	1.71	1.16	0.40	0.35	0.31	394	8	202	92.8
180	50	217	0.999	1.88	1.52	0.65	0.40	0.34	396	8	203	93.8
220	50	217	0.997	2.25	1.68	0.83	0.57	0.48	398	8	204	94.2
260	50	216	0.995	3.30	1.84	1.30	0.39	0.73	400	8	205	95.2

Figure 24: Turn-on Switch.



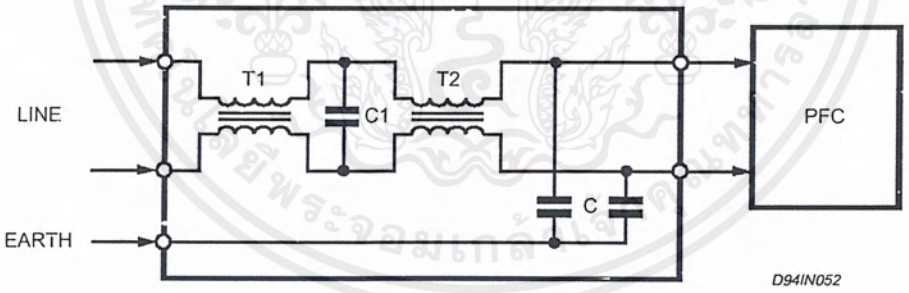
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 25: Turn-off Switch.



EMI/RFI FILTER

The harmonic content measurement has been done using an EMI/RFI filter interposed between the AC source and the demoboard under test, while the efficiency has been calculated without the filter contribution.



Where:

T1 = 1mH C1 = 0.33µF, 630V
T2 = 27mH C2 = 2.2nF, 630V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

APPENDIX A

LFF (pin 6) Function.

Since in Power Factor applications the Error Amp. compensation network has to filter the mains frequency contents, in order to reduce harmonic distortions, the crossover frequency of the loop gain must be low. This involves a poor load transient response.

An additional function (LFF) is available in L4981A/B devices. It is expecially suitable to modify the multiplier output current, proportionally to the load, in order to improve the system response bypassing the E/A.
The control is working with VLFF voltage between 1.7V and 5.1V.

In fig. A1 is shown an application example to explain this function. An external OP-AMP has been used to get the suitable signal voltage avoiding sense resistor (R1) power dissipation.

In the real application the sense resistor is often replaced by sense transformer.

Design criteria:

It is avisable to ensure a minimum VLFF ≅ 2V at the minimum output current.
Since the OP-AMP (LM258) Vol = 0.7V (@ 1mA), to get the minimum voltage at VLFF, 1.3V has to be added. A resistor devider tied to the reference voltage (pin 11 of the controller) shifts the output of the OP-AMP.

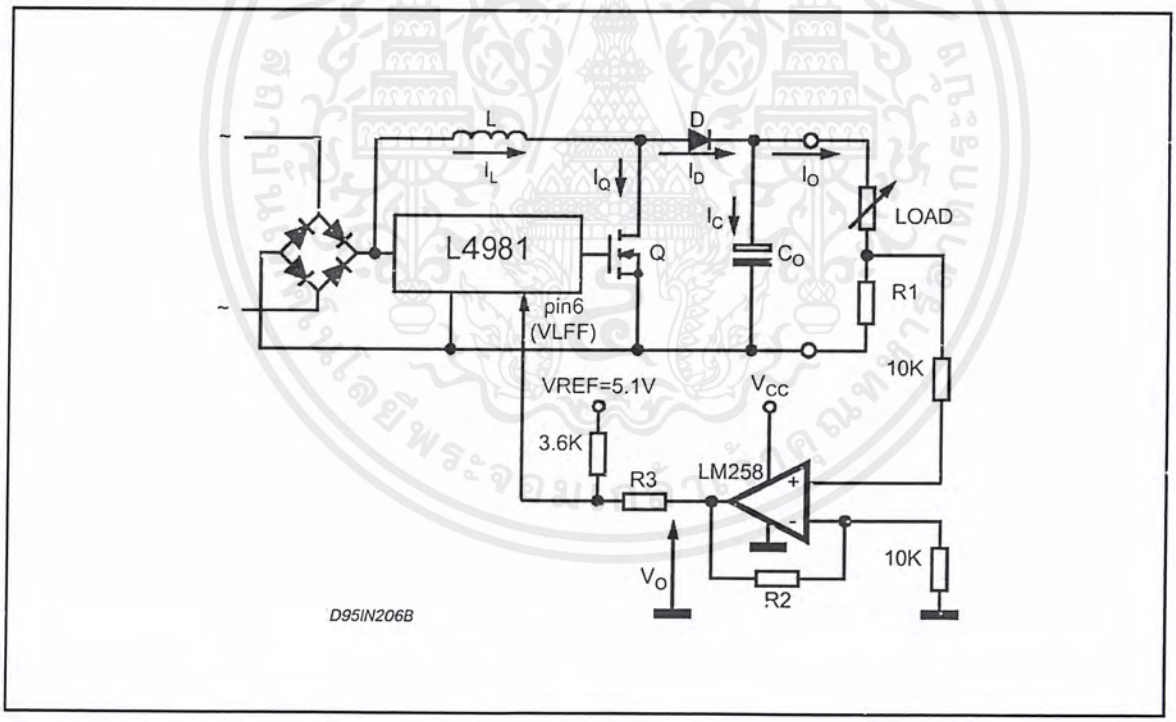
$$\text{therefore } 1.3V = \frac{(5.1V - 0.7V)}{R3 + 3.6k\Omega} \cdot R3 \Rightarrow R3 = 1.3k\Omega$$

The OP-AMP supply voltage is the same used for PFC controller (V_{CC}) and its gain if fixed in order to produce $V_O = 5.1V$ at the maximum load ($I_{O\,max}$).

$$V_O = R1 \cdot I_{Omax} \cdot \left(1 + \frac{R2}{10k}\right) = 5.1V$$

E.g. for I_{Omax} = 3A. R1 = 0.1Ω - 1W R2 is roughly 160KΩ.

Figure A1: Application example.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

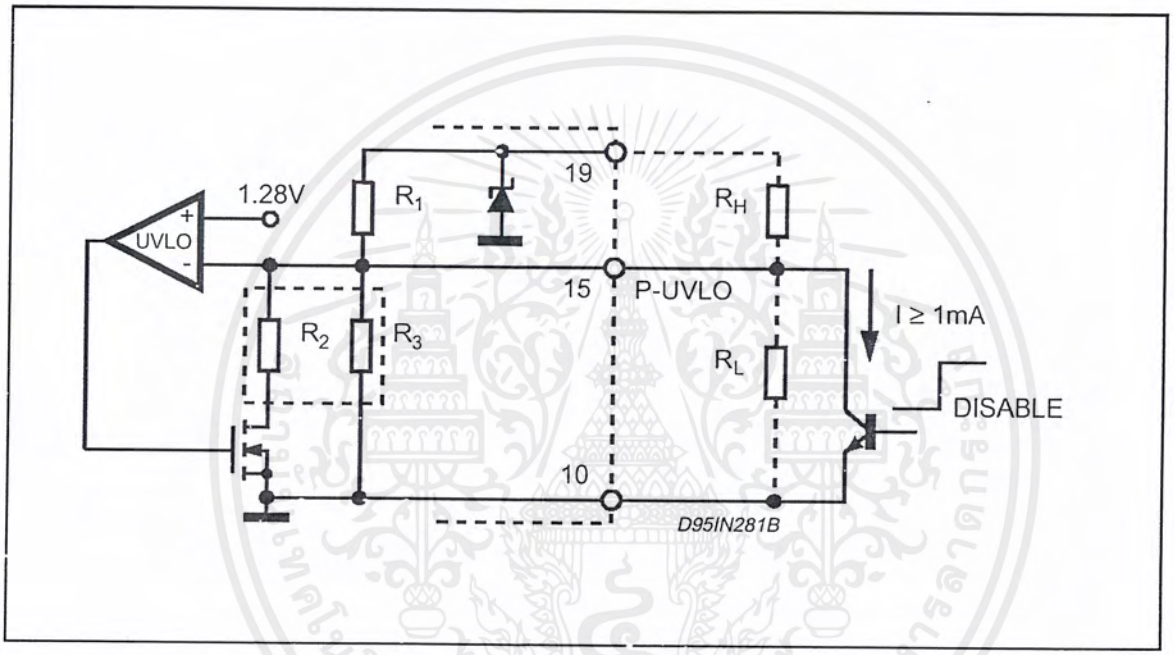
APPENDIX B

Disable

Sometimes it is useful to disable the controller. For example, in a complete system in which a PWM regulator follows the PFC stage. at low output power it is advantageous to shutdown the PFC section to improve the overall system efficiency (stand-by / sleep mode). Likewise most of controllers, one way to do this (using L4981A/B), is pulling down either the Soft-Start or the E/A output pin . In addition the L4981A/B can be disabled grounding the P-UVLO (pin 15) see fig B1.

The P-UVLO function has been designed to program the supply thresholds by means of an external divider (see application note for details) but it can be effectively used for this purpose forcing a voltage below the internal reference (1.28V).
Besides turning off the driver output stage this method puts the controller in "before start-up" condition and gives the advantage of minimizing the supply consumption of the IC.

Figure B1.



SGS-THOMSON MICROELECTRONICS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Information furnished is believed to be accurate and reliable. However, SGS-THOMSON Microelectronics assumes no responsibility for the consequences of use of such information nor for any infringement of patents or other rights of third parties which may result from its use. No license is granted by implication or otherwise under any patent or patent rights of SGS-THOMSON Microelectronics. Specification mentioned in this publication are subject to change without notice. This publication supersedes and replaces all information previously supplied. SGS-THOMSON Microelectronics products are not authorized for use as critical components in life support devices or systems without express written approval of SGS-THOMSON Microelectronics.

© 1997 SGS-THOMSON Microelectronics – Printed in Italy – All Rights Reserved

SGS-THOMSON Microelectronics GROUP OF COMPANIES

Australia - Brazil - Canada - China - France - Germany - Italy - Japan - Korea - Malaysia - Malta - Morocco - The Netherlands - Singapore - Spain - Sweden - Switzerland - Taiwan - Thailand - United Kingdom - U.S.A.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DATA SHEET

ETD49
ETD cores and accessories

Supersedes data of November 2000

2002 Feb 01

FERROXCUBE
A YAGEO COMPANY

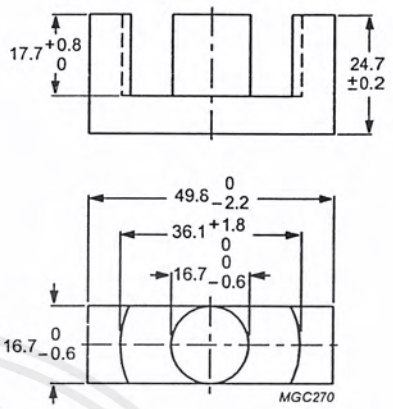
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ETD cores and accessories — ETD49

CORE SETS

Effective core parameters

SYMBOL	PARAMETER	VALUE	UNIT
$\Sigma(l/A)$	core factor (C1)	0.534	mm^{-1}
V_e	effective volume	24000	mm^3
l_e	effective length	114	mm
A_e	effective area	211	mm^2
A_{min}	minimum area	209	mm^2
m	mass of core half	≈ 62	g



Dimensions in mm.

Fig.1 ETD49 core half.

Core halves

Clamping force for A_L measurements, 50 ±20 N. Gapped cores are available on request.

GRADE	A_L (nH)	μ_e	AIR GAP (μm)	TYPE NUMBER
3C90	4200 ±25%	≈ 1810	≈ 0	ETD49-3C90
3C94 des	4200 ±25%	≈ 1810	≈ 0	ETD49-3C94
3F3	3900 ±25%	≈ 1680	≈ 0	ETD49-3F3

Properties of core sets under power conditions

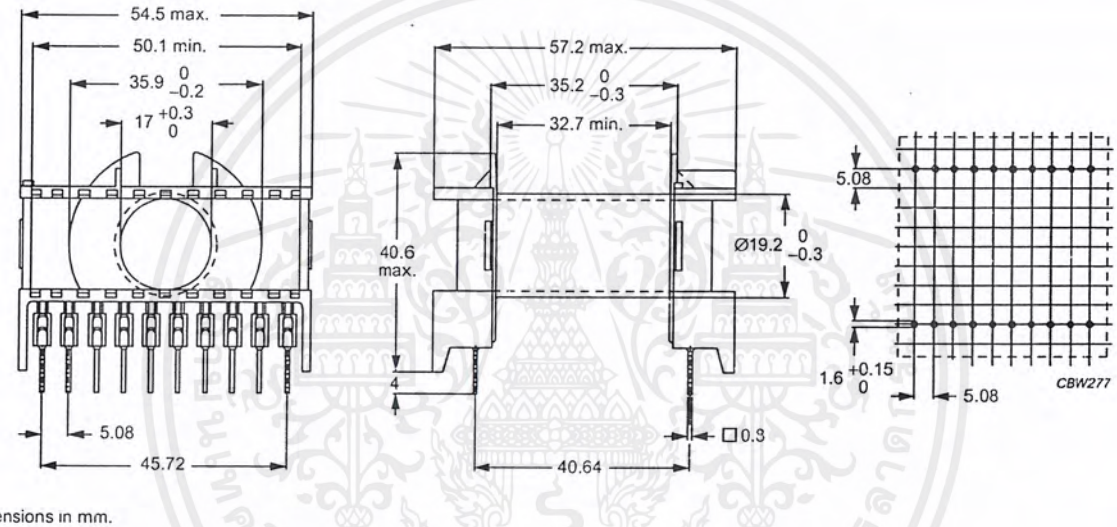
GRADE	B (mT) at	CORE LOSS (W) at			
	H = 250 A/m; f = 25 kHz; T = 100 °C	f = 25 kHz; $\hat{B}$ = 200 mT; T = 100 °C	f = 100 kHz; $\hat{B}$ = 100 mT; T = 100 °C	f = 100 kHz; $\hat{B}$ = 200 mT; T = 100 °C	f = 400 kHz; $\hat{B}$ = 50 mT; T = 100 °C
3C90	≥330	≤ 2.9	≤ 3.1	–	–
3C94	≥330	–	≤ 2.3	≤ 12.4	–
3F3	≥320	–	≤ 3.0	–	≤ 5.4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

COIL FORMERS

General data 20-pins ETD49 coil former

PARAMETER	SPECIFICATION
Coil former material	polybutyleneterephtalate (PBT), glass-reinforced, flame retardant in accordance with *"UL 94V-0"*; UL file number E45329(R)
Pin material	copper-tin alloy (CuSn), tin-lead alloy (SnPb) plated
Maximum operating temperature	155 °C, *"IEC 60085"*, class F
Resistance to soldering heat	*"IEC 60068-2-20"*, Part 2, Test Tb, method 1B, 350 °C, 3.5 s
Solderability	*"IEC 60068-2-20"*, Part 2, Test Ta, method 1



Dimensions in mm.

Fig.2 ETD49 coil former; 20-pins.

Winding data for 20-pins ETD49 coil former

NUMBER OF SECTIONS	WINDING AREA (mm^2)	MINIMUM WINDING WIDTH (mm)	AVERAGE LENGTH OF TURN (mm)	TYPE NUMBER
1	273	32.7	85	CPH-ETD49-1S-20P(1)

Note

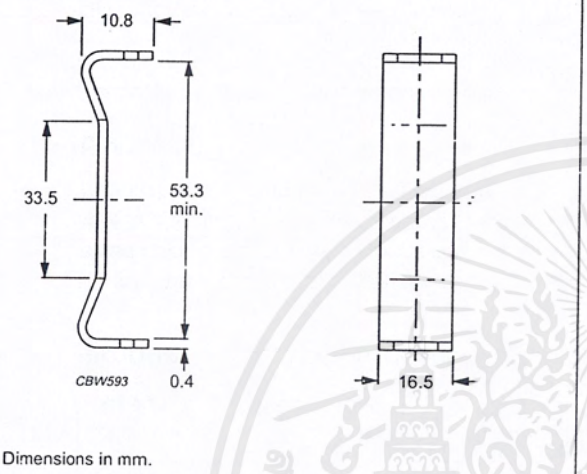
1. Also available with Ø1.0 mm pins.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MOUNTING PARTS

General data

ITEM	REMARKS	FIGURE	TYPE NUMBER
Mounting clip	material: stainless steel	3	CLI-ETD49



Dimensions in mm.

Fig.3 Mounting clip for ETD49.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SEMICONDUCTOR
TOSHIBA
TECHNICAL DATA

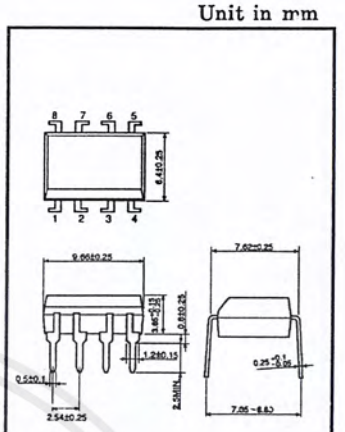
TOSHIBA PHOTOCOUPLER
TLP251
GaAℓAs IRED & PHOTO-IC

(TLP251)

INVERTER FOR AIR CONDITIONOR
INDUCTION HEATING
TRANSISTOR INVERTER
POWER MOS FET GATE DRIVE
IGBT GATE DRIVE

The Toshiba TLP251 consists of a GaAℓAs light emitting diode and a integrated photodetector.
This unit is 8-lead DIP package.
TLP251 is suitable for gate driving circuit of IGBT or power MOS FET. Especially TLP251 is capable of "direct" gate drive of lower power IGBTs. (~15A)

Unit in mm



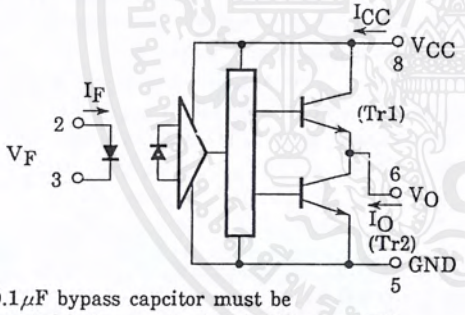
JEDEC	—
EIAJ	—
TOSHIBA	11-10C4

Weight : 0.54g

* Target Specifications *

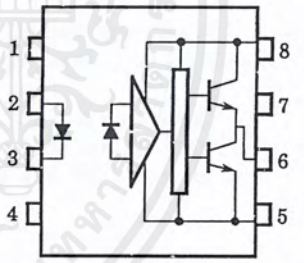
- Input Threshold Current : I_F = 5mA (Max.)
- Supply Current (I_{CC}) : 11mA (Max.)
- Supply Voltage (V_{CC}) : 10–35V
- Output Current (I_O) : ±0.1A (Min.)
- Switching Time (t_{pLH}/t_{pHL}) : 1μs (Max.)
- Isolation Voltage : 2500Vrms (Min.)

SCHMATIC



A 0.1μF bypass capcitor must be connected between pin 8 and 5 (See note 5).

PIN CONFIGURATION (TOP VIEW)



1 : N.C.
2 : ANODE
3 : CATHODE
4 : N.C.
5 : GND
6 : V_O (OUTPUT)
7 : N.C.
8 : V_{CC}

TRUTH TABLE

		Tr1	Tr2
Input LED	ON	ON	OFF
	OFF	OFF	ON

© The information contained herein is presented only as a guide for the applications of our products. No responsibility is assumed by TOSHIBA CORPORATION for any infringements of intellectual property or other rights of the third parties which may result from its use. No license is granted by implication or otherwise under any intellectual property or other rights of TOSHIBA CORPORATION or others.
© These TOSHIBA products are intended for use in general commercial applications (office equipment, communication equipment, measuring equipment, domestic appliances, etc.). please make sure that you consult with us before you use these TOSHIBA products in equipment which requires extraordinarily high quality and/or reliability, and in equipment which may involve life threatening or critical application, including but not limited to such uses as atomic energy control, airplane or spaceship instrumentation, traffic signals, medical instrumentation, combustion control, all types of safety devices, etc. TOSHIBA cannot accept and hereby disclaims liability for any damage which may occur in case the TOSHIBA products are used in such equipment or applications without prior consultation with TOSHIBA.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

(TLP251)

ELECTRICAL CHARACTERISTICS (Ta = −20~70°C, Unless otherwise specified)

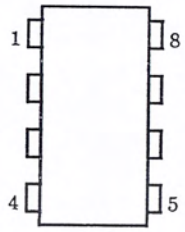
CHARACTERISTIC		SYMBOL	TEST CIR-CUIT	TEST CONDITION		MIN.	TYP.*	MAX.	UNIT
Input Forward Voltage		V_F	—	I_F=10mA, Ta=25°C		—	1.6	1.8	V
Temperature Coefficient of Forward Voltage		$\Delta V_F/\Delta Ta$	—	I_F=10mA		—	−2.0	—	mV/°C
Input Reverse Current		I_R	—	V_R=5V, Ta=25°C		—	—	10	μA
Input Capacitance		C_T	—	V=0, f=1MHz, Ta=25°C		—	45	250	pF
Output Current	"H" Level	I_{OPH}	3	V_{CC}=30V (*1)	I_F=10mA V_{8-6}=4V	−0.1	−0.25	—	A
	"L" Level	I_{OPL}	2		I_F=0 V_{6-5}=2.5V	0.1	0.2	—	
Output Voltage	"H" Level	V_{OH}	4	V_{CC1}=+15V, V_{EE1}=−15V R_L=200Ω, I_F=5mA		11	13.2	—	V
	"L" Level	V_{OL}	5	V_{CC1}=+15V, V_{EE1}=−15V R_L=200Ω, V_F=0.8V		—	−14.5	−12.5	
Supply Current	"H" Level	I_{CCH}	—	V_{CC}=30V, I_F=10mA Ta=25°C		—	7.5	—	mA
				V_{CC}=30V, I_F=10mA		—	—	11	
	"L" Level	I_{CCL}	—	V_{CC}=30V, I_F=0mA Ta=25°C		—	8	—	
				V_{CC}=30V, I_F=0mA		—	—	11	
Threshold Input Current	"Output L→H"	I_{FLH}	—	V_{CC1}=+15V, V_{EE1}=−15V R_L=200Ω, V_O>0V		—	1.2	5	mA
Threshold Input Voltage	"Output H→L"	V_{FHL}		V_{CC1}=+15V, V_{EE1}=−15V R_L=200Ω, V_O<0V		0.8	—	—	V
Supply Voltage		V_{CC}	—			10	—	35	V
Capacitance (Input-Output)		C_S	—	Vs=0, f=1MHz Ta=25°C		—	1.0	2.0	pF
Resistance (Input-Output)		R_S	—	Vs=500V, Ta=25°C R.H.≦60%		5×10^{10}	10^{12}	—	Ω

* All typical values are at Ta=25°C (*1) : Duration of I_O time≦50μs

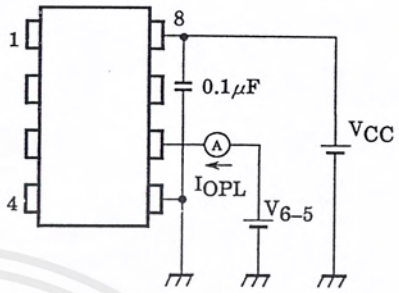
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

(TLP251)

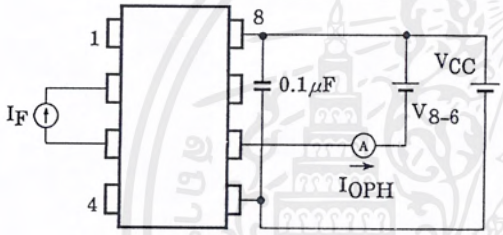
TEST CIRCUIT 1 :



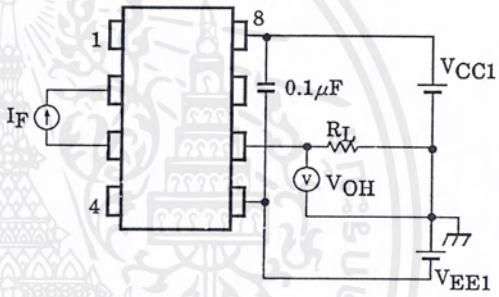
TEST CIRCUIT 2 : I_{OPL}



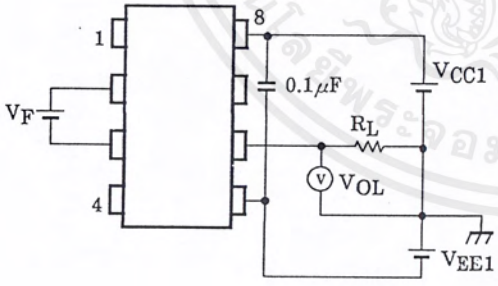
TEST CIRCUIT 3 : I_{OPH}



TEST CIRCUIT 4 : V_{OH}



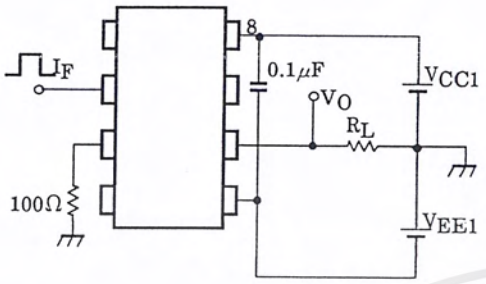
TEST CIRCUIT 5 : V_{OL}

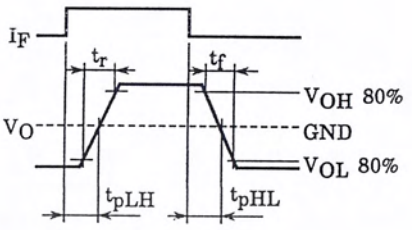


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

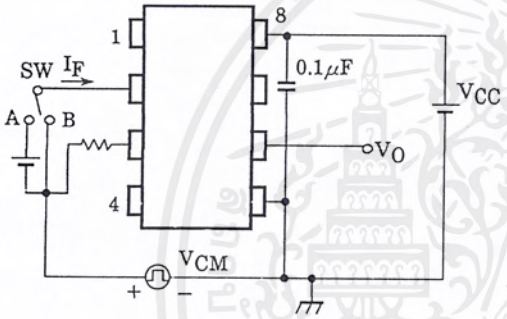
(TLP251)

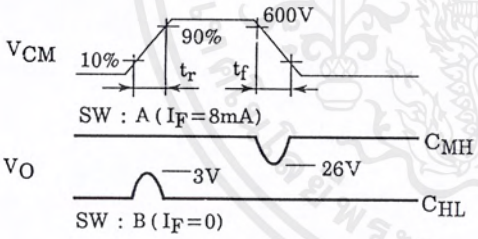
TEST CIRCUIT 6 : t_{pLH}, t_{pHL}, t_r, t_f





TEST CIRCUIT 7 : C_{MH}, C_{ML}





$$C_{ML} = \frac{480\,(V)}{t_r\,(\mu s)}$$

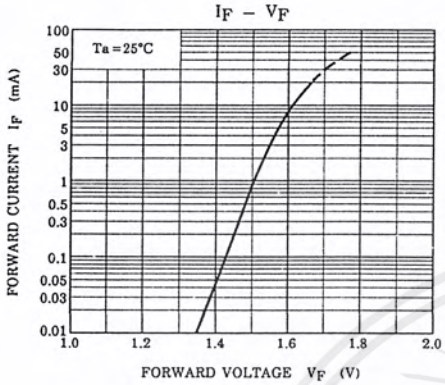
$$C_{MH} = \frac{480(V)}{t_f(\mu s)}$$

C_{ML} (C_{MH}) is the maximum rate of rise (fall) of the common mode voltage that can be sustained with the output voltage in the low (high) state.

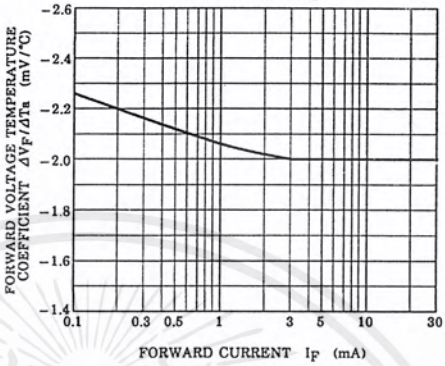
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

(TLP251)

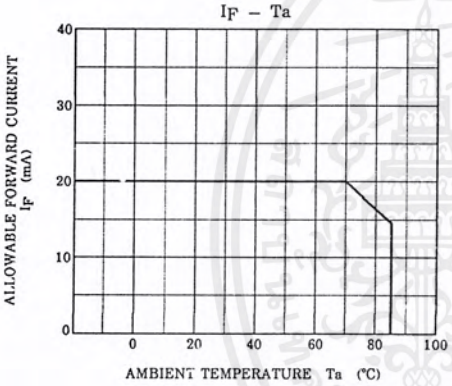
$I_F - V_F$



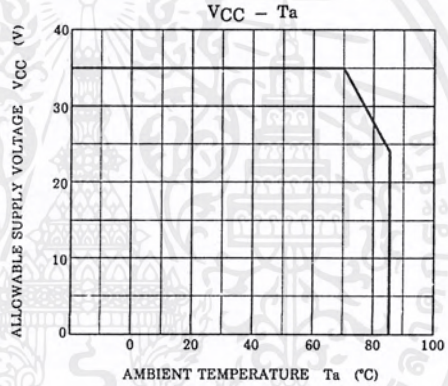
$\Delta V_F / \Delta V_F - I_F$



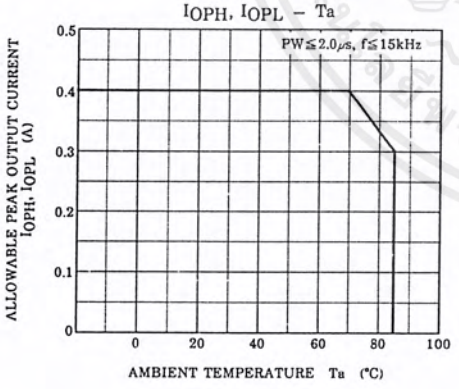
$I_F - Ta$



$V_{CC} - Ta$



$I_{OPH}, I_{OPL} - Ta$



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้