ปีการศึกษา 2530

อุปกรณ์ซ้อนสัญญาณภาพจากคอมพิวเตอร์ลงบนภาพวีดีโอ

โดย

นาย ปารมี เมืองเจริญ
นาย ปรเมศวร์ ปรีชญางกูร

อาจารย์ที่ปรึกษา
อาจารย์สมยศ จุณณะปิยะ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

024665 29 มิ.ค. 2533

ปริญญานิพนธ์ปีการศึกษา 2530
ภาควิชาโทรคมนาคม
คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
เรื่อง อุปกรณ์ซ้อนสัญญาณภาพจากคอมพิวเตอร์ลงบนภาพวีดีโอ

ผู้จัดทำ

1. นายปารมี เมืองเจริญ 27.1111
2. นายปรเมศวร์ ปรีชญางกูร 27.1120

อาจารย์ที่ปรึกษา

(อาจารย์สมยศ จุณณะปิยะ)

024665

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อุปกรณ์ซ้อนสัญญาณภาพจากคอมพิวเตอร์ลงบนภาพวีดีโอ

นายปารมี เมืองเจริญ
นายปรเมศวร์ ปรีชญางกูร
อาจารย์สมยศ จุณณะบิยะ อาจารย์ที่ปรึกษา
ปีการศึกษา 2530

บทคัดย่อ

วิทยานิพนธ์ฉบับนี้ เสนอผลงานถึงทฤษฎีการออกแบบและการทดลองของอุปกรณ์ที่ทำให้การแสดงภาพของคอมพิวเตอร์และวีดีโอ เกิดการแสดงภาพอยู่ในจังหวะเดียวกัน (Synchronization) เพื่อจุดประสงค์ในการซ้อนภาพจากคอมพิวเตอร์เข้ากับภาพวีดีโอ โดยที่อุปกรณ์นี้ประกอบด้วยส่วนของ วงจรแยกสัญญาณซิงค์ (Sync Pulse) ซึ่งจะทำการแยกสัญญาณซิงค์ของวิดีโอ เพื่อนำมาใช้ในการควบคุมระบบซิงค์ของคอมพิวเตอร์ในส่วนวงจร SYNCHRONIZER และวงจร MIXER ซึ่งทำหน้าที่รวมสัญญาณภาพจาก คอมพิวเตอร์ และ วิดีโอ เข้าด้วยกัน

โครงงานนี้สามารถนำไปประยุกต์ใช้งานโดยใช้ซอฟแวร์ช่วยได้หลายประการ เช่น ใช้ในการบรรยายวิดีโอซึ่งเป็นเสียงภาษาต่างประเทศ ใช้ในการแสดงกราฟฟิคจากคอมพิวเตอร์ในขณะที่กำลังแสดงภาพจากวิดีโออยู่ ซึ่งอาจนำไปใช้ในการประกอบการเรียนการสอนที่ใช้วิดีโอเทป เป็นต้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

COMPUTER and VIDEO SYNCHRONIZER

PARAMEE MUANGCHAROEN
PARAMES PRICHAYANGKUN
SOMYOT CHUNNAPIYAR ADVISOR
1987

Abstract

This thesis is intended to present the theory, designs and research conducted on the equipment used for synchronization of computerized composite video signal and composite video signal from a video recorder.

This equipment is composed of 3 parts those are sync-seperater, synchronizer and mixer & buffer. The sync-seperater will seperate the "sync" signal from the video. The synchronizer will conduct the "sync" signal from the video to control the synchronization of the computer. The mixer & buffer will mix the visual signals received from computer and video.

This project can be applied for use in many fields of works with relevant software, i.e., sub-titling, and classroom projections.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

		หน้า
บทที่ 1	บทนำ	1
บทที่ 2	ทฤษฎีและหลักการ	3
	2.1 พื้นฐานการแสดงภาพของคอมพิวเตอร์และวิดีโอ	4
	2.2 ภาคกำเนิดสัญญาณนาฬิกาของ Apple II	8
	2.3 ภาควิดีโอของ Apple II	11
	2.4 หลักการของระบบ	20
บทที่ 3	การคำนวนและการสร้าง	23
	3.1 วงจรแยกซิงค์	24
	3.2 วงจร Synchronizer	27
	3.3 วงจร Mixer and Buffer	40
บทที่ 4	การทดลองและผลการทดลอง	45
บทที่ 5	บทวิจารณ์และสรุป	56
กิตติกรรมประกาศ		58
เอกสารอ้างอิง		59
ภาคผนวก		60

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

ในปัจจุบัน อุปกรณ์และเครื่องใช้ทางด้านวิดีโอเทปได้มีใช้กันอย่างแพร่หลายทั้งทางด้าน ทางการบันเทิง การศึกษา การประชาสัมพันธ์ ฯลฯ ซึ่งในบางครั้งสื่อวีดีโอเทปต่างๆเหล่านี้อาจมีความต้องการที่จะเพิ่มข้อความ แสดงตัวอักษร หรือรูปภาพกราฟฟิคเข้าไปในภาพวีดีโอนั้น เพื่อการใช้ประโยชน์ให้ได้มากยิ่งขึ้น

โครงงานนี้มีวัตถุประสงค์ในการทำให้การแสดงภาพของคอมพิวเตอร์อยู่ในจังหวะเดียวกับการแสดงภาพของวีดีโอ เพื่อซ้อนภาพจากคอมพิวเตอร์ไม่ว่าจะเป็นตัวอักษรหรือกราฟฟิกลงบนภาพวีดีโอ ซึ่งเครื่องมือหรืออุปกรณ์ชนิดนี้ที่ใช้อยู่ในปัจจุบันเป็นระบบใหญ่ และราคาสูงเกินไปกว่าที่จะนำมาใช้ในงานขนาดย่อยได้อย่างเหมาะสม

ปริญญานิพนธ์ฉบับนี้จะกล่าวถึงหลักการ การออกแบบและผลการทดลองของวงจรต่างๆที่ประยุกต์ใช้งานกับคอมพิวเตอร์ ตามจุดประสงค์ดังกล่าวให้มีระบบที่ไม่ยุ่งยากและประหยัด จึงเลือกหลักการที่ใช้การควบคุมคอมพิวเตอร์ที่ส่วน Address Generator และใช้การเปลี่ยน Master Clock ให้กับคอมพิวเตอร์โดยยึดระบบการแสดงภาพวีดีโอเป็นหลัก โดยการนำสัญญาณซิงค์ (Synchronization Signal) ต่างๆจากสัญญาณวีดีโอไปควบคุมการทำงานของคอมพิวเตอร์

<u>แนวความคิดในการออกแบบ</u>

การที่จะแสดงภาพของคอมพิวเตอร์ซ้อนลงบนภาพของวีดีโอนั้นต้องทำให้สัญญาณทั้งสองเป็นระบบเดียวกันเสียก่อน จากการศึกษาการแสดงภาพของระบบวีดีโอและการแสดงภาพของคอมพิวเตอร์ เพื่อหาแนวทางที่จะทำมีได้หลายวิธีดังนี้คือ

<u>วิธีที่ 1</u> การใช้ซอฟแวร์ในส่วนมอนิเตอร์โปรแกรม ร่วมกับฮาร์ดแวร์บางส่วนโดยการแยกสัญญาณ Sync จากสัญญาณวีดีโอ แล้วอินพุทไปยังคอมพิวเตอร์ แล้วใช้โปรแกรมจับสัญญาณนี้นำไปควบคุมการแสดงภาพของคอมพิวเตอร์ แต่เมื่อศึกษาละเอียดถึงฮาร์ดแวร์ของเครื่องคอมพิวเตอร์แล้วการอ้าง address ของ Video Address Generator ที่จะไป map กับข้อมูลใน Video RAM ไม่สามารถควบคุมได้ด้วยมอนิเตอร์โปรแกรม วิธีนี้จึงนำมาใช้งานไม่ได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วิธีที่ 2 ใช้เก็บสัญญาณภาพของคอมพิวเตอร์ในลักษณะของสัญญาณดิจิตอลลงในหน่วยความจำภายนอกก่อนแล้วใช้สัญญาณ Sync จากวีดีโอ มาอ่านข้อมูลออกไปรวมกับสัญญาณวีดีโอ วิธีนี้เป็นการสิ้นเปลืองอุปกรณ์ที่จะต้องต่อเพิ่มขึ้นภายนอกเป็นจำนวนมาก แล้วต้องใช้หน่วยความจำขนาดใหญ่ถึง 8 Kbyte จึงจะเพียงพอในการเก็บภาพแต่ละเฟรม และยังจำเป็นที่จะใช้หน่วยความจำถึง 2 ชุดสลับกันทำงานเพื่อแก้ปัญหา access time ของ RAM เพื่อใช้ในการกำจัดความไม่ต่อเนื่องของภาพ (fricker)

วิธีที่ 3 ใช้การย้ายข้อมูลในส่วนที่จะแสดงภาพ (Video Data) มายังอุปกรณ์ภายนอกแล้วใช้ Video display processor (TMS 9129) ในการประมวลผลสร้างภาพแสดงออกไปซ้อนกับสัญญาณวีดีโอ แต่วิธีการนี้จำเป็นต้องใช้ IC ซึ่งมีราคาสูงมากและหาไม่ได้ในประเทศ

วิธีที่ 4 ใช้การควบคุมส่วนฮาร์ดแวร์ที่ทำหน้าที่ในการแสดงภาพของคอมพิวเตอร์ (Address Generator) และการสร้าง Mastor Clock ขึ้นมาใหม่ในการให้การแสดงภาพของคอมพิวเตอร์เป็นระบบเดียวกับวีดีโอ ซึ่งเราจะเลือกใช้วิธีที่ 4 ในโครงงานนี้ การควบคุมฮาร์ดแวร์ในส่วน Address Generator ในภาคการศึกษาแรกทำโดยการสร้างสัญญาณไปหยุด (inhibit) การนับของ Address Generator แต่พบปัญหาเรื่องสัญญาณป้อนกลับ (feed back loop) ในวงจรส่วนนี้ ในภาคการศึกษานี้จึงได้มีการเพิ่มส่วน Phase Lock Loop ขึ้นมาใช้ในการสังเคราะห์ความถี่เพิ่มขึ้นมา ซึ่งรายละเอียดจะได้กล่าวถึงในบทต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
ทฤษฎีและหลักการ

ในบทนี้ เราจะอธิบายถึงทฤษฎีต่างๆที่ต้องศึกษาในการที่จะทำโครงงานนี้ขึ้นมาซึ่งส่วนใหญ่จะประกอบด้วย วงจรบางส่วนของเครื่องคอมพิวเตอร์ Apple II, พื้นฐานการสแกนภาพของเครื่องคอมพิวเตอร์และวีดีโอ, และประกอบด้วยหลักการในการทำระบบ Synchronization นี้ขึ้นมา

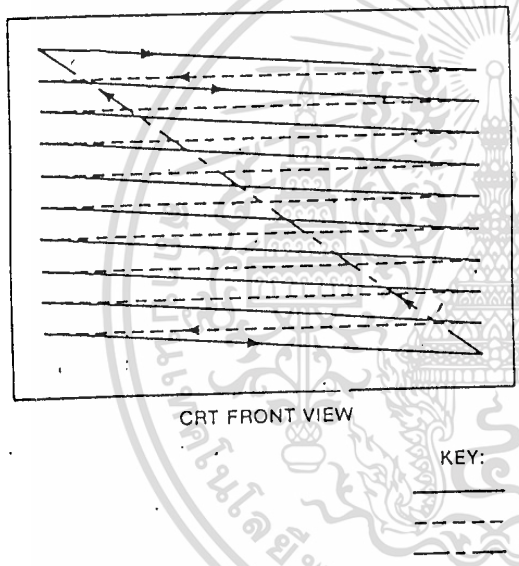
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.1 พื้นฐานการแสดงภาพของระบบคอมพิวเตอร์ และวีดีโอ

การสแกนลำอิเลคตรอนของระบบคอมพิวเตอร์ และระบบวีดีโอนั้นไม่ใช่ระบบเดียวกันและสัญญาณต่างๆของทั้งสองระบบมีลักษณะแตกต่างกันเล็กน้อย อีกทั้งความถี่ของสัญญาณต่างๆก็ต่างกันด้วย ดังนั้น ในหัวข้อนี้เราจะแยกอธิบายถึงพื้นฐานการแสดงภาพ และลักษณะของสัญญาณต่างๆของทั้งสองระบบ

2.1.1 การสแกนภาพของระบบคอมพิวเตอร์

การแสดงภาพบนจอมอนิเตอร์นั้นสามารถทำได้โดยการสแกนลำอิเลคตรอนในแนวนอนบนผิวของหลอดภาพ CRT ดังรูป (2.1) การสแกนจะสแกนจากซ้ายไปขวาทีละเส้นจากบนลงล่างจนได้ภาพเต็มจอ



รูป(2.1) การสแกนภาพของระบบคอมพิวเตอร์

TRACE : คือการสแกนลำอิเลคตรอนจากซ้ายไปขวาบนจอ CRT ซึ่งส่วนนี้จะปรากฏเห็นได้บนจอภาพ

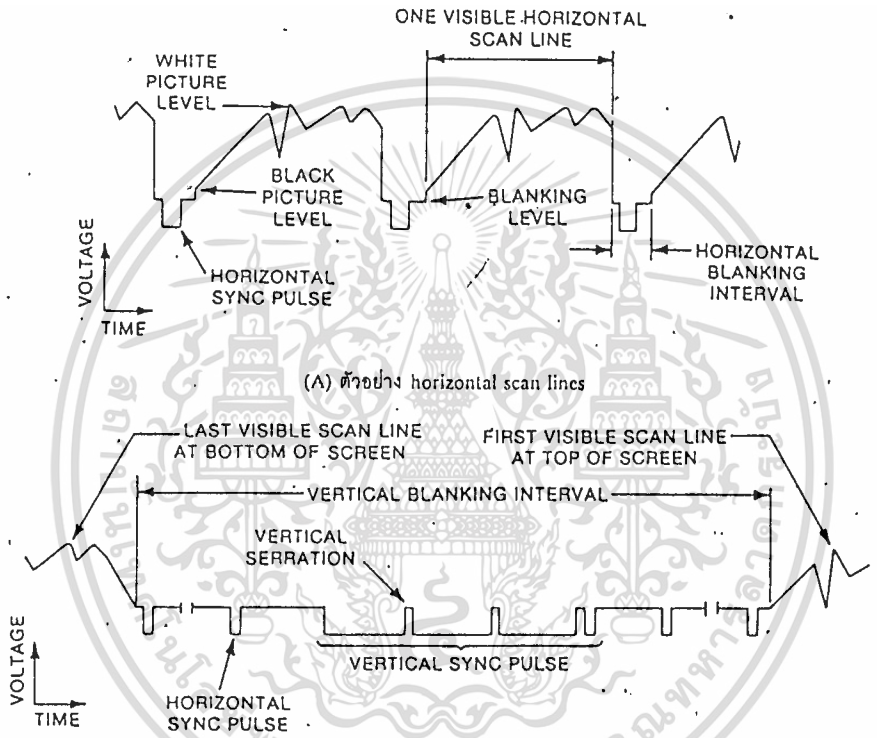
H-RETEACE : เป็นการสบัดลำอิเลคตรอนกลับหลังจากที่ได้ทำการสแกนแต่ละเส้นแล้ว เพื่อทำการสแกนเส้นใหม่ต่อไปซึ่งเส้น Retrace นี้จะไม่สามารถมองเห็นได้ในจอภาพ

V-RETRACE : เป็นการสบัดลำอิเลคตรอนกลับหลังจากที่ได้ทำการสแกนครบ 1 field เพื่อที่จะทำการเริ่มสแกนเส้นที่ 1 ใหม่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การสแกนในระบบของคอมพิวเตอร์นี้จะสแกนทั้งหมด 192 เส้นก็จะเต็มจอภาพ เมื่อครบ 192 เส้นแล้ว ก็จะเริ่มต้นสแกนเส้นที่ 1 ใหม่ (ซึ่งจะต่างกับของระบบวีดีโอ ดังที่จะได้กล่าวในหัวข้อต่อไป) ระบบการสแกนของคอมพิวเตอร์นี้ เรียกว่า เป็นระบบ Non-Interlace

สัญญาณ Apple II Composite Video o/p ซึ่งเป็นสัญญาณที่ส่งออกมาจากคอมพิวเตอร์เพื่อที่จะทำการสแกนนั้น จะประกอบด้วยส่วนสำคัญต่าง ๆ ดังรูป(2.2)



รูป(2.2) สัญญาณ Composite Video ของ Apple II

สัญญาณ Horizontal Sync Pulse จะเป็นตัวกำหนดให้ทำการสแกนลำอิเลคตรอนเส้นต่อไปได้แล้ว คือทำการขึ้นเส้นใหม่นั่นเอง

สัญญาณ Vertical Sync Pulse จะเป็นตัวกำหนดว่าเป็นการสแกนครบ 1 field แล้ว และให้ทำการเริ่มสแกนเส้นที่ 1 ใหม่

ใน 1 ภาพของคอมพิวเตอร์ (1 frame) จะประกอบด้วยการสแกนเพียง 1 field ซึ่งความเร็วในการสแกนภาพ 1 frame หรือ 1 field จะเท่ากับ 60 Hz (คือความถี่ของ Vertical Sync Pulse นั่นเอง) เพราะฉะนั้น จะได้ความเร็วในการสแกนในแต่ละเส้นตามแนวนอนเท่ากับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

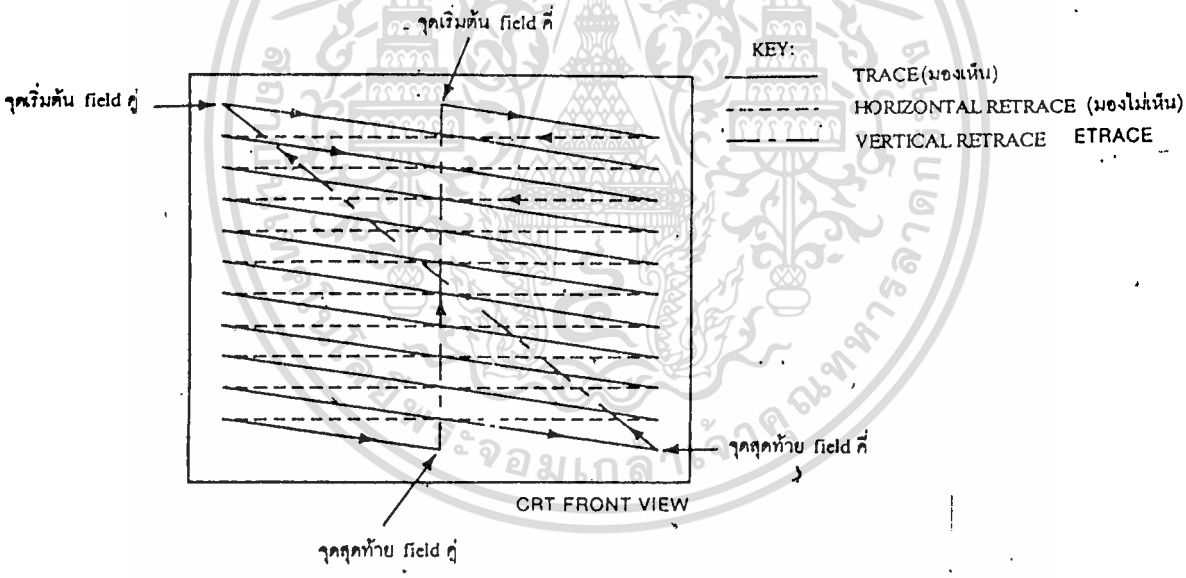
212 เส้น/frame x 60 frame/วินาที = 15700 เส้น/วินาที นั่นคือความถี่ของ Horizontal Sync Pulse เท่ากับ 15.700 KHz

ในระบบคอมพิวเตอร์ จะมีการอ้างตำแหน่งของเส้นที่จะทำการสแกนถึง 262 เส้น แต่ที่เรามองเห็นเพียง 192 เส้นนั้น เป็นเพราะอีก 70 เส้นจะอยู่ในช่วงของ Vertical blanking ซึ่งเป็นส่วน Vertical Synchronization

2.1.2 การสแกนภาพของระบบวิดีโอ

การส่งสัญญาณโทรทัศน์จะใช้เทคนิคที่เรียกว่า 2:1 Interlace ซึ่งคุณภาพและรายละเอียดของภาพจะดีกว่าแบบ Non-Interlace ซึ่งใช้ในระบบของ Apple II

เทคนิคแบบ 2:1 Interlace นี้ ใน 1 ภาพ (1 frame) จะถูกแบ่งออกเป็น 2 field โดยจะแสดงเส้นคู่-คี่สลับกัน ดังรูป (2.3)



รูป(2.3) การสแกนภาพของวีดีโอ

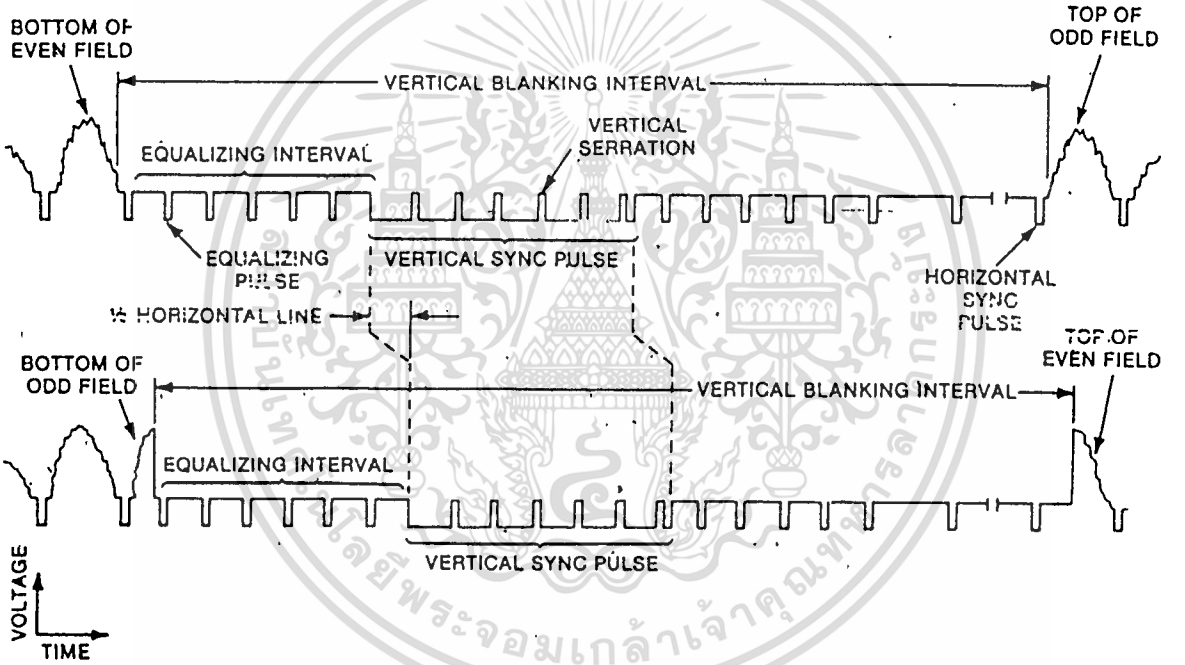
จำนวนเส้นของการสแกนจริง ๆ ในระบบโทรทัศน์ของบ้านเราจะประกอบด้วย 312.5 เส้นต่อ 1 field หรือ 625 เส้นต่อ 1 frame ในแต่ละ frame จะประกอบด้วย field ที่สลับกัน 2 field เรียกว่า field คี่ และfield คู่

ความเร็วของการสแกนใน 1 field จะเท่ากับ 50 Hz (คือความถี่ของ Vertical Sync pulse เท่ากับ 50 Hz) ซึ่งจะได้ความเร็วในการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สแกนในแต่ละhorizontal line เท่ากับ 625 เส้น/framex25 frame/วินาที เท่ากับ 15625 เส้น/วินาที นั่นคือความถี่ของ Horizontal Sync Pulse เท่ากับ 15.625 KHz (TV. ระบบ PAL)

สัญญาณ Hor-Sync และ Blanking จะเหมือนกับระบบ Non-Interlace ดังที่ได้กล่าวมาแล้ว แต่สัญญาณ Ver-Sync จะต่างกัน ดังรูป(2.4) โดยที่สัญญาณ Ver-Sync ของ field คู่จะเลื่อนนำหน้าสัญญาณ Ver-Sync ของ field คี่อยู่ 1/2 horizontal line ซึ่งนี่คือเหตุผลที่ว่าจะสแกนแบบ Interlace ได้อย่างไร (โทรทัศน์จะทำงานตามที่ได้รับสัญญาณ Sync เท่านั้น ซึ่งถ้า Ver-Sync ตรงกัน โทรทัศน์ก็จะทำการสแกนแบบ Non-Interlace)



รูป(2.4) สัญญาณ Composite Video ของวีดีโอ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2 ภาคกำเนิดสัญญาณนาฬิกา (Clock Generator) ของ Apple II

วงจรกำเนิดสัญญาณนาฬิกา (clock) เป็นส่วนที่มีความสำคัญอย่างยิ่งในวงจรคอมพิวเตอร์เพราะการทำงานของอุปกรณ์ต่างๆในเครื่อง Apple II มีรากฐานการทำงานที่ต้องอาศัยสัญญาณนาฬิกาทั้งสิ้น อุปกรณ์ต่างๆเหล่านี้ได้แก่ Flip-Flops, Counters และ Shift Registers อุปกรณ์เหล่านี้จะทำงานอยู่ตลอดเวลาโดยการรับและผ่านสัญญาณนาฬิกาทางอินพุท ตัวอย่างเช่น 74LS161 ซึ่งเป็นวงจรนับ (Counter) จะนับ, หารความถี่ของสัญญาณนาฬิกาที่ส่งเข้ามาทางอินพุทอีก อย่างไรก็ดีหากสัญญาณนาฬิกามีความถี่สูงเกินไป (หรือมี pluse แคบเกินไป) วงจรจะทำงานไม่ทันเช่น 74LS161 จะไม่ทำงาน (ทำงานไม่ทัน) ที่ความถี่ที่มากกว่า 25 MHz

อุปกรณ์อื่นๆ เช่น 6502 Microprocessor (CPU) ก็จำเป็นต้องใช้สัญญาณนาฬิกาเช่นกัน CPU จะทำงานตามโปรแกรมที่เขียนไว้ ความเร็วของการทำงานในแต่ละขั้นจะถูกกำหนดโดยความถี่ของสัญญาณนาฬิกาที่ใช้และความถี่ของสัญญาณของนาฬิกา สำหรับ CPU ที่ใช้ใน Apple II จะถูกกำหนดให้มีความถี่ประมาณ 1 MHz

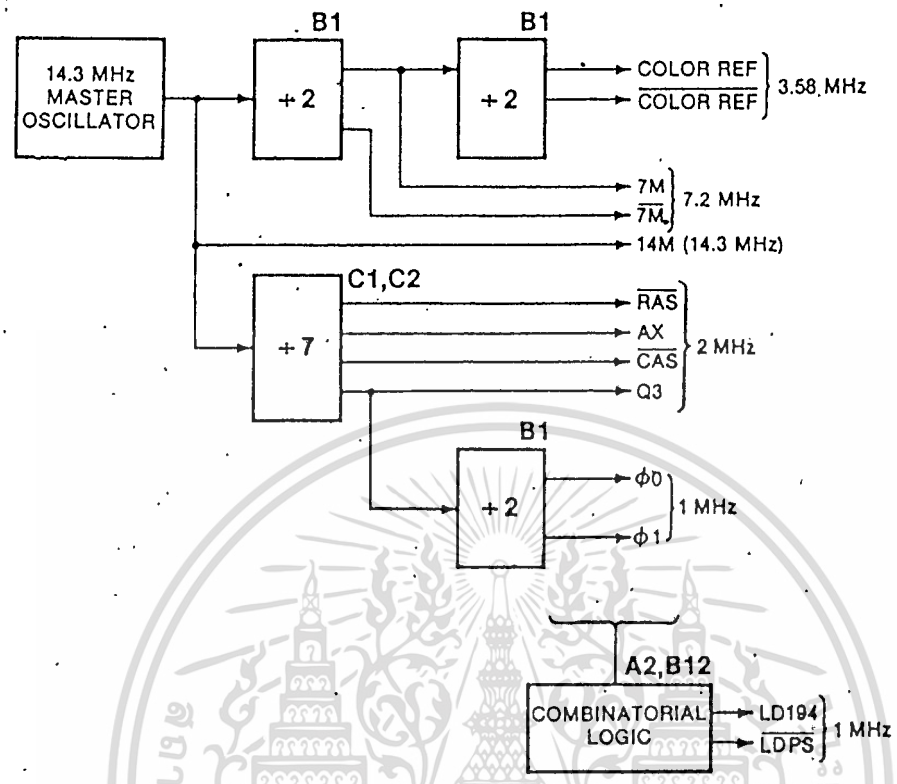
4116 Dynamic RAM ก็เป็นอุปกรณ์ที่ใช้สัญญาณนาฬิกาด้วย โดยจะทำการ load address และ data เข้าไปเมื่อได้รับสัญญาณนาฬิกาที่ถูกกำหนดขึ้น RAM ที่ใช้ในเครื่อง Apple II จะทำงานที่สัญญาณนาฬิกาความถี่ประมาณ 2 MHz

สัญญาณรวมของวีดีโอ (Composite Video) ของเครื่อง Apple II ได้บรรจุความถี่ 3.579545 MHz ซึ่งเป็นสัญญาณความถี่หลักของสี (ในระบบ NTSC) ไว้ด้วย ความถี่นี้ได้มาจากวงจรกำเนิดสัญญาณนาฬิกาเช่นกัน

จากที่ได้กล่าวมาแล้วทำให้เราได้ทราบว่าอุปกรณ์ต่างๆที่ใช้ใน Apple II มีความต้องการสัญญาณนาฬิกาความถี่ที่ไม่เท่ากัน แต่อุปกรณ์เหล่านี้จะต้องทำงานสัมพันธ์กัน ดังนั้นจึงจำเป็นที่จะต้องมีภาคกำเนิดสัญญาณนาฬิการ่วมกัน ซึ่งเรียกว่า Master Oscillator วงจร Master Oscillator นี้จะสร้างความถี่สัญญาณนาฬิกาที่มีความถี่สูงคงที่ ซึ่งความถี่ที่ใช้ถูกเลือกให้มีค่าเป็น 4 เท่าของความถี่หลัก ซึ่งมีความถี่ 3.579545 MHz ดังนั้น Master Oscillator จึงกำเนิดความถี่ = 4 x 3.579545 MHz ซึ่งเท่ากับ 14.31818 MHz และการนำไปใช้งานยังอุปกรณ์ต่างๆก็จะผ่านวงจรทางดิจิตอล ซึ่งจะทำหน้าที่หารความถี่ของ Master Oscillator ให้มีค่าพอเหมาะแก่วงจรนั้นๆ โดยจะเป็น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรหารด้วยเลขจำนวนเต็ม



รูป(2.5) Block Diagram ของภาคกำเนิดสัญญาณนาฬิกา

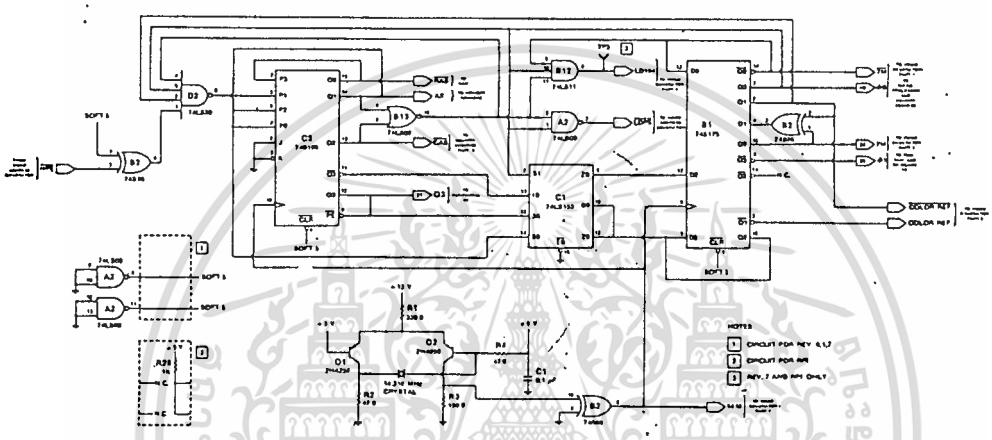
ในภาพที่ (2.5) คือ block diagram ของวงจรกำเนิดสัญญาณนาฬิกาตำแหน่งของ IC บนเครื่อง Apple II ได้แสดงไว้ในแต่ละ block ในรูปแล้ว ความถี่ที่เกิดจาก Master Oscillor ถูกหาร 2 และแบ่งเป็น 2 ส่วน ซึ่งมีความถี่เท่ากันคือ 7.2 MHz โดยกำหนดให้เป็นสัญญาณ 7M และ $\overline{7M}$ สัญญาณ 7M ถูกหาร 2 และแบ่งออกเป็น 2 ส่วน เพื่อสร้าง Color Ref สัญญาณ 7M, $\overline{7M}$, Color Ref และ 14M ถูกใช้ในภาคกำเนิดสัญญาณวีดีโอ

สัญญาณ 14M ถูกหาร 7 เพื่อสร้างสัญญาณ $\overline{RAS}$, AX, $\overline{CAS}$ และ Q3 (ซึ่งทั้งหมดนี้มีความถี่ประมาณ 2MHz สัญญาณเหล่านี้ (ยกเว้น Q3) ถูกใช้สำหรับการอ้าง address ในการอ่านหรือเขียนข้อมูลลงใน RAM ส่วนสัญญาณ Q3 มีไว้สำหรับใช้อย่างกว้างๆซึ่งจะพบได้ที่ I/O connector สัญญาณ Q3 จะถูกหาร 2 และแบ่งเป็น 2 ส่วนคือ 00 และ 01 ซึ่งมีความถี่ประมาณ 1MHz สัญญาณทั้ง 2 นี้ จะเป็นสัญญาณนาฬิกาที่ใช้ป้อนให้กับ 6502 CPU และอุปกรณ์อื่นๆที่ใช้อ่านหรือเขียน ระบบ data bus

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสาร ห้ามมิให้นำไปใช้

024665

สำหรับสัญญาณ LD194 และ $\overline{\text{LDPS}}$ นั้น เกิดจากการรวมกันทาง logic ของสัญญาณ clock ต่างๆ โดยที่สัญญาณ LD194 จะถูกใช้ในภาคกำเนิดสัญญาณวีดีโอ และ $\overline{\text{LDPS}}$ ถูกใช้ในภาคกำเนิดสัญญาณ video address วงจรโดยละเอียดของภาคกำเนิดสัญญาณนาฬิกา ได้แสดงไว้ในรูป(2.6)

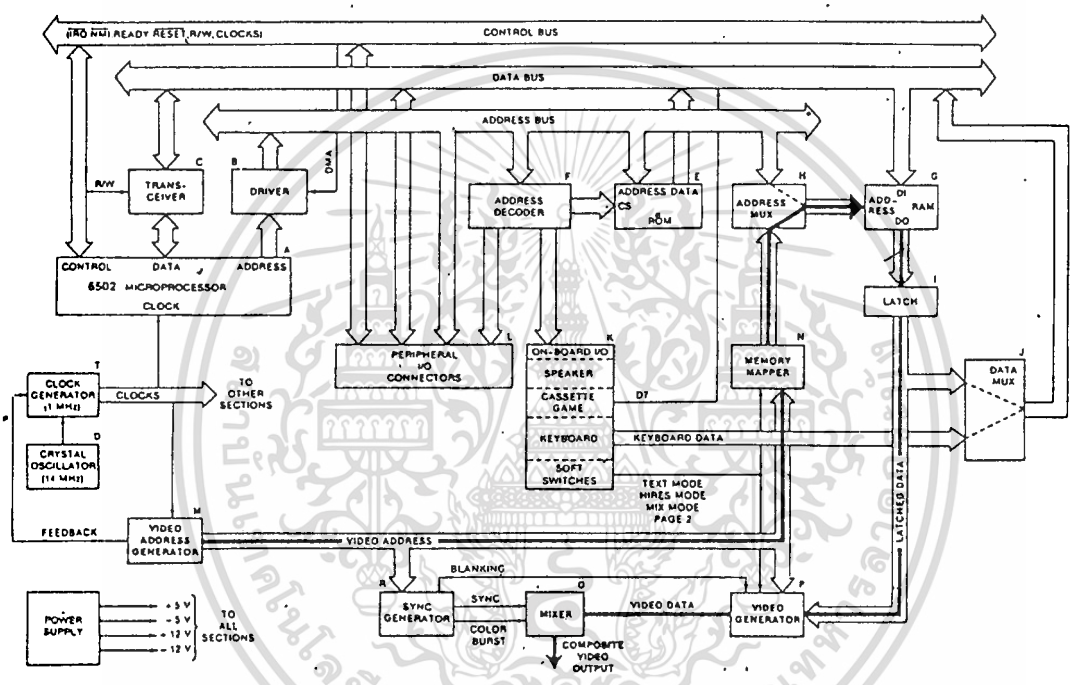


รูป(2.6) ภาคกำเนิดสัญญาณนาฬิกาของ Apple II

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3 ภาควีดีโอของ Apple II

การให้กำเนิดสัญญาณวีดีโอ (video o/p) ของ Apple II นั้น ประกอบด้วยวงจรหลายๆส่วน เช่น Memory Mapper, Video Generator และที่สำคัญและเกี่ยวข้องกับชิ้นงานนี้คือ วงจร Video Address Generator ซึ่งในรายละเอียดของวงจรเราจะได้กล่าวถึงต่อไป



รูป(2.7) Block Diagram แสดง Video Cycle ของ Apple II

รูปที่ (2.7) แสดงวงรอบการทำงานของภาควีดีโอ (video cycle) ซึ่งจะเริ่มต้นจาก Video Address Generator จะให้กำเนิด video address ออกมาแล้วผ่านไปยัง Memory Mapper เพื่อแปลง video address ให้เป็น memory address เพื่อบ่งชี้ตำแหน่งของ data ใน RAM, ข้อมูลจาก RAM จะถูกส่งไปยัง วงจร Video Generator เพื่อกำเนิด video data ออกมา แล้วไปรวมกับสัญญาณ Sync ต่างๆจากวงจร Sync Generator ที่วงจร Mixer เพื่อที่จะได้สัญญาณ Composite Video o/p ออกมา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณวีดีโอของ Apple II จะบรรจุข้อมูลที่เป็นตัวหนังสือและ Graphic เพื่อแสดงออกที่จอมอนิเตอร์ หรือ TV สัญญาณวีดีโอต้องใช้อุปกรณ์ที่มีความถี่สูงๆ ซึ่งเป็นความถี่ที่สูงเกินไปที่จะทำการ generate โดยตรงโดย 6502 Microprocessor จากผลของความถี่สูงนี้ hardware ถูกออกแบบขึ้นเพื่อ generate video output ของ Apple II ซึ่ง software control จะทำให้ 6502 สั่งให้ hardware ส่วนนี้ generate ตัวอักษรจำเพาะและแบบของ Graphic ขึ้นมา

แบบ (Pattern) ซึ่งนำมาแสดงผลบนจอถูก generate ขึ้นโดย 6502 และเก็บไว้เป็น data ใน RAM ของ Apple II และในที่สุด Video Circuitry จะอ่าน data จาก RAM, เปลี่ยน data เป็นระบบวีดีโอ และส่งไปยัง Video Output เพื่อแสดงออกที่ Monitor การบรรจุเข้า RAM โดย 6502 และ Video Circuitry เป็นการแบ่งช่วงเวลาดังนี้ ขณะที่ครึ่ง cycle แรกของ 6502, Video Circuitry จะอ่านจาก RAM ในช่วงครึ่งหลังของ cycle, 6502 จะอ่านจาก RAM หรือเขียนให้ RAM

2.3.1 VIDEO ADDRESS GENERATOR

โดยการใช้ระบบ clock ดังที่ได้กล่าวมาแล้ว Video Address Generator M ในรูป (2.7) จะสร้าง 15-Bit Video Address ขึ้นมา Video Address ประกอบด้วย 6 Bit ทางแนวนอนและ 9 Bit ทางแนวตั้ง address จะ run อย่างต่อเนื่องเป็นขั้นตอน ซึ่งจะซ้ำรอยเดิมประมาณ 60 ครั้ง ใน 1 วินาทีในขณะที่ทำแต่ละขั้นตอนนั้น adddress ทางแนวตั้งจะมีค่าต่างๆกัน 262 ค่าในแต่ละค่าของ address ทางแนวตั้ง address ทางแนวนอนจะเพิ่มขึ้นทั้งหมด 65 ครั้ง

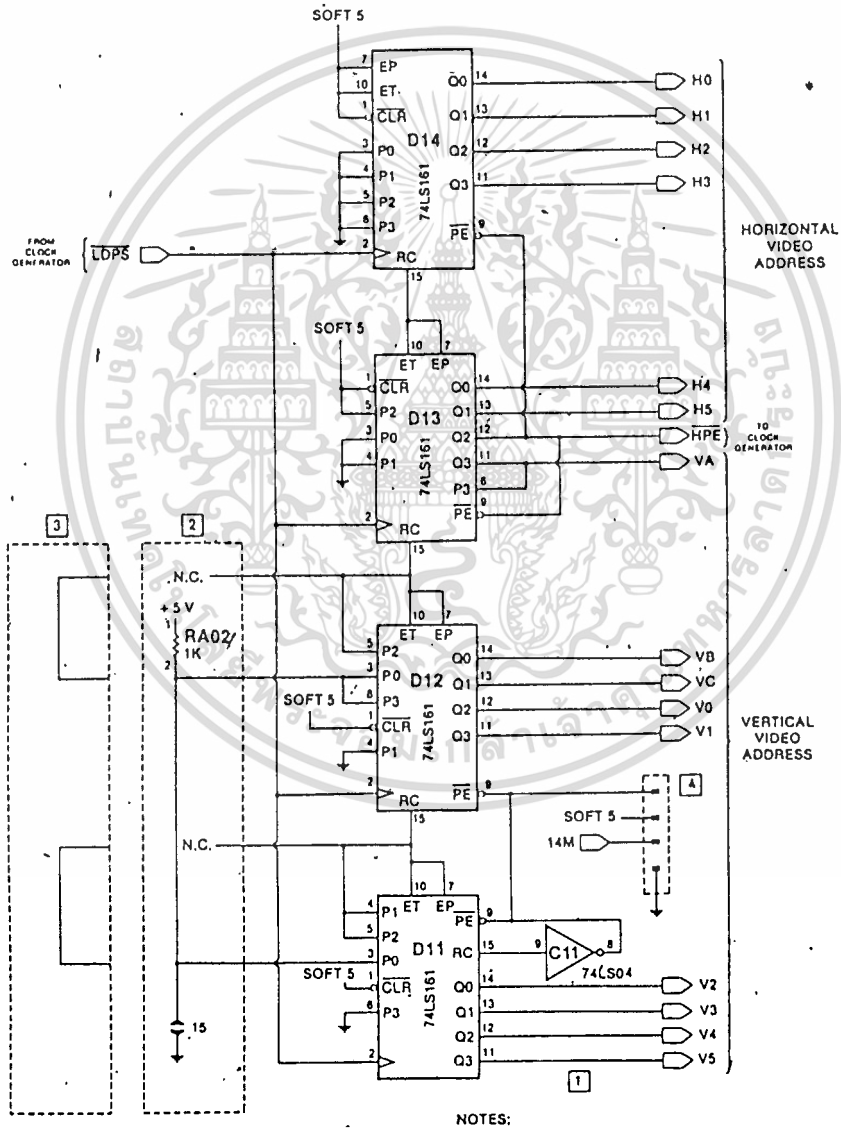
Address ทั้งแนวนอนและแนวตั้งสามารถเลือก location ที่ใดก็ได้บนจอ location แต่ละที่บนจอจะมีความสูงเท่ากับเส้นสแกน 1 เส้น และมีความกว้างประมาณ 1 microsecond และ video address ก็จะมี location ซึ่งไม่ปรากฏบนจอตั้งแต่สัญญาณเริ่มเกิดขึ้นในขณะ blanking ทางแนวนอนและแนวตั้ง

Location แต่ละที่บนจอจะมีลักษณะเช่นเดียวกันกับ video address อื่นๆที่แตกต่างออกไป ดังเราจะได้เห็นง่ายๆ ดังนี้, ลำอิเลคตรอน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ที่สแกนใน CRT จะ synchronize พร้อมกับ video address หน้าที่หนึ่งของ video address คือ "Tell" Hardware ส่วนอื่นๆถึงกระแสของลำ-อิเลคตรอนบนจอ หน้าที่อีกอย่างของ Hardware คือนำมาซึ่งลักษณะที่เหมาะสมของ Charactor และ Graphic เพื่อแสดงออกมาใน location นั้น

สัญญาณป้อนกลับ (Feedback) ในรูป (2.7) แสดงถึงทางเดินย้อนกลับจาก Video Address Generator สัญญาณป้อนกลับนี้จะหน่วงรอระบบ clock ประมาณ 140 nS ทุกๆเส้นสแกนทางแนวนอน จุดประสงค์ของการดัดแปลงให้แปลกออกไปนี้ก็เพื่อให้การ generate graphic แบบสีง่ายขึ้น



รูป(2.8) video address generator

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรกำเนิดสัญญาณ video address รูป(2.8) จะประกอบด้วยวงจร Counter ซึ่งจะทำการนับเพิ่มขึ้นทุกๆ uS. เพื่อกำเนิด video address ใหม่ video address นี้จะใช้แทนที่ตำแหน่งบน screen (จอภาพ) ของการสแกนลำอิเลคตรอนใน Monitor ที่ใช้ต่อกับ Apple II สัญญาณ video address ใช้ในการเรียก video data ที่เก็บไว้ใน RAM ออกมาแสดงผลที่ตำแหน่งต่างๆบนจอภาพสัญญาณ video address นี้จะประกอบด้วย address ทาง horizontal และ vertical

-Horizontal Timing

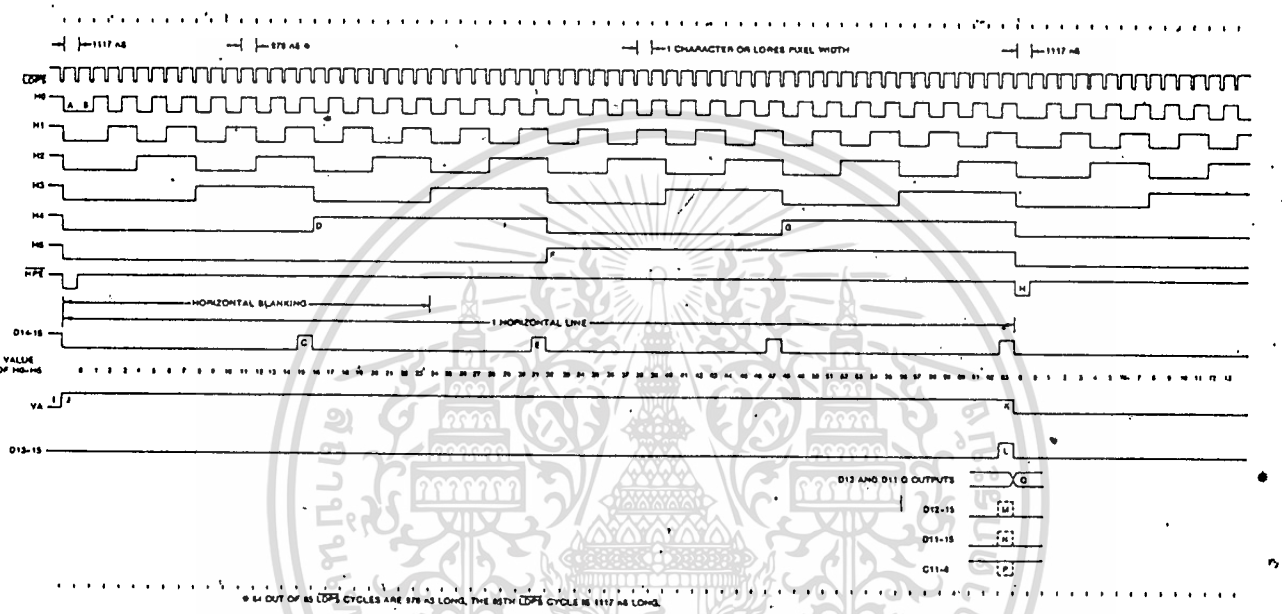
ในรูป (2.8) (Video Address Generator) IC D11,D12, D13 และ D14 คือ 4 bit Binary Counters ซึ่งจะใช้สร้างสัญญาณ video address โดยจะทำการ count เมื่อได้รับสัญญาณ clock ซึ่งจะได้จากสัญญาณ LDPS ในขณะที่ LDPS เปลี่ยนสถานะจาก low เป็น high Counter ทั้ง 4 ตัวนี้ จะถูกต่อกันโดยให้ทำงานเป็นลำดับขั้นที่ต่อเนื่องกัน โดยจะทำการ count หรือ load ข้อมูลจาก Input P สำหรับ IC ที่ใช้คือ 74LS161 จะอยู่ใน mode count เมื่อขา 9 เป็น high และจะอยู่ใน mode load เมื่อขา 9 เป็น low

Counter 7 bit แรก (H0,H1,H2,H3,H4,H5 และ HPE) ซึ่งจะทำการนับได้ 128 แต่เราจะใช้นับเพียง 65 เริ่มต้น ทุก bit จะเป็น low หมด ที่จุด A (ดูรูป(2.9)ประกอบ) HPE จะเป็น low D13 และ D14 จะอยู่ใน mode load เมื่อมี clock ป้อนเข้ามา (LDPS เปลี่ยนสถานะจาก 0 เป็น 1) 6 Bit แรกจะ load ข้อมูล 0 เข้ามา และ HPE จะ load high เข้ามาเราะสังเกตที่จุด B และใน mode count IC counter D14 ก็จะนับจนถึง 15 ซึ่งหลังจากนั้นสัญญาณที่ carry o/p จะกลายเป็น high (จุด C ในรูป (2.9)) ซึ่งสัญญาณที่ได้จะเป็น clock สำหรับ IC D13 D13 จะเริ่มนับ (โดย H4 จะเป็นโลจิก 1) IC Counter D14 ก็จะนับโดยกลับไปเริ่มที่ 0 ใหม่ (สังเกตที่จุด D) D13 จะไม่ทำการ count ต่อ จนกว่า D14 จะนับถึง 15 อีก (ที่จุด E) ซึ่ง D13 จะทำการ count อีกที่จุด F,G และ H ตามลำดับ และที่จุด H:HPE จะเป็น low อีก ซึ่งจะถือเป็น 1 รอบของการนับ

ค่าตัวเลขที่เป็นฐานสิบของการนับของ bit H0 ถึง H5 ได้แสดงไว้ในรูป (2.9) สังเกตจะมีการนับ 2 ครั้งที่ค่า 0 ดังนั้น ผลรวมของการนับจึงเป็น 65 ครั้งต่อรอบ counter D13 และ D14 จะทำการหารสัญญาณ LDPS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยเป็นการหาร 65 โดยจะดู waveforms ของการนับได้ในรูป (2.9) ซึ่ง 1 รอบของการนับนี้จะเป็น 1 Horizontal line ของสัญญาน video output โดยการนับแต่ละครั้งจะแทนแต่ละตัวอักษรที่ปรากฏบนจอ ดังนั้นใน 1 line จะสามารถแสดงได้ 65 ตัวอักษร แต่เราทราบแล้วว่า Apple II สามารถแสดงได้ 40 ตัวอักษรต่อบรรทัด ดังนั้นอีก 25 ตัวอักษรที่เกินมาจึงใช้เป็นสัญญาณ Blanking



รูป(2.9) horizontal timing

-Vertical Timing

เช่นเดียวกับที่เราต้องการ Horizontal Video Address Counter เพื่อที่จะระบุตำแหน่งในทาง vertical ของ video data เช่นกัน ทั้ง Horizontal และ Vertical Address Counter จะไม่ทำงานแบบอิสระ เพราะ CRT Beam ต้องลากเส้นในแนวนอนให้เสร็จก่อนที่ Vertical Counter จะเลื่อนไปเส้นถัดไป Vertical Counter จะนับ 1 ครั้งเมื่อ Horizontal Counter นับถึง 65 การนับแต่ละครั้งของ Vertical Counter จะทำให้เกิดเส้นในแนวนอนที่มีระดับแตกต่างกันบนจอ

ใน Apple II video output ประกอบด้วย 262 เส้น ในจำนวนนี้ 70 เส้นจะมองไม่เห็นบนจอเพราะปรากฏขณะที่มี vertical blanking ที่เหลืออีก 192 เส้นถูกใช้ดังนี้

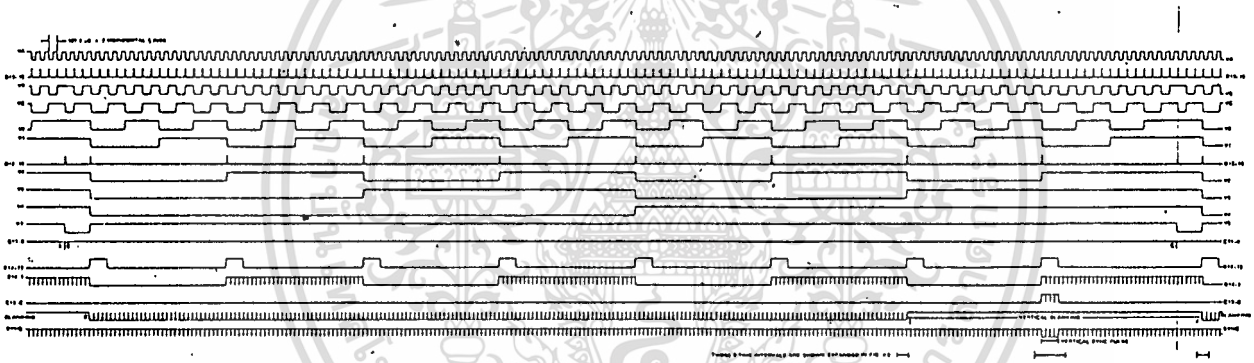
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1. TEXT MODE-TEXT MODE CHARACTERS ประกอบด้วย 5x7 Dot Matrix ใน 7x8 Dot Cell, 8 จุดในแนวตั้งต่อ 1 ตัวอักษร x 24 บรรทัดต่อจอ = 192

2. LORES-LORES PIXEL ประกอบด้วย 4 จุดในแนวตั้ง x 7 จุดในแนวนอน และ 4 จุดในแนวตั้งต่อ PIXEL x 48 PIXEL ต่อจอในแนวตั้ง = 192

3. HIRES - ใน HIRES มี 192 จุดในแนวตั้ง

วงจรนับที่จะนับได้ถึง 262 ต้องใช้ 9 Bit (8 Bit นั้นน้อยเกินไปเพราะ 2^8 = 256) 9 Bit Counter นี้ประกอบด้วย 4 Bit Counter 2 ตัว (D11 และ D12 รูป (2.8)และภาคสุดท้ายของ D13 ทั้ง 9 Bit นี้เราเรียกว่า VA,VB,VC,V0,V1,V2,V3,V4 และ V5 ตามลำดับ จากความสำคัญน้อยถึงความสำคัญมาก Timing ของพวกนี้แสดงในรูป (2.10)



รูป(2.10) vertical timing

ใน TEXT MODE: BIT V0,V1,V2,V3 และ V4 เป็นตัวกำหนดบรรทัดแต่ละบรรทัดใน 24 บรรทัดของ TEXT และ VA,VB,VC กำหนดแต่ละจุดของ 8 จุดในแนวตั้งใน Character Cell ใน HIRES MODE ทั้ง 8 bits VA ถึง V4 ใช้ระบุแต่ละจุดของ 192 จุดในแนวตั้ง bit ที่ 9 (V5) ใช้ในการนับตั้งแต่ 256 ถึง 262 แต่ไม่ได้นำไปใช้ที่ใดๆเพราะ 8 bit ก็เพียงพอสำหรับการแสดง 192 เส้น ดังนั้นเพียง 8 bit จะถูก decode และมี 6 address ที่จะถูกกระทำซ้ำระหว่างการสแกนทางแนว Vertical แต่ละครั้ง address เหล่านี้ จะปรากฏระหว่าง Vertical Blanking และมองไม่เห็น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3.2 MEMORY MAPPER

Video Address ไม่ได้เป็นแบบ bit ต่อ bit ใน memory address ใช้กับ data ที่ลักษณะคล้ายๆกับบนจอ ดังนั้น video address จะถูกเปลี่ยนให้เป็น memory address เพื่อที่จะนำมาซึ่ง screen data ที่ถูกต้องจาก memory Memory Mapper Nเป็นตัวทำหน้าที่ดังกล่าวนี้ location บนจอจะเข้าไปสู่ Mapper และ memory location ที่ตรงกันก็จะออกมา Memory mapper จะกำหนดที่ (map) memory address blockต่างๆกัน ภายใต้การควบคุมของ Soft Switch ตัวอย่างเช่นใน MODE HIRES,Video Address กำหนด memory แตกต่างไปจาก MODE ตัวอักษร

รูป (2.7) แสดงถึงการเดินของวงจร APPLE II สำหรับวงรอบการทำงานของวิดีโอ video address จะเข้าไปสู่ Memory Mapper และได้ memory address ออกมา ในช่วงรอบการทำงานของวิดีโอ ,Address Multiplexer H จะต่อเอ๊าท์พุทของ Mapper กับ address input ของ RAM data out ของ RAM ก็จะถูกเก็บไว้ใน Latch I data ชุดนั้นก็จะปรากฏเป็นอินพุทไปยัง Video Generator P

2.3.3 VIDEO GENERATOR

Video Generator ทำการแปลงกลุ่ม data ให้เป็น video data ซึ่งมันส่งไปยัง Mixer Q ใน Mixer video data ถูกรวบรวมโดยสัญญาณ Sync และ Color Burst เพื่อให้กลายเป็นสัญญาณ Composite Video ออกมา

การเปลี่ยนแปลงขบวนการใน Video Generator ควบคุมโดย Soft Switch ใน MODE LORES เช่น Video Generator กระทำต่อ data ในลักษณะที่ต่างจากที่มันทำต่อ data เดียวกันใน MODE ตัวอักษร (TEXT MODE)

2.3.4 SYNC GENERATOR

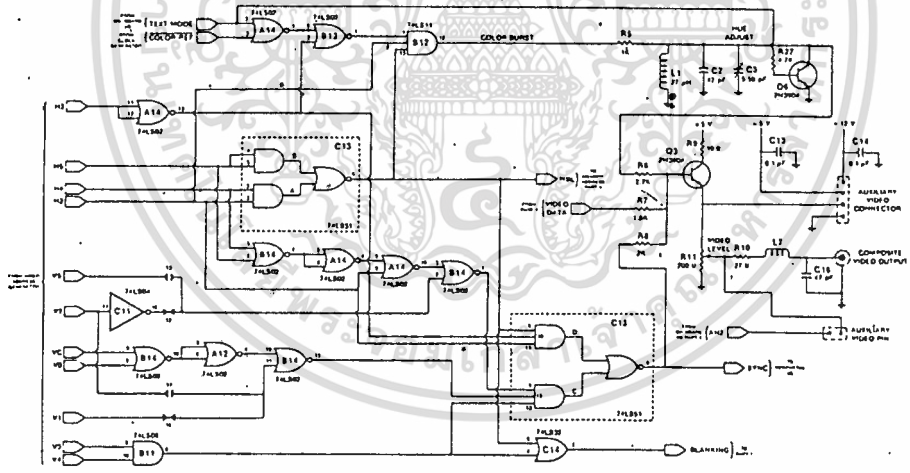
Sync Generator R ใช้ video address เพื่อ generate สัญญาณ Sync, Color Burst และสัญญาณ Blanking ,Sync และ Color Burst จะถูกผสมด้วย Video ใน Mixer Q Sync component ของ Composite Video output จะทำให้ลำสแกนของอิเลคตรอนในภาค Display CRT เกิด synchronize พร้อมกับ video address Color

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

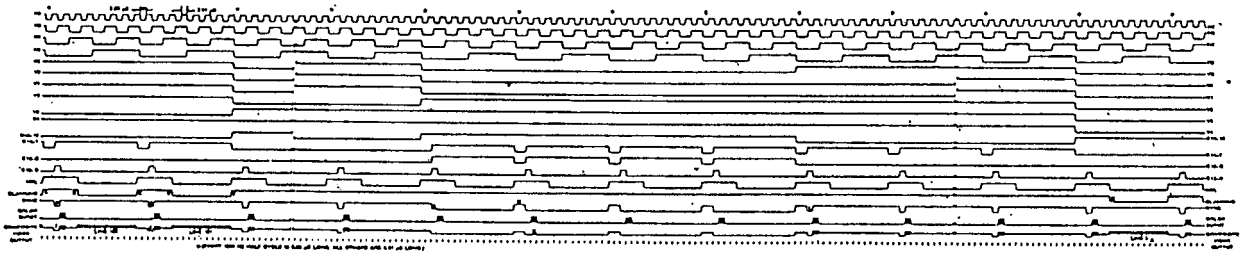
Burst component ทำให้ Color Circuitry ในอุปกรณ์ Display จะ synchronize พร้อมกับ internal color เปรียบเทียบกับ clock blanking ต่อกับ Video Generator ที่ซึ่งมันทำให้สัญญาณวีดีโอเป็นสีดำ ขณะที่ blanking ทางแนวนอนและแนวตั้งหยุดสแกน

-สัญญาณ VIDEO SYNC

Apple II ต้องกำเนิดสัญญาณ Sync ใน Video output สำหรับการแสดงผลภายนอก สัญญาณ Horizontal Sync จะอยู่ระหว่าง Horizontal Line แต่ละเส้น และ Vertical Sync จะอยู่ระหว่างการสแกนทาง Vertical แต่ละครั้ง สัญญาณ Sync Pulse จะมาจาก video address โดยการรวมทาง logic IC ที่ทำหน้าที่นี้ประกอบด้วย A12,A14, B11,B14,C11 และ C13 รูป(2.11)สัญญาณ SYNC OUTPUT จะปรากฏที่ C13-9 และมันจะถูกผสมกับ Video Data และ Color Burst ที่ทรานซิสเตอร์ Q3 Q3 จะทำให้เกิด Composite Video Output, Sync Timing แสดงในรูป (2.10) และ (2.12)



รูป(2.11) Video Generator



รูป(2.12) vertical synchronization

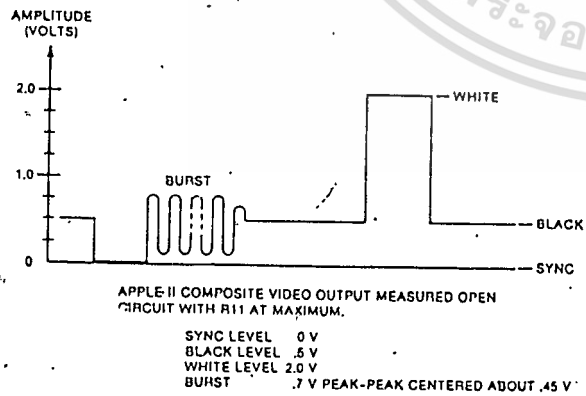
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

-สัญญาณ BLANKING

Blanking จะบิดแสงใน Video Display. ดังนั้นจะทำให้มองไม่เห็นระหว่าง retrace Blanking Pulse จะกว้างกว่าสัญญาณ Sync อื่นๆ สัญญาณ Blanking ได้รับจาก Gate C14-6 จากสัญญาณที่กำเนิด Sync ค่า Timing แสดงในรูป (2.10) และ (2.12) ใน TV.มาตรฐาน Blanking จะมีระดับแรงเคลื่อนสูงกว่าสัญญาณอื่นในสัญญาณรวม ที่ระดับนี้เป็นระดับที่เข้มกว่าระดับสีดำ ใน APPLE II Blanking จะมีระดับเดียวกันกับระดับสีดำ สัญญาณ Blanking ถูกใช้เพื่อที่จะเปิดปิด VIDEO การบิดหรือระดับ LOW จะตรงกับระดับสีดำ

-สัญญาณ COLOR BURST

Color Burst คือ Burst ของ 3.579545 MHz ที่ปรากฏใน Composite Video หลัง Horizontal Sync Pulse การ display สีใช้ Burst เหมือนตัวสำหรับเปรียบเทียบ Color Burst ได้รับโดยการกระทำ Color Ref ด้วย A14-1, B13-1 และ B12-12 รูป(2.11) ค่า Timing แสดงในรูป(2.12)และรูป(2.13)การปรับตัวเก็บประจุ C3 รูป(2.11) เป็นการแต่งสีของการแสดงผลเป็นสีโดยการหน่วงเวลาของ Color Burst ทำให้จำนวน Burst เกิดการเปลี่ยนแปลง



Summary of Signals in

Signal	Description	Frequency	Period	Remarks
VA	Vertical Video Address	7.85 kHz	127 µS	LSB
VB		•		
VC		•		
V0		•		
V1		•		
V2		•		
V3		•		
V4		59.92 Hz	16.7 mS	
V5		59.92 Hz	16.7 mS	MSB
BLANKING	C14-6	•		Combined Horizontal & Vertical Blanking
HBL	Horizontal Blanking	15.700 kHz	63.7 µS	Horizontal Blanking Only
SYNC	Synchronization	•		Combined Horizontal & Vertical Sync
COLOR BURST	B12-12	3.579545 MHz	279 nS	19 Cycles Every Horizontal Line
COMPOSITE VIDEO OUTPUT		H = 15.700 kHz V = 59.92 Hz	63.7 µS 16.7 mS	
VIDEO DATA				Video Without Sync or Burst

รูป(2.13) video level

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.4 หลักการของระบบ

จากการที่เราได้ศึกษาทฤษฎีในด้านต่างๆ ทั้งที่เกี่ยวกับคอมพิวเตอร์และวิดีโอมาแล้ว ต่อไปเราจะกล่าวถึงหลักการต่างๆ ที่ใช้ในการทำอุปกรณ์ Computer and Video Synchronizer นี้ขึ้นมา

ในหัวข้อที่ผ่านมา ได้มีการกล่าวถึงการสแกนภาพของคอมพิวเตอร์และวิดีโอ ว่าทั้งสองระบบนี้มีการสแกนภาพด้วยความถี่ทางแนวนอน (Horizontal) และทางแนวตั้ง(Vertical) ไม่ตรงกัน ซึ่งหลักใหญ่ของระบบที่เราสร้างขึ้นนี้ก็คือ จะทำให้การสแกนภาพของทั้งสองระบบอยู่ในความถี่เดียวกันทั้งในแนวตั้งและแนวนอน โดยเราจะให้ความถี่ของระบบใดระบบหนึ่งเป็นหลัก และทำให้ความถี่ของอีกระบบหนึ่งมาตรงกัน ซึ่งในที่นี้ เราจะใช้ระบบของวิดีโอเป็นหลัก

เหตุผลที่เราใช้ระบบวิดีโอเป็นหลักนั้นเพราะ ระบบโทรทัศน์ในประเทศไทยเป็นระบบ PAL และระบบวิดีโอในประเทศไทยก็จะใช้ระบบ PAL เช่นกัน แต่คอมพิวเตอร์ในปัจจุบันที่ใช้กันอยู่นั้น ใช้ความถี่ในการสแกนภาพของระบบ NTSC (ซึ่งไม่ตรงกับระบบ PAL) ซึ่งจะใช้กับโทรทัศน์ในประเทศไทยโดยตรงไม่ได้ ดังนั้น เราจึงเลือกใช้ระบบวิดีโอเป็นหลัก และปรับความถี่ของคอมพิวเตอร์ให้มาตรงกับวิดีโอ โดยเราจะแบ่งอธิบายเป็น 2 ส่วน ดังนี้

- หลักการปรับความถี่ทางแนวนอน

เราทราบว่าความถี่ในการสแกนภาพในแนวนอนของวิดีโอนั้น มีความถี่ 15.625 kHz แต่ของคอมพิวเตอร์มีความถี่ 15.700 kHz ความถี่ 15.700 kHz นี้ ได้มาจากการหารความถี่ของ Master Oscillater ซึ่งมีความถี่ 14.31818 MHz ออกมา ดังนั้น ถ้าเราต้องการให้คอมพิวเตอร์ทำการสแกนภาพในแนวนอน ด้วยความถี่ 15.625 kHz เราต้องใช้ Master Oscillator ที่ให้ความถี่ (14.31818 MHz/15.700 KHz)x15.700 = 14.2498 kHz หรือประมาณ 14.25 kHz

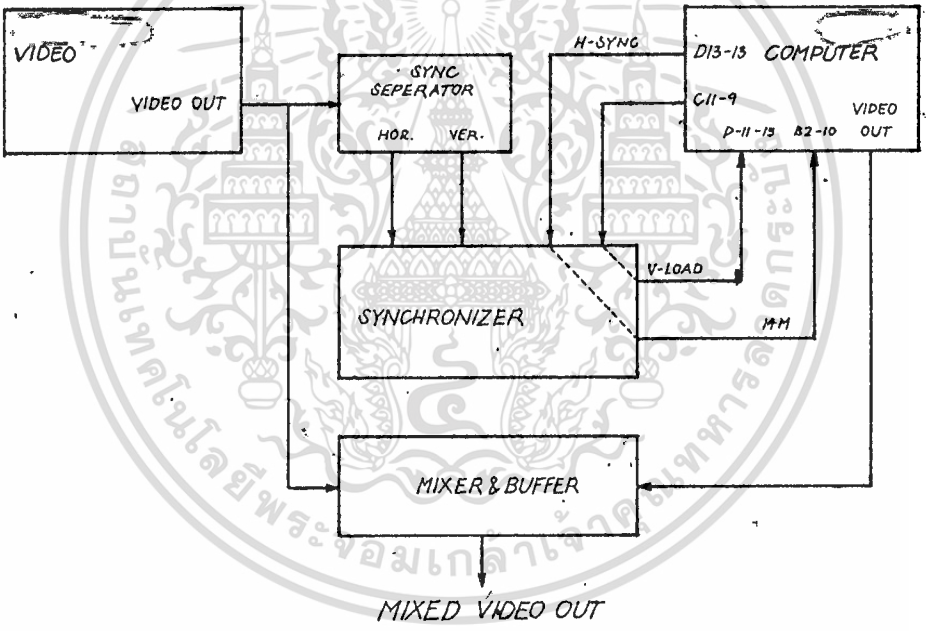
ที่กล่าวมาเป็นหลักการในการทำให้ความถี่ของการสแกนภาพทางแนวนอนของคอมพิวเตอร์ เท่ากับของวิดีโอ ซึ่งวิธีการทำของเราก็คือ ใช้เพสลอคลูป (Phase lock loop) มาใช้เป็น Frequency Synthesizer ซึ่งประกอบด้วย phase detector และ voltage controlled oscillator มาทำการ generate ความถี่ 14.25 kHz ให้เป็น master clock ของคอมพิวเตอร์แทน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- หลักการปรับความถี่ในแนวตั้ง

เนื่องจากความถี่การสแกนในแนวตั้งของคอมพิวเตอร์มีความถี่ต่างจากความถี่การสแกนของวิดีโออยู่ เราจะสามารถปรับให้ความถี่การสแกนแนวตั้งของคอมพิวเตอร์โดยการนำสัญญาณ Sync ในแนวตั้งของวิดีโอมาสร้างเป็นสัญญาณไป Load ค่า address เริ่มต้นของวงจร Address Generator ในเครื่องคอมพิวเตอร์ คือการทำให้เครื่องคอมพิวเตอร์เริ่มการสแกนเส้นที่หนึ่งใหม่พร้อมๆ กับการสแกนเส้นที่หนึ่งของสัญญาณวิดีโอ

จากหลักการที่กล่าวมาข้างต้น เราได้นำมาสร้างระบบซึ่งมี Block Diagram ดังนี้



รูป(2.14) block diagram ของระบบ

Sync Seperator จะแยกเอาเฉพาะส่วนที่เป็นเฉพาะสัญญาณ Sync ออกจากสัญญาณวิดีโอ ซึ่งประกอบด้วย Hor-Sync และ Ver-Sync สัญญาณ Sync นี้ จะนำไปใช้ในส่วน Synchronizer ต่อไป

Synchronizer จะทำหน้าที่นำสัญญาณ Sync มาเป็นสัญญาณอ้างอิง แล้วสร้างสัญญาณต่างๆ ไปควบคุม Video Address Generatorทำให้การสแกนภาพของคอมพิวเตอร์ทำงานในจังหวะเดียวกันกับวิดีโอตามต้องการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Video Mixer and Buffer จะเป็นส่วนที่นำสัญญาณภาพจากคอมพิวเตอร์มา Mix กับสัญญาณวิดีโอ โดยการแทนที่เฉพาะส่วนที่เป็นจุดสว่างของสัญญาณภาพจากคอมพิวเตอร์ลงในสัญญาณภาพวิดีโอในแต่ละเส้นของการสแกน และผ่าน Buffer เป็นสัญญาณเอ้าท์พุท

รายละเอียดของวงจร การทำงานและการสร้างจะแสดงไว้ในบทที่ 3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3

การคำนวณและการสร้าง

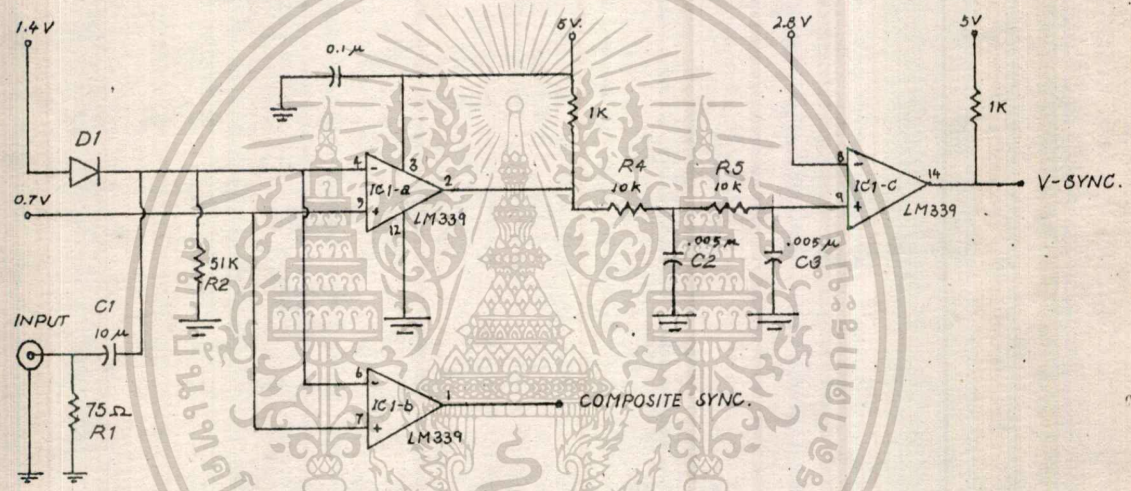
ในบทที่ 2 เราได้กล่าวถึง block diagram และหลักการอย่างคร่าวๆของระบบมาแล้ว ต่อไปเราจะได้กล่าวถึงรายละเอียดในการคำนวณและการสร้าง วงจรต่างๆขึ้นมา โดยจะประกอบด้วยวงจรแยกซิงค์ (Sync seperator), วงจร Synchronizer และวงจรรวมสัญญาณ (mixer and buffer) โดยจะแยกอธิบายเป็นส่วนๆดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

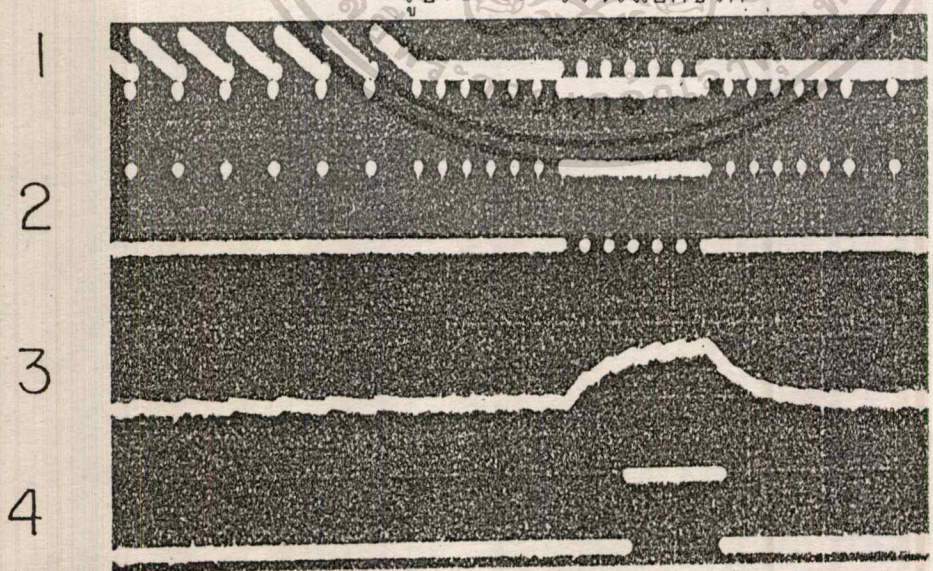
3.1 วงจรแยกซิงค์ (Sync-Seperator)

ตามจุดประสงค์ที่จะซ้อนภาพจากคอมพิวเตอร์ลงบนภาพของสัญญาณวีดีโอนั้น จะต้องทำให้การสแกนภาพทางแนวนอน (Horizontal) และแนวตั้ง (Vertical) ของคอมพิวเตอร์เป็นไปในจังหวะเดียวกับการสแกนภาพของระบบวีดีโอ

ซึ่งในที่นี้ได้ยึดการแสดงภาพของระบบโทรทัศน์เป็นหลักแล้วควบคุมการสแกนภาพของ คอมพิวเตอร์ ให้มาสัมพันธ์กับระบบ วีดีโอ จึงต้องใช้วงจร Sync-Seperator ในการแยกสัญญาณออกจากสัญญาณภาพวีดีโอ แล้วนำไปใช้ในการควบคุมวงจรส่วนอื่นๆต่อไป



รูป(3.1) วงจรแยกซิงค์



รูป(3.2) สัญญาณซิงค์ที่แยกออกมาได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

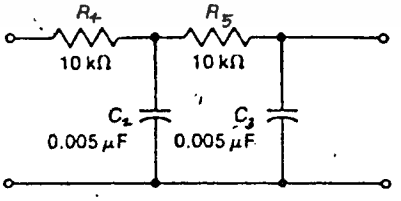
การออกแบบและการทำงานของวงจร

การทำงานของส่วน Sync-Separator เริ่มจากเมื่อป้อนสัญญาณภาพวีดีโอเข้าที่อินพุทของระบบ สัญญาณจะถูก terminated โดยโหลด 75 Ohm เพื่อเป็นการ matching impedance เข้ากับสายสัญญาณที่อินพุท แล้วจึง coupling สัญญาณ ผ่าน C_1 ไป

สัญญาณ Composite Video ประกอบด้วยส่วนที่เป็นสัญญาณภาพและส่วนที่เป็นสัญญาณ Sync จะเห็นได้ว่าระดับของสัญญาณภาพกับสัญญาณ Sync มีระดับต่างกัน ดังนั้นในการแยกสัญญาณ Sync ออกจากสัญญาณ Composite Video จึงทำได้โดยการใช้ Voltage Comparator ตัดเอาเฉพาะส่วนที่เป็นสัญญาณ Sync ออกมาโดยมี Diode D1 และ R2 ทำหน้าที่เป็น positive dc clamper ที่ 0.7 Volt แล้วป้อนเข้าที่ขา inverting input ของ Comparator IC1-a และ IC1-b และที่ non-inverting input จะถูกจัดระดับไว้ที่ระดับสูงกว่า 0.7 V. เล็กน้อย ซึ่งจะทำให้ได้สัญญาณ Composite Sync ที่ประกอบด้วย Horizontal-sync , Vertical sync และ Equalizing Pulse

จาก IC1-a จะป้อนสัญญาณ Composite Sync ให้กับวงจร RC Integrater (ซึ่งประกอบด้วย R4,R5,C2,C3) เพื่อ integrate ส่วนที่เป็น Vertical Sync Pulse ให้ได้เป็น Vertical Sync ดังรูป (3.2-3)

จะเห็นได้ว่าคาบเวลาของสัญญาณ Vertical Sync Pulse มีค่ามากกว่า Horizontal Sync Pulse และ Equalizing Pulse ดังนั้นในการที่จะแยกเอา Vertical Sync ทำได้โดยผ่านสัญญาณ Composite Sync จาก IC1-a ให้กับ RC integrator (ซึ่งประกอบด้วย R4,R5,C2, C3) เพื่อ integrate ให้ได้เป็น Vertical Sync



รูป(3.3) วงจร RC Integrater

$= RC = 10K \times 0.005\ \mu F = 50\ \mu sec.$

วงจรนี้จะมีค่า time content ในแต่ละส่วน 50 μsec R4,C2 จะเป็นส่วนแรกและสัญญาณออกจะไปเข้า R5,C3 เวลาคงที่รวมทั้งหมดจะยาวพอสำหรับขจัด Horizontal Sync และเวลาคงที่ในแต่ละส่วนก็จะสั้นพอสำหรับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ไม่ให้ความสูงของสัญญาณลดลง และ rise time ชันด้วยเพราะว่าแต่ละส่วนมีเวลาคงที่ 50 μsec และใช้ IC1-c ในการจัดรูป Vertical Sync ให้เป็น Square Wave ของ Vertical Sync ที่สมบูรณ์

Voltage Comparator ที่ใช้คือ (IC1 LM339) เป็นแบบ open collector จำเป็นต้องมีการ pull-up ที่ output

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2 SYNCHRONIZER

หลักการของส่วน synchronizer คือ การควบคุมส่วนของฮาร์ดแวร์คอมพิวเตอร์ให้มีการสแกนภาพในแนวนอน และแนวตั้ง ในจังหวะเดียวกันกับระบบวีดีโอ (Synchronization) ส่วน Synchronizer นี้ประกอบด้วยส่วนหลัก 2 ส่วนคือ

Horizontal Synchronization ในส่วนนี้จะเป็นการทำให้การสแกนภาพในแนวนอนของคอมพิวเตอร์มีความถี่เดียวกับระบบวีดีโอและยังต้องเกิดขึ้นในจังหวะเดียวกันเส้นต่อเส้นด้วย โดยอาศัยหลักการในการสังเคราะห์ความถี่ขึ้นมาใหม่เป็น Master Clock ให้กับคอมพิวเตอร์ โดยมีสัญญาณ Horizontal Sync ของระบบวีดีโอเป็นสัญญาณอ้างอิง

Vertical Synchronization ในส่วนนี้จะเป็นการทำให้การสแกนภาพในแนวตั้งของคอมพิวเตอร์ มีความถี่ตรงกับระบบวีดีโอโดยใช้สัญญาณ Vertical-Sync ไปสร้างสัญญาณอันหนึ่งขึ้นมาใช้ในการควบคุมการสแกนภาพทางแนวตั้งของคอมพิวเตอร์ โดยใช้สัญญาณอันนี้ไปโหลดค่าเริ่มต้นของการนับให้กับส่วน Address Generator ของคอมพิวเตอร์

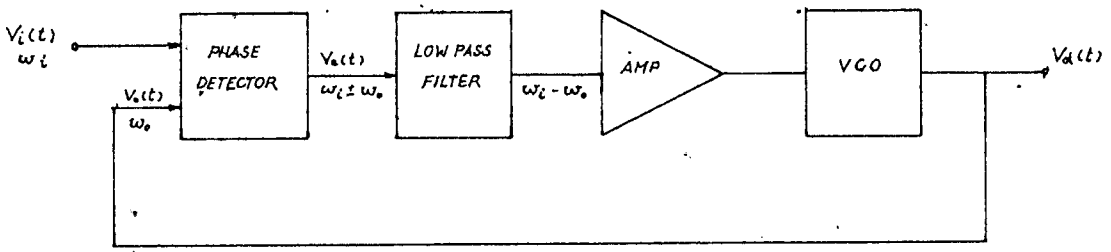
3.2.1 Horizontal Synchronization

จากที่กล่าวมาในบทที่ 2 แล้วนั้น ว่าการสแกนลำอิเลคตรอนบนจอภาพในแนวนอนของ ระบบวีดีโอ และ ระบบคอมพิวเตอร์ ไม่ใช่ระบบเดียวกัน และเราจะใช้ระบบวีดีโอเป็นหลัก ดังนั้นตามแนวความคิดของโครงงานนี้ที่จะควบคุมคอมพิวเตอร์ ให้มีการสแกนภาพเป็นระบบเดียวกับระบบวีดีโอ โดยการสังเคราะห์ Master Clock 14M ขึ้นมาใหม่แล้วป้อนให้คอมพิวเตอร์แทนของเดิมที่ใช้จาก Crystal Oscillator ภายในเครื่องคอมพิวเตอร์

เพื่อที่จะสร้างสัญญาณ 14M ขึ้นมาใหม่ที่จะนำไปใช้เป็น Master Clock ให้กับคอมพิวเตอร์ ตามจุดประสงค์ที่ให้วงจรในเครื่องคอมพิวเตอร์หารความถี่ 14M อันใหม่นี้ได้เป็นสัญญาณ H5 (คือความถี่เท่ากับการสแกนแนวนอนของคอมพิวเตอร์) แล้วจะ synchronize กับการสแกนในแนวนอนของสัญญาณวีดีโอ จึงเลือกใช้ Phase Lock Loop ในการสังเคราะห์ความถี่ 14M นี้ขึ้นมา

หลักการของ Phase Lock Loop จะเป็นระบบป้อนกลับ ประกอบด้วย เฟสดีเท็คเตอร์ โลว์พาสฟิลเตอร์ และ โวลท์เต็จคอนโทรลออสซิเลเตอร์ ซึ่งแสดงได้ดังรูป(3.4)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



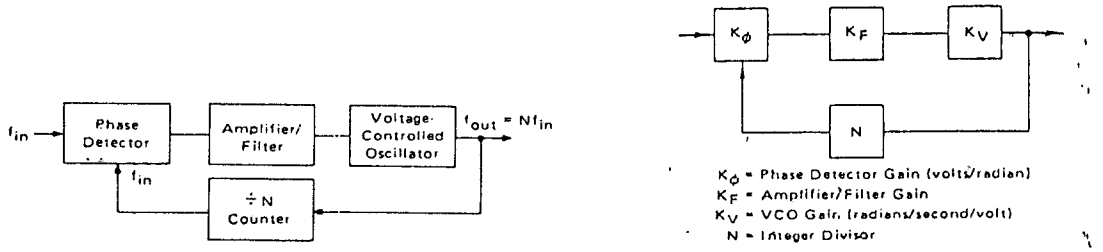
รูป(3.4) วงจรเฟสล๊อคลูป

การทำงานของเฟสล๊อคลูป

หลักการทำงานเบื้องต้นของเฟสล็อคลูปอธิบายได้ดังต่อไปนี้ เมื่อยังไม่มีสัญญาณอินพุทป้อนให้กับระบบ แรงดันควบคุม $V_d(t)$ ก็จะเป็นศูนย์และ VCO จะทำงานตามความถี่ ที่ได้ตั้งไว้เรียกว่า ความถี่ free-running ถ้ามีสัญญาณอินพุทป้อนให้กับระบบ เฟสคอมพาราเตอร์ก็จะเปรียบเทียบเฟสและความถี่ของอินพุทกับความถี่ VCO และสร้างแรงดัน error $V_e(t)$ ซึ่งสัมพันธ์ต่อความต่างเฟสและความถี่ของสัญญาณทั้งสอง โวลท์เต็จ error นี้ก็จะถูกกรองให้ความถี่ต่ำผ่านไปได้ และขยายป้อนไปยัง VCO ในลักษณะนี้โวลท์เต็จควบคุม $V_d(t)$ จะไปบังคับความถี่ของ VCO ให้แปรไปในทิศทางที่ลดความต่างของความถี่ กับความถี่ของสัญญาณอินพุท ถ้าความถี่อินพุท ใกล้เคียงกับ ด้วยคุณสมบัติการป้อนกลับของ PLL จะทำให้ VCO synchronize หรือล็อคกับสัญญาณอินพุทเมื่ออยู่ในภาวะล็อคความถี่ VCO จะเท่ากับความถี่ของสัญญาณอินพุท และเฟสต่างกันเล็กน้อยความต่างเฟส (E_o) จะเลื่อนความถี่ VCO ค่า free-running ไปยังค่าความถี่สัญญาณอินพุท เพื่อรักษาสภาพการล็อคไว้ ความสามารถในการปรับสภาพตัวเองให้ถูกต้องได้ของระบบนี้ทำให้เฟสล็อค (PLL) สามารถตามรอย (track) การเปลี่ยนแปลงความถี่ของสัญญาณอินพุทได้ในขณะที่ลูฟอยู่ในภาวะล็อค ตลอดช่วงความถี่ที่เฟสล็อค (PLL) สามารถดำรงภาวะล็อคกับสัญญาณอินพุทไว้ได้เราเรียกว่า "พิสัยในภาวะล็อค" หรือ lock range ของระบบ ตลอดแบนด์ความถี่ที่ซึ่งเฟสล็อค (PLL) สามารถเข้ายึดสภาวะล็อคกับสัญญาณอินพุทได้คือ "พิสัยการเข้าสู่ภาวะล็อค" หรือ capture range ของระบบและพิสัยนี้จะไม่กว้างไปกว่าพิสัย lock range

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

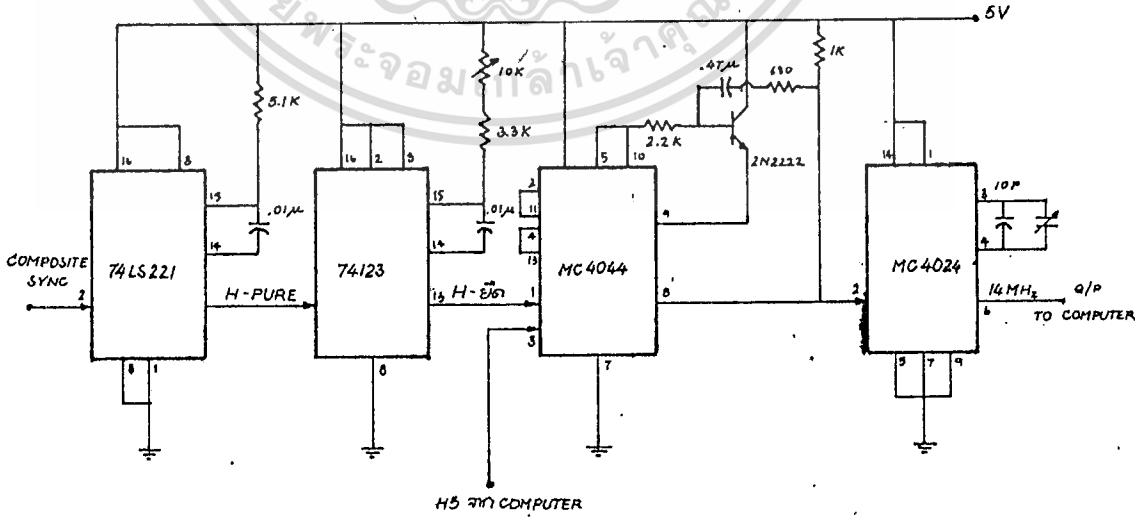
การสังเคราะห์ความถี่ 14M ทำได้โดยหลักการเดียวกับระบบ PLL ซึ่งแสดงได้ดังรูป (3.5)



รูป(3.5) วงจรสังเคราะห์ความถี่

คือเราจะใช้ความถี่ของสัญญาณซิงค์ในแนวนอนมาเป็นความถี่อ้างอิง (f_{in}) ซึ่งมีค่าเท่ากับ 15.625 KHz โดย VCO ของระบบ PLL นี้จะสร้างความถี่ออกมาเป็นความถี่ 14M ป้อนให้กับคอมพิวเตอร์ จากนั้นจึงใช้สัญญาณ H5 จากคอมพิวเตอร์ (คือสัญญาณ 14M ที่ถูกหารความถี่ลงมาโดยวงจร Address Generator (ซึ่งมีอยู่ในเครื่องคอมพิวเตอร์ เดิมมีค่า 15.700 KHz) ป้อนให้กับเฟสดีเทคเตอร์ เพื่อเปรียบเทียบกับสัญญาณอ้างอิงได้เป็น phase error แล้วผ่าน Low Pass Filter และขยายป้อนไปยัง VCO เพื่อสร้างความถี่ 14M ขึ้นมาใหม่เพื่อให้มีผลในการสร้าง H5 ให้ Synchronize กับสัญญาณอ้างอิง(ความถี่การสแกนแนวนอนของวีดีโอ) โดยที่ 14M ใหม่นี้จะมีค่า ประมาณ 14.25 MHz

จากหลักการนี้นำมาใช้ในการคำนวณและออกแบบวงจรได้ ดังรูป (3.6)

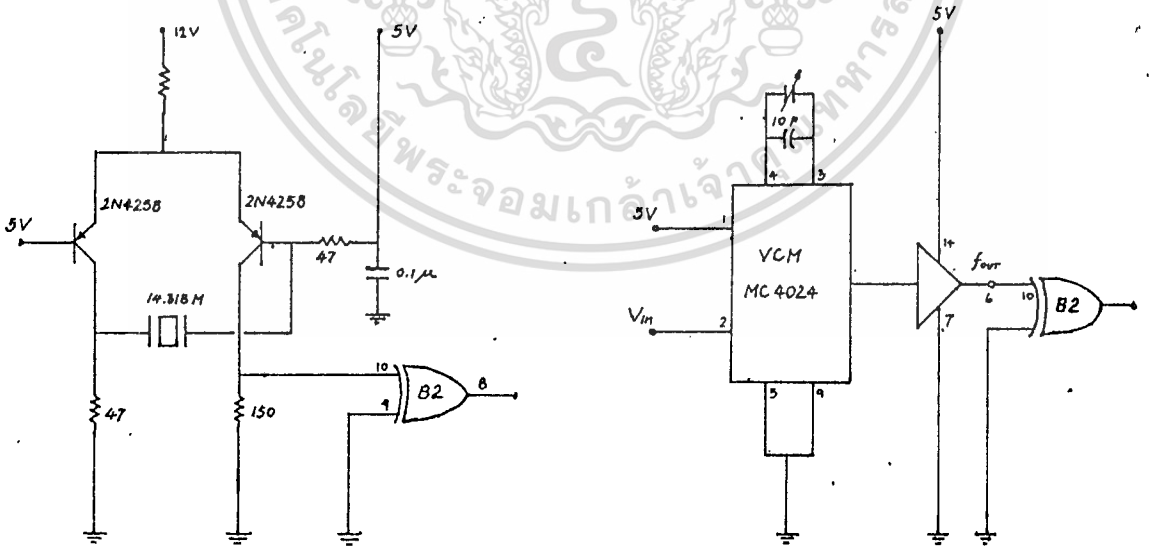


รูป(3.6) วงจร horizontal synchronizer

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทำงานของวงจร

สัญญาณ Composite Sync จะถูกป้อนให้กับ Monostable74LS221 ซึ่งเป็นแบบ non retrigable โดยตั้งค่า time constant ไว้เท่ากับ 50 ms ด้วยค่า R = 5.1 K และ C = 0.1 μF เพื่อข้าม Equalizing Pulse ที่อยู่ติดกันไป 1 pulse ในช่วงของการสแกนแนวตั้ง (เนื่องจากในช่วงของ vertical blanking จะมี Equalizing Pulse ซึ่งมีความถี่เป็นสองเท่าของความถี่การสแกนแนวนอน) เอาท์พุทจาก 74LS221 นี้ก็จะได้เป็นสัญญาณ Pure-Hor ซึ่งมีความถี่เท่ากับ 15.625 KHz จากนั้น Pure-Hor จะป้อนให้กับ monostabel 74LS123 ที่สามารถปรับ time constant ได้โดยความต้านทานปรับค่าได้ เพื่อใช้ในการปรับเฟสของสัญญาณ Pure-Hor ตามต้องการในการควบคุมภาพให้เลื่อนไปทางซ้ายหรือขวาก่อนที่จะเป็นสัญญาณอ้างอิงอินพุทให้กับเฟสดีเทคเตอร์ MC4044 และอีกอินพุทหนึ่งก็คือ H5 มาทำการเปรียบเทียบเฟส ได้เอาท์พุทเป็น phase error ผ่าน Low Pass Filter เป็นระดับความต่างศักย์ไปควบคุม VCO ให้สร้างความถี่ 14M ได้เป็น Master Clock ใหม่แทน 14M (14.31818 MHz) เดิมจาก Crystal Oscillator ในเครื่องคอมพิวเตอร์ โดยป้อนสัญญาณ 14M ใหม่นี้ที่ขา 10 ของ IC-B2 ของคอมพิวเตอร์ดังรูป(3.7)



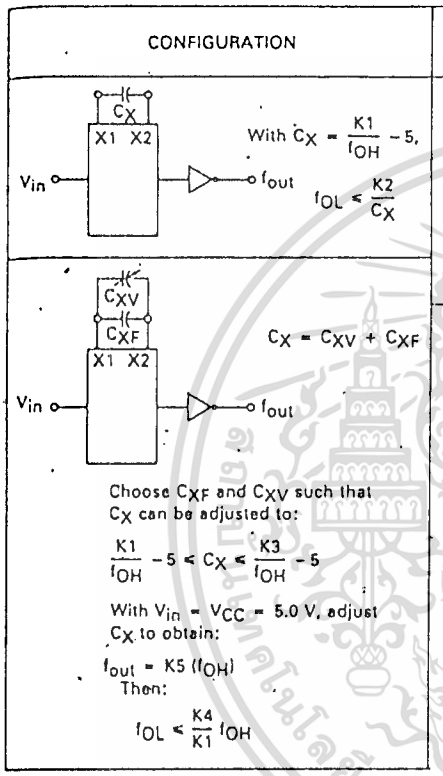
รูป(3.7) วงจร Crystal Master Oscillator เดิมและวงจรที่ใช้แทน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การคำนวณและการออกแบบ

เลือกใช้ MC 4024 เป็น Voltage Controlled Oscillator เพราะสามารถกำเนิดความถี่ได้ถึง 25 MHz ซึ่งเพียงพอที่เราจะเลือกใช้งานที่ความถี่ประมาณ 14.25 MHz และ IC เบอร์นี้ถูกออกแบบสำหรับระบบ phass lock loop และ Phase Detector ที่เป็นแบบ digital phase detector

EXTERNAL CONTROL CAPACITOR VALUE DETERMINATION



T_A	V_{CC}	VALUES OF K				
		K1	K2	K3	K4	K5
25°C ± 3°C	5.0 V	385	150	600	110	1.0
	5.0 V ± 5%	325	175	680	125	1.14
	5.0 V ± 10%	290	190	750	140	1.25

Definitions: f_{OH} = Output frequency with $V_{in} = V_{CC}$
f_{OL} = Output frequency with V_{in} = 2.5 V
(Frequencies in MHz, C_X in pF)

รูป(3.8) ตารางคำนวนค่า C

เลือกค่า Cxv = 10 pF แล้วใช้ Cx ปรับค่าได้ 5-30 pF ในการปรับให้ได้ความถี่เอาท์พุทให้ได้ประมาณ 14.25 MHz ที่ระดับความต่างศักย์ประมาณ 60% ของ Vcc เพื่อให้ VCO มีเสถียรภาพดีที่จุดนี้

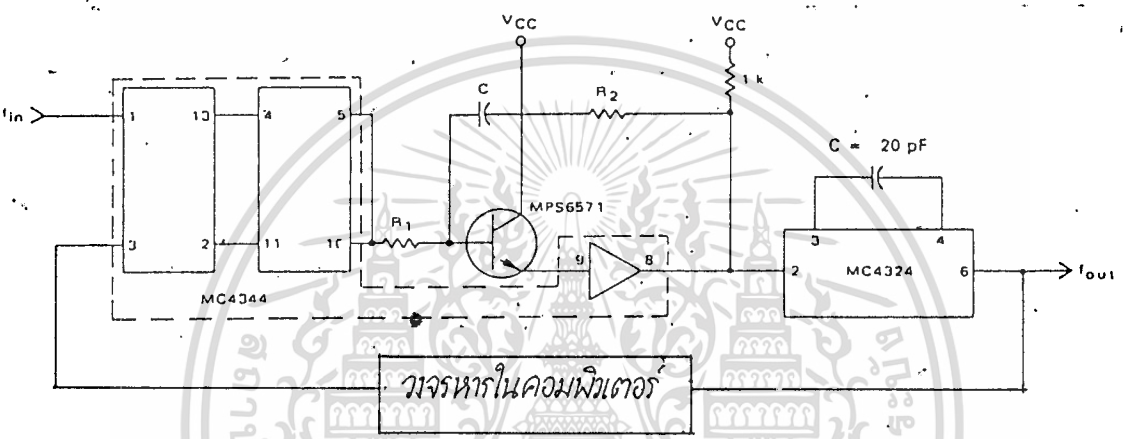
ในส่วนของเฟสดีเทคเตอร์นี้จะเลือกใช้ Digit Phase Detector MC4044 ซึ่งเหมาะสำหรับใช้คู่กับ VCO MC 4024 แล้ว MC 4044 เป็นเฟสดีเทคเตอร์ที่ตอบสนองต่อการเปลี่ยนแปลงเฟสของสัญญาณเฉพาะช่วงที่เป็นขอบของสัญญาณ (transition) ไม่ขึ้นอยู่กับ duty cycle ของสัญญาณอ้างอิงกับสัญญาณอินพุท และ MC 4044 (ECL) สามารถใช้ร่วมกับ IC ตระกูล TTL ได้โดยตรงจึงเหมาะสำหรับระบบของโครงงานนี้คือ เราจะใช้เอาท์พุทของ 74LS123 (TTL) เป็นเฟสอ้างอิงในการปรับการเลื่อนไปทางซ้ายหรือขวาบนจอภาพ ซึ่งได้กล่าวไว้ข้างต้นในส่วนของวงจรแล้ว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

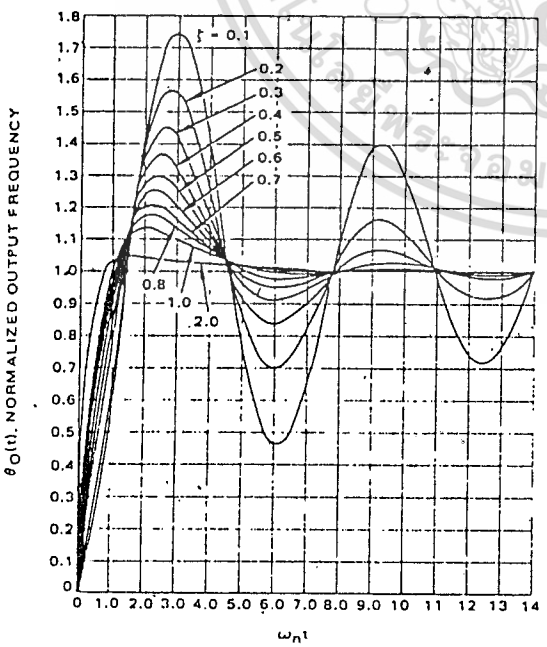
การคำนวณในส่วน Loop filter ของ MC 4044 ทำได้ตาม Synthesis Procedure ซึ่งเป็น Loop filter แบบ type 2 มีรายละเอียดอยู่ในภาคผนวก

ความถี่เอาท์พุทประมาณ	14.25	MHz
เวลาที่ใช้ในการ Lock	1.5	ms
Overshoot น้อยกว่า	20%	
อัตราการหาร (N) ประมาณ	912	

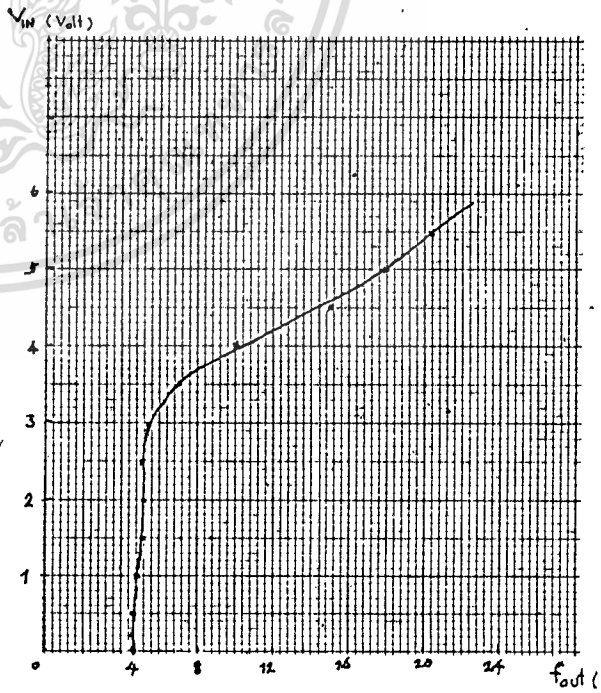
(14.25MHz/15.625KHz ≃ 912)



รูป(3.9) วงจรสังเคราะห์ความถี่



รูป(3.10-1) type 2 second order step response



รูป(3.10-2) กราฟความสัมพันธ์ระหว่างอินพุทโวลท์เตจ ต่อ ความถี่เอ๊าท์พุท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากพิสัยการทำงานของ MC 4024 ตามค่า C ที่กำหนด (ประมาณ 20 pF) มีพิสัยการทำงานดังกราฟรูป(3.10-2)

1. จากกราฟสามารถหาค่า Kv ได้โดยค่าของสโลป

$$K_v = \frac{18\ MHz - 7\ MHz}{5\ V. - 3.6\ V.} \times 2\pi \quad rad/s/v$$

$$= 49.37 \times 10^6 \quad rad/s/v$$

จากรูป (3.10-1) จะเลือกค่า damping factor = 0.8 เพื่อไม่ให้ overshoot เกิน 20% สำหรับ damping factor = 0.8 นั้นจะ settle ที่ 5% เมื่อ $\omega_n t = 4.5$ และกำหนดให้ t = 1.5 ms.

$$\omega_n = \frac{\omega_n t}{t} \qquad = (4.5/1.5 \times 10^{-3})$$

$$= 3 \times 10^3 \quad rad/s.$$

การคำนวณหาค่า C, สำหรับเฟสดีเทคเตอร์ ต้องเลือกค่า R_1 สำหรับ MC 4044 K_ϕ จะมีค่าประมาณ 0.12V/rad เมื่อค่า R1 = 2K ดังนั้นจะได้

$$C = \frac{K_\phi K_V}{N\omega_n^2 R_1}$$

$$C = \frac{(0.12)(49.37 \times 10^6)}{(912)(3 \times 10^3)2(2 \times 10^3)}$$

$$= 0.36 \quad \mu F.$$

เลือกใช้ C = 0.33 μF หาค่า R_2 ได้จาก

$$R_2 = \frac{2\zeta}{\omega_n C}$$

$$= (2)(0.8)/(3 \times 10^3)(0.33 \times 10^{-6})$$

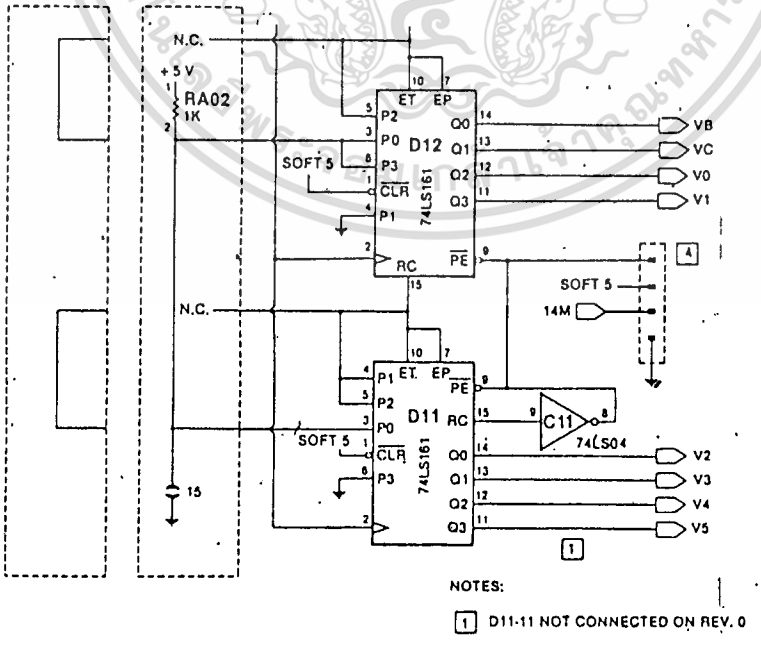
$$= 1.6 \quad Kohm$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2.2 VERTICAL SYNCHRONIZATION

เราได้ทราบมาแล้วจากบทที่ 2 ว่า การสแกนลำอิเลคตรอนบนจอภาพของระบบวีดีโอ และระบบคอมพิวเตอร์นั้นไม่ใช่ระบบเดียวกัน ซึ่งมีข้อสังเกตที่จะนำมากล่าวในส่วนของ vertical Synchronization นี้คือ ในเรื่องของจำนวนเส้นในการสแกนในแต่ละ field ของทั้งสองระบบ เราทราบว่าในการ scan 1 field ของวีดีโอประกอบด้วย จำนวนเส้นในการสแกนถึง 312.5 เส้น แต่ใน 1 field ของคอมพิวเตอร์นั้นจะสแกนเพียง 262 เส้น (มองเห็นเพียง 192 เส้น) เมื่อจำนวนเส้นไม่เท่ากันดังนี้ ถ้าในตอนแรกเราให้ทั้งสองระบบสแกนเส้นที่ 1 พร้อมกัน เมื่อคอมพิวเตอร์ทำการสแกนไปครบ 1 field ของมัน วีดีโอจะยังสแกนไม่ครบ นั่นคือใน field ที่ 2 นั้นจะเริ่มสแกนไม่พร้อมกันแล้ว ซึ่งถ้าเราใช้การสแกนจากวีดีโอเป็นหลัก เราจะเห็นภาพจากคอมพิวเตอร์เลื่อนอยู่ตลอดเวลา ลักษณะนี้คือการไม่ Synchronize กันในทาง vertical ดังนั้น เราจะต้องหาวิธีใดก็ตามที่จะทำให้การสแกนภาพของทั้งสองระบบเริ่มต้นพร้อมกันในทุกๆ field

เนื่องจากในโครงงานชิ้นนี้จะใช้สัญญาณ Synchronize ของวีดีโอเป็นหลัก ดังนั้น การสแกนลำอิเลคตรอนของระบบวีดีโอก็จะเป็นอิสระในตัวมันและเราจะทำให้การสแกนลำอิเลคตรอนของระบบคอมพิวเตอร์เกิดการ Synchronize กับของวีดีโอ



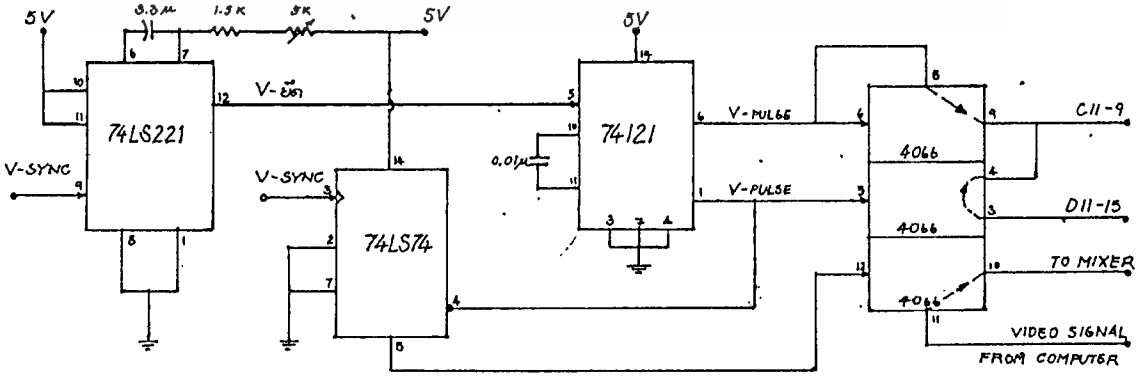
รูป(3.11) Vertical Sync Address Generator

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากวงจร Address Generator ในคอมพิวเตอร์ (3.11) จะเห็นว่าการที่จะให้คอมพิวเตอร์เริ่มสแกนเส้นที่ 1 ใหม่นั้นเราจะต้องทำการ load IC D11 และ D12 ใหม่ ซึ่ง IC ทั้งสองตัวนี้จะสร้าง address ทางด้าน vertical ออกมา เมื่อเรา load ค่าเริ่มต้นให้มัน มันก็จะทำการสแกนเส้นที่ 1 ใหม่ (เราจะสังเกตได้อย่างหนึ่งคือ IC D11 และ D12 นี้ จะให้ address เฉพาะ VB-V5 เท่านั้น ที่เราไม่ต้องทำการ load ค่า VA ใหม่นั้น เพราะว่าการ load ค่าเริ่มต้นของ VA ก็คือการ load ค่าตัวมันเองเข้าไปนั่นเอง เนื่องจากขา P3 ของ IC 13 ต่ออยู่กับขา Q3 ของตัวมันเอง)

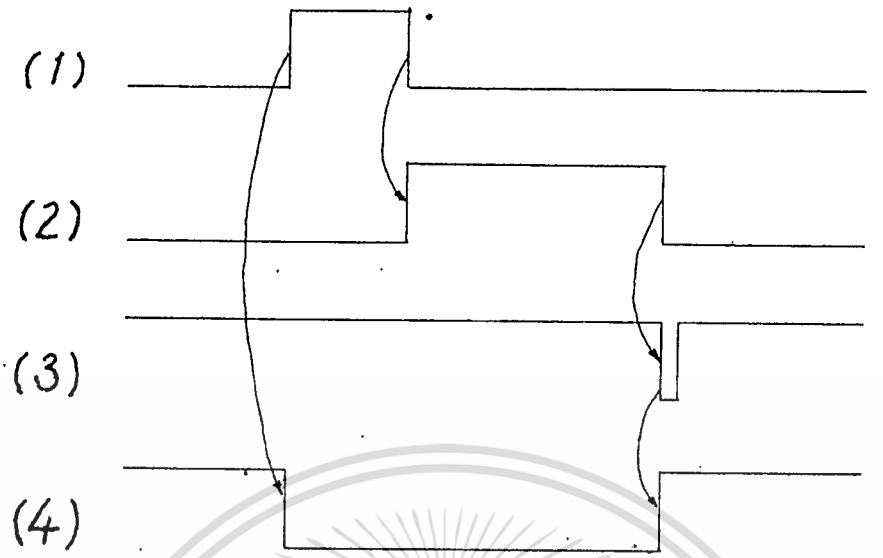
ขา load (PE) ของ IC D11 และ D12 นั้นต่ออยู่กับขา 8 ของ C11 ซึ่งมีผลมาจากขา RC ของ D11 นั่นคือเมื่อ RC มีค่าเป็น "1" ขา 8 ของ C11 จะมีค่าเป็นๆ "0" และทำให้เกิดการ load ค่าเริ่มต้นให้แก่ D11 และ D12 นั่นคือเราจะต้องหาสัญญาณใดๆที่อยู่ในเวลาที่เราต้องการมาทำการ load IC ทั้ง 2 ตัวนี้ ซึ่งเราจะ load เมื่อใดนั้นจะได้กล่าวต่อไป

การพิจารณาว่าเราจะทำการ load IC D11 D12 เมื่อใดนั้น เราจะพิจารณาจากขนาดของจอภาพของวีดีโอและคอมพิวเตอร์ เราพบว่าจอภาพของวีดีโอจะมีขนาดใหญ่กว่าของคอมพิวเตอร์ เนื่องจากมีจำนวนเส้นมากกว่า ดังนั้นเราจะไม่ให้คอมพิวเตอร์เริ่มสแกนเส้นที่ 1 พร้อมกับเส้นที่ 1 ของวีดีโอ แต่เราจะให้วีดีโอทำการสแกนภาพไปช่วงหนึ่งก่อน (อาจเป็น 30-40 เส้น) แล้วจึง load IC D11,D12 ให้คอมพิวเตอร์สแกนเส้นที่ 1 ในลักษณะเช่นนี้จะมีผลให้ภาพของคอมพิวเตอร์อยู่ประมาณกึ่งกลางภาพวีดีโอ อย่างไรก็ดีเราก็ไม่จำเป็นต้องกำหนดลงไปตายตัวว่าจะให้คอมพิวเตอร์เริ่มสแกนเส้นที่ 1 พร้อมกับที่วีดีโอสแกนเส้นที่เท่าไหร่ เพื่อที่จะได้ทำการเลื่อนจอภาพของคอมพิวเตอร์ขึ้น-ลงได้ตามต้องการ(โดยใช้ตัวต้านทานปรับค่าได้)



รูป(3.12) Vertical Synchronizer

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป(3.13) รูปสัญญาณต่างๆในวงจร Vertical Synchonizer

สัญญาณที่เราจะนำมา load IC D11,D12 นี้เราได้มาจากสัญญาณ vertical sync ซึ่งเรา detect มาจาก composite video signal ของวีดีโอโดยวงจร Sync Seperator ดังที่ได้กล่าวมาแล้ว เราจะนำสัญญาณ V-Sync (แสดงได้ดังรูป(3.13-1)) นี้มาผ่าน IC เบอร์ 74LS221 ซึ่งเป็น monostable โดย IC นี้จะทำการยืด V-Sync นี้ออกไปดังรูป(3.13-2)(เราสามารถปรับค่า time constant ให้มีค่ามากหรือน้อยได้จากการปรับค่าความต้านทานปรับค่าได้) เมื่อเราทำการยืด V-Sync ออกไปแล้วเราไม่สามารถนำ V-Sync นี้ไป load IC D11,D12 โดยตรงได้เพราะช่วงเวลา load จะยาวเกินไปทำให้การสร้าง address ของ Address Generator ผิดไป เพราะการ load นั้นต้องการคาบเวลาเพียง 20-30 ns ก็เพียงพอแล้ว เราจึงนำสัญญาณ V-Sync ที่ยืดออกนี้ไปทำการ trig monostable อีกตัวหนึ่ง คือ 74 121 ให้สร้างพัลซ์ขนาดแคบๆออกมา (ที่เลือกใช้ 74 121 นี้เนื่องจากว่ามันมีค่าความต้านทานอยู่ภายในตัวมันเอง เมื่อเราเลือกค่า C ให้เหมาะสมก็จะได้ค่า time constant เป็นช่วงเวลาสั้นๆซึ่งก็จะให้เป็นพัลซ์ขนาดแคบๆดังที่เราต้องการมาได้) เมื่อเราได้พัลซ์แคบๆออกมาดังรูป(3.13-3) แล้วเราจึงนำพัลซ์นี้ไปทำการ load IC D11,D12 ให้เริ่มสแกนเส้นที่ 1 ตรงนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากจุดนี้เราก็จะเห็นได้แล้วว่าถ้าเราปรับค่า time constant ของ IC 74221 โดยการปรับค่าความต้านทานปรับค่าได้ก็จะทำให้ V-Sync ถูกยืดออกหรือหกเข้าได้ และก็จะเกิดการ load IC D11,D12 ที่จุดต่างๆกัน ทำให้เราสามารถปรับภาพให้เลื่อนขึ้นลงได้ตามต้องการ

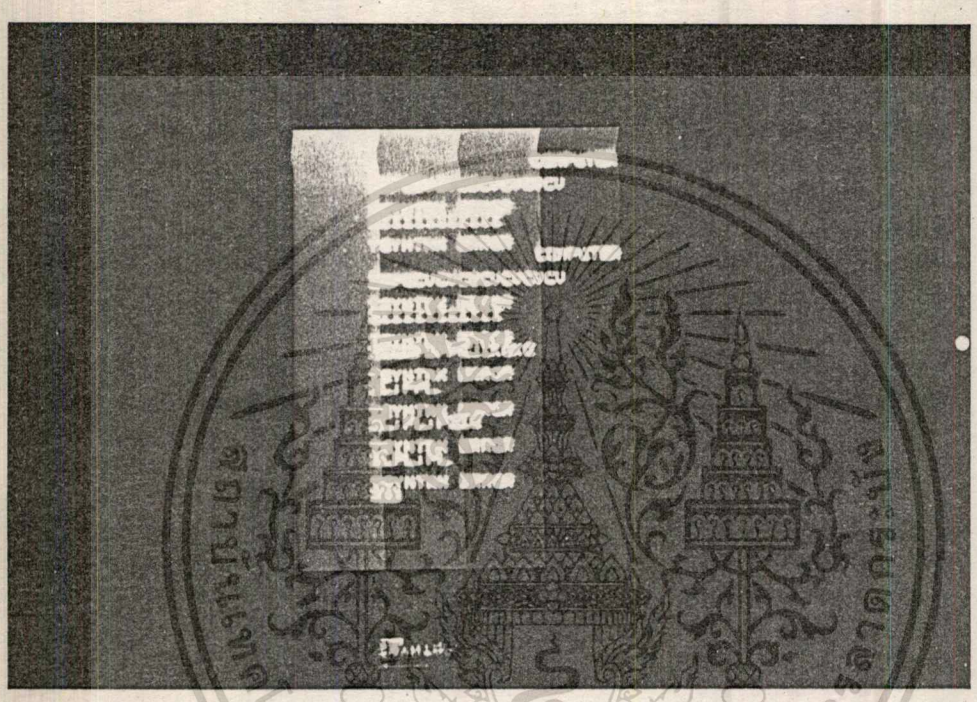
ต่อไปก็จะเป็นการแทรกสัญญาณพัลซ์แคบๆนี้เข้าไปในขา load ของ IC D11,D12 โดยการใช้อนาลอกสวิทซ์ (IC เบอร์ 4066) ดังรูป(3.12) ผลการทำงานของอนาลอกสวิทซ์คือ เมื่อใดที่มีสัญญาณพัลซ์แคบๆมาจาก 74121 เราจะตัดวงจรตรง D11-15 และ C11-9 ออก แล้วแทรกสัญญาณพัลซ์แคบๆนี้เข้าไปใน C11-9 แทนเพื่อไป load IC D11,D12 แต่ถ้าไม่มีพัลซ์แคบๆมาจาก 74121 แล้วก็ให้ต่อวงจรตรง D11-15 และ C11-9 ไว้ตามเดิม นั่นคือเมื่อใดที่มีพัลซ์แคบๆมาก็จะทำให้ D11,D12 เกิดการ load และคอมพิวเตอร์ก็จะเริ่มสแกนเส้นที่ 1 ใหม่เสมอ

มาถึงตรงนี้ถึงแม้เราจะสามารถกำหนดจุดเริ่มสแกนของคอมพิวเตอร์ได้แล้วเราก็ยังจะพบปัญหาใหม่อีกคือ เมื่อคอมพิวเตอร์สแกนครบรอบ 1 field ของมันแล้ว ในส่วนของวีดีโอจะยังสแกนไม่ครบรอบของมัน ดังนั้นคอมพิวเตอร์จะเริ่มสแกนเส้นที่ 1 ใหม่อีกครั้งโดยการ load ตัวมันเองทำให้เกิดจอภาพซ้อนกันเกิดขึ้น ปัญหานี้จะแก้ได้โดยจะกล่าวต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การแก้ปัญหาสัญญาณภาพจากคอมพิวเตอร์ซ้อนกัน

จากที่ได้กล่าวมาข้างต้นเราสามารถทำให้การสแกนลำอิเลคตรอนของคอมพิวเตอร์ เริ่มต้นที่ตำแหน่งที่เราต้องการได้แล้วแต่เราจะพบปัญหาว่าคอมพิวเตอร์ทำการสแกนภาพซ้ำเดิมหลังจากที่สแกนครบ 1 field แล้วตามรูปที่ (3.14) (เนื่องจากจำนวนเส้นในการสแกนของคอมพิวเตอร์นั้นน้อยกว่าของวีดีโอ) หัวข้อนี้เราจะกล่าวถึงการแก้ปัญหาดังกล่าวนั้น



รูป(3.14) การสแกนภาพซ้ำของคอมพิวเตอร์

ในการแก้ปัญหานี้ เราจะต้องตัดสัญญาณภาพส่วนเกินออกไป โดยเราจะใช้อนาลอกสวิทช์ ทำการตัดสัญญาณภาพส่วนที่เราไม่ต้องการออก ส่วนสัญญาณที่จะนำมาควบคุมอนาลอกสวิทช์นี้นั้น เราสร้างมาได้จาก IC เบอร์ 74LS74 ซึ่งเป็น D-type Flip Flop

จาก timing diagram รูปที่(3.13)เราจะเห็นว่าถ้าเราปรับค่า time constant ของ V-Sync ที่ยืดออกให้เหมาะสมแล้ว สัญญาณภาพส่วนที่เราไม่ต้องการนั้นจะเริ่มต้นตั้งแต่ที่เริ่มมี V-Sync ของวีดีโอเข้ามาและจะสิ้นสุดพอดีกับที่ IC 74121 สร้างพัลซ์ลูกแคบๆออกมา ดังนั้นเราจะใช้การเริ่มต้นของสัญญาณ V-Sync และสัญญาณจาก 74121 มาทำการควบคุม D-Flip Flop เพื่อที่จะสร้างสัญญาณไปควบคุมอนาลอกสวิทช์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

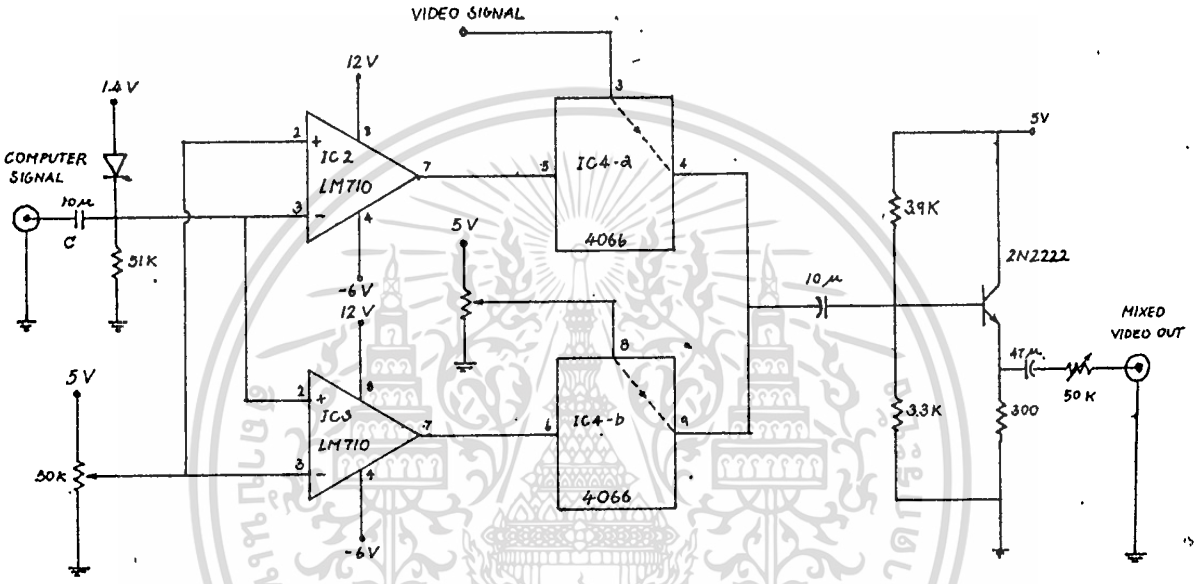
จากวงจรรูป(3.12) จะเห็นว่าเราจะนำ V-Sync มาอินพุทให้กับ D-Flip Flop ที่ขา clock โดยต่อขา D ของ Flip Flop ลงกราวด์นี้ (Ground) (ให้มี logic "0") และเรานำสัญญาณพัลซ์ลูกแคบๆที่ได้จาก 74121 มาเป็นอินพุทให้กับขา PRESET ของ Flip Flop ดังนั้นเอ๊าท์พุทจะมีค่าเป็น "0" จนกระทั่งมีสัญญาณพัลซ์จาก 74121 มาที่ขา PRESET ก็จะทำให้เอ๊าท์พุทเปลี่ยนจากสัญญาณ 0-1 อย่างนี้ไปเรื่อยๆดัง timing diagram รูปที่ (3.13-4)

เมื่อเรานำเอ๊าท์พุทจาก Flip Flop ที่ได้นี้ไปควบคุมอนาลอกสวิทช์ ผลจากอนาลอกสวิทช์ก็คือมันจะทำการตัดสัญญาณภาพของคอมพิวเตอร์ที่เกิดขึ้นระหว่างการเริ่มต้นของ V-Sync จากวีดีโอจนกระทั่งถึงเวลาที่เกิดพัลซ์จาก 74121 ออกไปซึ่งภาพในช่วงเวลานี้ก็คือภาพส่วนที่เราไม่ต้องการนั่นเอง

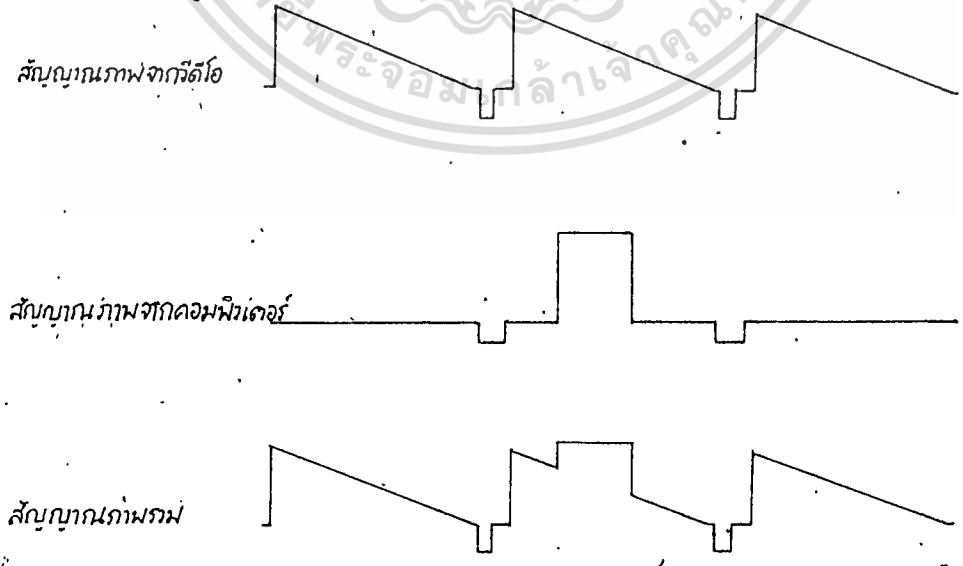
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3 VIDEO MIXER AND BUFFER

Video Mixer and Buffer จะเป็นส่วนที่ทำการซ้อนภาพจากสัญญาณภาพคอมพิวเตอร์ลงบนสัญญาณภาพวีดีโอ โดยใช้หลักการแทรกสัญญาณภาพจากคอมพิวเตอร์ในแต่ละจุด (ce-11) แทนที่เข้าไปในสัญญาณวีดีโอ สัญญาณที่ผสมแล้วนั้นจะผ่าน Q_1 ซึ่งทำหน้าที่เป็น buffer ขับกระแสเป็นสัญญาณ output แสดงดังรูป (3.15)



รูป(3.15) วงจร Mixer and Buffer



รูป(3.16) ภาพแสดงการผสมสัญญาณคอมพิวเตอร์ลงบนสัญญาณภาพวิดีโอ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การออกแบบและการทำงานของวงจร

พิจารณาการสแกนสัญญาณภาพใน 1 เส้น ส่วนของ video mixer จะทำงานโดยการแทนที่ส่วนที่เป็นจุดสว่างของสัญญาณจากคอมพิวเตอร์ลงบนสัญญาณวิดีโอ ซึ่งรูปสัญญาณแสดงได้ดังรูป (3.16)

ใน 1 เส้นของสัญญาณภาพจากคอมพิวเตอร์ประกอบด้วย 280 จุด และการสแกน 1 เส้นของสัญญาณภาพจากคอมพิวเตอร์จะใช้เวลาประมาณ 40 μs. ดังนั้นความถี่สูงสุดของสัญญาณภาพในการสแกน 1 เส้น = $1/(40 \times 10^{-6}/140)$ =3.5 MHz การแทนที่สัญญาณภาพจากคอมพิวเตอร์ลงในสัญญาณวีดีโอมีความถี่สูงถึง 3.5 MHz จึงจำเป็นที่จะต้องใช้ high speed voltage comparator (เลือกใช้ LM 710)

สัญญาณจากคอมพิวเตอร์ป้อนเข้าที่ input แล้วถูก coupling ผ่าน C และถูก clamp ที่ระดับ 0.7V เช่นเดียวกับในส่วนของ Synch-separator แล้วป้อนเข้าที่ขา inverting input ของ IC2 และที่ขา noninverting input ของ IC3

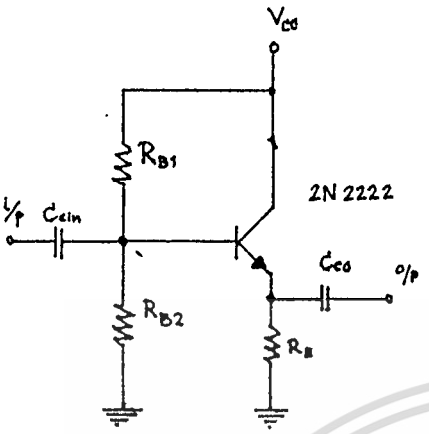
ส่วนขา noninverting input ของ IC2 และ inverting input ของ IC3 จะต่อกับความต้านทานปรับค่าได้โดยให้มีระดับความต่างศักย์อ้างอิงที่ประมาณ 1.5V เมื่อสัญญาณเฉพาะที่เป็นจุดสว่างของสัญญาณจากคอมพิวเตอร์เข้ามา คือมีความต่างศักย์สูงกว่า 1.5V จะทำให้ output ของ IC3 เป็น "1" ไป ON IC4-b (Analog Switch 4066) ขณะเดียวกัน output ของ IC2 ก็จะเป็น "0" ไป OFF IC4-a เพื่อตัดสัญญาณจากวีดีโอออกไปทำให้เป็นการแทนส่วนที่เป็นจุดสว่างของสัญญาณจากคอมพิวเตอร์ลงในสัญญาณวีดีโอ

ที่ส่วน input ของ IC4-6 จะต่อกับความต้านทานปรับค่าได้เพื่อใช้ในการปรับระดับความเข้มของจุดสว่างที่จะแทรกลงไป และในกรณีที่ปรับระดับความต่างศักย์ให้มีค่าประมาณ black level ก็จะทำให้ได้ภาพจากคอมพิวเตอร์เป็นสีดำแทนสีขาว

จาก Mixer สัญญาณจะถูกป้อนให้กับ Q1 (2N2222) ซึ่งต่อแบบ common collector ทำหน้าที่เป็น Buffer ขับสัญญาณเป็น output

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การคำนวณในส่วน Buffer



ต้องการให้วงจรมีคุณสมบัติดังนี้

Vo (max)	=	1 V_{pp}
R_{LAC}	=	75 Ω
$\% \Delta I_{cq}$	=	5%
T	=	25 - 75 °C
β	=	100

รูป(3.17) วงจร Buffer

เพื่อให้วงจรมีเสถียรภาพที่ดีศักย์ดาตกครอมความต้านทาน R_E ต้องมีค่าสมการ

$$V_{RE} \geq \frac{100\ \Delta V_{BE}}{\% \Delta I_{cq}} = \frac{Vo(max)(n+1)}{2}$$

แก้สมการหาค่าของ n ได้เป็น

$$n \geq \frac{200\ \Delta V_{BE}}{V_o(max)\% \Delta I_{cq}} - 1 \quad ; \Delta V_{BE} \simeq \Delta T \times 2mV.$$

แทนค่าตามข้อกำหนดต่างๆจะได้

$$n \geq \frac{200(75-25)(2\times10^{-3})}{1 \times 5} - 1 = 3$$

เลือกค่า n = 4 ถ้าค่า n ต่ำๆจะทำให้อินพุทรีซีสแตนซ์ต่ำ แต่ถ้าเลือกค่า n สูง อาจต้องใช้ไฟเลี้ยงวงจรสูง

$$I_{cq} \simeq \frac{Vo(max)(n+1)}{2n\ R_{LAC}}$$

$$\simeq \frac{(1)(5)}{2(4)(75)} = 10 \text{ mA.}$$

$$R_E = nR_{LAC}$$

$$= 4 \times 75$$

$$= 300 \text{ ohm.}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$I_B = \frac{I_{CQ}}{\beta} = (10 \times 10^{-3})/(100)$$

$$= 100 \quad \mu A$$

$$V_{RB2} = I_{CQ}(R_E)+0.6 = (10\times10^{-3})(300)+0.6$$

$$= 3.6 \quad V.$$

$$R_{B2} = \frac{V_{RB2}}{NI_B} = 3.6/10(100\times10^{-6}) \quad ; N = 10$$

$$= 3.6 \quad Kohm$$

$$V_{RB1} = 12-3.6 = 8.4 \ V.$$

$$R_{B1} = \frac{V_{RB1}}{(N+1)I_B} = \frac{8.4}{(11)(100\times10^{-6})}$$

$$= 7.6 \quad Kohm$$

$$C_{CO} = \frac{1}{2\pi F_L R_{LAC}} = \frac{1}{2\pi\, 50(75)}$$

$$= 42.4 \quad \mu F$$

เลือกใช้ค่า 47 uF

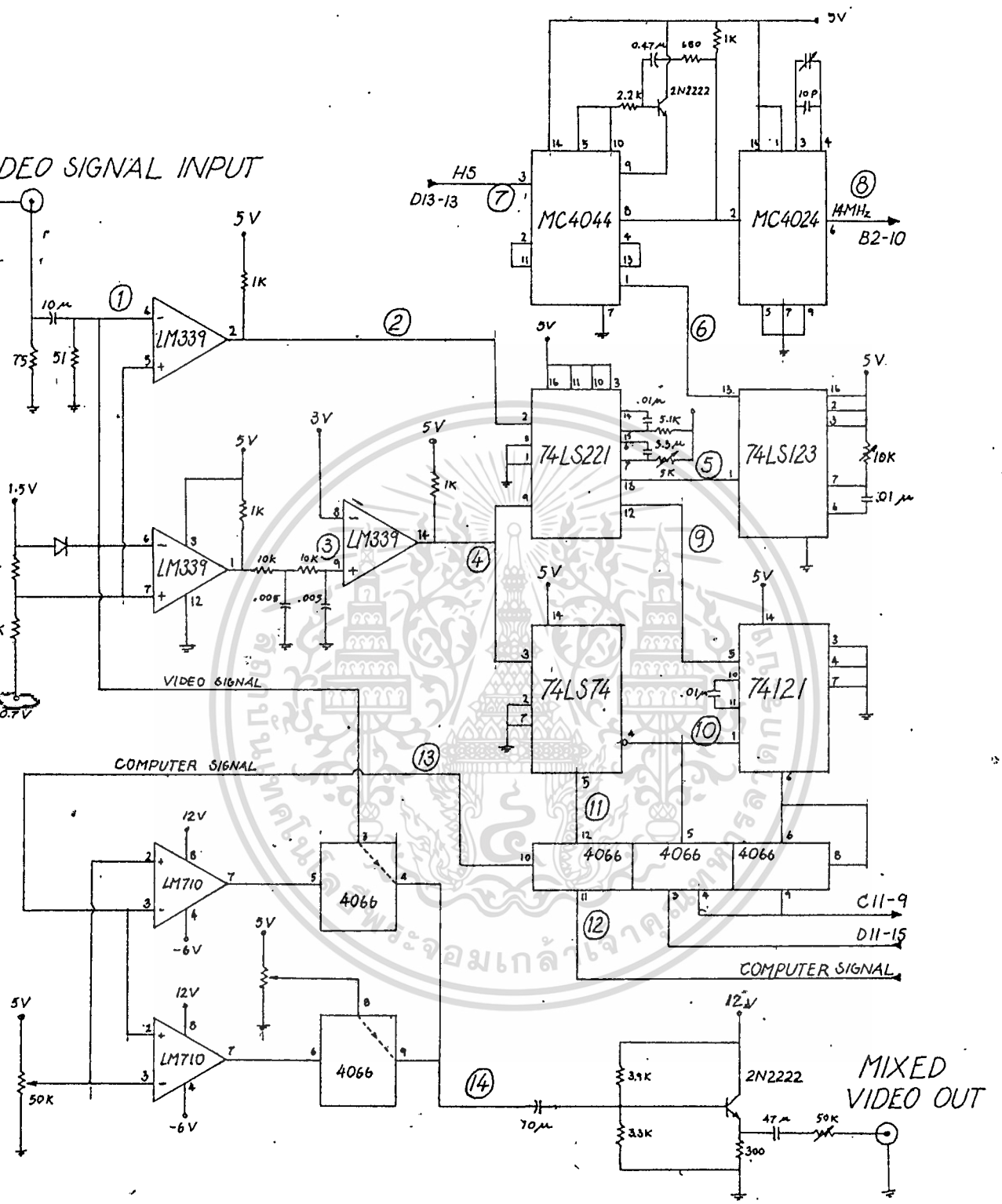
$$Rin \simeq R_{B1} // R_{B2} // [\beta (R_E // R_{LAC})]$$

$$\simeq 7.6\ K // 3.6\ K // [100\ (300 // 75)]$$

$$\simeq 1.8 \quad Kohm$$

เลือกใช้ค่าประมาณ 5-10 เท่าของค่าที่คำนวณใช้จึงใช้ 10 μF

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป(3.18) วงจรรวมของระบบ Video and Computer Synchronizer

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

การทดลองและผลการทดลอง

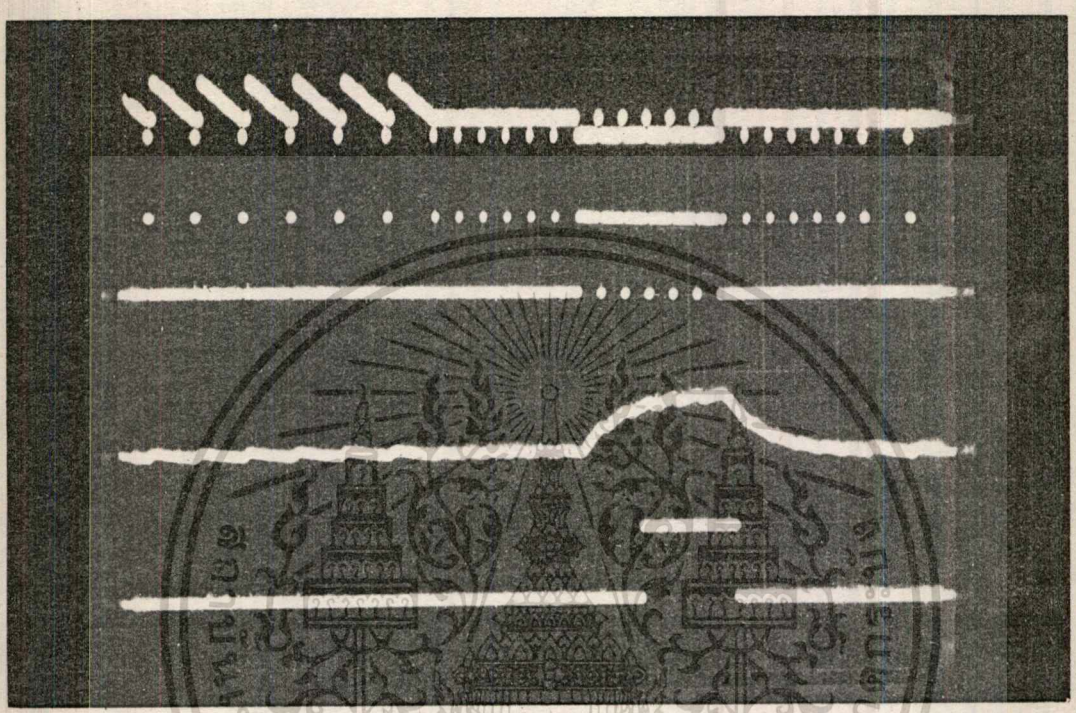
จากการที่ได้ศึกษาถึงทฤษฎีต่างๆ ที่เกี่ยวข้องกันทั้งระบบคอมพิวเตอร์และระบบวิดีโอ จนกระทั่งได้ใช้หลักการต่างๆ ทำการออกแบบระบบและวงจรต่างๆ ประกอบเป็นเครื่อง Computer and Video Synchronizer นี้ขึ้นมา ในบทนี้ เราจะแสดงถึงการทดลองและผลการทดลองในส่วนของระบบต่างๆ ที่กล่าวมาแล้วในบทต้นๆ ซึ่งผลการทดลองนี้ได้มาจากการถ่ายรูปจากจอ ออสซิล-โลสโคป(oscilloscope) ที่จับสัญญาณมาจากวงจรส่วนต่างๆ ดังที่จะได้กล่าวต่อไป

อนึ่ง วงจรของระบบทั้งระบบได้เขียนรวมไว้แล้วในรูป(3.18) ซึ่งเราจะใช้รูปวงจรรวมนี้ประกอบการอธิบายในบทนี้ด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.1 วงจรแยกซิงค์

วงจรนี้เราจะป้อนสัญญาณ composite video จากเครื่องวิดีโอให้เป็นอินพุท ซึ่งจะได้สัญญาณเอ๊าท์พุทเป็นสัญญาณ composite sync และสัญญาณ vertical Sync ดังรูป (4.1)



รูป(4.1)

จากวงจรรวมรูป (3.18) และรูป (4.1) เราจะได้สัญญาณแสดงตามหมายเลขต่างๆ ดังนี้

หมายเลข (1) คือสัญญาณ composite video ที่ส่งมาจากวิดีโอ

หมายเลข (2) คือสัญญาณ composite Sync ของวิดีโอ ซึ่งประกอบด้วย H-Sync pulse , equalizing pulse , และ vertical Sync pulse ของวิดีโอ

หมายเลข (3) คือสัญญาณ composite Sync ซึ่งผ่านวงจรอินทิเกรต จะเป็นว่าจะได้เป็น V-Sync pulse ซึ่งรูป pulse ยังไม่สวยงามนัก

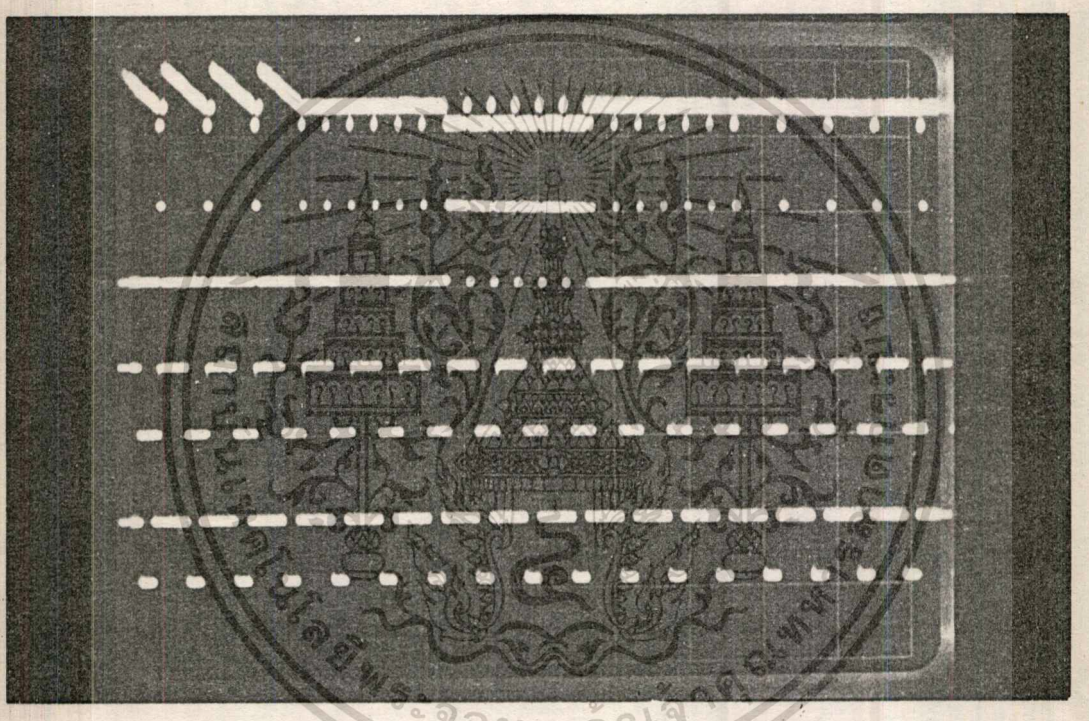
หมายเลข (4) คือสัญญาณ V-Sync pulse หลังจากที่ได้จัดรูปใหม่โดย comparator แล้ว

สรุปแล้ว จากวงจรนี้ เราจะได้สัญญาณ composite Sync (2) และ Vertical Sync (4) ออกมา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2 การสร้างสัญญาณ Hor-pure และการยืดสัญญาณ Hor-pure

จากสัญญาณ composite Symc ของวิดีโอที่เราได้จากวงจรแยกซิงค์ เราจะนำสัญญาณนี้มาผ่าน IC เบอร์ 74LS221 ซึ่งเป็น nonretrickable monostable ทำการยืดสัญญาณ H-Sync pulse ให้ครอบคลุมถึงช่วง equalizing ในช่วง vertical Sync เพื่อทำให้เป็นสัญญาณ H-pure และเราก็จะผ่านสัญญาณ H-pure นี้ไปยัง IC 74LS123 ซึ่งเป็น monostable เหมือนกัน เพื่อยืดหรือหดคาบเวลาของสัญญาณ H-pureนี้อีกทีหนึ่ง ซึ่งแสดงได้ดังรูป(4.2)



รูป(4.2)

จากวงจรรวมรูป(3.18) และรูป(4.2) เราจะได้สัญญาณแสดงตามหมายเลขต่างๆ ดังนี้

หมายเลข (2) คือสัญญาณ Composite Sync ที่ได้จากวงจรแยกซิงค์

หมายเลข (5) คือสัญญาณ H-pure ซึ่ง เป็นสัญญาณ Hor-Sync ล้วนๆ ไม่มี equalizing pulse และ vertical Sync pulse รวมอยู่ด้วย

หมายเลข (6) คือสัญญาณ H-pure ที่ถูกยืดหรือหดได้โดย 74LS123

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สรุปแล้ว ในส่วนนี้เราจะได้สัญญาณ H-pure (6) ที่สามารถยืด-หดได้ เพื่อที่จะนำไปทำการเปรียบเทียบเพสกับสัญญาณ Horizontal pulse ของคอมพิวเตอร์อีกทีในภายหลัง

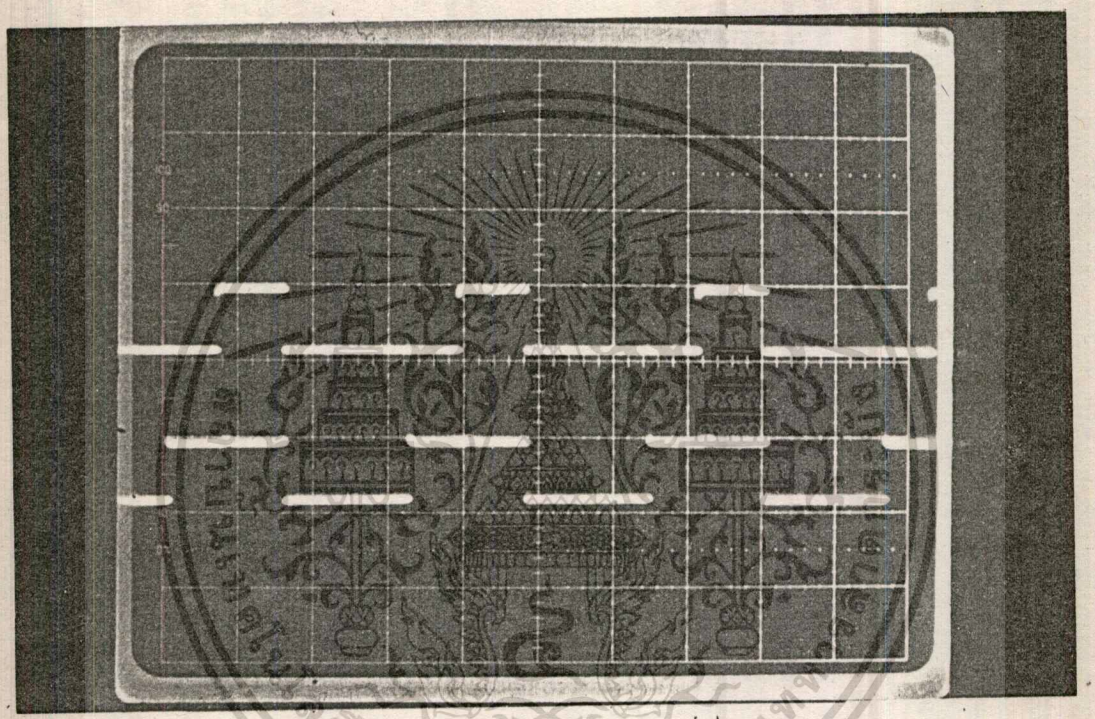
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.3 วงจรเฟสดีเทคเตอร์ (phase detector) และการสร้างสัญญาณ 14 MHz

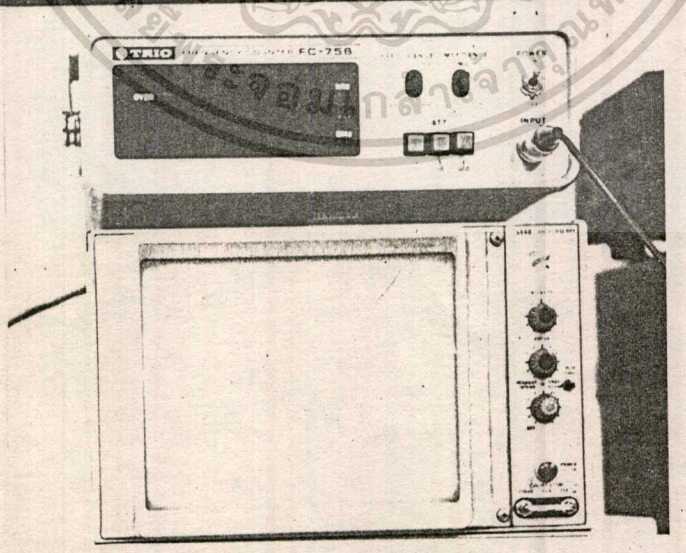
ในส่วนนี้เราจะนำสัญญาณ H-pure และสัญญาณ H5 (ความถี่เท่ากับสัญญาณ H-Sync ของ computer) จากขา 13 ของ IC D13 ในวงจร ADDRESS GENERATOR รูป(2.8) มาทำการเปรียบเทียบเฟสให้ตรงกัน โดย เฟส ดีเทคเตอร์(IC เบอร์ MC 4044) ซึ่งจะได้เอ๊าท์พุทเป็น DC โวลต์ เตจ ประมาณ 4 โวลต์ ไปป้อนให้กับ VCO (IC เบอร์ 4044) เพื่อที่จะสร้างสัญญาณ 14 MHz ไปป้อนเป็น master clock ให้กับคอมพิวเตอร์ต่อไป

6

7



8



รูป(4.3)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากวงจรรวมรูป(3.18) และรูป(4.3) เราจะได้สัญญาณแสดงตามหมายเลขต่างๆ ดังนี้

หมายเลข (6) คือสัญญาณ H-pure ที่ได้จาก IC 74 LS 123

หมายเลข (7) คือสัญญาณ H5 (H-sync) ของคอมพิวเตอร์จาก IC D13-13

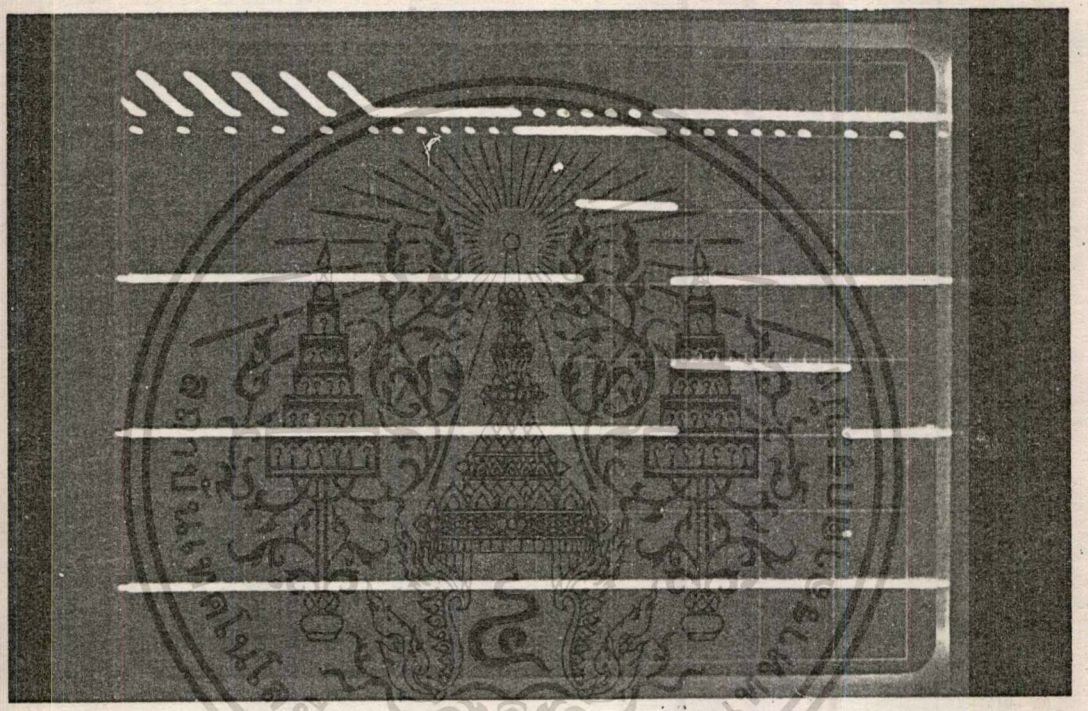
หมายเลข (8) คือรูปถ่ายอุปกรณ์วัดความถี่(frequency counter) ซึ่งจับสัญญาณจากสัญญาณเอ๊าท์พุทของ IC เบอร์ MC 4024 จะเห็นว่าได้ประมาณ 14.25 MHz ซึ่งเป็นความถี่ที่ต้องการ

สรุป ในส่วนนี้เราจะได้สัญญาณ 14 MHz(8) ไปป้อนเป็นmaster clock ให้เครื่อง Apple II แล้ว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.4 การยืดสัญญาณ V-Sync และการสร้าง V-pulse แคบๆ

จากสัญญาณ V-Sync ที่เราได้จากวงจรแยกซิงค์ เราจะนำสัญญาณนี้มาผ่าน monostable (IC เบอร์ 74CS221) เพื่อทำการยืด V-Sync ออกให้ได้คาบเวลาตามต้องการ และจะนำสัญญาณ V-Sync ที่ยืดออกนี้ไป trig monostable อีกตัวหนึ่ง (74 121) เพื่อสร้างสัญญาณ pulse แคบๆ ออกมาลูกหนึ่ง เพื่อที่จะไปเป็นสัญญาณ load ค่าเริ่มต้นให้วงจร Address Generator รูป(3.11) ซึ่งรูปสัญญาณต่างๆ จะแสดงได้โดยรูป(4.4)



รูป(4.4)

จากวงจรรวมรูป(3.18) และรูป(4.4) เราจะได้สัญญาณแสดงตามหมายเลขต่างๆ ดังนี้

หมายเลข (4) คือสัญญาณ V-Sync ที่ได้จากวงจรแยกซิงค์

หมายเลข (9) คือสัญญาณ V-Sync ที่ถูกยืดออก

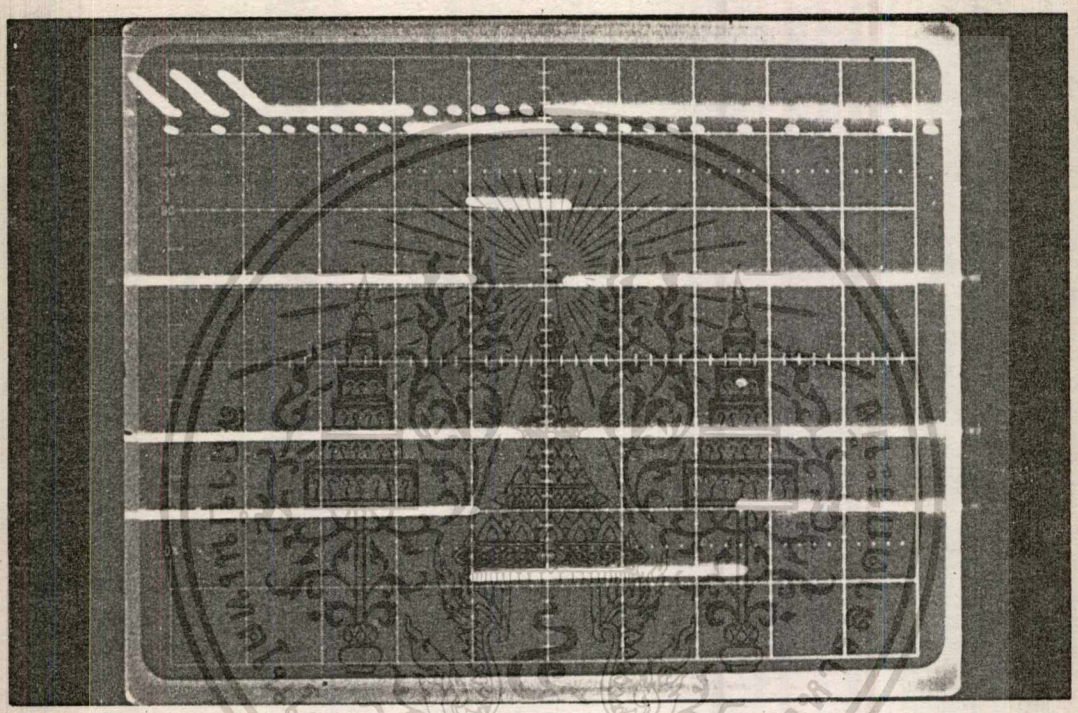
หมายเลข (10) คือสัญญาณ V-pulse แคบๆ ที่เกิดขึ้นหลังจากที่ V-Sync ถูกยืดออกแล้ว

สรุป ในส่วนนี้เราจะได้สัญญาณ V-pulse แคบๆ (10) เพื่อไป lode ค่าเริ่มต้นในการสแกนเส้นแรกของคอมพิวเตอร์ ในวงจร Address Generator ที่ IC C11-9 ทำให้การสแกนภาพในแนว Vertical ของคอมพิวเตอร์และของวิดีโอมีความถี่เดียวกันแล้ว (เกิดการ Synchronize กันแล้ว)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.5 การสร้างสัญญาณควบคุมการสแกนภาพเกินของคอมพิวเตอร์

จากที่ได้กล่าวมาแล้วในหัวข้อ(3.2.2) ว่า จะมีสัญญาณภาพส่วนเกินของคอมพิวเตอร์ปรากฏอยู่ ดังรูป(3.14) ดังนั้น เราจะใช้อนาลอก สวิทช์ ตัดสัญญาณภาพส่วนเกินนั้นทิ้ง โดยใช้สัญญาณ V-Sync และสัญญาณ V-pulse แคบๆ ไปควบคุม ฟลิป-ฟลอป (74LS74) ให้สร้างสัญญาณไปควบคุม อนาลอก สวิทช์ ดังรูป(4.5)



รูป(4.5)

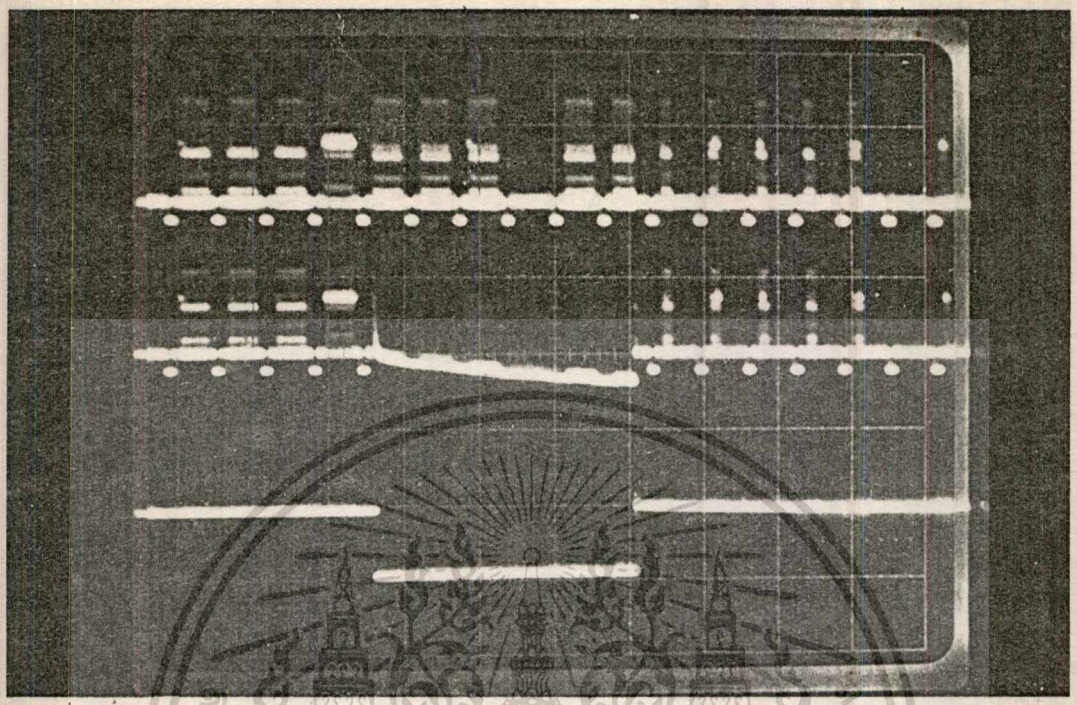
จากวงจรรวมรูป(3.18) และรูป(4.5) เราจะได้สัญญาณแสดงตามหมายเลขต่างๆ ดังนี้

หมายเลข (4) คือสัญญาณ V-Sync จากวงจรแยกซิงค์

หมายเลข (10) คือสัญญาณ V-pulse แคบๆ จาก IC 74 121

หมายเลข (11) คือสัญญาณที่ได้จาก IC 74LS74 ซึ่งจะนำไปควบคุมการทำงานของ อนาลอก สวิทช์ ดังรูป(4.6)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป(4.6)

หมายเลข (12) คือสัญญาณภาพที่รวมทั้งภาพส่วนเกินด้วยของคอมพิวเตอร์ ซึ่งจะป้อนเป็นอินพุทให้ อนาลอก สวิทช์

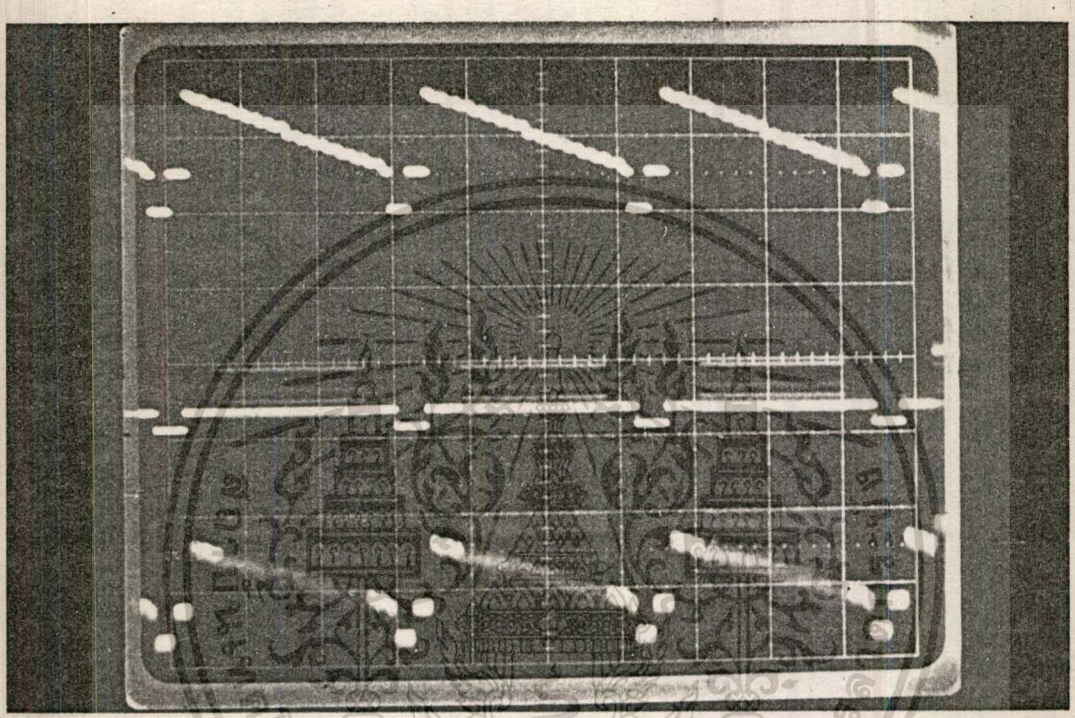
หมายเลข (13) คือสัญญาณภาพที่ถูกตัดสัญญาณภาพส่วนเกินออกไปแล้ว (คือเอ๊าท์พุทจาก อนาลอก สวิทช์ นั่นเอง)

สรุป ในส่วนนี้เราจะได้สัญญาณภาพจากคอมพิวเตอร์ที่สแกนในระบบเดียวกับของวิดีโอแล้ว พร้อมที่จะรวมกับสัญญาณภาพจากวิดีโอในวงจร Mixer ต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.6 วงจร Mixer & Buffer

หลังจากที่ได้สัญญาณภาพที่สมบูรณ์จากคอมพิวเตอร์แล้ว เราจะนำสัญญาณภาพนี้มารวมกับสัญญาณภาพจากวิดีโอ ต่อไปด้วยวงจร Mixer (กล่าวมาแล้วในหัวข้อ 3.3)



รูป(4.7)

จากวงจรรวมรูป(3.18) และรูป(4.7) เราจะได้สัญญาณแสดงตามหมายเลขต่างๆ ดังนี้

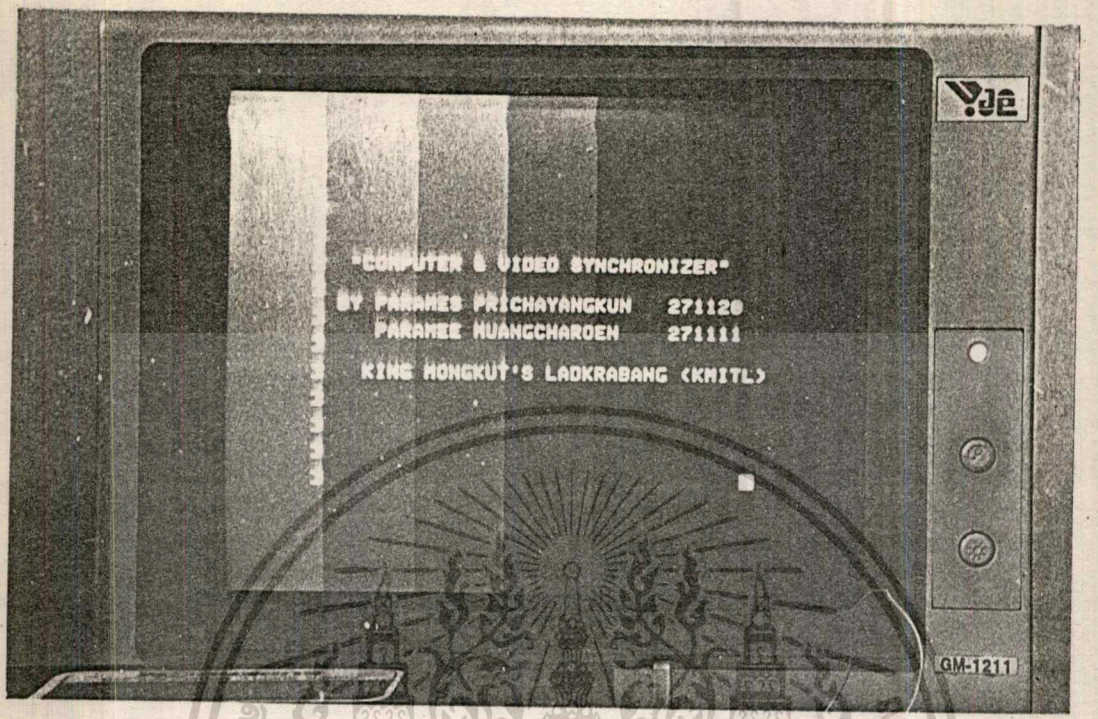
หมายเลข (1) คือสัญญาณภาพจากเครื่องวิดีโอเทป

หมายเลข (13) คือสัญญาณภาพจากเครื่องคอมพิวเตอร์

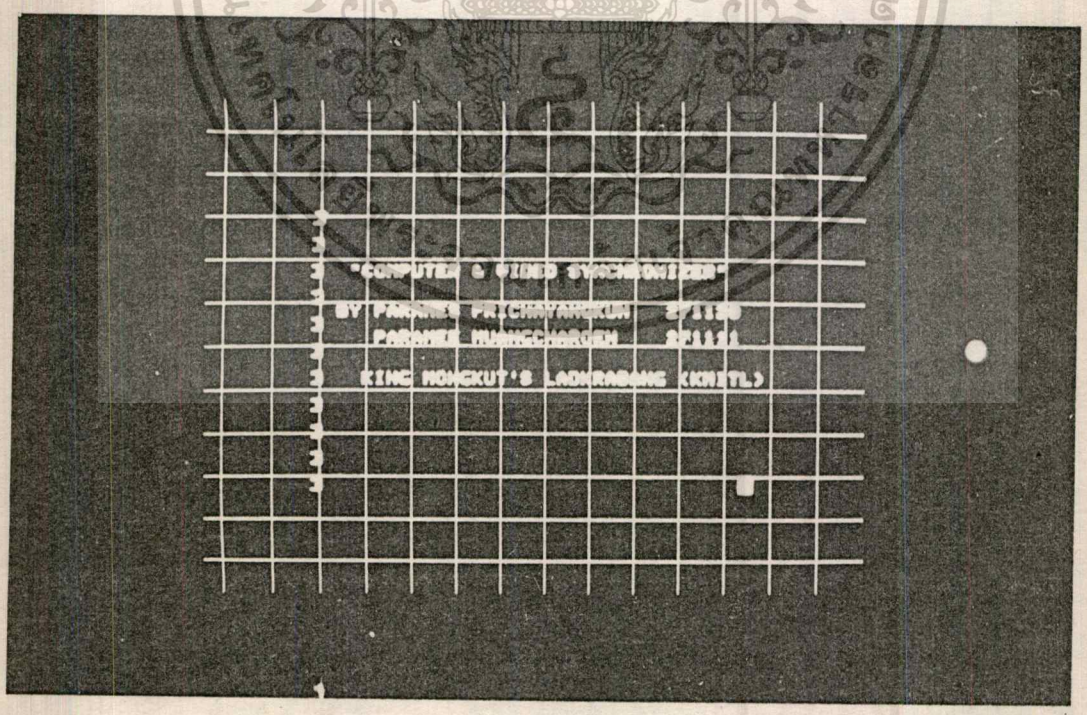
หมายเลข (14) คือสัญญาณภาพที่เกิดจากการรวม (1) และ (13) เข้าด้วยกันโดยวงจร Mixer

สรุป จากวงจร Mixer นี้ เราจะได้สัญญาณภาพของคอมพิวเตอร์และวิดีโอรวมกันแล้ว (Mixed video out:(14)) ซึ่งเมื่อป้อนสัญญาณนี้ให้แก่มอนิเตอร์ จะเป็นการแสดงภาพเป็นดังรูป(4.8) และรูป(4.9)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป(4.8) ผลที่ได้จากการซ้อนภาพจากคอมพิวเตอร์ลงบนภาพวิดีโอโดยสมบูรณ์



รูป(4.9) ผลที่ได้จากการซ้อนภาพจากคอมพิวเตอร์ลงบนภาพวิดีโอโดยสมบูรณ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
บทวิจารณ์และสรุป

ในปริญญานิพนธ์ฉบับนี้ ได้เสนอ ทฤษฎี การออกแบบ และการสร้าง ดังที่ได้กล่าวมาแล้วทั้งหมด เราสามารถสรุปผลงานที่ทำออกมาได้ดังนี้คือ

- ส่วนวงจร Sync-Seperator
- ส่วนวงจร Synchronizer
- ส่วนวงจร Mixer and Buffer

สำหรับวงจร Sync-Seperator ตามที่ได้ออกแบบและทดสอบไปแล้วนั้น สามารถให้งานได้ดี

ส่วนวงจร Synchronizer เราสามารถควบคุมการสแกนภาพของคอมพิวเตอร์ได้ตามต้องการ โดยการเปลี่ยนความถี่ของ Master Clock จาก 14.31818 มาเป็น 14.2498 MHz จะเห็นได้ว่าความถี่ของ Master Clock ลดลงไปเล็กน้อย เมื่อเทียบความถี่เดิม ซึ่งจะได้ว่าความถี่ลดลงไปเพียง 0.48 เปอร์เซนต์ จากการที่มีการเปลี่ยนแปลงไปเพียงเท่านี้นั้น ไม่มีผลกับการทำงานของคอมพิวเตอร์ คือเครื่องคอมพิวเตอร์สามารถทำงานได้ไม่มีปัญหาอะไร(เพียงแต่ความเร็วลดลงไปโดยผู้ใช้ไม่รู้สึกเลย)

และสำหรับวงจร Mixer นั้น Highspeed Comparator LM710 นั้น ยังมี Speed ที่ต่ำไปเล็กน้อย จึงทำให้สัญญาณภาพที่ผสมแล้วได้ไม่ดีเท่าที่ควร ซึ่งอาจแก้ไปได้โดยการใช้ IC ที่มี delay time น้อยกว่านี้

ปัญหาที่พบสำหรับระบบนี้ก็คือ

- สัญญาณภาพที่ซ้อนเข้าไปนั้น เป็นได้เฉพาะขาวหรือดำ ซึ่งในกรณีที่เป็นสีขาว ส่วนสัญญาณภาพที่ซ้อนเข้าไปนี้จะมีสีเลอะเล็กน้อยบริเวณขอบๆ อันอาจเนื่องจากการไม่มี Subcarrier ของสัญญาณสีในส่วนที่เราซ้อนเข้าไป
- อีกส่วนหนึ่งก็คือ ถ้าเราไม่สามารถทำให้สัญญาณ Load ในส่วน Synchronizer (ที่จะให้มีการ Sync ทางแนว Ver) มีขนาดไม่เล็กพอ จะมีผลให้เส้นแรกของการสแกนภาพจะเบี้ยวไปจากแนวเดิม

แนวทางแก้ไขและพัฒนาต่อไปคือ

- เพิ่มสัญญาณสีเข้าไปกับสัญญาณภาพที่จะซ้อน โดยมีแนวทางดังนี้คือ ทำการ code สีจากภายนอก โดยอาจจะกำหนดเป็น Line ต่อ Line ที่ต้องการให้เป็นสีต่างๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- ปรับปรุงในรายละเอียดส่วนต่างๆ ให้วงจรมีความเชื่อถือได้สูง และออกแบบสำหรับใช้งานจริงๆ ให้สะดวกใช้ง่ายยิ่งขึ้น

และนำไปประยุกต์ใช้งาน เช่น ใช้บรรยายข้อความลงบนโทรทัศน์ ใช้ประกอบการเรียนการสอน ฯลฯ ตามความเหมาะสม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

โครงงานและปริญญานิพนธ์นี้สำเร็จลุล่วงเป็นอย่างดีนั้น ผู้จัดทำขอขอบคุณผู้ที่มีส่วนเกี่ยวข้องและได้ให้ความช่วยเหลือทุกท่าน ขอขอบคุณอาจารย์สมยศ จุณณปิยะ อาจารย์ที่ปรึกษาที่ได้กรุณาให้คำแนะนำต่างๆ เป็นอย่างดี ขอขอบคุณอาจารย์สมผล โกศัลวิตร์ ที่ได้ให้ความสะดวกในการใช้เครื่องมือวัดและห้องทดลอง ขอขอบคุณอาจารย์ทองทด วานิชศรี ที่ได้ให้คำปรึกษาแนะนำต่างๆ และขอขอบคุณ คุณบิติธิดา ที่ได้ช่วยจัดพิมพ์ปริญญานิพนธ์ฉบับนี้

ปารมี เมืองเจริญ
ปรเมศวร์ ปรีชญางกูร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอกสารอ้างอิง

1. ผศ.มนัส สังวรศิลป์ และ ผศ.สมเกียรติ ศุภเดช,"ทฤษฎีและการออกแบบวงจรพัลซ์",บริษัท อีเลคทรอนิกส์ เวิลด์ จำกัด,หน้า17-30,2526
2. "Apple II Reference Manual",187p.
3. Bernard Grob,"Basic Television",Third Edition,Mc Graw-Hill company,Inc.,KohaKusha,635p.,1964
4. David F. Stout and Milton Kaufman,"Hand Book of Operational Amplifier Circuit Design",McGrow-Hill Book Company,Inc.,New York,pp.5-1-5-11
5. Don Lancaster, "TTL Cook Book",Howard W. Sams & Co.,Inc.,Indianapolis,Indiana,1974
6. Garth Nash,"Phase-Locked Loop Design Fundamentals", Motorola Semiconductor Products,Inc.,12p.,1974
7. Winston D. Gayler,"The Apple II Circuit Description", First Edition,Howard W. Sams & Co.,Inc.,Indianapolice, 220p.,1983

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

munication use, this input frequency is called the "channel spacing" or, in general, it is the reference frequency.

There is essentially no difference in loop dynamic problems between the basic PLL and synthesizers except that synthesizer designers must contend with problems peculiar to loops where N is variable and greater than 1. Also, sidebands or spectral purity usually require special attention. These and other aspects are discussed in greater detail in AN-535. The steps for a suitable synthesis procedure may be summarized as follows:

Synthesis Procedure

1. Choose input frequency. (f_{ref} = channel spacing)
2. Compute the range of digital division:

$$N_{max} = \frac{f_{max}}{f_{ref}}$$

$$N_{min} = \frac{f_{min}}{f_{ref}}$$

3. Compute needed VCO range:

$$(2f_{max} - f_{min}) < f_{VCO} < (2f_{min} - f_{max})$$

4. Choose minimum ζ from transient response plot, Figure 9. A good starting point is $\zeta = 0.5$.
5. Choose ω_n from needed response time (Figure 9):

$$\omega_n = \frac{\omega_n t}{t}$$

6. Compute C:

$$C = \frac{K_\phi K_V}{N_{max}\omega_n^2 R_1}$$

7. Compute R_2:

$$R_2 = \frac{2\zeta_{min}}{\omega_n C}$$

8. Compute ζ_{max}:

$$\zeta_{max} = \zeta_{min}\sqrt{\frac{N_{max}}{N_{min}}}$$

9. Check transient response of ζ_{max} for compatibility with transient specification.
10. Compute expected sidebands:

$$\frac{\text{sideband}}{f_{out}} \cong \frac{(I_b + I_L)R_2 K_V}{\omega_{ref}} \quad (A)$$

(I_L is about 100 nA at T_J = 25°C.)

11. If step 10 yields larger sidebands than are acceptable, add a single pole at the loop amplifier by splitting R_1 and adding C_c as shown in Figure 15:

$$C_c \cong \frac{0.8}{R_1\omega_n}$$

Added sideband suppression (dB) is:

$$dB \cong 20\log_{10}\frac{1}{\sqrt{1 + \frac{\omega_{ref}^2}{25(\omega_n)^2}}} \quad (B)$$

12. If step 11 still does not give the desired results, add a second order section at $\omega_c = 5\,\omega_n$ using either the configuration of Figure 20 or 21. The expected improvement is twice that of the single pole in step 11.

$$dB \cong 40\log_{10}\frac{1}{\sqrt{1 + \frac{\omega_{ref}^2}{25(\omega_n)^2}}} \quad (C)$$

Total sideband rejection is then the total of $20\log_{10}$(A) + (B) + (C).

Design Example (Figure 31)

Assume the following requirements:
Output frequency, f_{out} = 2.0 MHz to 3.0 MHz
Frequency steps, f_{in} = 100 kHz
Lockup time between channels (to 5%) = 1.0 ms
Overshoot < 20%.
Minimum sideband suppression = −30 dB

From the steps of the synthesis procedure:

1. $f_{ref} = f_{in}$ = 100 kHz
2. $N_{max} = \frac{f_{max}}{f_{ref}} = \frac{3.0\text{ MHz}}{0.1\text{ MHz}} = 30$

   $N_{min} = \frac{f_{min}}{f_{ref}} = \frac{2.0\text{ MHz}}{0.1\text{ MHz}} = 20$
3. VCO range:
   The VCO output frequency range should extend beyond the specified minimum-maximum limits to accommodate the overshoot specification. In this instance f_{out} should be able to cover an additional 20% on either end. End limits on the VCO are:

   $f_{out}max \geq 3.0 + 0.2(1.0) = 3.2$ MHz
   $f_{out}min \leq 2.0 - 0.2(1.0) = 1.8$ MHz

   This VCO range (≈ 1.8:1) is realizable with the MC4324/4024 voltage controlled multivibrator. From Figure 7 of the MC4324/4024 data sheet we find the required tuning capacitor value to be 120 pF and the VCO gain, K_V, typically 11 × 10^6 rad/s/v.
4. From the step response curve of Figure 9, $\zeta = 0.8$ will produce a peak overshoot less than 20%.
5. Referring to Figure 9, overshoot with $\zeta = 0.8$ will settle to within 5% at $\omega_n t \cong 4.5$. Since the required lock-up time is 1.0 ms,

$$\omega_n = \frac{\omega_n t}{t} = \frac{4.5}{t} = \frac{4.5}{0.001} = (4.5)(10^3)\text{rad/s}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6. In order to compute C, phase detector gain and R1 must be selected. Phase detector gain, K_ϕ, for the MC4344/4044 is approximately 0.1 volt/radian with $R_1 = 1\ k\Omega$. Therefore,

$$C = \frac{(0.1)(11 \times 10^6)}{(30)(4.5 \times 10^3)^2(10^3)} = 1.8\ \mu F$$

7. At this point, R_2 can be computed:

$$R_2 = \frac{2\zeta_{min}}{\omega_n C} = \frac{1.6}{(4.5 \times 10^3)(1.8 \times 10^{-6})} = 200\ \Omega$$

8. $$\zeta_{max} = \zeta_{min}\sqrt{\frac{N_{max}}{N_{min}}} = 0.98$$

9. Figure 9 shows that $\zeta = 0.98$ will meet the settling time requirement.
10. Sidebands may be computed for two cases: (1) with I_L (charge pump leakage current) nominal (100 nA), and (2) with I_L maximum (5.0 μA). A value of 5 μA will also be assumed for the amplifier bias current, i_b.

$$\left.\frac{\text{sideband}}{f_{out}}\right|_{max} = \frac{(10 \times 10^{-6})(200)(11 \times 10^6)}{6.28 \times 10^5} \cong 35 \times 10^{-3}$$

The sideband-to-center frequency ratio nominally will be:

$$\left.\frac{\text{sideband}}{f_{out}}\right|_{nom} = \frac{5.1}{10} \times .35 \times 10^{-3}$$

$$= 20 \log_{10}(17.85 \times 10^{-3}) \cong -35\ dB$$

If desired additional sideband filtering can be obtained as noted in steps 11 and 12.

11. By splitting R_1 and C_C, further attenuation can be gained. The magnitude of C_C is approximately:

$$C_C = \frac{0.8}{R_1\omega_n} = \frac{0.8}{(10^3)(4.5)(10^3)} \cong 0.18\ \mu F$$

Improvement in sidebands will be:

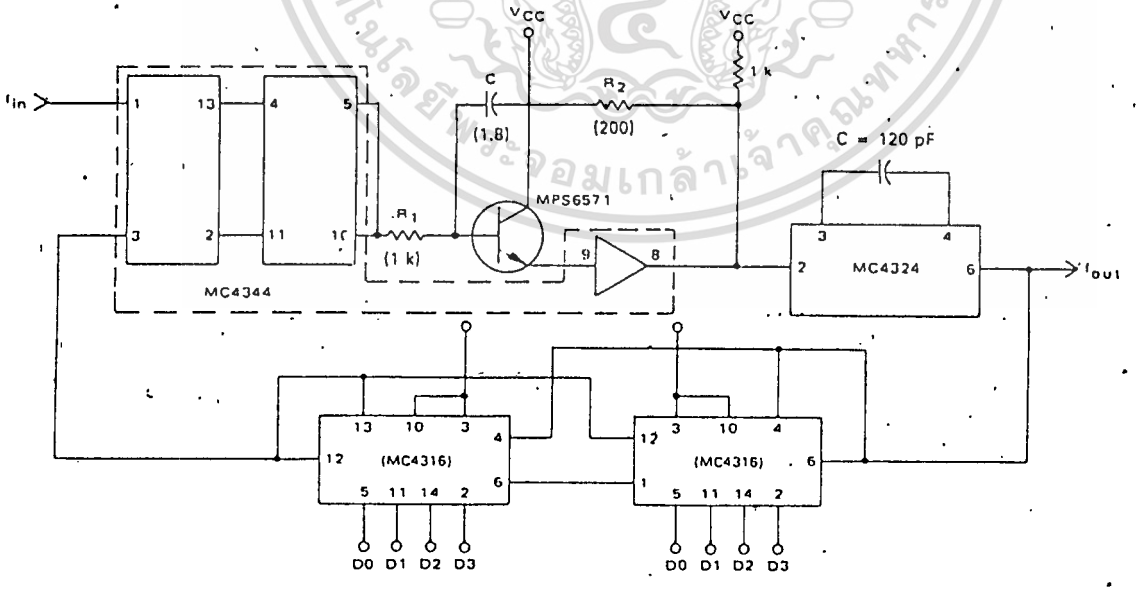
$$20 \log_{10} \frac{1}{\sqrt{1 + \frac{(2\pi \times 10^5)^2}{25(4.5 \times 10^3)^2}}} = -28\ dB$$

Nominal suppression is now – 63 dB. Worst-case is 6 dB higher than nominal suppression of – 57 dB. This is well within the – 30 dB design requirement, step 12 is included for completeness only.

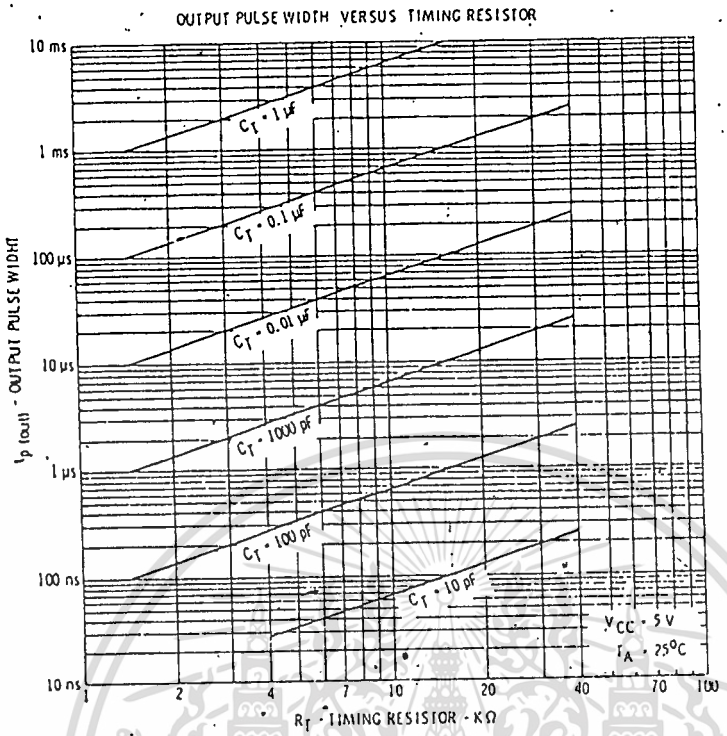
12. Attenuation of a second order filter is double that of the single order filter section described in step11. The calculations for a second order filter indicate an additional – 56 dB of sideband rejection. Figures 20 and 21 show two second order filter configurations. If R is assigned a value of 1.0 kΩ then C may be calculated.

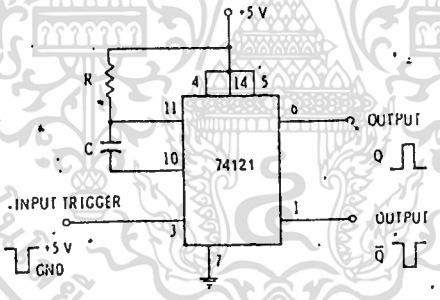
$$C = \frac{0.1}{\omega_n R} = \frac{0.1}{(4.5 \times 10^3)(10^4)} = 0.0022\ \mu F$$

FIGURE 31 — CIRCUIT DIAGRAM OF TYPE 2 PHASE-LOCKED LOOP



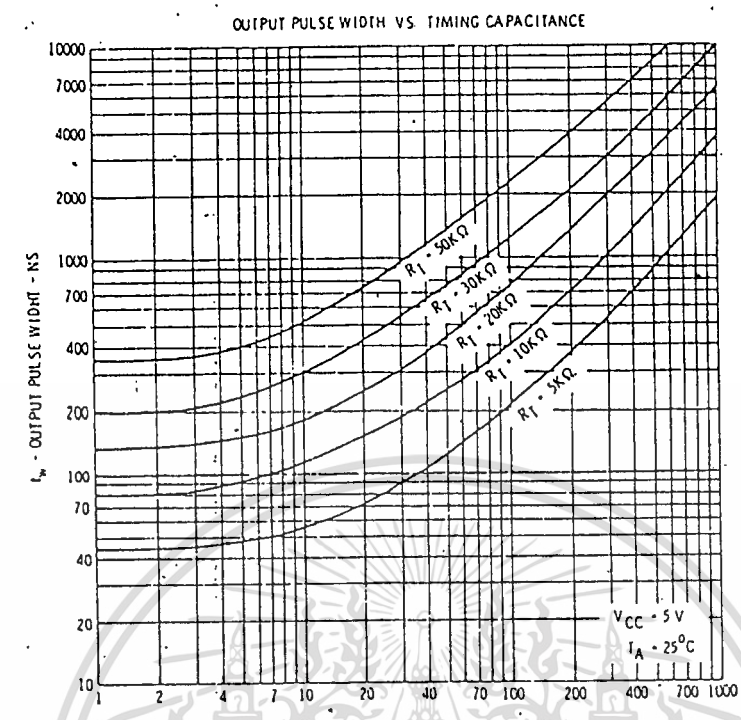
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

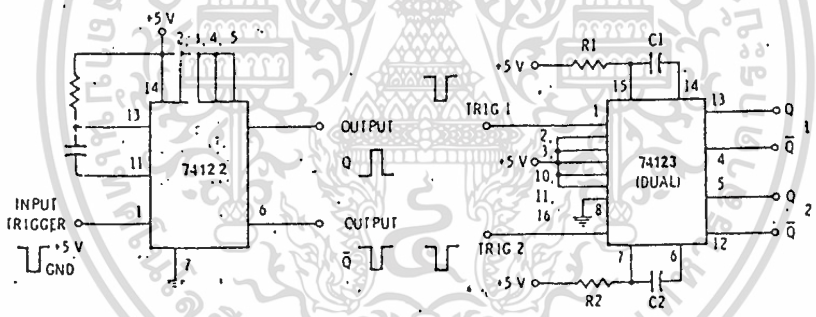




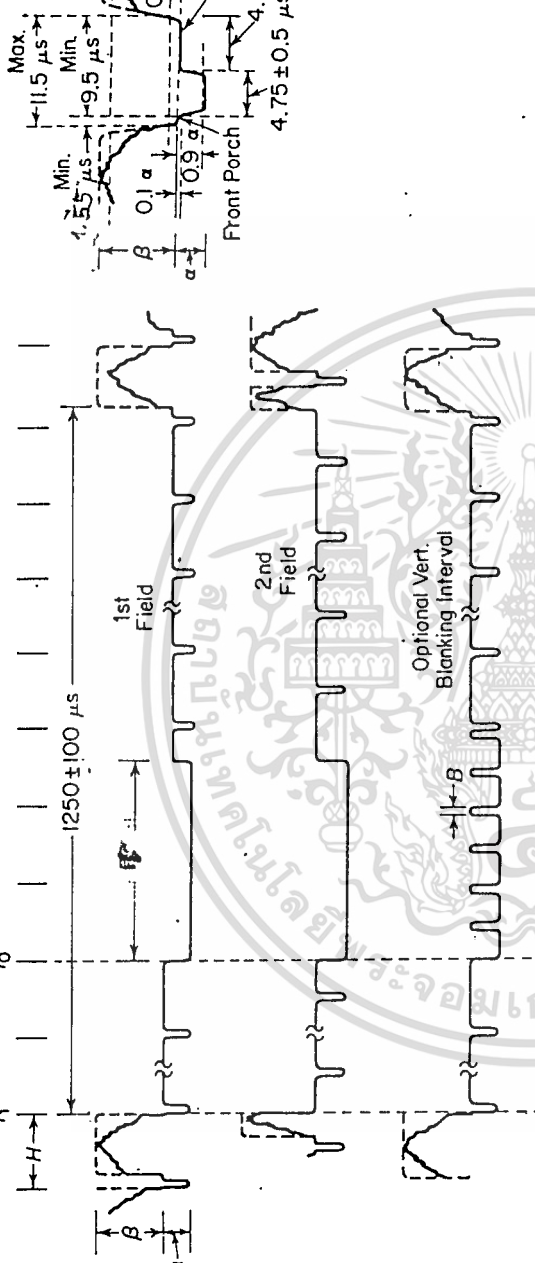
(A) 74121.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้





เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Notes:

1. $\beta = 0.714 \pm 0.1$ Volt (100 IRE Units).
2. $\alpha = 0.286$ (40 IRE Units) Nominal.
3. Sync to Total Signal Ratio $(\frac{\alpha}{\beta+\alpha}) = (28.6 \pm 5)\%$.
4. Blanking = 7.5 ± 5 IRE Units (2.5% to 12.5% of β).
5. Horizontal Rise Times Measured from 10% to 90% Amplitudes shall be Less than 0.3 μ/s.
6. Overshoot on Horizontal Blanking Signal shall not Exceed 0.02 β at Beginning of Front Porch and 0.05 β at End of Back Porch.
7. Overshoot on Sync Signal shall not Exceed 0.05 β.
8. T_0 = Start of Vertical Sync Pulse.
9. T_1 = Start of Vertical Blanking.
10. $T_1 = T_0 \pm 0.250$ μ/s.
11. A-Vertical Sync Pulse = 150 ± 50 μ/s Measured Between 90% Amplitude Points.
12. Rise and Fall Time of Vertical Blanking and Vertical Sync Pulse, Measured from 10% to 90% Amplitudes shall be Less than 5 μ/s.
13. Tilt on Vertical Sync Pulse shall be Less than 0.1 α.
14. If Horizontal Information is Provided During the Vertical Sync Pulse it Must be at 2H Rate and as Shown in the Optional Vertical Blanking Interval Waveform.
15. B-Vertical Serration = 4.5 ± 0.5 μ/s Measured Between the 90% Amplitude Points. Rise Times Measured from 10% to 90% Amplitudes, shall be Less than 0.3 μ/s.
16. If Equalizing Pulses are Used in the Vertical Blanking Interval Waveform they shall be 6 in Number Preceding the Vertical Sync Pulse and be at 2H Rate.

COURTESY EIA.

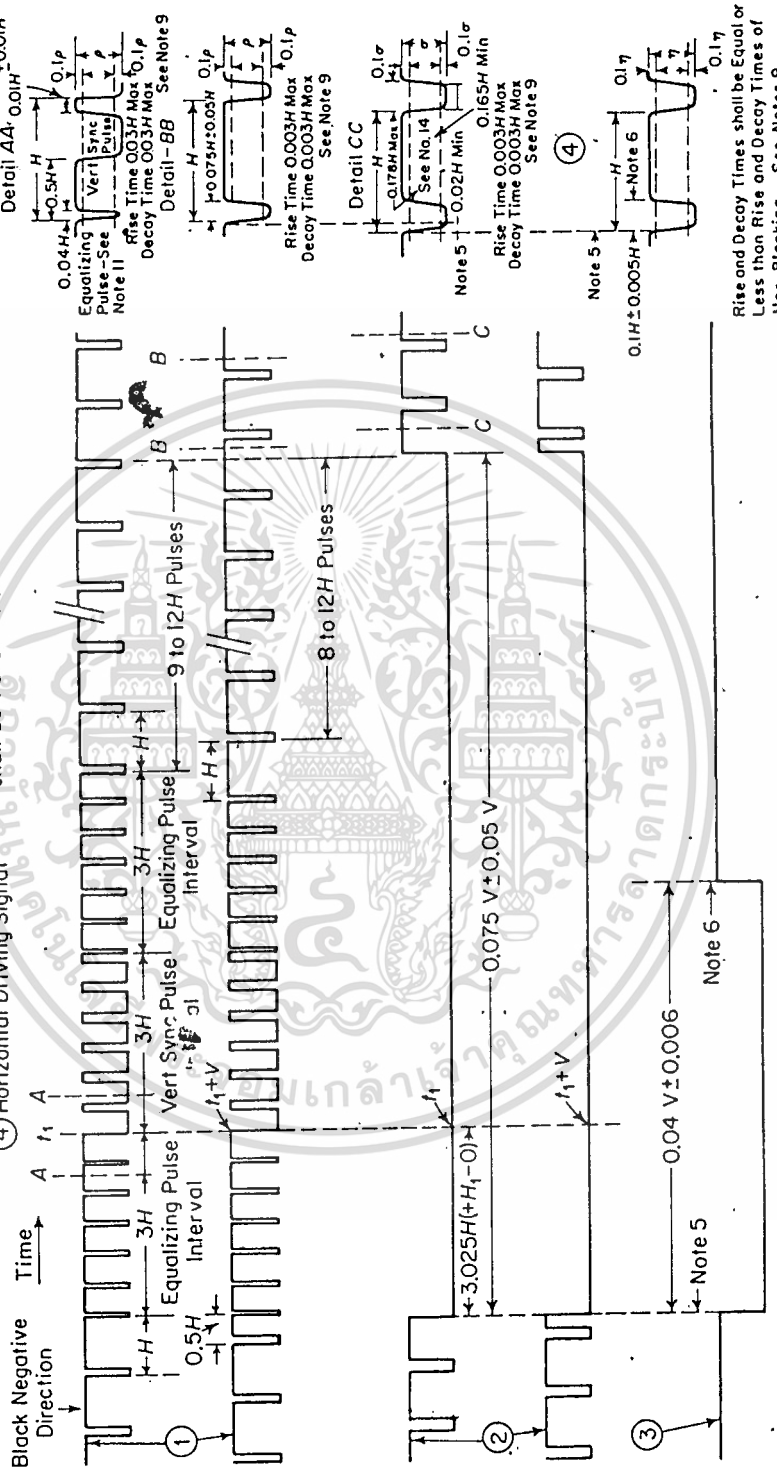
FIGURE 7-10. Closed circuit sync waveform.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MONOCHROME TELEVISION

STANDARD SYNC

GENERATOR WAVEFORMS



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้