ปีการศึกษา 2530

โทรศัพท์ประชุมร่วม 3 คน

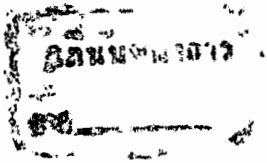
โดย

นาย เริงฤทธิ์ แซ่พลี 27-1160

นาย วิศิษฐ์ วังวราวาณิชย์ 27-1303

อาจารย์ที่ปรึกษา

ดวิล เพ็งมา



ปริญญานิพนธ์ปีการศึกษา 2530

ภาควิชา โทรคมนาคม

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง โทรศัพท์ประชุมร่วม 3 คน

ผู้จัดทำ

1. นาย เริงฤทธิ์ แซ่หลี 27-1160
2. นาย วิศิษฐ์ วังวราวาณิชย์ 27-1303

อาจารย์ที่ปรึกษา

(ถวิล พึงมา)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โทรศัพท์ประชุมร่วม 3 คน

นาย เริงฤทธิ์ แซ่หลี
นาย วิศิษฐ์ วองวราวาณิชย์
อาจารย์ ถวิล พึ่งมา
ปีการศึกษา 2531

บทคัดย่อ

การประชุมร่วมทางโทรศัพท์แบบโทรศัพท์ประชุมร่วม 3 คนนี้ ได้พัฒนาวงจรขึ้นมาสำหรับใช้กับโทรศัพท์แบบกดปุ่ม (DTMF) เท่านั้น วงจรส่วนต่าง ๆ แต่ละส่วนจะทดลองจนได้ผลตามที่ต้องการ แล้วจึงนำแต่ละส่วนมาเชื่อมต่อกันเข้าเป็นระบบ เพื่อให้ได้วงจรที่มีเสถียรภาพและประสิทธิภาพดี ในส่วนของวงจรควบคุมจะใช้ระบบไมโครโปรเซสเซอร์เป็นตัวควบคุมการตัดต่อของรีเลย์ ส่วนของวงจรตรวจจับสัญญาณจะใช้หลักการของเฟสล็อคลูป เพื่อตรวจจับสัญญาณการกดปุ่มบนหน้าปัทม์และสัญญาณจากคู่สายโทรศัพท์ จากการที่ใช้ระบบไมโครโปรเซสเซอร์เป็นวงจรสำหรับควบคุมการตัดต่อรีเลย์ จะทำให้ได้วงจรที่มีประสิทธิภาพและเสถียรภาพดีมาก ทำให้ได้ประโยชน์จากการนำไปใช้งานเป็นอย่างยิ่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

024657

TELE-CONFERENCE UNIT

MR. ROENRIT SAELEE
MR. WISIT WONGWARAWANITH
ASSISANT PROFESSOR TAWIL PAUNGMA
ADVISOR
1987

ABSTRACT

THIS TELE-CONFERENCE PROJECT IS USED FOR THREE PERSONS COMMUNICATION. IT IS DEVELOPED FOR CONNECT TO DTMF EXCHANGE ONLY. EACH PART OF CIRCUITS WAS TRAIL BEFORE CONNECTED IT TOGETHER THAT FOR HAS STABLE AND HIGH EFFICIENT CIRCUIT. THE CONTROL UNIT WILL USE MICROPROCESSOR 8048 CONTROLS OPERATION OF RELAY. TONE DECODER CIRCUIT IS USED IN DETECTION SIGNAL UNIT FOR DETECTS SIGNAL FROM TELEPHONE LINE AND TELEPHONE ITSELF. THE MICROPROCESSOR 8048 CONTROLS RELAY OPERATION OF RELAY WILL HELP THIS CIRCUIT TO HAVE HIGH STABILITY AND EFFENCIENCY AND ATMOST UTILITY.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

		หน้า
บทคัดย่อ		ก-ข
บทที่ 1	บทนำ	1
บทที่ 2	ทฤษฎีและหลักการทำงาน	3
	2.1 หลักการทำงานของระบบโทรศัพท์	3
	2.1.1 ส่วนประกอบของระบบโทรศัพท์	3
	2.1.2 วิธีการใช้โทรศัพท์ทั่วไป	4
	2.1.3 ลักษณะของสัญญาณโทรศัพท์	4
	2.1.4 เครื่องโทรศัพท์แบบกดปุ่ม	7
	2.2 ระบบไมโครโปรเซสเซอร์ 8048	11
	2.2.1 ลักษณะทั่วไป	11
	2.2.2 หน่วยความจำ	11
	2.2.3 พอร์ท	13
	2.2.4 สัญญาณนาฬิกาของระบบและสัญญาณควบคุม	14
	2.2.5 การอินเทอร์รัพ	16
	2.2.6 ไทม์เมอร์/เคาร์เตอร์	16
	2.2.7 ชุดคำสั่งของ 8048	17
	2.3 หลักการทำงานของโทรศัพท์ประชุมร่วม3คน	21
	2.3.1 โครงสร้างของวงจร	21
	2.3.2 โฟว์ลชาร์ตแสดงลำดับการทำงาน	23
	2.3.3 โฟว์ลชาร์ตแสดงการเขียนโปรแกรมการทำงาน	25
บทที่ 3	การออกแบบและการคำนวณ	27
	3.1 การออกแบบและการคำนวณวงจรตรวจจับการยกหู	27
	3.2 การออกแบบและคำนวณวงจรตรวจจับสัญญาณ	28
	3.2.1 วงจรตรวจจับสัญญาณให้หมุน	28
	วงจร[illegible]	
	3.[illegible]	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หน้า

3.2.2 วงจรตรวจจับสัญญาณ ⊗ และ ⊕ 29

3.3 การออกแบบวงจรเสียงคณครี 30

3.3.1 วงจรเสียงคณครี 30

3.3.2 การออกแบบและคำนวณวงจรหริกอย่างต่อเนื่อง 31

3.4 การออกแบบและคำนวณวงจรรีเลย์ 32

3.5 การออกแบบระบบไมโครโปรเซสเซอร์ 33

3.6 การออกแบบวงจรบัฟเฟอร์ 34

3.7 การออกแบบวงจรแลทช์และบัฟเฟอร์ 35

บทที่ 4 การทดลองและผลการทดลอง 36

4.1 การทดลองส่วนฮาร์ดแวร์ 36

4.2 การทดลองส่วนซอฟแวร์ 37

4.3 ผลการทดลอง 37

4.3.1 แผนผังวงจรแสดงผลการทดลองตรวจจับสัญญาณต่างๆ 38

บทที่ 5 บทสรุปและวิจารณ์ 42

ภาคผนวก 43

กิตติกรรมประกาศ 62

หนังสืออ้างอิง 63

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1

บทนำ

ในปัจจุบันนี้เทคโนโลยีทางด้านการสื่อสารเจริญก้าวหน้าไปมาก การติดต่อสื่อสารมีความสะดวกรวดเร็วและมีความแน่นอนมาก ซึ่งสามารถตอบสนองต่อความต้องการของผู้คนโดยเฉพาะอย่างยิ่งพวกนักธุรกิจ ซึ่งเวลาเป็นสิ่งสำคัญสำหรับพวกเขามาก เวลาที่เสียไปแค่ 1 ช.ม. หรือแค่ไม่กี่นาทีอาจมีผลทำให้พวกเขาเกิดความเสียหายขึ้นมาได้มากมาย ในการดำเนินธุรกิจนั้นโทรศัพท์นับว่าเป็นเครื่องมือสำคัญอย่างหนึ่งที่นักธุรกิจหรือแม้แต่บุคคลทั่วไปต้องใช้ ซึ่งบางครั้งนักธุรกิจอาจต้องการคำปรึกษาหรือคำแนะนำในการดำเนินธุรกิจจากบุคคลหลาย ๆ ฝ่าย แต่การพูดคุยกันทางโทรศัพท์สามารถพูดพร้อมกันได้แค่ 2 คน ถ้าต้องการจะพูดคุยกับบุคคลที่ 3 ด้วย ก็ไม่สามารถจะทำได้ ดังนั้นจึงได้ทำการพัฒนาวงจรซึ่งทำให้สามารถพูดคุยพร้อมกัน 3 คนได้ขึ้นมา ถึงแม้ว่าในปัจจุบันคุณสมบัติแบบนี้จะมีอยู่ในระบบโทรศัพท์ที่มีตู้สาขาย่อยเป็นของตนเองโดยเฉพาะก็ตาม แต่ถ้าเราต้องการแค่การพูดคุยพร้อมกัน 3 คน หรือประชุมร่วม 3 คนเท่านั้น จะซื้อตู้สาขาก็จะไม่เป็นการประหยัดเลย

สำหรับวงจรที่พัฒนาขึ้นมานั้นจะพัฒนาขึ้นมาสำหรับใช้กับโทรศัพท์แบบกดปุ่มเท่านั้น เพราะในปัจจุบันโทรศัพท์ส่วนมากจะเปลี่ยนมาใช้แบบนี้กันเกือบหมดแล้ว วงจรที่พัฒนาขึ้นมาจะไม่มีการดัดแปลงหรือเปลี่ยนแปลงอุปกรณ์ของเครื่องโทรศัพท์แต่อย่างใด และจะไม่มีผลกระทบใด ๆ ต่อคู่สายขององค์การโทรศัพท์ด้วย การพัฒนาวงจรนั้นจะทำการพัฒนาขึ้นมาเพื่อให้พูดคุยกันได้พร้อมกัน 3 คนหรือ 3 เลขหมาย โดยใช้คู่สายโทรศัพท์ 2 คู่สาย ในการที่พัฒนาต่อ ๆ ไปอาจจะทำให้สามารถพูดคุยพร้อมกันได้มากคนขึ้น ในการพัฒนานั้นจะถือหลักของความมีเสถียรภาพและประสิทธิภาพของวงจรและประหยัดเป็นหลักสำคัญ

สำหรับลักษณะและคุณสมบัติของวงจรได้พัฒนาขึ้นนั้นจะเป็นดังต่อไปนี้

1. ใช้ปุ่ม ✱ และ # เป็นปุ่มสำหรับควบคุมการทำงานทั้งหมด

2. เมื่อติดต่อบุคคลแรกได้แล้ว และต้องการติดต่อไปยังบุคคลที่ 2 ต้องพักสายบุคคลแรกไว้ก่อนโดยกด ✱ เครื่องจะทำการพักสายพร้อมกับให้สัญญาณหมุนโดยอัตโนมัติ

3. ถ้าติดต่อกับบุคคลที่ 2 แล้วไม่ว่าง ให้กด ✱ อีกจะได้รับสัญญาณหมุนโดยอัตโนมัติ

4. ถ้าติดต่อบุคคลที่ 2 ได้แล้ว แต่ไม่มีคนรับหรือไม่ต้องการสนทนา 3 คน ก็กด # เครื่องจะวางสายบุคคลที่ 2 และต่อกับบุคคลที่ 1 ใหม่ทันที

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5. ถ้าติดต่อบุคคลที่ 2 ได้และต้องการสนทนาพร้อมกัน 3 คน ก็กด ✱ ก็จะเข้าสู่การประชุมร่วม 3 คน

6. ขณะที่พูดสายกัน 3 คน โทรศัพท์อีกเครื่องจะถูกตัดออกจากระบบ ทำให้ไม่สามารถดักฟังการสนทนาได้

7. ขณะที่พักสายบุคคลที่ 1 จะได้ยินเสียงดนตรีตลอดเวลาเพื่อให้รู้ว่าขณะนี้สายถูกพักไว้ชั่วคราวเท่านั้น

8. สามารถจะใช้โทรศัพท์เครื่องใดก็ได้ในการเรียกประชุมร่วม ทั้งนี้ขณะที่เรียกประชุมร่วมนั้น โทรศัพท์อีกเครื่องจะต้องไม่ถูกใช้งานอยู่

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
ทฤษฎีและหลักการทำงาน

2.1 หลักการทำงานของระบบโทรศัพท์

ระบบการสื่อสารทางโทรศัพท์ เป็นระบบการเชื่อมโยงเสียงพูดของผู้ใช้จากที่หนึ่งไปยังผู้ใช้อีกคนหนึ่งซึ่งอยู่กันคนละแห่ง ให้สามารถพูดโต้ตอบกันได้ เครื่องมือที่ใช้ในการนี้ก็คือ เครื่องโทรศัพท์

2.1.1 ส่วนประกอบของระบบโทรศัพท์

ในการติดต่อสื่อสารโดยใช้โทรศัพท์ จะมีเพียงเครื่องโทรศัพท์อย่างเดียวจะไม่สามารถติดต่อสื่อสารกันได้ ระบบโทรศัพท์อย่างน้อยจะต้องมี 3 ส่วนดังต่อไปนี้

2.1.1.1 เครื่องโทรศัพท์

เครื่องโทรศัพท์จะมีประจำอยู่กับผู้ใช้โทรศัพท์แต่ละคน เครื่องโทรศัพท์ทั่ว ๆ ไป สิ่งแรกที่จะมองเห็นก็คือ ปากพูดและหูฟัง และหน้าปัทม์โทรศัพท์ สำหรับหมุน - เวียนหรือกดตัวเลขที่ต้องการจะติดต่อด้วย

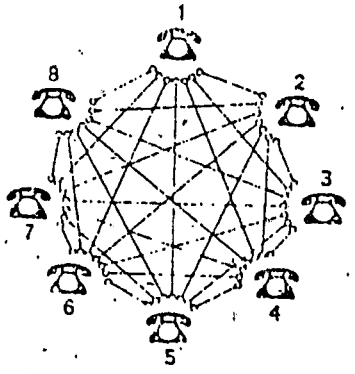
2.1.1.2 สายโทรศัพท์หรือข่ายสายโทรศัพท์

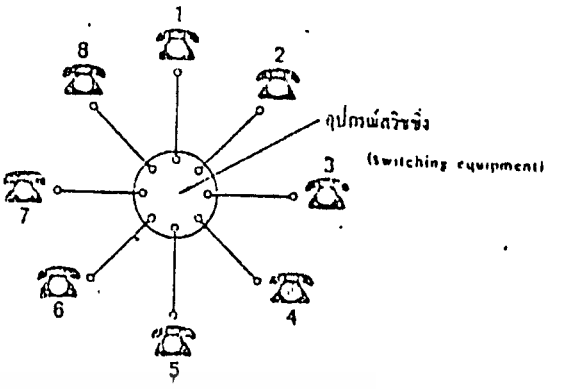
จากตัวเครื่องโทรศัพท์จะต้องมีคู่สายโทรศัพท์ 1 คู่สายเชื่อมโยงไปยังชุมสายเพื่อนำเสียงพูดและนำไฟเลี้ยงจากชุมสายมาเลี้ยงเครื่องโทรศัพท์ โดยที่เครื่องโทรศัพท์แต่ละเครื่องจะมีคู่สายเป็นของตัวเอง 1 คู่สาย ไม่เกี่ยวข้องกับผู้อื่น ซึ่งจะไม่เหมือนในระบบการส่งกำลังไฟฟ้า ผู้ใช้สามารถใช้สายส่งกำลังเส้นเดียวกันได้

2.1.1.3 ชุมสายโทรศัพท์หรือเครื่องชุมสาย

ในการติดต่อกันทางโทรศัพท์นั้น เราคงจะไม่ติดต่อไปยังบุคคลเพียงคนเดียวหรือเครื่องเดียวแน่ อาจจะมีการติดต่อไปยังบุคคลนั้นบ้างคนนี้บ้าง ดังนั้นจึงต้องมีการเชื่อมโยงสายโทรศัพท์ถึงกัน เพื่อจะสามารถติดต่อกันได้ ในตอนแรกนั้นผู้ใช้ยังมีน้อย การติดต่อโดยตรงระหว่างผู้ใช้โทรศัพท์ด้วยกันดังแสดงในรูป 2.1 ก นั้นยังใช้ได้อยู่ แต่เมื่อผู้ใช้มีจำนวนเพิ่มมากขึ้น การต่อโดยตรงจะทำให้มีจำนวนสายมากเกินไป ในทางปฏิบัติจะยุ่งยากและเป็นการไม่ประหยัดเลย ดังนั้นจึงมีการตั้งเป็นชุมสายขึ้น เพื่อเป็นสวิทช์ต่อไปยังบุคคลที่ต้องการ ดังในรูป 2.1 ข ซึ่งเรียกว่าเป็นการต่อโดยใช้ศูนย์กลาง อุปกรณ์ในชุมสายนั้น จะทำการต่อโดยอัตโนมัติหรือใช้พนักงานสลับสายต่อให้ก็ได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้





รูป 2.1 ก รูป 2.1 ข

รูป 2.1 แสดงข่ายสื่อสารด้วยสายโทรศัพท์

2.1.2 วิธีการใช้โทรศัพท์ทั่วไป

เครื่องโทรศัพท์จะสามารถใช้ได้เป็นทั้งผู้รับและผู้เรียกได้ในเครื่องเดียวกัน วิธีการใช้โทรศัพท์แบ่งเป็นตอนรับและตอนเรียกดังนี้

2.1.2.1 เมื่อเป็นผู้เรียก ลำดับการใช้เป็นดังนี้

- ยกหูฟังขึ้น ฟังเสียงสัญญาณให้หมุน (DIAL TONE) เมื่อมีเสียงนี้แสดงว่าเครื่องพร้อมจะให้เราหมุนหรือกดหมายเลขได้
- เมื่อกดหรือหมุนหมายเลขแล้ว ในกรณีที่เครื่องโทรศัพท์ที่เราติดต่อไปไม่ว่าง จะได้ยินสัญญาณไม่ว่าง (BUSY TONE) ให้วางหูฟังลงสักครู่แล้วจึงโทรเรียกใหม่ ในกรณีที่ด้านรับว่างจะได้ยินสัญญาณเรียกกลับ (RINGBACK TONE) ด้านผู้เรียก และสัญญาณกระดิ่งด้านผู้รับ (RINGING) เมื่อผู้รับยกหูสัญญาณจะหายไป จากนั้นก็พูดติดต่อกันได้

2.1.2.2 เมื่อเป็นผู้รับลำดับการใช้เป็นดังนี้

- เมื่อมีผู้เรียกมา จะมีสัญญาณกระดิ่งดังขึ้นเป็นระยะ
- ยกหูฟังขึ้น เสียงกระดิ่งจะหยุด ก็จะพูดติดต่อกันได้
- เมื่อเลิกพูดแล้ว วางหูฟังลงบนเครื่องดังเดิม

2.1.3 ลักษณะของสัญญาณโทรศัพท์

สัญญาณโทรศัพท์มีทั้งสัญญาณที่เป็นไฟ DC และไฟ AC เมื่อพิจารณาตามลักษณะการใช้เครื่องโทรศัพท์ 2 ลักษณะดังกล่าวในหัวข้อ 2.1.2 จะได้ลักษณะสัญญาณโทรศัพท์ดังนี้

2.1.3.1 เมื่อเป็นผู้เรียก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- ขณะวางหูหรือโทรศัพท์ยังไม่ได้ใช้ จะมีไฟตรง (DC) ระหว่างคู่สายโทรศัพท์ 48 โวลท์

- เมื่อยกหูฟังขึ้น แรงดันคู่สายจะตกลงเหลือประมาณ 10 โวลท์ขณะเดียวกันก็จะมีสัญญาณ DIAL TONE ซึ่งเป็นไฟสลับความถี่ 400 Hz ระดับสัญญาณประมาณ 600 มิลลิโวลท์ด้วย

- เมื่อหมุนหรือกดหน้าปัทม์หมายเลขที่ต้องการในแบบหมุนหมุนหน้าปัทม์ จะส่ง PULSE จำนวนลูกเท่ากับหมายเลขที่เราหมุน โดยส่งเป็นแบบ 10 PPS หรือ 20 PPS ในแบบกดปุ่มจะส่งสัญญาณออกเป็นคู่ของความถี่ (DTMF) ซึ่งเป็นความถี่มาตรฐาน ดังตาราง 2.1

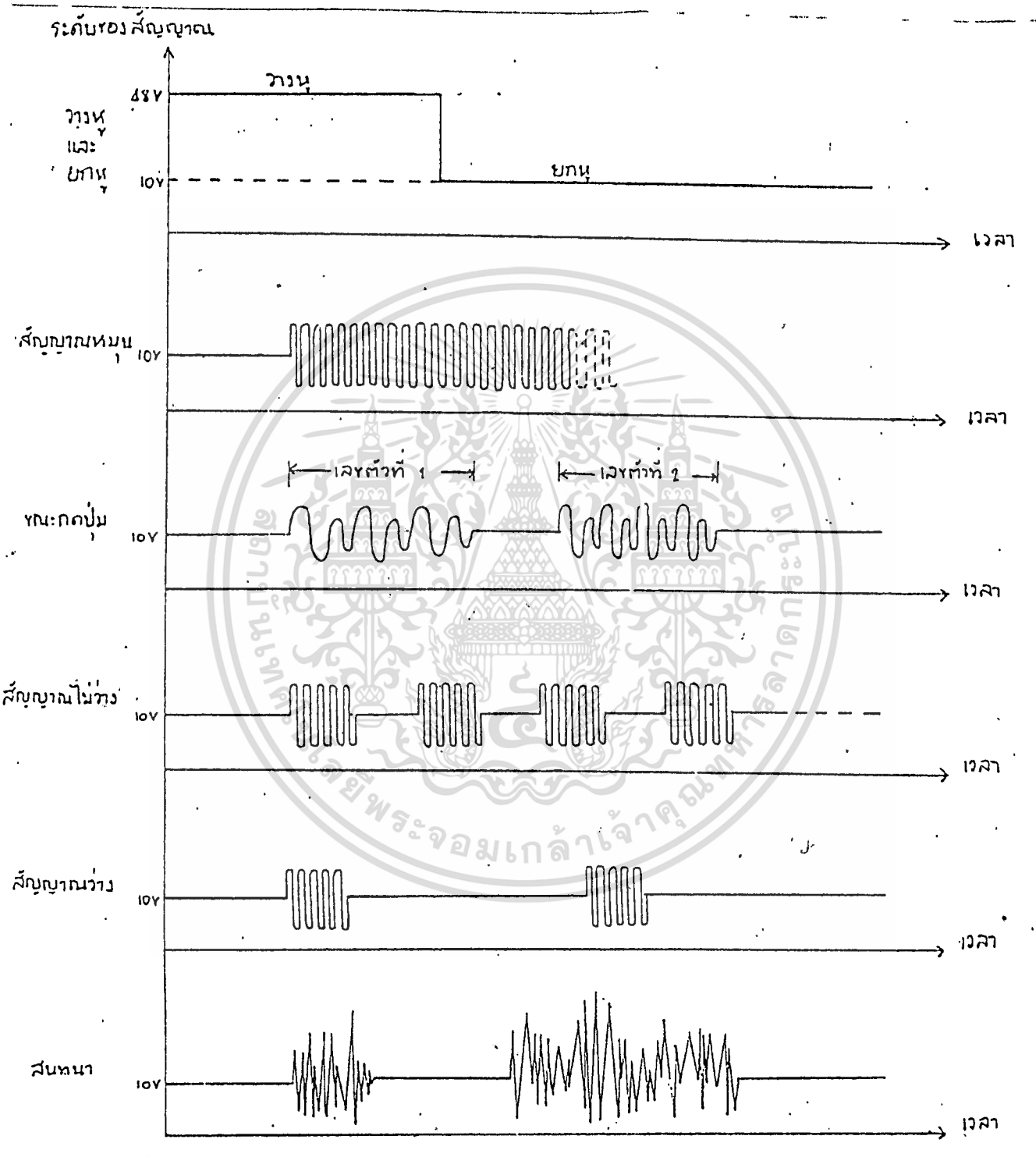
กลุ่มความถี่ต่ำ (Hz)	กลุ่มความถี่สูง (Hz) 1209	1336	1477	1633
697	1	2	3	A
770	4	5	6	B
852	7	8	9	C
941	*	0	#	D

ตาราง 2.1 DUAL TONE MULTI FREQUENCY

- รอสัญญาณหลังการหมุนหรือกดหน้าปัทม์ ถ้าได้รับสัญญาณ RINGBACK TONE แสดงว่ากำลังเรียกไปยังต้นรับ สัญญาณจะเป็นความถี่ 400 Hz ระดับสัญญาณ 200 มิลลิโวลท์ ดัง 1 หยุด 4 วินาที สลับกัน ถ้าได้รับ BUSY TONE แสดงว่าสายไม่ว่าง สัญญาณจะเป็นความถี่400 Hz ดังและหยุดสลับกัน 0-5 วินาที ระดับสัญญาณ 400 มิลลิโวลท์

- เมื่อพูดสายสัญญาณระหว่างสายโทรศัพท์ยังเป็นไฟดีซีประมาณ 10 โวลท์เช่นเดิม แต่จะมีสัญญาณเสียงซึ่งเป็นสัญญาณเอซีคล่อมอยู่ด้วย ระดับสัญญาณเสียงไม่เกิน 1 โวลท์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

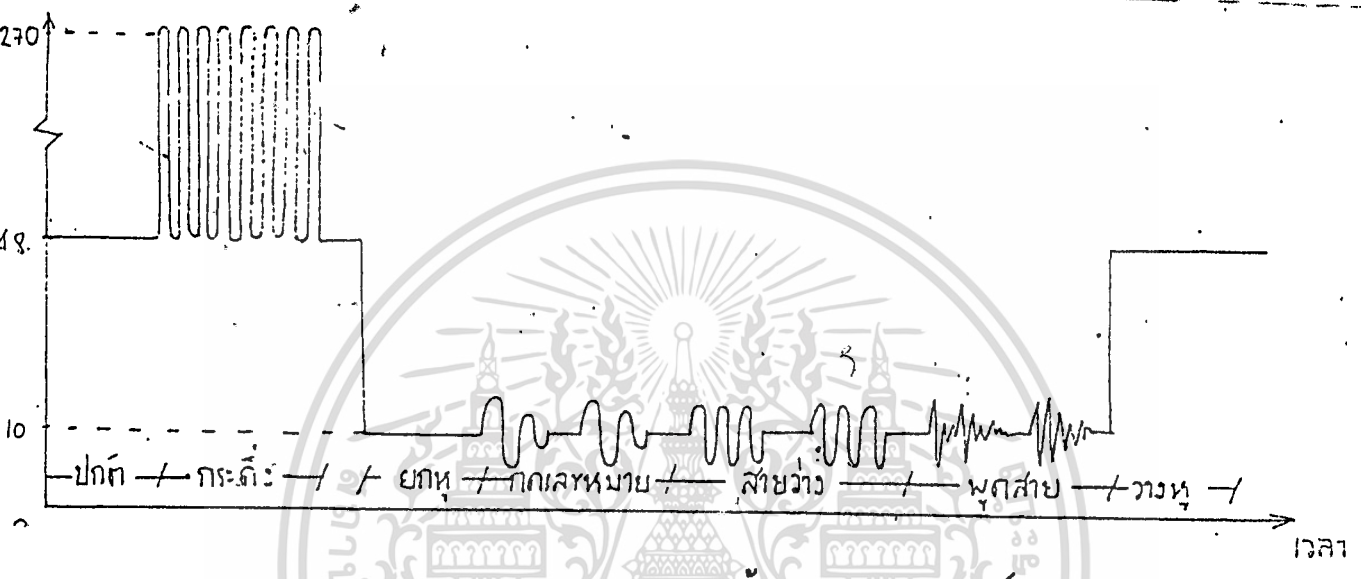


รูปที่ 2.2 ลักษณะทางไฟฟ้าที่ปรากฏที่คู่สายขณะเรียกออก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.1.3.2 เมื่อเป็นผู้รับ

- ขณะวางหูอยู่ สัญญาณระหว่างคู่สายจะเป็นไฟดีซี 48 โวลท์
- เมื่อมีสัญญาณกระดิ่ง (RINGING TONE) จะมีสัญญาณเอซีความถี่ 16 Hz ระดับสัญญาณประมาณ 100 โวลท์ดัง 1 หยุด 4 วินาทีสลับกัน
- เมื่อยกหูโทรศัพท์ สัญญาณระหว่างคู่สายจะตกลงประมาณ 10 โวลท์



รูป 2.3 ลักษณะทางไฟฟ้าของสัญญาณโทรศัพท์

2.1.4 เครื่องโทรศัพท์แบบกดปุ่ม

ในปัจจุบันนี้ระบบโทรศัพท์ ได้รับการพัฒนาให้ก้าวหน้าขึ้นมามากจากการใช้ระบบ MECHANIC RELAY จนถึงปัจจุบันแบบ ELECTRONIC ตัวเครื่องโทรศัพท์ก็ได้รับการพัฒนาขึ้นมา ในปัจจุบันเครื่องโทรศัพท์ส่วนใหญ่จะเปลี่ยนมาเป็นแบบกดปุ่มกันแทบทั้งหมดแล้ว ในการกดปุ่มเพื่อจะส่งความถี่ออกไปซึ่งเรียกว่าสัญญาณ MULTI FREQUENCY การใช้วิธีการกดปุ่มนั้น ทำให้มีข้อดีกว่าแบบเก่า (แบบหมุนหน้าปัทม์) ดังนี้

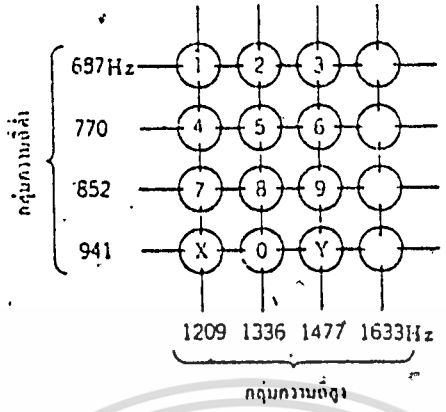
- เวลาในการส่งสัญญาณเลขหมายน้อยลง เพราะกดปุ่มจะง่ายกว่า
- ความผิดพลาดในการส่งหมายเลขน้อย
- สามารถเพิ่มปุ่มอื่น ๆ นอกจากที่มีอยู่แล้ว เพื่อใช้งานอื่นได้อีก
- ใช้สัญญาณความถี่ระดับคลื่นเสียง

2.1.4.1 ระบบสัญญาณ

ระบบสัญญาณที่ใช้กับเครื่องโทรศัพท์แบบนี้ จะมีความถี่อยู่ในระดับคลื่นเสียง ซึ่งแตกต่างกันที่ความถี่ หรือจนเรียกอีกอย่างหนึ่งว่าระบบ 4 x 4 การกดปุ่มโทรปุ่มหนึ่งนั้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณจะถูกส่งออกไปพร้อมกัน 2 ความถี่ ดังจะเห็นได้จากรูปข้างล่างนี้ สำหรับ X และ Y และแถวตามแนวตั้งแถวที่ 4 จะใช้กับโค๊ดอื่น ไม่ใช้รหัสตัวเลขและใช้กับจุดประสงค์อื่น



รูป 2.4 ระบบความถี่และการจัดปุ่ม

2.1.4.2 เครื่องโทรศัพท์

เครื่องโทรศัพท์แบบกดปุ่มนั้น ก็เหมือนเครื่องโทรศัพท์ทั่ว ๆ ไป เพียงแต่หน้าปัทม์เป็นแบบกดปุ่มเท่านั้น คุณสมบัติของเสียงเหมือนของเครื่องโทรศัพท์แบบหมุนทั่ว ๆ ไป ส่วนประกอบที่สำคัญจะมี 7 ส่วนดังนี้

ก. หูฟัง

ข. ปากพูด

ค. วงจรเสียงพูด

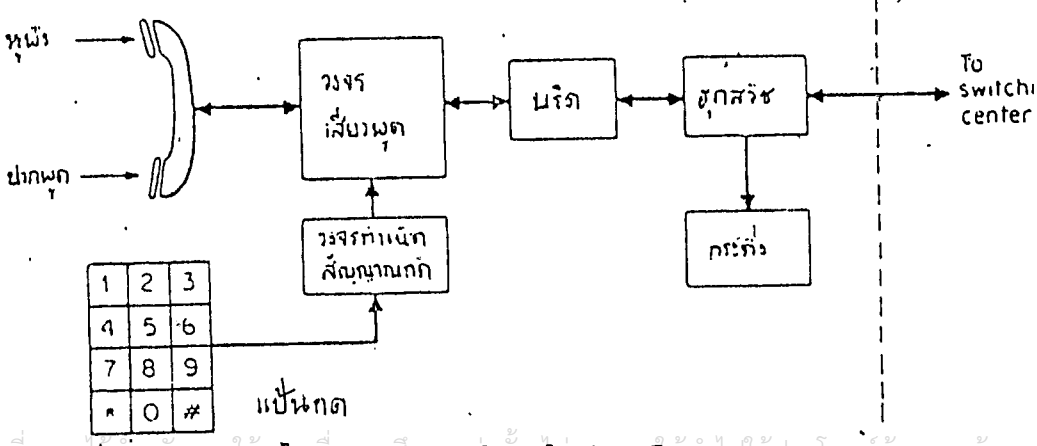
ง. ชุดสวิช

จ. กระดิ่ง

ฉ. วงจรกำเนิดสัญญาณกด

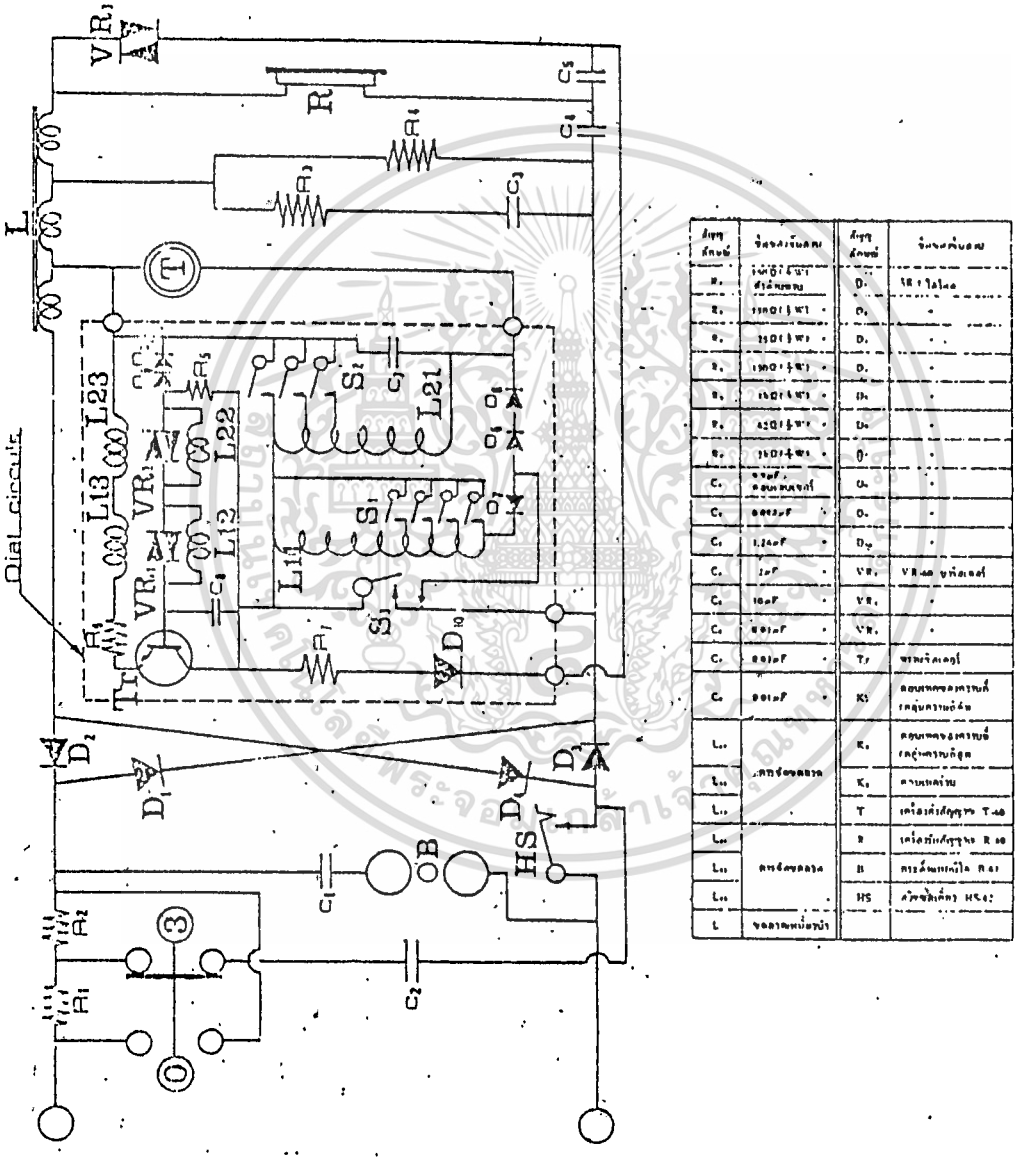
ช. บริดเรติไฟร์

บล็อกไดอแกรมแสดงส่วนประกอบต่าง ๆ และการต่อระหว่างส่วนต่าง ๆ ของตัวเครื่องโทรศัพท์



รูป 2.5 บล็อคไดอะแกรมของตัวเครื่องโทรศัพท์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



สัญญลักษณ์	ชื่อและรายละเอียด	สัญญลักษณ์	ชื่อและรายละเอียด
R1	ความต้านทานตัวต้านทาน	D1	ไดโอด
R2	ความต้านทาน	D2	"
R3	ความต้านทาน	D3	"
R4	ความต้านทาน	D4	"
R5	ความต้านทาน	D5	"
R6	ความต้านทาน	D6	"
R7	ความต้านทาน	D7	"
R8	ความต้านทาน	D8	"
C1	ตัวเก็บประจุ	D9	"
C2	ตัวเก็บประจุ	D10	"
C3	ตัวเก็บประจุ	VR1	วีอาร์ แบบเลื่อน
C4	ตัวเก็บประจุ	VR2	"
C5	ตัวเก็บประจุ	VR3	"
C6	ตัวเก็บประจุ	T1	ทรานซิสเตอร์
C7	ตัวเก็บประจุ	K1	คอนแทคของรีเลย์ กลุ่มการเคลื่อน
L11	คอยล์ของสวิทช์	K2	คอนแทคของรีเลย์ กลุ่มการเคลื่อนที่สูง
L12	"	K3	คอนแทคม่าน
L13	"	T	เครื่องส่งสัญญาณ T-48
L21	คอยล์ของสวิทช์	R	เครื่องรับสัญญาณ R-48
L22	"	B	กระดิ่งแบตเตอรี่ B-01
L23	"	HS	ตัวจับเกี่ยว HS-01
L	ขดลวดเหนี่ยวนำ		

รูป 2.6 วงจรโทรศัพท์แบบกดปุ่ม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

024657

ส่วนของ ตัวส่ง (TRANSMITTER) จะเป็นตัวเปลี่ยนสัญญาณเสียงพูดเป็นสัญญาณไฟฟ้า ซึ่งจะถูกส่งไปยัง SWITCHING CENTER ส่วน RECEIVER จะเปลี่ยนสัญญาณไฟฟ้าเป็นเสียงพูด สัญญาณที่ส่งจาก TRANSMITTER จะถูกลดทอนสัญญาณและถูกส่งกลับในบางส่วนมายัง RECEIVER ซึ่งเรียกว่า SIDE TONE เป็นส่วนหนึ่งของหน้าที่ของ SPEECH NETWORK ซึ่งทำหน้าที่รับและส่งสัญญาณเสียงพูดระหว่างชุมสายกับตัวเครื่องผ่านทางศูนย์

สำหรับ HOOK SWITCH จะทำหน้าที่เป็นสวิช 2 ทาง คือ ON-HOOK กับ OFF-HOOK ขณะ ON-HOOK จะเป็นสถานะวางหู และ OFF-HOOK จะเป็นสถานะยกหู ซึ่งในขณะวางหู HOOK SWITCH จะต่อสายโทรศัพท์เข้ากับวงจร RINGER เพื่อรอรับสัญญาณกระดิ่ง ถ้าเป็นขณะยกหู HOOK SWITCH จะต่อสายโทรศัพท์เข้ากับวงจร SPEECH NETWORK แทน วงจรภายในเครื่องโทรศัพท์จะได้รับกระแสไฟตรงสำหรับ BIAS จากทางชุมสาย ทั้งในขณะวางหูและยกหู วงจร BRIDGE RECTIFIER จะทำหน้าที่กลับขั้วของกระแสไฟให้เหมาะสม

วงจรโทรศัพท์ในรูป 2.6 นั้น เป็นวงจรโทรศัพท์แบบกดปุ่ม ซึ่งใช้วงจร DIALER เป็นแบบ TUNING OSCILLATOR ทำให้เกิดสัญญาณความถี่ต่ำและความถี่สูงแต่ละค่า เมื่อมีการทำงานของคอนเทค (CONTACT) ในแต่ละชุดของกลุ่มความถี่เป็น TUNING FREQUENCY ในปัจจุบันวงจร DIALER ได้ใช้ไอซี สำหรับกำเนิดสัญญาณแทนในกลุ่มความถี่ต่ำและกลุ่มความถี่สูง โดยใช้ความถี่ OSCILLATOR จาก X-TAL สำหรับผลิตความถี่ที่มีเสถียรภาพสูง

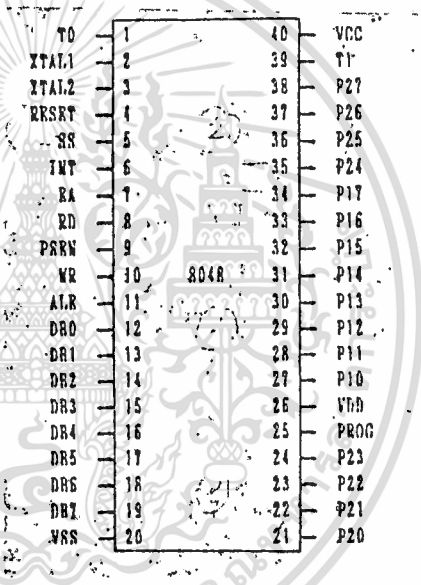
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2 ระบบไมโครโปรเซสเซอร์ 8048

8048 เป็นไอซีประเภทไมโครคอมพิวเตอร์ชิพเดียว ที่จัดได้ว่ามีความพร้อมหรือความสมบูรณ์อยู่ในตัวมันเอง คือไม่เพียงแต่ประกอบด้วยส่วนซีพียูอย่างเดียว แต่ยังมีส่วนของหน่วยความจำ, พอร์ท, ส่วนไทเมอร์และเคาเตอร์ และอื่น ๆ อีกมากมายทั้งหมดรวมอยู่ในชิพเดียวกัน เหมาะสำหรับไว้ในงานควบคุมขนาดเล็ก

2.2.1 ลักษณะทั่วไป

8048 เป็นไมโครคอมพิวเตอร์ชิพเดียวขนาด 8 บิท ซีพียูของ 8048 จึงมีขนาด 8 บิทด้วย โครงสร้างเป็นสาร NMOS ภายนอกเป็นไอซีขนาด 40 ขา ประกอบด้วยขาที่เป็นพอร์ท 3 พอร์ท 24 ขา นอกนั้นเป็นขาควบคุมขาสัญญาณนาฬิกากับขาไฟเลี้ยง พอร์ททั้ง 3 มีชื่อเรียกว่า DB , P_1 และ P_2



รูป 2.1 แสดงการจัดขาของ 8048

2.2.2 หน่วยความจำ

8048 มีการจำแนกหน่วยความจำออกเป็น 2 ลักษณะตามชนิดของข้อมูลที่เก็บ คือ

ก. หน่วยความจำข้อมูล

ข. หน่วยความจำโปรแกรม

หน่วยความจำข้อมูลก็คือ หน่วยความจำส่วนที่เป็น RAM ซึ่งเราสามารถเขียนและหรืออ่านข้อมูลได้ แต่ไม่สามารถจะรันโปรแกรมบนหน่วยความจำนี้ได้เลย ส่วนหน่วยความจำโปรแกรมก็คือหน่วยความจำที่อ่านได้อย่างเดียวซึ่งภายในจะบรรจุโปรแกรมหรือข้อมูลที่เป็นค่าคงที่เอาไว้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

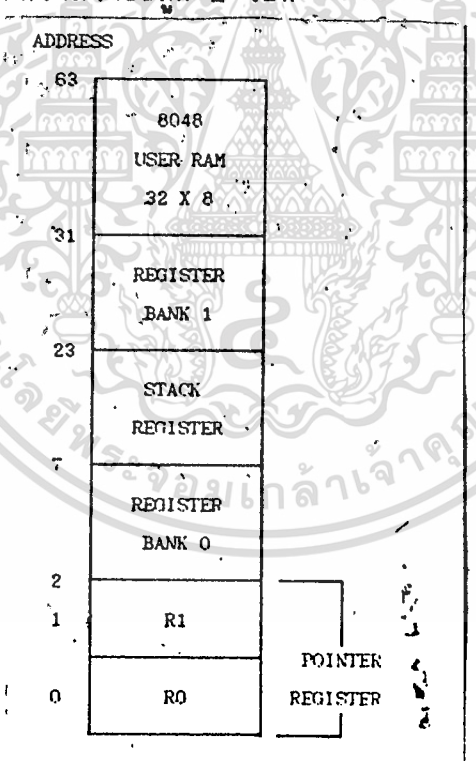
หน่วยความจำทั้ง 2 ประเภทนี้ ถูกแบ่งแยกออกจากกันด้วยคำสั่งทางซอฟแวร์ และลักษณะการติดต่อทางฮาร์ดแวร์ด้วย กล่าวคือมีคำสั่งเฉพาะสำหรับติดต่อกับหน่วยความจำชนิดใดชนิดหนึ่ง และมีการจัดสัญญาณ STROBE ในการติดต่อกับหน่วยความจำแต่ละชนิด แยกต่างหากกันอีกด้วย

2.2.2.1 หน่วยความจำข้อมูล

ภายในตัว 8048 มีด้วยกัน 64 ไบท์ ซึ่งจะแบ่งออกเป็น 2 ส่วน ดังรูป 2.8 คือ

ก. ส่วนรีจิสเตอร์ ได้แก่หน่วยความแอดเดรส 00-07 ซึ่งเราเรียกว่า รีจิสเตอร์แบงค์ 0 แต่ละแบบก็จะมีรีจิสเตอร์อยู่ 8 ตัว ซึ่งมีชื่อเรียกว่า $R_0 \rightarrow R_7$ ในการใช้งานรีจิสเตอร์เหล่านี้จะสามารถใช้ได้ทีละแบงค์

ข. ส่วนของแสตค ประกอบด้วยแสตคทั้งหมด 8 ชั้น และแต่ละชั้นประกอบด้วยหน่วยความจำข้อมูล 2 ไบท์



รูป 2.8 การแบ่งหน่วยความจำข้อมูล

2.2.2.2 หน่วยความจำโปรแกรม

หน่วยความจำโปรแกรมแบ่งออกเป็น 2 ส่วน คือหน่วยความจำโปรแกรมภายในและหน่วยความจำโปรแกรมภายนอก หน่วยความจำโปรแกรมภายในคือหน่วยความจำประเภทรอม หรือ อีพรอม ที่อยู่ในตัว 8048 ซึ่งส่วนใหญ่มีขนาดไม่เกิน 2 กิโลไบท์ ส่วนหน่วยความจำที่เราต่อภายนอก

ลิขสิทธิ์ของจุฬาลงกรณ์มหาวิทยาลัย ห้ามนำไปใช้ในการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

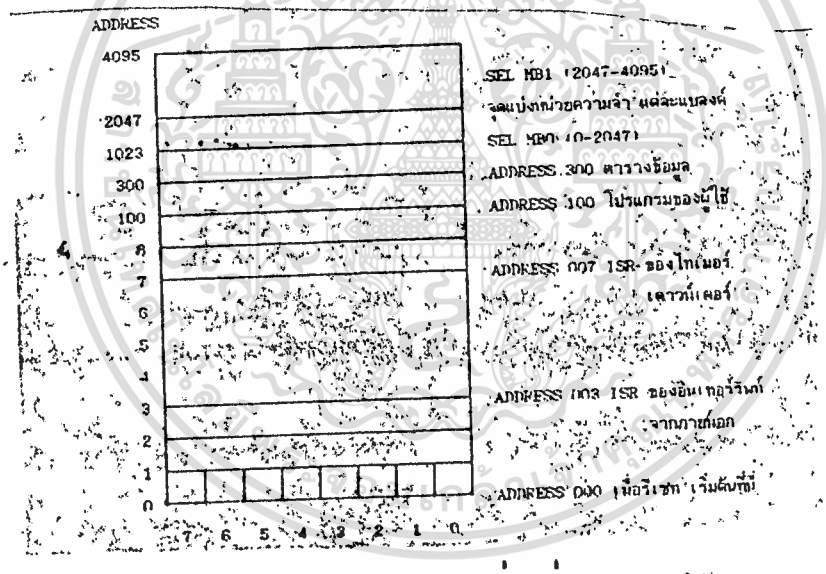
สำหรับการต่อหน่วยความจำโปรแกรมภายนอกนั้น จะต้องทำการแลทช์ค่าของแอดเดรสให้แยกออกมาจากดาต้าบัส ได้เป็นแอดเดรสบัส A_0-A_7 ส่วนแอดเดรสบัส A_8-A_{11} นั้นได้มาจาก 4 บิทล่างของพอร์ท 2

8048 จะสามารถเลือกรันโปรแกรมในหน่วยความจำโปรแกรมภายนอกหรือภายในก็ได้ โดยส่งสัญญาณเลือก EA (EXTERNAL ACCESS)

ถ้า EA มีลอจิกศูนย์ 8048 จะรันโปรแกรมในหน่วยความจำโปรแกรมภายใน

EA มีลอจิกหนึ่ง 8048 จะรันโปรแกรมในหน่วยความจำโปรแกรมภายนอก

หน่วยความจำโปรแกรมมีลักษณะพิเศษอย่างหนึ่งคือ การแบ่งพื้นที่หน่วยความจำออกเป็นส่วนย่อย ๆ โดยหน่วยความจำโปรแกรมขนาด 4 กิโลไบท์จะแบ่งออกเป็น 2 แบลงค์ (BLANK) แบลงค์ละ 2 กิโลไบท์ และในแต่ละแบลงค์ยังแบ่งออกเป็น 8 PAGE PAGE ละ 256 ไบท์ การแบ่งแบบนี้ทำให้อ้างถึงแอดเดรสง่าย



รูป 2.9 การแบ่งหน่วยความจำโปรแกรม

2.2.3 พอร์ท (PORT)

8048 มีพอร์ทให้ใช้งานทั้งหมด 3 พอร์ทคือ

ก. พอร์ท 1

ข. พอร์ท 2

ค. ภาต้าบัส

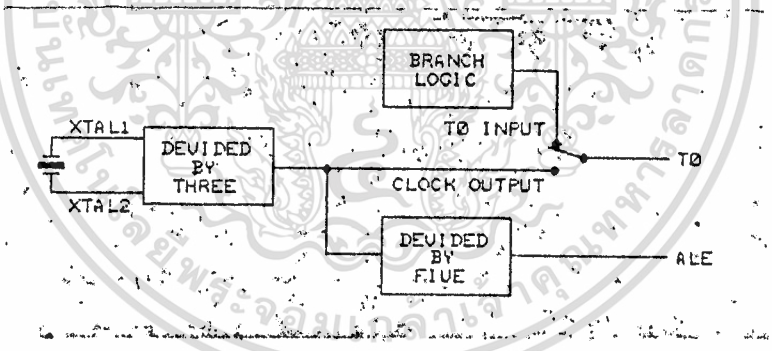
พอร์ท 1 และ 2 สามารถเป็นได้ทั้งอินพุทและเอาท์พุท เมื่อเราเอาท์พุทค่าตัวเลขออกมาด้วยคำสั่ง OUT ค่าตัวเลขนั้นจะถูกแลทช์ค้างอยู่ที่พอร์ท ถ้ามีข้อมูลใหม่เข้ามาก็จะทับข้อมูลเก่าไป ส่วนการใช้งานเป็นอินพุทพอร์ทนั้น มีวิธีการคือ ถ้าเราต้องการให้บิท

ใดเป็นอินพุท เราก็จะต้องเอาท์พุทลอจิกหนึ่งออกมาที่บิทนั้น จากนั้นก็จะอ่านค่าจากพอร์ทเข้าไป วงจรภายนอกจะสามารถที่จะดึงลอกจิกหนึ่งที่บิทนั้นให้เป็นศูนย์ ดังนั้นการตรวจสอบว่าวงจรภายนอกส่งสัญญาณอินพุทเข้ามาหรือไม่ ก็ทำได้โดยการตรวจสอบลอจิกศูนย์ที่บิทนั้น ส่วนบิทใดที่เราเอาท์พุทลอจิกศูนย์ออกไป เมื่ออ่านกลับมาก็ยังเป็นลอจิกศูนย์อยู่ดี วงจรภายนอกไม่สามารถดึงให้กลายเป็นลอจิกหนึ่งได้

สำหรับดาต้าบัสนั้น ปกติจะทำหน้าที่ส่งแอดเดรสและรับส่งข้อมูลสลับกันแบบมิลติ-แพลกซ์ตลอดเวลา การใช้งานดาต้าบัสเป็นพอร์ทนั้น จะใช้เมื่อไม่มีการต่อหน่วยความจำภายนอกเลยเท่านั้น

2.2.4 สัญญาณนาฬิกาของระบบและสัญญาณควบคุม

สัญญาณนาฬิกาอาจสร้างจากวงจรออสซิลเลเตอร์ภายนอก แล้วป้อนให้ 8048 ทางขา XTAL1 แต่ภายใน 8048 จะมีวงจรออสซิลเลเตอร์อยู่ เพียงแต่ต่อคริสตอลและตัวเก็บประจุอีก 2 ตัว ก็จะทำให้มีสัญญาณนาฬิกาแล้ว คริสตอลที่ใช้จะมีขนาด 1-6 MHz สัญญาณนาฬิกาที่ได้รับจากคริสตอลจะถูกหาร 3 ได้เป็นสัญญาณนาฬิกาของระบบ (CLK) เรานำสัญญาณนี้ไปหารด้วย 5 อีกที ก็จะได้สัญญาณ ALE ดังรูป 2.10



รูป 2.10 สัญญาณนาฬิกาของระบบ 8048

นอกจากสัญญาณนาฬิกาของระบบแล้ว 8048 ก็ยังต้องการสัญญาณจากภายนอกเพื่อมาควบคุมการทำงาน เช่น สัญญาณ $\overline{\text{RESET}}$, EA , $\overline{\text{INT}}$, $\overline{\text{SS}}$ เป็นต้น และในทางตรงกันข้าม ก็ต้องส่งสัญญาณควบคุมไปยังอุปกรณ์ภายนอกเช่นกัน คือสัญญาณ ALE , $\overline{\text{PSEN}}$, $\overline{\text{WR}}$, $\overline{\text{RD}}$ เป็นต้น ในที่นี้จะกล่าวถึงสัญญาณ $\overline{\text{RESET}}$ และ $\overline{\text{SS}}$ เท่านั้น

ก. $\overline{\text{RESET}}$ เป็นสัญญาณอินพุทที่บังคับให้ซีพียูเริ่มทำงานใหม่ โดยป้อนเข้าลอจิกศูนย์ที่ขาอินพุทนี้ เมื่อ 8048 ถูกรีเซ็ทจะทำให้

- โปรแกรมเคาร์เตอร์และแสตคพอยท์เตอร์ถูกรีเซ็ทเป็นศูนย์
- เลือกหน่วยความจำแบงค์ศูนย์และรีจิสเตอร์แบงค์ศูนย์

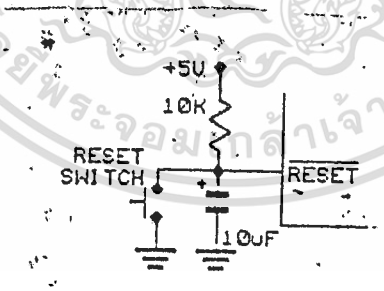
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- อินเตอร์รัพท์ถูกดิสเอเบิ้ล
- แฟลก F_0 และ F_1 และไทเมอร์แฟลก ถูกเคลียร์
- T_0 จะกลายเป็นขาอินพุท

ช. $\overline{SS}$ (SINGLE STEP) เป็นสัญญาณอินพุทที่สามารถทำให้ 8048ทำงานทีละคำสั่ง ตามจังหวะที่เราต้องการ คือ ถ้าเราส่งสัญญาณ $\overline{SS}$ ให้มีจังหวะสัมพันธ์กับสัญญาณ ALE ก็จะสามารถบังคับให้ 8048 หยุดการทำงานของมันได้ตราบที่สัญญาณ $\overline{SS}$ ยังคงแอคทีฟอยู่ และในระหว่างที่ 8048 หยุดการทำงานของมัน ...ตัวมันเองจะ แสดงค่าแอดเดรสออกมาทางคาต้าบัสและ 4 บิทล่างของพอร์ 2 จากลักษณะนี้ทำให้เรามีความสะดวกที่จะติดตามการทำงานของ 8048 ว่าเป็นไปตามโปรแกรมที่เราต้องการหรือไม่

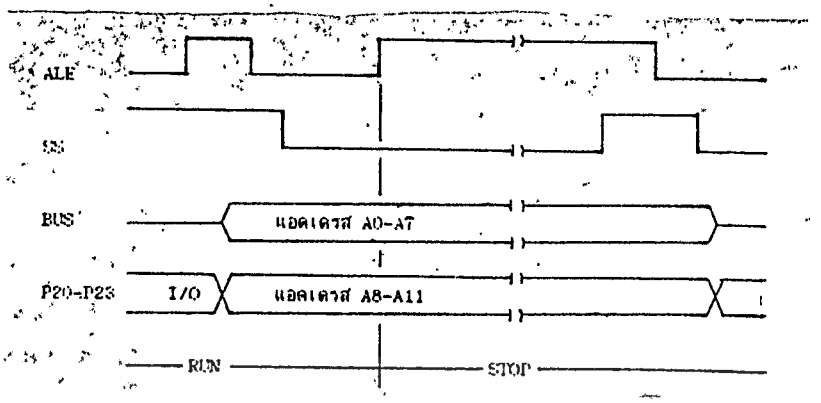
เรามาดูขั้นตอนการทำซิงเกิลเสต็ปกันดีกว่า จาก TIMING DIAGRAM ตามรูป 2.12 ถ้าเราส่งลอจิกศูนย์ไปที่ขา $\overline{SS}$ ในช่วงที่ ALE เป็นลอจิกศูนย์ขณะที่ 8048 กำลังเฟทช์คำสั่งอยู่นั้น 8048 จะหยุดทำงานชั่วขณะ พร้อมกับตอบรับการส่งสัญญาณซิงเกิลเสต็ปด้วยการให้ ALE เป็นหนึ่ง ในตอนนี้ค่าแอดเดรสของคำสั่งถัดไปจะปรากฏออกมาทางคาต้าบัสและ 4 บิทล่างของพอร์ท 2

เมื่อเราให้ขา $\overline{SS}$ กลับเป็นลอจิกหนึ่ง 8048 ก็จะเปลี่ยนลอจิกของ ALE เป็นศูนย์ และเริ่มทำงานต่อไป จากขั้นตอนต่าง ๆ ที่กล่าวมา จะเป็นว่าเราสามารถต่อวงจรอีกเล็กน้อย เพื่อช่วยให้การทำซิงเกิลเสต็ปเป็นไปอย่างง่ายดายโดยใช้วงจรดังรูป 2.13

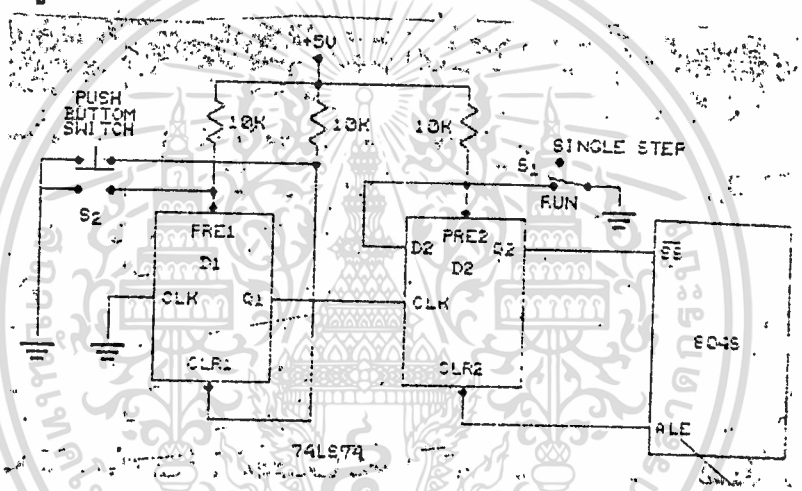


รูป 2.11 การต่อวงจรภายนอกเพื่อรีเซ็ท 8048

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 2.12 แสดง TIMING DIAGRAM ของชิงเกิลเสตป



รูป 2.13 แสดงการต่อวงจรภายนอกในการทำชิงเกิลเสตป

2.2.5 การอินเตอร์รัพ

8048มีระบบอินเตอร์รัพ 2 อย่างด้วยกันคือ

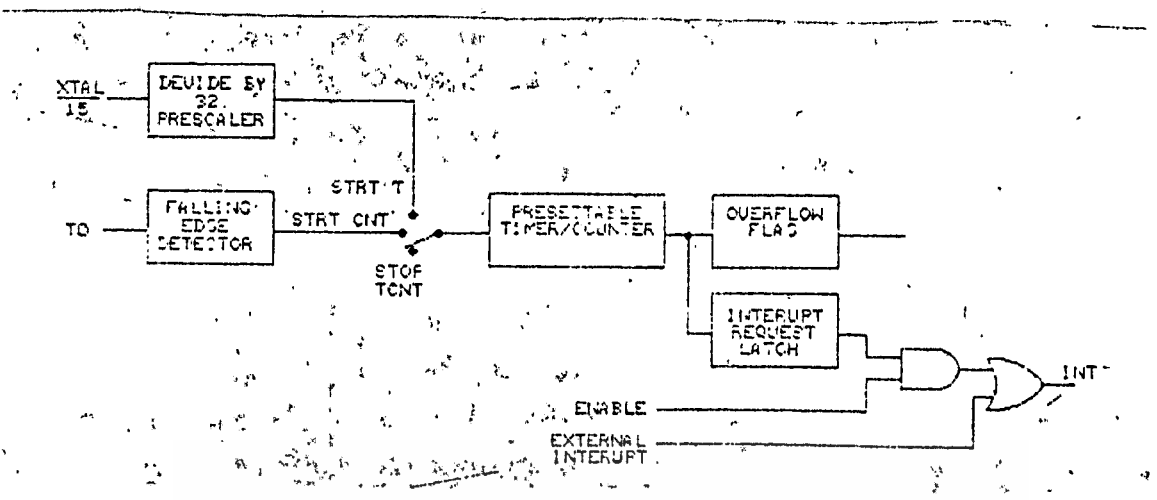
ก. อินเตอร์รัพจากอุปกรณ์ภายนอก ซึ่งส่งสัญญาณอินเตอร์รัพมาทางขา $\overline{INT}$ จะทำให้ 8048 กระโดดไปยัง ISR ที่ตำแหน่ง $0003

ข. อินเตอร์รัพท์จากภายใน เป็นการอินเตอร์รัพท์จากไทม์เมอร์เคาร์เตอร์ที่อยู่ภายใน 8048 กระโดดไปยัง ISR อีกโปรแกรมหนึ่งที่ตำแหน่งแอดเดรส $0007

2.2.6 ไทเมอร์/เคาร์เตอร์

ลักษณะของเคาร์เตอร์ใน 8048 จะเป็นแบบนับขึ้นมีขนาด 8 บิท สามารถตั้งโปรแกรมให้เริ่มนับที่ค่าใดค่าหนึ่งก็ได้ รูป 2.14 แสดงระบบไทม์เมอร์/เคาร์เตอร์ใน -

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า



รูป 2.14 แสดงระบบไทม์เมอร์/เคาเตอร์

2.2.7 ชุดคำสั่งของ 8048

จะขอแบ่งออกเป็นกลุ่ม ๆ ได้ 8 กลุ่มดังนี้

ก. กลุ่มคำสั่งควบคุม ได้แก่

- คำสั่งอีนาเบิลและดิสเอเบิลอินเตอร์รัพน์ (EN I และ DIS I)
- คำสั่งเลือกแบงค์รีจิสเตอร์ (SEL RB_0 หรือ SEL RB_1)
- คำสั่งเลือกแบลงค์ของหน่วยความจำ (SEL MB_0 หรือ SEL MB_1)
- คำสั่งเอาท์พุทสัญญาณนาฬิกาของระบบออกทาง
- คำสั่ง NO OPERATION (NOP)

ข. กลุ่มคำสั่งเคลื่อนย้ายข้อมูล ได้แก่

- คำสั่งเคลื่อนย้ายข้อมูลระหว่างรีจิสเตอร์หรือหน่วยความจำข้อมูลภายใน กับแอคคิวมูลเลเตอร์ (MOV)
- คำสั่งเคลื่อนย้ายข้อมูลระหว่างแอคคิวมูเลเตอร์กับหน่วยความจำข้อมูลภายนอก (MOVX)
- คำสั่งอ่านข้อมูลจากหน่วยความจำโปรแกรมที่อยู่ในเพจเดียวกัน (MOVP) และคำสั่งอ่านข้อมูลจากหน่วยความจำเพจ 3 (MOVP3)
- คำสั่งแลกเปลี่ยนข้อมูลระหว่างแอคคิวมูเลเตอร์กับรีจิสเตอร์หรือกับหน่วยความจำข้อมูลภายใน โดยแลกเปลี่ยนเฉพาะข้อมูล 4 บิทต่ำเท่านั้น (XCHD)

ค. กลุ่มคำสั่งเคลื่อนย้ายข้อมูลได้แก่

- คำสั่งอ่านข้อมูลหรือเขียนข้อมูลระหว่างแอคคิวมูเลเตอร์กับพอร์ท 1 หรือ

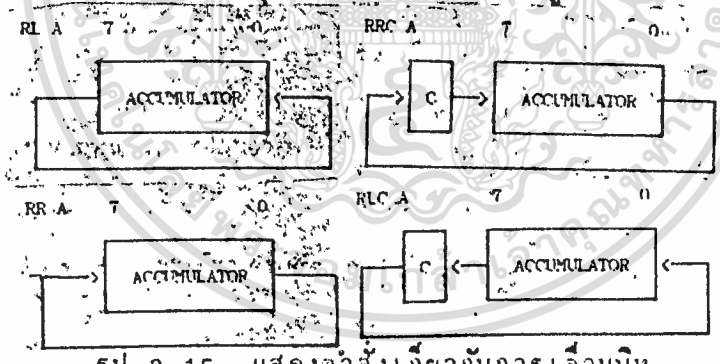
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

พอร์ท 2 (IN, OUTL)

- คำสั่งอ่าน , เขียนข้อมูล ระหว่างแอคคิวมูเลเตอร์กับดาต้าบัส(INS และ OUTL)
- คำสั่งเกี่ยวกับการ AND หรือการ OR ข้อมูลกับข้อมูลเดิมในพอร์ท 1 หรือ พอร์ท 2 หรือดาต้าบัส (ANL และ ORL)
- คำสั่งเกี่ยวกับพอร์ทส่วนขยายที่ใช้ไอซีเบอร์ 8243 ได้แก่คำสั่งอ่าน, เขียน ข้อมูลกับพอร์ทนี้ และคำสั่ง AND , OR ข้อมูลกับพอร์ทนี้ (MOVD, ANLD, ORLD) ตัวอักษร D ที่ห้อยท้ายหมายถึงการกระทำเกี่ยวกับข้อมูล เฉพาะ 4 บิทล่าง เท่านั้น

ง. กลุ่มคำสั่งเกี่ยวกับแอคคิวมูเลเตอร์

- คำสั่งเกี่ยวกับการบวกตัวเลขแบบไม่คิดตัวทดและแบบคิดตัวทด (ADD , ADDC)
- คำสั่งเกี่ยวกับการกระทำทางลอจิก คือการ AND , OR , EX-CLUSIVE OR , COMPLEMENT และ CLEAR (ANL , ORL , XRL , CPL และ CLR ตามลำดับ
- คำสั่งเกี่ยวกับการหมุนและการเลื่อนบิท ดังรูป 2.15



รูป 2.15 แสดงคำสั่งเกี่ยวกับการเลื่อนบิท

- คำสั่งเพิ่มหรือลดค่าของแอคคิวมูเลเตอร์หรือริจิสเตอร์หรือหน่วยความจำข้อมูลภายใน (INC และ DEC)
- คำสั่งปรับค่าตัวเลขเป็นฐานสิบ DECIMAL ADJUST (DA)
- คำสั่งสลับค่าข้อมูลในแอคคิวมูเลเตอร์ ระหว่าง 4 บิทล่างกับ 4 บิทบน (SWAP)

จ. กลุ่มคำสั่งเกี่ยวกับไทเมอร์/เคาร์เตอร์ ได้แก่

- คำสั่งเคลื่อนย้ายข้อมูลระหว่างแอคคิวมูลเลเตอร์กับรีจิสเตอร์ T (MOV)
- คำสั่งเริ่มหรือหยุดการทำงานของไทเมอร์/เคาร์เตอร์ (STRT , STOP)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- คำสั่งอินาเบิลและดิสเอเบิลไทเมอร์อินเตอร์รัพ (ENTCNT1, DISTCNT1)

ฉ. กลุ่มคำสั่งเกี่ยวกับการกระโดด ได้แก่

- คำสั่งกระโดด (JMP)
- คำสั่งกระโดดทางอ้อมภายในเพจเดียวกัน (JMPP)
- คำสั่งตรวจสอบขาอินพุทหรือสอบ T_0, T_1, INT (JT0, JT1, JNT1 และ JN1 ตามลำดับ)
- คำสั่งตรวจสอบแฟลกต่าง ๆ เช่นแฟลกตัวแคร์ซอฟแวร์แฟลก (JC, JNC, JF0, JF1)
- คำสั่งทดสอบค่าในแอคคิวมูเลเตอร์ว่าเป็นศูนย์หรือไม่ (JZ, JNZ)
- คำสั่งตรวจสอบลอจิกหนึ่งของบิทใดบิทหนึ่งในแอคคิวมูเลเตอร์ (JB)
- คำสั่งเกี่ยวกับการวนลูป โดยการลดค่ารีจิสเตอร์ลงหนึ่งแล้วตรวจสอบว่าเป็นศูนย์หรือไม่ ถ้าค่าในรีจิสเตอร์ไม่เท่ากับศูนย์ก็จะกระโดดไป (DJNZ)

ช. กลุ่มคำสั่งเกี่ยวกับโปรแกรมย่อย ได้แก่

- คำสั่งเรียกโปรแกรมย่อย (CALL)
- คำสั่ง RETURN มี 2 คำสั่ง คือ RET และ RETR

ซ. กลุ่มคำสั่งเกี่ยวกับแฟลก ได้แก่

- คำสั่ง CLEAR และ COMPLEMENT แฟลกตัวแคร์และซอฟแวร์แฟลก F_0, F_1 (CLR, CPL)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TYPE B:FIG3.PAS

MNEMONIC	HEX	MNEMONIC	HEX	MNEMONIC	HEX	MNEMONIC	HEX
CONTROL		ACCUMULATOR		IN/OUT		TIMER	
EN I	05	ADD A,Rr	6X	IN A,P1	09	MOV A,T	42
DIS I	15	ADD A,@R0	60	OUTL P1,A	39	MOV T,A	62
SEL RB0	C5	ADD A,@R1	61	ANL P1,DATA	99	STRT T	55
SEL RB1	D5	ADD A,DATA	03	ORL P1,DATA	89	STRT CNT	45
SEL MB0	E5	ADDC A,Rr	7X			STOP TCNT	65
SEL MB1	F5	ADDC A,@R0	70	IN A,P2	0A	EN TCNTI	25
ENTO CLK	75	ADDC A,@R1	71	OUTL P2,A	3A	DIS TCNTI	35
		ADDC A,DATA	13	ANL P2,DATA	9A		
DATA MOVE		ANL A,Rr	5X	ORL P2,DATA	8A	BRANCH	
		ANL A,@R0	50				
MOV A,Rr	FX	ANL A,@R1	51	INS A,BUS	08	JMP addr	P4
MOV A,@R0	F0	ANL A,DATA	53	OUTL BUS,A	02	JMPP @A	B3
MOV A,@R1	F1	ORL A,Rr	4X	ANL BUS,DATA	98	DJNZ Rr,addr	RX
MOV A,DATA	23	ORL A,@R0	40	ORL BUS,DATA	88	JC addr	F6
MOV Rr,A	AX	ORL A,@R1	41			JNC addr	E6
MOV @R0,A	A0	ORL A,DATA	43	MOVD A,Pp	0R	JZ addr	C6
MOV @R1,A	A1	XRL A,Rr	DX	MOVD Pp,A	3R	JNZ addr	96
MOV Rr,DATA	RX	XRL A,@R0	D0	ANLD Pp,A	9R	JTO addr	36
MOV @R0,DATA	B0	XRL A,@R1	D1	ORLD Pp,A	8R	JNTO addr	26
XCH A,Rr	2X	XRL A,DATA	D3			JT1 addr	56
XCH A,@R0	20	INC A	17	REGISTER		JNT1 addr	46
XCH A,@R1	21	DEC A	07			JF0 addr	B6
XCHD A,@R0	30	CLR A	27	INC Rr	1X	JF1 addr	76
XCHD A,@R1	31	CPL A	37	DEC Rr	CX	JTF addr	16
MOV A,PSW	C7	RL A	E7	INC @R0	10	JNI addr	86
MOV PSW,A	D7	RLC A	F7	INC @R1	11	JB0 addr	12
MOVX A,@R0	80	RR A	77			JB1 addr	32
MOVX A,@R1	81	RRC A	67	SUBROUTINE		JB2 addr	52
MOVX @R0,A	90	DA A	57			JB3 addr	72
MOVX @R1,A	91	SWAP A	47	CALL addr	P4	JB4 addr	92
MOVP3 A,@A	E3			RET	83	JB5 addr	B2
MOVP A,@A	A3	NOP	00	RETR	93	JB6 addr	D2
						JB7 addr	F2
FLAG							
CLR C	97	CPL C	A7	CLR F0	85	CPL F0	95
CLR F1	A5	CPL F1	B5				

X=8-F FOR REGISTER R0-R7
R=C-F FOR EXPAND PORT P4-P7
P=0-F FOR INDICATE THE PAGE TO JMP OR CALL TO

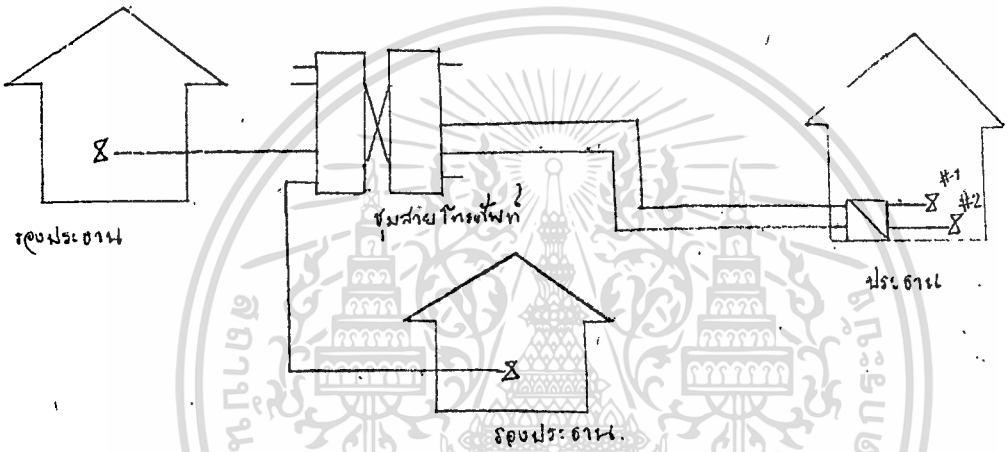
PAGE	0	1	2	3	4	5	6	7
JMP P=	0	2	4	6	8	A	C	E
CALL P=	1	3	5	7	9	B	D	F

ตาราง 2.2 การแปลงรหัสนีโมนิคของ 8048 ให้เป็นภาษาเครื่อง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3 หลักการทำงานของโทรศัพท์ประชุมร่วม 3 คน

การใช้เครื่องโทรศัพท์ประชุมร่วม 3 คนนั้น เราสามารถจะติดต่อไปยังบุคคลที่ 3 ได้โดยเราไม่ต้องวางหูก่อน โดยการใช้ปุ่มกดบนหน้าปัทม์ (ปุ่ม ✳ และปุ่ม ※) เป็นตัวควบคุมการติดต่อ ทั้งนี้เราจะต้องมีคู่สายโทรศัพท์จำนวน 2 คู่สาย เพื่อเป็นช่องทางเดินของเสียงให้บุคคลที่ 2 และ 3 การประชุมร่วมนั้น เรามาดูตัวอย่างการประชุมร่วมดังนี้ ตามรูป 2.16 เมื่อประธานบริษัทต้องการจะประชุมกับรองประธานทั้ง 2 คน ก็สามารถทำการติดต่อพูดคุยกันพร้อมกันทั้ง 3 คนได้ เหมือนกับพูดคุยกันต่อหน้า



รูป 2.16 การประชุมร่วมทางโทรศัพท์ 3 คน

2.3.1 โครงสร้างของวงจร

วงจรที่สร้างขึ้นมานี้ จะประกอบด้วยส่วนต่าง ๆ ดังนี้

ก. ส่วนตรวจจับการยกหู

เพื่อตรวจสอบการใช้งานของโทรศัพท์ และเมื่อยกหูจะทำให้รีเลย์ทำงานเข้าที่วงจรตรวจจับสัญญาณทำงาน คือวงจรตรวจจับสัญญาณจะต่อเข้าคู่สายโทรศัพท์เมื่อคู่สายนั้นยกหูแล้วเท่านั้น ทั้งนี้เพื่อป้องกันสัญญาณกระดิ่งซึ่งมีค่าสูงเป็นร้อยโวลต์ ไม่ให้มาทำอันตรายกับวงจรตรวจจับสัญญาณได้

ข. วงจรตรวจจับสัญญาณ

ทำการตรวจจับสัญญาณต่าง ๆ ของคู่สายโทรศัพท์ เช่น สัญญาณ BUSY , สัญญาณ RING BACK และสัญญาณ ※ , ✳ เพื่อใช้สัญญาณเหล่านี้ควบคุมการติดต่อ

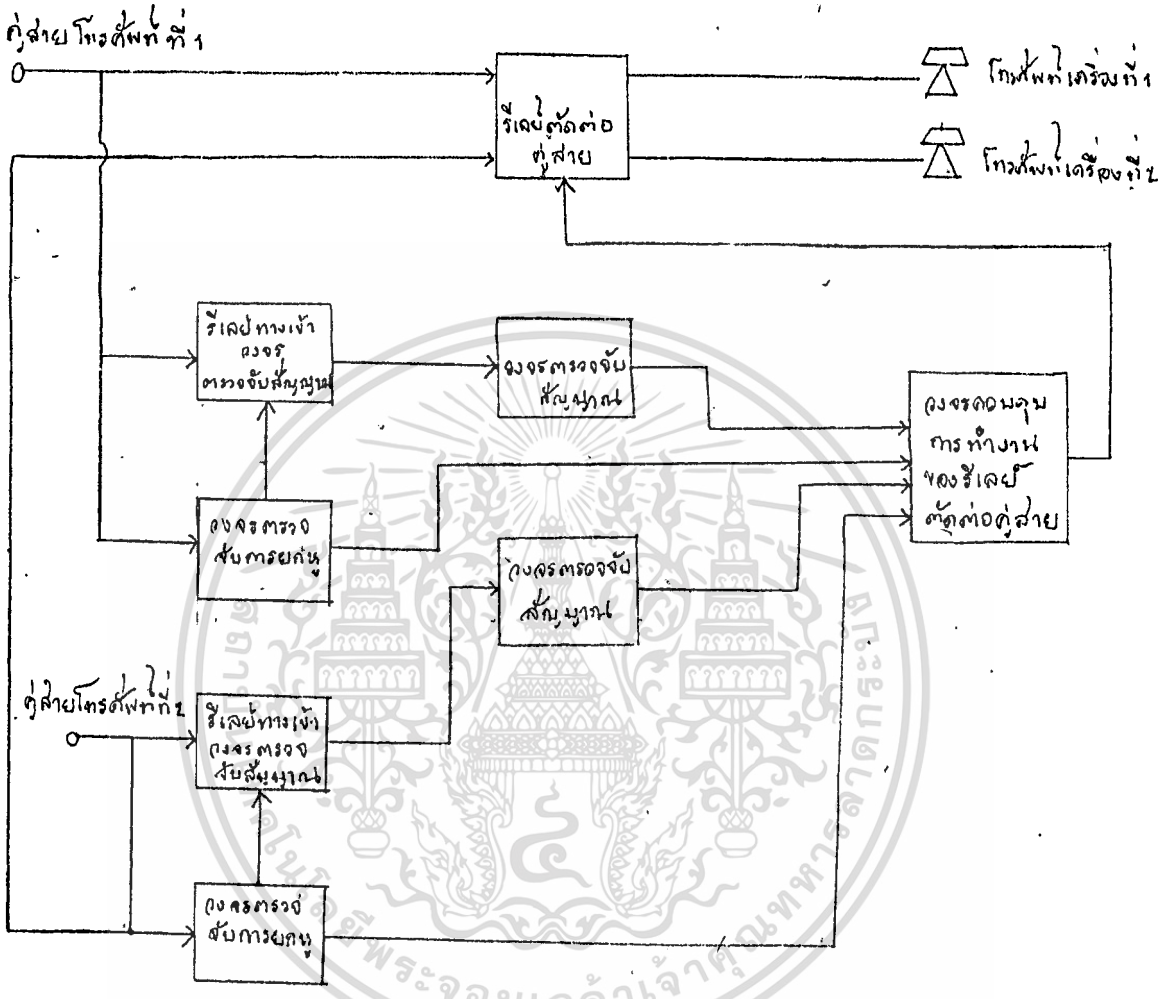
ค. วงจรควบคุมการทำงานของรีเลย์

ใช้ระบบ 8048 ไมโครโปรเซสเซอร์ เป็นตัวควบคุมซึ่ง 8048 จะรับเอาสัญญาณต่าง ๆ มา แล้วทำการส่งสัญญาณออกไปควบคุมตัวรีเลย์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ง. รีเลย์ตัดต่อคู่สาย

จะทำการตัดต่อคู่สายโทรศัพท์เท่านั้น ซึ่งทำการตัดต่อเหมือนสวิช โครงสร้างของวงจรดังรูป 2.17

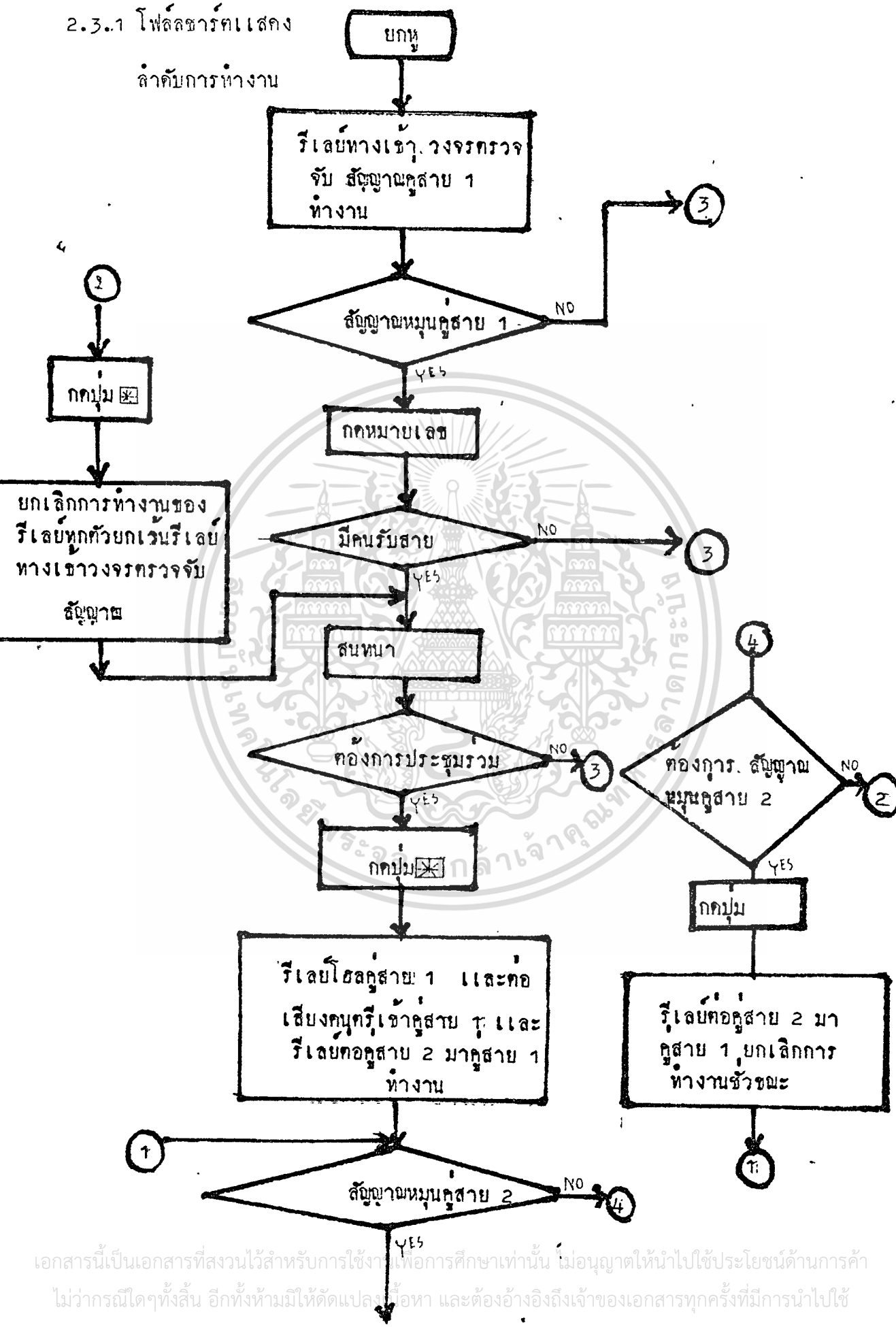


รูป 2.17 โครงสร้างของวงจร

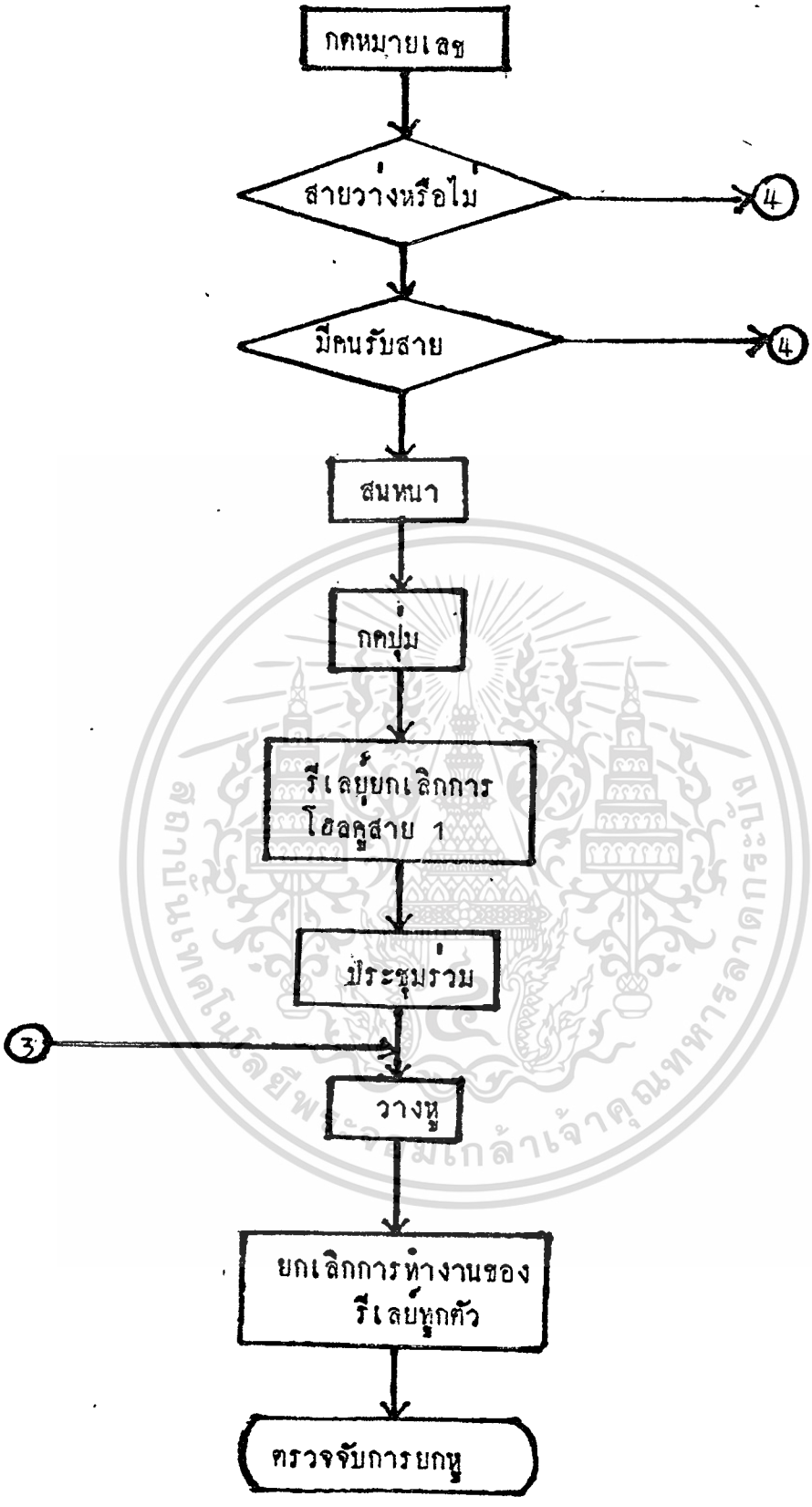
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3.1 โฟล์ลชาร์ทแสดง

ลำดับการทำงาน



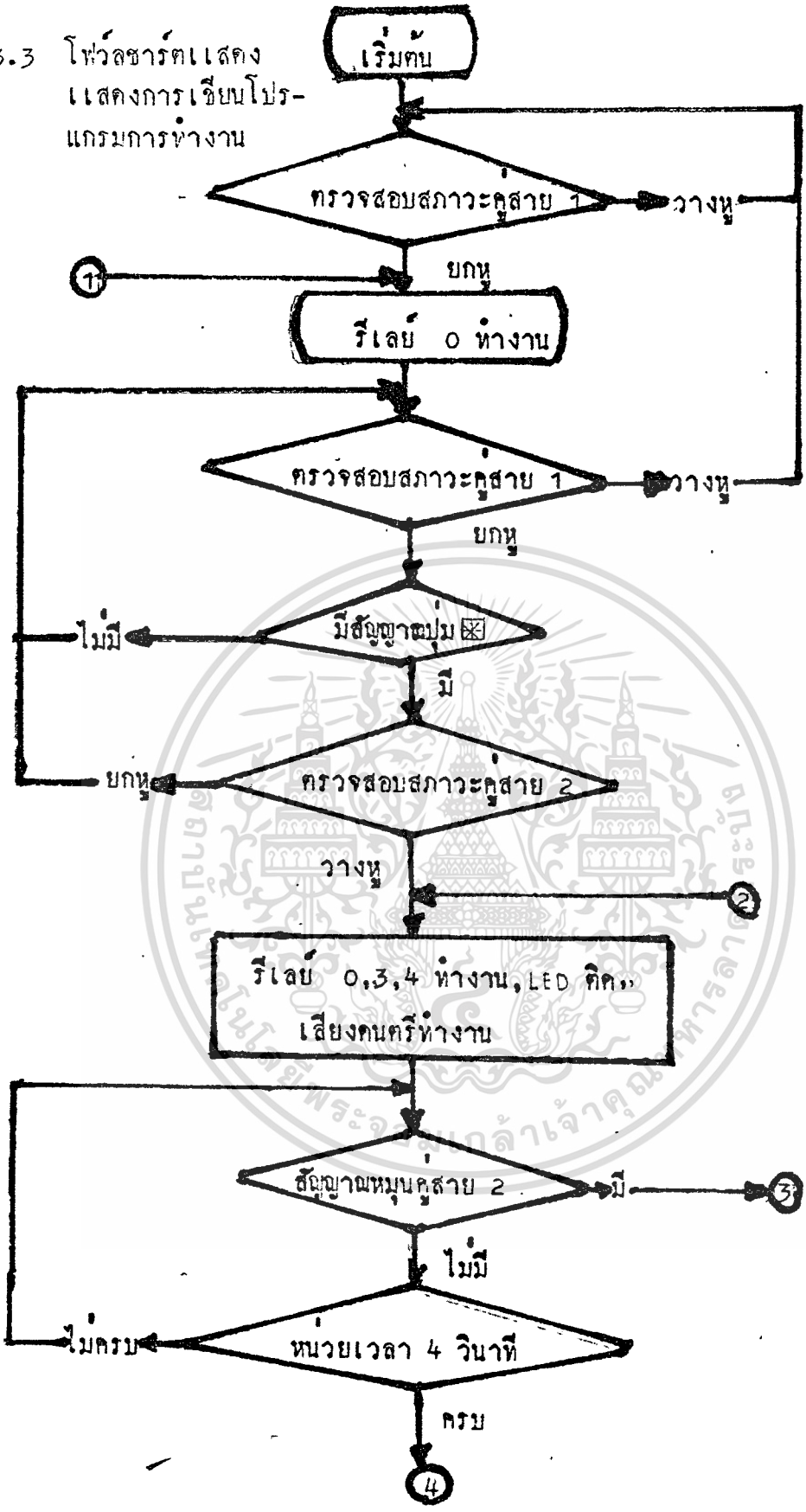
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



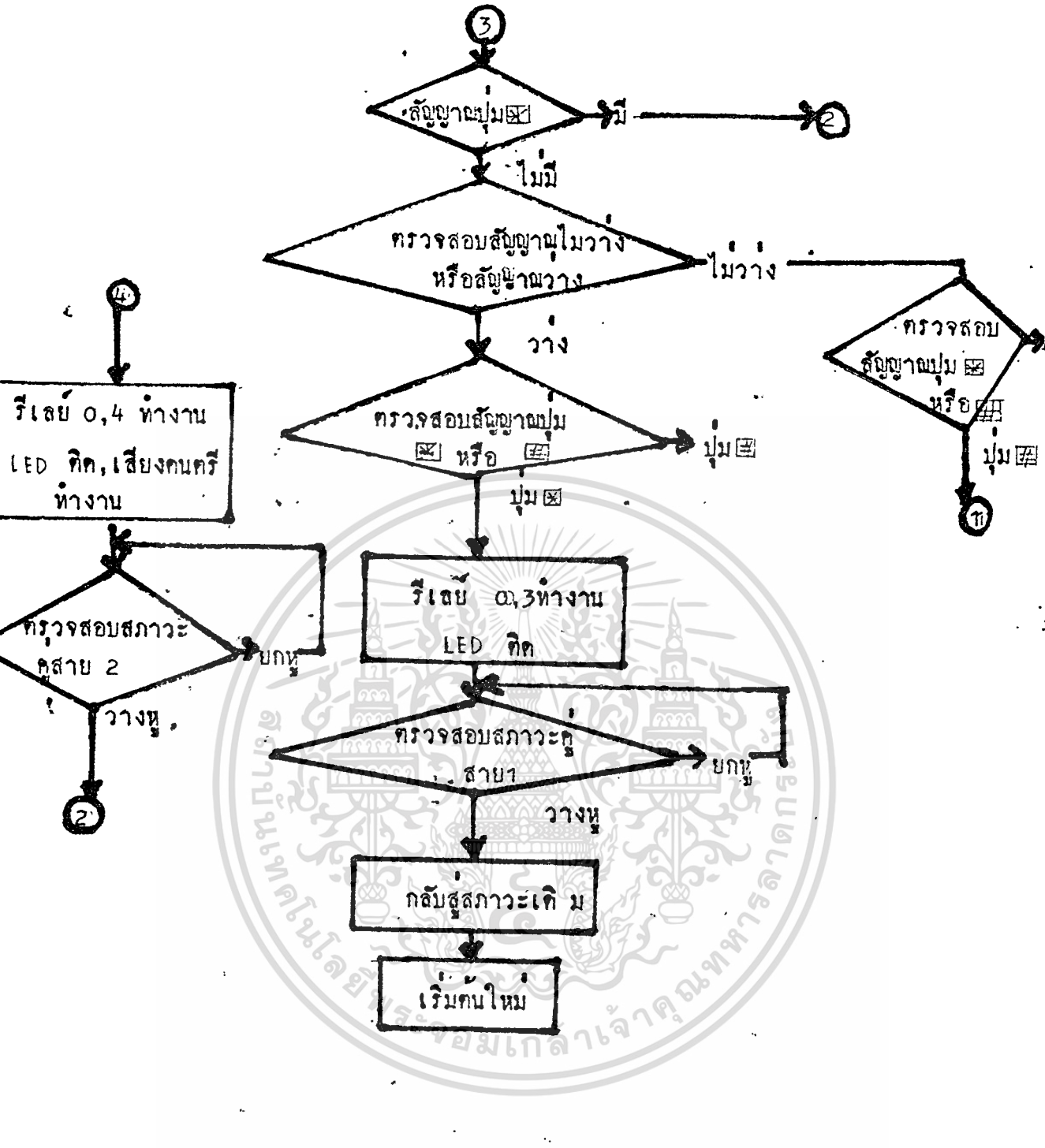
รูป 2.18 โฟล์วชาร์ตแสดงลำดับการทำงานเมื่อใช้โทรศัพท์เครื่องที่ 1 ควบคุม ถ้าใช้เครื่องที่ 2 ควบคุมก็เป็นทำนองเดียวกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3.3 โฟว์ลชาร์ตแสดงแสดงการเขียนโปรแกรมการทำงาน



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 2.19 โฟล์วชาร์ตโปรแกรมสำหรับใช้เครื่องที่ 1 ควบคุม เมื่อใช้เครื่องที่ 2 ควบคุม
ก็ทำนองเดียวกัน

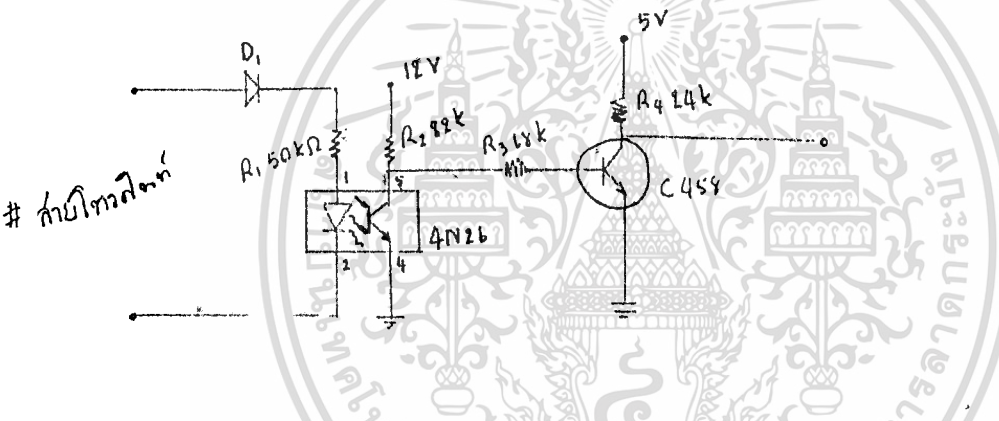
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น ไม่ว่าในรูปแบบใดๆ ไม่ว่าจะเป็นการคัดลอกครั้งที่มีการนำไปใช้

บทที่ 3

การออกแบบและการคำนวณ

3.1 การออกแบบและคำนวณวงจรตรวจจับการยกหู

วงจรส่วนนี้จะต่อกับคู่สายขององค์การโทรศัพท์ฯ เพราะฉะนั้นจึงจำเป็นที่จะต้องแยกกราวด์ออกจากกราวด์ขององค์การโทรศัพท์ โดยจะใช้ไอซีเบอร์ 4N26 ซึ่งเป็นตัวเชื่อมโยงแสงแบบโฟโต้ทรานซิสเตอร์ (PHOTO TRANSISTOR) เป็นตัวแยกแต่ละระบบออกจากกัน การไบอัสไอซีเบอร์ 4N26 จะใช้คุณสมบัติ 2 สถานะ เหมือนกับสวิช (SWITCH) คือสถานะที่นำกระแสอิ่มตัว (SATURATE) ซึ่งมีคุณสมบัติออน(ON) และสถานะที่ไม่นำกระแส (CUTOFF) ซึ่งมีคุณสมบัติออฟ(OFF) ในการออกแบบ จะใช้โทรศัพท์ทั้ง 2 เครื่องได้มีโอกาสสลับคุมการทำงานของระบบ เพราะฉะนั้นจึงจำเป็นต้องมีวงจรตรวจจับการยกหู 2 ชุดดังรูป 3.1 โดยจะแสดงเพียงชุดเดียวเท่านั้น



รูปที่ 3.1 วงจรตรวจจับการยกหู

ในขณะที่วางหู จะมีโวลท์เตจ ตกคร่อมคู่สาย 48 VOLT แต่เมื่อมีเสียงกระดิ่งจะมี VOLTAGE ที่คู่สายประมาณ 270 V PEAK TO PEAK ซึ่งการคำนวณแรงดันนี้จะนำการคำนวณหากระแสที่ทำให้โฟโต้ทรานซิสเตอร์นำกระแสจนทำให้อิ่มตัว ทำให้เอาท์พุทที่ขาคอลเลคเตอร์ (COLLECTOR) ของทรานซิสเตอร์เบอร์ C458 หยุดนำกระแส จะได้แรงดันระดับลอจิก "1" และในขณะยกหู VOLTAGE จะตกลงมาเหลือ 10 V ทำให้โฟโต้ทรานซิสเตอร์ หยุดนำกระแส ทำให้ระดับแรงดันที่ขาคอลเลคเตอร์ของทรานซิสเตอร์เบอร์ C458 มีระดับลอจิก "0" ค่าความต้านทาน R_1 จะต้องใช้ค่ามากพอที่จะจำกัดกระแส I_F เมื่อมีสัญญาณกระดิ่งเข้ามาไม่เกินอัตราสูงสุดที่ไอซีเบอร์นี้ทนได้ จากการทดลองใช้ค่า R_1 50 KΩ ค่ากระแส I_F หาได้จาก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$I_F = \frac{V_{IN} - V_F}{R_1}$$

$$= \frac{\frac{V_{CC} - V_{CE}(SAT)}{R_2}}{\eta}$$

โดยที่

V_F : เป็นค่าแรงดันตกคล่อมไดโอดเมื่อได้รับแอสตรง (FORWARD BIAS)

η : เป็นเปอร์เซนต์ต่ำสุดระหว่างกระแสเอาท์พุทของทอลเลคเตอร์สูงสุดต่อกระแสไดโอดที่ค่า V_{CE} และ I_F ที่กำหนด (0.2)

$V_{CE}(SAT)$: เป็นแรงดันอิ่มตัวระหว่างขาคอลเลคเตอร์และขาอิมิเตอร์จะได้

$$I_F = \frac{48 - 1.1}{50\ 10^3} = 0.94 \text{ mA}$$

$$R_2 = \frac{12 - 0.1}{0.94\ 10^3 0.2} = 62.6 \text{ K}\Omega$$

ดัง R_2 ที่น้อยสุดที่ทำให้โฟโต้ทรานซิสเตอร์อิ่มตัว คือ 62.6 KΩ จากการทดลองเลือกค่า R_2 82 KΩ

เอาท์พุทจากขาคอลเลคเตอร์จองทรานซิสเตอร์เบอร์ C458 ซึ่งจะมี 2 สภาวะ คือ ลอจิก "0" และลอจิก "1" จะใช้ไมโครโปรเซสเซอร์ (MICROPROCESSOR) ตรวจจับความแตกต่างนี้ได้

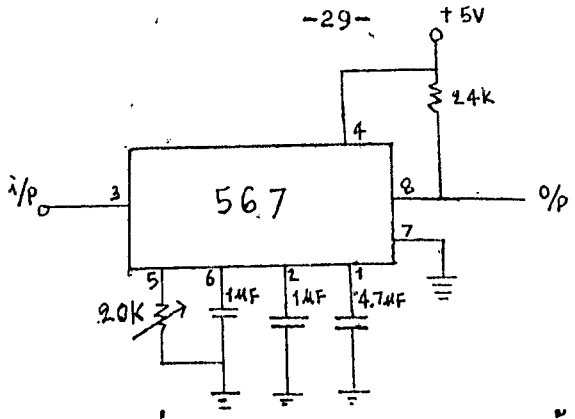
3.2 การออกแบบและคำนวณวงจรตรวจจับสัญญาณ

ในการออกแบบจะให้วงจรนี้ทำงานเมื่อมีการยกหูแล้วเท่านั้น และเมื่อมีการวางหู วงจรตรวจจับการยกหู สามารถจับการวางหูได้ 8048 ก็จะส่งสัญญาณให้รีเลย์ทางเข้าวงจรตรวจจับสัญญาณเลิกทำงาน คือละตัดวงจรนี้ออกจากคู่สายโทรศัพท์

3.2.1 วงจรตรวจจับสัญญาณให้หมุน (DIAL TONE) สัญญาณว่าง (RINGING TONE) สัญญาณไม่ว่าง (BUSY TONE)

สัญญาณ (SIGNAL) ทั้ง 3 ชนิดนี้จะมีความถี่ 400 Hz ดังนั้นจะใช้ไอซีเบอร์ 567 เป็นตัวจับสัญญาณ โดยใช้หลักการของ เพสล็อคลูป (PHASE LOCK LOOP) โดยการปรับตั้งความถี่ (FREE RUNNING FREQUENCY OF THE VCO)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.2 วงจรตรวจจับสัญญาณให้หมุน , สัญญาณว่าง , สัญญาณไม่ว่าง

เมื่อมีสัญญาณ 400 Hz เอาท์พุทของวงจรมีค่าแรงดันระดับลอจิก "0" และเมื่อสัญญาณ 400 Hz หมดไปจะมีแรงดันระดับลอจิก "1"

$$f_c = \frac{1}{1.1RC}$$

f_c : ความถี่กลาง (CENTER FREQUENCY)

$$B.W. = 1070\sqrt{\frac{V_i}{f_o C}}$$

B.W. : ช่วงแถบความถี่ตอบสนอง (BANDWIDTH RESPOND)

V_i : ระดับแรงดันอินพุท (VOLT RMS)

C : ค่าตัวเก็บประจุที่ขา 2 (μF)

จากการทดลองใช้ค่า C_1 เท่ากับ 1 μF , C_2 เท่ากับ 1 μF และใช้ C_3 เท่ากับ 4.7 μF และจะปรับค่า R ที่ขา 5 ล็อคกับความถี่ 400 Hz โดยดูค่าระดับแรงดันที่ขา 8 ถ้ามีแรงดันเป็นลอจิก "0" ก็แสดงว่า ล็อคกับความถี่ 400 Hz แล้ว โดยจากการทดลองจะใช้ค่าความต้านทาน ที่ปรับค่าได้แบบปรับละเอียดค่า 20 KΩ และค่า R เท่ากับ 2.4 KΩ

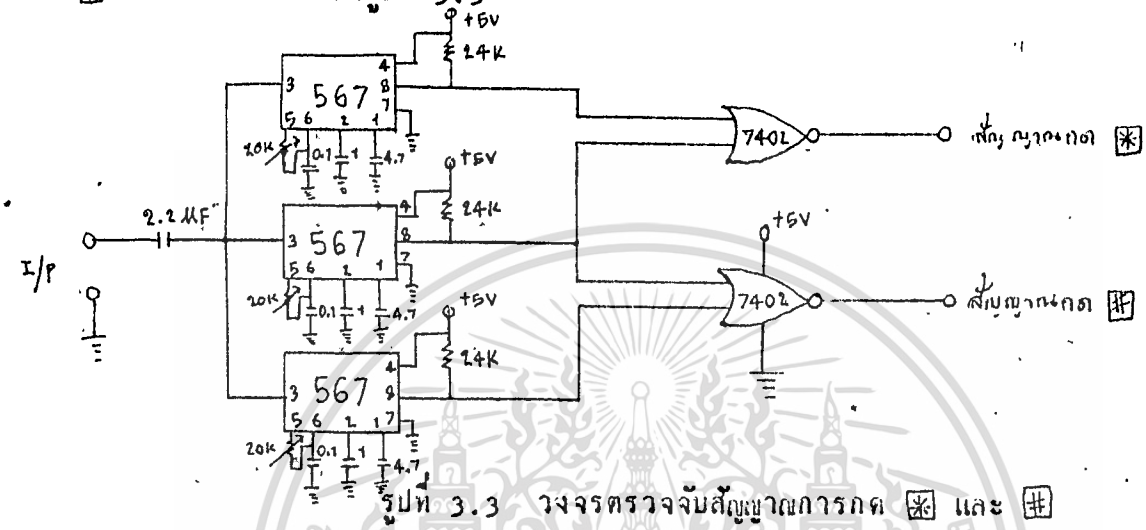
เพราะว่าสัญญาณทั้ง 3 ชนิดนี้ จะมีเวลาในการมีสัญญาณ 400Hz แตกต่างกันตามที่ได้กล่าวมาแล้วในหัวข้อทฤษฎีระบบโทรศัพท์ เพราะฉะนั้นสัญญาณลอจิกที่ได้จากตัวตรวจจับความถี่ จะมีลักษณะแตกต่างกันของแต่ละชนิดของสัญญาณ เราจึงใช้ไมโครโปรเซสเซอร์แยกสัญญาณแต่ละชนิด

3.2.2 วงจรตรวจจับสัญญาณการกด ✱ , #

เมื่อมีการกดสัญญาณ ✱ หรือ # จะมีสัญญาณความถี่ 2 ความถี่ถูกส่งออกมาพร้อมกันสัญญาณคู่ความถี่ที่ส่งจะแบ่งเป็น กลุ่ม 2 กลุ่ม คือกลุ่มความถี่ต่ำ (LOW FREQUENCY) และกลุ่มความถี่สูง (HIGH FREQUENCY) ความถี่ที่ถูกส่งออกจากสัญญาณการกด ✱ และ #

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จะมีความถี่ที่เท่ากัน ดังนั้นจึงใช้ไอซีเบอร์ 567 เป็นตัวจับความถี่ 3 ตัว และวิธีการปรับความถี่จะใช้ในลักษณะเดียวกับวงจรตรวจจับสัญญาณในหมุน , สัญญาณว่าง และสัญญาณไม่ว่าง และเอาท์พุทที่ได้จากวงจรตรวจจับสัญญาณความถี่ทั้ง 2 เข้าวงจรนอร์เกท(NOR GATE) โดยใช้ไอซีเบอร์ 7402 เมื่อทำการดีโคด (DECODE) ก็จะได้รับสัญญาณการกด ✱ และ # ตามต้องการ ดังรูป 3.3



รูปที่ 3.3 วงจรตรวจจับสัญญาณการกด ✱ และ #

จากการทดลองใช้ตัวเก็บประจุที่ขา 8 และขา 2 ของไอซีเบอร์ 567 เท่ากับ .1 MF และตัวเก็บประจุที่ขา 1 ของไอซีเบอร์ 4.7 และค่าความต้านทานแต่ละ ความถี่ แสดงในตาราง 3.1

สัญญาณกดคีย์	ความถี่(Hz)	ความต้านทาน(KΩ)
✱	941 และ 1209	9.66 และ 8.7
#	941 และ 1477	9.66 และ 6.8

ตาราง 3.1 สัญญาณการกดคีย์ ความถี่ และความต้านทาน

เมื่อมีการกด ✱ หรือ # จะมีระดับลอจิก "1" ที่เอาท์พุทของนอร์เกท(NOR GATE) ตามแป้นที่กด และเมื่อไม่มีการกดจะมีระดับลอจิก "0" ซึ่งลักษณะที่แตกต่างกันนี้จะใช้ไมโครโปรเซสเซอร์ตรวจจับข้อแตกต่างได้

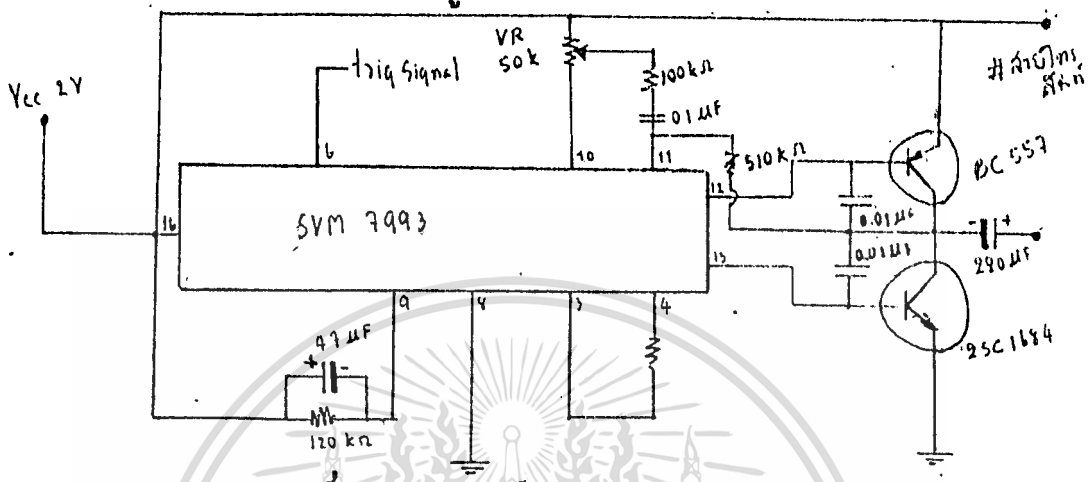
3.3 การออกแบบวงจรเสียงดนตรี

3.3.1 วงจรเสียงดนตรี

ในการออกแบบวงจรส่วนนี้ จะให้ทำงานในช่วงที่มีการพักสาย(HOLD) อยู่และวงจรเสียงดนตรีทำงาน วงจรนี้จะใช้ไอซีเบอร์ SVM 7993 ภายในไอซีเบอร์นี้จะมีเสียงดนตรี 8 เพลงด้วยกัน ซึ่งการทำงานมีหลายแบบ ภายในไอซีเบอร์ เช่น ให้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

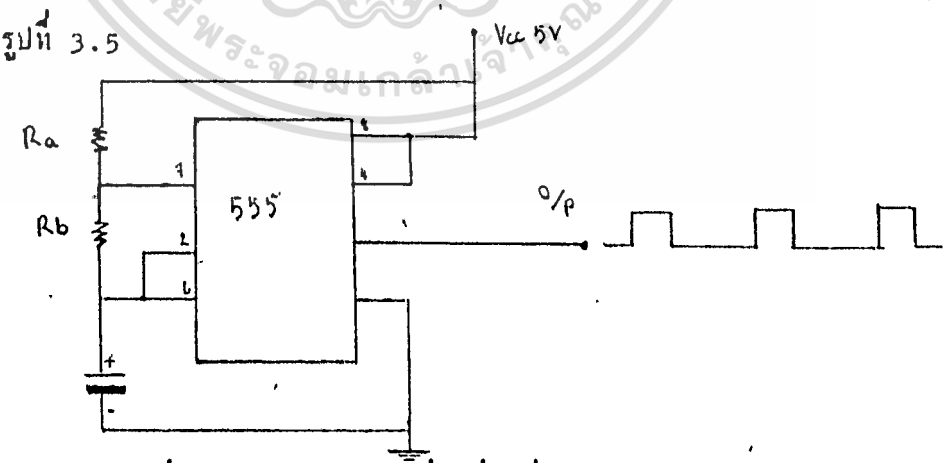
เล่นเพลงเดียวกันตลอดหรือเล่นเพลงต่อเนื่อง 8 เพลง แล้วเริ่มต้นใหม่ โดยทำการ ทริก (TRIG) ช่วงขอบขาขึ้น แต่ในการออกแบบจะใช้ลักษณะการเล่นเพลงต่อเนื่อง 8 เพลง ในการทำงานจะมีเสียงดนตรีเพลงเดียวในการ TRIG 1 ครั้ง และแต่ละเพลงโดยเฉลี่ยจะใช้เวลาประมาณ 15 วินาที ดังรูป 3.4



รูปที่ 3.4 วงจรเสียงเพลง

3.3.2 การออกแบบและคำนวณวงจรทริกอย่างต่อเนื่อง

ในช่วงที่มีการพักสาย จะให้มีเสียงดนตรีทำงานตลอดเวลา ดังนั้นจะมีการทริกอย่างต่อเนื่องให้แก่ไอซีเบอร์ SVM 7993 โดยจะเว้นช่วงการทริกแต่ละครั้งประมาณ 16 วินาที ในการออกแบบจะใช้ไอซีเบอร์ 555 ให้ทำงานในลักษณะเป็นอะสเตเบิ้ล (ASTABLE) เพื่อไปทริกอย่างต่อเนื่องให้ไอซีเบอร์ SVM 7993 ทำงานอยู่ตลอดเวลา ดังรูปที่ 3.5



รูปที่ 3.5 วงจรทริกอย่างต่อเนื่อง

จากการทดลองใช้ค่าตัวเก็บประจุ เท่ากับ 220μF และใช้ค่าความต้านทาน (R_a) เท่ากับ 43 KΩ จะหาค่าความต้านทาน(R_b) ได้ ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จาก $\frac{1}{T} = \frac{1.44}{(R_a + 2R_b)C}$

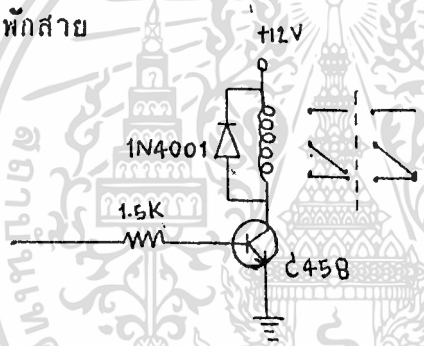
$$R_b = \frac{1}{2}\left(\frac{1.44}{C}T - R_a\right) = 28.5\ K\Omega$$

เพราะฉะนั้นเอาท์พุทที่ได้จากขา 3 ของ ไอซีเบอร์ 555 มีระดับแรงดันลอจิก "0" และระดับลอจิก "1"สลับกันไป ซึ่งจะใช้เป็นการกริกให้กับวงจรเสียงเพลงที่ขา 6 ของไอซีเบอร์ SVM 7993

3.4 การออกแบบและคำนวณรีเลย์

การใช้งานของรีเลย์ (RELAY) จะทำการตัดต่อให้กับส่วนต่าง ๆ ดังนี้

- คู่สายโทรศัพท์จากองค์การโทรศัพท์
- เครื่องโทรศัพท์
- วงจรเสียงดนตรี
- การพักสาย



รูปที่ 3.6 วงจรรีเลย์

โดยที่เอาท์พุทจาก 8048 ระดับลอจิก "1" มีค่าโวลต์เตจต่ำสุด 2.4 V และมากสุด 5 V , มีระดับลอจิก "0" มีโวลต์เตจต่ำสุด 0 V และ สูงสุด 0.8 V เพราะฉะนั้นในการออกแบบ จะทำให้รีเลย์ออน (ON) ในระดับลอจิก"1" ซึ่งมีค่าโวลต์เตจต่ำสุด คือจะออกแบบให้รีเลย์ออนที่โวลต์เตจตั้งแต่ 2.4 V ขึ้นไปกระแสจะไปแอสให้ทรานซิสเตอร์เบอร์ C 458 ทำงานในสภาวะอิ่มตัวและคัทออฟ โดยคำนวณหาค่า R_1 ได้ดังนี้

$$V_i = I_\beta R_1 + V_{BE}$$

V_i : แรงดันอินพุทจากไมโครโปรเซสเซอร์ 8048

I_β : กระแสเบส , V_{BE} : แรงดันตกคล่อมระหว่างขาเบสกับขาอิมิเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$V_{cc} = i_c R_L + V_{CE(SAT)}$

V_{cc} : ไฟเลี้ยง

i_c : กระแสคอลเลคเตอร์

V_{CE} : แรงดันตกคร่อมระหว่างขาคอลเลคเตอร์กับขาอีมิเตอร์ ประมาณ 0.2 โวลต์ ในช่วงที่ทรานซิสเตอร์อิ่มตัว

แทนค่า

$$2.4 = i_B R_1 + 0.7$$

$$i_B R_1 = 1.7$$

$$12 = i_c(300) + 0.2$$

$$i_c = 39.3 \text{ mA}$$

$$\beta = 35$$

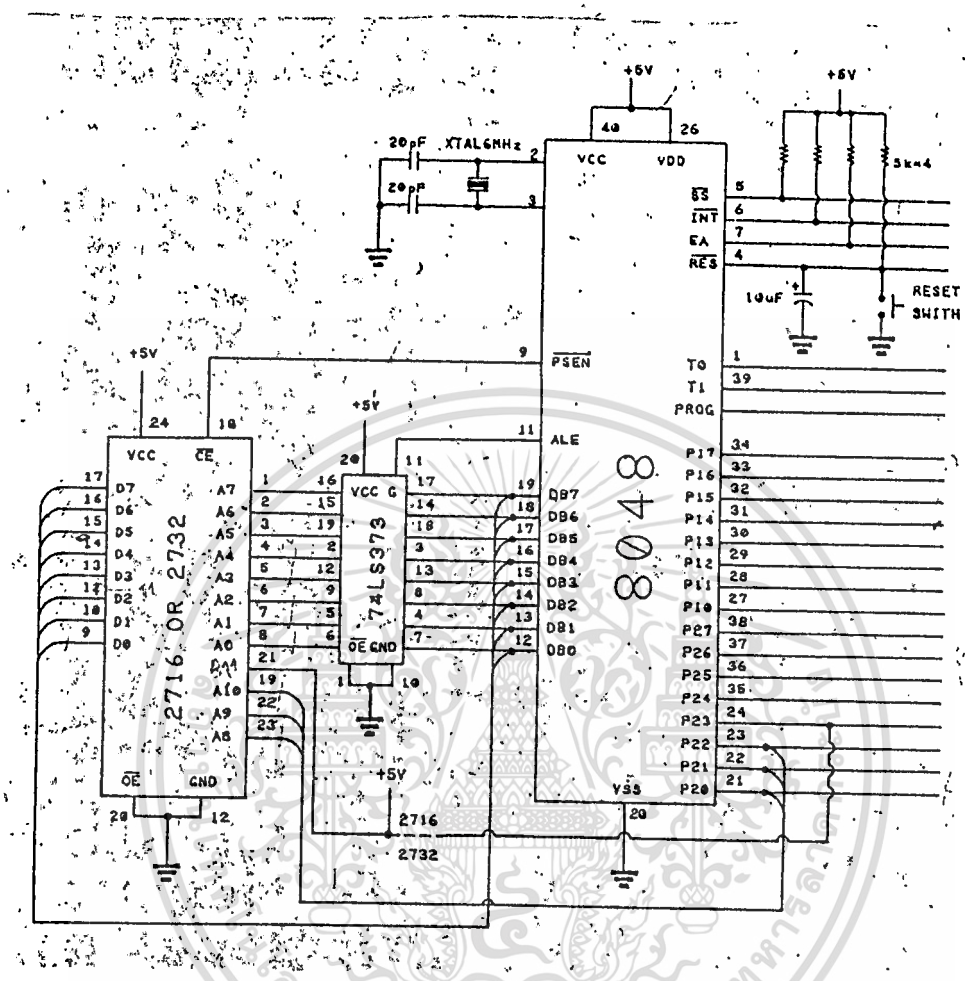
$$\therefore R_1 = 1512.7 \ \Omega$$

จากการทดลองใช้ค่าความต้านทานเท่ากับ 1.5 KΩ

3.5 การออกแบบไมโครโปรเซสเซอร์ 8048

เนื่องจากไมโครโปรเซสเซอร์ 8048 เป็นไมโครคอมพิวเตอร์ชิพเดียว (SINGLE CHIP MICROCOMPUTER) เพราะว่าภายในของมันมีหน่วยความจำแรม หน่วยความจำรอมและพอร์ท อยู่ 3 พอร์ท ที่สามารถทำงานได้เลย เพียงแต่จ่ายคริสตอล (CRYTAL) และจ่ายไฟเลี้ยง ในการใช้งานจะต่อ ROM ภายนอก จะใช้ไอซีเบอร์ 2716 ซึ่งเป็น EPROM เป็นตัวเก็บโปรแกรมในการใช้งาน เพราะว่า ROMในไมโครโปรเซสเซอร์ถ้านำมาใช้งานจะต้องสั่งให้ผู้ผลิต จัดโปรแกรมที่ใช้งาน ซึ่งเป็นการไม่สะดวก และที่ขาต่าของไมโครโปรเซสเซอร์ จะทำงานในลักษณะมัลติเพลกซ์ ต่ากับแอดเดรส ดังนั้นจะใช้ไอซีเบอร์ 74LS373 เป็นตัวแลทช์แอดเดรสเอาไว้ เมื่อใช้ในการอ้างแอดเดรสของโปรแกรมให้กับ EPROM ดังรูป 3.7

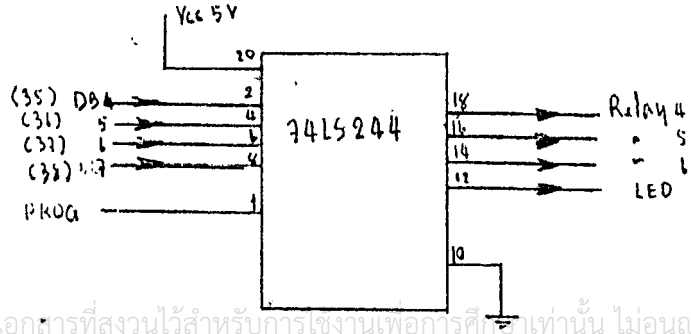
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.7 การออกแบบไมโครโปรเซสเซอร์ 8048

3.6 การออกแบบส่วนบัฟเฟอร์

เนื่องจากวงจรรีเลย์จะต่อจากขาพอร์ตของไมโครโปรเซสเซอร์ 8048 แต่เนื่องจากไมโครโปรเซสเซอร์ชิงค์และซอสกระแสได้ต่ำมาก ซึ่งไม่เพียงพอที่ไปไดร์ (DRIVE) วงจรรีเลย์ให้ทำงานได้ในสภาวะออน (ON) ดังนั้นจึงใช้ไอซีเบอร์ 74LS244 เป็นบัฟเฟอร์ให้



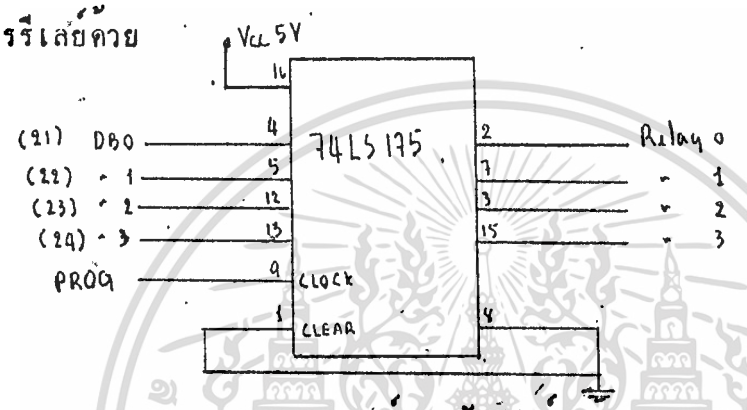
รูปที่ 3.8 วงจรบัฟเฟอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 3.7 วงจรแลทช์และบัฟเฟอร์

3.7 การออกแบบวงจรแลทช์และบัฟเฟอร์

ในการเชื่อมต่อของขาพอร์ทของไมโครโปรเซสเซอร์ 8048 กับอุปกรณ์ภายนอกนั้น ในการออกแบบต้องการให้ขาต่างๆแลทช์ค่าเอาไว้ที่พอร์ทนั้น แต่จะมีพอร์ทบางพอร์ทที่ทำงานในลักษณะ MULTIPLEX ระหว่างแอดเดรส และดาต้าที่พอร์ท คือ พอร์ท 2 ที่บิท 0 – บิท 3 ดังนั้นจึงใช้ไอซีเบอร์ 74LS175 แลทช์ค่าดาต้าที่พอร์ทนั้นไว้ และเป็นตัวจะใช้เป็นตัวบัฟเฟอร์ให้กับวงจรรีเลย์ด้วย



3.7 วงจรแลทช์และบัฟเฟอร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

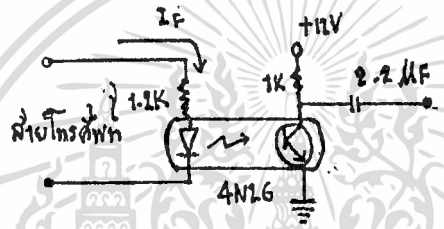
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

บทที่ 4

การทดลองและผลการทดลอง

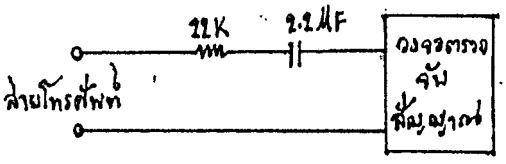
4.1 การทดลองส่วนฮาร์ดแวร์

วงจรส่วนต่าง ๆ ที่ใช้ในระบบได้มีการตรวจสอบสัญญาณเอาท์พุทที่ได้รับโดยนำสัญญาณที่ใช้งานจริงมาทดลองแต่ละส่วน ได้เป็นที่แน่นอนแล้ว จึงนำมาประกอบรวมกันก็ได้ผลตามที่ต้องการ ปัญหาที่เกิดขึ้นก่อนที่จะเป็นวงจรสมบูรณ์คือ วงจรสัญญาณผ่านตอนแรกได้ใช้ตัวเชื่อมโยงทางแสงคือ ไอซีเบอร์ 4N26 ซึ่งไบแอสให้ทำงานในช่วงลิเนียร์ดังรูป 4.1



รูปที่ 4.1 วงจรสัญญาณผ่านใช้ไอซีเบอร์ 4N26

แต่เมื่อระบบทำงานโดยวงจรส่วนนี้ต่อกับคู่สายแล้ว จะไม่สามารถจับการวางหูได้เมื่อมีการวางหู ดังนั้นจึงเปลี่ยนมาใช้ค่าความต้านทานและตัวเก็บประจุต่ออนุกรมกับคู่สายโทรศัพท์แทน โดยจะทำงานเมื่อมีการยกหูโทรศัพท์เท่านั้น จากการทดลองจะใช้ค่าความต้านทานมากที่สุดเท่าที่จะหาได้ โดยสามารถทำให้วงจรตรวจจับสัญญาณทุกตัวทำงานได้และวงจรตัวจับสามารถจับการวางหูได้ ดังนั้นค่าความต้านทานที่ใช้เท่ากับ 22 กิโลโอห์มและค่าตัวเก็บประจุเท่ากับ 2.2 ไมโครฟารัด ซึ่งค่าความต้านทานที่มากกว่านี้แทบจะไม่มีผลกระทบกระเทือนต่อคู่สายขององค์การโทรศัพท์เลย ดังรูป 4.2



รูปที่ 4.2 วงจรผ่านสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

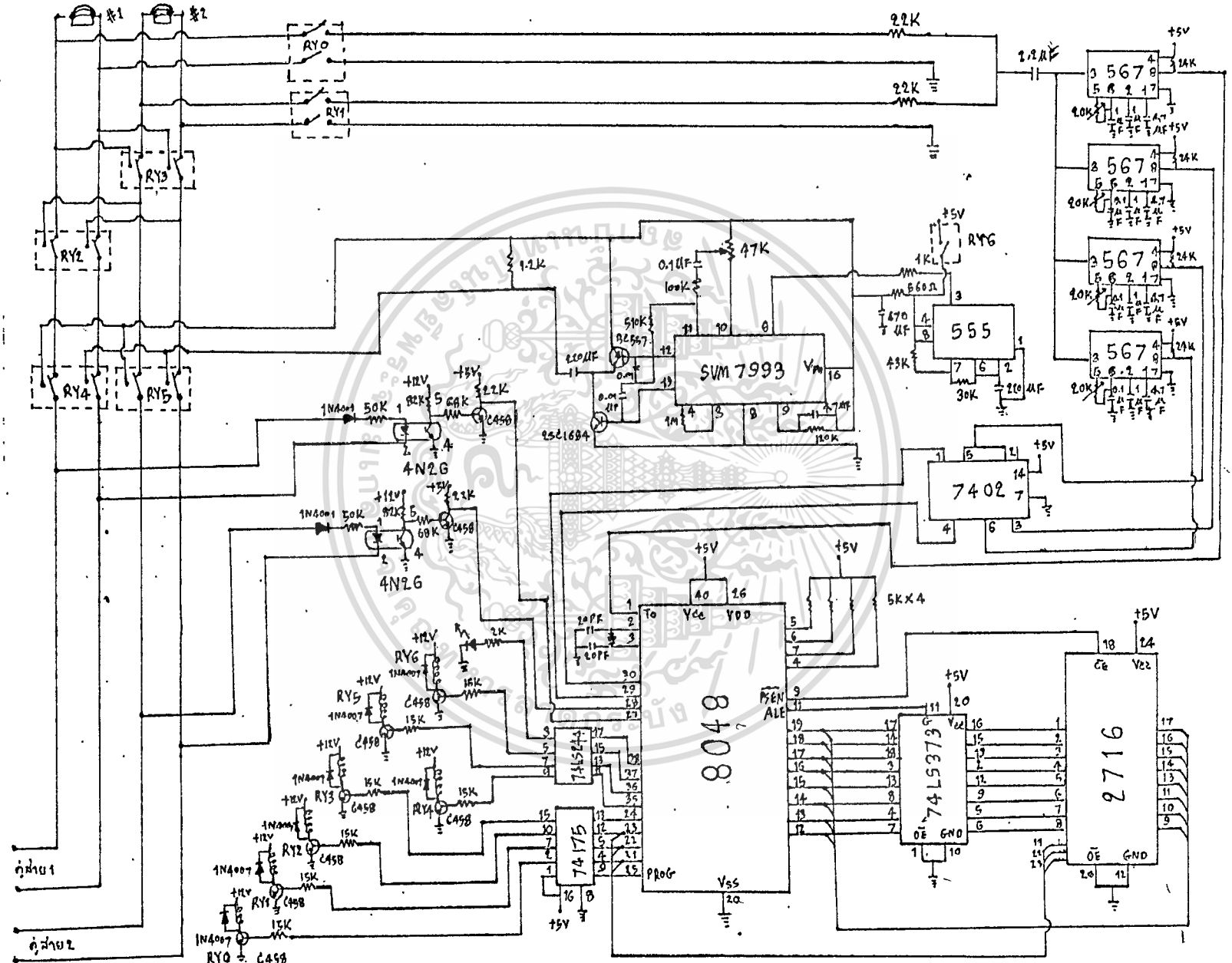
4.2 การทดลองส่วนซอฟแวร์

การทดลองส่วนนี้จะใช้วงจรภายนอกช่วยในการตรวจสอบโปรแกรม โดยใช้ RAM 2 ทาง หรือ IPROM ใช้รัน (RUN) โปรแกรมแทน EPROM ก่อน เพื่อความสะดวกในการตรวจสอบและแก้ไขโปรแกรมให้ถูกต้องและใช้การรันโปรแกรมแบบซิงเกิ้ลเสต็ป (SINGLE STEP) โดยที่สามารถควบคุมให้ไมโครโปรเซสเซอร์ 8048 ทำงานทีละคำสั่ง เพื่อความสะดวกในการติดตามการทำงานของไมโครโปรเซสเซอร์ 8048 เป็นไปตามที่ต้องการหรือไม่ ในการทดลองส่วนนี้จะทำการทดลองร่วมกับส่วนอาร์ดแวร์ โดยจะใช้สัญญาณจริงจากคู่สายโทรศัพท์และแปลงกดเป็นสัญญาณอินพุท เมื่อป้อนโปรแกรมเข้าไปเก็บใน แรม 2 ทางแล้ว รันโปรแกรมแบบซิงเกิ้ลเสต็ป ช่วงที่กำลังรันแบบซิงเกิ้ลเสต็ปอยู่นี้ ที่ขาดาต้าบัสของไมโครโปรเซสเซอร์ 8048 จะแสดงค่าแอดเดรสของโปรแกรมตามจังหวะที่ต้องการและเพื่อความสะดวกในการตรวจสอบ จะใช้ LED แสดงค่าแอดเดรสที่ทำงาน

4.3 ผลการทดลอง

การทดลองวงจรโทรศัพท์ประชุมร่วม 3 คนนี้ ขั้นแรกได้ทำการทดลองโดยการโทรศัพท์ติดต่อกันภายในชุมสายเดียวกันก่อนคือ ใช้โทรศัพท์ ภายในคณะวิศวกรรมศาสตร์ ทำการทดลอง ซึ่งก็ปรากฏใช้ได้ผลดีสามารถพูดคุยกันเข้าใจ และต่อมาก็ได้ทดลองโทรศัพท์ ติดต่อต่างชุมสายกัน คือใช้โทรศัพท์ ที่คณะวิศวกรรมศาสตร์ ติดต่อที่เบอร์ 3740173 และ 2454364 ซึ่งเป็นเบอร์ต่างชุมสายกัน การติดต่อก็ปรากฏใช้ได้ผลดี สามารถติดต่อกันได้ และพูดกันเข้าใจดี แสดงให้เห็นว่าวงจรที่ได้ทำการทดลองมานั้น สามารถใช้ได้ผลดี และมีประสิทธิภาพ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้


RY0
RY1
RY2
RY3
RY4
RY5
RY6
22K
2.2 uF
+5V
3567
20K
2.4K
SVM 7993
47K
0.1 uF
100K
555
1K
560Ω
43K
30K
220 uF
7402
4N2G
1N4001
50K
82K
68K
C458
2SC1684
2SC1567
74LS244
74175
8048
74LS373
2716
5KX4
15K
2K
20PF
PROG
PSEN
ALE
Vcc
Vdd
Vss
OE
GND
คู่สาย1
คู่สาย2

บทที่ 5

บทสรุปและวิจารณ์

เครื่องโทรศัพท์แบบประชุมร่วม 3 คนนี้ ลักษณะของวงจรจะประกอบด้วยส่วนสำคัญอยู่ 3 ส่วนคือ ส่วนตรวจจับสัญญาณจากคู่สายโทรศัพท์และจากแป้นกด, ส่วนรีเลย์ตัดต่อคู่สาย และส่วนควบคุมการตัดต่อของรีเลย์ ซึ่งส่วนควบคุมนี้จะนำไมโครโปรเซสเซอร์8048 มาประยุกต์ใช้ในการควบคุม ทำให้สามารถใช้ซอฟแวร์ควบคุมการทำงานแทนฮาร์ดแวร์ได้บางส่วน ซึ่งทำให้วงจรลดความยุ่งยากลง อย่างไรก็ตามในบางส่วนของฮาร์ดแวร์ได้มีการแก้ไขปรับปรุงใหม่ ทั้งนี้เพราะผลทางปฏิบัตินั้นอาจต่างจากค่าทางทฤษฎีบ้าง ผู้จัดทำได้พยายามปรับปรุงวงจรให้มีประสิทธิภาพมากที่สุดเท่าที่เวลาและโอกาสจะอำนวยให้ แต่ก็คิดว่าผลงานที่ออกมายังไม่ค่อยน่าพอใจนัก คือวงจรนี้ยังสามารถที่จะพัฒนาให้มีความสามารถมากกว่านี้อีก เช่น อาจใช้ประชุมร่วมได้มากคนกว่านี้หรือ ใช้เก็บเบอร์โทรศัพท์ได้ ฯลฯ อย่างไรก็ตามก็มั่นใจว่าโครงงานที่ทำนี้สามารถนำไปใช้งานได้ดีและเป็นประโยชน์บ้างไม่มากก็น้อย ซึ่งในอนาคตข้างหน้าความต้องการการประชุมร่วมทางโทรศัพท์คงจะมีเพิ่มขึ้นแน่นอน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                        0900            .OR 000H
                        0910            .TA 900H
0000- 04 10             0920            JMP T
                        0930            .OR 010H
                        0940            .TA 910H
0010- 27                1000 T          CLR A
0011- 3A                1010            OUTL P2,A
0012- 23 FF             1020 ADD0       MOV A,#0FFH
0014- 39                1030            OUTL P1,A
0015- 09                1040            IN A,P1
0016- 37                1050            CPL A
0017- 12 1D             1060            JB0 ADD1
0019- 32 84             1070            JB1 ADD2
001B- 04 12             1080            JMP ADD0
001D- 23 01             1090 ADD1       MOV A,#01H
001F- 3C                2000            MOVD P4,A
0020- 23 FF             2010 ADD3       MOV A,#0FFH
0022- 39                2020            OUTL P1,A
0023- 09                2030            IN A,P1
0024- 12 10             2040            JB0 T
0026- 37                2050            CPL A
0027- 52 20             2060            JB2 ADD3
0029- 37                2070            CPL A
002A- 32 2E             2080            JB1 ADD5
002C- 04 20             2090            JMP ADD3
002E- 23 D9             3000 ADD5       MOV A,#0D9H
0030- 3C                3005            MOVD P4,A
0031- 3A                3010            OUTL P2,A
0032- BD 06             3011            MOV R5,#6
0034- BE FF             3012 E          MOV R6,#255
0036- BF FF             3013 D          MOV R7,#255
0038- 26 4E             3014 C          JNTO ADD25
003A- EF 38             3015            DJNZ R7,C
003C- EE 36             3016            DJNZ R6,D
003E- ED 34             3017            DJNZ R5,E
0040- 00                3020            NOP
0041- 00                3030            NOP
0042- 00                3040            NOP
0043- 23 D1             3050 ADDA       MOV A,#0D1H
0045- 3A                3060            OUTL P2,A
0046- 23 FF             3070 ADD11      MOV A,#0FFH
0048- 39                3080            OUTL P1,A
0049- 09                3090            IN A,P1
004A- 32 2E             3091            JB1 ADD5
004C- 04 46             3092            JMP ADD11
004E- 26 4E             3095 ADD25      JNTO ADD25
0050- 23 FF             4000 ADD13      MOV A,#0FFH
0052- 39                4010            OUTL P1,A
0053- 09                4020            IN A,P1
0054- 00                4030            NOP
0055- 52 43             4035            JB2 ADDA
0057- 36 50             4040            JT0 ADD13
0059- 27                4050            CLR A
```

รนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้าน

```
005A- 17          4060 ADD15   INC A
005B- 26 5A       4070         JNTO ADD15
005D- 13 9C       4080         ADDC A,#156
005F- F6 6B       4090         JC ADD19
0061- 23 FF       5000 ADD17   MOV A,#0FFH
0063- 39          5010         OUTL P1,A
0064- 09          5020         IN A,P1
0065- 52 43       5030         JB2 ADDA
0067- 72 1D       5040         JB3 ADD1
0069- 04 61       5050         JMP ADD17
006B- 23 FF       5060 ADD19   MOV A,#0FFH
006D- 39          5070         OUTL P1,A
006E- 09          5080         IN A,P1
006F- 52 75       5090         JB2 ADD21
0071- 72 1D       5100         JB3 ADD1
0073- 04 6B       5110         JMP ADD19
0075- 23 89       5115 ADD21   MOV A,#089H
0077- 3C          5120         MOVD P4,A
0078- 3A          5130         OUTL P2,A
0079- 23 FF       5140 ADD23   MOV A,#0FFH
007B- 39          5150         OUTL P1,A
007C- 09          5160         IN A,P1
007D- 37          5170         CPL A
007E- 12 79       5180         JB0 ADD23
0080- 00          5190         NOP
0081- 00          5200         NOP
0082- 04 10       5210         JMP T
0084- 23 02       5220 ADD2    MOV A,#02H
0086- 3C          5230         MOVD P4,A
0087- 23 FF       5240 ADD4    MOV A,#0FFH
0089- 39          5250         OUTL P1,A
008A- 09          5260         IN A,P1
008B- 32 10       5270         JB1 T
008D- 37          5280         CPL A
008E- 52 87       5290         JB2 ADD4
0090- 37          5300         CPL A
0091- 12 95       5310         JB0 ADD6
0093- 04 87       5320         JMP ADD4
0095- 23 E6       5330 ADD6    MOV A,#0E6H
0097- 3C          5335         MOVD P4,A
0098- 3A          5340         OUTL P2,A
0099- 00          5350         NOP
009A- BA 06       5360         MOV R2,#6
009C- BB FF       5370 H       MOV R3,#255
009E- BC FF       5371 G       MOV R4,#255
00A0- 26 B3       5372 F       JNTO ADD26
00A2- EC A0       5373         DJNZ R4,F
00A4- EB 9E       5374         DJNZ R3,G
00A6- ED 9C       5375         DJNZ R5,H
00A8- 23 E2       5380 ADDB    MOV A,#0E2H
00AA- 3A          5390         OUTL P2,A
00AB- 23 FF       5400 ADD12   MOV A,#0FFH
00AD- 39          5410         OUTL P1,A
00AE- 09          5411         IN A,P1
00AF- 12 95       5412         JB0 ADD6
00B1- 04 AB       5413         JMP ADD12
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการ
ค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
00B3- 26 D3      5415 ADD26  JNTO ADD26
00B5- 23 FF      5420 ADD14  MOV A,#0FFH
00B7- 39         5430        OUTL P1,A
00B8- 09         5440        IN A,P1
00B9- 00         5450        NOP
00BA- 52 A8      5455        JB2 ADDB
00BC- 36 B5      5460        JTO ADD14
00BE- 27         5470        CLR A
00BF- 17         5480 ADD16  INC A
00C0- 26 BF      5490        JNTO ADD16
00C2- 13 9C      5500        ADDC A,#156
00C4- F6 D0      5510        JC ADD20
00C6- 23 FF      5520 ADD18  MOV A,#0FFH
00C8- 39         5530        OUTL P1,A
00C9- 09         5540        IN A,P1
00CA- 52 A8      5550        JB2 ADDB
00CC- 72 84      5560        JB3 ADD2
00CE- 04 C6      5570        JMP ADD18
00D0- 23 FF      5580 ADD20  MOV A,#0FFH
00D2- 39         5590        OUTL P1,A
00D3- 09         5600        IN A,P1
00D4- 52 DA      5610        JB2 ADD22
00D6- 72 84      5620        JB3 ADD2
00D8- 04 D0      5630        JMP ADD20
00DA- 23 86      5640 ADD22  MOV A,#086H
00DC- 3C         5645        MOVD P4,A
00DD- 3A         5650        OUTL P2,A
00DE- 23 FF      5660 ADD24  MOV A,#0FFH
00E0- 39         5670        OUTL P1,A
00E1- 09         5680        IN A,P1
00E2- 37         5690        CPL A
00E3- 12 DE      5700        JB0 ADD24
00E5- 04 10      5710        JMP T
```

โปรแกรมที่ใช้งานเครื่องโทรศัพท์ประจุมรวม 3 คน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านกา
ม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใ

ภาคผนวก

กสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการ
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

8048/8748/8035
SINGLE COMPONENT 8-BIT MICROCOMPUTER

*8048 Mask Programmable ROM
*8748 User Programmable/Erasable EPROM
*8035 External ROM or EPROM

- 8-Bit CPU, ROM, RAM, I/O in Single Package
- Interchangeable ROM and EPROM Versions
- Single 5V Supply
- 2.5 μsec and 5.0 μsec Cycle Versions All Instructions 1 or 2 Cycles.
- Over 90 Instructions: 70% Single Byte
- 1K x 8 ROM/EPROM
  64 x 8 RAM
  27 I/O Lines
- Interval Timer/Event Counter
- Easily Expandable Memory and I/O
- Compatible with MCS-80™ Peripherals
- Single Level Interrupt

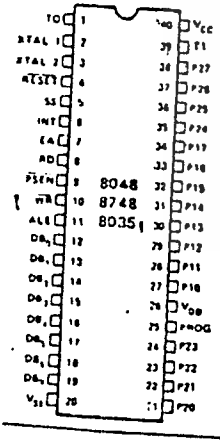
The Intel® 8048/8748/8035 is a totally self-sufficient 8-bit parallel computer fabricated on a single silicon chip using Intel's N-channel silicon gate MOS process.

The 8048 contains a 1K x 8 program memory, a 64 x 8 RAM data memory, 27 I/O lines, and an 8-bit timer/counter in addition to on board oscillator and clock circuits. For systems that require extra capability, the 8048 can be expanded using standard memories and MCS-80™ (8080A) peripherals. The 8035 is the equivalent of an 8048 without program memory.

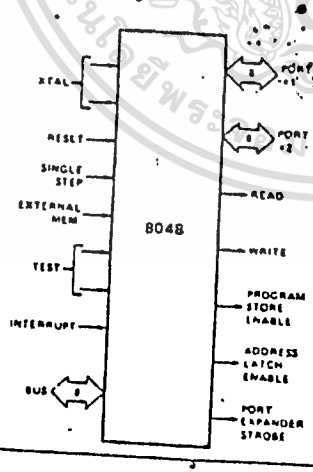
To reduce development problems to a minimum and provide maximum flexibility, three interchangeable pin-compatible versions of this single component microcomputer exist: the 8748 with user-programmable and erasable EPROM program memory for prototype and preproduction systems, the 8048 with factory-programmed mask ROM program memory for low-cost high volume production, and the 8035 without program memory for use with external program memories.

This microprocessor is designed to be an efficient controller as well as an arithmetic processor. The 8048 has extensive bit handling capability as well as facilities for both binary and BCD arithmetic. Efficient use of program memory results from an instruction set consisting mostly of single byte instructions and no instructions over two bytes in length.

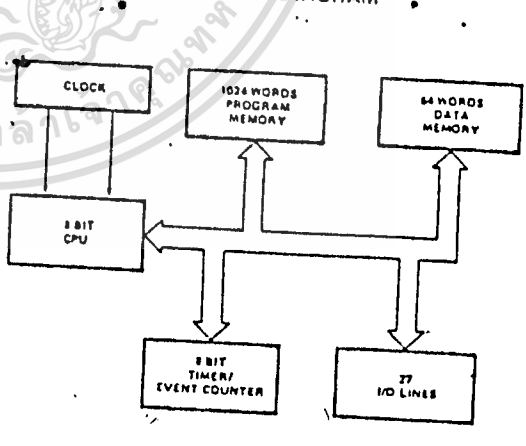
PIN CONFIGURATION



LOGIC SYMBOL



BLOCK DIAGRAM



ABSOLUTE MAXIMUM RATINGS*

Ambient Temperature Under Bias ..... 0°C to 70°C
Storage Temperature ..... -65°C to +150°C
Voltage On Any Pin With Respect to Ground ..... -0.5V to +7V
Power Dissipation ..... 1.5 Watt

COMMENT
Stresses above those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied.

D.C. AND OPERATING CHARACTERISTICS T_A = 0°C to 70°C, V_{CC} = V_{DD} = +5V ±10%*, V_{SS} = 0V

Symbol	Parameter	Limits Min.	Typ.	Max.	Unit	Test Conditions
V_{IL}	Input Low Voltage (All Except XTAL1, XTAL2)	-.5		.8	V	
V_{IH}	Input High Voltage (All Except XTAL1,XTAL2,$\overline{RESET}$)	2.0		V_{CC}	V	
V_{IH1}	Input High Voltage ($\overline{RESET}$,XTAL1)	3.0		V_{CC}	V	
V_{OL}	Output Low Voltage (BUS, $\overline{RD}$, $\overline{WR}$, $\overline{PSEN}$, ALE)			.45	V	I_{OL} = 2.0mA
V_{OL1}	Output Low Voltage (All Other Outputs Except PROG)			.45	V	I_{OL} = 1.6mA
V_{OH}	Output High Voltage (BUS, $\overline{RD}$, $\overline{WR}$, $\overline{PSEN}$, ALE)	2.4			V	I_{OH} = 100μA
V_{OH1}	Output High Voltage (All Other Outputs)	2.4			V	I_{OH} = 50μA
I_{IL}	Input Leakage Current (T1, EA, $\overline{INT}$)			±10	μA	$V_{SS} \leq V_{IN} \leq V_{CC}$
I_{OL}	Output Leakage Current (Bus, T0) (High Impedance State)			-10	μA	$V_{CC} \geq V_{IN} \geq V_{SS}$ +.45
I_{DD}	Power Down Supply Current		10	25	mA	T_A = 25°C
$I_{DD} + I_{CC}$	Total Supply Current		65	135	mA	T_A = 25°C

A.C. CHARACTERISTICS T_A = 0°C to 70°C, V_{CC} = V_{DD} = +5V ±10%*, V_{SS} = 0V

Symbol	Parameter	8048/8748/8035 Min.	Max.	8748-8 .8035-8 Min.	Max.	Unit	Conditions
t_{LL}	ALE Pulse Width	400		800		ns	
t_{AL}	Address Setup to ALE	150		150		ns	
t_{LA}	Address Hold from ALE	80		80		ns	
t_{CC}	Control Pulse Width ($\overline{PSEN}$, $\overline{RD}$, $\overline{WR}$)	900		1800		ns	
t_{DW}	Data Set-Up Before $\overline{WR}$	500		1000		ns	
t_{WD}	Data Hold After $\overline{WR}$	120		120		ns	C_L = 20pF
t_{CY}	Cycle Time	2.5	15.0	5.0	15.0	μs	6 MHz XTAL (3 MHz XTAL for -8)
t_{DR}	Data Hold	0	200	0	200	ns	
t_{RD}	$\overline{PSEN}$, $\overline{RD}$ to Data In		500		1000	ns	
t_{AW}	Address Setup to $\overline{WR}$	230		260		ns	
t_{AD}	Address Setup to Data In		950		1900	ns	
t_{AFC}	Address Float to $\overline{RD}$, $\overline{PSEN}$	0		0		ns	

A.C. TEST CONDITIONS

Control Outputs: C_L = 80 pF, 2.2K to V_{SS}, 4.3K to V_{CC}
BUS Outputs: C_L = 150 pF, 2.2K to V_{SS}, 4.3K to V_{CC}
t_{CY} = 2.5μs

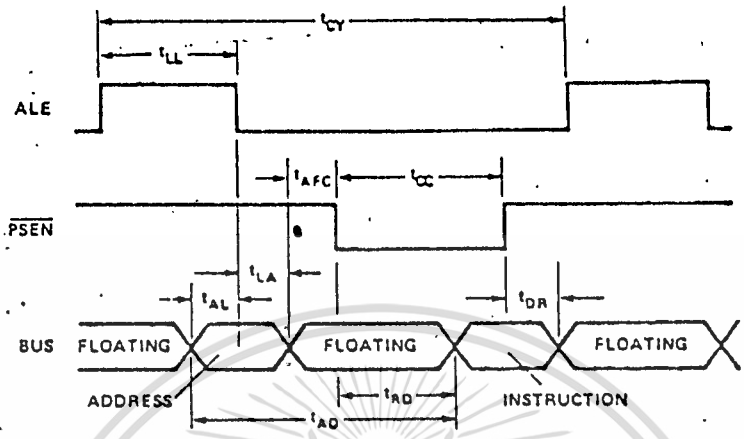
*Standard 8748 and 8035 ±5%, ±10% available.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการ

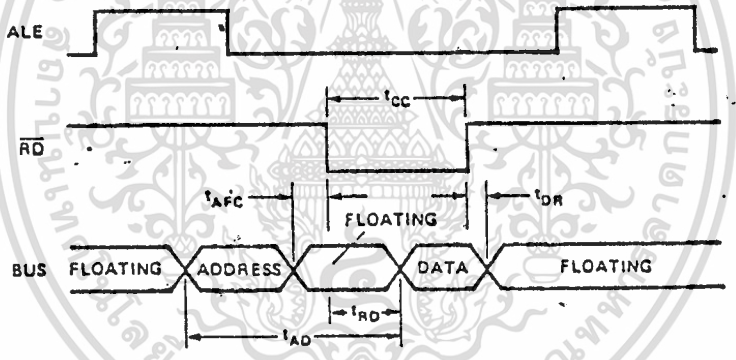
PRELIMINARY
This is not a final specification. Some parametric limits are subject to change.

WAVEFORMS

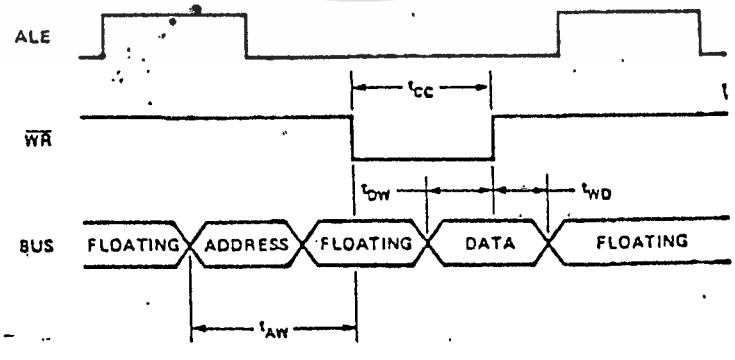
INSTRUCTION FETCH FROM EXTERNAL PROGRAM MEMORY



READ FROM EXTERNAL DATA MEMORY



WRITE TO EXTERNAL DATA MEMORY



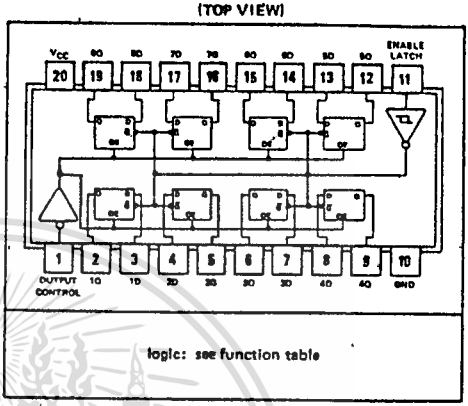
TTL
MSI

TYPES SN54LS373, SN54LS374, SN54S373, SN54S374, SN74LS373, SN74LS374, SN74S373, SN74S374 OCTAL D-TYPE TRANSPARENT LATCHES AND EDGE-TRIGGERED FLIP-FLOPS

BULLETIN NO. DL-S 12350, OCTOBER 1976 – REVISED JUNE 1979

- Choice of 8 Latches or 8 D-Type Flip-Flops In a Single Package
- 3-State Bus-Driving Outputs
- Full Parallel-Access for Loading
- Buffered Control Inputs
- Clock/Enable Input Has Hysteresis to Improve Noise Rejection
- P-N-P Inputs Reduce D-C Loading on Data Lines ('S373 and 'S374)
- SN54LS363 and SN74LS364 Are Similar But Have Higher V_{OH} For MOS Interface

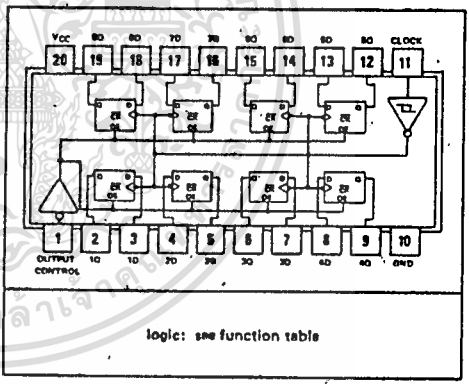
SN54LS373, SN54S373 . . . J PACKAGE
SN74LS373, SN74S373 . . . J OR N PACKAGE
(TOP VIEW)



'LS373, 'S373
FUNCTION TABLE

OUTPUT ENABLE	ENABLE LATCH	D	OUTPUT
L	H	H	H
L	H	L	L
L	L	X	Q_0
H	X	X	Z

SN54LS374, SN54S374 . . . J PACKAGE
SN74LS374, SN74S374 . . . J OR N PACKAGE
(TOP VIEW)



'LS374, 'S374
FUNCTION TABLE

OUTPUT ENABLE	CLOCK	D	OUTPUT
L	↑	H	H
L	↑	L	L
L	L	X	Q_0
H	X	X	Z

See explanation of function tables on page 1-13.

Description

These 8-bit registers feature totem-pole three-state outputs designed specifically for driving highly-capacitive or relatively low-impedance loads. The high-impedance third state and increased high-logic-level drive provide these registers with the capability of being connected directly to and driving the bus lines in a bus-organized system without need for interface or pull-up components. They are particularly attractive for implementing buffer registers, I/O ports, bidirectional bus drivers, and working registers.

The eight latches of the 'LS373 and 'S373 are transparent D-type latches meaning that while the enable (G) is high the Q outputs will follow the data (D) inputs. When the enable is taken low the output will be latched at the level of the data that was set up.

Copyright © 1979 by Texas Instruments Incorporated

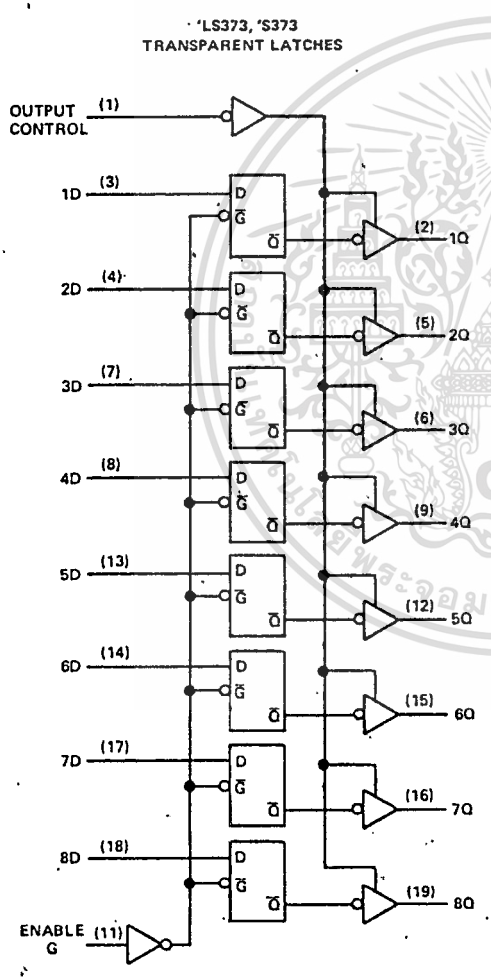
TEXAS INSTRUMENTS
INCORPORATED
POST OFFICE BOX 225012 • DALLAS, TEXAS 75265

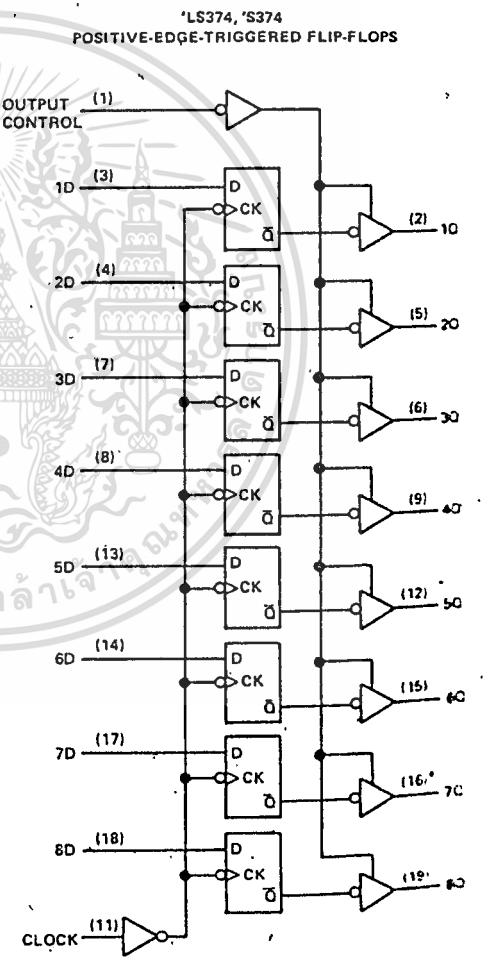
description (continued)

The eight flip-flops of the 'LS374 and 'S374 are edge-triggered D-type flip-flops. On the positive transition of the clock, the Q outputs will be set to the logic states that were setup at the D inputs.

Schmitt-trigger buffered inputs at the enable/clock lines simplify system design as ac and dc noise rejection is improved by typically 400 mV due to the input hysteresis. A buffered output control input can be used to place the eight outputs in either a normal logic state (high or low logic levels) or a high-impedance state. In the high-impedance state the outputs neither load nor drive the bus lines significantly.

The output control does not affect the internal operation of the latches or flip-flops. That is, the old data can be retained or new data can be entered even while the outputs are off.

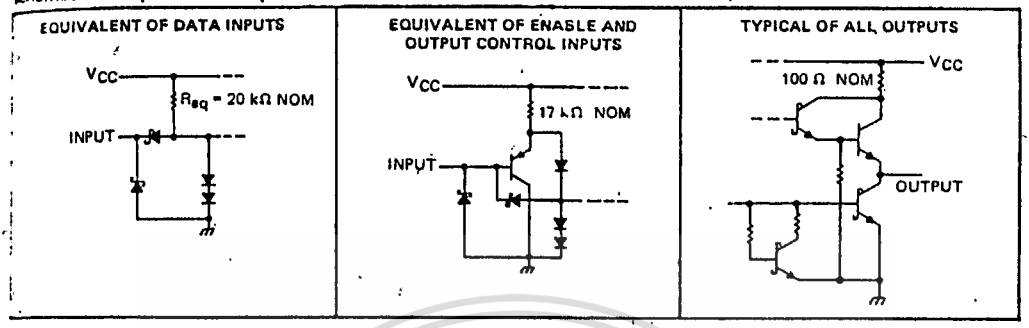




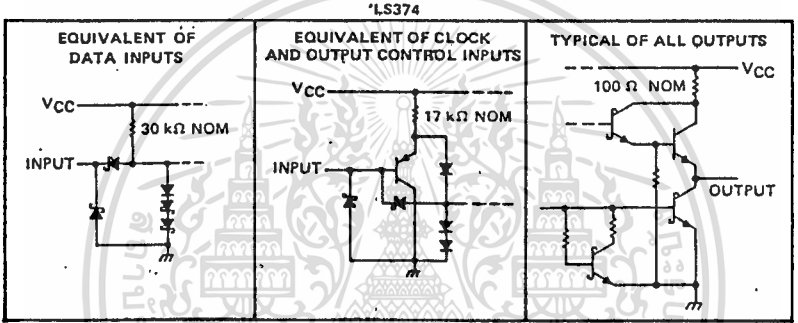
TEXAS INSTRUMENTS
INCORPORATED
POST OFFICE BOX 5012 • DALLAS, TEXAS 75222

schematic of inputs and outputs

'LS373



'LS374



absolute maximum ratings over operating free-air temperature range (unless otherwise noted)

Supply voltage, V_{CC} (see Note 1) . . . . . 7 V
Input voltage . . . . . 7 V
Off-state output voltage . . . . . 7 V
Operating free-air temperature range: SN54LS' . . . . . −55°C to 125°C
SN74LS' . . . . . 0°C to 70°C
Storage temperature range . . . . . −65°C to 150°C

NOTE 1: Voltage values are with respect to network ground terminal.

recommended operating conditions

		SN54LS'			SN74LS'			UNIT
		MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, V_{CC}		4.5	5	5.5	4.75	5	5.25	V
High-level output voltage, V_{OH}				5.5			5.5	V
High-level output current, I_{OH}				−1			−2.6	mA
Width of clock/enable pulse, t_w	High	15			15			ns
	Low	15			15			
Data setup time, t_{su}	'LS373	5↓			5↓			ns
	'LS374	20↑			20↑			
Data hold time, t_h	'LS373	20↓			20↓			ns
	'LS374	0↑			0↑			
Operating free-air temperature, T_A		−55		125	0		70	°C

† The arrow indicates the transition of the clock/enable input used for reference: ↑ for the low-to-high transition, ↓ for the high-to-low transition.

electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER		TEST CONDITIONS†		SN54LS' MIN	SN54LS' TYP‡	SN54LS' MAX	SN74LS' MIN	SN74LS' TYP‡	SN74LS' MAX	UNIT
V_{IH}	High-level input voltage			2			2			V
V_{IL}	Low-level input voltage					0.7			0.8	V
V_{IK}	Input clamp voltage	V_{CC} = MIN, I_I = −18 mA				−1.5			−1.5	V
V_{OH}	High-level output voltage	V_{CC} = MIN, V_{IH} = 2 V, V_{IL} = $V_{IL\,max}$, I_{OH} = MAX		2.4	3.4		2.4	3.1		V
V_{OL}	Low-level output voltage	V_{CC} = MIN, V_{IH} = 2 V, V_{IL} = $V_{IL\,max}$	I_{OL} = 12 mA		0.25	0.4		0.25	0.4	V
			I_{OL} = 24 mA					0.35	0.5	
I_{OZH}	Off-state output current, high-level voltage applied	V_{CC} = MAX, V_{IH} = 2 V, V_O = 2.7 V				20			20	μA
I_{OZL}	Off-state output current, low-level voltage applied	V_{CC} = MAX, V_{IH} = 2 V, V_O = 0.4 V				−20			−20	μA
I_I	Input current at maximum input voltage	V_{CC} = MAX, V_I = 7 V				0.1			0.1	mA
I_{IH}	High-level input current	V_{CC} = MAX, V_I = 2.7 V				20			20	μA
I_{IL}	Low-level input current	V_{CC} = MAX, V_I = 0.4 V				−0.4			−0.4	mA
I_{OS}	Short-circuit output current§	V_{CC} = MAX		−30		−130	−30		−130	mA
I_{CC}	Supply current	V_{CC} = MAX, Output control at 4.5 V	'LS373		24	40		24	40	mA
			'LS374		27	40		27	40	

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.
‡ All typical values are at V_{CC} = 5 V, T_A = 25°C.
§ Not more than one output should be shorted at a time and duration of the short circuit should not exceed one second.

switching characteristics, V_{CC} = 5 V, T_A = 25°C

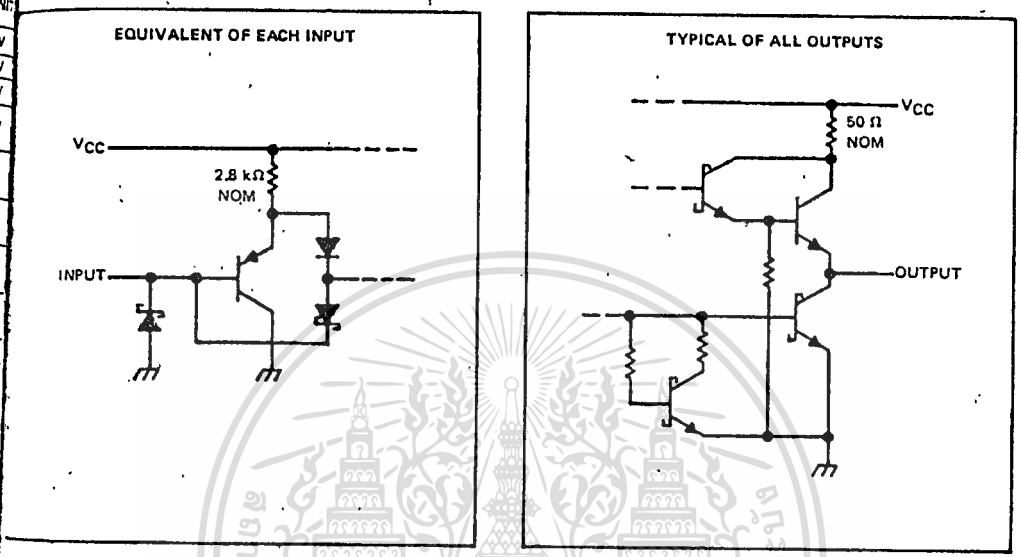
PARAMETER	FROM (INPUT)	TO (OUTPUT)	TEST CONDITIONS	'LS373 MIN	'LS373 TYP	'LS373 MAX	'LS374 MIN	'LS374 TYP	'LS374 MAX	UNIT
f_{max}			C_L = 45 pF, R_L = 667 Ω, See Notes 2 and 3				35	50		MHz
t_{PLH}	Data	Any Q			12	18				ns
t_{PHL}					12	18				
t_{PLH}	Clock or enable	Any Q			20	30		15	28	ns
t_{PHL}					18	30		19	28	
t_{PZH}	Output Control	Any Q			15	28		20	28	ns
t_{PZL}					25	36		21	28	
t_{PHZ}	Output Control	Any Q	C_L = 5 pF, R_L = 667 Ω, See Note 3		12	20		12	20	ns
t_{PLZ}					15	25		14	25	

NOTES: 2. Maximum clock frequency is tested with all outputs loaded.
3. See load circuits and waveforms on page 3-11.

f_{max} = maximum clock frequency
t_{PLH} = propagation delay time, low-to-high-level output
t_{PHL} = propagation delay time, high-to-low-level output
t_{PZH} = output enable time to high level
t_{PZL} = output enable time to low level
t_{PHZ} = output disable time from high level
t_{PLZ} = output disable time from low level

TEXAS INSTRUMENTS
INCORPORATED
POST OFFICE BOX 5012 • DALLAS, TEXAS 75222

schematic of inputs and outputs



absolute maximum ratings over operating free-air temperature range (unless otherwise noted)

Supply voltage, V_{CC} (see Note 1) . . . . . 7 V
Input voltage . . . . . 5.5 V
Off-state output voltage . . . . . 5.5 V
Operating free-air temperature range: SN54S' . . . . . −55°C to 125°C
SN74S' . . . . . 0°C to 70°C
Storage temperature range . . . . . −65°C to 150°C

NOTE 1: Voltage values are with respect to network ground terminal.

recommended operating conditions

		SN54S'			SN74S'			UNIT
		MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, V_{CC}		4.5	5	5.5	4.75	5	5.25	V
High-level output voltage, V_{OH}				5.5			5.5	V
High-level output current, I_{OH}				−2			−6.5	mA
Width of clock/enable pulse, t_w	High	6			6			ns
	Low	7.3			7.3			
Data setup time, t_{su}	'S373	0↓			0↓			ns
	'S374	5↑			5↑			
Data hold time, t_h	'S373	10↓			10↓			ns
	'S374	2↑			2↑			
Operating free-air temperature, T_A		−55		125	0		70	°C

† The arrow indicates the transition of the clock/enable input used for reference: ↑ for the low-to-high transition, ↓ for the high-to-low transition.

TYPES SN54S373, SN54S374, SN74S373, SN74S374
OCTAL D-TYPE TRANSPARENT LATCHES AND EDGE-TRIGGERED FLIP-FLOPS

electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER			TEST CONDITIONS†			MIN	TYP‡	MAX	UNIT
V_{IH}	High-level input voltage					2			V
V_{IL}	Low-level input voltage							0.8	V
V_{IK}	Input clamp voltage		V_{CC} = MIN,	I_I = −18 mA				−1.2	V
V_{OH}	High-level output voltage	SN54S'	V_{CC} = MIN,	V_{IH} = 2 V,		2.4	3.4		V
		SN74S'	V_{IL} = 0.8 V,	I_{OH} = MAX		2.4	3.1		
V_{OL}	Low-level output voltage		V_{CC} = MIN,	V_{IH} = 2 V,				0.5	V
			V_{IL} = 0.8 V,	I_{OL} = 20 mA					
I_{OZH}	Off-state output current, high-level voltage applied		V_{CC} = MAX,	V_{IH} = 2 V,				50	μA
			V_O = 2.4 V						
I_{OZL}	Off-state output current, low-level voltage applied		V_{CC} = MAX,	V_{IH} = 2 V,				−50	μA
			V_O = 0.5 V						
I_I	Input current at maximum input voltage		V_{CC} = MAX,	V_I = 5.5 V				1	mA
I_{IH}	High-level input current		V_{CC} = MAX,	V_I = 2.7 V				50	μA
I_{IL}	Low-level input current		V_{CC} = MAX,	V_I = 0.5 V				−250	μA
I_{OS}	Short-circuit output current§		V_{CC} = MAX			−40		−100	mA
I_{CC}	Supply current		V_{CC} = MAX		'S373		105	160	mA
					'S374		90	140	

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.
‡ All typical values are at V_{CC} = 5 V, T_A = 25°C.
§ Not more than one output should be shorted at a time and duration of the short circuit should not exceed one second.

switching characteristics, V_{CC} = 5 V, T_A = 25°C

PARAMETER	FROM (INPUT)	TO (OUTPUT)	TEST CONDITIONS	'S373			'S374			UNIT
				MIN	TYP	MAX	MIN	TYP	MAX	
f_{max}							75	100		MHz
t_{PLH}	Data	Any Q	C_L = 15 pF, R_L = 280 Ω, See Notes 2 and 4		7	12				ns
t_{PHL}					7	12				
t_{PLH}	Clock or enable	Any Q			7	14		8	15	ns
t_{PHL}					12	18		11	17	
t_{PZH}	Output Control	Any Q			8	15		8	15	ns
t_{PZL}					11	18		11	18	
t_{PHZ}	Output Control	Any Q	C_L = 5 pF, R_L = 280 Ω, See Note 3		6	9		6	9	ns
t_{PLZ}					8	12		7	12	

NOTES: 2. Maximum clock frequency is tested with all outputs loaded.
4. See load circuits and waveforms on page 3-10.

f_{max} = maximum clock frequency
t_{PLH} = propagation delay time, low-to-high-level output
t_{PHL} = propagation delay time, high-to-low-level output
t_{PZH} = output enable time to high level
t_{PZL} = output enable time to low level
t_{PHZ} = output disable time from high level
t_{PLZ} = output disable time from low level

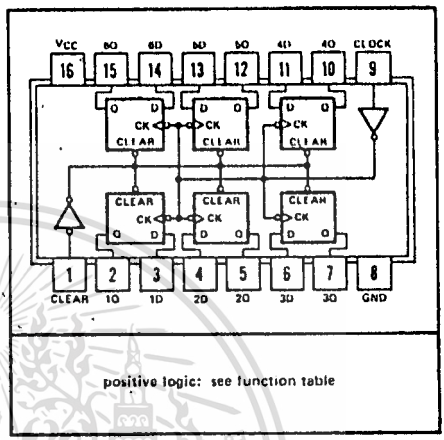
TYPES SN54174, SN54175, SN54LS174, SN54LS175, SN54S174, SN54S175, SN74174, SN74175, SN74LS174, SN74LS175, SN74S174, SN74S175
HEX/QUADRUPLE D-TYPE FLIP-FLOPS WITH CLEAR

BULLETIN NO. DL-S 7611803, DECEMBER 1972—REVISED OCTOBER 1976

'174, 'LS174, 'S174 . . . HEX D-TYPE FLIP-FLOPS
'175, 'LS175, 'S175 . . . QUADRUPLE D-TYPE FLIP-FLOPS

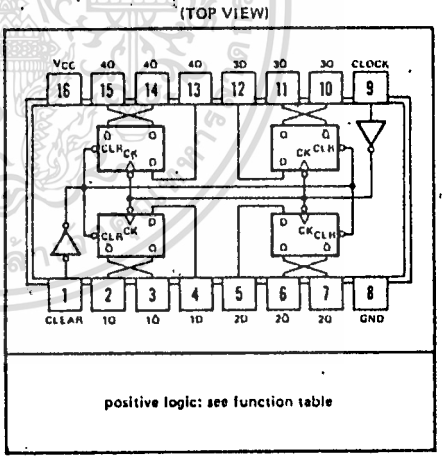
- '174, 'LS174, 'S174 Contain Six Flip-Flops with Single-Rail Outputs
- '175, 'LS175, 'S175 Contain Four Flip-Flops with Double-Rail Outputs
- Three Performance Ranges Offered: See Table Lower Right
- Buffered Clock and Direct Clear Inputs
- Individual Data Input to Each Flip-Flop
- Applications include:
  - Buffer/Storage Registers
  - Shift Registers
  - Pattern Generators

SN54174, SN54LS174, SN54S174 . . . J OR W PACKAGE
SN74174, SN74LS174, SN74S174 . . . J OR N PACKAGE
(TOP VIEW)



positive logic: see function table

SN54175, SN54LS175, SN54S175 . . . J OR W PACKAGE
SN74175, SN74LS175, SN74S175 . . . J OR N PACKAGE
(TOP VIEW)



positive logic: see function table

Description

These monolithic, positive-edge-triggered flip-flops utilize TTL circuitry to implement D-type flip-flop logic. All have a direct clear input, and the '175, 'LS175, and 'S175 feature complementary outputs from each flip-flops.

Information at the D inputs meeting the setup time requirements is transferred to the Q outputs on the positive-going edge of the clock pulse. Clock triggering occurs at a particular voltage level and is not directly related to the transition time of the positive-going pulse. When the clock input is at either the high or low level, the D input signal has no effect at the output.

These circuits are fully compatible for use with most TTL or DTL circuits.

FUNCTION TABLE
(EACH FLIP-FLOP)

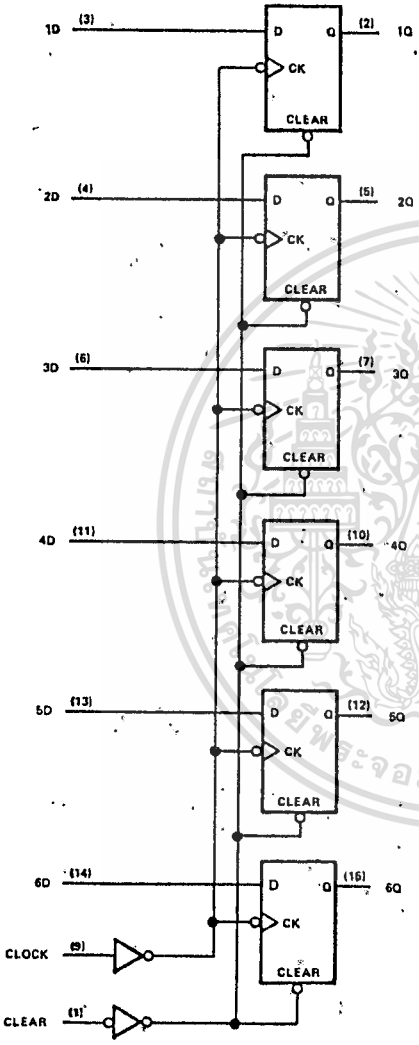
INPUTS			OUTPUTS	
CLEAR	CLOCK	D	Q	$\bar{Q}$‡
L	X	X	L	H
H	↑	H	H	L
H	↑	L	L	H
H	L	X	Q_0	$\bar{Q}_0$

H = high level (steady state)
L = low level (steady state)
X = irrelevant
↑ = transition from low to high level
Q_0 = the level of Q before the indicated steady-state input conditions were established.
‡ = '175, 'LS175, and 'S175 only

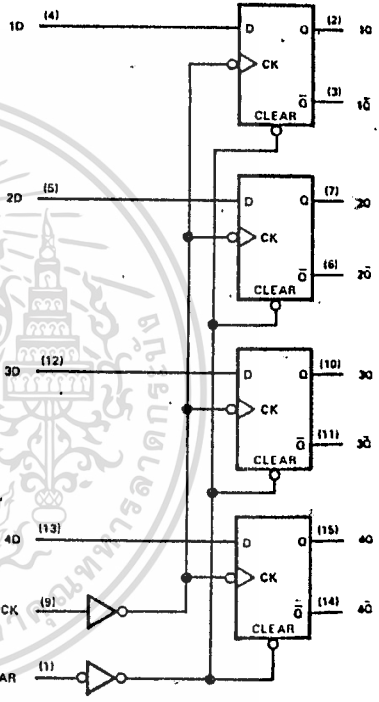
TYPES	TYPICAL MAXIMUM CLOCK FREQUENCY	TYPICAL POWER DISSIPATION PER FLIP-FLOP
'174, '175	35 MHz	38 mW
'LS174, 'LS175	40 MHz	14 mW
'S174, 'S175	110 MHz	75 mW

functional block diagrams

'174, 'LS174, 'S174



'175, 'LS175, 'S175

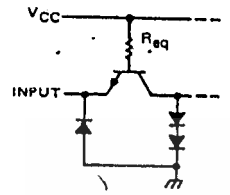


. . . dynamic input activated by transition from a high level to a low level.

schematics of inputs and outputs

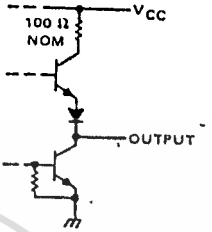
SN54174, SN54175, SN74174, SN74175

EQUIVALENT OF ALL INPUTS



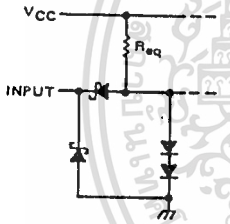
Clock, D: R_{eq} = 8 kΩ NOM
Clear: R_{eq} = 4 kΩ NOM

TYPICAL OF ALL OUTPUTS



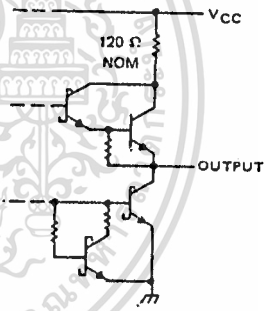
SN54LS174, SN54LS175, SN74LS174, SN74LS175

EQUIVALENT OF ALL INPUTS



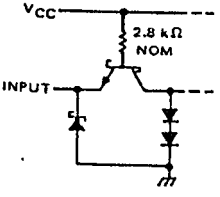
Clock: R_{eq} = 17 kΩ NOM
Clear, D: R_{eq} = 20 kΩ NOM

TYPICAL OF ALL OUTPUTS

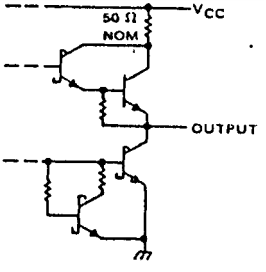


SN54S174, SN54S175, SN74S174, SN74S175

EQUIVALENT OF ALL INPUTS



TYPICAL OF ALL OUTPUTS



absolute maximum ratings over operating free-air temperature range (unless otherwise noted)

Supply voltage, V_{CC} (see Note 1) . . . . . 7 V
Input voltage . . . . . 5.5 V
Operating free-air temperature range: SN54174, SN54175 Circuits . . . . . −55°C to 125°C
SN74174, SN74175 Circuits . . . . . 0°C to 70°C
Storage temperature range . . . . . −65°C to 150°C

NOTE 1: Voltage values are with respect to network ground terminal.

recommended operating conditions

		SN54174, SN54175			SN74174, SN74175			UNIT
		MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, V_{CC}		4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}				−800			−800	μA
Low-level output current, I_{OL}				16			16	mA
Clock frequency, f_{clock}		0		25	0		25	MHz
Width of clock or clear pulse, t_w		20			20			ns
Setup time, t_{su}	Data input	20			20			ns
	Clear inactive-state	25			25			ns
Data hold time, t_h		5			5			ns
Operating free-air temperature, T_A		−55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER		TEST CONDITIONS†		MIN	TYP‡	MAX	UNIT
V_{IH}	High-level input voltage			2			V
V_{IL}	Low-level input voltage					0.8	V
V_{IK}	Input clamp voltage	V_{CC} = MIN, I_I = −12 mA				−1.5	V
V_{OH}	High-level output voltage	V_{CC} = MIN, V_{IH} = 2 V, V_{IL} = 0.8 V, I_{OH} = −800 μA		2.4	3.4		V
V_{OL}	Low-level output voltage	V_{CC} = MIN, V_{IH} = 2 V, V_{IL} = 0.8 V, I_{OL} = 16 mA			0.2	0.4	V
I_I	Input current at maximum input voltage	V_{CC} = MAX, V_I = 5.5 V				1	mA
I_{IH}	High-level input current	V_{CC} = MAX, V_I = 2.4 V				40	μA
I_{IL}	Low-level input current	V_{CC} = MAX, V_I = 0.4 V				−1.6	mA
I_{OS}	Short-circuit output current§	V_{CC} = MAX	SN54'	−20		−57	mA
			SN74'	−18		−57	
I_{CC}	Supply current	V_{CC} = MAX, See Note 2	'174		45	65	mA
			'175		30	45	

†For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions for the applicable device type.

‡All typical values are at V_{CC} = 5 V, T_A = 25°C.

§Not more than one output should be shorted at a time.

NOTE 2: With all outputs open and 4.5 V applied to all data and clear inputs, I_{CC} is measured after a momentary ground, then 4.5 V, is applied to clock.

switching characteristics, V_{CC} = 5 V, T_A = 25°C

PARAMETER		TEST CONDITIONS	MIN	TYP	MAX	UNIT
f_{max}	Maximum clock frequency	C_L = 15 pF, R_L = 400 Ω, See Note 3	25	35		MHz
t_{PLH}	Propagation delay time, low-to-high-level output from clear (SN54175, SN74175 only)			16	25	ns
t_{PHL}	Propagation delay time, high-to-low-level output from clear			23	35	ns
t_{PLH}	Propagation delay time, low-to-high-level output from clock			20	30	ns
t_{PHL}	Propagation delay time, high-to-low-level output from clock			24	35	ns

NOTE 3: Load circuit and voltage waveforms are shown on page 3-10.

TEXAS INSTRUMENTS
INCORPORATED
POST OFFICE BOX 5012 • DALLAS, TEXAS 75222

absolute maximum ratings over operating free-air temperature range (unless otherwise noted)

Supply voltage, V_{CC} (see Note 1) . . . . . 7 V
Input voltage . . . . . 7 V
Operating free-air temperature range: SN54LS174, SN54LS175 Circuits . . . . . −55°C to 125°C
SN74LS174, SN74LS175 Circuits . . . . . 0°C to 70°C
Storage temperature range . . . . . −65°C to 150°C

NOTE 1: Voltage values are with respect to network ground terminal.

recommended operating conditions

		SN54LS174 SN54LS175			SN74LS174 SN74LS175			UNIT
		MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, V_{CC}		4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}				−400			−400	μA
Low-level output current, I_{OL}				4			8	mA
Clock frequency, f_{clock}		0		30	0		30	MHz
Width of clock or clear pulse, t_w		20			20			ns
Setup time, t_{su}	Data input	20			20			ns
	Clear inactive-state	25			25			ns
Data hold time, t_h		5			5			ns
Operating free-air temperature, T_A		−55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER		TEST CONDITIONS†		SN54LS174 SN54LS175			SN74LS174 SN74LS175			UNIT
				MIN	TYP‡	MAX	MIN	TYP‡	MAX	
V_{IH}	High-level input voltage			2			2			V
V_{IL}	Low-level input voltage					0.7			0.8	V
V_{IK}	Input clamp voltage	V_{CC} = MIN, I_I = −18 mA				−1.5			−1.5	V
V_{OH}	High-level output voltage	V_{CC} = MIN, V_{IH} = 2 V, V_{IL} = V_{IL}max, I_{OH} = −400 μA		2.5	3.5		2.7	3.5		V
V_{OL}	Low-level output voltage	V_{CC} = MIN, V_{IH} = 2 V, V_{IL} = V_{IL} max	I_{OL} = 4 mA		0.25	0.4		0.25	0.4	V
			I_{OL} = 8 mA					0.35	0.5	
I_I	Input current at maximum input voltage	V_{CC} = MAX, V_I = 7 V				0.1			0.1	mA
I_{IH}	High-level input current	V_{CC} = MAX, V_I = 2.7 V				20			20	μA
I_{IL}	Low-level input current	V_{CC} = MAX, V_I = 0.4 V				−0.4			−0.4	mA
I_{OS}	Short-circuit output current§	V_{CC} = MAX		−20		−100	−20		−100	mA
I_{CC}	Supply current	V_{CC} = MAX, See Note 2	'LS174		16	26		16	26	mA
			'LS175		11	18		11	18	

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.
‡ All typical values are at V_{CC} = 5 V, T_A = 25°C.
§ Not more than one output should be shorted at a time, and duration of the short-circuit should not exceed one second.
NOTE 2: With all outputs open and 4.5 V applied to all data and clear inputs, I_{CC} is measured after a momentary ground, then 4.5 V, is applied to clock.

switching characteristics, V_{CC} = 5 V, T_A = 25°C

PARAMETER		TEST CONDITIONS	'LS174			'LS175			UNIT
			MIN	TYP	MAX	MIN	TYP	MAX	
f_{max}	Maximum clock frequency	C_L = 15pF, R_L = 2kΩ, See Note 4	30	40		30	40		MHz
t_{PLH}	Propagation delay time, low-to-high-level output from clear						20	30	ns
t_{PHL}	Propagation delay time, high-to-low-level output from clear			23	35		20	30	ns
t_{PLH}	Propagation delay time, low-to-high-level output from clock			20	30		13	25	ns
t_{PHL}	Propagation delay time, high-to-low-level output from clock			21	30		16	25	ns

NOTE 4: Load circuit and voltage waveforms are shown on page 3-11.

รนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้าน

absolute maximum ratings over operating free-air temperature range (unless otherwise noted)

Supply voltage, V_{CC} (see Note 1) . . . . . 7 V
Input voltage . . . . . 5.5 V
Operating free-air temperature range: SN54S174, SN54S175 Circuits . . . . . −55°C to 125°C
SN74S174, SN74S175 Circuits . . . . . 0°C to 70°C
Storage temperature range . . . . . −65°C to 150°C

NOTE 1: Voltage values are with respect to network ground terminal.

recommended operating conditions

		SN54S174, SN54S175			SN74S174, SN74S175			UNIT
		MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, V_{CC}		4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}				−1			−1	mA
Low-level output current, I_{OL}				20			20	mA
Clock frequency, f_{clock}		0		75	0		75	MHz
Pulse width, t_w	Clock	7			7			ns
	Clear	10			10			
Setup time, t_{su}	Data input	5			5			ns
	Clear inactive-state	5			5			
Data hold time, t_h		3			3			ns
Operating free-air temperature, T_A		−55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER		TEST CONDITIONS†		MIN	TYP‡	MAX	UNIT
V_{IH}	High-level input voltage			2			V
V_{IL}	Low-level input voltage					0.8	V
V_{IK}	Input clamp voltage	V_{CC} = MIN, I_I = −18 mA				−1.2	V
V_{OH}	High-level output voltage	V_{CC} = MIN, V_{IH} = 2 V, V_{IL} = 0.8 V, I_{OH} = −1 mA	SN54S'	2.5	3.4		V
			SN74S'	2.7	3.4		
V_{OL}	Low-level output voltage	V_{CC} = MIN, V_{IH} = 2 V, V_{IL} = 0.8 V, I_{OL} = 20 mA				0.5	V
I_I	Input current at maximum input voltage	V_{CC} = MAX, V_I = 5.5 V				1	mA
I_{IH}	High-level input current	V_{CC} = MAX, V_I = 2.7 V				50	μA
I_{IL}	Low-level input current	V_{CC} = MAX, V_I = 0.5 V				−2	mA
I_{OS}	Short-circuit output current§	V_{CC} = MAX		−40		−100	mA
I_{CC}	Supply current	V_{CC} = MAX, See Note 2	'174		90	144	mA
			'175		60	96	

†For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions for the applicable device type.
‡All typical values are at V_{CC} = 5 V, T_A = 25°C.
§Not more than one output should be shorted at a time, and duration of the short-circuit should not exceed one second.
NOTE 2: With all outputs open and 4.5 V applied to all data and clear inputs, I_{CC} is measured after a momentary ground, then 4.5 V, is applied to clock.

switching characteristics, V_{CC} = 5 V, T_A = 25°C

PARAMETER		TEST CONDITIONS	MIN	TYP	MAX	UNIT
f_{max}	Maximum clock frequency	C_L = 15 pF, R_L = 280 Ω, See Note 3	75	110		MHz
t_{PLH}	Propagation delay time, low-to-high-level Q output from clear (SN54S175, SN74S175 only)			10	16	ns
t_{PHL}	Propagation delay time, high-to-low-level Q output from clear			13	22	ns
t_{PLH}	Propagation delay time, low-to-high-level output from clock			8	12	ns
t_{PHL}	Propagation time, high-to-low-level output from clock			11.5	17	ns

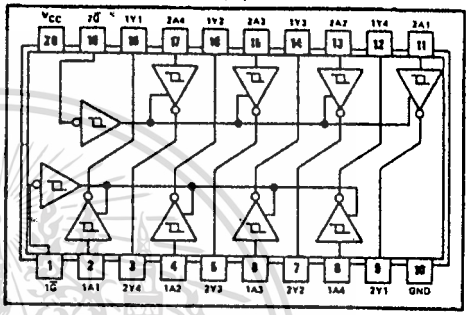
NOTE 3: Load circuit and voltage waveforms are shown on page 3-10.

TYPES SN54LS240, SN54LS241, SN54LS244, SN54S240, SN54S241, SN74LS240, SN74LS241, SN74LS244, SN74S240, SN74S241
OCTAL BUFFERS AND LINE DRIVERS WITH 3-STATE OUTPUTS

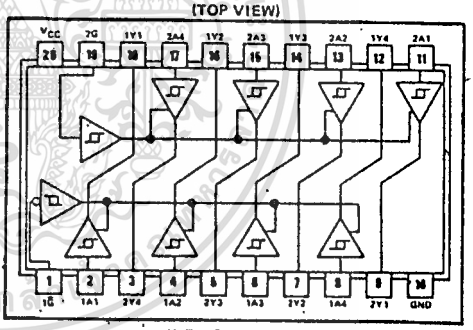
	Typical I_{OL} (Sink Current)	Typical I_{OH} (Source Current)	Typical Propagation Delay Times		Typical Enable/ Disable Times	Typical Power Dissipation (Enabled)	
			Inverting	Noninverting		Inverting	Noninverting
SN54LS'	12 mA	−12 mA	10.5 ns	12 ns	18 ns	130 mW	135 mW
SN74LS'	24 mA	−15 mA	10.5 ns	12 ns	18 ns	130 mW	135 mW
SN54S'	48 mA	−12 mA	4.5 ns	6 ns	9 ns	450 mW	538 mW
SN74S'	64 mA	−15 mA	4.5 ns	6 ns	9 ns	450 mW	538 mW

- 3-State Outputs Drive Bus Lines or Buffer Memory Address Registers
- P-N-P Inputs Reduce D-C Loading
- Hysteresis at Inputs Improves Noise Margins

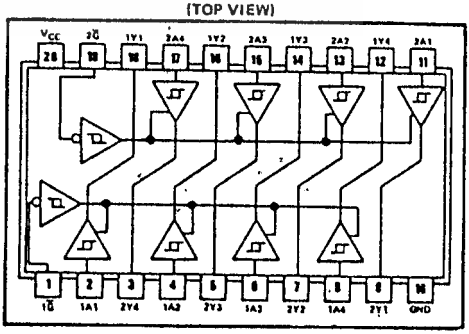
SN54LS240, SN54S240 . . . J
SN74LS240, SN74S240 . . . J OR N
(TOP VIEW)



SN54LS241, SN54S241 . . . J
SN74LS241, SN74S241 . . . J OR N
(TOP VIEW)



SN54LS244 . . . J
SN74LS244 . . . J OR N
(TOP VIEW)



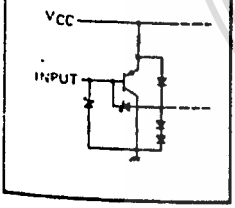
description

These octal buffers and line drivers are designed specifically to improve both the performance and density of three-state memory address drivers, clock drivers, and bus-oriented receivers and transmitters. The designer has a choice of selected combinations of inverting and noninverting outputs, symmetrical $\overline{G}$ (active-low output control) inputs, and complementary G and $\overline{G}$ inputs. These devices feature high fan-out, improved fan-in, and 400-mV noise-margin. The SN74LS' and SN74S' can be used to drive terminated lines down to 133 ohms.

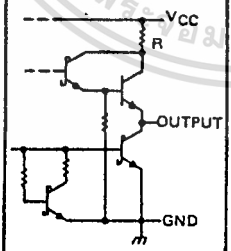
schematics of inputs and outputs

'LS240, 'LS241, 'LS244

EQUIVALENT OF EACH INPUT



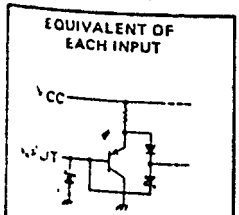
TYPICAL OF ALL OUTPUTS



'LS240, 'LS241, 'LS244;
R = 50 Ω NOM
'S240, 'S241:
R = 25 Ω NOM

'S240 'S241

EQUIVALENT OF EACH INPUT



recommended operating conditions

PARAMETER	SN54LS'			SN74LS'			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, V_{CC} (see Note 1)	4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}			−12			−15	mA
Low-level output current, I_{OL}			12			24	mA
Operating free-air temperature, T_A	−55		125	0		70	°C

NOTE 1: Voltage values are with respect to network ground terminal.

electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER		TEST CONDITIONS†		SN54LS'			SN74LS'			UNIT
				MIN	TYP‡	MAX	MIN	TYP‡	MAX	
V_{IH}	High-level input voltage			2			2			V
V_{IL}	Low-level input voltage					0.7			0.8	V
V_{IK}	Input clamp voltage	V_{CC} = MIN,	I_I = −18 mA			−1.5			−1.5	V
	Hysteresis ($V_{T+} - V_{T-}$)	V_{CC} = MIN		0.2	0.4		0.2	0.4		V
V_{OH}	High-level output voltage	V_{CC} = MIN, V_{IL} = V_{IL} max,	V_{IH} = 2 V, I_{OH} = −3 mA	2.4	3.4		2.4	3.4		V
		V_{CC} = MIN, V_{IL} = 0.5 V,	V_{IH} = 2 V, I_{OH} = MAX	2			2			
V_{OL}	Low-level output voltage	V_{CC} = MIN, V_{IH} = 2 V, V_{IL} = V_{IL} max	I_{OL} = 12 mA			0.4			0.4	V
			I_{OL} = 24 mA						0.5	
I_{OZH}	Off-state output current, high-level voltage applied	V_{CC} = MAX, V_{IH} = 2 V, V_{IL} = V_{IL} max	V_O = 2.7 V			20			20	μA
I_{OZL}	Off-state output current, low-level voltage applied		V_O = 0.4 V			−20			−20	μA
I_I	Input current at maximum input voltage	V_{CC} = MAX,	V_I = 7 V			0.1			0.1	mA
I_{IH}	High-level input current, any input	V_{CC} = MAX,	V_I = 2.7 V			20			20	μA
I_{IL}	Low-level input current	V_{CC} = MAX,	V_{IL} = 0.4 V			−0.2			−0.2	mA
I_{OS}	Short-circuit output current§	V_{CC} = MAX		−40		−225	−40		−225	mA
I_{CC}	Supply current, Outputs high	V_{CC} = MAX, Outputs open	All		17	27		17	27	mA
	Supply current, Outputs low		'LS240		26	44		26	44	
			'LS241, 'LS244		27	46		27	46	
	Supply current, All outputs disabled		'LS240		29	50		29	50	
			'LS241, 'LS244		32	54		32	54	

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.
‡ All typical values are at V_{CC} = 5 V, T_A = 25°C.
§ Not more than one output should be shorted at a time, and duration of the short-circuit should not exceed one second.

switching characteristics, V_{CC} = 5 V, T_A = 25°C

PARAMETER		TEST CONDITIONS		'LS240			'LS241, 'LS244			UNIT
				MIN	TYP	MAX	MIN	TYP	MAX	
t_{PLH}	Propagation delay time, low-to-high-level output	C_L = 45 pF, See Note 2	R_L = 667 Ω,		9	14		12	18	ns
t_{PHL}	Propagation delay time, high-to-low-level output				12	18		12	18	ns
t_{PZL}	Output enable time to low level				20	30		20	30	ns
t_{PZH}	Output enable time to high level				16	23		16	23	ns
t_{PLZ}	Output disable time from low level	C_L = 5 pF, See Note 2	R_L = 667 Ω,		16	25		16	25	ns
t_{PHZ}	Output disable time from high level				10	18		10	18	ns

NOTE 2: Load circuit and voltage waveforms are shown on page 3-11.

TEXAS INSTRUMENTS
INCORPORATED
POST OFFICE BOX 225012 • DALLAS, TEXAS 75265

recommended operating conditions

	54 FAMILY / 74 FAMILY	SERIES 54 SERIES 74 '02 MIN	'02 NOM	'02 MAX	SERIES 54 SERIES 74 '25, '27 MIN	'25, '27 NOM	'25, '27 MAX	SERIES 54L SERIES 74L 'L02 MIN	'02 NOM	'02 MAX	SERIES 54LS SERIES 74LS 'LS02, 'LS27 MIN	'LS02, 'LS27 NOM	'LS02, 'LS27 MAX	SERIES 54S SERIES 74S 'S02, 'S260 MIN	'S02, 'S260 NOM	'S02, 'S260 MAX	UNIT
Supply voltage, V_{CC}	54 Family	4.5	5	5.5	4.5	5	5.5	4.5	5	5.5	4.5	5	5.5	4.5	5	5.5	V
	74 Family	4.75	5	5.25	4.75	5	5.25	4.75	5	5.25	4.75	5	5.25	4.75	5	5.25	
High-level output current, I_{OH}	54 Family			−400			−800			−100			−400			−1000	μA
	74 Family			−400			−800			−200			−400			−1000	
Low-level output current, I_{OL}	54 Family			16			16			2			4			20	mA
	74 Family			16			16			3.6			8			20	
Operating free-air temperature, T_A	54 Family	−55		125	−55		125	−55		125	−55		125	−55		125	°C
	74 Family	0		70	0		70	0		70	0		70	0		70	

electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER		TEST FIGURE	TEST CONDITIONS†		SERIES 54 SERIES 74 '02, '25, '27 MIN	TYP‡	MAX	SERIES 54L SERIES 74L 'L02 MIN	TYP‡	MAX	SERIES 54LS SERIES 74LS 'LS02 'LS27 MIN	TYP‡	MAX	SERIES 54S SERIES 74S 'S02, 'S260 MIN	TYP‡	MAX	UNIT
V_{IH}	High-level input voltage	1, 2			2			2			2			2			V
V_{IL}	Low-level input voltage	1, 2		54 Family			0.8			0.7			0.7			0.8	V
				74 Family			0.8			0.7			0.8			0.8	
V_{IK}	Input clamp voltage	3	V_{CC} = MIN, I_I = §,				−1.5						−1.5			−1.2	V
V_{OH}	High-level output voltage	1	V_{CC} = MIN, V_{IL} = V_{IL} max, I_{OH} = MAX	54 Family	2.4	3.4		2.4	3.3		2.5	3.4		2.5	3.4		V
				74 Family	2.4	3.4		2.4	3.2		2.7	3.4		2.7	3.4		
V_{OL}	Low-level output voltage	2	V_{CC} = MIN, V_{IH} = 2 V	I_{OL} = MAX, 54 Family		0.2	0.4		0.15	0.3		0.25	0.4			0.5	V
				I_{OL} = MAX, 74 Family		0.2	0.4		0.2	0.4		0.35	0.5			0.5	
				I_{OL} = 4 mA, Series 74LS								0.25	0.4				
I_I	Input current at maximum input voltage	4	V_{CC} = MAX	V_I = 5.5 V			1			0.1			0.1			1	mA
				V_I = 7 V													
I_{IH}	High-level input current, Data inputs	4	V_{CC} = MAX	V_{IH} = 2.4 V			40			10							μA
	High-level input current, Strobe of '25						160						20			50	
	High-level input current, All inputs			V_{IH} = 2.7 V													mA
I_{IL}	Low-level input current, All inputs	5	V_{CC} = MAX	V_{IL} = 0.3 V						−0.18			−0.4				
	Low-level input current, Data inputs			V_{IL} = 0.4 V			−1.6										
	Low-level input current, Strobe of '25						−6.4										
	Low-level input current, All inputs			V_{IL} = 0.5 V												−2	
I_{OS}	Short-circuit output current¶	6	V_{CC} = MAX	54 Family	−20		−55	−3		−15	−20		−100	−40		−100	mA
				74 Family	−18		−55	−3		−15	−20		−100	−40		−100	
I_{CC}	Supply current	7	V_{CC} = MAX		See table on next page												mA

†For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.

‡All typical values are at V_{CC} = 5 V, T_A = 25°C.

§I_I = −12 mA for SN54'/SN74' and −18 mA for SN54LS'/SN74LS' and SN54S'/SN74S'.

¶Not more than one output should be shorted at a time, and for SN54LS'/SN74LS' and SN54S'/SN74S', duration of output short-circuit should not exceed one second.

TEXAS INSTRUMENTS
INCORPORATED
POST OFFICE BOX 5012 • DALLAS, TEXAS 75222

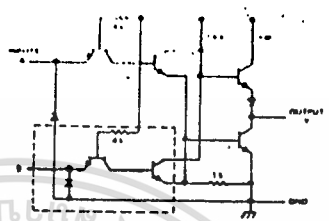
TYPE	I_{CCH} (mA) Total with outputs high		I_{CCL} (mA) Total with outputs low		I_{CC} (mA) Average per gate (50% duty cycle)
	TYP	MAX	TYP	MAX	TYP
'02	8	16	14	27	2.75
'25	8	16	10	19	2.25
'27	10	16	16	26	4.34
'L02	0.8	1.6	1.4	2.6	0.275
'LS02	1.6	3.2	2.8	5.4	0.55
'LS27	2.0	4	3.4	6.8	0.9
'S02	17	29	26	45	5.38
'S260	17	29	26	45	10.75

†Maximum values of I_{CC} are over the recommended operating ranges of V_{CC} and T_A; typical values are at V_{CC} = 5 V, T_A = 25°C.

switching characteristics at V_{CC} = 5 V, T_A = 25°C

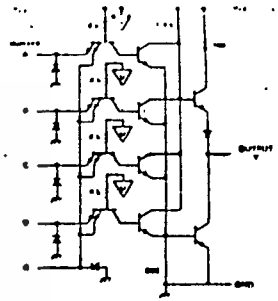
TYPE	TEST CONDITIONS#	t_{PLH} (ns) Propagation delay time, low-to-high-level output			t_{PHL} (ns) Propagation delay time, high-to-low-level output		
		MIN	TYP	MAX	MIN	TYP	MAX
'02	C_L = 15 pF, R_L = 400 Ω		12	22		8	15
'25			13	22		8	15
'27			10	15		7	11
'L02	C_L = 50 pF, R_L = 4 kΩ		31	60		35	60
'LS02, 'LS27	C_L = 15 pF, R_L = 2 kΩ		10	15		10	15
'S02	C_L = 15 pF, R_L = 280 Ω		3.5	5.5		3.5	5.5
	C_L = 50 pF, R_L = 280 Ω		5			6	
'S260	C_L = 15 pF, R_L = 280 Ω		4	5.5		4	6

#Load circuit and voltage waveforms are shown on pages 3-10 and 3-11.



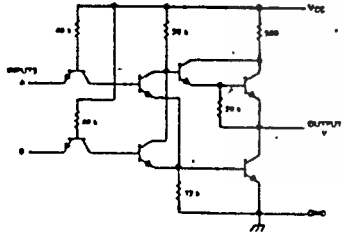
The portion of the schematic within the dashed lines is repeated for the C input of the '27.

'02, '27 CIRCUITS

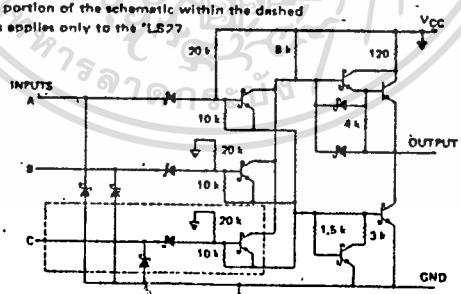


'25 CIRCUITS

Resistor values are nominal and in ohms.

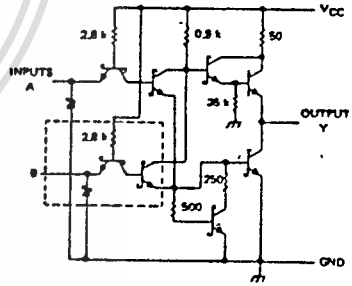


'L02 CIRCUITS



The portion of the schematic within the dashed lines applies only to the 'LS27.

'LS02, 'LS27 CIRCUITS



The portion of the schematic within the dashed lines is repeated for each additional input of the 'S260, and the 0.9-kΩ resistor is changed to 0.6 kΩ.

'S02, 'S260 CIRCUITS

กิตติกรรมประกาศ

ปริญญานิพนธ์ฉบับนี้สำเร็จลุล่วงไปด้วยดีด้วยความกรุณาของอาจารย์ที่ปรึกษา และอาจารย์ทุกท่าน รวมทั้งเพื่อน ๆ ทุก ๆ คน ที่ให้ความร่วมมือและช่วยเหลือให้กำลังใจในการจัดทำครั้งนี้ จึงขอขอบคุณอาจารย์และเพื่อน ๆ ทุกคนมา ณ โอกาสนี้ด้วย

นาย เริงฤทธิ์ แซ่หลี

นาย วิศิษฐ์ วังวราวาณิชย์

คณะ วิศวกรรมศาสตร์

9 มีนาคม 2531

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

หนังสืออ้างอิง

1. บุญเลิศ เอี่ยมทัศนา, "แม้ม 8048", วารสารเซมิคอนดัคเตอร์อิเลคทรอนิคส์ ฉบับที่ 69, หน้า 140-147, 2529

2. คณะวิศวกรรมศาสตร์, "รวมโครงงานพระจอมเกล้าลาดกระบังนิทัศน์ "30", สถาบันเทคโนโลยีพระจอมเกล้า ฯ ลาดกระบัง
หน้า 66-83, 2530

3. อาจารย์ สุชิน จำจด, "วิศวกรรมโทรศัพท์", สถาบันเทคโนโลยีพระจอมเกล้าลาดกระบัง

4. "SAB 8048 MICROPROCESSOR USER'S MANUAL", INTEL COMPANY

5. "THE TTL DATA BOOK", TEXAS INSTRUMENTS INCORPORATED

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า