สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

เนทเวอร์คอนาไลเซอร์

NETWORK ANALYZER

โดย

นาย ฉัตรชัย โอฬารจักริน

นาย มนูญศักดิ์ เพชรทองมา

ปริญญานิพนธ์ฉบับนี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาวิศวกรรมอิเล็กทรอนิกส์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2542

เลขหมู่
เลขทะเบียน 36922
วัน, เดือน, ปี 29 ส.ค. 2543

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งไม่อนุญาตให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เนทเวอร์คอนาไลเซอร์

NETWORK ANALYZER

โดย

นาย ฉัตรชัย โอพารจักริน 39014105

นาย มนูญศักดิ์ เพชรทองมา 39014404

อาจารย์ที่ปรึกษา

อ. โกศล ชวนขยัน

ปริญญานิพนธ์สำหรับปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาวิศวกรรมอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2542

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ ปีการศึกษา 2542

ภาควิชาอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง เนทเวอร์คอนาไลเซอร์

NETWORK ANALYZER

ผู้จัดทำ

1. นายฉัตรชัย โอฬารจักริน รหัส 39014105
2. นายมนูญศักดิ์ เพชรทองมา รหัส 39014404

.....อาจารย์ที่ปรึกษา

(อาจารย์โกศล ชวนขยัน)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เนทเวอร์อนาไลเซอร์

NETWORK ANALYZER

นาย ฉัตรชัย โอฬารจักริน 39014105

นาย มนูญศักดิ์ เพชรทองมา 39014404

โครงงานได้รับการตรวจสอบแล้ว พร้อมที่จะทำการสอบได้

.....

(อ.โกศล ชวนขยัน)

อาจารย์ที่ปรึกษา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

รายงานฉบับนี้สำเร็จลุล่วงได้ เนื่องมาจากการแนะนำให้คำปรึกษาและชี้แนวทาง ตลอดจนให้กำลังใจจาก อ.โกศล ชวนขยัน ซึ่งเป็นอาจารย์ที่ปรึกษาที่เอาใจใส่ดูแลอย่างดียิ่ง ตลอดจนเพื่อนและพี่ ๆ น้อง ๆ นักศึกษาทุกคนที่มีส่วนร่วมในการให้คำปรึกษาและความช่วยเหลือ ผู้จัดทำจึงขอขอบพระคุณในความอนุเคราะห์ของทุกท่านไว้ ณ ที่นี้ด้วย

(นายฉัตรชัย โอพารจักริน)

(นายมนูญศักดิ์ เพชรทองมา)

ผู้จัดทำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เนทเวอร์คอนาไลเซอร์

นายฉัตรชัย โอฬารจักริน
นายมนูญศักดิ์ เพชรทองมา
อาจารย์โกศล ชวนขยัน (อาจารย์ที่ปรึกษา)
ภาคการศึกษาที่ 2 ปีการศึกษา 2542

บทคัดย่อ

เนื่องจากในการทดสอบผลตอบสนองทางความถี่ของวงจรกรองความถี่ประเภทต่าง ๆ เช่น วงจรกรองความถี่ผ่าน, วงจรกรองผ่านความถี่สูง, วงจรกรองผ่านแถบความถี่เป็นต้น การหาค่าความถี่ตัดจะทำได้อย่างยุ่งยากและใช้เวลานาน จึงได้คิดทำการสร้างเครื่องมือที่สามารถวัดหาผลตอบสนองทางความถี่ของวงจรหรืออุปกรณ์ที่นำมาทดสอบได้อย่างรวดเร็ว ซึ่งอาจไม่จำกัดเพียงวงจรกรองความถี่เท่านั้น แต่อาจขยายผลไปสู่วงจรแบบอื่น ๆ ได้ด้วย โดยที่ในโครงงานนี้จะพิจารณาในผลตอบสนองทางความถี่ของสัญญาณ

หากเราพิจารณาการหาผลตอบสนองความถี่ โดยสนใจเพียงผลตอบสนองทางความถี่ สามารถจำลองการทำงานของ Network Analyzer ในส่วนนี้ได้ คือ วงจรจะมีแหล่งกำเนิดสัญญาณที่เปลี่ยนแปลงความถี่ได้เอง โดยอัตโนมัติโดยใช้สัญญาณรูปคลื่นซายน์ป้อนเป็นอินพุทให้แก่ วงจรทดสอบและนำผลทางด้านออกไปแสดงเป็นรูปกราฟ สำหรับโครงงานนี้จะใช้คอมพิวเตอร์เก็บข้อมูล ประมวลผลวิเคราะห์และสร้างกราฟแสดงผล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

NETWORK ANALYZER

Chutchai Oranjakrin

Manoonsak Patthongma

Mr.Kosol Chouankhayan (Advisor)

2nd Semester, Education, Year 1999

ABSTRACT

From the conception of the frequency response testing of the several type filter. For the example: low pass filter, high pass filter, band pass filter, band reject filter. The solution of the cutoff frequency is difficult and take a lot of time. Therefore, the idea of a tool that find frequency response quickly and easier than manual method. Maybe no only the filter, if the range of source sufficiently wide band frequency, the other electrical circuit maybe tested by this tool. In this project we will study in the frequency response.

If we interested in the frequency response. We must provide the automatic frequency changed sine wave source, then apply this signal to the tested network, and keep the output as data for plot graph in the monitor of computer by C language program.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

	หน้า
กิตติกรรมประกาศ	I
บทคัดย่อ	II
Abstract	III
สารบัญ	IV
บทที่ 1 บทนำ	1
บทที่ 2 ทฤษฎีเบื้องต้นของเนทเวิร์คอนาไลเซอร์	2
2.1 หลักการเบื้องต้นของเนทเวิร์คอนาไลเซอร์	2
2.2 การติดต่อกับคอมพิวเตอร์ผ่านสล็อตเสริม	3
2.3 8255 พอร์ทขยายแบบขนาน	10
2.4 การเปลี่ยนสัญญาณอนาลอกเป็นสัญญาณดิจิตอล	13
2.5 XR2206 ไอซีผลิตความถี่	16
2.6 การสังเคราะห์ความถี่	18
2.7 การแปลงสัญญาณซายน์เป็นสัญญาณสี่เหลี่ยม	20
2.8 วงจรฮาล์ฟเวฟเรกติไฟเออร์	23
2.9 วงจรตรวจจับแรงดันยอด	26
บทที่ 3 การออกแบบและการทำงานของวงจร	28
3.1 ส่วนเชื่อมต่อกับคอมพิวเตอร์	28
3.2 ส่วนสร้างสัญญาณคลื่นรูปซายน์	32
3.3 ส่วนตรวจจับผลตอบสนองทางขนาด	35
3.4 ส่วนตรวจจับผลตอบสนองทางความเฟส	37
3.5 โปรแกรมควบคุมการทำงานและแสดงผล	41
บทที่ 4 การทดลองและผลการทดลอง	43
4.1 ตัวอย่างรูปกราฟสัญญาณซายน์ที่ได้จากการทดลอง	43
4.2 การทดลองหาผลตอบสนองทางความถี่	44
บทที่ 5 บทสรุปและวิจารณ์	47
ภาคผนวก	
เอกสารอ้างอิง	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1

บทนำ

ในวงการอิเล็กทรอนิกส์ปัจจุบัน การศึกษาเรื่องผลตอบสนองทางความถี่ของวงจร, อุปกรณ์ หรือระบบทางไฟฟ้าต่าง ๆ เป็นสิ่งที่สำคัญ ซึ่งอุปกรณ์เครื่องมือที่สำคัญที่ใช้ในการหาผลตอบสนองทางความถี่ในช่วงที่เราต้องการคือ เนทเวิร์คอนาไลเซอร์ (NETWORT ANALYZER) ซึ่งเป็นอุปกรณ์ที่มีประโยชน์ในการวิเคราะห์โครงข่ายระบบทางไฟฟ้า แต่เป็นที่ทราบกันดีอยู่แล้วว่าเนทเวิร์คอนาไลเซอร์นั้น เป็นอุปกรณ์ที่มีราคาแพงมาก ๆ ซึ่งวัตถุประสงค์หลักของโครงงานนี้คือนี้คือ การสร้างเนทเวิร์คอนาไลเซอร์อย่างง่าย ที่สามารถวิเคราะห์โครงข่ายระบบไฟฟ้าแบบพื้นฐานที่จำเป็นได้ เช่น การวัดผลตอบสนองทางความถี่ของวงจรกรองความถี่แบบต่าง ๆ ได้ โดยที่มีคอมพิวเตอร์เป็นตัวควบคุมการทำงานและแสดงผล

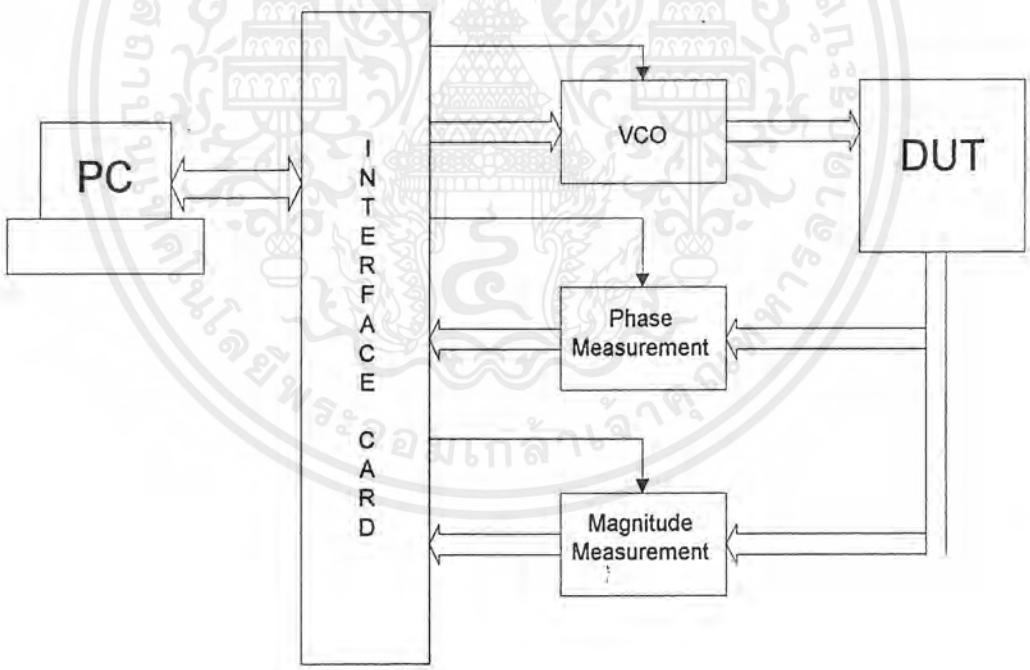
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2

ทฤษฎีเบื้องต้นของเนทเวอร์อนาไลเซอร์

2.1 หลักการเบื้องต้นของเนทเวอร์คอนาไลเซอร์

ในการหาผลตอบสนองทางความถี่ของวงจร อุปกรณ์หรือระบบทางไฟฟ้า เราสามารถหาได้โดยการป้อนสัญญาณคลื่นซายน์ให้กับทางเข้าของวงจรอุปกรณ์หรือระบบทางไฟฟ้านั้น ๆ หลังจากนั้นทำการวัดสัญญาณตรงที่ทางออกของวงจร อุปกรณ์หรือระบบทางไฟฟ้า มาทำการเปรียบเทียบกับสัญญาณที่ทางเข้า เพื่อหาอัตราขยายและเฟสที่เลื่อนไปของสัญญาณซายน์ที่ความถี่นั้น ๆ จากวิธีนี้ถ้าเราทำการเปลี่ยนความถี่ของสัญญาณคลื่นซายน์ในช่วงกว้าง เราก็สามารถหาผลตอบสนองความถี่ของวงจรอุปกรณ์หรือระบบทางไฟฟ้าในช่วงความถี่ที่เราต้องการได้



รูปที่ 2.1 แผนผังส่วนประกอบเบื้องต้นของเนทเวิร์คอนาไลเซอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ซึ่งโครงงานนี้ประกอบด้วย VCO ซึ่งทำหน้าที่ในการผลิตสัญญาณคลื่นไซน์โดยมีคอมพิวเตอร์ทำหน้าที่ควบคุมให้ผลิตตามความถี่ที่ต้องการ และเมื่อส่งสัญญาณคลื่นไซน์ออกมาทดสอบอุปกรณ์แล้ว หลังจากนั้นวงจรส่วนวัดผลตอบสนองทางขนาดก็จะทำการวัดผลตอบสนองทางขนาดออกมา และขณะเดียวกันวงจรส่วนวัดตอบสนองทางเฟสก็จะทำการวัดผลตอบสนองทางเฟสออกมา โดยมีคอมพิวเตอร์คอยควบคุมการทำงานและคอมพิวเตอร์จะนำผลที่ได้จากวงจรวัดผลตอบสนองของความถี่มาเก็บไว้ก่อน เมื่อทำการทดสอบทุกความถี่ที่ต้องการทดสอบแล้วคอมพิวเตอร์จะนำผลของการตอบสนองของความถี่ในช่วงที่ทดสอบมาประมวณผลและแสดงผลต่อไป

จากที่กล่าวมาข้างต้นนี้เราสามารถแสดงแผนผังของส่วนประกอบเบื้องต้นต่าง ๆ ของเนทเวิร์คอนาไลเซอร์ได้ดังรูปที่ 2.1

2.2 การติดต่อกับคอมพิวเตอร์ผ่านทางสล็อตเสริม

ข้อดีประการหนึ่งของพีซีก็คือภายในเครื่องคอมพิวเตอร์จะมีสล็อตเสริม (expansion slots) ซึ่งเป็นช่องสำหรับเสียบแผ่นวงจรอิเล็กทรอนิกส์เพิ่มเติม ทำให้แผ่นวงจรเหล่านั้นสามารถติดต่อกับคอมพิวเตอร์ได้โดยผ่านชุดของสายนำสัญญาณที่เราเรียกว่าบัส (bus)

สล็อตเสริมนี้จะช่วยให้เราสามารถต่อเติมเสริมแต่งความสามารถพิเศษหลายๆ อย่างให้กับคอมพิวเตอร์ของเราได้ เช่น การเสียบแผ่นวงจรหรือที่เราเรียกว่าอแดปเตอร์การ์ด (adapter card) ก็อาจจะทำให้เราเพิ่มความละเอียดและสีสันให้กับจอภาพได้มากขึ้น หรืออาจใช้ต่อเติมเพื่อทำให้คอมพิวเตอร์สามารถบันทึกและเล่นดนตรีได้ ซึ่งในการทำงานโครงงานเนทเวอร์คอนาไลเซอร์นี้เราได้ใช้คอมพิวเตอร์ทำการควบคุมการทำงานวงจรภายนอกโดยผ่านทางสล็อตเสริม

2.2.1 บัสแบบต่าง ๆ

ในพีซีทั่ว ๆ ไประบบบัสจะแบ่งออกได้ 3 ชนิดคือ บัสแอดเดรส (address bus) บัสข้อมูล (data bus) และบัสควบคุม (control bus) ซึ่งแบ่งออกเป็นระบบบัสแบบต่างๆ ได้ดังนี้

2.2.1.1 บัส 8 บิต ข้อมูลถูกส่งไปยังอแดปเตอร์การ์ดและอุปกรณ์ต่างๆ ทางบัสผ่านชุดของสายนำสัญญาณชนิด 8 เส้น

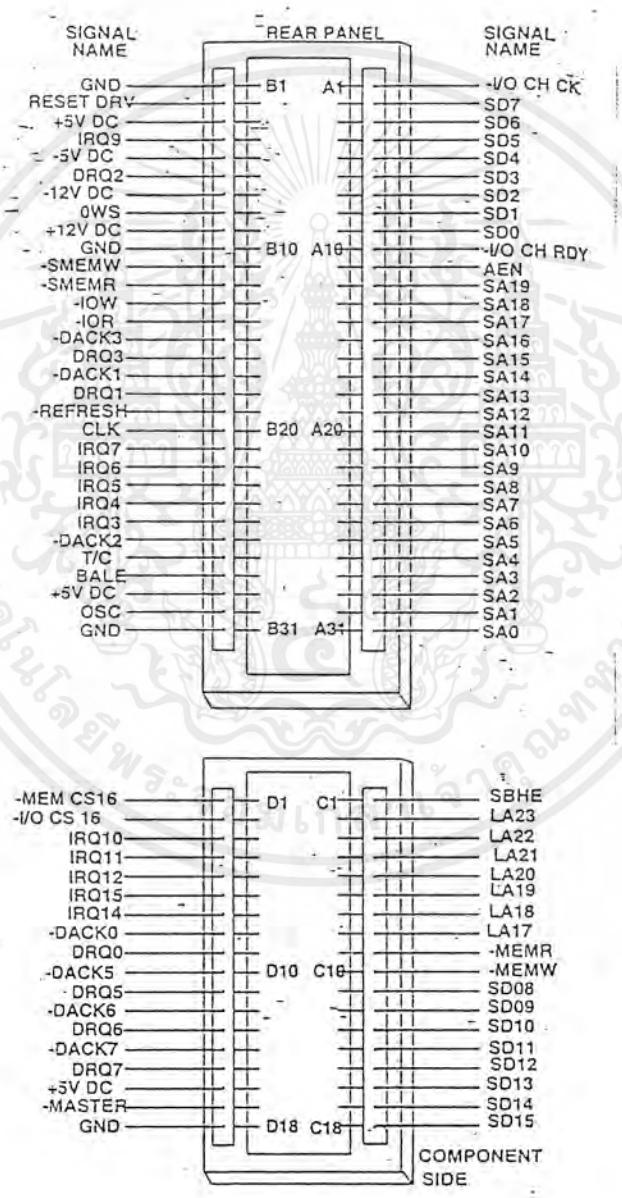
2.2.1.2 บัส 16 บิตหรือบัส ISA ข้อมูลถูกส่งไปบนชุดสายนำสัญญาณ 8 เส้น หรือ 16 เส้น ขึ้นอยู่กับชนิดของอแดปเตอร์การ์ดที่เสียบอยู่บนสล็อตเสริม

2.2.1.3 บัส EISA หรือบัส MCA ข้อมูลถูกส่งไปบนชุดของสายนำสัญญาณ 32 เส้นเพื่อติดต่อกับอแดปเตอร์การ์ดที่ออกแบบเฉพาะสำหรับบัสชนิด 32 บิต ข้อแตกต่างระหว่างบัสชนิดทั้งสองก็คือสล็อตเสริมแบบ MCA ไม่สามารถรองรับอแดปเตอร์การ์ดแบบ 8 หรือ 16 บิตได้ขณะที่สล็อตเสริมแบบ EISA รองรับได้ สล็อตบัสชนิด EISA ได้ถูกออกแบบมาอย่างชาญฉลาดโดย อนุญาติให้การ์ดรุ่นเดิมที่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เป็นชนิด 8 และ 16 บิต สารมารถเสียบลงไปได้ลึกกว่า ทั้งนี้เพื่อสัมผัสกับ ลายวงจรไฟฟ้าชนิด 32 บิต แบบ EISA ซึ่งมีลักษณะช่องระหว่างลายวงจรที่ซอยถี่มากกว่าปกติ

ในการทำโครงงานเนทเวอร์คอนาไลเซอร์ครั้งนี้ได้ใช้การ์ดแบบ ISA (ISA crad) แต่การติดต่อกับคอมพิวเตอร์ใช้จำนวนบิตข้อมูลเพียงแค่ 8 บิตเท่านั้น (ISA บัสสามารถติดต่อส่งผ่านข้อมูลได้จำนวน 16 บิต) คือใช้งานแต่ส่วนบนของ ISA crad ซึ่งจำนวน 62 pin เท่านั้น อีก 36pin ซึ่งเป็นส่วนล่างของ ISA crad ยังไม่ได้ใช้งานซึ่งอาจจะได้ใช้งานถ้ามีความจำเป็นที่จะต้องใช้เพื่อประสิทธิภาพการทำงานของอุปกรณ์ รูปแสดงสล็อตของ ISA บัสแสดงดังรูป 2.2



รูปที่ 2.2 แสดง ISA Expansion slot

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ISA (Industry Standard Architecture) บัส คือ IBM PC AT บัส บางทีอาจเรียกว่า AT บัส ในบริษัทผู้ผลิตคอมพิวเตอร์ทั่ว ๆ ไปจะเรียกระบบบัสนี้ว่า ISA บัส เนื่องจาก AT เป็นเครื่องหมายการค้าของบริษัท IBM จุดเริ่มต้นของ ISA บัสมาจาก 8088-base IBM PC ซึ่งเป็นที่รู้จักกันในปี ค.ศ. 1981 PC/XT บัส มี 62 pin แล้วในปี ค.ศ. 1984 ก็มี IBM PC AT เกิดขึ้นพร้อมกับเพิ่มเติมอีก 36 pin จาก PC/XT เพื่อความสะดวกในการใช้งานกับไมโครโปรเซสเซอร์ 80286 ซึ่งมีสัญญาณ ข้อมูล 16 บิต และสัญญาณแอดเดรส 24 บิต สัญญาณต่างๆ บนสล็อตเสริมของ PC/XT มีดังต่อไปนี้

2.2.2 สัญญาณบนสล็อตเสริมของ PC/XT

2.2.2.1 OSC (Oscillator; ขา B30)

ขานี้เป็นเอาท์พุทซึ่งเชื่อมต่อกับสัญญาณคล็อกที่มีความถี่สูงสุดบนเมนบอร์ด คือ 14.31818 MHz ซึ่งมีคาบเวลาประมาณ 70 ns และมี Duty Cycle ประมาณ 50%

2.2.2.2 CLK (Clock; ขา B20)

ขาสัญญาณนี้เป็นเอาท์พุท ซึ่งต่อกับสัญญาณคล็อกที่ถูกสร้างขึ้นโดยการหารสัญญาณ OSC ด้วย 3 ทำให้ได้ความถี่ประมาณ 4.77 MHz หรือมีช่วงเวลาใน 1 คาบเท่ากับ 210 ns สัญญาณนี้ถูกใช้เป็นคล็อกของระบบ

2.2.2.3 RESET DRV (ขา B2)

ขาสัญญาณนี้เป็นเอาท์พุท ซึ่งจะแอคทีฟ (ลอจิก " 1 ") ในช่วงที่เราเริ่มจ่ายไฟให้กับระบบ และจะยังคงแอคทีฟไปจนกว่าระบบต่างๆ ภายใน IBM/PC จะพร้อมที่จะทำงานได้ จากนั้นสัญญาณนี้ก็จะเปลี่ยนกลับไปลอจิก " 0 " นอกจากนี้ในระหว่างการทำงานของ IBM/PC ถ้าระดับของแรงดันแหล่งจ่ายไฟตกลง สัญญาณนี้ก็จะถูกทำให้แอคทีฟเช่นกัน

2.2.2.4 AO-A19 (Addrss Bus; ขา A31 – A12)

สัญญาณทั้ง 20 ขานี้เป็นเอาท์พุท ซึ่งใช้สำหรับกำหนดแอดเดรสของหน่วยความจำหรืออุปกรณ์ I/O ที่ 8088 ต้องการติดต่อด้วย โดยที่สัญญาณ AO จะมีนัยสำคัญต่ำสุด (Least Significant Bit) และ A19 จะมีนัยสำคัญสูงสุด (Most Significant Bit) สำหรับค่าแอดเดรสบนบัสแอดเดรส AO-A19 นี้จะถูกกำหนดโดย 8088 ในระหว่างขบวนการอ่าน/เขียนข้อมูลลงในหน่วยความจำหรืออุปกรณ์ I/O แต่ในช่วงของขบวนการ DMA-Controller จะเป็นผู้กำหนดค่าแอดเดรสบนบัสแอดเดรสเอง (ในระหว่างนี้ 8088 จะถูกตัดออกจากระบบ)

2.2.2.5 DO-D7 (Data Bus ; ขา A9-A2)

ขาสัญญาณนี้จะเป็นแบบ Bi-Directional ซึ่งต่อกับบัสข้อมูลของระบบ เพื่อทำหน้าที่ในการส่งผ่านข้อมูลระหว่างพอร์ท I/O กับ IBM/PC โดยบิต DO จะมีนัยสำคัญต่ำสุดและบิต D7 จะมีนัยสำคัญสูงสุด

2.2.2.6 ALE (Address Latch Enable; ขา B28)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขาสัญญาณนี้เป็นสัญญาณเอาท์พุทที่ 8288 Bus Controller สร้างขึ้นเพื่อใช้สำหรับแสดงการเริ่มต้นของบัสไซเคิล และแสดงให้อุปกรณ์ภายนอกทราบว่าแอดเดรสที่ 8088 ต้องการจะติดต่อด้วยนั้นถูกส่งออกมาบนบัสแอดเดรสแล้ว โดยที่สัญญาณ ALE นี้จะเปลี่ยนจาก ลอจิก "1" เป็น "0" เมื่อค่าแอดเดรสที่ถูกต้องถูกส่งออกมาบนบัสข้อมูลเรียบร้อยแล้ว

2.2.2.7 I/O CHCK (I/O Chennel Check; ขา A1)

ขาสัญญาณนี้เป็นอินพุทที่ใช้ในการแสดงความผิดพลาดเกี่ยวกับพาริตี้ ที่เกิดขึ้นในการทำงานของวงจรอินเทอร์เฟสหรืออุปกรณ์ I/O เมื่อขาสัญญาณนี้ได้รับลอจิก "0" จะทำให้ 8088 ถูกอินเทอร์รัพท์แบบ Non- Maskadle (NMI) อย่างไรก็ตามเราสามารถที่จะกำหนดให้วงจรภายในของ BIM/PC ทำการขออินเทอร์รัพท์ (เมื่อได้รับสัญญาณ I/O CHCK) หรือไม่ก็ได้

2.2.2.8 I/O CHRDY (I/O Channel Ready; ขา A10)

ขาสัญญาณนี้เป็นอินพุทที่ใช้เพิ่มช่วงเวลาในบัสไซเคิลในกรณีที่อุปกรณ์ I/O หรือหน่วยความจำที่เกี่ยวข้องกับขบวนการในบัสไซเคิลที่เกิดขึ้นนั้น ไม่สามารถทำงานทันตามช่วงเวลาปกติของบัสไซเคิลนั้นๆ ได้

2.2.2.9 IRQ2-IRQ7 (Interrupt Request 2-7; ขา B4 และ B25-B21)

ขาสัญญาณทั้ง 6 นี้เป็นขาอินพุทที่ใช้สำหรับการขออินเทอร์รัพท์จาก 8088 โดยสัญญาณเหล่านี้จะต่อเข้ากับ 8259A บนเมนบอร์ดโดยตรง โปรแกรมในส่วน BIOS ของ IBM/PC จะทำการโปรมแกรม 8259A ให้ IRQ2 มีลำดับความสำคัญสูงสุด (Highest Priority) และ IRQ7 มีลำดับความสำคัญที่ต่ำสุด ในกรณีที่มีการขออินเทอร์รัพท์เกิดขึ้น คือระดับลอจิกที่ขา TRQ ขาใดขาหนึ่งถูกเปลี่ยนจากลอจิก "0" เป็นลอจิก

2.2.2.10 IOR (I/O Read; ขา B14)

ขาสัญญาณนี้เป็นเอาท์พุทแอคทีฟที่ลอจิก "0" ที่สร้างขึ้นโดย 8288 Bus Controller เพื่อใช่ในการแสดงว่าบัสที่เกิดขึ้นนี้ เป็นบัสไซเคิลของการอ่านข้อมูลจากพอร์ท I/O เพื่อให้พอร์ท I/O ที่มีแอดเดรสตรงกับแอดเดรสบนบัสแอดเดรสนั้นส่งข้อมูลออกมาบนบัสข้อมูล โดยข้อมูลจะต้องถูกส่งออกมาบนบัสก่อนขอบขาขึ้นของสัญญาณ IOR ประมาณ 30 ns เพื่อให้มั่นใจได้ว่า 8088 สามารถรับข้อมูลได้ถูกต้อง

2.2.2.11 IOW (I/O Write; ขา B13)

ขาสัญญาณนี้เป็นเอาท์พุทเอคทีฟลอจิก "0" ซึ่งถูกสร้างขึ้นโดย 8288 Bus Controller เพื่อใช้แสดงว่าบัสไซเคิลที่เกิดขึ้นนี้เป็นบัสไซเคิลของการเขียนข้อมูลลงบนพอร์ท I/O เพื่อให้ พอร์ท I/O ที่มีแอดเดรสตรงบนบัสแอดเดรสนั้น รับข้อมูลที่อยู่บนบัสข้อมูลไปเก็บไว้

2.2.2.12 MEMW (Memory Write; ขา B11)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขานี้เป็นเอาท์พุทแอคทีฟที่ลอจิก "0" ซึ่ง 8288 Bus Controller สร้างขึ้นในระหว่างบัสไซเคิลในการเขียนข้อมูลลงในหน่วยความจำของ 8088 สัญญาณ MEMW นี้จะถูกส่งออกมาเพื่อให้หน่วยความจำที่แอดเดรสตรงกับค่าแอดเดรสบนบัสแอดเดรสนั้น ทำการรับข้อมูลที่อยู่บนบัสข้อมูลไปเก็บไว้ โดยทั่วไปหน่วยความจำจะรับข้อมูลในช่วงขอบขาขึ้นของสัญญาณ MEMW

2.2.2.13 MEMW (Memory Read; ขา B12)

ขานี้เป็นเอาท์พุทจาก 8288 ซึ่งสัญญาณนี้จะแอคทีฟ (ลอจิก "0") ในระหว่าง บัสไซเคิลของการอ่านข้อมูลจากหน่วยความจำของ 8088 เพื่อให้หน่วยความจำที่มีแอดเดรสตรงกับค่าแอดเดรสบนบัสนั้น ทำการส่งข้อมูลออกมาบนบัสข้อมูล โดยหน่วยความจำนั้นจะต้องส่งข้อมูลออกมาในช่วงเวลา 30 ns ก่อนที่สัญญาณ MEMW จะกลับเป็นลอจิก "1" ทั้งนี้เพื่อให้ 8088 ได้ รับข้อมูลที่ถูกต้อง

2.2.214 DRQ1- DRQ3 (DMA Reqest 1-3; ขา B18,B6 และB16)

ขาสัญญาณทั้ง 3 นี้เป็นสัญญาณอินพุทแอคทีฟที่ลอจิก "1" ซึ่งอุปกรณ์ภายนอกสามารถใช้ในการขอ DMA จากระบบ โดยการป้อนระดับสัญญาณลอจิก "1" ให้กับขา DRQ ขาใดขาหนึ่ง (ขา DRQ ทั้งสามนี้จะต่อเข้ากับ DRQ1-DRQ3 ของ 8237A – 5)

2.2.2.15 DACKO-DACK3 (DMA Acknowledege 0-3 ; ขา B19,B17,B26และB15)

สัญญาณทั้ง 4 นี้เป็นเอาท์พุทแอคทีฟลอจิก "0" ซึ่ง 8237A-5 สร้างขึ้นเพื่อแสดงให้วงจรภายนอกที่ขอ DMA ทราบว่าการขอ DMA นั้นได้รับการตอบสนองแล้ว และ 8237A-5 จะเข้าสู่ขบวนการส่งผ่านข้อมูลระหว่างอุปกรณ์ I/O ที่ขอ DMA กับหน่วยความจำเกิดขึ้นได้โดยตรง (คือไม่ต้องผ่าน 8088)

2.2.2.16 AEN(Address Eneble;ขา A11)

สัญญาณนี้เอาท์พุทที่ใช้ในการแสดงว่าบัสไซเคิลที่เกิดขึ้นในช่วงเวลาที่สัญญาณ AEN แอคทีฟ (ลอจิก "1") นั้น เป็นบัสไซเคิลของขบวนการ DMA

2.2.2.17 T/C (TERMINAL COUNT;ขาB27)

สัญญาณนี้ถูกสร้างขึ้นจากการนำเอาสัญญาณเอาท์พุทที่ขา EOP ของ 8237A-5 มากลับลอจิก (โดยใช้เกท Inverter) ทำให้สัญญาณ T/C นี้แอคทีฟที่ลอจิก "1"

2.2.2.18 บัสของแหล่งจ่ายไฟของระบบ

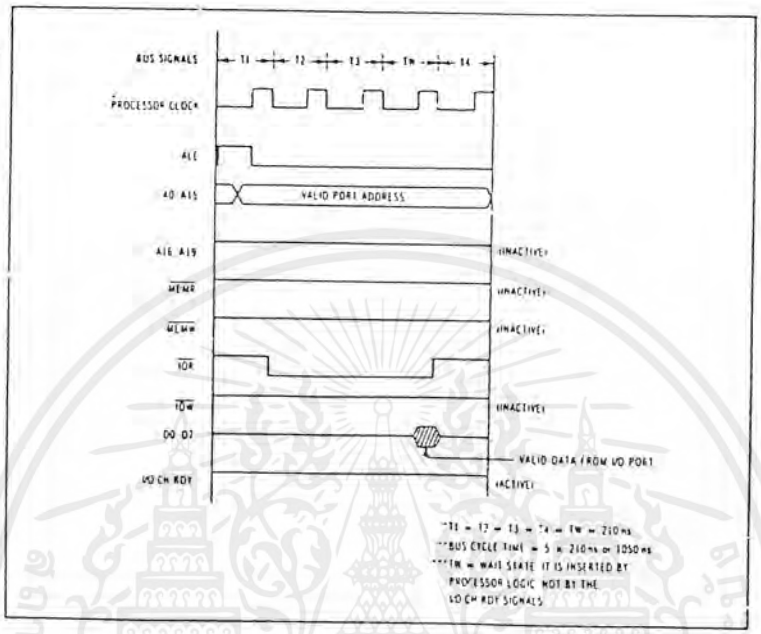
แหล่งจ่ายไฟของระบบจะประกอบด้วยแหล่งจ่ายไฟ DC +5V,+12V,-5V,-12V ซึ่งประกอบไปด้วยขา B3,B29,B9,B5 และB7 ส่วนสัญญาณ GND จะประกอบไปด้วยขา B1,B10และB31 ซึ่งขาทั้งสามนี้จะต่อกับกราวด์ (Ground) ของระบบ

2.2.3 บัสไซเคิลในการอ่านเขียนข้อมูลบนพอร์ทอินพุทเอาท์พุท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในขณะที่ 8088 เอ็กซีคิวท์ชุดคำสั่ง IN เช่น IN ac, DATA ซึ่งเป็นชุดคำสั่งที่ทำให้ 8088 ทำการอ่านข้อมูลจากพอร์ทที่กำหนดในส่วนของโอเปอแรนด์นั้น 8088 จะสร้างบัสไซเคิลในการอ่านข้อมูลจากพอร์ท เพื่อให้พอร์ทที่ถูกกำหนดนั้นส่งข้อมูลออกมาบนบัสข้อมูล

สำหรับกระบวนการของสัญญาณที่เกิดขึ้นในบัสไซเคิลนี้สามารถแสดงได้ดังรูปที่ 2.3



รูปที่ 2.3 บัสไซเคิลของการอ่านข้อมูลจากพอร์ทอินพุทเอาท์พุท

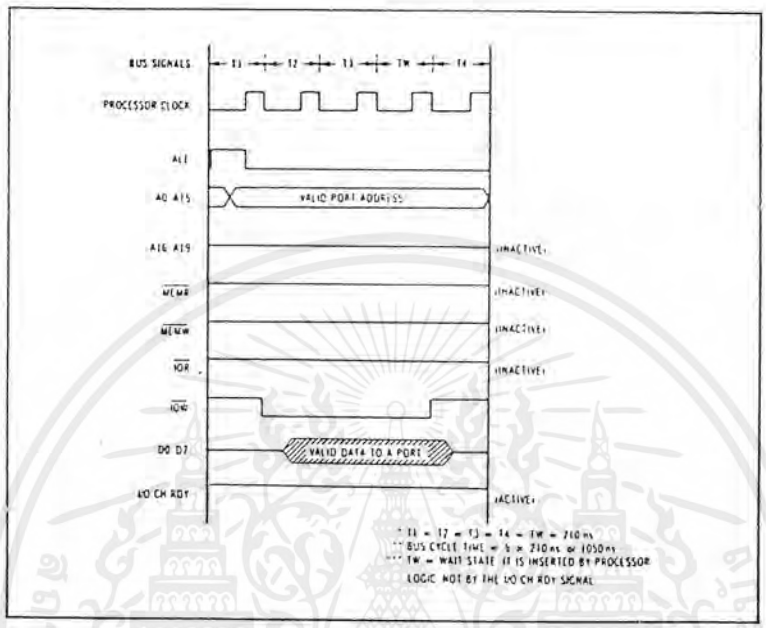
จากรูปที่ 2.3 บัสไซเคิลนี้จะเริ่มต้นในช่วงเวลาที่สัญญาณ ALE แอคทีฟ (ลอจิก 1) สัญญาณ ALE นี้จะถูกใช้เพื่อแสดงให้อุปกรณ์ที่ทำวานร่วมกับ 8088 ทราบว่าข้อมูลที่อยู่บนบัสแอดเดรสในช่วงขอบขาลงของสัญญาณ ALE นั้นเป็นแอดเดรสของพอร์ทที่ 8088 ต้องการจะติดต่อด้วย (ในที่นี้คือ แอดเดรสของพอร์ทที่ 8088 ต้องการอ่านข้อมูล)

หลังจากนั้นในช่วงของคล็อก T2 สัญญาณ IOR จะแอคทีฟ (ลอจิก 0) ซึ่งเป็นการแสดงอุปกรณ์ที่ทำงานร่วมกับ 8088 ทราบว่าบัสไซเคิลนี้เป็นบัสไวเคิลในการอ่านข้อมูลจากพอร์ท(I/O –Port Read Bus Cycle) และเป็นการทำให้พอร์ทที่มีแอดเดรสตรงกับค่าแอดเดรสที่อยู่บนบัสแอดเดรสนั้นส่งข้อมูลออกมาบนบัสข้อมูล เมื่อพอร์ทที่ถูกอ้างอิงแอดเดรสถึง ส่งข้อมูลออกมาบนบัสข้อมูลแล้ว 8088 จะอ่านข้อมูลนั้นเป็นช่วงเริ่มต้นของคล็อก T4 จานั้นสัญญาณ IOR ก็จะถูกปรับให้เป็นลอจิก 1 และจะสิ้นสุดการทำงานในบัสไซเคิลเมื่อสิ้นสุดช่วงเวลาของคล็อก T4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในขณะที่ 8088 เอ็กซีคิวท์ชุดคำสั่ง OUT เช่น OUT DATA,ac ซึ่งเป็นชุดคำสั่งที่ทำให้ 8088 ทำการเขียนข้อมูลลงบนพอร์ทที่กำหนดในส่วนของโอเปอแรนด์นั้น 8088 จะสร้างบัสไซเคิลในการเขียนข้อมูลลงบนพอร์ท เพื่อให้พอร์ทที่ถูกกำหนดนั้นรับข้อมูลจากบัสข้อมูล

สำหรับกระบวนการของสัญญาณที่เกิดขึ้นในบัสไซเคิลนี้สามารถแสดงได้ดังรูปที่ 2.4



รูปที่ 2.4 บัสไซเคิลของการเขียนข้อมูลลงบนพอร์ทอินพุทเอาท์พุท

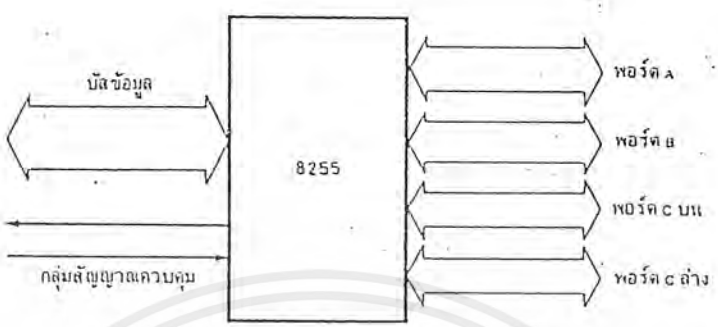
จากรูปที่ 2.4 บัสไซเคิลนี้จะเริ่มต้นในช่วงเวลาที่สัญญาณ ALE แอคทีฟ (ลอจิก 1) สัญญาณ ALE นี้จะถูกใช้เพื่อแสดงให้อุปกรณ์ที่ทำวานร่วมกับ 8088 ทราบว่าข้อมูลที่อยู่บนบัสแอดเดรสในช่วงขอบขาลงของสัญญาณ ALE นั้นเป็นแอดเดรสของพอร์ทที่ 8088 ต้องการจะติดต่อด้วย (ในที่นี้คือ แอดเดรสของพอร์ทที่ 8088 ต้องการส่งข้อมูลให้)

หลังจากนั้นในช่วงของคล็อก T2 สัญญาณ IOW จะแอคทีฟ (ลอจิก 0) ซึ่งเป็นการแสดงอุปกรณ์ที่ทำงานร่วมกับ 8088 ทราบว่าบัสไซเคิลนี้เป็นบัสไซเคิลในการเขียนข้อมูลลงบนพอร์ท(I/O –Port Write Bus Cycle) จากนั้น 8088 จะทำการส่งขอ้มูลที่ต้องการส่งให้กับพอร์ทที่กำหนดนั้นออกมาบนบัสข้อมูล ในช่วงของคล็อกT4 สัญญาณ IOW ก็จะถูกปรับให้เป็นลอจิก 1 และจะสิ้นสุดการทำงานในบัสไซเคิลเมื่อสิ้นสุดช่วงเวลาของคล็อก T4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3 8255 พอร์ทข้อมูลแบบขนาน

8255 เป็นไอซีที่เป็นพอร์ทให้ไมโครโปรเซสเซอร์ได้ 3 พอร์ท โดยมีโครงสร้างพื้นฐานแสดงได้ดังรูปที่ 2.5



รูปที่ 2.5 แผนผังโครงสร้างของไอซี 8255

การเรียกพอร์ทของ 8255 จะเรียกพอร์ทต่าง ๆ ว่า พอร์ท A พอร์ท B พอร์ท C โดยพอร์ท C แยกเป็น 2 ส่วนคือ พอร์ท C ล่างหรือตั้งแต่ PC0 - PC3 มีจำนวน 4 บิต และพอร์ท C บนหรือตั้งแต่ PC4 - PC7 มีจำนวน 4 บิตที่พิเศษคือ พอร์ททุกพอร์ทเป็นได้ทั้งพอร์ทอินพุทและพอร์ทเอาท์พุท

รูปที่ 2.6 การจัดขาของไอซี 8255

รูปที่ 2.6 การจัดวางขาของไอซี 8255 การทำงานของวงจรใช้สัญญาณควบคุมจากไมโครโปรเซสเซอร์มาควบคุมการทำงาน โดยไมโครโปรเซสเซอร์จะสั่งมาโปรแกรมการทำงานหรือกำหนดรูปแบบของพอร์ทให้เป็นอินพุทหรือเอาท์พุทได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3.1 ขาต่าง ๆ ของ 8255

ขาทั้ง 40 ขาของไอซีประกอบด้วย

D0 – D7 เป็นขาที่ข้อมูลอินพุทเอาท์พุทจะต้องผ่านเข้าออกจากส่วนนี้ D0 – D7 จึงต่อเข้ากับระบบบัสของไมโครโปรเซสเซอร์ เพื่อให้ไมโครโปรเซสเซอร์สามารถอ่านหรือเขียนข้อมูลจากพอร์ทผ่านทางบัสนี้

CS (สัญญาณเลือกชิป)ขานี้เป็นขาสัญญาณอินพุทที่จะรับสัญญาณจากภายนอกเพื่อเลือกชิป 8255 โดยเมื่อขานี้เป็น " 0 " จะทำให้ 8255 ต่อเข้ากับระบบของไมโครโปรเซสเซอร์เพื่อให้ไมโครโปรเซสเซอร์เขียนหรืออ่านข้อมูลจากพอร์ทได้

RD (สัญญาณการอ่าน) เป็นสัญญาณอินพุทที่ต้องส่งมาจากซีพียูเมื่อสัญญาณที่ขานี้เป็น " 0 " และสัญญาณ **CS** เป็น " 0 " ด้วยไอซี 8255 จะทำตัวให้ซีพียูอ่านข้อมูลจากบัสของไมโครโปรเซสเซอร์ในขณะที่เป็นพอร์ทอินพุท

WR เป็นสัญญาณการเขียน จะแอคตีฟเมื่อสัญญาณ **WR** และ **CS** เป็น " 0 " สัญญาณนี้จะมาจากซีพียูเมื่อต้องการเขียนข้อมูลลงบนพอร์ทที่กำหนด

A0 – A1 (สัญญาณสายแอดเดรส) ลอจิกของสัญญาณทั้งสองจะถอดระหัสออกเป็น 4 ระหัสเพื่อกำหนดรีจีสเตอร์ภายในที่เชื่อมต่อกับพอร์ทอินพุทเอาท์พุทของ 8255

RESET (สัญญาณรีเซต) เป็นสัญญาณที่ส่งมาจากภายนอกเข้ามาทำการรีเซต 8255 เพื่อจะเคลียร์สถานะต่าง ๆ ของ 8255 เมื่อ 8255 ได้รับการรีเซตก็จะกลับเข้าสู่โหมดอินพุทหรือทุกพอร์ทเป็นพอร์ทอินพุท

PA0 – PA7 เป็นสายสัญญาณที่เป็นพอร์ทของ 8255 ที่ชื่อพอร์ท A ถูกเลือกโดยสัญญาณแอดเดรส A0 –A1

PB0 – PB7 เป็นสายสัญญาณที่เป็นพอร์ทของ 8255 ที่ชื่อพอร์ท B ถูกเลือกโดยสัญญาณแอดเดรส A0 – A7

PC0 – PC7 เป็นสายสัญญาณที่เป็นพอร์ทของ 8255 ที่ชื่อพอร์ท C ถูกเลือกโดยสัญญาณแอดเดรส A0 –A7 พอร์ท C นี้แบ่งเป็น 2 กลุ่มคือ กลุ่ม PC0 – PC3 และกลุ่ม PC4 – PC7

2.3.2รีจีสเตอร์ภายในของ 8255

เมื่อต่อ 8255 เข้ากับไมโครโปรเซสเซอร์แล้วสิ่งที่จะต้องทำคือการโปรแกรมให้ 8255 ทำงานตามที่ต้องการ จากการที่ 8255 มีพอร์ทที่ไมโครโปรเซสเซอร์มองเห็น 4 พอร์ท แต่ละพอร์ทจะเสมือนเป็นรีจีสเตอร์ที่สามารถเขียนและอ่านได้ รีจีสเตอร์แต่ละตัวนี้จึงถูกกำหนดด้วยแอดเดรสตามที่ตั้งไว้ สัญญาณของขาควบคุมที่ประกอบกันจะแสดงความหมายดังตารางที่ 2.1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 2.1 สัญญาณควบคุมการกระทำของ 8255

RD	WR	A1	A0	ความหมาย
1	0	0	0	เขียนพอร์ท A ซึ่งเป็นข้อมูล
0	1	0	0	อ่านพอร์ท A ซึ่งเป็นข้อมูล
1	0	0	1	เขียนพอร์ท B ซึ่งเป็นข้อมูล
0	1	0	1	อ่านพอร์ท B ซึ่งเป็นข้อมูล
1	0	1	0	เขียนพอร์ท C ซึ่งเป็นข้อมูล
0	1	1	0	อ่านพอร์ท C ซึ่งเป็นข้อมูล
1	0	1	1	เขียนข้อมูล ซึ่งเป็นรหัสควบคุม
0	1	1	1	อ่านเข้ามาซึ่งไม่มีความหมายใด

การใช้งาน 8255 จะต้องส่งระหัสควบคุมเข้าไปยังพอร์ทข้อมูลควบคุมเพื่อควบคุมการทำงานของ 8255 การควบคุมการทำงานของ 8255 มีหลายโหมดแต่ละโหมดแตกต่างกันออกไป การโปรแกรมให้ 8255 ทำงานจะทำได้ 3 โหมดด้วยกันคือ โหมด 0 โหมด 1 และโหมด 2

การกำหนดโหมดการทำงานจะต้องข้อมูลคำสั่งเข้าไปโปรแกรมในพอร์ทควบคุมของ 8255 แต่ละบิตของข้อมูลที่ส่งไปจะมีความหมายในตัวเอง ลักษณะความหมายของแต่ละบิตในระหัสควบคุมแสดงได้ดังรูปที่ 2.7

การโปรแกรม 8255 คือ การใส่ค่ารหัสบิทต่างๆ เข้าไปในรหัสควบคุมแล้วส่งไปยัง รีจีสเตอร์ของพอร์ทควบคุม ความหมายของบิตต่างๆ มีดังต่อไปนี้

บิต D7 เป็นบิตที่แสดงระหัสคำสั่งควบคุม ถ้าบิตนี้เป็น "1" หมายถึงรหัสควบคุมนี้จะมีผลต่อการเปลี่ยนแปลงการเซตโหมดต่างๆ ของ 8255

บิต D6 และ **D5** เป็นการเลือกโหมดของพอร์ท A ซึ่งมี 3 โหมดคือ โหมด 0 โหมด 1 และโหมด 2 ดังแสดงในรูปที่ 2.7

บิต D4 ถ้ามีค่าเป็น "0" หมายถึงการกำหนดพอร์ท A เป็นพอร์ทเอาท์พุท ถ้ามีค่าเป็น "1"หมายถึงการกำหนดพอร์ท A เป็นพอร์ทอินพุท

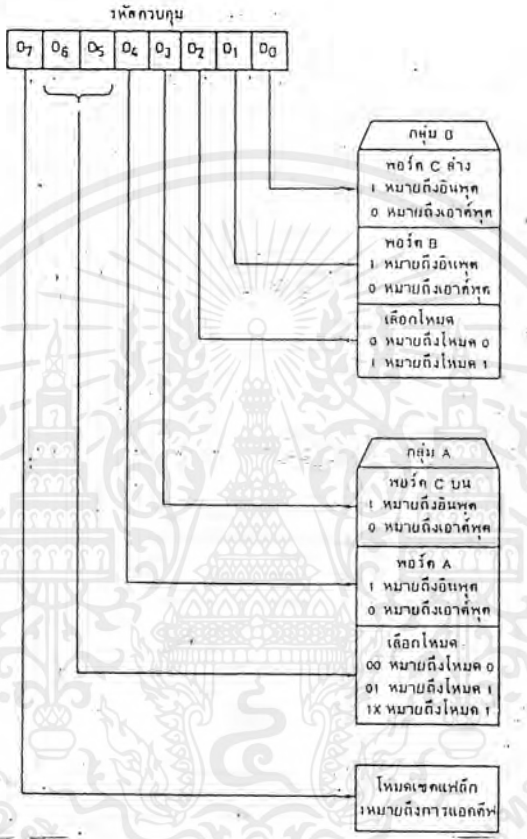
บิต D3 ถ้ามีค่าเป็น "0" หมายถึงการกำหนดพอร์ท C บนเป็นพอร์ทเอาท์พุท ถ้ามีค่าเป็น "1" หมายถึงการกำหนดพอร์ท C บนเป็นพอร์ทอินพุท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บิต D2 เป็นบิตที่บอกถึงการเซตโหมดของพอร์ท B ถ้าเป็น “0” หมายถึงการเลือกพอร์ท B เป็นโหมด 0 และถ้าเป็น “1” หมายถึงการเลือกพอร์ท B เป็นโหมด 0

บิต D1 ถ้ามีค่าเป็น “0” หมายถึงการกำหนดพอร์ท B เป็นพอร์ทเอาท์พุท ถ้ามีค่าเป็น “1” หมายถึงการกำหนดพอร์ท B เป็นพอร์ทอินพุท

บิต D0 ถ้ามีค่าเป็น “0” หมายถึงการกำหนดพอร์ท C ล่างเป็นพอร์ทเอาท์พุท ถ้ามีค่าเป็น “1” หมายถึงการกำหนดพอร์ท C ล่างเป็นพอร์ทอินพุท



รูปที่ 2.7 ความหมายของบิตต่าง ๆ ในรหัสควบคุม

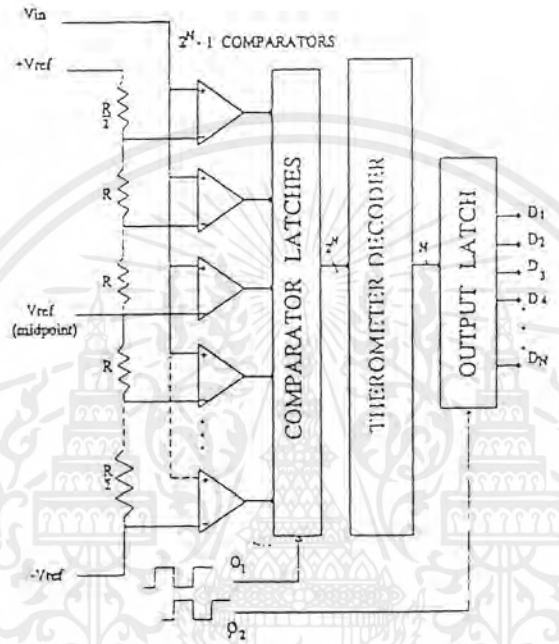
การโปรแกรม 8255 จะเริ่มจากเซ็ตค่าที่ต้องการแล้วเอาท์พุทไปยังพอร์ทควบคุม เช่น ถ้าต้องการโปรแกรมให้ทั้งพอร์ท A, B และ C เป็นพอร์ทเอาท์พุททั้งหมด เราจะเลือกให้ 8255 อยู่ในโหมด 0 โดยมีระหัสควบคุมเป็น 10000000B หรือ 80H เนื่องจากมีพอร์ทที่รับส่งข้อมูล 3 พอร์ทคือ พอร์ท A พอร์ทB และพอร์ท C ซึ่งพอร์ท C จะแยกออกเป็น 2 ส่วน คือ พอร์ท C บน และพอร์ท C ล่าง เราสามารถโปรแกรมได้ทั้ง 4 พอร์ท ให้เป็นอินพุทหรือเอาท์พุทก็ได้ เช่น ถ้าให้ระหัสควบคุมเป็น 82H จะทำให้พอร์ท B เป็นอินพุท พอร์ท A และพอร์ท C เป็นเอาท์พุท

2.4 การเปลี่ยนสัญญาณอนาลอกเป็นสัญญาณดิจิตอล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.4.1 แบบใช้วงจรเทียบขนานหรือแบบ "แฟลช"

วงจรเอทูดีแบบนี้ใช้หลักการง่าย ๆ อีกทั้งยังเป็นวิธีที่รวดเร็วที่สุด คือ ใช้วงจรเปรียบเทียบที่ต่อขนานกัน ดังรูปที่ 2.8 ประกอบด้วยออปแอมป์ที่ต่อเป็นวงจรเปรียบเทียบ และตัวต้านทานต่อไว้เพื่อแบ่งแรงดันที่ขาอินพุทแบบกลับ (inverting) ให้มีขนาดต่าง ๆ กัน จากหลักการของวงจรเปรียบเทียบทั่วไป เมื่อแรงดันอินพุทที่ขาอินพุทแบบไม่กลับ (non-inverting) มีค่าสูงกว่าที่ขาอินพุทแบบกลับ เอาท์พุทจะได้แรงดันค่าสูง



รูปที่ 2.8 โครงสร้างพื้นฐานของแฟลช A/D Converter

เมื่อต้องการวงจรที่มีความละเอียดสูงขึ้น จำเป็นต้องใช้วงจรเปรียบเทียบเพิ่มขึ้น เช่น ถ้าต้องการความละเอียด 3 บิต ต้องใช้วงจรเปรียบเทียบ 7 ตัว ความละเอียด 4 บิต ต้องใช้วงจรเปรียบเทียบ 15 ตัว (16 ระดับ) โดยหาจำนวนวงจรเปรียบเทียบได้จาก $2^N - 1$ เมื่อ N แทนจำนวนบิตหรือความละเอียดที่ต้องการ

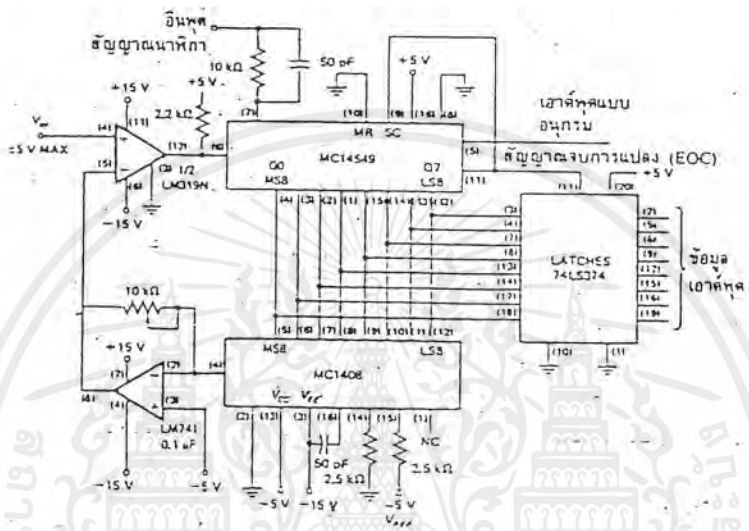
จะเห็นได้ว่าที่ความละเอียด 8 บิต ต้องใช้วงจรเปรียบเทียบมากถึง 255 ตัว ซึ่งเป็นข้อเสียของวงจรแบบนี้ ข้อเสียอีกประการหนึ่งคือ เอาท์พุทที่ได้ไม่เป็นเลขฐานสอง ต้องมีวงจรเพิ่มเติมเข้าไปทำการเข้าระหัส

ข้อดีวงจรเอทูดีแบบขนานนี้คือความเร็วสูงมาก บางครั้งจึงเรียกวงจรเอทูดีแบบนี้ว่าแบบ "แฟลต" (Flash Type A/D Converter) วงจรเอทูดีชนิดนี้ใช้เวลาในการแปลงได้เร็วในระดับนาโนวินาทีทีเดียว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.4.2 แบบใช้การประมาณค่า (Successive Approximation A/D Converter)

วงจรเอทูดีแบบนี้มีข้อได้เปรียบทางด้านความละเอียด เพราะความละเอียด n บิต สามารถกำหนดได้จากสัญญาณนาฬิกา n ลูก ถ้าเราต้องการความละเอียด 8 บิตจะต้องการพัลส์ของสัญญาณนาฬิกา 8 ลูกในขณะที่ใช้แบบวงจรนับต้องใช้พัลส์ถึง 256 ลูก วงจร SA (Successive Approximation) นี้แสดงไว้ในรูปที่ 2.9 หัวใจของวงจรคือ Successive Approximation Register (SAR) เช่น เบอร์ MC14549 ที่มีการทำงานดังต่อไปนี้



รูปที่ 2.9 วงจรเปลี่ยนสัญญาณเอทูดีแบบ Successive Approximation

เมื่อเริ่มทำการเปลี่ยนสัญญาณ พัลส์ลูกแรกจะทำการส่งบิตที่มีนัยสำคัญสูงสุดไปยังดีทูเอเบอร์ MC1408 โดย SAR จะรอสัญญาณจากวงจรเปรียบเทียบ LM319 ซึ่งทำการตรวจสอบว่าเอาท์พุทของวงจรดีทูเอมากกว่าหรือน้อยกว่าแรงดันอินพุท Vin ถ้าเอาท์พุทของวงจรเปรียบเทียบมีระดับ “high” เอาท์พุทของดีทูเอจึงต่ำกว่า Vin_SAR จะทำการเก็บบิตที่มีนัยสำคัญสูงสุดไว้ ถ้าเอาท์พุทของวงจรเปรียบเทียบเป็นระดับ “low” เอาท์พุทของวงจรเปรียบเทียบจึงมากกว่า Vin_SAR จะทำการรีเซตบิตที่มีนัยสูงสุดนั้น

พัลส์ลูกต่อมาก็ทำเช่นเดียวกัน โดยบิตที่ได้คือ บิตที่มีนัยสำคัญรองลงมา SAR ทำงานแบบนี้ไปจนถึงที่มีนัยสำคัญต่ำสุด แต่ละบิตใช้สัญญาณนาฬิกาลูกเดียวครบทุกบิต แล้ว SAR ทำการส่งสัญญาณ EOC (End of Conversion) ออกไป สัญญาณ EOC เป็นตัวบอกว่าสัญญาณเอาท์พุทที่ขนานกันมาทุกเส้นมีข้อมูลดิจิตอลของสัญญาณอินพุทครบถ้วนแล้ว ถ้าสัญญาณ EOC ถูกต่อไปยังอินพุทที่เป็นจุดเริ่มการเปลี่ยนสัญญาณ การเปลี่ยนสัญญาณก็จะเกิดขึ้นอย่างต่อเนื่อง วงจรแปลงเอทูดีชนิดนี้มีความเร็วและความละเอียดสูง จึงเป็นวงจรที่นิยมนำมาใช้กันอย่างแพร่หลาย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

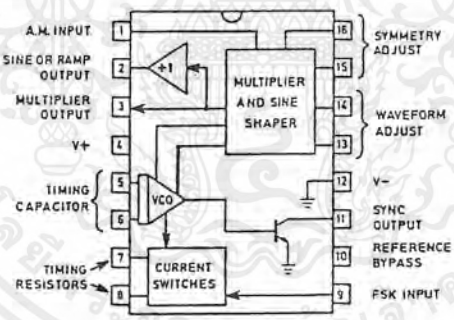
2.5 XR 2206 ไอซีผลิตความถี่

ไอซีเบอร์ XR-2206 นี้เป็นโมโนลิคทิกฟังก์ชันเจนเนอร์เรเตอร์ มีความสามารถในการผลิตคลื่นรูปไซน์, รูปคลื่นสี่เหลี่ยม, รูปคลื่นสามเหลี่ยม, แรมพ์ได้ โดยที่มีความถี่ตั้งแต่ไม่กี่เฮิร์ทจนถึงหลายร้อยกิโลเฮิร์ท ซึ่งต้องต่อกับวงจรภายนอกอีกนิดหน่อยนอกจากนี้ยังสามารถนำไอซี XR-2206 มาควบคุมขนาดและความถี่และการเลื่อนเฟสได้

สามารถที่จะใช้กับไฟเลี้ยงตัวเดียวคือในช่วง 10 ถึง 26 โวลท์ได้ หรืออาจจะใช้ไฟเลี้ยงคู่ได้ในช่วง 5 ถึง 13 โวลท์ ขณะที่ต้องผลิตสัญญาณคลื่นไซน์นั้นค่า T.H.D. ของสัญญาณนั้นมีค่า 2.5 % เมื่อยังไม่มีการปรับแต่ง แต่ก็สามารถปรับให้เหลือเพียง 0.5 % ได้ โดยการควบคุมของวงจรที่นำมาต่อร่วมโดยที่สัญญาณเอาท์พุทรูปไซน์นี้จะมีขนาดสูงสุด 2 โวลท์และมีเอาท์พุทอิมพิแดนซ์เท่ากับ 600 โอห์ม

2.5.1 การทำงานของ XR-2206

รูปที่ 2.10 แสดงบล็อคไดอะแกรมแต่ละส่วนของ XR-2206 ซึ่งเป็นแพคเกจขนาด 16 ขา หัวใจสำคัญของส่วนนี้คือ ส่วนแรงดันควบคุมความถี่ (Voltage control oscillator) ซึ่งจากรูปจะเห็นว่า มีตัวเก็บประจุจัดเวลา (timing capacitor) ซึ่งมีค่าได้ในช่วง 1000 pF ถึง 100 uF ต่อที่ขา "5" และ "6" ซึ่งเป็นอินพุทของส่วนแรงดันควบคุมความถี่



รูปที่ 2.10 แสดงบล็อกไดอะแกรมการทำงานและขาต่างๆของ XR-2206

สำหรับตัวต้านทานจัดเวลา (timing resistor) นั้นจะต่อกับขา "12" และขา "7" หรือขา "8" ซึ่งจะมีค่าระหว่าง 1 kΩ ถึง 2 MΩ ค่าของตัวต้านทานจัดเวลาและตัวเก็บประจุจัดเวลานั้นจะมีผลต่อความถี่ในการออสซิเลทซึ่งจะมีค่าเท่ากับ

$$f_o = 1/RC \text{ Hz}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

จะเห็นว่าเราสามารถที่จะเปลี่ยนค่า R หรือ C เพื่อให้ความถี่เปลี่ยนแปลงได้ แต่เพื่อที่จะให้เกิดการคงตัวของอุณหภูมิ (temperature stability) และความเพี้ยนของสัญญาณไซน์น้อยที่สุด ควรจะให้ค่าของตัวต้านทานจัดเวลามีค่าอยู่ระหว่าง 4 kΩ ถึง 200 kΩ

ในการเลือกตัวต้านทานจัดเวลานั้นว่าจะต่อกับขา "7" หรือขา "8" นั้น เราพิจารณาโดยดูว่ามีการป้อนสัญญาณที่ขา FSK INPUT หรือไม่ ถ้าขา FSK INPUT นั้นเปิดวงจรหรือต่อกับสัญญาณแรงดันขนาดมากกว่า 2 โวลท์ จะต่อตัวต้านทานเข้าที่ขา "7" ในทางกลับกัน ถ้าขา FSK INPUT นี้ต่อกับแรงดันไฟฟ้าต่ำกว่า 1 โวลท์ ขา "8" จะต้องต่อตัวต้านทานด้วย

ส่วนของออสซิเลเตอร์นั้นผลิตรูปคลื่นได้ 2 ชนิดคือ รูปคลื่นสามเหลี่ยม ซึ่งจะป้อนไปที่ส่วนคูณสัญญาณและแต่งสัญญาณเป็นรูปไซน์ (multiplier and sine shaper block) อีกทีหนึ่ง และรูปคลื่นสี่เหลี่ยมซึ่งจะป้อนออกที่ขาเอาท์พุทที่ขา "11" โดยผ่านทรานซิสเตอร์ ซึ่งการผลิตรูปคลื่นนี้ก็ขึ้นอยู่กับตัวเก็บประจุจัดเวลา โดยตัวเก็บประจุนี้จะเริ่มต้นเก็บประจุ ซึ่งเป็นผลทำให้เกิดเป็นคลื่นรูปสามเหลี่ยมที่กำลังพุ่งขึ้น และอีกเอาท์พุทก็จะให้สัญญาณ " high" ที่รูปคลื่นสี่เหลี่ยมจนกระทั่งแรงดันไฟฟ้านั้นถึงจุดหนึ่งที่เรียกว่า "firing voltage" ที่จุดนี้จะทำให้สัญญาณคลื่นรูปสี่เหลี่ยมจะกลับกลายเป็น "low" และตัวเก็บประจุจัดเวลาจะเก็ประจุในทิศทางกลับกับตอนต้นเป็นผลทำให้สัญญาณรูปสามเหลี่ยมจะตกลง ซึ่งจะตกลงจรถึงจุด "firing voltage" เช่นกัน จะทำให้คลื่นรูปสี่เหลี่ยมกลับกลายเป็นระดับ "high" และขบวนต่างๆก็จะกลับไปมาเช่นนี้เหมือนเดิม

ในกรณีที่เปิดวงจรที่ขา "13" และ "14" นั้นมีผลทำให้ที่เอาท์พุทขา "2" และ "3" จะให้รูปคลื่นสามเหลี่ยมออกมาแต่ถ้าต่อกับตัวต้านทานที่มีค่าสักสองสามร้อยโอห์มที่ขา "13" และ "14" จะทำให้ยอดของรูปคลื่นสามเหลี่ยมถูกตัดออก ทำให้เอาท์พุทที่ขา "2" และ "3" นั้นผลิตคลื่นรูปไซน์ออกมา ถ้ามีการปรับแต่งที่ถูกตอนและเหมาะสมจะทำให้คลื่นรูปไซน์ที่ได้มีความผิดเพี้ยนเพียง 0.5% เท่านั้นเอง

2.5.2 ขอบเขตของความถี่และการมอดูเลทแบบความถี่

ความถี่ในการออสซิเลทของ XR-2206 นี้แปรผันโดยตรงกับค่าของกระแสจัดเวลา (timing current, I_T)ที่ขา "7" และขา "8" โดยสมการดังนี้

$$f = 320 * I_T(mA)/ C (uF) \quad Hz$$

โดยที่ขา "7" และขา "8" นี้จะเป็นขาที่มีค่าอิมพิแดนซ์ต่ำและจะถูกป้อนไฟเลี้ยงไว้ 3 โวลท์ โดยเทียบจากแรงดันที่ขา "12" สำหรับความถี่นี้จะแปนผันโดยตรงกับ I_T เมื่อค่ากระแสนี้อยู่ในช่วง 1 uA ถึง 3 mA ด้วยเหตุนี้สามารถที่จะปรับความถี่โดยการ (ก) เปลี่ยนแปลงกระแสโดยการต่อความต้านทานเข้าที่ขา "12" กับขาจัดเวลา หรือ (ข) โดยการเปลี่ยนแปลงแรงดันในช่วง 0 ถึง 3 โวลท์ ระหว่างขา "12" กับขาจัดเวลา โดยใช้ตัวต้านทานจำกัดกระแส (ค) รวมวิธีในข้อ ก และ ข เข้าด้วยกัน

วิธีในข้อ (ข) นั้นสามารถใช้ในการกำหนดขอบเขตความถี่ของสัญญาณเอาท์พุทของ XR-2206 ได้และวิธีในข้อ (ค) สามารถนำไปใช้ในการมอดูเลทความถี่ของสัญญาณเอาท์พุทได้

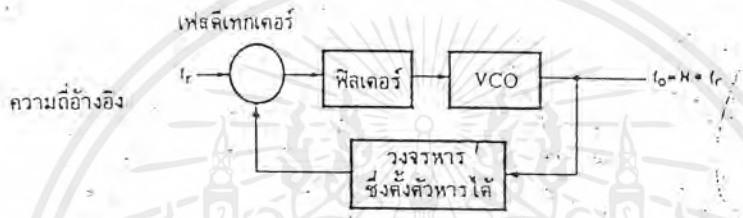
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
36922

2.6 การสังเคราะห์ความถี่

การสังเคราะห์ความถี่มีอยู่หลายแบบดวอย่างที่จะกล่าวถึงต่อไปนี้เป็นหน่วยสังเคราะห์ความถี่ ซึ่งมีขั้นการตั้งความถี่ขั้นละ fr เท่าของความถี่อ้างอิง

2.6.1 PLL แบบโดยตรง

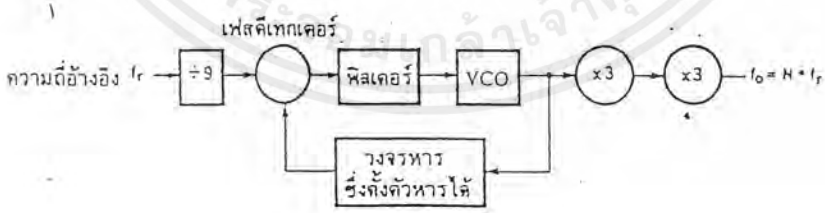
วิธีการสังเคราะห์ความถี่นี้ใช้ PLL แบบโดยตรง นับว่าเป็นวิธีที่ง่าย ความถี่เอาท์พุทมีค่าเป็น N เท่าของความถี่อ้างอิง ดังรูปที่ 2.11 ในที่นี้ VCO ต้องสามาทำงานได้ตลอดย่านความถี่เอาท์พุท ความถี่อาจขึ้นไปได้ถึง 200 MHz อย่างไรก็ดีวงจรนับที่โปรแกรมตัวหาร N นั้นมีราคาแพง



รูปที่ 2.11 PLL แบบโดยตรง

2.6.2 PLL แบบคูณความถี่

ในรูปที่ 2.12 เราหารความถี่อ้างอิง fr ลง 9 เท่า ก่อนที่จะป้อนให้แก่วงจรเฟสดีเทคเตอร์ และเอาท์พุทจาก VCO ก็คูณความถี่ขึ้นไป 9 เท่าวิธีนี้ช่วยลดการทำงานของของวงจรหาร N ลงแต่ก็ให้ผลตอบสนองต่อการเปลี่ยนความถี่ของ PLL ช้าลง เนื่องจากความถี่ที่ใช้เทียบเฟสต่ำลง



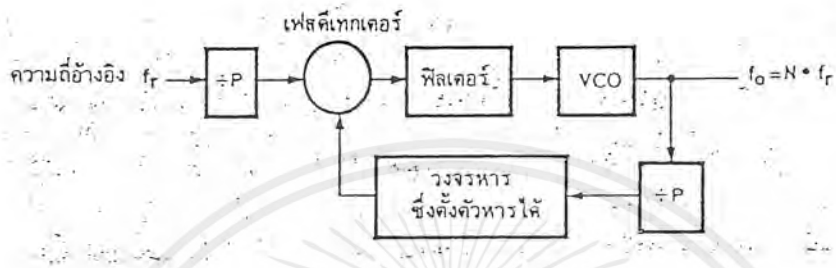
รูปที่ 2.12 PLL แบบคูณความถี่

2.6.3 PLL แบบพรีสเกลเลอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PLL ในรูปที่ 2.13 ใช้วิธีหารความถี่อ้างอิง fr ลง P เท่า ก่อนที่จะป้อนให้แก่วงจรเฟสดีเทคเตอร์ และใช้วิธีคูณความถี่ขึ้นไป P เท่าภายในลูป แทนที่จะคูณความถี่ภายนอกลูปดัง เช่น PLL แบบคูณความถี่วงจร VCO ในกรณีนี้ต้องทำงานขึ้นไปถึงความถี่ที่ใช้งาน โดยไม่ต้องมีวงจรคูณความถี่

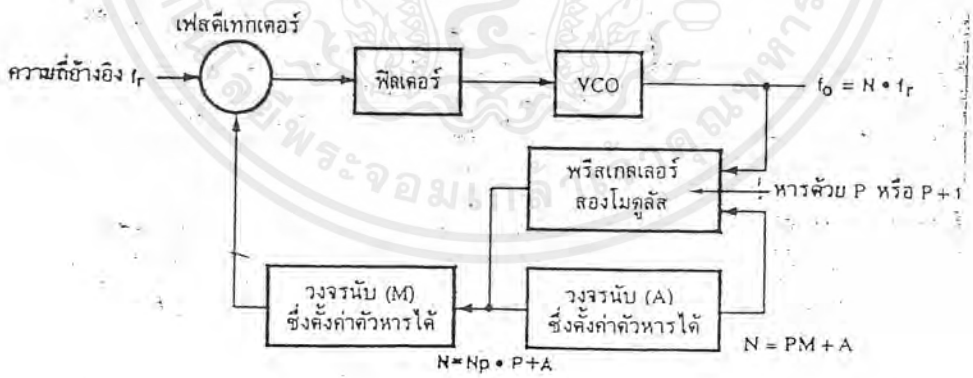
วงจรนับหาร P เป็นชุดฟลิบฟลอบธรรมดา ซึ่งตัวหารกำหนดไว้ตายตัวและสามารถทำงานที่ความถี่สูงได้ เราเรียกเช่นนี้ว่า วงจรพรีสเกลเลอร์



รูปที่ 2.13 PLL แบบพรีสเกลเลอร์

2.6.4 PLL แบบพรีสเกลเลอร์สองโมดูลัส

PLL ในรูปที่ 2.14 ใช้พรีสเกลเลอร์ เช่นเดียวกับ PLL ในรูปที่ 2.13 เว้นแต่วงจรพรีสเกลเลอร์นี้มิใช่วงจรนับซึ่งหารค่าตายตัว P แต่เป็นวงจรนับซึ่งตัวหารเปลี่ยนค่าได้ระหว่าง P กับ P+1 เราเรียกว่า พรีสเกลเลอร์สองโมดูลัส



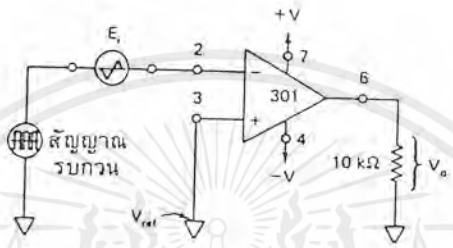
รูปที่ 2.14 PLL แบบพรีสเกลเลอร์สองโมดูลัส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.7 วงจรแปลงสัญญาณไซน์เป็นสัญญาณสี่เหลี่ยม

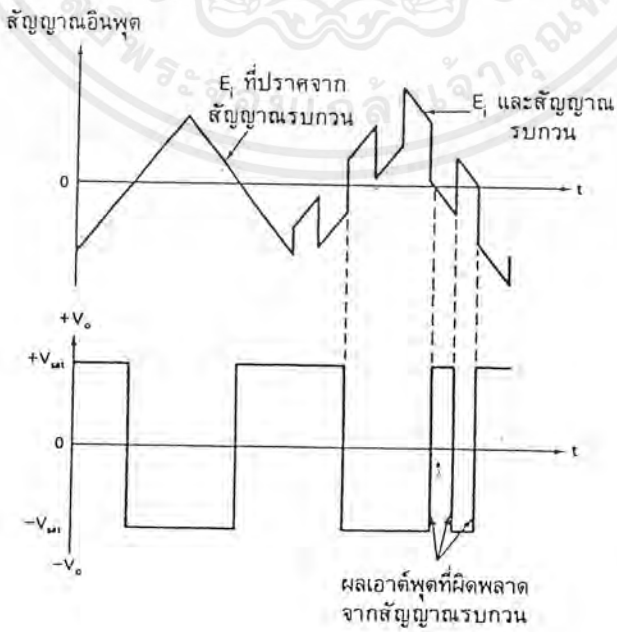
2.7.1 ผลกระทบจากสัญญาณรบกวน

วงจรในรูปที่ 2.15 เป็นวงจรตรวจจับการผ่านศูนย์แบบอินเวอร์ติ้งที่สร้างจากออปแอมป์เบอร์ 301 ซึ่งเป็นออปแอมป์ที่ถูกออกแบบมาให้ใช้กับงานทั่วไป ที่ขาอินพุทลบ (-) ของออปแอมป์มีสัญญาณอินพุท E_I และสัญญาณรบกวน (ลักษณะเป็นคลื่นรูปสี่เหลี่ยม) ต่ออยู่ และระดับแรงดันเปรียบเทียบ V_{ref} ต่ออยู่กับขาอินพุทบวก (+) ในที่นี้กำหนดให้ V_{ref} มีค่าเท่ากับศูนย์โวลต์



รูปที่ 2.15 แสดงวงจรตรวจจับสัญญาณตัดผ่านศูนย์แบบอินเวอร์ติ้ง

ในรูปที่ 2.16 แสดงถึงผลของสัญญาณรบกวนที่ทำให้สัญญาณอินพุทผิดเพี้ยนไปจากที่ควรจะเป็น โดยเฉพาะอย่างยิ่งใจช่วงที่ E_I มีค่าใกล้เคียงกับ V_{ref} ผลของสัญญาณรบกวนจะมีผลอย่างมากต่อเอาท์พุทที่ได้ จากรูปที่ 2.16 สัญญาณรบกวนทำให้ความถี่ของเอาท์พุทมีค่าสูงขึ้นกว่าที่ควรจะเป็น ความผิดพลาดเหล่านี้สามารถแก้ไขได้โดยใช้การป้อนกลับแบบบวก โดยจะกล่าวถึงใจต่อไป

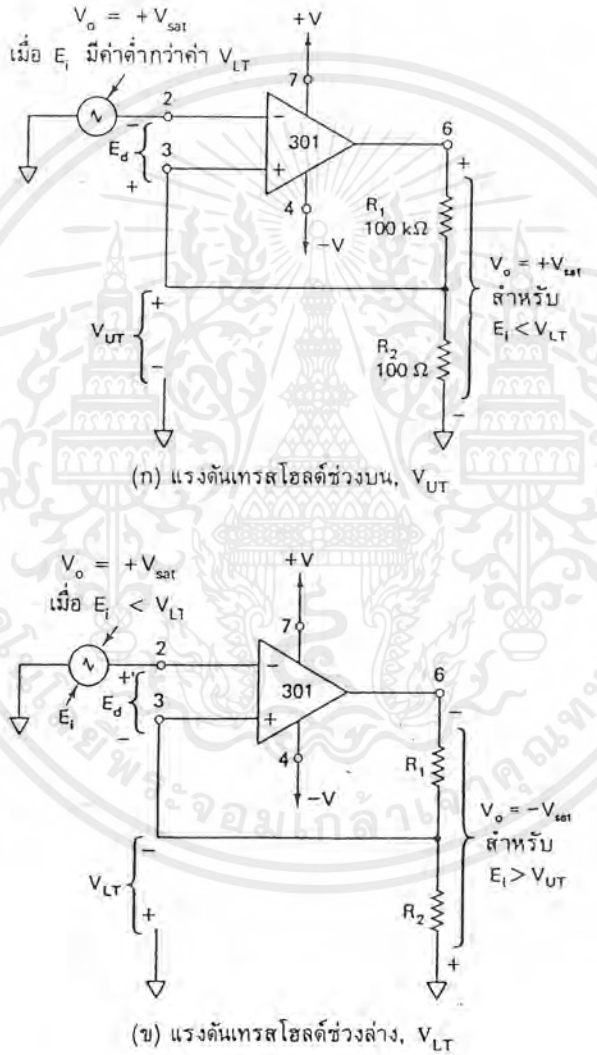


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 2.16 แสดงผลของสัญญาณรบกวนที่มีต่อวงจรตรวจจับสัญญาณตัดผ่านศูนย์

2.7.2 การป้อนกลับแบบบวก

เมื่อกล่าวถึงการป้อนกลับแบบบวก จะหมายถึงการที่เราดึงเอาสัญญาณบางส่วนของเอาท์พุท V_O ประกอบด้วยแรงดันที่ตกคร่อม R_1 และ R_2 โดยจะมีส่วนหนึ่งของ V_O ถูกป้อนกลับไปยังขาอินพุทบวก เพื่อใช้เป็นแรงดันอ้างอิงที่ขึ้นอยู่กับ V_O ซึ่งในหัวข้อต่อไปนี้จะได้ทำการวิเคราะห์วงจรการป้อนกลับแบบบวกนี้ว่าสามารถลดผลของความผิดพลาดอันเนื่องมาจากสัญญาณรบกวนได้อย่างไร



รูปที่ 2.17 วงจรเปรียบเทียบสัญญาณที่มีการป้อนแบบบวก

2.7.2.1 แรงดันเทรสโฮลด์ช่วงบน (upper-threshold voltage) จากวงจรในรูปที่ 4.3 (ก) แรงดันเอาท์พุท V_O ประกอบด้วยแรงดันที่ตกคร่อม R_1 และ R_2 โดยส่วนหนึ่งจะถูกป้อนกลับไปยังขาอินพุทบวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ถ้า V_O เท่ากับ + V_{sat} แรงดันที่ถูกป้อนกลับนี้จะเรียกว่า แรงดันเทรสโฮลด์ช่วงบน (upper-threshold voltage หรือ V_{UT}) ซึ่งจะหาได้จากสมการ

$$V_{UT} = (R_2/(R_1 + R_2)) * V_{sat}$$

ถ้าเราป้อนแรงดัน E_i เข้าที่ขาลบของอินพุทให้มีค่าต่ำกว่า V_{UT} ซึ่งอยู่ที่ขาอินพุทบวก (แรงดันที่ขาบวกมีค่ามากกว่าขาลบ) จะทำให้ V_O มีค่าเป็น + V_{sat} เมื่อเราค่อยๆเพิ่มค่าระดับแรงดัน E_i ให้มีค่าเพิ่มขึ้นเรื่อยๆจนสูงกว่า V_{UT} ขั้วของ E_d จะตรงกันข้ามกับรูปที่ 2.17 (ก) (แรงดันที่ขาบวกเริ่มมีค่าน้อยกว่าขาลบ) ทำให้ V_O มีค่าลดลงมาเรื่อยๆ เมื่อ V_O มีค่าน้อยลงแรงดันที่ป้อนให้ขาอินพุทบวกก็น้อยลงด้วย E_d มีค่าเพิ่มขึ้น V_o จะยิ่งมีค่าลดลงเร็วขึ้นจนในที่สุด V_o จะเท่ากับ - V_{sat} สถานะของวงจรนี้จะคงที่ สภาวะนี้แสดงได้ดังรูปที่ 2.17 (ข)

2.7.2.2 แรงดันเทรสโฮลด์ช่วงล่าง (lower-threshold voltage) เมื่อ V_o เท่ากับ - V_{sat} แรงดันที่ป้อนกลับมาที่ขาบวกในตอนนี้จะเรียกว่า แรงดันเทรสโฮลด์ช่วงล่าง (lower-threshold voltage หรือ V_{LT}) ซึ่งมีค่าดังสมการ

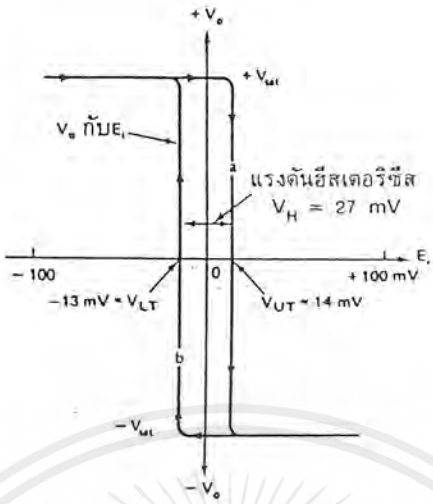
$$V_{LT} = (R_2/(R_1 + R_2)) * (- V_{sat})$$

ค่า V_{LT} ที่หาได้ในสมการที่ 4.2 นี้จะมีค่าเป็นลบ และ V_o จะมีเท่ากับ - V_{sat} ตราบใดที่ Ei ยังมีค่าสูงกว่า V_{LT} อยู่ แต่ถ้า E_i มีแรงดันตกลงมาต่ำกว่า V_{LT} เมื่อใด V_o จะกลายเป็น + V_{sat} และแรงดันที่ป้อนกลับมาที่ขาบวกในตอนนี้จะกลายเป็น V_{UT} ไป

คุณสมบัติของวงจรป้อนกลับแบบบวกคือ V_o สามารถเปลี่ยนสถานะจากระดับหนึ่งไปสู่อีกระหนึ่งได้รวดเร็ว การเปลี่ยนแปลงเข้าสู่จุดอิ่มตัวทำได้เร็วขึ้น ในการใช้ V_o ป้อนกลับไปยังขาบวกนี้จะทำให้เกิดระดับสัญญาณเปรียบเทียบได้ 2 ระดับคือ V_{UT} และ V_{LT} ถ้าช่วงของแรงดันเทรสโฮลด์ทั้งสองนี้มีขนาดมากกว่าจุดสูงของสัญญาณรบกวนแล้ววงจรป้อนกลับแบบบวกจะช่วยลดความผิดพลาดที่จะเกิดขึ้นในด้านเอาท์พุทลงได้

2.7.2.3 วงจรตรวจจับสัญญาณผ่านศูนย์พร้อมฮีสเตอริซีส ในตอนแรกแรงดัน E_i (ที่ป้อนให้ที่ขาลบ) มีค่าต่ำกว่าระดับแรงดัน V_{LT} (ที่ป้อนเข้าที่ขาบวก) ดังนั้น V_o จึงมีค่าเท่ากับ + V_{sat} ทำให้แรงดันที่ขาบวกในตอนนี้กลายเป็น V_{LT} ซึ่งมีค่าเป็นบวก เมื่อทำให้แรงดัน E_i มีค่าเพิ่มขึ้นเรื่อยๆ จนในที่สุดก็สูงกว่า V_{UT} ทำให้ V_o ในตอนนี้ตกลงมาเป็น – V_{sat} (เส้น a) ทำให้แรงดันเปรียบเทียบที่ขาบวกในตอนนี้กลายเป็น V_{LT} ซึ่งมีค่าเป็นลบ เมื่อ E_i สูงขึ้นถึงจุดยอดก็ค่อวๆลดค่าลงมาจนกระทั่งต่ำกว่า V_{LT} ทำให้ V_o เปลี่ยนค่าจาก – V_{sat} กลายเป็น + V_{sat} (เส้น b) และแรงดันเปรียบเทียบที่ขาบวกกลายเป็น V_{UT} จะเป็นเช่นเรื่อยๆไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.18 แสดงกราฟแรงดันระหว่าง V_o และ E_i ที่มีลักษณะเป็นฮีสเตอริซีส

ความแตกต่างระหว่าง V_{UT} และ V_{LT} เรียกว่า แรงดันฮีสเตอริซีส (V_H) การที่สถานะของวงจรเปลี่ยนจากสถานะที่ 1 ไปยังสถานะที่ 2 ด้วยอินพุทอีกค่าหนึ่งที่ต่างกันกับค่าแรก การกระทำที่เกิดผลในลักษณะเช่นนี้เรียกว่า ฮีสเตอริซีส (hysteresis) สำหรับคอมพาราเตอร์แบบป้อนกลับแบบบวก ค่าของแรงดันฮีสเตอริซีสหรือก็คือแรงดันอินพุทที่ต่างกันหาได้ดังนี้

$$V_H = V_{UT} - V_{LT}$$

ถ้าเราออกแบบให้แรงดันฮีสเตอริซิสมีค่ากว้างกว่าขนาดจากจุดยอดกับจุดยอด (peak to peak) ของสัญญาณรบกวน ก็สามารถจะกันไม่ให้เกิดความผิดพลาดขึ้นที่เอาท์พุทได้ (ตราบใดที่ V_H ยังมีค่ามากกว่าสัญญาณรบกวนอยู่) ดังนั้นค่า V_H นี้จึงบอกได้ว่าวงจนี้สามารถกันสัญญาณรบกวนได้ขนาดสูงสุดเป็นเท่าใด

2.8 วงจรฮาล์ฟเวฟเรกติไฟเออร์

วงจรกลับทิศทางครึ่งลูกคลื่นหรือฮาล์ฟเวฟเรกติไฟเออร์นี้จะสามารถนำกระแสได้เพียงครึ่งลูกคลื่นสัญญาณไฟฟ้าเท่านั้น ซึ่งอาจจะเป็นเฉพาะครึ่งลูกคลื่นบวกหรือไม่ก็อาจเป็นครึ่งลูกคลื่นลบอย่างใดอย่างหนึ่งก็ได้ส่วนที่เหลืออีกครึ่งลูกคลื่นจะถูกกั้นไม่ให้เกิดกระแสไหลผ่าน

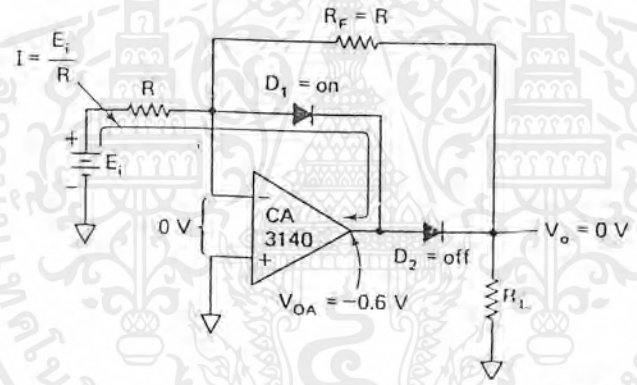
2.8.1 ชนิดเอาท์พุทเป็นบวก โดยใช้วงจรขยายอินเวอร์ติง

วงจรขยายอินเวอร์ติงจะทำการกลับขั้วสัญญาณที่ได้จากไดโอด 2 ตัว ดังรูปที่ 2.19 ทำให้ได้วงจรฮาล์ฟเวฟเรกติไฟที่สามารถทำงานได้ตามอุดมคติ เมื่อ E_i เป็นบวกดังรูปที่ 2.19 (ก)

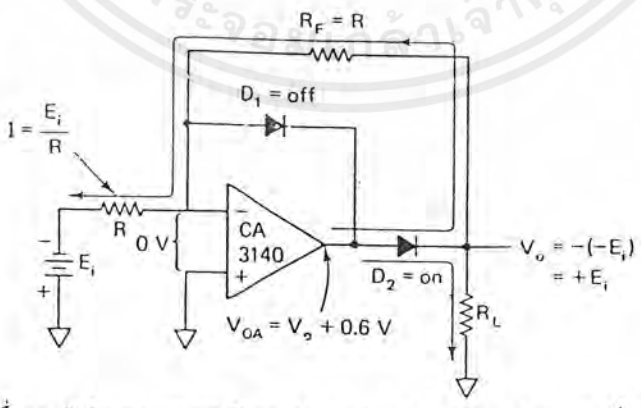
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ไดโอด D_1 จะนำกระแสทำให้เกิดแรงดันเอาท์พุทของออปแอมป์ V_{OA} ที่มีค่าเป็นลบ (ที่ขาอินพุททั้งสองของไดโอดจะยอมให้กระแสไหลผ่านน้อยมาก กระแสจึงไหลไปยังจุดอื่นมากกว่า) หรือประมาณ – 0.6 โวลต์ ซึ่งทำให้ไดโอดตัวที่สองหรือ D_2 อยู่ในสภาพการรีเวิร์สไบอัส หรือถูกป้อนกระแสย้อนศร V_O จึงมีค่าเท่ากับ 0 โวลต์ อนึ่งในทางปฏิบัติจริงแทบไม่มีกระแสที่ไหลผ่าน R_F เลย
เนื่องจากค่า R_F มีค่าความต้านทานมากกว่าความต้านทานของไดโอด D_1 (ในขณะนั้น) กระแสเกือบทั้งหมดจะไหลผ่าน D_1 ค่า V_O จึงเท่ากับ 0 โวลต์ตามเดิม

ในรูปที่ 2.19 (ข) หรือเมื่อแรงดันอินพุทเป็นลบ จะทำให้ค่า V_{OA} มีค่าเป็นบวก D_2 จะนำกระแสซึ่งไหลผ่าน R_F วงจรในขณะนี้จึงเหมือนวงจรขยายแบบอินเวอร์ติ้ง โดย $R_i = R_F$ และ $V_o = -(-E_I) = +E_I$ สำหรับกระแส I ที่ได้จะสามารถคำนวณได้จากค่าของ E_i/R และอัตราขยายที่ได้จะมีค่าเท่ากับ $-R_F/R_I$ ตรงจุดนี้ผู้เรียบเรียงอยากเตือนผู้ที่คิดจะออกแบบวงจรว่า กระแสเอาท์พุทของออปแอมป์มีค่าจำกัดค่าหนึ่ง ดังนั้นการออกแบบวงจรจึงควรระมัดระวังในเรื่องนี้ด้วย นอกจากนี้อย่าลืมว่าเมื่อเราจ่ายแรงดันอินพุทให้วงจรเป็นลบเท่านั้น จึงจะได้ลูกคลื่นค่าบวกที่เอาท์พุท และ V_o จะมีค่าเท่ากับ 0 หรือบวกเท่านั้น



(ก) เมื่อแรงดันอินพุตของวงจรเป็นบวก V_o จะถูกสกัดกั้นกระแสโดยไดโอดจึงมีค่าเท่ากับ 0 โวลต์

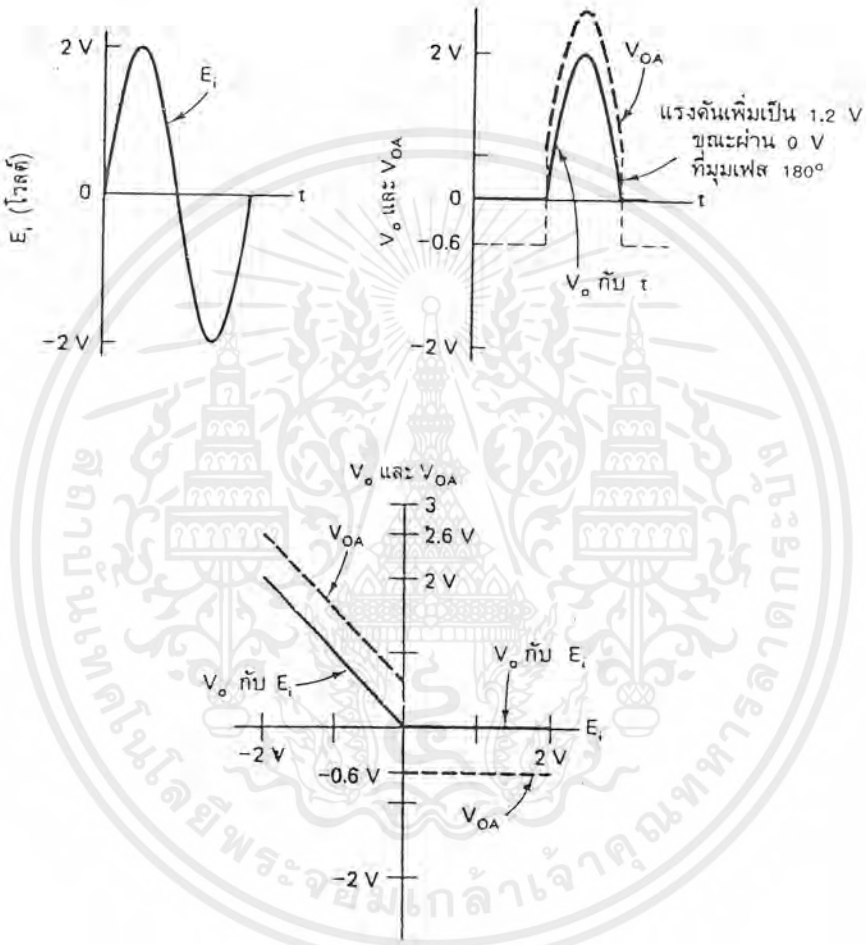


(ข) เมื่อแรงดันอินพุตของวงจรเป็นลบ V_o จะมีค่าเป็นบวกและเท่ากับ E_i ที่เป็นลบ

รูปที่ 2.19 วงจรอินเวอร์ติงฮาล์ฟเวฟเรกติไฟเออร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปคลื่นที่เกิดขึ้นจากวงจรนี้จะเป็นดังรูปที่ 2.20 โดยค่า V_o ที่เป็นลูกคลื่นจะมีค่าได้เฉพาะที่เป็นบวก ในรูปที่ 2.19 (ข) จะเป็นการแสดงค่าเทรสโฮลหรือค่าเริ่มเปลี่ยนสถานะของซิลิคอนไดโอดทั่วไป ซึ่งจำเป็นต้องใช้แรงดันค่าหนึ่งจึงจะสามารถทำงานได้ อย่างไรก็ตาม เมื่อเราใช้วงจรป้อนกลับของออปแอมป์ จะทำให้สามารถแก้ปัญหาเรื่องค่าเทรสโฮลด์นี้ได้ ซึ่งทำให้ไดโอดสามารถกลับทิศทางไฟฟ้าได้แม้ว่าแรงดันอินพุทที่ได้จากวงจรจะมีค่าอยู่ในช่วง ± 0.6 โวลต์

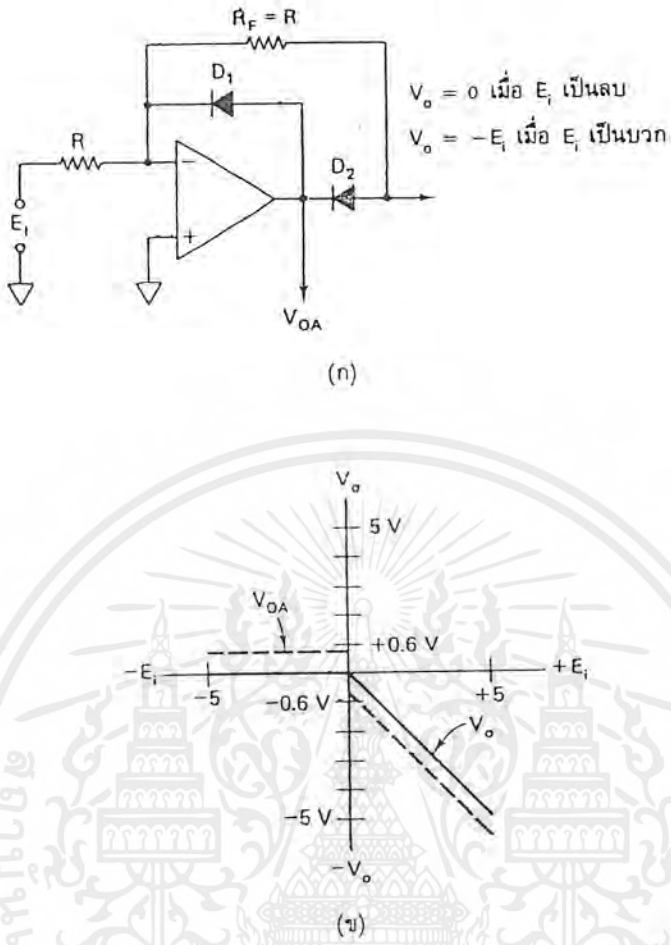


รูปที่ 2.20 แสดงรูปคลื่นที่ได้จากวงจรอินเวอร์ติงฮาฟเวฟเรกติไฟเออร์

2.8.2 ชนิดเอาท์พุทเป็นลบ โดยใช้วงจรขยายอินเวอร์ติง

ไดโอดในรูปที่ 2.19 เมื่อนำมากลับทิศดังรูปที่ 2.21 (ก) เราจะพบว่าแรงดันอินพุทที่มีค่าเป็นบวกเท่านั้นที่จะสามารถส่งผ่านและถูกกลับขั้วได้ (ได้ค่าแรงดันเอาท์พุทเป็นลบเมื่ออินพุทเป็นบวกนั่นเอง) V_o จะมีค่า 0 โวลต์เสมอเมื่อแรงดันอินพุทมีค่าเป็นลบ วงจรนี้สามารถสรุปคุณสมบัติของวงจรได้ดังรูปที่ 2.21 (ข)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.21 การกลับการวางตัวของไดโอดในรูปที่ 2.19

2.9 วงจรตรวจจับแรงดันยอด

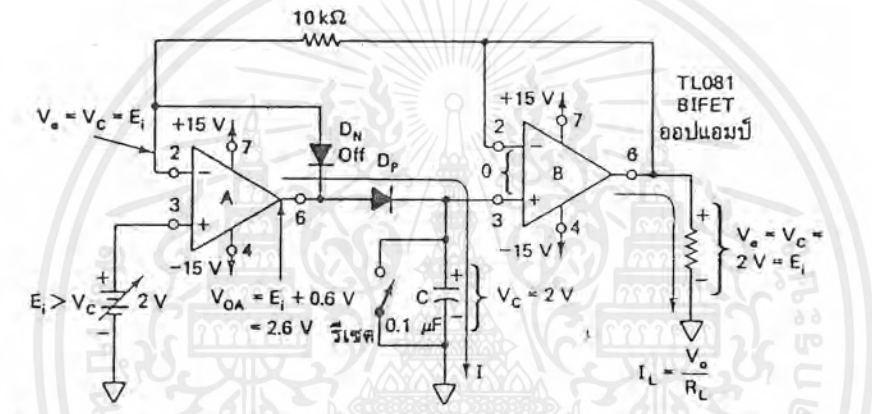
โดยวงจรจะทำการติดตามแรงดันตลอดเวลา แล้วทำการเก็บแรงดันสูงสุดที่เกิดขึ้นหรือแรงดันยอดเอาไว้ในตัวเก็บประจุ ถ้ามีแรงดันยอดที่สูงกว่าค่าที่เคยเก็บไว้แล้วตัวเก็บประจุก็จะทำการเก็บค่าใหม่เข้าไป และจะคายประจุก็ต่อเมื่อมีการเปิดใช้สวิตช์กลธรรมดาหรือสวิตช์อิเล็กทรอนิกส์ ดังนั้นวงจรชนิดนี้จึงอาจเรียกอีกชนิดหนึ่งว่า วงจรติดตามแล้วเก็บค่า หรือวงจรติดตามแรงดันยอด อนึ่งวงจรนี้ถ้าเรากลับขั้วไดโอด ก็จะได้เป็นวงจรติดตามแรงดันยอดลบ

วงจรในรูปที่ 2.22 ประกอบด้วยออปแอมป์ 2 ตัว ไดโอด 2 ตัว ตัวต้านทาน 1 ตัว ตัวเก็บประจุ และสวิตช์รีเซต ออปแอมป์ A จะเป็นวงจรฮาล์ฟเวฟเรกติไฟซึ่งจะทำการประจุกระแสให้กับตัวเก็บประจุก็ต่อเมื่อแรงดันอินพุท E มีค่ามากกว่า V_C ส่วนออปแอมป์ B จะเสมือนวงจร

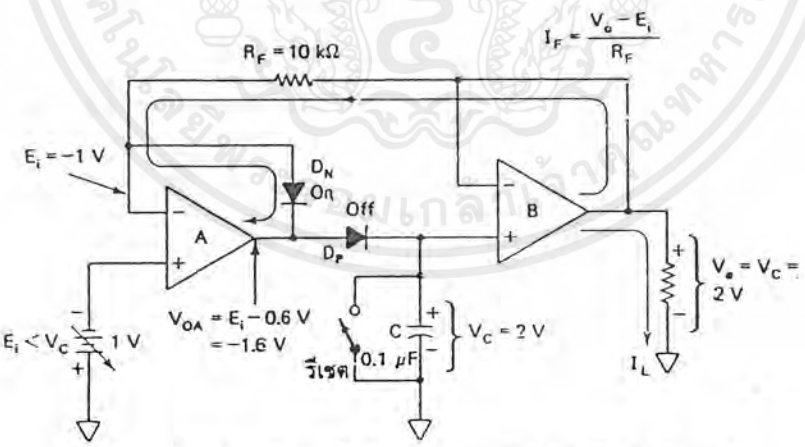
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บัฟเฟอร์ซึ่งจะทำการสะท้อนแรงดันที่เกิดขึ้นที่ตัวเก็บประจุไปยังเอาท์พุทของมัน ดังนั้นแรงดันเอาท์พุทของวงจรนี้ก็จะเท่ากับ V_C เสมอ เนื่องจากความต้านทานอินพุทที่สูงมากของวงจรบัฟเฟอร์ ดังนั้นจะไม่มีการคายประจุขึ้นที่ตัวเก็บประจุ

จากรูปที่ 2.22 (ก) เมื่อ E_I มีค่ามากกว่า V_C ประมาณ 0.6 โวลต์ไดโอด D_P จะอนุญาตให้กระแสไหลผ่านไปประจุตัวเก็บประจุได้ค่าแรงดัน V_C นี้จะสะท้อนไปที่เอาท์พุทของออปแอมป์ B ด้วยและเมื่อแรงดันอินพุทของวงจรมีค่าต่ำกว่า V_C ไดโอด D_P จะสกัดไม่ให้กระแสไหลผ่านย้อนตัวมัน กระแสก็จะไหลผ่านไดโอด D_N จากออปแอมป์ B ไปยังออปแอมป์ A ดังรูปที่ 2.22 (ข) สำหรับวงจรนี้ ข้อควรพิจารณาเพิ่มก็คือ เราควรใช้ไดโอดที่มีกระแสรั่วต่ำมาก และออปแอมป์ B ควรจะมีอินพุทอิมพีแดนซ์สูงมาก ตัวเก็บประจุควรเป็นชนิดที่กระแสรั่วต่ำและมีค่าการดูดกลืนของไดอิเล็กตริกต่ำ



(ก) เมื่อ E_i มีค่ามากกว่า V_c ตัวเก็บประจุ C จะทำการประจุกระแสซึ่งไหลจาก E_i ผ่าน D_P



(ข) เมื่อ E_i มีค่าน้อยกว่า V_c ตัวเก็บประจุ C จะคงค่าแรงดันยอดเดิมเอาไว้

รูปที่ 2.22 วงจรตรวจจับแรงดันยอดชนิดบวก แล้วคงค่าแรงดันยอดนั้นไว้

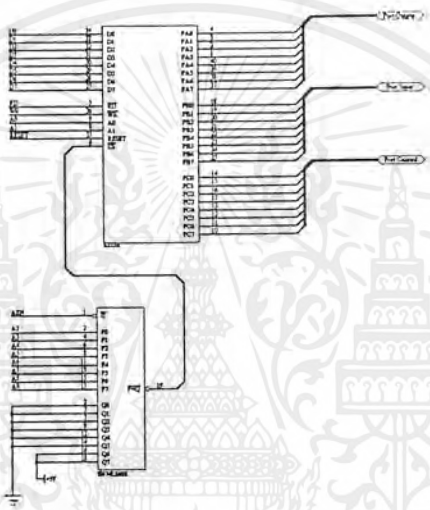
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3

การออกแบบและการทำงานของวงจร

3.1 ส่วนเชื่อมต่อกับกับคอมพิวเตอร์

3.1.1 การจัดแอดเดรสสำหรับพอร์ทอินพุทเอาท์พุท



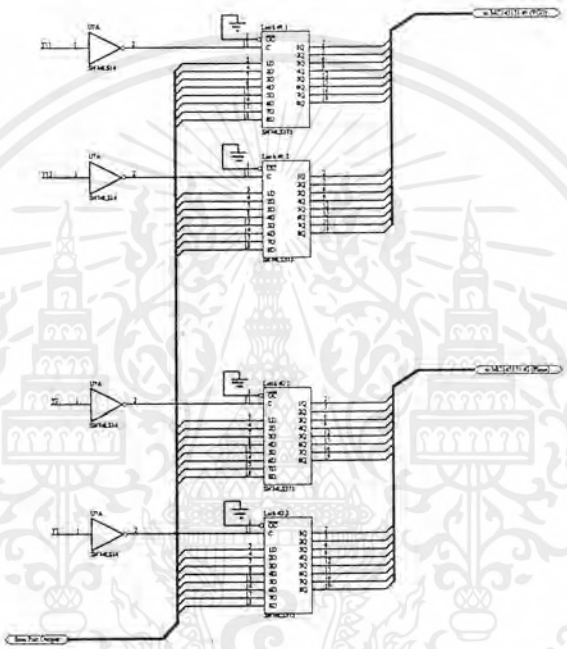
รูปที่ 3.1 วงจรดีโค้ด

จากรูปที่ 3.1เป็นวงจรที่ทำการดีโค้ดกลุ่มแอดเดสที่ต้องการ โดยการเซ็ตดิฟสวิตช์ที่ขา Q0 – Q7 ของ 74LS688 สำหรับหน้าที่ของ 74LS688 นี้จะทำการเปรียบเทียบค่าของอินพุท 2 ชุดที่ถูกส่งมาทางขา P0 – P7 และขา QO – Q7 ถ้าอินพุททั้ง 2 ชุดนี้เท่ากันแล้ว เอาท์พุทที่ขา P = Q จะให้เอาท์พุทเป็นลอจิก “0” จากในวงจรขา P0 – P7 ของ 74LS688 ต่อกับแอดเดรสบิท A2 - A9 ในขณะที่ขา Q0 – Q7 นี้จะต่อกับความต้านทานที่เป็นพูลอัป และขา Q0 – Q7 นี้จะต่อกับปลายด้านหนึ่งของดิฟสวิตช์ ด้วยส่วนอีกปลายด้านหนึ่งของดิฟสวิตช์นั้นจะต่อลงกราวนด์ไว้ ดังนั้นถ้าเราทำการ “ON” ดิฟสวิตช์ที่ต่อกับขาใดขานั้นจะได้รับลอจิก “0” ในขณะที่ถ้าดิฟสวิตช์ที่ขาใดถูก “OFF” ขานั้นจะได้รับลอจิก “1” และเนื่องจากขาอินพุตที่ขา P0 – P7 (แอดเดรส A2 – A9) ต้องเท่ากับอินพุทที่ขา Q0 – Q7 ดังนั้นถ้าทำการเปลี่ยนแปลงการเซ็ทดิฟสวิตช์เหล่านี้ก็จะทำให้แอดเดรสบิท A2 – A9 ซึ่งต่อกับขา P0 – P7 นั้นต้องเปลี่ยนแปลงตามไปด้วยจึงจะทำให้เอาท์พุทของ 74LS688 แอดทีฟได้ ทำให้สามารถเปลี่ยนค่าแอดเดรสที่ต้องการจะดีโค้ดได้ง่าย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ส่วนขา G1 จะต่อกับสัญญาณ AEN การต่อลักษณะนี้ก็เพื่อป้องกันไม่ให้ 74LS688 ทำการดีโค้ดในระหว่างกระบวนการ DMA นั่นเอง เอาท์พุจากขา P = Q ของ 74LS688 นี้จะถูกนำไปใช้ในการอีนาเบิล 8255 สำหรับในการเซ็ตดิฟสวิตช์นั้นจะเซ็ตเพื่อเลือกใช้แอดเดรส 300H – 303H

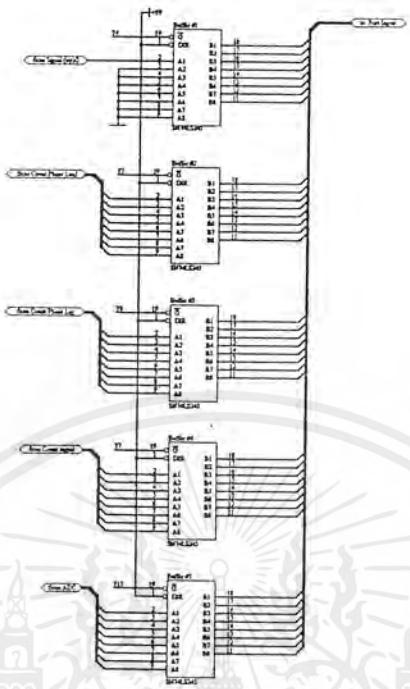
3.1.2 พอร์ทเอาท์พุท และพอร์ทอินพุท



รูปที่ 3.2 แสดงพอร์ทเอาท์พุท

พอร์ทเอาท์พุท หรือก็คือพอร์ท A ของ 8255 นั่นเอง เนื่องจากสัญญาณข้อมูลจะถูกส่งออกไปเพื่อโปรแกรม MC145151 ให้ทำหน้าที่หารความถี่ของสัญญาณ 20 MHz เพื่อใช้เป็นสัญญาณ CLK (20/N MHz) ในส่วนของการวัดความต่างเฟส และจะต้องส่งข้อมูลออกไปโปรแกรม MC145151 อีกตัวหนึ่ง ให้ทำหน้าที่หารความถี่ของสัญญาณ 20 MHz เพื่อใช้เป็นสัญญาณอ้างอิง (20/N MHz) ในส่วนของการสร้างสัญญาณซายน์ ดังนั้นจึงต้องมีตัวแลตช์ (latch) ข้อมูลที่ตัวเองต้องการ เก็บไว้ก่อนที่ข้อมูลบนพอร์ทเอาท์พุทจะเป็นของตัวอื่น โดย latch #1 และ latch #2 จะทำหน้าที่เก็บข้อมูลที่ส่งมาให้ MC145151 #1 (VCO) ซึ่งสัญญาณ Y11 และ Y12 ทำหน้าที่ควบคุมการเก็บข้อมูล ส่วน latch #3 และ latch #4 จะทำหน้าที่เก็บข้อมูลที่ส่งมาให้ MC145151 #2 (Phase) ซึ่งสัญญาณ Y0 และ Y1 ทำหน้าที่ควบคุมการเก็บข้อมูล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



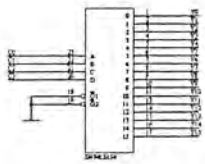
รูปที่ 3.3 แสดงพอร์ทอินพุท

ส่วนพอร์ทเอาท์พุท ก็คือหรือพอร์ท B ของ 8255 นั่นเอง ข้อมูลที่คอมพิวเตอร์จะอ่านเข้าไป หรือข้อมูลที่โปรแกรมต้องการนั่นเอง คอมพิวเตอร์จะอ่านข้อมูลเข้าไปทางพอร์ทอินพุท หรือพอร์ท B ของ 8255 จากรูปที่ 3.3 จะมีข้อมูลจาก ADC และจาก COUNTER ต่างๆ โดยสัญญาณ Y4 ใช้อีนาเบิลให้ Signal (i/p)/2 (square) เข้าไปในพอร์ทอินพุท และสัญญาณ Y5 ใช้อีนาเบิลให้ ข้อมูลจาก (i/p)/2 counter ส่งไปยังพอร์ทอินพุท และสัญญาณ Y6 ใช้อีนาเบิลให้ข้อมูลจาก Lead counter ส่งไปยังพอร์ทอินพุท และสัญญาณ Y7 ใช้อีนาเบิลให้ข้อมูลจาก Lag counter ส่งไปยังพอร์ทอินพุท

3.1.3 พอร์ทควบคุม

สัญญาณต่างๆ ที่ต้องใช้ควบคุมอุปกรณ์ภายนอกจะสร้างมาจากพอร์ทควบคุม หรือพอร์ท C ของ 8255

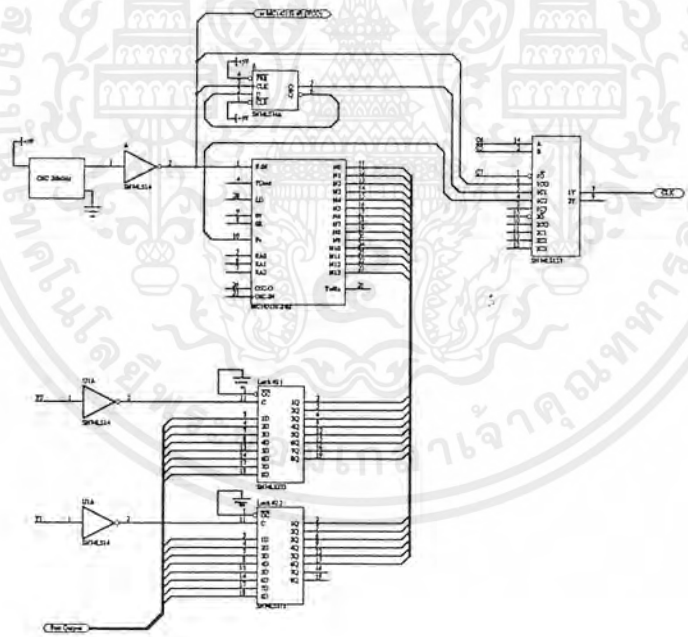
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.4 แสดงการสร้างสัญญาณ Y0 – Y15

สัญญาณ Y0 – Y15 สร้างมาจากสัญญาณ C0 – C3 โดยผ่านวงจรดีโค้ด ซึ่ง 74LS154 จะทำหน้าที่ดีโค้ดนี้

ส่วนสัญญาณ C5 และ C6 ใช้เลือกสัญญาณ CLK ว่าจะใช้สัญญาณใด และสัญญาณ C7 ใช้เป็นตัวรีเซ็ตสัญญาณ CLK



รูปที่ 3.5 แสดงการใช้สัญญาณ C5 – C7 ควบคุมสัญญาณ CLK

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2 ส่วนสร้างสัญญาณคลื่นรูปซายน์

สัญญาณไซน์ที่ใช้ในระบบสร้างจากการต่อไอซีควบคุมความถี่ด้วยแรงดัน (XR2206) เข้ากับวงจรตรวจวัดความต่างเฟส และวงจรกรองความถี่ต่ำผ่านในลักษณะของเฟสล็อกลูปจำนวน 2 ชุด ซึ่งแต่ละชุดจะสร้างสัญญาณในช่วงความถี่ที่ต่างกัน ซึ่งสามารถเลือกช่วงสัญญาณไซน์ที่ต้องการได้โดยการใช้อนาล็อกสวิทช์ วงจรลูปปิดทั้งสองชุดข้างต้นจะใช้สัญญาณอ้างอิงที่ได้จากการหารความถี่ ของสัญญาณจากออสซิลเลเตอร์เช่นเดียวกัน ค่าของตัวเลขที่ใช้ในการหาร สามารถควบคุมได้โดยตรงจากคอมพิวเตอร์ผ่านไอซีหารความถี่เบอร์ MC145151-2 ซึ่งต่อร่วมกับวงจรหารความถี่แบบคงที่และอนาล็อกสวิทช์ เพื่อให้สัญญาณอ้างอิงที่ใช้ในระบบสามารถเปลี่ยนแปลงได้ในช่วงความถี่ที่กว้างขึ้น สัญญาณอ้างอิงที่ได้จะผ่านวงจรหารสองแบบใช้ D-Flipflop เพื่อทำการแปลงค่าดิวตี้ไซเคิลของสัญญาณอ้างอิงให้เป็น 50% เพื่อให้เหมาะสมกับวงจรตรวจวัดความต่างเฟสที่ใช้ในระบบ

กระบวนการในการสร้างสัญญาณไซน์

1) หน่วยประมวลผลกลางของคอมพิวเตอร์ทำการรับค่าความถี่จากข้อมูลที่เก็บอยู่ในรูปแบบตารางอาร์เรย์มาค่าหนึ่ง เพื่อคำนวณหาสัญญาณควบคุมอนาล็อกสวิทช์ในระบบและสัญญาณควบคุมการหารความถี่จากออสซิลเลเตอร์
2) สัญญาณควบคุมอนาล็อกสวิทช์ ทำหน้าที่เลือกช่วงความถี่ของไอซีควบคุมความถี่ด้วยแรงดันโดยการเปลี่ยนความต้านทานที่ใช้ควบคุมการสร้างความถี่ สัญญาณเลือกความต้านทานแต่ละชุดจะผ่านไอซีแอนด์เกตเพื่อสร้างเงื่อนไขในการเลือกไอซีหารความความถี่แบบคงที่และสัญญาณไซน์ที่ทางออกให้เหมาะสมกับค่าความถี่ที่ต้องการ
3) จากนั้นสัญญาณควบคุมไอซีหารความถี่จากคอมพิวเตอร์จะเริ่มส่งค่าจำนวนเต็มที่ใช้ในการหารในรูปสัญญาณควบคุมฐานสอง เพื่อให้สัญญาณอ้างอิงที่ได้อยู่ในช่วง Capture Range ของช่วงความถี่ที่ได้เลือกไว้ เมื่อความถี่ของไอซี XR2206 มีค่าเท่ากับค่าอ้างอิงแล้ว คอมพิวเตอร์จะส่งค่าข้อมูลที่ใช้ในการหารเพื่อให้ได้ความถี่ของสัญญาณอ้างอิงที่ต่างไปจากเดิมเล็กน้อย ในทิศทางเข้าหาค่าความถี่ของสัญญาณที่ต้องการ
4) เมื่อสัญญาณอ้างอิงที่ได้มีความถี่เท่ากับสัญญาณไซน์ที่ต้องการแล้ว จึงจะนำสัญญาณไซน์ไปใช้ในการทดสอบระบบที่ต้องการต่อไป

3.2.1 การกำหนดช่วงความถี่ของไอซี XR2206

เนื่องจากในส่วนของวงจรเฟสล็อกลูปที่ใช้ได้ออกแบบวงจรกรองความถี่ให้มีค่า Capture range แคบ ๆ ดังนั้นจึงต้องออกแบบวงจร VCO แต่ละชุดให้สร้างความถี่ได้ในช่วงแคบ ๆ โดยมีอัตราส่วนของความถี่ต่ำสุดต่อความถี่สูงสุดสำหรับ RC แต่ละชุดเท่ากับหนึ่งต่อสิบ (จากอัตราส่วนสูงสุดที่ไอซี XR2206 สร้างได้ 1:2000)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในการควบคุมการสร้างความถี่ด้วยแรงดันโดยใช้ไอซี XR2206 จะต้องคำนึงถึงเงื่อนไขของพารามิเตอร์ที่ใช้ ได้แก่

ตัวเก็บประจุที่ใช้ จะมีค่าระหว่าง 1000pF ถึง 100 uF

ค่าความต้านทาน (R,Rc) ที่ใช้จะต้องดึงกระแส (It) จาก XR2206 ในช่วง 1uA- 3mA เนื่องจากความถี่ที่สร้างได้จะเปลี่ยนเป็นเชิงเส้นกับกระแส (It) ตลอดช่วงนี้

จากสมการ $$f = \frac{1}{RC}(1+\frac{R}{Rc}(1-\frac{Vc}{3}))$$ ---(1)

จะได้ $$Rc = \frac{R(1-Vc/3)}{fRC-1}$$ ---(2)

ทำการคำนวณหาค่า Rc , C ,R ในแต่ละช่วงความถี่

ตัวอย่างการคำนวณ

r1 (6-100Hz),

100Hz, $$Rc = \frac{R(1-Vc/3)}{fRC-1}$$

แทนค่า f=100Hz, Vc=0, C=100nF, R=2Mohm

$$Rc = \frac{2M}{100(2M)(100n)-1}$$

$$= 105.26k\Omega$$

จากการคำนวณค่า Rc, C ในทุกช่วงความถี่จะได้

r1(6-100Hz), Rc=105.26k, C=100 nF

r2-1(100-1kHz), Rc=10.05k, C=100 nF

r2(1k-10kHz), Rc=105.26k, C=1 nF

r3(10k-100kHz), Rc=10.05k, C=1 nF

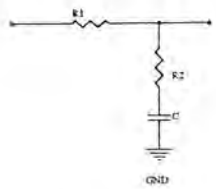
r4(100k-300kHz), Rc=3.34k, C=1 nF

r5(300k-600kHz), Rc=1.67k, C=1 nF

3.2.2 การออกแบบวงจรฟิลเตอร์

วงจรฟิลเตอร์ที่ใช้เป็นวงจรพาสซีฟที่ประกอบด้วยความต้านทานและตัวเก็บประจุดังรูปที่ 3.6

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่3.6 วงจรฟิลเตอร์แบบพาสซีฟ

$$\frac{Vo}{Vi} = \frac{1+s\tau 2}{1+s(\tau 1+\tau 2)}$$

$$= \frac{1+j2\Pi fR_2C}{1+j2\Pi f(R_1C+R_2C)}$$

$$\left|\frac{Vo}{Vi}\right| = \frac{\sqrt{1+(2\Pi fR_2C)^2}}{\sqrt{1+(2\Pi fC)^2(R_1+R_2)^2}}$$

ให้ $\left|\frac{Vo}{Vi}\right| = 0.707$ แล้วทำการจัดรูปสมการ

จะได้ $2\Pi fCR_1 = \frac{\sqrt{0.5}}{\sqrt{0.499(x+1)^2-1}}X$ ---(3), R2=R1/ X

ค่า f ในสมการ (3) คือความถี่คัทออฟของวงจรLPF ซึ่งในการออกแบบเฟสล็อกลูป ค่า 2f จะหมายถึง Capture Range ของระบบ (Λfc)

ในการเลือกค่าตัวเก็บประจุควรให้มีค่ามากที่สุดเท่าที่จะเป็นไปได้ เพื่อให้ค่าแรงดันริปเปิลที่ควบคุมการสร้างความถี่ของ VCO มีค่าต่ำที่สุด

3.2.2.1 วงจรฟิลเตอร์สำหรับช่วงความถี่ 6 Hz ถึง 1 kHz

จากสมการ (3) แทนค่า X=1 จะได้

$$2\Pi fCR_1 = \frac{\sqrt{0.5}}{\sqrt{0.499(4)-1}}$$

$$f = \frac{0.709}{2\Pi R_1C}$$ ---(4) ,R2=R1

ให้ f = 17 Hz , C=2,200 uF แทนค่าใน (4)

จะได้ R1= R2 = 3 ohm

3.2.2.2 วงจรฟิลเตอร์สำหรับช่วงความถี่ 1 Hz ถึง 600 kHz

จากสมการ (3) แทนค่า X=10 จะได้

$$f = \frac{0.9169}{2\Pi R_1C}$$ ---(5) ,R2=R1/ 10

ให้ f=104 Hz , C=470 uF แทนค่าใน (5)

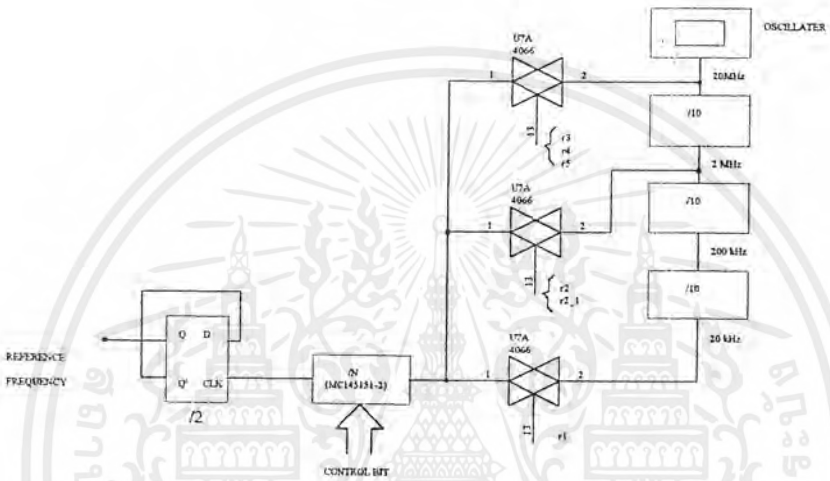
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จะได้ R1= 3 ohm , R2 = 0.3 ohm

3.2.3 การออกแบบวงจรสร้างสัญญาณอ้างอิง

สัญญาณอ้างอิงที่ใช้ในระบบจะมีความถี่เท่ากับความถี่เอาท์พุทที่ต้องการ ซึ่งสร้างจากการหารความถี่ของออสซิลเลเตอร์โดยใช้วงจรนับ

เนื่องจากไอซีนับแบบโปรแกรมได้ (MC145151-2) ที่ใช้ในระบบ จะเปลี่ยนแปลงค่าได้อยู่ในช่วงที่จำกัด จึงต้องใช้อนาล็อกสวิทช์และวงจรนับสิบเพื่อทำให้ความถี่อ้างอิงที่ได้มีค่าครอบคลุมช่วงความถี่ที่ต้องการทั้งหมด ดังรูปที่ 3.7



รูปที่ 3.7 การสร้างความถี่อ้างอิงจากวงจรหารความถี่

สัญญาณควบคุม r1- r5 จะผ่านแอนด์เกทเพื่อสร้างสัญญาณเลือกความถี่จากออสซิลเลเตอร์ให้สอดคล้องกับความถี่ทางเอาท์พุทที่ต้องการ

สมการที่ใช้ในการคำนวณ

r1 , fo = 20k / (2n)

r2_1, r2, fo = 2M / (2n)

r3, r4, r5, fo = 20M / (2n)

fo คือความถี่ทางเอาท์พุทที่ต้องการ

3.3 ส่วนตรวจจับผลตอบสนองทางขนาด

3.3.1 หลักการทำงาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1) ทำการสังเคราะห์สัญญาณไซน์ตามตารางอาเรย์ที่ได้ป้อนค่าไว้ล่วงหน้า โดยใช้หลักการของเฟสล็อคลูป

2) สัญญาณไซน์ที่ได้จะถูกกรองแรงดันไฟตรงออก แล้วผ่านวงจรขยายก่อนเข้าวงจรทดสอบ

3) สัญญาณทางเอาท์พุทของวงจรทดสอบจะถูกเปลี่ยนเป็นแรงดันไฟตรงโดยวงจรตรวจจับแรงดันยอด (peak detecter)

4) แรงดันไฟตรงจะถูกแปลงเป็นข้อมูลดิจิตอลขนาด 8 บิท โดยใช้วงจรแปลงสัญญาณอนาล็อกเป็นดิจิตอล

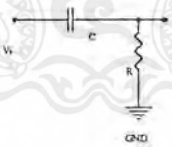
5) ทำการกระตุ้นบัฟเฟอร์ทางเอาท์พุทของวงจร ADC เพื่อทำการเก็บข้อมูลฐานสองที่ได้ ก่อนที่จะทำให้บัฟเฟอร์อยู่ในสภาวะอิมพีแดนซ์สูง

6) ทำการสังเคราะห์สัญญาณไซน์ความถี่ถัดไป และทำการเก็บข้อมูลจนครบทุกความถี่ที่กำหนดไว้

7) นำข้อมูลที่เก็บไว้มาคำนวณเพื่อพล็อตกราฟแสดงความสัมพันธ์ระหว่างขนาดและความถี่ของสัญญาณที่ผ่านวงจรทดสอบ

3.3.2 การออกแบบส่วนกรองแรงดันไฟตรง

ในวงจรส่วนนี้ใช้วงจรกรองความถี่สูงผ่าน (HPF) ในการกำจัดสัญญาณไฟตรงก่อนเข้าสู่วงจรขยาย ดังรูปที่ 3.8



รูปที่ 3.8 วงจรกรองความถี่สูงผ่านแบบพาสซีฟ

จากรูป, $f_{cut_off} = \frac{1}{2\Pi RC}$ ---(6)

ถ้าให้ f = 1.6 Hz, C =100uF

จะได้ $R = \frac{1}{2\Pi fC}$

$= \frac{1}{2\Pi(1.6)(100u)}$

$\approx 1k\Omega$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การใช้ค่าความถี่คัทออฟ 1.6 Hz เกิดจากคุณลักษณะของ VCO ที่ใช้ (XR2206) ที่จะสร้างสัญญาณที่มีขนาดเพิ่มขึ้นที่ความถี่ต่ำกว่า 15 Hz จึงใช้การลดทอนของ HPF ที่ช่วงความถี่ต่ำเพื่อชดเชยการเปลี่ยนแปลงของสัญญาณที่ความถี่ดังกล่าว

3.3.3 การออกแบบวงจรตรวจจับแรงดันยอด

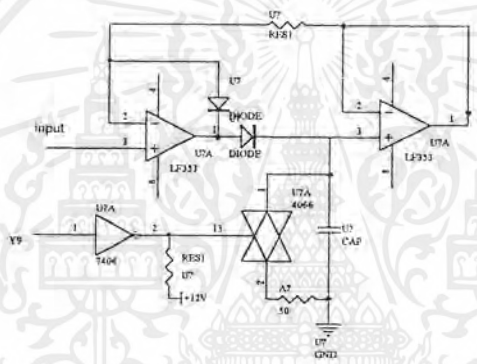
ในการควบคุมการประจุและคายประจะของตัวเก็บประจุในวงจรตรวจจับแรงดันยอด จะคำนึงถึงช่วงเวลาที่ใช้ควบคุมอนาล็อกสวิทช์เป็นหลัก โดย

ช่วงเวลาที่ใช้ในการคายประจุ $= (R_{ON,4066} + R)C$ ---(7)

แทนค่า $Ron = 60$ โอห์ม , $R = 50$ โอห์ม, $C = 1uF$

จะได้ช่วงเวลาคายประจุ $= (60+50)(1u)$

$= 110$ uS



รูปที่ 3.9 วงจรตรวจจับแรงดันยอด และสัญญาณควบคุม

3.4 ส่วนตรวจจับผลตอบสนองทางเฟส

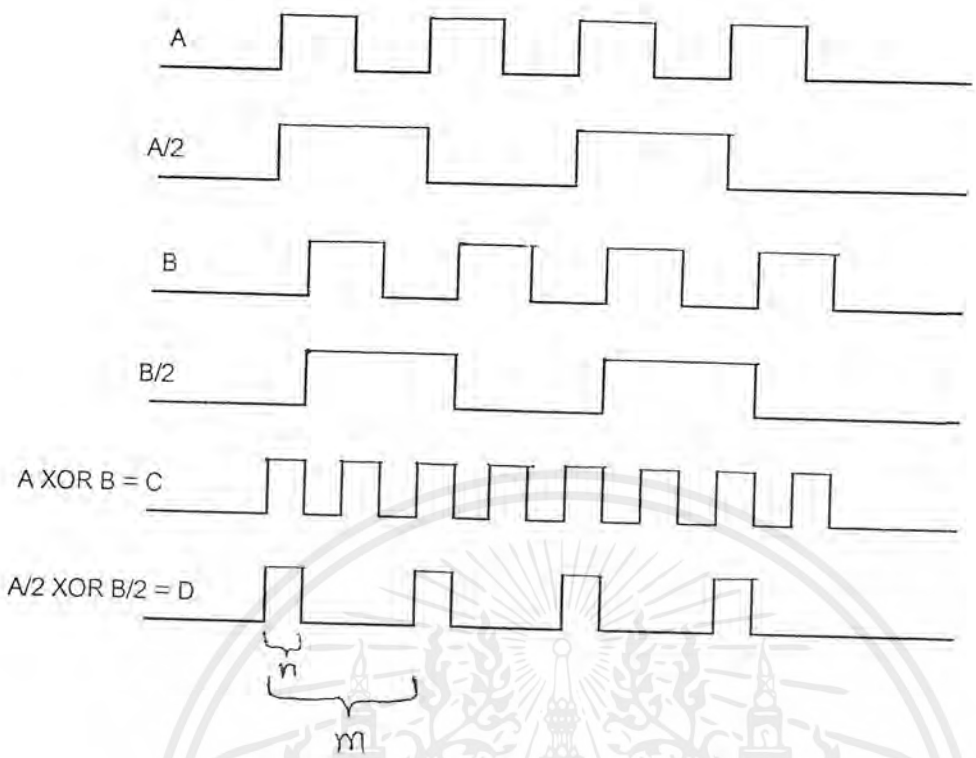
3.4.1 หลักการของการวัดความต่างเฟส

จากรูปที่ 3.10 สัญญาณ A และ B มีความถี่เท่ากันแต่มีเฟสต่างกันอยู่และจะเห็นได้ว่าสัญญาณ C ซึ่งได้มาจากการนำสัญญาณ A XOR สัญญาณ B จะเป็น "high" เมื่อสัญญาณ A และ B มีระดับลอจิกต่างกัน และสัญญาณ Cจะเป็น "low" เมื่อสัญญาณ A และ B มีระดับลอจิกเหมือนกัน

และเมื่อนำสัญญาณ (A/2) XOR สัญญาณ (B/2) จะได้รูปสัญญาณ D เมื่อนำสัญญาณ D ช่วง n มาเทียบกับความกว้างของสัญญาณช่วง m ซึ่งจะเป็นขนาดความต่างเฟสได้ดังสมการ

$(n/m)*180$ = ความต่างเฟส (องศา)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.10 สัญญาณต่างๆ ที่จะวัดความต่างเฟส

การวัดความกว้างของสัญญาณช่วง m โดยการนำสัญญาณ A AND สัญญาณ CLK ในช่วงเวลาเพียง 1 ลูกคลื่นของสัญญาณ A เท่านั้น สัญญาณช่วง m ก็คือสัญญาณ A จาก 0 – 180 ดังนั้นสัญญาณ CLK ที่จะใช้เพื่อนับหาความกว้างของสัญญาณช่วง m นี้จะต้องมีความถี่อย่างน้อยเท่ากับ

$$CLK = f_A * 360$$

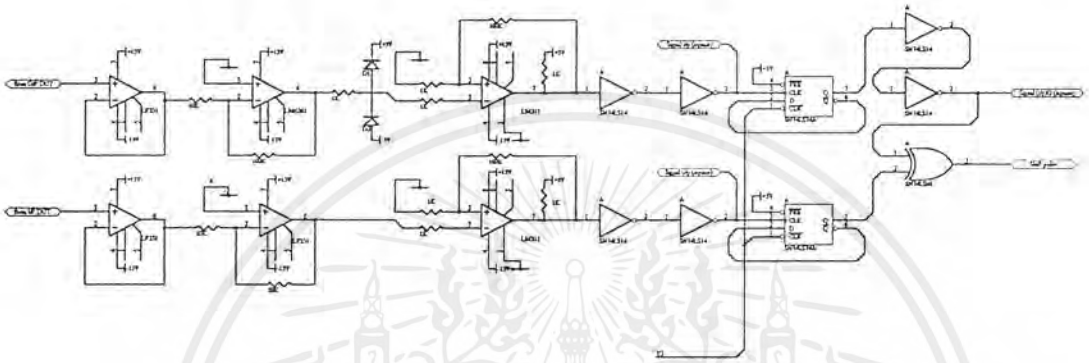
เพื่อให้วัดสัญญาณได้ละเอียด 1 (องศา) หรืออาจใช้สัญญาณ CLK มากกว่านี้เพื่อความละเอียดมากขึ้น สัญญาณที่ได้จากการที่สัญญาณ D AND สัญญาณ CLK จะเข้าสู่วงจรนับ ซึ่งวงจรนับจะต้องมีอย่างน้อย 8 บิท เพื่อทำให้สามารถวัดสัญญาณ 180 (องศา) ที่ความละเอียด 1 (องศา) จำนวนบิท ของวงจรนับ f_{CLK} เมื่อเทียบกับ f_A การวัดความกว้างของสัญญาณช่วง n โดยการนำสัญญาณ D AND สัญญาณ CLK ในช่วงเวลา n

เมื่อได้ค่า m และ n แล้วก็คำนวณความต่างเฟสได้ แต่จะต้องทราบอีกว่าสัญญาณ A นำสัญญาณ B หรือตามสัญญาณ B โดยใช้สัญญาณ A เป็นสัญญาณอ้างอิง จากรูปที่ 3.10 สัญญาณ A นำสัญญาณ B และสัญญาณ D (ได้จาก (A/2) XOR (B/2)) จะแสดงช่วงที่เฟสต่างกัน ซึ่งช่วงที่เฟสต่างกันนี้(ช่วง n) เกิดในช่วงที่สัญญาณ A มีสถานะเป็น "high" ขณะที่สัญญาณ B มีสถานะเป็น "low" พิจารณาในรูปที่ 4 ประกอบ เมื่อให้สัญญาณอีนาเบิลเป็น "1" เมื่อสัญญาณ A/2 อยู่ในช่วง "high" เพียง 1 ลูกคลื่นเท่านั้น ดังนั้น Lead counter จะนับความต่างเฟสออกมา และขณะเดียวกัน Lag counter ก็จะนับได้เท่ากับ 0 ในทาง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตรงกันข้ามถ้าสัญญาณ A ตามสัญญาณ B สัญญาณ D จะเป็น "high" ในช่วงที่สัญญาณ Aมีสถานะเป็น "low" ขณะที่สัญญาณ B มีสถานะเป็น "high" ดังนั้น Lead counter จะนับได้เท่ากับ 0 และขณะเดียวกัน Lag counter ก็จะนับความต่างเฟสออกมา จากที่อธิบายมานี้จะเห็นได้ว่าถ้า Lead counter นับความต่างเฟสออกมาได้แสดงว่า สัญญาณ A นำสัญญาณ B ถ้าสัญญาณ Lag counter นับความต่างเฟสออกมาได้แสดงว่าสัญญาณ A ตามสัญญาณ B

3.4.2 วงจรตรวจหาความต่างเฟส



รูปที่ 3.11 แสดงวงจรหาความต่างเฟส

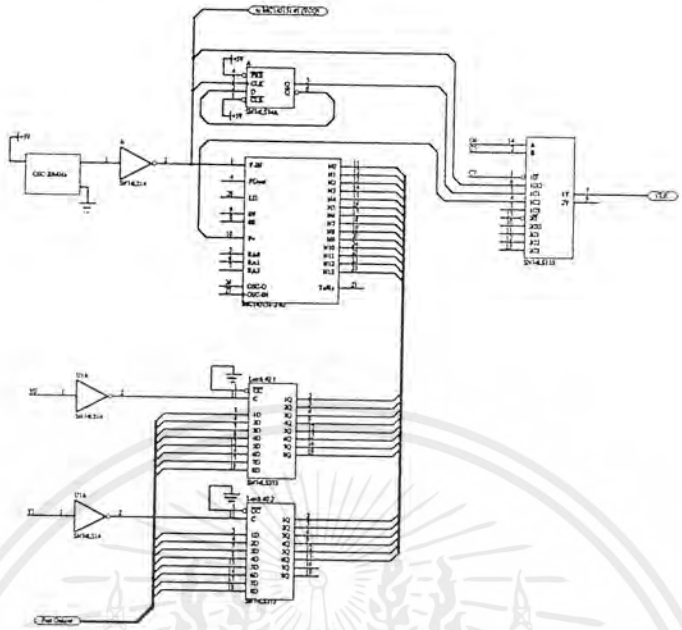
เนื่องจากส่วนที่จะทำการวัดขนาดของความต่างเฟสเป็นการวัดแบบดิจิตอล ดังนั้นต้องทำการแปลงสัญญาณซายน์เป็นสัญญาณดิจิตอลเสียก่อน โดยใช้คอมพาราเตอร์ดังในรูปที่ 3.11 ในการหาความต่างเฟสก็โดยการนำสัญญาณ (i/p)/2 XOR สัญญาณ (o/p)/2 ก็จะได้สัญญาณความต่างเฟสออกมา

3.4.3 วงจรกำเนิดสัญญาณนาฬิกา

ใช้ออสซิลเลเตอร์ 20MHz เป็นฐานของตัวกำเนิดสัญญาณ CLK และใช้วงจรหาร N โดยค่า N ควบคุมโดยโปรแกรม เพื่อสร้างสัญญาณ CLK ตามที่โปรแกรมต้องการ

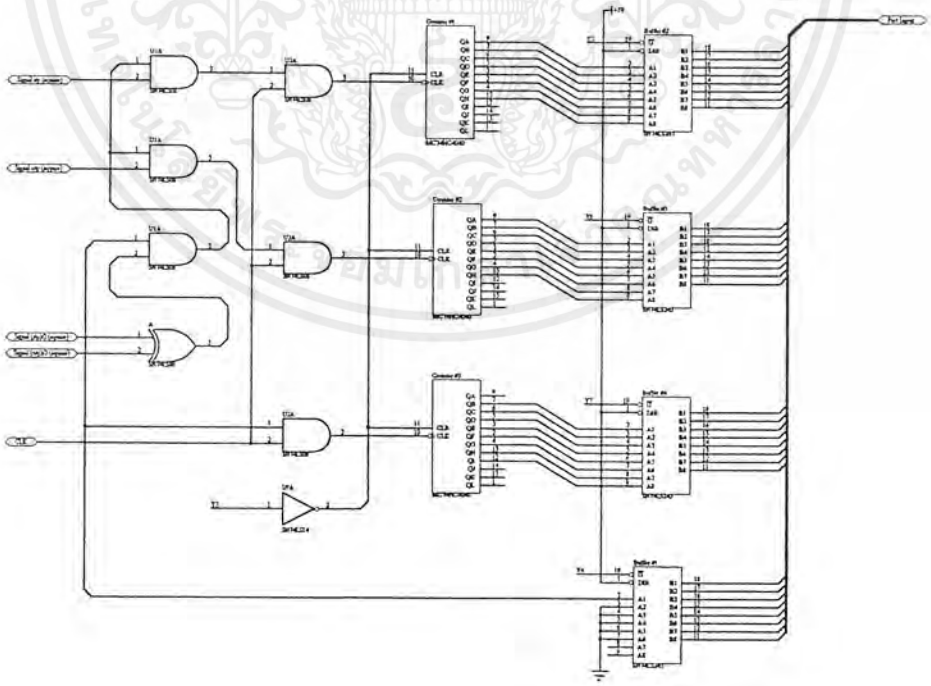
ข้อมูล N จะถูกส่งมาจากคอมพิวเตอร์ผ่านทางพอร์ทเอาท์พุท และใช้สัญญาณ Y0 ในการแลตช์ N ไบต์ต่ำ และ Y1 ในการแลตช์ N ไบต์สูง MC145151 จะทำหน้าที่หารความถี่ของออสซิลเลเตอร์ด้วยค่า N แต่ MC145151 ไม่สามารถหาร 1 และหาร 2 ได้ ดังนั้นจึงใช้ 74LS153 เป็นตัวเลือกความถี่อีกทีว่าจะเลือกใช้สัญญาณ CLK ที่ 20MHz หรือจะใช้สัญญาณ CLK ที่ 10MHz หรือจะเลือกสัญญาณจาก MC145151 ที่ผ่านการหารความถี่มาแล้ว โดยจะใช้สัญญาณ C5 – C6 เป็นตัวเลือก และใช้สัญญาณ C7 ในการควบคุมอีนาเบิลและดีสเอเบิล สัญญาณ CLK

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.12 แสดงการสร้างสัญญาณ CLK

3.4.4 วงจรหาขนาดความต่างเฟส



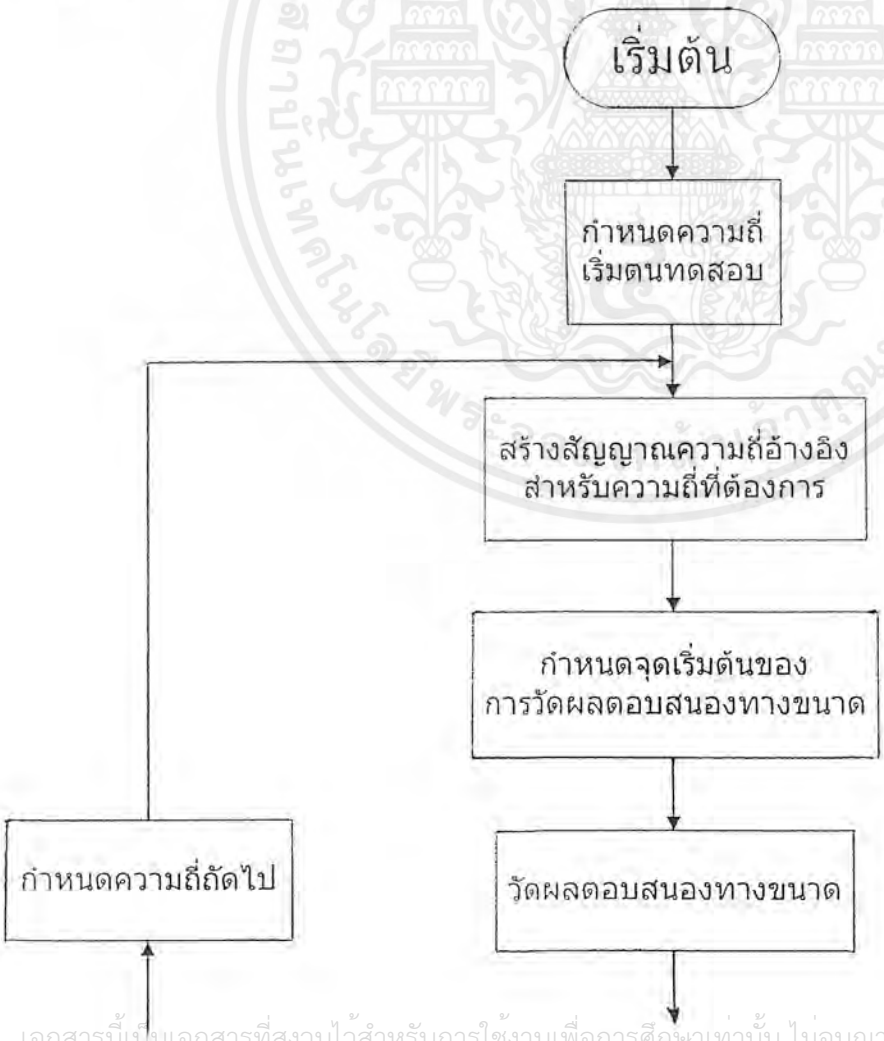
รูปที่ 3.13 วงนับขนาดของความต่างเฟส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

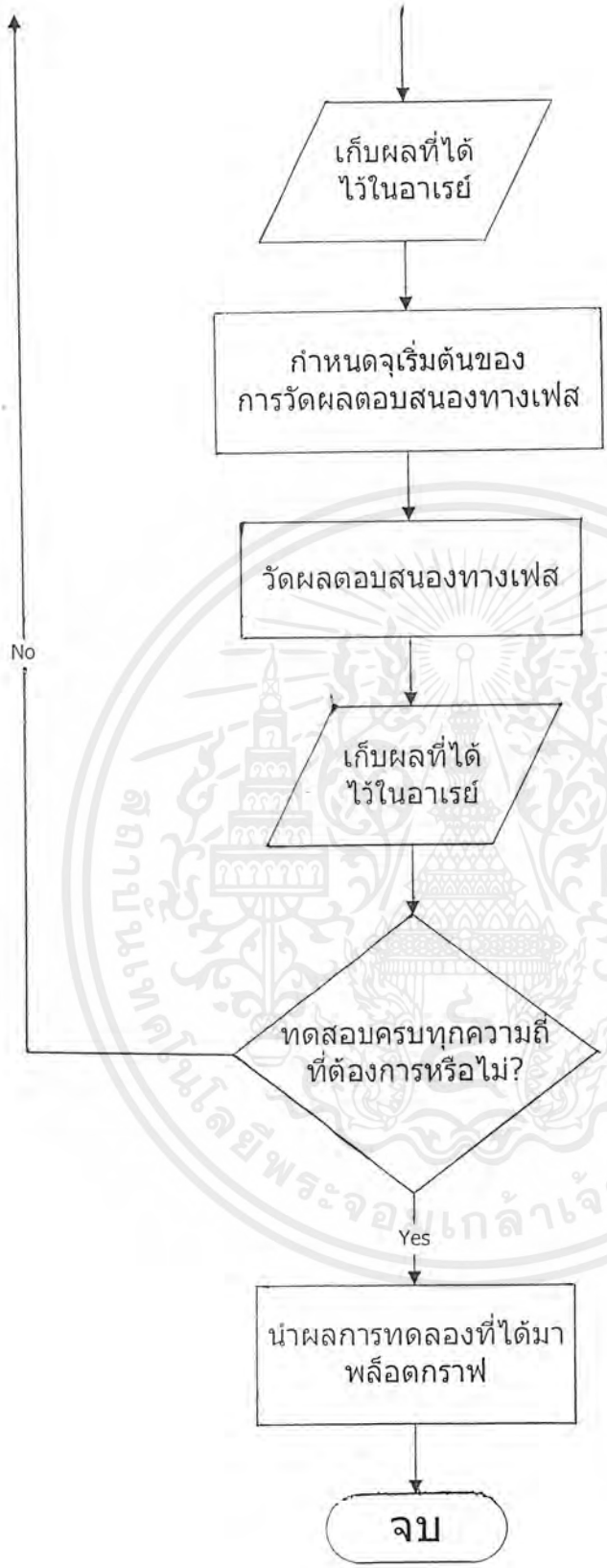
เมื่อนำสัญญาณ (i/p)/2 XOR (o/p)/2 ก็ได้พัลส์ที่แสดงความต่างเฟสของสัญญาณ i/p กับสัญญาณ o/p หรือเรียกว่า shift pulse วงจรส่วนนี้จะสามารถตรวจสอบว่าสัญญาณ i/p นำหรือตาม สัญญาณ o/p อยู่ ซึ่งจะทำการวัดได้เพียง 0 - ± 180

ในโครงงานนี้จะมีความละเอียดในการวัด 1 (องศา) ในรูปที่ 3.13 จะเห็นว่ามีการนำสัญญาณ CLK มา AND กับสัญญาณที่ต้องการนับ และจะนำผลที่ได้เข้าสู่วงจรนับคือ 74HC4040 เพื่อนับออกมาเป็นค่าไบนารี่ 8 บิท การนับสัญญาณนี้จะกระทำในช่วงที่สัญญาณ (i/p)/2 เป็น "high" เพียง 1 ลูกคลื่นเท่านั้น เมื่อสัญญาณ (i/p)/2 เป็น "high" ลูกคลื่นนั้นผ่านไปแล้ว ก็จะทำการดีสเอเบิลสัญญาณ CLK โดยจะสั่งให้สัญญาณ C7 เป็น "1" เข้าที่ขา G ของ 74LS153 ก็จะได้สัญญาณ CLK เป็น "low" ออกมา ซึ่งก็จะหยุดการนับทันที แล้วหลังจากนั้นก็จะอ่านค่าที่นับเข้ามาในคอมพิวเตอร์ เพื่อคำนวณออกมาเป็นความต่างเฟส หลังจากนั้นก็จะเริ่มทดสอบความถี่ถัดไป จนเมื่อทดสอบครบทุกความถี่ที่ต้องการแล้วก็จะนำผลที่ได้ทั้งหมดนี้ไปพล็อตกราฟแสดงผลต่อไป

3.5 โปรแกรมควบคุมการทำงานและแสดงผล



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

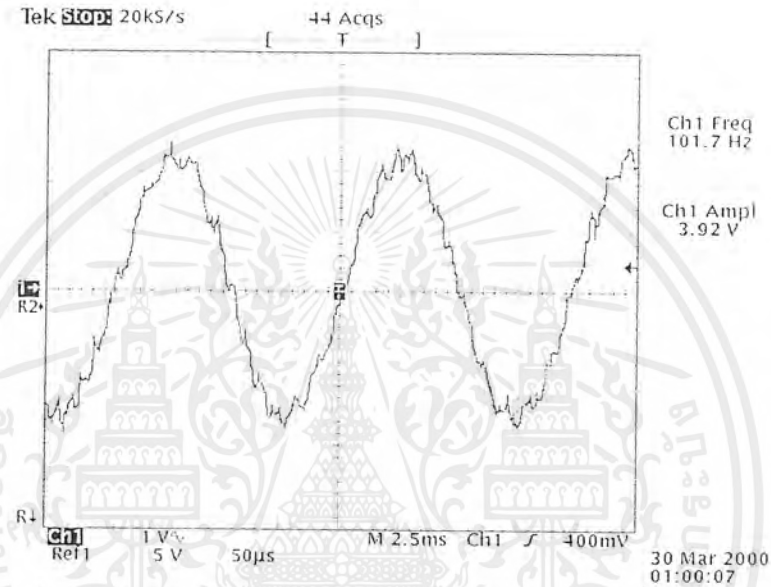


รูปที่ 3.14 แสดงการทำงานและการแสดงผล

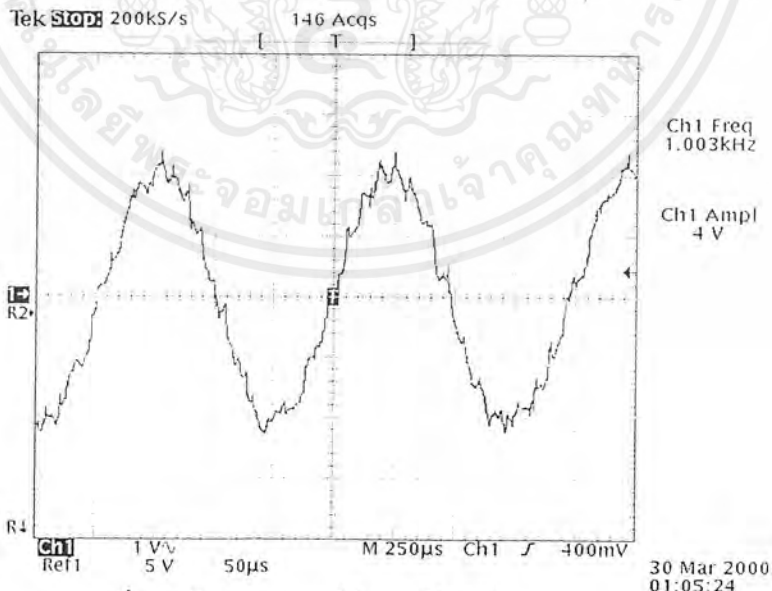
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4
การทดลองและผลการทดลอง

4.1 ตัวอย่างรูปกราฟสัญญาณซายน์ที่ได้จากการทดลอง

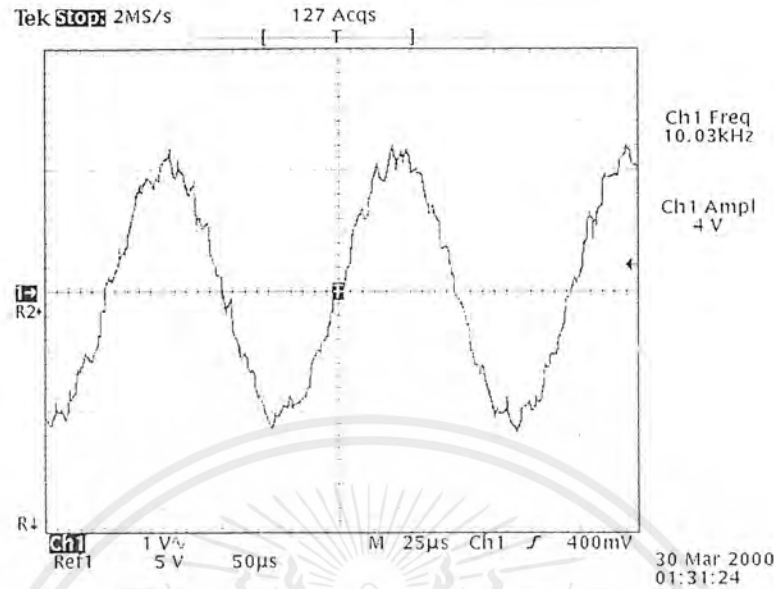


รูปที่ 4.1 สัญญาณซายน์ที่ความถี่ 100 Hz

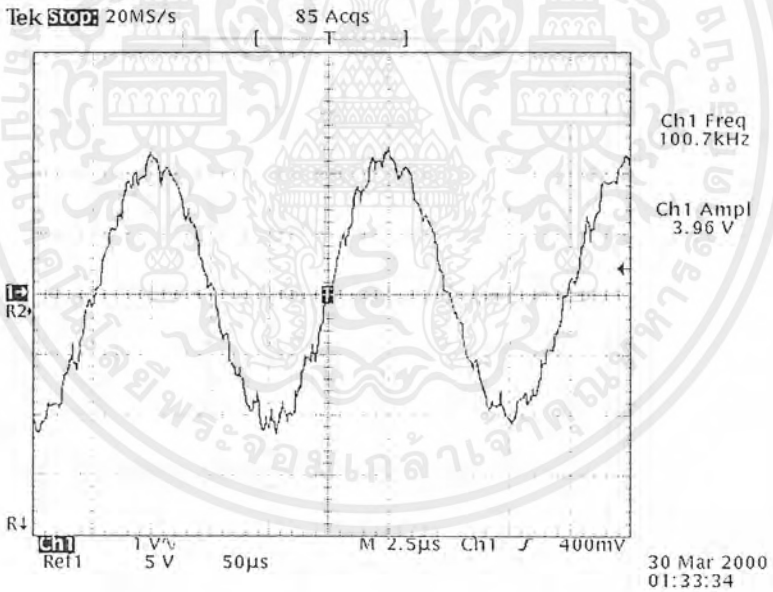


รูปที่ 4.2 สัญญาณซายน์ทีความถี่ 1KHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.3 สัญญาณซายน์ที่ความถี่ 10 KHz



รูปที่ 4.4 สัญญาณซายน์ที่ความถี่ 100 KHz

4.2 การทดลองหาผลตอบสนองทางความถี่

4.2.1 วงจรทดสอบที่ 1 LPF

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

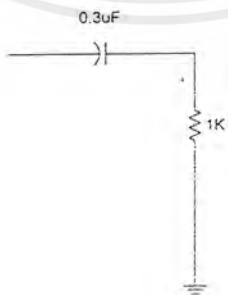
ตารางที่ 4.1

Frequency (Hz)	10	50	100	500	1k	5k	10k
A (dB)	-15	-13	-13	0	0	0	0
Degree	-90.83	-83.5	-79	-48.67	-30.66	-6.73	-3.15

Frequency (Hz)	50k	100k	200k	300k	400k	500k
A (dB)	0	0	0	0	0	0
Degree	-2.43	–	–	–	–	–

จากผลการทดลองได้ความถี่คัทออฟประมาณ 400 Hz

4.2.2 วงจรทดสอบที่ 2 HPF



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 4.2

Frequency (Hz)	10	50	100	500	1k	5k	10k
A (dB)	0	0	0	0	0	-6	-11
Degree	1.3	2.7	4.2	17	29.75	70.71	81

Frequency (Hz)	50k	100k	200k	300k	400k	500k
A (dB)	-17	-17	-19	-19	-18	-18
Degree	105.84	_	_	_	_	_

จากผลการทดลอง ได้ความถี่คัทออฟประมาณ 2300 Hz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
บทสรุปและวิจารณ์

5.1 ปัญหาที่พบ

5.1.1 ความผิดพลาดในการวัดผลตอบสองทางขนาด

1. การวัดผลตอบสนองของวงจร เมื่อแปลงข้อมูลเป็นดิจิตอลเพื่อเก็บเข้าคอมพิวเตอร์ใช้ A/D 8 บิตความละเอียดยังไม่มากนัก
2. เมื่อความถี่สูง ๆ วงจรตรวจจับแรงดันยอดมีการทำงานที่ผิดพลาดขึ้น

5.1.2 ความผิดพลาดในการวัดผลตอบสองทางเฟส

1. สัญญาณที่สร้างได้ไม่เสถียร มีการแกว่งอยู่ในช่วงแคบ ๆ ทำให้วงจรแปลงสัญญาณรูปซายน์เป็นสัญญาณรูปสี่เหลี่ยมทำงานไม่ถูกต้อง จึงทำให้ไม่สามารถวัดผลตอบสนองทางเฟส โดยใช้สัญญาณรูปซายน์ที่สร้างขึ้นได้
2. ในวงจรแปลงสัญญาณรูปซายน์เป็นสัญญาณรูปสี่เหลี่ยมใช้วงจรตรวจจับสัญญาณแบบมีฮีสเตอร์ริซีส ทำให้สัญญาณรูปสี่เหลี่ยมที่ได้มีเฟสต่างไปจากสัญญาณเดิมที่เป็นรูปซายน์ จึงทำให้เกิดความผิดพลาดขึ้น

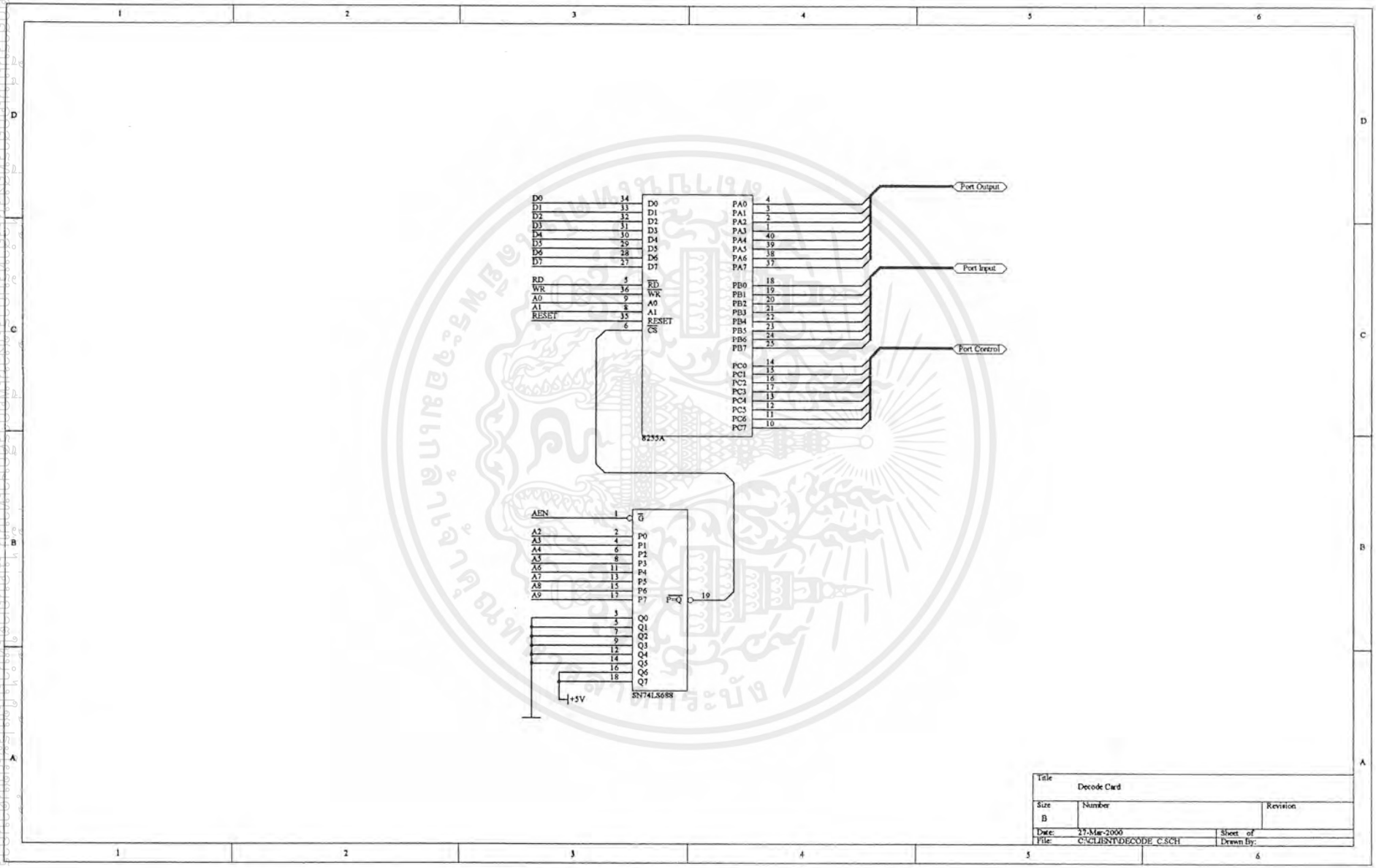
5.2 แนวทางการแก้ไข

1. ปรับปรุงให้วงจรสร้างสัญญาณรูปซายน์ให้มีเสถียรภาพ
2. ใช้วงจรแปลงสัญญาณ A/D ที่มีความละเอียดสูง
3. ในส่วนของภาคที่รับสัญญาณจากการทดสอบมีวงจรขยายที่มีอัตราขยายหลายค่าที่เหมาะสม เพื่อลดความผิดพลาดทางเฟสที่เกิดขึ้นในวงจรแปลงสัญญาณรูปซายน์เป็นสัญญาณสี่เหลี่ยม และทำให้สามารถวัดผลตอบสนองทางความถี่เมื่อสัญญาณที่วัดมีขนาดต่ำ ๆ
4. หรืออาจจะเปลี่ยนวิธีตรวจจับสัญญาณ โดยใช้วิธีเก็บสัญญาณไว้ในหน่วยความจำภายนอกก่อน แล้วค่อยนำสัญญาณนั้นมาประมวณผลภายหลัง

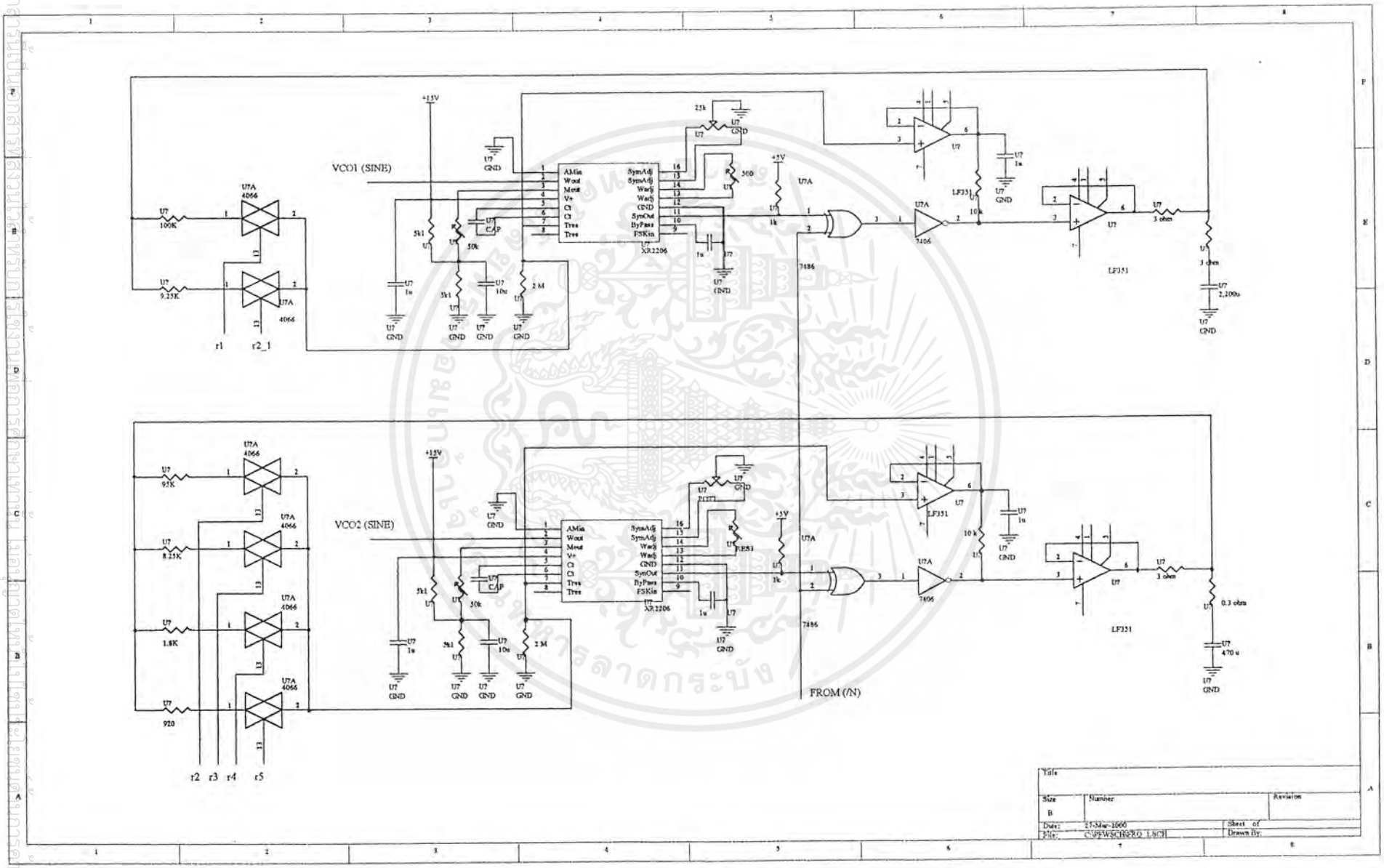
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

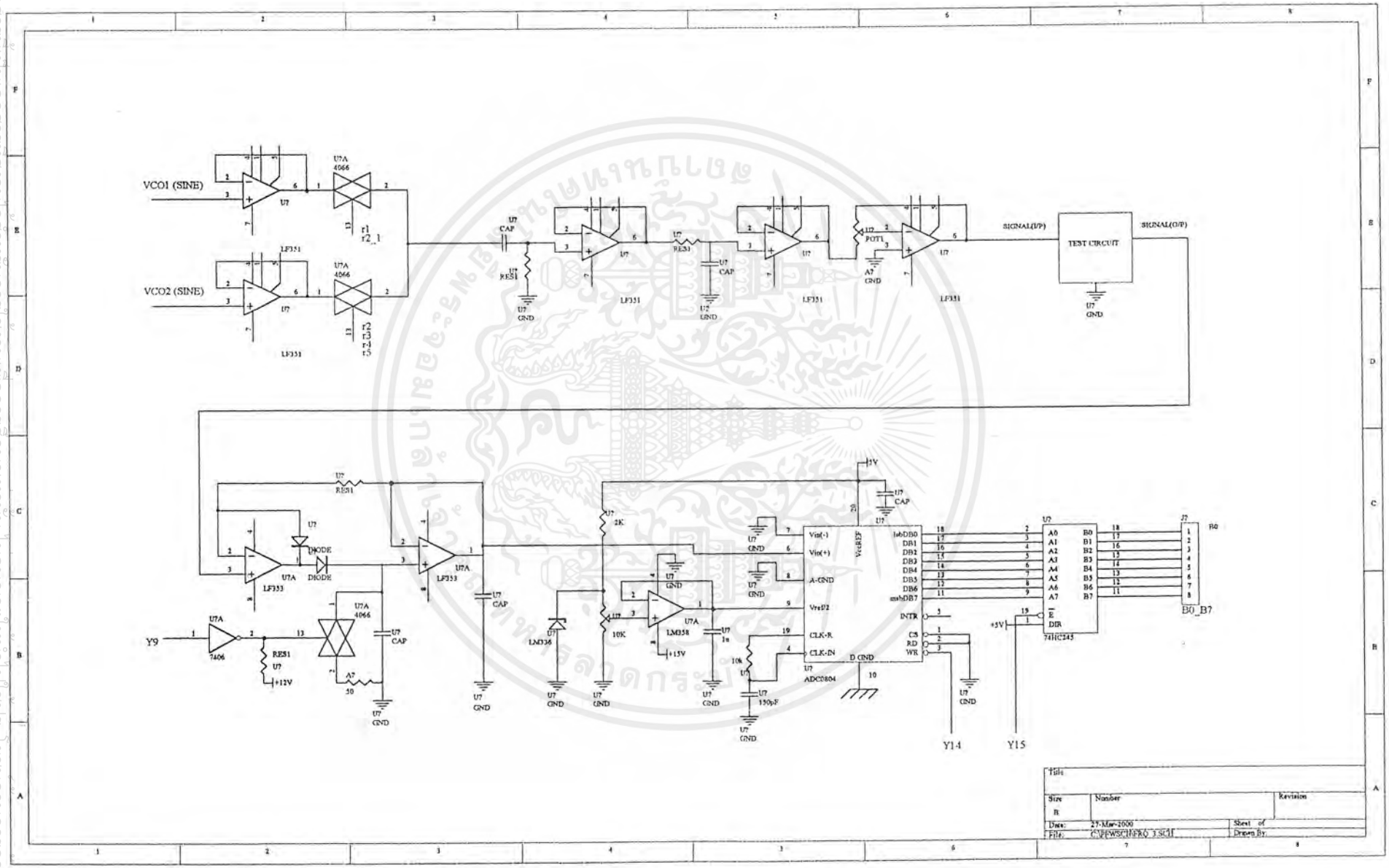
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



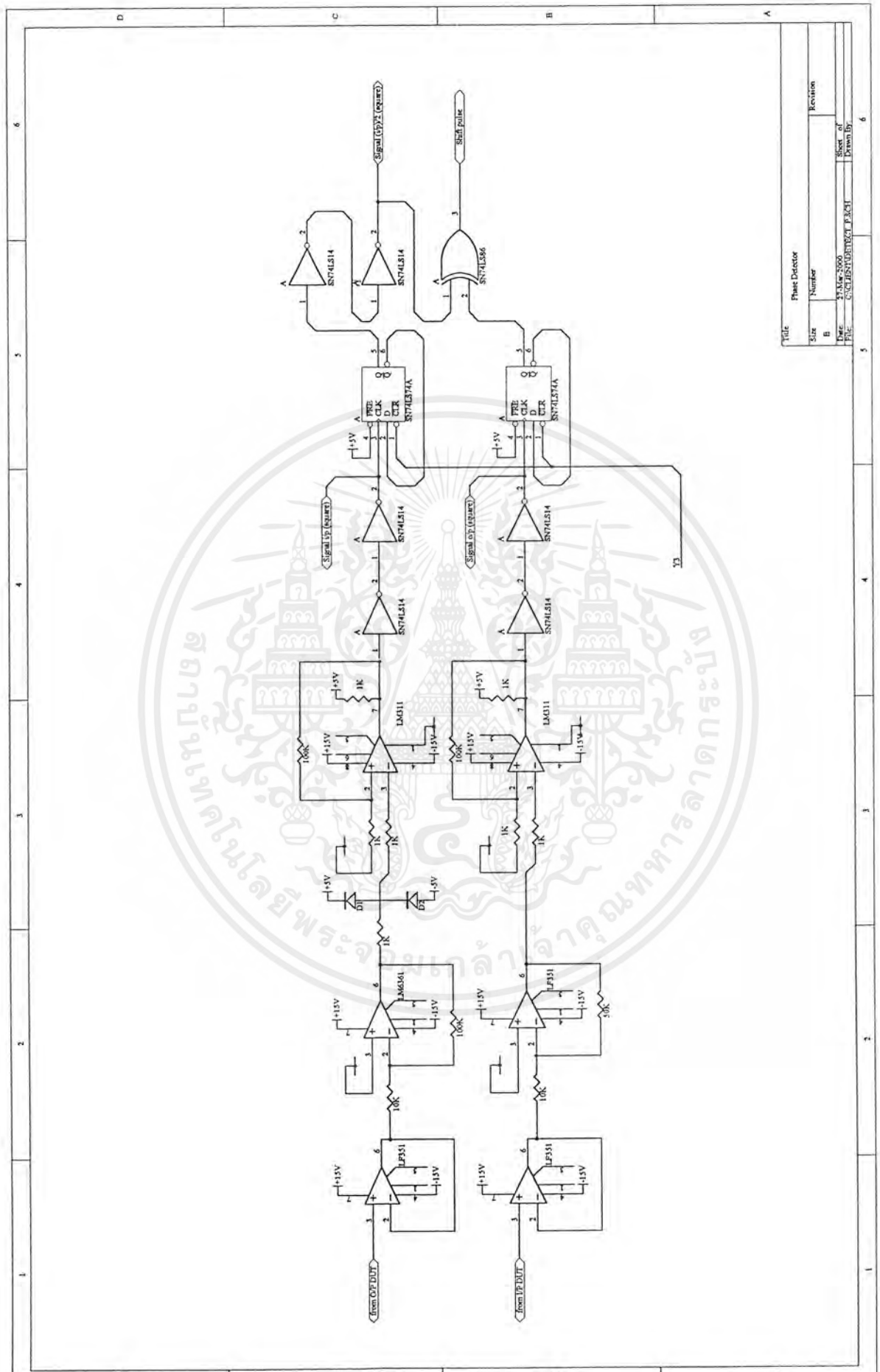
รูปที่ 1 วงจรดีโค้ด



รูปที่ 2 วงจรสร้างสัญญาณซายน์

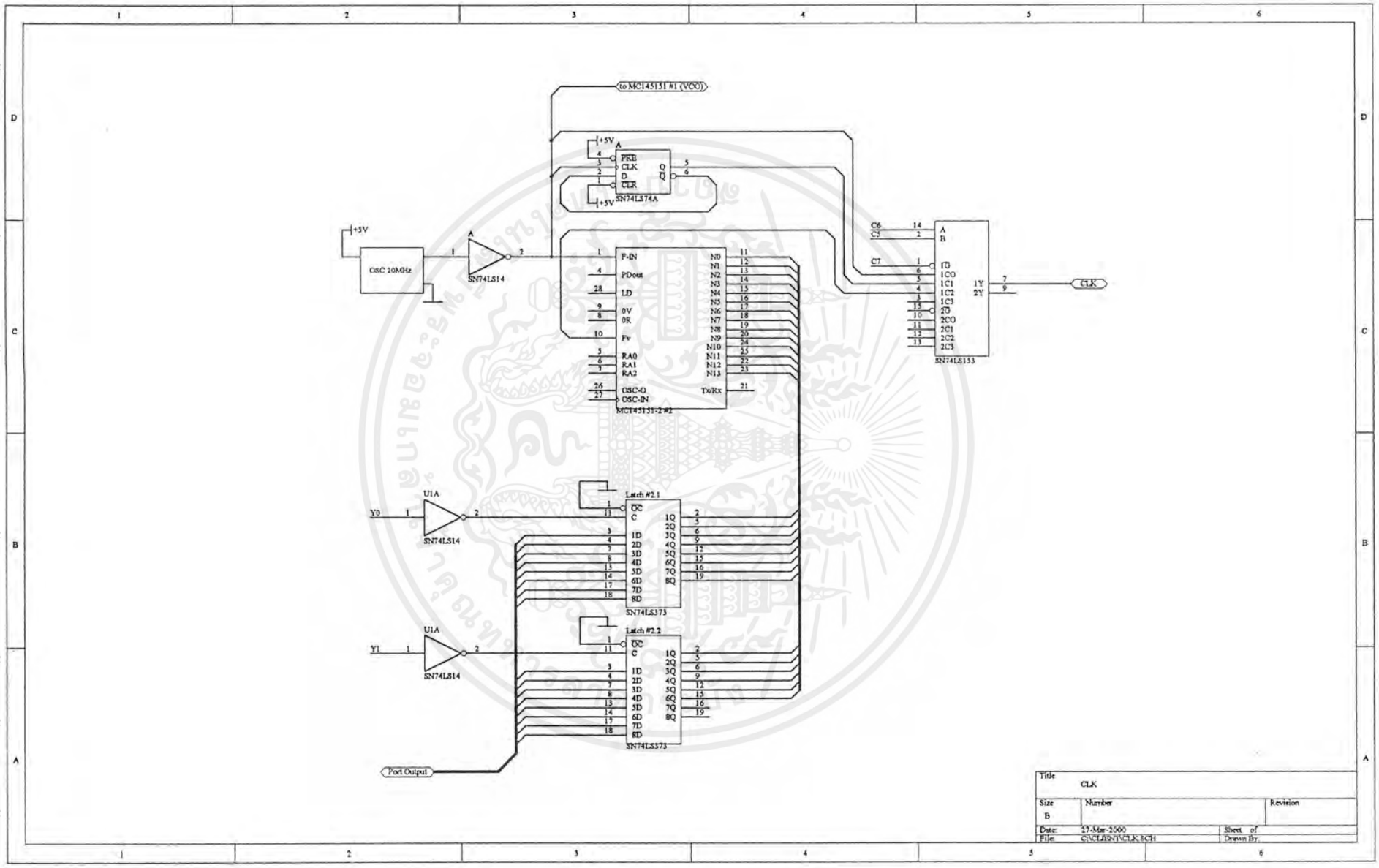


รูปที่ 3 วงจรวัดผลตอบสนองทางขนาด

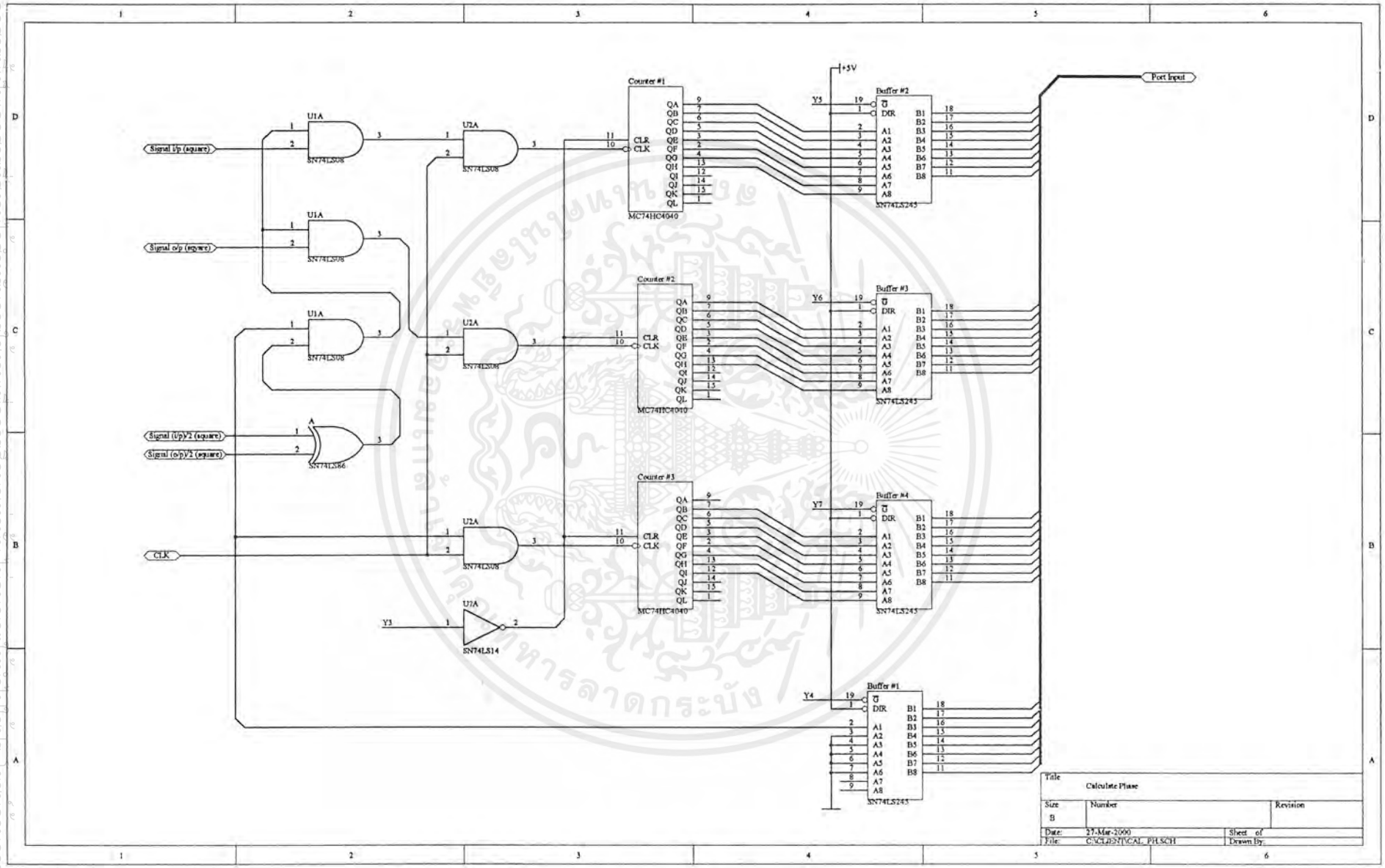


รูปที่ 4 วงจรตรวจจับความต่างเฟส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5 วงจรสร้างสัญญาณCLK



รูปที่ 6 วงจรวัดความต่างเฟส

MC145151-2

Parallel-Input PLL Frequency Synthesizer

Interfaces with Single–Modulus Prescalers

The MC145151–2 is programmed by 14 parallel–input data lines for the N counter and three input lines for the R counter. The device features consist of a reference oscillator, selectable–reference divider, digital–phase detector, and 14–bit programmable divide–by–N counter.

The MC145151–2 is an improved–performance drop–in replacement for the MC145151–1. The power consumption has decreased and ESD and latch–up performance have improved.

- Operating Temperature Range: – 40 to 85°C
- Low Power Consumption Through Use of CMOS Technology
- 3.0 to 9.0 V Supply Range
- On– or Off–Chip Reference Oscillator Operation
- Lock Detect Signal
- ÷ N Counter Output Available
- Single Modulus/Parallel Programming
- 8 User–Selectable ÷ R Values: 8, 128, 256, 512, 1024, 2048, 2410, 8192
- ÷ N Range = 3 to 16383
- "Linearized" Digital Phase Detector Enhances Transfer Function Linearity
- Two Error Signal Options: Single–Ended (Three–State) or Double–Ended
- Chip Complexity: 8000 FETs or 2000 Equivalent Gates

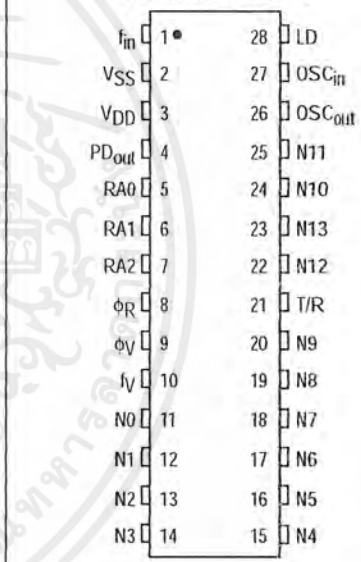
P SUFFIX
PLASTIC DIP
CASE 710

DW SUFFIX
SOG PACKAGE
CASE 751F

ORDERING INFORMATION

MC145151P2	Plastic DIP
MC145151DW2	SOG Package

PIN ASSIGNMENT



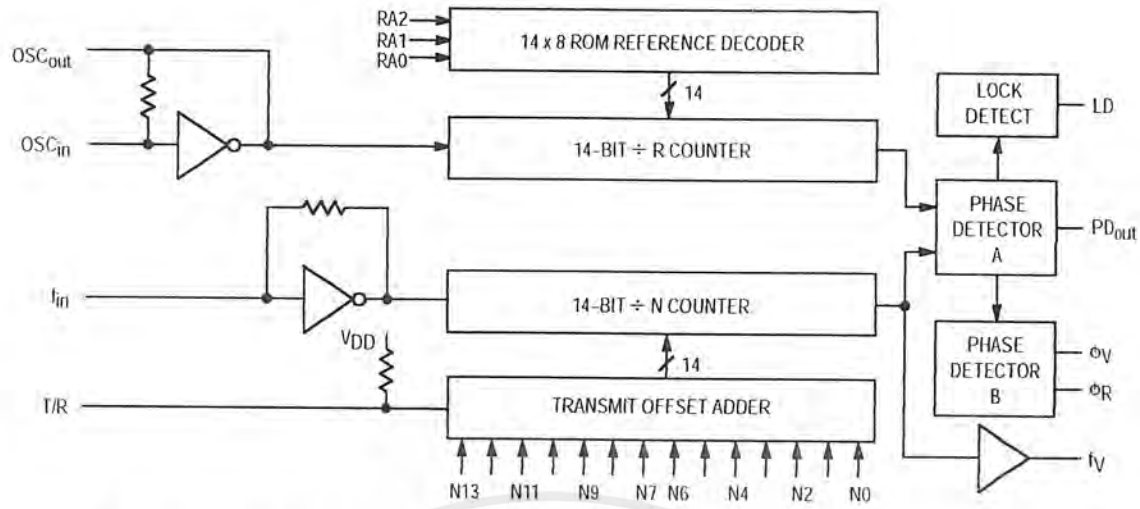
REV 1
8/95

© Motorola, Inc. 1995

MOTOROLA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC145151–2 BLOCK DIAGRAM



NOTE: N0 – N13 inputs and inputs RA0, RA1, and RA2 have pull–up resistors that are not shown.

PIN DESCRIPTIONS

INPUT PINS

f_{in}
Frequency Input (Pin 1)

Input to the ÷ N portion of the synthesizer. f_{in} is typically derived from loop VCO and is ac coupled into the device. For larger amplitude signals (standard CMOS logic levels) dc coupling may be used.

RA0 – RA2
Reference Address Inputs (Pins 5, 6, 7)

These three inputs establish a code defining one of eight possible divide values for the total reference divider, as defined by the table below.

Pull–up resistors ensure that inputs left open remain at a logic 1 and require only a SPST switch to alter data to the zero state.

Reference Address Code			Total Divide Value
RA2	RA1	RA0	
0	0	0	8
0	0	1	128
0	1	0	256
0	1	1	512
1	0	0	1024
1	0	1	2048
1	1	0	2410
1	1	1	8192

N0 – N11
N Counter Programming Inputs (Pins 11 – 20, 22 – 25)

These inputs provide the data that is preset into the ÷ N counter when it reaches the count of zero. N0 is the least significant and N13 is the most significant. Pull–up resistors ensure that inputs left open remain at a logic 1 and require only an SPST switch to alter data to the zero state.

T/R
Transmit/Receive Offset Adder Input (Pin 21)

This input controls the offset added to the data provided at the N inputs. This is normally used for offsetting the VCO frequency by an amount equal to the IF frequency of the transceiver. This offset is fixed at 856 when T/R is low and gives no offset when T/R is high. A pull–up resistor ensures that no connection will appear as a logic 1 causing no offset addition.

OSC_{in}, OSC_{out}
Reference Oscillator Input/Output (Pins 27, 26)

These pins form an on–chip reference oscillator when connected to terminals of an external parallel resonant crystal. Frequency setting capacitors of appropriate value must be connected from OSC_{in} to ground and OSC_{out} to ground. OSC_{in} may also serve as the input for an externally–generated reference signal. This signal is typically ac coupled to OSC_{in}, but for larger amplitude signals (standard CMOS logic levels) dc coupling may also be used. In the external reference mode, no connection is required to OSC_{out}.

OUTPUT PINS

PD_{out}
Phase Detector A Output (Pin 4)

Three–state output of phase detector for use as loop–error signal. Double–ended outputs are also available for this purpose (see ϕ_V and ϕ_R).

Frequency $f_V > f_R$ or f_V Leading: Negative Pulses
Frequency $f_V < f_R$ or f_V Lagging: Positive Pulses
Frequency $f_V = f_R$ and Phase Coincidence: High–Impedance State

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ϕR, ϕV
Phase Detector B Outputs (Pins 8, 9)

These phase detector outputs can be combined externally for a loop–error signal. A single–ended output is also available for this purpose (see PD_{out}).

If frequency f_V is greater than f_R or if the phase of f_V is leading, then error information is provided by ϕV pulsing low. ϕR remains essentially high.

If the frequency f_V is less than f_R or if the phase of f_V is lagging, then error information is provided by ϕR pulsing low. ϕV remains essentially high.

If the frequency of $f_V = f_R$ and both are in phase, then both ϕV and ϕR remain high except for a small minimum time period when both pulse low in phase.

f_V
N Counter Output (Pin 10)

This is the buffered output of the ÷ N counter that is internally connected to the phase detector input. With this output available, the ÷ N counter can be used independently.

LD
Lock Detector Output (Pin 28)

Essentially a high level when loop is locked (f_R, f_V of same phase and frequency). Pulses low when loop is out of lock.

POWER SUPPLY

V_{DD}
Positive Power Supply (Pin 3)

The positive power supply potential. This pin may range from + 3 to + 9 V with respect to V_{SS}.

V_{SS}
Negative Power Supply (Pin 2)

The most negative supply potential. This pin is usually ground.

TYPICAL APPLICATIONS

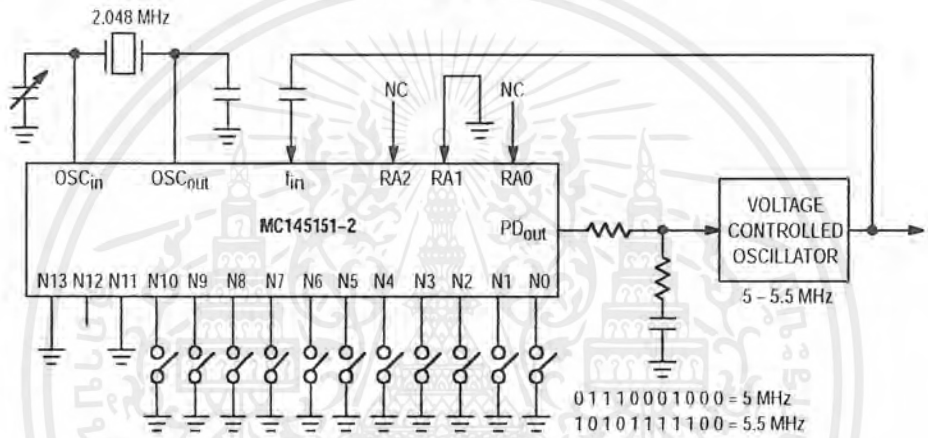
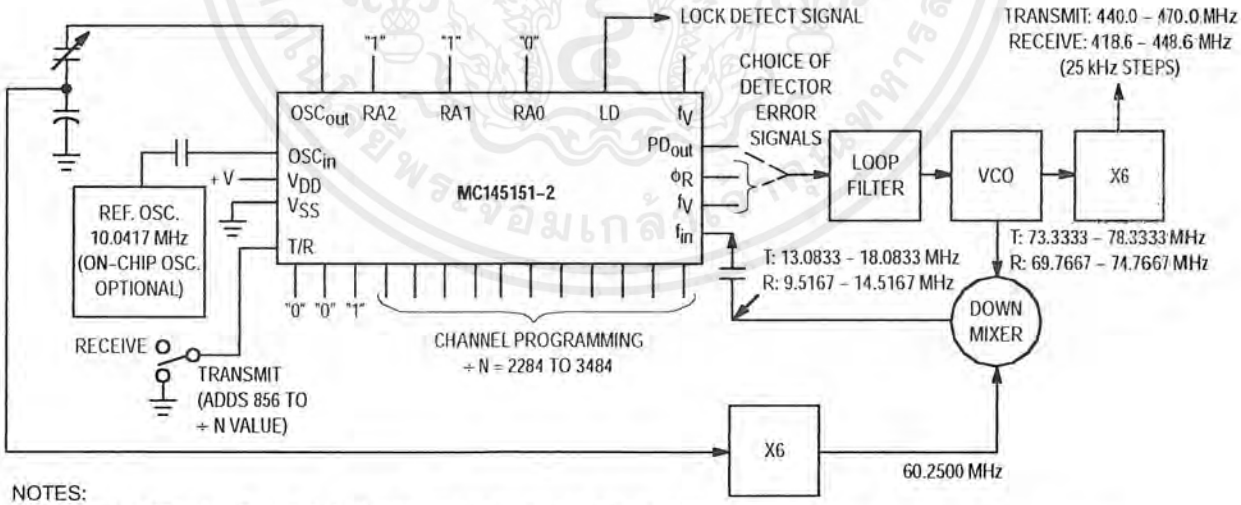


Figure 1. 5 MHz to 5.5 MHz Local Oscillator Channel Spacing = 1 kHz



NOTES:
1. f_R = 4.1667 kHz; ÷ R = 2410; 21.4 MHz low side injection during receive.
2. Frequency values shown are for the 440 – 470 MHz band. Similar implementation applies to the 406 – 440 MHz band. For 470 – 512 MHz, consider reference oscillator frequency X9 for mixer injection signal (90.3750 MHz).

Figure 2. Synthesizer for Land Mobile Radio UHF Bands

MC145151–2 Data Sheet Continued on Page 15

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

XR-2206

Monolithic
Function Generator

EXAR ...the analog plus company™

June 1997-3

FEATURES

- Low-Sine Wave Distortion, 0.5%, Typical
- Excellent Temperature Stability, 20ppm/°C, Typ.
- Wide Sweep Range, 2000:1, Typical
- Low-Supply Sensitivity, 0.01%V, Typ.
- Linear Amplitude Modulation
- TTL Compatible FSK Controls
- Wide Supply Range, 10V to 26V
- Adjustable Duty Cycle, 1% TO 99%

APPLICATIONS

- Waveform Generation
- Sweep Generation
- AM/FM Generation
- V/F Conversion
- FSK Generation
- Phase-Locked Loops (VCO)

GENERAL DESCRIPTION

The XR-2206 is a monolithic function generator integrated circuit capable of producing high quality sine, square, triangle, ramp, and pulse waveforms of high-stability and accuracy. The output waveforms can be both amplitude and frequency modulated by an external voltage. Frequency of operation can be selected externally over a range of 0.01Hz to more than 1MHz.

The circuit is ideally suited for communications, instrumentation, and function generator applications requiring sinusoidal tone, AM, FM, or FSK generation. It has a typical drift specification of 20ppm/°C. The oscillator frequency can be linearly swept over a 2000:1 frequency range with an external control voltage, while maintaining low distortion.

ORDERING INFORMATION

Part No.	Package	Operating Temperature Range
XR-2206M	16 Lead 300 Mil CDIP	-55°C to +125°C
XR-2206P	16 Lead 300 Mil PDIP	–40°C to +85°C
XR-2206CP	16 Lead 300 Mil PDIP	0°C to +70°C
XR-2206D	16 Lead 300 Mil JEDEC SOIC	0°C to +70°C

©1972

TQM™

EXAR Corporation, 48720 Kato Road, Fremont, CA 94538 ◆ (510) 668-7000 ◆ (510) 668-7017

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

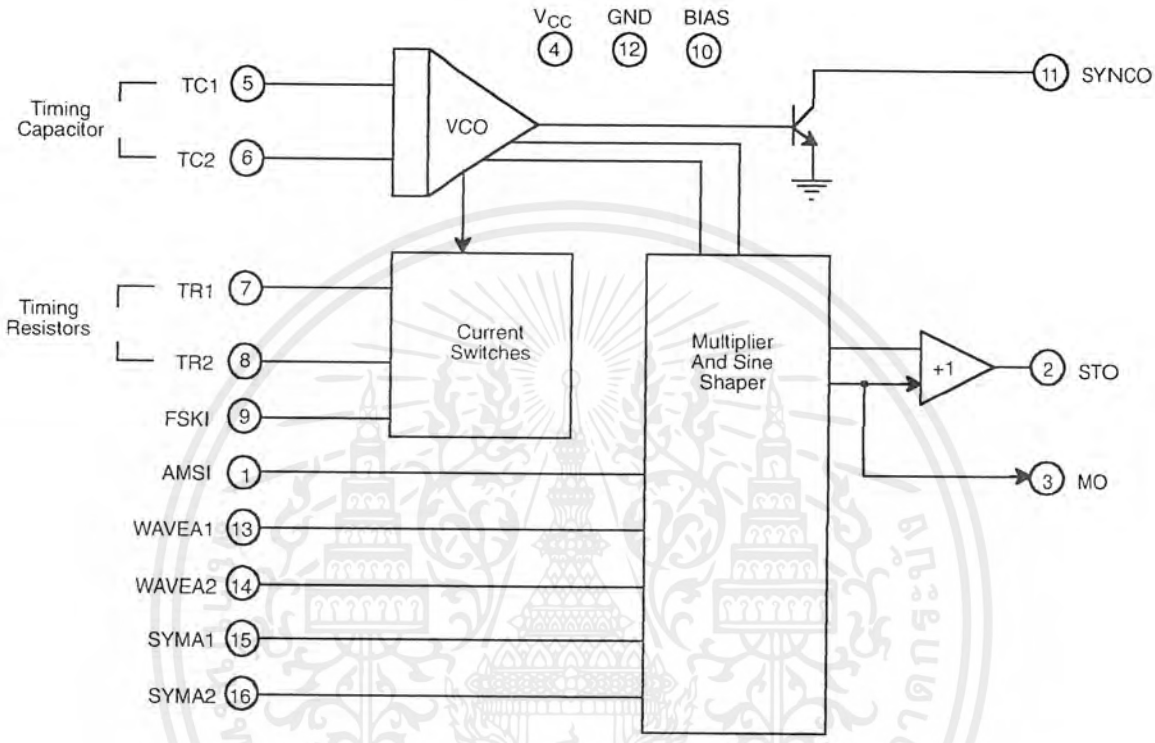
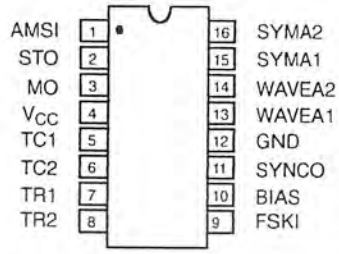
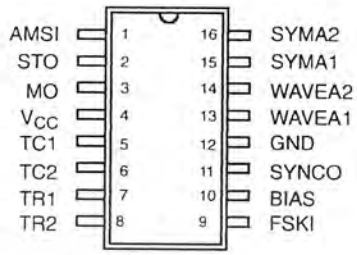


Figure 1. XR-2206 Block Diagram

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



16 Lead PDIP, CDIP (0.300")



16 Lead SOIC (Jedec, 0.300")

PIN DESCRIPTION

Pin #	Symbol	Type	Description
1	AMSI	I	**Amplitude Modulating Signal Input.**
2	STO	O	**Sine or Triangle Wave Output.**
3	MO	O	**Multiplier Output.**
4	V_{CC}		**Positive Power Supply.**
5	TC1	I	**Timing Capacitor Input.**
6	TC2	I	**Timing Capacitor Input.**
7	TR1	O	**Timing Resistor 1 Output.**
8	TR2	O	**Timing Resistor 2 Output.**
9	FSKI	I	**Frequency Shift Keying Input.**
10	BIAS	O	**Internal Voltage Reference.**
11	SYNCO	O	**Sync Output.** This output is a open collector and needs a pull up resistor to V_{CC}.
12	GND		**Ground pin.**
13	WAVEA1	I	**Wave Form Adjust Input 1.**
14	WAVEA2	I	**Wave Form Adjust Input 2.**
15	SYMA1	I	**Wave Symetry Adjust 1.**
16	SYMA2	I	**Wave Symetry Adjust 2.**

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DC ELECTRICAL CHARACTERISTICS

Test Conditions: Test Circuit of *Figure 2* **Vcc = 12V, T_A = 25°C, C = 0.01µF, R_1 = 100kΩ, R_2 = 10kΩ, R_3 = 25kΩ**
Unless Otherwise Specified. S_1 open for triangle, closed for sine wave.

Parameters	XR-2206M/P			XR-2206CP/D			Units	Conditions
	Min.	Typ.	Max.	Min.	Typ.	Max.		
General Characteristics								
Single Supply Voltage	**10**		**26**	10		26	V	
Split-Supply Voltage	**±5**		**±13**	±5		±13	V	
Supply Current		12	17		14	20	mA	$R_1 \geq 10k\Omega$
Oscillator Section								
Max. Operating Frequency	**0.5**	1		0.5	1		MHz	C = 1000pF, R_1 = 1kΩ
Lowest Practical Frequency		0.01			0.01		Hz	C = 50µF, R_1 = 2MΩ
Frequency Accuracy		±1	**±4**		±2		% of f_o	$f_o = 1/R_1C$
Temperature Stability Frequency		±10	**±50**		±20		ppm/°C	0°C ≤ T_A ≤ 70°C $R_1 = R_2$ = 20kΩ
Sine Wave Amplitude Stability[2]		4800			4800		ppm/°C	
Supply Sensitivity		0.01	**0.1**		0.01		%/V	V_{LOW} = 10V, V_{HIGH} = 20V, $R_1 = R_2$ = 20kΩ
Sweep Range	1000:1	2000:1			2000:1		$f_H = f_L$	f_H @ R_1 = 1kΩ f_L @ R_1 = 2MΩ
Sweep Linearity								
10:1 Sweep		2			2		%	f_L = 1kHz, f_H = 10kHz
1000:1 Sweep		8			8		%	f_L = 100Hz, f_H = 100kHz
FM Distortion		0.1			0.1		%	±10% Deviation
Recommended Timing Components								
Timing Capacitor: C	**0.001**		100	0.001		100	µF	*Figure 5*
Timing Resistors: R_1 & R_2	1		2000	1		2000	kΩ	
Triangle Sine Wave Output[1]								*Figure 3*
Triangle Amplitude		160			160		mV/kΩ	*Figure 2*, S_1 Open
Sine Wave Amplitude	**40**	60	80		60		mV/kΩ	*Figure 2*, S_1 Closed
Max. Output Swing		6			6		Vp-p	
Output Impedance		600			600		Ω	
Triangle Linearity		1			1		%	
Amplitude Stability		0.5			0.5		dB	For 1000:1 Sweep
Sine Wave Distortion								
Without Adjustment		2.5			2.5		%	R_1 = 30kΩ
With Adjustment		0.4	**1.0**		0.5	1.5	%	See *Figure 7* and *Figure 8*

Notes
[1] Output amplitude is directly proportional to the resistance, R_3, on Pin 3. See Figure 3.
[2] For maximum amplitude stability, R_3 should be a positive temperature coefficient resistor.
***Bold face parameters** are covered by production test and guaranteed over operating temperature range.*

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DC ELECTRICAL CHARACTERISTICS (CONT'D)

Parameters	XR-2206M/P			XR-2206CP/D			Units	Conditions
	Min.	Typ.	Max.	Min.	Typ.	Max.		
Amplitude Modulation								
Input Impedance	50	100		50	100		kΩ	
Modulation Range		100			100		%	
Carrier Suppression		55			55		dB	
Linearity		2			2		%	For 95% modulation
Square-Wave Output								
Amplitude		12			12		Vp-p	Measured at Pin 11.
Rise Time		250			250		ns	C_L = 10pF
Fall Time		50			50		ns	C_L = 10pF
Saturation Voltage		0.2	**0.4**		0.2	0.6	V	I_L = 2mA
Leakage Current		0.1	**20**		0.1	100	μA	V_{CC} = 26V
FSK Keying Level (Pin 9)	0.8	1.4	**2.4**	0.8	1.4	2.4	V	See section on circuit controls
Reference Bypass Voltage	2.9	3.1	**3.3**	2.5	3	3.5	V	Measured at Pin 10.

Notes
[1] Output amplitude is directly proportional to the resistance, R_3, on Pin 3. See Figure 3.
[2] For maximum amplitude stability, R_3 should be a positive temperature coefficient resistor.
***Bold face parameters** are covered by production test and guaranteed over operating temperature range.*

Specifications are subject to change without notice

ABSOLUTE MAXIMUM RATINGS

Power Supply 26V
Power Dissipation 750mW
Derate Above 25°C ..... 5mW/°C
Total Timing Current 6mA
Storage Temperature ..... -65°C to +150°C

SYSTEM DESCRIPTION

The XR-2206 is comprised of four functional blocks; a voltage-controlled oscillator (VCO), an analog multiplier and sine-shaper; a unity gain buffer amplifier; and a set of current switches.

The VCO produces an output frequency proportional to an input current, which is set by a resistor from the timing terminals to ground. With two timing pins, two discrete output frequencies can be independently produced for FSK generation applications by using the FSK input control pin. This input controls the current switches which select one of the timing resistor currents, and routes it to the VCO.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

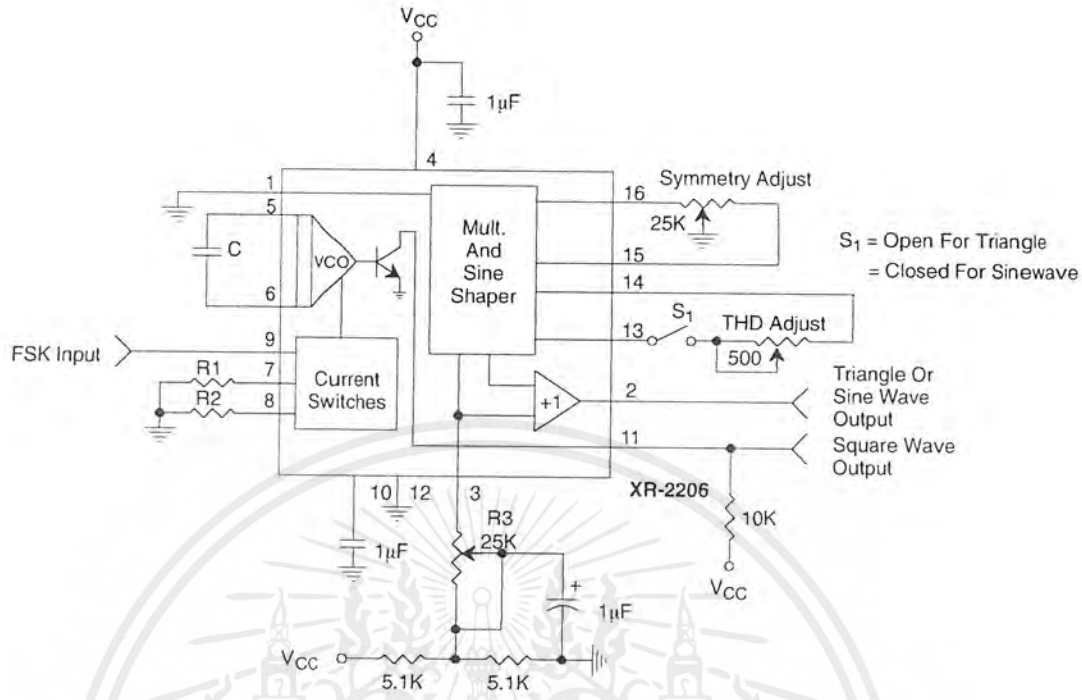


Figure 2. Basic Test Circuit

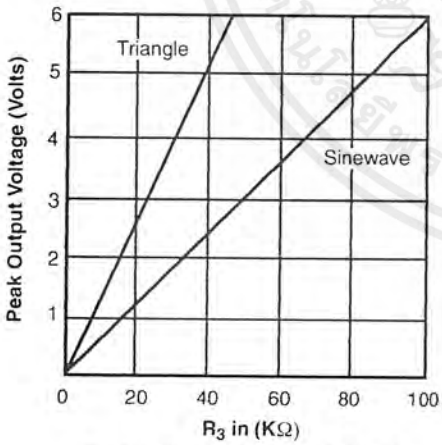


Figure 3. Output Amplitude as a Function of the Resistor, R3, at Pin 3

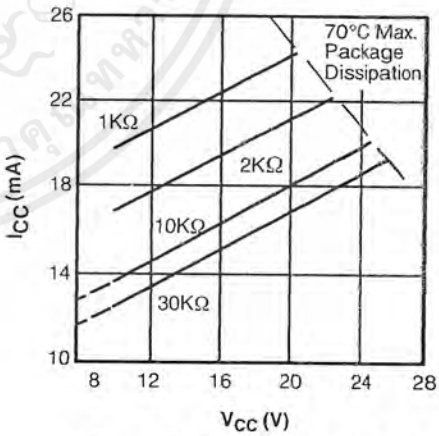


Figure 4. Supply Current vs Supply Voltage, Timing, R

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

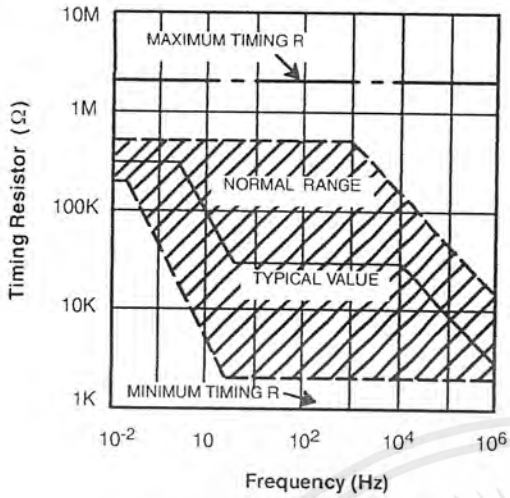


Figure 5. R versus Oscillation Frequency.

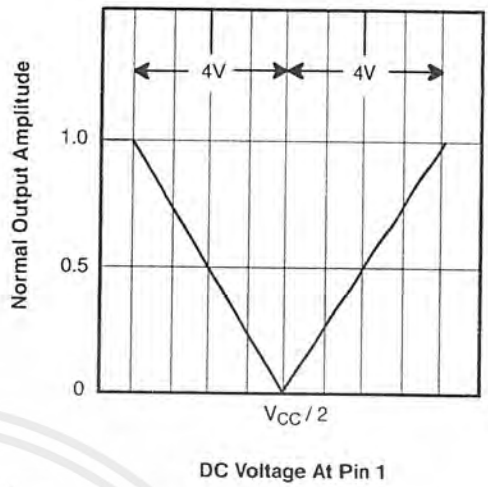


Figure 6. Normalized Output Amplitude versus DC Bias at AM Input (Pin 1)

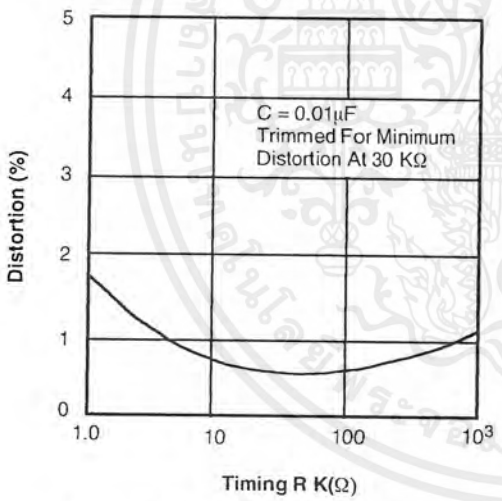


Figure 7. Trimmed Distortion versus Timing Resistor.

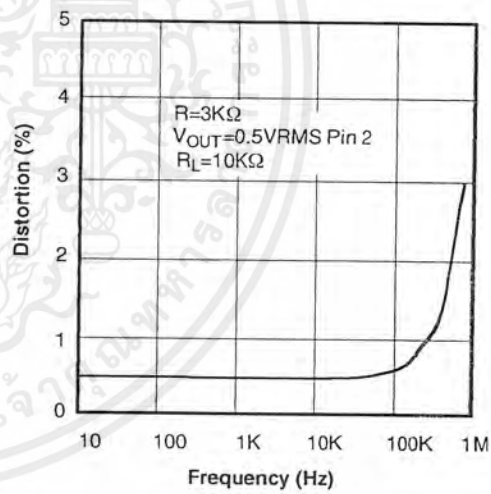


Figure 8. Sine Wave Distortion versus Operating Frequency with Timing Capacitors Varied.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

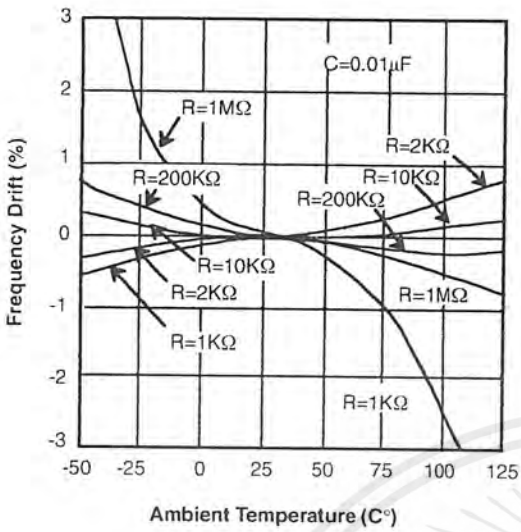


Figure 9. Frequency Drift versus Temperature.

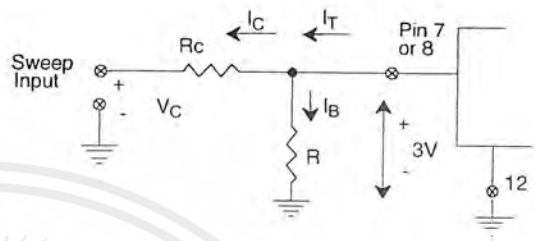


Figure 10. Circuit Connection for Frequency Sweep.

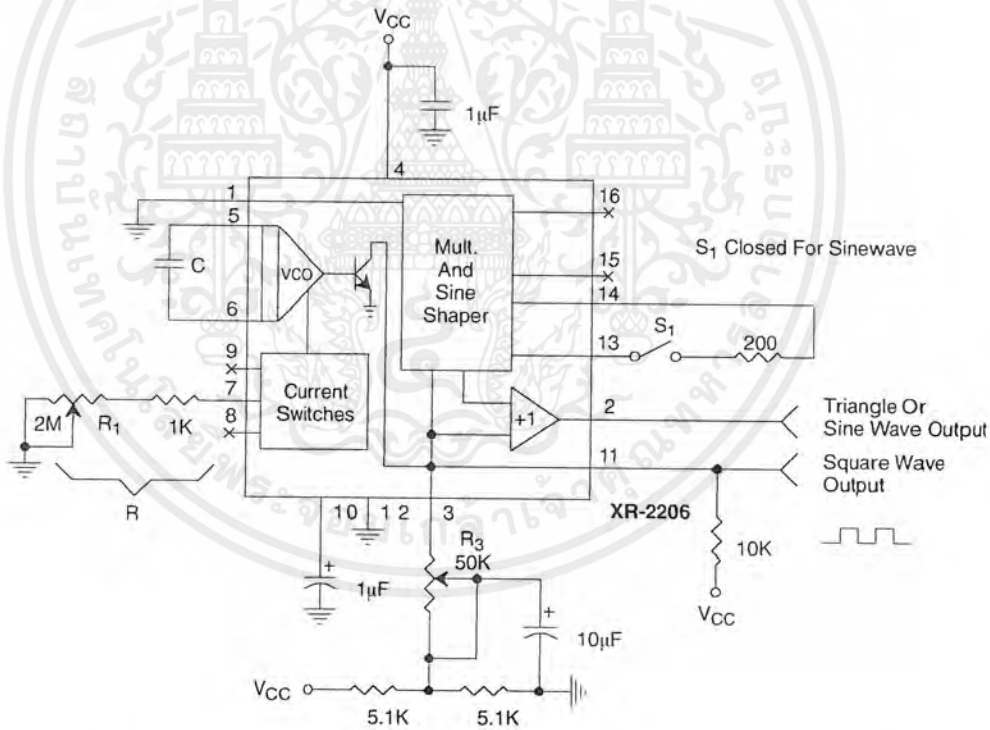


Figure 11. Circuit tor Sine Wave Generation without External Adjustment. (See *Figure 3* for Choice of R_3)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

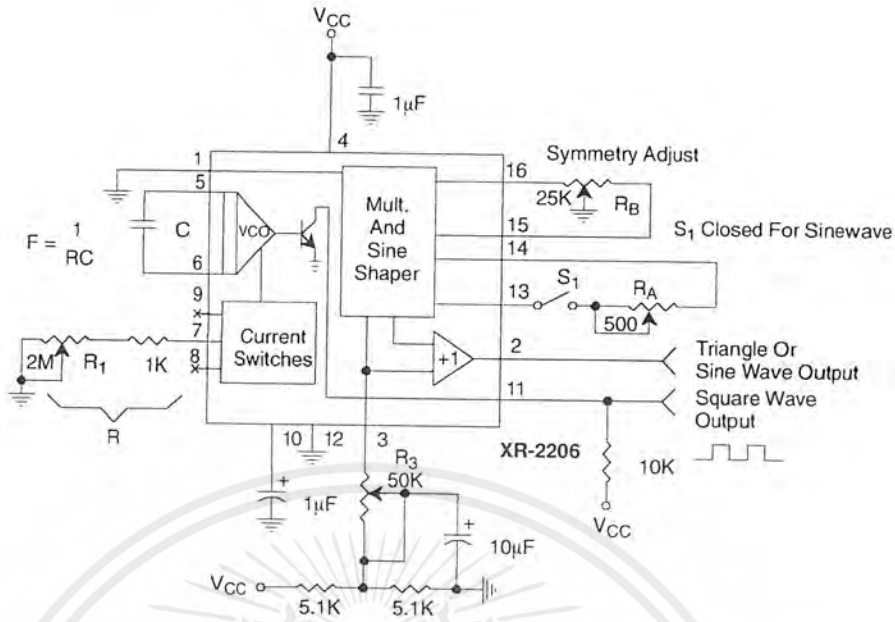


Figure 12. Circuit for Sine Wave Generation with Minimum Harmonic Distortion. (R_3 Determines Output Swing - See *Figure 3*)

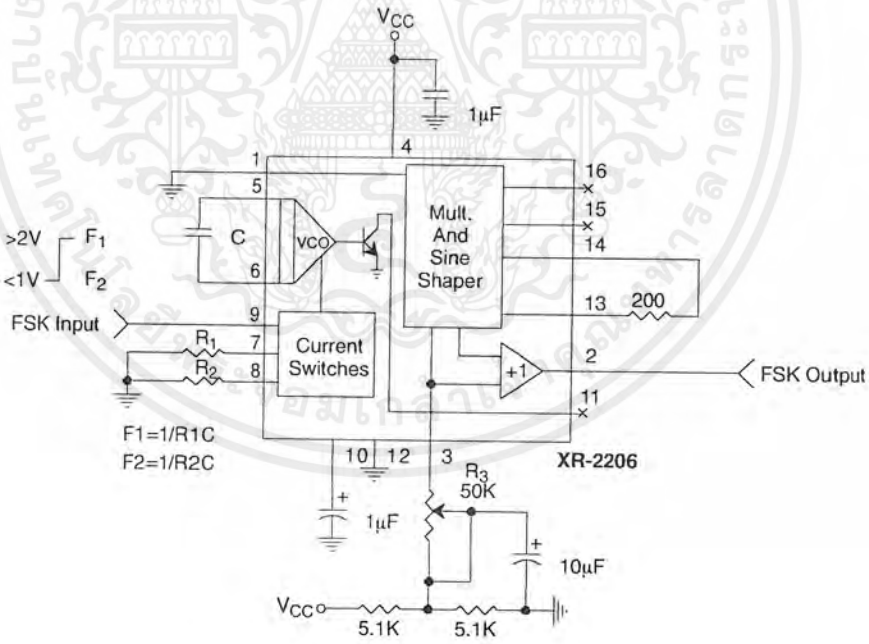


Figure 13. Sinusoidal FSK Generator

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

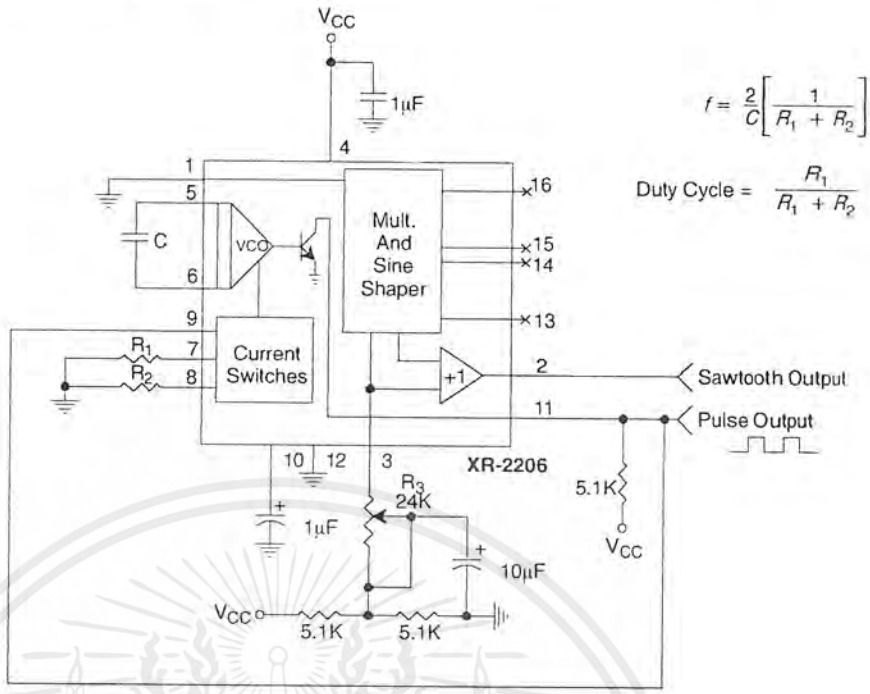


Figure 14. Circuit for Pulse and Ramp Generation.

Frequency-Shift Keying

The XR-2206 can be operated with two separate timing resistors, R_1 and R_2, connected to the timing Pin 7 and 8, respectively, as shown in *Figure 13*. Depending on the polarity of the logic signal at Pin 9, either one or the other of these timing resistors is activated. If Pin 9 is open-circuited or connected to a bias voltage $\geq$ 2V, only R_1 is activated. Similarly, if the voltage level at Pin 9 is $\leq$1V, only R_2 is activated. Thus, the output frequency can be keyed between two levels. f_1 and f_2, as:

$f_1 = 1/R_1C$ and $f_2 = 1/R_2C$

For split-supply operation, the keying voltage at Pin 9 is referenced to V^-.

Output DC Level Control

The dc level at the output (Pin 2) is approximately the same as the dc bias at Pin 3. In *Figure 11*, *Figure 12* and *Figure 13*, Pin 3 is biased midway between V+ and ground, to give an output dc level of $\approx V^+/2$.

APPLICATIONS INFORMATION

Sine Wave Generation

Without External Adjustment

Figure 11 shows the circuit connection for generating a sinusoidal output from the XR-2206. The potentiometer, R_1 at Pin 7, provides the desired frequency tuning. The maximum output swing is greater than $V^+/2$, and the typical distortion (THD) is < 2.5%. If lower sine wave distortion is desired, additional adjustments can be provided as described in the following section.

The circuit of *Figure 11* can be converted to split-supply operation, simply by replacing all ground connections with V^-. For split-supply operation, R_3 can be directly connected to ground.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

With External Adjustment:

The harmonic content of sinusoidal output can be reduced to -0.5% by additional adjustments as shown in *Figure 12*. The potentiometer, R_A, adjusts the sine-shaping resistor, and R_B provides the fine adjustment for the waveform symmetry. The adjustment procedure is as follows:

1. Set R_B at midpoint and adjust R_A for minimum distortion.
2. With R_A set as above, adjust R_B to further reduce distortion.

Triangle Wave Generation

The circuits of *Figure 11* and *Figure 12* can be converted to triangle wave generation, by simply open-circuiting Pin 13 and 14 (i.e., S_1 open). Amplitude of the triangle is approximately twice the sine wave output.

FSK Generation

Figure 13 shows the circuit connection for sinusoidal FSK signal operation. Mark and space frequencies can be independently adjusted by the choice of timing resistors, R_1 and R_2; the output is phase-continuous during transitions. The keying signal is applied to Pin 9. The circuit can be converted to split-supply operation by simply replacing ground with V^-.

Pulse and Ramp Generation

Figure 14 shows the circuit for pulse and ramp waveform generation. In this mode of operation, the FSK keying terminal (Pin 9) is shorted to the square-wave output (Pin 11), and the circuit automatically frequency-shift keys itself between two separate frequencies during the positive-going and negative-going output waveforms. The pulse width and duty cycle can be adjusted from 1% to 99% by the choice of R_1 and R_2. The values of R_1 and R_2 should be in the range of 1kΩ to 2MΩ.

PRINCIPLES OF OPERATION

Description of Controls

Frequency of Operation:

The frequency of oscillation, f_o, is determined by the external timing capacitor, C, across Pin 5 and 6, and by the timing resistor, R, connected to either Pin 7 or 8. The frequency is given as:

$$f_0 = \frac{1}{RC}\ Hz$$

and can be adjusted by varying either R or C. The recommended values of R, for a given frequency range, as shown in *Figure 5*. Temperature stability is optimum for $4k\Omega < R < 200k\Omega$. Recommended values of C are from 1000pF to 100μF.

Frequency Sweep and Modulation:

Frequency of oscillation is proportional to the total timing current, I_T, drawn from Pin 7 or 8:

$$f = \frac{320 I_T(mA)}{C(\mu F)}\ Hz$$

Timing terminals (Pin 7 or 8) are low-impedance points, and are internally biased at +3V, with respect to Pin 12. Frequency varies linearly with IT, over a wide range of current values, from 1μA to 3mA. The frequency can be controlled by applying a control voltage, V_C, to the activated timing pin as shown in *Figure 10*. The frequency of oscillation is related to VC as:

$$f = \frac{1}{RC}\left(1 + \frac{R}{R_C}\left(1 - \frac{V_C}{3}\right)\right) Hz$$

where V_C is in volts. The voltage-to-frequency conversion gain, K, is given as:

$$K = \partial f / \partial V_C = -\frac{0.32}{R_C C}\ \ Hz/V$$

CAUTION: *For safety operation of the circuit, I_T should be limited to $\leq$ 3mA.*

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Output Amplitude:

Maximum output amplitude is inversely proportional to the external resistor, R_3, connected to Pin 3 (see *Figure 3*). For sine wave output, amplitude is approximately 60mV peak per kΩ of R_3; for triangle, the peak amplitude is approximately 160mV peak per kΩ of R_3. Thus, for example, R_3 = 50kΩ would produce approximately 13V sinusoidal output amplitude.

Amplitude Modulation:

Output amplitude can be modulated by applying a dc bias and a modulating signal to Pin 1. The internal impedance at Pin 1 is approximately 100kΩ. Output amplitude varies linearly with the applied voltage at Pin 1, for values of dc bias at this pin, within 14 volts of $V_{CC}/2$ as shown in *Figure 6*. As this bias level approaches $V_{CC}/2$, the phase of the output signal is reversed, and the amplitude goes through zero. This property is suitable for phase-shift keying and suppressed-carrier AM generation. Total dynamic range of amplitude modulation is approximately 55dB.

CAUTION: *AM control must be used in conjunction with a well-regulated supply, since the output amplitude now becomes a function of* V_{CC}.

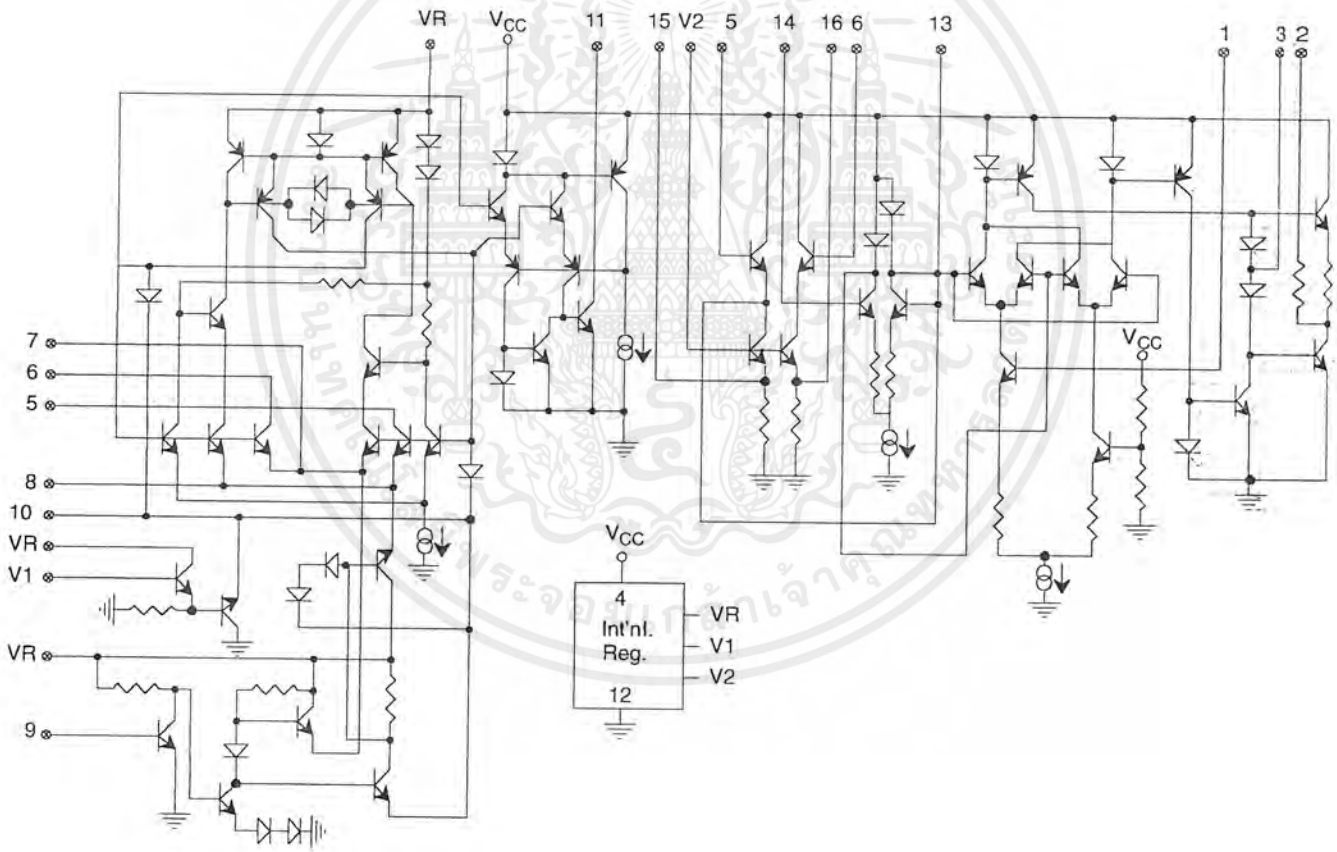
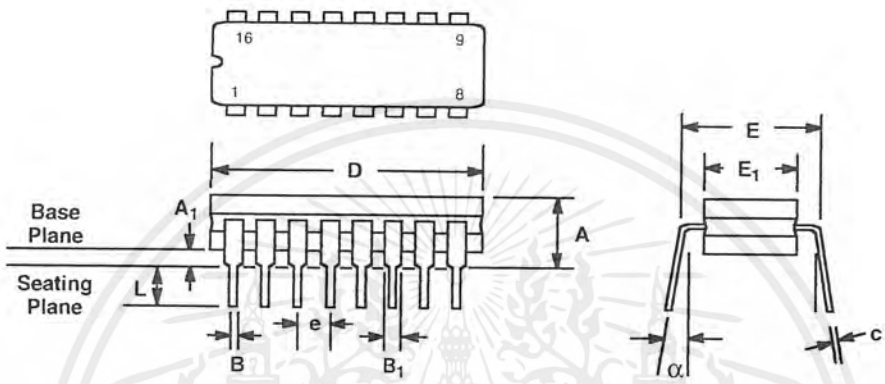


Figure 15. Equivalent Schematic Diagram

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

16 LEAD CERAMIC DUAL-IN-LINE (300 MIL CDIP)

Rev. 1.00



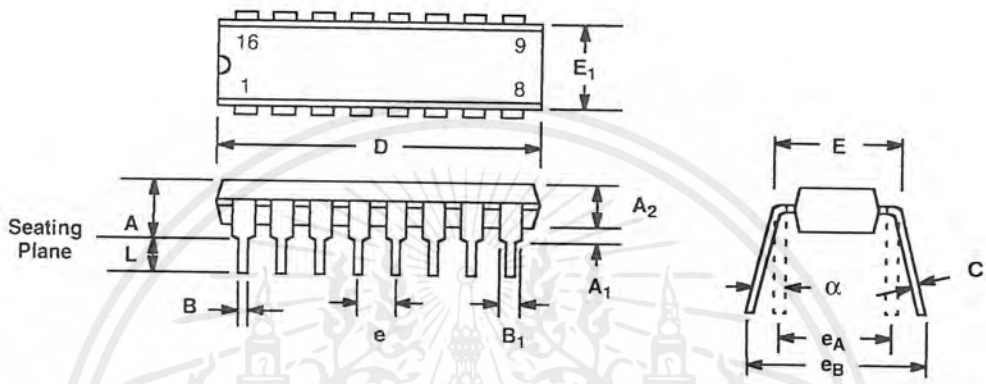
SYMBOL	INCHES		MILLIMETERS	
	MIN	MAX	MIN	MAX
A	0.100	0.200	2.54	5.08
A_1	0.015	0.060	0.38	1.52
B	0.014	0.026	0.36	0.66
B_1	0.045	0.065	1.14	1.65
c	0.008	0.018	0.20	0.46
D	0.740	0.840	18.80	21.34
E_1	0.250	0.310	6.35	7.87
E	0.300 BSC		7.62 BSC	
e	0.100 BSC		2.54 BSC	
L	0.125	0.200	3.18	5.08
α	0°	15°	0°	15°

Note: The control dimension is the inch column

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

16 LEAD PLASTIC DUAL-IN-LINE (300 MIL PDIP)

Rev. 1.00



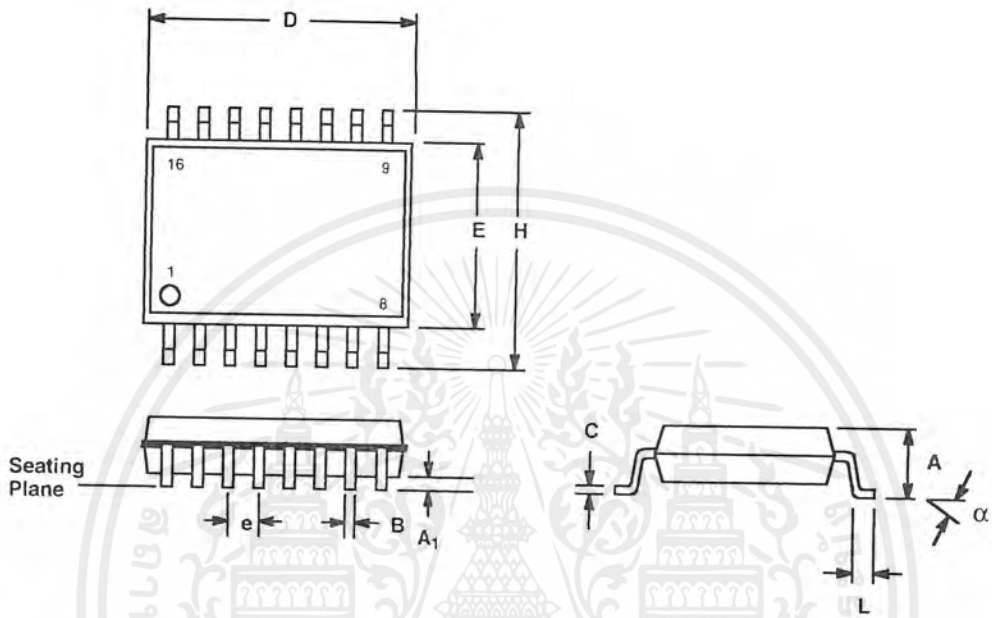
SYMBOL	INCHES MIN	INCHES MAX	MILLIMETERS MIN	MILLIMETERS MAX
A	0.145	0.210	3.68	5.33
A_1	0.015	0.070	0.38	1.78
A_2	0.115	0.195	2.92	4.95
B	0.014	0.024	0.36	0.56
B_1	0.030	0.070	0.76	1.78
C	0.008	0.014	0.20	0.38
D	0.745	0.840	18.92	21.34
E	0.300	0.325	7.62	8.26
E_1	0.240	0.280	6.10	7.11
e	0.100 BSC		2.54 BSC	
e_A	0.300 BSC		7.62 BSC	
e_B	0.310	0.430	7.87	10.92
L	0.115	0.160	2.92	4.06
α	0°	15°	0°	15°

Note: The control dimension is the inch column

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

16 LEAD SMALL OUTLINE (300 MIL JEDEC SOIC)

Rev. 1.00



SYMBOL	INCHES		MILLIMETERS	
	MIN	MAX	MIN	MAX
A	0.093	0.104	2.35	2.65
A_1	0.004	0.012	0.10	0.30
B	0.013	0.020	0.33	0.51
C	0.009	0.013	0.23	0.32
D	0.398	0.413	10.10	10.50
E	0.291	0.299	7.40	7.60
e	0.050 BSC		1.27 BSC	
H	0.394	0.419	10.00	10.65
L	0.016	0.050	0.40	1.27
α	0°	8°	0°	8°

Note: The control dimension is the millimeter column

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

NOTICE

EXAR Corporation reserves the right to make changes to the products contained in this publication in order to improve design, performance or reliability. EXAR Corporation assumes no responsibility for the use of any circuits described herein, conveys no license under any patent or other right, and makes no representation that the circuits are free of patent infringement. Charts and schedules contained here in are only for illustration purposes and may vary depending upon a user's specific application. While the information in this publication has been carefully checked; no responsibility, however, is assumed for inaccuracies.

EXAR Corporation does not recommend the use of any of its products in life support applications where the failure or malfunction of the product can reasonably be expected to cause failure of the life support system or to significantly affect its safety or effectiveness. Products are not authorized for use in such applications unless EXAR Corporation receives, in writing, assurances to its satisfaction that: (a) the risk of injury or damage has been minimized; (b) the user assumes all such risks; (c) potential liability of EXAR Corporation is adequately protected under the circumstances.

Copyright 1972 EXAR Corporation
Datasheet June 1997
Reproduction, in part or whole, without the prior written consent of EXAR Corporation is prohibited.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอกสารอ้างอิง

1. Robert A. Witte,"Spectrum and Network Measurments",Prentice Hall,274 p,1991
2. Louis Nashelsky,"Electronic Devices And Circuit Theory",Prentice Hall,950 p,1996
3. วิโรจน์ อัศวรังสี,ชัชวาลย์ เต็มฤทธิวงศ์,กรชุลี ใช้สถิตย์,"การใช้งานออปแอมป์และลิเนียร์ไอซี", บริษัทซีเอ็ดยูเคชั่นจำกัด,607 หน้า
4. ทีมงานซีเอ็ด,"อุปกรณ์อิเล็กทรอนิกส์",บริษัทซีเอ็ดยูเคชั่นจำกัด,138 หน้า
5. ธานินทร์ ถาวรศาสนวงศ์, ทินกร ดุ๊ก, "การอินเทอร์เฟส IBM/PC", โครงการตำราเรียนสำนักพิมพ์ฟิสิกส์เซ็นเตอร์, 270 หน้า, 2535

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้