

บอร์ดควบคุมผ่านทางพอร์ตขนาน
PARALLEL PORT INTERFACING BOARD



โดย

นาย วิทยา สุขสถาวรพันธุ์ รหัส 40010729

นาย อัครพล สุทธิชูไพบุลย์ รหัส 40010989

อาจารย์ที่ปรึกษา

อาจารย์ วรพงศ์ ตั้งศรีรัตน์

เลขหน้า.....
เลขทะเบียน..... 42490
วัน, เดือน, ปี..... 24 พ.ค. 2545

.b.....
.i.....

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรวิศวกรรมศาสตรบัณฑิต

สาขาวิชาวิศวกรรมระบบควบคุม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2543

ปริญญาานิพนธ์ ปีการศึกษา 2543

ภาควิชาวิศวกรรมระบบควบคุม

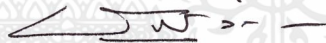
คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง บอร์ดควบคุมผ่านทางพอร์ตขนาน

ผู้จัดทำ

1. นายวิชา สุขสถาวรพันธุ์ รหัส 40010729

2. นายอรรถพล สุทธิชูไพบูลย์ รหัส 40010989



.....อาจารย์ที่ปรึกษา

(อาจารย์วรพงศ์ ตั้งศรีรัตน์)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บอร์คควบคุมผ่านทางพอร์ตขนาน

นายวิทยา สุขสถาวรพันธุ์

นายอรรถพล สุทธิชูไพบูลย์

อ. วรพงษ์ ตั้งศรีรัตน์ อาจารย์ที่ปรึกษา

ปีการศึกษา 2543

บทคัดย่อ

ในปัจจุบันด้านเทคโนโลยีต่าง ๆ สามารถพัฒนาได้อย่างรวดเร็วมากและปัจจัยอย่างหนึ่งที่ทำให้การพัฒนาเป็นไปอย่างรวดเร็วก็คือ การนำเอาระบบคอมพิวเตอร์มาใช้ในงานต่าง ๆ เช่นเดียวกับในโรงงานอุตสาหกรรมก็มักจะมีการนำเอาคอมพิวเตอร์มาใช้ในกระบวนการควบคุมการผลิต แต่เนื่องจากคอมพิวเตอร์เป็นอุปกรณ์ที่รับส่งข้อมูลเป็นสัญญาณดิจิทัล ในขณะที่อุปกรณ์ควบคุมการทำงานมักทำงานด้วยระบบอนาลอก จึงจำเป็นต้องมีการเชื่อมโยงระบบทั้งสองเข้าด้วยกัน คือ มีการแปลงสัญญาณอนาลอกเป็นดิจิทัลและสัญญาณดิจิทัลเป็นอนาลอก โครงการปริญญาโทฉบับนี้เป็น การออกแบบและสร้างบอร์คควบคุมผ่านทางพอร์ตขนานของคอมพิวเตอร์โดยใช้โปรแกรมภาษา Visual Basic เป็นตัวควบคุมและประมวลผล

ABSTRACT

At present, the technology progress so speedily because of computers were applied to collaborate in varied kind of instrumentation and control systems. It is well accepted that the computer is a device that operating by the digital signal, however, the control device usually works with the analog signal. Thus, it is necessary to link these systems together, that capably convert the analog to digital signal and digital to analog signal. The aim of this project is to design a parallel port interfacing board for using to control the process variables, and the programming of this project is based on the use of the Visual Basic program.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

	หน้า
บทที่ 1 บทนำ	
1.1 ความสำคัญและความเป็นมาของโครงการ	1
1.2 จุดประสงค์ของปริิญญานิพนธ์	1
1.3 ขอบเขตของ โครงการปริิญญานิพนธ์	2
บทที่ 2 ทฤษฎีและหลักการ	3
2.1 ทฤษฎี 8255	3
2.1.1 ลักษณะพื้นฐานของ 8255	3
2.1.2 กลุ่มพอร์ตของ 8255	4
2.1.3 หน้าที่การทำงานของขาสัญญาณ ไอซี 8255	5
2.1.4 รูปแบบคำสั่งเพื่อการทำงานของ 8255	6
2.1.5 การเชื่อมต่อ 8255 กับคอมพิวเตอร์	7
2.1.6 รายละเอียดการทำงานใน โหมดต่าง ๆ ของ 8255	8
2.1.6.1 การทำงาน โหมด 0 ของ 8255	8
2.1.6.2 การทำงาน โหมด 1 ของ 8255	9
2.1.6.3 การทำงาน โหมด 2 ของ 8255	14
2.2 ทฤษฎี ADC และ DAC	16
2.2.1 วงจร Digital to Analog Converter (DAC)	16
2.2.1.1 DAC แบบ Binary Weight Ladder	16
2.2.1.2 DAC แบบ R-2R Ladder	16
2.2.2 วงจร Analog to Digital Converter (ADC)	18
2.2.2.1 วงจรพื้นฐาน	18
2.2.2.2 แบบใช้วงจรเปรียบเทียบขนาน (Flash A/D Converter)	19
2.2.2.3 วงจรเอทูดิที่ใช้เทคนิคการอินทีเกรต	20
2.2.2.4 วงจรเอทูดิแบบใช้การประมาณค่า (Successive Approximation A/D Converter)	24
บทที่ 3 พอร์ตขนาน	26
3.1 โครงสร้างโดยทั่วไปของระบบคอมพิวเตอร์และการอินเตอร์เฟส	26

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2 การอินเตอร์เฟซแบบขนาน	26
3.2.1 การอินเตอร์เฟซแบบ IEEE-488	27
3.2.2 การอินเตอร์เฟซแบบ เซน โทรนิก	27
3.3 โหมดการทำงานของพอร์ตขนาน	27
3.4 รายละเอียดการทำงานในโหมด SPP	28
3.4.1 ขั้นตอนการส่งข้อมูลของโหมด SPP	29
3.4.2 ขั้นตอนการรับข้อมูลของโหมด SPP	29
3.4.3 รายละเอียดรีจิสเตอร์ของ SPP	29
3.5 รายละเอียดในการทำงานโหมด EPP	31
3.5.1 รายละเอียดรีจิสเตอร์ของ EPP	31
3.6 รายละเอียดการทำงานในโหมด ECP	32
บทที่ 4 การออกแบบวงจร	34
4.1 คุณสมบัติของบอร์ด โดยรวม	34
4.2 การทำงานของวงจรในภาคควบคุมแบบดิจิทัล	34
4.2.1 ภาคจ่ายไฟ	34
4.2.2 ภาคเชื่อมต่อกับพอร์ตขนานและควบคุมการเลือกช่องสัญญาณ	38
4.2.3 ภาคควบคุมการรับส่งค่าแบบดิจิทัล	39
4.3 การทำงานของวงจรในภาคควบคุมแบบอนาลอก	40
4.3.1 ภาคจ่ายไฟ	40
4.3.2 ภาคเปลี่ยนสัญญาณอนาลอกเป็นสัญญาณดิจิทัล	41
4.3.3 ภาคเปลี่ยนสัญญาณดิจิทัลเป็นสัญญาณอนาลอก	41
4.4 การออกแบบระบบควบคุมทดลอง	42
บทที่ 5 การเขียนโปรแกรม	44
5.1 ชุดค่าเริ่มต้นก่อนเขียน โปรแกรม	44
5.2 ตัวอย่างโปรแกรมที่ใช้ในการติดต่อกับพอร์ตขนาน	44
5.3 สายสัญญาณที่ใช้ในการติดต่อระหว่างพอร์ตขนานกับบอร์ดควบคุม	45
5.4 ขั้นตอนการเลือกตำแหน่งอุปกรณ์บนบอร์ด	46
5.5 ขั้นตอนการส่งข้อมูลออกของภาคดิจิทัล	47
5.6 ขั้นตอนการรับข้อมูลเข้าของภาคดิจิทัล	47
5.7 ขั้นตอนการส่งข้อมูลออกของภาคอนาลอก	47

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.8	ขั้นตอนการรับข้อมูลเข้าของภาคอนาล็อก	47
บทที่ 6	การทดลองและสรุปผล	48
6.1	การทำงานของภาคดิจิทัล	48
6.1.1	วิธีการทดสอบการทำงานของภาคดิจิทัล	48
6.1.2	ผลทดสอบการทำงานของภาคดิจิทัล	48
6.1.3	สรุปผลการทำงานของภาคดิจิทัล	48
6.2	การทำงานของภาคอนาล็อก	48
6.2.1	การทดสอบการส่งค่าอนาล็อก	48
6.2.1.1	วิธีการทดสอบการส่งค่าแบบอนาล็อก	48
6.2.1.2	ผลทดสอบการส่งค่าแบบอนาล็อก	49
6.2.1.3	สรุปผลการส่งค่าแบบอนาล็อก	49
6.2.2	การทดสอบการรับค่าแบบอนาล็อก	49
6.2.2.1	วิธีการทดสอบการรับค่าแบบอนาล็อก	50
6.2.2.2	ผลทดสอบการรับค่าแบบอนาล็อก	50
6.2.2.3	สรุปผลการรับค่าแบบอนาล็อก	51
6.2.3	การทดสอบการรับส่งค่าแบบอนาล็อก	51
6.2.3.1	วิธีการทดสอบการรับค่าแบบอนาล็อก	51
6.2.3.2	ผลทดสอบการรับค่าแบบอนาล็อก	51
6.2.3.3	สรุปผลการรับค่าแบบอนาล็อก	52
6.3	การนำบอร์ดไปควบคุมการทรงตัวของปีกเครื่องบิน	52
6.3.1	การควบคุมการทรงตัวของปีกเครื่องบิน	52
6.3.2	ผลการทดลองการทรงตัวของปีกเครื่องบิน	53

ภาคผนวก

ก. โปรแกรม

ข. คู่มือไอซี (Data Sheet)

สารบัญตาราง

ตารางที่	หน้า
2.1	5
2.2	5
2.3	7
2.4	7
2.5	8
2.6	10
2.7	11
2.8	15
3.1	28
3.2	29
3.3	30
3.4	30
3.5	31
3.6	31
3.7	32
3.8	33
4.1	38
4.2	39
4.3	40
5.1	46
6.1	49
6.2	50
6.3	52

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูปร่าง

รูปที่	หน้า
2.1 บล็อกภายในและขาสัญญาณของไอซีเบอร์ 8255	4
2.2 ความหมายของบิตภายในไบต์ข้อมูลควบคุมสำหรับ 8255	6
2.3 ลักษณะการทำงานของพอร์ต 8255 หลังการส่งไบต์ข้อมูลควบคุมที่มีค่า 82H	8
2.4 (ก) การใช้สัญญาณบอกสถานะความพร้อมในการรับข้อมูลจากภายนอก	9
(ข) การใช้สัญญาณบอกสถานะความพร้อมในการส่งข้อมูลออกไปภายนอก	9
2.5 การกำหนดการทำงานของ 8255 ในโหมด 1 เพื่อให้พอร์ต A เป็นพอร์ตส่งออกข้อมูล และพอร์ต B เป็นพอร์ตรับเข้าข้อมูลจากอุปกรณ์ภายนอก	11
2.6 (ก) แสดงสัญญาณติดต่อเพื่อส่งข้อมูลออกไปจากพอร์ต A ของ 8255	12
(ข) แสดงสัญญาณติดต่อเพื่อส่งข้อมูลออกไปจากพอร์ต B ของ 8255	12
2.7 แผนผังการส่งข้อมูลให้กับอุปกรณ์ภายนอกโดยใช้พอร์ต A และสัญญาณติดต่อทางพอร์ต C	13
2.8 แผนผังวิธีการรับข้อมูลให้กับอุปกรณ์ภายนอกโดยใช้พอร์ต B และสัญญาณติดต่อทางพอร์ต C	13
2.9 หลักการทำงานของ 8255 เมื่อได้รับการกำหนดให้ทำงานในโหมด 2	14
2.10 DAC แบบ Binary Weight Ladder	16
2.11 วงจร DAC แบบ R-2R Ladder	17
2.12 วงจรรีซิสทีฟแลดเดอร์ (Resistive Ladder)	17
2.13 วงจร Invert R-2R Ladder DAC	18
2.14 Transfer function ของ Comparator	18
2.15 วิธีการพื้นฐานของ ADC	19
2.16 วงจร Flash A/D Converter	20
2.17 (ก) แสดงบล็อกไดอะแกรมของ ADC แบบสโปลเดี่ยว	21
(ข) สัญญาณแรมป์	22
2.18 (ก) รูปแสดงวงจร ADC แบบสโปลคู่	23
(ข) แสดงสัญญาณที่ได้จากการอินทีเกรต	23
2.19 วงจรแปลงสัญญาณ Successive Approximation ADC	24

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.1	วงจรควบคุมภาคดิจิทัล	35
4.2	วงจรควบคุมภาคอนาลอก	36
4.3	วงจรแรงดันไฟเลี้ยง	37
4.4	แสดงโฟลว์ชาร์ตการควบคุมปีกเครื่องบิน	43
4.5	แสดงบล็อกไดอะแกรมการควบคุมการทรงตัวปีกเครื่องบิน	43
5.1	สายสัญญาณที่ใช้ติดต่อกับพอร์ตนาน	45
5.2	ขั้นตอนการเลือกตำแหน่งของอุปกรณ์บนบอร์ด	46
6.1	แสดงวิธีการทดสอบการทำงานภาคอนาลอก	51



บทที่ 1

บทนำ

1.1 ความสำคัญและความเป็นมาของโครงการ

ปัจจุบันคอมพิวเตอร์เข้ามามีบทบาทในชีวิตมนุษย์มากขึ้น ทั้งในด้านการดำรงชีวิตและการทำงาน มีการนำคอมพิวเตอร์มาประยุกต์ใช้งานในระบบควบคุมอย่างแพร่หลาย ซึ่งช่วยให้การควบคุมระบบที่มีความซับซ้อนสามารถทำได้ง่ายขึ้น มีประสิทธิภาพมากขึ้น การนำคอมพิวเตอร์มาใช้งานแบบขนานเป็นวิธีที่นิยมนำมาใช้กันมากเนื่องจากใช้เวลาในการสื่อสารข้อมูลน้อยแต่มีข้อเสียคือไม่สามารถสื่อสารได้ไกล สำหรับระบบ Data Acquisition And Control System เป็นวิธีการหนึ่งในการนำคอมพิวเตอร์มาประยุกต์ใช้ในการควบคุม เหมาะกับระบบควบคุมที่มีขนาดไม่ใหญ่มากนัก มีการลงทุนน้อยและมีความคล่องตัวสูง เมื่อเทียบกับระบบ พีแอลซี และ คีชีเอส

ปัญหาสำคัญของการแปลงระหว่างสัญญาณดิจิทัลกับสัญญาณอนาลอกคือ การควบคุมประเภทนี้เราไม่สามารถควบคุมในลักษณะเวลาจริงได้เนื่องจากต้องใช้เวลาในการแปลงสัญญาณ

1.2 จุดประสงค์ของปริญญาานิพนธ์

- 1.2.1 สร้างวงจรรับสัญญาณอนาลอกแล้วแปลงเป็นสัญญาณดิจิทัล
- 1.2.2 สร้างวงจรแปลงสัญญาณดิจิทัลเป็นสัญญาณอนาลอกหลายช่องสัญญาณ
- 1.2.3 สร้างวงจรรับสัญญาณดิจิทัลและส่งสัญญาณดิจิทัล
- 1.2.4 สร้างบอร์ดควบคุมติดต่อกับคอมพิวเตอร์ทางพอร์ตขนาน
- 1.2.5 เขียนซอฟต์แวร์ควบคุมการทำงานด้วยภาษาวิซวลเบสิก
- 1.2.6 นำบอร์ดที่ได้สร้างนี้ไปประยุกต์ควบคุมระบบทดลองที่ได้สร้างไว้

1.3 ขอบเขตของโครงการปริญญาโท

1.3.1 บอร์ดควบคุมสามารถแปลงสัญญาณดิจิทัลเป็นสัญญาณอนาล็อก ขนาด 0-5 โวลต์ ได้ 8 ช่องสัญญาณ

1.3.2 บอร์ดควบคุมสามารถแปลงสัญญาณอนาล็อก ขนาด 0-5 โวลต์ ให้เป็นสัญญาณดิจิทัลขนาด 8 บิต

1.3.3 บอร์ดควบคุมสามารถส่งสัญญาณควบคุมแบบดิจิทัล 8 บิต และรับสัญญาณควบคุมแบบดิจิทัล 8 ได้

1.3.4 บอร์ดควบคุมเชื่อมต่อกับคอมพิวเตอร์ผ่านทางพอร์ตขนาน

1.3.5 ออกแบบให้บอร์ดมีค่าความผิดพลาดในการแปลงสัญญาณ และรับส่งข้อมูล ต่ำกว่า 2 %

1.3.6 เขียนโปรแกรมตรวจสอบการทำงานของบอร์ด

1.3.7 นำบอร์ดไปควบคุมระบบจำลองที่สร้างขึ้น

บทที่ 2

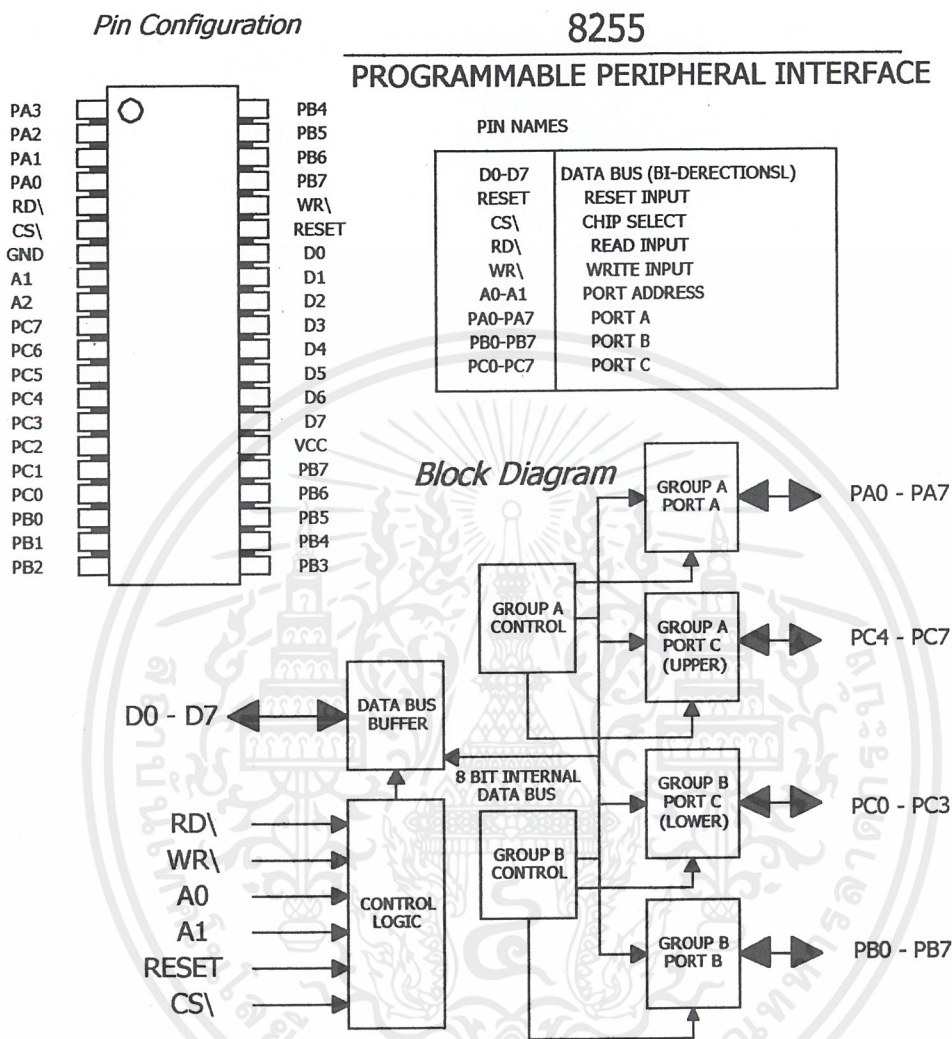
ทฤษฎีและหลักการ

2.1 ทฤษฎี 8255

การนำคอมพิวเตอร์มาใช้ในการติดต่อกับส่วนประกอบภายนอกอื่น ๆ เช่น การรับคีย์บอร์ด การแสดงผล รวมถึงการนำเอาคอมพิวเตอร์ไปควบคุมอุปกรณ์ต่าง ๆ นั้นคอมพิวเตอร์ต้องติดต่อ (รับหรือส่งข้อมูล) โดยผ่านทางอินพุทหรือเอาต์พุทพอร์ต ซึ่งอาจสามารถใช้ไอซีทีทีแอล (TTL) บางเบอร์มาใช้เป็นพอร์ตสำหรับคอมพิวเตอร์ได้ แต่ทั้งนี้การใช้ไอซีทีทีแอลมีข้อจำกัดหลายอย่าง เช่น ในกรณีที่มีความจำเป็นจะต้องใช้พอร์ตหลายๆพอร์ต เพื่อติดต่อกับอุปกรณ์ภายนอกหลายๆจุด จึงต้องใช้ไอซีเหล่านี้จำนวนหลายๆตัวและอาจทำให้ยากในการออกแบบวงจร อีกทั้งไม่สามารถจะเปลี่ยนแปลงลักษณะการทำงานให้แตกต่างไปจากเดิมที่ได้ออกแบบไว้แล้ว ดังนั้นผู้ผลิตซีพียูในตระกูลต่างๆจึงมักจะผลิตไอซีประเภท LSI ที่ทำหน้าที่เป็นพอร์ตมาเพื่อใช้งานร่วมกับซีพียูเบอร์นั้นๆ ได้สะดวกซึ่งจะทำให้การรับส่งข้อมูลมีความเชื่อถือได้สูง และยังสามารถเปลี่ยนแปลงชนิดของพอร์ตจากอินพุทพอร์ตเป็นเอาต์พุทพอร์ต หรือจากเอาต์พุทพอร์ตเป็นอินพุทพอร์ตได้ง่ายโดยการควบคุมของซีพียูเอง ดังนั้นในบทนี้จะกล่าวถึงไอซีที่ทำหน้าที่เป็นอินพุทและเอาต์พุท ซึ่งเป็นที่นิยมในการนำไปใช้งาน อีกทั้งยังมีราคาถูกหาซื้อง่ายคือ ไอซี 8255 ของบริษัท Intel โดยที่จริงแล้วไอซีเบอร์นี้ได้ถูกออกแบบและผลิตขึ้นมาเพื่อใช้งานร่วมกับ ซีพียู เบอร์ 8080 แต่ก็สามารถนำมาใช้กับ Z 80 หรือซีพียูเบอร์อื่น ๆ ได้

2.1.1 ลักษณะพื้นฐานของ 8255

8255 เป็นไอซี LSI ขนาด 40 ขา ดังรูปที่ 2.1 ซึ่งแสดงตำแหน่งของขาต่าง ๆ ทั้ง 40 ขา และแผนผังภายในของ 8255 ซึ่ง 8255 นี้มีพอร์ตสำหรับรับส่งข้อมูลอยู่ด้วยกัน 3 พอร์ต คือ พอร์ต A พอร์ต B และพอร์ต C โดยแต่ละพอร์ตเป็นพอร์ตขนาด 8 บิต โดยพอร์ต C จะแบ่งออกเป็น 2 ส่วนคือ พอร์ต C บน 4 บิต กับ พอร์ต C ต่ำ 4 บิต นอกจากนี้ยังมีพอร์ตอีกพอร์ตหนึ่งเรียกว่าพอร์ตควบคุม (Control Port) สำหรับกำหนดลักษณะการทำงานของพอร์ต A, B, C ว่าจะให้พอร์ตใดเป็นอินพุทหรือเอาต์พุทพอร์ต และทำงานในโหมดใด โดย CPU จะส่งรหัสควบคุมมาทางบัสข้อมูล (Data Bus) ให้แก่พอร์ตควบคุมนี้



รูปที่ 2.1 บล็อกภายในและขาสัญญาณของไอซีเบอร์ 8255

2.1.2 กลุ่มพอร์ตของ 8255

พอร์ตทั้งสามของ 8255 คือ พอร์ต A พอร์ต B และพอร์ต C แต่ละพอร์ตประกอบไปด้วยเส้นสัญญาณ 8 เส้น ซึ่งแต่ละเส้นจะแทนบิตของข้อมูลพอร์ต โดย 8255 ได้ทำการแบ่งพอร์ตทั้ง 3 ออกเป็น 2 กลุ่ม (Group A ,Group B) เพื่อประโยชน์ในการกำหนดรูปแบบการทำงานของพอร์ตสามารถแสดงได้ในตารางที่ 2.1

กลุ่ม	ลักษณะ
Group A	พอร์ต A จำนวน 8 บิต (ทุกบิตของพอร์ต) พอร์ต C จำนวน 4 บิต (4 บิตบนของพอร์ต)
Group B	พอร์ต B จำนวน 8 บิต (ทุกบิตของพอร์ต) พอร์ต C จำนวน 4 บิต (4 บิตล่างของพอร์ต)

ตารางที่ 2.1 กลุ่มพอร์ตของ 8255

โดยที่พอร์ต C จะถูกแบ่งออกเป็น 2 กลุ่ม คือ กลุ่มของ 4 บิตล่าง (PC0-PC3) จะอยู่ใน Group B และกลุ่มของ 4 บิตบน (PC4-PC7) อยู่ใน Group A

2.1.3 หน้าที่การทำงานของขาสัญญาณไอซี 8255

ก่อนที่จะนำไอซี 8255 ไปใช้งานควรทราบถึงหน้าที่ของขาสัญญาณต่าง ๆ ก่อน จะทำให้เข้าใจถึงวิธีทำงานได้ดีขึ้น การทำงานของขาสัญญาณต่าง ๆ ได้แสดงไว้ในตารางที่ 2.2

สัญญาณ	ความหมาย และหน้าที่
D0-D7	กลุ่มสัญญาณข้อมูลเมื่อมีการอ่านหรือเขียนข้อมูลของ 8255
CS\	สัญญาณเลือกกว่าจะให้ 8255 ทำงานหรือไม่
RD\	สัญญาณบอกสถานะต้องการอ่านข้อมูลจากรีจิสเตอร์ของ 8255
WR\	สัญญาณบอกสถานะต้องการเขียนข้อมูลให้กับรีจิสเตอร์ของ 8255
RESET	สัญญาณการรีเซตวงจรทำงานภายใน 8255 เพื่อเริ่มต้นใหม่
A0-A1	สัญญาณแอดเดรสเลือกพอร์ตของ 8255 ที่ CPU ต้องการจะติดต่อด้วย
PA0-PA7	กลุ่มสัญญาณของพอร์ต A ใน 8255
PB0-PB7	กลุ่มสัญญาณของพอร์ต B ใน 8255
PC0-PC7	กลุ่มสัญญาณของพอร์ต C ใน 8255

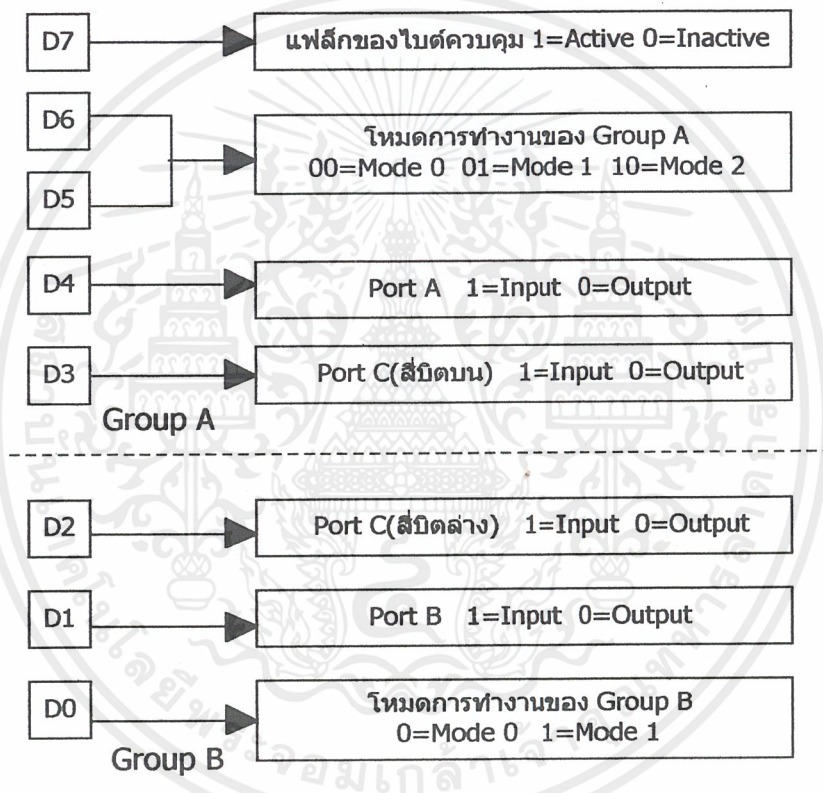
*สัญญาณ CS\, RD\ และ WR\ จะทำงานที่ระดับลอจิกต่ำ

ตารางที่ 2.2 หน้าที่การทำงานของขาสัญญาณไอซี 8255

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.1.4 รูปแบบคำสั่งเพื่อการทำงานของ 8255

การกำหนดให้พอร์ตทั้ง 3 ของ 8255 ทำงานในลักษณะต่าง ๆ กันหรือที่เรียกว่า โหมดการทำงาน (Mode) จะเริ่มด้วยการส่งค่าไบต์ข้อมูลควบคุม (Control Word) ขนาด 1 ไบต์ ให้กับรีจิสเตอร์ควบคุมเพื่อควบคุมการทำงานภายใน 8255 โดยแต่ละบิตของไบต์ข้อมูลนี้จะกำหนดลักษณะต่างๆ ของ 8255 โดยแสดงไว้ดังรูปที่ 2.2 ก่อนที่จะมีการดำเนินการใดๆ กับ 8255 จะต้องมีการส่งไบต์ข้อมูลควบคุมนี้มากำหนดลักษณะการทำงานของ 8255 ก่อนเสมอ



รูปที่ 2.2 ความหมายของบิตภายในไบต์ข้อมูลควบคุมสำหรับ 8255

ตามความหมายของบิตตารางของรูปที่ 2.2 จะเห็นว่า การเลือกพอร์ตใดทำหน้าที่เป็นพอร์ตอินพุตก็เพียงแต่กำหนดค่าข้อมูล “1” ให้กับบิตที่เกี่ยวข้องกับพอร์ตนั้น หรือกรณีตรงกันข้ามสำหรับพอร์ตเอาต์พุตก็เพียงแต่กำหนดค่าข้อมูล “0” เท่านั้น อย่างไรก็ตามการกำหนดไบต์ข้อมูลควบคุมนี้จะมีผลอย่างถูกต้องจะต้องกำหนดให้บิต D7 มีค่าเป็น “1” เสมอ

2.1.5 การเชื่อมต่อ 8255 กับคอมพิวเตอร์

เมื่อพิจารณาแผนภาพของ 8255 จะเห็นว่ามิชาสัญญาณแอดเดรสจำนวน 2 เส้น คือ A0 และ A1 ทำให้ตำแหน่งของแอดเดรสที่จะอ้างถึงได้มีค่าเป็น 4 ตำแหน่ง ซึ่งแต่ละตำแหน่งจะมีความหมายถึงการระบุรีจิสเตอร์หรือพอร์ตภายใน 8255 ดังตารางที่ 2.3

A1	A0	ชื่อของรีจิสเตอร์
0	0	พอร์ต A
0	1	พอร์ต B
1	0	พอร์ต C
1	1	รีจิสเตอร์ควบคุม

ตารางที่ 2.3 การระบุรีจิสเตอร์หรือพอร์ตภายใน

เมื่อพิจารณาค่าของแอดเดรสเหล่านี้ร่วมกับขาสัญญาณ RD\ และ WR\ จะเป็นการอ่านหรือเขียนข้อมูลทางขาสัญญาณ D0-D7 ให้กับรีจิสเตอร์นั้นตามลำดับ ดังตารางที่ 2.4

RD\	WR\	A1	A0	ความหมาย
0	1	0	0	ส่ง (หรือเขียน) ข้อมูลให้กับพอร์ต A
1	0	0	0	รับ (หรืออ่าน) ข้อมูลจากพอร์ต A
0	1	0	1	ส่ง (หรือเขียน) ข้อมูลให้กับพอร์ต B
1	0	0	1	รับ (หรืออ่าน) ข้อมูลจากพอร์ต B
0	1	1	0	ส่ง (หรือเขียน) ข้อมูลให้กับพอร์ต C
1	0	1	0	รับ (หรืออ่าน) ข้อมูลจากพอร์ต C
0	1	1	1	ส่ง (หรือเขียน) ข้อมูลให้กับรีจิสเตอร์ควบคุม
1	0	1	1	เป็นสถานะที่ไม่ถูกต้อง

ตารางที่ 2.4 การทำงานร่วมกันระหว่างขาสัญญาณต่าง ๆ ของ 8255

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.1.6 รายละเอียดการทำงานในโหมดต่าง ๆ ของ 8255

การกำหนดโหมดการทำงานของ 8255 นั้นทำได้โดย ส่งไบต์ข้อมูลควบคุม (8 บิต) ผ่านทางบัสข้อมูลมายังพอร์ตควบคุมของ 8255

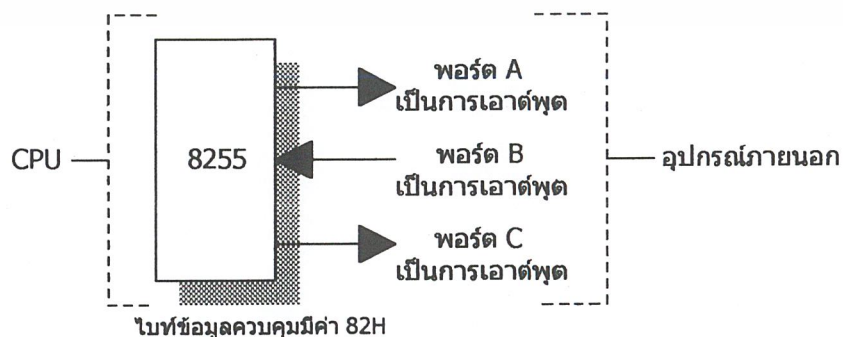
2.1.6.1 การทำงานโหมด 0 ของ 8255

เมื่อ 8255 ได้รับการกำหนดให้ทำงานในโหมดนี้ จะทำให้พอร์ตต่าง ๆ มีหน้าที่เป็นพอร์ตอินพุทหรือเอาต์พุทแบบพื้นฐานหรือที่เรียกว่า Simple I/O Port ซึ่งเป็นที่นิยมใช้กันมาก การเริ่มต้นจะทำได้โดยการส่งไบต์ข้อมูลควบคุมให้กับรีจิสเตอร์ควบคุม (ดูความหมายของบิต จากรูปที่ 2.2 ประกอบ) ตารางที่ 2.6 แสดงตัวอย่างการกำหนดการทำงานโหมด 0 ของ 8255 โดยให้ พอร์ต A, พอร์ต C เป็นพอร์ตเอาต์พุท และพอร์ต B เป็นพอร์ตอินพุท

ตำแหน่งบิต	ค่าข้อมูล	ความหมาย
D7	1	ระบุให้ทราบว่าเป็น ไบต์ข้อมูลควบคุม
D6 และ D5	00	กำหนดโหมดการทำงานให้กับ Group A เป็นโหมด 0
D4	0	ระบุพอร์ต A เป็นการเอาต์พุทข้อมูล
D3	0	ระบุพอร์ต C เป็นการเอาต์พุทข้อมูล
D2	0	ระบุพอร์ต C เป็นการเอาต์พุทข้อมูล
D1	1	ระบุพอร์ต B เป็นการอินพุทข้อมูล
D0	0	กำหนดโหมดการทำงานให้กับ Group B เป็นโหมด 0

ตารางที่ 2.5 การกำหนดการทำงานโหมด 0 ของ 8255

จากตัวอย่างนี้ค่าของไบต์ข้อมูลควบคุมที่จะต้องส่งให้กับรีจิสเตอร์ควบคุมคือ 82H

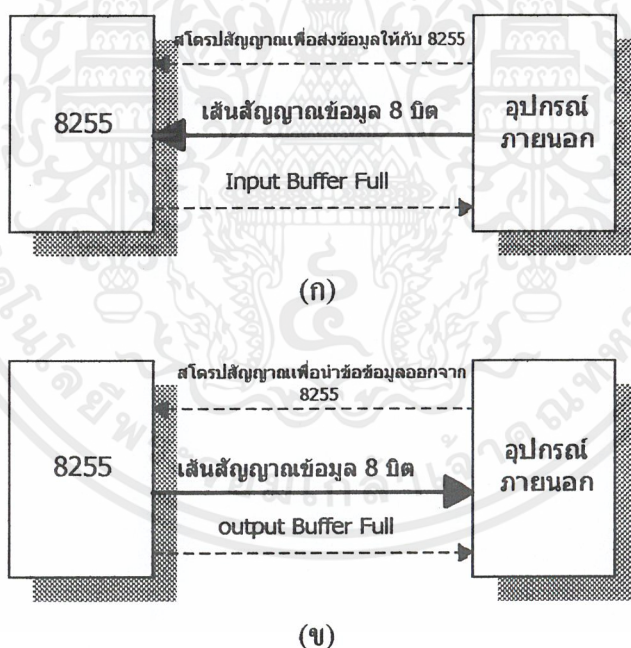


รูปที่ 2.3 ลักษณะการทำงานของพอร์ต 8255 ภายหลังจากการส่ง ไบต์ข้อมูลควบคุมที่มีค่า 82H

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.1.6.2 การทำงานโหมด 1 ของ 8255

เมื่อ 8255 ได้รับการกำหนดให้ทำงานในโหมด 1 ซึ่งจะมีลักษณะการรับส่งข้อมูลในแบบ Handshaking ความหมายก็คือ ในขณะที่มีการรับส่งข้อมูลระหว่าง CPU กับอุปกรณ์ภายนอกนั้น ขณะที่รับส่งข้อมูลกันนั้นจะใช้งานพอร์ต A และ พอร์ต B ในการอินพุทหรือเอาต์พุทข้อมูลในลักษณะเดียวกับโหมด 0 และยังคงมีสัญญาณในการตอบรับในแต่ละครั้งของการรับส่งข้อมูล ซึ่งจะใช้พอร์ต C เป็นพอร์ตสำหรับการบอกสถานะการติดต่อ (Handshake Signals) โดยเส้นสัญญาณ 4 บิตบน (PC7-PC4) จะใช้งานร่วมกับการติดต่อข้อมูลทางพอร์ต A และเส้นสัญญาณ 4 บิตล่าง (PC3-PC0) จะใช้งานร่วมกับการติดต่อข้อมูลทางพอร์ต B การทำงานในลักษณะนี้จะพบเห็นได้เสมอเมื่อมีการติดต่อกับอุปกรณ์ภายนอก ซึ่งมักจะทำงานได้ช้ากว่าคอมพิวเตอร์มากจึงจำเป็นต้องอาศัยการบอกสถานะของการทำงานจากเส้นสัญญาณเหล่านี้ เช่นความไม่พร้อมในการรับข้อมูล หรือมีข้อมูลที่จะทำการติดต่อ เป็นต้น



รูปที่ 2.4 (ก) การใช้สัญญาณบอกสถานะความพร้อมในการรับข้อมูลจากภายนอก

(ข) การใช้สัญญาณบอกสถานะความพร้อมในการส่งข้อมูลออกไปภายนอก

จากรูปที่ 2.4 (ก) ก่อนที่ข้อมูลจะถูกส่งออกจากอุปกรณ์ภายนอกเข้ามายังพอร์ตของ 8255 นั้น อุปกรณ์ภายนอกต้องทำการตรวจสอบสถานะของเส้นสัญญาณที่แสดงว่าพื้นที่ในการรับข้อมูลของ 8255 นั้นว่าง เส้นสัญญาณนี้มีชื่อว่า Input Buffer Full มีความหมายต่อดังต่อไปนี้

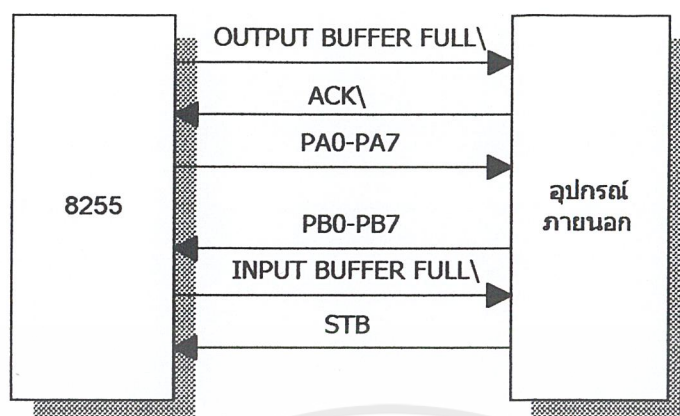
Input Buffer Full	ความหมาย
จริง	ข้อมูลที่ส่งให้กับ 8255 ก่อนหน้านี้อยู่ค้างอยู่ในบัฟเฟอร์ เนื่องจากคอมพิวเตอร์ยังไม่ได้อ่านข้อมูลนี้ไปจากบัฟเฟอร์ของ 8255 ดังนั้นจึงไม่สามารถรับข้อมูลเข้ามาได้อีก
เท็จ	พื้นที่บัฟเฟอร์ภายใน 8255 นั้นว่างแล้ว เนื่องจากคอมพิวเตอร์ได้อ่านข้อมูลนี้ไปแล้ว ดังนั้นจึงสามารถรับข้อมูลไปต่อได้จากอุปกรณ์ภายนอกได้

ตารางที่ 2.6 สถานะของ Input Buffer Full

จากรูปที่ 2.4 (ข) ก่อนที่ 8255 จะส่งข้อมูลออกไปให้กับอุปกรณ์ภายนอกนั้น จะต้องทำการส่งสถานะของสัญญาณออกไปเพื่อแจ้งให้ข้อมูลภายนอกทราบว่ามีการส่งออกไป สัญญาณนี้มีชื่อว่า Output Buffer Full และเมื่ออุปกรณ์ภายนอกได้รับข้อมูลเรียบร้อยแล้ว จึงทำการสโตรบ (Strobe) สัญญาณอีกเส้นหนึ่งเพื่อแจ้งให้ 8255 ทราบต่อไป

การทำงานของ 8255 ในโหมด 1 นั้น พอร์ตสำหรับการรับหรือส่งข้อมูลคือพอร์ต A และ B สามารถทำงานได้โดยอิสระไม่ขึ้นต่อกันดัง ตัวอย่างในรูปที่ 2.5 ซึ่งได้กำหนดให้พอร์ต A เป็นพอร์ตเอาต์พุต และพอร์ต B เป็นพอร์ตอินพุต

การกำหนดบิตจะทำให้ข้อมูลจะต้องส่งออกไปทางพอร์ต A ทางขาสัญญาณ PA0-PA7 สัญญาณ Output Buffer Full (OBF) ใช้สัญญาณ PC7 สัญญาณตอบรับจากอุปกรณ์ภายนอก (ACK) ใช้เส้นสัญญาณ PC6 สำหรับการรับข้อมูลเข้ามาจากอุปกรณ์ภายนอกจะเข้ามาทางพอร์ต B ทางขาสัญญาณ PB0-PB7 ขาสัญญาณ PC1 ใช้เป็นสัญญาณ Input Buffer Full (IBF) และขาสัญญาณ PC2 เป็นเส้นสัญญาณสโตรบข้อมูลให้กับ 8255 (STB) ในตารางที่ 2.7 ได้แสดงให้เห็นถึงหน้าที่ของพอร์ต C ทั้งหมดเมื่อถูกใช้งานในโหมด 1 สำหรับการบอกสถานะการติดต่อเส้นสัญญาณ



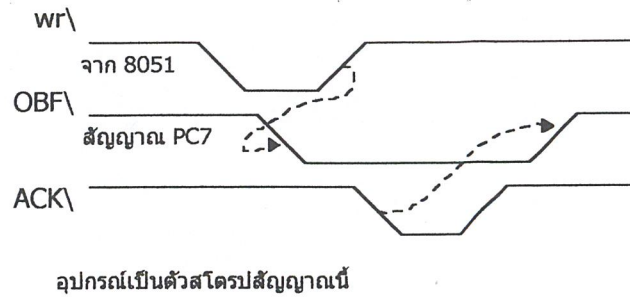
รูปที่ 2.5 การกำหนดการทำงานของ 8255 ในโหมด 1 เพื่อให้พอร์ต A เป็นพอร์ตส่งออกข้อมูล และพอร์ต B เป็นพอร์ตรับเข้าข้อมูลจากอุปกรณ์ภายนอก

เส้นสัญญาณ	สถานะติดต่อสําหรับการอินพุท	สถานะติดต่อสําหรับการเอาต์พุท
PC0	สัญญาณ INTR ของพอร์ต B	สัญญาณ INTR ของพอร์ต B
PC1	สัญญาณ IBF ของพอร์ต B	สัญญาณ OFB\ ของพอร์ต B
PC2	สัญญาณ STB\ ของพอร์ต B	สัญญาณ ACK\ ของพอร์ต B
PC3	สัญญาณ INTR ของพอร์ต A	สัญญาณ INTR ของพอร์ต A
PC4	สัญญาณ STB ของพอร์ต A	การอินพุท/เอาต์พุทตามปกติ
PC5	สัญญาณ IBF ของพอร์ต A	การอินพุท/เอาต์พุทตามปกติ
PC6	การอินพุท/เอาต์พุทตามปกติ	สัญญาณ ACK\ ของพอร์ต A
PC7	การอินพุท/เอาต์พุทตามปกติ	สัญญาณ OBF\ ของพอร์ต A

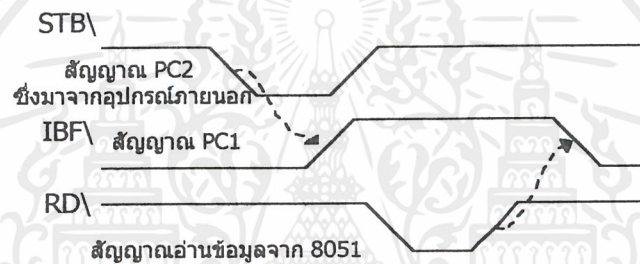
ตารางที่ 2.7 หน้าที่ของเส้นสัญญาณภายในพอร์ต C เมื่อกำหนดให้ทำงานในโหมด 1 เพื่อบอกสถานะของการอินพุทและการเอาต์พุทข้อมูล

ในส่วนของการโปรแกรมเพื่อจัดการให้คอมพิวเตอร์ สามารถรับหรือส่งข้อมูลกับอุปกรณ์ภายนอก โดยใช้พอร์ตของ 8255 ซึ่งกำหนดให้ทำงานในโหมด 1 นั้น ตามหลักการแล้วคอมพิวเตอร์จะพิจารณาจากสถานะของบิตที่เกี่ยวข้องกับสัญญาณติดต่อกับ 8255 เท่านั้น ส่วนเส้นสัญญาณติดต่อกจริง ๆ นั้น จะเป็นการดำเนินการจาก 8255 โดยอัตโนมัติ ขอให้พิจารณาจากแผนภาพเวลาในรูปที่ 2.6 (ก) และ (ข)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ก)



(ข)

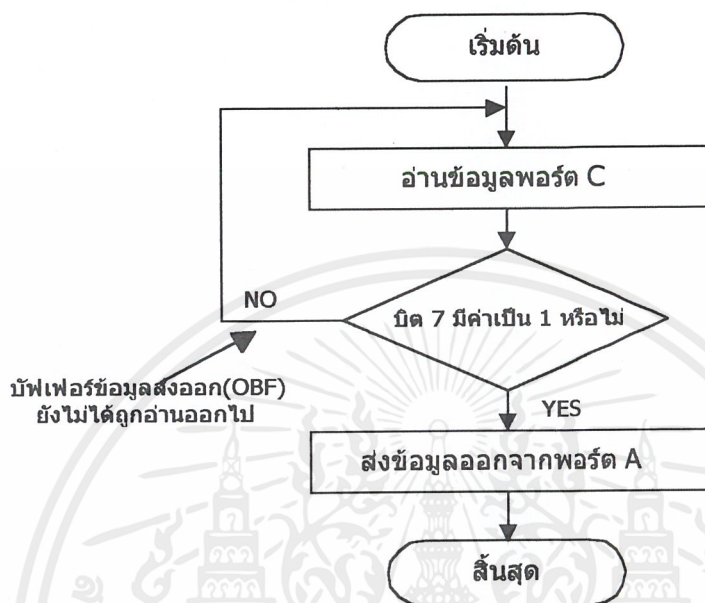
รูปที่ 2.6 (ก) แสดงสัญญาณติดต่อเพื่อส่งข้อมูลออกไปจากพอร์ต A ของ 8255

(ข) แสดงสัญญาณติดต่อเพื่อส่งข้อมูลออกไปจากพอร์ต B ของ 8255

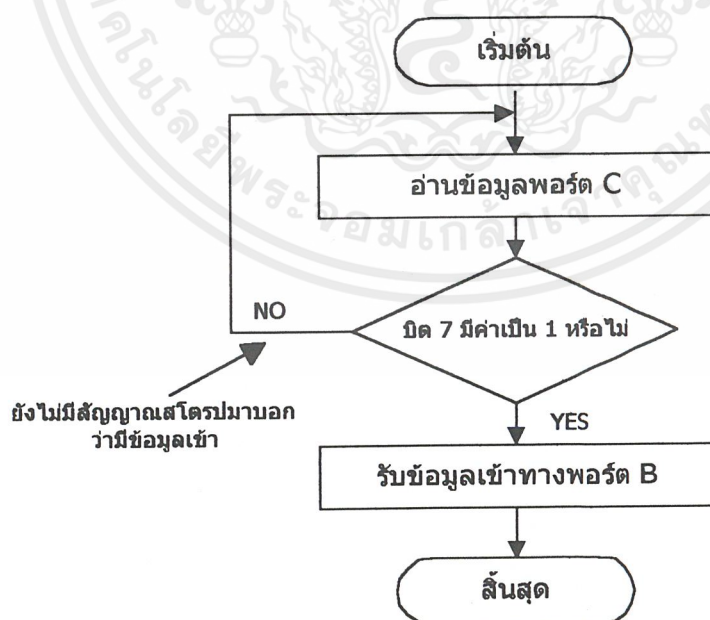
เมื่อคอมพิวเตอร์ต้องการส่งข้อมูลให้กับอุปกรณ์ภายนอก จะเริ่มจากการตรวจสอบสถานะขาสัญญาณ PC7 (สัญญาณ OBF\) โดยการอ่านค่าจากพอร์ต C เข้ามาและพิจารณาบิต D7 ซึ่งหากเป็นค่า 1 แสดงว่าข้อมูลที่ใส่ส่งไปให้ 8255 ก่อนหน้านี้ได้ถูกส่งต่อไปให้กับอุปกรณ์ภายนอกเสร็จสิ้นแล้ว ดังนั้นคอมพิวเตอร์ก็สามารถส่งข้อมูลตัวถัดไปได้อีกครั้งหนึ่ง ซึ่งผลจากการเขียนข้อมูลให้กับพอร์ต A ของ 8255 นี้ทำให้ขาสัญญาณ PC7 (สัญญาณ OBF\) เปลี่ยนเป็นระดับลอจิก 0 เมื่ออุปกรณ์ภายนอกที่ต่ออยู่ตรวจสอบขาสัญญาณนี้ก็ทราบได้ว่า 8255 มีข้อมูลที่ส่งให้ ก็จะทำการอ่านข้อมูลจากพอร์ต A ไปทันทีและแจ้งกลับมาให้ทราบโดยการสโตรปสัญญาณ ACK\ (ขาสัญญาณ PC6) เมื่อ 8255 ตรวจสอบพบก็จะทำการเปลี่ยนสถานะของขาสัญญาณ OBF\ (ขาสัญญาณ PC7) ให้ระดับลอจิก 1 โดยอัตโนมัติ เป็นอันครบรอบการติดต่อเพื่อส่งข้อมูลหนึ่งครั้ง ดังนั้นเมื่อใดที่คอมพิวเตอร์ทำการตรวจสอบค่าของบิต D7 ของพอร์ต C และพบว่าเป็นค่า 0 ก็ยังไม่ควรที่จะส่ง (หรือเขียน) ข้อมูลให้กับพอร์ต A ของ 8255 เพราะข้อมูลก่อนหน้านี้อยู่ค้างอยู่ในบัฟเฟอร์ของ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

8255 ยังไม่ได้มีการส่งต่อให้กับอุปกรณ์ภายนอกเลย รูปที่ 2.7 แสดงโฟลว์ชาร์ตสำหรับการเขียนโปรแกรมเพื่อส่งออกข้อมูลผ่านพอร์ตของ 8255



รูปที่ 2.7 แผนผังการส่งข้อมูลให้กับอุปกรณ์ภายนอกโดยใช้พอร์ต A และสัญญาณติดต่อทางพอร์ต C



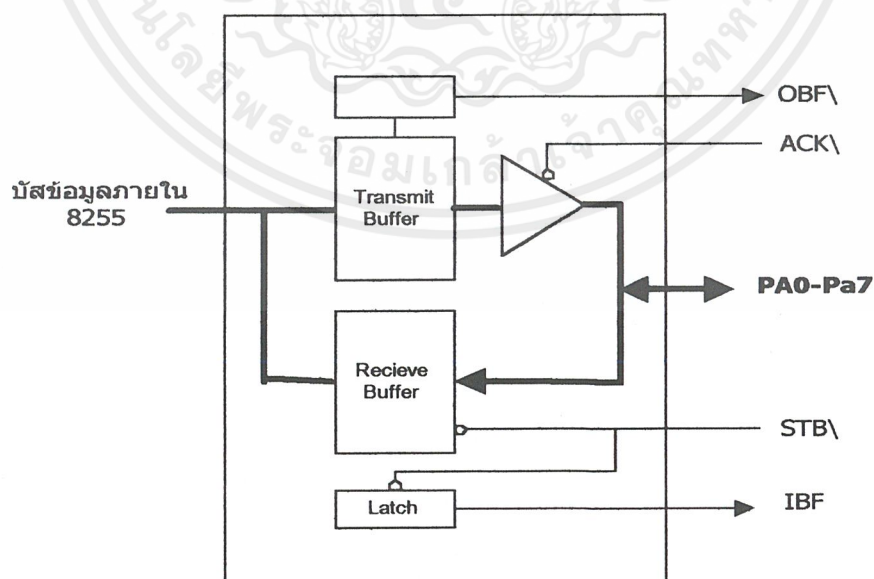
รูปที่ 2.8 แผนผังวิธีการรับข้อมูลให้กับอุปกรณ์ภายนอกโดยใช้พอร์ต B และสัญญาณติดต่อทางพอร์ต C

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำหรับการรับข้อมูลของคอมพิวเตอร์จากอุปกรณ์ภายนอกผ่านทางพอร์ตของ 8255 เริ่มจากการตรวจสอบสถานะของบิต D1 จากพอร์ต C ว่าเป็นค่าใด กรณีเป็นค่าลอจิก 1 แสดงว่ามีข้อมูลอยู่ในบัฟเฟอร์ภายใน 8255 ซึ่งได้ส่งมาจากอุปกรณ์ภายนอกและแจ้งให้ 8255 ทราบโดยการสตrobeสัญญาณ STB\ (ขาสัญญาณ PC2) มีผลให้ 8255 เปลี่ยนแปลงระดับลอจิกของขาสัญญาณ PC1 (สัญญาณIBF) เป็นระดับลอจิก 1 ดังนั้นคอมพิวเตอร์ก็สามารถอ่านข้อมูลเข้าไปทางพอร์ต B ของ 8255 ได้ ซึ่งการอ่านข้อมูลนี้เองจะมีผลทำให้สถานะของสัญญาณ IBF กลับเป็นระดับลอจิก 0 อีกครั้งหนึ่ง เป็นอันครบรอบการรับข้อมูลจากอุปกรณ์ภายนอกหนึ่งครั้ง รูป 2.8 แสดงโฟลว์ชาร์ตการเขียนโปรแกรมเพื่อรับข้อมูลผ่านทางพอร์ตของ 8255

2.1.6.3 การทำงานโหมด 2 ของ 8255

เมื่อ 8255 ได้รับการกำหนดให้ทำงานในโหมด 2 ซึ่งกำหนดไว้ให้ใช้เฉพาะกับการทำงานของพอร์ต A เท่านั้น โดยจะมีลักษณะเป็นพอร์ตข้อมูลแบบ 2 ทิศทาง (Bi-directional Data พอร์ต) กล่าวคือข้อมูลภายในเส้นสัญญาณของพอร์ต A ทั้งหมด สามารถเป็นข้อมูลที่มาจากอินพุตหรือเอาต์พุตก็ได้ พิจารณาได้จากแผนภาพในรูปที่ 2.9 จะเห็นว่าเส้นสัญญาณ PA0-PA7 จะถูกเชื่อมต่อเข้ากับบัสของวงจรถ่ายเก็บ (Latch) ทั้งหมด โดยแลตช์สำหรับข้อมูลส่งออก (Output Latch) มีหน้าที่สำหรับการค้างค่าข้อมูลที่คอมพิวเตอร์เขียนมายังพอร์ต A และรอคอยให้อุปกรณ์ภายนอกมาอ่านข้อมูลนี้ไปจาก 8255 ส่วนแลตช์ข้อมูลสำหรับรับเข้า (Input Latch) ทำหน้าที่สำหรับเก็บข้อมูลที่อุปกรณ์ภายนอกส่งมาให้กับพอร์ต A



รูปที่ 2.9 หลักการทำงานของ 8255 เมื่อได้รับการกำหนดให้ทำงานในโหมด 2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ลำดับการทำงานเมื่อคอมพิวเตอร์ต้องการส่งข้อมูลออกไปให้กับอุปกรณ์ภายนอก จะเริ่มโดยการส่งข้อมูลออกมาทางพอร์ต A ของ 8255 เช่นปกติ ซึ่งมีผลทำให้ขาสัญญาณ OBF\ เปลี่ยนเป็นระดับลอจิกต่ำ เมื่ออุปกรณ์ภายนอกตรวจสอบสัญญาณนี้ก็จะทราบได้ว่าขณะนี้ข้อมูลที่จะต้องอ่านไปจาก 8255 สัญญาณนี้ยังสามารถใช้ในการแจ้งคอมพิวเตอร์ได้เช่นกัน (โดยการอ่านและตรวจสอบค่าบิต D7 ของพอร์ต C) ว่าบัพเฟอร์ของ 8255 พร้อมทั้งจะรับข้อมูลใหม่เข้าไปหรือไม่ เมื่ออุปกรณ์ภายนอกได้อ่านข้อมูลจากบัพเฟอร์นี้ไปแล้ว ก็จะต้องทำการสโตรปสัญญาณ ACK\ ซึ่งจะมีผลทำให้ขาสัญญาณ OBF\ ของ 8255 เปลี่ยนกลับไปเป็นระดับลอจิกสูงอีกครั้งหนึ่ง

ส่วนการอ่านค่าข้อมูลจากอุปกรณ์ภายนอกก็เป็นไปในลักษณะคล้ายกัน โดยก่อนที่อุปกรณ์จะส่งข้อมูลเข้ามาให้กับ 8255 จะต้องตรวจสอบสถานะของขาสัญญาณ IBF เสียก่อนหากว่าเป็นระดับลอจิกต่ำจึงสามารถส่งข้อมูลออกมาได้พร้อมกับทำการสโตรปสัญญาณ STB\ มาแจ้งให้ 8255 ทราบ ซึ่งมีผลทำให้ขาสัญญาณ IBF เป็นระดับลอจิกสูงโดยอัตโนมัติ ดังนั้นคอมพิวเตอร์ก็จะทราบว่าข้อมูลจากอุปกรณ์ภายนอก (โดยการอ่านค่าและพิจารณาค่าบิต D5 ของพอร์ต C) และภายหลังที่ได้มีการอ่านค่าไปจากพอร์ต A ของ 8255 แล้วก็จะทำให้สถานะขาสัญญาณ IBF เปลี่ยนเป็นระดับลอจิกต่ำดังเดิม

ตามตารางที่ 2.8 แสดงให้เห็นถึงหน้าที่ของบิตต่าง ๆ ในพอร์ต C เมื่อทำงานในโหมด 2 ซึ่งนำมาใช้เป็นบิตบอกสถานะการติดต่อระหว่าง 8255 กับอุปกรณ์ภายนอก

เส้นสัญญาณ	ลักษณะการทำงาน
PC0	การอินพุท/เอาต์พุทตามปกติ
PC1	การอินพุท/เอาต์พุทตามปกติ
PC2	การอินพุท/เอาต์พุทตามปกติ
PC3	สัญญาณ INTR ของพอร์ต A
PC4	สัญญาณ STB\ ของพอร์ต A
PC5	สัญญาณ IBF ของพอร์ต A
PC6	สัญญาณ ACK\ ของพอร์ต A
PC7	สัญญาณ OBF\ ของพอร์ต A

ตารางที่ 2.8 หน้าที่ของบิตภายในพอร์ต C เมื่อกำหนดให้ทำงานในโหมด 2 เพื่อบอกสถานะของเส้นสัญญาณการติดต่อทางพอร์ต A

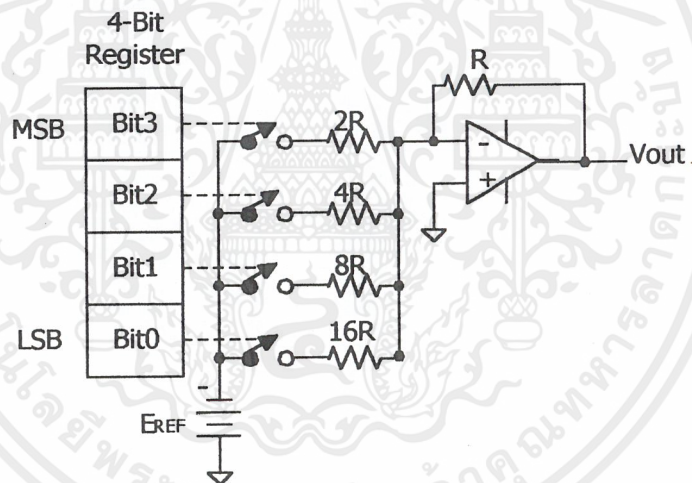
2.2 ทฤษฎี ADC และ DAC

2.2.1 วงจร Digital to Analog Converter (DAC)

DAC เป็นอุปกรณ์ที่แปลงสัญญาณจากดิจิทัลเป็นสัญญาณอนาล็อก ช่วยในการแปลงค่าที่ได้จากหน่วยประมวลผลแบบดิจิทัลให้ออกไปควบคุมระบบภายนอก เช่น ระบบสังเคราะห์เสียง เป็นต้น ในปัจจุบันนี้มีการนำ DAC มาเป็นส่วนประกอบสำคัญในการผลิต ADC ด้วย

2.2.1.1 DAC แบบ Binary Weight Ladder

แสดงตามรูปที่ 2.10 สวิตช์ $S_1 - S_4$ จะถูกควบคุมเปิด/ปิดด้วยรหัสดิจิทัล เพื่อตัด/ต่อแรงดันอ้างอิงเข้ากับวงจรรีจิสเตอร์ที่มีค่า $R, 2R, 4R, \dots, (2n)R$ ค่ารีจิสเตอร์ที่ Weight ค่าตามรหัสดิจิทัลที่เพิ่มขึ้นจะทำให้กระแสผ่านรีจิสเตอร์เข้าไปรวมกันก่อนเข้าออปแอมป์ลดลงด้วยแฟคเตอร์ 2 ตามค่า R ที่เพิ่มขึ้น ออปแอมป์ที่เอาต์พุตจะทำหน้าที่เปลี่ยนกระแสรวมให้เป็นแรงดันเอาต์พุต



รูปที่ 2.10 DAC แบบ Binary Weight Ladder

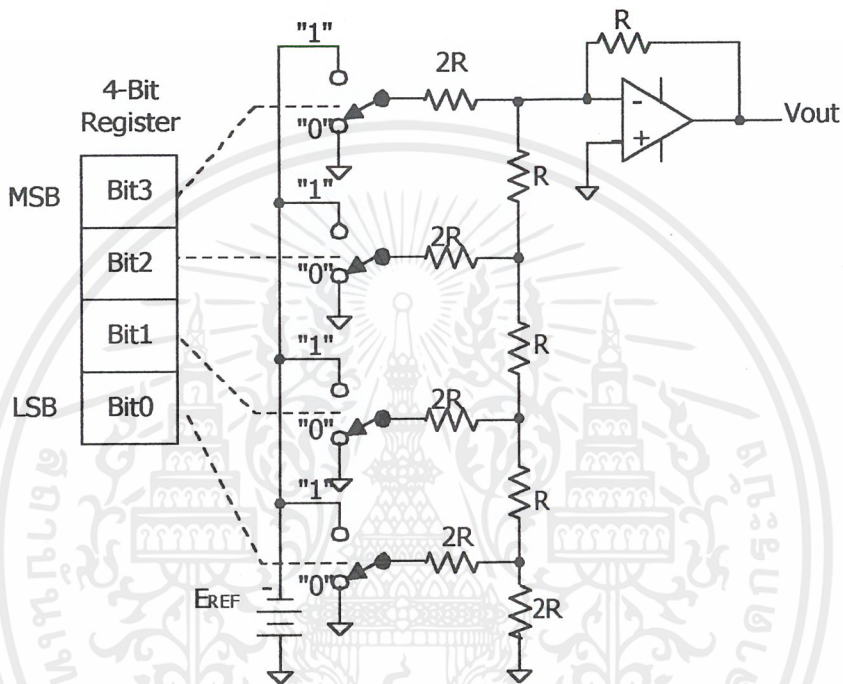
2.2.1.2 DAC แบบ R-2R Ladder

แสดงตามรูปที่ 2.11 วงจรนี้จะพบว่าสวิตช์จะตัดต่อให้แรงดันอ้างอิงต่อเข้ากับวงจร Ladder หรือต่อ Ladder ลงกราวด์ที่ขา $2R$ จะเห็นได้ว่า Switch Input Resistor ($2R$) มองเข้าไปจะเห็นคู่ของรีจิสเตอร์ระหว่างจุดต่อ $R-2R$ ที่ติดกัน กระแสจะถูกบั่น ทอนไปในอัตราส่วน 2:1 ซึ่งสอดคล้องกับรหัสไบนารี

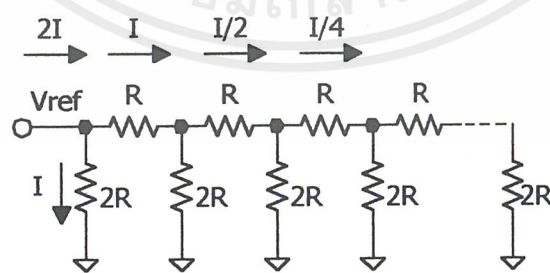
DAC แบบ R-2R Ladder นี้สามารถเขียนอีกรูปแบบหนึ่งเรียกว่า Inverted R-2R Ladder

ลักษณะวงจรคล้ายกับแบบ R-2R Ladder เพียงแต่สวิตช์จะตัดต่อขา R กับกราวด์และอินพุตของเอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Summing Amplifier แทนที่จะเป็น V_{ref} วิธีนี้นิยมใช้ในการทำ DAC ในวงจรรวมเพราะสวิตช์จะตัดต่อที่แรงดันตกรวมต่ำกว่าซึ่งสร้างได้ง่ายกว่า แสดงได้ในรูปที่ 2.13

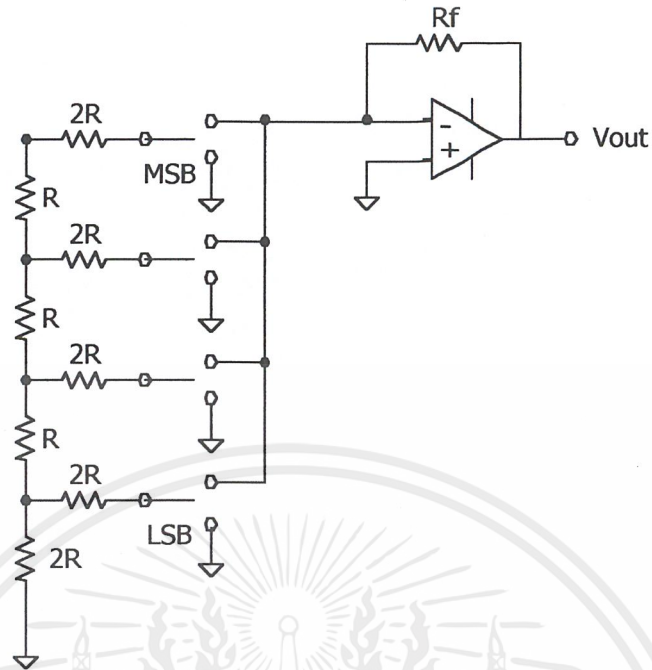


รูปที่ 2.11 วงจร DAC แบบ R-2R Ladder



รูปที่ 2.12 วงจรรีซิสทีฟแลดเดอร์ (Resistive Ladder)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



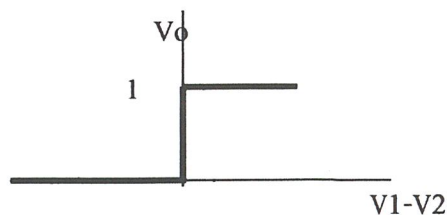
รูปที่ 2.13 วงจร Invert R-2R Ladder DAC

2.2.2 วงจร Analog to Digital Converter (ADC)

วงจรเปลี่ยนสัญญาณอนาลอกเป็นดิจิทัลที่นิยมใช้ในปัจจุบันมีหลายแบบ ดังนี้คือ

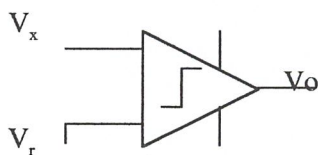
2.2.2.1 วงจรพื้นฐาน

วิธีการแปลงสัญญาณอนาลอกเป็นดิจิทัลแบบง่าย ๆ แสดงตามรูปที่ 2.14 แรงดันอินพุตที่ต้องการแปลงสัญญาณ V_x จะต่อเข้ากับขาอินพุตขาหนึ่งของอนาลอกคอมพาราเตอร์ และแรงดันอ้างอิงที่ขนาดแปรตามเวลา V_r ต่อเข้ากับขาอินพุตอีกขาหนึ่งของคอมพาราเตอร์ ลักษณะของ ทราานเฟอร์ฟังก์ชันของคอมพาราเตอร์แสดงในรูปที่ 2.15 ถ้าแรงดันอินพุต V_x มากกว่าอินพุต V_r แล้วแรงดันเอาต์พุตจะเป็นลอจิก 1 ถ้าอินพุต V_x น้อยกว่า V_r แล้วเอาต์พุตจะเป็น 0



รูปที่ 2.14 Transfer function ของ Comparator

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



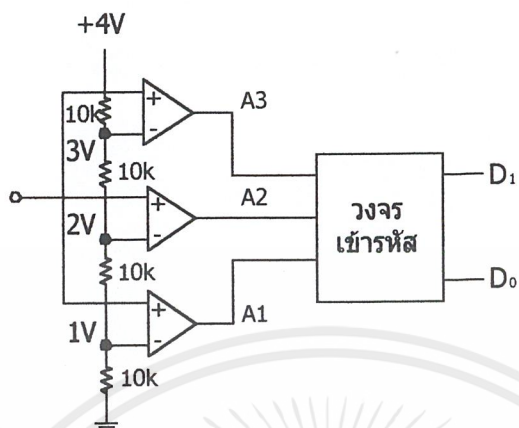
รูปที่ 2.15 วิธีการพื้นฐานของ ADC

2.2.2.2 แบบใช้วงจรเปรียบเทียบขนาน (Flash A/D Converter)

วงจร ADC แบบนี้ใช้สำหรับการแปลงสัญญาณที่ต้องการความเร็วสูงมาก เช่นการแปลงสัญญาณภาพโทรทัศน์เรดาร์ รูปแบบของวงจรแสดงในรูปที่ 2.16 ประกอบด้วยออปแอมป์ที่ต่อเป็นวงจรเปรียบเทียบ และตัวต้านทานต่อไว้เพื่อแบ่งแรงดันที่ขาอินพุทกลับ (Inverting) ให้มีขนาดต่างๆกันจากหลักการของวงจรเปรียบเทียบเมื่อแรงดันอินพุทที่ขาอินพุทแบบไม่ป้อนกลับ (Noninverting) มีค่าสูงกว่าที่ขาอินพุทป้อนกลับ เอาต์พุทจะได้แรงดันค่าสูงค่าเอาต์พุทที่ได้จากวงจรเปรียบเทียบนี้จะนำไปเข้ารหัสให้เป็นเลขฐานสองต่อไป

จำนวนของวงจรเปรียบเทียบที่ต้องใช้ในวงจรขึ้นอยู่กับขนาดสัญญาณอนาลอกที่อินพุท จากวงจรรูป 2.16 ถ้าแรงดันอินพุทมีค่า 1 โวลต์ไม่เพียงพอที่จะทำให้วงจรเปรียบเทียบตัวใดให้ค่าเอาต์พุทเป็น “High” ที่แรงดันระหว่าง 1 ถึง 2 โวลต์ วงจรเปรียบเทียบที่มีระดับเทรชโฮลด์ (Threshold) ต่ำสุดก็จะให้เอาต์พุทเป็น “High” ที่แรงดัน 2 ถึง 3 โวลต์ วงจรเปรียบเทียบทั้ง A_1 และ A_2 ให้เอาต์พุทเป็น “High” ถ้าแรงดันอินพุทมากกว่า 3 โวลต์ วงจรเปรียบเทียบทั้งหมดจะให้เอาต์พุทเป็น “High”

เมื่อต้องการวงจรที่มีความละเอียดสูงขึ้น ก็จะต้องใช้วงจรเปรียบเทียบเพิ่มขึ้น เช่นถ้าต้องการความละเอียด 3 บิต จะต้องใช้วงจรเปรียบเทียบ 7 ตัวในวงจร ความละเอียด 4 บิต ต้องใช้วงจรเปรียบเทียบ 15 ตัว (16 ระดับ) โดยหาจำนวนวงจรเปรียบเทียบได้จาก $2^n - 1$ เมื่อ n แทนจำนวนบิตหรือความละเอียดที่ต้องการ



รูปที่ 2.16 วงจร Flash A/D Converter

ข้อเสียของวงจรอนุติแบบนี้คือ ที่ความละเอียดสูงจะต้องใช้วงจรเปรียบเทียบจำนวนมาก เช่น ที่ความละเอียด 8 บิต ต้องใช้วงจรเปรียบเทียบมากถึง 255 ตัว นอกจากนี้เอาต์พุตที่ได้ไม่อยู่ในรูปเลขฐานสอง ต้องมีวงจรเพิ่มเติมไปทำการเข้ารหัส ส่วนข้อดีก็คือความเร็วในการแปลงสัญญาณสูงมาก

2.2.2.3 วงจรอนุติที่ใช้เทคนิคการอินทิเกรต

วงจรแปลงสัญญาณ ADC ที่ใช้เทคนิคการอินทิเกรตสัญญาณมี 3 แบบคือ

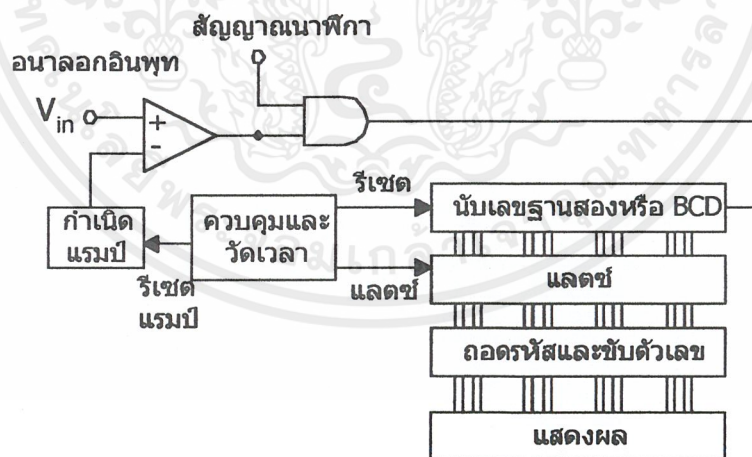
1) แบบสลอปเดี่ยวหรือแบบแรมปี (Single Slope A/D Converter)

วงจรอนุติแบบนี้แสดงดังรูปที่ 2.17(ก) ประกอบด้วยวงจรกำเนิดสัญญาณแรมปี, วงจรเปรียบเทียบ, วงจรนับเลขฐานสอง หรือ รหัส BCD เมื่อเริ่มทำการแปลงสัญญาณ สัญญาณแรมปีและวงจรถ่ายจะถูกรีเซ็ตให้เป็น 0 แรงดันอนาล็อกถูกป้อนไปยังวงจรเปรียบเทียบทางขาอินพุตที่ไม่ป้อนกลับ เมื่อแรงดันอินพุตที่ขานี้เป็นบวกมากกว่าที่ขาอินพุตแบบป้อนกลับ วงจรเปรียบเทียบก็จะให้เอาต์พุตเป็นระดับ “High” ทำให้แอนด์เกตปล่อยสัญญาณนาฬิกาผ่านไปยังวงจรถ่ายได้ และเริ่มเกิดสัญญาณแรมปีขึ้น สัญญาณแรมปีจะมีค่าเพิ่มขึ้นเรื่อยๆ จนมีค่ามากกว่าระดับแรงดันอินพุตเอาต์พุตของวงจรเปรียบเทียบก็จะเปลี่ยนเป็น “Low” สัญญาณนาฬิกาการก็จะไม่สามารถผ่านแอนด์

เกิดไปได้ วงจรนับจะหยุดนับและเก็บค่าที่นับได้ไว้ที่วงจรถ่ายจากนั้นจึงทำการรีเซ็ตวงจรถับและวงจรถ่ายกำเนิดสัญญาณแรมปี

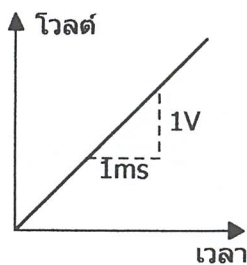
สมมติให้สัญญาณนาฬิกาที่มีความถี่ 1 MHz, วงจรนับ BCD 4 หลัก, แรงดันอินพุต V_{in} 2 โวลต์, สัญญาณแรมปีมีความชัน 1 V/ms แสดงในรูปที่ 2.17 (ข) จากจุดเริ่มต้นจนถึงแรงดันสูงสุด (2 โวลต์) สัญญาณแรมปีใช้เวลา 2 ms หลังจากนั้นจะไม่มีสัญญาณนาฬิกาส่งไปให้วงจรถับ ในช่วงเวลา 2 ms นี้ มีการส่งพัลส์ไปให้วงจรถับทำการนับถึง 200 ถูก เอาต์พุตของวงจรถับเปรียบเทียบกับที่มีระดับ “High” เป็นการตั้งสัญญาณให้วงจรถ่ายส่งค่าที่นับได้ไปยังส่วนแสดงผล และเติมจุดทศนิยมที่ตำแหน่งที่เหมาะสมของตัวแสดงผลได้เป็นค่า 2,000 ที่แรงดันอินพุต 2 โวลต์

วงจรถับนี้เป็นหลักการเบื้องต้นของดิจิตอลโวลต์มิเตอร์ ซึ่งถ้าใช้วงจรถับเลขฐานสองแทนแบบ BCD เอาต์พุตก็จะอ่านได้ค่าเลขฐานสองโดยตรง วงจรถับชนิดนี้มักนำไปใช้งานในการเปลี่ยนเวลาเป็นขนาดของสัญญาณ หรืออาจใช้ในดิจิตอลโวลต์มิเตอร์แต่ไม่ใช้กับงานที่ต้องการความถูกต้องสูง เนื่องจากการเปลี่ยนแปลงแหล่งกำเนิดสัญญาณแรมปีขึ้นกับอุณหภูมิและผลตอบสนองต่อสัญญาณอินพุต ทำให้มีความไม่คงที่ ดังนั้นจึงมีการปรับปรุงให้ดีขึ้นเป็นแบบ สโโลปคู่



(ก)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(๗)

รูปที่ 2.17

(ก) แสดงบล็อก ไดอะแกรมของ ADC แบบสโลปเดี่ยว

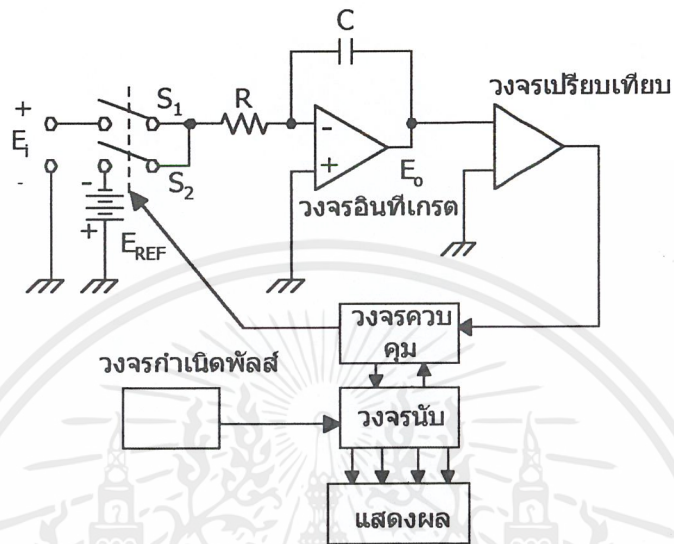
(ข) สัญญาณแรมป์

2) แบบสโลปคู่ (Dual Slope A/D Converter)

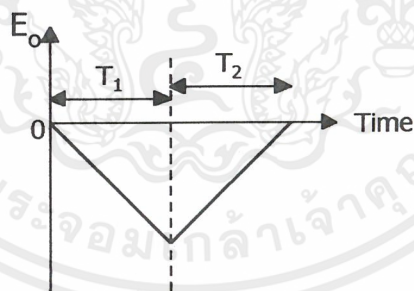
อินพุทของวงจรอินทิเกรเตอร์เป็นแรงดันไฟฟ้า (E_i) ที่จะแปลงสัญญาณ และมีอีกอินพุทหนึ่งเป็นแรงดันไฟฟ้ามาตรฐาน (E_{REF}) แรงดันอินพุททั้งสองนี้มีขั้วสลับกันเสมอ และจะผลัดกันต่อเข้ากับวงจรอินทิเกรเตอร์ ด้วยการควบคุมของสวิตช์ S1 และ S2 ทำให้มีการอินทิเกรตสัญญาณขึ้นลงอยู่ตลอดเวลา เอาต์พุต (E_o) ของวงจรอินทิเกรเตอร์จะต่อเข้ากับวงจรเปรียบเทียบ ซึ่งจะทำหน้าที่ตรวจจับว่าแรงดัน E_o เมื่อใดเป็น 0 โวลต์ วงจร ADC แบบสโลปคู่แสดงได้ในดังรูปที่ 2.18

การทำงานของวงจรเริ่มจาก เมื่อแรงดัน $E_o = 0$ โวลต์ วงจรควบคุมจะปิดสวิตช์เพื่อให้แรงดันที่จะวัด (E_i) ต่อเข้ากับวงจรอินทิเกรเตอร์ วงจรควบคุมจะปล่อยให้วงจรอินทิเกรเตอร์ทำการอินทิเกรตสัญญาณ E_i เป็นเวลา T_1 หลังจากนั้นวงจรควบคุมจะปิดสวิตช์ S2 เพื่อต่อแรงดันไฟฟ้ามาตรฐาน (E_{REF}) เข้ากับวงจรอินทิเกรเตอร์ และทำการรีเซ็ตวงจรนับ สมมติให้ E_i เป็นแรงดันบวก ส่วน E_{REF} เป็นแรงดันลบ เอาต์พุทของวงจรอินทิเกรเตอร์ในช่วงรับแรงดันอินพุทเป็น E_i จะมีสโลปเป็นลบ ส่วนช่วงที่รับอินพุทเป็น E_{REF} จะมีสโลปเป็นบวกเพิ่มขึ้นเรื่อยๆ ขณะเดียวกันวงจรนับจะนับพัลส์ไปเรื่อยๆ จนในที่สุด $E_o = 0$ โวลต์ ในช่วงเวลา T_2 วงจรเปรียบเทียบจะตรวจจับเหตุการณ์นี้แล้วส่งสัญญาณไปยังวงจรควบคุม วงจรควบคุมจะเปิดสวิตช์ S2 และให้วงจรนับหยุดนับพัลส์ ค่าที่นับได้ในวงจรนับขณะนั้นจะเท่ากับค่าแรงดันที่ต้องการวัด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ก) แสดงรูปวงจร ADC แบบสโกลอปคู่



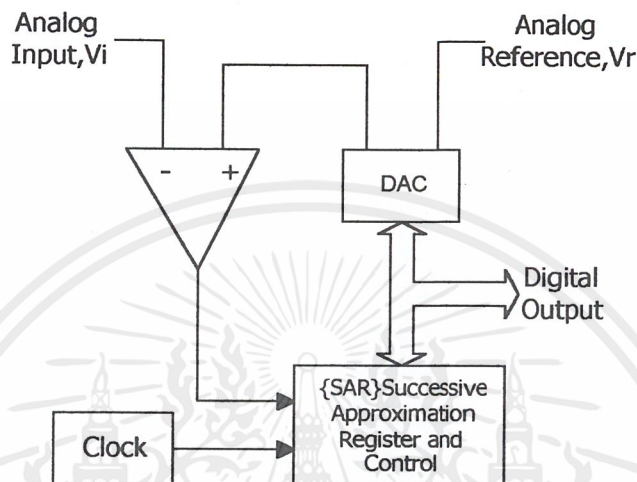
(ข) แสดงสัญญาณที่ได้จากการอินทิเกรต

รูปที่ 2.18

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2.2.4 วงจรเอชดีแบบใช้การประมาณค่า (Successive Approximation A/D Converter)

วงจร ADC แบบใช้การประมาณค่านี้ คล้ายกันกับแบบคาท์เตอร์ที่ทำงานในลักษณะการป้อนกลับ แสดงได้ดังรูป 2.19



รูปที่ 2.19 วงจรแปลงสัญญาณ Successive Approximation ADC

เมื่อเริ่มทำการแปลงสัญญาณ พัลส์ลูกแรกจะทำการส่งบิตที่มีนัยสำคัญสูงสุดไปยัง DAC โดย SAR (Successive Approximation Register) จะรอสัญญาณจากวงจรเปรียบเทียบ ซึ่งทำการตรวจสอบว่าเอาต์พุตของ DAC มากกว่าหรือน้อยกว่าแรงดันอินพุต (V_m) ถ้าเอาต์พุตของ DAC ต่ำกว่าแรงดันอินพุต เอาต์พุตของวงจรเปรียบเทียบจะมีระดับ “High” และ SAR จะทำการเก็บบิตที่มีนัยสำคัญสูงสุดไว้ ถ้าเอาต์พุตของ DAC มากกว่าแรงดันอินพุต เอาต์พุตของวงจรเปรียบเทียบจะมีระดับ “Low” และ SAR จะทำการรีเซ็ตบิตที่มีนัยสำคัญสูงสุดนั้น พัลส์ลูกต่อมาจะทำงานเช่นเดียวกัน โดยบิตที่ได้คือบิตที่มีนัยสำคัญรองลงมา SAR จะทำงานแบบนี้ไปจนถึงบิตที่มีนัยสำคัญต่ำสุด แต่ละบิตใช้สัญญาณนาฬิกาเพียงลูกเดียว เมื่อครบทุกบิตแล้ว SAR ก็ จะทำการส่งสัญญาณ EOC (end of conversion) ออกไป

วงจร ADC ชนิดนี้มีความเร็ว และความละเอียดสูง จึงเป็นวงจรที่นำมาใช้กันอย่างแพร่หลาย ส่วนสำคัญของวงจรอยู่ที่ SAR ซึ่งเป็นไอซี MSI (Medium Scale Integrated Circuit) ที่ได้รับการออกแบบพิเศษเพื่อทำหน้าที่นี้โดยเฉพาะ

มีข้อจำกัดอยู่ก็คือ สัญญาณอนาลอกอินพุต จะต้องคงที่ในช่วงเวลาที่ทำการเปลี่ยนแปลงสัญญาณ หรือเปลี่ยนแปลงได้ไม่เกิน $\frac{1}{2}$ LSB

วงจร ADC แบบนี้สามารถทำงานได้สองโหมด คือ โหมดที่ทำงานโดยอิสระ (Free Run) และโหมดคำสั่ง (Start Conversion) จากภายนอก เวลาที่ใช้ในการแปลงสัญญาณใช้สัญญาณนาฬิกา ($m+1$) ถูก โดยพัลส์ตึกแรกใช้ในการรีเซ็ตรีจิสเตอร์ภายใน คุณภาพของระบบขึ้นอยู่กับคุณภาพของ DAC ในวงจรอย่างมาก



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3

พอร์ตขนาน

3.1 โครงสร้างโดยทั่วไปของระบบคอมพิวเตอร์และการอินเตอร์เฟส

ระบบคอมพิวเตอร์จะประกอบไปด้วยพื้นฐานส่วนใหญ่ว่า ดังต่อไปนี้ หน่วยความจำ (Memory Unit), หน่วยรับและส่งข้อมูล (Input/Output Unit) และหน่วยประมวลผลกลาง (CPU: Central Processing Unit) ซึ่งแต่ละส่วนทำงานเกี่ยวโยงสัมพันธ์กันโดยมีการติดต่อเชื่อมโยงจากส่วนหนึ่งไปยังอีกส่วนหนึ่ง

การโอนย้ายข้อมูลทุกข้อมูลจะต้องมีแหล่งส่งข้อมูลและแหล่งรับข้อมูลเสมอ ซึ่งในขบวนการต่างๆจะมีหลักสำคัญอยู่ว่าข้อมูลชุดนั้นจะเป็นตำแหน่ง (Address) หรือข้อมูล (Data) ที่ส่งจากตำแหน่งใดไปยังตำแหน่งใดและจะส่งเมื่อใดขบวนการต่างๆเหล่านี้จะต้องอาศัยสัญญาณในการเลือกอุปกรณ์และตรวจสอบความพร้อมของอุปกรณ์ที่จะส่งหรือรับข้อมูลก่อนเสมอ สำหรับข้อมูลที่โอนย้ายไปมานั้นจะอยู่ในลักษณะของเลขฐานสอง อาจจะเป็นขนาด 8 บิต หรือ 16 บิตก็ได้ ขึ้นอยู่กับระบบนั้นๆ

วงจรรีอินเตอร์เฟสนี้โดยปกติจะมีหน้าที่สำคัญอยู่ 4 ประการคือ บัฟเฟอร์ (Buffer), ถอดรหัสแอดเดรส (Address Decoding), ถอดรหัสคำสั่ง (Command Decoding) และทำหน้าที่ควบคุมและกำหนดไทม์มิง (Timing Control)

3.2 การอินเตอร์เฟสแบบขนาน

การอินเตอร์เฟสแบบขนาน คือ การรับส่งข้อมูลที่ข้อมูลทุกๆบิต จะถูกส่งออกไปพร้อมๆกันในครั้งเดียว โดยที่แต่ละบิตจะส่งผ่านด้วยสายส่งแต่ละเส้น ข้อดีของการรับส่งข้อมูลแบบขนานก็คือ ความเร็วในการส่งถ่ายข้อมูลจะมีความเร็วสูงกว่าแบบอนุกรมมาก แต่มีข้อเสียคือใช้ได้กับระยะส่งที่ค่อนข้างสั้น

ในการรับส่งข้อมูลนั้น นอกจากสายบัสข้อมูลแล้วยังต้องมีสายสัญญาณอีกอย่างน้อย 2 เส้น คือ Data Ready และ Ground โดยสาย Data Ready เป็นสัญญาณบอกถึงความพร้อมของตัวส่งข้อมูลว่าขณะนี้ข้อมูลพร้อมที่จะส่งแล้ว ส่วนสาย Ground มีไว้เพื่อใช้เป็นจุดอ้างอิงของแรงดันไฟฟ้า เพื่อแสดงสถานะลอจิกของข้อมูล โดยที่ระดับแรงดันไฟฟ้าของข้อมูลจะมีเพียงลอจิก “0” กับ “1” เท่านั้น

ในการส่งข้อมูลแบบขนานนี้ควรที่จะต้องมีสัญญาณคุมเพื่อใช้ควบคุมปฏิบัติงานให้ถูกต้อง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การอินเทอร์เฟซกับเครื่องพิมพ์ (Printer) จะผ่านทางพอร์ตขนาน 8 บิต ได้ออกแบบให้สามารถที่จะใช้มาตรฐานพอร์ตเซนโทรนิคส์ (Centronic) ซึ่งมีขนาด 25 ขา โดยพอร์ตนี้เป็นได้ทั้งอินพุทและเอาต์พุท

การอินเทอร์เฟซแบบขนานที่นิยมใช้กันมากมี 2 แบบ คือ การอินเทอร์เฟซแบบ IEEE-488 และการอินเทอร์เฟซแบบเซนโทรนิค

3.2.1 การอินเทอร์เฟซแบบ IEEE-488

บางครั้งอาจเรียก IEEE-488 นี้ว่า GPIB (General Purpose Interface Bus) เพราะว่าคุณสมบัติของ IEEE-488 นี้มีความหมายถึง บัสอินเทอร์เฟซที่ใช้งานได้ทั่วไป IEEE-488 เป็นบัสสัญญาณมาตรฐานที่ได้รับรองจาก IEEE (Institute of Electrical and Electronics Engineers) ใช้ในการติดต่อรับส่งข้อมูลระหว่างอุปกรณ์ได้หลายเครื่อง โดยมีข้อพิเศษก็คือ ในกรณีที่ต้องการขยายอุปกรณ์เพิ่มเติมเข้ามาในระบบ ไม่จำเป็นต้องเพิ่มเติมส่วนของวงจรหรืออุปกรณ์อื่นๆ อีกเพียงแต่เพิ่มสายเคเบิลและแก้ไขเฉพาะส่วนของซอฟต์แวร์เท่านั้น

3.2.2 การอินเทอร์เฟซแบบ เซนโทรนิค

เป็นการอินเทอร์เฟซที่นิยมใช้กับพอร์ตเครื่องพิมพ์โดยทั่วไป โดยข้อมูลถูกส่งออกแบบขนานทีละ 8 บิต โดยจะมีสายกราวด์ 1 เส้นและสายสัญญาณสโตรป (Stroke) จากเอาต์พุตของคอมพิวเตอร์เพื่อช่วยในการซิงโครไนส์ระหว่างคอมพิวเตอร์กับเครื่องพิมพ์

3.3 โหมดการทำงานของพอร์ตขนาน

พอร์ตขนานประกอบด้วย สายสัญญาณควบคุม 4 เส้น, สายสัญญาณสถานะ 5 เส้น และสายข้อมูล 8 เส้น มีโหมดการทำงานดังนี้

1. Printer Mode (Centronic Mode)

เป็นโหมดการทำงานของเครื่องพิมพ์รุ่นเก่าที่บัสข้อมูลสามารถส่งออกได้ทางเดียว

2. Standard & BI-Direction Parallel Port (SPP)

เป็นโหมดการทำงานที่บัสข้อมูลสามารถรับส่งข้อมูลได้ในคนละช่วงเวลากัน การรับส่งข้อมูลในโหมดนี้จะใช้ซอฟต์แวร์ในการตรวจสอบสัญญาณแฮนเชคกิ้ง (Handshaking) กับอุปกรณ์ภายนอก ทำให้ความเร็วในการรับส่งข้อมูลสูงสุดได้เพียง 150 กิโลไบต์ต่อวินาที (Kbyte/s)

3. Enhanced Parallel Port (EPP)

เป็นโหมดการทำงานที่ออกแบบโดยบริษัท Intel, Xircom & Zenith Data Systems EPP มี 2 มาตรฐานคือ EPP 1.7 และ EPP 1.9 โดยที่ บัสข้อมูลเป็นแบบสองทิศทางเหมือน SPP แต่ที่ตัวควบคุมของพอร์ตแบบนี้จะมีฮาร์ดแวร์เพิ่มเข้ามาใช้ในการส่งและตรวจสอบสัญญาณแฮนเช็คกึ่งกับอุปกรณ์ภายนอก ทำให้ความเร็วในการรับส่งข้อมูลถึง 2 เมกกะไบต์ต่อวินาที (Mbyte/s)

4. Extended Capabilities Parallel Port (ECP)

เป็นโหมดการทำงานที่ออกแบบโดยบริษัท Hewlett Packard and Microsoft โหมดนี้มีฮาร์ดแวร์เพิ่มเข้ามาใช้ในการส่งและตรวจสอบสัญญาณแฮนเช็คกึ่งกับอุปกรณ์ภายนอกเหมือนกับโหมด EPP แต่จะสามารถใช้ DMA Channels ซึ่งเป็นวิธีการที่อุปกรณ์ภายนอกสามารถจะเคลื่อนย้ายข้อมูล จากหน่วยความจำได้โดยตรง ไม่ต้องผ่านหน่วยประมวลผลกลางก่อนและยังสามารถใช้ FIFO Buffer ในการรับส่งข้อมูลกับอุปกรณ์ภายนอกได้ และยังสามารถทำการบีบอัดข้อมูลแบบเวลาจริง (Real Time Data Compression) ได้ซึ่งสามารถบีบอัดข้อมูลได้สูงถึง 64:1 โหมด ECP นี้เหมาะกับอุปกรณ์ภายนอกที่ต้องการรับส่งข้อมูลปริมาณมากและความเร็วสูง

3.4 รายละเอียดการทำงานในโหมด SPP

Pin NO. D-type 25	SPP Signal	Direction	Register	Hardware Inverted
1	nStrobe	Out	Control.0	Yes
2-9	Data 0-7	In-Out	Data	
10	nAck	In	Status.6	
11	Busy	In	Status.7	Yes
12	Paper-Out	In	Status.5	
13	Select	In	Status.4	
14	nAuto-Linefeed	In-Out	Control.1	Yes
15	nError	In	Status.3	
16	nInitialize	In-Out	Control.2	No
17	nSelect-Printer	In-Out	Control.3	Yes
18-25	Ground	Gnd		

ตารางที่ 3.1 ลักษณะของขาสัญญาณของพอร์ตขนานในโหมด SPP

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.4.1 ขั้นตอนการส่งข้อมูลของโหมด SPP

1. ตั้งค่ารีจิสเตอร์ควบคุม (Set Control Register) ให้อยู่ในโหมดส่งข้อมูล
2. ส่งข้อมูลไปที่พอร์ตข้อมูล
3. ตรวจสอบว่าอุปกรณ์ภายนอกวางอยู่หรือไม่ รอจนกว่าอุปกรณ์ภายนอกวาง
4. ส่งสัญญาณสไตรปเป็น 0 เพื่อเป็นการบอกให้อุปกรณ์ภายนอกรับข้อมูลไป
5. รอประมาณ 5 วินาที จากนั้นส่งสัญญาณสไตรปกลับเป็น 1

3.4.2 ขั้นตอนการรับข้อมูลของโหมด SPP

1. ตั้งค่ารีจิสเตอร์ควบคุม (SCR) ให้อยู่ในโหมดรับข้อมูล
2. ตรวจสอบว่าอุปกรณ์ภายนอกวางอยู่หรือไม่ รอจนกว่าอุปกรณ์ภายนอกวาง
3. ส่งสัญญาณสไตรปเป็น 0 เพื่อเป็นการบอกให้อุปกรณ์ภายนอกส่งข้อมูลเข้ามา
4. รอประมาณ 5 วินาที จากนั้นส่งสัญญาณสไตรปกลับเป็น 1

3.4.3 รายละเอียดรีจิสเตอร์ของ SPP

LPT1: Base Address = 378h

Status Address = 379h

Control Address = 37Ah

LPT2: Base Address = 378h

Status Address = 379h

Control Address = 37Ah

Address	Name	Read /Write	Bit No.	Properties	Pin
Base + 0	Data port	Read /write	Bit 7	Data 7	9
			Bit 6	Data 6	8
			Bit 5	Data 5	7
			Bit 4	Data 4	6
			Bit 3	Data 3	5
			Bit 2	Data 2	4
			Bit 1	Data 1	3
			Bit 0	Data 0	2

ตารางที่ 3.2 ข้อมูลรีจิสเตอร์ของพอร์ตข้อมูล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Address	Name	Read /Write	Bit No.	Properties	Pin
Base + 1	Status port	Read Only	Bit 7	Busy	11
			Bit 6	Ack	10
			Bit 5	Paper Out	12
			Bit 4	Select In	13
			Bit 3	Error	15
			Bit 2	IRQ	
			Bit 1	Reserved	
			Bit 0	Reserved	

ตารางที่ 3.3 ข้อมูลรีจิสเตอร์ของพอร์ตสถานะ

Address	Name	Read /Write	Bit No.	Properties	Pin
Base + 2	Control port	Read /write	Bit 7	Unused	
			Bit 6	Unused	
			Bit 5	Enable bi-directional port	-
			Bit 4	Enable IRQ Via Ack Line	-
			Bit 3	Select Printer	17
			Bit 2	Initialize Printer (reset)	16
			Bit 1	Auto Linefeed	14
			Bit 0	Strobe	1

ตารางที่ 3.4 ข้อมูลรีจิสเตอร์ของพอร์ตควบคุม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.5 รายละเอียดในการทำงานโหมด EPP

Pin No.	EPP Signal	Direction	Register	Function	Hardware Inverted
1	NWrite	Out	Control.0	สัญญาณบอกสถานะว่าพอร์ตจะรับหรือส่งข้อมูล	Yes
2-9	Data 0-7	In-Out	Data	Data bus Bi-directional	
10	Int	In	Status.6	Interrupt Line (ขอบขาขึ้น)	
11	Wait	In	Status.7	สัญญาณบอกความพร้อมของอุปกรณ์ภายนอก	Yes
12	Spare	In	Status.5	Not used	
13	Spare	In	Status.4	Not used	
14	NData Strobe	In-Out	Control.1	Data Transfer when low	Yes
15	Spare	In	Status.3	Not used	
16	NReset	In-Out	Control.2	Reset when low	No
17	NAddress Strobe	In-Out	Control.3	Address transfer when low	Yes
18-25	Ground	Gnd		Ground	

ตารางที่ 3.5 Pin Configuration ของโหมด EPP

3.5.1 รายละเอียดรีจิสเตอร์ของ EPP

Address	Port Name	Read/Write
Base+0	Data Port (SPP)	Write
Base+1	Status Port (SPP)	Read
Base+2	Control (SPP)	Write
Base+3	Address Port (SPP)	Read/Write
Base+4	Data Port (SPP)	Read/Write
Base+5	Undefined (16/32-bit Transfer)	-
Base+6	Undefined (32 bit Transfer)	-
Base+7	Undefined (32 bit Transfer)	-

ตารางที่ 3.6 รีจิสเตอร์ของโหมด EPP

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากตารางที่ 3.6 จะเห็นว่าแอดเดรส 3 ตำแหน่งแรกอยู่ที่ตำแหน่งเดียวกับ SPP โหมดและสามารถทำงานได้เหมือนกันทุกประการ นั่นคือ พอร์ตขนานที่สามารถทำงานได้ในโหมด EPP จะสามารถทำงานในโหมด SPP ได้ในเวลาเดียวกัน

พอร์ตขนานแบบ EPP โหมดนี้จะมี Time-Out Bit เพิ่มเข้าไปใน Status Port (Address Base+1) bit 0 ซึ่งแต่เดิมใน SPP โหมดเป็นบิตที่สำรองไว้ไม่มีการใช้งาน บิตนี้จะถูกหนดค่า ถ้าอุปกรณ์ภายนอกไม่ตอบสนองต่อสัญญาณแฮนเช็คก็งานเกิน 10 ไมโครวินาที (us)

สำหรับ Address Base +5, Base +6 และ Base +7 เป็นส่วนที่เพิ่มเติมสำหรับการ์ดของพอร์ตขนานแบบบางเท่านั้น ช่วยให้พอร์ตสามารถส่งข้อมูล 16 และ 32 บิตได้ ซึ่งพอร์ตชนิดนี้จะทำการแยกข้อมูลที่ละบิต และทำการส่งให้อัตโนมัตินจนจบ

3.6 รายละเอียดการทำงานในโหมด ECP

Address	Port Name	Read/Write
Base+0	Data Port (SPP)	Write
	ECP Address FIFO (ECP Mode)	Read/Write
Base+1	Status Port (All Modes)	Read/Write
Base+2	Control Port (All Modes)	Read/Write
Base+400h	Data FIFO (Parallel Port FIFO Mode)	Read/Write
	Data FIFO (ECP Mode)	Read/Write
	Test FIFO (Test Mode)	Read/Write
	Configuration Register A (Configuration Mode)	Read/Write
Base+401h	Configuration Register B (Configuration Mode)	Read/Write
Base+402h	Extended Control Register (Used by all modes)	Read/Write

ตารางที่ 3.7 รีจิสเตอร์ของโหมด ECP

ปกติคอมพิวเตอร์จะถูกตั้งค่าให้พอร์ตขนานอยู่ในโหมด SPP อยู่ซึ่งไม่สามารถรับข้อมูลเข้ามาทางบัสข้อมูลได้ ดังนั้นในโครงการปริญญาโทฉบับนี้ได้เปลี่ยนให้พอร์ตขนานของคอมพิวเตอร์เป็นโหมด ECP (กำหนดที่ BIOS) พอร์ตขนานจึงสามารถรับและส่งออกข้อมูลทางบัสข้อมูลขนาด 8 บิตได้ ในการเขียนโปรแกรมให้ไปเซตค่าที่ตำแหน่ง Base+402h (ดูตารางที่ 3.7 ประกอบ) เพื่อกำหนดเป็น Extend Control Register ด้วยไบต์ข้อมูลที่ทำให้อยู่ใน Byte Mode คือ บิต 7,6 และ 5 เป็น 001 ตามลำดับแสดงไบต์ข้อมูลดังตารางที่ 3.8

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Bit	Function	
7:5	Selects Current Mode of Operation	
	000	Standard Mode
	001	Byte Mode
	010	Parallel Port FIFO Mode
	011	ECP FIFO Mode
	100	EPP Mode
	101	Reserved
	110	FIFO Test Mode
	111	Configuration Mode
4	ECP Interrupt Bit	
3	DMA Enable Bit	
2	ECP Service Bit	
1	FIFO Full	
0	FIFO Empty	

ตารางที่ 3.8 Extended Control Register (ECR)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

การออกแบบวงจร

บอร์ดควบคุมสามารถแบ่งตามการทำงานออกได้เป็น 3 ส่วน คือ ส่วนที่ใช้ติดต่อบริเวณคอมพิวเตอร์กับอุปกรณ์ภายนอก ในรูปแบบของคิจิตอล ส่วนของการแปลงสัญญาณระหว่างอนาลอก กับคิจิตอล และส่วนของวงจรรีเลย์ไฟในการจ่ายไฟเลี้ยงให้กับวงจรต่างๆ

4.1 คุณสมบัติของบอร์ดโดยรวม

- สามารถส่งสัญญาณควบคุมแบบคิจิตอลได้ 8 ช่องสัญญาณ
- สามารถรับสัญญาณควบคุมแบบคิจิตอลได้ 8 ช่องสัญญาณ
- สามารถส่งสัญญาณแบบอนาลอก 0 ถึง 5 โวลต์ ได้ 8 ช่องสัญญาณ
- สามารถรับสัญญาณแบบอนาลอก 0 ถึง 5 โวลต์ ได้ 8 ช่องสัญญาณ
- บอร์ดรับแรงไฟสลับ +12 ,-12 โวลต์ จากหม้อแปลง มาสร้างแรงดันไฟตรงขนาด +12 โวลต์, -12 โวลต์,+5 โวลต์ และ +2.5 โวลต์

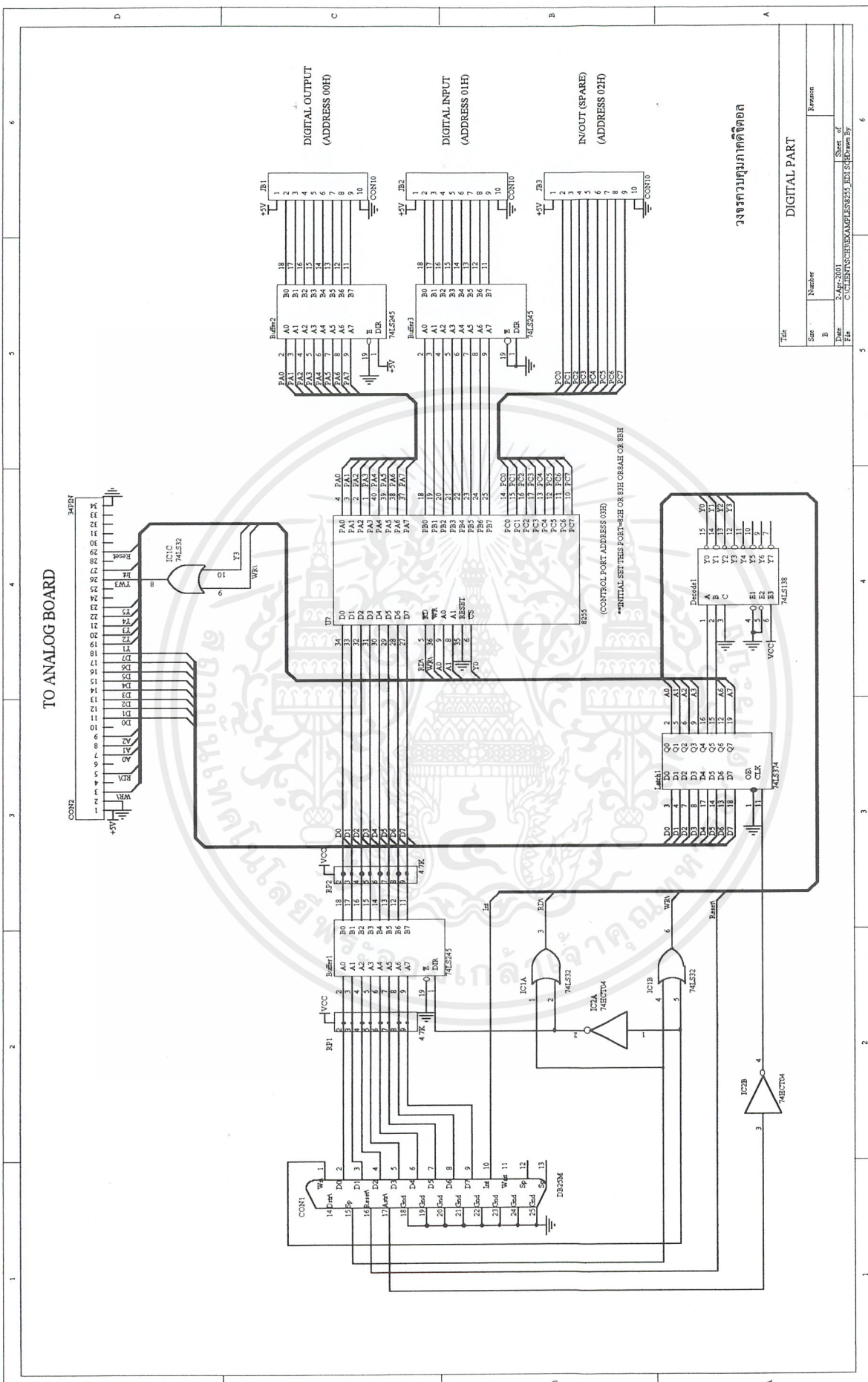
4.2 การทำงานของวงจรในภาคควบคุมแบบคิจิตอล

ลักษณะของวงจรแสดงได้ในภาคผนวก (ข) โดยที่สามารถแบ่งออกเป็น 3 ภาคย่อยได้ดังนี้

4.2.1 ภาคจ่ายไฟ

การทำงานเริ่มจากรับแรงดันไฟตรงเข้าขนาด +12 โวลต์ เพื่อนำมาเป็นแรงดันอินพุตของ ไอซีรีกขาระดับแรงดันเบอร์ LM317T เพื่อแปลงแรงดันให้คงที่อยู่ที่ระดับ +5 โวลต์ แรงดันที่คงที่ +5 โวลต์นี้จะเป็นไฟเลี้ยงของ ไอซีทุกตัวที่อยู่ในภาคการรับส่งค่าแบบคิจิตอลและจะต่อเข้ากับ Terminal เพื่อจ่ายแรงดันให้กับอุปกรณ์ภายนอก

ภายในวงจรภาคจ่ายไฟได้มีการออกแบบป้องกันการจ่ายแรงดันเข้าวงจรกลับขั้ว และป้องกันการลัดวงจร โดยใช้ไดโอดเบอร์ IN4001

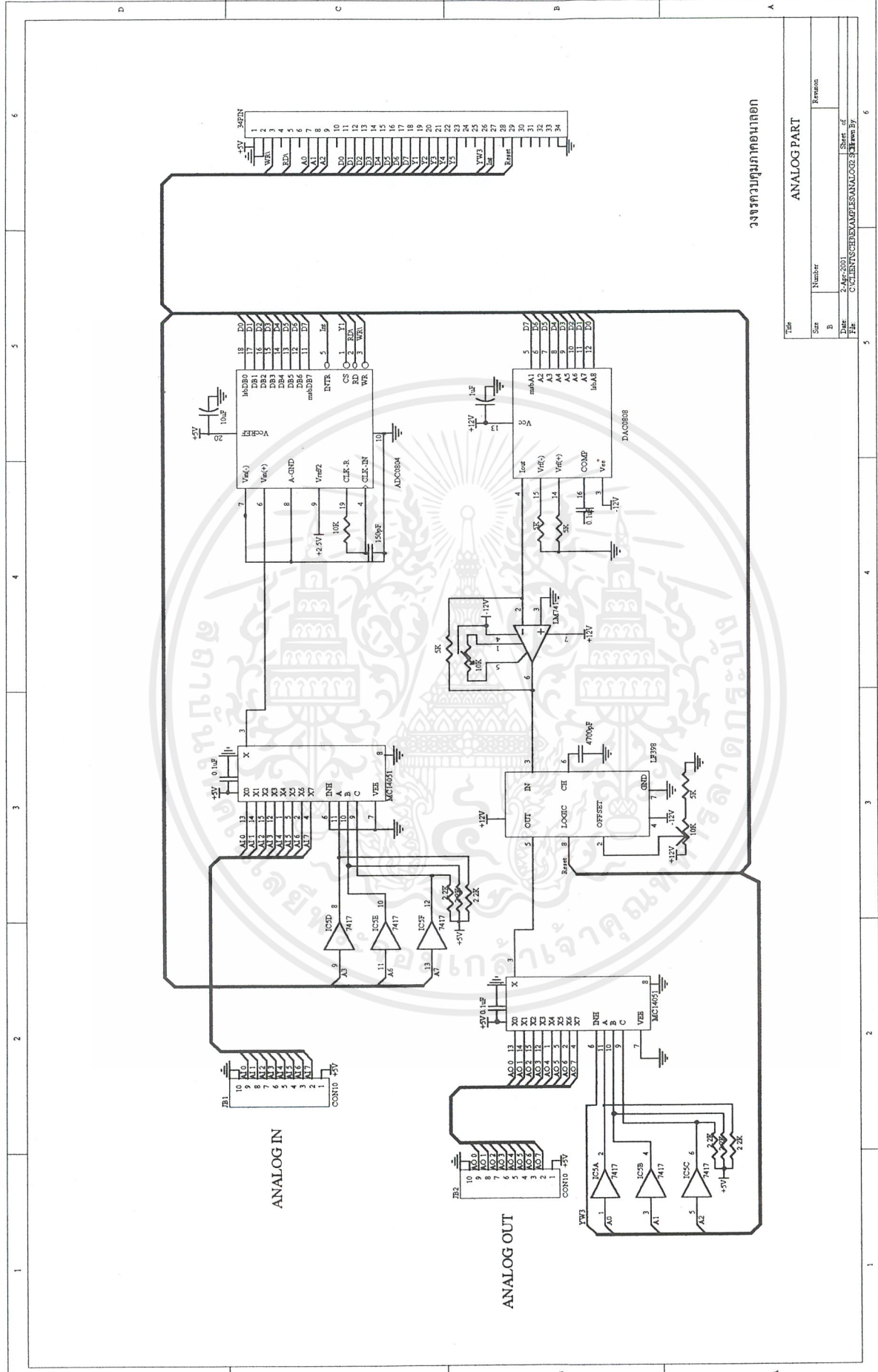


วงจรถ่ายภาพภาคดิจิทัล

DIGITAL PART

Title	Revision
Size	Number
B	
Date	2-Apr-2001
File	C:\CLIENT\CHIBO\COMPL\8255_BDI_SCH.Dwg
Sheet of	6
Drawn By	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

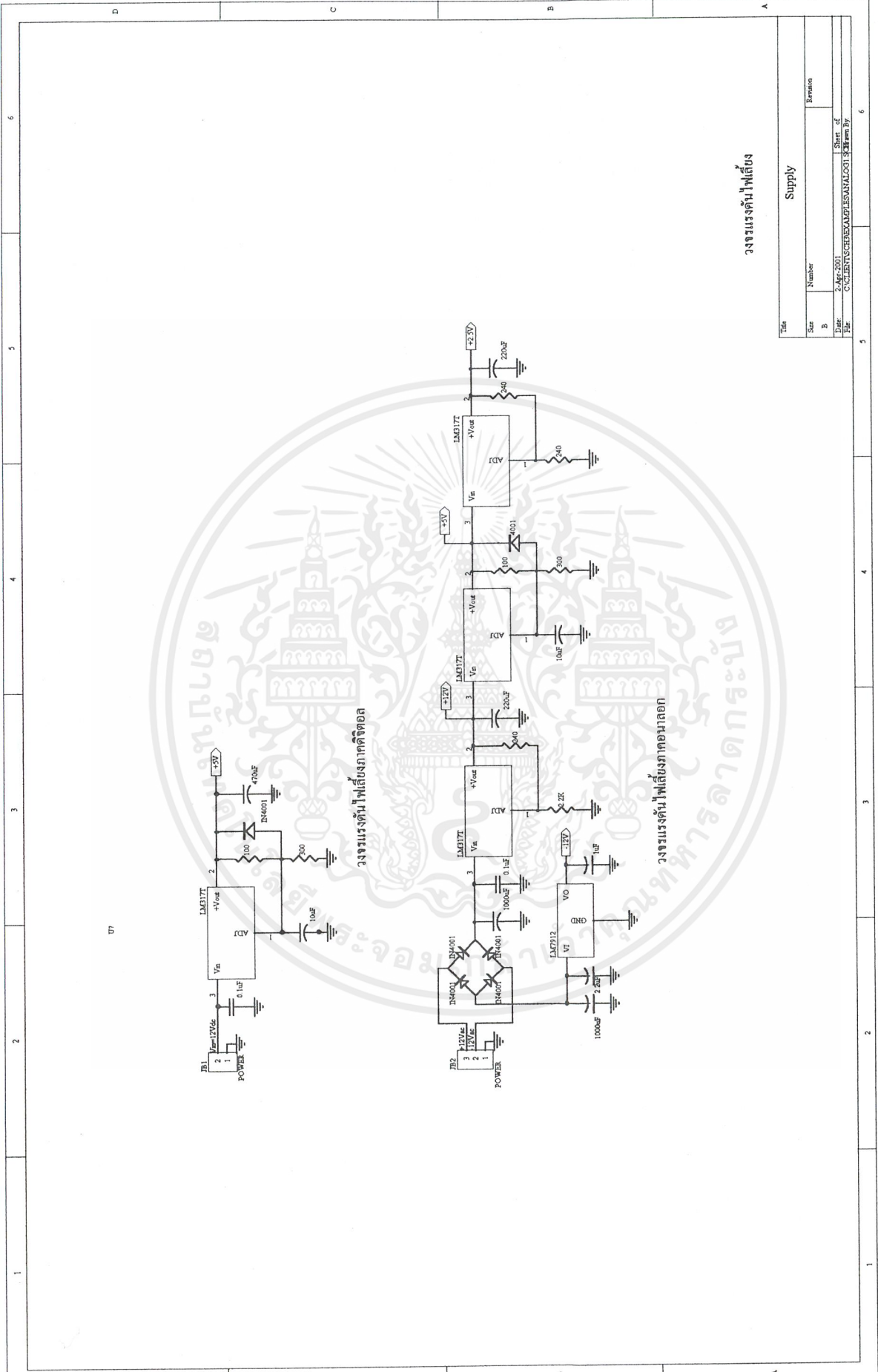


วงจรควบคุมภาคอนาล็อก

Title		Revision	
Size	Number	Revision	
B			
Date	2-Apr-2001	Sheet of	
File	C:\CLIENTS\EXAMPLES\ANALOG\36.dwg	6	

ANALOG PART	
Size	Number
B	
Date	2-Apr-2001
File	C:\CLIENTS\EXAMPLES\ANALOG\36.dwg
Sheet of	6

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ทางการค้า
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



วงจรมอเตอร์ไฟเลี้ยง

Title		Supply	
Size	Number	Revision	
B			
Date	24 Aug 2001	Sheet	4 of 6
Drawn By	CU-CLIENTS-CHEMICALS/ANALOG1	Checked By	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับใช้เพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ทางการค้า
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2.2 ภาคเชื่อมต่อกับพอร์ตขนานและความคุมการเลือกช่องสัญญาณ

BUFFER1 (74LS245) ทำหน้าที่เป็นบัฟเฟอร์ 2 ทิศทางควบคุมการรับ-ส่งข้อมูล ช่วยป้องกันความเสียหายที่อาจจะเกิดขึ้นกับวงจรภายในพอร์ตขนาน โดยขา DIR จะทำหน้าที่ควบคุมการรับส่งข้อมูล ถ้า DIR=1 Buffer จะยอมให้ข้อมูลจากพอร์ตขนานส่งออกไปยังพอร์ตภายนอก แต่จะไม่ยอมให้ข้อมูลจากพอร์ตภายนอกส่งผ่านเข้ามายังพอร์ตขนาน เช่นเดียวกันถ้า DIR=0 Buffer จะยอมให้ข้อมูลจากพอร์ตภายนอกส่งผ่านเข้ามายังพอร์ตขนานแต่จะไม่ยอมให้ข้อมูลจากพอร์ตขนานส่งออกไปยังพอร์ตภายนอกได้ โดยที่ Buffer จะสามารถควบคุมการส่งผ่านได้ก็ต่อเมื่อขาสัญญาณ $E=0$ เท่านั้น

IC1A,IC1B (เบอร์ 74LS32) และ IC2A (เบอร์ 74LS04) ทำหน้าที่นำขาสัญญาณ DStr\ และ WR\ จากคอมพิวเตอร์มาสร้างสัญญาณ RD\ และ WR\ เพื่อควบคุมจังหวะในการอ่านและเขียนข้อมูลระหว่างคอมพิวเตอร์กับบอร์ด โดยที่สัญญาณทั้ง 2 จะไม่สามารถทำงานพร้อมกันได้ แสดงได้ดังตาราง

อินพุต		เอาต์พุต		การทำงาน
DStr\	WR\	RD\	WR\	
0	0	1	0	คอมพิวเตอร์ส่งข้อมูลออก
0	1	0	1	คอมพิวเตอร์รับข้อมูลเข้า
1	0	1	1	ไม่มีการรับส่งข้อมูล
1	1	1	1	ไม่มีการรับส่งข้อมูล

ตารางที่ 4.1 ตารางแสดงสถานะของสัญญาณควบคุมการรับและส่งข้อมูล

LATCH (74LS374) ทำหน้าที่คงค่าตำแหน่งของข้อมูล โดยจะทำการคงค่าในช่วงขาขึ้นของสัญญาณ Clock และจะทำการเก็บค่าข้อมูลที่ LATCH ไว้จนกว่าสัญญาณ CLK มีค่าเป็น 1 อีกครั้งหนึ่ง ซึ่งขาสัญญาณ Clock นี้จะเชื่อมต่อกับขาสัญญาณ AStr\ ของพอร์ตขนาน และผ่านไอซี 74LS04 เพื่ออินเวอร์ตสัญญาณ

ขาสัญญาณ OE\ จะต้องเท่ากับ 0 ค่าที่ LATCH ไว้จึงจะออกมาทางเอาต์พุต ถ้า OE\ =1 เอาต์พุต จะเป็น High Impedance นั่นก็คือจะไม่มีการทำงาน

IC2B (74LS04) ในกรณีรับอินพุตเข้าบอร์ดเพื่อส่งให้กับคอมพิวเตอร์ประมวลผล ไม่ว่าจะ

จะเป็นการรับสัญญาณดิจิทัล หรือ อนุalog ขณะรับข้อมูล คอมพิวเตอร์จะเซตขาสัญญาณ Control เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไมอนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

(C0 - C3) เป็น 1 ทั้งหมด ทำให้ค่าที่ Latch อยู่เกิดความผิดพลาด ซึ่งจะมีผลทำให้การเลือกตำแหน่งเกิดความผิดพลาด วิธีแก้ไขคือการอินเวอร์ท สัญญาณ $Astr\bar{}$ ที่ออกจากพอร์ตขนาน ดังนั้น ตัว Latch จะทำการคงค่าสัญญาณเมื่อคอมพิวเตอร์ส่ง $Astr=0$ และจะทำการเก็บค่าข้อมูลที่ LATCH ไว้จนกว่า $Astr$ มีค่าเป็น 0 อีกครั้ง ช่วงที่เก็บข้อมูลไว้คือช่วงที่ $Astr=1$ ดังนั้นเมื่อมีการรับข้อมูลเข้ามา ขา Control (C0 - C3) จะเป็น 1 ทั้งหมด แต่ไม่มีผลกระทบต่อค่าที่ได้ latch ไว้

DECODER (74LS138) รับค่าสัญญาณ 3 บิต จากส่วน Latch มา Decode เป็นสัญญาณขนาด 8 บิต เพื่อนำไปใช้ในการสร้างสัญญาณเลือกไอซีบนบอร์ดที่จะให้ทำงาน สามารถแสดงการสร้างสัญญาณทั้ง 8 บิตได้ดังนี้

C	B	A	Y	Y	Y	Y	Y	Y	Y	Y	ไอซีที่ถูกเลือก
			7	6	5	4	3	2	1	0	
0	0	0	1	1	1	1	1	1	1	0	8255
0	0	1	1	1	1	1	1	1	0	1	ADC
0	1	0	1	1	1	1	1	0	1	1	สำรอง
0	1	1	1	1	1	1	0	1	1	1	สำรอง
1	0	0	1	1	1	0	1	1	1	1	สำรอง
1	0	1	1	1	0	1	1	1	1	1	สำรอง
1	1	0	1	0	1	1	1	1	1	1	สำรอง
1	1	1	0	1	1	1	1	1	1	1	DAC

ตารางที่ 4.2 แสดงการเลือกใช้สายสัญญาณ

4.2.3 ภาคควบคุมการรับส่งค่าแบบดิจิทัล

ใช้ไอซี 8255 เป็นตัวควบคุมและเลือกช่องสัญญาณที่ติดต่อกับบัสข้อมูล โดยในการทำงานเริ่มแรกจะส่งไบต์ข้อมูลควบคุมให้กับพอร์ตควบคุม โดยจะกำหนดให้พอร์ต A เป็นเอาต์พุต พอร์ต B เป็นอินพุต ส่วนพอร์ต C เป็นได้ทั้งอินพุตหรือเอาต์พุต(เป็นส่วนสำรองไว้ใช้ในอนาคต) ซึ่งทำได้โดยส่งไบต์ข้อมูลควบคุมให้กับพอร์ตควบคุมของ 8255 แสดงได้ดังนี้

ค่าที่พอร์ตควบคุม	พอร์ต A	พอร์ต B	พอร์ต C บน	พอร์ต C ล่าง
82h	เอาต์พุต	อินพุต	เอาต์พุต	เอาต์พุต
83h	เอาต์พุต	อินพุต	เอาต์พุต	อินพุต
8Ah	เอาต์พุต	อินพุต	อินพุต	เอาต์พุต
8Bh	เอาต์พุต	อินพุต	อินพุต	อินพุต

ตารางที่ 4.3 รูปแบบการตั้งค่าเริ่มต้นให้กับ 8255

ไอซี 8255 จะมีมาตรฐาน CS\ ในการกำหนดว่าจะให้ 8255 ทำงานหรือไม่ หาก CS\ เป็น Low ไอซี 8255 ตัวนั้นจะสามารถทำงานในการรับส่งผ่านข้อมูลได้ โดยจะมีสัญญาณ RD\ และ WR\ ในการควบคุมการรับหรือส่งข้อมูล

BUFFER2 (74LS245) ทำหน้าที่ช่วยเพิ่มกระแสของส่วนส่งค่าดิจิทัล ถูกต่ออยู่กับพอร์ต A ของ 8255 ซึ่งเป็นส่วนที่ใช้ส่งค่าสัญญาณดิจิทัลออกสู่ภายนอก ดังนั้นขา DIR ของ Buffer 2 ให้มีค่า High นั่นคือต่อเข้ากับไฟ +5V

BUFFER3 (74LS245) ทำหน้าที่เป็นกันชนรับค่าจากภายนอกก่อนส่งต่อให้ 8255 ถูกต่ออยู่กับพอร์ต B ของ 8255 ซึ่งเป็นส่วนที่รับค่าสัญญาณดิจิทัลจากภายนอก ดังนั้นขา DIR ของ Buffer 3 ให้ต่อลง Ground เพื่อให้มีค่า Low

4.3 การทำงานของวงจรในภาคควบคุมแบบอนาล็อก

ลักษณะของวงจรแสดงในภาคผนวก (ข) โดยที่สามารถแบ่งออกเป็น 3 ภาคย่อยได้ดังนี้

4.3.1 ภาคจ่ายไฟ

ส่วนของภาคควบคุมแบบอนาล็อกบนบอร์ดนั้น จะรับแรงดันไฟสลับ +12,-12 โวลต์จากหม้อแปลงไฟฟ้า แล้วนำมาแปลงเป็นแรงดันไฟตรง ด้วยไดโอดเบอร์ IN 4001 จำนวน 4ตัว ต่อเป็นวงจรบริดจ์ นำแรงดันไฟตรงบวก ไปเป็นแรงดันอินพุตของ LM317T เพื่อสร้างแรงดัน +12 โวลต์ ,+5 โวลต์ และ 2.5 โวลต์ ส่วนแรงดันไฟตรงลบที่ได้จากวงจรบริดจ์ นำไปเป็นอินพุตของเบอร์ 7912 เพื่อสร้างแรงดัน -12 โวลต์

4.3.2 ภาคเปลี่ยนสัญญาณอนาลอกเป็นสัญญาณดิจิทัล

เป็นส่วนของการรับสัญญาณอนาลอก มาแปลงเป็นสัญญาณดิจิทัล เพื่อนำเข้าไปให้ CPU ทำการประมวลผล การทำงานของภาคนี้จะประกอบไปด้วยวงจรหลักๆดังนี้

- วงจรเลือกสัญญาณ (Multiplexer)

ทำการเลือกค่าสัญญาณอนาลอก ที่ส่งเข้ามาด้วยวงจร Multiplexer โดยใช้ไอซี เบอร์ MC14051 เป็น CMOS โดย CPU จะส่งสัญญาณ A0,A1,A2 มาเพื่อเลือกว่าจะรับสัญญาณอนาลอกใดจาก 8 ช่องสัญญาณที่เข้ามา สัญญาณที่ CPU ส่งมานั้นจะต่อผ่านไอซี เบอร์ LS7417 เพื่อทำหน้าที่ Buffer ก่อนเข้า Multiplexer เนื่องจากคุณสมบัติแรงดัน Input-Output และ Fanout ระหว่างไอซีชนิด CMOS กับ TTL

- วงจรแปลงสัญญาณอนาลอกเป็นดิจิทัล (Analog To Digital Converter)

สัญญาณอนาลอก ระดับแรงดัน 0-5 V ที่ส่งมาจาก S&H นี้จะถูกเปลี่ยนให้เป็นสัญญาณดิจิทัล ขนาด 8 บิต ด้วยวงจร Analog To Digital Converter โดยใช้ไอซี เบอร์ ADC0804 การทำงานเริ่มจากรับสัญญาณอนาลอกเข้ามา แล้วรอสัญญาณควบคุม WR\ เพื่อให้เริ่มทำการแปลงสัญญาณ เมื่อ ADC แปลงสัญญาณเสร็จสิ้นแล้วก็จะส่งสัญญาณ "0" ออกไปที่ขา INT เพื่อให้ทราบว่าได้ทำการแปลงสัญญาณเสร็จสิ้นแล้ว และให้รอสัญญาณควบคุม RD\ ซึ่งเป็นคำสั่งให้ส่งสัญญาณดิจิทัลที่แปลงแล้วออกไปที่ขาข้อมูล (D0-D7) เพื่อส่งไปยัง CPU

4.3.3 ภาคเปลี่ยนสัญญาณดิจิทัลเป็นสัญญาณอนาลอก

ทำหน้าที่รับสัญญาณการประมวลผลจาก CPU ซึ่งเป็นสัญญาณดิจิทัล แล้วแปลงให้เป็นสัญญาณอนาลอกออกสู่ภายนอกเพื่อใช้ในการควบคุมต่อไป ประกอบด้วยวงจรหลักๆดังนี้

- วงจรแปลงสัญญาณดิจิทัลเป็นอนาลอก (Digital To Analog Converter)

ทำการแปลงสัญญาณดิจิทัลเป็นอนาลอกด้วยวงจร Digital To Analog Converter ใช้ไอซี เบอร์ DAC 0808 สัญญาณดิจิทัลขนาด 8 บิตจะถูกเปลี่ยนให้อยู่ในรูปกระแสไฟฟ้าก่อนแล้วค่อยเปลี่ยนให้อยู่ในรูปสัญญาณอนาลอกที่ระดับแรงดัน 0-5 V ด้วยไอซี เบอร์ LM741

- วงจรสุ่มและคงค่าสัญญาณ (Sample & Hold)

สัญญาณอนาลอกจาก DAC จะถูกส่งต่อไปยัง วงจร Sample & Hold โดยใช้ไอซี เบอร์ LF398 เพื่อทำหน้าที่สุ่มเอาสัญญาณอนาลอก ในช่วงเวลาหนึ่งมาเก็บไว้ใน Capacitor ขนาด 4700pf เพื่อช่วยคงค่าสัญญาณนั้นไว้ให้กับ Demultiplexer ขาสัญญาณ Logic ควบคุมการสุ่มและคงค่าสัญญาณ โดยเมื่อ Logic เป็น High วงจรก็จะอยู่ในสถานะสุ่ม (Sample) คือ สัญญาณเอาต์พุต จะ

เหมือนกับสัญญาณอินพุต แต่ถ้า เป็น Low วงจรก็จะอยู่ในสภาวะคงค่าสัญญาณ (Hold) ก็คือจะรักษาระดับแรงดันของสัญญาณเอาต์พุต ไว้ให้คงที่แม้ว่าสัญญาณอินพุตจะเปลี่ยนไปแล้วก็ตาม

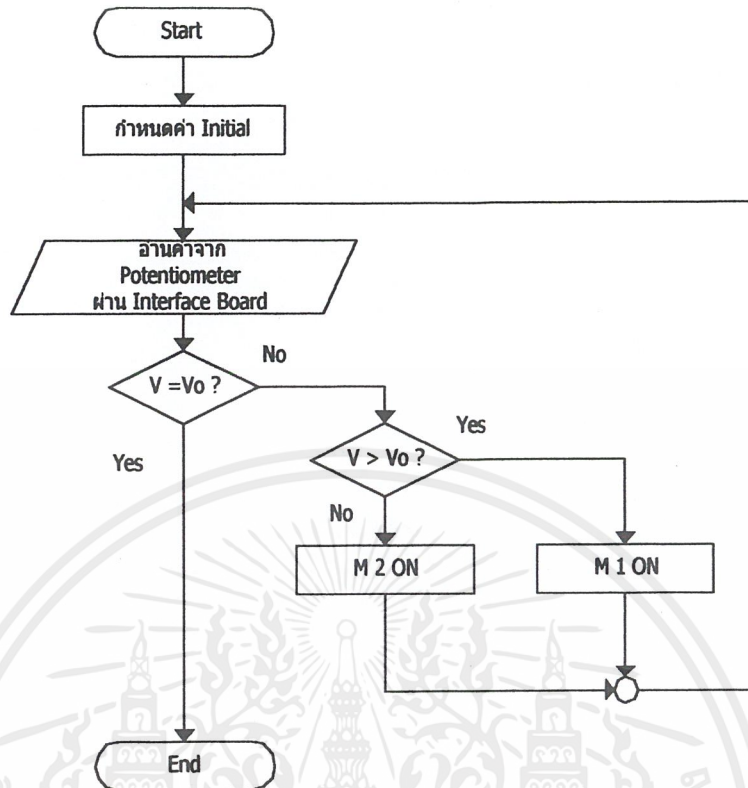
- **วงจรมแยกสัญญาณ (Demultiplexer)**

ทำการแยกส่งสัญญาณอนาลอกที่ได้เลือกออกสู่ 8 ช่องสัญญาณที่มีระดับแรงดัน 0-5 V โดยจะใช้ไอซี เบอร์ MC 14051 โดย CPU จะส่งสัญญาณ A0,A1,A2 มาเพื่อเลือกว่าจะส่งสัญญาณอนาลอก ออกทางช่องใด สัญญาณที่ CPU ส่งมานั้นจะต่อผ่านไอซี เบอร์ LS7417 เพื่อทำหน้าที่ Buffer ก่อนเข้า Multiplexer เนื่องจากคุณสมบัติแรงดัน Input-Output และ Fanout ระหว่างไอซีชนิด CMOS กับ TTL

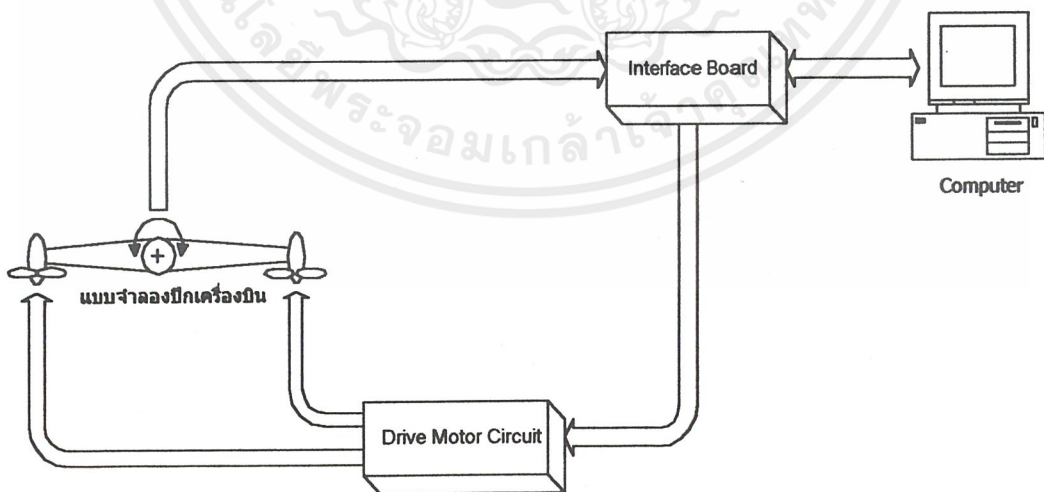
4.4 การออกแบบระบบควบคุมทดลอง

ระบบทดลองที่ทำการออกแบบคือ ระบบควบคุมการทรงตัวของปีกเครื่องบิน มีลักษณะดังนี้คือ

ปีกเครื่องบินทำจากไม้ปีกทั้งสองด้านถูกยึดด้วยมอเตอร์ กลางปีกยึดติดด้วยความต้านทานปรับค่าได้ ซึ่งถูกต่อเข้ากับแรงดัน 0 โวลต์ และ 5 โวลต์ ทำให้แรงดันเอาต์พุตของ R ปรับค่าได้อยู่ระหว่าง 0-5 โวลต์ และต่อเข้าทางช่องรับสัญญาณอนาลอกของบอร์ดควบคุม เขียนโปรแกรมรับค่าและพิจารณาว่าแรงดันที่รับเข้ามานั้นปีกเครื่องบินอยู่ในตำแหน่งใด เมื่อปีกเครื่องบินอยู่ในแนวระดับ ความต้านทานปรับค่าจะให้เอาต์พุตอยู่ที่ V_0 โวลต์ ถ้าค่าที่รับได้มากกว่า V_0 โวลต์ก็ให้โปรแกรมส่งค่าออกไปสั่งให้มอเตอร์ด้านที่ต่ำกว่าแนวระดับทำงานเพื่อดันให้ปีกเครื่องบินกลับขึ้นมา ถ้าน้อยกว่า V_0 โวลต์ก็สั่งให้มอเตอร์อีกตัวทำงานค่าแรงดันที่ส่งออกจากบอร์ด ไม่สามารถที่จะขยับมอเตอร์ได้ทันที ต้องผ่านวงจรขับกระแสก่อน



รูปที่ 4.4 แสดง โฟลว์ชาร์ตการควบคุมปีกเครื่องบิน



รูปที่ 4.5 แสดงบล็อก ไดอะแกรมการควบคุมการทรงตัวปีกเครื่องบิน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5

การเขียนโปรแกรม

บอร์ดควบคุมในโครงการนี้ ไม่มีหน่วยประมวลผลที่ทำหน้าที่ควบคุมการทำงานอยู่บนบอร์ด แต่อาศัยหน่วยประมวลผลของคอมพิวเตอร์ในการควบคุมการทำงานของบอร์ด ดังนั้นจึงมีความจำเป็นที่จะต้องใช้โปรแกรมในการติดต่อสื่อสารระหว่างคอมพิวเตอร์กับบอร์ดควบคุม ผู้จัดทำได้เลือกใช้ภาษาวิซวลเบสิก (Visual Basic 6) ในการเขียนโปรแกรม เนื่องจากเป็นภาษาที่ทำงานบนระบบปฏิบัติการวินโดวส์ (Windows) ซึ่งมีประสิทธิภาพมากกว่าการทำงานบนดอส (Dos) เขียนได้ง่ายเนื่องจากมีฟังก์ชันในการทำงานเตรียมพร้อมให้แล้วในโปรแกรม และแสดงผลทางด้านกราฟฟิกที่สวยงาม

5.1 เซตค่าเริ่มต้นก่อนเขียนโปรแกรม

การเขียนโปรแกรมด้วยวิซวลเบสิก ชุดคำสั่งส่วนใหญ่จะมีรูปแบบใกล้เคียงกับ QBASIC แต่วิซวลเบสิก จะไม่มีคำสั่งสำหรับการติดต่อกับพอร์ตโดยตรงคือ คำสั่ง INP และคำสั่ง OUT เหมือนกับ QBASIC ดังนั้นเพื่อให้สามารถติดต่อกับพอร์ตขนานได้จึงต้องเพิ่มไฟล์ inpout.dll (สำหรับระบบปฏิบัติการ 16 บิตหรือวินโดวส์ 3.1) หรือ inpout32.dll (สำหรับระบบปฏิบัติการ 32 บิต หรือ วินโดวส์ 95,98) โดยจะเก็บไว้ที่ไดเรกทอรี System ซึ่งอยู่ในไดเรกทอรีที่เก็บโปรแกรมวินโดวส์ชื่อ Windows

ก่อนที่จะเขียนโปรแกรมจะต้องเพิ่มไฟล์ inpout32.bas ลงไปใน Project ที่จะเขียนก่อน

5.2 ตัวอย่างโปรแกรมที่ใช้ในการติดต่อกับพอร์ตขนาน

ภาษาวิซวลเบสิกที่ใช้ในการติดต่อกับพอร์ตขนานส่วนมากที่ใช้มีอยู่ 2 คำสั่งคือ

- คำสั่ง OUT

ใช้สำหรับเมื่อต้องการติดต่อกับพอร์ตขนานตำแหน่งใด หรือจะส่งข้อมูลออกไปยังภายนอกผ่านทางพอร์ตขนาน รูปแบบคำสั่งเช่น

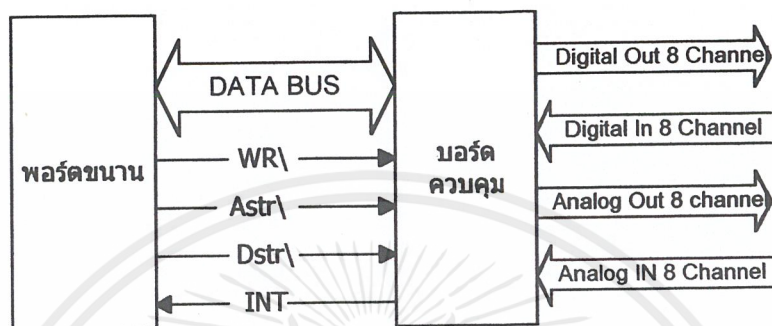
OUT (&H378,&HFF) หมายความว่าให้ส่งข้อมูล FF ซึ่งเป็นเลขฐานสิบหกออกไปที่ตำแหน่งแอดเดรส H378 (แอดเดรสของรีจิสเตอร์ Data สำหรับ LPT1)

- คำสั่ง INP

ใช้สำหรับเมื่อต้องการอ่านค่าจากพอร์ตขนานมายังคอมพิวเตอร์ผ่านทางพอร์ต Status ของ LPT1 รูปแบบคำสั่งเช่น

Temp = INP(&H378) หมายความว่าให้ทำการรับค่าข้อมูลที่อยู่ในตำแหน่งแอดเดรส &H378
เข้าไปเก็บไว้ในตัวแปร Temp

5.3 สายสัญญาณที่ใช้ในการติดต่อระหว่างพอร์ตขนานกับบอร์ดควบคุม



รูปที่ 5.1 สายสัญญาณที่ใช้ติดต่อกับพอร์ตขนาน

สายสัญญาณบัสข้อมูล (D0 - D7) มีทั้งหมด 8 เส้น สามารถรับหรือส่งข้อมูลได้ทั้งสองทิศทาง
สายสัญญาณ WR\ เป็นสายควบคุมการรับส่งข้อมูลระหว่างคอมพิวเตอร์กับบอร์ดควบคุม

ถ้า WR\ = 1 คอมพิวเตอร์สั่งให้บอร์ดส่งข้อมูลมาไว้ที่บัสข้อมูล

ถ้า WR\ = 0 คอมพิวเตอร์สั่งให้บอร์ดเตรียมรับข้อมูลจากบัสข้อมูล

สายสัญญาณ Dstr\ เป็นสายควบคุมว่าจะให้มีการรับส่งข้อมูลระหว่างคอมพิวเตอร์กับบอร์ดควบคุมหรือไม่

ถ้า Dstr\ = 1 จะไม่มีการรับส่งข้อมูลใดๆ บนบัสข้อมูลแม้ว่าสัญญาณ WR\ = 0 ก็ตาม

ถ้า Dstr\ = 0 จะมีการรับส่งข้อมูลระหว่างคอมพิวเตอร์กับบอร์ดควบคุมเกิดขึ้น การรับหรือส่งข้อมูลจะขึ้นอยู่กับสัญญาณ WR\

สายสัญญาณ Astr\ เป็นสายควบคุมตำแหน่งที่ใช้ในการรับส่งข้อมูล สัญญาณ Astr\ จะถูกทำให้กลับค่าเมื่อออกจากพอร์ตขนาน ด้วยไอซีอินเวอร์เตอร์ เนื่องจากข้อจำกัดที่เกิดขึ้นเมื่อทำการเขียนโปรแกรม

ถ้า Astr\ = 1 คอมพิวเตอร์จะส่งตำแหน่งที่ต้องการติดต่อกับบอร์ด

ถ้า Astr\ = 0 ไม่มีการรับหรือส่งข้อมูลตำแหน่ง

สายสัญญาณ INT เป็นสายสัญญาณบอกสถานะการแปลงข้อมูลของภาค ADC

ถ้า INT = 1 ภาค ADC พร้อมที่จะแปลงข้อมูลหรือข้อมูลกำลังถูกแปลงอยู่

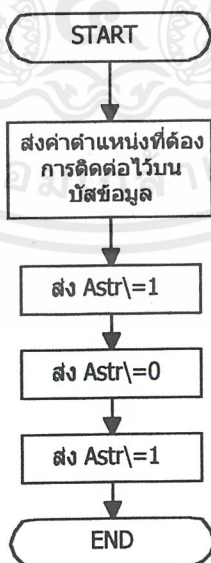
ถ้า $INT = 0$ ภาค ADC ได้แปลงข้อมูลเสร็จเรียบร้อยแล้ว ข้อมูลจะอยู่ที่บัสข้อมูลให้คอมพิวเตอร์รับค่าไปประมวลต่อไป

5.4 ขั้นตอนการเลือกตำแหน่งอุปกรณ์บนบอร์ด

ภายในบอร์ดควบคุมจะมีวงจรเลือกตำแหน่งของอุปกรณ์บนบอร์ดที่จะทำการติดต่อกับคอมพิวเตอร์ ในแต่ละช่วงเวลา เนื่องจากบนบอร์ดมีภาคการทำงานอยู่หลายส่วน ตารางที่ 6.1 แสดงค่าตำแหน่งของภาคต่างๆ บนบอร์ด โดยสามารถใช้ตำแหน่งอื่นๆ ที่ให้ความหมายเดียวกันแทนได้ และรูปที่ 6.2 แสดงขั้นตอนในการเลือกตำแหน่งบนบอร์ดที่คอมพิวเตอร์ต้องการติดต่อ

ภาค	ตำแหน่ง
Digital Out	80H
Digital In	81H
Analog Out	F0H-F7H
Analog In	90H-97H

ตารางที่ 5.1 ตำแหน่งของภาคต่างๆ บนบอร์ดควบคุม



รูปที่ 5.2 ขั้นตอนการเลือกตำแหน่งของอุปกรณ์บนบอร์ด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.5 ขั้นตอนการส่งข้อมูลออกของภาคคิจิตอล

- 1) ส่งค่าตำแหน่ง Control Port ของ 8255 แล้วแลตซ์สัญญาณไว้
- 2) ส่งไบต์ข้อมูลควบคุม กำหนดพอร์ต A ของ 8255 เป็นเอาต์พุต
- 3) ส่งค่าตำแหน่งพอร์ต A ของ 8255 แล้วแลตซ์สัญญาณไว้
- 4) ส่งไบต์ข้อมูลที่ต้องการส่งออก

5.6 ขั้นตอนการรับข้อมูลเข้าของภาคคิจิตอล

- 1) ส่งค่าตำแหน่ง Control Port ของ 8255 แล้วแลตซ์สัญญาณไว้
- 2) ส่งไบต์ข้อมูลควบคุม กำหนดพอร์ต B ของ 8255 เป็นอินพุต
- 3) ส่งค่าตำแหน่งพอร์ต A ของ 8255 แล้วแลตซ์สัญญาณไว้
- 4) รับค่าไบต์ข้อมูลที่เข้ามาด้วยคำสั่ง INP(&378)

5.7 ขั้นตอนการส่งข้อมูลออกของภาคอนาลอก

- 1) ส่งค่าตำแหน่งเพื่อเลือกช่องสัญญาณที่จะให้สัญญาณอนาลอกออก
- 2) ส่งไบต์ข้อมูลที่ต้องการส่งออกโดยจะผ่าน DAC เพื่อแปลงเป็นสัญญาณอนาลอก

5.8 ขั้นตอนการรับข้อมูลเข้าของภาคอนาลอก

- 1) ส่งค่าตำแหน่งเพื่อเลือกช่องสัญญาณที่จะรับสัญญาณอนาลอกเข้ามา
- 2) ส่งค่าตำแหน่งเพื่อเลือกให้ ADC ทำงาน
- 3) ส่งสัญญาณ $WR = 0$ เพื่อให้ ADC ทำการแปลงสัญญาณอนาลอกที่เข้ามาเป็นคิจิตอล
- 4) รอจน ADC ส่งสัญญาณ $INT = 0$ ออกมาหมายความว่าได้ทำการแปลงสัญญาณเสร็จเรียบร้อยแล้วก็ให้ ส่งสัญญาณ $RD = 0$ เพื่อนำข้อมูลที่แปลงแล้วเข้าไปยังคอมพิวเตอร์ผ่านทางบัสข้อมูล
- 5) รับสัญญาณที่แปลงแล้วนี้ด้วยคำสั่ง INP(&H378)

บทที่ 6

การทดลองและสรุปผล

สามารถแบ่งการทดสอบการทำงานออกเป็น 3 ส่วน คือในส่วนของภาคดิจิทัล ส่วนของภาคอนาล็อก และนำบอร์ด ไปควบคุมการทำงานของปั๊กเครื่องบิน

6.1 การทำงานของภาคดิจิทัล

6.1.1 วิธีการทดสอบการทำงานของภาคดิจิทัล

ทดสอบโดยการเชื่อมสายสัญญาณระหว่างภาคส่งสัญญาณดิจิทัลกับภาครับสัญญาณดิจิทัล แล้วสั่งให้โปรแกรมทำการส่งค่าสัญญาณดิจิทัลออกมา สัญญาณนี้จะถูกนำเข้าสู่ภาครับสัญญาณดิจิทัล โปรแกรมจะแสดงค่าสัญญาณที่ส่งออกไปและสัญญาณที่รับเข้ามาได้ ทางหน้าจอคอมพิวเตอร์จากนั้นจะนำไปหาค่าความผิดพลาดที่เกิดขึ้น

6.1.2 ผลทดสอบการทำงานของภาคดิจิทัล

ผลทดสอบจากการส่งค่า 0-255 ออกและรับเข้ามา จำนวน 256 ครั้ง แล้วแสดงผลออกมาทางหน้าจอพบว่า ไม่เกิดความผิดพลาดขึ้น

6.1.3 สรุปผลการทำงานของภาคดิจิทัล

ภาครับและส่งสัญญาณดิจิทัล ไม่เกิดความผิดพลาดขึ้น สามารถนำไปใช้งานได้จริง

6.2 การทำงานของภาคอนาล็อก

6.2.1 การทดสอบการส่งค่าอนาล็อก

6.2.1.1 วิธีการทดสอบการส่งค่าแบบอนาล็อก

ทดสอบโดยการเขียนโปรแกรมส่งค่าแบบอนาล็อกออกไปทุกช่องสัญญาณ หลากๆค่า แล้วทำการวัดค่าแรงดันที่ส่งออกมาด้วยโวลต์มิเตอร์ ทำการเปรียบเทียบค่าที่เขียนโปรแกรมส่งออกกับค่าที่วัดได้ด้วยโวลต์มิเตอร์นี้ แล้วคำนวณหาความผิดพลาดที่เกิดขึ้นว่าสามารถยอมรับได้หรือไม่

6.2.1.2 ผลทดสอบการส่งค่าแบบอนาลอก

ค่าส่งออก จากบอร์ด (โวลต์)	ค่าที่วัดได้จากโวลต์มิเตอร์ (โวลต์)									เปอร์เซ็นต์ ผิดพลาด เฉลี่ย (%)
	CH0	CH1	CH2	CH3	CH4	CH5	CH6	CH7	เฉลี่ย	
0	0.00	0.00	0.00	0.00	0.00	0.00	0.00	0.00	0.00	0.00
0.50	0.50	0.50	0.50	0.50	0.51	0.50	0.50	0.50	0.501	0.2
1.00	0.99	0.99	0.99	0.99	0.99	0.99	0.98	0.98	0.988	1.2
1.50	1.48	1.48	1.48	1.48	1.48	1.48	1.48	1.48	1.480	1.3
2.00	1.98	1.98	1.98	1.98	1.98	1.98	1.98	1.99	1.981	0.95
2.50	2.49	2.49	2.49	2.49	2.48	2.49	2.49	2.49	2.489	0.44
3.00	2.98	2.98	2.98	2.98	2.98	2.98	2.99	2.98	2.981	0.54
3.50	3.47	3.47	3.47	3.47	3.47	3.47	3.48	3.48	3.473	0.77
4.00	3.97	3.97	3.97	3.98	3.97	3.97	3.98	3.97	3.973	0.67
4.50	4.48	4.48	4.48	4.48	4.48	4.48	4.48	4.49	4.481	0.42
5.00	4.97	4.97	4.97	4.98	4.97	4.97	4.98	4.97	4.973	0.54

ตารางที่ 6.1 ผลทดสอบการส่งค่าแบบอนาลอก

ข้อมูลของโวลต์มิเตอร์ที่ใช้

โวลต์มิเตอร์แบบดิจิทัล ย่านที่ใช้วัด 20 โวลต์ , ยี่ห้อ TIP TECHNIC

6.2.1.3 สรุปผลการส่งค่าแบบอนาลอก

ค่าสัญญาณอนาลอกที่ส่งออกมาเกิดความผิดพลาดไม่เกินค่าที่กำหนดไว้คือ 2%สามารถยอมรับค่าความผิดพลาดที่เกิดขึ้นได้

6.2.2 การทดสอบการรับค่าแบบอนาลอก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6.2.2.1 วิธีการทดสอบการรับค่าแบบอนาลอก

ทดสอบ โดยการส่งค่าแรงดันจากภายนอกเข้ามายังช่องสัญญาณรับค่าแบบอนาลอกทั้ง 8 ช่องสัญญาณด้วยค่าที่ต่างกันหลายๆค่า โดยจะเขียนโปรแกรมเพื่อรับค่าสัญญาณอนาลอกเข้ามาแล้วแสดงผลค่าที่วัดได้ออกมาทางหน้าจอคอมพิวเตอร์ ทำการหาค่าความผิดพลาดที่เกิดขึ้นว่าสามารถยอมรับได้หรือไม่

6.2.2.2 ผลทดสอบการรับค่าแบบอนาลอก

ค่าส่งเข้า บอร์ด (โวลต์)	ค่าที่คอมพิวเตอร์รับได้ (โวลต์)									เปอร์เซ็นต์ ผิดพลาด เฉลี่ย (%)
	CH0	CH1	CH2	CH3	CH4	CH5	CH6	CH7	เฉลี่ย	
0	0.000	0.00	0.00	0.00	0.00	0.00	0.00	0.00	0.000	0.00
0.50	0.490	0.490	0.490	0.490	0.510	0.490	0.490	0.510	0.495	1.00
1.00	1.000	1.000	1.000	1.000	0.980	1.000	0.980	1.000	0.995	0.50
1.50	1.490	1.490	1.490	1.510	1.510	1.490	1.490	1.510	1.498	0.13
2.00	1.980	2.000	1.980	1.980	1.980	1.980	2.000	2.000	1.988	0.60
2.50	2.471	2.490	2.490	2.490	2.490	2.510	2.471	2.490	2.489	0.44
3.00	2.980	3.000	3.000	2.980	2.980	3.010	3.000	2.980	2.991	0.30
3.50	3.471	3.490	2.471	2.471	2.471	3.490	2.471	2.471	3.476	0.68
4.00	3.961	3.941	3.941	3.941	3.961	3.941	3.941	3.961	3.949	1.27
4.50	4.471	4.471	4.471	4.471	4.471	4.480	4.471	4.471	4.472	0.62
5.00	5.00	4.961	4.961	4.961	4.961	4.961	5.00	4.961	4.971	0.58

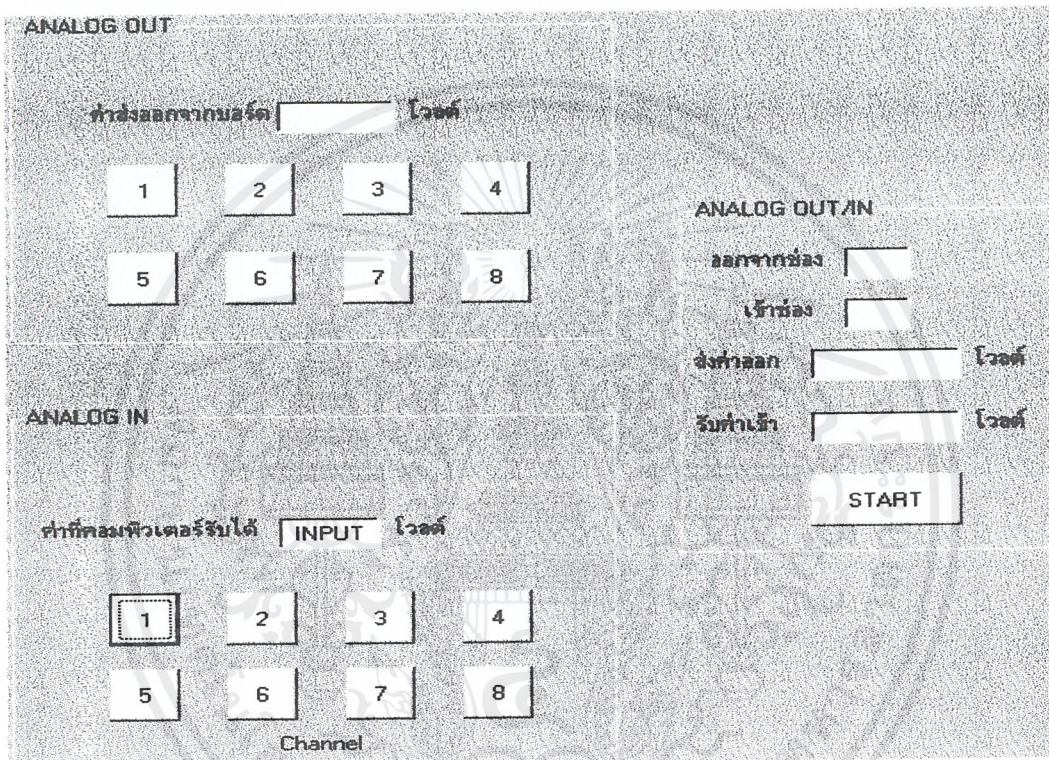
ตารางที่ 6.2 ผลทดสอบการรับค่าแบบอนาลอก

ข้อมูลของโวลต์มิเตอร์ที่ใช้

โวลต์มิเตอร์แบบดิจิตอล ย่านที่ใช้วัด 20 โวลต์ , ยี่ห้อ TIP TECHNIC

6.2.2.3 สรุปผลการรับค่าแบบอนาลอก

ค่าที่คอมพิวเตอร์รับได้จากสัญญาณที่แปลงเป็นดิจิทัลแล้วให้ค่าที่ผิดพลาดจากสัญญาณเข้า ไม่เกินค่าที่กำหนดไว้ ดังนั้นสามารถยอมรับได้



รูปที่ 6.1 แสดงการทดสอบการทำงานของภาคอนาลอก

6.2.3 การทดสอบการรับส่งค่าแบบอนาลอก

6.2.3.1 วิธีการทดสอบการรับค่าแบบอนาลอก

ทดสอบ โดยส่งค่าอนาลอกออกแล้วรับกลับเข้าทางช่องรับสัญญาณอนาลอก เปรียบเทียบค่าที่ส่งออกกับค่าที่รับเข้า

6.2.3.2 ผลทดสอบการรับค่าแบบอนาลอก

แสดงได้ในรูปที่ 6.3

6.2.3.3 สรุปผลการรับค่าแบบอนาลอก

เกิดความผิดพลาดขึ้นน้อยกว่า 2% สามารถยอมรับได้

ANALOG OUT/IN

	Channel In	Channel Out	Analog Out	Analog In	% Error
	0	0	2.5	2.47	1.2
	0	1	2.5	2.51	.4
	0	2	2.5	2.51	.4
	0	3	2.5	2.5	0
	0	4	2.5	2.47	1.2
	0	5	2.5	2.49	.4
	0	6	2.5	2.51	.4
	0	7	2.5	2.51	.4
	1	0	2.5	2.49	.4
	1	1	2.5	2.45	2
	1	2	2.5	2.51	.4
	1	3	2.5	2.5	0
	1	4	2.5	2.5	0
	1	5	2.5	2.53	1.2
	1	6	2.5	2.51	.4
	1	7	2.5	2.47	1.2
	2	0	2.5	2.53	1.2

◀▶ Data Base ▶▶

ตารางที่ 6.3 ผลทดสอบการรับส่งค่าแบบอนาลอก

6.3 การนำบอร์ดไปควบคุมการทรงตัวของปีกเครื่องบิน

6.3.1 การควบคุมการทรงตัวของปีกเครื่องบิน

ระบบทดลองที่สร้างขึ้นมาคือ ระบบควบคุมการทรงตัวของปีกเครื่องบิน โดยจะติดปีกเครื่องบินไว้กับความต้านทานปรับค่าได้ (10 K Ω) โดยจะจ่ายแรงดันให้กับความต้านทานปรับค่า 0 โวลต์ กับ 5 โวลต์ ดังนั้นค่าแรงดันเอาต์พุตของ R ปรับค่า จะมีค่าอยู่ในช่วงระหว่าง 0-5 โวลต์ นำเอาต์พุตนี้ไปเข้าต่อเข้ากับช่องสัญญาณรับอนาลอกของบอร์ดควบคุม (สามารถรับแรงดันได้ 0-5 โวลต์) เขียนโปรแกรมในการรับสัญญาณอนาลอกที่เข้ามาแล้วแปลงเป็นสัญญาณดิจิทัลเพื่อให้อุปกรณ์ประมวลผลแสดงออกมาทางหน้าจอ และเปรียบเทียบกับค่าแรงดันที่จะทำให้ปีกเครื่องบินอยู่ในแนวระดับ (2.5 โวลต์) ถ้ามีค่ามากกว่า 2.5 โวลต์ก็ให้บอร์ดส่งสัญญาณอนาลอกออกมาทางช่องสัญญาณหนึ่ง ไปขับมอเตอร์ตัวหนึ่ง ถ้าน้อยกว่า 2.5 โวลต์ก็ให้ส่งสัญญาณอนาลอกออกไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อีกช่องทางหนึ่งเพื่อไปจับมอเตอร์อีกตัวหนึ่ง เพื่อให้ปีกเครื่องบินกลับมาอยู่ในแนวระดับอีกครั้ง จนกว่าเอาต์พุทของความต้านทานปรับค่าได้จะมีค่า 2.5 โวลต์มอเตอร์ทั้งสองตัวจะหยุดทำงาน นั่นหมายความว่าปีกเครื่องบินได้อยู่ในแนวระดับอย่างสมบูรณ์แล้ว

ค่าสัญญาณอนาล็อกที่ส่งออกจากบอร์ดจ่ายกระแสได้ต่ำ ทำให้ไม่สามารถจะจับมอเตอร์ให้ทำงานได้ ดังนั้นจึงต้องนำไปเข้าวงจรจับกระแสก่อน

6.3.2 ผลการทดลองการทรงตัวของปีกเครื่องบิน

ปีกเครื่องบินสามารถทรงตัวอยู่ในแนวระดับได้ แต่จะใช้เวลานานในการทำให้ปีกเครื่องบินหยุดนิ่งอยู่ในแนวระดับ เนื่องจากความแรงและความเฉื่อยของมอเตอร์





ภาคผนวก ก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

'ANALOG PART

```
Private Sub Command2_Click()
```

```
    Timer1.Enabled = False
```

```
End Sub
```

```
Sub latch()
```

```
    Call delay
```

```
    Out &H37A, &H5 'astr=0 0110
```

```
    Call delay
```

```
    Out &H37A, &HD 'astr=1 1110
```

```
    Call delay
```

```
    Out &H37A, &H5 'astr=0 0110
```

```
    Call delay
```

```
End Sub
```

```
Sub delay1()
```

```
    Dim doom
```

```
    For doom = 1 To 20
```

```
        DoEvents
```

```
    Next doom
```

```
End Sub
```

```
Sub delay()
```

```
    Dim doom
```

```
    For doom = 1 To 100
```

```
        DoEvents
```

```
    Next doom
```

```
End Sub
```

```
Private Sub Command1_Click()
```

```
    Timer1.Enabled = True
```

```
End Sub
```

```
Private Sub Command3_Click()
```

```
    Timer2.Enabled = True
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

End Sub

Private Sub Command4_Click()
    Timer2.Enabled = False
End Sub

Private Sub timer1_timer()
    Dim intp
        Out &H37A, &H1 '0110
        Call latch
    'Select channel 3
        Out &H378, &H67 'channel 3
        Call latch
    'select ADC
        Out &H378, &H57 'channel 3
        Call latch
    'write ADC
        Out &H37A, &H3 '0100
        Call delay1
        Out &H37A, &H1 '0110
    'Read ADC
        Out &H77A, &H22 '0110 1101
        Out &H37A, &H22 '0110 1101
        Call delay
        Out &H378, &HFF
        Call delay
    'input Data
        intp = Inp(&H378)
        intp = (intp / 255) * 5
        intp = FormatNumber(intp, -1, vbTrue, vbFalse, vbTrue)
        Text1.Text = intp
        Select Case Text1.Text

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

' _____ CASE 1 _____

Case Is < 2.72

Out &H37A, &H1 '0110

Call delay

' Choose Mux

Out &H37A, &H3 '0100

Out &H378, &HF0 'out channel 1

Call latch

Out &H37A, &H3

' Out Data

Out &H378, &H50 'voltage

Call delay

Out &H37A, &H7

Sleep (500)

Out &H37A, &H3

Label1.BackColor = &HFF&

Label2.BackColor = &H80000018

' _____ CASE 2 _____

Case Is > 2.8

Out &H37A, &H1 '0110

Call delay

' Choose Mux

Out &H37A, &H3 '0100

Out &H378, &HF1 'out channel 2

Call latch

Out &H37A, &H3

' Out Data

Out &H378, &H50 'voltage

Call delay

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

Out &H37A, &H7
Sleep (500)
Out &H37A, &H3
Label2.BackColor = &HFF&
Label1.BackColor = &H80000018
End Select

```

```
End Sub
```

```
Private Sub timer2_timer()
```

```

c = Val(Text3.Text)
Select Case c
Case 1
addin1 = &H20: addin2 = &H10
Case 2
addin1 = &H28: addin2 = &H18
Case 3
addin1 = &H60: addin2 = &H50
Case 4
addin1 = &H68: addin2 = &H58
Case 5
addin1 = &HA0: addin2 = &H90
Case 6
addin1 = &HA8: addin2 = &H98
Case 7
addin1 = &HE0: addin2 = &HD0
Case 8
addin1 = &HE8: addin2 = &HD8

```

```
End Select
```

```
Out &H37A, &H1 '0110
```

```
Call latch
```

```
' Select channel
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

        Out &H378, addin1      'channel
    Call latch
' select ADC
    Out &H378, addin2      'channel
    Call latch
' write ADC
    Out &H37A, &H3        '0100
    Call delay1
    Out &H37A, &H1        '0110
' Read ADC
    Out &H77A, &H22      '0110 1101
    Out &H37A, &H22      '0110 1101
    Call delay
    Out &H378, &HFF
    Call delay
' input Data
    intp = Inp(&H378)
    intp = (intp / 255) * 5
    intp = FormatNumber(intp, -1, vbTrue, vbFalse, vbTrue)
    Text2.Text = intp
End Sub
Private Sub Timer3_Timer()
    d = Val(Text4.Text)
    Select Case d
        Case 1: addout = &HF0
        Case 2: addout = &HF1
        Case 3: addout = &HF2
        Case 4: addout = &HF3
        Case 5: addout = &HF4
        Case 6: addout = &HF5
    End Select
End Sub

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Case 7: addout = &HF6

Case 8: addout = &HF7

End Select

a = Text5.Text

b = a * 51

Out &H37A, &H5

Call delay

' Choose Mux

Out &H37A, &H7

Out &H378, addout

Call latch

Out &H37A, &H7

' Out Data

Out &H378, b

End Sub



'DIGITAL PART

Private Sub CD1_Click()

Dim a, b, Dout, Din, stp

stp = TD3.Text

For a = 0 To 5 Step stp

b = a * 51

Dout = CInt(b)

'DIGITAL OUT

Out &H37A, &H5

Call delay

Out &H378, &H83 'address control port

Call latch

Out &H378, &H80 'control byte

Out &H37A, &H7

Out &H37A, &H5

Out &H378, &H80 'address choose port a

Call latch

Out &H378, Dout 'data out

Out &H37A, &H7

Out &H37A, &H5

'DIGITAL INPUT

Call delay

Out &H37A, &H5

Out &H378, &H81 'address choose port b

Call latch

Call delay

Out &H37A, &H6

Out &H77A, &H26 'set Byte Mode

Out &H37A, &H26

Out &H378, &HFF

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

Call delay
Din = Inp(&H378)
Din = (Din / 255) * 5
Din = FormatNumber(Din, 2, vbTrue, vbFalse, vbTrue)
TD1.Text = Din
Data1.Recordset.AddNew
TD4.Text = a
TD2.Text = TD1.Text
Data1.Recordset.Update
Call delay1
Next a
End Sub
Sub delay()
Dim doom
For doom = 1 To 100
DoEvents
Next doom
End Sub
Sub delay1()
Dim doom
For doom = 1 To 25000
DoEvents
Next doom
End Sub
Sub latch()
Call delay
Out &H37A, &H5 'astr=0
Call delay
Out &H37A, &HD 'astr=1
Call delay

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

Out &H37A, &H5 'astr=0
Call delay
End Sub

'ONE CLICK
Private Sub Command1_Click()
    Dim a, b, bi, c, d, e, f, g, h, i, j, k, l, m, data, Dhex
    Text1.MaxLength = 3
    a = Val(Text1.Text)
    data = ""
    b = a * 51
    data = b
    If a > 5 Then
        MsgBox "number must be no larger than 5"
        Label2.Caption = ""
    End If
    'decimal to binary
    For i = 7 To 0 Step -1
        c = b \ (2 ^ i)
        If c >= 1 Then
            bi = bi & "1"
        Else: bi = bi & "0"
        End If
        b = b - (c * (2 ^ i))
    Next
    'Binary to Hex
    d = Right(bi, 4)
    e = 0
    For f = 4 To 1 Step -1
        g = Mid(d, 5 - f, 1)
        h = g * (2 ^ (f - 1))

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

e = h + e
Next
j = 0
k = Left(bi, 4)
For f = 4 To 1 Step -1
l = Mid(k, 5 - f, 1)
m = l * (2 ^ (f - 1))
j = m + j
Next
Dhex = Hex(j) & Hex(e) 'data in hex
' OUT DATA
Out &H37A, &H5 '0110
Call delay
Out &H378, &H83 'address control port
Call latch
Out &H378, &H80 'control byte
Out &H37A, &H7 'dstr=0
Out &H37A, &H5 'dstr=1
Out &H378, &H80 'address choose port a
Call latch
Out &H378, data 'data out
Out &H37A, &H7 'dstr=0
Out &H37A, &H5 'dstr=1
Label1.Caption = bi
Label2.Caption = "H" & Dhex
'DIGITAL INPUT
Call delay
Dim aa, aaa, aa1, bb
Out &H37A, &H5
Out &H378, &H81 'address choose port b

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

Call latch
Call delay
Out &H37A, &H6
Out &H77A, &H26
Out &H37A, &H26
Out &H378, &HFF
Call delay
aaa = Inp(&H378)
aa = (aaa / 255) * 5
aa = FormatNumber(aa, 2, vbTrue)
Text2.Text = aa
' decimal to binary
For i1 = 7 To 0 Step -1
c1 = aaa \ (2 ^ i1)
If c1 >= 1 Then
bi1 = bi1 & "1"
Else: bi1 = bi1 & "0"
End If
aaa = aaa - (c1 * (2 ^ i1))
Next
' Binary to Hex
d1 = Right(bi1, 4)
e1 = 0
For f1 = 4 To 1 Step -1
g1 = Mid(d1, 5 - f1, 1)
h1 = g1 * (2 ^ (f1 - 1))
e1 = h1 + e1
Next
j1 = 0
k1 = Left(bi1, 4)

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

For f1 = 4 To 1 Step -1
l1 = Mid(k1, 5 - f1, 1)
m1 = l1 * (2 ^ (f1 - 1))
j1 = m1 + j1
Next
dhex1 = Hex(j1) & Hex(e1) 'data in hex
Label7.Caption = bil
Label8.Caption = "H" & dhex1
End Sub
Private Sub CD2_Click( )
Data1.Database.Execute ("delete * from DIGITAL")
End Sub
Private Sub Database_Click( )
Form5.Show
End Sub

```



ภาคผนวก ข

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DAC0808 8-Bit D/A Converter

General Description

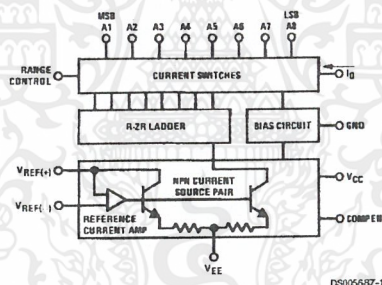
The DAC0808 is an 8-bit monolithic digital-to-analog converter (DAC) featuring a full scale output current settling time of 150 ns while dissipating only 33 mW with $\pm 5V$ supplies. No reference current (I_{REF}) trimming is required for most applications since the full scale output current is typically ± 1 LSB of $255 I_{REF}/256$. Relative accuracies of better than $\pm 0.19\%$ assure 8-bit monotonicity and linearity while zero level output current of less than $4 \mu A$ provides 8-bit zero accuracy for $I_{REF} \geq 2$ mA. The power supply currents of the DAC0808 is independent of bit codes, and exhibits essentially constant device characteristics over the entire supply voltage range.

The DAC0808 will interface directly with popular TTL, DTL or CMOS logic levels, and is a direct replacement for the MC1508/MC1408. For higher speed applications, see DAC0800 data sheet.

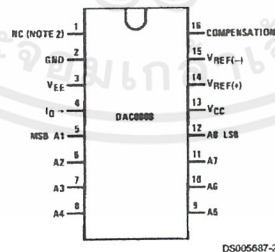
Features

- Relative accuracy: $\pm 0.19\%$ error maximum
- Full scale current match: ± 1 LSB typ
- Fast settling time: 150 ns typ
- Noninverting digital inputs are TTL and CMOS compatible
- High speed multiplying input slew rate: 8 mA/ μs
- Power supply voltage range: $\pm 4.5V$ to $\pm 18V$
- Low power consumption: 33 mW @ $\pm 5V$

Block and Connection Diagrams



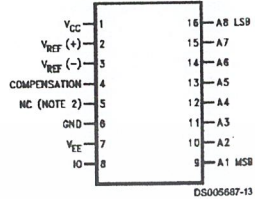
Dual-In-Line Package



Top View
Order Number DAC0808
See NS Package M16A or N16A

Block and Connection Diagrams (Continued)

Small-Outline Package



Ordering Information

ACCURACY	OPERATING TEMPERATURE RANGE	N PACKAGE (N16A) (Note 1)		SO PACKAGE (M16A)
		DAC0808LCN	MC1408P8	DAC0808LCM
8-bit	0°C ≤ T _A ≤ +75°C			

Note 1: Devices may be ordered by using either order number.

Absolute Maximum Ratings (Note 2)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Power Supply Voltage		
V_{CC}	+18 V_{DC}	
V_{EE}	-18 V_{DC}	
Digital Input Voltage, V5-V12	-10 V_{DC} to +18 V_{DC}	
Applied Output Voltage, V_O	-11 V_{DC} to +18 V_{DC}	
Reference Current, I_{14}	5 mA	
Reference Amplifier Inputs, V14, V15	V_{CC}, V_{EE}	
Power Dissipation (Note 4)	1000 mW	
ESD Susceptibility (Note 5)	TBD	

Storage Temperature Range	-65°C to +150°C
Lead Temp. (Soldering, 10 seconds)	
Dual-In-Line Package (Plastic)	260°C
Dual-In-Line Package (Ceramic)	300°C
Surface Mount Package	
Vapor Phase (60 seconds)	215°C
Infrared (15 seconds)	220°C

Operating Ratings

Temperature Range	$T_{MIN} \leq T_A \leq T_{MAX}$
DAC0808	$0 \leq T_A \leq +75^\circ C$

Electrical Characteristics

($V_{CC} = 5V, V_{EE} = -15 V_{DC}, V_{REF}/R14 = 2 mA$, and all digital inputs at high logic level unless otherwise noted.)

Symbol	Parameter	Conditions	Min	Typ	Max	Units
E_r	Relative Accuracy (Error Relative to Full Scale I_O)	(Figure 4)				%
	DAC0808LC (LM1408-8)				± 0.19	%
	Settling Time to Within 1/2 LSB (Includes t_{PLH})	$T_A = 25^\circ C$ (Note 7), (Figure 5)		150		ns
t_{PLH}, t_{PHL}	Propagation Delay Time	$T_A = 25^\circ C$, (Figure 5)		30	100	ns
TCI_O	Output Full Scale Current Drift			± 20		ppm/°C
MSB	Digital Input Logic Levels	(Figure 3)				
V_{IH}	High Level, Logic "1"		2		0.8	V_{DC}
V_{IL}	Low Level, Logic "0"					V_{DC}
MSB	Digital Input Current	(Figure 3)				
	High Level	$V_{IH} = 5V$		0	0.040	mA
	Low Level	$V_{IL} = 0.8V$		-0.003	-0.8	mA
I_{15}	Reference Input Bias Current	(Figure 3)				μA
	Output Current Range	(Figure 3)				
		$V_{EE} = -5V$	0	2.0	2.1	mA
		$V_{EE} = -15V, T_A = 25^\circ C$	0	2.0	4.2	mA
I_O	Output Current	$V_{REF} = 2.000V$, $R14 = 1000\Omega$, (Figure 3)	1.9	1.99	2.1	mA
	Output Current, All Bits Low	(Figure 3)		0	4	μA
	Output Voltage Compliance (Note 3)	$E_r \leq 0.19\%$, $T_A = 25^\circ C$			-0.55, +0.4	V_{DC}
	$V_{EE} = -5V, I_{REF} = 1 mA$				-5.0, +0.4	V_{DC}
	V_{EE} Below -10V					
SRI_{REF}	Reference Current Slew Rate	(Figure 6)	4	8		mA/ μs
	Output Current Power Supply Sensitivity	$-5V \leq V_{EE} \leq -16.5V$		0.05	2.7	$\mu A/V$
I_{CC}	Power Supply Current (All Bits Low)	(Figure 3)		2.3	22	mA
I_{EE}				-4.3	-13	mA
V_{CC}	Power Supply Voltage Range	$T_A = 25^\circ C$, (Figure 3)	4.5	5.0	5.5	V_{DC}
V_{EE}			-4.5	-15	-16.5	V_{DC}
	Power Dissipation					

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Electrical Characteristics (Continued)

($V_{CC} = 5V$, $V_{EE} = -15V$, V_{DC} , $V_{REF}/R14 = 2\text{ mA}$, and all digital inputs at high logic level unless otherwise noted.)

Symbol	Parameter	Conditions	Min	Typ	Max	Units
	All Bits Low	$V_{CC} = 5V$, $V_{EE} = -5V$		33	170	mW
		$V_{CC} = 5V$, $V_{EE} = -15V$		106	305	mW
	All Bits High	$V_{CC} = 15V$, $V_{EE} = -5V$		90		mW
		$V_{CC} = 15V$, $V_{EE} = -15V$		160		mW

Note 2: Absolute Maximum Ratings indicate limits beyond which damage to the device may occur. DC and AC electrical specifications do not apply when operating the device beyond its specified operating conditions.

Note 3: Range control is not required.

Note 4: The maximum power dissipation must be derated at elevated temperatures and is dictated by T_{JMAX} , θ_{JA} , and the ambient temperature, T_A . The maximum allowable power dissipation at any temperature is $P_D = (T_{JMAX} - T_A)\theta_{JA}$ or the number given in the Absolute Maximum Ratings, whichever is lower. For this device, $T_{JMAX} = 125^\circ\text{C}$, and the typical junction-to-ambient thermal resistance of the dual-in-line J package when the board mounted is 100°C/W . For the dual-in-line N package, this number increases to 175°C/W and for the small outline M package this number is 100°C/W .

Note 5: Human body model, 100 pF discharged through a $1.5\text{ k}\Omega$ resistor.

Note 6: All current switches are tested to guarantee at least 50% of rated current.

Note 7: All bits switched.

Note 8: Pin-out numbers for the DAL080X represent the dual-in-line package. The small outline package pinout differs from the dual-in-line package.

Typical Application

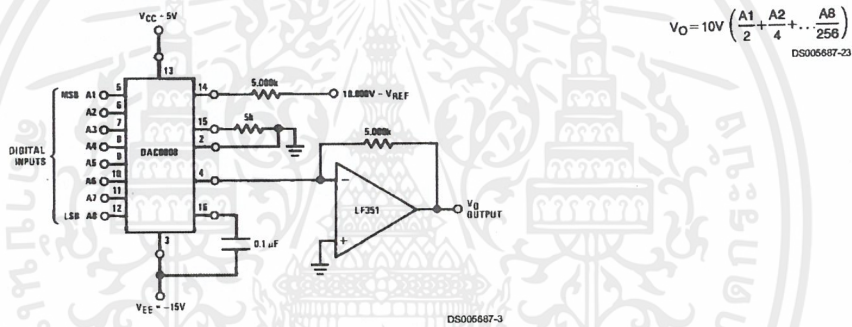
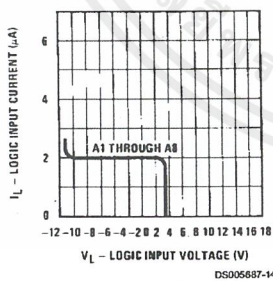


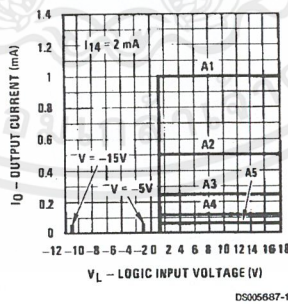
FIGURE 1. +10V Output Digital to Analog Converter (Note 8)

Typical Performance Characteristics $V_{CC} = 5V$, $V_{EE} = -15V$, $T_A = 25^\circ\text{C}$, unless otherwise noted

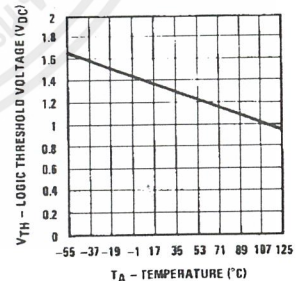
Logic Input Current vs Input Voltage



Bit Transfer Characteristics

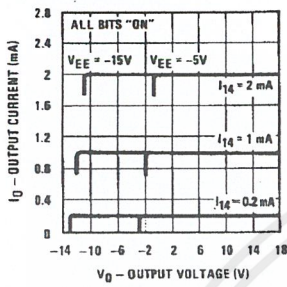


Logic Threshold Voltage vs Temperature



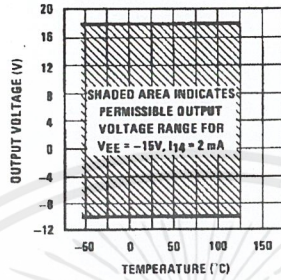
Typical Performance Characteristics $V_{CC} = 5V$, $V_{EE} = -15V$, $T_A = 25^\circ C$, unless otherwise noted (Continued)

Output Current vs Output Voltage (Output Voltage Compliance)



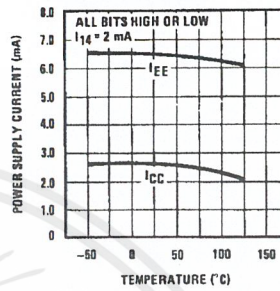
DS005687-17

Output Voltage Compliance vs Temperature



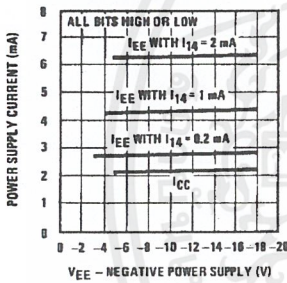
DS005687-18

Typical Power Supply Current vs Temperature



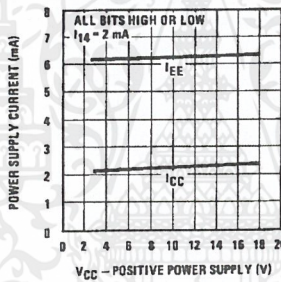
DS005687-19

Typical Power Supply Current vs V_EE



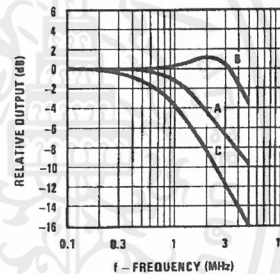
DS005687-20

Typical Power Supply Current vs V_CC



DS005687-21

Reference Input Frequency Response



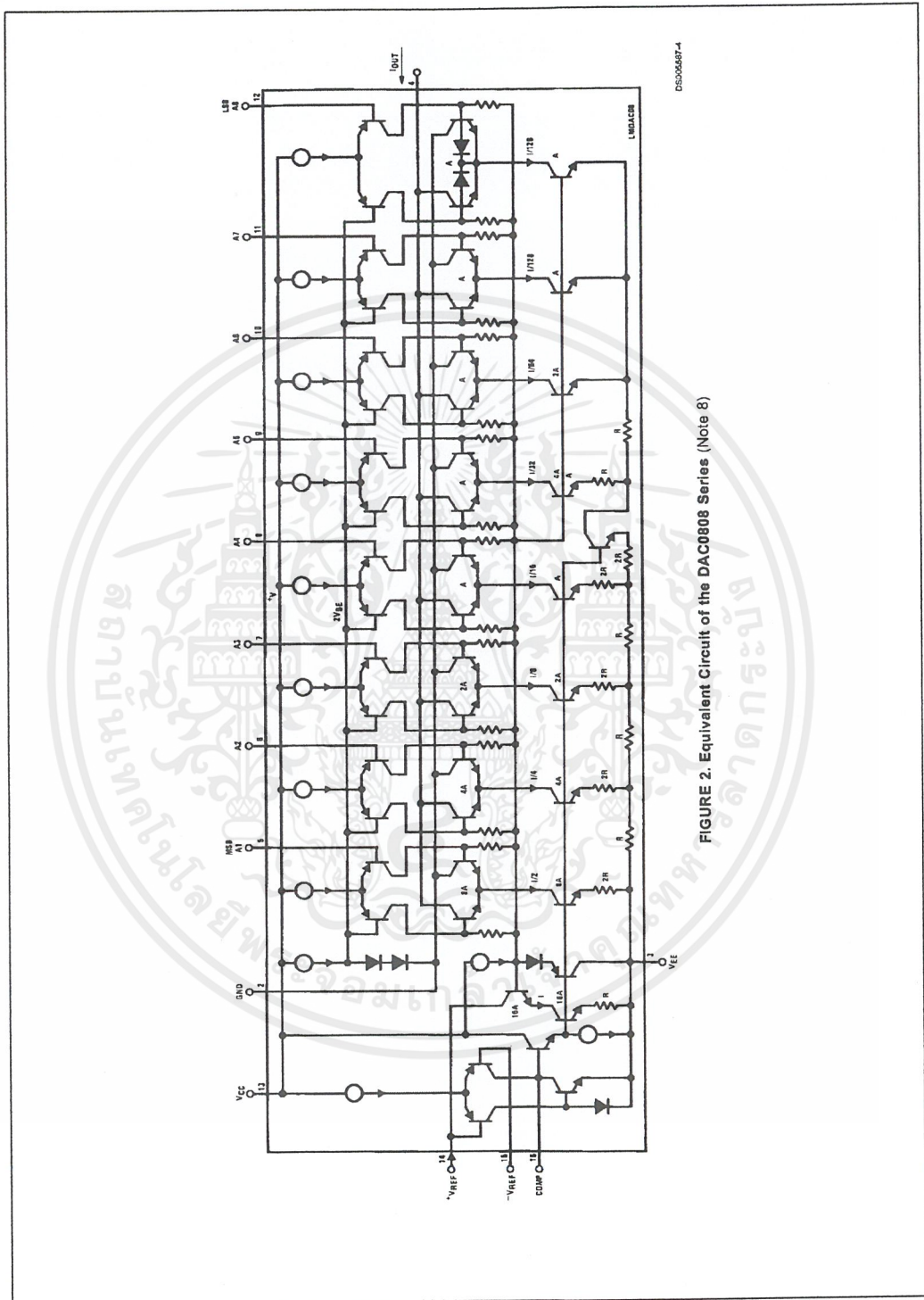
DS005687-22

Unless otherwise specified: $R_{14} = R_{15} = 1\text{ k}\Omega$, $C = 15\text{ pF}$, pin 16 to V_{EE} ; $R_L = 50\Omega$, pin 4 to ground.

Curve A: Large Signal Bandwidth Method of Figure 7, $V_{REF} = 2\text{ Vp-p}$ offset 1V above ground.

Curve B: Small Signal Bandwidth Method of Figure 7, $R_L = 250\Omega$, $V_{REF} = 50\text{ mVp-p}$ offset 200 mV above ground.

Curve C: Large and Small Signal Bandwidth Method of Figure 9 (no op amp, $R_L = 50\Omega$), $R_S = 50\Omega$, $V_{REF} = 2V$, $V_S = 100\text{ mVp-p}$ centered at 0V.

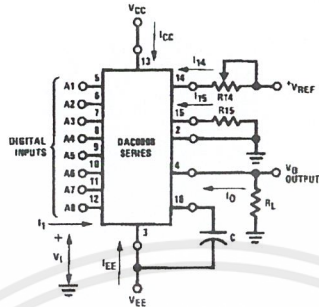


DS024687-4

FIGURE 2. Equivalent Circuit of the DAC0808 Series (Note 8)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Test Circuits



DS006687-6

V_I and I_1 apply to inputs A1–A8.

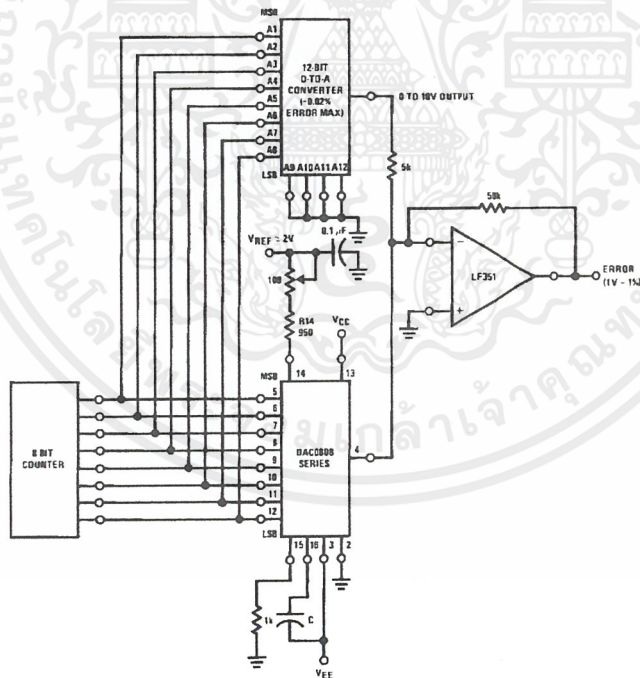
The resistor tied to pin 15 is to temperature compensate the bias current and may not be necessary for all applications.

$$I_O = K \left(\frac{A_1}{2} + \frac{A_2}{4} + \frac{A_3}{8} + \frac{A_4}{16} + \frac{A_5}{32} + \frac{A_6}{64} + \frac{A_7}{128} + \frac{A_8}{256} \right)$$

$$\text{where } K \approx \frac{V_{REF}}{R_{14}}$$

and $A_N = "1"$ if A_N is at high level
 $A_N = "0"$ if A_N is at low level

FIGURE 3. Notation Definitions Test Circuit (Note 8)



DS006687-7

FIGURE 4. Relative Accuracy Test Circuit (Note 8)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Test Circuits (Continued)

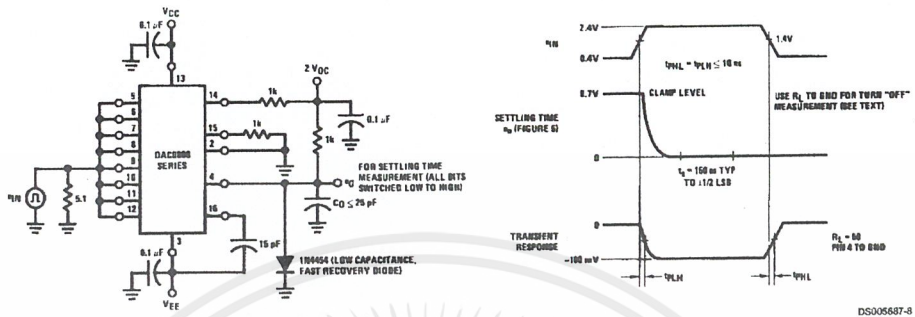


FIGURE 5. Transient Response and Settling Time (Note 8)

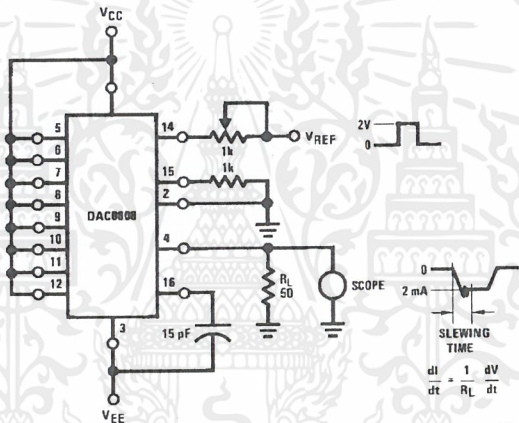


FIGURE 6. Reference Current Slew Rate Measurement (Note 8)

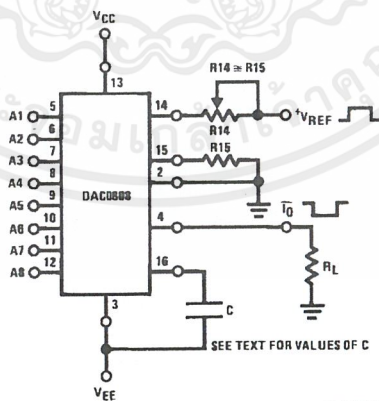


FIGURE 7. Positive V_{REF} (Note 8)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Test Circuits (Continued)

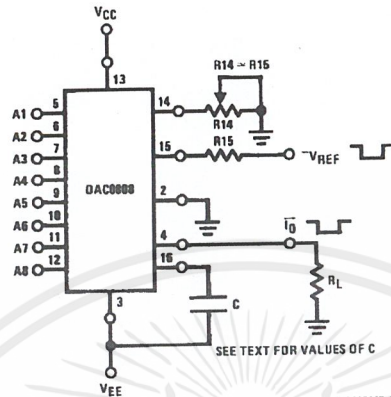


FIGURE 8. Negative V_{REF} (Note 8)

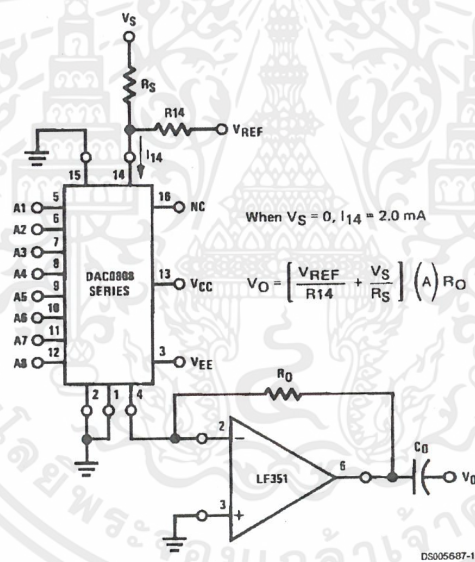


FIGURE 9. Programmable Gain Amplifier or Digital Attenuator Circuit (Note 8)

Application Hints

REFERENCE AMPLIFIER DRIVE AND COMPENSATION

The reference amplifier provides a voltage at pin 14 for converting the reference voltage to a current, and a turn-around circuit or current mirror for feeding the ladder. The reference amplifier input current, I_{14} , must always flow into pin 14, regardless of the set-up method or reference voltage polarity. Connections for a positive voltage are shown in Figure 7. The reference voltage source supplies the full current I_{14} . For bipolar reference signals, as in the multiplying mode,

R_{15} can be tied to a negative voltage corresponding to the minimum input level. It is possible to eliminate R_{15} with only a small sacrifice in accuracy and temperature drift.

The compensation capacitor value must be increased with increases in R_{14} to maintain proper phase margin; for R_{14} values of 1, 2.5 and 5 k Ω , minimum capacitor values are 15, 37 and 75 pF. The capacitor may be tied to either V_{EE} or ground, but using V_{EE} increases negative supply rejection.

A negative reference voltage may be used if R_{14} is grounded and the reference voltage is applied to R_{15} as shown in Figure 8. A high input impedance is the main advantage of this method. Compensation involves a capacitor

Application Hints (Continued)

to V_{EE} on pin 16, using the values of the previous paragraph. The negative reference voltage must be at least 4V above the V_{EE} supply. Bipolar input signals may be handled by connecting R14 to a positive reference voltage equal to the peak positive input level at pin 15.

When a DC reference voltage is used, capacitive bypass to ground is recommended. The 5V logic supply is not recommended as a reference voltage. If a well regulated 5V supply which drives logic is to be used as the reference, R14 should be decoupled by connecting it to 5V through another resistor and bypassing the junction of the 2 resistors with 0.1 μ F to ground. For reference voltages greater than 5V, a clamp diode is recommended between pin 14 and ground.

If pin 14 is driven by a high impedance such as a transistor current source, none of the above compensation methods apply and the amplifier must be heavily compensated, decreasing the overall bandwidth.

OUTPUT VOLTAGE RANGE

The voltage on pin 4 is restricted to a range of -0.55 to 0.4V when $V_{EE} = -5V$ due to the current switching methods employed in the DAC0808.

The negative output voltage compliance of the DAC0808 is extended to -5V where the negative supply voltage is more negative than -10V. Using a full-scale current of 1.992 mA and load resistor of 2.5 k Ω between pin 4 and ground will yield a voltage output of 256 levels between 0 and -4.980V. Floating pin 1 does not affect the converter speed or power dissipation. However, the value of the load resistor determines the switching time due to increased voltage swing. Values of R_L up to 500 Ω do not significantly affect performance, but a 2.5 k Ω load increases worst-case settling time to 1.2 μ s (when all bits are switched ON). Refer to the subsequent text section on Settling Time for more details on output loading.

OUTPUT CURRENT RANGE

The output current maximum rating of 4.2 mA may be used only for negative supply voltages more negative than -8V, due to the increased voltage drop across the resistors in the reference current amplifier.

ACCURACY

Absolute accuracy is the measure of each output current level with respect to its intended value, and is dependent upon relative accuracy and full-scale current drift. Relative accuracy is the measure of each output current level as a fraction of the full-scale current. The relative accuracy of the DAC0808 is essentially constant with temperature due to the excellent temperature tracking of the monolithic resistor ladder.

The reference current may drift with temperature, causing a change in the absolute accuracy of output current. However, the DAC0808 has a very low full-scale current drift with temperature.

The DAC0808 series is guaranteed accurate to within $\pm 1/2$ LSB at a full-scale output current of 1.992 mA. This corresponds to a reference amplifier output current drive to the ladder network of 2 mA, with the loss of 1 LSB (8 μ A) which is the ladder remainder shunted to ground. The input current to pin 14 has a guaranteed value of between 1.9 and 2.1 mA, allowing some mismatch in the NPN current source pair. The accuracy test circuit is shown in Figure 4. The 12-bit converter is calibrated for a full-scale output current of 1.992 mA. This is an optional step since the DAC0808 accuracy is essentially the same between 1.5 and 2.5 mA. Then the DAC0808 circuits' full-scale current is trimmed to the same value with R14 so that a zero value appears at the error amplifier output. The counter is activated and the error band may be displayed on an oscilloscope, detected by comparators, or stored in a peak detector.

Two 8-bit D-to-A converters may not be used to construct a 16-bit accuracy D-to-A converter. 16-bit accuracy implies a total error of $\pm 1/2$ of one part in 65,536 or $\pm 0.00076\%$, which is much more accurate than the $\pm 0.019\%$ specification provided by the DAC0808.

MULTIPLYING ACCURACY

The DAC0808 may be used in the multiplying mode with 8-bit accuracy when the reference current is varied over a range of 256:1. If the reference current in the multiplying mode ranges from 16 μ A to 4 mA, the additional error contributions are less than 1.6 μ A. This is well within 8-bit accuracy when referred to full-scale.

A monotonic converter is one which supplies an increase in current for each increment in the binary word. Typically, the DAC0808 is monotonic for all values of reference current above 0.5 mA. The recommended range for operation with a DC reference current is 0.5 to 4 mA.

SETTLING TIME

The worst-case switching condition occurs when all bits are switched ON, which corresponds to a low-to-high transition for all bits. This time is typically 150 ns for settling to within $\pm 1/2$ LSB, for 8-bit accuracy, and 100 ns to $1/2$ LSB for 7 and 6-bit accuracy. The turn OFF is typically under 100 ns. These times apply when $R_L \leq 500\Omega$ and $C_O \leq 25$ pF.

Extra care must be taken in board layout since this is usually the dominant factor in satisfactory test results when measuring settling time. Short leads, 100 μ F supply bypassing for low frequencies, and minimum scope lead length are all mandatory.


Notes



LIFE SUPPORT POLICY

NATIONAL'S PRODUCTS ARE NOT AUTHORIZED FOR USE AS CRITICAL COMPONENTS IN LIFE SUPPORT DEVICES OR SYSTEMS WITHOUT THE EXPRESS WRITTEN APPROVAL OF THE PRESIDENT AND GENERAL COUNSEL OF NATIONAL SEMICONDUCTOR CORPORATION. As used herein:

1. Life support devices or systems are devices or systems which, (a) are intended for surgical implant into the body, or (b) support or sustain life, and whose failure to perform when properly used in accordance with instructions for use provided in the labeling, can be reasonably expected to result in a significant injury to the user.
2. A critical component is any component of a life support device or system whose failure to perform can be reasonably expected to cause the failure of the life support device or system, or to affect its safety or effectiveness.

 National Semiconductor Corporation
Americas
Tel: 1-800-272-9959
Fax: 1-800-737-7018
Email: support@nsc.com

www.national.com

National Semiconductor Europe
Fax: +49 (0) 1 80-530 85 86
Email: europe.support@nsc.com
Deutsch Tel: +49 (0) 1 80-530 85 85
English Tel: +49 (0) 1 80-532 78 32
Français Tel: +49 (0) 1 80-532 93 58
Italiano Tel: +49 (0) 1 80-534 16 80

National Semiconductor Asia Pacific Customer Response Group
Tel: 65-2544466
Fax: 65-2504466
Email: sea.support@nsc.com

National Semiconductor Japan Ltd.
Tel: 81-3-6639-7560
Fax: 81-3-6639-7507

National does not assume any responsibility for use of any circuitry described, no circuit patent licenses are implied and National reserves the right at any time without notice to change said circuitry and specifications.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

LF198/LF298/LF398, LF198A/LF398A Monolithic Sample-and-Hold Circuits

General Description

The LF198/LF298/LF398 are monolithic sample-and-hold circuits which utilize BI-FET technology to obtain ultra-high dc accuracy with fast acquisition of signal and low droop rate. Operating as a unity gain follower, dc gain accuracy is 0.002% typical and acquisition time is as low as 6 μ s to 0.01%. A bipolar input stage is used to achieve low offset voltage and wide bandwidth. Input offset adjust is accomplished with a single pin, and does not degrade input offset drift. The wide bandwidth allows the LF198 to be included inside the feedback loop of 1 MHz op amps without having stability problems. Input impedance of $10^{10}\Omega$ allows high source impedances to be used without degrading accuracy.

P-channel junction FET's are combined with bipolar devices in the output amplifier to give droop rates as low as 5 mV/min with a 1 μ F hold capacitor. The JFET's have much lower noise than MOS devices used in previous designs and do not exhibit high temperature instabilities. The overall design guarantees no feed-through from input to output in the hold mode, even for input signals equal to the supply voltages.

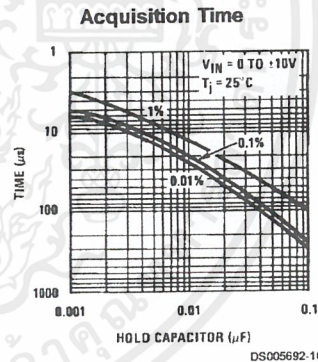
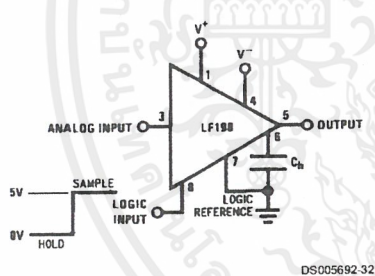
Features

- Operates from ± 5 V to ± 18 V supplies
- Less than 10 μ s acquisition time
- TTL, PMOS, CMOS compatible logic input
- 0.5 mV typical hold step at $C_h = 0.01 \mu$ F
- Low input offset
- 0.002% gain accuracy
- Low output noise in hold mode
- Input characteristics do not change during hold mode
- High supply rejection ratio in sample or hold
- Wide bandwidth
- Space qualified, JM38510

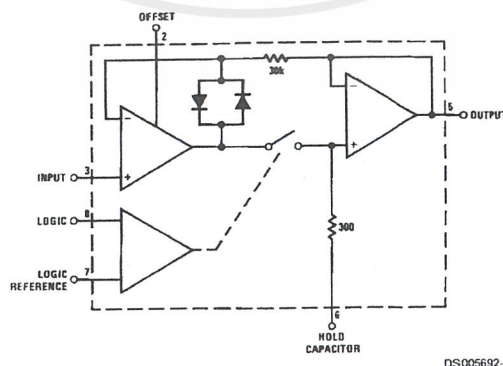
Logic inputs on the LF198 are fully differential with low input current, allowing direct connection to TTL, PMOS, and CMOS. Differential threshold is 1.4V. The LF198 will operate from ± 5 V to ± 18 V supplies.

An "A" version is available with tightened electrical specifications.

Typical Connection and Performance Curve



Functional Diagram



Absolute Maximum Ratings (Note 1)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Supply Voltage	±18V
Power Dissipation (Package Limitation) (Note 2)	500 mW
Operating Ambient Temperature Range	
LF198/LF198A	-55°C to +125°C
LF298	-25°C to +85°C
LF398/LF398A	0°C to +70°C
Storage Temperature Range	-65°C to +150°C
Input Voltage	Equal to Supply Voltage
Logic To Logic Reference Differential Voltage (Note 3)	+7V, -30V
Output Short Circuit Duration	Indefinite

Hold Capacitor Short Circuit Duration	10 sec
Lead Temperature (Note 4)	
H package (Soldering, 10 sec.)	260°C
N package (Soldering, 10 sec.)	260°C
M package:	
Vapor Phase (60 sec.)	215°C
Infrared (15 sec.)	220°C
Thermal Resistance (θ_{JA}) (typicals)	
H package 215°C/W (Board mount in still air)	
85°C/W (Board mount in 400LF/min air flow)	
N package 115°C/W	
M package 106°C/W	
θ_{JC} (H package, typical) 20°C/W	

Electrical Characteristics

The following specifications apply for $-V_S + 3.5V \leq V_{IN} \leq +V_S - 3.5V$, $+V_S = +15V$, $-V_S = -15V$, $T_A = T_J = 25^\circ C$, $C_h = 0.01 \mu F$, $R_L = 10 k\Omega$, LOGIC REFERENCE = 0V, LOGIC HIGH = 2.5V, LOGIC LOW = 0V unless otherwise specified.

Parameter	Conditions	LF198/LF298			LF398			Units
		Min	Typ	Max	Min	Typ	Max	
Input Offset Voltage, (Note 5)	$T_J = 25^\circ C$		1	3		2	7	mV
	Full Temperature Range			5			10	mV
Input Bias Current, (Note 5)	$T_J = 25^\circ C$		5	25		10	50	nA
	Full Temperature Range			75			100	nA
Input Impedance	$T_J = 25^\circ C$		10^{10}			10^{10}		Ω
Gain Error	$T_J = 25^\circ C$, $R_L = 10k$		0.002	0.005		0.004	0.01	%
	Full Temperature Range			0.02			0.02	%
Feedthrough Attenuation Ratio at 1 kHz	$T_J = 25^\circ C$, $C_h = 0.01 \mu F$	86	96		80	90		dB
Output Impedance	$T_J = 25^\circ C$, "HOLD" mode		0.5	2		0.5	4	Ω
	Full Temperature Range			4			6	Ω
"HOLD" Step, (Note 6)	$T_J = 25^\circ C$, $C_h = 0.01 \mu F$, $V_{OUT} = 0$		0.5	2.0		1.0	2.5	mV
Supply Current, (Note 5)	$T_J \geq 25^\circ C$		4.5	5.5		4.5	6.5	mA
Logic and Logic Reference Input Current	$T_J = 25^\circ C$		2	10		2	10	μA
Leakage Current into Hold Capacitor (Note 5)	$T_J = 25^\circ C$, (Note 7) Hold Mode		30	100		30	200	pA
Acquisition Time to 0.1%	$\Delta V_{OUT} = 10V$, $C_h = 1000 pF$ $C_h = 0.01 \mu F$		4			4		μs
			20			20		μs
Hold Capacitor Charging Current	$V_{IN} - V_{OUT} = 2V$		5			5		mA
Supply Voltage Rejection Ratio	$V_{OUT} = 0$	80	110		80	110		dB
Differential Logic Threshold	$T_J = 25^\circ C$	0.8	1.4	2.4	0.8	1.4	2.4	V
Input Offset Voltage, (Note 5)	$T_J = 25^\circ C$ Full Temperature Range		1	1		2	2	mV
				2			3	mV
Input Bias Current, (Note 5)	$T_J = 25^\circ C$ Full Temperature Range		5	25		10	25	nA
				75			50	nA

Electrical Characteristics

The following specifications apply for $-V_S + 3.5V \leq V_{IN} \leq +V_S - 3.5V$, $+V_S = +15V$, $-V_S = -15V$, $T_A = T_j = 25^\circ C$, $C_h = 0.01 \mu F$, $R_L = 10 k\Omega$, LOGIC REFERENCE = $0V$, LOGIC HIGH = $2.5V$, LOGIC LOW = $0V$ unless otherwise specified.

Parameter	Conditions	LF198A			LF398A			Units
		Min	Typ	Max	Min	Typ	Max	
Input Impedance	$T_j = 25^\circ C$		10^{10}			10^{10}		Ω
Gain Error	$T_j = 25^\circ C$, $R_L = 10k$		0.002	0.005		0.004	0.005	%
	Full Temperature Range			0.01			0.01	%
Feedthrough Attenuation Ratio at 1 kHz	$T_j = 25^\circ C$, $C_h = 0.01 \mu F$	86	96		86	90		dB
Output Impedance	$T_j = 25^\circ C$, "HOLD" mode		0.5	1		0.5	1	Ω
	Full Temperature Range			4			6	Ω
"HOLD" Step, (Note 6)	$T_j = 25^\circ C$, $C_h = 0.01 \mu F$, $V_{OUT} = 0$		0.5	1		1.0	1	mV
Supply Current, (Note 5)	$T_j \geq 25^\circ C$		4.5	5.5		4.5	6.5	mA
Logic and Logic Reference Input Current	$T_j = 25^\circ C$		2	10		2	10	μA
Leakage Current into Hold Capacitor (Note 5)	$T_j = 25^\circ C$, (Note 7)		30	100		30	100	pA
	Hold Mode							
Acquisition Time to 0.1%	$\Delta V_{OUT} = 10V$, $C_h = 1000 pF$		4	6		4	6	μs
	$C_h = 0.01 \mu F$		20	25		20	25	μs
Hold Capacitor Charging Current	$V_{IN} - V_{OUT} = 2V$		5			5		mA
Supply Voltage Rejection Ratio	$V_{OUT} = 0$	90	110		90	110		dB
Differential Logic Threshold	$T_j = 25^\circ C$	0.8	1.4	2.4	0.8	1.4	2.4	V

Note 1: "Absolute Maximum Ratings" indicate limits beyond which damage to the device may occur. Operating Ratings indicate conditions for which the device is functional, but do not guarantee specific performance limits.

Note 2: The maximum power dissipation must be derated at elevated temperatures and is dictated by T_{JMAX} , θ_{JA} , and the ambient temperature, T_A . The maximum allowable power dissipation at any temperature is $P_D = (T_{JMAX} - T_A)/\theta_{JA}$, or the number given in the Absolute Maximum Ratings, whichever is lower. The maximum junction temperature, T_{JMAX} , for the LF198/LF198A is $150^\circ C$; for the LF298, $115^\circ C$; and for the LF398/LF398A, $100^\circ C$.

Note 3: Although the differential voltage may not exceed the limits given, the common-mode voltage on the logic pins may be equal to the supply voltages without causing damage to the circuit. For proper logic operation, however, one of the logic pins must always be at least 2V below the positive supply and 3V above the negative supply.

Note 4: See AN-450 "Surface Mounting Methods and their effects on Product Reliability" for other methods of soldering surface mount devices.

Note 5: These parameters guaranteed over a supply voltage range of ± 5 to $\pm 18V$, and an input range of $-V_S + 3.5V \leq V_{IN} \leq +V_S - 3.5V$.

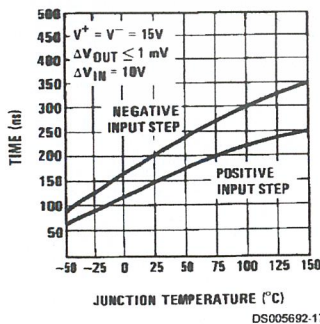
Note 6: Hold step is sensitive to stray capacitive coupling between input logic signals and the hold capacitor. 1 pF, for instance, will create an additional 0.5 mV step with a 5V logic swing and a $0.01 \mu F$ hold capacitor. Magnitude of the hold step is inversely proportional to hold capacitor value.

Note 7: Leakage current is measured at a junction temperature of $25^\circ C$. The effects of junction temperature rise due to power dissipation or elevated ambient can be calculated by doubling the $25^\circ C$ value for each $11^\circ C$ increase in chip temperature. Leakage is guaranteed over full input signal range.

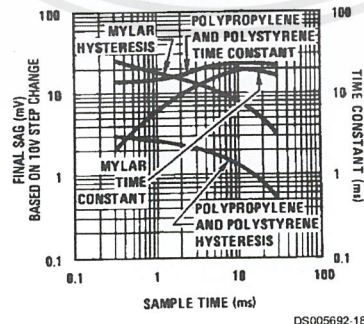
Note 8: A military RETS electrical test specification is available on request. The LF198 may also be procured to Standard Military Drawing #5962-8760801GA or to MIL-STD-38510 part ID JM38510/12501SGA.

Typical Performance Characteristics

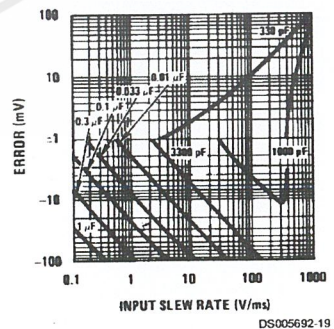
Aperture Time
(Note 9)



Dielectric Absorption Error in Hold Capacitor



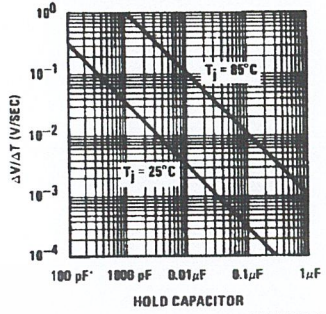
Dynamic Sampling Error



Note 9: See Definition of Terms

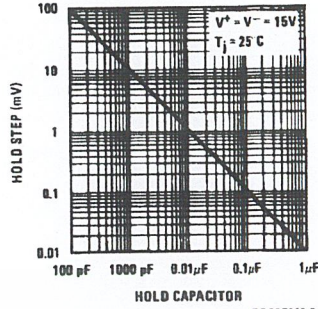
Typical Performance Characteristics (Continued)

Output Droop Rate



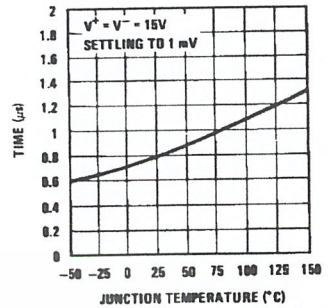
DS005692-20

Hold Step



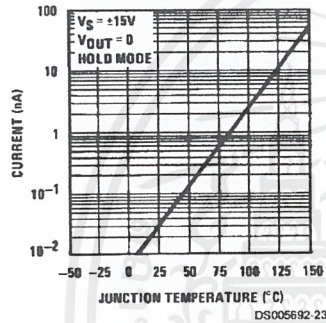
DS005692-21

"Hold" Settling Time (Note 10)



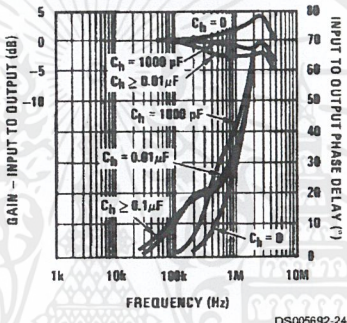
DS005692-22

Leakage Current into Hold Capacitor



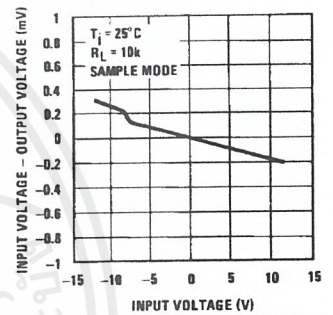
DS005692-23

Phase and Gain (Input to Output, Small Signal)



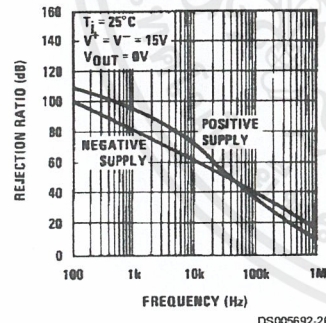
DS005692-24

Gain Error



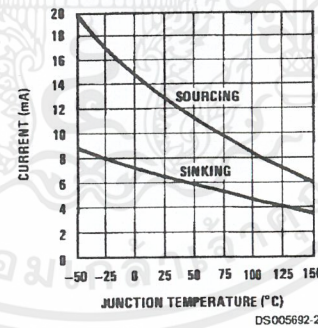
DS005692-25

Power Supply Rejection



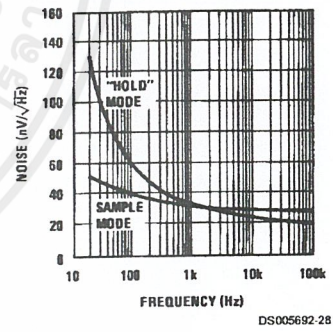
DS005692-26

Output Short Circuit Current



DS005692-27

Output Noise



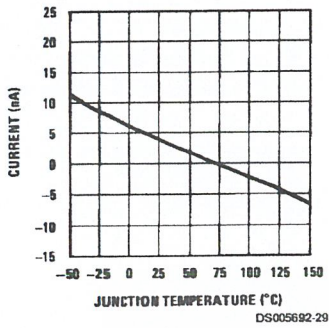
DS005692-28

Note 10: See Definition

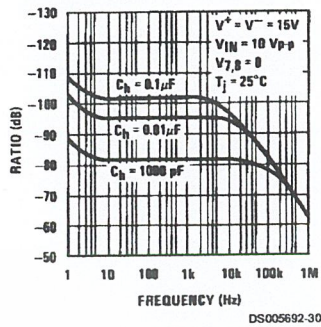
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics (Continued)

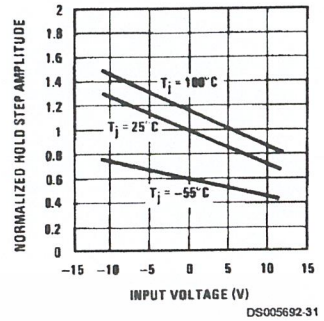
Input Bias Current



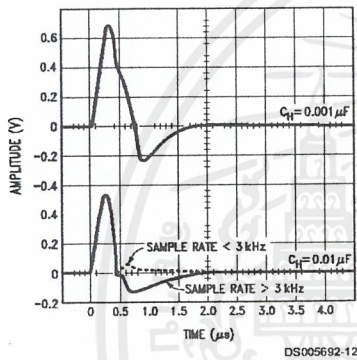
Feedthrough Rejection Ratio (Hold Mode)



Hold Step vs Input Voltage



Output Transient at Start of Sample Mode

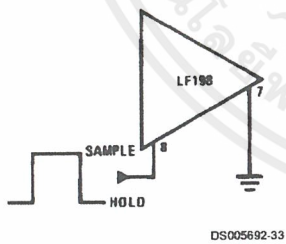


Output Transient at Start of Hold Mode

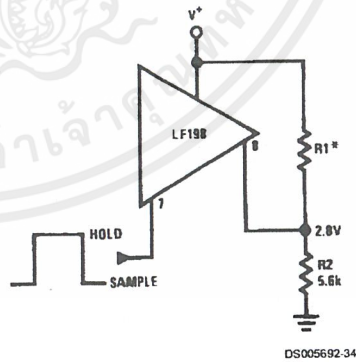


Logic Input Configurations

TTL & CMOS
 $3V \leq V_{\text{LOGIC}} (\text{Hi State}) \leq 7V$



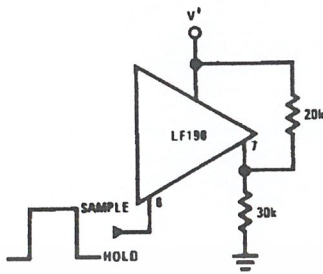
Threshold = 1.4V



Threshold = 1.4V
 *Select for 2.8V at pin 8

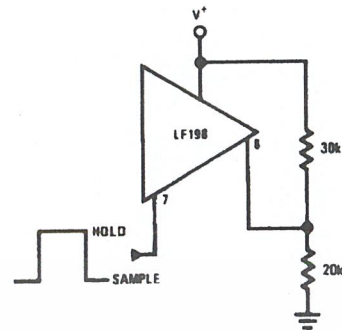
Logic Input Configurations (Continued)

CMOS
 $7V \leq V_{\text{Logic (Hi State)}} \leq 15V$



DS005692-35

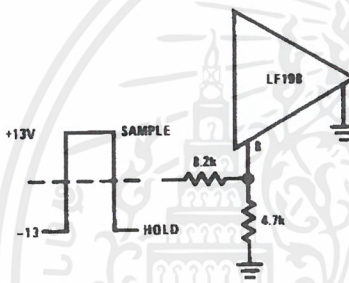
Threshold = $0.6 (V^+) + 1.4V$



DS005692-36

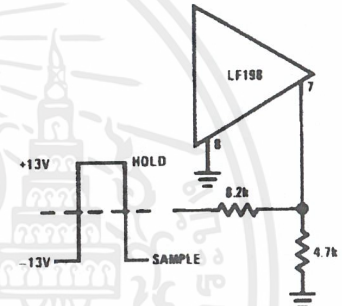
Threshold = $0.6 (V^+) - 1.4V$

Op Amp Drive



DS005692-37

Threshold = +4V



DS005692-38

Threshold = -4V

Application Hints

Hold Capacitor

Hold step, acquisition time, and droop rate are the major trade-offs in the selection of a hold capacitor value. Size and cost may also become important for larger values. Use of the curves included with this data sheet should be helpful in selecting a reasonable value of capacitance. Keep in mind that for fast repetition rates or tracking fast signals, the capacitor drive currents may cause a significant temperature rise in the LF198.

A significant source of error in an accurate sample and hold circuit is dielectric absorption in the hold capacitor. A mylar cap, for instance, may "sag back" up to 0.2% after a quick change in voltage. A long sample time is required before the circuit can be put back into the hold mode with this type of capacitor. Dielectrics with very low hysteresis are polystyrene, polypropylene, and Teflon. Other types such as mica and polycarbonate are not nearly as good. The advantage of polypropylene over polystyrene is that it extends the maximum ambient temperature from 85°C to 100°C. Most ceramic capacitors are unusable with > 1% hysteresis. Ceramic "NPO" or "COG" capacitors are now available for 125°C operation and also have low dielectric absorption. For more exact data, see the curve *Dielectric Absorption Error*. The hysteresis numbers on the curve are final values, taken after full relaxation. The hysteresis error can be significantly

reduced if the output of the LF198 is digitized quickly after the hold mode is initiated. The hysteresis relaxation time constant in polypropylene, for instance, is 10—50 ms. If A-to-D conversion can be made within 1 ms, hysteresis error will be reduced by a factor of ten.

DC and AC Zeroing

DC zeroing is accomplished by connecting the offset adjust pin to the wiper of a 1 kΩ potentiometer which has one end tied to V^+ and the other end tied through a resistor to ground. The resistor should be selected to give ≈0.6 mA through the 1k potentiometer.

AC zeroing (hold step zeroing) can be obtained by adding an inverter with the adjustment pot tied input to output. A 10 pF capacitor from the wiper to the hold capacitor will give ±4 mV hold step adjustment with a 0.01 μF hold capacitor and 5V logic supply. For larger logic swings, a smaller capacitor (< 10 pF) may be used.

Logic Rise Time

For proper operation, logic signals into the LF198 must have a minimum dV/dt of 1.0 V/μs. Slower signals will cause excessive hold step. If a R/C network is used in front of the

Application Hints (Continued)

logic input for signal delay, calculate the slope of the waveform at the threshold point to ensure that it is at least 1.0 V/ μ s.

Sampling Dynamic Signals

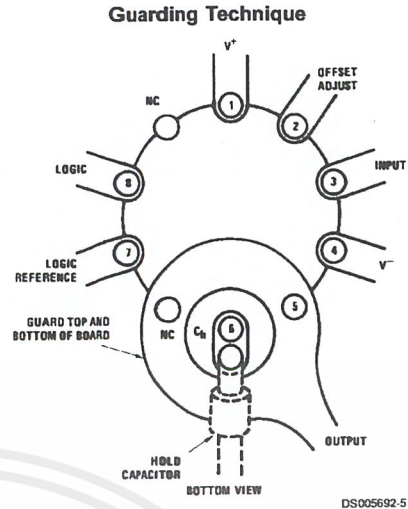
Sample error to moving input signals probably causes more confusion among sample-and-hold users than any other parameter. The primary reason for this is that many users make the assumption that the sample and hold amplifier is truly locked on to the input signal while in the sample mode. In actuality, there are finite phase delays through the circuit creating an input-output differential for fast moving signals. In addition, although the output may have settled, the hold capacitor has an additional lag due to the 300 Ω series resistor on the chip. This means that at the moment the "hold" command arrives, the hold capacitor voltage may be somewhat different than the actual analog input. The effect of these delays is opposite to the effect created by delays in the logic which switches the circuit from sample to hold. For example, consider an analog input of 20 Vp-p at 10 kHz. Maximum dV/dt is 0.6 V/ μ s. With no analog phase delay and 100 ns logic delay, one could expect up to (0.1 μ s) (0.6V/ μ s) = 60 mV error if the "hold" signal arrived near maximum dV/dt of the input. A positive-going input would give a +60 mV error. Now assume a 1 MHz (3 dB) bandwidth for the overall analog loop. This generates a phase delay of 160 ns. If the hold capacitor sees this exact delay, then error due to analog delay will be (0.16 μ s) (0.6 V/ μ s) = -96 mV. Total output error is +60 mV (digital) -96 mV (analog) for a total of -36 mV. To add to the confusion, analog delay is proportioned to hold capacitor value while digital delay remains constant. A family of curves (dynamic sampling error) is included to help estimate errors.

A curve labeled *Aperture Time* has been included for sampling conditions where the input is steady during the sampling period, but may experience a sudden change nearly coincident with the "hold" command. This curve is based on a 1 mV error fed into the output.

A second curve, *Hold Settling Time* indicates the time required for the output to settle to 1 mV after the "hold" command.

Digital Feedthrough

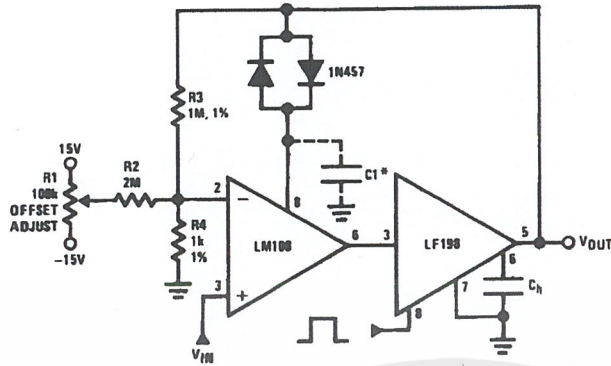
Fast rise time logic signals can cause hold errors by feeding externally into the analog input at the same time the amplifier is put into the hold mode. To minimize this problem, board layout should keep logic lines as far as possible from the analog input and the C_H pin. Grounded guarding traces may also be used around the input line, especially if it is driven from a high impedance source. Reducing high amplitude logic signals to 2.5V will also help.



Use 10-pin layout. Guard around C_H is tied to output.

Typical Applications

X1000 Sample & Hold

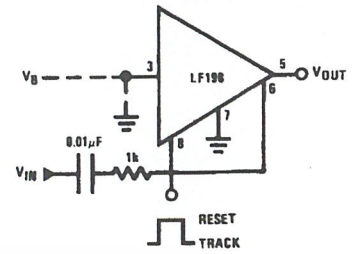


DS005692-39

*For lower gains, the LM108 must be frequency compensated

Use $\approx \frac{100}{A_v}$ pF from comp 2 to ground

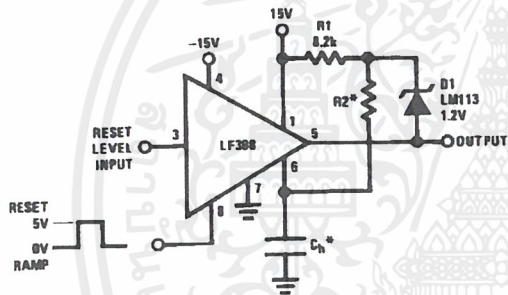
Sample and Difference Circuit
(Output Follows Input in Hold Mode)



DS005692-40

$$V_{OUT} = V_B + \Delta V_{IN}(\text{HOLD MODE})$$

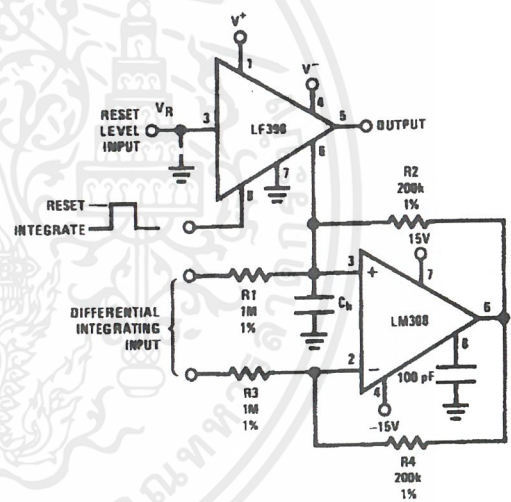
Ramp Generator with Variable Reset Level



DS005692-42

*Select for ramp rate $\frac{\Delta V}{\Delta T} = \frac{1.2V}{(R2)(C_h)}$
R2 $\geq 10k$

Integrator with Programmable Reset Level

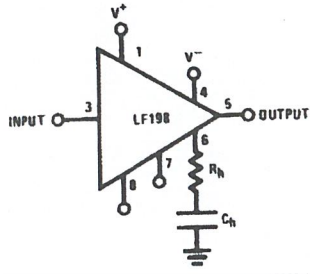


DS005692-43

$$V_{OUT}(\text{Hold Mode}) = \left[\frac{1}{(R1)(C_h)} \int_0^t V_{IN} dt \right] + [V_R]$$

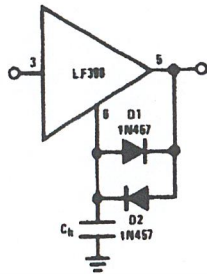
Typical Applications (Continued)

Output Holds at Average of Sampled Input



DS005692-46

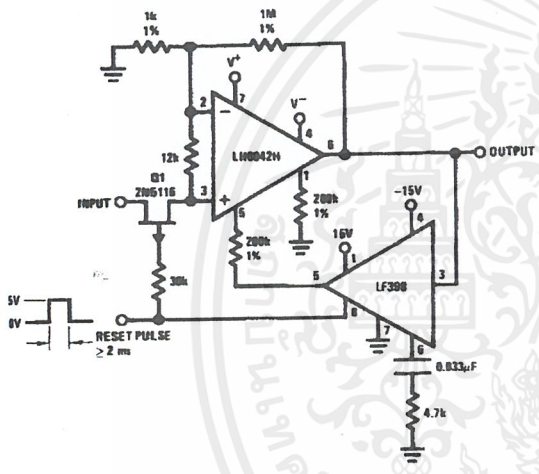
Increased Slew Current



DS005692-47

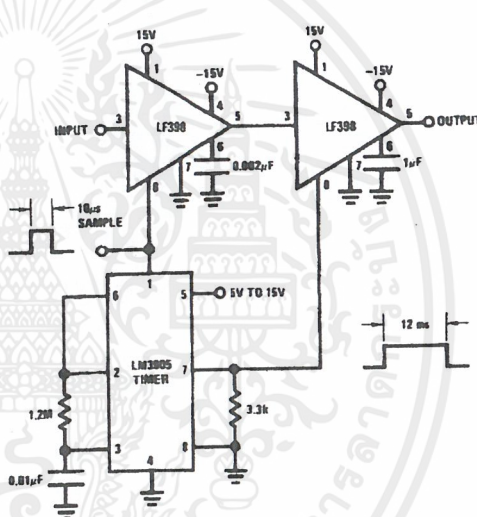
Select $(R_h) (C_h) > \frac{1}{2\pi f_{IN} (Min)}$

Reset Stabilized Amplifier (Gain of 1000)



DS005692-49

Fast Acquisition, Low Droop Sample & Hold



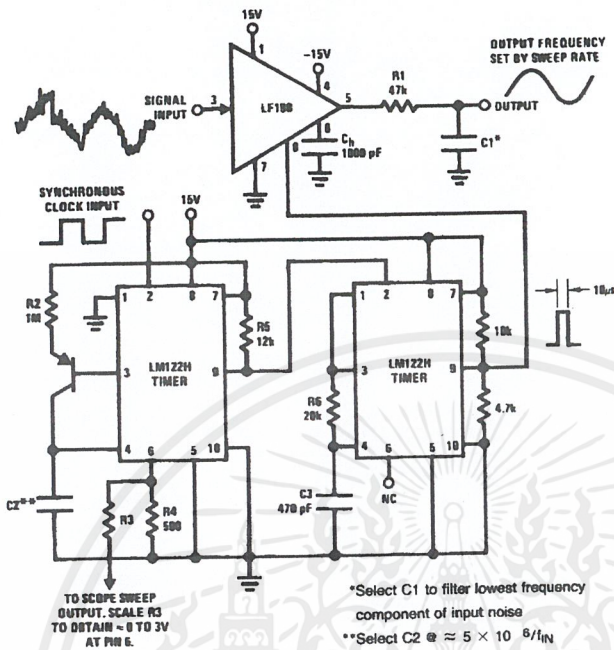
DS005692-50

- $V_{OS} \leq 20\mu V$ (No trim)
- $Z_{IN} \approx 1 M\Omega$
- $\frac{\Delta V_{OS}}{\Delta t} \approx 30\mu V/sec$
- $\frac{\Delta V_{OS}}{\Delta T} \approx 0.1\mu V/^{\circ}C$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Applications (Continued)

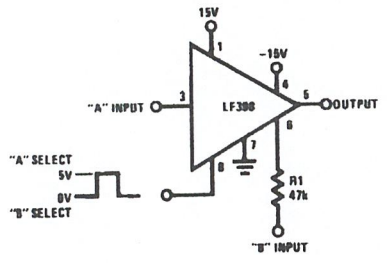
Synchronous Correlator for Recovering Signals Below Noise Level



*Select C1 to filter lowest frequency component of input noise
 **Select C2 @ $\approx 5 \times 10^6 / f_{IN}$

DS005692-52

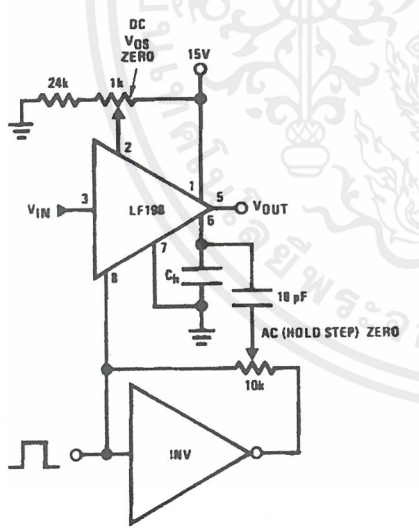
2-Channel Switch



DS005692-53

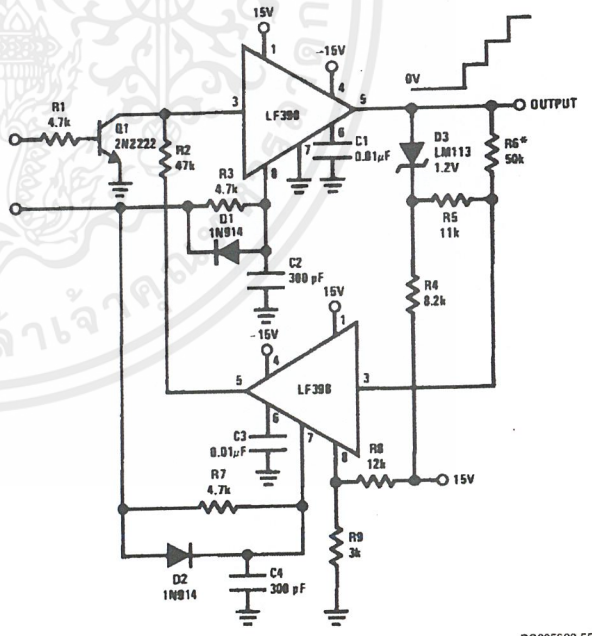
	A	B
Gain	$1 \pm 0.02\%$	$1 \pm 0.2\%$
Z _{IN}	$10^{10}\Omega$	47 k Ω
BW	≈ 1 MHz	≈ 400 kHz
Crosstalk @ 1 kHz	-90 dB	-90 dB
Offset	≤ 6 mV	≤ 75 mV

DC & AC Zeroing



DS005692-59

Staircase Generator



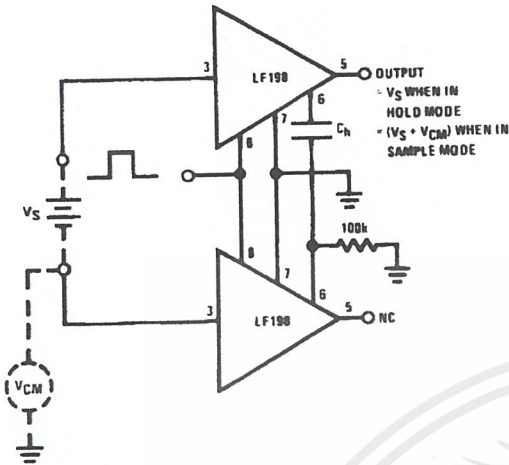
*Select for step height 50k $\rightarrow \approx 1$ V Step

DS005692-55

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

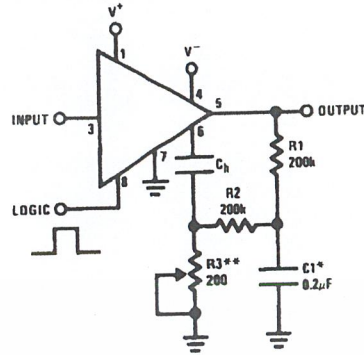
Typical Applications (Continued)

Differential Hold



DS005692-57

Capacitor Hysteresis Compensation



DS005692-56

*Select for time constant $C1 = \frac{\tau}{100k}$

**Adjust for amplitude

Definition of Terms

Hold Step: The voltage step at the output of the sample and hold when switching from sample mode to hold mode with a steady (dc) analog input voltage. Logic swing is 5V.

Acquisition Time: The time required to acquire a new analog input voltage with an output step of 10V. Note that acquisition time is not just the time required for the output to settle, but also includes the time required for all internal nodes to settle so that the output assumes the proper value when switched to the hold mode.

Gain Error: The ratio of output voltage swing to input voltage swing in the sample mode expressed as a per cent difference.

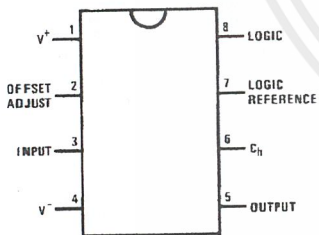
Hold Settling Time: The time required for the output to settle within 1 mV of final value after the "hold" logic command.

Dynamic Sampling Error: The error introduced into the held output due to a changing analog input at the time the hold command is given. Error is expressed in mV with a given hold capacitor value and input slew rate. Note that this error term occurs even for long sample times.

Aperture Time: The delay required between "Hold" command and an input analog transition, so that the transition does not affect the held output.

Connection Diagrams

Dual-In-Line Package

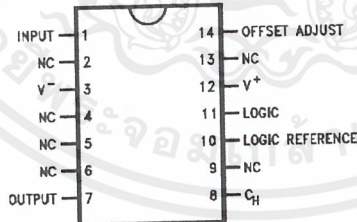


TOP VIEW

DS005692-11

Order Number LF398N
or LF398AN
See NS Package Number N08E

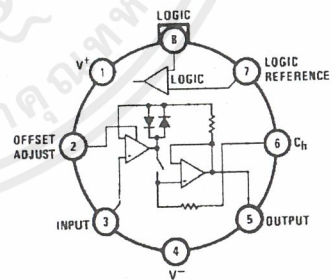
Small-Outline Package



DS005692-15

Order Number LF298M or LF398M
See NS Package Number M14A

Metal Can Package

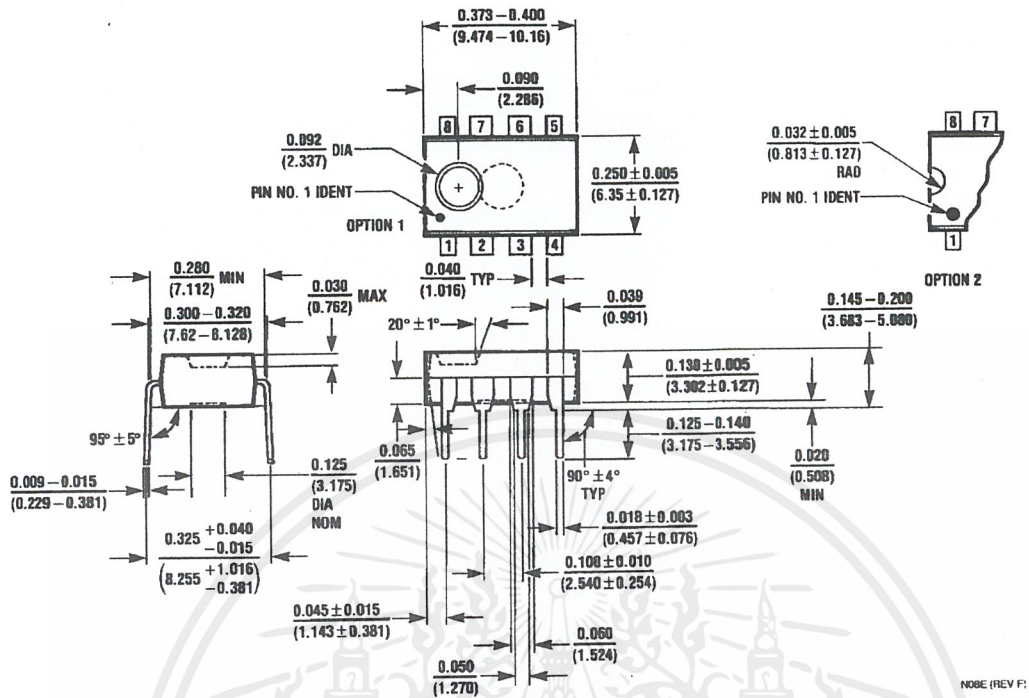


TOP VIEW

DS005692-14

Order Number LF198H,
LF198H/883, LF298H,
LF398H, LF198AH or LF398AH
See NS Package Number H08C
(Note 8)

Physical Dimensions inches (millimeters) unless otherwise noted (Continued)



Molded Dual-In-Line Package (N)
Order Number LF398N or LF398AN
NS Package Number N08E

NO8E (REV F)

LIFE SUPPORT POLICY

NATIONAL'S PRODUCTS ARE NOT AUTHORIZED FOR USE AS CRITICAL COMPONENTS IN LIFE SUPPORT DEVICES OR SYSTEMS WITHOUT THE EXPRESS WRITTEN APPROVAL OF THE PRESIDENT AND GENERAL COUNSEL OF NATIONAL SEMICONDUCTOR CORPORATION. As used herein:

1. Life support devices or systems are devices or systems which, (a) are intended for surgical implant into the body, or (b) support or sustain life, and whose failure to perform when properly used in accordance with instructions for use provided in the labeling, can be reasonably expected to result in a significant injury to the user.
2. A critical component is any component of a life support device or system whose failure to perform can be reasonably expected to cause the failure of the life support device or system, or to affect its safety or effectiveness.

National Semiconductor Corporation Americas
 Tel: 1-800-272-9959
 Fax: 1-800-737-7018
 Email: support@nsc.com
 www.national.com

National Semiconductor Europe
 Fax: +49 (0) 180-530 85 86
 Email: europe.support@nsc.com
 Deutsch Tel: +49 (0) 69 9508 6208
 English Tel: +44 (0) 870 24 0 2171
 Français Tel: +33 (0) 1 41 91 8790

National Semiconductor Asia Pacific Customer Response Group
 Tel: 65-2544466
 Fax: 65-2504466
 Email: ap.support@nsc.com

National Semiconductor Japan Ltd.
 Tel: 81-3-5639-7560
 Fax: 81-3-5639-7507

National does not assume any responsibility for use of any circuitry described, no circuit patent licenses are implied and National reserves the right at any time without notice to change said circuitry and specifications.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

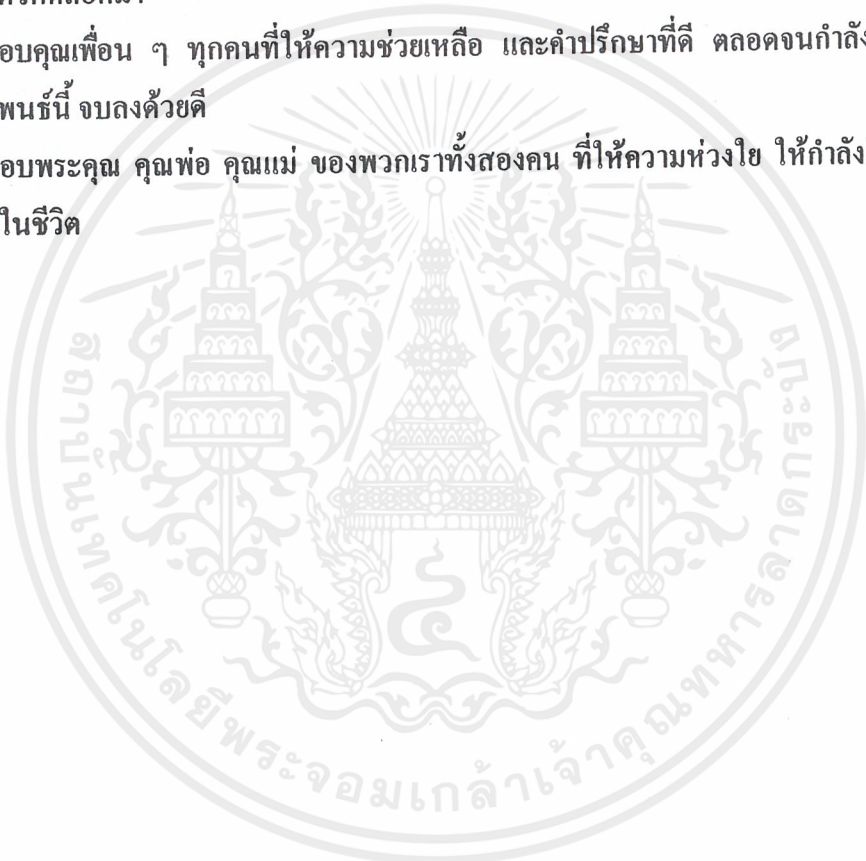
ปริญญาบัตรฉบับนี้สำเร็จได้ด้วยดีจากความช่วยเหลือของหลายๆฝ่ายดังนี้

อาจารย์วรพงศ์ ตั้งศรีรัตน์ ที่ได้ให้ความกรุณาในการให้คำแนะนำปรึกษา และข้อมูลรวมถึงหนังสือต่างๆในการปริญญาบัตรนี้

ขอบคุณภาควิชาระบบควบคุม อาจารย์ ตลอดจนเจ้าหน้าที่ทุกคนที่ให้คำปรึกษา และความอำนวยความสะดวกตลอดมา

ขอบคุณเพื่อน ๆ ทุกคนที่ให้ความช่วยเหลือ และคำปรึกษาที่ดี ตลอดจนกำลังใจที่ทำให้ปริญญาบัตรนี้ จบลงด้วยดี

ขอบพระคุณ คุณพ่อ คุณแม่ ของพวกเราทั้งสองคน ที่ให้ความห่วงใย ให้กำลังใจ และสิ่งดีๆ ทุกสิ่งในชีวิต



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอกสารอ้างอิง

1. สัจจะ จรัสรุ่งเรือง ,”คู่มือการสร้างแอปพลิเคชันด้วย Visual Basic6”,info PRESS ,422 หน้า ปี 2543
2. กฤษดา ใจเย็น,”พอร์ตขนานของคอมพิวเตอร์มีดีกว่าที่คิด”,วารสารเซมิคอนดักเตอร์อิเล็กทรอนิกส์,ฉบับที่ 162,2539,หน้า 66-71
3. กฤษดา ใจเย็น,”บอร์ดอินเตอร์เฟซทางพอร์ตขนานสารพัดฟังก์ชัน”,วารสารเซมิคอนดักเตอร์อิเล็กทรอนิกส์,ฉบับที่ 170,2540,หน้า 46-55
4. เปรมจิตร วิสุทธิศิริ,”พื้นฐานวงจร เอบูดี,ดีทูเอ”,วารสารเซมิคอนดักเตอร์อิเล็กทรอนิกส์,ฉบับที่ 103,2533,หน้า 302-308
5. ชนชนากู ชีวะพฤษ,”Data Acquisition And Control System”,คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง ,81 หน้า,2541
6. กฤษดา ใจเย็น และ ชัยวัฒน์ ลิ้มพรจิตรวิไล,”เรียนรู้และปฏิบัติการเชื่อมต่อคอมพิวเตอร์กับอุปกรณ์ภายนอกผ่านทางพอร์ตขนาน”,2543
7. Willis J. Tompkins,”Interfacing Sensors To The IBM PC”,Pentice-Hall International 447P,1988