สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

ระบบควบคุมการตัดต่อสัญญาณภาพซ้อนภาพ

PICTURE IN PICTURE

โดย

นายชาญวุฒิ สิทธิพงศ์พิทยา

นายฐิตินันท์ ภูมิระวิ

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาอิเล็กทรอนิกส์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2542

เลขหมู่.....
เลขทะเบียน 36900
วัน, เดือน, ปี 29 ส.ค. 2543

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ระบบควบคุมการตัดต่อสัญญาณภาพซ้อนภาพ
PICTURE IN PICTURE

โดย

นายชาญวุฒิ สิทธิพงศ์พิทยาเลขประจำตัว 39014128
นายฐิตินันท์ ภูมิระวิ เลขประจำตัว 39014147

อาจารย์ที่ปรึกษา
อาจารย์พลผดุง ผดุงกุล

ปริญญานิพนธ์สำหรับปริญญาวิศวกรรมศาสตรบัณฑิต
สาขาวิชาอิเล็กทรอนิกส์
คณะวิศวกรรมศาสตร์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
ปีการศึกษา 2542

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รายงาน ปี การศึกษา 2542

ภาควิชา อิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง ระบบควบคุมการตัดต่อสัญญาณภาพซ้อนภาพ

ผู้จัดทำ

1. นายชาญวุฒิ สิทธิพงศ์พิทยา เลขประจำตัว 39014128
2. นายฐิตินันท์ ภูมิระวิ เลขประจำตัว 39014147

..... อาจารย์ที่ปรึกษา

(ผศ. พลผดุง ผดุงกุล)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ระบบควบคุมการตัดต่อสัญญาณภาพซ้อนภาพ

PICTURE IN PICTURE

นายชาญวุฒิ สิทธิพงศ์พิทยาเลขประจำตัว 39014128

นายฐิตินันท์ ภูมิระวิ เลขประจำตัว 39014147

โครงงานได้รับการตรวจสอบแล้ว พร้อมที่จะทำการสอบได้

(ผศ. พลผดุง ผดุงกุล)

อาจารย์ที่ปรึกษา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ระบบควบคุมการตัดต่อสัญญาณภาพซ้อนภาพ

นายชาญวุฒิ สิทธิพงศ์พิทยา
นายฐิตินันท์ ภูมิระวิ
อ.พลผดุง ผดุงกุล (อาจารย์ที่ปรึกษา)
ภาคการศึกษาที่ 2 ปีการศึกษา 2542

บทคัดย่อ

ในปริญญานิพนธ์ฉบับนี้ เป็นการออกแบบระบบควบคุมการตัดต่อสัญญาณภาพซ้อนภาพ โดยจะมีภาพหนึ่งเป็นหลัก และ จะมีอีกสัญญาณภาพเป็นภาพรอง ซึ่งจะถูกนำมาตัดซ้อนทับอยู่บนสัญญาณภาพหลัก ตำแหน่งของการซ้อนของภาพรองบนภาพหลัก ก็จะสามารถย้ายตำแหน่งไปได้ โดยใช้สวิทช์มือ เป็นตัวควบคุม สัญญาณภาพรองจะผ่านการย่อขนาดลงมาเหลือหนึ่งในสี่ของภาพเดิม หลักการทำงานอย่างง่าย ๆ จะเริ่มจากออกแบบภาครับสัญญาณวีดีโอ และผ่านเข้าสู่วงจรกรองความถี่ต่ำ หลังจากนั้นจะถูกแปลงเป็นสัญญาณดิจิตอล โดย ADC เบอร์ CA3318 สัญญาณนี้จะถูกเก็บใน หน่วยความจำ เบอร์ 74LS688 และถูกส่งผ่านไปยังภาคแสดงผล ตามตำแหน่งบนจอทีวีที่กำหนดไว้ บทสรุป การทำโครงงานนี้ ได้ภาพหลักและภาพรองแสดงออกมายังจอทีวี ในตำแหน่งที่กำหนดไว้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PICTURE IN PICTURE

Mr.Chanwut Sittipongpittaya
Mr.Titinan Poomrawi
Mr.Ponpadung Padungkun (Advisor)
Year 1999

ABSTRACT

This thesis is designed to display two different picture signals, a background and a frontground picture on a TV 's monitor at the same time.The frontground picture is designed to display on a quarter of the TV 's monitor ,and also able to move to different quarter using a control switch . The basic design will send the video signals through a low pass filter and converted to digital signals using ADC no. CA3318 which will be instored on the RAM no.74LS688 .Then will converted back to analog signal again before displayed to the assigned quarter of TV's monitor. In conclusion, we successfully be able to display both video signal on a TV's monitor as design.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

บทคัดย่อ ก

Abstract ข

สารบัญ ค

สารบัญรูป ง

บทที่ 1 บทนำ 1

บทที่ 2 ทฤษฎีทั่วไป 2

2.1 โครงสร้างภายในของ 8051 2

2.2 คุณลักษณะพื้นฐานของ 8051 3

2.3 ส่วนประกอบของ MCS-51 4

2.3.1ตัวประมวลผล (CPU - Central Processing Unit)

2.3.2 หน่วยความจำ (Memory)

2.3.3 พอร์ทอินพุท / เอาท์พุทของ 8051

2.4 ระบบอินเตอร์รัปต์ของ 8051 5

2.5 สัญญาณภาพ 5

2.5.1วิธีการสแกนและการหักเหของลำอิเล็กตรอน

2.5.2เครื่องส่งและเครื่องรับโทรทัศน์

2.5.3 สถานีโทรทัศน์จำเป็นต้องส่งสัญญาณอะไรบ้าง

2.6 วงจรนับ (Counter) 12

2.7 วงจรเปรียบเทียบสัญญาณ (Comparater) 13

2.8 หน่วยความจำสำหรับเก็บสัญญาณภาพ (RAM) 14

2.9 ตัวควบคุมการไหลของข้อมูล (Latch) 17

2.10 วงจรสุ่มตัวอย่างและคงค่าสัญญาณ (S/H : Sampling and hold circuit) 17

2.11 วงจรแปลงสัญญาณเชิงอุปมานเป็นสัญญาณเชิงเลข 19

(ADC : Analog to Digital Converter)

2.11.1 วงจรแปลงสัญญาณเชิงอุปมานเป็นสัญญาณเชิงตัวเลขแบบขนาน

2.11.2 วงจรแปลงสัญญาณเชิงอุปมานเป็นสัญญาณเชิงตัวเลขแบบการประมาณค่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

(Successive approximation)
2.11.3 วงจรแปลงสัญญาณเชิงอุปมานเป็นสัญญาณเชิงตัวเลขแบบสโลปคู่
(Dual slope converter)
2.12 หน่วยความจำเข้าถึงแบบสุ่ม (RAM : Random Access Memory) 25
2.12.1 หน่วยความจำแบบสถิตย์ (Static MOS RAM)
2.12.2 หน่วยความจำแบบพลวัต (Dynamic MOS RAM)
2.13 วงจรแปลงสัญญาณเชิงตัวเลขเป็นสัญญาณเชิงอุปมาน 27
(DAC : Digital to Analog Converter)
2.13.1 วงจรกรองอันดับหนึ่ง
2.13.2 วงจรกรองอันดับสอง
2.14 วงจรกรองผ่านความถี่ต่ำ (LPF : Low Pass Filter) 30

บทที่ 3 การออกแบบโครงงาน 32
3.1 การตัดต่อสัญญาณภาพหลักและสัญญาณภาพรอง 32
3.1.1 ขั้นตอนการทำงานของระบบ
3.1.2 การนับสัญญาณซิงค์
3.1.3 การหน่วงเวลา
3.1.4 การตัดต่อสัญญาณภาพ
3.2 การเก็บ และ อ่านข้อมูลสัญญาณภาพรองกับหน่วยความจำ 39
3.2.1 การเก็บข้อมูลสัญญาณภาพรองลงในหน่วยความจำ
3.2.2 การอ่านข้อมูลสัญญาณภาพรองออกจากหน่วยความจำ
3.2.3 การสวิทช์ สลับระหว่างการควบคุมการเขียนและการอ่าน ข้อมูลฯ
กับหน่วยความจำ
บทที่ 4 การทดลองและผลการทดลอง 49
4.1 การออกแบบในส่วนของการตัดสัญญาณภาพหลัก 49
4.2 การแก้ไขความผิดพลาดของการตัดภาพหลักจากการทำงานของ Software 50
4.2.1 การแก้ไขครั้งที่ 1
4.2.2 การแก้ไขครั้งที่ 2
4.3 ผลการทดลองในส่วนของการตัดต่อสัญญาณภาพรอง 51
4.3.1 ผลการทดลองในส่วนการเขียนสัญญาณภาพรองเข้าสู่หน่วยความจำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.3.2 ผลการทดลองในส่วนการอ่านสัญญาณภาพรองออกจากหน่วยความจำ
4.3.3 ผลการทดลองในส่วนของการแทรกสัญญาณภาพรองลงไปบน
สัญญาณภาพหลัก

บทที่ 5 สรุปและวิจารณ์ 57

กิตติกรรมประกาศ
หนังสืออ้างอิง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป

	หน้า
รูปที่ 2.1 แสดงโครงสร้างภายในของไมโครคอนโทรลเลอร์ MCS-51	2
รูปที่ 2.2 แสดงแผนภาพบล็อกแสดงหน่วยการทำงานพื้นฐานของ MCS-51	3
รูปที่ 2.3 การเคลื่อนที่หักเหของลำอิเล็คตรอนในจังหวะที่ถูกต้อง ทั้งในแนวนอนและแนวตั้งของขอหลอดภาพ	6
รูปที่ 2.4 การหักเหของลำอิเล็คตรอนโดยอาศัยสนามแม่เหล็กเข้าช่วยเหลือ	6
รูปที่ 2.5 การสแกน 2 ครั้งสำหรับภาพนิ่งแต่ละภาพโดยแบ่ง 1 เฟรมออกเป็น 2 ฟิลด์	8
รูปที่ 2.6 ผลของสัญญาณซิงค์ที่ทำให้ความถี่ของเครื่องส่งและเครื่องรับเท่ากันตลอดเวลา	9
รูปที่ 2.7 รูปร่างของสัญญาณโทรทัศน์ที่เกิดจากภาพขาวสลับดำเป็นแถบ ๆ	11
รูปที่ 2.8 สัญญาณภาพรวม แสดงให้เห็นรายละเอียดของสัญญาณแต่ละชนิดเช่น สัญญาณแบล้งค์กิ้ง สัญญาณซิงค์ และสัญญาณอีควัลไลซิ่ง	12
รูปที่ 2.9 การทำงานของ JK-Flip Flop	12
รูปที่ 2.10 การทำงานพื้นฐานของวงจรตัวนับขนาด 4 บิท	13
รูปที่ 2.11 การเปรียบเทียบข้อมูล โดยใช้ Exclusive NOR Gate	13
รูปที่ 2.12 การเปรียบเทียบข้อมูลทั้งหมด โดยใช้ NAND Gate	12
รูปที่ 2.13 การจัดสรรเนื้อที่ของหน่วยความจำ ในการเก็บข้อมูลสัญญาณวีดีโอภาพรอง	13
รูปที่ 2.14 คุณสมบัติของ D FlipFlop	17
รูปที่ 2.15 การทำงานของวงจรสุ่มตัวอย่างและคงค่าสัญญาณ	18
รูปที่ 2.16 แสดงสัญญาณออกของการสุ่มตัวอย่าง และค่าต่าง ๆ ที่สำคัญ	18
รูปที่ 2.17 แสดงวงจรแปลงสัญญาณเชิงอุปมานเป็นสัญญาณเชิงเลขแบบขนาน	20
รูปที่ 2.18 แสดงวงจรแปลงสัญญาณเชิงอุปมานเป็นสัญญาณเชิงตัวเลขแบบเรียงต่อกัน	22
รูปที่ 2.19 (ก) วงจรแปลงสัญญาณเชิงอุปมานเป็นสัญญาณเชิงตัวเลขแบบสโลปคู่ (ข) สัญญาณออกของอินทิเกรเตอร์	24
รูปที่ 2.20 หน่วยความจำของหน่วยความจำแบบสถิตย์ ซึ่งแสดงอยู่ภายในกรอบเส้นประ และอุปกรณ์ต่างๆสำหรับเลือกการทำงาน	26
รูปที่ 2.21 หน่วยความจำแบบพลวัต (แสดงอยู่ภายในกรอบเส้นประ)	27
รูปที่ 2.22 ตัวอย่างวงจร Weighted - resister DAC ขนาด n	28
รูปที่ 2.23 วงจร R - 2R Ladder DAC ขนาด n บิท	28

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 2.24 วงจร Current - driven R - 2R ladder DAC 29
รูปที่ 2.25 วงจร Inverted - ladder DAC 29
รูปที่ 2.26 วงจรกรองผ่านความถี่ต่ำ 30
รูปที่ 2.27 ขนาดของผลตอบสนองความถี่ของวงจรกรองผ่านความถี่ 31

รูปที่ 3.1 โครงสร้างในส่วนการตัดสัญญาณภาพหลักเพื่อ แทรกสัญญาณภาพรอง 32
รูปที่ 3.2 Block Diagram แสดงขั้นตอนการทำงานของระบบ 34
รูปที่ 3.3 วงจรการตรวจนับ สัญญาณสะบัดกลับ 35
รูปที่ 3.4 การใช้วงจรนับ และวงจรเปรียบเทียบในการหน่วงเวลา 37
รูปที่ 3.5 แสดงวงจรการตัดต่อสัญญาณภาพ 38
รูปที่ 3.6 วงจรที่ใช้ในการแปลงสัญญาณภาพรองให้เป็นสัญญาณ Digital 39
รูปที่ 3.7 วงจรที่ใช้ในการแปลงสัญญาณภาพรองที่เป็น Digital ให้เป็นสัญญาณ Analog 41
รูปที่ 3.8 วงจรที่ใช้ในการเลือว่าจะเขียนหรืออ่าน RAM โดยใช้
MAX4526 (Analog Multiplexer) 43
รูปที่ 3.9 การเชื่อมต่อระหว่างหน่วยความจำ กับ A/D D/A โดยใช้ Latch เป็น ตัวเลือก 43

รูปที่ 4.1 ความคลาดเคลื่อนจากการใช้ Soft Ware ในการควบคุมการตัดต่อภาพ 49
รูปที่ 4.2 ผลจากการใช้ Soft Ware ในการทำงาน เมื่อแสดงภาพออกโทรทัศน์ 50

รูปที่ 4.3 ผลจากการใช้ Hard Ware เข้ามาช่วยในการตัดต่อภาพ
เมื่อแสดงผลออกทางโทรทัศน์ 51

รูปที่ 4.4 เปรียบเทียบสัญญาณ เวอร์ของสัญญาณภาพหลัก และสัญญาณภาพหลัก
กับสัญญาณควบคุมในการเขียนหน่วยความจำ (P1.5) 52
รูปที่ 4.5 สัญญาณที่ใช้ในการอ่านสัญญาณภาพรอง จากหน่วยความจำ 53
รูปที่ 4.6 สัญญาณที่ใช้ในการอ่านและเขียนหน่วยความจำ 54
รูปที่ 4.7 สัญญาณที่ใช้ควบคุมการเขียนและการอ่านหน่วยความจำ 55

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

ในปัจจุบัน เครื่องรับโทรทัศน์ ได้เข้ามามีบทบาทในการดำรงชีวิตประจำวันเป็นอย่างมาก ทั้งให้ความบันเทิง ข่าวสาร ข้อมูล ต่าง ๆ จนแทบจะกล่าวได้ว่า เครื่องรับโทรทัศน์ เป็นปัจจัยในการดำเนินชีวิตอีกปัจจัยหนึ่งไปแล้ว แต่ทว่าการที่เรามีเครื่องรับโทรทัศน์ไว้ใช้งานสักเครื่องหนึ่ง หากเราสามารถนำมันมาใช้ประโยชน์นอกเหนือไปจากการทำงานปกติของมัน ก็คงจะเป็นการดีไม่น้อย อีกทั้งยังเป็นการใช้ทรัพยากรที่มีอยู่ให้คุ้มค่าและเกิดประโยชน์สูงสุดอีกด้วย

เราคงเคยชมการถ่ายทอดการแข่งขันกีฬาจากต่างประเทศ โดยเฉพาะฟุตบอลนัดสำคัญๆ ซึ่งเราจะพบว่าในขณะที่มีการตัดโฆษณา เพื่อไม่ให้ผู้ชมต้องพลาดกับเหตุการณ์สำคัญที่อาจเกิดขึ้นได้ทุกขณะ จึงมีการจัดทำภาพกีฬาเป็นช่องเล็ก ๆ อยู่ที่มุมด้านหนึ่งของจอภาพ ซึ่งอุปกรณ์ที่ใช้ในการทำกระบวนการตัดต่อสัญญาณภาพนี้ ส่วนใหญ่จะนำเข้าจากต่างประเทศ และมีราคาแพง ดังนั้นจึงนำความรู้ที่มีมาประยุกต์ เพื่อสร้างอุปกรณ์ ตัดต่อสัญญาณภาพ เพื่อทดแทนการนำเข้า และเป็นการพัฒนาความรู้ทางด้านเทคโนโลยีให้ทัดเทียมกับต่างชาติ

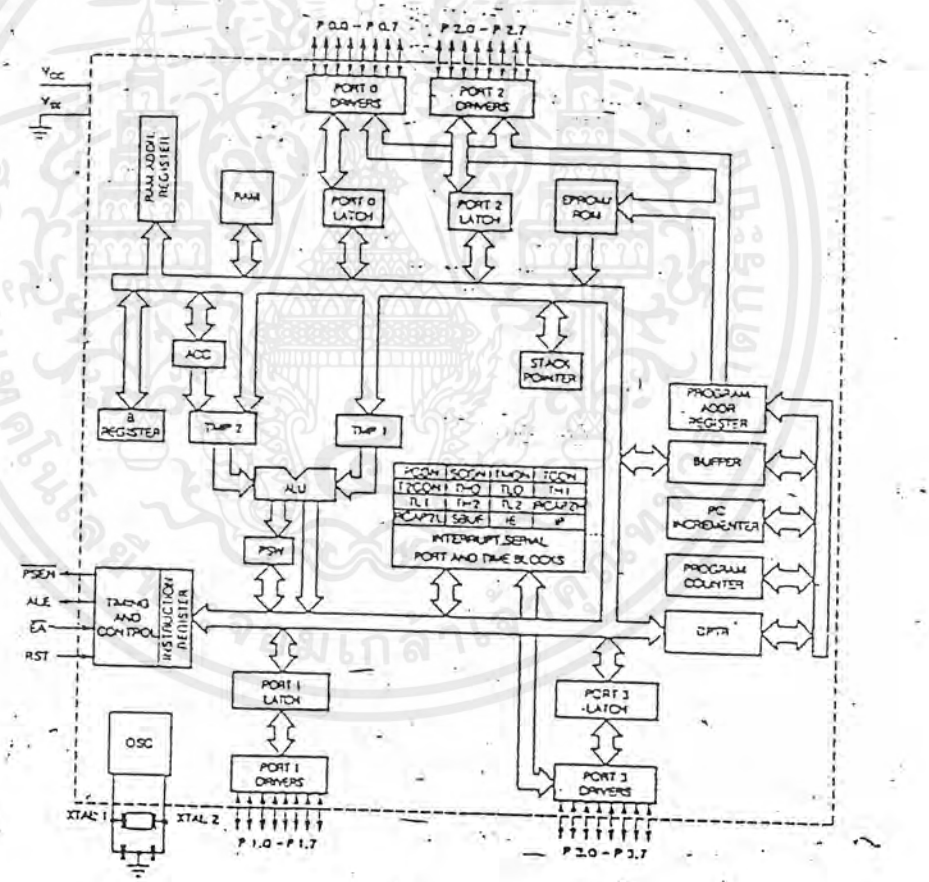
ถึงแม้ว่าโครงงานนี้จะยังไม่อาจนำมาใช้เพื่อทดแทนอุปกรณ์ที่นำเข้าจากต่างชาติ แต่ก็เป็นการจุดประกายความขึ้นสร้างสรร และเริ่มต้นเพื่อการค้นคว้า และพัฒนา ให้สามารถนำมาใช้ทดแทนการนำเข้าเครื่องมือทางเทคนิคบางชนิดจากต่างชาติได้อย่างสมบูรณ์ต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
ไมโครคอนโทรลเลอร์

2.1 โครงสร้างภายในของ 8051

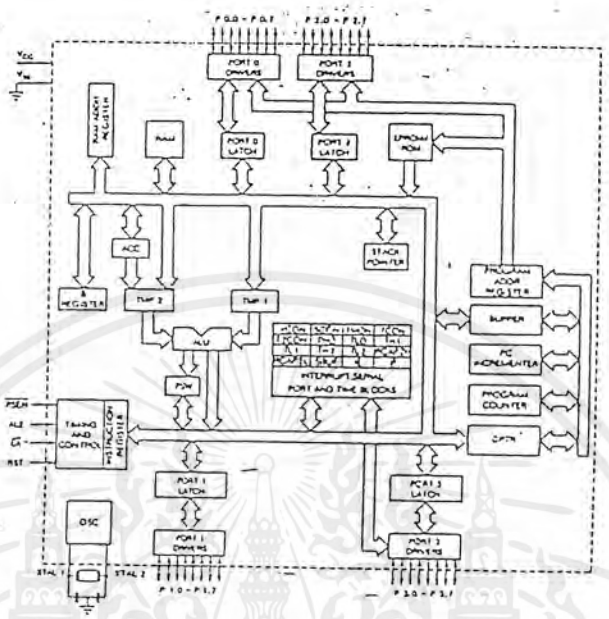
ภายใน 8051 ประกอบด้วยเกทต่าง ๆ ซึ่งจะถูกนำมาออกแบบให้มีหน้าที่ในการทำงานต่าง ๆ เช่น วงจรถอดรหัสคำสั่ง , วงจรสร้างสัญญาณนาฬิกา โครงสร้างภายในของ 8051 จะประกอบด้วยส่วนย่อย ๆ ดังไดอะแกรมในรูปที่ 2.1



รูปที่ 2.1 แสดงโครงสร้างภายในของไมโครคอนโทรลเลอร์ MCS-51

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2 คุณลักษณะพื้นฐานของ 8051



รูปที่ 2.2 แสดงแผนภาพบล็อกแสดงหน่วยการทำงานพื้นฐานของ MCS-51

หน่วยการทำงานพื้นฐานของไมโครคอนโทรลเลอร์เบอร์ต่าง ๆที่จัดอยู่ภายในตระกูล MCS-51 นี้ ประกอบด้วย

1) หน่วยประมวลผลกลางขนาด 8 บิท

2) หน่วยประมวลผลสำหรับข้อมูลแบบบิต (Boolean Processor)

3) ความสามารถในการอ้างตำแหน่งของหน่วยความจำโปรแกรม 64 กิโลไบต์

5) ความสามารถในการอ้างตำแหน่งของหน่วยความจำข้อมูล 64 กิโลไบต์

6) หน่วยความจำโปรแกรมภายในขนาด 4 กิโลไบต์ แบบ EPROM (เบอร์ 8751) หรือแบบ ROM (เบอร์ 8051)

7) หน่วยความจำแบบ RAM ภายในจำนวน 128 ไบต์

8) พอร์ตอินพุท / เอาท์พุท แบบขนานจำนวน 32 เส้น ซึ่งสามารถแยกการทำงานได้อย่างอิสระ

9) วงจรนับ / จับเวลาขนาด 16 บิต จำนวนสองวงจร

10) วงจรสื่อสารแบบอนุกรมแบบฟูลดูเพล็กซ์ (Full Duplex)

11) วงจรควบคุมการอินเตอร์รัปต์จากแหล่งกำเนิดสัญญาณ 6 ประเภท พร้อมการกำหนดลำดับความสำคัญได้สองระดับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

12) วงจรออสซิลเลเตอร์ภายใน

2.3 8051 ประกอบด้วย 3 ส่วน หลัก คือ

2.3.1 ตัวประมวลผล (CPU - Central Processing Unit)

วงจรส่วนนี้ทำหน้าที่สร้างสัญญาณควบคุมในการติดต่อกับส่วนอื่น ๆ เรียกว่า วงจรควบคุม (Control Unit) สัญญาณที่สร้างจากวงจรควบคุม ได้แก่ สัญญาณสำหรับการติดต่อกับหน่วยความจำ อุปกรณ์รับข้อมูลเข้าหรือส่งข้อมูลออกจากตัว 8051 ซึ่งส่วนควบคุมการขัดจังหวะ (Interrupt Control) และส่วนควบคุมบัส (Bus Control) ก็เป็นส่วนหนึ่งของวงจรควบคุมด้วย การสร้างสัญญาณควบคุมจากส่วนซีพียูนี้ จะทำการสร้างสัญญาณโดยการถอดรหัสจากคำสั่งตามที่มีการกำหนดไว้ และสัญญาณที่สร้างขึ้นมาจะนำมาอ้างอิงกับสัญญาณนาฬิกา ที่สร้างจากวงจรออสซิเลเตอร์เพื่อให้ทุก ๆ ส่วนในวงจรทำงานประสานกันอย่างถูกต้อง

2.3.2 หน่วยความจำ (Memory)

ในระบบของไมโครคอนโทรลเลอร์ 8051 จำเป็นต้องมีหน่วยความจำซึ่งประกอบด้วย

1) หน่วยความจำโปรแกรม

หน่วยความจำโปรแกรมของ 8051 เป็นบริเวณหน่วยความจำ สำหรับเก็บข้อมูลและคำสั่งใช้งานต่าง ๆ ซึ่งแม้ว่าจะไม่มีการจ่ายกระแสไฟฟ้าให้กับระบบ ข้อมูลเหล่านี้ก็ยังคงไม่สูญหาย

2) หน่วยความจำข้อมูล

หน่วยความจำข้อมูลมีหน้าที่สำหรับเก็บข้อมูล หรือตัวแปรที่เกิดขึ้นในขณะที่กำลังประมวลผลโปรแกรมไว้เป็นการชั่วคราว โดยพื้นฐานแล้วหน่วยความจำข้อมูล จัดเป็นหน่วยความจำ RAM แบบสแตติก ดังนั้นเมื่อไม่มีการจ่ายไฟให้กับระบบ ก็จะมีผลทำให้ข้อมูลที่จัดเก็บไว้ภายในหน่วยความจำนี้สูญหายไป

2.3.3 พอร์ทอินพุท / เอาท์พุทของ 8051

เป็นส่วนที่ใช้ส่งข้อมูลเข้าหรือออกจาก 8051 ทำให้ 8051 ติดต่อกับภายนอกได้ อุปกรณ์อินพุท / เอาท์พุท ได้แก่

1) 4 อินพุท / เอาท์พุทพอร์ท

ทำหน้าที่เป็นส่วนที่รับ - ส่งข้อมูล ซึ่งเป็นสัญญาณดิจิตอลเข้าหรือออกจากตัว MCS-51 โดยมีทั้งหมด 4 พอร์ท แต่ละพอร์ทจะรับ - ส่งข้อมูลได้ 8 บิท มี P0 , P1 , P2 และ P3 บางพอร์ทจะทำงานได้มากกว่า 1 อย่างได้ แต่จะใช้วิธีการทำงานตามลำดับโดยการควบคุมยากสัญญาณควบคุมที่ถอดรหัสมาจากแต่ละละคำสั่งที่ให้คอมพิวเตอร์ทำงานและสัญญาณทั้งหมดจะอ้างอิงกับสัญญาณนาฬิกา

2) ไทม์เมอร์ 0 และไทม์เมอร์ 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เป็นวงจรนับที่สามารถกำหนดให้ทำการนับจำนวนไซเคิลของสัญญาณ ที่ต่อจากภายนอก 8051 หรือจำนวนไซเคิลของสัญญาณนาฬิกาภายใน 8051 ก็ได้ค่าจากการนับจะถูกอ่านหรือตั้งค่าเริ่มต้นของการนับได้โดยซีพียู

3) พอร์ทอนุกรม (Serial Port)

ซีพียู จะอ่านและเขียนข้อมูลกับพอร์ทอนุกรมเป็นแบบ 8 บิท แต่ข้อมูลจะถูกส่งออกจาก 8051 เรียงไปทีละบิทออกจากขา TXD และมีการรับข้อมูลเข้าก็จะรับเข้ามาทีละบิททางขา RXD แล้วจัดเรียงใหม่เป็น 8 บิท เพื่อให้ซีพียูอ่านไปใช้งานต่อไป

8051 มีพอร์ทให้ใช้งานได้หลายแบบทำให้สะดวกแก่การนำไปใช้งานต่าง ๆ โดยจะต้องเขียนโปรแกรมขึ้นมาควบคุม

2.4 ระบบอินเตอร์รัปต์ของ 8051

การติดต่อระหว่างไมโครคอนโทรลเลอร์กับอุปกรณ์ภายนอกมักจะทำโดยการตรวจสอบสภาวะของสัญญาณติดต่อระหว่างกัน การอินเตอร์รัปต์เป็นวิธีการหนึ่งที่นิยมนำมาใช้กับไมโครคอนโทรลเลอร์เพื่อสามารถจัดการตอบรับหรือบริการกับอุปกรณ์ต่าง ๆให้เป็นไปได้อย่างรวดเร็ว

ไมโครคอนโทรลเลอร์ 8051 สามารถเกิดการอินเตอร์รัปต์ โดยการจำแนกตามแหล่งที่มาของสัญญาณ (Signal Source) ของสัญญาณอินเตอร์รัปต์นั้น ๆ ได้แก่

2.4.1 สัญญาณอินเตอร์รัปต์ภายนอก (External Interrupt)

การตรวจสอบสัญญาณที่เข้ามาอินเตอร์รัปต์นี้ จะสามารถกำหนดให้มีการตรวจสอบในลักษณะเมื่อได้มีการเปลี่ยนแปลงสัญญาณไปแล้ว หรือในช่วงเวลาขณะเริ่มมีการเปลี่ยนแปลงสัญญาณจากลอจิกสูงไปต่ำ

2.4.2 สัญญาณอินเตอร์รัปต์ภายใน (Internal Interrupt)

แหล่งกำเนิดสัญญาณนี้จะเป็นวงจรภายในของไมโครคอนโทรลเลอร์เองเช่น วงจรนับ /วงจรจับเวลา วงจรเชื่อมต่อสัญญาณอนุกรม เป็นต้น

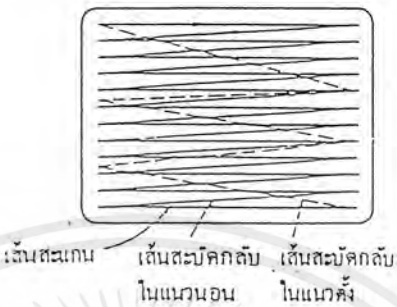
2.5 สัญญาณภาพ

2.5.1 วิธีการสแกนและการหักเหของลำอิเล็กตรอน

ภายในหลอดภาพของเครื่องรับโทรทัศน์ อิเล็กตรอนที่หลุดออกมาจากแคโถด และถูกดึงดูดให้วิ่งเป็นลำไปกระทบ แอโนด หรือจอหลอดภาพ ซึ่งฉาบวัสดุเรืองแสงบางชนิดเอาไว้ จะทำให้มองเห็นเป็นจุดสว่างขึ้นที่จอการสแกน ก็คือการทำให้จุดสว่างนี้ เคลื่อนที่ไปในจังหวะที่ถูกต้อง

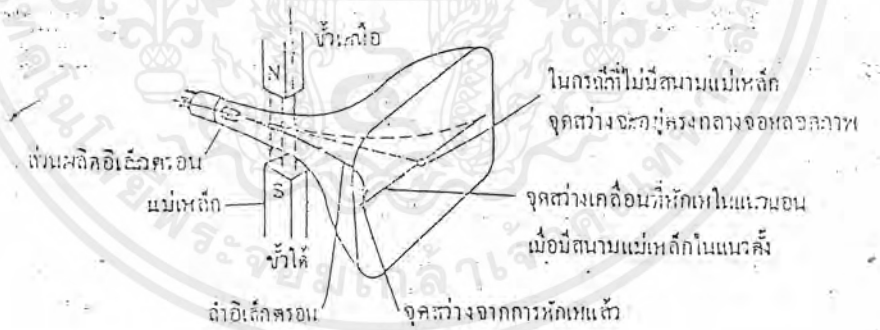
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทั้งในแนวนอนและแนวตั้งของจอหลอดภาพ โดยอาศัยความเข้มของสนามแม่เหล็กเข้าช่วยเหลือ ตามที่แสดงไว้ในรูป (2.3) และรูป (2.4)



รูปที่ 2.3 การเคลื่อนที่หักเหของลำอิเล็คตรอนในจังหวะที่ถูกต้อง
ทั้งในแนวนอนและแนวตั้งของจอหลอดภาพ

กล่าวคือ ในขณะที่ไม่มีสนามแม่เหล็ก ลำเล็กตรอนก็จะวิ่งไปกระทบจอหลอดภาพตรงกลางโดยไม่ถูกหักเหเลยแต่หากต้องการเบนลำอิเล็กตรอนนั้นไปทางซ้ายมือในแนวนอน ก็จำเป็นต้องใช้สนามแม่เหล็กที่มีขั้วเหนือ-ขั้วใต้อยู่ในแนวตั้ง ตามรูปที่ (2.4)



รูปที่ 2.4 การหักเหของลำอีเล็กตรอน โดยอาศัยสนามแม่เหล็กเข้าช่วยเหลือ

หากกลับขั้วแม่เหล็กนี้เสีย ลำอิเล็กตรอนก็จะถูกเบนไปทางขวามือในแนวนอนของจอหลอดภาพการที่ลำอิเล็กตรอนถูกเบนไปทางขวามือ หรือทางซ้ายมือของจอนี้ จะทำให้เห็นเป็นจุดสว่างเคลื่อนที่ไปทางเดียวกันด้วย ในทำนองเดียวกัน หากมีขั้วแม่เหล็กในแนวนอน ลำอิเล็กตรอนหรือจุดสว่างก็จะถูกเบนไปในทางแนวตั้งของจอหลอดภาพ ฉะนั้น เพื่อช่วยในการหักเหลำ

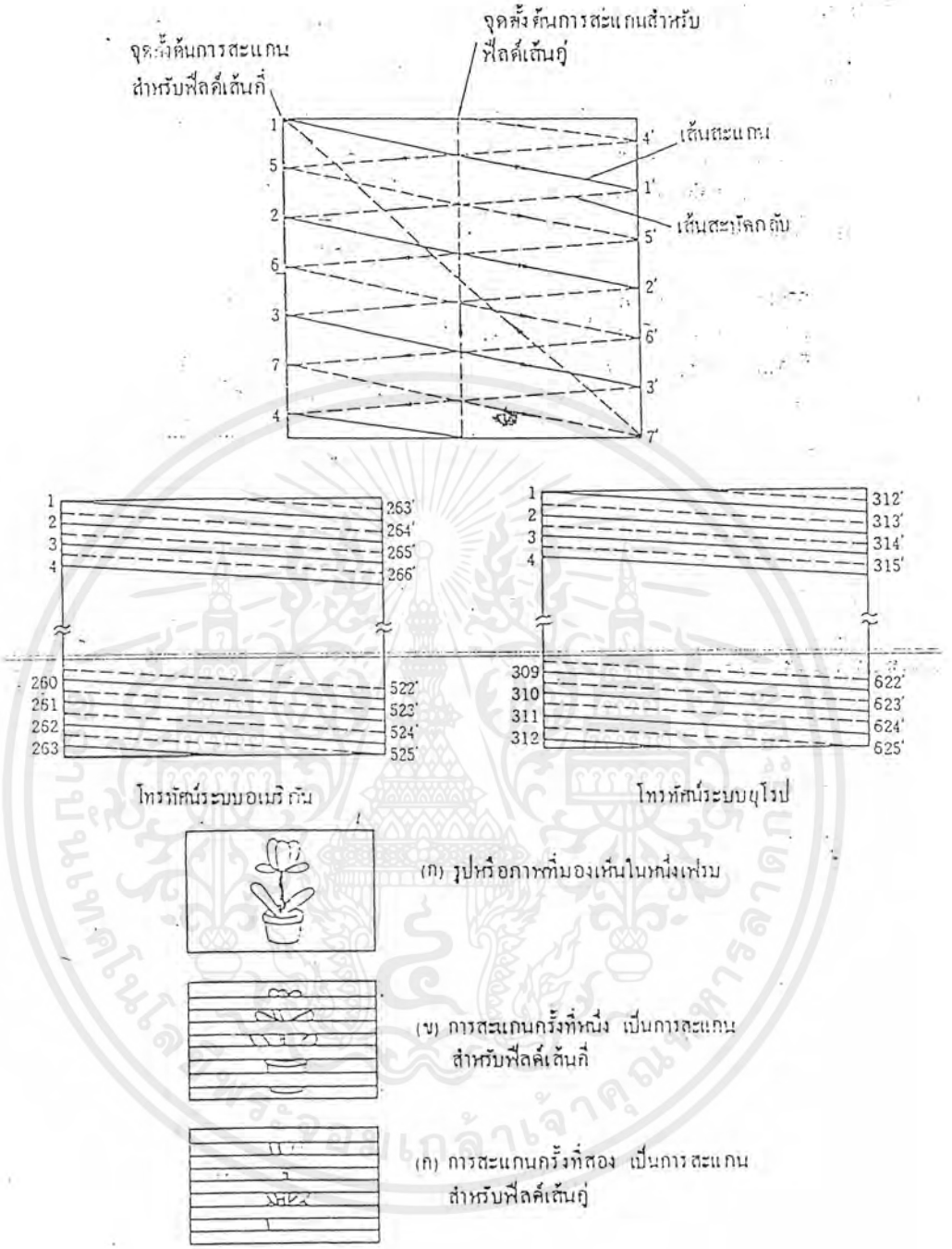
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อิเล็กตรอนในทิศทางที่ต้องการ จึงนิยมใช้สนามแม่เหล็กทั้งในแนวนอนและในแนวตั้งร่วมกันสองสนาม

การสแกนจะเริ่มต้นขึ้นโดยการทำให้จุดสว่างเคลื่อนที่จากซ้ายมือด้านบนของจอไปทางขวามือในแนวนอน ซึ่งเมื่อไปถึงตำแหน่งขวาสุด ก็จะถูกเบนต่ำลงเล็กน้อย แล้วก็จะกลับไปตั้งต้นใหม่ทางซ้ายมือเพื่อเคลื่อนที่มาทางขวามือในแนวนอนอีก เป็นอยู่เช่นนี้เรื่อย ๆ จนกระทั่งจุดสว่างไปถึงตำแหน่ง ขวามือข้างล่างสุดของหลอดภาพก็เป็นอันเสร็จสิ้นการสแกนภาพนิ่งภาพหนึ่ง ซึ่งเรียกกันว่า เฟรมหนึ่ง หลังจากนั้น ลำอิเล็กตรอนจะกลับไปตั้งต้นใหม่ทางด้านซ้ายมือของจอหลอดภาพอีก เพื่อสแกนภาพนิ่งอันดับต่อไป อย่างไรก็ตาม เพื่อลดอาการกระพริบของภาพ การสแกนภาพนิ่งแต่ละภาพ จึงมักนิยมจัดทำสองครั้งในแบบของการสแกนไขว้กัน โดยกำหนดให้ภาพนิ่งหนึ่งเฟรม ประกอบด้วยภาพนิ่งสองฟิลด์ จึงกลับไปตั้งต้นใหม่ทางซ้ายมือบนสุดของจอ แล้วเริ่มต้นสแกนภาพนิ่งฟิลด์เส้นคู่ต่อไปจนถึงตำแหน่งขวามือล่างสุด หลังจากนั้น ก็จะเริ่มต้นการสแกนภาพนิ่งด้วยฟิลด์เส้นคี่และการสแกนภาพนิ่งด้วยฟิลด์เส้นคู่ สำหรับโทรทัศน์ระบบอเมริกัน ซึ่งใช้เส้นสแกน 525 เส้นต่อภาพ และ 30 ภาพต่อวินาทีนั้น ภาพนิ่งแต่ละภาพ หรือภาพนิ่งแต่ละเฟรม จะประกอบด้วยเส้นสแกนแนวนอน 525 เส้น และภาพนิ่งแต่ละฟิลด์ ก็จะมีเส้นสแกนแนวนอน 262 1/2 เส้น ภาพนิ่งแต่ละภาพนี้จะเกิดขึ้นภายในระยะเวลา 1/30 วินาที ในทำนองเดียวกันสำหรับโทรทัศน์ระบบยุโรป ซึ่งใช้เส้นสแกนแนวนอน 625 เส้นต่อภาพ และ 25 ภาพต่อวินาที ภาพนิ่งแต่ละภาพ หรือภาพนิ่งแต่ละเฟรม จะประกอบด้วยเส้นสแกนแนวนอน 625 เส้น และภาพนิ่งแต่ละฟิลด์ ก็จะมีเส้นสแกนแนวนอน 312 1/2 เส้น

เนื่องจากการสแกนภาพนิ่งตามที่กล่าวถึงมาแล้วนี้ กระทำติดต่อกันไปเรื่อย ๆ โดยมีจำนวนเส้นต่อภาพ และจำนวนภาพต่อวินาที ตามแต่ชนิดของระบบโทรทัศน์ที่ใช้ ภาพที่มาปรากฏบนจอหลอดภาพเครื่องรับโทรทัศน์ จึงมีผลเหมือนกับการฉายภาพนิ่ง ซึ่งแต่ละภาพแตกต่างกันบ้างเล็กน้อย เป็นจำนวนหลาย ๆ ภาพต่อหนึ่งวินาที และด้วยคุณลักษณะพิเศษของสายตาเกี่ยวกับ persistence of vision (การเห็นภาพติดตา)นี้ จึงทำให้มองเห็นภาพบนจอหลอดภาพเครื่องรับโทรทัศน์ เป็นภาพที่เคลื่อนไหวติดต่อกันไปตลอดเวลา ดังรูปที่ 2.5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



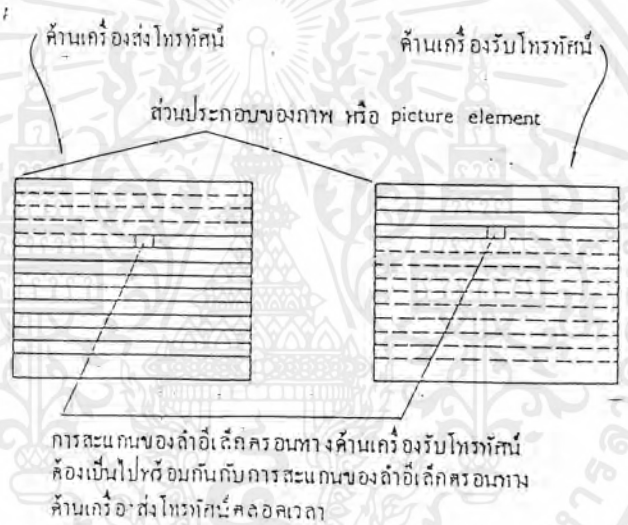
รูปที่ 2.5 การสะแกนสองครั้งสำหรับภาพนิ่งแต่ละภาพ โดยแบ่งหนึ่งเฟรมออกเป็นสองฟิลด์

2.5.2 เครื่องส่งและเครื่องรับโทรทัศน์

เครื่องส่งและเครื่องรับโทรทัศน์ จำเป็นต้องมีการสแกนทางแนวนอน และการสแกนทางแนวตั้งพร้อมกัน จึงจะมีภาพเกิดขึ้นที่เครื่องรับโทรทัศน์ ภาพที่ปรากฏขึ้นบนจอหลอดภาพ จำเป็นต้องอาศัยวงจรของการหักเหทางแนวนอนและวงจรของการหักเหทางแนวตั้ง ซึ่งแต่ละวงจรจะมี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กระแสรูปฟันเลื่อยไหลผ่าน ทางด้านกล้องโทรทัศน์ ก็จำเป็นต้องอาศัยความถี่ทั้งสองช่วยทำให้เกิดสัญญาณทางไฟฟ้าเช่นเดียวกัน ความถี่ทางวงจรของการหักเหทางแนวนอน และวงจรของการหักเหทางแนวตั้งที่ใช้ในเครื่องส่งโทรทัศน์ และที่ใช้ในเครื่องรับโทรทัศน์นี้ จะต้องเท่ากันตลอดเวลา จึงจะทำให้เกิดภาพขึ้นทางเครื่องรับโทรทัศน์ ด้วยเหตุนี้ จึงจำเป็นต้องมีวิธีทำให้ความถี่ของวงจรดังกล่าวทางเครื่องส่ง และทางเครื่องรับโทรทัศน์ เท่ากันอยู่ทุกขณะ ตามรูปที่ (2.6) โดยสถานีโทรทัศน์ต้องส่งสัญญาณชนิดหนึ่งที่เรียกว่า สัญญาณซิงค์ ไปพร้อมกับสัญญาณภาพและสัญญาณเสียง ตามรายละเอียดที่จะได้กล่าวถึงในหัวข้อต่อไป สัญญาณซิงค์นี้จะช่วยทำให้ความถี่ในวงจรของการหักเหทางแนวนอน และวงจรของการหักเหทางแนวตั้ง ในเครื่องส่งและเครื่องรับโทรทัศน์เท่ากัน เพื่อทำให้เกิดภาพที่จอหลอดภาพของเครื่องรับโทรทัศน์ตลอดเวลาได้



รูปที่ 2.6 ผลของสัญญาณซิ้งค์ที่ทำให้ความถี่ของเครื่องส่งและเครื่องรับเท่ากันตลอดเวลา

2.5.3 สถานีโทรทัศน์จำเป็นต้องส่งสัญญาณอะไรบ้าง

เพื่อทำให้เกิดผลสมความมุ่งหมาย สถานีโทรทัศน์ที่ส่งภาพขาวดำ จำเป็นต้องส่งสัญญาณหลายอย่าง ได้แก่

- สัญญาณเสียง
- สัญญาณภาพ
- สัญญาณแบล้งค์กิ้ง
- สัญญาณซิงค์
- สัญญาณอีควัลไลซิ่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณเสียงมีคลื่นพาหะของตัวเองโดยเฉพาะ ส่วนสัญญาณภาพและสัญญาณอื่น ๆนั้น จะรวมเป็นรูปแบบอันเดียวกัน ซึ่งเรียกว่า สัญญาณภาพรวม แล้วใช้คลื่นพาหะของภาพเป็นตัวพา ออกอากาศรวมกับคลื่นพาหะเสียงไปยังเครื่องรับโทรทัศน์ เหตุผลและความจำเป็นในการใช้สัญญาณต่าง ๆ มีดังนี้

ก) สัญญาณภาพ และ สัญญาณเสียง เป็นสัญญาณที่ใช้เพื่อทำให้เกิดภาพและเสียงทางเครื่องรับโทรทัศน์ตามความต้องการ

ข) สัญญาณแบล้งค์กิ้ง เป็นสัญญาณที่ใช้เพื่อลบเส้นสแกนสะบัดกลับทั้งในแนวนอนและในแนวตั้ง มิให้สังเกตเห็นได้ชัดทางจอหลอดภาพ

ค) สัญญาณซิงค์ เป็นสัญญาณที่ใช้เพื่อช่วยทำให้วงจรของการหักเหทางแนวนอน และวงจรของ

การหักเหทางแนวตั้งในเครื่องส่งกับเครื่องรับโทรทัศน์มีความถี่ตรงกันตลอดเวลา เนื่องจากว่าความถี่ของสัญญาณซิงค์มีค่าเท่ากับความถี่ของสัญญาณแบล้งค์กิ้งพอดี จึงจำเป็นต้องป้องกันการรบกวนที่อาจเกิดขึ้น โดยจำเป็นต้องกำหนดขนาดของซิงค์พัลส์ให้น้อยกว่าขนาดของแบล้งค์กิ้งพัลส์ นอกจากนี้ยังใช้วิธีส่งซิงค์พัลส์เหล่านี้ปนกับแบล้งค์กิ้งพัลส์อีกด้วย โดยให้ฐานของซิงค์พัลส์อยู่ทับขอบบนของ แบล้งค์กิ้งพัลส์ อีกชั้นหนึ่ง เมื่อจัดขอบเขตความต่างศักดิ์ในระดับสูงสุดของแบล้งค์กิ้งพัลส์เป็น ระดับดำมืด จนมองไม่เห็นแล้ว ระดับของ ซิงค์พัลส์ที่อยู่บนยอดสูงสุดของแบล้งค์กิ้งพัลส์ ก็จะเป็นระดับดำมืดสนิท และไม่ทำให้เกิดการรบกวนภาพที่จอหลอดภาพแต่อย่างใด

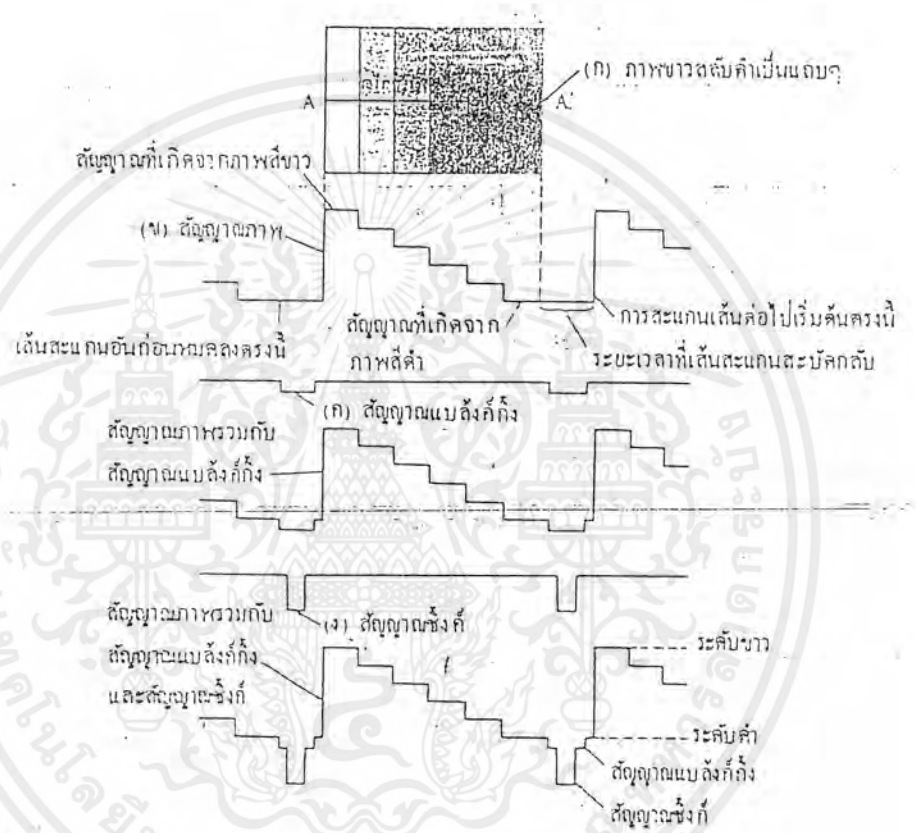
ง) สัญญาณอีควัลไลซิ่ง เป็นสัญญาณที่ใช้เพื่อช่วยให้สัญญาณซิงค์ทางแนวตั้ง ยังคงมีรูปร่างดีเหมือนเดิมหลังจากแยกออกมาจากสัญญาณซิงค์ทางแนวนอนแล้ว นอกจากนี้ยังช่วยทำให้การสแกนแบบไขว้กันเป็นไปโดยเรียบร้อยสม่ำเสมอ รวมทั้งสัญญาณซิงค์ทางแนวนอนก็ไม่ขาดหายไปในช่วงเวลาของสัญญาณซิงค์ทางแนวตั้งอีกด้วย ขนาดของพัลส์ที่กล่าวถึงนี้จะเท่ากับสัญญาณซิงค์ทางแนวตั้ง หรือประมาณ สามเท่าของขนาดสัญญาณซิงค์ทางแนวนอน และยังนิยมแบ่งพัลส์นี้ออกเป็น หกพัลส์เล็ก ๆ ด้วยกันตามรูปที่ (2.8)เพื่อทำให้เกิดสัญญาณซิงค์ทางแนวนอนครั้งหนึ่งในทุก ๆ สองครั้งที่มีพัลส์เล็ก ๆนี้ นอกจากนี้ยังนิยมแบ่งสัญญาณซิงค์ทางแนวตั้งออกเป็นพัลส์เล็ก ๆ เช่นเดียวกัน

สัญญาณโทรทัศน์ ที่มีสัญญาณภาพรวมกับสัญญาณอื่น ๆ หลายอย่าง ตามที่แสดงไว้ในรูปที่ (2.8)นี้ มีชื่อเรียกว่า สัญญาณภาพรวม

รูปที่ (2.7) แสดงภาพขาวสลับดำ ซึ่งเริ่มจากสีขาว สีดำจาง ๆ และสีดำสนิทเป็นแถบ ๆ กล้องโทรทัศน์จะเปลี่ยนภาพนี้ให้เป็นสัญญาณทางไฟฟ้าชนิดหนึ่ง ซึ่งเมื่อรวมกับสัญญาณแบล้งค์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

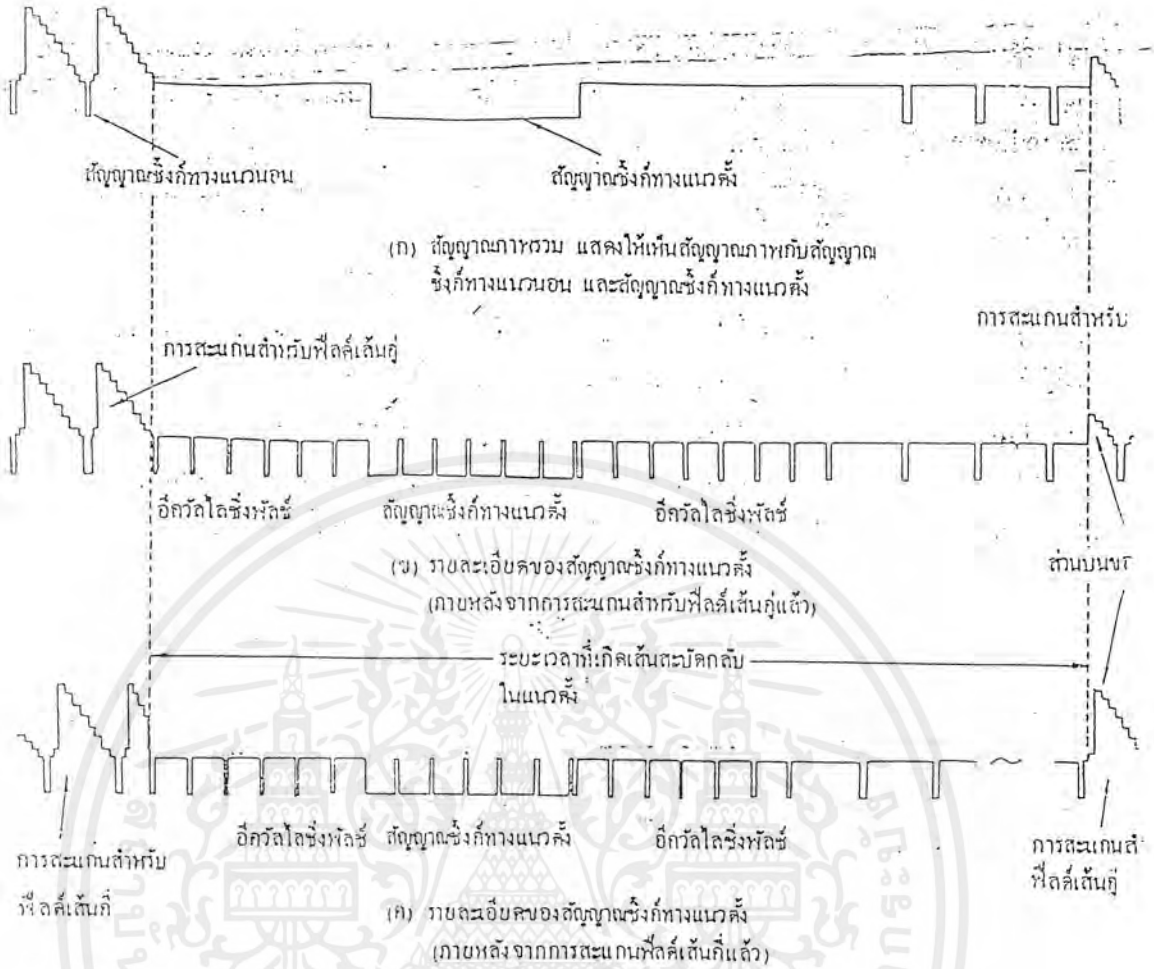
กิ้ง และสัญญาณซิงค์แล้ว ก็จะได้สัญญาณภาพรวมตามที่แสดงไว้ ภาพแต่ละชนิดจะให้สัญญาณทางไฟฟ้าที่มีความถี่สูงต่ำแตกต่างกัน สำหรับโทรทัศน์ระบบอเมริกัน ความถี่สูงสุดของภาพไม่ควรเกิน 4 เมกะเฮิร์ทและสำหรับโทรทัศน์ระบบยุโรป ความถี่สูงสุดนี้จะไม่เกิน 5 เมกะเฮิร์ท ในเรื่องนี้ ภาพที่เกิดจากสัญญาณโทรทัศน์ที่มีความถี่สูง ย่อมละเอียดกว่า หรือ มีจำนวนจุดดำ อันเป็นส่วนประกอบของภาพ มากกว่าภาพที่เกิดจากสัญญาณโทรทัศน์ที่มีความถี่ต่ำ



รูปที่ 2.7 รูปร่างของสัญญาณโทรทัศน์ที่เกิดจากภาพขาวสลับดำเป็นแถบ ๆ

เมื่อเครื่องรับโทรทัศน์รับเอาสัญญาณโทรทัศน์มาได้แล้ว ก็จะมีการแยกเอาสัญญาณต่าง ๆ ตามที่กล่าวถึงนี้ไปให้วงจรซึ่งทำหน้าที่ต่าง ๆ กัน เพื่อทำให้เกิดภาพและเสียงตามความต้องการ สัญญาณเสียง ก็จะผ่านไปยังวงจรเสียง สัญญาณภาพและสัญญาณแบล้งค์กิ้ง ก็จะตรงไปยังแคโถดหรือกริดของหลอดภาพ ส่วนสัญญาณซิงค์นั้น เมื่อแยกออกจากสัญญาณภาพรวมแล้ว ก็จะผ่านไปยังวงจรแยกซิงค์ วงจรของการหักเหทางแนวนอน และวงจรของการหักเหทางแนวตั้ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.8 สัญญาณภาพรวม แสดงให้เห็นรายละเอียดของสัญญาณแต่ละชนิดเช่น สัญญาณแบล้งค์กิ้ง สัญญาณซิงค์ และสัญญาณอีควัลไลซิ่ง

2.6 ตัวนับ (Counter)

เป็นส่วนสำคัญอีกส่วนหนึ่ง ซึ่งมีหน้าที่หลักคือแสดงค่าการนับจำนวนพัลส์ของสัญญาณนาฬิกาออกมาเป็นเลขฐาน 2 โดยทฤษฎีพื้นฐานอย่างง่าย จะอาศัยคุณสมบัติการเปลี่ยนค่าของ JK-Flip Flop ดังรูป

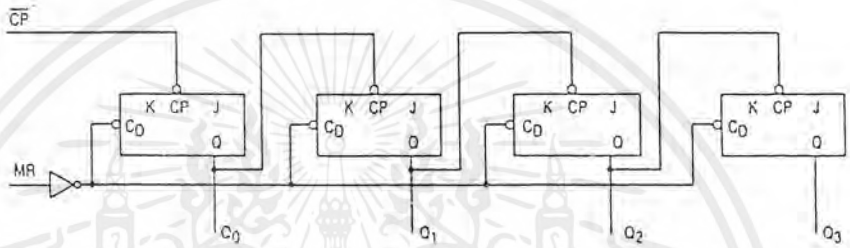
J	1	1	0	0
K	1	0	1	0
Q	$\overline{Q}$	1	0	Q

รูปที่ 2.9 การทำงานของ JK-Flip Flop

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

พบว่าเมื่อสัญญาณที่เข้ามาที่ขา CP เปลี่ยนสถานะจาก 1 เป็น 0 จะทำให้ค่าสัญญาณเอาท์พุทของ Q จะเปลี่ยนสถานะจากเดิมไปเป็นตรงกันข้ามส่วนขา CP จะเป็นตัวทำการ รีเซต ค่าที่นับได้ของตัวนับ เมื่อ CP มีสถานะเป็น 0 ซึ่งจะส่งผลให้ตัวนับ เริ่มต้นทำการนับค่าจาก 0 ใหม่

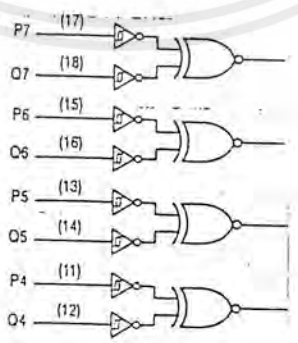
ในที่นี้จะแสดงการนำ JK-Flip Flop 4 ตัวมาต่อเพื่อให้เกิดการทำงานเป็นตัวนับขนาด 4 บิท ดังรูที่ 2.10



รูปที่ 2.10 การทำงานพื้นฐานของวงจรนับ (Counter) ขนาด 4 บิท

2.7 วงจรเปรียบเทียบสัญญาณ (Comparater)

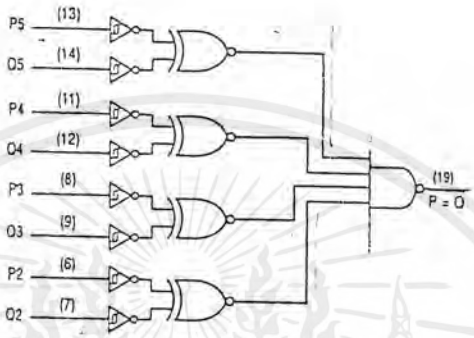
นับว่าเป็นหัวใจหลักสำคัญในการควบคุมการหน่วงเวลา คือ ตัวคอมพาราเตอร์ จะเป็นตัวที่ทำการเปรียบเทียบข้อมูล 2 ชุดที่เข้ามา เพื่อพิจารณาว่ามีความเท่ากันหรือไม่ คอยตรวจสอบจนกระทั่ง ข้อมูลทั้ง 2 ชุดมีค่าเท่ากัน ตัวเปรียบเทียบก็จะให้สัญญาณพัลส์ ออกมา ทฤษฎีของโครงสร้างของตัวเปรียบเทียบอย่างง่าย เริ่มต้นโดย ใช้ Exclusive NOR เป็นตัวเปรียบเทียบข้อมูลในแต่ละหลักว่ามีความเท่ากันหรือไม่อย่างไร ดังรูป



รูปที่ 2.11 การเปรียบเทียบข้อมูลโดยใช้ Exclusive NOR Gate

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยถ้าข้อมูลหลักนั้นเท่ากันก็จะได้ค่า 1 ออกมาที่เอาท์พุท ของตัว Exclusive NOR และจากนั้นจึงใช้ NAND gate เป็นตัวดูรวมยอดว่า ทุกตำแหน่งของข้อมูลมีค่าเท่ากันหมดหรือไม่ โดยถ้าใช่ ก็จะให้ค่า เอาท์พุทออกมาเป็นค่า 0 ในชั่วระยะเวลาสั้น ๆ โดยในสภาวะปกติ ที่ข้อมูลยังไม่เท่ากัน NAND gate จะให้ค่าเป็น 1 ออกมาเสมอ ดังรูปที่ 2.12

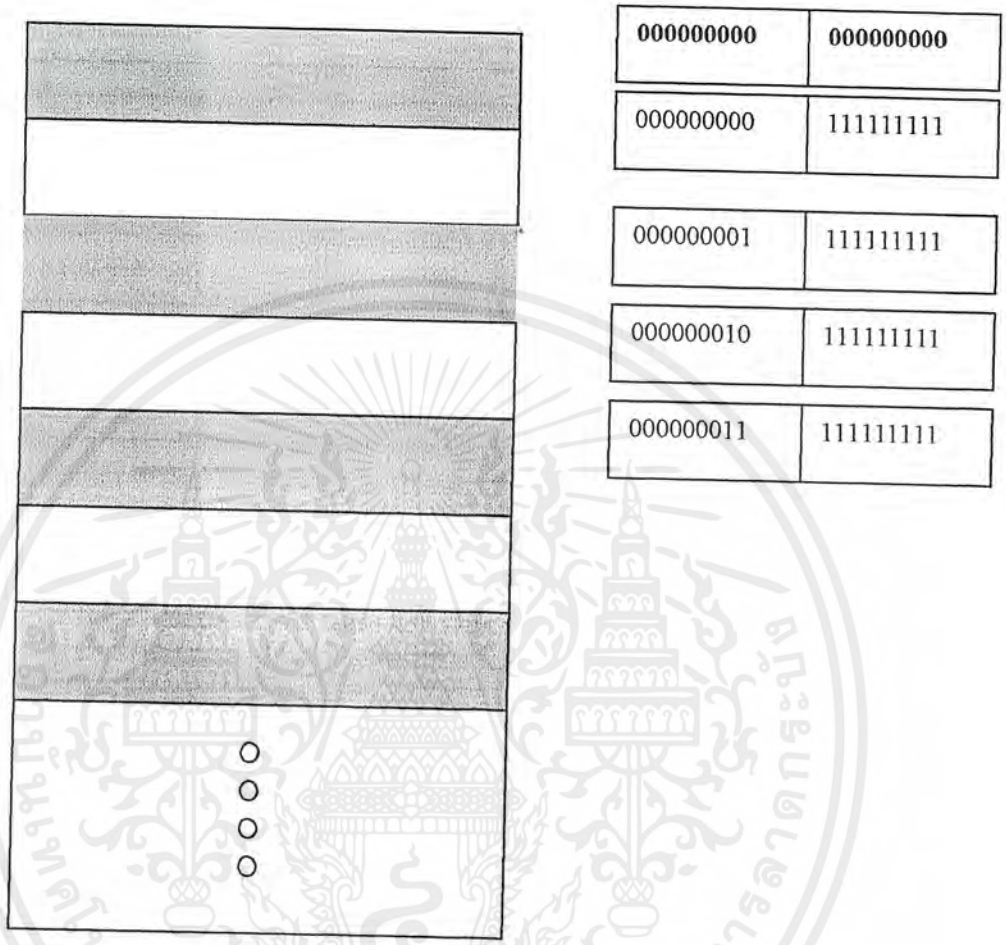


รูปที่ 2.12 การเปรียบเทียบข้อมูลทั้งหมดโดยใช้ NAND Gate

2.8 หน่วยความจำสำหรับเก็บสัญญาณภาพ (RAM)

ในที่นี้จะทำการเก็บสัญญาณของภาพรอง โดยจะทำการสุ่มสัญญาณภาพในอัตรา 500 จุดต่อ 1 เส้นสแกนแนวนอน และจะทำการเก็บภาพเพียง 1 เฟรม เท่านั้น โดยจะใช้หน่วยความจำขนาด 18 bits มาใช้เก็บ ซึ่งมีการจัดสรรเนื้อที่ของหน่วยความจำดังรูปที่ 2.13

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



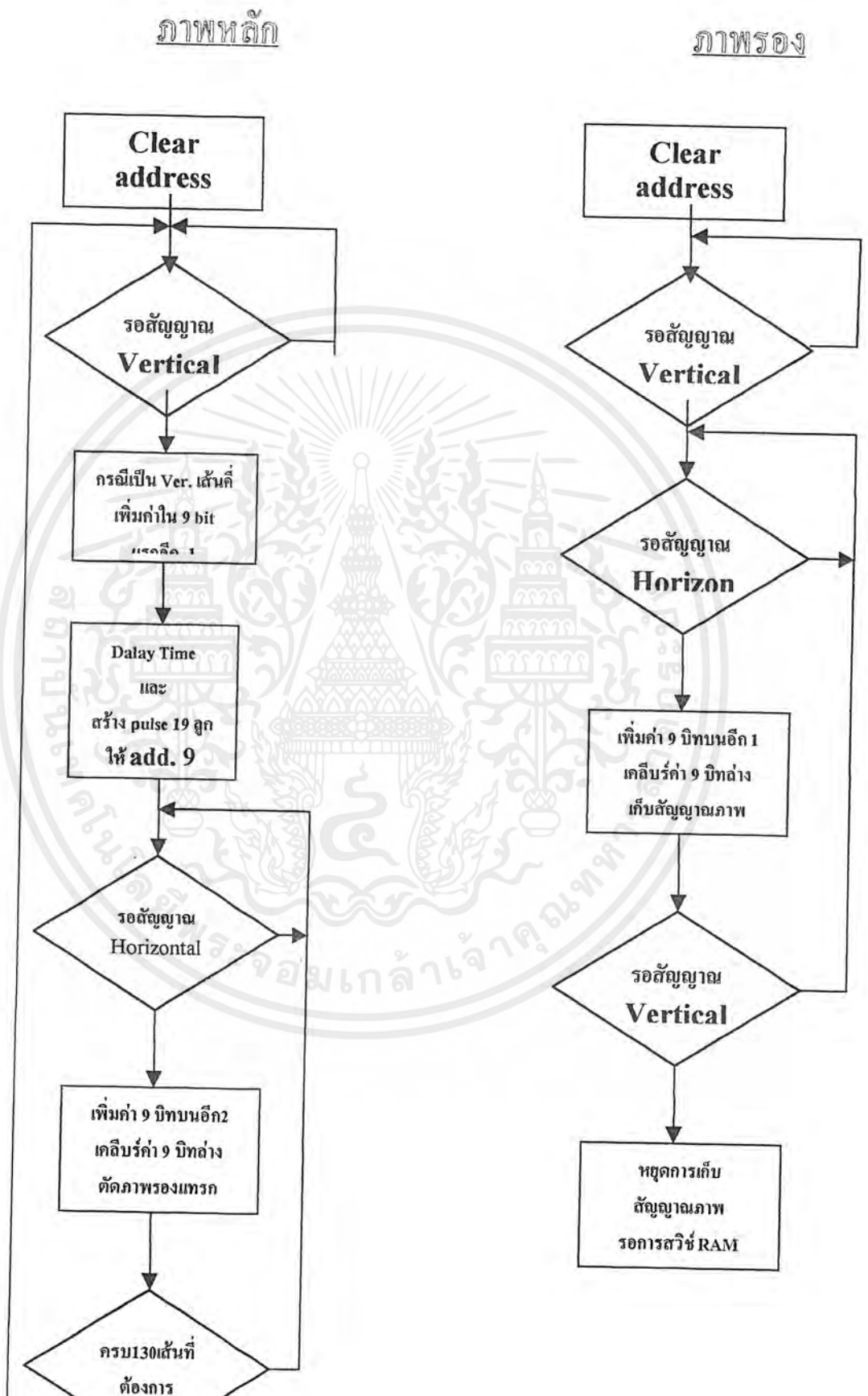
รูปที่ 2.13 การจัดสรรเนื้อที่ของหน่วยความจำ ในการเก็บข้อมูลสัญญาณวีดีโอภาพรอง

คือ ใช้ 9 bits บน ในการบอกลำดับของเส้นสแกนแนวนอนที่ทำการจัดเก็บและใช้ 9 bits ล่าง ในการบอกลำดับของจุดที่ทำการสุ่มบนเส้นสแกนแนวนอนแต่ละเส้น

เนื่องจากจะต้องทำการสุ่มและเก็บสัญญาณภาพรองไป ในขณะเดียวกันกับการดึงข้อมูลจากหน่วยความจำออก แสดงผลบนจอภาพ ดังนั้นเพื่อขจัดปัญหาและลดความสับสนในการเขียนและอ่านหน่วยความจำ จึงมีการใช้หน่วยความจำ 2 ชุด คือในขณะที่ชุดหนึ่ง ถูกดึงข้อมูลออกมาแสดงผลหน่วยความจำอีกชุดหนึ่งก็จะทำการเก็บข้อมูลสัญญาณภาพรอง เพื่อเตรียมที่จะใช้แสดงผลต่อไป

หน่วยความจำที่ใช้มี Block Diagram ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

2.9 ตัวควบคุมการไหลของข้อมูล (Latch)

โดยที่นี้ใช้เป็น IC (Integrated circuit) เบอร์ SN74LS373 ซึ่งขาสัญญาณออก จะมีได้ 3 สถานะ คือ High , Low และ High Impedance ซึ่ง Latch จะทำตัวเป็นเหมือน เขื่อน โดยจะทำหน้าที่ปิดกั้น หรือ เชื่อมต่อสัญญาณ Input กับสัญญาณ Output โดยใช้คุณสมบัติของ D-Flip Flop ดังรูป Logic Diagram

Input		Output
D	Q	Q
0	0	0
0	1	0
1	0	1
1	1	1

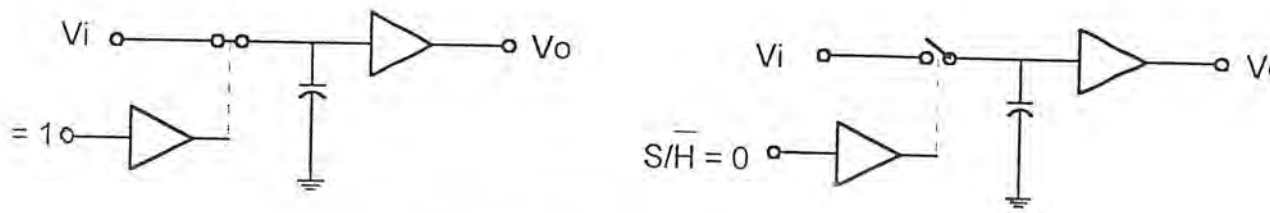
รูปที่ 2.14

จากรูปจะพบว่า เราจะสามารถทำให้ขา Output ของ Latch มีสถานะเป็น High Impedance ซึ่งก็เท่ากับว่าจะเป็นการตัดการเชื่อมต่อของขา Output ของ Latch ออกจากวงจรทั้งหมด โดยการควบคุมด้วยขา OE (Output Enable) ซึ่งจากคุณสมบัตินี้ จะทำให้สามารถนำมาประยุกต์ใช้ให้เกิดประโยชน์กับ โครงงานนี้เป็นอย่างมาก โดยจะได้กล่าวต่อไปในภายหลัง

2.10 วงจรสุ่มตัวอย่างและคงค่าสัญญาณ (S/H : Sampling and hold circuit)

เป็นวงจรทำหน้าที่เก็บค่าสัญญาณเชิงอุปมานเป็นช่วง ๆ แล้วคงค่าสัญญาณนั้นไว้เพื่อให้วงจรแปลงค่าเป็นค่าเชิงตัวเลขในภาคถัดไป โดยหลักการแล้วจะมีสวิทช์ที่ยอมให้สัญญาณเชิงอุปมานผ่านไปยังตัวเก็บประจุในช่วงของการสุ่มตัวอย่าง แต่จะไม่ยอมให้สัญญาณผ่านในช่วงคงค่าสัญญาณ ตัวเก็บประจุจะทำหน้าที่คงค่าสัญญาณสุดท้ายที่สุ่มได้ทำให้สัญญาณที่ออกคงที่ในช่วงคงค่าสัญญาณ การทำงานของวงจรแสดง ดังรูปที่ 2.15

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
36900



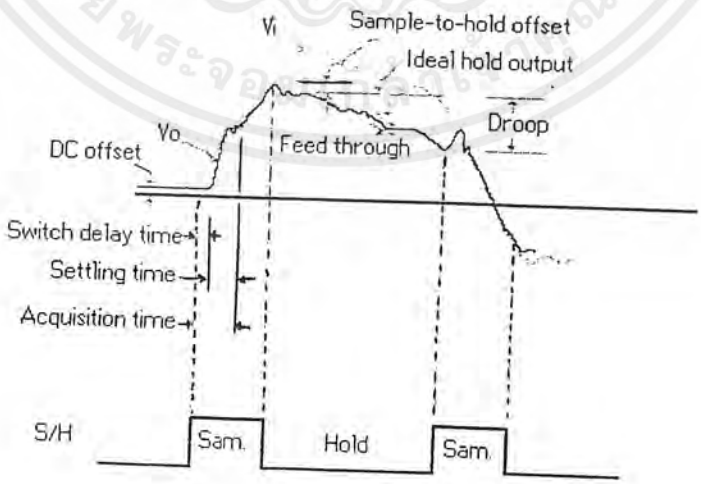
รูปที่ 2.15 การทำงานของวงจรสุ่มตัวอย่างและคงค่าสัญญาณ

ก) ช่วงสุ่มตัวอย่างสัญญาณ (Sample)

ข) ช่วงคงค่าสัญญาณ (Hold)

สวิทช์ที่ใช้เป็นสวิทช์เชิงอุปมาน (Analog switch) คือจะยอมให้สัญญาณผ่านไปได้ทั้งทางบวกและทางลบ ส่วนวงจรขยายนั้นจะต่อเป็นโหลดของตัวเก็บประจุ ทำหน้าที่เป็น บัฟเฟอร์ (Buffer) โดยที่ความต้านทานขาเข้าของมันสูงพอที่จะไม่ทำให้มีการคายประจุจาก ตัวเก็บประจุจากตัวเก็บประจุมากเกินไปในช่วงคงค่า และความต้านทานขาออกต่ำพอที่จะจ่ายสัญญาณต่อให้วงจรภาคถัดไปได้

Acquisition time คือช่วงเวลานับตั้งแต่เริ่มมีสัญญาณสั่งให้สุ่มตัวอย่าง (Sample) เวลาที่สัญญาณออกเท่ากับสัญญาณเข้าภายในช่วงของความผิดพลาดที่ระบุไว้ ค่านี้เป็นค่ารวมของ switch delay time, slew interval และ setting time ตามรูปที่ 2.16



รูปที่ 2.16 แสดงสัญญาณออกของการสุ่มตัวอย่าง และค่าต่าง ๆ ที่สำคัญ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Aperture (Delay) time คือช่วงเวลานับตั้งแต่หมดสัญญาณ S/H (Sample and Hold) จนถึงเวลาที่สวิทช์เปิดเต็มที่ ในช่วงนี้วงจรจะยังคงทำหน้าที่สุ่มตัวอย่างอยู่ แม้จะสั่งให้คงค่าสัญญาณแล้ว Sample-to-Hold offset (offset step) เป็นการเปลี่ยนแปลงประจุในตัวเก็บประจุเนื่องจากมีการถ่ายเทประจุเข้าหรือออกจากตัวเก็บประจุโดยผ่านทาง stray capacitance ในช่วงที่เปลี่ยนจาก sample ไปเป็น hold

2.11 วงจรแปลงสัญญาณเชิงอุปมานเป็นสัญญาณเชิงเลข (ADC : Analog to Digital Converter)

เป็นวงจรที่รับสัญญาณเชิงอุปมานทางภาคเข้าแล้วแปลงเป็นสัญญาณเชิงเลขทางภาคออก เนื่องจากในการเปลงสัญญาณต้องใช้เวลาช่วงหนึ่งในการแปลงค่าสสัญญาณจึงจำเป็นต้องคงค่าสัญญาณทางภาคเข้าไว้ซึ่งทำได้โดยใช้วงจรในรูปที่ 3.1.1

การแปลงสัญญาณเชิงตัวเลขไปเป็นสัญญาณชิงอุปมาน จะใช้การสร้างสัญญาณเชิงอุปมานให้มีค่าเท่ากับจุดกึ่งกลางช่วงย่อยที่แทนด้วยค่าเชิงตัวเลข แต่อยู่ในช่วงย่อยเดียวกัน ข้อผิดพลาดจากการแปลงรหัสเช่นนี้เกิดขึ้นในธรรมชาติ มีชื่อเรียกว่าค่าผิดพลาดควอนไตซ์ (Quanbtizing error) และมีค่าเป็นครึ่งหนึ่งของเลขฐานสองหลักที่มีนัยสำคัญน้อยที่สุด (+- 1/2 LSB) นอกเหนือจากข้อผิดพลาดแล้ว ยังอาจมีข้อผิดพลาดในการแปลงรหัสเนื่องจากวงจรของมันซึ่งอาจบอกเป็นเศษส่วนของเลขฐานสองหลัก ที่มีนัยสำคัญน้อยที่สุด (LSB)

ค่าที่สำคัญของวงจรนี้คือช่วงเวลาการแปลง (Conversion time) ซึ่งเป็นเวลาที่ใช้ในการแปลงค่าจากสัญญาณเชิงอุปมานจนได้ค่าเชิงตัวเลข

วงจรแปลงสัญญาณเชิงอุปมานเป็นสัญญาณเชิงตัวเลข แบ่งออกเป็น 2 ชนิด คือ ชนิดที่ต้องใช้วงจรแปลงสัญญาณเชิงตัวเลขเป็นสัญญาณเชิงอุปมาน กับพวกที่ไม่ต้องใช้วงจรแปลงสัญญาณเชิงตัวเลขเป็นสัญญาณเชิงอุปมานอีก (Digital to analog converter)

วงจรแปลงสัญญาณเชิงอุปมานเป็นสัญญาณเชิงตัวเลขที่ต้องใช้วงจรแปลงสัญญาณตัวเลขเป็นสัญญาณเชิงอุปมาน ได้แก่

- แบบขนาน (Parallel type)
- Voltage to time type
- Voltage to frequency type
- Dual slope converter

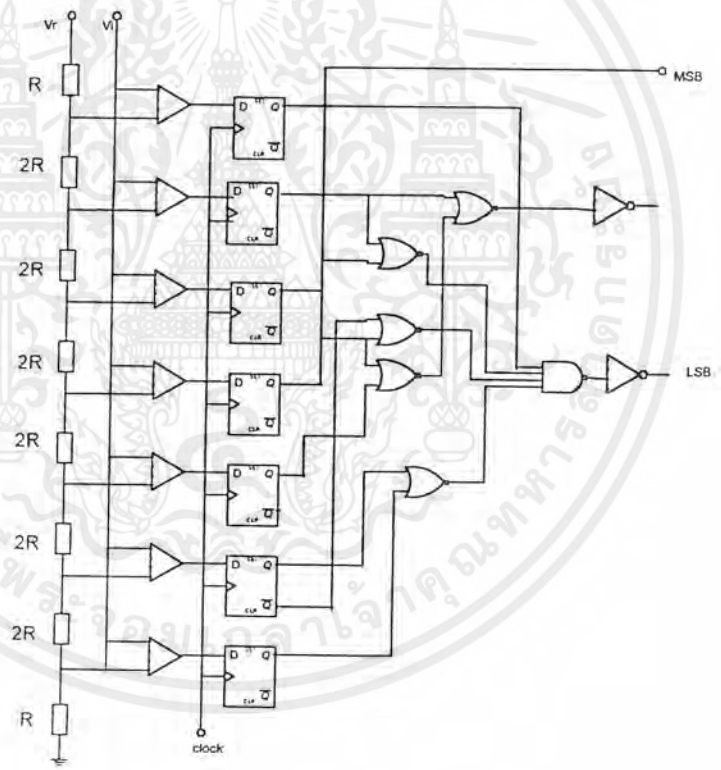
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรแปลงสัญญาณเชิงอุปมานเป็นสัญญาณเชิงตัวเลขที่ไม่ต้องใช้วงจรแปลงสัญญาณตัวเลขเป็นสัญญาณเชิงอุปมาน ได้แก่

- Successive approximation convertion
- Counter and Servo type

2.11.1 วงจรแปลงสัญญาณเชิงอุปมานเป็นสัญญาณเชิงตัวเลขแบบขนาน

เป็นแบบที่ใช้ในโครงงานนี้ ซึ่งจากรูปที่ 2.18 แสดงวงจรแบบขนาน 3 บิท ซึ่งใช้วงจรเปรียบเทียบ 7 ตัว ซึ่งโดยทั่วไปถ้าเป็นวงจรขนาด n บิท จะทำการเปรียบเทียบได้ $2^n - 1$ ระดับซึ่งจะห่างกันอย่างสม่ำเสมอ



รูปที่ 2.17 แสดงวงจรแปลงสัญญาณเชิงอุปมานเป็นสัญญาณเชิงเลขแบบขนาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

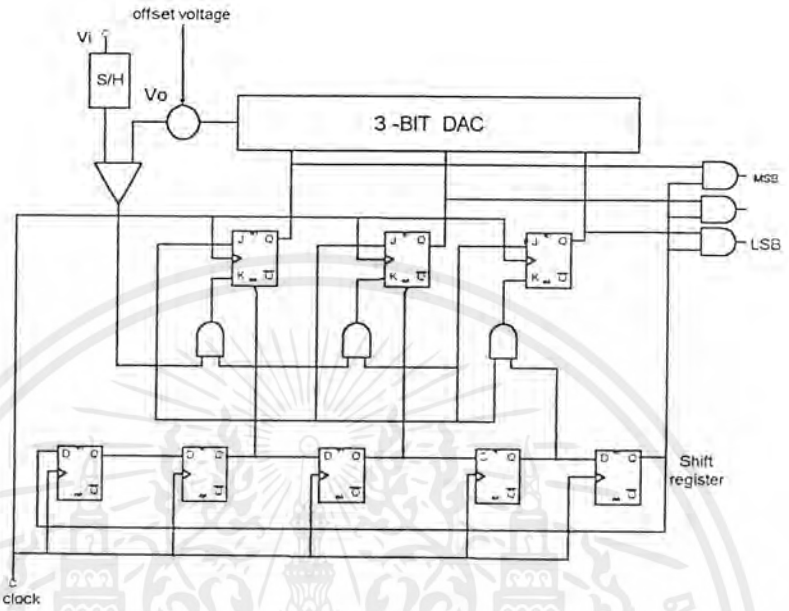
ตาราง 3.1 แสดงการแบ่งค่าแรงดันเปรียบเทียบเป็นเลขฐานสอง

BINARY	ANALOG
111	V_R
110	6/7 V_R
100	5/7V_R
011	4/7V_R
010	3/7V_R
001	2/7V_R
000	1/7V_R

ข้อดีของวงจรแบบแปลงสัญญาณเชิงอุปมานเป็นสัญญาณเชิงตัวเลขแบบนี้ก็คือทุกบิทถูกแปลงขนานกันไป ทำให้มีความเร็วมากกกว่าแบบอื่นที่ทำการแปลงทีละบิท โดยความเร็วในการแปลงขึ้นอยู่กับความเร็วของวงจรเปรียบเทียบ

ข้อเสียของวงจรนี้คือ จำนวนวงจรเปรียบเทียบที่ใช้จะเพิ่มขึ้นเป็นอนุกรมเรขาคณิตเมื่อเกิดการเรโซแนนซ์ (Resonance) เพิ่มขึ้นสำหรับขนาด n บิท ต้องใช้วงจรเปรียบเทียบ $2^n - 1$ ตัว จำนวนอุปกรณ์ ทางตรรกเพิ่มตามไปด้วยหากว่าเรายอมลดความเร็วของการแปลงลง เราอาจนำวงจรแปลงแบบขนานนี้มาต่อเรียงกัน (Cascade) เพื่อให้ลดอุปกรณ์ต่าง ๆ ลงเมื่อจำนวนบิทเพิ่มขึ้น ตามารูป 3.3 ซึ่งเป็นการต่อเรียงกันขนาด 6 บิท และใช้วงจรเปรียบเทียบเท่ากับ $2*(2^3 - 1) = 14$ ตัว แทนที่จะใช้ถึง $2^6 - 1 = 63$ ตัว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.18 แสดงวงจรแปลงสัญญาณเชิงอุปมานเป็นสัญญาณเชิงตัวเลขแบบเรียงต่อกัน

2.11.2 วงจรแปลงสัญญาณเชิงอุปมานเป็นสัญญาณเชิงตัวเลขแบบการประมาณค่า (Successive approximation converter)

วงจรนี้มีลักษณะพิเศษเฉพาะตัว คือ เวลาที่ใช้ในการเปลี่ยนแปลงข้อมูล (Conversion time) มีค่าคงที่ไม่ขึ้นกับขนาดของสัญญาณเชิงอุปมาน เป็นวงจรชนิดที่ Qa , Qb , Qc , Qd และ Qe ต่อเป็น Modulo-ring counter หรืออาจถือว่าเป็นตัวเลื่อน (shift register) ซึ่งมีสัญญาณออกเป็น 1 เพียงตัวเดียว และค่า 1 นี้จะเลื่อนไปเรื่อย ๆ เป็นวงแหวนทุกครั้งที่ สัญญาณนาฬิกา (clock) เปลี่ยนจากค่า 1เป็น 0 ส่วน Q1 , Q2, Q3 เป็นฟลิปฟลอปสำหรับเก็บค่าสัญญาณเชิงตัวเลขขาออก ในการทำงานเริ่มต้นจะมีวงจร ที่จะเซท ให้ Qa =1ส่วน Qb , Qc , Qd , Qe เป็น 0 หมด Qa จะรีเซท ฟลิปฟลอปตัวที่1 และ 2 ทำให้ Q2,Q1 เป็น 0 เมื่อสัญญาณนาฬิกาเปลี่ยนค่าจาก 0 เป็น 1 ขา J ของฟลิปฟลอป ตัวที่ 3 เป็น 1 ทำให้ถูกเซทเป็น 1 ในขณะนี้สัญญาณาณเข้าของที่ Q_3 Q_2 Q_1=100 ซึ่งจะให้สัญญาณออก V0 เข้ามาเปรียบเทียบกับ Va ซึ่งเป็นสัญญาณเข้าที่ได้จาก S/H ถ้า Va น้อยกว่า V0 (หมายความว่า MSB ในขณะนี้มีค่าใหญ่เกินไป) จะมีค่าเป็น 1 เมื่อสัญญาณนาฬิกาเปลี่ยนค่าจาก 1 เป็น 0 ทำให้ Qb จะถูกเซท ขา J ของฟลิปฟลอปตัวที่ 3 = Co*Qb =1 เป็นผลให้ Q3 ถูก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รีเซท เมื่อสัญญาณนาฬิกาเปลี่ยนค่าจาก 0 เป็น 1 อีกครั้ง แต่ถ้าในรอบแรก Va มากกว่า Vo จะทำให้ C0 เป็น 0 ทำให้ขา J ของฟลิปฟลอปตัวที่ 3 เป็น 0 และไม่ถูกรีเซทเมื่อสัญญาณนาฬิกาเปลี่ยนค่าจาก 0 เป็น 1 ส่วนในสัญญาณนาฬิกาที่ 2 ก็เช่นเดียวกัน C0 จะเป็นตัวบอกว่าขณะนี้ Va มากหรือน้อยกว่า V0 ซึ่งถ้ามากกว่าในสัญญาณนาฬิกาต่อไป Q2 จะถูกคงค่าไว้ แต่ถ้าน้อยกว่า Q2 จะถูกรีเซทในสัญญาณนาฬิกาต่อไป การทำงานจะเป็นเช่นนี้ไปเรื่อย ๆ จนครบทุกบิท ในกรณี 3 บิทนี้ บิทสุดท้ายจะถูกตัดสินว่ามีค่าอะไร ในสัญญาณนาฬิกาที่ 4 และ 5 ใช้สำหรับส่งค่าเชิงตัวเลขไปใช้งาน

การทำงาน ของวงจรนี้เหมือนกับการชั่งน้ำหนัก โดยเริ่มต้นใส่ตุ้มน้ำหนักที่หนักที่สุดลงไปก่อนถ้าหนักเกินไปก็ยหยิบต้มนี้ออกมาแล้ว ใสต้มน้ำหนักรองลงไปแทน แต่ถ้าเบาไปก็ปล่อยตุ้มน้ำหนักแรกไว้บนตาชั่ง และใส่ตุ้มน้ำหนักรองเพิ่มลงไป ทำเช่นนี้ไปเรื่อย ๆ จนลองถึงตุ้มน้ำหนักอันเล็กที่สุด ก็เป็นอันว่าชั่งเสร็จ

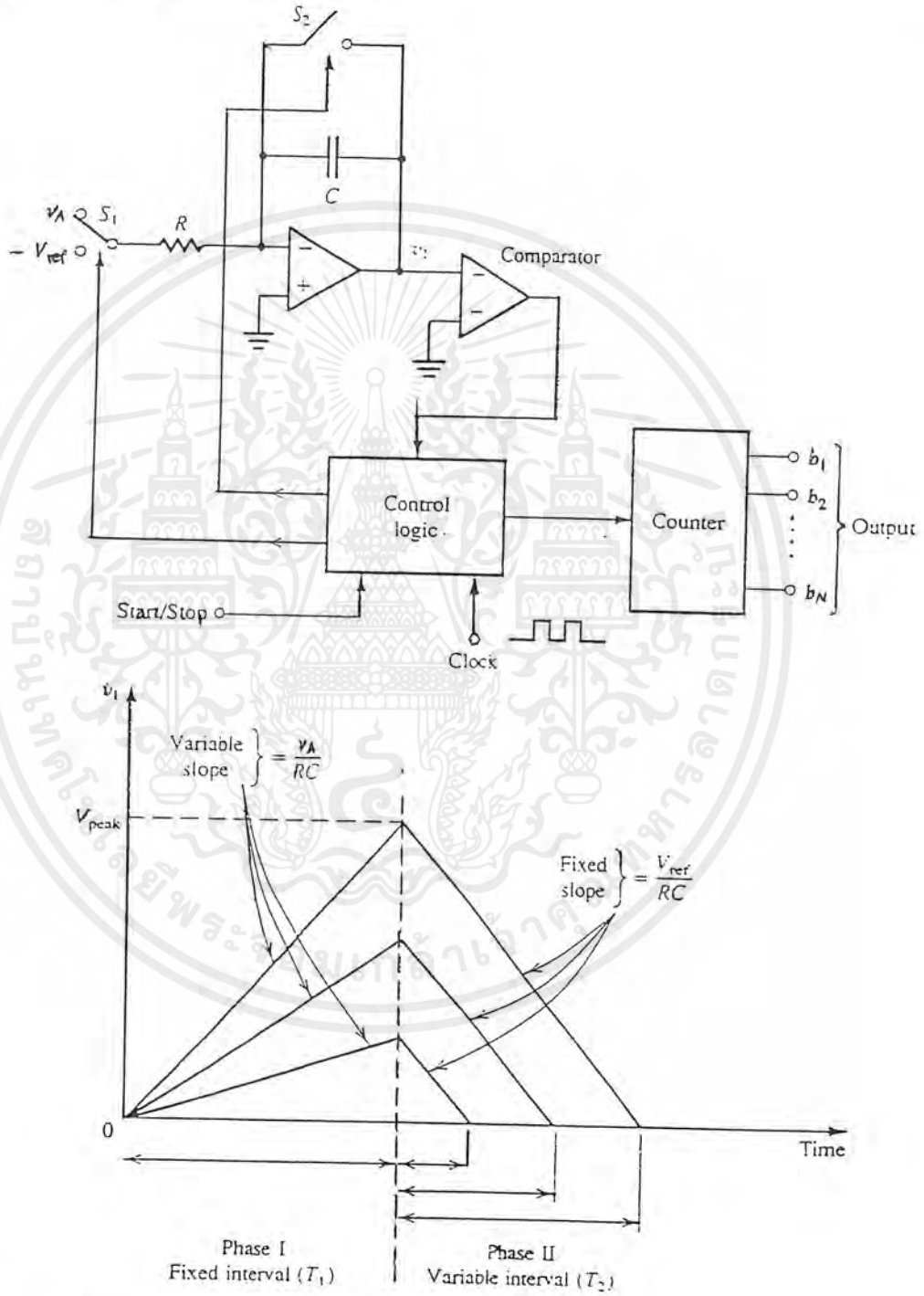
2.11.3 วงจรแปลงสัญญาณเชิงอุปมานเป็นสัญญาณเชิงตัวเลขแบบสโลปคู่ (Dual slope converter)

เป็นอีกแบบหนึ่งที่นิยมใช้ และเหมาะสำหรับใช้ในเครื่องวัดแรงดันไฟฟ้าเชิงตัวเลข (Digital Voltmeter) หรือใช้ในวงจรที่ยอมให้ใช้เวลานานในการแปลง โดยมีข้อดีที่สามารถลดสัญญาณรบกวน (Noise) ได้เนื่องมาจากการหาค่าเฉลี่ยของสัญญาณ การทำงานของวงจรดูจากรูป 4.2-9 (ก) ที่เวลาเป็น 0 สวิทช์ S1 อยู่ที่ A และ S2เริ่มเปิดขณะนี้ C ไม่มีประจุสัญญาณเชิงอุปมาน Va จะต่อกับวงจรอินทิเกรเตอร์ (Integrator) จะมีค่าลดลงไปทางลบ ตามรูปที่ 2.18

ในขณะเดียวกันที่เวลาเป็น 0 แรงดันออกของวงจรเปรียบเทียบ Vc เป็น 1 สัญญาณนาฬิกาจะผ่านเกท (Gate) เข้าไปนับในวงจรนับ ซึ่งจุถูกเคลียร์ (Clear) อยู่ก่อนแล้ว วงจรนับจะนับไปเรื่อย ๆ จนถึงเวลา T1 ซึ่งนับได้ 2^n ครั้ง ส่วน Qn จะเปลี่ยนเป็น 1 ขณะนี้สัญญาณออก V0 มีค่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยที่ Tc คือคาบของสัญญาณนาฬิกา Qn จะบังคับให้ S1 เปลี่ยนมาอยู่ทาง B โดย V0 จะเริ่มเพิ่มค่าไปทางบวกจนกระทั่งที่เวลา T2 ค่าของ V0 จะเริ่มเป็นบวก Vc จะกลายเป็น 0 ซึ่งจะหยุดสัญญาณนาฬิกาที่จะเข้าไปวงจรนับเราจะได้



รูปที่ 2.19 (ก) วงจรแปลงสัญญาณเชิงอุปมานเป็นสัญญาณเชิงตัวเลขแบบสโลปคู่
(ข) สัญญาณออกของอินทิเกรเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เนื่องจากที่เวลา T1 ฟลิปฟลอป N ตัวแรก ต่างก็เป็น 0 ที่เวลา T2 สมมติว่าจำนวนนับเพิ่มขึ้น

$$T_2 - T_1 = T_C = \frac{V_a}{V} 2^N T_C$$

จำนวนนับจะได้ = $\frac{V_a}{V} 2^N$

ในขณะที่ Va < Vr ค่าสัญญาณออกเชิงตัวเลขจะแปรตามค่า Va แต่ถ้า Va > Vr จะเกิน 2^n จะเกิดโอเวอร์โฟลว์ เมื่อจะเริ่มการแปลงในรอบต่อไปจะต้องทำการเคลียร์ฟลิปฟลอปทุกตัวก่อน แล้วปิดสวิทช์ S2 ชั่วขณะหนึ่งเพื่อคายประจุใน C และสับ S1 กลับไปยัง A ใหม่อีกครั้งหนึ่ง

2.12 หน่วยความจำเข้าถึงแบบสุ่ม (RAM : Random Access Memory)

เป็นหน่วยเก็บค่าเชิงตัวเลขมีชื่อเรียกอีกอย่างว่าหน่วยความจำแบบอ่านเขียนได้ (Read Write Memory) แต่ชื่อ RAM เป็นที่นิยมใช้โดยทั่วไปคุณสมบัติเป็นไปตามชื่อของมัน คือสามารถบันทึกค่าเชิงตัวเลขทางภาคเข้า และสามารถอ่านค่าที่บันทึกออกมาโดยมีสัญญาณที่ควบคุมคือ R / W และมีสัญญาณบังคับอีกชุดหนึ่งคือสายกำหนดตำแหน่ง (Address line) ซึ่งกำหนดตำแหน่งจากหน่วยความจำที่ใช้เก็บค่า ถ้าใช้สายกำหนดตำแหน่ง 8 เส้น จะสามารถเก็บค่าได้ $2^8 = 256$ ค่า

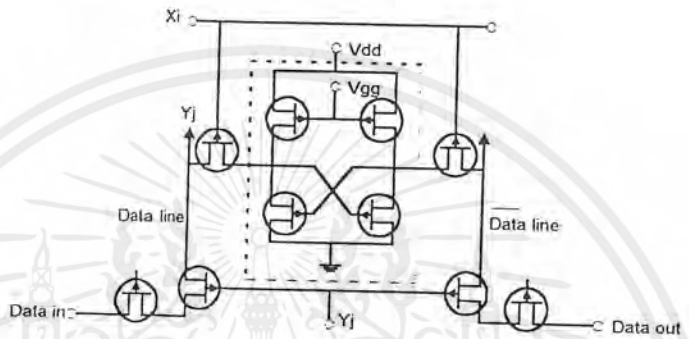
หน่วยความจำเข้าถึงแบบสุ่มอาจจะสร้างจากไบโพล่าร์ทรานซิสเตอร์ (BJT : Bipolar Junction Transistor) หรือ มอสเฟท (MOSFET : Metal Oxide Semiconductor Field Effect Transistor) ซึ่งมักจะเรียกว่า " มอส " ซึ่งทรานซิสเตอร์แบบ ไบโพล่าร์ มีข้อดีคือความเร็วสูง แต่มีข้อเสียที่ใช้ กำลังงานสูง และกินเนื้อที่ของซิลิกอนในวงจรรวมมาก ส่วนแบบ มอส ความเร็วต่ำกว่า แต่ใช้กำลังงานต่ำและกินเนื้อที่ของซิลิกอนในวงจรรวมน้อยกว่าไบโพล่าร์มาก

ในไบโพล่าร์ทรานซิสเตอร์จะใช้วงจร ควบคู่แบบข้าม (Cross-Coupled Inverters) หรือฟลิปฟลอปซึ่งมีได้สองสภาวะคือ 1 และ 0 ส่วนมอส มี 2 แบบ คือ

2.12.1 หน่วยความจำแบบสถิตย์ (Static MOS RAM) หน่วยความจำใช้วงจรฟลิปฟลอป เช่นเดียวกับหน่วยความจำที่ใช้ไบโพล่าร์ทรานซิสเตอร์ รูปที่ 2.20 แสดงหน่วยความจำเพียงหนึ่งในจำนวนหน่วยความจำทั้งหมดซึ่งจัดเรียงให้อยู่ในรูปของ x-y matrix โดยมีวงจรถอด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

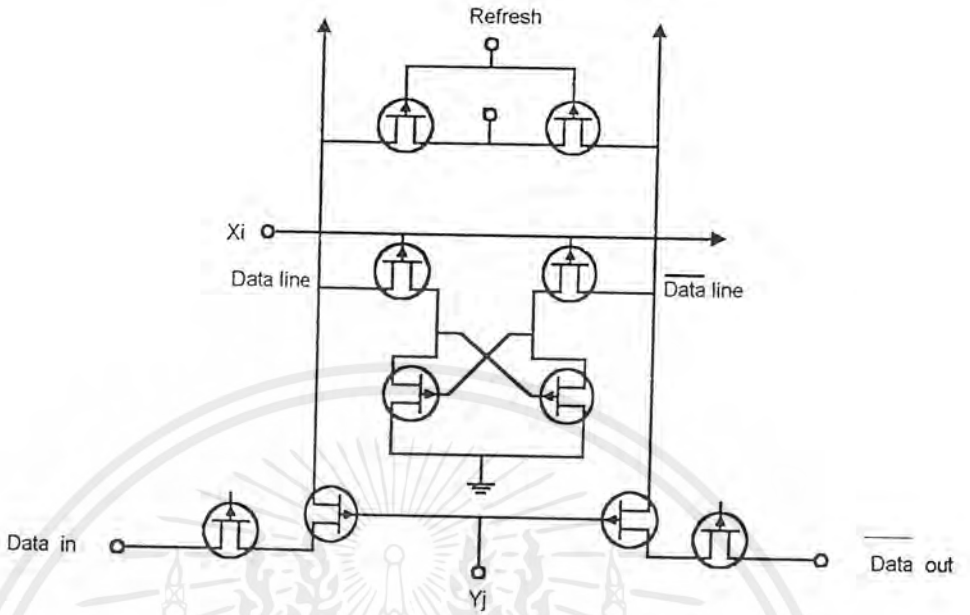
รหัส (Decoder) สำหรับแปลงจากเส้นกำหนดตำแหน่ง (Address lines) ให้ สัญญาณกลุ่ม x และกลุ่ม y เป็น 1 ได้กลุ่มละหนึ่งเส้นสำหรับที่หน่วยความจำที่ถูกเลือก T5-T6 จะนำกระแส ในการบันทึกค่าต้องตั้งให้ w = 1 T9 จะนำกระแสผ่าน T7 และ T5 ไปเก็บในฟลิปฟลอป ส่วนในการอ่านค่าที่บันทึกไว้ R=1 T10 จะนำกระแส ค่าที่เก็บในฟลิปฟลอป จะส่งผ่าน T6,T8,T10 ออกมาเป็นค่าที่เป็นค่าจำนวนเติมเต็ม (Complement) กับสัญญาณที่ได้บันทึกไว้



รูปที่ 2.20 หน่วยความจำของหน่วยความจำแบบสถิตย์ ซึ่งแสดงอยู่ภายในกรอบเส้นประ และอุปกรณ์ต่างๆสำหรับเลือกการทำงาน

2.12.2 หน่วยความจำแบบพลวัต (Dynamic MOS RAM) อาศัยตัวเก็บประจุที่เกทของมอสเฟท เพื่อคงค่าแรงดันไว้ได้ชั่วขณะ เหตุที่สามารถคงค่าแรงดันไว้ได้ก็เนื่องจากความต้านทานขาเข้าของ มอสเฟท ทำให้การคายประจุที่เก็บไว้เป็นไปอย่างช้าๆ แต่เนื่องจากประจุจะคายออกไปเรื่อย ๆ จึงจำเป็นต้องมีวงจรรีเฟรช (Refresh) สำหรับคอยเพิ่มประจุจำนวนนี้เป็นระยะๆ รูปที่ 2.21 แสดงตัวอย่างของหน่วยความจำแบบนี้ ตัวเก็บประจุ C ที่แสดงด้วยเส้นประเพื่อแสดงว่ามีขึ้นเองโดยธรรมชาติ ไม่ได้จงใจสร้างขึ้น การบันทึกกระทำโดยผ่าน T9 , T7 , T5 เหมือนหน่วยความจำสถิตย์ ถ้าสัญญาณเข้าเป็น 1 มันจะเก็บประจุไว้ใน C2 และ T2 จะนำกระแสทำให้ C1 ถูกต่อลงดินและ T1 ไม่นำกระแส เนื่องจาก T1,T2 ต่อเป็นฟลิปฟลอป เมื่อหมดช่วงบันทึกค่าแล้ว ค่าประจุใน C2 จะยังคงมีอยู่ต่อไปอีกระยะหนึ่ง ถ้าสัญญาณเข้า เป็น 0 ผลจะได้กลับกันคือ C1 มีประจุ แต่ C2 ไม่มีประจุ การอ่านกระทำโดยผ่าน T6,T8,T10 ในทำนองเดียวกันกับ หน่วยความจำสถิตย์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.21 หน่วยความจำแบบพลวัต (แสดงอยู่ภายในกรอบเส้นประ)

ส่วนที่ต่างจาก หน่วยความจำสถิตย์ ก็คือมันต้องมีช่วงเวลาสำหรับทำรีเฟรช อยู่ตลอดเวลา เพื่อชดเชยประจุที่รั่วไหล จาก C1 หรือ C2 แล้วแต่ว่าข้อมูลที่เก็บมีค่าเป็น 0 หรือ 1 ใน ช่วงรีเฟรช ขารีเฟรช และ x เป็น 1 ทำให้ T5,T6,T11T12 นำแส สมมติว่าเก็บค่า 0 ไว้ ในขณะนี้ประจุ อยู่ที่ C1 ทำให้ T1 นำกระแส และ T2 ไม่นำกระแส การที่ T11,T5,T1 นำกระแสทำให้ C2 ถูกประจุให้เต็มที่ได้ 1/3 Vdd นอกจากนี้ใน C1 เดิมจะมีประจุเหลืออยู่บ้าง ดังนั้นเมื่อหมดช่วงรีเฟรช ซึ่งเป็นช่วงเวลาสั้น ๆ C1 จะมีประจุอยู่ มากกว่า C2 เป็นผล ให้ T1 นำกระแส และ T2 ไม่นำกระแส ประจุใน C2 จะคายออกโดยผ่าน T1 ซึ่งโดยสรุปแล้ว C1 จะได้ประจุเพิ่มขึ้นหลักช่วงเวลารีเฟรช

2.13 วงจรแปลงสัญญาณเชิงตัวเลขเป็นสัญญาณเชิงอุปมาน (DAC : Digital to Analog Converter)

เป็นวงจรที่รับสัญญาณเชิงตัวเลขแล้วแปลงกลับเป็นค่าเชิงอุปมาน ซึ่งโดยหลักการแล้วจะสร้างได้ง่ายกว่าเมื่อเทียบกับวงจรแปลงสัญญาณเชิงอุปมานเป็นสัญญาณเชิงตัวเลข วงจรแปลงสัญญาณเชิงตัวเลขเป็นสัญญาณเชิงอุปมานมี หลายแบบซึ่งในที่นี้จะกล่าวถึงแบบที่สำคัญ ๆ อย่างย่อ ดังนี้

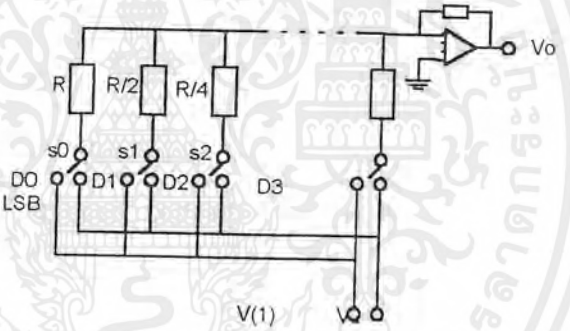
-The weighted - register DAC ใช้หลักการของวงจรรวมสัญญาณ โดยมีอัตราขยายต่างกันสำหรับสัญญาณเข้าต่างกัน ตัวอย่างของวงจรนี้แสดงในรูป 3.8 สัญญาณเชิงตัวเลขที่เป็น 1 จะ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

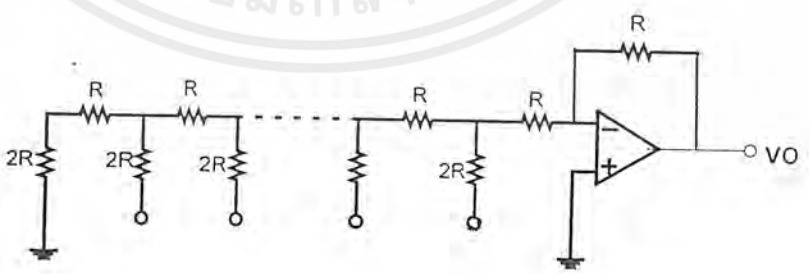
บังคับสวิทช์ให้ส่งแรงดันอ้างอิงเข้าไปในวงจรบวกสัญญาณซึ่งสร้างจากออพแอมป์ อัตราขยายของวงจรสัญญาณจะจัดโดยค่าตัวต้านทานเข้าสำหรับแต่ละสัญญาณให้อัตราขยายของบิทที่ 1 เป็นสองเท่าของบิทที่ 0 อัตราการขยายของบิทที่ 2 เป็นสองเท่าของบิทที่ 1 เช่นนี้ไปเรื่อย ๆ ตามน้ำหนักของบิทในระบบ เลขฐานสอง

-The R - 2R Ladder DAC เป็น weighted - register DAC แบบหนึ่งซึ่งใช้ค่าความต้านทานอยู่สองค่า คือ R และ2R ตามรูปที่ 2.22 ซึ่งสามารถตรวจสอบได้ว่าอัตราขยายจะเพิ่มเป็นสองสำหรับสัญญาณเชิงตัวเลขที่มีนัยสำคัญเพิ่มขึ้น 1 บิท

-The current - driven DAC จะเป็นแบบใดในสองแบบข้างต้นก็ได้ แต่ใช้กระแส อ้างอิงแทนแรงดันอ้างอิง ทำให้ความเร็วสูงขึ้นวงจรนี้แสดงในรูป 3.9 ซึ่งมีการใช้ Inverted - ladder DAC เป็นการปรับปรุงเพื่อลดผลของการหน่วงเวลาในวงจร R - 2R วงจรนี้แสดงในรูปที่ 2.24

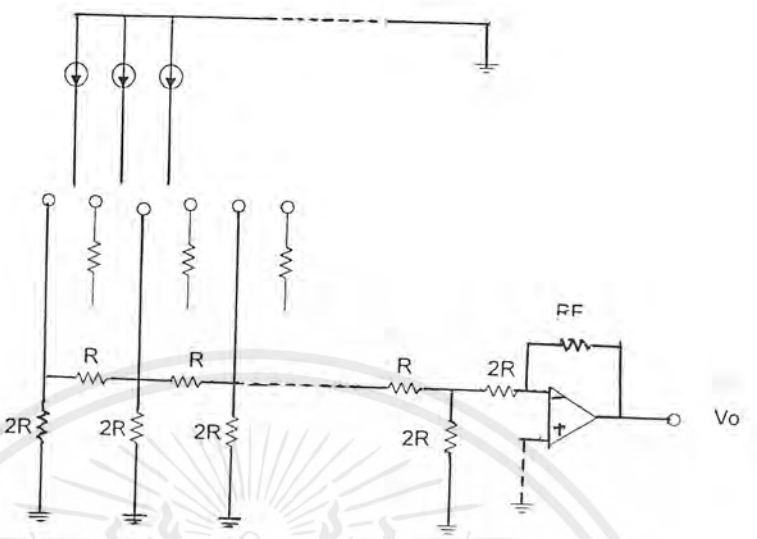


รูปที่ 2.22 ตัวอย่างวงจร Weighted - resister DAC ขนาด *n*

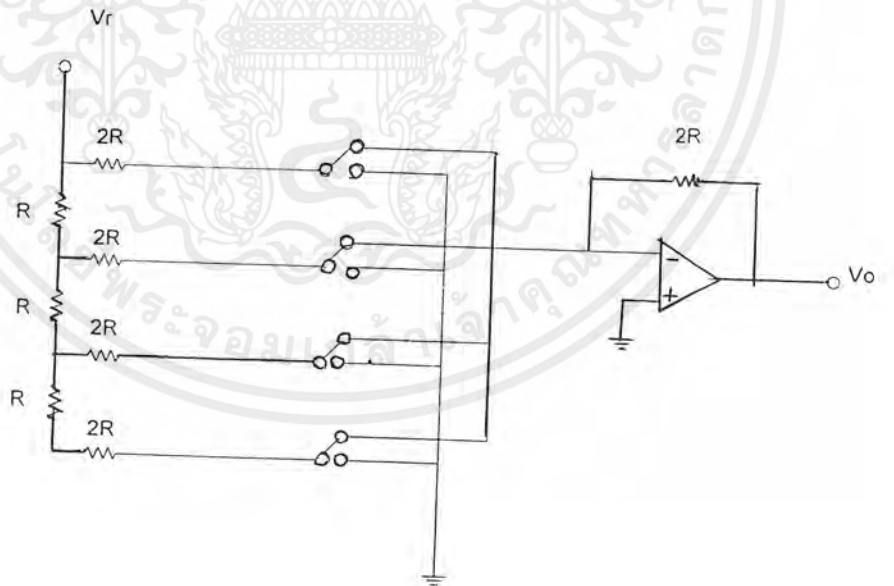


รูปที่ 2.23 วงจร R - 2R Ladder DAC ขนาด n บิท
(สัญญาณเชิงตัวเลขจะใช้บังคับสวิทช์เพื่อส่งแรงดันอ้างอิง)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.24 วงจร Current - driven R - 2R ladder DAC



รูปที่ 2.25 วงจร Inverted - ladder DAC

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.14 วงจรกรองผ่านความถี่ต่ำ (LPF : Low Pass Filter)

เป็นวงจรกรองสัญญาณความถี่สูงออก และยอมให้สัญญาณความถี่ต่ำผ่านไปได้ แบ่งเป็น 2 แบบใหญ่ ๆ คือ พาสซีพ และ แบบแอคทีพ

- แบบพาสซีพ หมายถึง วงจรที่ใช้เฉพาะอุปกรณ์ที่เป็น พาสซีพ ได้แก่ ตัวต้านทาน ตัวเก็บประจุ และ ตัวเหนี่ยวนำ

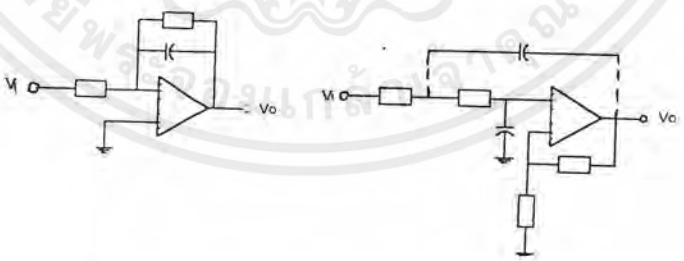
- แบบแอคทีพ เป็นแบบที่ใช้วงจรขยาย ประกอบกับ ตัวต้านทาน และ ตัวเก็บประจุ สำหรับงานที่ความถี่ไม่สูงมากและต้อง

การวงจรกรองที่มีอันดับ (order) สูง มักจะสร้างแบบ แอคทีพ ข้อดีอีกประการหนึ่งของวงจรกรองแบบแอคทีพ ก็คือสามารถสร้างวงจรกรองให้มีอัตราขยายได้และสามารถสร้เงให้อิมพิแดนซ์ทางออกมีค่าต่ำทำให้เมื่อต่อโหลดแล้วไม่ทำให้ลักษณะสมบัติของวงจรกรองผิดไป สำหรับอันดับของตัวกรองนั้นจะขออธิบายเพียง 2 อันดับ ดังนี้

2.13.1 วงจรกรองอันดับหนึ่ง เป็นวงจรกรองที่ฟังก์ชันถ่ายโอน (Transfer Function) มีเพียง 1 โพล (pole) ตามสมการ

$$H(S) = \frac{H_0 W_0}{S + W_0}$$

วงจรในรูป 3.1 แสดงตัวอย่างของวงจรกรองอันดับหนึ่ง วงจรกรองแบบนี้มักใช้ในกรณีอันดับรวมของวงจรกรองเป็นเลขคี่ เช่น ถ้าต้องการวงจรกรองอันดับ 3 จะสร้างโดยใช้วงจรอันดับหนึ่งต่อเรียงกันกับวงจรอันดับสอง เป็นต้น



ก ข

รูปที่ 2.26 วงจรกรองผ่านความถี่ต่ำ (ก) อันดับหนึ่ง (ข) อันดับสอง

2.13.2 วงจรกรองอันดับสอง เป็นวงจรกรองที่ฟังก์ชันถ่ายโอนมีสอง pole ตามสมการ

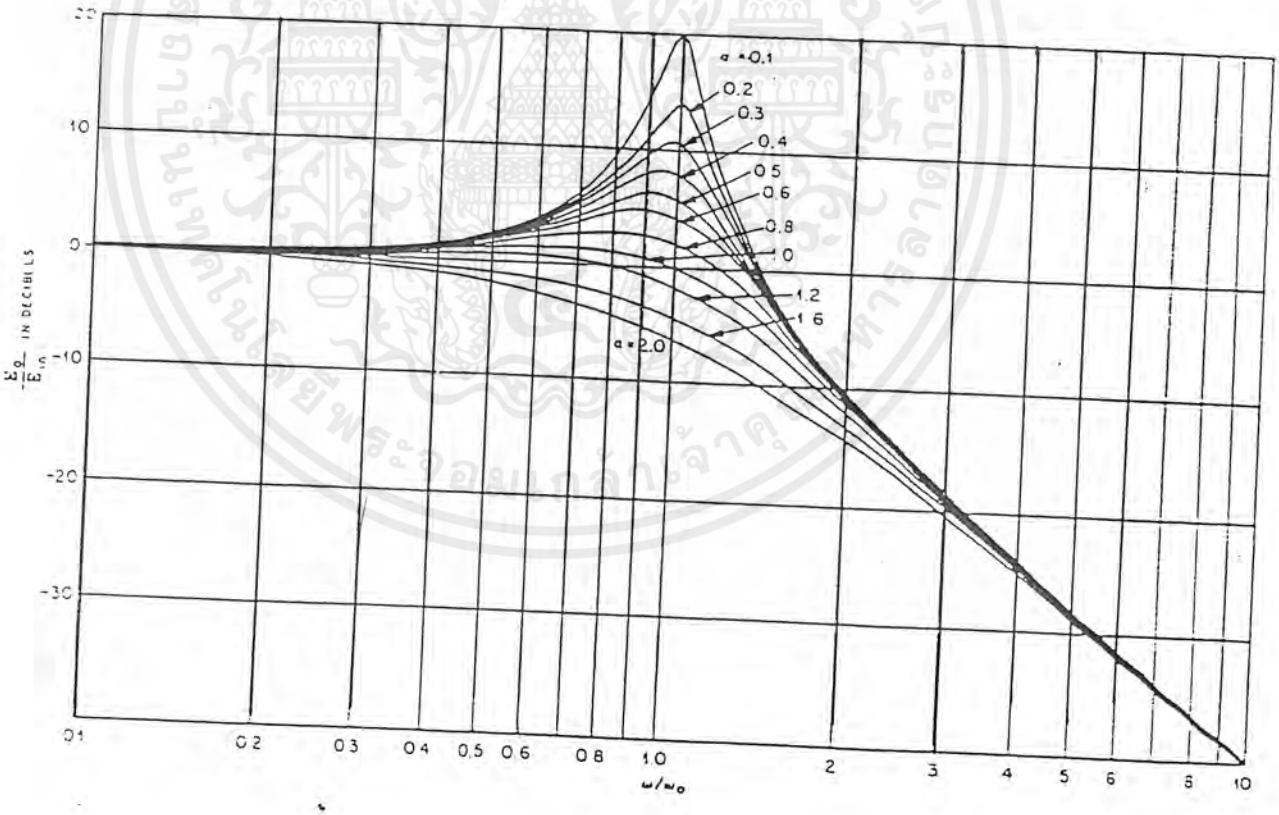
$$H(S) = \frac{H_0 W_0^2}{S^2 + W_0 S + W_0^2}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรแบบหนึ่งที่นิยมใช้ตามที่แสดงในรูป 3.13 ค่า เป็นตัวกำหนดผลตอบสนองความถี่ของวงจรกรอง โดยที่ค่า = 1.414 เป็นค่าที่ได้ผลตอบสนองแบบ Maximally flat ถ้าค่า . เล็กกว่านี้จะมี Overshoot คือผลตอบสนองจะมีบางส่วนเกินเส้น 0 dB

การนำเอาวงจรกรองทั้งสองแบบมาต่อเรียงกัน เพื่อให้ได้ผลตอบสนองแบบต่าง ๆ มีได้หลายวิธี ที่นิยมกันมาก คือการจัดแบบบัตเตอร์เวอร์ทอันดับที่ เอ็น (n-th order Butter worth) ซึ่งความราบเรียบสูงสุด (Maximally flat) สำหรับวงจรกรองอันดับสอง ที่ = 1.414 เป็นเพียงกรณี n = 2 และ วงจรกรองความถี่ต่ำแบบบัตเตอร์เวอร์ธ นี้ จะมีขนาดของผลตอบสนองความถี่เท่ากับ

$$|H(jw)| = \frac{H_0}{\sqrt{1+\left(\frac{W}{W_0}\right)^{2n}}}$$



รูปที่ 2.27 ขนาดของผลตอบสนองความถี่ของวงจรกรองผ่านความถี่ต่ำอันดับสอง สำหรับ $\alpha \leq 2$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

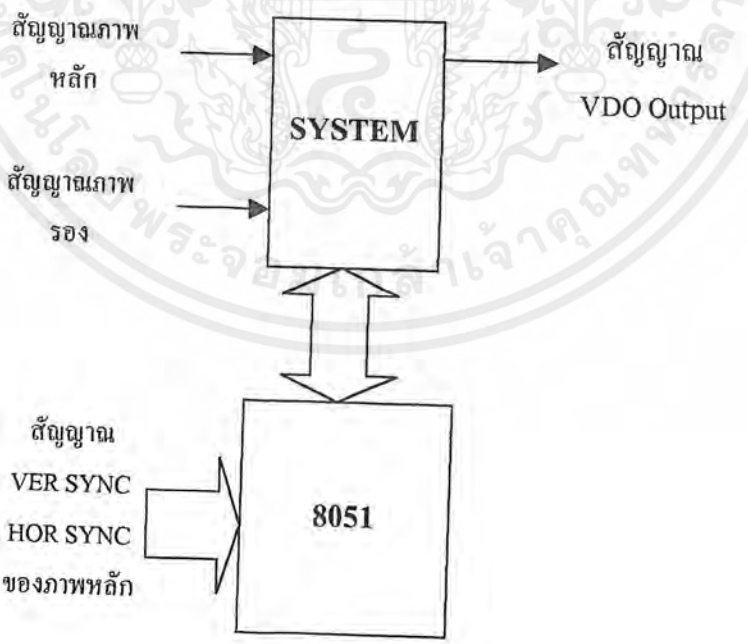
บทที่ 3
การออกแบบโครงงาน

ในการออกแบบโครงงานนี้ จะทำการนำสัญญาณภาพสองสัญญาณ ซึ่งสัญญาณหนึ่งจะเป็นสัญญาณภาพหลัก และอีกสัญญาณหนึ่งจะเป็นสัญญาณภาพรอง มาทำการซ้อนกัน โดยจะทำการเก็บสัญญาณภาพรองไว้ในหน่วยความจำ และทำการอ่านสัญญาณภาพรองจากหน่วยความจำ เมื่อถึงเวลาที่ต้องการจะแสดงภาพรองซ้อนบนสัญญาณภาพหลัก ซึ่งสามารถแบ่งการทำงานออกเป็นสองส่วนใหญ่ ๆ ได้แก่

- การตัดต่อสัญญาณภาพหลักและสัญญาณภาพรอง
- การเก็บ และ อ่านข้อมูลสัญญาณภาพรองกับหน่วยความจำ

โดยมีหลักการทำงานโดยละเอียดดังต่อไปนี้

3.1 การตัดต่อสัญญาณภาพหลักและสัญญาณภาพรอง



รูปที่ 3.1 โครงสร้างในส่วนการตัดสัญญาณภาพหลักเพื่อ แทรกสัญญาณภาพรอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

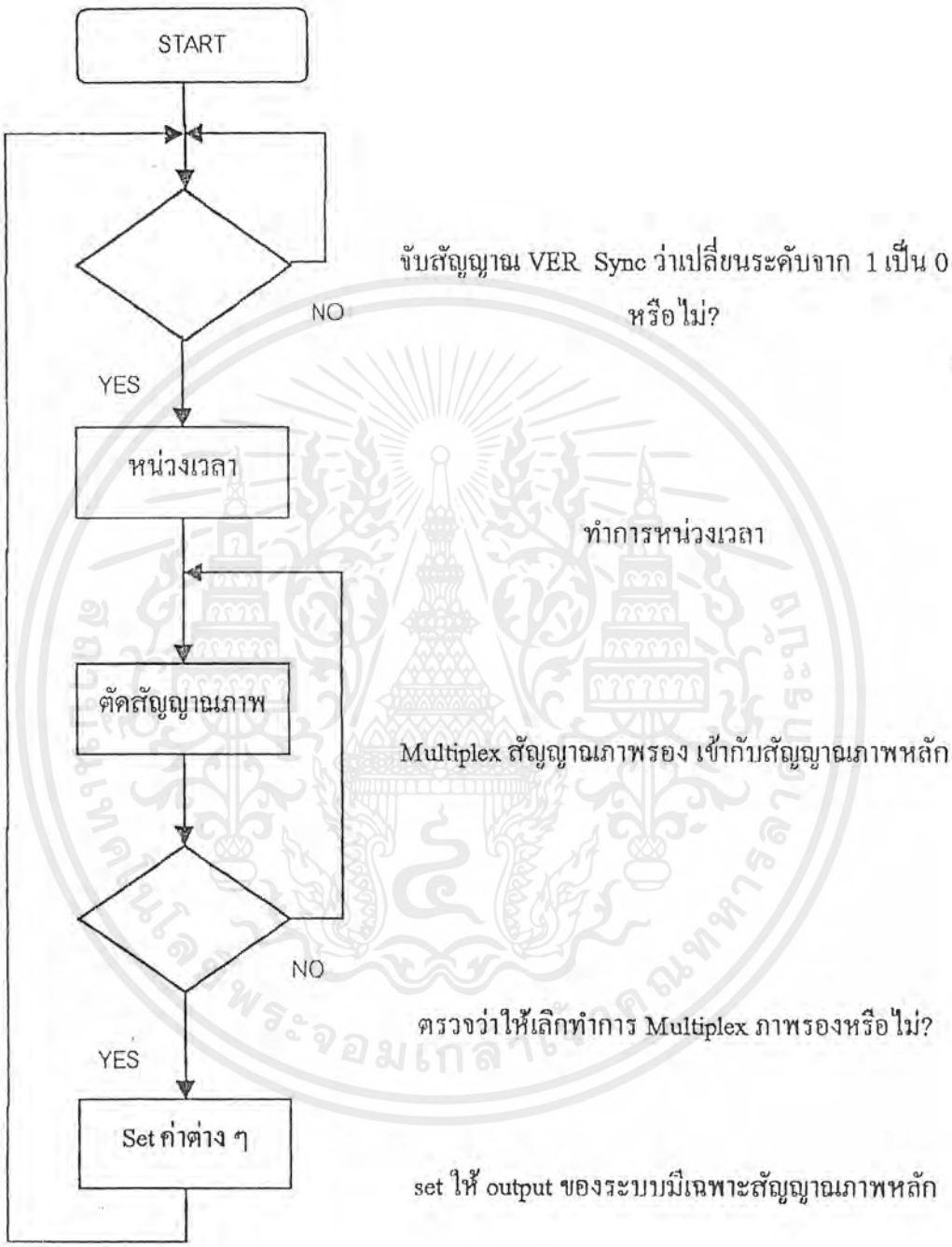
หลักการทำงานของโครงงานนี้คือ การควบคุม การตัดต่อภาพระหว่างสัญญาณภาพหลัก กับสัญญาณภาพรอง โดยใช้ MCS51 เป็นตัวควบคุมการตัดต่อ ว่าเมื่อไรถึงจะทำการแทรกสัญญาณภาพรอง เข้าไปในสัญญาณภาพหลัก โดยทำการตรวจเช็คสัญญาณ Vertical Sync และ Horizontal Sync ของสัญญาณภาพหลัก แล้วส่งสัญญาณไปควบคุม Hardware ให้ทำการเลือกว่าเวลาใดถึงจะให้สัญญาณ VDO Output เป็นสัญญาณภาพหลัก หรือสัญญาณภาพรอง

3.1.1 ขั้นตอนการทำงานของระบบ

จาก Block Diagram เมื่อมีสัญญาณภาพ TV1 เข้ามา ก็จะมีการนับสัญญาณซิงค์ ซึ่งสัญญาณซิงค์นี้ จะเป็นตัวบอกถึงการขึ้นต้นของเส้นสแกนในบรรทัดใหม่ เมื่อนับจนถึงบรรทัดที่ต้องการตัดต่อสัญญาณภาพแล้ว ก็จะเริ่มต้นเข้าสู่ส่วนของการหน่วงเวลาตามแนวนอนของจอภาพ เมื่อหน่วงจนถึงจุดที่ต้องการแล้ว จึงทำการตัดสัญญาณภาพ TV1 ออก แล้วใส่สัญญาณภาพ TV2 เข้าไปออกที่หน้าจอในบรรทัดสแกนตามที่ต้องการ

จากนั้นเมื่อมีสัญญาณซิงค์ เข้ามาอีกซึ่งเป็นการบอกให้รู้ว่าเริ่มมีการสแกนของสัญญาณภาพในเส้นถัดไป เราก็จะทำการตรวจสอบว่าครบ จำนวนบรรทัดเส้นที่เราต้องการตัดต่อหรือยัง ถ้ายังก็ทำตามขั้นตอนเดิมอีกครั้ง แต่ถ้าครบแล้วก็ระให้มีสัญญาณ สะบัดกลับแนวตั้ง (Vertical) เข้ามาซึ่งก็คือการเริ่มสแกนภาพในเฟรมต่อไป ซึ่งก็จะเริ่มการทำงานตั้งแต่ต้นใหม่เหมือนเดิม เรื่อยๆไป

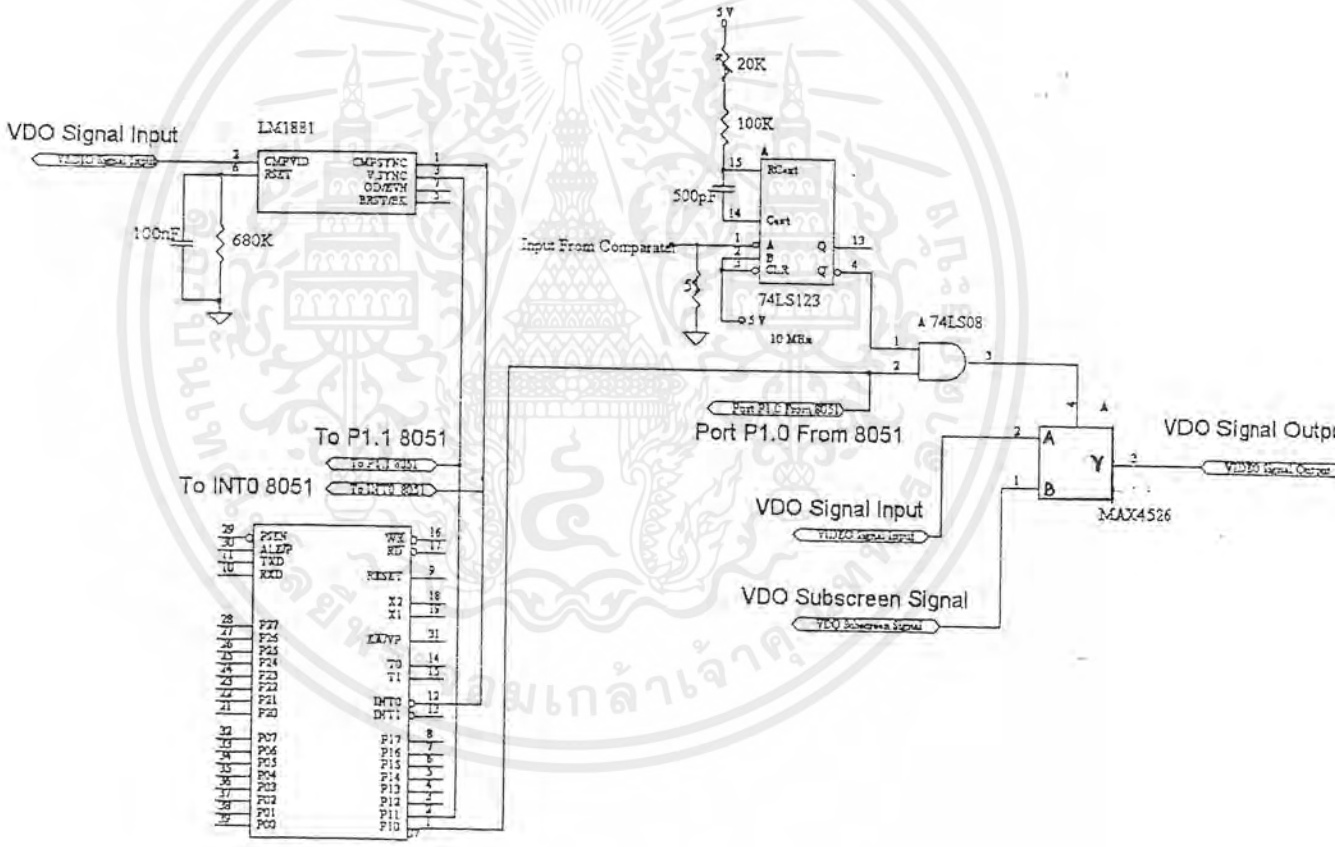
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.2 Block Diagram แสดงขั้นตอนการทำงานของระบบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.1.2 การนับสัญญาณซิงค์ ในที่นี้จะใช้ ไอซี เบอร์ LM1881N ซึ่งทำหน้าที่ตรวจแยก องค์ประกอบต่างๆ ของสัญญาณTV ที่ป้อนให้กับมัน ได้แก่ สัญญาณเส้นสะบัดกลับแนวตั้ง (Vertical) , สัญญาณเส้นสะบัดกลับแนวนอน(Sync)สัญญาณบอกเส้นคู่เส้นคี่ เป็นต้น โดยในที่นี้เราจะสนใจเฉพาะแต่สัญญาณ ของเส้นสะบัดกลับแนวตั้งและแนวนอน โดยสัญญาณของเส้นสะบัดกลับในแนวตั้งเป็นตัวบอกให้รู้ว่าเริ่มการสแกนภาพในเฟรมใหม่ ส่วนสัญญาณสะบัดกลับในแนวนอนเป็นตัวบอกว่าเกิดการสะบัดกลับของเส้นสแกนเพื่อทำการสแกนในเส้นต่อไป ซึ่งการนับสัญญาณซิงค์ทำได้โดยใช้วงจรดังรูปที่ 3.3



รูปที่ 3.3 วงจรตรวจนับสัญญาณสะบัดกลับ

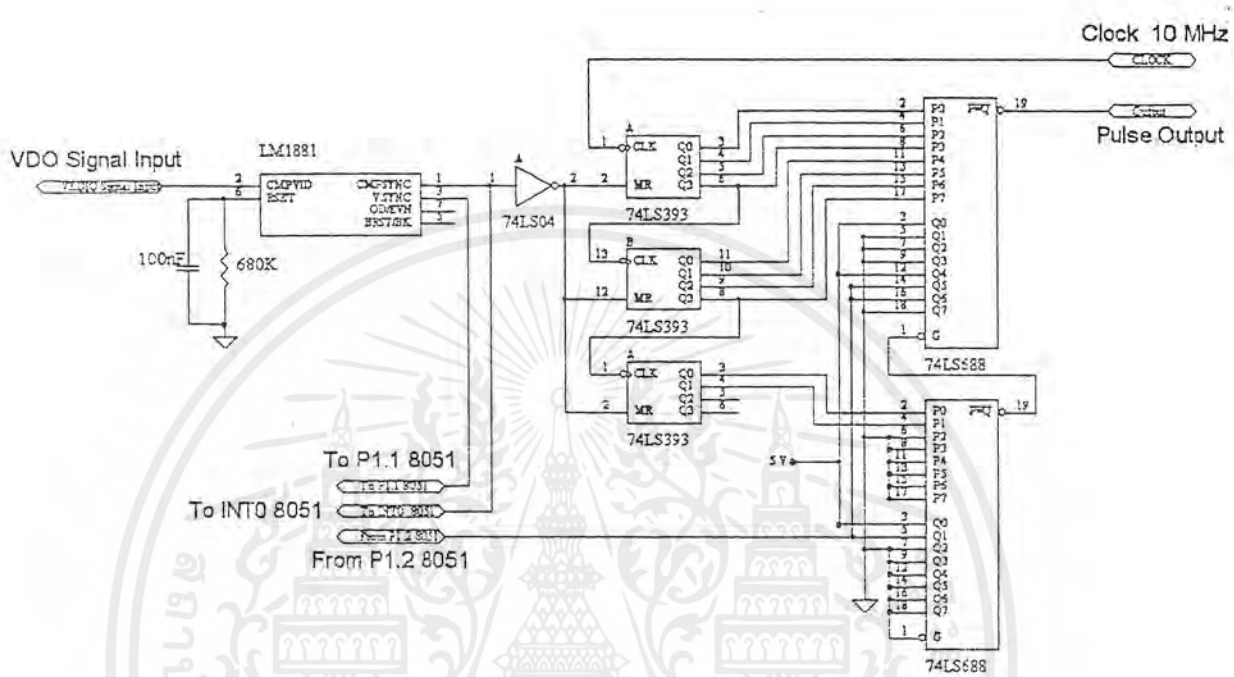
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณซิงค์ที่ได้จากการแยกโดย LM1881N จะถูกต่อเข้ากับขา INT0 โดยเมื่อเกิดการอินเทอรัพท์ ไมโครคอนโทรลเลอร์จะทำการนับสัญญาณซิงค์ เพิ่มอีก 1 ไปเรื่อยอย่างนี้จนมีสัญญาณซิงค์เข้ามาครบตามจำนวนที่ตั้งค่าไว้ในโปรแกรม ก็จะเปลี่ยนค่า P1.0 จากค่า 0 ไปเป็นค่า 1 เพื่อให้เกิดการตัดต่อสัญญาณภาพขึ้นได้ ซึ่งสัญญาณซิงค์ ที่เข้ามาหลังจากนี้ หรือก็คือการสแกนของภาพในเส้นต่อไป จะเริ่มมีการตัดต่อของสัญญาณภาพ ซึ่งเมื่อเกิดการตัดต่อสัญญาณภาพนี้ จำนวนสัญญาณซิงค์ที่เข้ามาก็จะถูกนับใหม่อีกโดยไมโครคอนโทรลเลอร์ และเช่นเดียวกัน เมื่อไมโครคอนโทรลเลอร์ นับสัญญาณซิงค์ได้ครบตามจำนวนที่ตั้งเอาไว้หรือก็คือเกิดการตัดต่อของสัญญาณภาพครบตามจำนวนเส้นสแกนที่ต้องการแล้ว ไมโครคอนโทรลเลอร์ก็จะเปลี่ยนค่าของ P1.0 จากค่า 1 กลับไปเป็นค่า 0 อีกครั้ง เป็นอันสิ้นสุดการตัดต่อของสัญญาณภาพในเฟรมนั้น

3.1.3 การหน่วงเวลา การหน่วงเวลานี้เราจะใช้วงจรนับ (Counter) ซึ่งเป็น ไอซี เบอร์ 74LS393 ซึ่งจะทำการนับจำนวนของพัลส์ ซึ่งมาจากสัญญาณนาฬิกา (Clock) ความถี่ 10 MHz โดยเมื่อมีสัญญาณซิงค์ จาก ไอซี LM1881N จะทำให้เกิดการ รีเซทเคาน์เตอร์ คือจะทำให้ตัวเคาน์เตอร์เริ่มนับตั้งแต่ค่า 0 ใหม่ โดยการนับของเคาน์เตอร์หนึ่งครั้ง จะหน่วงเวลาไปได้ 0.1 ไมโครวินาที ดังนั้นระยะเวลาที่เราต้องการหน่วง ก็จะถูกกำหนดได้เป็นจำนวนครั้งของการนับซึ่งกำหนดด้วย P1.3 ของไมโครคอนโทรลเลอร์ แล้วจึงใช้ตัว คอมพาราเตอร์ (Comparator)ซึ่งในที่นี้จะใช้ไอซี เบอร์ 74LS688 เป็นตัวเปรียบเทียบการนับของเคาน์เตอร์ กับค่าที่กำหนดจาก P1.3 ดังรูป ที่ 3.4

เมื่อเคาน์เตอร์ นับจำนวนพัลส์ได้ครบเท่ากับค่าในพอร์ต A ตัวคอมพาราเตอร์ก็จะให้สัญญาณเป็นพัลส์สั้น ๆ ดังรูปออกมา เพื่อบอกให้รู้ว่ามีการหน่วงเวลาครบตามที่ต้องการแล้ว

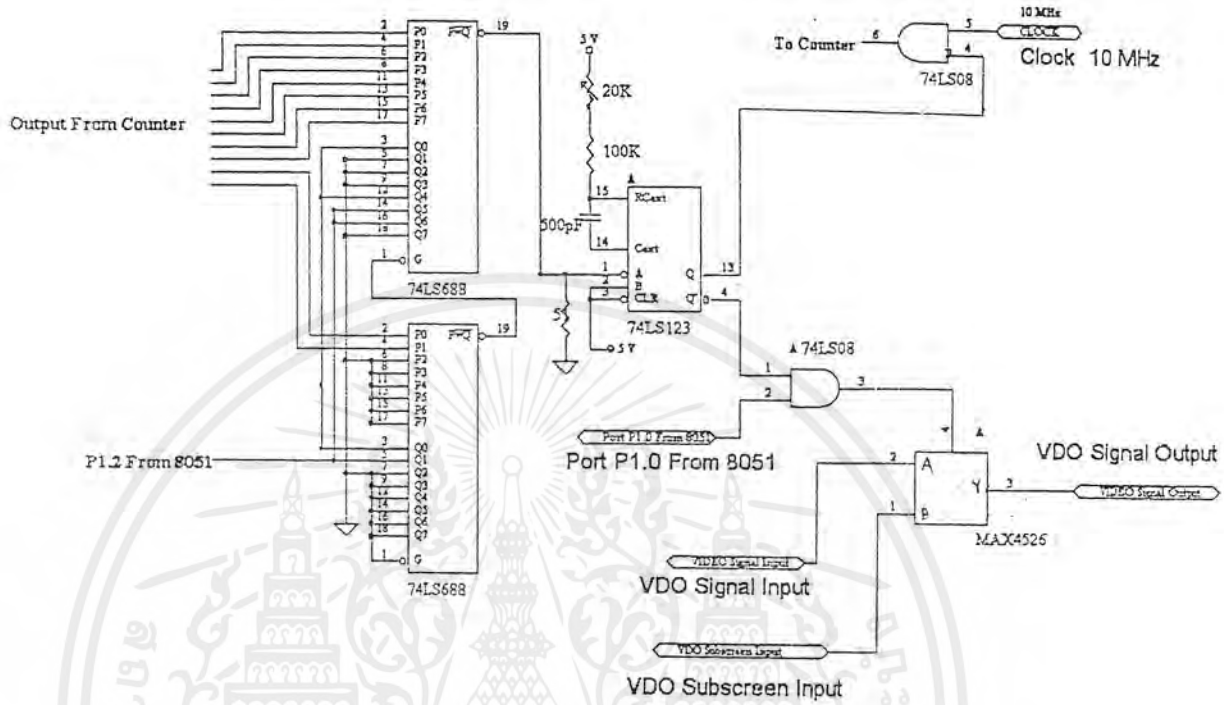
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.4 การใช้วงจรนับ และวงจรเปรียบเทียบ ในการหน่วงเวลา

3.1.4 การตัดต่อสัญญาณภาพ เมื่อเกิดการหน่วงเวลาไปครบแล้ว ก็จะถึงจุดที่เกิดการตัดต่อภาพ โดยจะใช้ สัญญาณเอาท์พุท ที่เป็นพัลส์ จากตัวคอมพาราเตอร์เป็นตัวเลือกช่องสัญญาณภาพ แต่ว่าเนื่องจากเป็น พัลส์ ที่มีช่วงเวลาที่แคบมากจึงใช้ตัว โมโนสเตเบิล (Mono Stable) โดยในที่นี้จะใช้ ไอซีเบอร์ 74LS123 มาช่วยทำให้ได้พัลส์ที่ควบคุมความกว้างได้ด้วยค่าความต้านทานที่ต่ออยู่กับมัน เราจึงใช้เอาท์พุตที่ได้เป็นตัวตัดสัญญาณ TV2 เข้ามาแทนที่ TV1 ในระยะเวลาตามสัดส่วนกับค่าความต้านทานที่ใช้ แต่ถ้าหากว่าพอร์ต P1.0 ในขณะนั้นมีค่าเป็น 0 (อยู่ในช่วงของเส้นสแกนที่ไม่ต้องการตัดต่อ) พัลส์ของโมโนสเตเบิลก็จะไม่มีความหมายอะไรต่อระบบเลย ดังรูปที่ 3.5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.5 แสดงวงจรการตัดต่อสัญญาณภาพ

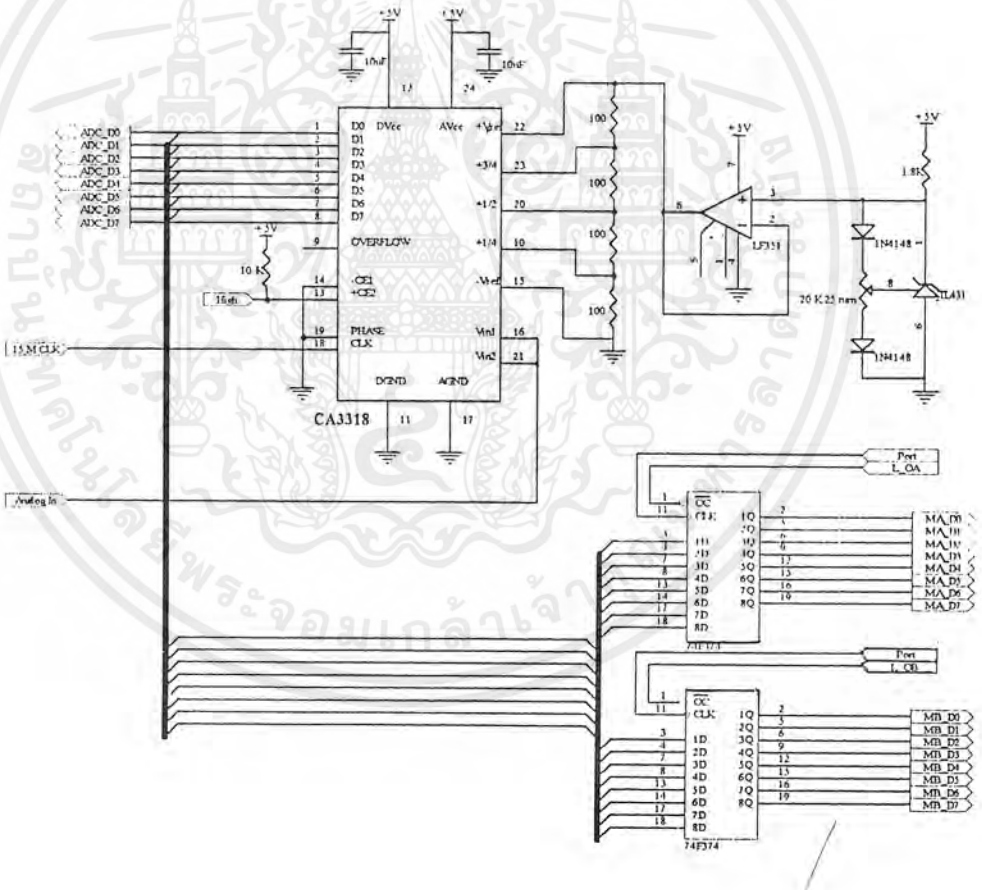
ในระหว่างการตัดสัญญาณ TV2 หากปล่อยให้ เคาน์เตอร์นับสัญญาณนาฬิกา ที่มีความถี่ 10 MHz ต่อไป อาจทำให้ ตัวคอมพาราเตอร์เกิดพัลส์ใหม่ขึ้นมาอีกในกรณีที่มี การหน่วงเวลาค่าน้อยๆ ซึ่งจะทำให้เกิดการตัดสัญญาณภาพแบบต่อเนื่องไป ทำให้ระบบทำงานผิดพลาด ดังนั้นในการป้องกันปัญหานี้ ทำได้โดยนำสัญญาณจากขา Q บาร์ จากตัวโมโนสเตเบิล มา AND กับ สัญญาณนาฬิกาจาก ตัวออสซิลเลทเตอร์ เพราะฉะนั้นในขณะที่เกิดการตัดภาพ TV2 เข้าไปนั้น ตัวเคาน์เตอร์ก็จะหยุดทำการนับโดยอัตโนมัติ

ตัวมัลติเพลกเซอร์ (Multiplexer) ซึ่งเป็นไอซี เบอร์ MAX4526 โดยเมื่อ สัญญาณในขาที่ใช้เลือกเอาท์พุท มีค่าเป็น 0 ก็จะทำให้ได้สัญญาณ TV1 ออก แต่ถ้าหาก มีค่าเป็น 1 ก็จะทำให้สัญญาณภาพ TV2ถูกเลือกออกมาเป็นเอาท์พุทแทน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2 การเก็บ และ อ่านข้อมูลสัญญาณภาพรองกับหน่วยความจำ

3.2.1 การเก็บข้อมูลสัญญาณภาพรองลงในหน่วยความจำ ในส่วนของการสุ่มและการแปลงสัญญาณ อนาลอก (Analog) ไปเป็นสัญญาณ ดิจิตอล (Digital) ในที่นี้จะใช้ IC เบอร์ CA3318 ซึ่งรายละเอียดของ ไอซีตัวนี้ ได้กล่าวไว้แล้วในบทที่ 3 โดยจะใช้สัญญาณนาฬิกาความถี่ 5 MHz ในการสุ่มเพื่อนำมาแปลง จากนั้นข้อมูล ดิจิตอล ที่แปลงได้จะถูกส่งผ่าน Latch เข้าไปในส่วนของหน่วยความจำ วงจรที่ใช้แสดงไว้ดังรูปที่ 3.6



รูปที่ 3.6 วงจรที่ใช้ในการแปลงสัญญาณภาพรองให้เป็นสัญญาณ Digital

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทำงานของวงรแบ่งเป็นขั้นตอนได้ดังนี้

1. ตอนเริ่มต้น ไมโครคอนโทรลเลอร์ (Microcontroller) จะส่งค่า P1.5 ออกมาเป็น Low และทำการเลือกให้ RAM ทำหน้าที่เก็บข้อมูล

2. สัญญาณภาพรอง (VDO2) ถึงเส้นสบัดกลับแนวตั้ง (Vertical) จะทำให้เกิดการ เคลียร์ค่าของ วงจรนับ (Counter) ตัวที่ชี้ ตำแหน่ง (Address) 9 bits บน ของ RAM

3. เมื่อไมโครคอนโทรลเลอร์ นับค่าสัญญาณ เส้นสะบัดกลับแนวนอนของสัญญาณ ภาพรอง ครบ ครบตามที่ตั้งไว้แล้ว ไมโครคอนโทรลเลอร์ จะทำการ Set ค่า P1.5 ให้มีสถานะเป็น High (เมื่อมีสัญญาณ เส้นสะบัดแนวนอนของสัญญาณภาพรองเข้ามา จะทำให้เกิดการเคลียร์ค่า ของวงจรนับ ตัวที่ชี้ตำแหน่ง 9 bits ล่างของ RAM)

4. ในขณะนี้ค่าจากวงจรนับที่ใช้ ชี้ตำแหน่งของหน่วยความจำ จะชี้อยู่ที่จุดเริ่มต้น

5. เนื่องจาก P1.5 เป็น High ดังนั้นสัญญาณ นาฬิกาความถี่ 5 MHz จึงผ่านเข้าสู่ วงจรนับ ตัวที่ ชี้ตำแหน่ง ของ หน่วยควมจำ ในส่วนของ 9 bits ล่าง ส่งผลให้เกิดการเก็บข้อมูลลงบนหน่วยความจำ

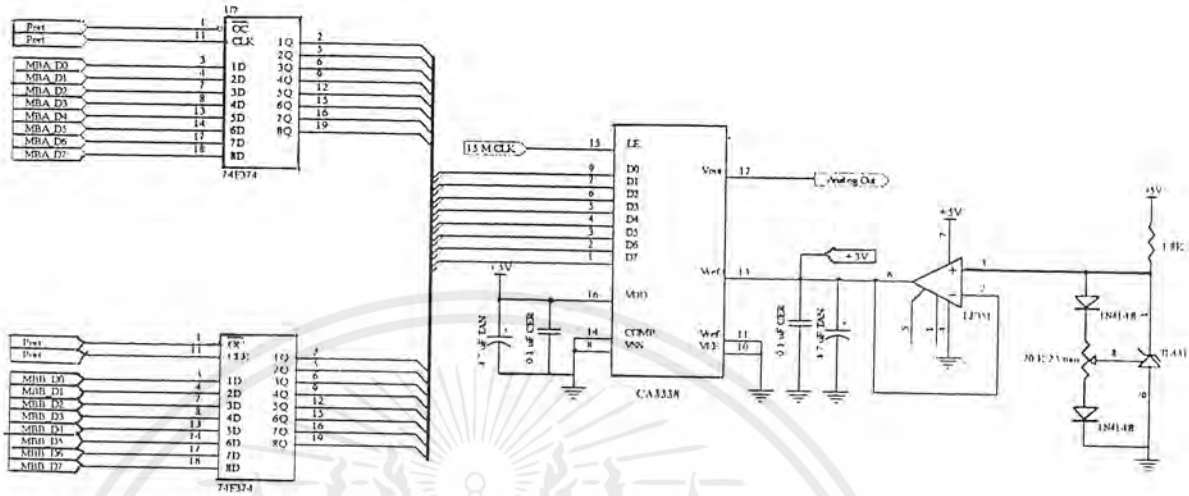
6. จนกระทั่ง สัญญาณเส้นสะบัดกลับของสัญญาณภาพรอง ของเส้นถัดไปเข้ามา ก็จะทำการเคลียร์ค่าของวงจรนับ 9 bits ล่าง และเพิ่มค่า วงจรนับ 9 bits บนอีก 1 ซึ่งจะเป็นการชี้เนื้อที่ของหน่วยความจำในการเก็บภาพเส้นที่ 2 จากนั้นสัญญาณ นาฬิกา 5 MHz ก็จะทำให้เกิดการเก็บค่าของเส้นสแกนเส้นที่ 2 ของสัญญาณภาพรองลงบนหน่วยความจำ

7. ทุก ๆ ครั้ง ทีมีสัญญาณ เส้นสะบัดกลับแนวนอนของสัญญาณภาพรอง เข้ามาที่ ไมโครคอนโทรลเลอร์ จะทำการนับค่า เมื่อทำการเก็บข้อมูลอขงเส้นสแกนของสัญญาณภาพรองลงไปบนหน่วยความจำ จนครบจำนวนเส้นที่ต้องการ ไมโครคอนโทรลเลอร์ ก็จะทำการเคลียร์ค่า P1.5 ทำให้สิ้นสุดการเขียนข้อมูลลงบนหน่วยความจำ

8. รอการ สวิทซ์ เพื่อเรียกภาพที่เก็บไว้มาแสดงผลต่อไป

3.2.2 การอ่านข้อมูลสัญญาณภาพรองออกจากหน่วยความจำ เป็นการนำข้อมุลของสัญญาณภาพรอง ซึ่งถูกแปลงเป็นสัญญาณ ดิจิตอล และเก็บไว้ที่หน่วยความจำ จากหัวข้อที่แล้ว ออกมาแสดงผล ในที่นี้จะใช้ ไอซี ที่ทำหน้าที่แปลงสัญญาณ ดิจิตอล เป็นสัญญาณ อนาลอกเบอร์ CA3338 และรายละเอียดของ ไอซีเบอร์นี้ได้กล่าวไว้แล้วในบทที่ 3 แล้วเช่นกัน และวงจรที่ใช้แสดงไว้ดังรูปที่ 3.7

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.7 วงจรที่ใช้ในการแปลงสัญญาณภาพรองที่เป็น Digital ให้เป็นสัญญาณ Analog

การทำงานของวงจรแบ่งเป็นขั้นตอนได้ดังนี้

1. เมื่อสัญญาณภาพหลัก (VDO1) ถึงเส้นสะบัดกลับแนวตั้งของเส้นคี่ (Vertical ของเส้นคี่) จะเกิดการสวิทช์ เพื่อเปลี่ยนหน่วยความจำตัวที่เก็บสัญญาณภาพรองเสร็จแล้วมาใช้เป็นข้อมูลเพื่อนำออกมาแสดงผล

2. ไมโครคอนโทรลเลอร์ จะสร้างสัญญาณพัลส์ (Pulse) ออกมาที่ P1.4 เพื่อทำการเคลียร์ค่าของวงจรนับ ตัวที่ชี้ตำแหน่งของหน่วยความจำ 9 bits บน ของหน่วยความจำ

3. เมื่อมีสัญญาณเส้นสะบัดกลับแนวนอน ของสัญญาณภาพหลัก (VDO1) เข้ามาจะทำการเคลียร์ ค่าของ วงจรนับ ตัวที่ชี้ตำแหน่งของหน่วยความจำ 9 bits ล่าง ของหน่วยความจำ และ ไมโครคอนโทรลเลอร์ จะทำการนับสัญญาณเส้นสะบัดกลับแนวนอนของสัญญาณภาพหลักนี้ด้วย

4. เมื่อสัญญาณ เส้นสะบัดกลับแนวนอนของสัญญาณภาพหลักตัวสุดท้าย ก่อนที่จะถึงเส้นที่ต้องการทำการตัดต่อผ่านไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- กรณีสัญญาณเส้นสะบัดกลับแนวตั้งที่เข้ามาเป็นสัญญาณของเฟรมที่เป็นเส้นคี่ ไมโครคอนโทรลเลอร์จะสร้างสัญญาณพัลส์ออกมาที่ P1.5 จำนวน 1 ลูก ทำให้ ค่าที่ชี้ตำแหน่งของหน่วยความจำ 9 bits บนเป็นเลขคี่

- กรณีสัญญาณเส้นสะบัดกลับแนวตั้งที่เข้ามาเป็นสัญญาณของเฟรมที่เป็นเส้นคู่ ไมโครคอนโทรลเลอร์ก็จะไม่ต้องทำอะไร

5. เมื่อสัญญาณเส้นสะบัดกลับแนวนอนของสัญญาณภาพหลักของเส้นถัดไปมาถึง ไมรโครคอนโทรลเลอร์จะสร้างพัลส์ออกมาที่ P1.5 จำนวน 2 ลูก จะเกิดผลคือ

- เป็นการเพิ่มค่าทีละ 2 ของวงจรนับ ที่ชี้ตำแหน่ง 9 bits บน

- กรณีที่ภาพเป็นเฟรมของเส้นคี่ วงจรนับที่ชี้ตำแหน่งของหน่วยความจำจะเป็นค่าคี่เสมอ

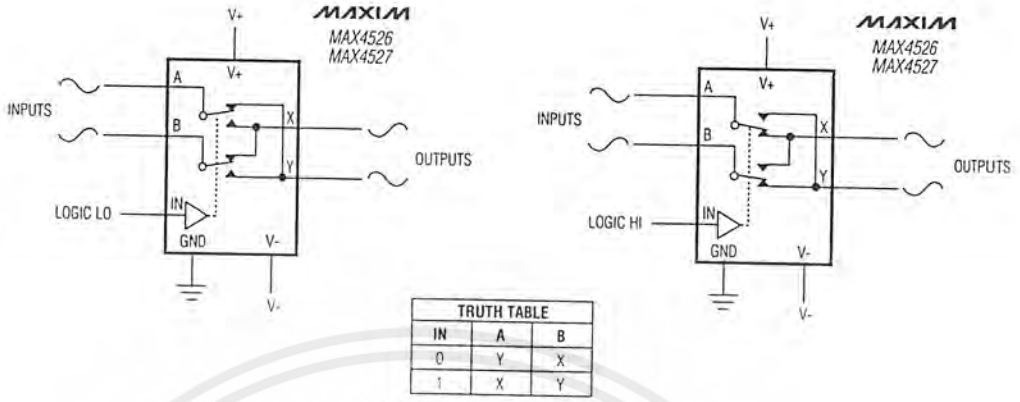
- ในทำนองเดียวกัน กรณีที่ภาพเป็นเฟรมของเส้นคู่ วงจรนับที่ชี้ตำแหน่งของ หน่วยความจำจะเป็นค่าคู่เสมอเช่นกัน

6. ขณะนี้อยู่ในสภาวะที่พร้อมจะแสดงข้อมูลจากหน่วยความจำออกไปได้ทุกขณะ ดังนั้นเมื่อถึงช่วงการตัดต่อ ซึ่งค่าของโมโนเสตเบิ้ล (Mono Stable) จะมีสถานะเป็น High ทำให้สัญญาณนาฬิกาผ่านเข้ามาให้ วงจรนับ เกิดการนับ เพื่อเรียกข้อมูลออกมาได้

7. รอสัญญาณเส้นสะบัดกลับแนวตั้งของเฟรมเส้นคู่ แล้วทำตามขั้นตอนตั้งแต่ข้อ 2 ใหม่

3.2.3 การสวิทช์ สลับระหว่างการควบคุมการเขียนและการอ่าน ข้อมูลกับหน่วยความจำ เป็นการสลับการทำงาน ระหว่างหน่วยความจำ 2 ชุด คือ ขณะที่ชุด 1 กำลังแสดงผล อีกชุดหนึ่งก็จะทำการเก็บภาพถัดไป ที่จะต้องใช้ โดยที่นี้จะใช้ MUX (Multiplexer) เป็นตัวสลับ ระหว่างการทำงานของทั้ง 2 ชุด ซึ่งใช้ ไอซีเบอร์ MAX4526 ซึ่งจะมีคุณสมบัติดังรูปที่ 3.8

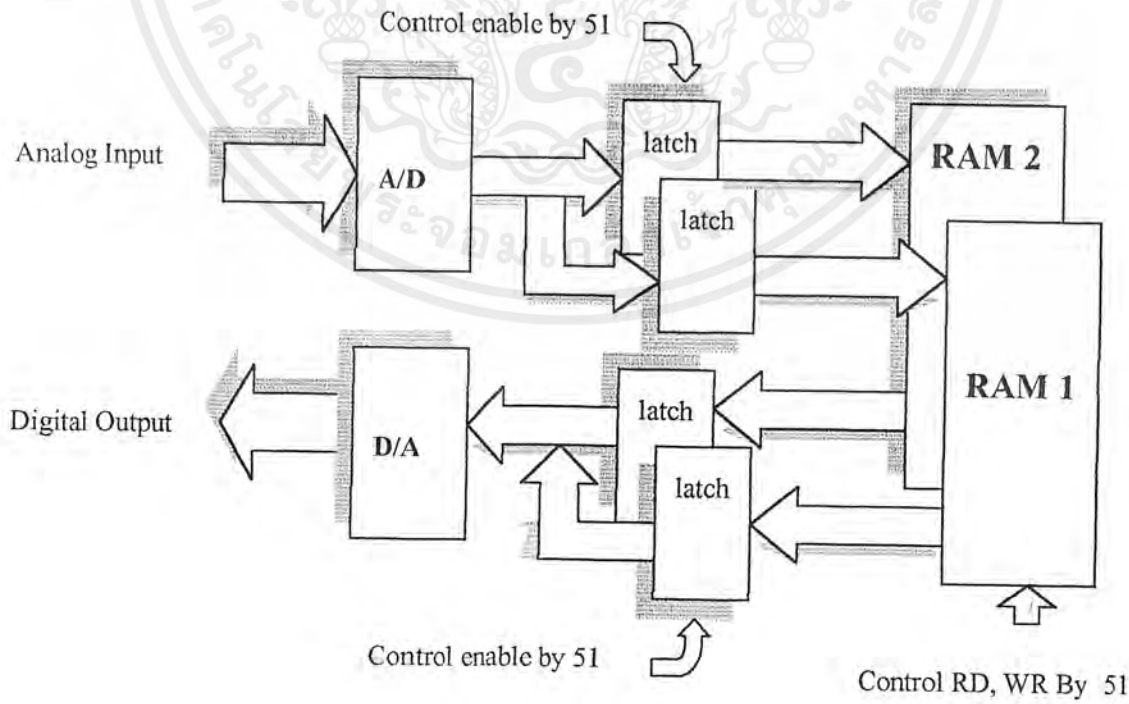
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.8 วงจรที่ใช้ในการเลือว่าจะเขียนหรืออ่าน RAM โดยใช้

MAX4526 (Analog Multiplexer)

ในที่นี้จะใช้ ไอซี A/D (Analog to Digital converter) และ D/A (Digital to Analog converter) เพียงชุดเดียว แต่จะต้องส่งข้อมูลเข้ากับหน่วยความจำทั้ง 2 ชุด แต่จะมี Latch เป็นตัวเลือกว่าจะให้ A/D และ D/A แต่ละตัว เชื่อมต่อกับหน่วยความจำ ชุดใดดังรูปที่ 3.9

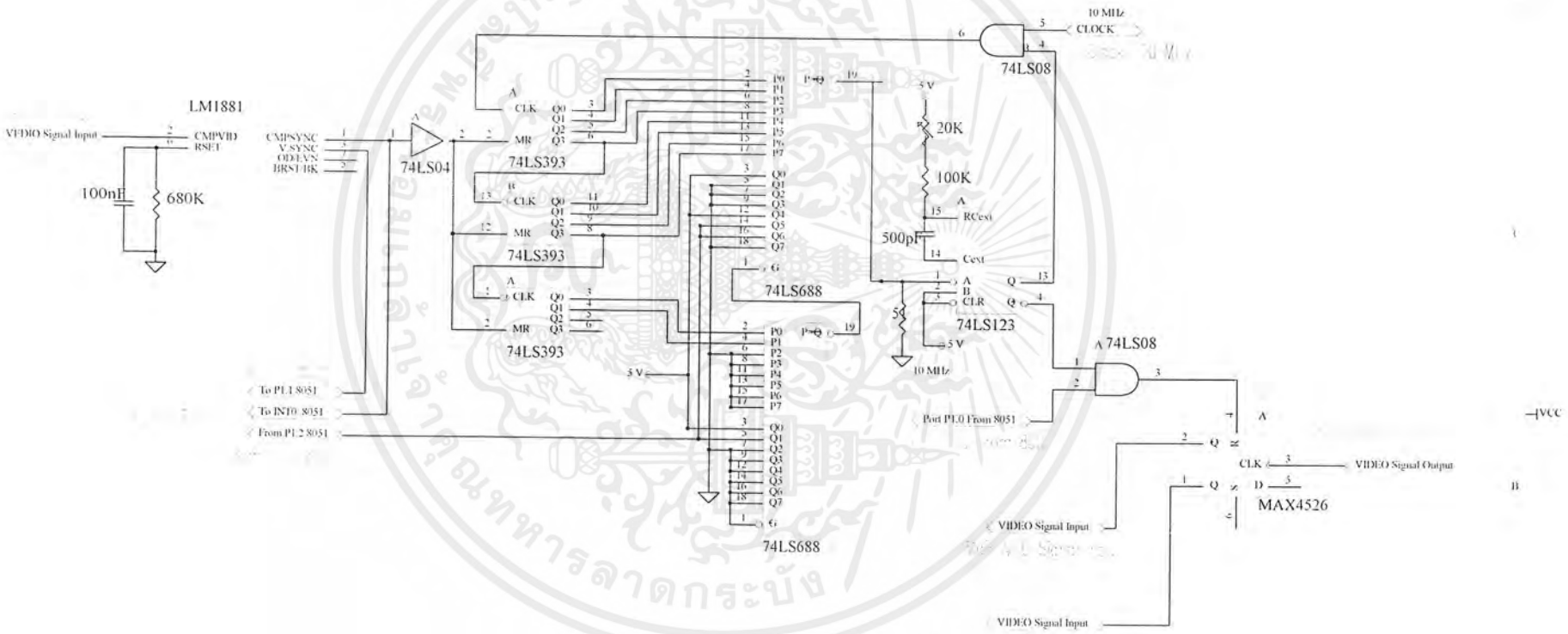


รูปที่ 3.9 การเชื่อมต่อระหว่างหน่วยความจำ กับ A/D D/A โดยใช้ Latch เป็น ตัวเลือก

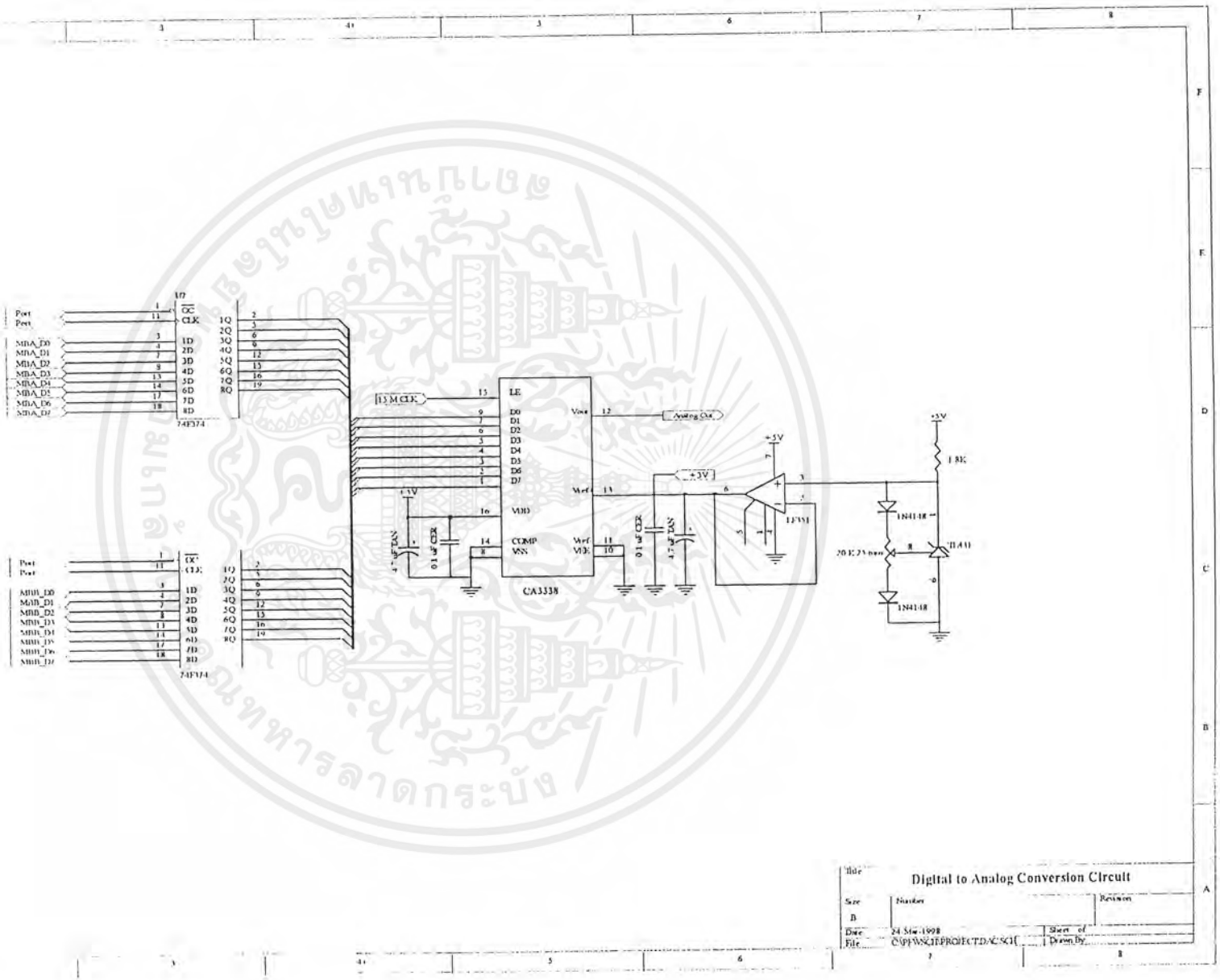
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

และในส่วนของการนับค่า และการเคลียร์ค่าของวงจรนับ ที่ใช้ชี้ตำแหน่ง ของหน่วยความจำ ก็มีการเลือกให้เชื่อมกับการนับ และการ เคลียร์ ชุดของส่วนเก็บ หรืออ่านข้อมูล ของภาพ ที่แสดงไว้ดังรูปที่ 3.9

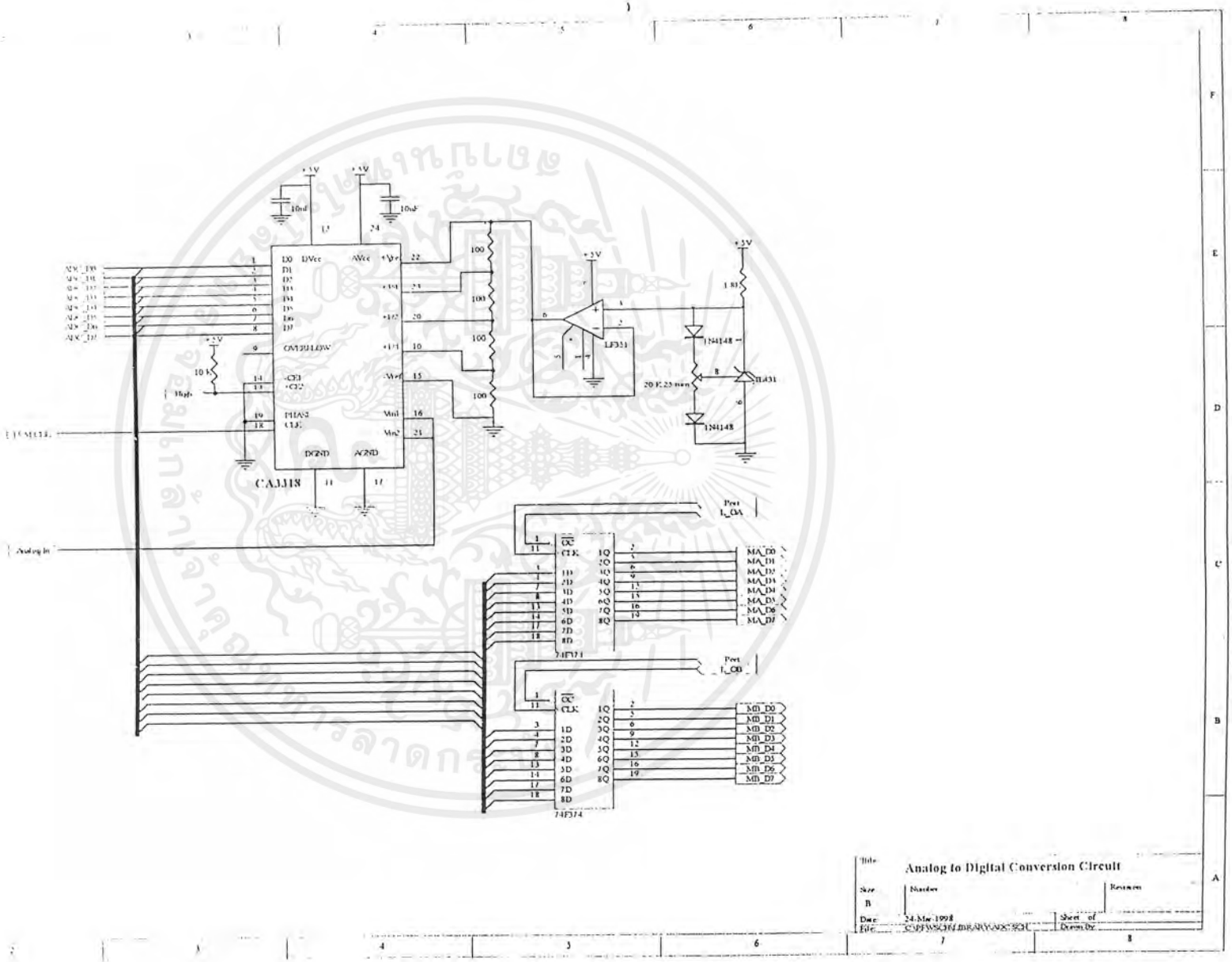
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Title		
Size: B	Number	Revision
Date:	30-Mar-2000	Sheet of
File:	A:\Ake444.sch	Drawn By



วงจรแปลงข้อมูลเชิงตัวเลขเป็นข้อมูลเชิงอุปมาน



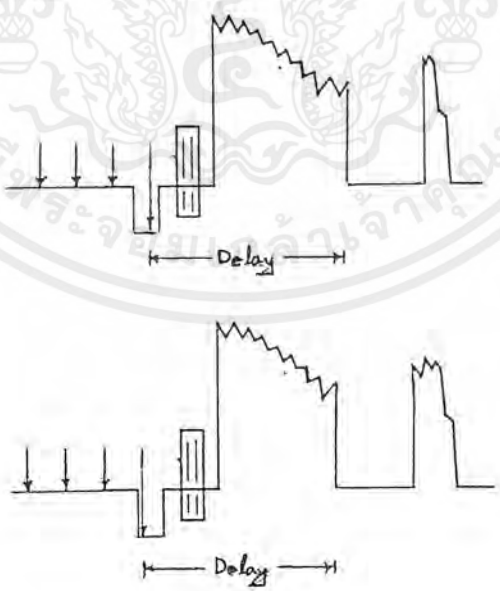
วงจรแปลงข้อมูลเชิงอุปมานเป็นข้อมูลเชิงเลข

บทที่ 4
การทดลองและผลการทดลอง

4.1 การออกแบบในส่วนของการตัดสัญญาณภาพหลัก

ในเบื้องต้นการทำงานของระบบเกือบทั้งหมด จะใช้ซอฟแวร์ (Sotfware) เป็นหลัก ทั้งใช้ในการตรวจนับสัญญานเส้นสะบัดกลับแนวตั้ง (Ver) , สัญญาณเส้นสะบัดกลับแนวนอน (Sync) , การหน่วงเวลา เป็นต้น โดยในส่วนของฮาร์ดแวร์ (Hardware) จะมี ไอซีเพียง 2 ตัว ได้แก่ LM1881N และ Multiplexer คือ จะใช้ LM1881N ในการแยกสัญญาณต่าง ๆ จากนั้นจึงใช้ ไมโครคอนโทรเลอร์ คอยตรวจเช็คอยู่ตลอด เพื่อนับจำนวนพัลส์ของสัญญาณซิงค์ พอครบตามจำนวนที่ต้องการแล้ว ก็จะเข้าสู่โปรแกรมการหน่วงเวลา แล้วจึงทำการตัดภาพ TV2 เข้ามาแทนที่ TV1

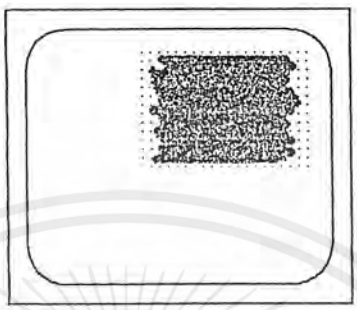
แต่จากการทดลองจะพบได้ว่า ในการสแกนของเส้นสแกน 1 เส้น จะกินเวลาประมาณ 64 ไมโครวินาที ซึ่งถือว่าเป็นช่วงเวลาที่น้อยมาก ต้องการความละเอียดสูง และวิธีการตรวจนับพัลส์ของสัญญาณซิงค์จะใช้วิธีการ พุลลิ่ง (Polling) ซึ่งทำให้เกิดความคลาดเคลื่อน ของตำแหน่งในการตัดต่อสัญญาณภาพไป ดังรูปที่ 4.1



รูปที่ 4.1 ความคลาดเคลื่อนจากการใช้ Soft Ware ในการควบคุมการตัดต่อภาพ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากผลการทดลองจะได้ภาพซึ่งมีการตัดสัญญาณ แต่จะมีระยะการตัดของ แต่ละเส้นสแกนแตกต่างกันมากทำให้ได้ บลอคสี่เหลี่ยม ที่ไม่คมชัดดังรูปที่ 4.2



รูปที่ 4.2 ผลจากการใช้ Soft Ware ในการทำงาน เมื่อแสดงภาพออกทางโทรทัศน์

4.2 การแก้ไขความผิดพลาดของการตัดภาพหลักจากการทำงานของ Software

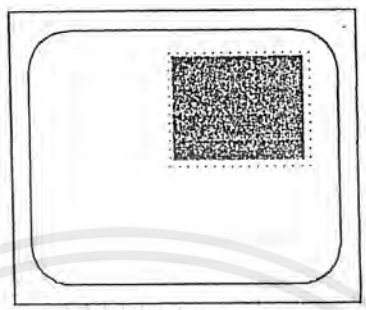
4.2.1การแก้ไขครั้งที่ 1 ทำการแก้ไขความคลาดเคลื่อนเนื่องจากผลของการพุลลิ่ง โดยใช้การจับค่าของสัญญาณซิงค์ ด้วยการ อินเทอร์รัปป์ (Interrup) แทน ผลการทดลองพบว่าจะได้ บลอคสี่เหลี่ยม ที่มีความคมมากขึ้น แต่ก็ยังอยู่ในระดับที่ยังไม่น่าพอใจ คือยังมีการเหลื่อมล้ำของแต่ละเส้นสแกนอยู่มาก

ทั้งนี้การเหลื่อมล้ำของแต่ละเส้นสแกนเป็นผลมาจาก การที่เส้นสแกนของสัญญาณ 1 เส้นใช้เวลาประมาณ 64 ไมโครวินาที แต่สัญญาณนาฬิกาของ ไมโครคอนโทรเลอร์ ที่ใช้มีค่าประมาณ 1 เมกะเฮิร์ท และแต่ละคำสั่งก็จะกินเวลาหลายพัลส์ ซึ่งก็คือความรวดเร็วในการทำงานของตัว ไมโครคอนโทรเลอร์ ยังมีค่าต่ำเมื่อเทียบกับความถี่ของสัญญาณภาพ ดังนั้นหากเราต้องการที่จะได้ บลอคของการตัดต่อที่มีความคมชัดมาก จึงต้องใช้อุปกรณ์ทาง ฮาร์ดแวร์ (Hardware) เข้ามาช่วย

4.2 การแก้ไขครั้งที่ 2 เนื่องจากเราต้องการความคมชัดมาก ดังนั้น การตรวจสอบสัญญาณซิงค์ ที่เข้ามา และการหน่วงเวลา จะใช้ตัวนับ (Counter) เป็นตัวนับสัญญาณนาฬิกาความถี่ 10 เมกะเฮิร์ท หรือก็คือมีความละเอียดในการหน่วงเวลาถึง 0.1 ไมโครวินาที ทำให้ได้เส้นสแกนซึ่งสามารถควบคุมความละเอียดได้ถึงหลายร้อยจุดต่อหนึ่งเส้นสแกน ระยะการหน่วงเวลา ควบคุมโดย การเปรียบเทียบของตัวเปรียบเทียบ (Comparater) ด้วยวิธีการนี้จะสามารถ แก้ปัญหาต่าง ๆ ที่พบมาได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากผลการทดลองพบว่าได้ บลอค ของการตัดต่อที่มีความคมชัดในระดับที่น่าพอใจ ดังรูปที่ 4.3



รูปที่ 4.3 ผลจากการใช้ Hard Ware เข้ามาช่วยในการตัดต่อภาพ เมื่อแสดงผลออกทางโทรทัศน์

ซึ่งรายละเอียดของการทำงาน และรูปแบบของวงจร ได้กล่าวได้อย่างละเอียดแล้วในบทที่ 3

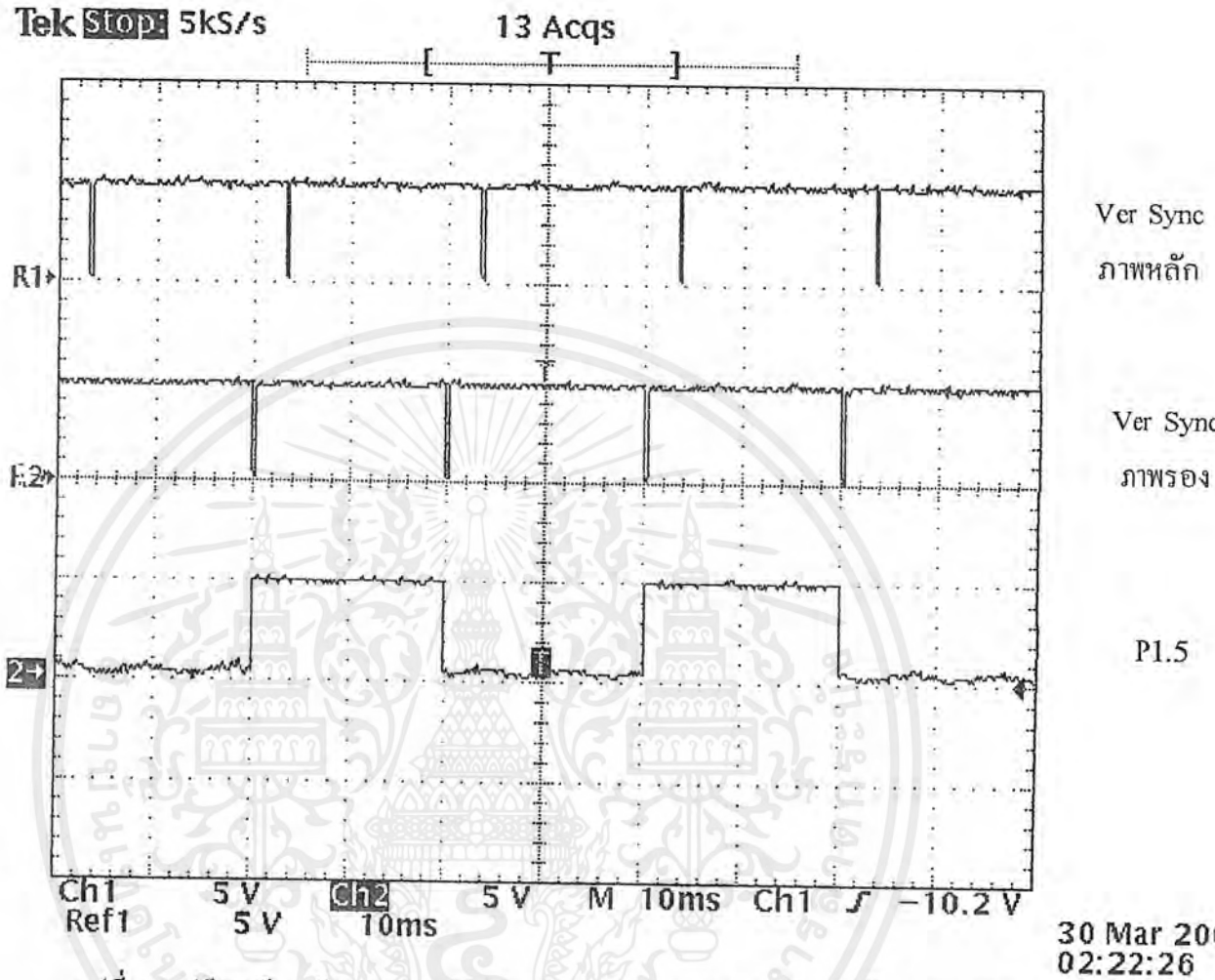
4.3 ผลการทดลองในส่วนของการตัดต่อสัญญาณภาพรอง

ในส่วนของการทำงานของสัญญาณภาพรอง จะแบ่งการทำงานได้เป็น 2 ส่วนคือ

- การเขียนสัญญาณภาพรองเก็บลงสู่หน่วยความจำ
- การอ่านสัญญาณภาพรองจากหน่วยความจำ

4.3.1 ผลการทดลองในส่วนการเขียนสัญญาณภาพรองเข้าสู่หน่วยความจำ ในการเขียนสัญญาณภาพหลัก เข้าสู่หน่วยความจำ ทำได้จากการตรวจจับสัญญาณ เวอร์ ของสัญญาณภาพหลัก และ เวอร์ ของ สัญญาณภาพหลัก แล้วทำการประมวลผลโดย MCS-51 และส่งสัญญาณควบคุมในการเขียนทาง Port 1.5 ซึ่ง เมื่อมีค่า เป็น 0 จะไม่เกิดการเขียนหน่วยความจำ และเมื่อมีค่าเป็น 1 จะเกิดการเขียนหน่วยความจำ ซึ่งจะเก็บเฉพาะเส้นคู่หรือเส้นคี่ เท่านั้น แสดงดังรูปที่ 4.4

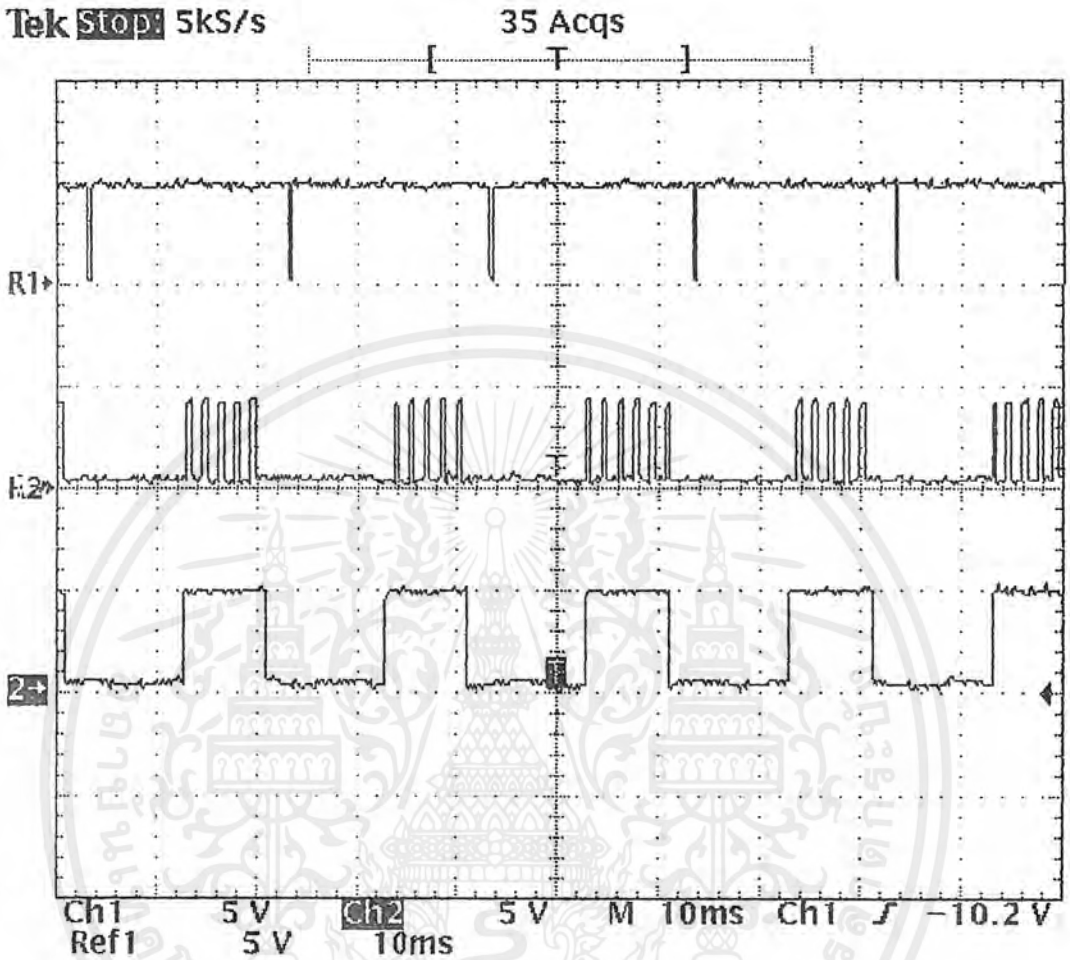
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.4 เปรียบเทียบสัญญาณ Vertical Sync ของสัญญาณภาพหลัก และสัญญาณภาพรอง กับสัญญาณควบคุมในการเขียนหน่วยความจำ (P1.5)

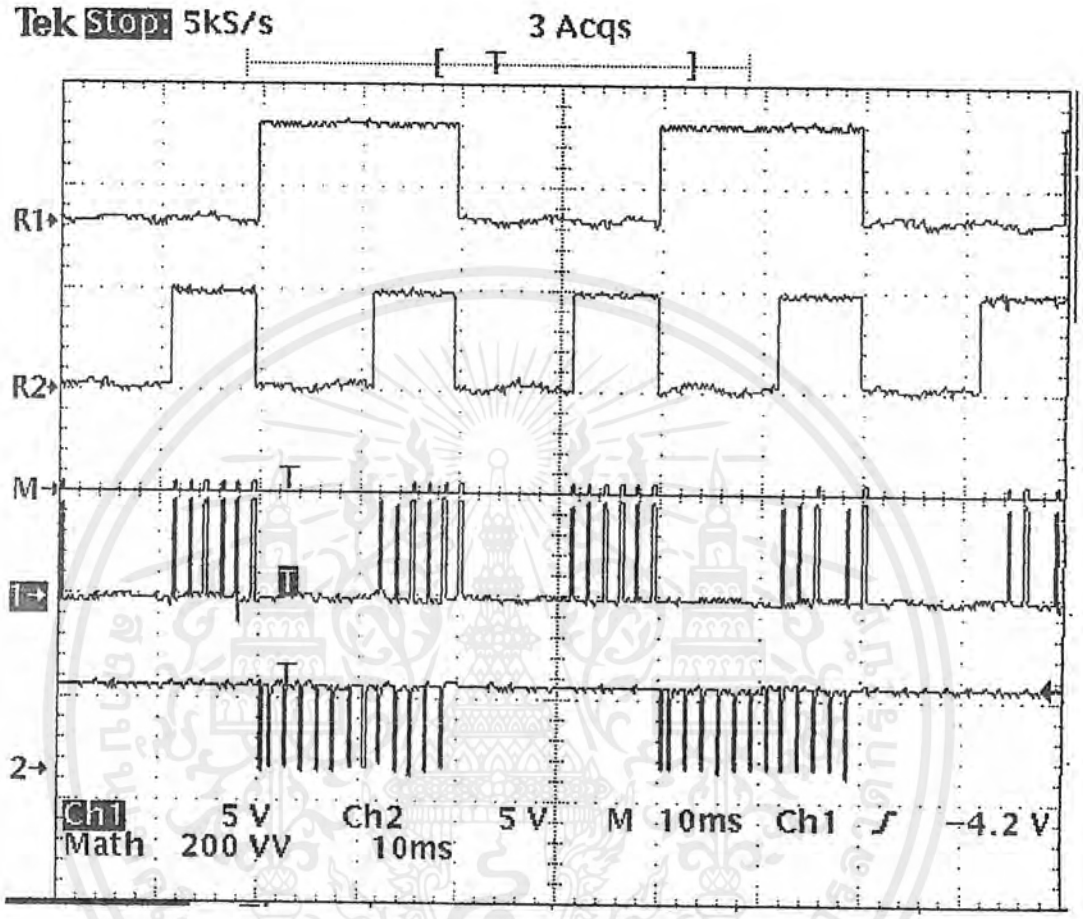
4.3.2 ผลการทดลองในส่วนการอ่านสัญญาณภาพรองออกจากหน่วยความจำ ในการอ่านสัญญาณภาพหลัก จากหน่วยความจำ ต้องทำการอ่านในช่วงที่ตัดภาพสัญญาณภาพหลัก ไว้พอดี ดังนั้นจึงใช้สัญญาณที่ควบคุมการตัดต่อ สัญญาณภาพหลัก ส่งเข้าไปเป็นสัญญาณอินพุทของ MCS-51 เพื่อทำการประมวลผล และทำการควบคุมการอ่านหน่วยความจำจาก P1.4 ใช้ในการเลื่อน Block ของหน่วยความจำ และสัญญาณ clock 5 MHz And กับสัญญาณ ที่ควบคุมการตัดต่อสัญญาณภาพหลัก เพื่อใช้ในการอ่านรายละเอียดใน Block ของหน่วยความจำ ซึ่งได้ผลการทดลองดังรูปที่ 4.5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.5 สัญญาณที่ใช้ในการอ่านสัญญาณภาพหลัก จากหน่วยความจำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.6 สัญญาณที่ใช้ในการอ่านและเขียนหน่วยความจำ

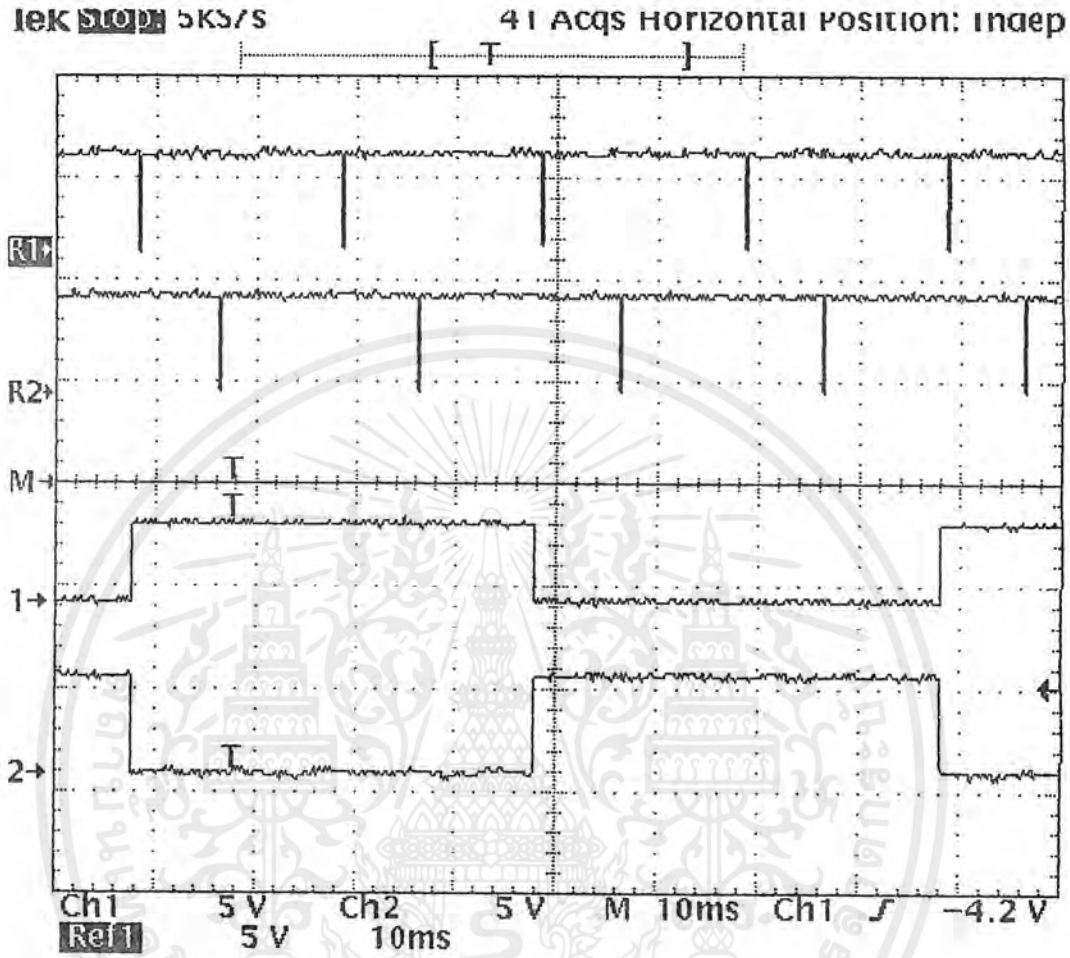
(A) สัญญาณที่ใช้ควบคุมการเขียนหน่วยความจำ (high- กำลังเขียน)

(B) สัญญาณที่ใช้ควบคุมการอ่านหน่วยความจำ (high- กำลังอ่าน)

(C) ความถี่ที่ใช้ในการเลื่อน Address ของหน่วยความจำเวลาอ่าน

(D) ความถี่ที่ใช้ในการเลื่อน Address ของหน่วยความจำเวลาเขียน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.7 สัญญาณที่ใช้ควบคุมการเขียนและอ่านของหน่วยความจำ ทั้งสองชุด

(A) สัญญาณ Vertical Sync ของสัญญาณภาพหลัก

(B) สัญญาณ Vertical Sync ของสัญญาณภาพรอง

(C) สัญญาณที่ทำการควบคุมการอ่านและเขียนหน่วยความจำ bank 0 (high-WR ,low-RD)

(D) สัญญาณที่ทำการควบคุมการอ่านและเขียนหน่วยความจำ bank 1 (high-WR ,low-RD)

4.3.3 ผลการทดลองในส่วนของการแทรกสัญญาณภาพรองลงไปบนสัญญาณภาพหลัก จากการทดลอง ซึ่งนำสัญญาณภาพจำนวนสองสัญญาณจากวีดีโอสองเครื่องมาทำการทดลอง ผลประกฏว่าสามารถทำการแทรกภาพรองลงไปบนสัญญาณภาพหลักโดยสัญญาณภาพรองมีขนาดเพียง หนึ่งในสี่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ของจอภาพได้ ซึ่งพบว่าภาพที่ได้นั้น ยังมีสัญญาณรบกวนเล็กน้อย เป็นผลมาจากการรบกวนกันระหว่างสัญญาณที่ใช้ในการสุ่มในการเขียนหน่วยความจำ ซึ่งมีขนาด 5 MHz และสัญญาณสุ่มที่ใช้ในการอ่านหน่วยความจำซึ่งมีขนาด 10MHz ซึ่งเกิดการสุ่มไม่พร้อมกัน มีผลทำให้ภาพรองที่แสดงออกมามี Block เล็ก ๆ เคลื่อนที่อยู่ในบริเวณสัญญาณภาพรอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
สรุปและวิจารณ์

จากเป้าหมายของโครงงานทั้งหมดคือ การนำภาพจากสัญญาณภาพรอง ตัดซ้อนกับภาพปกติ ทำให้สามารถรับชมได้ทั้ง 2 รายการไปพร้อม ๆ กัน เพื่อการพัฒนาเทคโนโลยี และนำไปประยุกต์ใช้ทดแทนการนำเข้าอุปกรณ์จากต่างประเทศ แต่ในที่นี้จะยังเป็นเพียงจุดเริ่มต้น ซึ่งต้องมีการแก้ไขและพัฒนาต่อไปอีก จึงจะสามารถนำมาใช้ทดแทนตามเป้าหมายที่วางไว้ได้ เทอมนี้สัญญาณของภาพรองที่นำมาตัดใส่ จะเห็นได้ว่าเป็นภาพขาวดำ เหตุที่เป็นแบบนี้เพราะว่า อัตราความเร็วในการสุ่ม (Sampling) สัญญาณภาพที่เป็นสัญญาณอนาลอก มาเป็นสัญญาณดิจิตอลนั้นมีความถี่น้อยเกินไป ทำให้ความถี่ของพาหะของสัญญาณสี ถูกตัดทิ้งไปในลักษณะของวงจรกรองความถี่ต่ำผ่าน (LPF : Low Pass Filter) ทำให้ภาพที่ออกมาเป็นภาพขาวดำ ดังนั้นหากต้องการให้ได้สัญญาณภาพรองให้เป็นภาพสี จำเป็นต้องใช้ความถี่ในการสุ่ม (Sampling) สัญญาณที่สูงขึ้น และเทอมนี้ก็จะมีการเพิ่มในส่วนของสวิทช์เพื่อทำการเลือกย้ายภาพรองไปตามจุดที่ต้องการ

รายละเอียดในส่วนของตำแหน่งภาพรอง สามารถปรับแต่งให้ตำแหน่งของภาพรองเปลี่ยนไปได้ เช่น ในส่วนของเรื่องของระยะการ หน่วงเวลาของภาพจากขอบด้านซ้ายของจอภาพ และระยะห่างจากขอบด้านบนก็ยังสามารถ ปรับได้อย่างละเอียดเช่นกัน

ในส่วนของการนำสัญญาณโทรทัศน์วงจรปิด มาใส่ในช่องนั้น มีแนวทางดังนี้คือ นำสัญญาณภาพจากกล้องโทรทัศน์วงจรปิด มาทำการสุ่ม (Sampling) แต่จะไม่ทำการสุ่มทุก ๆ เส้นสแกน เพราะ เราต้องการย่อขนาดของภาพให้ลดลงเหลือเพียง หนึ่งในสี่ หรือก็คือ มีด้านกว้างและด้านยาว ลดลงอย่างละครึ่งหนึ่ง ดังนั้นเราจึงทำการสุ่ม เส้นสแกนแบบเส้นเว้นเส้น ก็จะทำให้ ได้ความกว้างของภาพลดลงครึ่งหนึ่งตามต้องการ จากนั้นแปลงสัญญาณที่ได้จากการสุ่ม ไปเป็นสัญญาณดิจิตอล (DigItal) แล้วจึงเก็บข้อมูลของภาพที่แปลงได้ไว้ใน หน่วยความจำ (RAM) แล้วจึงค่อยเรียกอ่านข้อมูลนี้ออกมาในภายหลัง แล้วจึงค่อยทำการแปลง สัญญาณกลับมาเป็นสัญญาณภาพเพื่อแทรกลงในสัญญาณภาพของโทรทัศน์ปกติ โดยจะใช้ความถี่ในการแปลงกลับ เป็น 2 เท่าของความถี่ที่ใช้ในการสุ่มในตอนแรก ดังนั้นจะทำให้ได้สัญญาณภาพที่มีความยาวลดลงครึ่งหนึ่งตามต้องการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CA3338, CA3338A

CMOS Video Speed, 8-Bit, 50 MSPS, R2R D/A Converters

August 1997

Features

- CMOS/SOS Low Power
- R2R Output, Segmented for Low "Glitch"
- CMOS/TTL Compatible Inputs
- Fast Settling: (Typ) to $^1/_2$ LSB 20ns
- Feedthrough Latch for Clocked or Unclocked Use
- Accuracy (Typ) ..... ±0.5 LSB
- Data Complement Control
- High Update Rate (Typ) 50MHz
- Unipolar or Bipolar Operation

Applications

- TV/Video Display
- High Speed Oscilloscope Display
- Digital Waveform Generator
- Direct Digital Synthesis

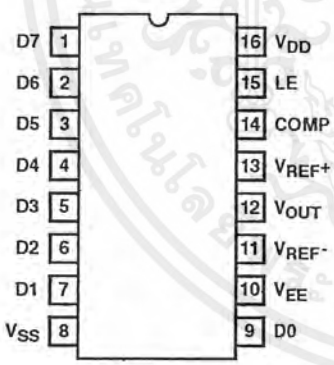
Description

The CA3338 family are CMOS/SOS high speed R2R voltage output digital-to-analog converters. They can operate from a single +5V supply, at video speeds, and can produce "rail-to-rail" output swings. Internal level shifters and a pin for an optional second supply provide for an output range below digital ground. The data complement control allows the inversion of input data while the latch enable control provides either feedthrough or latched operation. Both ends of the R2R ladder network are available externally and may be modulated for gain or offset adjustments. In addition, "glitch" energy has been kept very low by segmenting and thermometer encoding of the upper 3 bits.

The CA3338 is manufactured on a sapphire substrate to give low dynamic power dissipation, low output capacitance, and inherent latch-up resistance.

Pinout

CA3338, CA3338A
(PDIP, SBDIP, SOIC)
TOP VIEW



Ordering Information

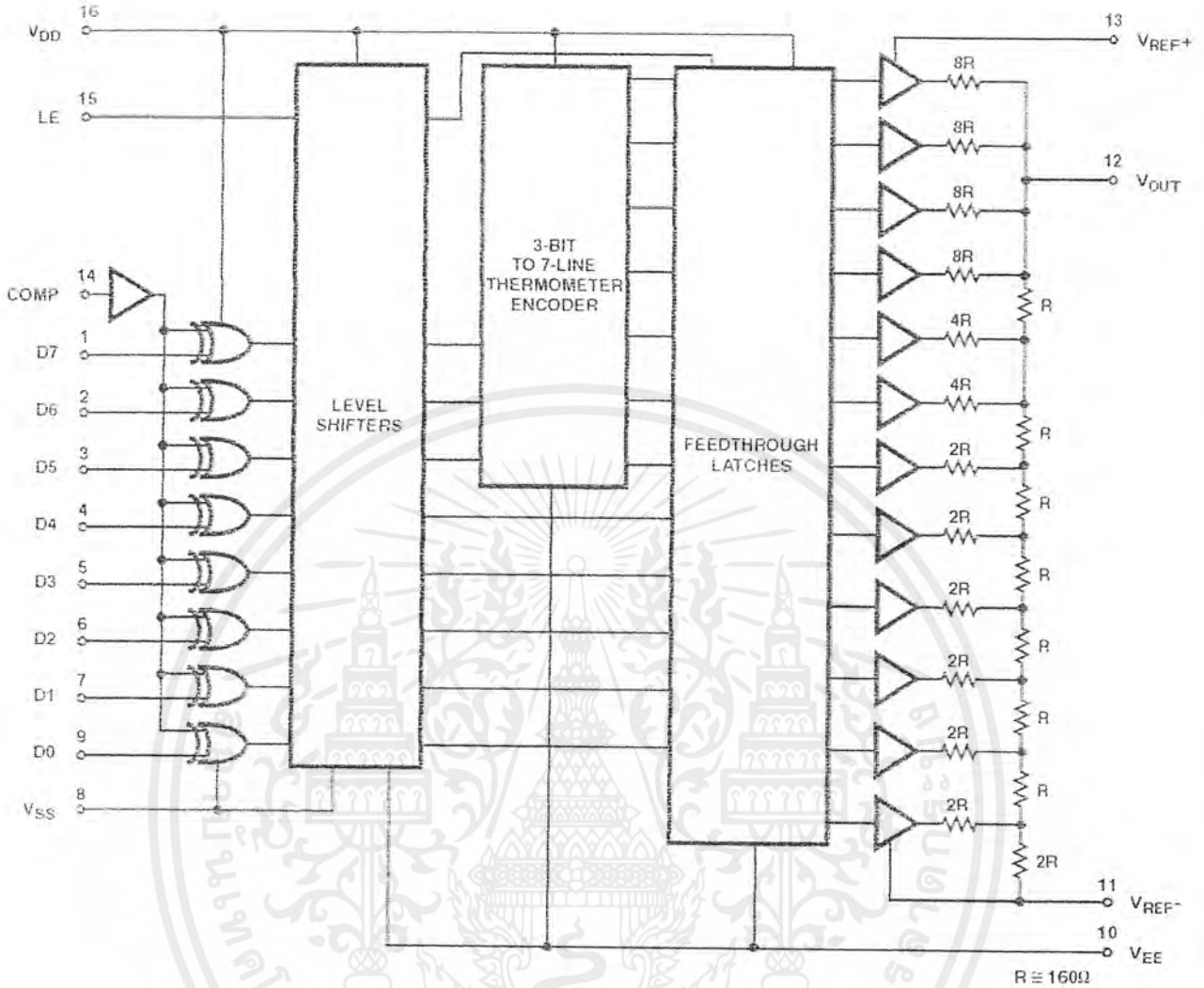
PART NUMBER	LINEARITY (INL, DNL)	TEMP. RANGE (°C)	PACKAGE	PKG. NO.
CA3338E	±1.0 LSB	-40 to 85	16 Ld PDIP	E16.3
CA3338AE	±0.75 LSB	-40 to 85	16 Ld PDIP	E16.3
CA3338D	±1.0 LSB	-55 to 125	16 Ld SBDIP	D16.3
CA3338AD	±0.75 LSB	-55 to 125	16 Ld SBDIP	D16.3
CA3338M	±1.0 LSB	-40 to 85	16 Ld SOIC	M16.3
CA3338AM	±0.75 LSB	-40 to 85	16 Ld SOIC	M16.3

CAUTION: These devices are sensitive to electrostatic discharge; follow proper IC Handling Procedures.
http://www.intersil.com or 407-727-9207 | Copyright © Intersil Corporation 1999

File Number 1850.2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Functional Diagram



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings

DC Supply-Voltage Range . . . . . -0.5V to +8V
(V_{DD} - V_{SS} or V_{DD} - V_{EE}, Whichever is Greater)
Input Voltage Range
Digital Inputs (LE, COMP D0 - D7) . . . . V_{SS} - 0.5V to V_{DD} + 0.5V
Analog Pins (V_{REF}+, V_{REF}-, V_{OUT}) . . . . V_{DD} - 8V to V_{DD} + 0.5V
DC Input Current
Digital Inputs (LE, COMP, D0 - D7) . . . . . ±20mA
Recommended Supply Voltage Range . . . . . 4.5V to 7.5V

Operating Conditions

Temperature Range (T_A)
Ceramic Package, D suffix . . . . . -55°C to 125°C
Plastic Package, E suffix, M suffix . . . . . -40°C to 85°C

Thermal Information

Thermal Resistance (Typical, Note 1)	θ_{JA} (°C/W)	θ_{JC} (°C/W)
SBDIP Package	75	24
PDIP Package	100	N/A
SOIC Package	100	N/A

Maximum Junction Temperature
Ceramic Package . . . . . 175°C
Plastic Packages . . . . . 150°C
Maximum Storage Temperature Range, T_{STG} . . . . . -65°C to 150°C
Maximum Lead Temperature (Soldering 10s) . . . . . 300°C
(SOIC - Lead Tips Only)

CAUTION: Stresses above those listed in "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress only rating and operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied.

NOTE:

1. θ_{JA} is measured with the component mounted on an evaluation PC board in free air.

Electrical Specifications

T_A = 25°C, V_{DD} = 5V, V_{REF}+ = 4.608V, V_{SS} = V_{EE} = V_{REF}- = GND, LE Clocked at 20MHz, $R_L \geq 1 M\Omega$, Unless Otherwise Specified

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNITS
ACCURACY					
Resolution		8	-	-	Bits
Integral Linearity Error	See Figure 4				
CA3338		-	-	±1	LSB
CA3338A		-	-	±0.75	LSB
Differential Linearity Error	See Figure 4				
CA3338		-	-	±0.75	LSB
CA3338A		-	-	±0.5	LSB
Gain Error	Input Code = FF_{HEX}, See Figure 3				
CA3338		-	-	±0.75	LSB
CA3338A		-	-	±0.5	LSB
Offset Error	Input Code = 00_{HEX}; See Figure 3	-	-	±0.25	LSB
DIGITAL INPUT TIMING					
Update Rate	To Maintain $^1/_2$ LSB Settling	DC	50	-	MHz
Update Rate	V_{REF}- = V_{EE} = -2.5V, V_{REF}+ = +2.5V	DC	20	-	MHz
Set Up Time t_{SU1}	For Low Glitch	-	-2	-	ns
Set Up Time t_{SU2}	For Data Store	-	8	-	ns
Hold Time t_H	For Data Store	-	5	-	ns
Latch Pulse Width t_W	For Data Store	-	5	-	ns
Latch Pulse Width t_W	V_{REF}- = V_{EE} = -2.5V, V_{REF}+ = +2.5V	-	25	-	ns
OUTPUT PARAMETERS	R_L Adjusted for $1V_{P-P}$ Output				
Output Delay t_{D1}	From LE Edge	-	25	-	ns
Output Delay t_{D2}	From Data Changing	-	22	-	ns
Rise Time t_r	10% to 90% of Output	-	4	-	ns
Settling Time t_S	10% to Settling to $^1/_2$ LSB	-	20	-	ns
Output Impedance	V_{REF}+ = 6V, V_{DD} = 6V	120	160	200	Ω
Glitch Area		-	150	-	pV/s
Glitch Area	V_{REF}- = V_{EE} = -2.5V, V_{REF}+ = +2.5V	-	250	-	pV/s

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Electrical Specifications $T_A = 25^oC$, $V_{DD} = 5V$, $V_{REF+} = 4.608V$, $V_{SS} = V_{EE} = V_{REF-} = GND$, LE Clocked at 20MHz, $R_L \geq 1 M\Omega$, Unless Otherwise Specified (Continued)

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNITS
REFERENCE VOLTAGE					
V_{REF+} Range	(+) Full Scale, Note 1	$V_{REF-} + 3$	-	V_{DD}	V
V_{REF-} Range	(-) Full Scale, Note 1	V_{EE}	-	$V_{REF+} - 3$	V
V_{REF+} Input Current	$V_{REF+} = 6V$, $V_{DD} = 6V$	-	40	50	mA
SUPPLY VOLTAGE					
Static I_{DD} or I_{EE}	LE = Low, D0 - D7 = High	-	100	220	µA
	LE = Low, D0 - D7 = Low	-	-	100	µA
Dynamic I_{DD} or I_{EE}	V_{OUT} = 10MHz, 0V to 5V Square Wave	-	20	-	mA
Dynamic I_{DD} or I_{EE}	V_{OUT} = 10MHz, ±2.5V Square Wave	-	25	-	mA
V_{DD} Rejection	50kHz Sine Wave Applied	-	3	-	mV/V
V_{EE} Rejection	50kHz Sine Wave Applied	-	1	-	mV/V
DIGITAL INPUTS D0 - D7, LE, COMP					
High Level Input Voltage	Note 1	2	-	-	V
Low Level Input Voltage	Note 1	-	-	0.8	V
Leakage Current		-	±1	±5	µA
Capacitance		-	5	-	pF
TEMPERATURE COEFFICIENTS					
Output Impedance		-	200	-	ppm/°C

NOTE:

1. Parameter not tested, but guaranteed by design or characterization.

Pin Descriptions

PIN	NAME	DESCRIPTION
1	D7	Most Significant Bit
2	D6	Input
3	D5	Data
4	D4	Bits
5	D3	(High = True)
6	D2	
7	D1	
8	V_{SS}	Digital Ground
9	D_0	Least Significant Bit. Input Data Bit
10	V_{EE}	Analog Ground
11	V_{REF-}	Reference Voltage Negative Input
12	V_{OUT}	Analog Output
13	V_{REF+}	Reference Voltage Positive Input
14	COMP	Data Complement Control input. Active High
15	LE	Latch Enable Input. Active Low
16	V_{DD}	Digital Power Supply, +5V

Digital Signal Path

The digital inputs (LE, COMP, and D0 - D7) are of TTL compatible HCT High Speed CMOS design: the loading is essentially capacitive and the logic threshold is typically 1.5V.

The 8 data bits, D0 (weighted 2^0) through D7 (weighted 2^7), are applied to Exclusive OR gates (see Functional Diagram). The COMP (data complement) control provides the second input to the gates: if COMP is high, the data bits will be inverted as they pass through.

The input data and the LE (latch enable) signals are next applied to a level shifter. The inputs, operating between the levels of V_{DD} and V_{SS}, are shifted to operate between V_{DD} and V_{EE}. V_{EE} optionally at ground or at a negative voltage, will be discussed under bipolar operation. All further logic elements except the output drivers operate from the V_{DD} and V_{EE} supplies.

The upper 3 bits of data, D5 through D7, are input to a 3-to-7 line bar graph encoder. The encoder outputs and D0 through D4 are applied to a feedthrough latch, which is controlled by LE (latch enable).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

HARRIS Semiconductor

CA3318

CMOS Video Speed, 8-Bit, Flash A/D Converter

August 1997

Features

- CMOS Low Power with SOS Speed (Typ) 150mW
- Parallel Conversion Technique
- 15MHz Sampling Rate (Conversion Time) 67ns
- 8-Bit Latched Three-State Output with Overflow Bit
- Accuracy (Typ) ..... ±1 LSB
- Single Supply Voltage ..... 4V to 7.5V
- 2 Units in Series Allow 9-Bit Output
- 2 Units in Parallel Allow 30MHz Sampling Rate

Applications

- TV Video Digitizing (Industrial/Security/Broadcast)
- High Speed A/D Conversion
- Ultrasound Signature Analysis
- Transient Signal Analysis
- High Energy Physics Research
- General Purpose Hybrid ADCs
- Optical Character Recognition
- Radar Pulse Analysis
- Medical Signature Analysis
- IR Data Acquisition Systems

Description

The CA3318 is a CMOS parallel (FLASH) analog-to-digital converter designed for applications demanding both low power consumption and high speed digitization.

The CA3318 operates over a wide full scale input voltage range of 4V up to 7.5V with maximum power consumption depending upon the clock frequency selected. When operated from a 5V supply at a clock frequency of 15MHz, the typical power consumption of the CA3318 is 150mW.

The intrinsic high conversion rate makes the CA3318 ideally suited for digitizing high speed signals. The overflow bit makes possible the connection of two or more CA3318s in series to increase the resolution of the conversion system. A series connection of two CA3318s may be used to produce a 9-bit high speed converter. Operation of two CA3318s in parallel doubles the conversion speed (i.e., increases the sampling rate from 15MHz to 30MHz).

256 paralleled auto balanced voltage comparators measure the input voltage with respect to a known reference to produce the parallel bit outputs in the CA3318.

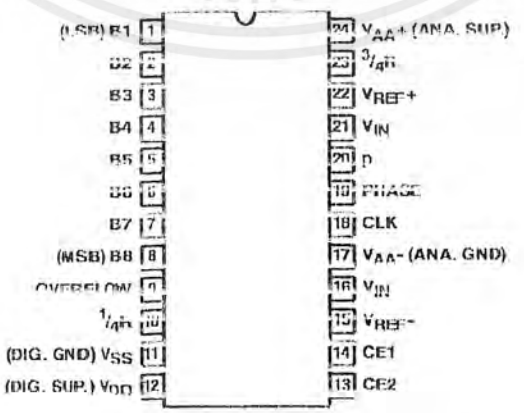
255 comparators are required to quantize all input voltage levels in this 8-bit converter, and the additional comparator is required for the overflow bit.

Ordering Information

PART NUMBER	LINEARITY (INL, DNL)	SAMPLING RATE	TEMP. RANGE (°C)	PACKAGE	PKG. NO.
CA3318CE	±1.5 LSB	10MHz (67ns)	-40 to 85	24 Ld PDIP	E24.6
CA3318CM	±1.5 LSB	15MHz (67ns)	-40 to 85	24 Ld SOIC	M24.3
CA3318CD	±1.5 LSB	15MHz (67ns)	-40 to 85	24 Ld SBDIP	D24.6

Pinout

CA3318
(PDIP, SBDIP, SOIC)
TOP VIEW



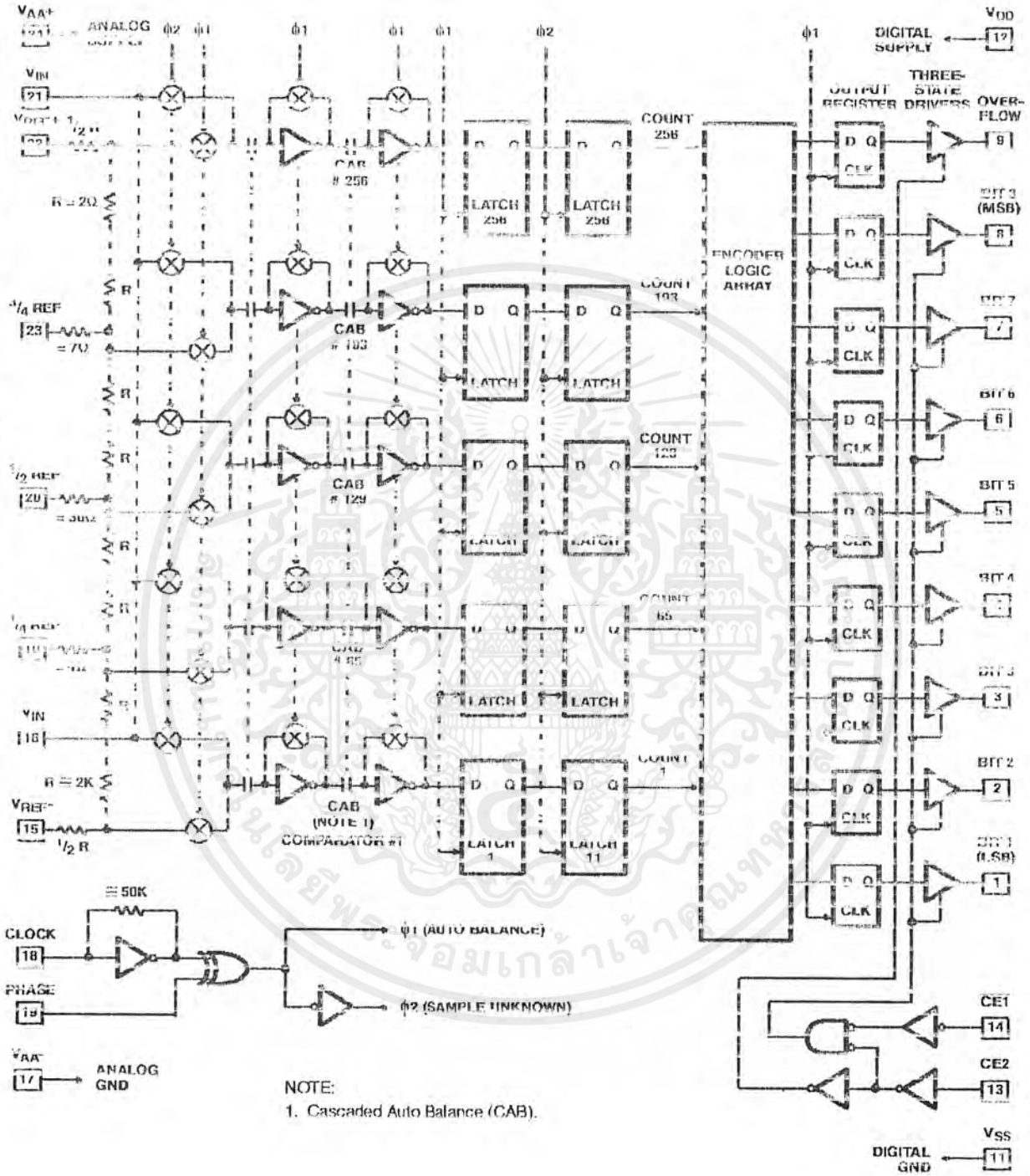
CAUTION: These devices are sensitive to electrostatic discharge. Users should follow proper IC Handling Procedures.

File Number 3103.1

Copyright © Harris Corporation 1997

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Functional Block Diagram



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings

DC Supply Voltage Range (V_{DD} or V_{AA}+) ..... 0.5V to +8V
(Referenced to V_{SS} or V_{AA}- Terminal, Whichever is More Negative)
Input Voltage Range
CE2 and $\overline{CE1}$ ..... V_{AA}- 0.5V to V_{DD} + 0.5V
Clock, Phase, V_{REF}-, $^1/_2$ Ref ..... V_{AA}- -0.5V to V_{AA}+ + 0.5V
Clock, Phase, V_{REF}-, $^1/_4$ Ref ..... V_{SS} -0.5V to V_{DD} + 0.5V
V_{IN}, $^3/_4$ REF, V_{REF}+ ..... V_{AA}- -0.5V to V_{AA}- + 7.5V
Output Voltage Range, ... V_{SS} - 0.5V to V_{DD} + 0.5V
Bits 1-8, Overflow (Outputs Off)
DC Input Current ..... ±20mA
Clock, Phase, $\overline{CE1}$, CE2, V_{IN}, Bits 1-8, Overflow

Thermal Information

Thermal Resistance (Typical, Note 1)	θ_{JA} (°C/W)	θ_{JC} (°C/W)
SBDIP Package	60	22
PDIP Package	60	N/A
SOIC Package	75	N/A

Maximum Junction Temperature
Ceramic Package ..... 175°C
Plastic Packages ..... 150°C
Maximum Storage Temperature Range ..... -65°C to 150°C
Maximum Lead Temperature (Soldering 10s) ..... 265°C
(SOIC - Lead Tips Only)

Operating Conditions

Operating Voltage Range (V_{DD} or V_{AA}+) ... 4V (Min) to 7.5V (Max)
Recommended V_{AA}+ Operating Range ..... V_{DD} +1V
Recommended V_{AA}- Operating Range ..... V_{SS} +1V
Operating Temperature Range (T_A) ..... -40°C to 85°C

CAUTION: Stresses above those listed in "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress only rating and operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied.

NOTE:

1. θ_{JA} is measured with the component mounted on an evaluation PC board in free air.

Electrical Specifications At 25°C, V_{AA}+ = V_{DD} = 5V, V_{REF}+ = 6.4V, V_{REF}- = V_{AA}- = V_{SS}, CLK = 15MHz, All Reference Points Adjusted, Unless Otherwise Specified

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNITS
SYSTEM PERFORMANCE					
Resolution		8			Bits
Integral Linearity Error		-	-	±1.5	LSB
Differential Linearity Error		-	-	+1, -0.8	LSB
Offset Error, Unadjusted	V_{IN} = V_{REF}- + $^1/_2$ LSB	-0.5	4.5	6.4	LSB
Gain Error Unadjusted	V_{IN} = V_{REF}+ - $^1/_2$ LSB	-1.5	0	1.5	LSB
DYNAMIC CHARACTERISTICS					
Maximum Input Bandwidth	(Note 1) CA3318	2.5	5.0	-	MHz
Maximum Conversion Speed	CLK = Square Wave	15	17	-	MSPS
Signal to Noise Ratio (SNR) $=\frac{RMS\,Signal}{RMS\,Noise}$	f_S = 15MHz, f_{IN} = 100kHz	-	47	-	dB
	f_S = 15MHz, f_{IN} = 4MHz		43	-	dB
Signal to Noise Ratio (SINAD) $=\frac{RMS\,Signal}{RMS\,Noise + Distortion}$	f_S = 15MHz, f_{IN} = 100kHz	-	45	-	dB
	f_S = 15MHz, f_{IN} = 4MHz		35	-	dB
Total Harmonic Distortion, THD	f_S = 15MHz, f_{IN} = 100kHz	-	-46	-	dBc
	f_S = 15MHz, f_{IN} = 4MHz	-	-36	-	dBc
Effective Number of Bits (ENOB)	f_S = 15MHz, f_{IN} = 100kHz	-	7.2	-	Bits
	f_S = 15MHz, f_{IN} = 4MHz	-	5.5	-	Bits
Differential Gain Error	Unadjusted	-	2	-	%
Differential Phase Error	Unadjusted	-	1	-	%
ANALOG INPUTS					
Full Scale Range, V_{IN} and (V_{REF}+) - (V_{REF}-)	Notes 2, 4	4	-	7	V
Input Capacitance, V_{IN}		-	30	-	pF
Input Current, V_{IN}, (See Text)	V_{IN} = 5V, V_{REF}+ = 5V	-	-	3.5	mA
REFERENCE INPUTS					
Ladder Impedance		270	500	800	Ω

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Electrical Specifications At 25°C, $V_{AA+} = V_{DD} = 5V$, $V_{REF+} = 6.4V$, $V_{REF-} = V_{AA-} = V_{SS}$, CLK = 15MHz, All Reference Points Adjusted, Unless Otherwise Specified **(Continued)**

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNITS
DIGITAL INPUTS					
Low Level Input Voltage, V_{IL}					
$\overline{CE1}$, CE2	Note 4		-	$0.2V_{DD}$	V
Phase, CLK	Note 4	-	-	$0.2V_{AA}$	V
High Level Input Voltage, V_{IH}					
$\overline{CE1}$, CE2	Note 4	$0.7V_{DD}$	-	-	V
Phase, CLK	Note 4	$0.7V_{AA}$	-	-	V
Input Leakage Current, I_I (Except CLK Input)	Note 3	-	±0.2	±5	µA
Input Capacitance, C_I		-	3	-	pF
DIGITAL OUTPUTS					
Output Low (Sink) Current	$V_O = 0.4V$	4	10	-	mA
Output High (Source) Current	$V_O = 4.5V$	-4	-6	-	mA
Three-State Output Off-State Leakage Current, I_{OZ}		-	±0.2	±5	µA
Output Capacitance, C_O		-	4	-	pF
TIMING CHARACTERISTICS					
Auto Balance Time (φ1)		33	-	∞	ns
Sample Time (φ2)	Note 4	25	-	500	ns
Aperture Delay			15		ns
Aperture Jitter		-	100	-	ps
Data Valid Time, t_D	Note 4	-	50	65	ns
Data Hold Time, t_H	Note 4	25	40	-	ns
Output Enable Time, t_{EN}		-	15	-	ns
Output Disable Time, t_{DIS}		-	18	-	ns
POWER SUPPLY CHARACTERISTICS					
Device Current ($I_{DD} + I_A$) (Excludes I_{REF})	Continuous Conversion (Note 4)	-	30	60	mA
	Auto Balance (φ1)	-	30	60	mA

NOTES:

1. A full scale sine wave input of greater than $f_{CLOCK}/2$ or the specified input bandwidth (whichever is less) may cause an erroneous code. The -3dB bandwidth for frequency response purposes is greater than 30MHz.
2. V_{IN} (Full Scale) or V_{REF+} should not exceed $V_{AA+} + 1.5V$ for accuracy.
3. The clock input is a CMOS inverter with a 50kΩ feedback resistor and may be AC coupled with $1V_{P-P}$ minimum source.
4. Parameter not tested, but guaranteed by design or characterization.

Timing Waveforms

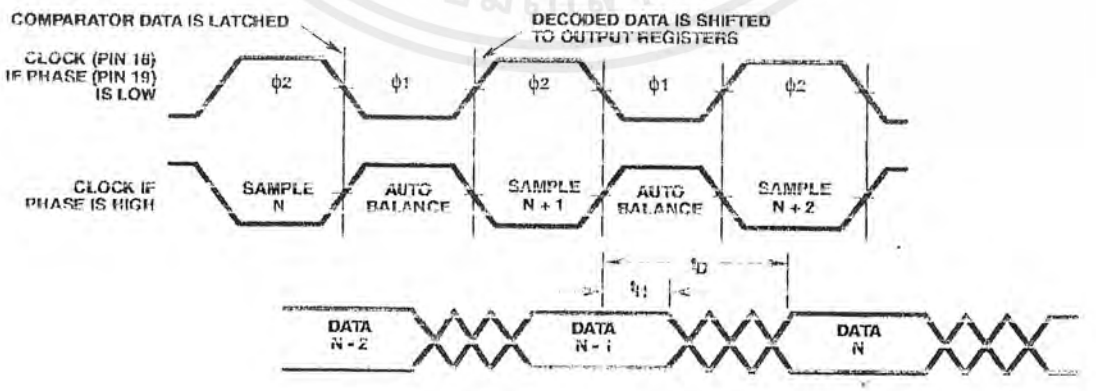


FIGURE 1. INPUT TO OUTPUT TIMING DIAGRAM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Timing Waveforms (Continued)

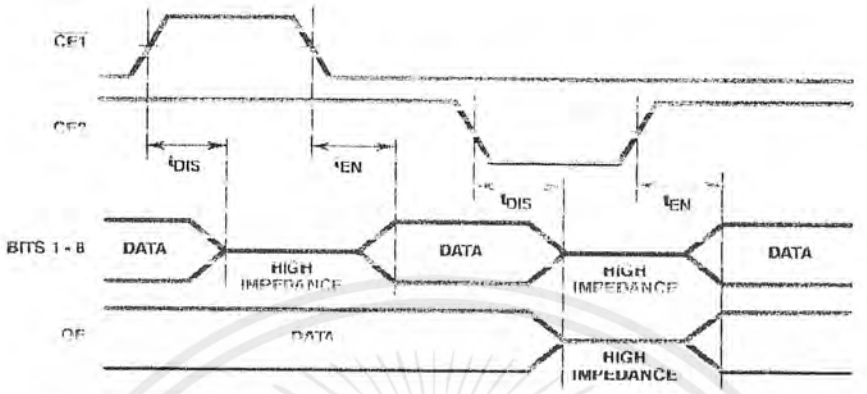


FIGURE 2. OUTPUT ENABLE TIMING DIAGRAM

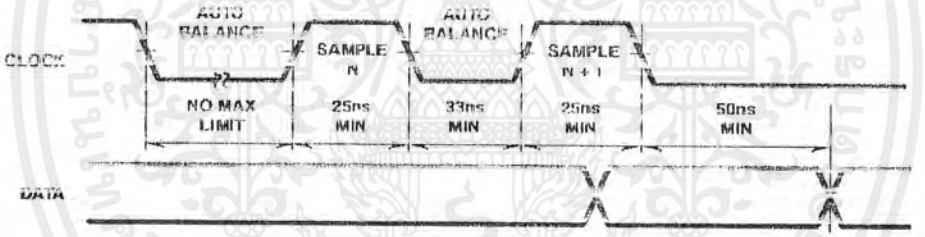


FIGURE 3A. STANDBY IN INDEFINITE AUTO BALANCE (SHOWN WITH PHASE = LOW)

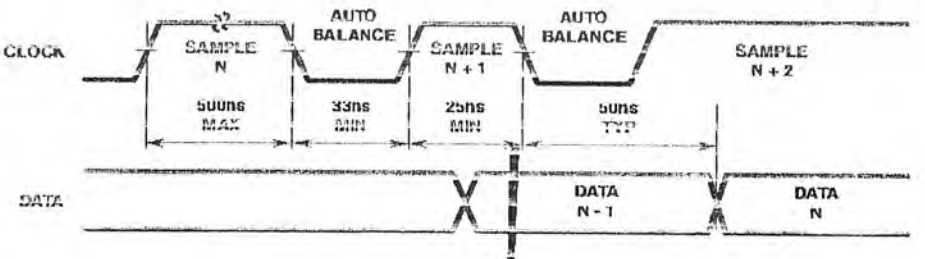


FIGURE 3B. STANDBY IN SAMPLE (SHOWN WITH PHASE = LOW)

FIGURE 3. PULSE MODE OPERATION

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Curves

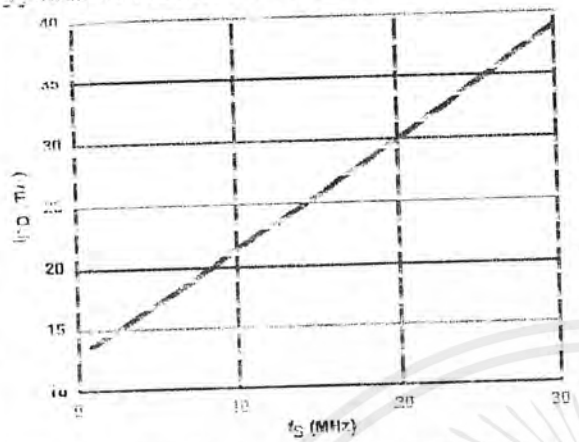


FIGURE 4. DEVICE CURRENT vs SAMPLE FREQUENCY

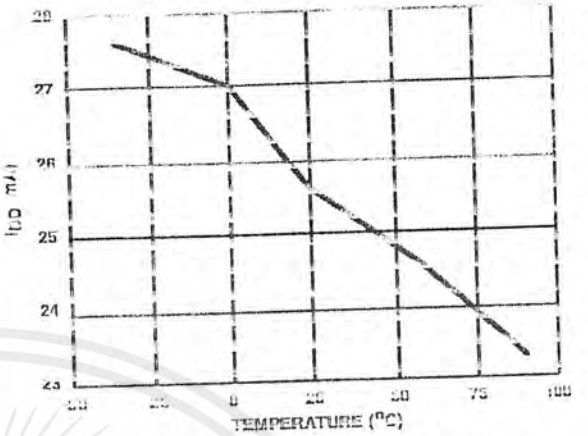


FIGURE 5. DEVICE CURRENT vs TEMPERATURE

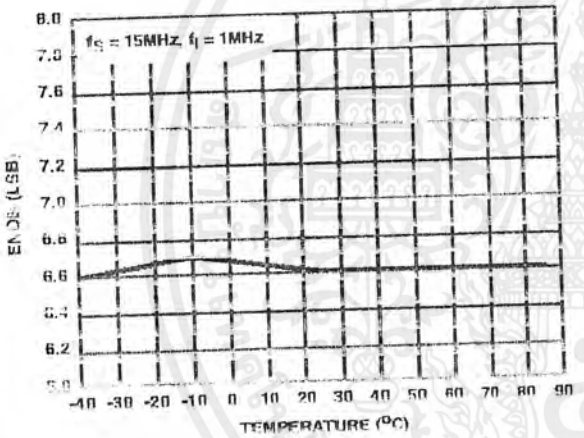


FIGURE 6. ENOB vs TEMPERATURE

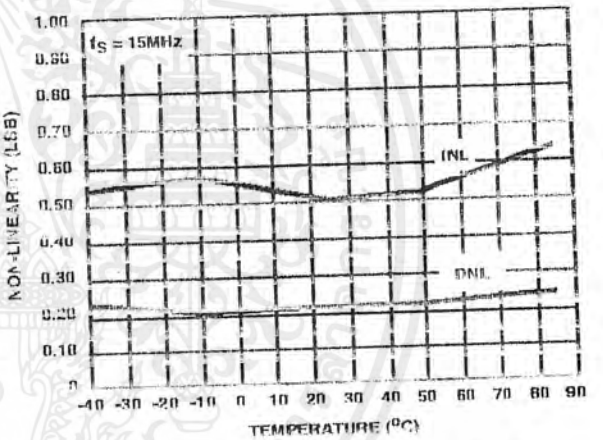


FIGURE 7. NON-LINEARITY vs TEMPERATURE

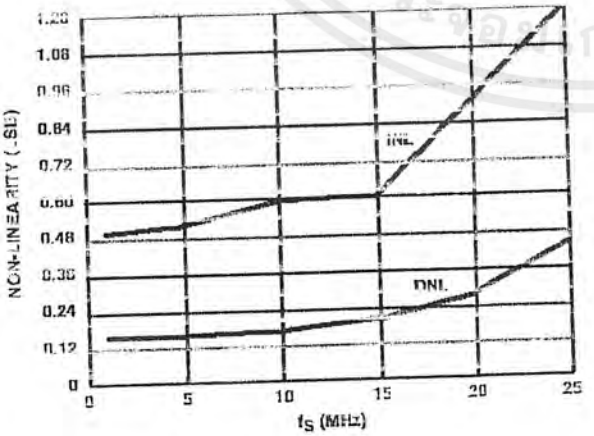


FIGURE 8. NON-LINEARITY vs SAMPLE FREQUENCY

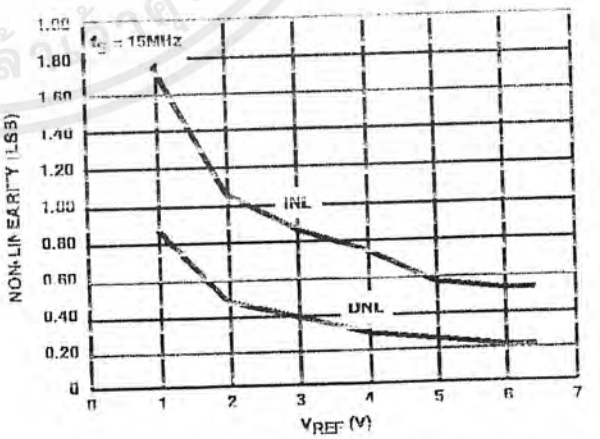


FIGURE 9. NON-LINEARITY vs REFERENCE VOLTAGE

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Curves (Continued)

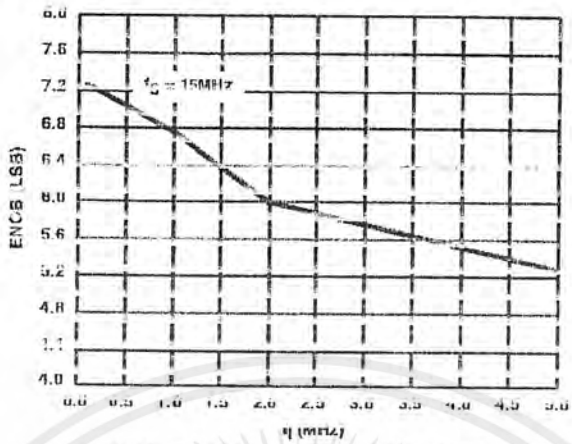


FIGURE 10. ENOB vs INPUT FREQUENCY

Pin Descriptions

PIN	NAME	DESCRIPTION	
1	B1	Bit 1 (LSB)	Output Data Bits (High = True)
2	B2	Bit 2	
3	B3	Bit 3	
4	B4	Bit 4	
5	B5	Bit 5	
6	B6	Bit 6	
7	B7	Bit 7	
8	B8	Bit 8 (MSB)	
9	OF	Overflow	
10	$^1/_4$ R	Reference Ladder $^1/_4$ Point	
11	V_{SS}	Digital Ground	
12	V_{DD}	Digital Power Supply, +5V	
13	CE2	Three-State Output Enable Input Active Low. See Truth Table.	
14	$\overline{CE1}$	Three-State Output Enable Input Active High. See Truth Table.	
15	V_{REF}-	Reference Voltage Negative Input	
16	V_{IN}	Analog Signal Input	
17	V_{AA}-	Analog Ground	
18	CLK	Clock Input	
19	PHASE	Sample clock phase control input. When PHASE is low, "Sample Unknown" occurs when the clock is low and "Auto Balance" occurs when the clock is high (see text).	
20	$^1/_2$ R	Reference Ladder Midpoint	
21	V_{IN}	Analog Signal Input	
22	V_{REF}+	Reference Voltage Positive Input	
23	$^3/_4$ R	Reference Ladder $^3/_4$ Point	
24	V_{AA}+	Analog Power Supply, +5V	

CHIP ENABLE TRUTH TABLE

$\overline{CE1}$	CE2	B1 - B8	OF
0	1	Valid	Valid
1	1	Three-State	Valid
X	0	Three-State	Three-State

X = Don't Care

Theory of Operation

A sequential parallel technique is used by the CA3318 converter to obtain its high speed operation. The sequence consists of the "Auto-Balance" phase, ϕ1, and the "Sample Unknown" phase, ϕ2. (Refer to the circuit diagram.) Each conversion takes one clock cycle (see Note). With the phase control (pin 19) high, the "Auto-Balance" (ϕ1) occurs during the high period of the clock cycle, and the "Sample Unknown" (ϕ2) occurs during the low period of the clock cycle.

NOTE: The device requires only a single phase clock. The terminology of ϕ1 and ϕ2 refers to the high and low periods of the same clock.

During the "Auto-Balance" phase, a transmission switch is used to connect each of the first set of 256 commutating capacitors to their associated ladder reference tap. Those tap voltages will be as follows:

$$V_{TAP}(N) = [(N/256)\,V_{REF}] - (1/512)\,V_{REF}]$$
$$= [(2N - 1)/512]\,V_{REF},$$

Where:

$V_{TAP}(n)$ = reference ladder tap voltage at point n,

V_{REF} = voltage across V_{REF}- to V_{REF}+,

N = tap number (1 through 256).

The other side of these capacitors are connected to single-stage amplifiers whose outputs are shorted to their inputs by switches. This balances the amplifiers at their intrinsic trip points, which is approximately $(V_{AA}+ - V_{AA}-)/2$. The first set of capacitors now charges to their associated tap voltages.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

At the same time a second set of commutating capacitors and amplifiers is also auto-balanced. The balancing of the second-stage amplifier at its intrinsic trip point removes any tracking differences between the first and second amplifier stages. The cascaded auto-balance (CAB) technique used here, increases comparator sensitivity and temperature tracking.

In the "Sample Unknown" phase, all ladder tap switches and comparator shorting switches are opened. At the same time V_{IN} is switched to the first set of commutating capacitors. Since the other end of the capacitors are now looking into an effectively open circuit, any input voltage that differs from the previous tap voltage will appear as a voltage shift at the comparator amplifiers. All comparators that had tap voltages greater than V_{IN} will go to a "high" state at their outputs. All comparators that had tap voltages lower than V_{IN} will go to a "low" state.

The status of all these comparator amplifiers is AC coupled through the second-stage comparator and stored at the end of this phase ($\phi 2$) by a latching amplifier stage. The latch feeds a second latching stage, triggered at the end of $\phi 1$. This delay allows comparators extra settling time. The status of the comparators is decoded by a 256 to 9 bit decoder array, and the results are clocked into a storage register at the end of the next $\phi 2$.

A 3-stage buffer is used at the output of the 9 storage registers which are controlled by two chip enable signals. CE1 will independently disable B1 through B8 when it is in a high state. CE2 will independently disable B1 through B8 and the OF buffers when it is in the low state.

To facilitate usage of this device, a phase control input is provided which can effectively complement the clock as it enters the chip.

Continuous-Clock Operation

One complete conversion cycle can be traced through the CA3318 via the following steps. (Refer to timing diagram.) With the phase control in a "low" state, the rising edge of the clock input will start a "sample" phase. During this entire "high" state of the clock, the comparators will track the input voltage and the first-stage latches will track the comparator outputs. At the falling edge of the clock, all 256 comparator outputs are captured by the 256 latches. This ends the "sample" phase and starts the "auto balance" phase for the comparators. During this "low" state of the clock, the output of the latches settles and is captured by a second row of latches when the clock returns high. The second-stage latch output propagates through the decode array, and a 9-bit code appears at the D inputs of the output registers. On the next falling edge of the clock, this 9-bit code is shifted into the output registers and appears with time delay t_D as valid data at the output of the three-state drivers. This also marks the end of the next "sample" phase, thereby repeating the conversion process for this next cycle.

Pulse-Mode Operation

The CA3318 needs two of the same polarity clock edges to complete a conversion cycle. If, for instance, a negative going clock edge ends sample "N", then data "N" will appear after the next negative going edge. Because of this requirement, and because there is a maximum sample time of 500ns (due to capacitor droop), most pulse or intermittent sample applications will require double clock pulsing.

If an indefinite standby state is desired, standby should be in auto-balance, and the operation would be as in Figure 3A.

If the standby state is known to last less than 500ns and lowest average power is desired, then operation could be as in Figure 3B.

Increased Accuracy

In most cases the accuracy of the CA3318 should be sufficient without any adjustments. In applications where accuracy is of utmost importance, five adjustments can be made to obtain better accuracy, i.e., offset trim; gain trim; and $^1/_4$, $^1/_2$ and $^3/_4$ point trim.

Offset Trim

In general, offset correction can be done in the preamp circuitry by introducing a DC shift to V_{IN} or by the offset trim of the op amp. When this is not possible the V_{REF}- input can be adjusted to produce an offset trim. The theoretical input voltage to produce the first transition is $^1/_2$ LSB. The equation is as follows:

$$V_{IN}\ (0\text{ to }1\text{ transition}) = {}^1/_2\ \text{LSB} = {}^1/_2\ (V_{REF}/256)$$
$$= V_{REF}/512.$$

If V_{IN} for the first transition is less than the theoretical, then a single-turn 50Ω pot connected between V_{REF}- and ground will accomplish the adjustment. Set V_{IN} to 1/2 LSB and trim the pot until the 0-to-1 transition occurs.

If V_{IN} for the first transition is greater than the theoretical, then the 50Ω pot should be connected between V_{REF}- and a negative voltage of about 2 LSBs. The trim procedure is as stated previously.

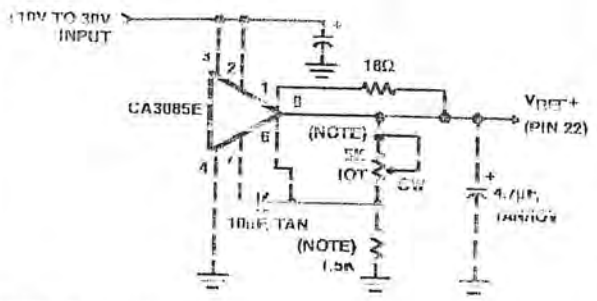
Gain Trim

In general, the gain trim can also be done in the preamp circuitry by introducing a gain adjustment for the op amp. When this is not possible, then a gain adjustment circuit should be made to adjust the reference voltage. To perform this trim, V_{IN} should be set to the 255 to overflow transition. That voltage is $^1/_2$ LSB less than V_{REF}+ and is calculated as follows:

$$V_{IN}\ (255\text{ to }256\text{ transition}) = V_{REF} - V_{REF}/512$$
$$= V_{REF}(511/512).$$

To perform the gain trim, first do the offset trim and then apply the required V_{IN} for the 255 to overflow transition. Now adjust V_{REF}+ until that transition occurs on the outputs.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

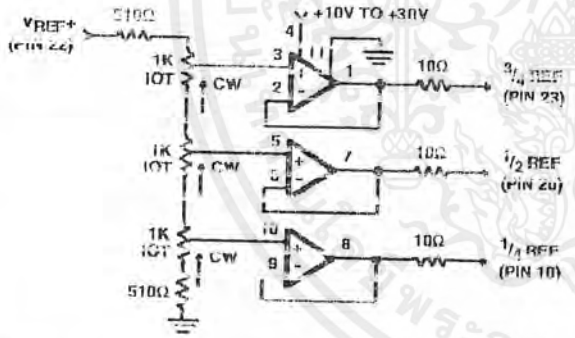


NOTE: Bypass V_{REF+} to analog GND near A/D with 0.1uF ceramic cap. Parts noted should have low temperature drift.

FIGURE 11. TYPICAL VOLTAGE REFERENCE SOURCE FOR DRIVING V_{REF+} INPUT

$^1/_4$ Point Trims

The $^1/_4$, $^1/_2$ and $^3/_4$ points on the reference ladder are brought out for linearity adjusting or if the user wishes to create a nonlinear transfer function. The $^1/_4$ points can be driven by the reference drivers shown (Figure 12) or by 2-K pots connected between V_{REF+} and V_{REF-}. The $^1/_2$ (mid-) point should be set first by applying an input of 257/512 x (V_{REF}) and adjusting for an output changing from 128 to 129. Similarly the $^1/_4$ and $^3/_4$ points can be set with inputs of 128/512 and 385/512 x (V_{REF}) and adjusting for counts of 192 to 193 and 64 to 65. (Note that the points are actually $^1/_4$, $^1/_2$ and $^3/_4$ of full scale +1 LSB.)



NOTES:

1. All Op Amps = $^3/_4$ CA324E.
2. Bypass all reference points to analog ground near A/D with 0.1μF ceramic caps.
3. Adjust V_{REF-} first, then $^1/_2$, $^3/_4$ and $^1/_4$ points.

FIGURE 12. TYPICAL $^1/_4$ POINT DRIVERS FOR ADJUSTING LINEARITY (USE FOR MAXIMUM LINEARITY)

9-Bit Resolution

To obtain 9 bit resolution, two CA3318s can be wired together. Necessary ingredients include an open ended ladder net work, an overflow indicator, three-state outputs, and chip-enable controls - all of which are available on the CA3318.

The first step for connecting a 9-bit circuit is to totem-pole the ladder networks, as illustrated in Figure 13. Since the absolute resistance value of each ladder may vary, external trim of the mid-reference voltage may be required.

The overflow output of the lower device now becomes the ninth bit. When it goes high, all counts must come from the upper device. When it goes low, all counts must come from the lower device. This is done simply by connecting the lower overflow signal to the CE1 control of the lower A/D converter and the CE2 control of the upper A/D converter. The three-state outputs of the two devices (bits 1 through 8) are now connected in parallel to complete the circuitry. The complete circuit for a 9 bit A/D converter is shown in Figure 13.

Grounding/Bypassing

The analog and digital supply grounds of a system should be kept separate and only connected at the A/D. This keeps digital ground noise out of the analog data to be converted. Reference drivers, input amps, reference taps, and the V_{AA} supply should be bypassed at the A/D to the analog side of the ground. See Figure 15 for a block diagram of this concept. All capacitors shown should be low impedance 0.1uF ceramics and should be mounted as close to the A/D as possible. If V_{AA} is derived from V_{DD}, a small (10Ω) resistor or inductor and additional filtering (4.7μF tantalum) may be used to keep digital noise out of the analog system.

Input Loading

The CA3318 outputs a current pulse to the V_{IN} terminal at the start of every sample period. This is due to capacitor charging and switch feedthrough and varies with input voltage and sampling rate. The signal source must be capable of recovering from the pulse before the end of the sample period to guarantee a valid signal for the A/D to convert. Suitable high speed amplifiers include the HA-5033, HA-2542; and CA3450. Figure 16 is an example of an amplifier which recovers fast enough for sampling at 15MHz.

Output Loading

The CMOS digital output stage, although capable of driving large loads, will reflect these loads into the local ground. It is recommended that a local CMOS buffer such as CD74HC541 E be used to isolate capacitive loads.

Definitions

Dynamic Performance Definitions

Fast Fourier Transform (FFT) techniques are used to evaluate the dynamic performance of the converter. A low distortion sine wave is applied to the input, it is sampled, and the output is stored in RAM. The data is then transformed into the frequency domain with a 1096 point FFT and analyzed to evaluate the dynamic performance of the A/D. The sine wave input to the part is -0.5dB down from fullscale for all these tests.

Signal-to-Noise (SNR)

SNR is the measured RMS signal to RMS noise at a specified input and sampling frequency. The noise is the RMS sum of all of the spectral components except the fundamental and the first five harmonics.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Signal-to-Noise + Distortion Ratio (SINAD)

SINAD is the measured RMS signal to RMS sum of all other spectral components below the Nyquist frequency excluding DC.

Effective Number of Bits (ENOB)

The effective number of bits (ENOB) is derived from the SINAD data. ENOB is calculated from:

$$ENOB = (SINAD - 1.76 + V_{CORR})/6.02,$$

where: V_{CORR} = 0.5dB.

Total Harmonic Distortion (THD)

THD is the ratio of the RMS sum of the first 5 harmonic components to the RMS value of the measured input signal.

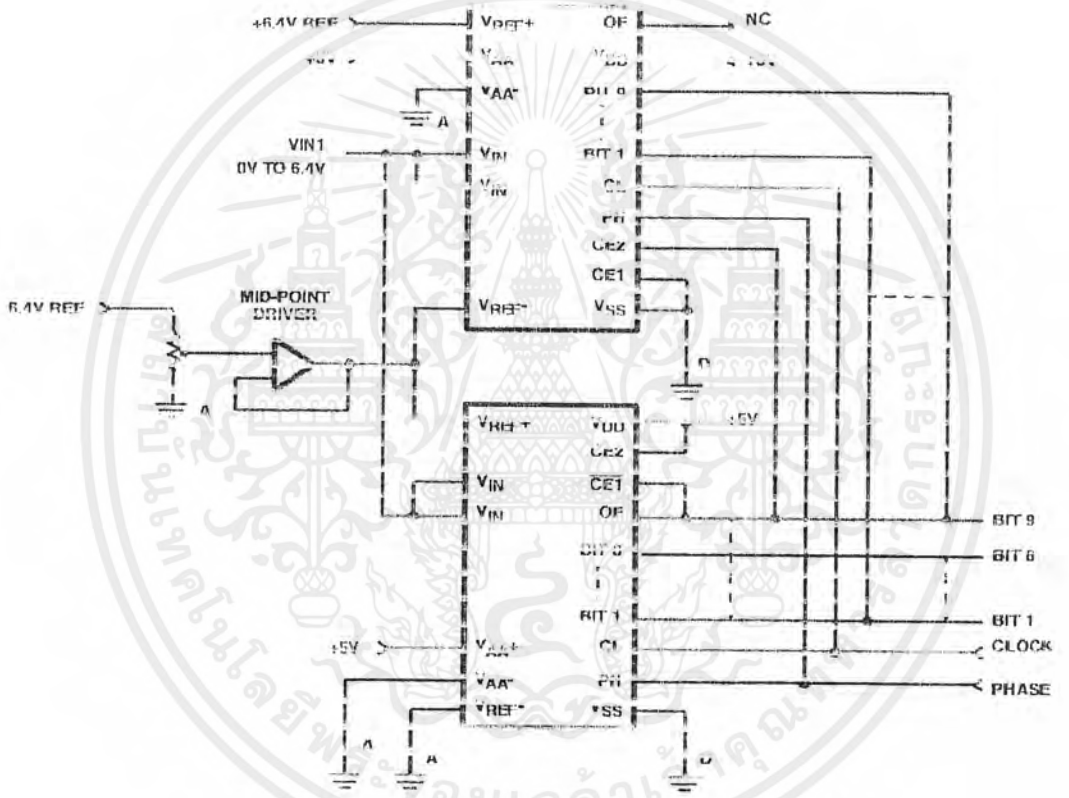


FIGURE 13. USING TWO CA3318s FOR 9-BIT RESOLUTION

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

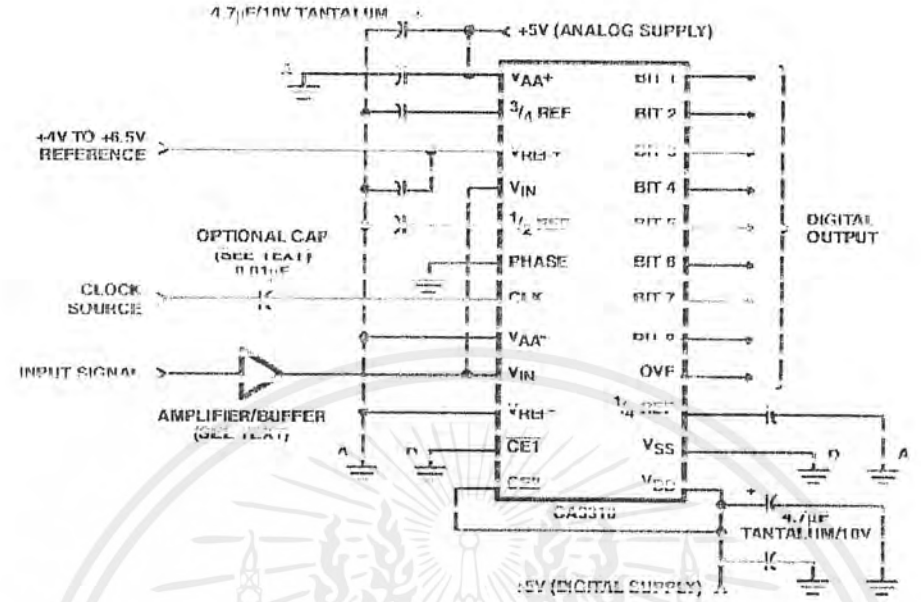


FIGURE 14. TYPICAL CIRCUIT CONFIGURATION FOR THE CA3318 WITH NO LINEARITY ADJUST

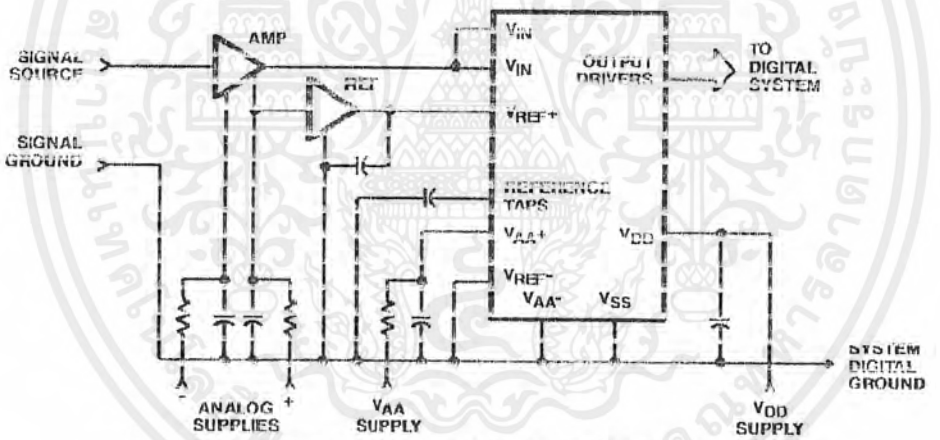
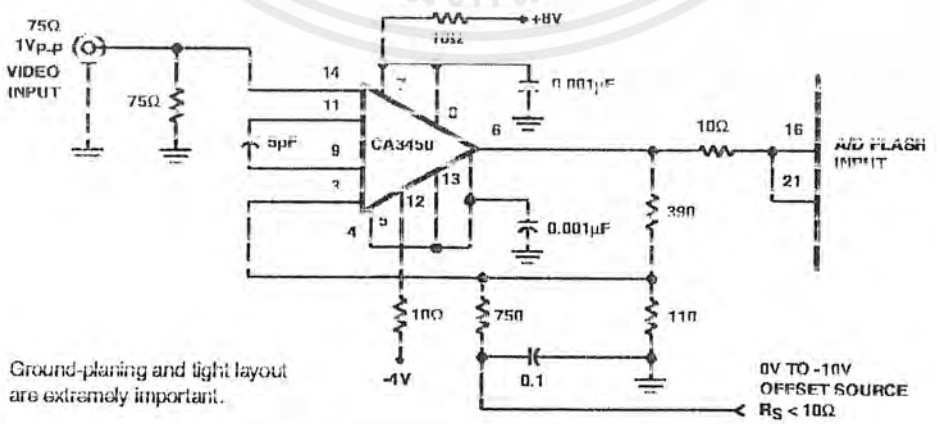


FIGURE 15. TYPICAL SYSTEM GROUNDING/BYPASSING



NOTE: Ground-planing and tight layout are extremely important.

FIGURE 16. TYPICAL HIGH BANDWIDTH AMPLIFIER FOR DRIVING THE CA3318

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TABLE 1. OUTPUT CODE TABLE

CODE DESCRIPTION	(NOTE 1) INPUT VOLTAGE V_{REF} 6.40V (V)	(NOTE 1) INPUT VOLTAGE V_{REF} 5.12V (V)	BINARY OUTPUT CODE OF	MSB B8	B7	B6	B5	B4	B3	B2	LSB B1	DECIMAL COUNT
Zero	0.00	0.00	0	0	0	0	0	0	0	0	0	0
1 LSB	0.025	0.02	0	0	0	0	0	0	0	0	1	1
2 LSB	0.05	0.04	0	0	0	0	0	0	0	1	0	2
•	•	•					•					•
•	•	•					•					•
•	•	•					•					•
1/4 Full Scale	1.60	1.28	0	0	1	0	0	0	0	0	0	64
•	•	•					•					•
•	•	•					•					•
•	•	•					•					•
1/2 Full Scale - 1 LSB	3.175	2.54	0	0	1	1	1	1	1	1	1	127
1/2 Full Scale	3.20	2.56	0	1	0	0	0	0	0	0	0	128
1/2 Full Scale + 1 LSB	3.225	2.58	0	1	0	0	0	0	0	0	1	129
•	•	•					•					•
•	•	•					•					•
•	•	•					•					•
3/4 Full Scale	4.80	3.84	0	1	1	0	0	0	0	0	0	192
•	•	•					•					•
•	•	•					•					•
•	•	•					•					•
Full Scale - 1 LSB	6.35	5.08	0	1	1	1	1	1	1	1	0	254
Full Scale	6.375	5.10	0	1	1	1	1	1	1	1	1	255
Over Flow	6.40	5.12	1	1	1	1	1	1	1	1	1	511

NOTE: 1. The voltages listed above are the ideal centers of each output code shown as a function of its associated reference voltage.

Reducing Power

Most power is consumed while in the auto-balance state. When operating at lower than 15MHz clock speed, power can be reduced by stretching the sample (ϕ2) time. The constraints are a minimum balance time (ϕ1) of 33ns, and a maximum sample time of 500ns. Longer sample times cause droop in the auto-balance capacitors. Power can also be reduced in the reference string by switching the reference on only during auto-balance.

Clock Input

The Clock and Phase inputs feed buffers referenced to $V_{AA}+$ and $V_{AA}-$. Phase should be tied to one of these two potentials, while the clock (if DC coupled) should be driven at least from 0.2 to 0.7 x ($V_{AA}+$ - $V_{AA}-$). The clock may also be AC coupled with at least a $1V_{P-P}$ swing. This allows TTL drive levels or 5V CMOS levels when $V_{AA}+$ is greater than 5V.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

LM1881 Video Sync Separator

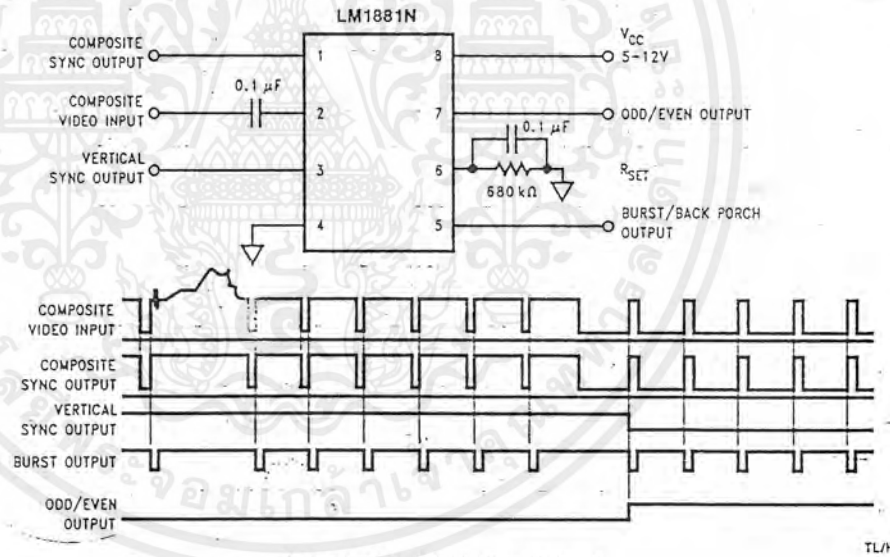
General Description

The LM1881 Video sync separator extracts timing information including composite and vertical sync, burst/back porch timing, and odd/even field information from standard negative going sync NTSC, PAL*, and SECAM video signals with amplitude from 0.5V to 2V p-p. The integrated circuit is also capable of providing sync separation for non-standard, faster horizontal rate video signals. The vertical output is produced on the rising edge of the first serration in the vertical sync period. A default vertical output is produced after a time delay if the rising edge mentioned above does not occur within the externally set delay period, such as might be the case for a non-standard video signal.

Features

- AC coupled composite input signal
- >10 kΩ input resistance
- <10 mA power supply drain current
- Composite sync and vertical outputs
- Odd/even field output
- Burst gate/back porch output
- Horizontal scan rates to 150 kHz
- Edge triggered vertical output
- Default triggered vertical output for non-standard video signal (video games-home computers)

Connection Diagram



TL/H/9150–1

Order Number LM1881M or LM1881N
See NS Package Number M08A or N08E

*PAL in this datasheet refers to European broadcast TV standard "Phase Alternating Line", and not to Programmable Array Logic.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ในเชิงพาณิชย์ ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Supply Voltage	13.2V
Input Voltage	3 Vpp (V_{CC} = 5V) 6 Vpp ($V_{CC} \geq$ 8V)
Output Sink Currents; Pins 1, 3, 5	5 mA
Output Sink Current; Pin 7	2 mA
Package Dissipation (Note 1)	1100 mW
Operating Temperature Range	0°C – 70°C
Storage Temperature Range	−65°C to +150°C
ESD Susceptibility (Note 2)	2 kV
Soldering Information	
Dual-In-Line Package (10 sec.)	260°C
Small Outline Package	
Vapor Phase (60 sec.)	215°C
Infrared (15 sec.)	220°C

See AN-450 "Surface Mounting Methods and their Effect on Product Reliability" for other methods of soldering surface mount devices.

Electrical Characteristics

V_{CC} = 5V; Rset = 680 kΩ; T_A = 25°C; Unless otherwise specified

Parameter	Conditions		Typ	Tested Limit (Note 3)	Design Limit (Note 4)	Units (Limits)
Supply Current	Outputs at Logic 1	V_{CC} = 5V	5.2	10		mAmax
		V_{CC} = 12V	5.5	12		mAmax
DC Input Voltage	Pin 2		1.5	1.3 1.8		Vmin Vmax
Input Threshold Voltage	Note 5		70	55 85		mVmin mVmax
Input Discharge Current	Pin 2; V_{IN} = 2V		11	6 16		µAmin µAmax
Input Clamp Charge Current	Pin 2; V_{IN} = 1V		0.8	0.2		mAmin
R_{SET} Pin Reference Voltage	Pin 6; Note 6		1.22	1.10 1.35		Vmin Vmax
Composite Sync. & Vertical Outputs	I_{OUT} = 40 µA; Logic 1	V_{CC} = 5V	4.5	4.0		Vmin
		V_{CC} = 12V		11.0		Vmin
	I_{OUT} = 1.6 mA Logic 1	V_{CC} = 5V	3.6	2.4		Vmin
		V_{CC} = 12V		10.0		Vmin
Burst Gate & Odd/Even Outputs	I_{OUT} = 40 µA; Logic 1	V_{CC} = 5V	4.5	4.0		Vmin
		V_{CC} = 12V		11.0		Vmin
Composite Sync. Output	I_{OUT} = −1.6 mA; Logic 0; Pin 1		0.2	0.8		Vmax
Vertical Sync. Output	I_{OUT} = −1.6 mA; Logic 0; Pin 3		0.2	0.8		Vmax
Burst Gate Output	I_{OUT} = −1.6 mA; Logic 0; Pin 5		0.2	0.8		Vmax
Odd/Even Output	I_{OUT} = −1.6 mA; Logic 0; Pin 7		0.2	0.8		Vmax
Vertical Sync Width			230	190 300		µsmin µsmax
Burst Gate Width	2.7 kΩ from Pin 5 to V_{CC}		4	2.5 4.7		µsmin µsmax
Vertical Default Time	Note 7		65	32 90		µsmin µsmax

Note 1: For operation in ambient temperatures above 25°C, the device must be derated based on a 150°C maximum junction temperature and a package thermal resistance of 110° C/W, junction to ambient.

Note 2: ESD susceptibility test uses the "human body model, 100 pF discharged through a 1.5 kΩ resistor".

Note 3: Typicals are at T_J = 25°C and represent the most likely parametric norm.

Note 4: Tested Limits are guaranteed to National's AOQL (Average Outgoing Quality Level).

Note 5: Relative difference between the input clamp voltage and the minimum input voltage which produces a horizontal output pulse.

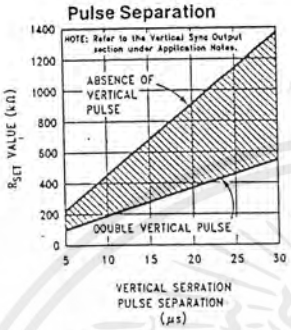
Note 6: Careful attention should be made to prevent parasitic capacitance coupling from any output pin (Pins 1, 3, 5, and 7) to the R_{SET} pin (Pin 6).

Note 7: Delay time between the start of vertical sync (at input) and the vertical output pulse.

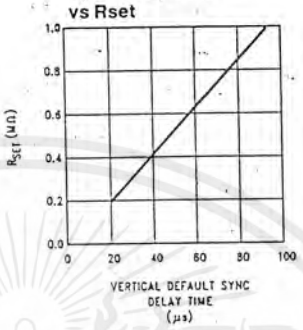
เอกสาร
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics

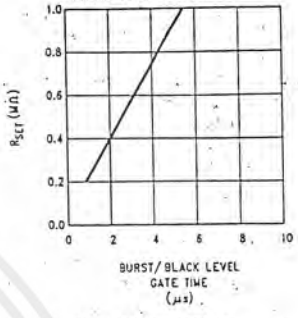
R_{set} Value Selection vs Vertical Serration Pulse Separation



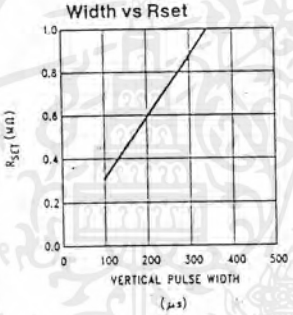
Vertical Default Sync Delay Time vs Rset



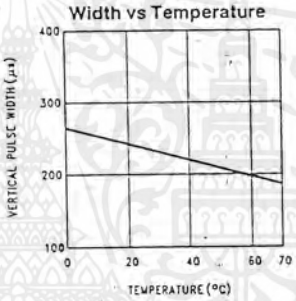
Burst/Black Level Gate Time vs Rset



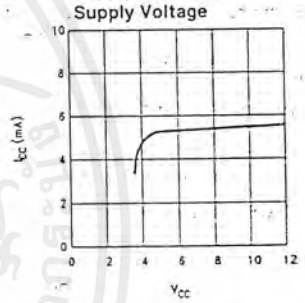
Vertical Pulse Width vs Rset



Vertical Pulse Width vs Temperature



Supply Current vs Supply Voltage



TL/H/9150-2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ในเชิงพาณิชย์ ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Application Notes

The LM1881 is designed to strip the synchronization signals from composite video sources that are in, or similar to, the N.T.S.C. format. Input signals with positive polarity video (increasing signal voltage signifies increasing scene brightness) from 0.5V (p-p) to 2V (p-p) can be accommodated. The LM1881 operates from a single supply voltage between 5V DC and 12V DC. The only required external components beside power supply and set current decoupling are the input coupling capacitor and a single resistor that sets internal current levels, allowing the LM1881 to be adjusted for source signals with line scan frequencies differing from 15.734 kHz. Four major sync signals are available from the I/C: composite sync including both horizontal and vertical scan timing information; a vertical sync pulse; a burst gate or back porch clamp pulse; and an odd/even output. The odd/even output level identifies which video field of an interlaced video source is present at the input. The outputs from the LM1881 can be used to gen-lock video camera/VTR signals with graphics sources, provide identification of video fields for memory storage, recover suppressed or contaminated sync signals, and provide timing references for the extraction of coded or uncoded data on specific video scan lines.

To better understand the LM1881 timing information and the type of signals that are used, refer to *Figure 2(a–e)* which shows a portion of the composite video signal from the end of one field through the beginning of the next field.

COMPOSITE SYNC OUTPUT

The composite sync output, *Figure 2(b)*, is simply a reproduction of the signal waveform below the composite video black level, with the video completely removed. This is obtained by clamping the video signal sync tips to 1.5V DC at Pin 2 and using a comparator threshold set just above this voltage to strip the sync signal, which is then buffered out to Pin 1. The threshold separation from the clamped sync tip is nominally 70 mV which means that for the minimum input level of 0.5V (p-p), the clipping level is close to the halfway point on the sync pulse amplitude (shown by the dashed line on *Figure 2(a)*). This threshold separation is independent of the signal amplitude, therefore, for a 2V (p-p) input the clipping level occurs at 11% of the sync pulse amplitude. The charging current for the input coupling capacitor is 0.8 mA, whereas the discharge current is only 11 μA, typically. This allows relatively small capacitor values to be used—0.1 μF is generally recommended.

Normally the signal source for the LM1881 is assumed to be clean and relatively noise-free, but some sources may have excessive video peaking, causing high frequency video and chroma components to extend below the black level reference. Some video discs keep the chroma burst pulse present throughout the vertical blanking period so that the burst actually appears on the sync tips for three line periods instead of at black level. A clean composite sync signal can be generated from these sources by filtering the input signal. When the source impedance is low, typically 75Ω, a 620Ω resistor in series with the source and a 510 pF capacitor to ground will form a low pass filter with a corner frequency of 500 kHz. This bandwidth is more than sufficient to pass the sync pulse portion of the waveform; however, any subcarrier content in the signal will be attenuated by almost 18 dB, effectively taking it below the comparator threshold. Filtering will also help if the source is contaminated with thermal noise. The output waveforms will become delayed from between 40 ns to as much as 200 ns due to this filter. This much delay will not usually be significant but it does contribute to the sync delay produced by any additional signal processing. Since the original video may also undergo processing, the need for time delay correction will depend on the total system, not just the sync stripper.

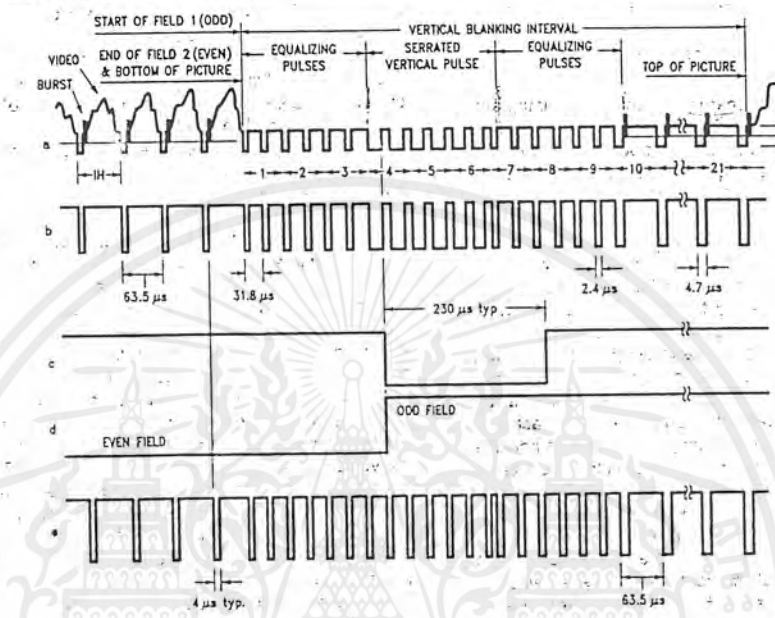
VERTICAL SYNC OUTPUT

A vertical sync output is derived by internally integrating the composite sync waveform *(Figure 3)*. To understand the generation of the vertical sync pulse, refer to the lower left hand section *Figure 3*. Note that there are two comparators in the section. One comparator has an internally generated voltage reference called V_1 going to one of its inputs. The other comparator has an internally generated voltage referance called V_2 going to one of its inputs. Both comparators have a common input at their noninverting input coming from the internal integrator. The internal integrator is used for integrating the composite sync signal. This signal comes from the input side of the composite sync buffer and are **positive** going sync pulses. The capacitor to the integrator is internal to the LM1881. The capacitor charge current is set by the value of the external resistor R_{set}. The output of the integrator is going to be at a low voltage during the normal horizontal lines because the integrator has a very short time to charge the capacitor, which is during the horizontal sync period. The equalization pulses will keep the output voltage of the integrator at about the same level, below the V_1. During the vertical sync period the narrow going positive pulses shown in *Figure 2* is called the serration pulse. The wide negative portion of the vertical sync period is called the vertical sync pulse. At the start of the vertical sync period, before the first Serration pulse occurs, the integrator now charges the capacitor to a much higher voltage. At the first serration pulse the integrator output should be between V_1 and V_2. This would give a high level at the output of the comparator with V_1 as one of its inputs. This high is clocked into the "D" flip-flop by the falling edge of the serration pulse (remember the sync signal is inverted in this section of the LM1881). The "Q" output of the "D" flip-flop goes through the OR gate, and sets the R/S flip-flop. The output of the R/S flip-flop enables the internal oscillator and also clocks the ODD/EVEN "D" flip-flop. The ODD/EVEN field pulse operation is covered in the next section. The output of the oscillator goes to a divide by 8 circuit, thus resetting the R/S flip-flop after 8 cycles of the oscillator. The frequency of the oscillator is established by the internal capacitor going to the oscillator and the external R_{set}. The "$\overline{Q}$" output of the R/S flip-flop goes to pin 3 and is the actual vertical sync output of the LM1881. By clocking the "D" flip-flop at the start of the first serration pulse means that the vertical sync output pulse starts at this point in time and lasts for eight cycles of the internal oscillator as shown in *Figure 2*.

How R_{set} affects the integrator and the internal oscillator is shown under the Typical Performance Characteristics. The first graph is "R_{set} Value Selection vs Vertical Serration Pulse Separation". For this graph to be valid, the vertical sync pulse should last for at least 85% of the horizontal half line (47% of a full horizontal line). A vertical sync pulse from any standard should meet this requirement; both NTSC and PAL do meet this requirement (the serration pulse is the remainder of the period, 10% to 15% of the horizontal

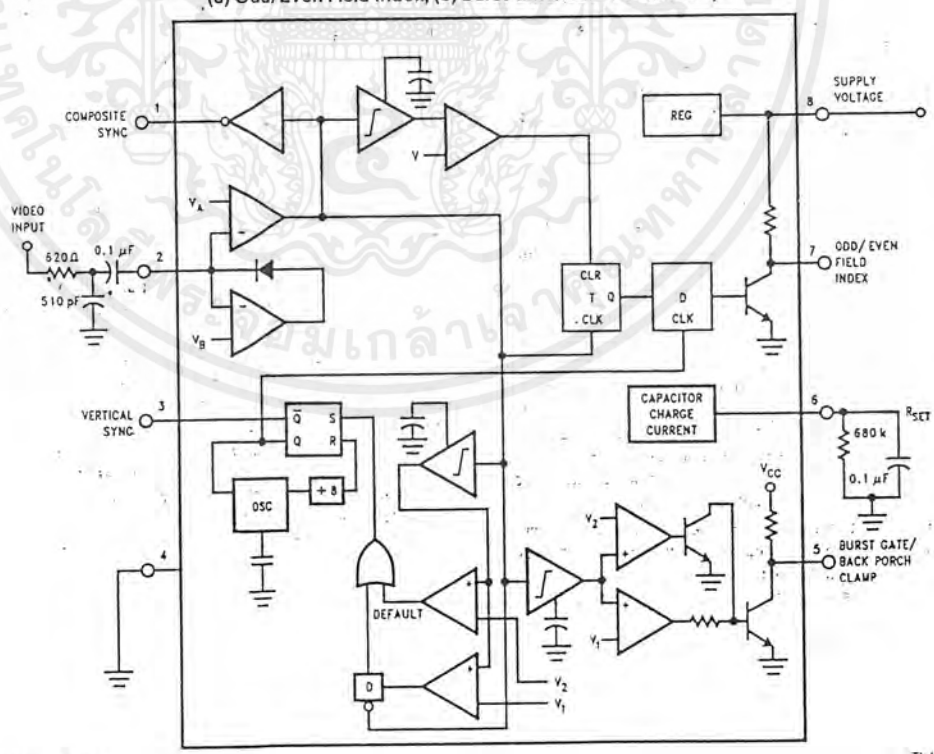
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Application Notes (Continued)



TL/H/9150-3

FIGURE 2. (a) Composite Video; (b) Composite Sync; (c) Vertical Output Pulse; (d) Odd/Even Field Index; (e) Burst Gate/Back Porch Clamp



TL/H/9150-4

*Components Optional, See Text

FIGURE 3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ปริญญานิพนธ์ฉบับนี้เสร็จสมบูรณ์โดย ได้รับคำแนะนำจาก ผศ. พลผดุง ผดุงกุล ทั้งในส่วนของเนื้อหา หลักการ และแนวทางหลักของโครงงาน รวมถึงความคิดริเริ่มในการสร้างสรรค์ชิ้นงาน และแนวทางในการแก้ปัญหาต่างๆ ที่เกิดขึ้น การใช้เครื่องมือและอุปกรณ์ในการปฏิบัติงาน รวมถึงเพื่อนและรุ่นพี่ที่ให้คำปรึกษา แนะนำ รวมทั้งคอยเป็นกำลังใจในการทำงาน และรุ่นน้องที่คอยเป็นแรงผลักดันอย่างดียิ่ง ทำให้โครงงานนี้สำเร็จได้ด้วยดี ข้อบกพร่อง และความผิดพลาด ทั้งหลายที่ปรากฏอยู่ในปริญญานิพนธ์ฉบับนี้ ทางคณะผู้จัดทำขอน้อมรับผิดทั้งหมด และจะทำการปรับปรุงแก้ไข ให้ถูกต้องต่อไปในภายหลัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หนังสืออ้างอิง

1. ปรเมษฐ์ ประนยานันทน์ , ปิยพงศ์ เผ่าวณิช , "คู่มือการประยุกต์ใช้งานไมโครคอนโทรลเลอร์ MCS-51" , บริษัท ซีเอ็ดยูเคชั่น จำกัด(มหาชน) , 2536
2. ประกิจ ตังติสานนท์ , "ทฤษฎีโทรทัศน์" , คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าวิทยาเขตเจ้าคุณทหารลาดกระบัง , 2523
3. สุนทร วิทูสุรพจน์ , "การใช้งานไมโครคอนโทรลเลอร์ตระกูล 8051" , บริษัท ซีเอ็ดยูเคชั่น จำกัด(มหาชน) , 2537
4. SILA RESEARCH , "ANT – 31PJ VERSION 2.0 PROJECT EMBEDDED CONTROLLER", SILA RESEARCH CO,.LED

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้