สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

ชุดทดลอง ไมโครคอนโทรลเลอร์

MICROTROLLER TRAINING BOARD

T046444

ผู้จัดทำ

นายธานินทร์ ประสิทธิ์ศาสตร์

นายวรเทพ วิมลมงคลพร

อาจารย์ที่ปรึกษา

ผศ. ไพศาล สิทธิโยภาสกุล

โครงงานนี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรอุตสาหกรรมศาสตร์บัณฑิต

สาขาวิชาเทคโนโลยีโทรคมนาคม

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2545

ส่วน
TK5103.4
.T45

เลขหมู่.....
เลขทะเบียน 46444
วัน, เดือน, ปี - 2 เม.ย. 2546

.b.....
.i.....

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อปริญญานิพนธ์ บอร์ดทดลองไมโครคอนโครลเลอร์

microcontroller training board

จัดทำโดย นายธานินทร์ ประสิทธิ์ศาสตร์ 43015869

นายวรเทพ วิมลมงคลพร 43015885

อาจารย์ที่ปรึกษา ผศ. ไพศาล สิทธิโยภาสกุล

ภาควิชา วิศวรรมสารสนเทศ

ปีการศึกษา 2545

คณะวิศวกรรมศาสตร์ สถาบัญเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบังให้ปริญญานิพนธ์ฉบับนี้เป็นส่วนหนึ่งของการศึกษาหลักสูตรอุตสาหกรรมศาสตรบัณฑิต

คณะกรรมการสอบ

.....ประธานกรรมการ

( )

.....กรรมการ

( )

.....กรรมการ

( )

.....กรรมการ

( )

.....กรรมการ

( )

ลิขสิทธิ์ของคณะวิศวกรรมศาสตร์ สถาบัณเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ชุดทดลองไมโครคอนโทรลเลอร์

โดย	นาย ธานินทร์	ประสิทธิ์ศาสตร์	43015869
	นาย วรเทพ	วิมลมงคลพร	43015885

อาจารย์ที่ปรึกษา ผศ.ไพศาล สิทธิโยภาสกุล

ปีการศึกษา 2545

บทคัดย่อ

โครงงานนี้เป็นการสร้างชุดทดลองไมโครคอนโทรลเลอร์สำหรับใช้ในการศึกษาและเรียนรู้การทำงานของไมโครคอนโทรลเลอร์ ในโครงงานนี้ได้ใช้ไมโครคอนโทรลเลอร์เบอร์ AT90s2313 ซึ่งเป็นไมโครคอนโทรลเลอร์ตระกูล AVR ของ บริษัท ATMEL โดยมีการใช้งานกับอุปกรณ์ภายนอกทั้งหมด 7 การทดลอง คือ อีอีพรอม , คีย์แพด ขนาด 4X3, การแปลงอะนาลอกเป็นดิจิตอล, คีย์บอร์ดคอมพิวเตอร์, รีโมทคอนโทรล, การสื่อสารอนุกรม และ การสื่อสารผ่านทางพอร์ตขนาน

ABSTRACT

By	MR.THANIN	PRASITSART	NO.	43005869
	MR.WORATHEP	VIMONMONGKONPORN	NO.	43015885

ADVISER Asso.Prof PAISAN SITTIYOPASSAKOL

YEAR 2545

This project is Microcontroller Training Board for learning . It used AT90s2313 AVR's Microcontroller

In this project has connect another component which has 7 application following Eeprom , keypad 4X3 , analog to digital conversion , pc keyboard , IR Remote , Serial communication and Pararell Port

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ปริญญานิพนธ์ฉบับนี้ได้จัดทำขึ้นเป็นที่สำเร็จ ทางคณะผู้จัดทำต้องขอขอบพระคุณบิดามารดาที่คอยช่วยเหลือและให้กำลังใจ ขอขอบพระคุณท่านบูรพาจารย์ทั้งหลายท่านผู้เขียนเอกสารและตำราอ้างอิงต่างๆ ทุกท่าน โดยเฉพาะอาจารย์ที่ปรึกษา ผศ. ไพศาล สิทธิโยภาสกุล ที่คอยให้คำปรึกษาแนะนำ และช่วยเหลือในการหาข้อมูลต่างๆ ทั้งทางด้านทฤษฎีและปฏิบัติเป็นอย่างดียิ่ง ทั้งนี้คณะผู้จัดทำต้องขอขอบคุณภาควิชาวิศวกรรมสารสนเทศ คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง ที่ได้ให้คณะผู้จัดทำได้มีโอกาสเข้ามาศึกษา ณ สถาบันแห่งนี้

สุดท้ายนี้ทางคณะผู้จัดทำ ขอขอบพระคุณคณะอาจารย์ทุกท่านที่กรุณาประสิทธิ์ประสาทวิชาให้แก่กลุ่มผู้จัดทำ จนทำให้ปริญญานิพนธ์ฉบับนี้สำเร็จลงได้ด้วยดี

ธานินทร์ ประสิทธิ์ศาสตร์

วรเทพ วิมลมงคลพร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

เรื่อง		หน้า
บทที่ 1	บทนำ	1
	1.1ขอบเขตโครงงาน	1
	1.2แผนผังชุดทดลอง avr	2
บทที่ 2	ทฤษฎีทั่วไป	3
	คุณสมบัติของAVR	3
	สถาปัตยกรรมทั่วไป	7
	กลุ่มคำสั่งกระโดด	12
	กลุ่มคำสั่งการกระทำทางบิทและการทดสอบบิท	6
	กลุ่มคำสั่งทางคณิตศาสตร์และลอจิก	19
	กลุ่มคำสั่งในการเคลื่อนย้ายข้อมูล	22
บทที่ 3	การออกแบบและการทดลอง	
	I^2C	32
	วงจรแปลงสัญญาณอะนาลอกเป็นดิจิตอล	51
	สวิตช์เมตริกซ์หรือคีย์แพด 4*3จุด	70
	คีย์บอร์ดคอมพิวเตอร์	83
	การเชื่อมต่อพอร์ตพรินเตอร์	91
	การเชื่อต่อพอร์ตอนุกรม	100
	IR(remote)	105
บทที่ 4	สรุปผลการทดลองและปัญหาในการทดลอง	113
	บรรณานุกรม	
	ภาคผนวก	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป

รูป **หน้าที่**

รูปที่2.1โครงสร้างภายนอก 4
รูปที่2.2โครงสร้างภายใน 5
รูปที่2.3การใช้ XTAL 6
รูปที่2.4การใช้OSC จากภายนอกMCU 7
รูปที่2.5 แสดงการวางตำแหน่งI/OของAT90S2313 7
รูปที่2.6 ตารางรีจีสเตอร์ 8
รูปที่2.7 ตารางคำสั่ง 10
รูปที่2.8 ตารางคำสั่ง 11
รูปที่P3. รูปวงจรตัวโปรแกรม 27
รูปที่3.2-2การต่อสาย DB25 ของพอร์ตขนาน 30
รูปที่3.2-3 โปรแกรม pong prog v2.05 30
รูปที่P3.19หน้าตาโปรแกรมที่แปลงเสร็จ 31
รูปที่P3.2 โปรแกรม WAVRASM 32
รูปที่3.1 การต่อตัวต้านทาน R เพื่อลดสัญญาณรบกวนขนาดใหญ่ที่อาจเข้ามาในบัส I2C 33
รูปที่3.2 การเชื่อมต่อกับอีพรอม 36
รูปที่3.3 การสื่อสารแบบอนุกรม 37
รูปที่3.4 ไบต์ควบคุม 37
รูปที่3.5 ลำดับข้อมูล 37
รูปที่3.6 การเขียนข้อมูลครั้งละ 1 ไบต์ 38
รูปที่3.7 ตำแหน่งการอ่าน 39
รูปที่3.8 อ่านแบบสุ่ม 39
รูปที่3.9 อ่านแบบลำดับ 40
รูปที่3.10 โฟลวชาร์ตการทำงานในการเขียนอีพรอม 41
รูปที่3.11 โฟลวชาร์ตการอ่านโปรแกรม 42
รูปที่3.12 การทำงานวงจรแปลงอะนาลอกเป็นดิจิตอล 51
รูปที่3.13 วงจรอะนาลอกเป็นดิจิตอล 52
รูปที่3.14 กราฟแสดงความสัมพันธ์ระหว่างอินพุตกับเอาต์พุต 52

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป(ต่อ)

รูป **หน้าที่**

รูปที่3.15 ไดอะแกรมเวลา 55
รูปที่3.16 ลักษณะภายนอกของ ADC 57
รูปที่3.17 การเชื่อมต่อ ADC กับไมโครคอนโทรลเลอร์ 59
รูปที่3.18 ไดอะแกรมการทำงานของ ADC0832 60
รูปที่3.19 วงจรสวิตซ์แบบเมตริกซ์หรือคีย์แพด 71
รูปที่3.20 ปุ่มกดคีย์แพด 72
รูปที่3.21 การเชื่อมต่อกับไมโครคอนโทรลเลอร์ 72
รูปที่3.22 แบบคีย์บอร์ด 73
รูปที่3.23 โฟลวชาร์ตการทำงานของโปรแกรม 74
รูปที่3.24 ลักษณะหัวคีย์บอร์ด 84
รูปที่3.25 การส่งสัญญาณ 85
รูปที่3.26 รหัส ASCII ที่ใช้กับคีย์บอร์ด 86
รูปที่3.27 รหัส ASCII ที่ใช้กับคีย์บอร์ด 87
รูปที่3.28 การเชื่อมระหว่างคีย์บอร์ดกับ AT90S3213 87
รูปที่3.29 โฟลวชาร์ตการทำงาน 88
รูปที่3.30 สัญญาณต่าง ๆ ของเครื่องพิมพ์ 92
รูปที่3.31 ไดอะแกรมการรับข้อมูลของเครื่องพิมพ์ 94
รูปที่3.32 การเชื่อมเครื่องพิมพ์กับ AT90S2313 95
รูปที่3.33 โฟลวชาร์ตการทำงาน 96
รูปที่3.34 การเชื่อมต่อ AT90S2313 กับ MAX32 101
รูปที่3.35 โฟลวชาร์ตการทำงานของ MAX32 102
รูปที่3.36 การเชื่อมต่อตัวรับรีโมทกับ AT90S2313 106
รูปที่3.37 เป็นค่าที่ได้จากการวัดจากสโครป 107

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

1.1 กล่าวนำ

ความก้าวหน้าทางเทคโนโลยีไมโครคอนโทรลเลอร์ สามารถนำไปใช้ในการควบคุมแทนที่ไมโครโปรเซสเซอร์ ขณะเดียวกันทำให้มีการพัฒนาและผลิตไมโครคอนโทรลเลอร์มากขึ้น ในการเปลี่ยนแปลงทางไมโครคอนโทรลเลอร์ได้มีการพัฒนาหน่วยความจำโปรแกรมในไมโครคอนโทรลเลอร์แบบแฟลช ทำให้สามารถลบ-เขียนหน่วยความจำโปรแกรมได้นับพันครั้ง ส่งผลให้ความจำเป็นในการใช้หน่วยความจำโปรแกรมภายนอกซึ่งเดิมบรรจุในอีพรอมลดน้อยลง ขนาดของระบบก็เล็กลง ราคาถูกลงเป็นอย่างมาก อย่างไรก็ตามไมโครคอนโทรลเลอร์ได้มีการพัฒนาในลักษณะของ CISC คำสั่งหนึ่งคำสั่งของไมโครคอนโทรลเลอร์จะใช้สัญญาณนาฬิกาหลายลูก จำนวนคำสั่งที่ผู้ใช้งานต้องจดจำมีจำนวนมาก จนกระทั่งได้มีการพัฒนาไมโครคอนโทรลเลอร์ในลักษณะ RISC ขึ้น โดยในการทำงานหนึ่งคำสั่งจะใช้สัญญาณนาฬิกาเพียงลูกเดียว และมีจำนวนคำสั่งหลายคำสั่ง นั้นเป็นไมโครคอนโทรลเลอร์ตระกูล AVR

Project นี้ได้อธิบายการทำงานของไมโครคอนโทรลเลอร์ตระกูล AVR จะต้องเลือกใช้เบอร์ที่สามารถนำมาพัฒนาได้ นั่นคือสามารถอ่าน-เขียน-ลบหน่วยความจำโปรแกรมไมโครคอนโทรลเลอร์ได้ มีหน่วยความจำขนาด 4 กิโลไบต์ เป็นหน่วยความจำแบบแฟลช สามารถ ลบ-เขียน ข้อมูลได้นับพันครั้ง สามารถใช้วงจรกำเนิดสัญญาณนาฬิกาแบบคริสตอลหรือวงจร RC ก็ได้

1.2 วัตถุประสงค์ของโครงงาน

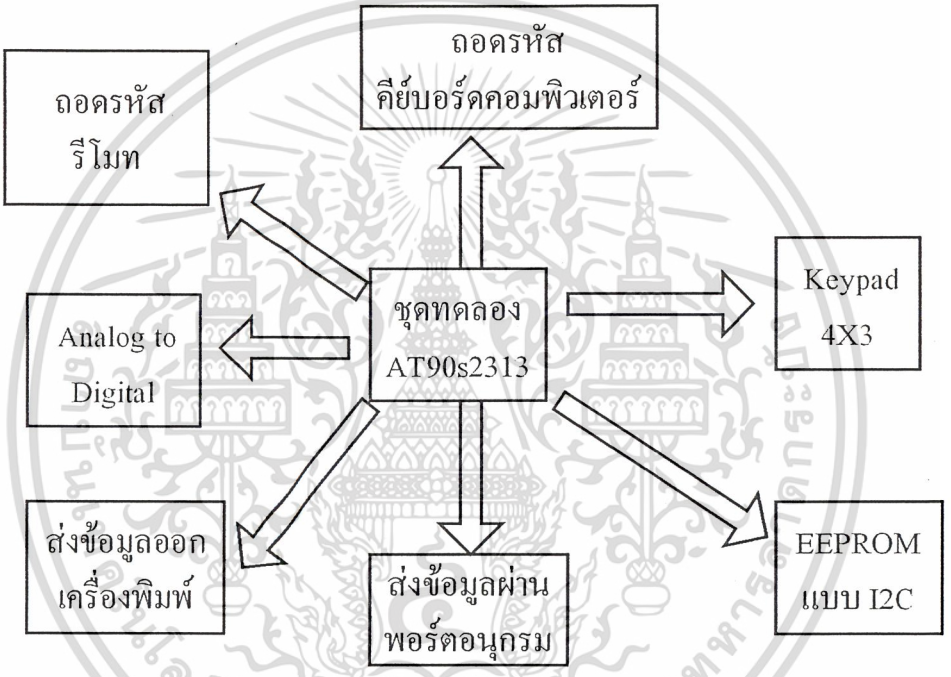
- เพื่อศึกษาถึงคุณสมบัติของไมโครคอนโทรลเลอร์ AVR
- เพื่อศึกษาถึงการนำไมโครคอนโทรลเลอร์ AVR ไปประยุกต์ใช้งานกับอุปกรณ์ตัวอื่น

1.3 ผลที่คาดว่าจะได้รับ

- สามารถออกแบบและสร้างวงจรไมโครคอนโทรลเลอร์ ไปประยุกต์กับอุปกรณ์ชนิดอื่นได้
- เข้าใจขั้นตอนและวิธีในการปฏิบัติงานของวงจร
- สามารถใช้โปรแกรมอัดข้อมูลลงไปในไอซีได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แผนผังชุดทดลอง AVR



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
ทฤษฎีทั่วไป

ในการที่จะเข้าใจการทำของโครงงานนี้ จะต้องมีความเข้าใจการทำงานพื้นฐานทางด้านไมโครคอนโทรลเลอร์อยู่บ้างเพราะเป็นหัวใจหลักของการทำงานในโครงงานนี้

คุณสมบัติ AVR

- สถาปัตยกรรมภายในถูกออกแบบให้ใช้สถาปัตยกรรมแบบRISC(Reduce Instruction Set Computer) RISC คือ ทำให้การประมวลผลมีความเร็ว 1 คำสั่งต่อ 1 Clock
- มีคำสั่งในการควบคุมการทำงานของไมโครคอนโทรลเลอร์จำนวน 118 คำสั่ง
- หน่วยความจำแบบ FLASH สำหรับบันทึก PROGRAM MEMORY ขนาด 2 กิโลไบต์ สามารถลบหรือเขียนโปรแกรมได้1000ครั้ง
- หน่วยความจำแบบ EEPROMสำหรับบันทึก DATA MEMORY ขนาด 128 Byte
- หน่วยความจำแบบ RAM ขนาด 128 Byte
- กลุ่มรีจีสเตอร์ใช้งานทั่วไปขนาด 8 บิท จำนวน 32 ตัว
-พอร์ตอินพุตและเอาท์พุตจำนวน 15 ขาโดยแต่ละขาสัญญาณสามารถกำหนดได้ทั้งอินพุตและเอาท์พุต ซึ่ง เมื่อกำหนดเป็นเอาท์พุตสามารถกำหนดได้ 3สถานะ
-ไทเมอร์/เคาเตอร์ขนาด 8บิท จำนวน 1ตัว
-ไทเมอร์/เคาเตอร์ขนาด 16 บิทจำนวน 1 ตัว
- ระบบการสื่อสารข้อมูลดิจิตอลแบบอะซิงโครนัส(UART)
- ความถี่สัญญาณนาฬิกา 0 - 4 MHz(AT90S2313-4)
- ความถี่สัญญาณนาฬิกา 0 -10 MHz(AT90S2313-10)
- ระบบการรีเซ็ตแบบอัตโนมัติเมื่อเริ่มจ่ายกระแสไฟฟ้าเข้าไมโครคอนโทรลเลอร์(Power on reset)
- ระบบการกำเนิดความถี่สัญญาณแบบ PWM สามารถกำหนดได้เป็น8,9,10บิท

ระบบการตรวจจับระดับสัญญาณอะนาลอก(Analog Comparator)

- ระบบการป้องกันการ COPY ข้อมูลภายในหน่วยความจำ (LOCK FOR SOLFWARE SECURITY)
- ระบบตรวจจับการทำงานผิดพลาดของCPU(WATCHDOG TIMER WITH ON-CHIP OSCILATOR)

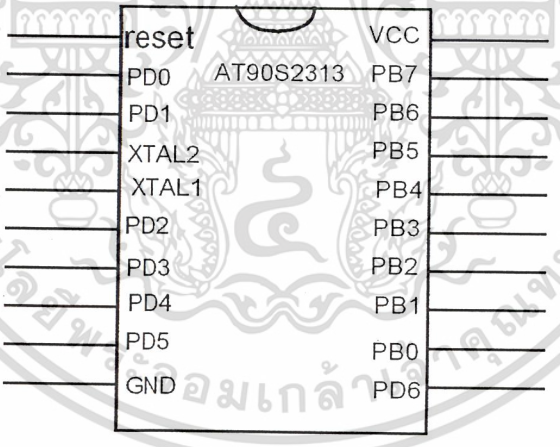
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- ระบบการอินเตอร์รัพท์จากภายนอกและภายในได้ (EXTERNAL INTERRUPT)
- Vcc: 4.0 - 6.0 AT90S2313-10
- Vcc: 2.7 - 6.0 AT90S2313-4

รายละเอียด

AT90S2313 เป็นไมโครคอนโทรลเลอร์ขนาด 8 บิทที่มีสถาปัตยกรรมแบบ RISE (reduce instruction setcomputer) ซึ่งทำให้การประมวลผลมีความเร็ว 1 คำสั่งต่อ 1 clock หรือ cpu สามารถประมวลคำสั่งได้ 1 MIPS / MHz ภายในประกอบด้วยรีจีสเตอร์ใช้งานทั่วไปจำนวน 32 ตัวซึ่งแต่ละตัวจะต่อเข้ากับALU โดยตรง ทำให้การประมวลผลต่อ 1 คำสั่งมีความเร็วกว่า CPU ที่มีสถาปัตยกรรมแบบCISC

โครงสร้างภายนอกและตำแหน่งขา

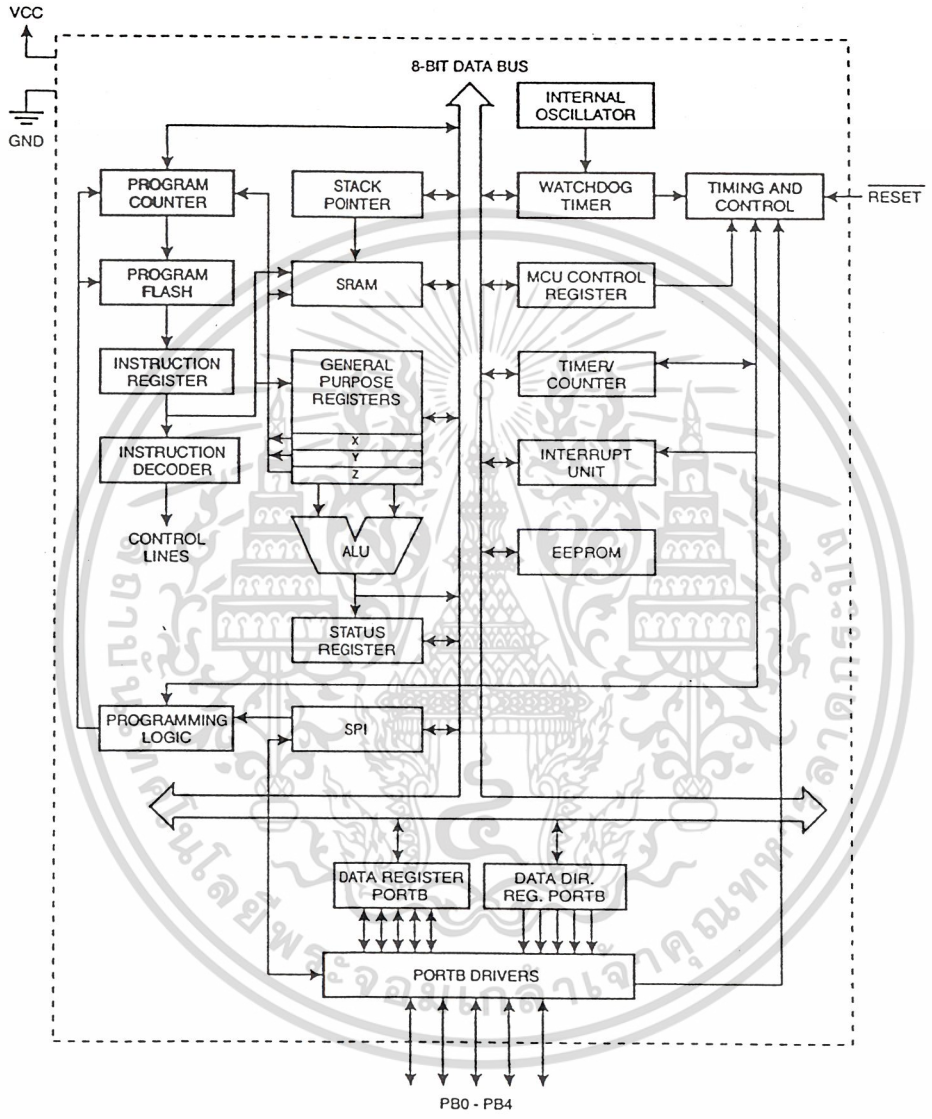


รูปที่2.1โครงสร้างภายนอก

AT90S2313จะมีหน่วยความจำสำหรับPROGRAM MEMORY แบบ FLASH ขนาด 2 KByte หน่วยความจำสำหรับ DATA MEMORY แบบ EEPROM ขนาด 128 Byte และหน่วยความจำแบบ RAM ขน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

128Byte มีพอร์ตที่สามารถทำงานได้จำนวน 15 เส้นสัญญาณในการแปลง TIMER / COUNTER เป็นการเปรียบเทียบของอุปกรณ์ภายในและภายนอก ที่มีการสื่อสารข้อมูลอนุกรมแบบ UARTและ SPI โดยการ flash memoryโดยที่ AvR AT90s2313 โปรแกรมที่ที่เหมาะสมคือ c compiler, macro assemblers, โปรแกรม debugger/simulator, in-circuit emulator



รูปที่2.2โครงสร้างภายใน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รายละเอียดของขาสัญญาณ

VCCคือ ขาจ่ายไฟให้กับ CPU

GND คือ กราวด์

Port B(PB7-PB0)

เป็นพอร์ตอินพุตขนาด 8 บิท โดยสามารถกำหนดให้แต่ละขาของพอร์ตสามารถ PULL UP ภายในได้อย่างอย่างอิสระโดยที่ PB1และBP2เป็นอินพุตเป็นส่วนที่แปลงสัญญาณอะนาลอก ทั้งที่พอร์ตอินพุตสามารถรับกระแสSINK 20mA ในการขับ LED

Port D (PD6..PD0)

เป็นพอร์ตอินพุตขนาด 7 บิท โดยสามารถกำหนดให้แต่ละขาของพอร์ตสามารถ PULL UP ภายในได้อย่างอิสระที่แยกจากกันซึ่งแต่ละขาสามารถรับกระแสSINK20mAและยังถูกนำไปใช้งานอื่นๆอีก

Reset คือ ขารีเซ็ต

XTAL 1 เป็นขาอินพุตของ OSE

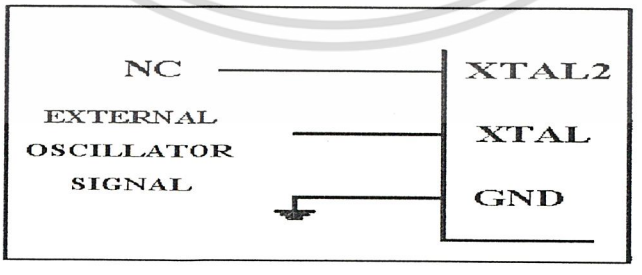
XTAL 2 เป็นขาเอาท์พุตของ OSE

การใช้งาน CRYSTAL OSCILATOR

โดยขา XTAL 1 เป็นขาอินพุตและขา XTAL 2 เป็นขาเอาท์พุต ซึ่งถ้าต้องการใช้ OSCภายในจะต้องต่อ CRYSTAL คร่อมขา

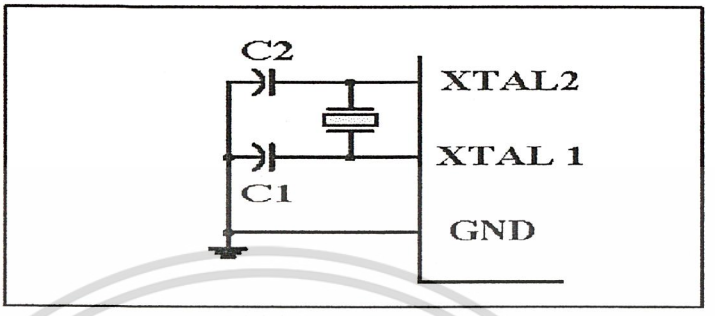
XTAL 1 และ XTAL 2 โดยมี CAPACITOR ต่อจากขาทั้ง 2 ลงกราวด์ ถ้าต้องการ OSC จากภายนอก ให้ปล่อยขา XTAL 2 ลอยและป้อน

CLOCK เข้าที่ขา XTAL 1 ซึ่งแสดงไว้ในรูปที่2.3 และ รูปที่ 2.4



รูปที่2.3การใช้งานคริสตอล

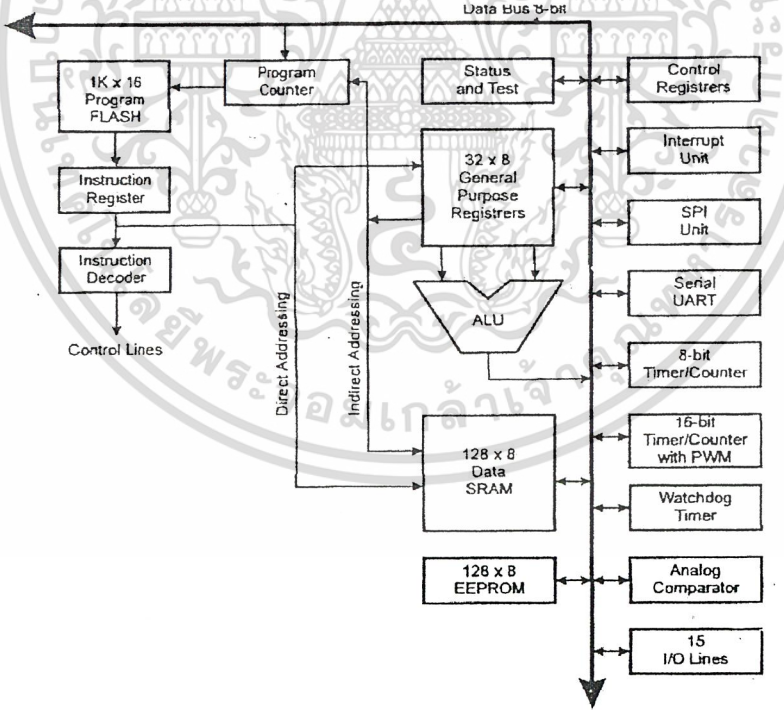
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.4 การใช้ OSCจาก ภายนอก MCU

สถาปัตยกรรมทั่วไป

รีจีสเตอร์ทหั่วไปมีความจุ 32*16 bit มหันจะทำงานเสร็จสิ้นลงภายใน 1 ลูก clock โดยที่รีจีสเตอร์ 6ตัวจาก 32ตัว เป็นรีจีสเตอร์ทางอ้อมใช้ในการเก็บการคำนวณของค่าคงที่เป็นจำพวก รีจีสเตอร์ x , y , z ALUเป็นตัวเก็บค่าการคำนวณระหว่างรีจีสเตอร์และค่าคงที่ด้วยมีการประมวลผลด้วย ดังแสดงดังรูปที่ 2.5



รูปที่2.5 แสดงการวางตำแหน่ง I / O ของ AT90s2313

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Register Summary

Address	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Page
$3F ($5F)	SREG	I	T	H	S	V	N	Z	C	page 17
$3E ($5E)	Reserved									
$3D ($5D)	SPL	SP7	SP6	SP5	SP4	SP3	SP2	SP1	SP0	page 18
$3C ($5C)	Reserved									
$3B ($5B)	GIMSK	INT1	INT0	-	-	-	-	-	-	page 23
$3A ($5A)	GIFR	INTF1	INTF0							page 23
$39 ($59)	TIMSK	TOIE1	OCIE1A	-	-	TICIE1	-	TOIE0	-	page 24
$38 ($58)	TIFR	TOV1	OCF1A	-	-	ICF1	-	TOV0	-	page 24
$37 ($57)	Reserved									
$36 ($56)	Reserved									
$35 ($55)	MCUCR	-	-	SE	SM	ISC11	ISC10	ISC01	ISC00	page 26
$34 ($54)	Reserved									
$33 ($53)	TCCR0	-	-	-	-	-	CS02	CS01	CS00	page 29
$32 ($52)	TCNT0	Timer/Counter0 (8 Bits)								page 30
$31 ($51)	Reserved									
$30 ($50)	Reserved									
$2F ($4F)	TCCR1A	COM1A1	COM1A0	-	-	-	-	PWM11	PWM10	page 31
$2E ($4E)	TCCR1B	ICNC1	ICES1	-	-	CTC1	CS12	CS11	CS10	page 32
$2D ($4D)	TCNT1H	Timer/Counter1 – Counter Register High Byte								page 33
$2C ($4C)	TCNT1L	Timer/Counter1 – Counter Register Low Byte								page 33
$2B ($4B)	OCR1AH	Timer/Counter1 – Compare Register High Byte								page 34
$2A ($4A)	OCR1AL	Timer/Counter1 – Compare Register Low Byte								page 34
$29 ($49)	Reserved									
$28 ($48)	Reserved									
$27 ($47)	Reserved									
$26 ($46)	Reserved									
$25 ($45)	ICR1H	Timer/Counter1 – Input Capture Register High Byte								page 35
$24 ($44)	ICR1L	Timer/Counter1 – Input Capture Register Low Byte								page 35
$23 ($43)	Reserved									
$22 ($42)	Reserved									
$21 ($41)	WDTCR	-	-	-	WDTOE	WDE	WDP2	WDP1	WDP0	page 38
$20 ($40)	Reserved									
$1F ($3F)	Reserved									
$1E ($3E)	EEAR	-	EEPROM Address Register							page 40
$1D ($3D)	EEDR	EEPROM Data Register								page 40
$1C ($3C)	EECR	-	-	-	-	-	EEMWE	EEWE	EERE	page 40
$1B ($3B)	Reserved									
$1A ($3A)	Reserved									
$19 ($39)	Reserved									
$18 ($38)	PORTB	PORTB7	PORTB6	PORTB5	PORTB4	PORTB3	PORTB2	PORTB1	PORTB0	page 52
$17 ($37)	DDRB	DDB7	DDB6	DDB5	DDB4	DDB3	DDB2	DDB1	DDB0	page 52
$16 ($36)	PINB	PINB7	PINB6	PINB5	PINB4	PINB3	PINB2	PINB1	PINB0	page 52
$15 ($35)	Reserved									
$14 ($34)	Reserved									
$13 ($33)	Reserved									
$12 ($32)	PORTD	-	PORTD6	PORTD5	PORTD4	PORTD3	PORTD2	PORTD1	PORTD0	page 58
$11 ($31)	DDRD	-	DDD6	DDD5	DDD4	DDD3	DDD2	DDD1	DDD0	page 58
$10 ($30)	PIND	-	PIND6	PIND5	PIND4	PIND3	PIND2	PIND1	PIND0	page 58
...	Reserved									
$0C ($2C)	UDR	UART I/O Data Register								page 46
$0B ($2B)	USR	RXC	TXC	UDRE	FE	OR	-	-	-	page 46
$0A ($2A)	UCR	RXCIE	TXCIE	UDRIE	RXEN	TXEN	CHR9	RXB8	TXB8	page 47
$09 ($29)	UBRR	UART Baud Rate Register								page 49
$08 ($28)	ACSR	ACD	-	ACO	ACI	ACIE	ACIC	ACIS1	ACIS0	page 50
...	Reserved									
$00 ($20)	Reserved									

รูปที่2.6ตารางรีจีสเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Bit 7 - I:Global Interrupt Enable

บิท I จะต้องถูก set เป็น 1 เมื่อต้องการให้ Interrupt ทั้งหมดทำงานโดย interrupt แต่ละแหล่งจะสามารถแบ่งแยกกันกำหนดรีจีสเตอร์ GIMSK และ TIMSK แต่ถ้าบิท I ถูก clear เป็น 0 อินเตอร์รัพท์ทุกตัวจะถูก DISABLE โดยบิท I จะถูก clear โดยอัตโนมัติเมื่อเกิดการอินเตอร์รัพท์และจะถูกเซตโดยการใช้คำสั่ง RETI

Bit 6 - T:Bit Copy Stroage

การใช้คำสั่ง BLD และคำสั่ง BSTจะเป็นคำสั่ง ที่ใช้บิท T ทำหน้าที่เป็น SOURCE หรือ DESTINATION โดยบิทต่างๆในรีจีสเตอร์สามารถ COPY ลงบิท T ได้โดยการใช้คำสั่ง BLD และสามารถ COPY บิท T ลงในบิทของรีจีสเตอร์ได้โดยคำสั่งBST

Bit 5 - H: Half Carry Flag

บิท H แสดงการเกิด HALF CARRY FLAG

Bit 4 - S:Sign Bit, S = N + V

เป็นบิทที่ใช้แสดงเครื่องหมาย

Bit 3 - V: Two"s Complement Overflow Flag

แสดงการทำ Two"s Complement

Bit 2 - N: Negative Flag

จะแสดงการทำคำสั่งที่เป็นลบของการกระทำทางคณิตศาสตร์และลอจิก

แสดงการเกิด Carry Flag

The Stack Pointer - SP

EEPROM Read/Write Acces

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Mnemonic	Operands	Description	Operation	Flags	# Clocks
ARITHMETIC AND LOGIC INSTRUCTIONS					
ADD	Rd, Rr	Add Two Registers	Rd ← Rd + Rr	Z,C,N,V,H	1
ADC	Rd, Rr	Add with Carry Two Registers	Rd ← Rd + Rr + C	Z,C,N,V,H	1
ADIW	Rdl, K	Add Immediate to Word	Rdh:Rdl ← Rdh:Rdl + K	Z,C,N,V,S	2
SUB	Rd, Rr	Subtract Two Registers	Rd ← Rd – Rr	Z,C,N,V,H	1
SUBI	Rd, K	Subtract Constant from Register	Rd ← Rd – K	Z,C,N,V,H	1
SBIW	Rdl, K	Subtract Immediate from Word	Rdh:Rdl ← Rdh:Rdl – K	Z,C,N,V,S	2
SBC	Rd, Rr	Subtract with Carry Two Registers	Rd ← Rd – Rr – C	Z,C,N,V,H	1
SBCI	Rd, K	Subtract with Carry Constant from Reg.	Rd ← Rd – K – C	Z,C,N,V,H	1
AND	Rd, Rr	Logical AND Registers	Rd ← Rd • Rr	Z,N,V	1
ANDI	Rd, K	Logical AND Register and Constant	Rd ← Rd • K	Z,N,V	1
OR	Rd, Rr	Logical OR Registers	Rd ← Rd v Rr	Z,N,V	1
ORI	Rd, K	Logical OR Register and Constant	Rd ← Rd v K	Z,N,V	1
EOR	Rd, Rr	Exclusive OR Registers	Rd ← Rd ⊕ Rr	Z,N,V	1
COM	Rd	One's Complement	Rd ← $FF – Rd	Z,C,N,V	1
NEG	Rd	Two's Complement	Rd ← $00 – Rd	Z,C,N,V,H	1
SBR	Rd, K	Set Bit(s) in Register	Rd ← Rd v K	Z,N,V	1
CBR	Rd, K	Clear Bit(s) in Register	Rd ← Rd • ($FF – K)	Z,N,V	1
INC	Rd	Increment	Rd ← Rd + 1	Z,N,V	1
DEC	Rd	Decrement	Rd ← Rd – 1	Z,N,V	1
TST	Rd	Test for Zero or Minus	Rd ← Rd • Rd	Z,N,V	1
CLR	Rd	Clear Register	Rd ← Rd ⊕ Rd	Z,N,V	1
SER	Rd	Set Register	Rd ← $FF	None	1
BRANCH INSTRUCTIONS					
RJMP	k	Relative Jump	PC ← PC + k + 1	None	2
IJMP		Indirect Jump to (Z)	PC ← Z	None	2
RCALL	k	Relative Subroutine Call	PC ← PC + k + 1	None	3
ICALL		Indirect Call to (Z)	PC ← Z	None	3
RET		Subroutine Return	PC ← STACK	None	4
RETI		Interrupt Return	PC ← STACK	I	4
CPSE	Rd, Rr	Compare, Skip if Equal	if (Rd = Rr) PC ← PC + 2 or 3	None	1/2
CP	Rd, Rr	Compare	Rd – Rr	Z,N,V,C,H	1
CPC	Rd, Rr	Compare with Carry	Rd – Rr – C	Z,N,V,C,H	1
CPI	Rd, K	Compare Register with Immediate	Rd – K	Z,N,V,C,H	1
SBRC	Rr, b	Skip if Bit in Register Cleared	if (Rr(b) = 0) PC ← PC + 2 or 3	None	1/2
SBRS	Rr, b	Skip if Bit in Register is Set	if (Rr(b) = 1) PC ← PC + 2 or 3	None	1/2
SBIC	P, b	Skip if Bit in I/O Register Cleared	if (P(b) = 0) PC ← PC + 2 or 3	None	1/2
SBIS	P, b	Skip if Bit in I/O Register is Set	if (P(b) = 1) PC ← PC + 2 or 3	None	1/2
BRBS	s, k	Branch if Status Flag Set	if (SREG(s) = 1) then PC ← PC + k + 1	None	1/2
BRBC	s, k	Branch if Status Flag Cleared	if (SREG(s) = 0) then PC ← PC + k + 1	None	1/2
BREQ	k	Branch if Equal	if (Z = 1) then PC ← PC + k + 1	None	1/2
BRNE	k	Branch if Not Equal	if (Z = 0) then PC ← PC + k + 1	None	1/2
BRCS	k	Branch if Carry Set	if (C = 1) then PC ← PC + k + 1	None	1/2
BRCC	k	Branch if Carry Cleared	if (C = 0) then PC ← PC + k + 1	None	1/2
BRSH	k	Branch if Same or Higher	if (C = 0) then PC ← PC + k + 1	None	1/2
BRLO	k	Branch if Lower	if (C = 1) then PC ← PC + k + 1	None	1/2
BRMI	k	Branch if Minus	if (N = 1) then PC ← PC + k + 1	None	1/2
BRPL	k	Branch if Plus	if (N = 0) then PC ← PC + k + 1	None	1/2
BRGE	k	Branch if Greater or Equal, Signed	if (N ⊕ V = 0) then PC ← PC + k + 1	None	1/2
BRLT	k	Branch if Less than Zero, Signed	if (N ⊕ V = 1) then PC ← PC + k + 1	None	1/2
BRHS	k	Branch if Half-carry Flag Set	if (H = 1) then PC ← PC + k + 1	None	1/2
BRHC	k	Branch if Half-carry Flag Cleared	if (H = 0) then PC ← PC + k + 1	None	1/2
BRTS	k	Branch if T-Flag Set	if (T = 1) then PC ← PC + k + 1	None	1/2
BRTC	k	Branch if T-Flag Cleared	if (T = 0) then PC ← PC + k + 1	None	1/2
BRVS	k	Branch if Overflow Flag is Set	if (V = 1) then PC ← PC + k + 1	None	1/2
BRVC	k	Branch if Overflow Flag is Cleared	if (V = 0) then PC ← PC + k + 1	None	1/2
BRIE	k	Branch if Interrupt Enabled	if (I = 1) then PC ← PC + k + 1	None	1/2
BRID	k	Branch if Interrupt Disabled	if (I = 0) then PC ← PC + k + 1	None	1/2

รูปที่2.7ตารางคำสั่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Instruction Set Summary (Continued)

Mnemonic	Operands	Description	Operation	Flags	# Clocks
DATA TRANSFER INSTRUCTIONS					
MOV	Rd, Rr	Move between Registers	Rd ← Rr	None	1
LDI	Rd, K	Load Immediate	Rd ← K	None	1
LD	Rd, X	Load Indirect	Rd ← (X)	None	2
LD	Rd, X+	Load Indirect and Post-Inc.	Rd ← (X), X ← X + 1	None	2
LD	Rd, -X	Load Indirect and Pre-Dec.	X ← X - 1, Rd ← (X)	None	2
LD	Rd, Y	Load Indirect	Rd ← (Y)	None	2
LD	Rd, Y+	Load Indirect and Post-Inc.	Rd ← (Y), Y ← Y + 1	None	2
LD	Rd, -Y	Load Indirect and Pre-Dec.	Y ← Y - 1, Rd ← (Y)	None	2
LDD	Rd, Y+q	Load Indirect with Displacement	Rd ← (Y + q)	None	2
LD	Rd, Z	Load Indirect	Rd ← (Z)	None	2
LD	Rd, Z+	Load Indirect and Post-Inc.	Rd ← (Z), Z ← Z+1	None	2
LD	Rd, -Z	Load Indirect and Pre-Dec.	Z ← Z - 1, Rd ← (Z)	None	2
LDD	Rd, Z+q	Load Indirect with Displacement	Rd ← (Z + q)	None	2
LDS	Rd, k	Load Direct from SRAM	Rd ← (k)	None	2
ST	X, Rr	Store Indirect	(X) ← Rr	None	2
ST	X+, Rr	Store Indirect and Post-Inc.	(X) ← Rr, X ← X + 1	None	2
ST	-X, Rr	Store Indirect and Pre-Dec.	X ← X - 1, (X) ← Rr	None	2
ST	Y, Rr	Store Indirect	(Y) ← Rr	None	2
ST	Y+, Rr	Store Indirect and Post-Inc.	(Y) ← Rr, Y ← Y + 1	None	2
ST	-Y, Rr	Store Indirect and Pre-Dec.	Y ← Y - 1, (Y) ← Rr	None	2
STD	Y+q, Rr	Store Indirect with Displacement	(Y + q) ← Rr	None	2
ST	Z, Rr	Store Indirect	(Z) ← Rr	None	2
ST	Z+, Rr	Store Indirect and Post-Inc.	(Z) ← Rr, Z ← Z + 1	None	2
ST	-Z, Rr	Store Indirect and Pre-Dec.	Z ← Z - 1, (Z) ← Rr	None	2
STD	Z+q, Rr	Store Indirect with Displacement	(Z + q) ← Rr	None	2
STS	k, Rr	Store Direct to SRAM	(k) ← Rr	None	2
LPM		Load Program Memory	R0 ← (Z)	None	3
IN	Rd, P	In Port	Rd ← P	None	1
CUT	P, Rr	Out Port	P ← Rr	None	1
PUSH	Rr	Push Register on Stack	STACK ← Rr	None	2
POP	Rd	Pop Register from Stack	Rd ← STACK	None	2
BIT AND BIT-TEST INSTRUCTIONS					
SBI	P, b	Set Bit in I/O Register	I/O(P,b) ← 1	None	2
CBI	P, b	Clear Bit in I/O Register	I/O(P,b) ← 0	None	2
LSL	Rd	Logical Shift Left	Rd(n+1) ← Rd(n), Rd(0) ← 0	Z,C,N,V	1
LSR	Rd	Logical Shift Right	Rd(n) ← Rd(n+1), Rd(7) ← 0	Z,C,N,V	1
ROL	Rd	Rotate Left through Carry	Rd(0) ← C, Rd(n+1) ← Rd(n), C ← Rd(7)	Z,C,N,V	1
ROR	Rd	Rotate Right through Carry	Rd(7) ← C, Rd(n) ← Rd(n+1), C ← Rd(0)	Z,C,N,V	1
ASR	Rd	Arithmetic Shift Right	Rd(n) ← Rd(n+1), n = 0..6	Z,C,N,V	1
SWAP	Rd	Swap Nibbles	Rd(3..0) ← Rd(7..4), Rd(7..4) ← Rd(3..0)	None	1
BSET	s	Flag Set	SREG(s) ← 1	SREG(s)	1
BCLR	s	Flag Clear	SREG(s) ← 0	SREG(s)	1
BST	Rr, b	Bit Store from Register to T	T ← Rr(b)	T	1
BLD	Rd, b	Bit Load from T to Register	Rd(b) ← T	None	1
SEC		Set Carry	C ← 1	C	1
CLC		Clear Carry	C ← 0	C	1
SEN		Set Negative Flag	N ← 1	N	1
CLN		Clear Negative Flag	N ← 0	N	1
SEZ		Set Zero Flag	Z ← 1	Z	1
CLZ		Clear Zero Flag	Z ← 0	Z	1
SEI		Global Interrupt Enable	I ← 1	I	1
CLI		Global Interrupt Disable	I ← 0	I	1
SES		Set Signed Test Flag	S ← 1	S	1
CLS		Clear Signed Test Flag	S ← 0	S	1
SEV		Set Two's Complement Overflow	V ← 1	V	1
CLV		Clear Two's Complement Overflow	V ← 0	V	1
SET		Set T in SREG	T ← 1	T	1
CLT		Clear T in SREG	T ← 0	T	1
SEH		Set Half-carry Flag in SREG	H ← 1	H	1
CLH		Clear Half-carry Flag in SREG	H ← 0	H	1
NOP		No Operation		None	1
SLEEP		Sleep	(see specific descr. for Sleep function)	None	1
WDR		Watchdog Reset	(see specific descr. for WDR/timer)	None	1

รูปที่2.8ตารางคำสั่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กลุ่มคำสั่งการกระโดด

คำจำกัดความของตัวแปร

Rd คือ รีจีสเตอร์ R0 - R31

Rr คือ รีจีสเตอร์ R0 - R31

K คือ ค่าคงที่ขนาด 8 บิท

X คือ รีจีสเตอร์ X

Y คือ รีจีสเตอร์ Y

q คือ ค่าระยะห่าง มีค่า 0 - 63

Z คือ รีจีสเตอร์ Z

k คือ ตำแหน่งหน่วยความจำใน SRAM

k คือ ตำแหน่งในหน่วยความจำ 0 - 65565

P คือ รีจีสเตอร์ Input / Output

RJMP k

คำสั่งกระโดดแบบ Relative

k คือ ตำแหน่งหน่วยความจำใน SRAM

IJMP k

คำสั่งกระโดดไปยังตำแหน่งหน่วยความจำที่ถูกชี้โดยรีจีสเตอร์ Z

k คือ ตำแหน่งหน่วยความจำใน SRAM

RCALL k

คำสั่งกระโดดไปยังโปรแกรมย่อย ที่ k

k คือ ตำแหน่งหน่วยความจำใน SRAM

ICALL

คำสั่งกระโดดไปทำงานโปรแกรมย่อยที่ชี้ตำแหน่งโดยรีจีสเตอร์ Z

RET

คำสั่งกลับจากโปรแกรมย่อย

RETI

คำสั่งกลับจากโปรแกรมบริการอินเตอร์รัพท์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CPSE Rd,Rr

คำสั่งเปรียบเทียบข้อมูลในรีจีสเตอร์ Rd กับข้อมูลในรีจีสเตอร์ Rr โดยถ้าข้อมูลในรีจีสเตอร์ทั้ง 2 มีค่าเท่ากัน CPU ข้ามการทำคำสั่งถัดไป 1 คำสั่ง

Rd คือ รีจีสเตอร์ R0 - R31

Rr คือ รีจีสเตอร์ R0 - R31

CP Rd,Rr

คำสั่งเปรียบเทียบข้อมูลในรีจีสเตอร์ Rd และข้อมูลในรีจีสเตอร์ Rr โดยจะมีผลต่อ Flag Z , N , V , C,H

Rd คือ รีจีสเตอร์ R0 - R31

Rr คือ รีจีสเตอร์ R0 - R31

Z , N , V , C , H คือ รีจีสเตอร์ Z,N,V,C,H

CPC Rd,Rr

คำสั่งเปรียบเทียบข้อมูลในรีจีสเตอร์ Rd กับข้อมูลในรีจีสเตอร์ Rr และ Carry Flag โดยมีการกระทำ Rd - Rr - C ซึ่งทำให้มีผลกับ Flag Z , N , V , C , H

Rd คือ รีจีสเตอร์ R0 - R31

Rr คือ รีจีสเตอร์ R0 - R31

Z , N , V , C , H คือ รีจีสเตอร์ Z,N,V,C,H

CPI Rd,K

คำสั่งเปรียบเทียบข้อมูลในรีจีสเตอร์ Rd กับค่าคงที่ โดย CPU จะกระทำ Rd - k ซึ่งมีผลต่อ Flag Z,N,V,C,H

Rd คือ รีจีสเตอร์ R0 - R31

k คือ ตำแหน่งหน่วยความจำใน SRAM

SBRC Rr,b

เมื่อ CPU ทำคำสั่ง SBRC จะทำให้ CPU ข้ามการทำคำสั่งถัดไป 1 คำสั่ง ถ้าบิทที่ b ในรีจีสเตอร์ Rr มีค่าเป็น 0

Rr คือ รีจีสเตอร์ R0 - R31

b คือ จำนวน bit

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SBRS Rr,b

เมื่อ CPU ทำคำสั่ง SBRS จะทำให้ CPU ข้ามการทำคำสั่งถัดไป 1 คำสั่ง ถ้าบิทที่ b ในรีจีสเตอร์ Rr ถูก SET

Rr คือ รีจีสเตอร์ R0 - R31

b คือ จำนวน bit

SBIC P,b

เมื่อ CPU ทำคำสั่ง SBIC จะทำให้ CPU ข้ามการทำคำสั่งถัดไป 1 คำสั่ง ถ้าบิทที่ b ในรีจีสเตอร์ I/O ที่ P เคลีย

P คือ รีจีสเตอร์ Input/output

b คือ จำนวน bit

SBIS P,b

เมื่อ CPU ทำคำสั่ง SBIS จะทำให้ CPU ข้ามการทำคำสั่งถัดไป 1 คำสั่ง ถ้าบิทที่ b ในรีจีสเตอร์ I/O ที่ P ถูก SET

P คือ รีจีสเตอร์ Input/output

b คือ จำนวน bit

BRBS s,k

เป็นคำสั่งกระโดดข้ามไปทำคำสั่งในตำแหน่งที่ PC ชี้ ถ้า Flag Status ในรีจีสเตอร์ SREG ถูก SET

{(SREG(s)) = 1 }

โดยค่าใน PC = PC + k + 1

BRBC s,k

เป็นคำสั่งกระโดดข้ามไปทำคำสั่งในตำแหน่งที่ PC ชี้ ถ้า Flag Status ในรีจีสเตอร์ SREG ถูก เคลีย

{(SREG(s)) = 0 }

โดยค่าใน PC = PC + k + 1

BRBQ k

เป็นคำสั่งกระโดดข้ามไปทำคำสั่งในตำแหน่งที่ PC ชี้ ถ้า Zero flag เซ็ต (Z = 1) โดยค่าใน

PC = PC + k + 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

BRNE k

เป็นคำสั่งกระโดดข้ามไปทำคำสั่งในตำแหน่งที่ PC ชี้ ถ้า Zero flag เซ็ต (Z = 1) โดยค่าใน

PC = PC + k + 1

BRCS k

เป็นคำสั่งกระโดดข้ามไปทำคำสั่งในตำแหน่งที่ PC ชี้ ถ้า Zero flag เซ็ต (Z = 1) โดยค่าใน

PC = PC + k + 1

BRCC k

เป็นคำสั่งกระโดดข้ามไปทำคำสั่งในตำแหน่งที่ PC ชี้ ถ้า Zero flag เซ็ต (Z = 1) โดยค่าใน

PC = PC + k + 1

BRLO k

เป็นคำสั่งกระโดดข้ามไปทำคำสั่งในตำแหน่งที่ PC ชี้ ถ้า Zero flag เซ็ต (Z = 1) โดยค่าใน

PC = PC + k + 1

BRMI k

เป็นคำสั่งกระโดดข้ามไปทำคำสั่งในตำแหน่งที่ PC ชี้ ถ้า Zero flag เซ็ต (Z = 1) โดยค่าใน

PC = PC + k + 1

BRPL k

เป็นคำสั่งกระโดดข้ามไปทำคำสั่งในตำแหน่งที่ PC ชี้ ถ้า Zero flag เซ็ต (Z = 1) โดยค่าใน

PC = PC + k + 1

BRGE k

เป็นคำสั่งกระโดดข้ามไปทำคำสั่งในตำแหน่งที่ PC ชี้ ถ้า Zero flag เซ็ต (Z = 1) โดยค่าใน

PC = PC + k + 1

BRLT k

เป็นคำสั่งกระโดดข้ามไปทำคำสั่งในตำแหน่งที่ PC ชี้ ถ้า Zero flag เซ็ต (Z = 1) โดยค่าใน

PC = PC + k + 1

BRSH k

เป็นคำสั่งกระโดดไปยังหน่วยความจำตำแหน่ง PC = PC + k + 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

BRSC k

เป็นคำสั่งกระโดดไปยังหน่วยความจำตำแหน่ง PC = PC + k + 1 ถ้า Half Carry Flag Set

BRTS k

เป็นคำสั่งกระโดดไปยังหน่วยความจำตำแหน่ง PC = PC + k + 1 ถ้า T Flag Set

BRTC k

เป็นคำสั่งกระโดดไปยังหน่วยความจำตำแหน่ง PC = PC + k + 1 ถ้า T Flag Clear

BRVS k

เป็นคำสั่งกระโดดไปยังหน่วยความจำตำแหน่ง PC = PC + k + 1 ถ้า Overflow Flag Set

BRVC k

เป็นคำสั่งกระโดดไปยังหน่วยความจำตำแหน่ง PC = PC + k + 1 ถ้า Overflow Flag Clear

BRIE k

เป็นคำสั่งกระโดดไปยังหน่วยความจำตำแหน่ง PC = PC + k + 1 ถ้า Interrupt Enable บิท(I = 1)

BRID k

เป็นคำสั่งกระโดดไปยังหน่วยความจำตำแหน่ง PC = PC + k + 1 ถ้า Interrupt Disable บิท(I = 0)

กลุ่มคำสั่งการกระทำทางบิทและการทดสอบบิท

SBI P,b

คำสั่งเซ็ต bit ในรีจีสเตอร์ I/O ตำแหน่งที่ P

I/O(P,b) 1

P คือ รีจีสเตอร์ Input / Output

CBI P,b

คำสั่งเซ็ต bit ในรีจีสเตอร์ I/O ตำแหน่งที่ P

I/O(P,b) 0

P คือ รีจีสเตอร์ Input / Output

LSL Rd

เลื่อนข้อมูลในรีจีสเตอร์ Rd ไปทางซ้าย 1 บิท

Rd คือ รีจีสเตอร์ R0 - R31

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

Rd คือ รีจีสเตอร์ R0 - R31

LSR Rd

เลื่อนข้อมูลในรีจีสเตอร์ Rd ไปทางขวา 1 บิท

Rd คือ รีจีสเตอร์ R0 - R31

ROL Rd

หมุนข้อมูลไปทางซ้าย 1 บิท โดย Carry flag

Rd คือ รีจีสเตอร์ R0 - R31

ROR Rd

หมุนข้อมูลไปทางขวา 1 บิท โดย Carry flag

Rd คือ รีจีสเตอร์ R0 - R31

SWAP Rd

คำสั่งสลับค่า 4 bit high และ 4 bit low ใน register Rd

Rd คือ รีจีสเตอร์ R0 - R31

BSET s

เซ็ต flag

BCLR s

เคลียร์ flag

BST Rr,b

คำสั่งโหลดบิท T ลงในบิทของรีจีสเตอร์ Rr

Rr คือ รีจีสเตอร์ R0 - R31

BLD Rr,b

คำสั่งโหลดบิท b ลงในบิท ของรีจีสเตอร์ Rr เก็บไว้ในบิท T

SEC

คำสั่งเซ็ต Carry flag

CLC

คำสั่งเคลียร์ Carry flag

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

46444

SEN

คำสั่งเซ็ต Negative flag

CLN

คำสั่งเคลียร์ Negative flag

SEZ

คำสั่งเซ็ต Zero flag

CLZ

คำสั่งเคลียร์ Zero flag

SEI

คำสั่ง Enable Gobal Interrupt

CLI

คำสั่ง Disable Interrupt ทั้งหมด

SES

คำสั่งเซ็ต Signed test flag

CLS

คำสั่งเคลียร์ Signed test flag

SEV

คำสั่งเซ็ต 2's Complement Overflow

CLV

คำสั่งเคลียร์ 2's Complement Overflow

SET

คำสั่งเซ็ตบิท T ในรีจีสเตอร์ SREG

CLT

คำสั่งเคลียร์บิท T ในรีจีสเตอร์ SREG

SEH

คำสั่งเซ็ต half carry ในรีจีสเตอร์ SREG

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CLH

คำสั่งเคลียร์half carry ในรีจีสเตอร์ SREG

NOP

คำสั่ง NO Operation

SLEEP

คำสั่งให้ CPU ทำงาน Sleep Mode

WDR

คำสั่ง RESET Watchdog

กลุ่มคำสั่งทางคณิตศาสตร์และลอจิก

คำจำกัดความของตัวแปร

Rd คือ รีจีสเตอร์ R0 - R31

Rr คือ รีจีสเตอร์ R0 - R31

K คือ ค่าคงที่ขนาด 8 บิท

X คือ รีจีสเตอร์ X

Y คือ รีจีสเตอร์ Y

q คือ ค่าระยะห่าง มีค่า 0 - 63

Z คือ รีจีสเตอร์ Z

k คือ ตำแหน่งหน่วยความจำใน SRAM

k คือ ตำแหน่งในหน่วยความจำ 0 - 65565

P คือ รีจีสเตอร์ Input / Output

ADD Rd,Rr

คำสั่งบวกข้อมูลระหว่างรีจีสเตอร์ 2 ตัว ผลลัพท์ที่ได้เก็บไว้ที่รีจีสเตอร์ Rd

Rd คือ รีจีสเตอร์ R0 - R31

ADC Rd,Rr

คำสั่งบวกข้อมูลระหว่างรีจีสเตอร์ 2 ตัว และ CARRY FLAG ผลลัพท์ที่ได้เก็บไว้ที่รีจีสเตอร์ Rd

Rd คือ รีจีสเตอร์ R0 - R31

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ADIW RdI,K

คำสั่งบวกข้อมูลแบบ WORD ระหว่างรีจีสเตอร์กับค่าคงที่ผลลัพท์ที่ได้เก็บไว้ที่รีจีสเตอร์ RdI

RdI คือ รีจีสเตอร์ R0 - R31 lnput

K คือ ค่าคงที่ขนาด 8 บิท

SUB Rd,Rr

คำสั่งลบข้อมูลระหว่างรีจีสเตอร์ 2 ตัว ผลลัพท์ที่ได้เก็บไว้ที่รีจีสเตอร์ Rd

Rd คือ รีจีสเตอร์ R0 - R31

SUBI Rd,K

คำสั่งลบข้อมูลระหว่างรีจีสเตอร์กับค่าคงที่ผลลัพท์ที่ได้เก็บไว้ที่รีจีสเตอร์ Rd

Rd คือ รีจีสเตอร์ R0 - R31

SBC Rd,Rr

คำสั่งลบข้อมูลระหว่างรีจีสเตอร์ 2 ตัว และ CARRY FLAG ผลลัพท์ที่ได้เก็บ ไว้ที่รีจีสเตอร์ Rd

Rd คือ รีจีสเตอร์ R0 - R31

SBCI Rd,K

คำสั่งในการลบข้อมูลระหว่างรีจีสเตอร์กับค่าคงที่ และ CARRY FLAG ผลลัพท์ที่ได้เก็บไว้ที่

รีจีสเตอร์ Rd

Rd คือ รีจีสเตอร์ R0 - R31

SBIW RdI,K

คำสั่งลบข้อมูลขนาด WORD AND Rd,Rr

คำสั่ง AND ข้อมูลระหว่างรีจีสเตอร์ 2 ตัว

Rd คือ รีจีสเตอร์ R0 - R31

Rr คือ รีจีสเตอร์ R0 - R31

AND Rd,K

คำสั่ง AND ข้อมูลระหว่างรีจีสเตอร์ 2 ตัว กับค่าคงที่

Rd คือ รีจีสเตอร์ R0 - R31

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

K คือ ค่าคงที่ขนาด 8 บิท

OR Rd,Rr

คำสั่ง OR ข้อมูลระหว่างรีจีสเตอร์ 2 ตัว

Rd คือ รีจีสเตอร์ R0 - R31

Rr คือ รีจีสเตอร์ R0 - R31

ORI Rd,K

คำสั่ง OR ข้อมูลระหว่างรีจีสเตอร์กับค่าคงที่ ผลลัพท์ที่ได้เก็บไว้ที่รีจีสเตอร์ Rd

Rd คือ รีจีสเตอร์ R0 - R31

K คือ ค่าคงที่ขนาด 8 บิท

EOR Rd,Rr

คำสั่ง Exclusive or ข้อมูลระหว่างรีจีสเตอร์ 2 ตัว

Rd คือ รีจีสเตอร์ R0 - R31

Rr คือ รีจีสเตอร์ R0 - R31

COM Rd

คำสั่ง one Complement ข้อมูลในรีจีสเตอร์ Rd

Rd คือ รีจีสเตอร์ R0 - R31

NEG Rd

คำสั่ง two Complement ข้อมูลในรีจีสเตอร์ Rd

Rd คือ รีจีสเตอร์ R0 - R31

SBR Rd,K

คำสั่ง SET บิทในรีจีสเตอร์ Rd

Rd คือ รีจีสเตอร์ R0 - R31

K คือ ค่าคงที่ขนาด 8 บิท

CBR Rd,K

คำสั่งเคลียร์บิทในรีจีสเตอร์ Rd

Rd คือ รีจีสเตอร์ R0 - R31

K คือ ค่าคงที่ขนาด 8 บิท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

INC Rd

คำสั่งเพิ่มค่าของข้อมูลในรีจีสเตอร์ Rd ขึ้น 1 ค่า

Rd คือ รีจีสเตอร์ R0 - R31

DEC Rd

คำสั่งลดค่าของข้อมูลในรีจีสเตอร์ Rd ลง 1 ค่า

Rd คือ รีจีสเตอร์ R0 - R31

TST Rd

คำสั่งทดสอบข้อมูลในรีจีสเตอร์ Rd โดยจะมีผลกับ Flag Z,N,V

Rd คือ รีจีสเตอร์ R0 - R31

Z คือ รีจีสเตอร์ Z

N คือ รีจีสเตอร์ N

V คือ รีจีสเตอร์ V

CLR Rd

คำสั่งเคลียร์ข้อมูลในรีจีสเตอร์ Rd ให้มีค่าเป็น 00

Rd คือ รีจีสเตอร์ R0 - R31

SER Rd

คำสั่ง SET ข้อมูลในรีจีสเตอร์ Rd ให้มีค่าเป็น FF

Rd คือ รีจีสเตอร์ R0 - R31

กลุ่มคำสั่งในการเคลื่อนย้ายข้อมูล

MOV Rd,Rr

เป็นคำสั่งในการเคลื่อนย้ายข้อมูลจากรีจีสเตอร์ไปยังรีจีสเตอร์

Rd คือ รีจีสเตอร์ R0 - R31

Rr คือ รีจีสเตอร์ R0 - R31

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

LDI Rd,k

เป็นคำสั่งในการโหลดข้อมูลคงที่ขนาด 8 บิทเข้าไปยังรีจีสเตอร์

Rd คือ รีจีสเตอร์ R16 - R31

K คือ ค่าคงที่ขนาด 8 บิท

LD Rd,X

เป็นคำสั่งในการโหลดข้อมูลขนาด 8 บิท ที่อยู่ในหน่วยความจำตำแหน่งที่ รีจีสเตอร์ X ชี้ เข้าไปยังรีจีสเตอร์

Rd คือ รีจีสเตอร์ R0 - R31

X คือ รีจีสเตอร์ X

LD Rd,X+

เป็นคำสั่งโหลดข้อมูลขนาด 8 บิท ที่อยู่ในหน่วยความจำตำแหน่งที่ รีจีสเตอร์ X ชี้ เข้าในรีจีสเตอร์ทั่วไป และเพิ่มค่ารีจีสเตอร์ X ขึ้น 1 หลังจากที่โหลดข้อมูลเสร็จ

Rd คือ รีจีสเตอร์ R0 - R31

X คือ รีจีสเตอร์ X

LD Rd,-X

เป็นคำสั่งโหลดข้อมูลขนาด 8 บิท ที่อยู่ในหน่วยความจำตำแหน่งที่ รีจีสเตอร์ X - 1 ชี้ เข้าในรีจีสเตอร์ทั่วไปและลดค่ารีจีสเตอร์ X ลง 1 ก่อนที่โหลดข้อมูลลงไป

Rd คือ รีจีสเตอร์ R0 - R31

X คือ รีจีสเตอร์ X

LD Rd,Y

เป็นคำสั่งโหลดข้อมูลขนาด 8 บิท ที่อยู่ในหน่วยความจำตำแหน่งที่ รีจีสเตอร์ Y ชี้ในรีจีสเตอร์

Rd คือ รีจีสเตอร์ R0 - R31

Y คือ รีจีสเตอร์ Y

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

LD Rd,Y+

เป็นคำสั่งโหลดข้อมูลขนาด 8 บิท ที่อยู่ในหน่วยความจำตำแหน่งที่ รีจีสเตอร์ Y ชี้ในรีจีสเตอร์ทั่วไปและเพิ่มค่ารีจีสเตอร์ Y ขึ้น 1 หลังจากที่โหลดข้อมูลเสร็จ

Rd คือ รีจีสเตอร์ R0 - R31

Y คือ รีจีสเตอร์ Y

LD Rd,-Y

เป็นคำสั่งโหลดข้อมูลขนาด 8 บิท ที่อยู่ในหน่วยความจำตำแหน่งที่ รีจีสเตอร์ Y ชี้ในรีจีสเตอร์ทั่วไป โดยลดค่ารีจีสเตอร์ Y ลง 1 ก่อนจากที่โหลดข้อมูลลง

Rd คือ รีจีสเตอร์ R0 - R31

Y คือ รีจีสเตอร์ Y

LD Rd,Y+q

เป็นคำสั่งโหลดข้อมูลขนาด 8 บิท ที่อยู่ในหน่วยความจำตำแหน่งที่ รีจีสเตอร์ Y+q ชี้ในรีจีสเตอร์ทั่วไป

Rd คือ รีจีสเตอร์ R0 - R31

Y คือ รีจีสเตอร์ Y

q คือ ค่าระยะห่าง มีค่า 0 - 63

LD Rd,Z

เป็นคำสั่งโหลดข้อมูลขนาด 8 บิท ที่อยู่ในหน่วยความจำตำแหน่งที่ รีจีสเตอร์ Z ชี้ในรีจีสเตอร์

Rd คือ รีจีสเตอร์ R0 - R31

Z คือ รีจีสเตอร์ Z

LD Rd,Z+

เป็นคำสั่งโหลดข้อมูลขนาด 8 บิท ที่อยู่ในหน่วยความจำตำแหน่งที่ รีจีสเตอร์ Z ชี้ในรีจีสเตอร์ทั่วไปและเพิ่มค่ารีจีสเตอร์ Z ขึ้น 1 หลังจากที่โหลดข้อมูลเสร็จ

Rd คือ รีจีสเตอร์ R0 - R31

Z คือ รีจีสเตอร์ Z

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

LD Rd,-Z

เป็นคำสั่งโหลดข้อมูลขนาด 8 บิท ที่อยู่ในหน่วยความจำตำแหน่งที่ รีจีสเตอร์ Z ชี้ในรีจีสเตอร์ทั่วไป โดยลดค่ารีจีสเตอร์ Z ลง 1 ก่อนจากที่โหลดข้อมูลลง

Rd คือ รีจีสเตอร์ R0 - R31

Z คือ รีจีสเตอร์ Z

LD Rd,Z+q

เป็นคำสั่งโหลดข้อมูลขนาด 8 บิท ที่อยู่ในหน่วยความจำตำแหน่งที่ รีจีสเตอร์ Z+q ชี้ในรีจีสเตอร์ทั่วไป

Rd คือ รีจีสเตอร์ R0 - R31

Z คือ รีจีสเตอร์ Z

q คือ ค่าระยะห่าง มีค่า 0 - 63

LDS Rd,k

เป็นคำสั่งโหลดข้อมูลขนาด 8 บิท ที่อยู่ในหน่วยความจำ SRAM ตำแหน่งที่ k เข้าในรีจีสเตอร์ทั่วไป

Rd คือ รีจีสเตอร์ R0 - R31

k คือ ตำแหน่งหน่วยความจำใน SRAM

ST X,Rr

เป็นคำสั่งโหลดข้อมูลขนาด 8 บิท จากรีจีสเตอร์ทั่วไปลงในหน่วยความจำตำแหน่งที่รีจีสเตอร์ X ชี้

Rr คือ รีจีสเตอร์ R0 - R31

X คือ รีจีสเตอร์ X

ST X+,Rr

เป็นคำสั่งโหลดข้อมูลขนาด 8 บิท จากรีจีสเตอร์ทั่วไปลงในหน่วยความจำตำแหน่งที่รีจีสเตอร์ X ชี้ และเพิ่มค่ารีจีสเตอร์ X ขึ้น 1 ค่า

Rr คือ รีจีสเตอร์ R0 - R31

X คือ รีจีสเตอร์ X

ST - X,Rr

เป็นคำสั่งโหลดข้อมูลขนาด 8 บิท จากรีจีสเตอร์ทั่วไปลงในหน่วยความจำตำแหน่งที่รีจีสเตอร์ X - 1 ชี้

Rr คือ รีจีสเตอร์ R0 - R31

X คือ รีจีสเตอร์ X

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ST Y,Rr

เป็นคำสั่งโหลดข้อมูลขนาด 8 บิท จากรีจีสเตอร์ทั่วไปลงในหน่วยความจำตำแหน่งที่รีจีสเตอร์ Y ชี้

Rr คือ รีจีสเตอร์ R0 - R31

Y คือ รีจีสเตอร์ Y

ST Y+,Rr

เป็นคำสั่งโหลดข้อมูลขนาด 8 บิท จากรีจีสเตอร์ทั่วไปลงในหน่วยความจำตำแหน่งที่รีจีสเตอร์ Y ชี้ และเพิ่มค่ารีจีสเตอร์ Y ขึ้น 1 ค่า

Rr คือ รีจีสเตอร์ R0 - R31

Y คือ รีจีสเตอร์ Y

ST - Y,Rr

เป็นคำสั่งโหลดข้อมูลขนาด 8 บิท จากรีจีสเตอร์ทั่วไปลงในหน่วยความจำตำแหน่งที่รีจีสเตอร์ Y - 1 ชี้

Rr คือ รีจีสเตอร์ R0 - R31

Y คือ รีจีสเตอร์ Y

ST Y+q,Rr

เป็นคำสั่งโหลดข้อมูลขนาด 8 บิท จากรีจีสเตอร์ทั่วไปลงในหน่วยความจำตำแหน่งที่รีจีสเตอร์ Y+q ชี้

Rr คือ รีจีสเตอร์ R0 - R31

Y คือ รีจีสเตอร์ Y

ST Z,Rr

เป็นคำสั่งโหลดข้อมูลขนาด 8 บิท จากรีจีสเตอร์ทั่วไปลงในหน่วยความจำตำแหน่งที่รีจีสเตอร์ Z ชี้

Rr คือ รีจีสเตอร์ R0 - R31

Z คือ รีจีสเตอร์ Z

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ST Z+,Rr

เป็นคำสั่งโหลดข้อมูลขนาด 8 บิท จากรีจีสเตอร์ทั่วไปลงในหน่วยความจำตำแหน่งที่รีจีสเตอร์ Z ชี้ และเพิ่มค่ารีจีสเตอร์ Z ขึ้น 1 ค่า

Rr คือ รีจีสเตอร์ R0 - R31

Z คือ รีจีสเตอร์ Z

ST - Z,Rr

เป็นคำสั่งโหลดข้อมูลขนาด 8 บิท จากรีจีสเตอร์ทั่วไปลงในหน่วยความจำตำแหน่งที่รีจีสเตอร์ Z - 1 ชี้

Rr คือ รีจีสเตอร์ R0 - R31

Z คือ รีจีสเตอร์ Z

ST Z+q,Rr

เป็นคำสั่งโหลดข้อมูลขนาด 8 บิท จากรีจีสเตอร์ทั่วไปลงในหน่วยความจำตำแหน่งที่รีจีสเตอร์ Z+q ชี้

Rr คือ รีจีสเตอร์ R0 - R31

Z คือ รีจีสเตอร์ Z

q คือ ค่าระยะห่าง 0 - 63

STS k,Rr

เป็นคำสั่งโหลดข้อมูลขนาด 8 บิท จากรีจีสเตอร์ใช้งานทั่วไปลงในหน่วยความจำตำแหน่งที่ k

Rr คือ รีจีสเตอร์ R0 - R31

k คือ ตำแหน่งในหน่วยความจำ 0 - 65565

LPM

โหลด Program Memory

IN Rd,P

คำสั่งอ่านข้อมูลจากรีจีสเตอร์ I/O มาเก็บไว้ในรีจีสเตอร์ทั่วไป

Rr คือ รีจีสเตอร์ R0 - R31

P คือ รีจีสเตอร์ Input / Output

OUT P,Rd

คำสั่งเขียนข้อมูลจากรีจีสเตอร์ทั่วไป เข้าไปในรีจีสเตอร์ Input / Output

Rr คือ รีจีสเตอร์ R0 - R31

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

P คือ รีจีสเตอร์ Input / Output

PUSH Rr

คำสั่งเก็บค่ารีจีสเตอร์ Rr ลงใน Stack

POP Rr

คำสั่งย้ายค่าจาก stack มาเก็บไว้มารีจีสเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

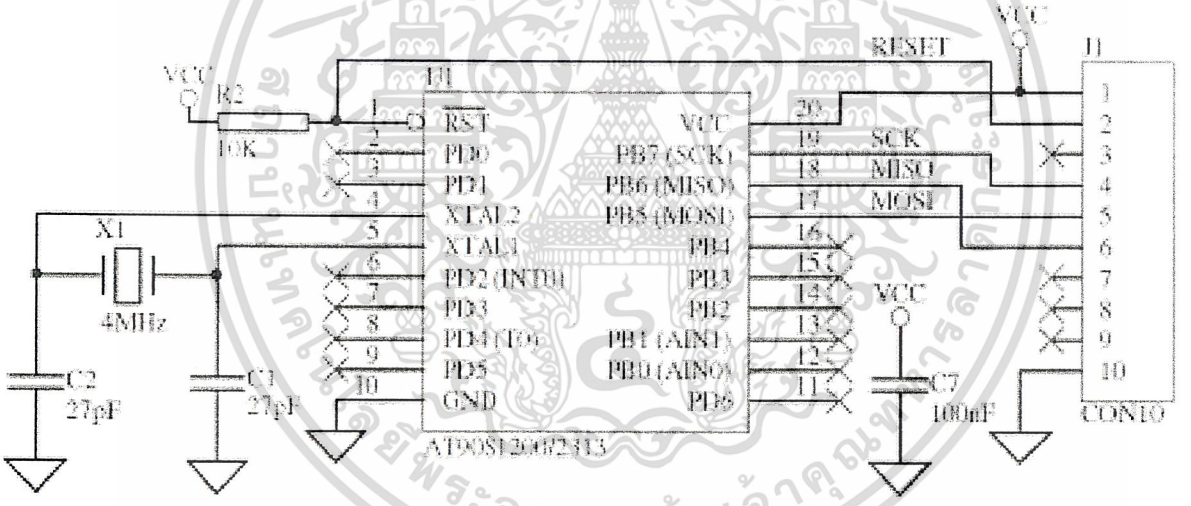
บทที่ 3

การออกแบบและทดลอง

ในโครงงานนี้มีทั้งหมด 8 ส่วน คือ ตัวโปรแกรม , คีย์แพด 4 x 3 , รีโมท , ส่งข้อมูลออกทาง Printer , I2C , Analog to Digital , ถอดรหัสคีย์บอร์ดคอมพิวเตอร์

3.1 ในการทำโครงงานชิ้นนี้สิ่งที่ต้องมีคือ ตัวโปรแกรมที่จะนำข้อมูลที่ต้องการเขียนลงไปที่ตัว

3.2 AT90s2313 ในที่นี้ ใช้โปรแกรม Pony Prog เวอร์ชั่น 2.05a ซึ่งสามารถดาวน์โหลดได้ที่ www. Lancos.com โดยโปรแกรมสามารถใช้ได้กับ ไมโครคอนโทรลเลอร์ หลายตระกูล เช่น MCS-51 , PIC , AVR และ ยังสามารถโปรแกรม อีอีพรอมได้หลายเบอร์โดยในที่นี้

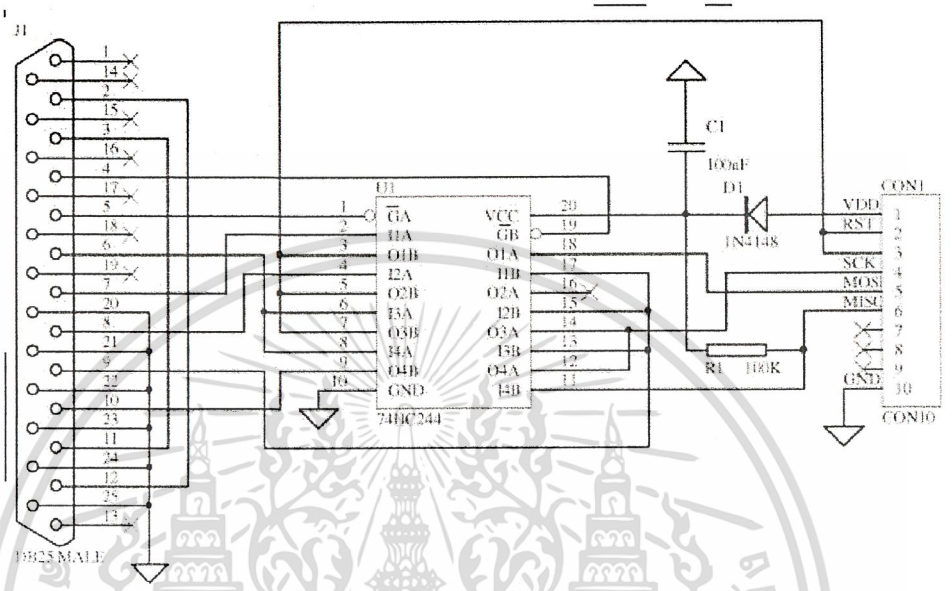


ใช้ไมโครคอนโทรลเลอร์เบอร์ AT90s2313 โดยมีวงจรดังรูป

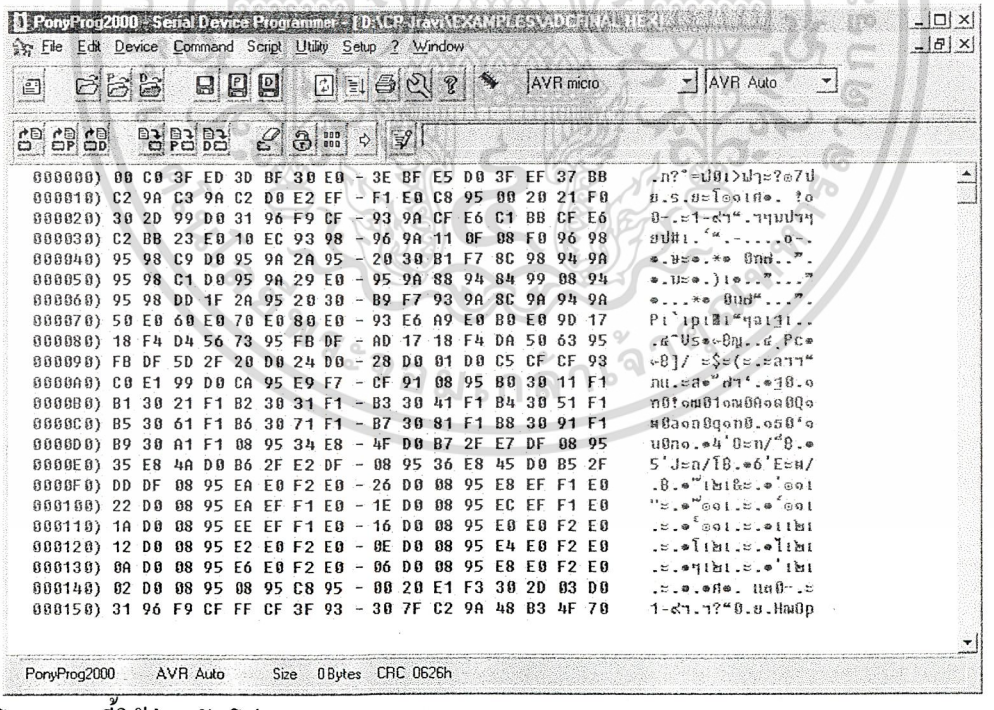
รูปที่ P3. รูปวงจรของตัวโปรแกรม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตัวโปรแกรมจะใช้การโปรแกรมผ่านทางพอร์ตขนาน แล้วต่อผ่าน IC 74244 ซึ่งเป็น ไตรสเตท (tri-state) เพื่อจัดลำดับการส่งข้อมูลไปยังตัว CPU โดยต่อที่ขา MISO, MOSI, SCK, RST, VCC, GND ของ AT90s2313



รูปที่ 3.2 -2 การต่อสายจาก DB25 ของพอร์ตขนาน



โดยวงจรนี้ใช้ร่วมกับโปรแกรม Pony Prog V2.05a

รูปที่ 3.2-3 โปรแกรม Pony Prog V2.05a

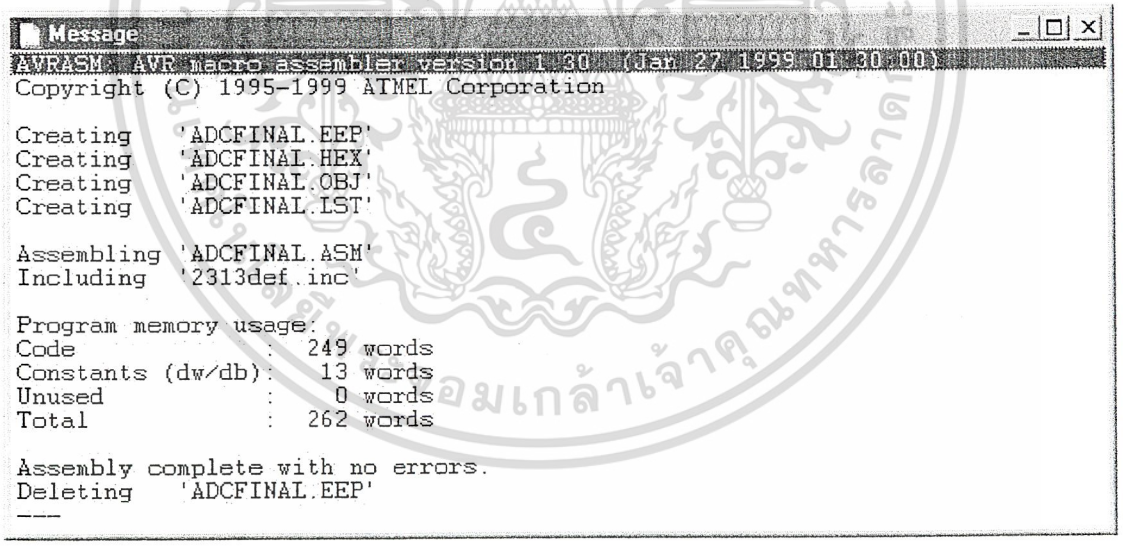
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วิธีการโปรแกรมมีดังนี้

1. ก่อนอื่นต้องมี hex ไฟล์ (*.hex) ก่อน โดยการสร้าง hex ไฟล์ จะได้กล่าวต่อไป
2. เปิด ไฟล์ hex ขึ้นมา
3. เลือกที่ command แล้วเลือกที่ Write All
4. โปรแกรมจะถามว่าจะโปรแกรมใช่ไหม เลือก Yes
5. ระหว่างนี้โปรแกรมกำลังทำงาน รอจนกว่าจะโปรแกรมเสร็จ

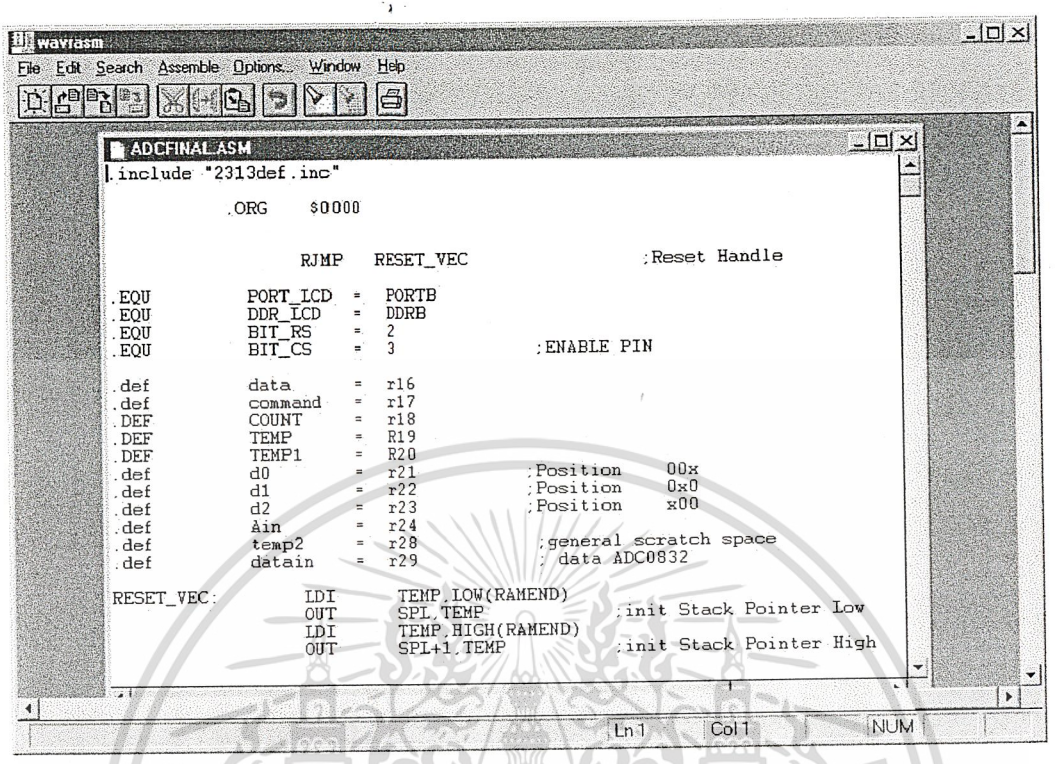
การสร้างไฟล์ hex

1. เปิดโปรแกรม wavrasm ขึ้นมา(ดังรูปที่P3.2)
2. เปิดไฟล์ที่ต้องการทำเป็น hex โดยจะต้องเป็นไฟล์ asm
3. กดที่ปุ่ม Assemble โปรแกรมจะทำการแปลงเป็น ไฟล์ hex
4. รอจนเสร็จ จะขึ้นหน้าจอดังรูปที่P3.1



รูปที่ P3.1หน้าตาโปรแกรมที่แปลงเสร็จ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ P3.2 โปรแกรม wavrasm

I^2C

ความรู้เบื้องต้น

I2C ย่อมาจาก Inter-IC communication หมายถึง การติดต่อสื่อสารระหว่างไอซีโดยบัส I2C ได้รับการพัฒนาขึ้นมาโดยฟิลิปส์ ด้วยจุดมุงหมายหลักคือ ต้องการให้ไอซีหรือโมดูลสามารถติดต่อ สั่งงาน และควบคุมภายใต้สายสัญญาณเพียง 2 เส้น เส้นหนึ่งคือ สายข้อมูลอีกเส้นหนึ่งคือสายสัญญาณนาฬิกาที่ใช้ในการกำหนดจังหวะการทำงาน การต่อร่วมกันของอุปกรณ์บนบัส I2C ทำได้ง่ายมาก เพียงต่อสายข้อมูลและสายสัญญาณนาฬิกาของอุปกรณ์แต่ละตัวขนานหรือพ่วงกันไปส่วนการกำหนดอแอดเดรสของตำแหน่งสำหรับติดต่ออุปกกรณ์แต่ละตัว จะใช้รหัสข้อมูลและการกำหนดสภาวะลอจิกที่ขาแอดเดรสของอุปกรณ์แต่ละตัว

สายข้อมูลบนบัส I2C มีชื่อเรียกอย่างเป็นทางการว่า สายข้อมูลอนุกรมหรือ SDA (serail data line) ส่วนสายสัญญาณนาฬิกามีชื่อเรียกว่า สายสัญญาณนาฬิกาอนุกรมหรือ SCL (serial Clock line) ในการอธิบายต่อไปนี้จะเรียกสายสัญญาณทั้งสองว่า สาย SDA และ SCL

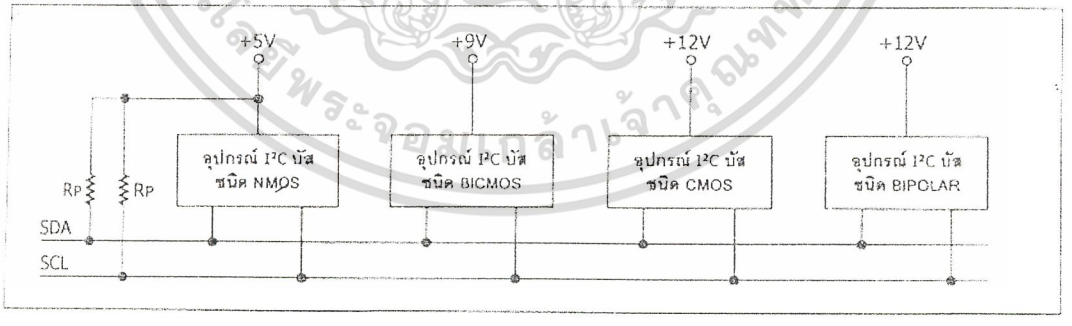
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คุณสมบัติโดยทั่วไปของบัส I2C

สายSDA และ SCL เป็นสายสัญญาณ 2 ทิศทาง ต้องมีการต่อตัวต้านทานพูลอัปกับแรงดัน 5 V ไว้ตลอดเวลาเพื่อให้สายมีสถานะลอจิกสูงในขณะที่ไม่มีการติดต่อใช้งาน ทั้งยังช่วยในการป้องการสัญญาณรบกวนที่อาจมีเข้ามาในสายสัญญาณทั้งสอง วงจรเอาท์พุตของอุปกรณ์ที่ต่ออยู่บนบัส I2C ไอซีขับโมดูล LCD หน่วยความจำอีอีพรอม และไมโครคอนโทรลเลอร์

อัตราการถ่ายทอดข้อมูลบนบัส I2C สูงถึง 100 กิโลบิตต่อวินาทีในโหมดปกติและสูงถึง 400 กิโลบิตต่อวินาทีใน โหมดความเร็วสูง อุปกรณ์ที่ต่อร่วมอยู่บนบัส I2C จะต้องมีค่าความจุไฟฟ้ารวมที่เกิดขึ้นระหว่างสาย SDA และ SCL ไม่เกิน 400pF การเข้าถึงอุปกรณ์บนบัส I2C ใช้ข้อมูลสำหรับการเข้าถึง 2ค่าคือ 7บิต หรือ 10 บิต

ข้อเด่นอีกประการหนึ่งของบัส I2C คือสามารถเชื่อมต่ออุปกรณ์ที่ใช้ไฟเลี้ยงไม่เท่ากันให้สามารถติดต่อสื่อสารกันได้โดยอุปกรณ์บนบัส I2C สามารถกระทำได้ในลักษณะเดียวกับกรณีที่
อุปกรณ์ทั้งสองใช้ไฟเลี้ยงเท่ากัน กล่าวคือให้ต่อสาย SDA และ SCL ของตัวอุปกรณ์แต่ละตัวเข้าด้วยกัน และต้องต่อตัวต้านทานพูลอัป เข้าแรงดัน 5V ไว้ด้วยเสมอ ดังแสดงในรูปที่ 3.1



รูปที่ 3.1 การต่อตัวต้านทาน R เพื่อลดสัญญาณรบกวนขนาดใหญ่ที่อาจเข้ามาในบัส I2C

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในกรณีที่อาจมีแรงดันไฟกระชากขนาดใหญ่ปะปนเข้ามาบนบัส I2C ที่ขา SDA และ SCL ของอุปกรณ์แต่ละตัวต้องต่อตัวต้านทานอนุกรมกับขา SDA และ SCL เรียกว่า R ก่อนต่อเข้าสู่บัส I2C ดังแสดงดังรูปที่ 3.1

หลักการของบัส I2C

บัส I2C ประกอบด้วยสายสัญญาณ 2เส้น ดังที่ได้กล่าวมาแล้วคือ SDA และ SCL อุปกรณ์ที่ต่อพ่วงบนบัสสามารถมีได้มากมาย ดังนั้นจึงต้องมีการกำหนดรูปแบบของการติดต่อบนบัส หรือเรียกว่า โปรโตคอล เพื่อให้ผู้ใช้งานทราบว่าขณะนี้อุปกรณ์ใดติดต่อกันอยู่ และอุปกรณ์ตัวใดเป็นตัวรับหรือตัวส่ง ต่อ ไปนี้จะขออธิบายลักษณะหน้าที่ และนิยมของอุปกรณ์ที่ต่ออยู่บนบัส I2Cเพื่อเป็นข้อตกลงพื้นฐานก่อนที่จะอธิบายการทำงานของบัส I2C ต่อไป

อุปกรณ์ที่เป็นผู้สร้างข้อมูลหรือส่งข้อมูล เรียก ตัวส่ง

อุปกรณ์ที่เป็นผู้รับข้อมูล เรียก ตัวรับ (receiver) อุปกรณ์บนบัส I2C สามารถเป็นได้ทั้งตัวรับและส่ง บางอุปกรณ์ทำหน้าที่เป็นตัวรับเพียงอย่างเดียว จะไม่มีอุปกรณ์ใดบนบัส I2C ที่ทำหน้าที่เป็นตัวส่งเพียงอย่างเดียว

อุปกรณ์ที่ทำหน้าที่ควบคุมจังหวะการติดต่อบนบัส I2C เรียกว่ามาสเตอร์

อุปกรณ์ที่ควบคุมหรืออุปกรณ์ที่ต่อพ่วงเข้าไปบนบัส I2C เรียกว่า สเลฟ

ข้อกำหนด 2 ประการสำคัญของการติดต่อบนบัส I2C คือ

1.การถ่ายทอดข้อมูลขณะเกิด ได้เมื่อบัสว่างเท่านั้น

2.ในระหว่างการถ่ายทอดข้อมูล เมื่อใดก็ตามที่สาย SCL มีสถานะลอจิกสูง สายข้อมูลต้องรักษาข้อมูลไว้ อย่าให้เกิดการเปลี่ยนแปลงขึ้นเด็ดขาด มิฉะนั้น สัญญาณที่เกิดขึ้นจะได้รับการแปลงความหมายเป็นสัญญาณควบคุมแทน

สภาวะที่เกิดขึ้นบนบัสI2C

มีด้วยกัน 5สภาวะ ดังนี้

1.บัสว่าง สภาวะนี้เกิดขึ้นเมื่อสถานะลอจิกบนสาย SDA และSCL เป็นลอจิกสูงทั้งคู่ นั่นหมายความว่า การถ่ายทอดข้อมูลสามารถเริ่มต้นขึ้นได้

2.เริ่มต้นการถ่ายทอดข้อมูล เกิดขึ้นเมื่อสาย SDA มีการเปลี่ยนแปลงระดับลอจิกจากสูงไปต่ำ ขณะที่สาย SCL มีสถานะลอจิกสูง เรียกสภาวะที่เกิดขึ้นนี้ว่า สภาวะเริ่มต้น

3.หยุดการถ่ายทอดข้อมูล เกิดเมื่อสาย SDA มีการเปลี่ยนแปลงระดับลอจิกจากต่ำไปสูงในขณะที่สาย SCl มีสถานะลอจิกสูงเรียกสภาวะที่เกิดขึ้นนี้ว่า สภาวะหยุด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

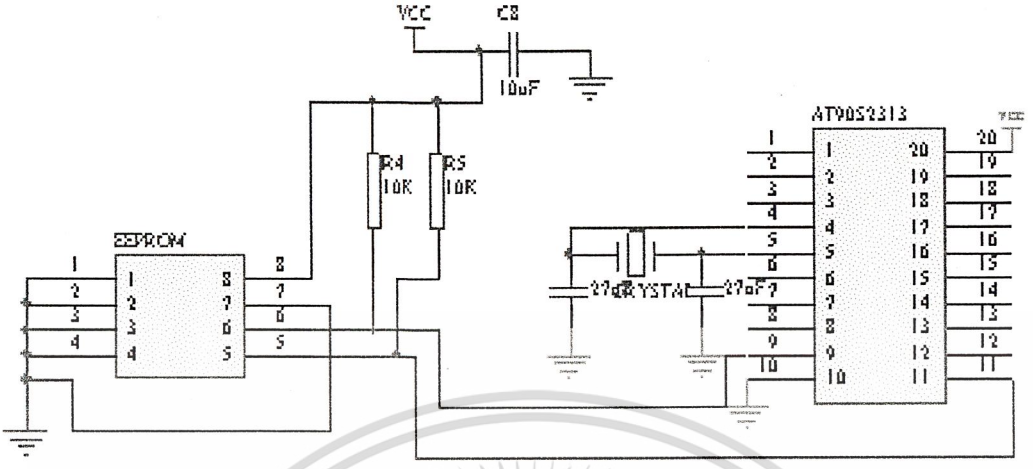
4.ข้อมูลดำรงอยู่บนบัส สภาวะ นี้เกิดถัดจากสภาวะเริ่มต้น โดยสถานะลอจิกที่เกิดขึ้นบนสาย SDA ก็คือข้อมูลที่ทำการถ่ายทอด เมื่อสาย SCL เป็นลอจิกสูงสถานะที่สาย DSA ต้องคงที่ เพื่อให้อุปกรณ์รับรู้ข้อมูลในจังหวะนั้นว่าเป็น 0 หรือ 1 ข้อมูลอาจเกิดการเปลี่ยนแปลงได้ในขณะที่สาย SCL เป็นลอจิกต่ำ แต่เมื่อใดก็ตาม ที่ต้องการเกิดการถ่ายทอดข้อมูลอย่างสมบูรณ์ สถานะลอจิกที่ขา SDA ต้องคงที่ตลอด ช่วงเวลาที่สาย SCL มี สถานะลอจิกสูง หากการเปลี่ยนแปลงสถานะสอจิกในขณะที่สาย SCL มีลอจิกสูงอยู่นั้นอุปกรณ์มาสเตอร์ที่ทำการควบคุมการถ่ายทอดข้อมูลจะแปลความหมายเป็นสภาวะหยุดหรือสภาวะเริ่มต้นก็ได้ ทำให้ข้อมูทอดนั้นเกิดขึ้น

5.รับรู้ข้อมูล เกิดขึ้นหลังจากถ่ายทอดข้อมูลจากตัวส่งยังตัวรับเกิดขึ้นอย่างสมบูรณ์ โดยตัวส่งข้อมูลมา 1บิตเรียกว่า บิตรับรู้ มีสถานะเป็นลอจิกสูง หลังจากส่งข้อมูลมาครบถ้วน ส่วนอุปกรณ์มาสเตอร์จะทำการส่งสัญญาณรับรู้พิเศษซึ่งสัมพันธ์กับสัญญาณนาฬิกา เพื่อตอบสนองบิตรับรู้ที่ส่งมาจากตัวส่ง ทางด้านรับจะส่งบิตรับรู้ที่มี สถานะลอจิกต่ำลงบนบัส อุปกรณ์สเลฟที่ถูกอ้างถึงในการติดต่อหรือกำลังติดต่ออยู่ในขณะก็จะกำเนิดบิทรับรู้เพื่อตอบสนองให้ทราบได้รับข้อมูลในแต่ละไบต์เรียบร้อยแล้ว

หน่วยความจำ EEPROM

หน่วยความจำใช้ในการเก็บข้อมูลแบบ EEPROM จะใช้ไอซีตระกูล 24xx เช่น 24LC16 24IC256 เป็นต้นโดยมีการสื่อสารข้อมูลระหว่างอีพรอมกับไมโครคอนโทรลเลอร์แบบ I2C รายระเอียดของขาสัญญาณที่ไมโครคอนโทรลเลอร์ใช้ติดต่อกับหน่วยความจำแบบอีพรอมดูได้จากรูปที่ 3.2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



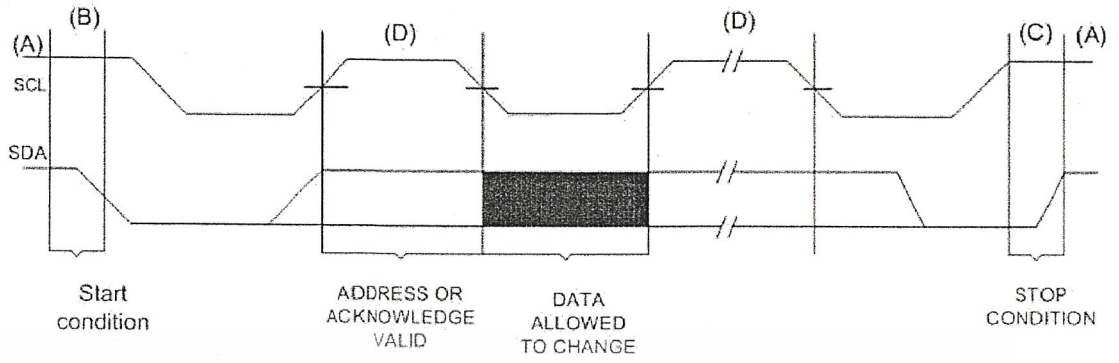
รูปที่3.2การเชื่อมต่อกับอีพรอม

รายระเอียดของไอซี 24LC256

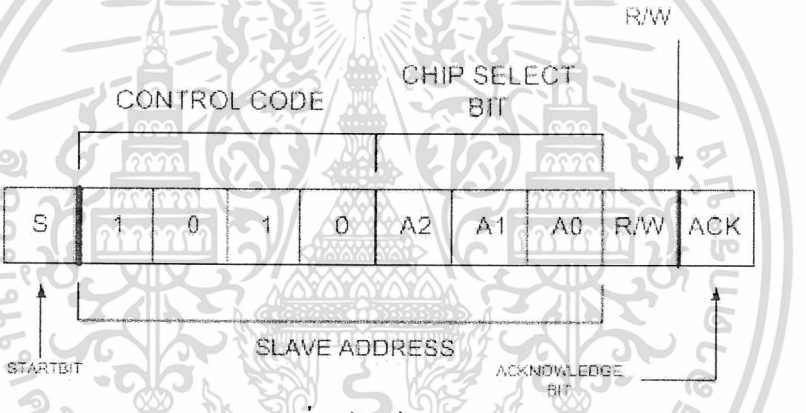
เป็นไอซีหน่วยความจำแบบอีพรอมมีหน่วยความจำ 32 Kx8 โดยสามารถโปรแกรมหรือลบออกโดยใช้การสื่อสารข้อมูลแบบอนุกรมสามารถใช้แรงดันไฟฟ้าได้ตั้งแต่ 1.8 V – 5.5 V ไบต์ในการควบคุมจะเป็นข้อมูลไบต์แรก 24LS256 ได้รับต่อจากบิตเงื่อนไขการรับเบื้องต้น(start condition) โดย 4 บิตของไบต์ควบคุมเรียกว่า control code ซึ่งมีค่าเท่ากับ 1010 และอีก 3 บิตต่อมาจะเป็นบิตที่ใช้กำหนดตำแหน่งของอีพรอมคือ A2 A1 และ A0 ตามลำดับ ซึ่งทำให้สามารถต่ออีพรอมได้สูงถึง 8 ตัวในสายสื่อสารเดียว โดยการติดต่อสื่อการระหว่างไมโครคอนโทรลเลอร์กับอีพรอมจะกำหนดค่าบิต A1, A2 และ A0 ในไบต์ควบคุมให้ตรงกับสถานะทางลอจิก A1, A2 และ A0 ที่ตัวของไอซีจึงจะทำให้ไมโครคอนโทรลเลอร์สามารถติดต่อกับอีพรอมตัวนั้นได้

บิตสุดท้ายของไบต์จะเป็นบิตที่ใช้ควบคุมการอ่านและเขียนข้อมูลเรียกว่า(R/W) ซึ่งถ้าบิตนี้มีลอจิกเป็น 0 จะเป็นการเขียนข้อมูลลงในไอซีแต่ถ้าเป็น 1 จะเป็นการอ่านข้อมูลจากไอซี

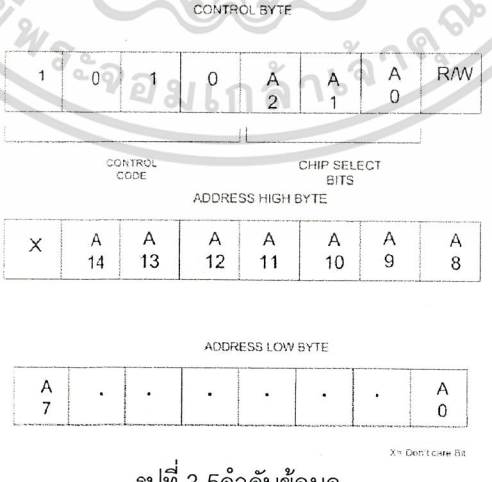
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.3 การสื่อสารแบบอนุกรม



รูปที่3.4 ไบต์ควบคุม

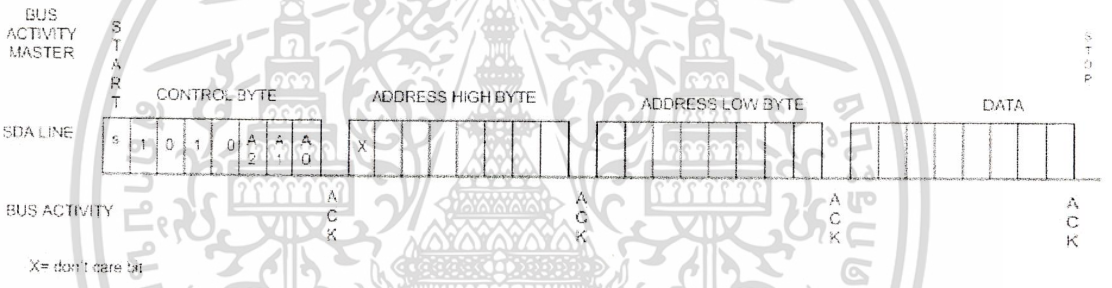


รูปที่ 3.5ลำดับข้อมูล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การเขียนข้อมูล

การเขียนข้อมูลลงใน 24LC256 แบบBYTE WRITE คือการเขียนข้อมูลลงในอีพรอม ครั้งละ 1 ไบต์ ตามตำแหน่งของหน่วยความจำภายใน 24LC256 การเขียนข้อมูลแบบครั้งละ 1 ไบต์ ในไมโครคอนโทรลเลอร์จะต้องส่งตามเงื่อนไขเริ่มต้น(START CONDITION) ตามด้วยไบต์ควบคุม แล้วจึงรอรับบิต ACK จากไอซีเมื่อได้รับบิต ACK ก็จะเริ่มส่งหน่วยความจำไบต์สูงและจะรอรับบิต ACK ส่งตำแหน่งหน่วยความจำไบต์ต่ำและรอรับบิต ACK แล้วจึงส่งดาต้าที่ต้องการเขียนลงในตำแหน่งของหน่วยความจำดังกล่าวออกไปแล้วรอรับบิต ACK แล้วจึงเงื่อนไขการหยุด(STOP CONDITION) หากว่าไม่ได้รับบิต ACK บิตใดบิตหนึ่งจะต้องทำเงื่อนไขการเริ่มต้น



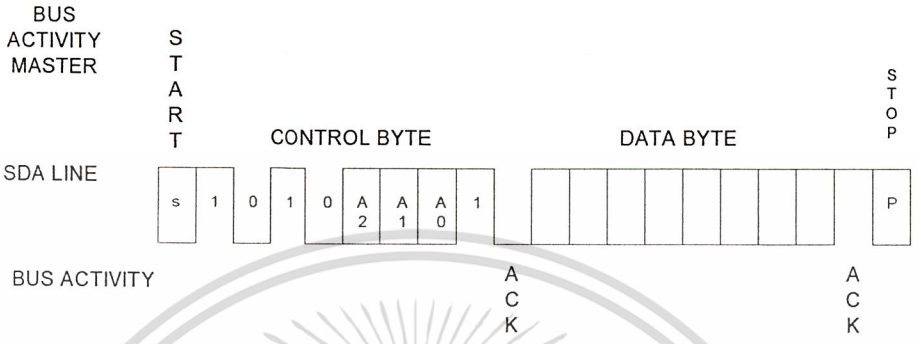
รูปที่3.6การเขียนข้อมูลครั้งละ 1 ไบต์

การอ่านขอมูลจากอีพรอม

การอ่านข้อมูลจะมีขั้นตอนการกำหนดค่าเริ่มต้นเช่นเดียวกับการเขียนข้อมูลซึ่งจะแตกต่างกันเพียงบิต(R/W) ซึ่งสามารถแยกเงื่อนไขการอ่านข้อมูลเป็น 3 ประเภท

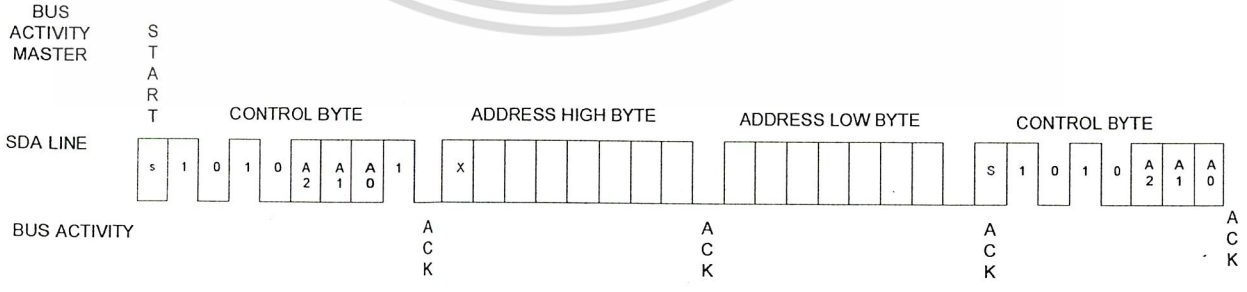
1.การอ่านข้อมูลแบบปัจจุบัน คือ การอ่านข้อมูลในตำแหน่งที่ตัวชี้ตำแหน่งของหน่วยความจำในอีพรอมชี้อยู่ดังรูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่3.7แหน่งการอ่าน

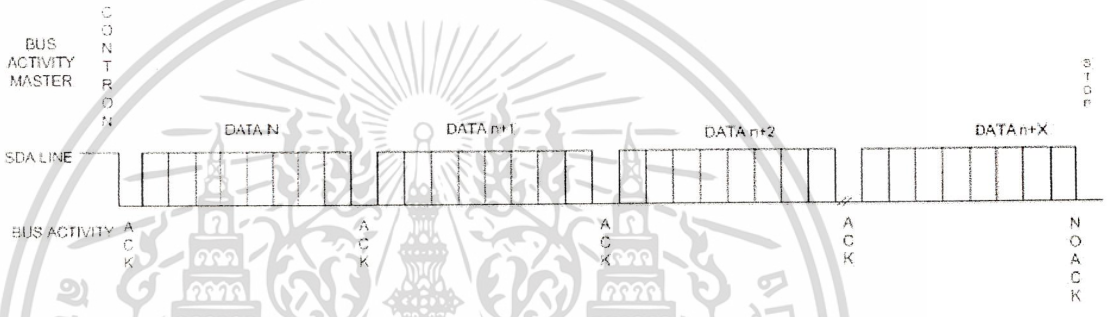
2.การอ่านข้อมูลตามตำแหน่งที่กำหนดคือการอ่านข้อมูลครั้งละ 1 ไบท์ตามตำแหน่งที่กำหนดขึ้นเองดังรูป3.8



รูปที่3.8 อ่านแบบสุ่ม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.การอ่านข้อมูลแบบลำดับ เป็นการอ่านข้อมูลแบบต่อเนื่องโดยกำหนดเฉพาะตำแหน่งที่เริ่มต้นของการอ่านข้อมูลเท่านั้น



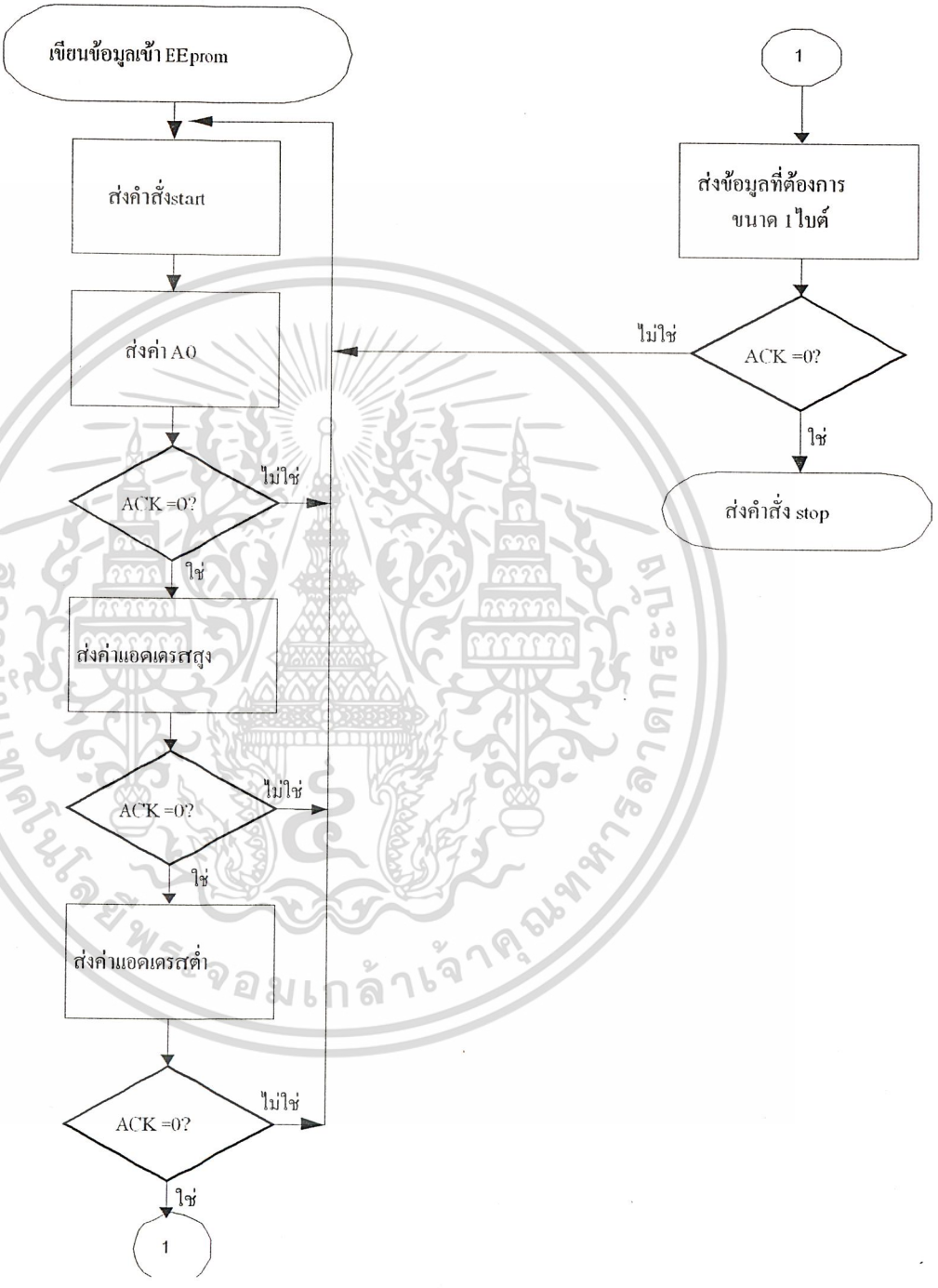
รูปที่3.9รอ่านแบบลำดับ

การทดลองนี้ได้ทำการส่งค่าตัวเลขไปเก็บไว้ที่ แอดเดรส 0000H ของ EEPROM แล้วอ่านค่ากลับออกมาเพื่อดูว่า ได้ค่าตรงกับที่เขียนเข้าไปหรือเปล่า วิธีการดังนี้

1. ต่อวงจรตามรูปที่3.2
2. เขียนโปรแกรมตามโฟลวชาร์ตรูปที่ 3.10 ลงไปใน CPU โดยใช้โปรแกรม EEPROM ผลที่ได้คือ ได้ค่าถูกต้องคือ เขียนค่า 21H เข้าไปที่ แอดเดรส 0000H แล้วอ่านกลับออกมาได้ค่าแสดงผลที่ LCD = 21H เหมือนที่เขียนเข้าไป แล้วลองอ่านที่แอดเดรส 0010Hซึ่งที่แอดเดรสนี้ไม่ได้มีการเขียนข้อมูลลงไป ค่าที่อ่านออกมาได้คือ FF(HEX)แสดงว่าไม่มีข้อมูลที่แอดเดรสนี้

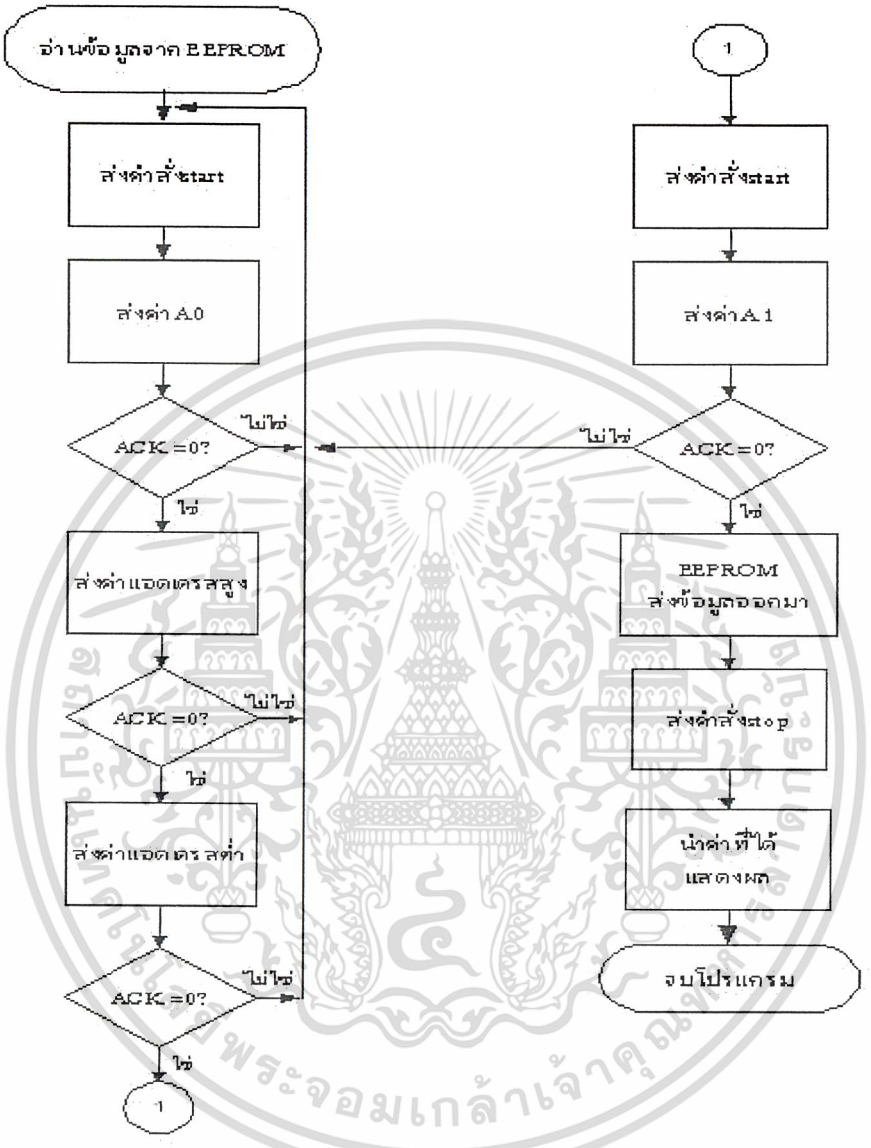
กล่าวคือ ถ้าไม่มีการเขียนข้อมูลลงไปที่แอดเดรสค่าที่ได้จะเป็น FF(HEX)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.10โฟลวชาร์ตการทำงานในการเขียนอีพรอม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.11 โฟลวชาร์ตการอ่านโปรแกรม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โปรแกรมของ EEPROM

```
.include "2313def.inc"
        .ORG   $0000
        ldi   r18,0x07
        ldi   r21,0x30
        ldi   r22,0x00
        ldi   r23,0x00
        ldi   r25,0x0f
        ldi   R30,0x00
        RJMP  RESET_VEC


.EQU    PORT_LCD = PORTB
.EQU    DDR_LCD  = DDRB
.EQU    BIT_RS   = 2
.EQU    BIT_CS   = 3

.EQU    PORT_EE  = PORTD
.EQU    DDR_EE   = DDRD
.EQU    PIN_EE   = PIND
.EQU    BIT_SCL  = 5
.EQU    BIT_SDA  = 6


.def    count    = r17
.DEF    TEMP     = R19
.DEF    TEMP1    = R20
.def    d1       = r22
.def    d2       = r23
.def    datain   = r24
.DEF    adlow    = r30
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
RESET_VEC:    LDI    TEMP,LOW(RAMEND)
              OUT    SPL,TEMP
              LDI    TEMP,HIGH(RAMEND)
              OUT    SPL+1,TEMP

              RCALL  DELAY
              LDI    TEMP,0x11111100b
              OUT    DDR_LCD,TEMP

              SBI    PORT_LCD,BIT_RS
              SBI    PORT_LCD,BIT_CS
              RCALL  INIT_LCD

              SBI    DDR_EE,BIT_SDA
              SBI    DDR_EE,BIT_SCL
              SBI    PORT_EE,BIT_SDA
              SBI    PORT_EE,BIT_SCL

              ldi  r24,0x20
              rcall   write
              ldi  r24,0x51
              rcall   write
              rjmp    wait

write:        RCALL  WRITE_BYTE
              RCALL  READ
              mov    r24,temp
              rcall    n2
              inc    adlow
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                ret
N2:             cp      r25,r24
                brcc    N1
                subi    r24,0x10
                inc     d2
                rjmp    N2
N1:             mov     d1,r24
                mov     r26,d2
                rcall   hex2asc
                clr     d2
                mov     r26,d1
                rcall   hex2asc
                clr     d1
                ret
hex2ASC:        add     r26,r21
                cpi     r26,0x39
                breq    dis
                brcs    dis
                add     r26,r18
                rcall   dis
                ret
dis:            mov     temp,r26
                RCALL   WR_LCD
                ret

WAIT:           RJMP    WAIT
WRITE_BYTE:     CBI     PORT_EE,BIT_SDA
                CBI     PORT_EE,BIT_SCL
                LDI     TEMP,0XA0
                RCALL   TX_BYTE
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        RCALL   ACKNOW
        BRCS    WRITE_BYTE
        LDI     TEMP,0X00
        RCALL   TX_BYTE
        RCALL   ACKNOW
        BRCS    WRITE_BYTE
        mov     TEMP,adlow
        RCALL   TX_BYTE
        RCALL   ACKNOW
        BRCS    WRITE_BYTE
        mov     temp,r24
        RCALL   TX_BYTE
        RCALL   ACKNOW
        BRCS    WRITE_BYTE
        CBI     PORT_EE,BIT_SDA
        SBI     PORT_EE,BIT_SCL
        SBI     PORT_EE,BIT_SDA
        RCALL   DELAY
        RET
READ:   CBI     PORT_EE,BIT_SDA
        CBI     PORT_EE,BIT_SCL
        LDI     TEMP,0XA0
        RCALL   TX_BYTE
        RCALL   ACKNOW
        BRCS    READ
        LDI     TEMP,0X00
        RCALL   TX_BYTE
        RCALL   ACKNOW
        BRCS    READ
        mov     TEMP,adlow
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                RCALL   TX_BYTE
                RCALL   ACKNOW
                BRCS    READ

                SBI     PORT_EE,BIT_SCL
                SBI     PORT_EE,BIT_SDA
                CBI     PORT_EE,BIT_SDA
                CBI     PORT_EE,BIT_SCL
                LDI     TEMP,0XA1
                RCALL   TX_BYTE
                RCALL   ACKNOW
                BRCS    READ
                RCALL   RX_BYTE
                SBI     PORT_EE,BIT_SCL
                SBI     PORT_EE,BIT_SCL
                CBI     PORT_EE,BIT_SDA
                SBI     PORT_EE,BIT_SCL
                SBI     PORT_EE,BIT_SDA
                RET
ACKNOW:         CBI     DDR_EE,BIT_SDA
                SBI     PORT_EE,BIT_SDA
                SEC
                SBI     PORT_EE,BIT_SCL
                SBIS    PIN_EE,BIT_SDA
                CLC
                CBI     PORT_EE,BIT_SCL
                SBI     DDR_EE,BIT_SDA
                RET
TX_BYTE:        LDI     TEMP1,0X08
TX_BYTE1:       SBI     PORT_EE,BIT_SDA
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                LSL    TEMP
                BRCS   TX_BYTE2
                CBI    PORT_EE,BIT_SDA
TX_BYTE2:       SBI    PORT_EE,BIT_SCL
                CBI    PORT_EE,BIT_SCL
                DEC    TEMP1
                BRNE   TX_BYTE1
                RET
RX_BYTE:        CBI    DDR_EE,BIT_SDA
                SBI    PORT_EE,BIT_SDA
                LDI    TEMP,0X00
                LDI    TEMP1,0X08
RX_BYTE1:       SBI    PORT_EE,BIT_SCL
                SEC
                SBIS   PIN_EE,BIT_SDA
                CLC
                ROL    TEMP
                CBI    PORT_EE,BIT_SCL
                DEC    TEMP1
                BRNE   RX_BYTE1
                SBI    DDR_EE,BIT_SDA
                RET
DELAY:          PUSH   R26
                PUSH   R27
                LDI    R27,0XFF
DEL2:           LDI    R26,0XFF
DEL1:           DEC    R26
                BRNE   DEL1
                DEC    R27
                BRNE   DEL2
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        POP    R27
        POP    R26
        RET
WR_LCD: PUSH   TEMP
        ANDI   TEMP,0XF0
        SBI    PORT_LCD,BIT_RS
        IN     TEMP1,PORT_LCD
        ANDI   TEMP1,0X0F
        OR     TEMP,TEMP1
        OUT    PORT_LCD,TEMP
        RCALL  EN_LCD
        POP    TEMP
        SWAP   TEMP
        ANDI   TEMP,0XF0
        IN     TEMP1,PORT_LCD
        ANDI   TEMP1,0X0F
        OR     TEMP,TEMP1
        OUT    PORT_LCD,TEMP
        RCALL  EN_LCD
        RET
WR_INS: PUSH   TEMP
        ANDI   TEMP,0XF0
        CBI    PORT_LCD,BIT_RS
        IN     TEMP1,PORT_LCD
        ANDI   TEMP1,0X0F
        OR     TEMP,TEMP1
        OUT    PORT_LCD,TEMP
        RCALL  EN_LCD
        POP    TEMP
        SWAP   TEMP
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                ANDI    TEMP,0XF0
                IN      TEMP1,PORT_LCD
                ANDI    TEMP1,0X0F
                OR      TEMP,TEMP1
                OUT     PORT_LCD,TEMP
                RCALL   EN_LCD
                RET
INIT_LCD:       LDI     TEMP,0X33
                RCALL   WR_INS
                LDI     TEMP,0X32
                RCALL   WR_INS
                LDI     TEMP,0X28
                RCALL   WR_INS
                LDI     TEMP,0X0C
                RCALL   WR_INS
                LDI     TEMP,0X06
                RCALL   WR_INS
                LDI     TEMP,0X01
                RCALL   WR_INS
                LDI     TEMP,0X80
                RCALL   WR_INS
                RET
EN_LCD:  SBI    PORT_LCD,BIT_CS
                RCALL   BUSY
                CBI     PORT_LCD,BIT_CS
                RET
BUSY:   PUSH    R26
                PUSH    R27
                LDI     R27,0X10
BUSY2:          LDI     R26,0XFF
```

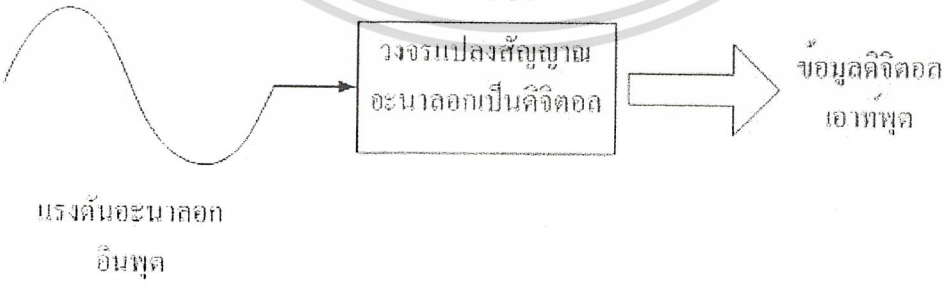
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
BUSY1:   DEC   R26
         BRNE  BUSY1
         DEC   R27A
         POP   R27
         POP   R26
         RET
```

วงจรแปลงสัญญาณอะนาลอกเป็นดิจิตอล

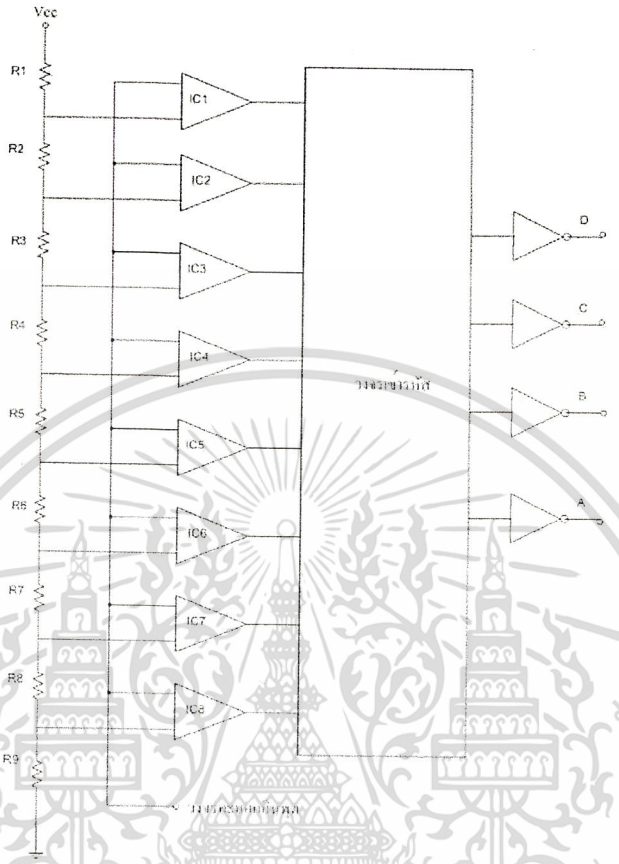
ทฤษฎีเบื้องต้น

กระบวนการแปลงสัญญาณอะนาลอกเป็นดิจิตอลเป็นการแสดงความสัมพันธ์ระหว่างปริมาณของสัญญาณไฟฟ้าที่เป็นสัญญาณอะนาลอกกับข้อมูลตัวเลขที่ใช้แทนสัญญาณดิจิตอล ในรูปที่ 3.12 เป็นบล็อกไดอะแกรมที่แสดงให้เห็นถึงอินพุตและเอาต์พุตของวงจรแปลงสัญญาณอะนาลอกเป็นดิจิตอล ความแม่นยำของการแปลงขึ้นอยู่กับจำนวนบิตของข้อมูลดิจิตอล วงจรแปลงสัญญาณอะนาลอกเป็นดิจิตอล หรือ ADC ขนาด n บิต จะเกิดข้อมูลดิจิตอลจำนวน 2^n ข้อมูล ยกตัวอย่าง วงจร ADC 3 บิต ก็จะเกิดข้อมูลดิจิตอลทางเอาท์พุตทั้งสิ้น 8 ข้อมูลระยะห่างของแต่ละข้อมูลจะเป็นตัวกำหนดความแม่นยำของการแปลงสัญญาณ ซึ่งกระบวนการที่ทำหน้าที่ตีความระดับสัญญาณอะนาลอกว่าตรงกับระดับข้อมูลดิจิตอลใด เรียกว่า กระบวนการควอนไตซิ่ง (quantizing)

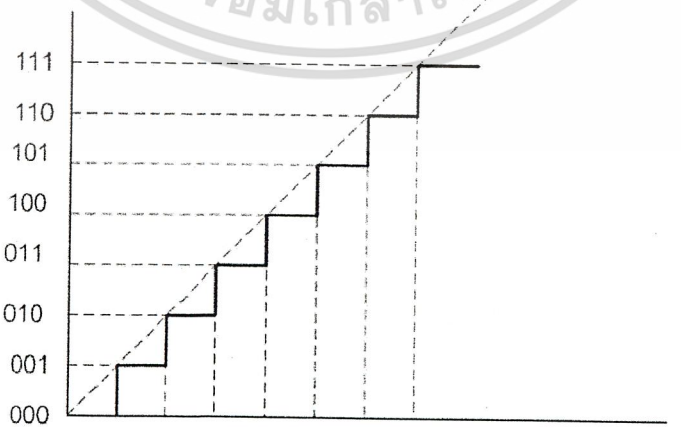


รูปที่ 3.12 การทำงานวงจรแปลงอะนาลอกเป็นดิจิตอล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.13 วงจรอะลอกเป็นดิจิตอล



รูปที่ 3.14 กราฟแสดงความสัมพันธ์ระหว่างอินพุตกับเอาต์พุต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ระยะห่างของระดับข้อมูลดิจิตอลในวงจร ADC สามารถคำนวณได้จากความสัมพันธ์ทางคณิตศาสตร์ ดังนี้

$$\text{ระยะห่างของระดับแรงดัน} = Vlsb = Vfs / 2^n$$

โดยที่ Vfs คือ แรงดันเต็มสเกลหรือแรงดันสูงสุดที่สามารถเกิดขึ้นได้ในวงจร ADC ปกติมีค่าเท่ากับ ไฟเลี้ยง ถ้าหากระดับไฟเลี้ยงของวงจร ADC ขนาด 3บิต มีค่าเท่ากับ 5 V ระยะห่างของระดับข้อมูลดิจิตอลเท่ากับ 5/8 = 0.625 Volt ข้อมูลดิจิตอลสูงสุดในรูปที่ 3.14 คือ 111ฐาน 2 ซึ่งมีค่าเท่ากับ 7 ฐาน 10

ดังนั้นที่ข้อมูลดิจิตอลสูงสุดของวงจร ADC 3 บิตจะมีค่าเทียบกับแรงดันอะนาลอกทางอินพุตเท่ากับ (7/8) x 5 = 4.375 Volt เมื่อเป็นเช่นนี้จึงสามารถที่จะกำหนดความสัมพันธ์ของแรงดันอะนาลอกอินพุตกับข้อมูลดิจิตอลสูงสุดของวงจร ADC ไม่ว่าจะเป็นกี่บิตก็ตามได้ดังนี้

$$\text{แรงดันอะนาลอกอินพุตที่ทำให้เกิดข้อมูลดิจิตอลสูงสุด} = Vfs - Vlsb$$

โดยที่ Vfs คือ แรงดันเต็มสเกลหรือแรงดันสูงสุดที่สามารถเกิดขึ้นได้ในวงจร ADC ปกติมีค่าเท่ากับ ไฟเลี้ยง

Vlsb คือระยะห่างของระดับแรงดันที่ข้อมูลที่ข้อมูล1 บิตหรือค่าแรงดันที่ข้อมูลดิจิตอลเท่ากับ 1

ในวงจร ADC 3 บิตค่าแรงดัน VLSb เท่ากับ 0.625 Volt ถ้าหากจำนวนบิตของวงจร ADC มีมากขึ้นค่าของแรงดัน Vlsbจะลดลง ทำให้ความแม่นยำของการแปลงสัญญาณมีมากขึ้น และส่งผลให้ที่ข้อมูลดิจิตอลสูงสุดเมื่อเทียบกับแรงดันอะนาลอกทางอินพุตจะมีค่าใกล้เคียงกันมากขึ้น ยกตัวอย่าง วงจร ADC 8 บิต จะมีค่า VLSB = (5/256) x 5 = 0.0195 Volt ดังนั้นที่ข้อมูลดิจิตอลสูงสุดคือ 11111111 2 หรือ 0xFF จะมีค่าเทียบเท่ากับแรงดันอะนาลอกเป็น 5-0.0195 = 4.9805 Volt ถ้าเพิ่มเป็น 10บิตค่าแรงดันอะนาลอกที่ข้อมูลดิจิตอลสูงสุดจะเป็น 4.9951 Volt

ความละเอียดของวงจร ADC

ความละเอียดของวงจร ADC หรือ resolution หมายถึงค่าความเปลี่ยนแปลงน้อยที่สุดของแรงดันอะนาลอกที่ทำให้ข้อมูลดิจิตอลเกิดการเปลี่ยนแปลง 1 บิต ค่าความละเอียดนี้สามารถอธิบายเทียบเป็นเปอร์เซ็นต์ของค่าแรงดันเต็มสเกล อธิบายในหน่วยมิลลิโวลต์ (mV) หรือจำนวนของบิตในการแปลงสัญญาณ ซึ่งสามารถอธิบายได้ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ยกตัวอย่าง วงจร ADC 8 บิตจะมีค่าความละเอียดเทียบเป็นเปอร์เซ็นต์ของค่าแรงดันเต็มสเกลเท่ากับ (½^n) x 100 = (1/28) x 100 = 0.391% โดยที่ n เท่ากับจำนวนบิตของวงจร ADC

อธิบายในหน่วยมิลลิโวลต์เท่ากับ Vlsb = 195mV ในกรณีที่ Vfs เท่ากับ 5 Volt

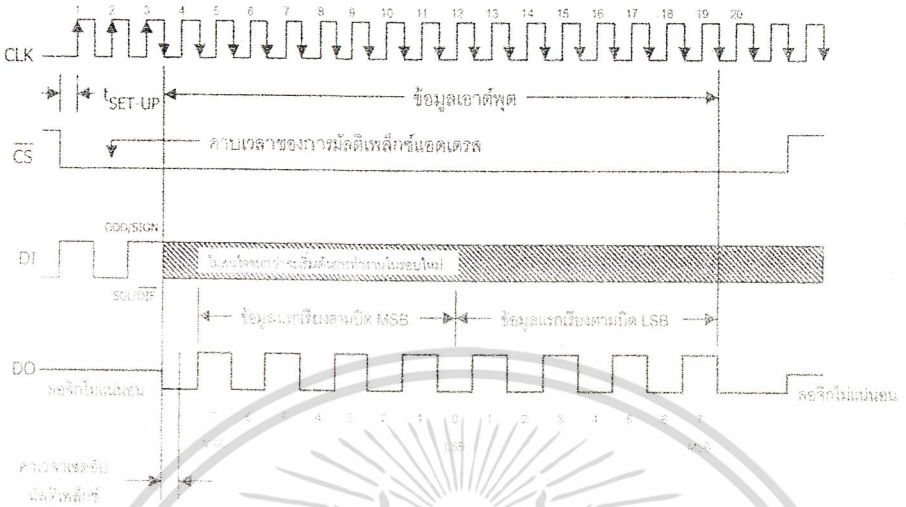
อธิบายเป็นจำนวนบิตที่ใช้ในการแปลงสัญญาณเท่ากับ 8 บิต

การแปลงสัญญาณอะนาลอกเป็นดิจิตอล (ADC)

การแปลงสัญญาณอะนาลอกเป็นดิจิตอล สัญญาณจะถูกแปลงเป็นจำนวนทางดิจิตอลโดยการสุ่มหรือแซมปลิ้ง (Sampling) ดังจะเห็นได้ดังรูปที่ 2.31 ถ้าสมมุติว่ามีเอาท์พุต 8 เส้น โดยเอาต์พุตแต่ละเส้นแสดสถานะทางลอจิกเป็น 0 หรือ 1 จะมีความแตกต่างทางรหัสไบต์ทั้งหมด 2^8 หรือ 256 รหัสการแปลงสัญญาณอะนาลอกดิจิตอลแบบซักเซสซีฟแอปพร็อกซิเมชั่น (Successive Approximation ADC) ถ้าจะแปลเป็นไทยอาจเรียกกระบวนการ ADC แบบนี้ว่า เป็นการแปลงแบบประมาณค่าใกล้เคียง บล็อกไดอะแกรมของกระบวนการ ADC แบบนี้แสดงในรูปที่ 3.15 ส่วนสำคัญหลักยังต้องมีวงจรเปรียบเทียบแรงดัน, สัญญาณนาฬิกา และส่วนควบคุมลอจิก

จุดแตกต่างอยู่ที่ใน ADC แบบซักเซสซีฟแอปพร็อกซิเมชั่นนี้จะใช้รีจิสเตอร์เลขฐาน 2 หรือไบนารีรีจิสเตอร์แทนวงจรนับเลขฐาน2 แต่ละบิตของรีจิสเตอร์จะเซตและรีเซตโดยการควบคุมจากวงจรควบคุม ต่อไปนี้จะอธิบายการทำงานของ ADC แบบนี้ไปทีละขั้นตอนขอให้พิจารณาไดอะแกรมเวลาในรูปที่ 3.15

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.15 ไดอะแกรมเวลา

กำหนดให้แรงดันอะนาลอกอินพุต (Vin) มีค่า 13.5 Volt

1.ส่งสัญญาณเริ่มต้นการทำงาน (start converter) มายังซักเซสซีฟแอปพร็อกซิเมชั่นรีจิสเตอร์

2.ขณะนี้สถานะของรีจิสเตอร์จะไม่ว่าง สัญญาณนาฬิกาลูกแรกถูกส่งเข้ามาเพื่อกำหนดให้ค่าของรีจิสเตอร์เท่ากับ 0000

3.เอาต์พุตของ DAC จะเป็น 0V ส่งไปในวงจรเปรียบเทียบ เพื่อเปรียบเทียบกับ Vin ในขณะนี้จะได้เอาต์พุตเท่ากับ –5V กำหนดให้เป็นลอจิก “0”

4.เมื่อสัญญาณนาฬิกาลูกต่อไปเข้ามา จะทำการเซตบิต MSB ของรีจิสเตอร์เป็น “1”

5.ในกรณีนี้เป็น ADC ขนาด 4 บิต ดังนั้นการที่บิต MSB เซต จะทำให้วงจร DAC แปลงค่าเป็นแรงดัน 8 V นำไปเปรียบเทียบที่วงจรเปรียบเทียบแรงดัน แต่ก็ยังน้อยกว่า Vin ดังนั้นเอาต์พุตของวงจรเปรียบเทียบแรงดันยังคงเป็น “0” ทำให้รีจิสเตอร์ยังคงค่าบิต MSB ให้เป็น “1” ต่อไป

6. ต่อมาบิต B2 (ถัดจากบิต MSB 1 บิต เนื่องจากมี 4บิต กำหนดบิต MSB = B3) จะเซตซึ่งจะมีค่าเท่ากับ 4V นำไปรวมกับค่าของบิต MSB ที่มีอยู่ 8V เช่น 12V นำมาเปรียบเทียบกับ Vin ก็ยังน้อยกว่า รีจิสเตอร์จึงยังคงค่า B2 ไว้ที่ “1” เช่นกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

7.ต่อมาบิต B1 จะเซตทำให้แรงดันเอาต์พุตมา ADC กลายเป็น 8+4+2 + 14V ซึ่งมากกว่า Vin ทำให้เกิดการเปลี่ยนแปลงสถานะเป็น “1” ซึ่งจะส่งสัญญาณมาควบคุมให้ B1 กลายเป็น “0”

8. เมื่อบิต LSB ถูกเซต จะมีค่าแรงดัน 1V เข้ามาร่วมกับค่าของ B3,B2 และ B1 เป็น 8+4+0+1 = 13V นำไปเปรียบเทียบกับ Vin ทำให้ที่บิต B0 หรือ LSB มีค่า “1”

9. ขณะนี้ทุกบิตในรีจิสเตอร์ถูกนำมาแปลงค่าเรียบร้อยแล้ว ทำให้สถานะของรีจิสเตอร์กลับมาเป็น พร้อมทำงาน

10. ข้อมูลดิจิตอลที่ได้จากการ ADC แบบนี้ จะมีค่า 1101 หรือ 13V ซึ่งใกล้เคียงกับ Vin 13.5V มากที่สุด ถ้าหากมีรีจิสเตอร์มีจำนวนบิตมากกว่านี้

ความละเอียดของข้อมูลที่แปลงได้จากการแปลงได้จะมีความใกล้เคียงมากขึ้น ช่วงเวลาของการแปลงสัญญาณจะเริ่มต้นตั้งแต่สัญญาณนาฬิกาลูกแรกส่งเข้าไปเตรียมระบบ ไปจนถึงเมื่อสภาวะของรีจิสเตอร์กลับมาเป็นพร้อมทำงาน อีกครั้งหนึ่ง ซึ่งจะต้องใช้จำนวนสัญญาณนาฬิกาเท่ากับ n+1 พัลส์ โดย n เท่ากับจำนวนบิตของรีจิสเตอร์

ความเที่ยงตรงของวงจร ADC

เป็นการเปรียบเทียบแรงดันอะนาลอกของวงจร ADC กับแรงดันที่ควรเกิดขึ้นจริง ยกตัวอย่าง ที่ข้อมูลดิจิตอลสูงสุดของวงจร ADC ขนาด 8 บิต เพื่อเทียบเป็นแรงดันอะนาลอกควรมีค่าเท่ากับ 5.0000 V แต่การคำนวณในตัวอย่างก่อนหน้านี้ได้ค่า 4.9804 V นั่นคือความผิดพลาดไป 0.0195 V หรือ 19.5mV แต่การบอกค่าความเที่ยงตรงของวงจร ADC มักจะระบุเป็นจำนวนที่ เทียบกับ VLSB ดังนั้นในวงจร ADC ขนาด 8 บิต ที่ยกตัวอย่างนี้จึงมีค่าความเที่ยงตรง (หรือเรียกว่า ค่าความผิดพลาด)
เป็น ½LSB

ค่าเวลาในการแปลงสัญญาณ (Conversion time)

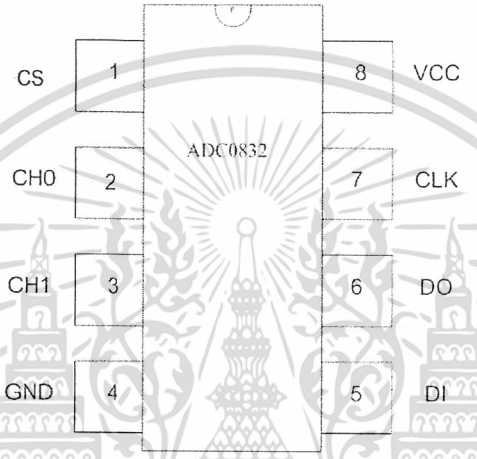
เป็นค่าของเวลาทั้งหมดที่วงจร ADC แบบวงจรนับแรมป์และแบบซักเซสซีฟแอปพร็อกซิเมชั่นใช้ในการแปลงสัญญาณอะนาลอกเป็นดิจิตอลจนเสร็จสิ้นลง จะส่งสัญญาณที่เรียกว่า EOC (End of Conversion) ออกมา

ค่าเวลาในการแปลงสัญญาณของวงจร ADC จะขึ้นอยู่กับจำนวนบิตของวงจร, ค่าความถี่ของสัญญาณนาฬิกาที่ใช้ในการแปลงสัญญาณและขนาดของสัญญาณอะนาลอกอินพุต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ADC0832 ไอซีแปลงสัญญาณอะนาลอกเป็นดิจิตอล

ผู้ผลิตคือ บริษัท เนชั่นแนล เซมิคอนดักเตอร์ เป็นไอซีวงจร ADC ขนาด 8 บิต มีจำนวนอินพุตสำหรับสัญญาณอะนาลอก 2 ช่อง ทำงานในลักษณะมัลติเพล็กซ์ โดยอาศัยการควบคุมด้วยกระบวนการทางซอฟต์แวร์ ส่งข้อมูลออกแบบอนุกรมสามารถต่อใช้งานร่วมกับไอซีชิฟรีจิสเตอร์และไมโครคอนโทรลเลอร์ได้ ในการทำงานโดยอาศัยการควบคุมจากไมโครคอนโทรลเลอร์หรือทำงานโดยอิสระได้



รูปที่ 3.16 ลักษณะภายนอกของADC

ขาต่อใช้งานของ ADC0832

ADC0832 มีการจัดขาดังรูปที่ 3.16 สามารถแบ่งออกได้เป็น 3 กลุ่ม

1. ขาต่อไฟเลี้ยง มี 2 ขา คือ ขา Vcc (ขา 8) สำหรับต่อไฟ +5 โวลต์ และ ขากราวนด์(ขา 4) ต่อ กับ กราวนด์

2. ขาสัญญาณ มี 3 ขา คือ CH0 , CH1 เป็นขาที่ใช้รับสัญญาณอะนาลอกที่ต้องการแปลงค่าเป็นดิจิตอล ในการใช้งานสามรถต่อรับสัญญาณได้พร้อมกัน และขา D0 เป็นขาสำหรับส่งข้อมูลดิจิตอลของสัญญาณอะนาลอกที่แปลงแล้ว

3. ขาควบคุม มี 3 ขา คือ ขา CS ใช้สำหรับเลือกให้ตัว ADC0832 ทำงาน โดยขานี้ทำงานที่ลอจิก “0”

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขา CLK เป็นขาสำหรับป้อนสัญญาณนาฬิกาเพื่อกำหนดจังหวะการทำงาน และขา DI ใช้สำหรับป้อนข้อมูลเพื่อกำหนดเพื่อกำหนดให้ ADC0832 ทำงานในลักษณะต่างๆ

การใช้งาน ADC0832

การอธิบายการใช้งาน ADC0832 จะต้องอาศัยไดอะแกรมเวลาในรูปที่ 3.15 มาประกอบการอธิบาย

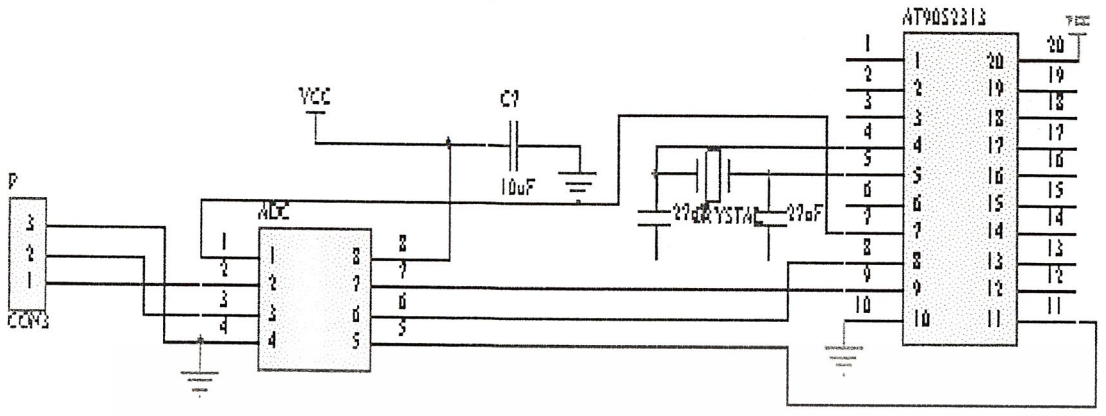
โดยแบ่งรายละเอียดดังนี้

1. ส่งสัญลักลอจิก “0” ไปยังขา CS เพื่อให้ ADC0832 เริ่มต้นทำงาน
2. ส่งลอจิก “1” ไปยังขา DI เพื่อเป็นบิตเมต้นสำหรับการเลือกช่องอินพุตที่ต้องการอ่าน
3. ป้อนสัญญาณลอจิก “1” เข้าที่ขา CLK
4. เนื่องจาก ADC0832 ทำงานได้ที่ความถี่ สูงสุดอย่างน้อย 400Khz ดังนั้นจึงต้องมีการหน่วงเวลาอย่างน้อย
   2 ไมโครวินาที ก่อนที่จะป้อนสัญญาณลอจิก “0” ที่ขา CLK
5. ป้อนข้อมูลเพื่อกำหนดโหมดการทำงานและเลือกช่องสัญญาณอินพุตเข้าที่ขา DI
6. หลังจากป้อนสัญญาณนาฬิกาลูกที่ 3 เข้าที่ขา CLK ไอซี ADC0832 จะเริ่มต้นแปลงข้อมูล
7. ที่สัญญาณนาฬิกาลูกที่ 4 ADC0832 จะเริ่มส่งข้อมูลขนาด 8 บิตที่ได้จากการแปลงสัญญาณออกทางขา DO โดยจะเริ่มจากบิตที่ 7 ก่อน ไปจนถึงบิต 0 จากนั้น ADC0832 จะส่งข้อมูลออกมาซ้ำแต่คราวนี้จะเริ่มต้นส่งข้อมูลเอาต์พุตบิตที่ 0 ออกไปก่อน จนครบ 8 บิต เป็นอันสิ้นสุดการแปลงสัญญาณ
8. เพื่อให้เกิดความเข้าใจมากขึ้น ขั้นตอนต่างๆที่กล่าวมาข้างต้นสามารถเขียนออกมาเป็นออกมาเป็นโฟลวชาร์ตดังแสดงดังรูปที่ 3.18

การเชื่อมต่อกับไมโครคอนโทรลเลอร์

ขาของ ADC0832 ที่จะต้องเชื่อมต่อกับไมโครคอนโทรลเลอร์นั้นมีทั้งหมด 4 ขา เป็นขาเอาต์พุต 3 ขา ซึ่งใช้พอร์ต D ก็เพียงพอ มีรูปแบบการต่อดังรูป 3.17

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.17 การเชื่อมต่อADC กับไมโครคอนโทรลเลอร์

มื่อเขียนโปรแกรมตามการทำงานตามไดอะแกรมการทำงานจากการทดลองที่ได้ทำมาแล้วในวงจรนี้ได้ใช้ Vref = 5v โดยที่ขา Vref นี้จะอยู่ที่ขาเดียวกันกับขาไฟเลี้ยง คือขาที่8 โดยใช้ CH0 ในการรับสัญญาณอะนาลอกโดยค่าสูงสุดที่รับได้จะไม่เกินค่าไฟเลี้ยงของวงจร คือ 5โวลต์ ตามทฤษฎีค่าแรงดันที่ 5โวลต์ จะได้ค่าดิจิตอล เท่ากับ FF (Hex)โดยในการทดลองนี้ ได้ทำการทดลองโดยทำการวัดค่าถ่านไฟฉายขนาด 1.5 โวลต์ กับวัดค่าที่ไฟเลี้ยงของวงจร ได้ค่าดังนี้

1 วัดค่าถ่านไฟฉาย วัดโดยมิเตอร์ วัดได้ 1.32 โวลต์

วัดโดยผ่าน ADC ที่ CH0 อ่านได้ที่จอ LCD = 65H

2 วัดค่าไฟเลี้ยงในวงจรวัดโดยมิเตอร์ วัดได้ 5 โวลต์

วัดโดยผ่าน ADC ที่ CH0 อ่าน ได้ที่จอ LCD = 255H

3 วัดค่าแรงดัน 0 โวลต์ โดยผ่าน ADC ที่ CH0 อ่านได้ที่จอ LCD = 00H.

4 ทำการปรับแรงดันโดยต่อกับตัวต้านทานแบบปรับค่าได้ ได้ค่าดังนี้

ที่แรงดัน 1โวลต์ อ่านได้ 53H

ที่แรงดัน 1.5โวลต์ อ่านได้ 77H

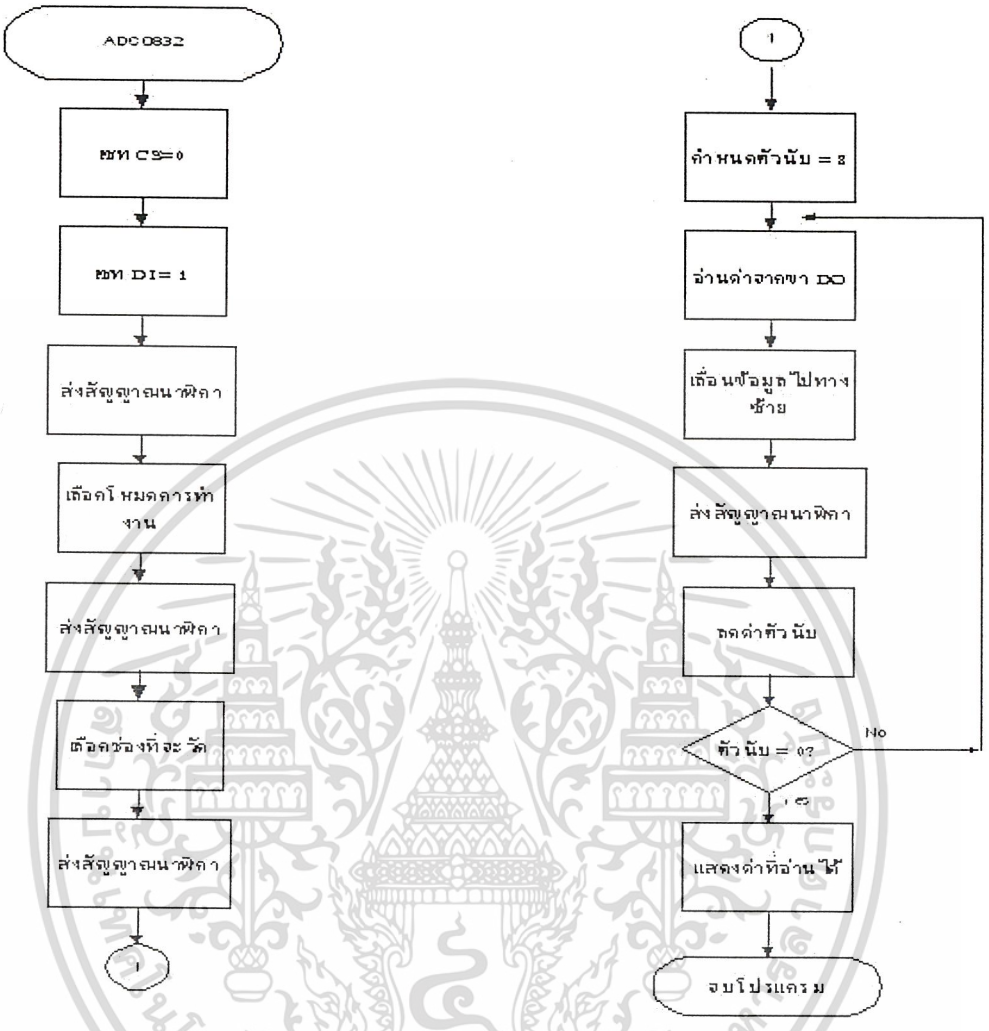
ที่แรงดัน 2.5โวลต์ อ่านได้ 129H

ที่แรงดัน 3โวลต์ อ่านได้ 153H

ที่แรงดัน 4.5โวลต์ อ่านได้ 228H

ที่แรงดัน 5โวลต์ อ่านได้ 255H

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.18 ไดอะแกรม การทำงานของ ADC0832

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โปรแกรม ADC0832

```
.include "2313def.inc"
                    .ORG   $0000
                    RJMP   RESET_VEC

.EQU      PORT_LCD = PORTB
.EQU      DDR_LCD  = DDRB
.EQU      BIT_RS   = 2
.EQU      BIT_CS   = 3

.def      data     = r16
.def      command  = r17
.DEF      COUNT    = r18
.DEF      TEMP     = R19
.DEF      TEMP1    = R20
.def      d0       = r21
.def      d1       = r22
.def      d2       = r23
.def      Ain      = r24
.def      temp2    = r28
.def      datain   = r29

RESET_VEC:     LDI    TEMP,LOW(RAMEND)
               OUT    SPL,TEMP
               LDI    TEMP,HIGH(RAMEND)
               OUT    SPL+1,TEMP
               RCALL  DELAY
               LDI    TEMP,0x11111100b
               OUT    DDR_LCD,TEMP
               SBI    PORT_LCD,BIT_RS
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        SBI     PORT_LCD,BIT_CS
        RCALL   INIT_LCD
        LDI     ZL,LOW(TEXT<<1)
        LDI     ZH,HIGH(TEXT<<1)
loop:   LPM
        TST     R0
        BREQ    inti
        MOV     TEMP,R0
        RCALL   WR_LCD
        ADIW    ZL,0X01
        RJMP    loop
inti:   sbi     portd,3
        ldi     r28,0x6F
        out     DDRD,r28
        ldi     r28,0x6F
        out     PORTD,r28
k1:     LDI     count,3
        ldi     r17,0b11000000
        cbi     portd,3
shift:  sbi   portd,6
          lsl   r17
          brcs  shift1
          cbi   portd,6
shift1:   cbi   portd,5
          rcall delay
          sbi   portd,5
          dec   count
          cpi   count,0x00
          brne  shift
          cbi   ddrd,4
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                sbi    portd,4
                cbi    portd,5
                rcall  delay
                sbi    portd,5
                ldi    count,9
datain:         sbi    portd,5
                clc
                sbic   pind,4
                sec
                cbi    portd,5
                rol    r29
                dec    count
                cpi    count,0x00
                brne   datain
                sbi    portd,3
                sbi    ddrd,4
                sbi    portd,4


                ldi    r21,0x00
                ldi    r22,0x00
                ldi    r23,0x00
                ldi    r24,256
                ldi    r25,0x63
                ldi    r26,0x09
                ldi    r27,0x00
N2:             cp     r25,r29
                brcc   N1
                subi   r29,0x64
                inc    d2
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                rcall   N2
N1:             cp      r26,r29
                brcc    N0
                subi    r29,0x0a
                inc     d1
                rcall   N1
N0:             mov     d0,r29
                rcall   loopa
                rcall   loopb
                rcall   loopc
                rcall    slow
                rjmp    inti
slow:           push    r28
                ldi     r28,16          slow1:      rcall   delay
                dec     r28
                brne    slow1
                pop     r28
                ret

check1:         cpi     r27,0
                breq    char0
                cpi     r27,1
                breq    char1
                cpi     r27,2
                breq    char2
                cpi     r27,3
                breq    char3
                cpi     r27,4
                breq    char4
                cpi     r27,5
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                LDI    ZH,HIGH(TEXT1<<1)
                RCALL  LOOP1
                ret
CHAR2:          LDI    ZL,LOW(TEXT2<<1)
                LDI    ZH,HIGH(TEXT2<<1)
                RCALL  LOOP1
                ret
CHAR3:          LDI    ZL,LOW(TEXT3<<1)
                LDI    ZH,HIGH(TEXT3<<1)
                RCALL  LOOP1
                ret
CHAR4:          LDI    ZL,LOW(TEXT4<<1)
                LDI    ZH,HIGH(TEXT4<<1)
                RCALL  LOOP1
                ret
CHAR5:          LDI    ZL,LOW(TEXT5<<1)
                LDI    ZH,HIGH(TEXT5<<1)
                RCALL  LOOP1
                ret
CHAR6:          LDI    ZL,LOW(TEXT6<<1)
                LDI    ZH,HIGH(TEXT6<<1)
                RCALL  LOOP1
                ret
CHAR7:          LDI    ZL,LOW(TEXT7<<1)
                LDI    ZH,HIGH(TEXT7<<1)
                RCALL  LOOP1
                ret
CHAR8:          LDI    ZL,LOW(TEXT8<<1)
                LDI    ZH,HIGH(TEXT8<<1)
                RCALL  LOOP1
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                ret
CHAR9:          LDI     ZL,LOW(TEXT9<<1)
                LDI     ZH,HIGH(TEXT9<<1)
                RCALL   LOOP1
                ret
again:          ret
loop1:          LPM
                TST     R0          ;Zero/Negative checking
                BREQ    again
                MOV     TEMP,r0
                RCALL   WR_LCD
                ADIW    ZL,0X01
                RJMP    loop1
WAIT:           RJMP    WAIT
WR_LCD:         PUSH    TEMP
                ANDI    TEMP,0XF0
                SBI     PORT_LCD,BIT_RS
                IN      TEMP1,PORT_LCD
                ANDI    TEMP1,0X0F
                OR      TEMP,TEMP1
                OUT     PORT_LCD,TEMP
                RCALL   EN_LCD
                POP     TEMP
                SWAP    TEMP
                ANDI    TEMP,0XF0
                IN      TEMP1,PORT_LCD
                ANDI    TEMP1,0X0F
                OR      TEMP,TEMP1
                OUT     PORT_LCD,TEMP
                RCALL   EN_LCD
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                RET
WR_INS:         PUSH    TEMP
                ANDI    TEMP,0XF0
                CBI     PORT_LCD,BIT_RS
                IN      TEMP1,PORT_LCD
                ANDI    TEMP1,0X0F
                OR      TEMP,TEMP1
                OUT     PORT_LCD,TEMP
                RCALL   EN_LCD
                POP     TEMP
                SWAP    TEMP
                  ANDI    TEMP,0XF0
                  IN      TEMP1,PORT_LCD
                  ANDI    TEMP1,0X0F
                  OR      TEMP,TEMP1
                  OUT     PORT_LCD,TEMP
                  RCALL   EN_LCD
                  RET
INIT_LCD:         LDI     TEMP,0X33
                  RCALL   WR_INS
                  LDI     TEMP,0X32
                  RCALL   WR_INS
                  LDI     TEMP,0X28
                  RCALL   WR_INS
                  LDI     TEMP,0X0C
                  RCALL   WR_INS
                  LDI     TEMP,0X06
                  RCALL   WR_INS
                  LDI     TEMP,0X01
                  RCALL   WR_INS
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                LDI    TEMP,0X80
                RCALL  WR_INS
                RET
EN_LCD:         SBI    PORT_LCD,BIT_CS
                RCALL  BUSY
                CBI    PORT_LCD,BIT_CS
                RET
BUSY:           PUSH   R26
                PUSH   R27
                LDI    R27,0X10
BUSY2:          LDI    R26,0XFF
BUSY1:          DEC    R26
                BRNE   BUSY1
                DEC    R27
                BRNE   BUSY2
                POP    R27
                POP    R26
                RET
DELAY:          PUSH   R26
                PUSH   R27
                LDI    R27,0XFF
DEL2:           LDI    R26,0XFF
DEL1:           DEC    R26
                BRNE   DEL1
                DEC    R27
                BRNE   DEL2
                POP    R27
                POP    R26
                RET
ck:             cbi    portd,5
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

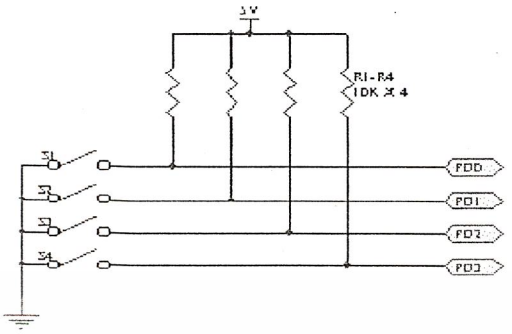
```
                sbi    portd,5
                ret
text:           .db  "Vin=",0x00
TEXT1:          .db  "1",0X00
TEXT2:          .DB  "2",0X00
TEXT3:          .db  "3",0x00
TEXT4:          .db  "4",0x00
TEXT5:          .db  "5",0x00
TEXT6:          .db  "6",0x00
TEXT7:          .db  "7",0x00
TEXT8:          .db  "8",0x00
TEXT9:          .db  "9",0x00
TEXT0:          .db  "0",0x00
```

สวิตช์เมตริตซ์หรือคีย์แพด 4*3จุด

ทฤษฎี

การอ่านค่าหรือรับค่าการกดสวิตช์เป็นอีกงานหนึ่งที่ระบบไมโครคอนโทรลเลอร์ต้องสามารถรองรับและเชื่อมต่อใช้งานร่วมด้วยได้วงจรของสวิตช์มีด้วยกัน 2 ลักษณะใหญ่ๆ คือ ต่อเข้ากับไฟเลี้ยงหรือกราวนด์โดยตรง เมื่อสวิตช์ตัวใดต่อวงจรสามารถอ่านค่าได้โดยตรง ดังรูปที่3.19 วงจรลักษณะนี้ไม่ซับซ้อน สามารถอ่านค่าของสวิตช์ได้ง่ายและรวดเร็ว แต่ข้อเสียคือถ้าหากจำนวนของสวิตช์มีมากๆจำนวนของสายข้อมูลก็จะมีมากตาม ทำให้ระบบหรือวงจรโดยรวมมีขนาดใหญ่และสิ้นเปลือง

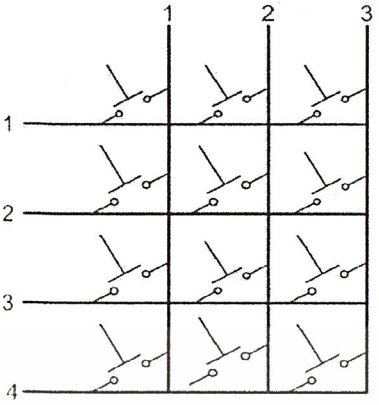
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.19 วงจรสวิตช์แบบเมตริตช์หรือคีย์แพด

วงจรของสวิตช์ลักษณะหนึ่งคือการต่อเมตริตช์ดังรูปที่ 3.20 สวิตช์จะต่อกันในแนวแกนตั้งและแกนนอน สวิตช์ประกอบด้วย ตำแหน่งในแนวหลักและแถวกระบวนการที่จะทำให้ได้มาซึ่งค่าของสวิตช์มาขั้นตอนซับซ้อนพอสมควร แต่วงจรสวิตช์แบบนี้มีข้อดีคือสามารถรับการเพิ่มสวิตช์ได้อย่างสะดวก เพียงเพิ่มเติมจำนวนสวิตช์และแก้ไขซอฟต์แวร์อีกเล็กน้อยเท่านั้น ทำให้วงจรสวิตช์แบบเมตริกต์เป็นที่นิยมใช้มากในการควบคุมอัตโนมัติหรือกึ่งอัตโนมัติที่จำนวนสวิตช์มากกว่า 8 ตัวในการใช้งานโดยทั่วไปการเชื่อมคีย์แพดข้ากับระบบไมโครคอนโทรลลอร์ มีวงจรตามรูปที่ 3.19 สายสัญญาณในแนวคอลัมน์และแนวโรว์จะต่อเข้ากับพอร์ต PD0 – PD6 การอ่านค่าของสวิตช์ จะเริ่มด้วยไมโครคอนโทรลเลอร์ส่งสัญญาณออกมาทางพอร์ตแล้วเข้าสู่คอลัมน์ของคีย์แพดไล่เรียงไปทีละคอรลัมน์แล้วอ่านค่าสัญญาณในแต่หลักและถ้าหากอินพุตที่อ่านเข้ามามีค่าไม่เท่ากับค่าเอาต์พุตที่ส่งออกไป หรือยังเป็นค่าเดิมแสดงว่ายังไม่มีการกดสวิตช์ เมื่อใดค่าอินพุตที่อ่านเข้าไปเท่ากับค่าเอาต์พุตที่ส่งออกไปแสดงว่ามีการกดสวิตช์แล้ว

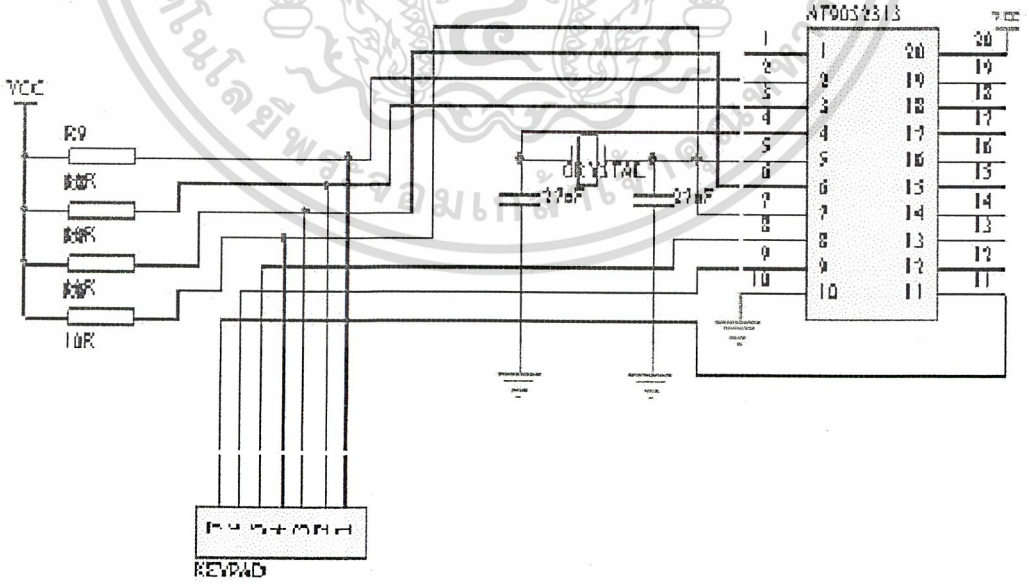
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่3.20ปุ่มกดคีย์แพด

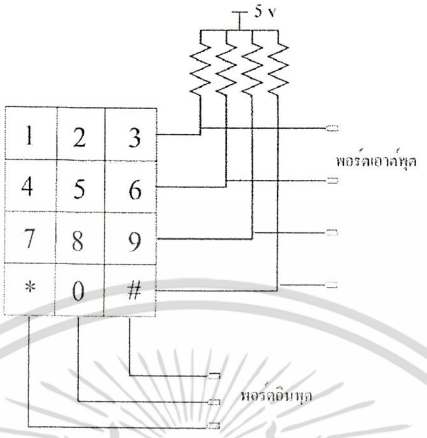
การเชื่อมเข้ากับระบบไมโครคอนโทรเลอร์

มีวงจรอย่างง่ายดังรูปที่ 3.21สายสัญญาณในแนวคอลัมน์ของคีย์แพดจะต่อเข้ากับพอร์ตPD ทีกำหนดให้เป็นเอาท์พุต แต่ส่วนสายสัญญาณในแนวโรว์จะต่อเข้ากับพอร์ต PD ที่กำหนดให้เป็นอินพุตไมโครคอนโทรลเลอร์ส่งสัญญาณ 0 ออกมาทางเอาท์พุตถ้ากดสวิตช์พอร์ตอินพุตจะอ่านไมโครคอนโทรลเลอร์



รูปที่ 3.21 การเชื่อมต่อกับไมโครคอนโทรเลอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



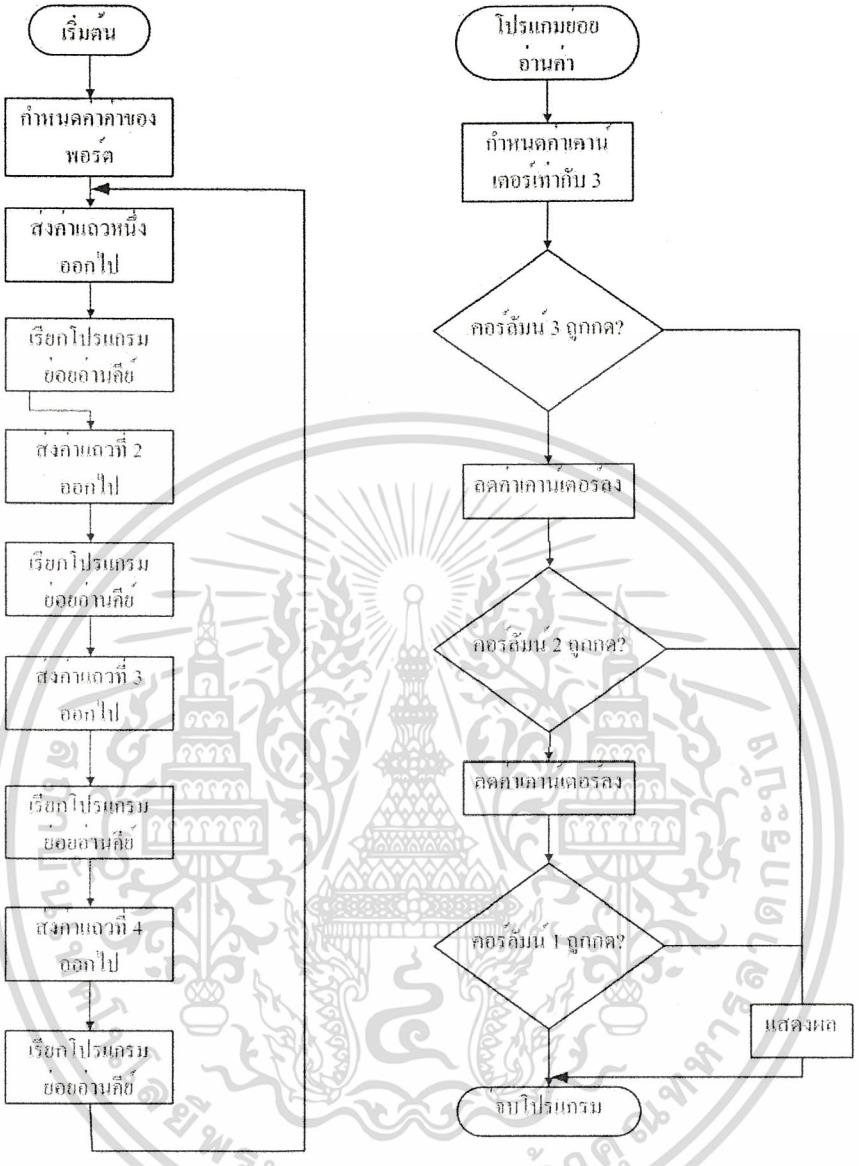
รูปที่3.22แบบคีย์บอร์ด

การสแกนคีย์แพด

การอ่านค่าคีย์แพดหรือสวิตซ์แบบเมตริกซ์นั้น จะต้องส่งค่า 0 ในแถวหรือโรว์แรกออกไปก่อน โดยในแถวแรกจะต้องกำหนดค่าตัวบวกไว้เท่ากับ 0 จากนั้นอ่านค่าในแนวหลักหรือคอลัมน์กลับมา ถ้าไม่มีการกดคีย์ใดๆ ในแถวนั้น ค่าอ่านได้จะเป็นค่าเดิม ซึ่งก็คือค่าลอจิก 1 อันเป็นผลมาจากตัวต้านทานที่ต่อพูลอัปเอาไว้ จากนั้นที่ทำการอ่านค่าในแถวถัดไป พร้อมทั้งเพิ่มค่าตัวบวกเข้าไปด้วย กระทำเช่นนี้ไปจนครบทุกแถว แล้ววนกลับมาเริ่มต้นที่แถวแรกใหม่ จนกว่าจะมีการกดคีย์

เมื่อมีการกดคีย์เกิดขึ้น ไมโครคอนโทรลเลอร์จะนำค่าของคอลัมน์ที่เกิดจากการกดคีย์ซึ่งมีค่าอยู่ระหว่าง 0 – 3 (ดังรูป 3.23) ไฟบวกกับตัวเลขของแถวนั้น ยกตัวอย่างมีการกดคีย์ 6 เกิดขึ้น ดังนั้นก็ถ้าสแกนคีย์ที่แถว 2 จะพบว่าการกดคีย์ในคอลัมน์ 2 ค่าคีย์ที่อ่านได้จะมีค่าเท่ากับ 4+2=6 ส่วนโฟลวชาร์ตดังรูป 3.23 จะแสดงการทำงานของโปรแกรมสแกนคีย์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่3.23 โฟลวชาร์ตการทำงานของโปรแกรม

การทดลอง

1.ศึกษาการทำงานของโฟลวชาร์ตในรูปที่ 3.23 ซึ่งเป็นโฟลวชาร์ตในการอ่านคีย์แพดขนาด 4x3 จุด

2 จากโฟลวชาร์ตในรูปที่ 3.23 สามารถมาเขียนโปรแกรมได้ดังแสดงในโปรแกรม

3 ทำการแอสเซมเบลอร์แล้วโปรแกรมลงบน AT90S2313 ด้วยโปปรแกรม pony prog

4 ต่อวงจรตามรูปที่ 3.21

5 รันโปรแกรมบน AT90S2313 โดยการกดรีเซต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6 ทดลองกดสวิตช์ไปทุกตำแหน่ง

โปรแกรม keypad

```
.include "2313def.inc"
        .ORG   $0000
        RJMP   RESET
.EQU    PORT_LCD = PORTB
.EQU    DDR_LCD  = DDRB
.EQU    BIT_RS   = 2
.EQU    BIT_CS   = 3
.def    count    = r23
.DEF    TEMP     = R19
.DEF    TEMP1    = R20
RESET:  LDI    TEMP,LOW(RAMEND)
        OUT    SPL,TEMP
        LDI    TEMP,HIGH(RAMEND)
        OUT    SPL+1,TEMP
        RCALL  DELAY
        LDI    TEMP,0x11111100b
        OUT    DDR_LCD,TEMP
        SBI    PORT_LCD,BIT_RS
        SBI    PORT_LCD,BIT_CS
        RCALL  INIT_LCD
        ldi    temp,0xf0
       out     DDRD,temp
       ldi     temp,0x00
            out PORTD,temp
            ldi r29,0x80
            ldi count,0x08
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
main:       ldi  r18,0xb0
            out  portd,r18
            sbis PIND,0
            Rcall char9
            sbis PIND,1
            Rcall char4
            sbis PIND,2
            Rcall char1
            sbis pind,3
            rcall chara
            ldi  r18,0xd0
            out  portd,r18
            sbis PIND,0
            Rcall char7
            sbis PIND,1
            Rcall char5
            sbis PIND,2
            Rcall char2
            sbis pind,3
            rcall char0
            ldi  r18,0xe0
            out  portd,r18
            sbis PIND,0
            Rcall char8
            sbis PIND,1

            Rcall char6
            sbis PIND,2
            Rcall char3
            sbis pind,3
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                rcall charb
                rjmp  main
next:           inc     r29
slow:           ldi     r28,16
slow1:          rcall   delay
                dec     r28
                brne    slow1
                dec     count
                brne    main
                rcall   next1
                   ret
next1:          ldi r29,0xc0      ;
                rjmp    main
CHAR0:          mov     temp,r29
                rcall     wr_ins
                LDI     ZL,LOW(TEXT0<<1)
                LDI     ZH,HIGH(TEXT0<<1)
                RCALL   LOOP1
                rcall   next
                ret
CHAR1:          mov     temp,r29
                rcall     wr_ins
                LDI     ZL,LOW(TEXT1<<1)
                LDI     ZH,HIGH(TEXT1<<1)
                 RCALL   LOOP1
                 rcall      next
                 ret
CHAR2:           mov     temp,r29
                 rcall   wr_ins
                 LDI     ZL,LOW(TEXT2<<1)
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                LDI     ZH,HIGH(TEXT2<<1)
                RCALL   LOOP1
                rcall     next
                ret
CHAR3:          mov     temp,r29
                rcall     wr_ins
                LDI     ZL,LOW(TEXT3<<1)
                LDI     ZH,HIGH(TEXT3<<1)
                RCALL   LOOP1
                rcall     next
                ret
CHAR4:          mov     temp,r29
                rcall     wr_ins
                LDI     ZL,LOW(TEXT4<<1)
                LDI     ZH,HIGH(TEXT4<<1)
                RCALL   LOOP1
                rcall     next
                ret
CHAR5:          mov     temp,r29
                rcall     wr_ins
                LDI     ZL,LOW(TEXT5<<1)
                LDI     ZH,HIGH(TEXT5<<1)
                RCALL   LOOP1
                rcall     next
                ret
CHAR6:          mov     temp,r29
                rcall     wr_ins
                LDI     ZL,LOW(TEXT6<<1)
                LDI     ZH,HIGH(TEXT6<<1)
                RCALL   LOOP1
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        rcall    next
        ret
CHAR7:  mov     temp,r29
        rcall     wr_ins
        LDI     ZL,LOW(TEXT7<<1)
        LDI     ZH,HIGH(TEXT7<<1)
        RCALL   LOOP1
        rcall    next
        ret
CHAR8:  mov     temp,r29
        rcall     wr_ins
        LDI     ZL,LOW(TEXT8<<1)
        LDI     ZH,HIGH(TEXT8<<1)
        RCALL   LOOP1
        rcall    next
        ret
CHAR9:  mov     temp,r29
        rcall     wr_ins
        LDI     ZL,LOW(TEXT9<<1)
        LDI     ZH,HIGH(TEXT9<<1)
        RCALL   LOOP1
        rcall    next
        ret
CHARA:  mov     temp,r29
        rcall     wr_ins
        LDI     ZL,LOW(TEXTA<<1)
        LDI     ZH,HIGH(TEXTA<<1)
        RCALL   LOOP1
        rcall    next
        ret
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
CHARB:      mov    temp,r29
            rcall    wr_ins
            LDI    ZL,LOW(TEXTB<<1)
            LDI    ZH,HIGH(TEXTB<<1)
            RCALL   LOOP1
            rcall    next
            ret

dumy:       ret
loop1:      LPM
            TST    R0
            BREQ    dumy
            MOV    TEMP,r0
            RCALL   WR_LCD
            ADIW    ZL,0X01
            RJMP    loop1
WAIT:       RJMP    WAIT
WR_LCD:     PUSH    TEMP
            ANDI    TEMP,0XF0
            SBI    PORT_LCD,BIT_RS
            IN     TEMP1,PORT_LCD
            ANDI    TEMP1,0X0F
        OR     TEMP,TEMP1
        OUT    PORT_LCD,TEMP
        RCALL   EN_LCD
        POP    TEMP
        SWAP    TEMP
        ANDI    TEMP,0XF0
        IN     TEMP1,PORT_LCD
        ANDI    TEMP1,0X0F
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        OR      TEMP,TEMP1
        OUT     PORT_LCD,TEMP
        RCALL   EN_LCD
WR_INS: PUSH    TEMP
        ANDI    TEMP,0XF0
        CBI     PORT_LCD,BIT_RS
        IN      TEMP1,PORT_LCD
        ANDI    TEMP1,0X0F
        OR      TEMP,TEMP1
        OUT     PORT_LCD,TEMP
        RCALL   EN_LCD
        POP     TEMP
        SWAP    TEMP
        ANDI    TEMP,0XF0
        IN      TEMP1,PORT_LCD
        ANDI    TEMP1,0X0F
        OR      TEMP,TEMP1
        OUT     PORT_LCD,TEMP
        RCALL   EN_LCD
        RET

        RCALL   WR_INS
        LDI     TEMP,0X32
        RCALL   WR_INS
              LDI     TEMP,0X28    ;
        RCALL   WR_INS
        LDI     TEMP,0X0C ;
        RCALL   WR_INS   ;
        LDI     TEMP,0X06
        RCALL   WR_INS
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        LDI    TEMP,0X01  ;
        RCALL  WR_INS     ;
               RET
EN_LCD:        SBI    PORT_LCD,BIT_CS
        RCALL  BUSY
        CBI    PORT_LCD,BIT_CS
        RET
BUSY:          PUSH   R26
        PUSH   R27
        LDI    R27,0X10
BUSY2:         LDI    R26,0XFF
BUSY1:         DEC    R26
        BRNE   BUSY1
        DEC    R27
        BRNE   BUSY2
        POP    R27
        POP    R26
        RET
DELAY:  PUSH   R26
        PUSH   R27
        LDI    R27,0XFF
DEL2:   LDI    R26,0XFF
DEL1:   DEC    R26
        BRNE   DEL1
        DEC    R27
        BRNE   DEL2
        POP    R27
        POP    R26
        RET
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
TEXT1:      .db  "1",0X00
TEXT2:      .DB  "2",0X00
TEXT3:      .db  "3",0x00
TEXT4:      .db  "4",0x00
TEXT5:      .db  "5",0x00
TEXT6:      .db  "6",0x00
TEXT7:      .db  "7",0x00
TEXT8:      .db  "8",0x00
TEXT9:      .db  "9",0x00
TEXT0:      .db  "0",0x00
TEXTA:          .db  "*",0x00
TEXTB:          .db  "#",0x00
```

คีย์บอร์ดคอมพิวเตอร์

ทฤษฎี

โดยทั่วไปคีย์บอร์ดคอมพิวเตอร์ที่เราใช้อยู่ทุกวันนี้ ตัวคีย์บอร์ดจะส่งรหัสไปยังคอมพิวเตอร์ โดยรหัสที่ส่งออกไปจะไปบอกกับไบออสของคอมพิวเตอร์ว่าเราได้กดหรือปล่อยปุ่มใด เช่น ปุ่ม A มีรหัส คือ 1C (hex) เมื่อเรากดปุ่ม A คีย์บอร์ดจะส่ง ค่า 1C ไปยังคอมพิวเตอร์ ถ้าเรากดปุ่ม A ค้างไว้ค่า 1C ก็จะออกมาเรื่อยๆ จนกว่าจะปล่อยมือ

อย่างไรก็ตามคีย์บอร์ดยังส่งรหัสตัวอื่นออกมาอีกหลังจากปล่อยมือหรือเลิกกดปุ่มนั้น ยกตัวอย่างปุ่ม A อีกครั้ง เมื่อเรากดปุ่ม A ก็จะส่งรหัส 1C ออกไป เมื่อเราปล่อยมือ คีย์บอร์ดก็จะส่งรหัส F0 ตามออกมาเพื่อบอกว่าได้ปล่อยมือออกจากปุ่ม A แล้วนะ แล้วจะส่งรหัส 1C ตามออกมาอีครั้ง ดั้งนั้นเราจึงรู้ว่าปุ่มถูกปล่อย

คีย์บอร์ดก็จะมีค่าของรหัสประจำปุ่ม แต่ละปุ่มไม่เหมือนกัน โดยไม่สนว่าจะเป็นตัวเล็กตัวใหญ่ ในกรณีที่กดปุ่ม shift เพื่อจะทำให้ตัวอักษรเป็นตัวใหญ่ โดยค่าก็จะส่งออกมาตามเดิม โดยการทำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

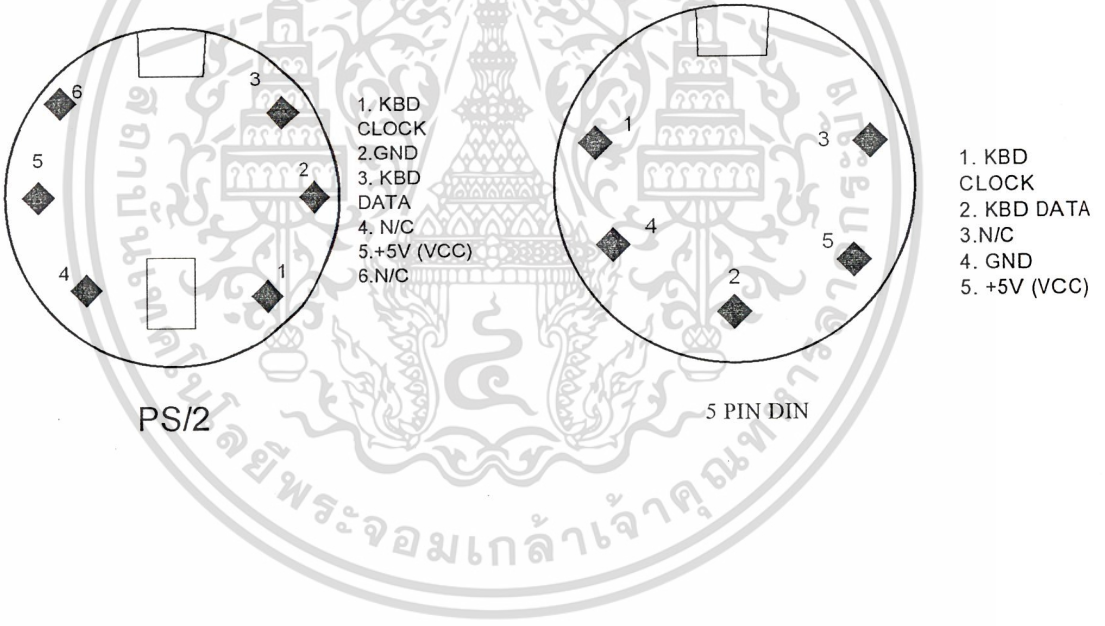
เป็นตัวเล็กหรือใหญ่ขึ้นอยู่กับ ไบออสของคอมพิวเตอร์เป็นตัวตัดสินใจในการแสดงผลออกมา ซึ่งไม่เหมือนกับปุ่ม NumLock , Caps Lock และ Scroll Lock ยกตัวอย่างเช่น เมื่อเรากดปุ่ม Caps Lock คีย์บอร์ดจะส่งค่าของปุ่ม Caps lock ไปยังไบออสของคอมพิวเตอร์ ว่าจะเปิด หรือ ปิด ไฟแสดงสถานะของ Caps Lock

ปกติคีย์บอร์ดจะมีประมาณ 101 ปุ่ม โดยแต่ละปุ่มจะมีค่ารหัสประจำตัวขนาด 8 บิต

รูปปุ่ม คีย์บอร์ด ดังรูปที่3.26

หัวต่อของคีย์บอร์ด

คีย์บอร์ดจะใช้สาย 4 เส้น ในการติดต่อกับอุปกรณ์ภายนอก โดยหัวต่อจะมี 2แบบ ดังแสดงดังรูป



รูปที่ 3.24 ลักษณะหัวคีย์ยบอร์ด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดย KBD Clock เป็นขา สัญญาณนาฬิกา

KBD data เป็นขา ที่ใช้รับ-ส่งข้อมูล

VCC เป็นขาไฟเลี้ยง ใช้+5 Volt

GND เป็นขา กราวน์

รูปแบบการรับ-ส่ง ของคีย์บอร์ด

การรับ-ส่งข้อมูลของคีย์บอร์ดเป็นแบบ 2 ทิศทาง คือ จากคอมพิวเตอร์ (Host) มายังคีย์บอร์ด และ จากคีย์บอร์ดส่งไปยัง คอมพิวเตอร์ (Host)

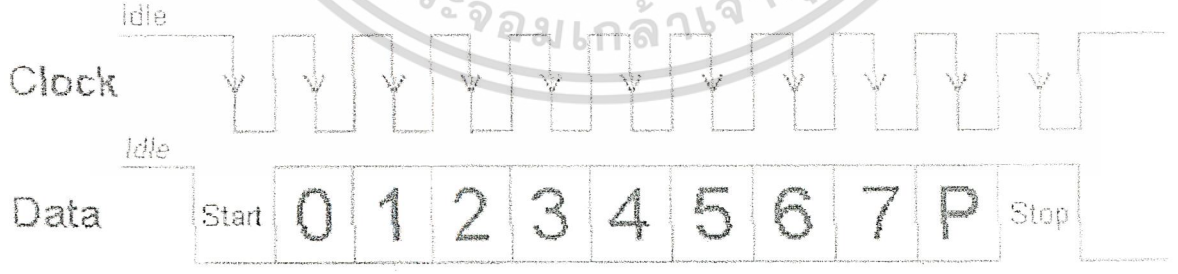
1.แบบ คีย์บอร์ดไปยัง คอมพิวเตอร์ (Keyboard to Host)

คีย์บอร์ดสามารถส่งข้อมูลไปยังคอมพิวเตอร์ได้ตลอดเวลา เมื่อ ขา KBD Clock กับ KBD Data เป็น “1” (High) ทั้งคู่ โดยที่ขา KBD Clock สามารถทำหน้าที่เหมือนกับ ขา Clear to Send เมื่อ ขา KBD Clock เปลี่ยนเป็น “0” (Low) คีย์บอร์ดจะส่งค่าต่างๆได้จนกว่าขา KBD Clock จะเปลี่ยนเป็น “1”

(High) อีกครั้ง

การส่งข้อมูลจาก คีย์บอร์ดไปยัง คอมพิวเตอร์ จะมีทั้งหมด 11 บิต เท่ากับ 1 เฟรม โดยที่บิตแรก เป็น บิตเริ่มต้น

(Start bits)ซึ่งจะเป็น ลอจิก “0” เสมอ และตามด้วยข้อมูลขนาด 8 บิต โดย บิตที่มีนัยสำคัญน้อยที่สุดจะถูกส่งมาก่อน (LSB) ตามด้วย บิตตรวจสอบ(Parity bit) ซึ่งจะเป็นแบบคี่ สุดท้ายจะตามด้วย บิตหยุด (Stop bit) ซึ่งจะเป็นลอจิก “1” เสมอ โดยแต่ละบิตจะถูกส่งที่ ขอบขาลงของสัญญาณนาฬิกา โดยคีย์บอร์ดจะเป็นตัวส่งสัญญาณนาฬิกาออกมา ดังรูป

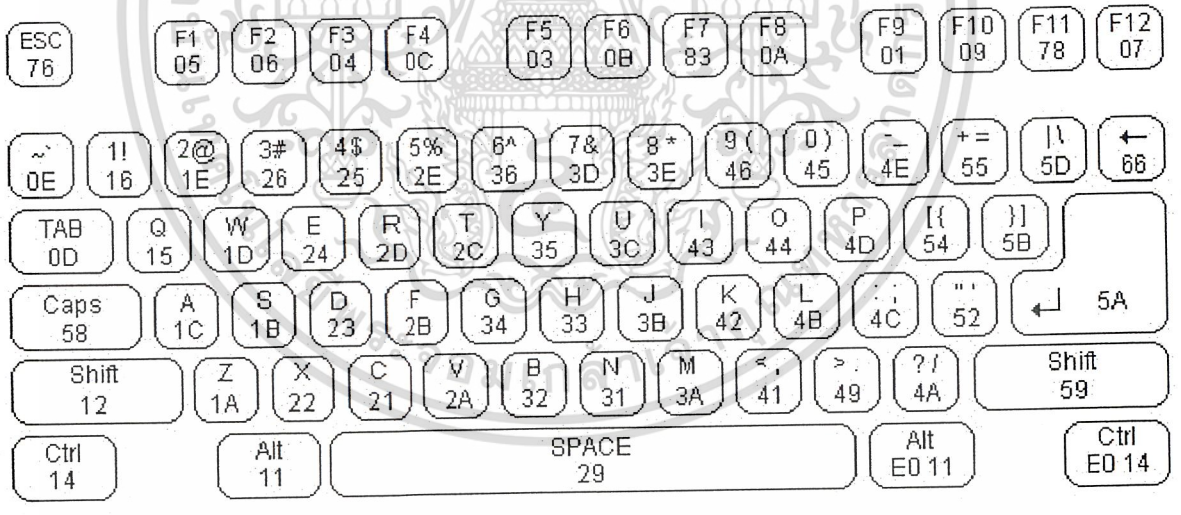


รูปที่ 3.25 การส่งสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

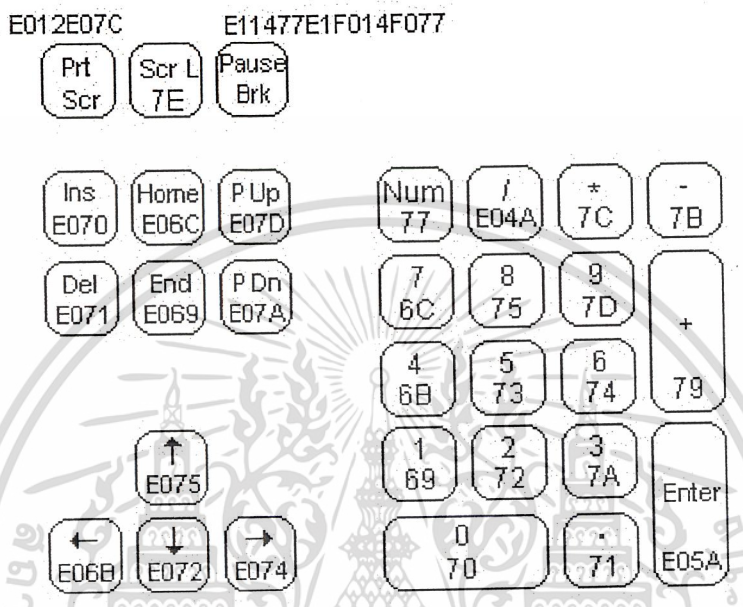
2. แบบจากคอมพิวเตอร์มายัง คีย์บอร์ด

การส่งแบบนี้จะถูกกำหนดโดยขา KBD data โดยถ้าขานี้เป็น “0” จะเริ่มส่งข้อมูลมาที่คีย์บอร์ด โดยคีย์บอร์ดจะกำเนิดสัญญาณนาฬิกาซึ่งอาจจะใช้เวลาถึง 10 มิลลิวินาที (mS) หลังจาก สัญญาณนาฬิกาลูกแรกถูกจับได้ สามารถเอาข้อมูลที่จะส่งมารอที่ขา KBD data โดยจะต้องส่ง บิต LSB มาก่อน จำนวนข้อมูลขนาด 8 บิต และตามมาด้วย บิตตรวจสอบ (Parity Bit) และขา data ส่ง “1” ออกมา สัญญาณนาฬิกาลูกต่อมา โดยคีย์บอร์ดจะส่ง ตอบรับ (Ack) ไปยัง คอมพิวเตอร์ เพื่อบอกให้คอมพิวเตอร์ได้รู้ว่าได้รับข้อมูลแล้ว เพื่อให้คอมพิวเตอร์ส่งข้อมูลไบต์ต่อไปมาการทดลอง การต่อAT90s2313 กับ คีย์บอร์ดคอมพิวเตอร์ ขาต่อของคีย์บอร์ดคอมพิวเตอร์เราใช้ พอร์ต PS2 ตัวเมีย โดยขาที่ใช้ 2 สาย คือ KBD Clock และ KBD data โดยต่อกับขา PD4 กับ PD5 ของ AT90s2313 โดยคียบอร์ดใช้แรงดันขนาด +5V

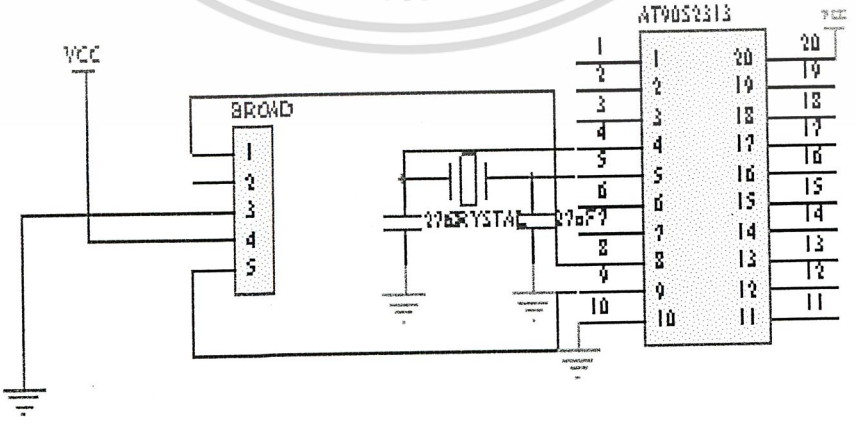


รูปที่3.26 รหัส ASCLL ที่ใช้กับคีย์บอร์ด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

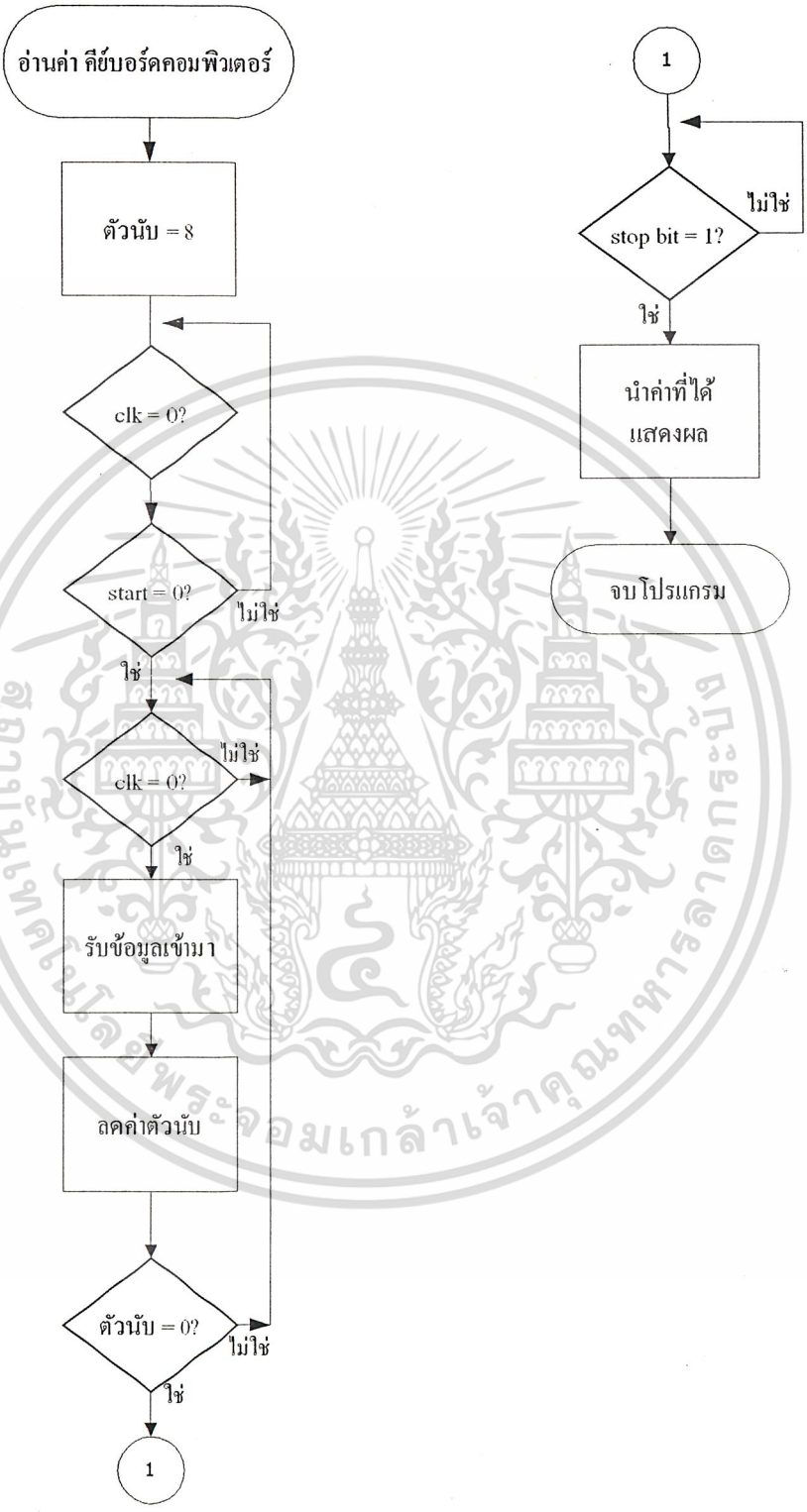


รูปที่3.27 รหัส ASCII ที่ใช้กับคีย์บอร์ด



รูปที่3.28 การเชื่อมระหว่างคีย์บอร์ดกับ AT90S3213

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.29 โฟลวชาร์ตการทำงาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทดลอง

1 ศึกษาการทำงานของโฟลวชาร์ตในรูปที่ 3.29 ซึ่งเป็นโฟลวชาร์ตโปรแกรม

2 จากโฟลวชาร์ตในรูปที่ 3.29 สามารถเขียนโปรแกรมได้ดังแสดงในโปรแกรม

3 ทำการแอสเซมเบลอร์แล้วโปรแกรมลงบน AT90S2313 ด้วยโปรแกรม pong prog

4 ต่อวงจรตามรูปที่ 3.28

5 รันโปรแกรมบน AT90S2313

6 ทดลองกดคีย์บอร์ดแล้วจะแสดงเป็น ASCII ดังรูปที่ 3.26 , 3.27

โปรแกรมPC keyboard

```
.include "2313def.inc"

        .org   $0000
.def        COUNT  = r16
.def        DATA  = r18
.def        temp   = r25
 RESET:
        CLI
        CBI    UCR,RXCIE
        CBI    UCR,TXCIE
        CBI    UCR,UDRIE
        CBI    UCR,CHR9
        LDI    R17,51
        OUT     UBRR,r17
        SBI    UCR,TXEN
        SBI    UCR,RXEN
                Sbi       portd,4
                cbi       DDRD,4
                sbi       portd,5
                cbi       DDRD,5
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                LDI   COUNT,8
LOOP:           SBIC   PIND,5
                RJMP   LOOP
                SBIC   PIND,4
                RJMP   LOOP
LOOP1:          SBIS   PIND,5
                RJMP   LOOP1

LOOP2:          SBIC   PIND,5
                RJMP   LOOP2
          SEC
                SBIS   PIND,4
                CLC
                ROR    DATA
                DEC    COUNT
                CPI    COUNT,0
                BRNE   LOOP1
   LOOP3:       SBIS   PIND,5
                RJMP   LOOP3
LOOP4:          SBIC    PIND,5
                RJMP   LOOP4
LOOP5:          SBIS    PIND,5
                RJMP   LOOP5
LOOP6:          SBIC    PIND,5
                RJMP   LOOP6
TX232:          SBIS   USR,UDRE
                RJMP   tx232
                OUT    UDR,DATA
                LDI    DATA,0
                LDI    COUNT,8
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การเชื่อมต่อกับเครื่องพิมพ์

เครื่องพิมพ์ที่ใช้ร่วมกับเครื่องคอมพิวเตอร์ในระดับไมโครคอมพิวเตอร์ และมินิคอมพิวเตอร์ส่วนใหญ่ จะเป็นเครื่องแบบ DOT MATRIX คือลักษณะของตัวอักษรจะเกิดการสร้างจุดหลายๆจุดต่อเนื่องกันจำนวนจุดที่พิมพ์ในตัวอักษรจะมีจำนวนแตกต่างกันออกไปขึ้นอยู่กับชนิดของเครื่องพิมพ์ ถ้าหากเครื่องพิมพ์แบบ NLQ หรือ LQ (letter quality) จำนวนจุดในหนึ่งตัวอักษรจะมีจำนวนมากขึ้นซึ่งทำให้ตัวอักษรที่เกิดจากการพิมพ์มีความสวยงามมากกว่าเครื่องพิมพ์ธรรดาความเร็วในการพิมพ์ของเครื่องพิมพ์จะมีขนาดไม่เท่ากัน หน่วยของความเร็วในเครื่องจะมีประมาณ 80-250 CPS ในโมรดธรรมดา และเครื่องพิมพ์ที่เป็นแบบ LQ และ NLQ จะมีการพิมพ์ในโหมดของ LQ และ NLQ ได้ด้วยซึ่งเครื่องพิมพ์ในโหมดนี้จะได้ตัวอักษรที่สวยงามขึ้น แต่ความเร็วจะลดลง

สัญญาณต่างๆของเครื่องพิมพ์

การเชื่อมต่อของสัญญาณระหว่างคอมพิวเตอร์กับเครื่องพิมพ์ สามารถทำได้ 2 แบบ คือแบบขนานและแบบอนุกรมขึ้นอยู่กับเครื่องพิมพ์ จะกล่าวถึงการส่งข้อมูลแบบขนาน ซึ่งเป็นที่นิยมใช้กันมากกว่าแบบอนุกรม

การส่งข้อมูลแบบขนานระหว่างเครื่องคอมพิวเตอร์ มีแบบมาตรฐานที่นิยมมากที่สุด คือมาตรฐาน CENTRONICS ซึ่งมีการใช้กันทั่วไปในเครื่องพิมพ์เกือบทุกชนิดที่มีการรับข้อมูลแบบขนานสัญญาณต่างๆ ของเครื่องพิมพ์ซึ่งอยู่ใน CONNECTOR ขนาด 36 PIN แสดงในรูปที่ 3.30

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PIN	SIGNAL NAME	DIRECTION	PIN	SIGNAL NAME	DIRECTION
1	$\overline{\text{DATA STROBE}}$	IN	19	TWISTED PAIR GND	
2	DATA 1	IN	20	TWISTED PAIR GND	
3	DATA 2	IN	21	TWISTED PAIR GND	
4	DATA 3	IN	22	TWISTED PAIR GND	
5	DATA 4	IN	23	TWISTED PAIR GND	
6	DATA 5	IN	24	TWISTED PAIR GND	
7	DATA 6	IN	25	TWISTED PAIR GND	
8	DATA 7	IN	26	TWISTED PAIR GND	
9	DATA 8	IN	27	TWISTED PAIR GND	
10	$\overline{\text{ACK}}$	OUT	28	TWISTED PAIR GND	
11	BUSY	OUT	29	TWISTED PAIR GND	
12	PAPER EMPTY	OUT	30	TWISTED PAIR GND	
13	SELECT	OUT	31	$\overline{\text{INIT}}$	IN
14	$\overline{\text{AUTO FEED XT}}$	IN	32	$\overline{\text{ERROR}}$	OUT
15	NC		33	GND	
16	GND		34	NC	
17	CHASSIS GND		35	NC	
18	NC		36	$\overline{\text{SLCT IN}}$	IN

รูปที่3.30 สัญญาณต่างๆ ของเครื่องพิมพ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$\overline{\text{STROBE}}$ เป็นสัญญาณควบคุมการส่งข้อมูลที่อยู่บนบัสข้อมูลให้เครื่องพิมพ์ สัญญาณนี้จะต้องมีความกว้างของพัลซ์ไม่ต่ำกว่า 1 ไมโครวินาที

DATA1- DATA8 เป็นสัญญาณข้อมูลที่ส่งให้เครื่องพิมพ์

$\overline{\text{ACK}}$ เป็นสัญญาณพัลส์ที่ส่งออกจากเครื่องพิมพ์เพื่อบอกให้ทราบว่าขณะนี้เครื่องพิมพ์ได้รับข้อมูล 1 ไบต์ที่ส่งมาเรียบร้อยแล้ว

BUSY เป็นสัญญาณออกจากเครื่องพิมพ์ เมื่อสัญญาณนี้เป็นลอจิก 1 เมื่อเกิดกรณีเหล่านี้

1 มีการรับข้อมูลเข้ามาเต็มบัฟเฟอร์

2 เครื่องพิมพ์ไม่อยู่สภาวะของการติดต่อกับไมโครคอนโทรลเลอร์

3 เกิดการผิดพลาดขึ้นกับเครื่องพิมพ์

PE เป็นสัญญาณออกจากเครื่องพิมพ์สำหรับแสดงสภาวะของกระดาษพิมพ์ สัญญาณนี้จะมีค่าลอจิก 1 เมื่อไม่มีกระดาษพิมพ์ ในเครื่อง

SELECT เป็นสัญญาณออกจากเครื่องพิมพ์ ทำหน้าที่แสดงสภาวะเครื่องพิมพ์ว่าพร้อมติดต่อหรือไม่

CHASSIS GND เป็นกราวนด์ของแท่นเครื่อง

$\overline{\text{TWISTED PAIR GND}}$ เป็นกราวนด์ของสัญญาณที่ใช่ร่วมกับสายข้อมูลและสัญญาณควบคุมต่างๆ

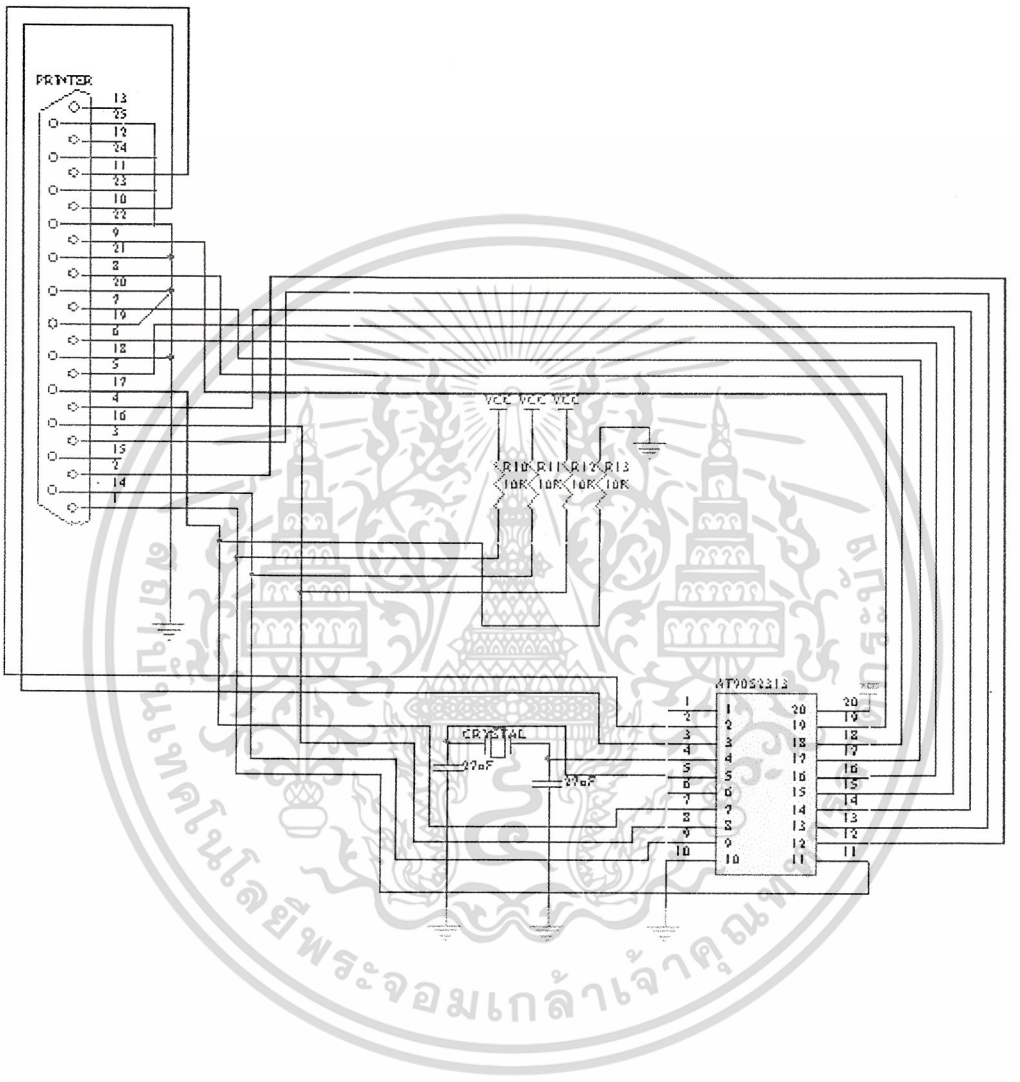
ERROR เป็นสัญญาณออกจากเครื่องพิมพ์ เมื่อสัญญาณนี้มีค่าลอจิก 0 แสดงว่าเครื่องพิมพ์ไม่พร้อมที่จะติดต่อกับไมโครคอนโทรลเลอร์

$\overline{\text{INIT}}$ เป็นสัญญาณออกจากเครื่องพิมพ์ เมื่อสัญญาณนี้เป็นพัลส์ 0 จะทำให้เครื่องพิมพ์ถูกรีเซตและกลับไปที่อยู่ในสภาวะเริ่มต้น

$\overline{\text{SLCT IN}}$ เป็นสัญญาณจากไมโครคอนโทรลเลอร์ส่งมาให้เครื่องพิมพ์ เมื่อสัญญาณนี้มีค่าลอจิก 1 สามารถควบคุมติดต่อกับเครื่องพิมพ์ได้ด้วยรหัส DC1 และ DC 3 สัญญาณที่ขานี้ปกติจะเป็น 0

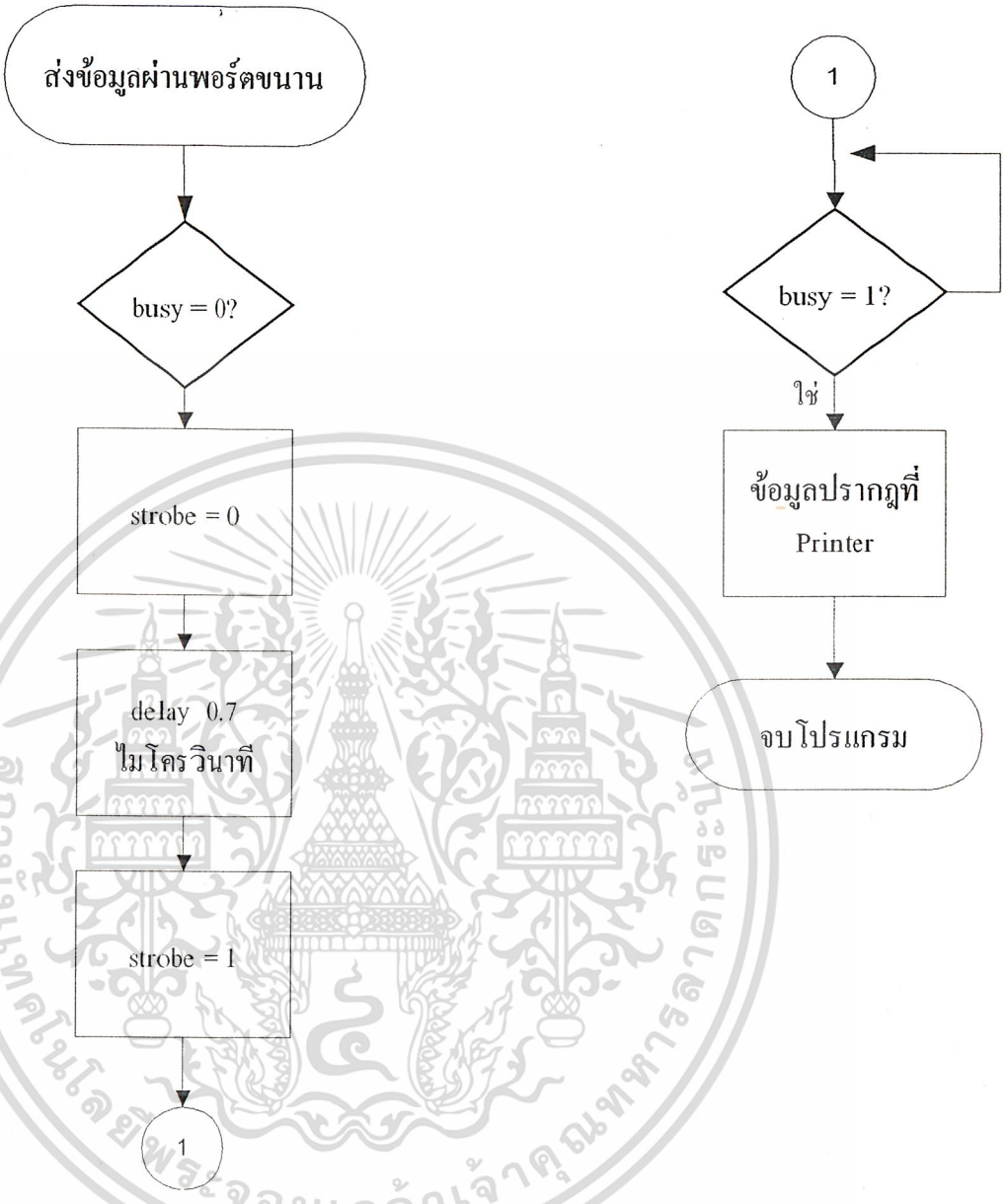
$\overline{\text{AUTO FEED XT}}$ เมื่อสัญญาณนี้มีค่าลอจิก 0 เครื่องพิมพ์จะเพิ่ม Line feed หลังจากพิมพ์ในแต่ละบรรทัด การส่งข้อมูลจากไมโครคอนโทรลเลอร์ไปยังเครื่องพิมพ์ จะเป็นแบบมีการตรวจสอบความพร้อม ซึ่งสามารถแสดงไดอะแกรมเวลาได้ดังรูปที่3.31

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่3.32 การเชื่อมเครื่องพิมพ์กับ AT90S2313

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่3.33 โฟลวชาร์ตการทำงาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทดลอง

1 เขียนโปรแกรมตามรูปที่ 3.33 แอสเซมเบลอร์แล้วโปรแกรมลงบน TA90S2331

2 ต่อวงจรตามรูปที่ 3.32

3 รันโปรแกม แล้วก็เปิดเครื่องพิมพ์

4 แล้วก็ลองพิมพ์ว่าออกตรงกับที่เขียนหรือเปล่า

โปรแกรมPRINTER

```
include "2313def.in
        .ORG   $0000
.DEF      TEMP    = R19
        RJMP  RESET_VEC
RESET_VEC:     LDI    TEMP,LOW(RAMEND)
        OUT    SPL,TEMP
        LDI    TEMP,HIGH(RAMEND)
        OUT    SPL+1,TEMP
 RCALL   DELAY
                cbi     ddrd,0
                sbi     portd,1
                cbi     ddrd,1
                sbi     portd,1
                ldi     r17,0xff
                out     ddrb,r17
                sbi     ddrd,6
                sbi     portd,6
main:           ldi     r16,0x4e
                out     portb,r16
                rcall   send
                ldi     r16,0x4f
                out     portb,r16
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                rcall   send
                ldi     r16,0x4f
                out     portb,r16
                rcall   send
                ldi     r16,0x4b
                out     portb,r16
                rcall   send
                ldi     r16,0x26
                out     portb,r16
                rcall   send
                ldi     r16,0x4a
                out     portb,r16
                rcall   send
                ldi     r16,0x41
                out     portb,r16
                rcall   send
                ldi     r16,0x43
                out     portb,r16
                rcall   send
                ldi     r16,0x4b
                out     portb,r16
                rcall   send
                ldi     r16,0x0A
                out     portb,r16
                rcall   send
                rjmp    wait
send:           sbic    pind,0
                rjmp    send
                cbi     portd,6
                rcall   dlay
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                sbi     portd,6
chkbusy1:       sbis    pind,0
                rjmp    chkbusy1
chkbusy0:       sbic    portd,0
                rjmp    chkbusy0
                rcall   dly
                ret
dlay:           ldi     r28,10
dlay1:          dec     r28
                brne    dlay1
                ret
dly:            ldi     r29,30
dly1:           dec     r29
                brne    dly1
                ret
wait:           rjmp    wait
DELAY:          PUSH    R26
                PUSH    R27
                LDI     R27,0XFF
DEL2:           LDI     R26,0XFF
DEL1:           DEC     R26
                BRNE    DEL1
                DEC     R27
                BRNE    DEL2
                POP     R27
                POP     R26
                RET
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การเชื่อมต่อพอร์ตอนุกรม

หลักการสื่อสารข้อมูลผ่านพอร์ตอนุกรม

ในการทดลองนี้เป็นการแสดงให้เห็นถึงการสื่อสารข้อมูลขนาด 8 บิต ของไมโครคอนโทรลเลอร์ซึ่งสามารถกำหนดค่าอัตราบอกได้จากการตั้งค่า TL1 และ TH1 ของไทเมอร์ 1 โดยในการทดลองนี้จะบอกเท่ากับ 96000 บิตต่อวินาที ซึ่งเป็นรูปแบบมาตรฐานที่ใช้ในการสื่อสารกับเครื่องคอมพิวเตอร์

การสื่อสารข้อมูลผ่านพอร์ตอนุกรมในไมโครคอนโทรลเลอร์นั้น ทำได้ 2วิธี

1.ใช้อินเตอร์รัปต์เป็นวิธีที่ได้ผลการทำงานเร็วที่สุด แต่มียุ่งยากในการทำงานมากกว่า เนื่องจากตำแหน่งของการอินเตอร์รัปต์ ทั้งการรับและกาส่งข้อมูลนั้นอยู่ที่ตำแหน่งเดียวกัน ต้องพิจารณาจากแฟลก TI และ RI ก่อนว่าเกิดการอินเตอร์รัปต์จากสาเหตุใด และพิจารณาการใช้รีจีสเตอร์ในช่วงเวลานั้นๆ ด้วยว่ามีโอกาสซ้อนทับกันหรือไม่ทำให้โปรแกรมของการทำงานในส่วนนี้มีความซับซ้อนมากกว่า

2.วนโปรแกรมตรวจสอบแฟลก เป็นวิธีที่มีความซับซ็อนน้อยกว่า โดยเขียนโปรแกรมให้วนตรวจสอบแฟลกอยู่ตลอดเวลา จนกว่าจะเกิดการเปลี่ยนแปลง ยกตัวอย่างเมื่อต้องการตรวจสอบการส่งข้อมูล ให้ทำการวนตรวจสอบแฟลก TI ว่าถูกเซตหรือไม่ เมื่อถูกเซตแสดงว่า มีการส่งข้อมูลเกิดขึ้นเรียบร้อยแล้ว จากนั้นให้ทำการเคลียร์แฟลก TI แล้วทำการส่งข้อมูลตัวถัดไป หรือทำงานในคำสั่งต่อไป

ในกรณีที่ต้องการตรวจสอบการรับข้อมูล ให้ทำการตรวจสอบแฟลก RI ว่าถูกเซตหรือไม่ เมื่อตรวจสอบได้ว่าถูกเซต แสดงว่าเกิดการรับข้อมูลขึ้นให้ทำการเคลียร์แฟลก RI แล้วนำค่าจากรีจีเตอร์ในการทำงานช้ากว่าการทำงานด้วยอินเตอร์รัปต์

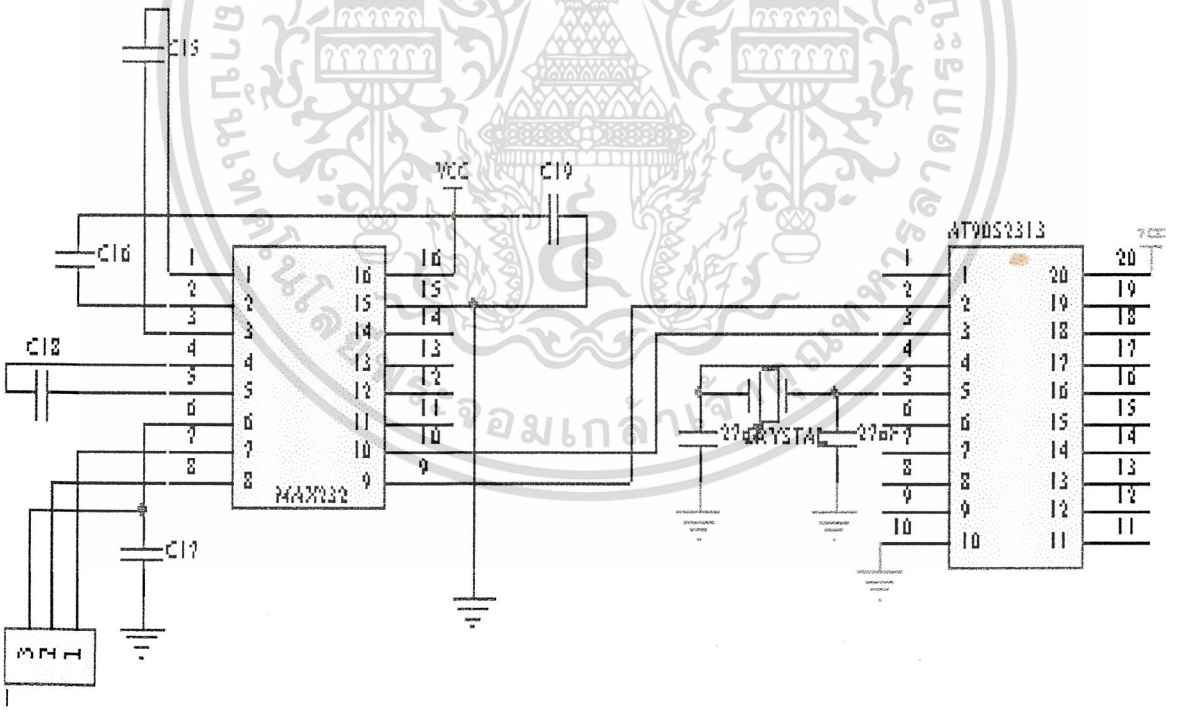
คำอธิบายโปรแกรม

TX_TEXT เป็นโปรแกรมย่อยในการส่งข้อมูลที่อยู่ในโปรแกรมไปยังเทอร์มินอล โดยจะใช้รีจีสเตอร์ DPTR ในการอ้างตำแหน่งของข้อมูลที่อยู่ในโปรแกรมโดยจะทำการส่งข้อมูลที่อ่านได้ไปยังรีจีสเตอร์ SBUF ทีละตัว โดยจะใช้วิธีวนโปรแกรมตรวจสอบบิต TI ในการส่งข้อมูลแต่ละไบต์ และจะทำเช่นนี้จนกว่าค่าที่อ่านได้จะเป็น FFH จึงจะออกจากโปรแกรมย่อยนี้และกลับเข้าสู่โปรแกรมหลักต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

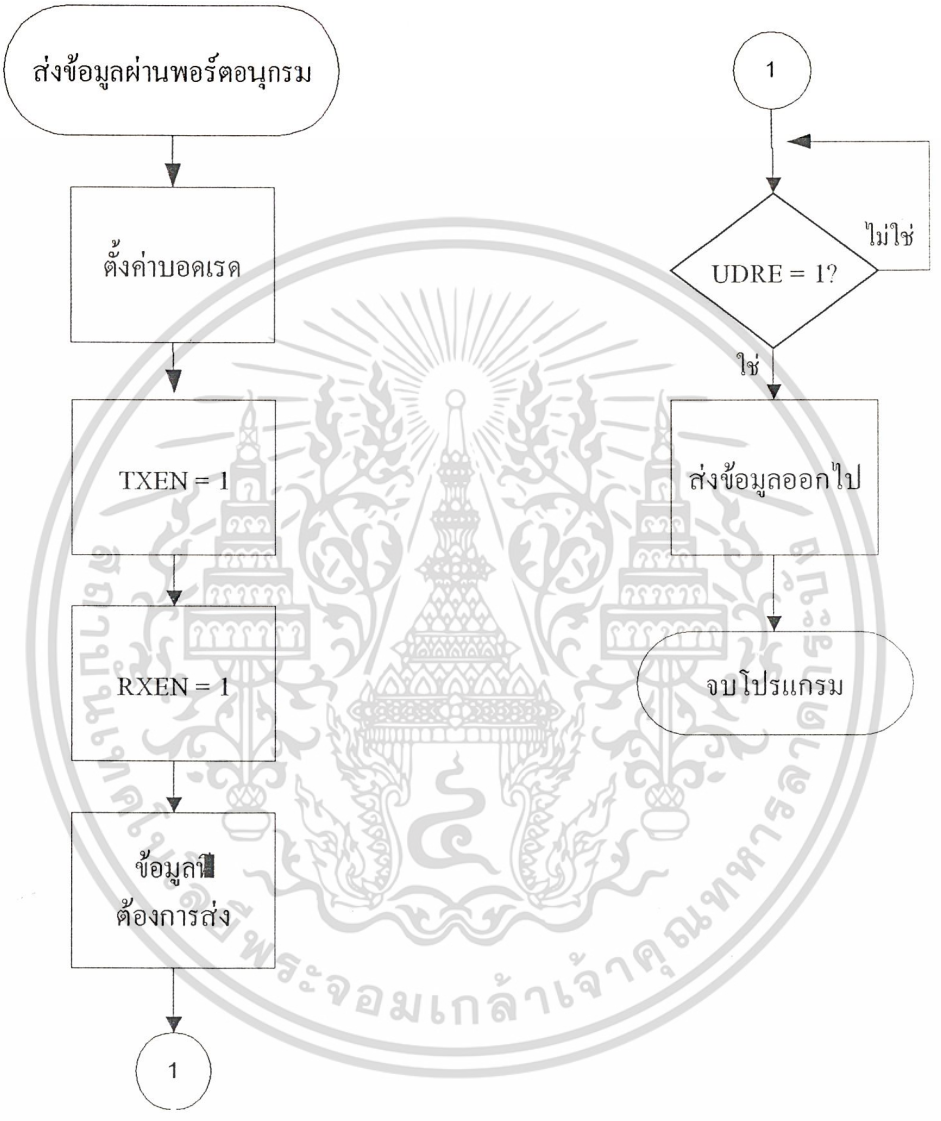
TEMP2BUFFER เป็นโปรแกรมย่อยในการแปลงค่าอุณหภูมิที่อ่านได้ในรีจีสเตอร์ TEMP เป็นตัวเลขจำนวน 3หลัก และจุดทศนิยม 1 ตำแหน่ง โดยจะเก็บค่าบิตล่างสุดไว้ที่แฟลก HALF จึงทำการหมุนค่ารีจีสเตอร์ทางขวา เพื่อให้ค่าของตัวเลขจำนวนเต็มเพียงอย่างเดียว แล้วนำค่านี้ไปหารด้วย 100 และนำค่าตัวส่วนบวกกับ 30H แล้วเก็บในบัฟเฟอร์ช่องแรก ต่อมาให้นำค่าตัวเศษมาหารอีก 10 และนำค่าตัวส่วนที่ได้บวกกับ 30 H แล้วเก็บในบัฟเฟอร์ที่ช่องที่2 และนำเศษเหลือที่ได้มาบวกกับ 30H แล้วเก็บในบัฟเฟอร์ช่องที่3 ต่อมาเขียน ลงในบัฟเฟอร์ช่องที่ 4 แล้วทำการตรวจสอบแฟลก HALf ที่เก็บไว้โดยถ้ามีค่าเป็น 1 ให้เขียนเลข 5 ลงบัฟเฟอร์ช่องที่5 แต่ถ้ามีค่าเป็น 0 ให้เขียนเลข 0 แทน จึงกลับเข้าสู่การทำงานของโปรแกรม

DS1820_TEMP_RD เป็นโปรแกรมที่ใช้อ่านค่าอุณหภูมิจาก DS1820 ซึ่งขั้นตอนการอ่านเช่นเดียวกับโปรแกรมในการทดลองทางฮาร์ดแวร์ในการติดต่อกับ DS1820 จะได้อุณหภูมิเก็บไว้ในรีจีสเตอร์ TEMP เพื่อนำไปใช้งานในโปรแกรมหลักต่อไป



รูปที่3.34การเชื่อมต่อAT90S2313 กับMAX232

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่3.35 โฟลวชาร์ตการทำงานของ MAX232

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทดลอง

1.ต่อวงจรตามรูปที่3.34

2.เขียนโปรแกรมตามโฟลวชาร์ตตามรูปที่ 3.35

3.รันโปรแกรมลงในตัว AT90S2313

4.แล้วก็เซต baud rate มีความเร็ว 9600

5.แล้วกดคอนเนต

โปรแกรม **Rs232**

```
include "2313def.inc"
        .org  $0000
        rjmp  reset
.def        temp  = r19
RESET:              LDI    temp,low(RAMEND)
        OUT    spl,temp
        LDI    temp,high(RAMEND)
        OUT    spl+1,temp
        CLI
        CBI    UCR,RXCIE
        CBI    UCR,TXCIE
        CBI    UCR,UDRIE
        CBI    UCR,CHR9
        LDI    R17,51
        OUT     UBRR,r17

        SBI    UCR,TXEN
        SBI    UCR,RXEN
loop:    ldi    r21,0x0C
        rcall   tx
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        ldi     r21,0x41
        rcall   tx
        ldi     r21,0x61
        rcall   tx
        ldi     r21,0x31
        rcall   tx
        ldi     r21,0x32
        rcall   tx
        ldi     r21,0x33
        rcall   tx
        ldi     r21,0x34
        rcall   tx
        ldi     r21,0x0A
        rcall   tx
        ldi     r21,0x0D
        rcall   tx
        rjmp    wait

TX:     SBIS    USR,UDRE
        RJMP    TX
        OUT     UDR,R21
        RET
wait:   rjmp    wait
```

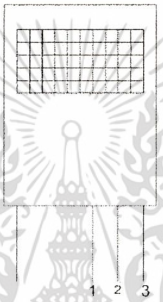
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

IR (remote)

ทฤษฎี

การดำรงชีวิตขของเรานั้นต้องการสิ่งอำนวยความสะดวกในรูปแบบเครื่องใช้ไฟฟ้าอันทันสมัยมากมาย ซึ่งการควบคุมเครื่องใช้ไฟฟ้าเหล่านั้นนิยมใช้รีโมทคอนโทรล เนื่องจากใช้งานง่ายเครื่องส่งใช้กำลังไฟน้อยและราคาไม่แพงเกินไป

รีโมทคอนโทรล หมายถึง ระบบควบคุมระยะไกล ที่ทำหน้าที่เสมือนแขนขาของมนุษย์ จึงทำให้เป็นที่ใช้กันอย่างแพร่หลาย และเริ่มเป็นสิ่งที่จำเป็นควบคู่กับเครื่องใช้ไฟฟ้าในปัจจุบัน จึงสมควรที่จะให้ความสนใจกันอย่างละเอียด



รูปที่3.24 ตัวรับรีโมท

จากรูป คือ ขา 1 เป็น Vout และขา 2 เป็นขา Vcc และขา 3 เป็นGND

1.การทำงานของระบบดาต้าโค้ด

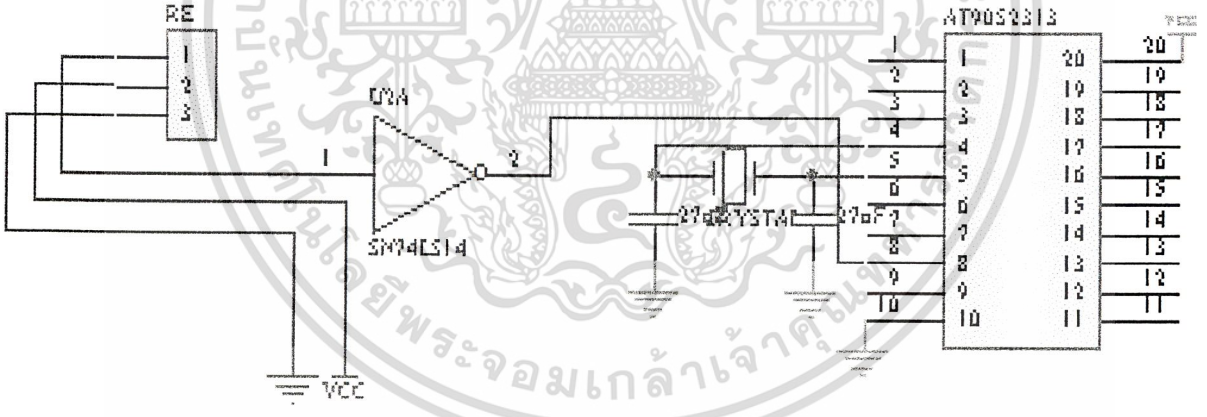
ตามที่ทราบมาแล้วว่า ระบบตัวเลขที่ใช้ในรีโมทคอนโทรลเป็นระบบตัวเลขฐาน 2 ซึ่งมีสภาพทางลอจิก 0 และ 1 หรือหากพูดถึงระดับแรงไฟสภาพลอจิก 1ก็คือสภาพที่วงจรสามารถจ่ายแรงดันไฟออกไปยังอุปกรณ์ในวงจรได้ ส่วนสภาพลอจิก 0 ก็คือสภาพที่แรงดันไฟใกล้เคียง 0โวลท์ นั่นคือระบบสัญญาณพัลซ์นั่นเอง กล่าวเฉพาะในส่วนของข้อมูลหลายๆ บิต การจะแยกออกมาอย่างชัดเจนว่าอันไหนเป็นลอจิก 0 อันไหนเป็นลอจิก 1 จำเป็นต้องใช้ฐานเวลาเข้ามาเป็นตัวแยก ในทางปฏิบัติเป็นเรื่องค่อนข้างยากอยู่พอประมาณ เนื่องจากบางครั้งผู้ใช้รีโมทคอนโทรลอาจจะกดช้านานแต่ละครั้งอาจจะไม่เท่ากัน บางคนกดแช่ไว้ บางคนกดคีย์แล้วปล่อยเลย ดังนั้นเราจึงเลือกเอาระบบสแกนพัลซ์ซึ่งเป็นรูปแบบของการกวาดข้อมูลแทน เพื่อแก้ปัญหาเรื่องการที่จะต้องกำหนดฐานเวลา โดยหากเป็นลอจิก 0เราจะให้พัลซ์ที่ออกมามีพัลซ์ชิดหรือแคบกว่าและหากเป็นลอจิก 1 เราจะให้ระยะของพัลซ์ทอดยาวออกไป

การกำหนด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ฟังก์ชั่นทำได้โดยการใช้หลักการของคีย์แบบเมตริกซ์ เพื่อลดขาใช้งานของไอซีและสายเชื่อมโยงต่างๆให้น้อยลง

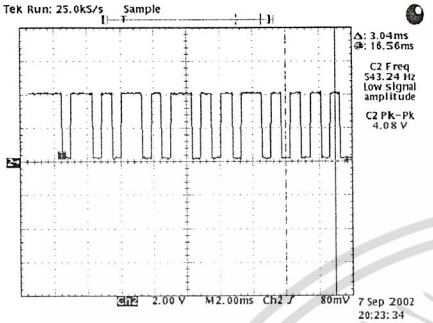
เมื่อเรากำหนดพัลซ์ในลักษณะที่กล่าวมา มีผลทำให้ฐานเวลาของข้อมูล แต่ละตัวมีความแตกต่างกันออกไป ยกตัวอย่างเช่นในกรณีที่ข้อมูลนั้นๆมีสภาพลอจิก 1 มากกว่าจะมีผลทำให้เวลาของข้อมูลยาวนานขึ้น ดังนั้นในยุคปัจจุบันที่มีการใช้ข้อมูลในเครื่องรับเป็นอันมาก รวมไปถึงหากเราจะใส่ข้อมูลอย่างฝากไปด้วยจะทำได้ลำบาก เราจะพบว่ารีโมทคอนโทรลในปัจจุบันนี้สามารถผ่านข้อมูลพิเศษเข้าไปได้มากทีเดียว เครื่องรับจะแยกได้อย่างไรหากเวลาไม่แน่นอน จึงต้องมีการอินเวิร์ตข้อมูลทั้งหมดให้กลายเป็นตรงกันข้ามเพื่อรักษาเวลาให้คงที และเพื่อไม่ต้องส่งสัญญาณซิงโครไนซ์ไปควบคุมเครื่องรับซึ่งนับเป็นความซับซ้อนยุ่งยาก

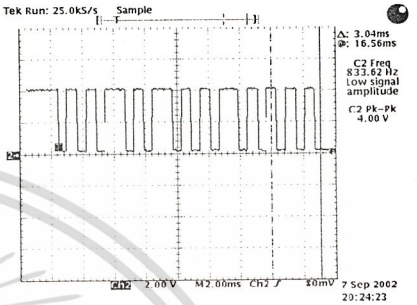


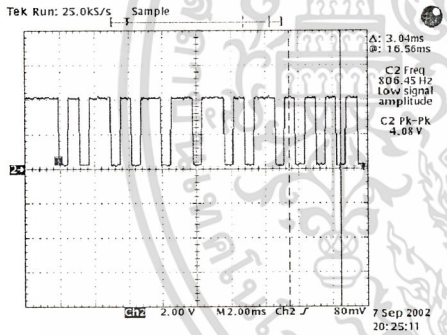
รูปที่3.36 การเชื่อมต่อตัวรับรีโมทกับ AT90S2313

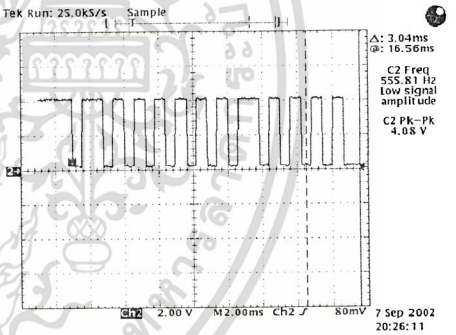
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

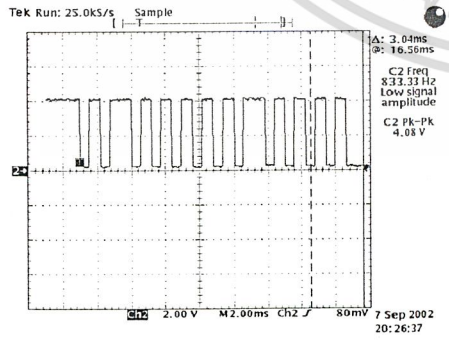
ในการทดลองโดยการวัดสัญญาณรีโมทจากสโครปแล้วบันทึกค่ามาเพื่อจะหาว่ารีโมทนั้นส่งค่ามาเท่าใดแล้วก็นำมาเขียนโปรแกรม

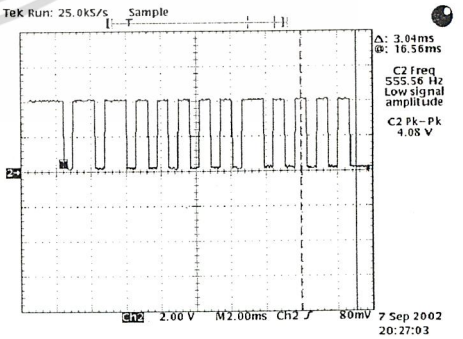












รูปที่3.37เป็นค่าที่ได้จากการวัดจากสโครป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โปรแกรมREMOTE

```
include "2313def.inc"

        .org  $0000
                ldi   r18,0x07
                ldi   r21,0x30
                ldi   r22,0x00
                ldi   r23,0x00
                ldi   r25,0x0f
                ldi     r28,0x00
                ;ldi    r26,0xff
                ;ldi    r26,0
                ldi     r27,0x39
                ldi     r28,0
                ldi     r31
                rjmp    reset
.def        temp    = r19
.def         d1     = r22
.def       d2      = r23
.def       Ain     = r24
RESET: LDI    temp,low(RAMEND)
       OUT    spl,temp
       LDI    temp,high(RAMEND)
       OUT    spl+1,temp
       CLI
       CBI    UCR,RXCIE
       CBI    UCR,TXCIE
       CBI    UCR,UDRIE
       CBI    UCR,CHR9
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        LDI   R17,50
        OUT    UBRR,r17
        SBI   UCR,TXEN
        SBI   UCR,RXEN
              clr     r18
main:         sbic    pind,4
              rjmp    main
              inc     r18
main1:        sbis    pind,4
              rjmp    main1
count:        rcall   dlay
              add     r28,r31
              brcs    over
              sbic    pind,4
              rjmp    count
              cpi     r28,0x1a
              brcc    dat
              clr     r28
              rjmp    main
dat:          ldi   r20,0x80
             clr     r19
data:         clr     r28
              sbis    pind,4
              rjmp    data
 count1:      rcall    dlay
              ldi     r31,1
              add     r28,r31
              brcs    over
              sbic    pind,4
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                rjmp    count1
                cpi     r28,0x0a
                brcc    data1
q:              clc
                ror     r20
                brcc    data
                mov     r26,r19
                cpi     r18,10
              brcc      display
                clr     r28
                clr     r20
                clr     r19
               rjmp     main
data1:          or      r19,r20
                rjmp    q
dlay:           ldi     r16,231
dlay1:          dec     r16
                brne    dlay1
                ret
over:           ldi     r29,0x4d
                rcall   tx
                rjmp    main
check:          ldi     r29,0x5a
                rcall   tx
                ret
display:        ldi   r18,0x07
                ldi   r21,0x30
                ldi   r22,0x00
                 ldi   r23,0x00
                 ldi   r25,0x0f
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                ldi     r27,0x39
                ldi   r25,0x0f
                mov     r30,r26
                mov   r24,r30
N2:              cp     r25,r24
                 brcc   N1
                 subi   r24,0x10
                 inc    d2
                 rjmp   N2
N1:              mov    d1,r24
hex2ASC:         add    d2,r21
                 cp     r27,d2
                 brcc   dis
                 add    d2,r18
                 rjmp   dis
dis:             mov    r29,d2
                 rcall  tx
hex2ASC1:        add    d1,r21
                 cp     r27,d1
                 brcc   dis1
                 add    d1,r18
                 rjmp   dis1
dis1:            mov    r29,d1
                 RCALL  tx
                 LDI    R29,0X30
                 RCALLTX
                 clr    r18
                 clr    r28
                 clr    r20
                 clr    r19
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                rjmp    main
                    ret
wait:           rjmp    wait
TX:             SBIS    USR,UDRE
                RJMP    TX
                OUT     UDR,R29
                    RET
DELAY:          PUSH    R26
                PUSH    R27
                LDI     R27,0XFF
DEL2:           LDI     R26,0XFF
DEL1:           DEC     R26
                BRNE    DEL1
                DEC     R27
                BRNE    DEL2
                POP     R27
                POP     R26
                RET
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่4
สรุปผลการทดลองและปัญหาในการทดลอง

จากการทดลองเกี่ยวกับไมรโครคอนเลอร์พบว่าสามารถทำงานในมุมที่กว้างขึ้นและใช้อุปกรณ์ในการต่อร่วมภายนอกน้อยชิ้น และสามารถประมวลคำสั่งได้ในหนึ่งลูก Clock และสามารถนำมาใช้ซอฟต์แวร์และฮาดร์แวร์มาประยุกต์ใช้งานอุตสาหกรรมได้ ในการแสดงผลของงานแต่ละชิ้นในปริญญานิพนธ์นี้จะต้องใช้โปรแกรมบ้างโปรกรม และซอฟต์แวร์ที่ลงในตัว CPU จะต้องศึกษาการทำงานสิ่งที่จะต้องไปควบคุมนั้นเป็นอย่างดีและลำดับขั้นตอนการทำงานให้ถูกต้อง

จากการทดลองวงจรมีปัญหาบางประการที่เกิดขึ้น เช่น การออกแบบวงจรบ้างครั้งอุปกรณ์บ้างตัวไม่รู้ตัวถังที่แน่นอน ก็จะทำให้ในการออกแบบนั้นผิดพลาดได้และในบ้างครั้งเกิดจากตัวโปรแกรมที่ออกแบบ ทำให้วงจรที่จะมาต่อใช้งาน ไม่ถูกต้องก็จะทำให้ผลการทดลองงานชิ้นนั้นไม่ออกตามที่ต้องการ และปัญหาอีกอย่างหนึ่งก็คือในการหารซื้อตัว CPU นั้นหาซื้อค่อนข้างยาก เพราะว่า CPU ตัวนี้นั้นออกมาใหม่ จึงไม่ค่อยเป็นที่นิยมใช้สักเท่าไร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บรรณานุกรม

อุดม จีนประดับ และวรพงษ์ รัตนโภคา, การทดลองไมโครโปรเซสเซอร์ 2, กรุงเทพมหานคร

:

สถาบันเทคโนโลยีพระจอมเกล้าพระนครเหนือ

INTEL, Microcontroller Hand Book. Intel Coporation, 1983

PHILIPS. Signetics Microcontroller User's Guide. PHILPS Electronics. And Components and

Material Division, PHILPS Co.

อ. บัณฑิต จามรภูติ, คู่มือการใช้งาน Protel 99

อุดม จันประดับ, ไมโครคอนโทรลเลอร์ MCS-51(Micro Controller MCS-51)

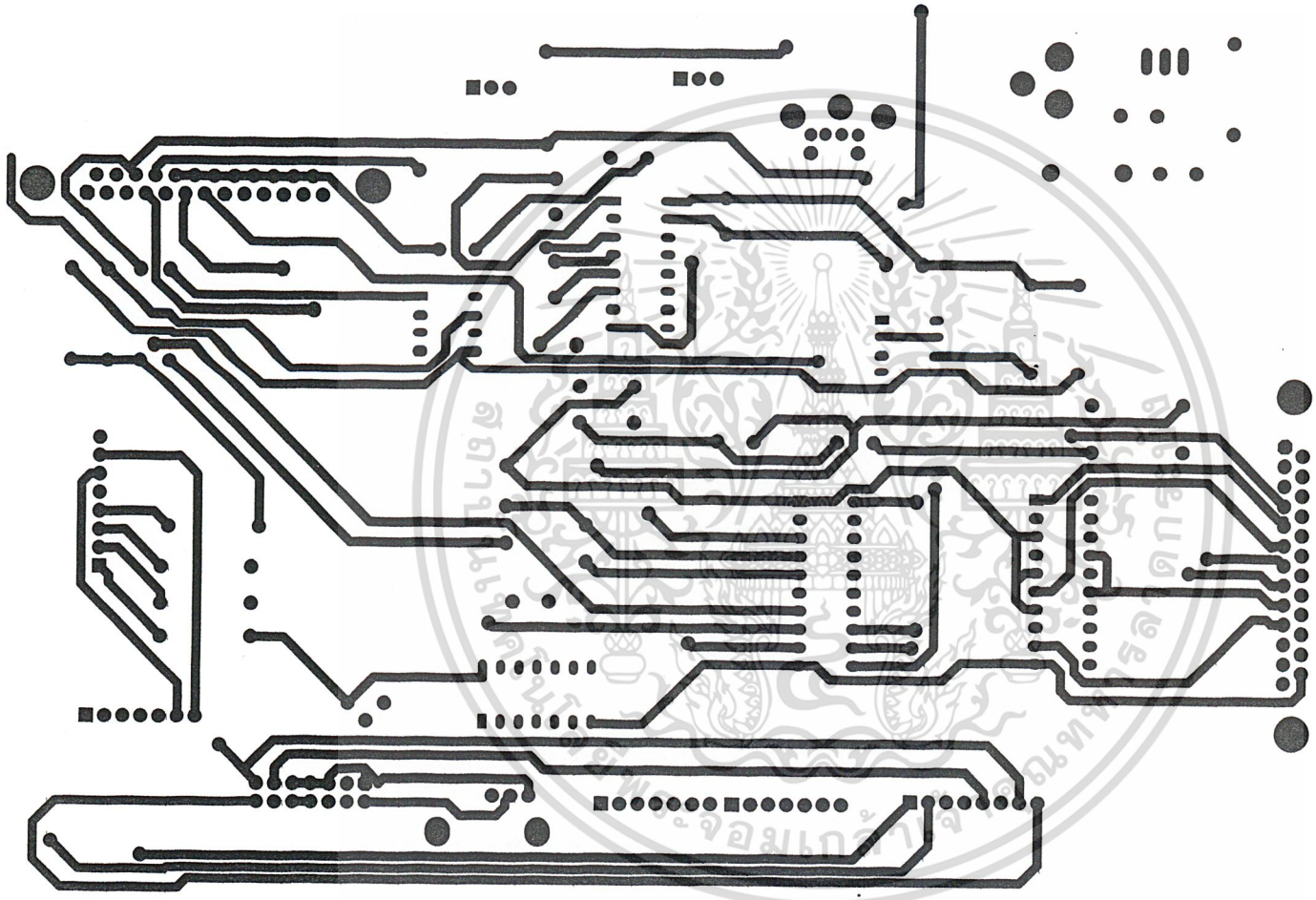
กฤษดา ใจเย็น และชัยวัฒน์ ลิ้มพรจิตรวิไล, เรียนรู้และปฏิบัติการไมโครคอนโทรลเลอร์ PIC 16F84

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

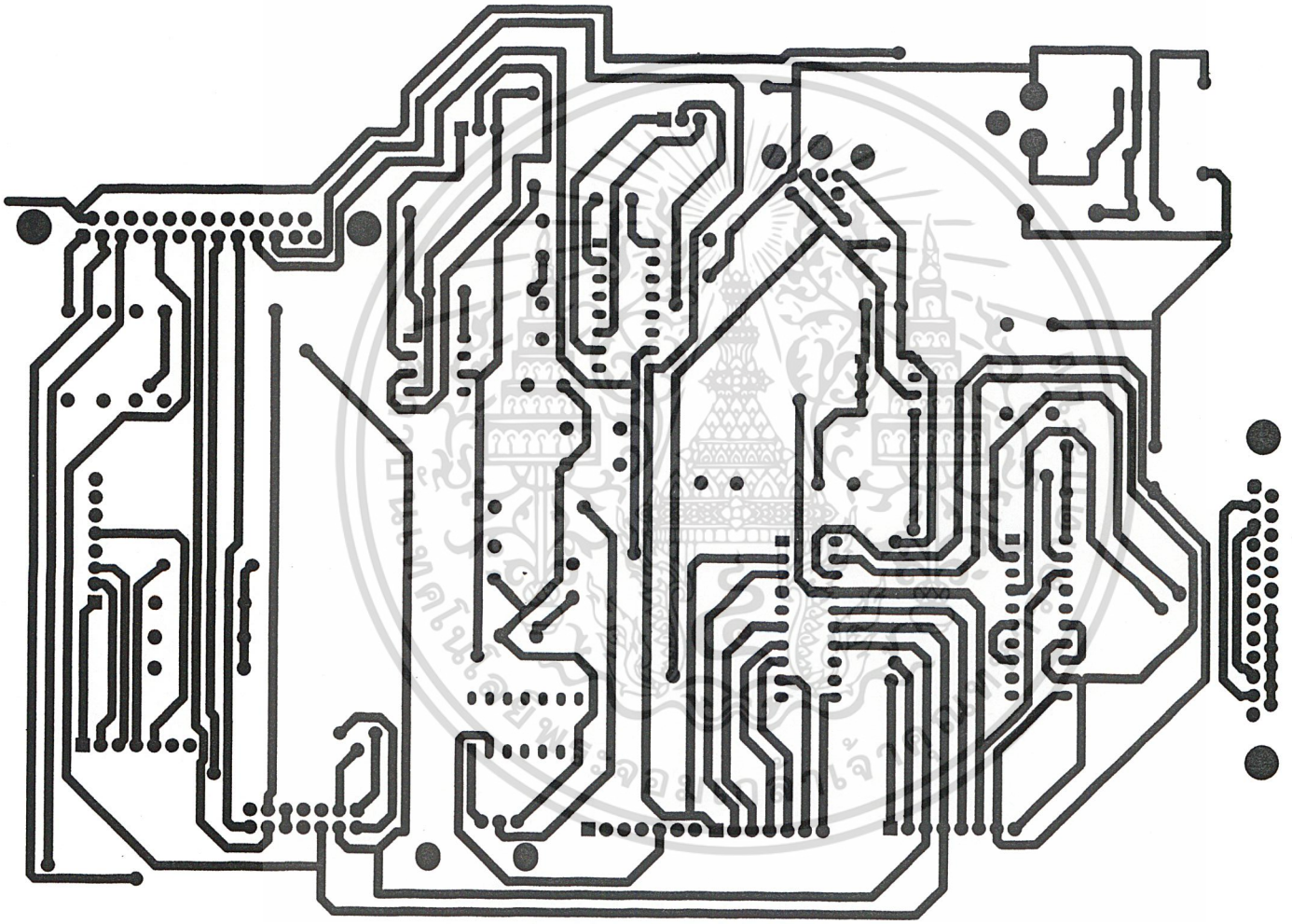
ภาคผนวก

DATA SHEET

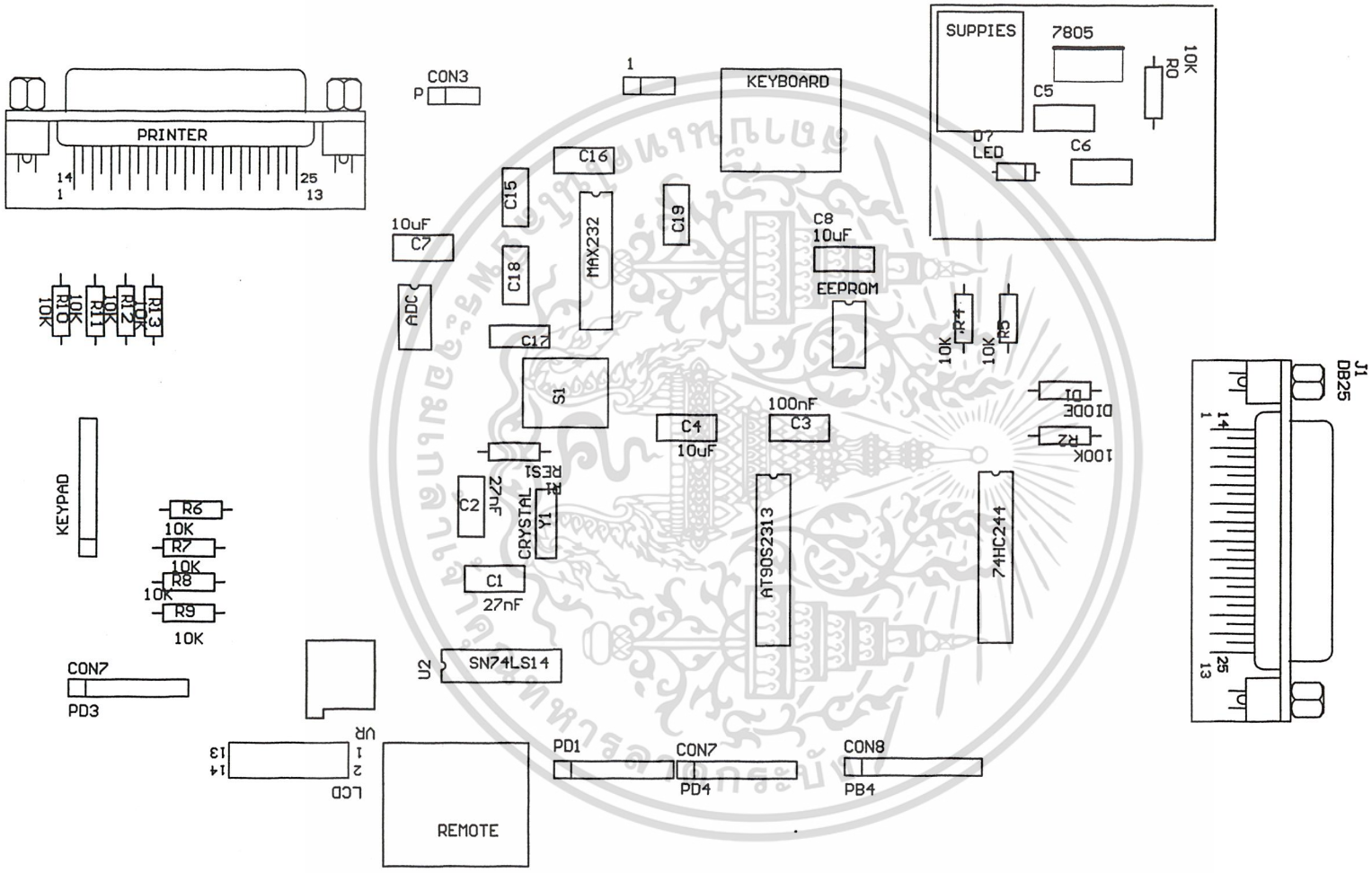
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



TOP LAYER



BOTTOM LAYER



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Features

- AVR® - High Performance and Low Power RISC Architecture
- 118 Powerful Instructions - Most Single Clock Cycle Execution
- 2K bytes of In-System Reprogrammable Flash
  - SPI Serial Interface for Program Downloading
  - Endurance: 1,000 Write/Erase Cycles
- 128 bytes EEPROM
  - Endurance: 100,000 Write/Erase Cycles
- 128 bytes Internal RAM
- 32 x 8 General Purpose Working Registers
- 15 Programmable I/O Lines
- V_{CC}: 2.7 - 6.0V
- Fully Static Operation
  - 0 - 10 MHz, 4.0 - 6.0V
  - 0 - 4 MHz, 2.7 - 6.0V
- Up to 10 MIPS Throughput at 10 MHz
- *One 8-Bit Timer/Counter with Separate Prescaler*
- One 16-Bit Timer/Counter with Separate Prescaler and Compare and Capture Modes
- Full Duplex UART
- Selectable 8, 9 or 10 bit PWM
- *External and Internal Interrupt Sources*
- Programmable Watchdog Timer with On-Chip Oscillator
- On-Chip Analog Comparator
- Low Power Idle and Power Down Modes
- Programming Lock for Software Security
- *20-Pin Device*

Description

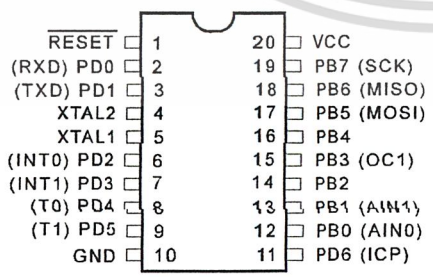
The AT90S2313 is a low-power CMOS 8-bit microcontroller based on the AVR enhanced RISC architecture. By executing powerful instructions in a single clock cycle, the AT90S2313 achieves throughputs approaching 1 MIPS per MHz allowing the system designer to optimize power consumption versus processing speed.

The AVR core combines a rich instruction set with 32 general purpose working registers. *All the 32 registers are directly connected to the Arithmetic Logic Unit* (ALU), allowing two independent registers to be accessed in one single instruction executed in one clock cycle. The resulting architecture is more code efficient while achieving throughputs up to ten times faster than conventional CISC microcontrollers.

(continued)

Pin Configuration

PDIP/SOIC



8-Bit AVR® Microcontroller with 2K bytes In-System Programmable Flash

AT90S2313

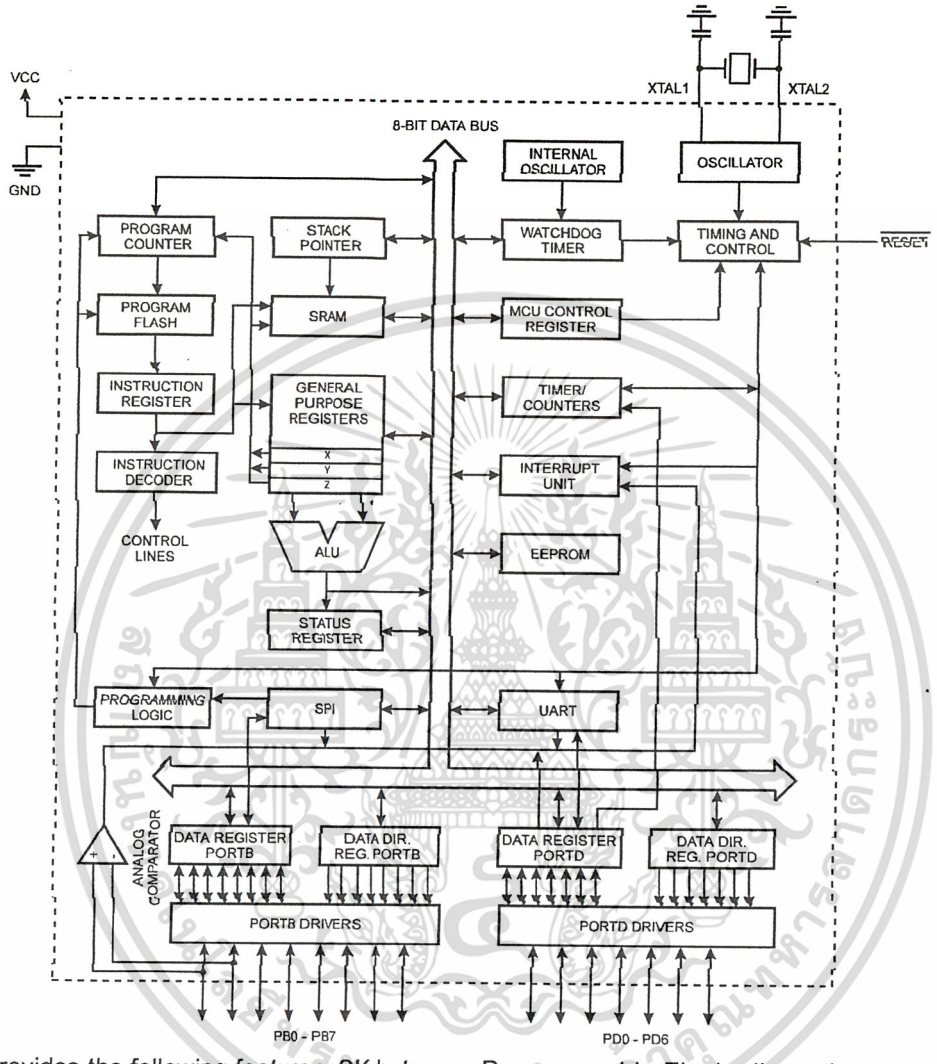
Rev. 0839DS–07/98

Note: This is a summary document. For the complete 68 page datasheet, please visit our web site at *www.atmel.com* or e-mail at *literature@atmel.com* and request literature #0839D.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Block Diagram

Figure 1. The AT90S2313 Block Diagram



The AT90S2313 provides the following features: 2K bytes of In-System Programmable Flash, 128 bytes EEPROM, 128 bytes SRAM, 15 general purpose I/O lines, 32 general purpose working registers, flexible timer/counters with compare modes, internal and external interrupts, a programmable serial UART, programmable Watchdog Timer with internal oscillator, an SPI serial port for Flash Memory downloading and two software selectable power saving modes. The Idle Mode stops the CPU while allowing the SRAM, timer/counters, SPI port and interrupt system to continue functioning. The power down mode saves the register contents but freezes the oscillator, disabling all other chip functions until the next interrupt or hardware reset.

The device is manufactured using Atmel's high density non-volatile memory technology. The on-chip In-System Programmable Flash allows the program memory to be reprogrammed in-system through an SPI serial interface or by a conventional nonvolatile memory programmer. By combining an enhanced RISC 8-bit CPU with In-System Programmable Flash on a monolithic chip, the Atmel AT90S2313 is a powerful microcontroller that provides a highly flexible and cost effective solution to many embedded control applications.

The AT90S2313 AVR is supported with a full suite of program and system development tools including: C compilers, macro assemblers, program debugger/simulators, in-circuit emulators, and evaluation kits.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Pin Descriptions

VCC

Supply voltage pin.

GND

Ground pin.

Port B (PB7..PB0)

Port B is an 8-bit bi-directional I/O port. Port pins can provide internal pull-up resistors (selected for each bit). PB0 and PB1 also serve as the positive input (AIN0) and the negative input (AIN1), respectively, of the on-chip analog comparator. The Port B output buffers can sink 20mA and can drive LED displays directly. When pins PB0 to PB7 are used as inputs and are externally pulled low, they will source current if the internal pull-up resistors are activated.

Port B also serves the functions of various special features of the AT90S2313 as listed on page 38.

Port D (PD6..PD0)

Port D has seven bi-directional I/O pins with internal pull-up resistors, PD6..PD0. The Port D output buffers can sink 20 mA. As inputs, Port D pins that are externally pulled low will source current if the pull-up resistors are activated.

Port D also serves the functions of various special features of the AT90S2313 as listed on page 43.

$\overline{\text{RESET}}$

Reset input. A low on this pin for two machine cycles while the oscillator is running resets the device.

XTAL1

Input to the inverting oscillator amplifier and input to the internal clock operating circuit.

XTAL2

Output from the inverting oscillator amplifier

Crystal Oscillator

XTAL1 and XTAL2 are input and output, respectively, of an inverting amplifier which can be configured for use as an on-chip oscillator, as shown in Figure 2. Either a quartz crystal or a ceramic resonator may be used. To drive the device from an external clock source, XTAL2 should be left unconnected while XTAL1 is driven as shown in Figure 3.

Figure 2. Oscillator Connections

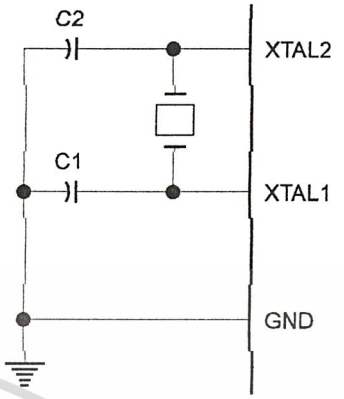
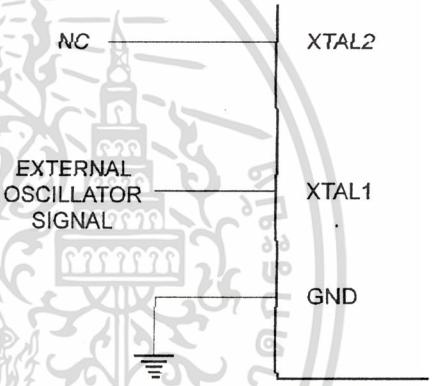


Figure 3. External Clock Drive Configuration



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AT90S2313 Architectural Overview

The fast-access register file concept contains 32 x 8-bit general purpose working registers with a single clock cycle access time. This means that during one single clock cycle, one ALU (Arithmetic Logic Unit) operation is executed. Two operands are output from the register file, the operation is executed, and the result is stored back in the register file - in one clock cycle.

Six of the 32 registers can be used as three 16-bits indirect address register pointers for Data Space addressing - enabling efficient address calculations. One of the three address pointers is also used as the address pointer for the constant table look up function. These added function registers are the 16-bits X-register, Y-register and Z-register.

The ALU supports arithmetic and logic functions between registers or between a constant and a register. Single register operations are also executed in the ALU. Figure 4 shows the AT90S2313 AVR Enhanced RISC microcontroller architecture.

In addition to the register operation, the conventional memory addressing modes can be used on the register file as well. This is enabled by the fact that the register file is assigned the 32 lowermost Data Space addresses ($00 - $1F), allowing them to be accessed as though they were ordinary memory locations.

The I/O memory space contains 64 addresses for CPU peripheral functions as Control Registers, Timer/Counters, A/D-converters, and other I/O functions. The I/O memory can be accessed directly, or as the Data Space locations following those of the register file, $20 - $5F.

The AVR has Harvard architecture - with separate memories and buses for program and data. The program memory is accessed with a two stage pipeline. While one instruction is being executed, the next instruction is pre-fetched from the program memory. This concept enables instructions to be executed in every clock cycle. The program memory is In-system Programmable Flash memory.

With the relative jump and call instructions, the whole 1K address space is directly accessed. Most *AVR* instructions have a single 16-bit word format. Every program memory address contains a 16- or 32-bit instruction.

During interrupts and subroutine calls, the return address program counter (PC) is stored on the stack. The stack is effectively allocated in the general data SRAM, and consequently the stack size is only limited by the total SRAM size and the usage of the SRAM. All user programs must initialize the SP in the reset routine (before subroutines or interrupts are executed). The 8-bit stack pointer SP is read/write accessible in the I/O space.

The 128 bytes data SRAM + register file and I/O registers can be easily accessed through the five different addressing modes supported in the AVR architecture.

The memory spaces in the AVR architecture are all linear and regular memory maps.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 4. The AT90S2313 AVR Enhanced RISC Architecture

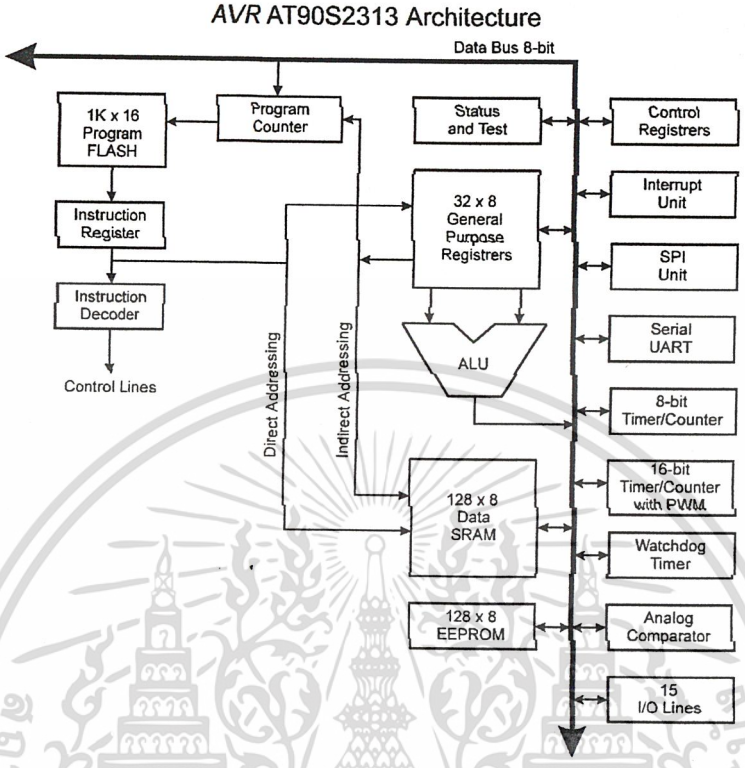
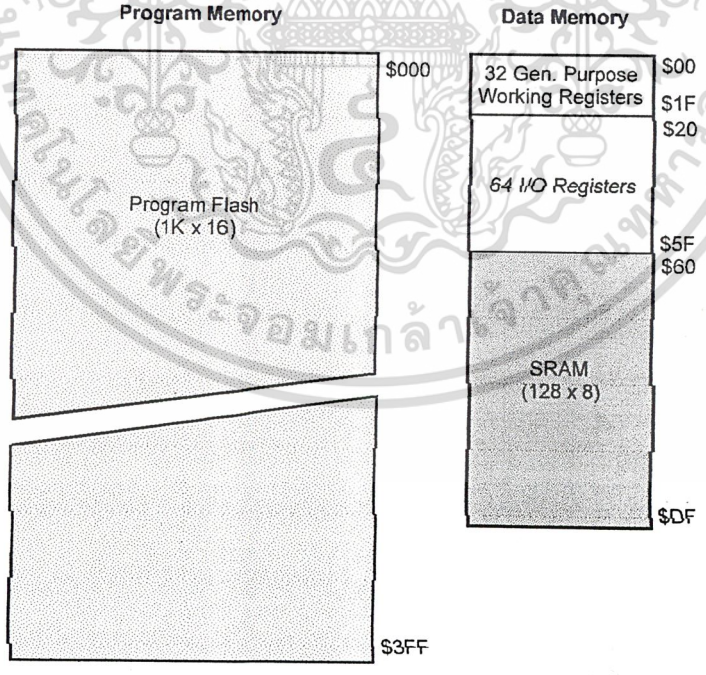


Figure 5. Memory Maps



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AT90S2313 Register Summary

Address	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Page
$3F ($5F)	SREG	I	T	H	S	V	N	Z	C	17
$3E ($5E)	Reserved									
$3D ($5D)	SPL	SP7	SP6	SP5	SP4	SP3	SP2	SP1	SP0	18
$3C ($5C)	Reserved									
$3B ($5B)	GIMSK	INT1	INT0	-	-	-	-	-	-	23
$3A ($5A)	GIFR	INTF1	INTF0							23
$39 ($59)	TIMSK	TOIE1	OCIE1A	-	-	TICIE1	-	TOIE0	-	23
$38 ($58)	TIFR	TOV1	OCF1A	-	-	ICF1	-	TOV0	-	24
$37 ($57)	Reserved									
$36 ($56)	Reserved									
$35 ($55)	MCUCR	-	-	SE	SM	ISC11	ISC10	ISC01	ISC00	25
$34 ($54)	Reserved									
$33 ($53)	TCCR0	-	-	-	-	-	CS02	CS01	CS00	28
$32 ($52)	TCNT0	Timer/Counter0 (8 Bit)								29
$31 ($51)	Reserved									
$30 ($50)	Reserved									
$2F ($4F)	TCCR1A	COM1A1	COM1A0	-	-	-	-	PWM11	PWM10	30
$2E ($4E)	TCCR1B	ICNC1	ICES1	-	-	CTC1	CS12	CS11	CS10	31
$2D ($4D)	TCNT1H	Timer/Counter1 - Counter Register High Byte								32
$2C ($4C)	TCNT1L	Timer/Counter1 - Counter Register Low Byte								32
$2B ($4B)	OCR1AH	Timer/Counter1 - Compare Register High Byte								32
$2A ($4A)	OCR1AL	Timer/Counter1 - Compare Register Low Byte								32
$29 ($49)	Reserved									
$28 ($48)	Reserved									
$27 ($47)	Reserved									
$26 ($46)	Reserved									
$25 ($45)	ICR1H	Timer/Counter1 - Input Capture Register High Byte								33
$24 ($44)	ICR1L	Timer/Counter1 - Input Capture Register Low Byte								33
$23 ($43)	Reserved									
$22 ($42)	Reserved									
$21 ($41)	WDTCR	-	-	-	WDTOE	WDE	WDP2	WDP1	WDP0	35
$20 ($40)	Reserved									
$1F ($3F)	Reserved									
$1E ($3E)	EEAR	-	EEPROM Address Register							36
$1D ($3D)	EEDR	EEPROM Data register								37
$1C ($3C)	EECR	-	-	-	-	-	EEMWE	EEWE	EERE	37
$1B ($3B)	Reserved									
$1A ($3A)	Reserved									
$19 ($39)	Reserved									
$18 ($38)	PORTB	PORTB7	PORTB6	PORTB5	PORTB4	PORTB3	PORTB2	PORTB1	PORTB0	46
$17 ($37)	DDRB	DDB7	DDB6	DDB5	DDB4	DDB3	DDB2	DDB1	DDB0	46
$16 ($36)	PINB	PINB7	PINB6	PINB5	PINB4	PINB3	PINB2	PINB1	PINB0	46
$15 ($35)	Reserved									
$14 ($34)	Reserved									
$13 ($33)	Reserved									
$12 ($32)	PORTD	-	PORTD6	PORTD5	PORTD4	PORTD3	PORTD2	PORTD1	PORTD0	51
$11 ($31)	DDRD	-	DDD6	DDD5	DDD4	DDD3	DDD2	DDD1	DDD0	51
$10 ($30)	PIND	-	PIND6	PIND5	PIND4	PIND3	PIND2	PIND1	PIND0	51
$0F ($2F)	Reserved									
$0E ($2E)	Reserved									
$0D ($2D)	Reserved									
$0C ($2C)	UDR	UART I/O Data Register								40
$0B ($2B)	USR	RXC	TXC	UDRE	FE	OR	-	-	-	40
$0A ($2A)	UCR	RXCIE	TXCIE	UDRIE	RXEN	TXEN	CHR9	RXB8	TXB8	41
$09 ($29)	UBRR	UART Baud Rate Register								43
$08 ($28)	ACSR	ACD	-	ACO	ACI	ACIE	ACIC	ACIS1	ACIS0	44
...	Reserved									
$00 ($20)	Reserved									

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AT90S2313 Instruction Set Summary

Mnemonics	Operands	Description	Operation	Flags	#Clocks
ARITHMETIC AND LOGIC INSTRUCTIONS					
ADD	Rd, Rr	Add two Registers	Rd ← Rd + Rr	Z,C,N,V,H	1
ADC	Rd, Rr	Add with Carry two Registers	Rd ← Rd + Rr + C	Z,C,N,V,H	1
ADIW	Rdl,K	Add Immediate to Word	Rdh:Rdl ← Rdh:Rdl + K	Z,C,N,V,S	2
SUB	Rd, Rr	Subtract two Registers	Rd ← Rd – Rr	Z,C,N,V,H	1
SUBI	Rd, K	Subtract Constant from Register	Rd ← Rd – K	Z,C,N,V,H	1
SBIW	Rdl,K	Subtract Immediate from Word	Rdh:Rdl ← Rdh:Rdl – K	Z,C,N,V,S	2
SBC	Rd, Rr	Subtract with Carry two Registers	Rd ← Rd – Rr – C	Z,C,N,V,H	1
SBCI	Rd, K	Subtract with Carry Constant from Reg.	Rd ← Rd – K – C	Z,C,N,V,H	1
AND	Rd, Rr	Logical AND Registers	Rd ← Rd • Rr	Z,N,V	1
ANDI	Rd, K	Logical AND Register and Constant	Rd ← Rd • K	Z,N,V	1
OR	Rd, Rr	Logical OR Registers	Rd ← Rd v Rr	Z,N,V	1
ORI	Rd, K	Logical OR Register and Constant	Rd ← Rd v K	Z,N,V	1
EOR	Rd, Rr	Exclusive OR Registers	Rd ← Rd ⊕ Rr	Z,N,V	1
COM	Rd	One's Complement	Rd ← $FF – Rd	Z,C,N,V	1
NEG	Rd	Two's Complement	Rd ← $00 – Rd	Z,C,N,V,H	1
SBR	Rd,K	Set Bit(s) in Register	Rd ← Rd v K	Z,N,V	1
CBR	Rd,K	Clear Bit(s) in Register	Rd ← Rd • ($FF – K)	Z,N,V	1
INC	Rd	Increment	Rd ← Rd + 1	Z,N,V	1
DEC	Rd	Decrement	Rd ← Rd – 1	Z,N,V	1
TST	Rd	Test for Zero or Minus	Rd ← Rd • Rd	Z,N,V	1
CLR	Rd	Clear Register	Rd ← Rd ⊕ Rd	Z,N,V	1
SER	Rd	Set Register	Rd ← $FF	None	1
BRANCH INSTRUCTIONS					
RJMP	k	Relative Jump	PC ← PC + k + 1	None	2
IJMP		Indirect Jump to (Z)	PC ← Z	None	2
RCALL	k	Relative Subroutine Call	PC ← PC + k + 1	None	3
ICALL		Indirect Call to (Z)	PC ← Z	None	3
RET		Subroutine Return	PC ← STACK	None	4
RETI		Interrupt Return	PC ← STACK	I	4
CPSE	Rd,Rr	Compare, Skip if Equal	if (Rd = Rr) PC ← PC + 2 or 3	None	1 / 2
CP	Rd,Rr	Compare	Rd – Rr	Z, N,V,C,H	1
CPC	Rd,Rr	Compare with Carry	Rd – Rr – C	Z, N,V,C,H	1
CPI	Rd,K	Compare Register with Immediate	Rd – K	Z, N,V,C,H	1
SBRC	Rr, b	Skip if Bit in Register Cleared	if (Rr(b)=0) PC ← PC + 2 or 3	None	1 / 2
SBRS	Rr, b	Skip if Bit in Register is Set	if (Rr(b)=1) PC ← PC + 2 or 3	None	1 / 2
SBIC	P, b	Skip if Bit in I/O Register Cleared	if (P(b)=0) PC ← PC + 2 or 3	None	1 / 2
SBIS	P, b	Skip if Bit in I/O Register is Set	if (R(b)=1) PC ← PC + 2 or 3	None	1 / 2
BRBS	s, k	Branch if Status Flag Set	if (SREG(s) = 1) then PC←PC + k + 1	None	1 / 2
BRBC	s, k	Branch if Status Flag Cleared	if (SREG(s) = 0) then PC←PC + k + 1	None	1 / 2
BREQ	k	Branch if Equal	if (Z = 1) then PC ← PC + k + 1	None	1 / 2
BRNE	k	Branch if Not Equal	if (Z = 0) then PC ← PC + k + 1	None	1 / 2
BRCS	k	Branch if Carry Set	if (C = 1) then PC ← PC + k + 1	None	1 / 2
BRCC	k	Branch if Carry Cleared	if (C = 0) then PC ← PC + k + 1	None	1 / 2
BRSH	k	Branch if Same or Higher	if (C = 0) then PC ← PC + k + 1	None	1 / 2
BRLO	k	Branch if Lower	if (C = 1) then PC ← PC + k + 1	None	1 / 2
BRMI	k	Branch if Minus	if (N = 1) then PC ← PC + k + 1	None	1 / 2
BRPL	k	Branch if Plus	if (N = 0) then PC ← PC + k + 1	None	1 / 2
BRGE	k	Branch if Greater or Equal, Signed	if (N ⊕ V= 0) then PC ← PC + k + 1	None	1 / 2
BRLT	k	Branch if Less Than Zero, Signed	if (N ⊕ V= 1) then PC ← PC + k + 1	None	1 / 2
BRHS	k	Branch if Half Carry Flag Set	if (H = 1) then PC ← PC + k + 1	None	1 / 2
BRHC	k	Branch if Half Carry Flag Cleared	if (H = 0) then PC ← PC + k + 1	None	1 / 2
BRTS	k	Branch if T Flag Set	if (T = 1) then PC ← PC + k + 1	None	1 / 2
BRTC	k	Branch if T Flag Cleared	if (T = 0) then PC ← PC + k + 1	None	1 / 2
BRVS	k	Branch if Overflow Flag is Set	if (V = 1) then PC ← PC + k + 1	None	1 / 2
BRVC	k	Branch if Overflow Flag is Cleared	if (V = 0) then PC ← PC + k + 1	None	1 / 2
BRIE	k	Branch if Interrupt Enabled	if (I = 1) then PC ← PC + k + 1	None	1 / 2
BRID	k	Branch if Interrupt Disabled	if (I = 0) then PC ← PC + k + 1	None	1 / 2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Mnemonics	Operands	Description	Operation	Flags	#Clocks
DATA TRANSFER INSTRUCTIONS					
MOV	Rd, Rr	Move Between Registers	Rd ← Rr	None	1
LDI	Rd, K	Load Immediate	Rd ← K	None	1
LD	Rd, X	Load Indirect	Rd ← (X)	None	2
LD	Rd, X+	Load Indirect and Post-Inc.	Rd ← (X), X ← X + 1	None	2
LD	Rd, - X	Load Indirect and Pre-Dec.	X ← X - 1, Rd ← (X)	None	2
LD	Rd, Y	Load Indirect	Rd ← (Y)	None	2
LD	Rd, Y+	Load Indirect and Post-Inc.	Rd ← (Y), Y ← Y + 1	None	2
LD	Rd, - Y	Load Indirect and Pre-Dec.	Y ← Y - 1, Rd ← (Y)	None	2
LDD	Rd,Y+q	Load Indirect with Displacement	Rd ← (Y + q)	None	2
LD	Rd, Z	Load Indirect	Rd ← (Z)	None	2
LD	Rd, Z+	Load Indirect and Post-Inc.	Rd ← (Z), Z ← Z+1	None	2
LD	Rd, -Z	Load Indirect and Pre-Dec.	Z ← Z - 1, Rd ← (Z)	None	2
LDD	Rd, Z+q	Load Indirect with Displacement	Rd ← (Z + q)	None	2
LDS	Rd, k	Load Direct from SRAM	Rd ← (k)	None	2
ST	X, Rr	Store Indirect	(X) ← Rr	None	2
ST	X+, Rr	Store Indirect and Post-Inc.	(X) ← Rr, X ← X + 1	None	2
ST	- X, Rr	Store Indirect and Pre-Dec.	X ← X - 1, (X) ← Rr	None	2
ST	Y, Rr	Store Indirect	(Y) ← Rr	None	2
ST	Y+, Rr	Store Indirect and Post-Inc.	(Y) ← Rr, Y ← Y + 1	None	2
ST	- Y, Rr	Store Indirect and Pre-Dec.	Y ← Y - 1, (Y) ← Rr	None	2
STD	Y+q,Rr	Store Indirect with Displacement	(Y + q) ← Rr	None	2
ST	Z, Rr	Store Indirect	(Z) ← Rr	None	2
ST	Z+, Rr	Store Indirect and Post-Inc.	(Z) ← Rr, Z ← Z + 1	None	2
ST	-Z, Rr	Store Indirect and Pre-Dec.	Z ← Z - 1, (Z) ← Rr	None	2
STD	Z+q,Rr	Store Indirect with Displacement	(Z + q) ← Rr	None	2
STS	k, Rr	Store Direct to SRAM	(k) ← Rr	None	2
LPM		Load Program Memory	R0 ← (Z)	None	3
IN	Rd, P	In Port	Rd ← P	None	1
OUT	P, Rr	Out Port	P ← Rr	None	1
PUSH	Rr	Push Register on Stack	STACK ← Rr	None	2
POP	Rd	Pop Register from Stack	Rd ← STACK	None	2
BIT AND BIT-TEST INSTRUCTIONS					
SBI	P,b	Set Bit in I/O Register	I/O(P,b) ← 1	None	2
CBI	P,b	Clear Bit in I/O Register	I/O(P,b) ← 0	None	2
LSL	Rd	Logical Shift Left	Rd(n+1) ← Rd(n), Rd(0) ← 0	Z,C,N,V	1
LSR	Rd	Logical Shift Right	Rd(n) ← Rd(n+1), Rd(7) ← 0	Z,C,N,V	1
ROL	Rd	Rotate Left Through Carry	Rd(0)←C,Rd(n+1)← Rd(n),C←Rd(7)	Z,C,N,V	1
ROR	Rd	Rotate Right Through Carry	Rd(7)←C,Rd(n)← Rd(n+1),C←Rd(0)	Z,C,N,V	1
ASR	Rd	Arithmetic Shift Right	Rd(n) ← Rd(n+1), n=0..6	Z,C,N,V	1
SWAP	Rd	Swap Nibbles	Rd(3..0)←Rd(7..4),Rd(7..4)←Rd(3..0)	None	1
BSET	s	Flag Set	SREG(s) ← 1	SREG(s)	1
BCLR	s	Flag Clear	SREG(s) ← 0	SREG(s)	1
BST	Rr, b	Bit Store from Register to T	T ← Rr(b)	T	1
BLD	Rd, b	Bit load from T to Register	Rd(b) ← T	None	1
SEC		Set Carry	C ← 1	C	1
CLC		Clear Carry	C ← 0	C	1
SEN		Set Negative Flag	N ← 1	N	1
CLN		Clear Negative Flag	N ← 0	N	1
SEZ		Set Zero Flag	Z ← 1	Z	1
CLZ		Clear Zero Flag	Z ← 0	Z	1
SEI		Global Interrupt Enable	I ← 1	I	1
CLI		Global Interrupt Disable	I ← 0	I	1
SES		Set Signed Test Flag	S ← 1	S	1
CLS		Clear Signed Test Flag	S ← 0	S	1
SEV		Set Twos Complement Overflow	V ← 1	V	1
CLV		Clear Twos Complement Overflow	V ← 0	V	1
SET		Set T in SREG	T ← 1	T	1
CLT		Clear T in SREG	T ← 0	T	1
SEH		Set Half Carry Flag in SREG	H ← 1	H	1
CLH		Clear Half Carry Flag in SREG	H ← 0	H	1
NOP		No Operation		None	1
SLEEP		Sleep	(see specific descr. for Sleep function)	None	3
WDR		Watchdog Reset	(see specific descr. for WDR/timer)	None	1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

January 1995

ADC0831/ADC0832/ADC0834 and ADC0838 8-Bit Serial I/O A/D Converters with Multiplexer Options

General Description

The ADC0831 series are 8-bit successive approximation A/D converters with a serial I/O and configurable input multiplexers with up to 8 channels. The serial I/O is configured to comply with the NSC MICROWIRE™ serial data exchange standard for easy interface to the COPS™ family of processors, and can interface with standard shift registers or μPs.

The 2-, 4- or 8-channel multiplexers are software configured for single-ended or differential inputs as well as channel assignment.

The differential analog voltage input allows increasing the common-mode rejection and offsetting the analog zero input voltage value. In addition, the voltage reference input can be adjusted to allow encoding any smaller analog voltage span to the full 8 bits of resolution.

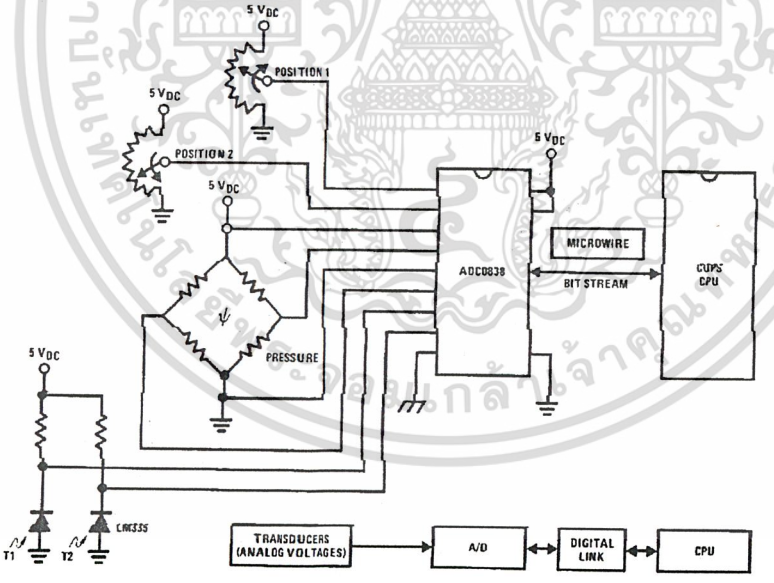
Features

- NSC MICROWIRE compatible—direct interface to COPS family processors
- Easy interface to all microprocessors, or operates "stand-alone"
- Operates ratiometrically or with 5 V_{DC} voltage reference
- No zero or full-scale adjust required
- 2-, 4- or 8-channel multiplexer options with address logic
- Shunt regulator allows operation with high voltage supplies
- 0V to 5V input range with single 5V power supply
- Remote operation with serial digital data link
- TTL/MOS input/output compatible
- 0.3" standard width, 8-, 14- or 20-pin DIP package
- *20 Pin Molded Chip Carrier Package (ADC0838 only)*
- Surface-Mount Package

Key Specifications

■ Resolution	8 Bits
■ Total Unadjusted Error	±½ LSB and ±1 LSB
■ Single Supply	5 V_{DC}
■ Low Power	15 mW
■ Conversion Time	32 μs

Typical Application



TL/H/5583–1

TRI-STATE® is a registered trademark of National Semiconductor Corporation.
COPS™ and MICROWIRE™ are trademarks of National Semiconductor Corporation.

©1995 National Semiconductor Corporation TL/H/5583

RRD-B30M115/Printed in U. S. A.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings (Notes 1 & 2)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Current into V+ (Note 3)	15 mA
Supply Voltage, V_{CC} (Note 3)	6.5V
Voltage	
Logic Inputs	−0.3V to V_{CC} + 0.3V
Analog Inputs	−0.3V to V_{CC} + 0.3V
Input Current per Pin (Note 4)	±5 mA
Package	±20 mA
Storage Temperature	−65°C to +150°C
Package Dissipation at T_A = 25°C (Board Mount)	0.8W
Lead Temperature (Soldering 10 sec.)	
Dual-In-Line Package (Plastic)	260°C
Dual-In-Line Package (Ceramic)	300°C
Molded Chip Carrier Package	
Vapor Phase (60 sec.)	215°C
Infrared (15 sec.)	220°C
ESD Susceptibility (Note 5)	2000V

Operating Ratings (Notes 1 & 2)

Supply Voltage, V_{CC}	4.5 V_{DC} to 6.3 V_{DC}
Temperature Range	$T_{MIN} \le T_A \le T_{MAX}$
ADC0831/8BCJ, ADC0831/4/8CCJ, ADC0832BIWM, ADC0831/2/4/8CIWM	−40°C to +85°C
ADC0831/2/4/8BCN, ADC0838BCV, ADC0831/2/4/8CCN, ADC0838CCV, ADC0831/2/4/8CCWM	0°C to +70°C

Converter and Multiplexer Electrical Characteristics

The following specifications apply for $V_{CC} = V+ = V_{REF} = 5V$, $V_{REF} \le V_{CC} + 0.1V$, $T_A = T_j = 25°C$, and $f_{CLK} = 250$ kHz unless otherwise specified. **Boldface limits apply from T_{MIN} to T_{MAX}.**

Parameter	Conditions	BCJ, BIWM, CIWM and CCJ Devices			BCV, CCV, CCWM, BCN and CCN Devices			Units
		Typ (Note 12)	*Tested* Limit (Note 13)	*Design* Limit (Note 14)	Typ (Note 12)	*Tested* Limit (Note 13)	*Design* Limit (Note 14)	
CONVERTER AND MULTIPLEXER CHARACTERISTICS								
Total Unadjusted Error	V_{REF} = 5.00 V (Note 6)							
ADC0838BCV						±½	±½	LSB
ADC0831/2/4/8BCN						±½	±½	
ADC0831/8BCJ			±½					
ADC0832BIWM			±½					
ADC0838CCV						±1	±1	
ADC0831/2/4/8CCN						±1	±1	
ADC0831/2/4/8CCWM						±1	±1	
ADC0831/4/8CCJ			±1					
ADC0831/2/4/8CIWM			±1					
Minimum Reference Input Resistance (Note 7)		3.5	**1.3**		3.5	1.3	**1.3**	kΩ
Maximum Reference Input Resistance (Note 7)		3.5	**5.9**		3.5	5.4	**5.9**	kΩ
Maximum Common-Mode Input Range (Note 8)			**V_{CC} + 0.05**			V_{CC} + 0.05	**V_{CC} + 0.05**	V
Minimum Common-Mode Input Range (Note 8)			**GND − 0.05**			GND − 0.05	**GND − 0.05**	V
DC Common-Mode Error		±1/16	±¼		±1/16	±¼	±¼	LSB

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Converter and Multiplexer Electrical Characteristics (Continued)

The following specifications apply for $V_{CC} = V+ = 5V$, $T_A = T_j = 25°C$, and $f_{CLK} = 250$ kHz unless otherwise specified. **Boldface limits apply from T_{MIN} to T_{MAX}.**

Parameter	Conditions	BCJ, BIWM, CIWM and CCJ Devices			BCV, CCV, CCWM, BCN and CCN Devices			Units
		Typ (Note 12)	Tested Limit (Note 13)	Design Limit (Note 14)	Typ (Note 12)	Tested Limit (Note 13)	Design Limit (Note 14)	
CONVERTER AND MULTIPLEXER CHARACTERISTICS (Continued)								
Change in zero error from $V_{CC} = 5V$ to internal zener operation (Note 3)	15 mA into V+ V_{CC} = N.C. $V_{REF} = 5V$		**1**			1	**1**	LSB
V_Z, internal diode breakdown (at V_+) (Note 3)	15 mA into V+ MIN		**6.3**			6.3	**6.3**	V
	MAX		**8.5**			8.5	**8.5**	
Power Supply Sensitivity	$V_{CC} = 5V \pm 5\%$	$\pm 1/16$	**$\pm 1/4$**	$\pm 1/4$	$\pm 1/16$	$\pm 1/4$	**$\pm 1/4$**	LSB
I_{OFF}, Off Channel Leakage Current (Note 9)	On Channel = 5V, Off Channel = 0V		−0.2 **−1**			−0.2	**−1**	µA
	On Channel = 0V, Off Channel = 5V		+0.2 **+1**			+0.2	**+1**	µA
I_{ON}, On Channel Leakage Current (Note 9)	On Channel = 0V, Off Channel = 5V		−0.2 **−1**			−0.2	**−1**	µA
	On Channel = 5V, Off Channel = 0V		+0.2 **+1**			+0.2	**+1**	µA
DIGITAL AND DC CHARACTERISTICS								
$V_{IN(1)}$, Logical "1" Input Voltage (Min)	$V_{CC} = 5.25V$		**2.0**			2.0	**2.0**	V
$V_{IN(0)}$, Logical "0" Input Voltage (Max)	$V_{CC} = 4.75V$		**0.8**			0.8	**0.8**	V
$I_{IN(1)}$, Logical "1" Input Current (Max)	$V_{IN} = 5.0V$	0.005	**1**		0.005	1	**1**	µA
$I_{IN(0)}$, Logical "0" Input Current (Max)	$V_{IN} = 0V$	−0.005	**−1**		−0.005	−1	**−1**	µA
$V_{OUT(1)}$, Logical "1" Output Voltage (Min)	$V_{CC} = 4.75V$ $I_{OUT} = -360$ µA		**2.4**			2.4	**2.4**	V
	$I_{OUT} = -10$ µA		**4.5**			4.5	**4.5**	V
$V_{OUT(0)}$, Logical "0" Output Voltage (Max)	$V_{CC} = 4.75V$ $I_{OUT} = 1.6$ mA		**0.4**			0.4	**0.4**	V
I_{OUT}, TRI-STATE Output Current (Max)	$V_{OUT} = 0V$	−0.1	**−3**		−0.1	−3	**−3**	µA
	$V_{OUT} = 5V$	0.1	**3**		0.1	+3	**+3**	µA
I_{SOURCE}, Output Source Current (Min)	$V_{OUT} = 0V$	−14	**−6.5**		−14	−7.5	**−6.5**	mA
I_{SINK}, Output Sink Current (Min)	$V_{OUT} = V_{CC}$	16	**8.0**		16	9.0	**8.0**	mA
I_{CC}, Supply Current (Max) ADC0831, ADC0834, ADC0838		0.9	**2.5**		0.9	2.5	**2.5**	mA
ADC0832	Includes Ladder Current	2.3	**6.5**		2.3	6.5	**6.5**	mA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC Characteristics

The following specifications apply for V_{CC} = 5V, t_r = t_f = 20 ns and 25°C unless otherwise specified.

Parameter		Conditions	Typ (Note 12)	Tested Limit (Note 13)	Design Limit (Note 14)	Limit Units
f_{CLK}, Clock Frequency	Min			10		kHz
	Max				400	kHz
t_C, Conversion Time		Not including MUX Addressing Time		8		$1/f_{CLK}$
Clock Duty Cycle (Note 10)	Min				40	%
	Max				60	%
t_{SET-UP}, $\overline{CS}$ Falling Edge or Data Input Valid to CLK Rising Edge					250	ns
t_{HOLD}, Data Input Valid after CLK Rising Edge					90	ns
t_{pd1}, t_{pd0}—CLK Falling Edge to Output Data Valid (Note 11)		C_L = 100 pF				
		Data MSB First	650		1500	ns
		Data LSB First	250		600	ns
t_{1H}, t_{0H}—Rising Edge of CS to Data Output and SARS Hi–Z		C_L = 10 pF, R_L = 10k (see TRI-STATE® Test Circuits)	125		250	ns
		C_L = 100 pf, R_L = 2k		500		ns
C_{IN}, Capacitance of Logic Input			5			pF
C_{OUT}, Capacitance of Logic Outputs			5			pF

Note 1: Absolute Maximum Ratings indicate limits beyond which damage to the device may occur. DC and AC electrical specifications do not apply when operating the device beyond its specified operating conditions.

Note 2: All voltages are measured with respect to the ground pins.

Note 3: Internal zener diodes (6.3 to 6.5V) are connected from V+ to GND and V_{CC} to GND. The zener at V+ can operate as a shunt regulator and is connected to V_{CC} via a conventional diode. Since the zener voltage equals the A/D's breakdown voltage, the diode insures that V_{CC} will be below breakdown when the device is powered from V+. Functionality is therefore guaranteed for V+ operation even though the resultant voltage at V_{CC} may exceed the specified Absolute Max of 6.5V. It is recommended that a resistor be used to limit the max current into V+. (See *Figure 3* in Functional Description Section 6.0)

Note 4: When the input voltage (V_{IN}) at any pin exceeds the power supply rails (V_{IN} < V− or V_{IN} > V+) the absolute value of current at that pin should be limited to 5 mA or less. The 20 mA package input current limits the number of pins that can exceed the power supply boundaries with a 5 mA current limit to four.

Note 5: Human body model, 100 pF discharged through a 1.5 kΩ resistor.

Note 6: Total unadjusted error includes offset, full-scale, linearity, and multiplexer errors.

Note 7: Cannot be tested for ADC0832.

Note 8: For $V_{IN}(-) \geq V_{IN}(+)$ the digital output code will be 0000 0000. Two on-chip diodes are tied to each analog input (see Block Diagram) which will forward conduct for analog input voltages one diode drop below ground or one diode drop greater than the V_{CC} supply. Be careful, during testing at low V_{CC} levels (4.5V), as high level analog inputs (5V) can cause this input diode to conduct—especially at elevated temperatures, and cause errors for analog inputs near full-scale. The spec allows 50 mV forward bias of either diode. This means that as long as the analog V_{IN} or V_{REF} does not exceed the supply voltage by more than 50 mV, the output code will be correct. To achieve an absolute 0 V_{DC} to 5 V_{DC} input voltage range will therefore require a minimum supply voltage of 4.950 V_{DC} over temperature variations, initial tolerance and loading.

Note 9: Leakage current is measured with the clock not switching.

Note 10: A 40% to 60% clock duty cycle range insures proper operation at all clock frequencies. In the case that an available clock has a duty cycle outside of these limits, the minimum time the clock is high or the minimum time the clock is low must be at least 1 µs. The maximum time the clock can be high is 60 µs. The clock can be stopped when low so long as the analog input voltage remains stable.

Note 11: Since data, MSB first, is the output of the comparator used in the successive approximation loop, an additional delay is built in (see Block Diagram) to allow for comparator response time.

Note 12: Typicals are at 25°C and represent most likely parametric norm.

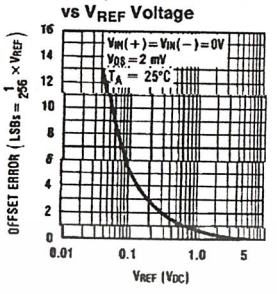
Note 13: Tested limits are guaranteed to National's AOQL (Average Outgoing Quality Level).

Note 14: Guaranteed but not 100% production tested. These limits are not used to calculate outgoing quality levels.

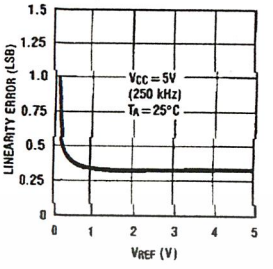
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics

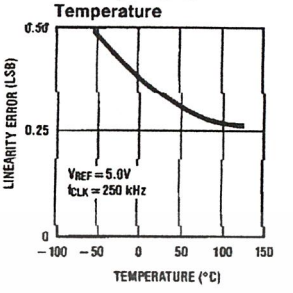
Unadjusted Offset Error vs V_{REF} Voltage



Linearity Error vs V_{REF} Voltage

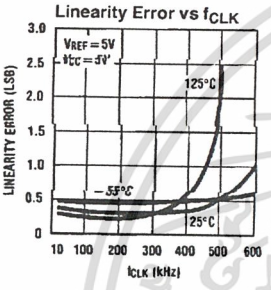


Linearity Error vs Temperature

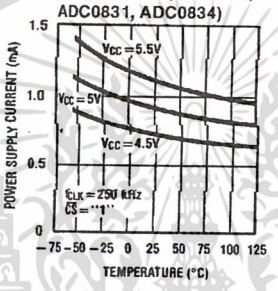


TL/H/5583–2

Linearity Error vs f_{CLK}

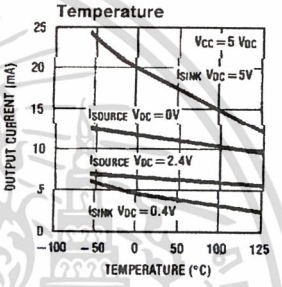


Power Supply Current vs Temperature (ADC0838, ADC0831, ADC0834)



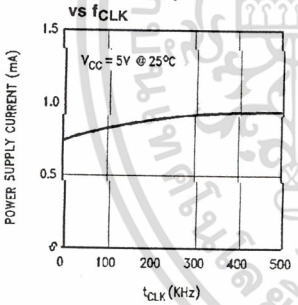
Note: For ADC0832 add I_{REF}.

Output Current vs Temperature



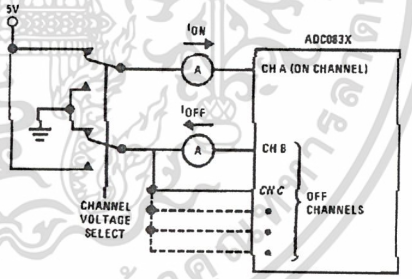
TL/H/5583–40

Power Supply Current vs f_{CLK}



TL/H/5583–29

Leakage Current Test Circuit

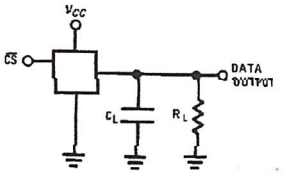


TL/H/5583–3

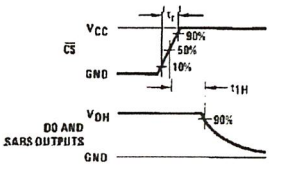
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TRI-STATE Test Circuits and Waveforms

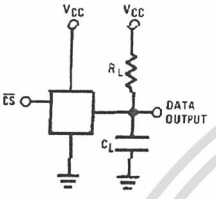
t_{1H}



t_{1H}

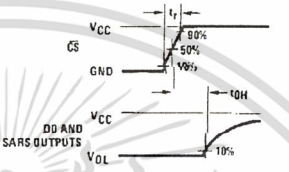


t_{OH}



TL/H/5583–4

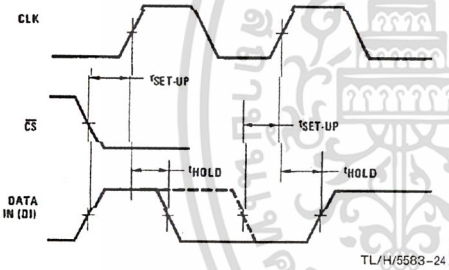
t_{OH}



TL/H/5583–23

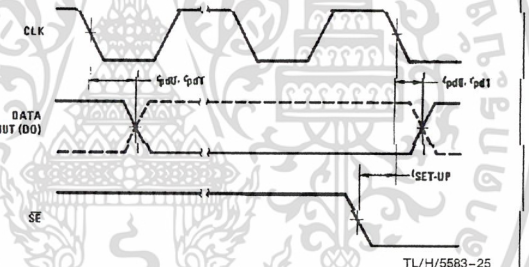
Timing Diagrams

Data Input Timing



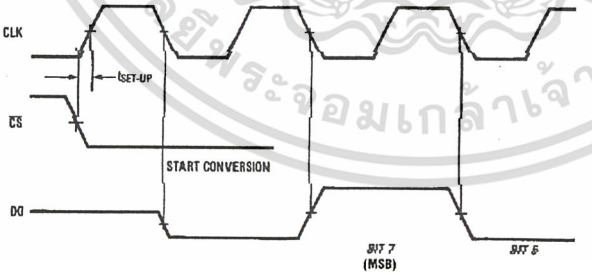
TL/H/5583–24

Data Output Timing



TL/H/5583–25

ADC0831 Start Conversion Timing

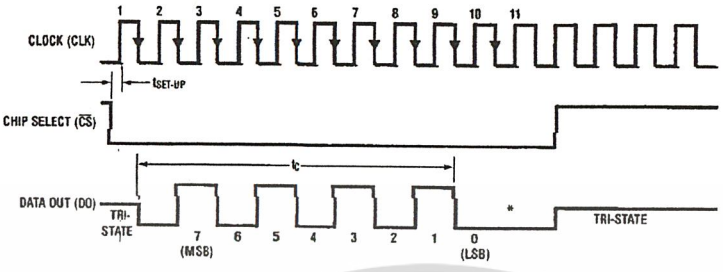


TL/H/5583–26

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Timing Diagrams (Continued)

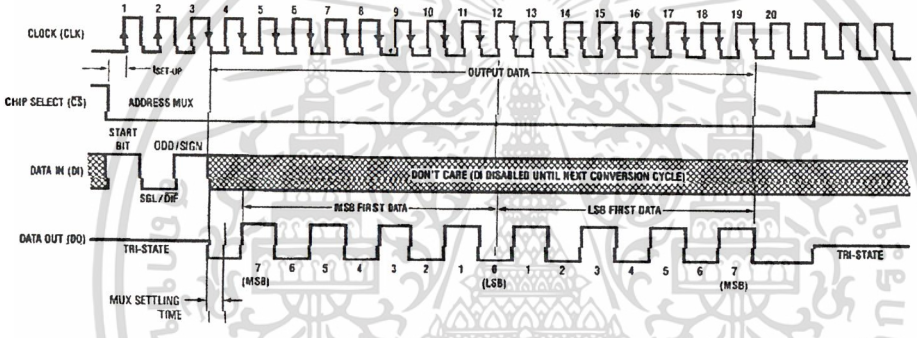
ADC0831 Timing



TL/H/5583–27

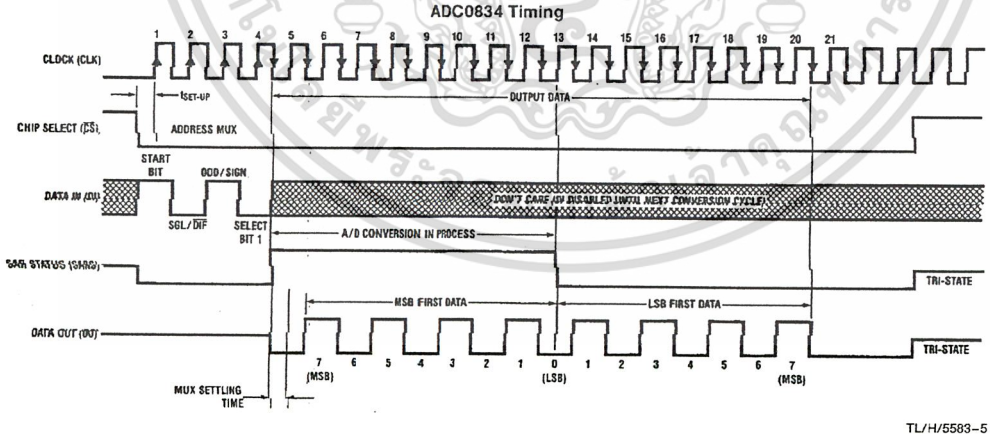
*LSB first output not available on ADC0831.

ADC0832 Timing



TL/H/5583–28

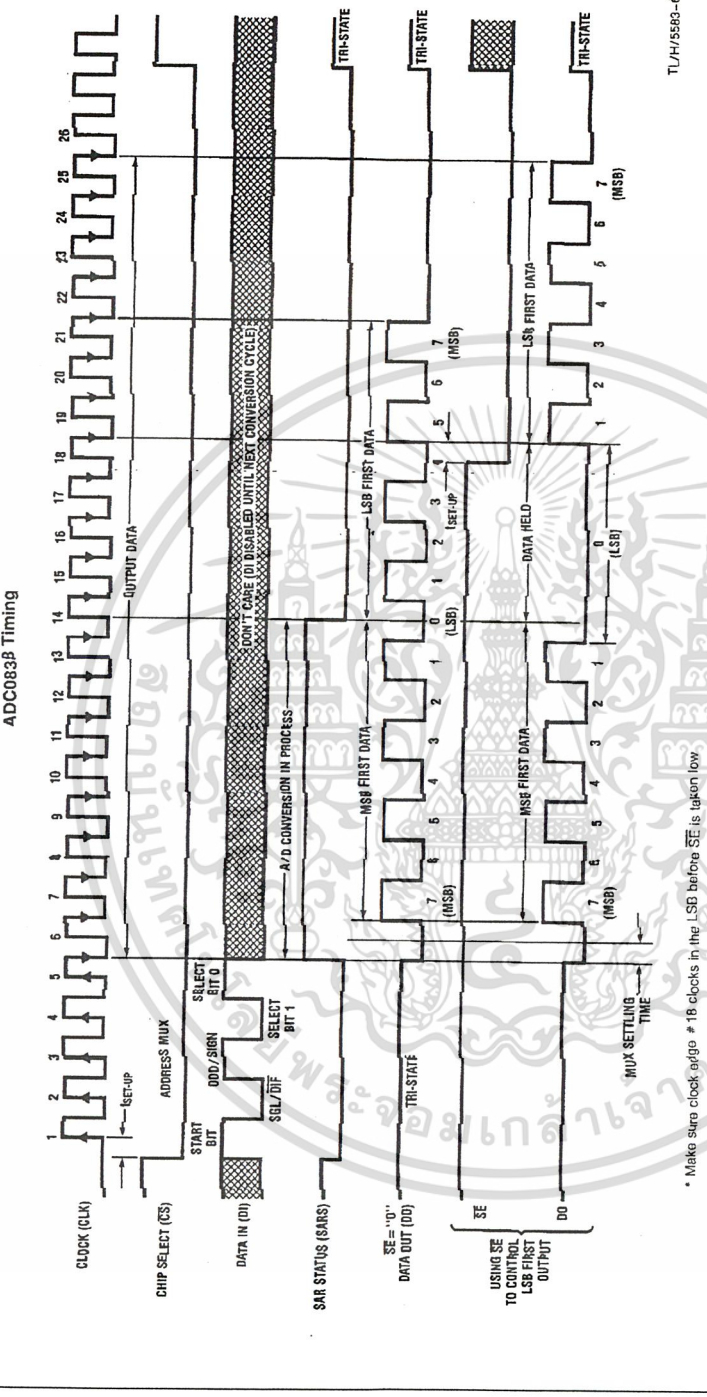
ADC0834 Timing



TL/H/5583–5

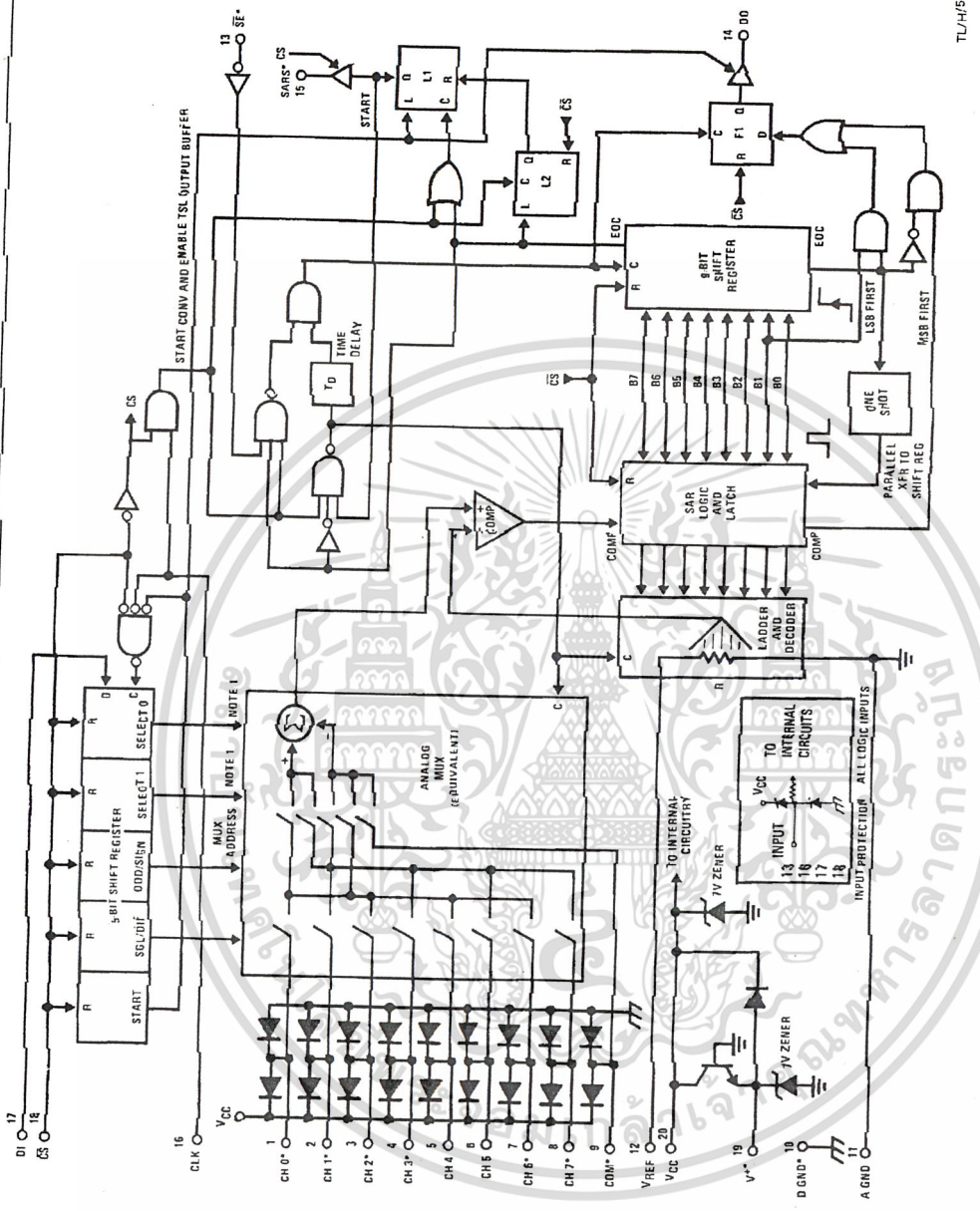
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Timing Diagrams (Continued)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ADC0838 Functional Block Diagram



*Some of these functions/pins are not available with other options.

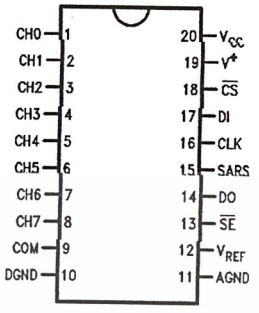
Note 1: For the ADC0834, D1 is input directly to the D input of SELECT 1. SELECT 0 is forced to a "1". For the ADC0832, DI is input directly to the DI input of ODD/SIGN. SELECT 0 is forced to a "0" and SELECT 1 is forced to a "1".

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Connection Diagrams

ADC0838 8-Channel MUX

Small Outline/Dual-In-Line Package (J, M and N)

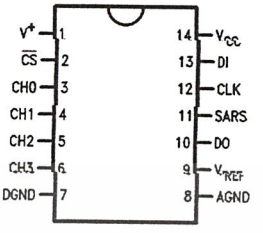


TL/H/5583–8

Top View

ADC0834 4-Channel MUX

Small Outline/Dual-In-Line Package (J, M, and N)



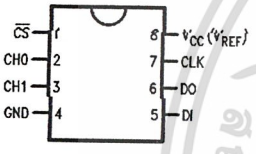
TL/H/5583–30

Top View

COM internally connected to A GND

ADC0832 2-Channel MUX

Dual-In-Line Package (J and N)



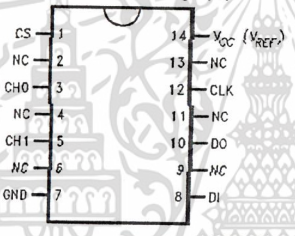
TL/H/5583–31

Top View

COM internally connected to GND.
V_{REF} internally connected to V_{CC}.

ADC0832 2-Channel MUX

Small Outline Package (M)

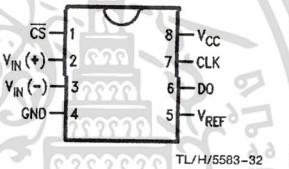


TL/H/5583–41

Top View

ADC0831 Single Differential Input

Dual-In-Line Package (J and N)

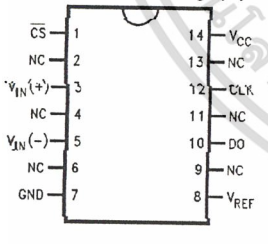


TL/H/5583–32

Top View

ADC0831 Single Differential Input

Small Outline Package (M)

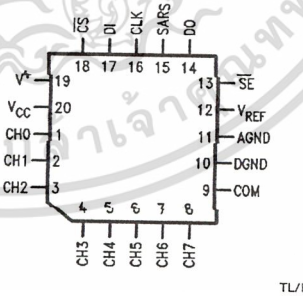


TL/H/5583–42

Top View

ADC0838 8-Channel MUX

Molded Chip Carrier (PCC) Package (V)



TL/H/5583–33

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Functional Description

1.0 MULTIPLEXER ADDRESSING

The design of these converters utilizes a sample-data comparator structure which provides for a differential analog input to be converted by a successive approximation routine.

The actual voltage converted is always the difference between an assigned "+" input terminal and a "−" input terminal. The polarity of each input terminal of the pair being converted indicates which line the converter expects to be the most positive. If the assigned "+" input is less than the "−" input the converter responds with an all zeros output code.

A unique input multiplexing scheme has been utilized to provide multiple analog channels with software-configurable single-ended, differential, or a new pseudo-differential option which will convert the difference between the voltage at any analog input and a common terminal. The analog signal conditioning required in transducer-based data acquisition systems is significantly simplified with this type of input flexibility. One converter package can now handle ground referenced inputs and true differential inputs as well as signals with some arbitrary reference voltage.

A particular input configuration is assigned during the MUX addressing sequence, prior to the start of a conversion. The MUX address selects which of the analog inputs are to be enabled and whether this input is single-ended or differential. In the differential case, it also assigns the polarity of the channels. Differential inputs are restricted to adjacent channel pairs. For example channel 0 and channel 1 may be selected as a different pair but channel 0 or 1 cannot act differentially with any other channel. In addition to selecting differential mode the sign may also be selected. Channel 0 may be selected as the positive input and channel 1 as the negative input or vice versa. This programmability is best illustrated by the MUX addressing codes shown in the following tables for the various product options.

The MUX address is shifted into the converter via the DI line. Because the ADC0831 contains only one differential input channel with a fixed polarity assignment, it does not require addressing.

The common input line on the ADC0838 can be used as a pseudo-differential input. In this mode, the voltage on this pin is treated as the "−" input for any of the other input channels. This voltage does not have to be analog ground, it can be any reference potential which is common to all of the inputs. This feature is most useful in single-supply application where the analog circuitry may be biased up to a potential other than ground and the output signals are all referred to this potential.

TABLE I. Multiplexer/Package Options

Part Number	Number of Analog Channels		Number of Package Pins
	Single-Ended	Differential	
ADC0831	1	1	8
ADC0832	2	1	8
ADC0834	4	2	14
ADC0838	8	4	20

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Functional Description (Continued)

TABLE II. MUX Addressing: ADC0838

Single-Ended MUX Mode

MUX Address				Analog Single-Ended Channel #								
SGL/$\overline{DIF}$	ODD/SIGN	SELECT 1	0	0	1	2	3	4	5	6	7	COM
1	0	0	0	+								−
1	0	0	1			+						−
1	0	1	0					+				−
1	0	1	1							+		−
1	1	0	0		+							−
1	1	0	1				+					−
1	1	1	0						+			−
1	1	1	1								+	−

Differential MUX Mode

MUX Address				Analog Differential Channel-Pair #							
SGL/$\overline{DIF}$	ODD/SIGN	SELECT 1	0	0		1		2		3	
				0	1	2	3	4	5	6	7
0	0	0	0	+	−						
0	0	0	1			+	−				
0	0	1	0					+	−		
0	0	1	1							+	−
0	1	0	0	−	+						
0	1	0	1			−	+				
0	1	1	0					−	+		
0	1	1	1							−	+

TABLE III. MUX Addressing: ADC0834

Single-Ended MUX Mode

MUX Address			Channel #			
SGL/DIF	ODD/SIGN	SELECT 1	0	1	2	3
1	0	0	+			
1	0	1			+	
1	1	0		+		
1	1	1				+

COM is internally tied to A GND

Differential MUX Mode

MUX Address			Channel #			
SGL/DIF	ODD/SIGN	SELECT 1	0	1	2	3
0	0	0	+	−		
0	0	1			+	−
0	1	0	−	+		
0	1	1			−	+

TABLE IV. MUX Addressing: ADC0832

Single-Ended MUX Mode

MUX Address		Channel #	
SGL/DIF	ODD/SIGN	0	1
1	0	+	
1	1		+

COM is internally tied to A GND

Differential MUX Mode

MUX Address		Channel #	
SGL/$\overline{DIF}$	ODD/SIGN	0	1
0	0	+	−
0	1	−	+

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Functional Description (Continued)

Since the input configuration is under software control, it can be modified, as required, at each conversion. A channel can be treated as a single-ended, ground referenced input *for one conversion; then it can be reconfigured as part of a* differential channel for another conversion. *Figure 1* illustrates the input flexibility which can be achieved.

The analog input voltages for each channel can range from 50 mV below ground to 50 mV above V_{CC} (typically 5V) without degrading conversion accuracy.

2.0 THE DIGITAL INTERFACE

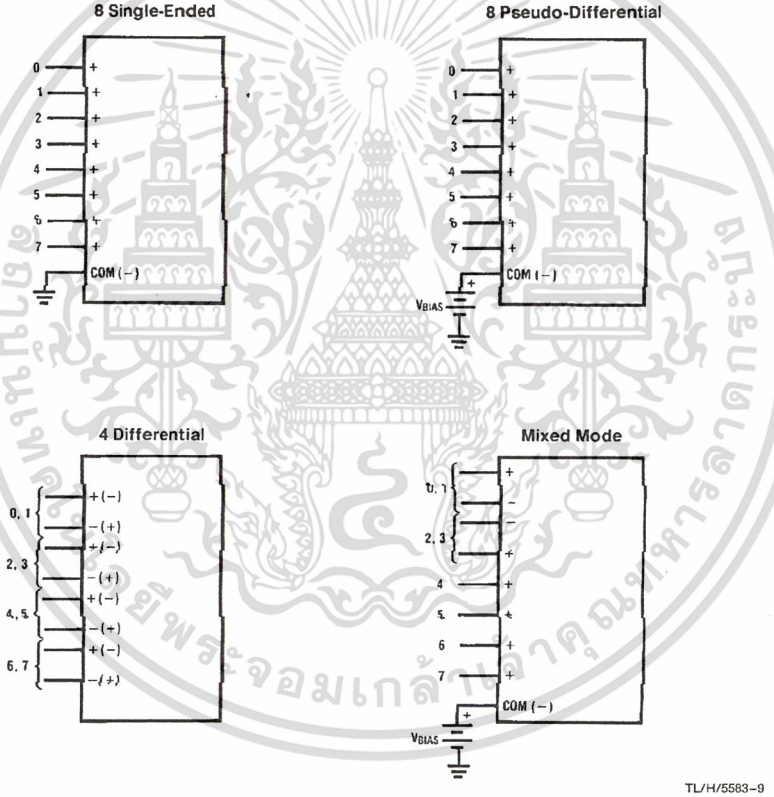
A most important characteristic of these converters is their serial data link with the controlling processor. Using a serial communication format offers two very significant system improvements; it allows more function to be included in the converter package with no increase in package size and it can eliminate the transmission of low level analog signals by locating the converter right at the analog sensor; transmitting highly noise immune digital data back to the host processor.

To understand the operation of these converters it is best to refer to the Timing Diagrams and Functional Block Diagram and to follow a complete conversion sequence. For clarity a *separate diagram is shown of each device.*

1. A conversion is initiated by first pulling the $\overline{CS}$ (chip select) line low. This line must be held low for the entire conversion. The converter is now waiting for a start bit and its MUX assignment word.

2. A clock is then generated by the processor (if not provided *continuously) and output to the A/D clock input.*

3. On each rising edge of the clock the status of the data in (DI) line is clocked into the MUX address shift register. The start bit is the first logic "1" that appears on this line (all leading zeros are ignored). Following the start bit the converter expects the next 2 to 4 bits to be the MUX assignment word.



TL/H/5583–9

FIGURE 1. Analog Input Multiplexer Options for the ADC0838

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Functional Description (Continued)

4. When the start bit has been shifted into the start location of the MUX register, the input channel has been assigned and a conversion is about to begin. An interval of ½ clock *period (where nothing happens) is automatically inserted to* allow the selected MUX channel to settle. The SAR status line goes high at this time to signal that a conversion is now in progress and the DI line is disabled (it no longer accepts data).

5. The data out (DO) line now comes out of TRI-STATE and *provides a leading zero for this one clock period of MUX* settling time.

6. When the conversion begins, the output of the SAR comparator, which indicates whether the analog input is greater than (high) or less than (low) each successive voltage from the internal resistor ladder, appears at the DO line on each *falling edge of the clock. This data is the result of the con*version being shifted out (with the MSB coming first) and can be read by the processor immediately.

7. After 8 clock periods the conversion is completed. The SAR status line returns low to indicate this ½ clock cycle later.

8. If the programmer prefers, the data can be provided in an LSB first format [this makes use of the shift enable ($\overline{SE}$) control line]. All 8 bits of the result are stored in an output shift register. On devices which do not include the $\overline{SE}$ control line, the data, LSB first, is automatically shifted out the DO line, after the MSB first data stream. The DO line then goes low and stays low until $\overline{CS}$ is returned high. On the ADC0838 the $\overline{SE}$ line is brought out and if held high, the value of the LSB remains valid on the DO line. When $\overline{SE}$ is forced low, the data is then clocked out LSB first. The ADC0831 is an exception in that its data is only output in MSB first format.

9. All internal registers are cleared when the $\overline{CS}$ line is high. If another conversion is desired, $\overline{CS}$ must make a high to low transition followed by address information.

The DI and DO lines can be tied together and controlled through a bidirectional processor I/O bit with one wire. This is possible because the DI input is only "looked-at" during *the MUX addressing interval while the DO line is still in a* high impedance state.

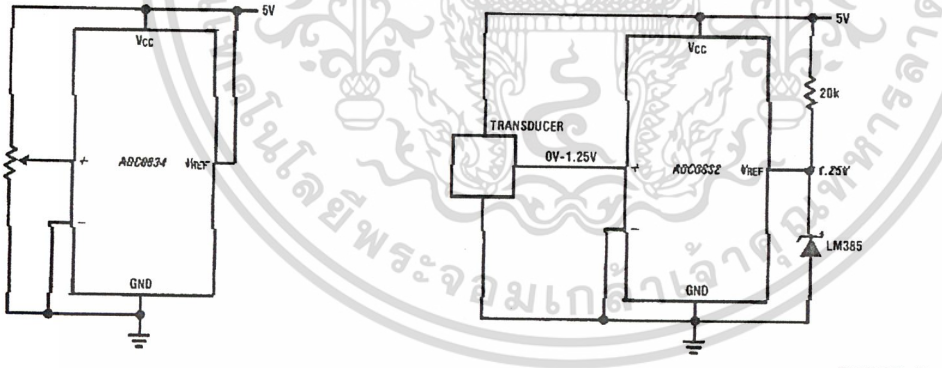
3.0 REFERENCE CONSIDERATIONS

The voltage applied to the reference input to these converters defines the voltage span of the analog input (the difference between $V_{IN(MAX)}$ and $V_{IN(MIN)}$) over which the 256 possible output codes apply. The devices can be used in either ratiometric applications or in systems requiring absolute accuracy. The reference pin must be connected to a voltage source capable of driving the reference input resistance of typically 3.5 kΩ. This pin is the top of a resistor divider string used for the successive approximation conversion.

In a ratiometric system, the analog input voltage is proportional to the voltage used for the A/D reference. This voltage is typically the system power supply, so the V_{REF} pin can be tied to V_{CC} (done internally on the ADC0832). This technique relaxes the stability requirements of the system *reference as the analog input and A/D reference move to*gether maintaining the same output code for a given input condition.

For absolute accuracy, where the analog input varies between very specific voltage limits, the reference pin can be biased with a time and temperature stable voltage source. *The LM385 and LM336 reference diodes are good low cur*rent devices to use with these converters.

The maximum value of the reference is limited to the V_{CC} supply voltage. The minimum value, however, can be quite small (see Typical Performance Characteristics) to allow direct conversions of transducer outputs providing less than a *5V output span. Particular care must be taken with regard to* noise pickup, circuit layout and system error voltage sources when operating with a reduced span due to the increased sensitivity of the converter (1 LSB equals V_{REF}/256).



TL/H/5583–10

a) Ratiometric

b) Absolute with a Reduced Span

FIGURE 2. Reference Examples

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Functional Description (Continued)

4.0 THE ANALOG INPUTS

The most important feature of these converters is that they can be located right at the analog signal source and through just a few wires can communicate with a controlling processor with a highly noise immune serial bit stream. This in itself greatly minimizes circuitry to maintain analog signal accuracy which otherwise is most susceptible to noise pickup. However, a few words are in order with regard to the analog inputs should the input be noisy to begin with or possibly riding on a large common-mode voltage.

The differential input of these converters actually reduces the effects of common-mode input noise, a signal common to both selected "+" and "−" inputs for a conversion (60 Hz is most typical). The time interval between sampling the "+" input and then the "−" input is ½ of a clock period. The change in the common-mode voltage during this short time interval can cause conversion errors. For a sinusoidal common-mode signal this error is:

$$V_{error}(max) = V_{PEAK}(2\pi f_{CM}) \left(\frac{0.5}{f_{CLK}} \right)$$

where f_{CM} is the frequency of the common-mode signal,

V_{PEAK} is its peak voltage value

and f_{CLK}, is the A/D clock frequency.

For a 60 Hz common-mode signal to generate a ¼ LSB error (≈5 mV) with the converter running at 250 kHz, its peak value would have to be 6.63V which would be larger than allowed as it exceeds the maximum analog input limits.

Due to the sampling nature of the analog inputs short spikes of current enter the "+" input and exit the "−" input at the clock edges during the actual conversion. These currents decay rapidly and do not cause errors as the internal comparator is strobed at the end of a clock period. Bypass capacitors at the inputs will average these currents and cause an effective DC current to flow through the output resistance of the analog signal source. Bypass capacitors should not be used if the source resistance is greater than 1 kΩ.

This source resistance limitation is important with regard to the DC leakage currents of input multiplexer as well. The worst-case leakage current of ±1 μA over temperature will create a 1 mV input error with a 1 kΩ source resistance. An op amp RC active low pass filter can provide both impedance buffering and noise filtering should a high impedance signal source be required.

5.0 OPTIONAL ADJUSTMENTS

5.1 Zero Error

The zero of the A/D does not require adjustment. If the minimum analog input voltage value, $V_{IN(MIN)}$, is not ground a zero offset can be done. The converter can be made to output 0000 0000 digital code for this minimum input voltage by biasing any $V_{IN}(-)$ input at this $V_{IN(MIN)}$ value. This utilizes the differential mode operation of the A/D.

The zero error of the A/D converter relates to the location of the first riser of the transfer function and can be measured by grounding the $V_{IN}(-)$ input and applying a small magnitude positive voltage to the $V_{IN}(+)$ input. Zero error is the difference between the actual DC input voltage which is necessary to just cause an output digital code transition from 0000 0000 to 0000 0001 and the ideal ½ LSB value (½ LSB = 9.8 mV for $V_{REF} = 5.000\ V_{DC}$).

5.2 Full-Scale

The full-scale adjustment can be made by applying a differential input voltage which is 1 ½ LSB down from the desired analog full-scale voltage range and then adjusting the magnitude of the V_{REF} input (or V_{CC} for the ADC0832) for a digital output code which is just changing from 1111 1110 to 1111 1111.

5.3 Adjusting for an Arbitrary Analog Input Voltage Range

If the analog zero voltage of the A/D is shifted away from ground (for example, to accommodate an analog input signal which does not go to ground), this new zero reference should be properly adjusted first. A $V_{IN}(+)$ voltage which equals this desired zero reference plus ½ LSB (where the LSB is calculated for the desired analog span, using 1 LSB = analog span/256) is applied to selected "+" input and the zero reference voltage at the corresponding "−" input should then be adjusted to just obtain the 00_{HEX} to 01_{HEX} code transition.

The full-scale adjustment should be made [with the proper $V_{IN}(-)$ voltage applied] by forcing a voltage to the $V_{IN}(+)$ input which is given by:

$$V_{IN}(+) \text{ fs adj} = V_{MAX} - 1.5 \left[\frac{(V_{MAX} - V_{MIN})}{256} \right]$$

where:

V_{MAX} = the high end of the analog input range

and

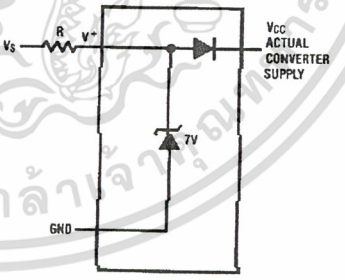
V_{MIN} = the low end (the offset zero) of the analog range.

(Both are ground referenced.)

The V_{REF} (or V_{CC}) voltage is then adjusted to provide a code change from FE_{HEX} to FF_{HEX}. This completes the adjustment procedure.

6.0 POWER SUPPLY

A unique feature of the ADC0838 and ADC0834 is the inclusion of a zener diode connected from the V^+ terminal to ground which also connects to the V_{CC} terminal (which is the actual converter supply) through a silicon diode, as shown in *Figure 3*. (See Note 3)



TL/H/5583–11

FIGURE 3. An On-Chip Shunt Regulator Diode

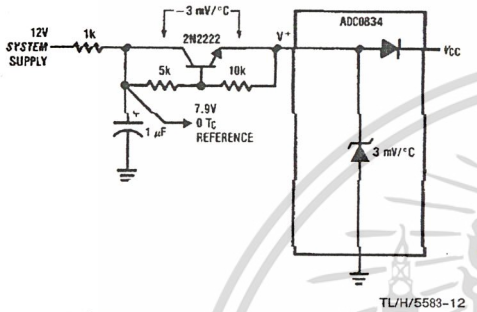
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Functional Description (Continued)

This zener is intended for use as a shunt voltage regulator to eliminate the need for any additional regulating components. This is most desirable if the converter is to be *remotely located from the system power source. Figures 4 and 5* illustrate two useful applications of this on-board zener when an external transistor can be afforded.

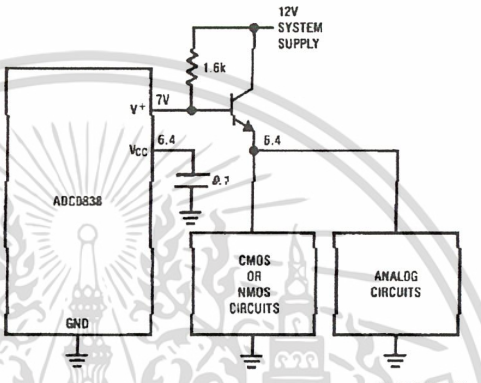
An important use of the interconnecting diode between V^+ and V_{CC} is shown in *Figures 6 and 7*. Here, this diode is used as a rectifier to allow the V_{CC} supply for the converter to be derived from the clock. The low current requirements of the A/D and the relatively high clock frequencies used (typically in the range of 10k–400 kHz) allows using the *small value filter capacitor shown to keep the ripple on the* V_{CC} line to well under ¼ of an LSB. The shunt zener regulator can also be used in this mode. This requires a clock voltage swing which is in excess of V_Z. A current limit for the zener is needed, either built into the clock generator or a resistor can be used from the CLK pin to the V^+ pin.

Applications



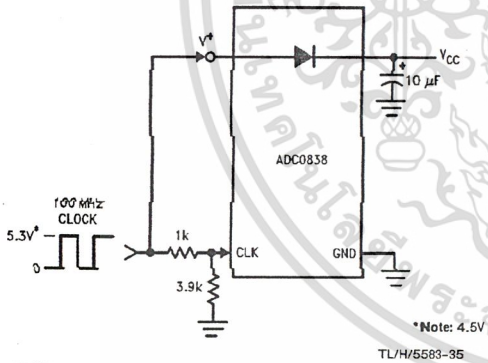
TL/H/5583–12

FIGURE 4. Operating with a Temperature Compensated Reference



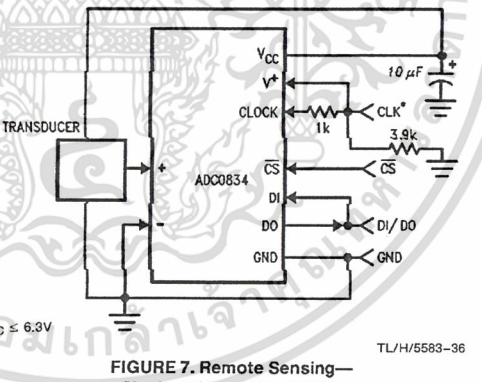
TL/H/5583–34

FIGURE 5. Using the A/D as the System Supply Regulator



TL/H/5583–35

FIGURE 6. Generating V_{CC} from the Converter Clock



*Note: $4.5V \leq V_{CC} \leq 6.3V$

TL/H/5583–36

FIGURE 7. Remote Sensing—Clock and Power on 1 Wire

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

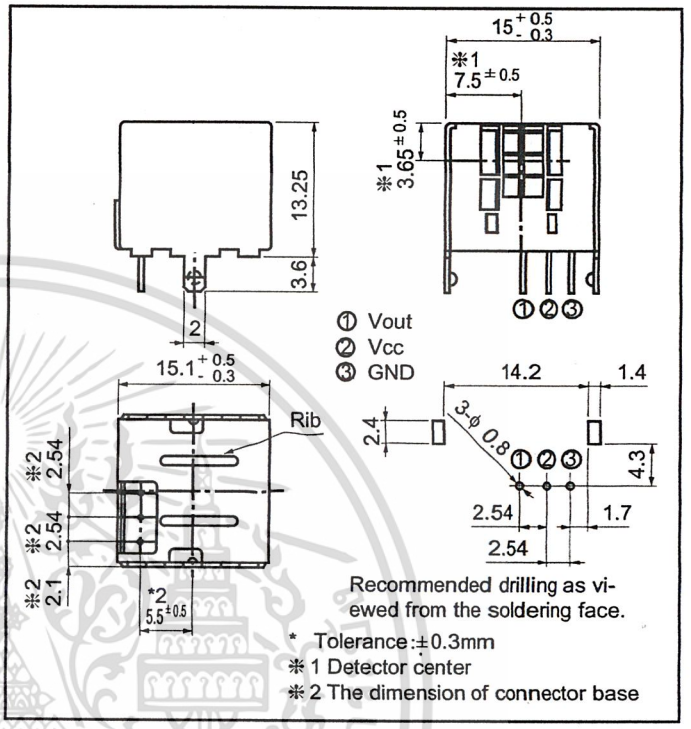
GP1U78Q Series

IR Detecting Unit For Remote Control

■ Features

1. Less sensitive to fluorescent lamp driven by inverter
2. Improved anti-electromagnetic noise characteristic by mesh type light detecting window.
3. Various B.P.F (Band Pass Filter) frequency
4. Built-in voltage regulator circuit

■ Outline Dimensions (Unit : mm)



■ Applications

1. TVs
2. VCRs
3. CATV set top boxes
4. BS receivers

■ Absolute Maximum Ratings (Ta = 25°C)

Parameter	Symbol	Rating	Unit
Supply voltage	V_{CC}	0 to 6.3	V
*1 Operating temperature	T_{opr}	- 10 to +70	°C
Storage temperature	S_{stg}	- 20 to +70	°C
*2 Soldering temperature	T_{sol}	260	°C

*1 No dew formation
*2 For 5 seconds

■ Recommended Operations Conditions

Parameter	Symbol	Value	Unit
Supply voltage	V_{CC}	4.7 to 5.3	V

■ Electrical Characteristics

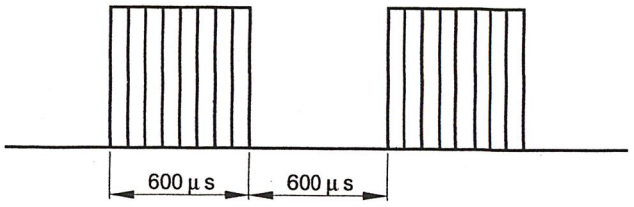
(Ta = 25°C, V_{CC} = +5V)

Parameter	Symbol	Conditions	MIN.	TYP.	MAX.	Unit
Dissipation current	I_{CC}	No input light	-	-	5.0	mA
High level output voltage	V_{OH}	*3	V_{CC} - 0.5	-	-	V
Low level output voltage	V_{OL}		-	-	0.45	V
High level pulse width	T_1		400	-	800	μs
Low level pulse width	T_2		400	-	800	
B. P. F. center frequency	f_o	-	-	*4 40	-	kHz

*3 The burst wave as shown in the following figure shall be transmitted by the transmitter shown in Fig. 1.
*4 Diversified models with a different B. P. F. frequency, as shown in a separate table, are also available.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

" In the absence of confirmation by device specification sheets, SHARP takes no responsibility for any defects that occur in equipment using any of SHARP's devices, shown in catalogs, data books, etc. Contact SHARP in order to obtain the latest version of the device specification sheets before using any SHARP's device."

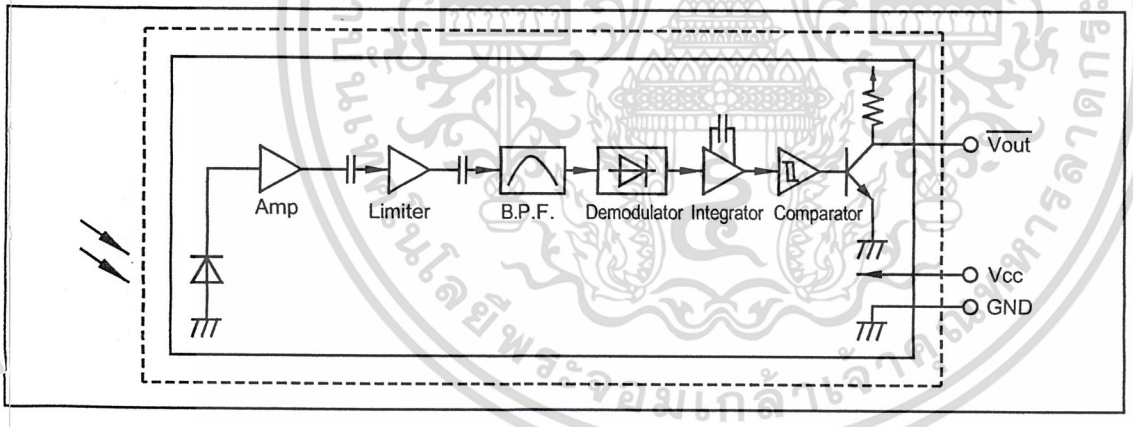


The value of f_O is shown in a separate table.
Duty 50%

Model Line-up

Model No.	B.P.F. frequency	Unit
GP1U78Q	40	kHz
GP1U780Q	36	
GP1U781Q	38	
GP1U782Q	36.7	
GP1U783Q	32.75	
GP1U787Q	56.8	

Internal Block Diagram



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

■ Performance

Using the transmitter shown in Fig. 1, the output signal of the light detecting unit is good enough to meet the following items in the standard optical system in Fig. 2.

(1) Linear reception distance characteristics

When L= 0.2 to 6.5m, Ee<10 lx and ϕ = 0° in Fig. 2, the output signal shall meet the electrical characteristcs in the attached list.

(2) Sensitivity angle reception distance characteristics

When L= 0.2 to 4.5m, Ee< 10 lx and ϕ <= 30° in Fig. 2, the output signal shalmeet the electrical characteristics in the attached list.

(3) Anti outer peripheral light reception distance characteristics

When L= 0.2 to 3m, Ee <= 300 lx and ϕ = 0° in Fig. 2, the output signal shall meet the electrical characteristics in the attached list.

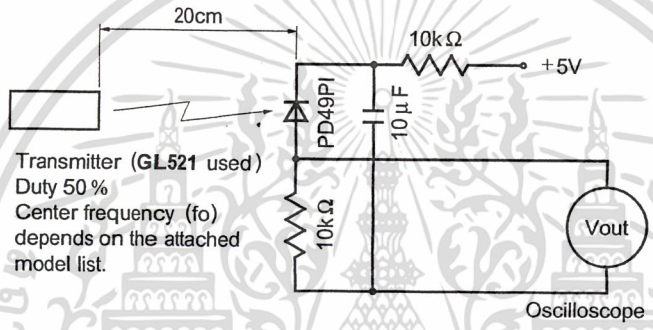


Fig. 1. Transmitter

In the above figure, the transmitter should be set so that the output V_{out} can be 40mV $_{PP}$. However, the **PD49PI** to be used here should be of the short-circuit current I_{SC}= 2.6 μ A at E_V= 100 lx.

(E_V is an illuminance by CIE standard light source A (tungsten lamp).)

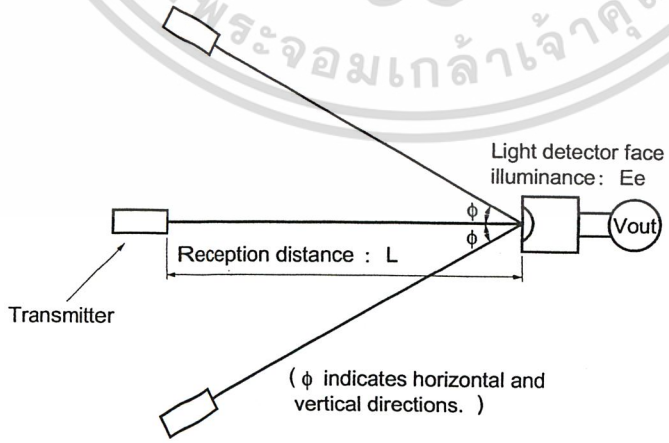


Fig. 2. Standard optical system

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

■ Precautions for Use

(1) Use the light emitting unit (remote control transmitter), in consideration of performance, characteristics and operating condition of light emitting device and the characteristics of the light detecting unit.

(2) Pay attention to a malfunction of the light detecting unit when the surface is stained with dust and refuse. Care must be taken not to touch the light detector surface. If it should be dirty, wipe off with soft cloth so as to prevent scratch. In case some solvents are required, use metyl alcohol, ethyl alcohol or isoprophyl alcohol. Also, protect the light detecting unit against flux and others.

(3) The shield case shall be grounded on PWB pattern.

(4) Do not apply unnecessary force to the terminals and case form outside.

(5) Do not push the light detector surface (photodiode) from outside.

(6) To avoid the electorstatic breakdown of IC, handle the unit under the condition of grounding with human body, soldering iron, etc.

(7) In case of adopting the infrared light detecting unit for the wireless remote control, use it in accordance with the transmission scheme and the signal format recommended in "Countermeasures for malfunction prevention of home appliances with infrared remote control" issued form Japan Association of Electrical Home Appliances (AEHA) in July 1987.

(8) As for other general cautions, refer to the chapter "Precautions for Use" (Page 78 to 93).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MICROCHIP 24AA256/24LC256/24FC256

256K I²C™ CMOS Serial EEPROM

DEVICE SELECTION TABLE

Part Number	Vcc Range	Max. Clock Frequency	Temp. Ranges
24AA256	1.8-5.5V	400 kHz(1)	I
24LC256	2.5-5.5V	400 kHz(2)	I, E
24FC256	2.5-5.5V	1 MHz	I

Note 1: 100 kHz for Vcc < 2.5V.
2: 100 kHz for E temperature range.

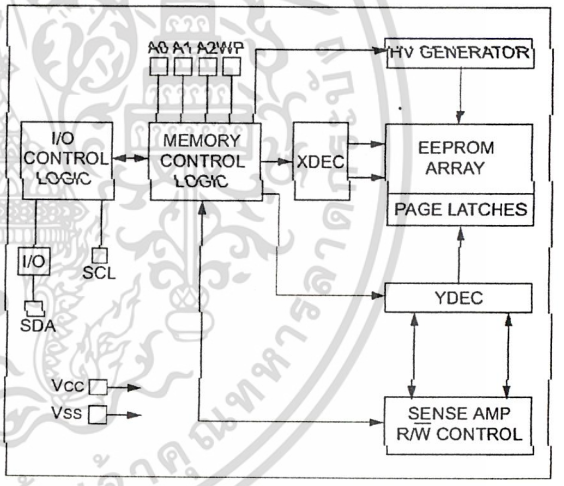
FEATURES

- Low power CMOS technology
  - Maximum write current 3 mA at 5.5V
  - Maximum read current 400 µA at 5.5V
  - Standby current 100 nA typical at 5.5V
- 2-wire serial interface bus, I²C compatible
- Cascadable for up to eight devices
- Self-timed ERASE/WRITE cycle
- 64-byte page-write mode available
- 5 ms max write-cycle time
- Hardware write protect for entire array
- Output slope control to eliminate ground bounce
- Schmitt trigger inputs for noise suppression
- 1,000,000 erase/write cycles
- Electrostatic discharge protection > 4000V
- Data retention > 200 years
- 8-pin PDIP, SOIC, TSSOP and MLF packages
- 14-lead TSSOP package
- Temperature ranges:
  - Industrial (I): -40°C to +85°C
  - Automotive (E): -40°C to +125°C

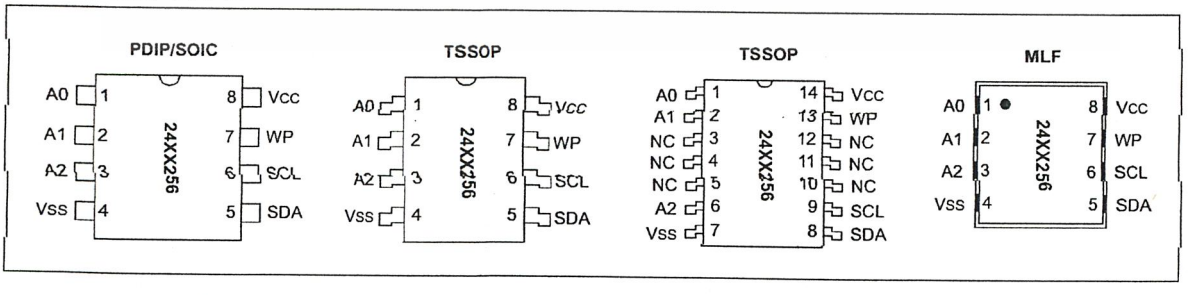
DESCRIPTION

The Microchip Technology Inc. 24AA256/24LC256/24FC256 (24XX256*) is a 32K x 8 (256 Kbit) Serial Electrically Erasable PROM, capable of operation across a broad voltage range (1.8V to 5.5V). It has been developed for advanced, low power applications such as personal communications or data acquisition. This device also has a page-write capability of up to 64 bytes of data. This device is capable of both random and sequential reads up to the 256K boundary. Functional address lines allow up to eight devices on the same bus, for up to 2M bit address space. This device is available in the standard 8-pin plastic DIP, SOIC, TSSOP, MLF and 14-lead TSSOP packages.

BLOCK DIAGRAM



PACKAGE TYPE



*24XX256 is used in this document as a generic part number for the 24AA256/24LC256/24FC256 devices.
I²C™ is a trademark of the Philips Corporation

© 2001 Microchip Technology Inc.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.0 ELECTRICAL CHARACTERISTICS

Absolute Maximum Ratings†

VCC.....6.5V

All inputs and outputs w.r.t. VSS ..... -0.6V to VCC +1.0V

Storage temperature .....-65°C to +150°C

Ambient temp. with power applied .....-65°C to +125°C

Soldering temperature of leads (10 seconds) .....+300°C

ESD protection on all pins .....≥ 4 KV

† *NOTICE: Stresses above those listed under "Maximum Ratings" may cause permanent damage to the device. This* is a stress rating only and functional operation of the device at those or any other conditions above those indicated in the operational listings of this specification is not implied. Exposure to maximum rating conditions for extended periods may affect device reliability.

1.1 DC Characteristics

DC CHARACTERISTICS			Industrial (I): VCC = +1.8V to 5.5V TAMB = -40°C to +85°C Automotive (E): VCC = +2.5V to 5.5V TAMB = -40°C to 125°C			
Param. No.	Sym.	Characteristic	Min.	Max.	Units	Conditions
D1	—	A0, A1, A2, SCL, SDA and WP pins:	—	—	—	—
D2	VIH	High level input voltage	0.7 VCC	—	V	—
D3	VIL	Low level input voltage	—	0.3 VCC 0.2 VCC	V V	VCC ≥ 2.5V VCC < 2.5V
D4	VHYS	Hysteresis of Schmitt Trigger inputs (SDA, SCL pins)	0.05 VCC	—	V	VCC ≥ 2.5V **(Note)**
D5	VOL	Low level output voltage	—	0.40	V	IOL = 3.0 mA @ VCC = 4.5V IOL = 2.1 mA @ VCC = 2.5V
D6	ILI	Input leakage current	-10	10	µA	VIN = VSS or VCC, WP = VSS VIN = VSS or VCC, WP = VCC
D7	ILO	Output leakage current	-10	10	µA	VOUT = VSS or VCC
D8	CIN, COUT	Pin capacitance (all inputs/outputs)	—	10	pF	VCC = 5.0V **(Note)** TAMB = 25°C, fc= 1 MHz
D9	ICC Read	Operating current	—	400	µA	VCC = 5.5V, SCL = 400 kHz
	ICC Write		—	3	mA	VCC = 5.5V
D10	ICCS	Standby current	—	1	µA	SCL = SDA = VCC = 5.5V A0, A1, A2, WP = VSS

Note: This parameter is periodically sampled and not 100% tested.

© 2001 Microchip Technology Inc.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.2 AC Characteristics

AC CHARACTERISTICS			Industrial (I): Vcc = +1.8V to 5.5V TAMB = -40°C to +85°C Automotive (E): Vcc = +2.5V to 5.5V TAMB = -40°C to 125°C			
Param. No.	Sym.	Characteristic	Min.	Max.	Units	Conditions
1	FCLK	Clock frequency	—	100	kHz	2.5V ≤ Vcc ≤ 5.5V (E Temp. range)
			—	100		1.8V ≤ Vcc ≤ 2.5V
			—	400		2.5V ≤ Vcc ≤ 5.5V
			—	1000		2.5V ≤ Vcc ≤ 5.5V 24FC256
2	THIGH	Clock high time	4000	—	ns	2.5V ≤ Vcc ≤ 5.5V (E Temp. range)
			4000	—		1.8V ≤ Vcc ≤ 2.5V
			600	—		2.5V ≤ Vcc ≤ 5.5V
			500	—		2.5V ≤ Vcc ≤ 5.5V 24FC256
3	TLOW	Clock low time	4700	—	ns	2.5V ≤ Vcc ≤ 5.5V (E Temp. range)
			4700	—		1.8V ≤ Vcc ≤ 2.5V
			1300	—		2.5V ≤ Vcc ≤ 5.5V
			500	—		2.5V ≤ Vcc ≤ 5.5V 24FC256
4	TR	SDA and SCL rise time (Note 1)	—	1000	ns	2.5V ≤ Vcc ≤ 5.5V (E Temp. range)
			—	1000		1.8V ≤ Vcc ≤ 2.5V
			—	300		2.5V ≤ Vcc ≤ 5.5V
			—	300		2.5V ≤ Vcc ≤ 5.5V 24FC256
5	TF	SDA and SCL fall time (Note 1)	—	300	ns	All except, 24FC256
			—	100		2.5V ≤ Vcc ≤ 5.5V 24FC256
6	THD:STA	START condition hold time	4000	—	ns	2.5V ≤ Vcc ≤ 5.5V (E Temp. range)
			4000	—		1.8V ≤ Vcc ≤ 2.5V
			600	—		2.5V ≤ Vcc ≤ 5.5V
			250	—		2.5V ≤ Vcc ≤ 5.5V 24FC256
7	TSU:STA	START condition setup time	4700	—	ns	2.5V ≤ Vcc ≤ 5.5V (E Temp. range)
			4700	—		1.8V ≤ Vcc ≤ 2.5V
			600	—		2.5V ≤ Vcc ≤ 5.5V
			250	—		2.5V ≤ Vcc ≤ 5.5V 24FC256
8	THD:DAT	Data input hold time	0	—	ns	(Note 2)
9	TSU:DAT	Data input setup time	250	—	ns	2.5V ≤ Vcc ≤ 5.5V (E Temp. range)
			250	—		1.8V ≤ Vcc ≤ 2.5V
			100	—		2.5V ≤ Vcc ≤ 5.5V
			100	—		2.5V ≤ Vcc ≤ 5.5V 24FC256
10	TSU:STO	STOP condition setup time	4000	—	ns	2.5V ≤ Vcc ≤ 5.5V (E Temp. range)
			4000	—		1.8V ≤ Vcc ≤ 2.5V
			600	—		2.5V ≤ Vcc ≤ 5.5V
			250	—		2.5V ≤ Vcc ≤ 5.5V 24FC256
11	TSU:WP	WP setup time	4000	—	ns	2.5V ≤ Vcc ≤ 5.5V (E Temp. range)
			4000	—		1.8V ≤ Vcc ≤ 2.5V
			600	—		2.5V ≤ Vcc ≤ 5.5V
			600	—		2.5V ≤ Vcc ≤ 5.5V 24FC256
12	THD:WP	WP hold time	4700	—	ns	2.5V ≤ Vcc ≤ 5.5V (E Temp. range)
			4700	—		1.8V ≤ Vcc ≤ 2.5V
			1300	—		2.5V ≤ Vcc ≤ 5.5V
			1300	—		2.5V ≤ Vcc ≤ 5.5V 24FC256

Note 1: Not 100% tested. CB = total capacitance of one bus line in pF.

2: As a transmitter, the device must provide an internal minimum delay time to bridge the undefined region (minimum 300 ns) of the falling edge of SCL to avoid unintended generation of START or STOP conditions.

3: The combined TSP and VHYS specifications are due to new Schmitt trigger inputs which provide improved noise spike suppression. This eliminates the need for a TI specification for standard operation.

4: This parameter is not tested but ensured by characterization. For endurance estimates in a specific application, please consult the Total Endurance Model which can be obtained on Microchip's website: www.microchip.com.

© 2001 Microchip Technology Inc.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC CHARACTERISTICS (Continued)			Industrial (I): VCC = +1.8V to 5.5V TAMB = -40°C to +85°C Automotive (E): VCC = +2.5V to 5.5V TAMB = -40°C to 125°C			
Param. No.	Sym.	Characteristic	Min.	Max.	Units	Conditions
13	TAA	Output valid from clock (Note 2)	— — — —	3500 3500 900 400	ns	2.5V ≤ VCC ≤ 5.5V (E Temp. range) 1.8V ≤ VCC ≤ 2.5V 2.5V ≤ VCC ≤ 5.5V 2.5V ≤ VCC ≤ 5.5V 24FC256
14	TBUF	Bus free time: Time the bus must be free before a new transmission can start	4700 4700 1300 500	— — — —	ns	2.5V ≤ VCC ≤ 5.5V (E Temp. range) 1.8V ≤ VCC ≤ 2.5V 2.5V ≤ VCC ≤ 5.5V 2.5V ≤ VCC ≤ 5.5V 24FC256
15	TOF	Output fall time from VIH minimum to VIL maximum CB ≤ 100 pF	10 + 0.1CB	250 250	ns	All except, 24FC256 (Note 1) 24FC256 (Note 1)
16	TSP	Input filter spike suppression (SDA and SCL pins)	—	50	ns	All except, 24FC256 (Notes 1 and 3)
17	TWC	Write cycle time (byte or page)	—	5	ms	—
18	—	Endurance	1,000,000	—	cycles	25°C, VCC = 5.0V, Block Mode (Note 4)

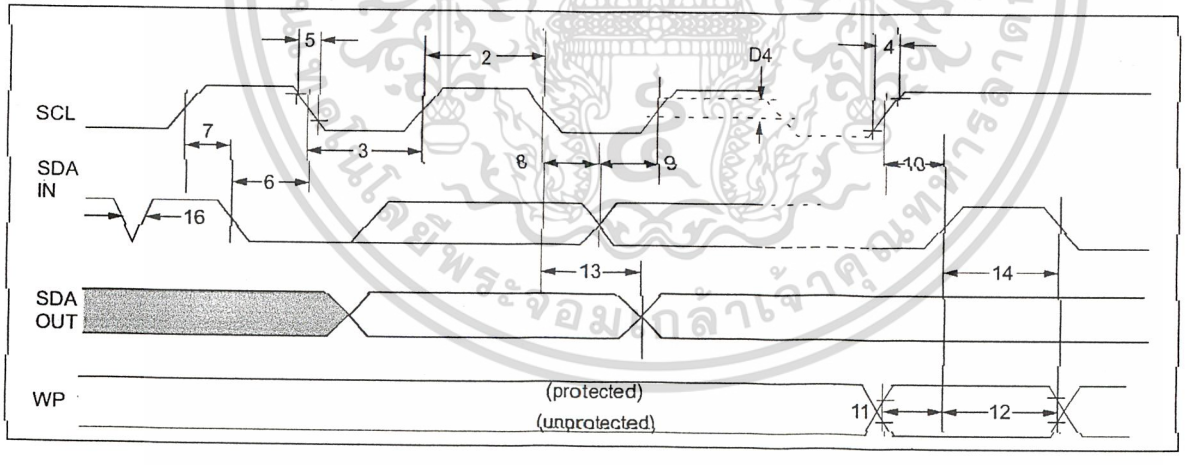
Note 1: Not 100% tested. CB = total capacitance of one bus line in pF.

2: As a transmitter, the device must provide an internal minimum delay time to bridge the undefined region (minimum 300 ns) of the falling edge of SCL to avoid unintended generation of START or STOP conditions.

3: *The combined TSP and VHYS specifications are due to new Schmitt trigger inputs which provide improved noise spike* suppression. This eliminates the need for a TI specification for standard operation.

4: This parameter is not tested but ensured by characterization. For endurance estimates in a specific application, please consult the Total Endurance Model which can be obtained on Microchip's website: www.microchip.com.

FIGURE 1-1: BUS TIMING DATA



© 2001 Microchip Technology Inc.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.0 PIN DESCRIPTIONS

The descriptions of the pins are listed in Table 2-1.

TABLE 2-1: PIN FUNCTION TABLE

Name	PDIP	SOIC	8-pin TSSOP	14-lead TSSOP	MLF	Function
A0	1	1	1	1	1	User Configurable Chip Select
A1	2	2	2	2	2	User Configurable Chip Select
(NC)	—	—	—	*3, 4, 5*	—	*Not Connected*
A2	3	3	3	6	3	User Configurable Chip Select
Vss	4	4	4	7	4	Ground
SDA	5	5	5	8	5	Serial Data
SCL	6	6	6	9	6	Serial Clock
(NC)	—	—	—	10, 11, 12	—	Not Connected
WP	7	7	7	13	7	Write Protect Input
Vcc	8	8	8	14	8	+1.8 to 5.5V (24AA256) +2.5 to 5.5V (24LC256) +4.5 to 5.5V (24FC256)

2.1 A0, A1, A2 Chip Address Inputs

The A0, A1, A2 inputs are used by the 24XX256 for multiple device operations. The levels on these inputs are compared with the corresponding bits in the slave address. The chip is selected if the compare is true.

Up to eight devices may be connected to the same bus by using different chip select bit combinations. If left unconnected, these inputs will be pulled down internally to Vss.

2.2 Serial Data (SDA)

This is a bi-directional pin used to transfer addresses and data into and data out of the device. It is an open-drain terminal, therefore, the SDA bus requires a pull-up resistor to Vcc (typical 10 KΩ for 100 kHz, 2 KΩ for *400 kHz and 1 MHz*).

For normal data transfer SDA is allowed to change only during SCL low. Changes during SCL high are reserved for indicating the START and STOP conditions.

2.3 Serial Clock (SCL)

This input is used to synchronize the data transfer from and to the device.

2.4 Write Protect (WP)

This pin can be connected to either Vss, Vcc or left floating. An internal pull-down resistor on this pin will keep the device in the unprotected state if left floating. If tied to Vss or left floating, normal memory operation is enabled (read/write the entire memory 0000-7FFF).

If tied to Vcc, WRITE operations are inhibited. Read operations are not affected.

3.0 FUNCTIONAL DESCRIPTION

The 24XX256 supports a bi-directional 2-wire bus and data transmission protocol. A device that sends data onto the bus is defined as a transmitter, and a device receiving data as a receiver. The bus must be controlled by a master device which generates the serial clock (SCL), controls the bus access, and generates the START and STOP conditions while the 24XX256 works as a slave. Both master and slave can operate as a transmitter or receiver, but the master device determines which mode is activated.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.0 BUS CHARACTERISTICS

The following **bus protocol** has been defined:

- Data transfer may be initiated only when the bus is not busy.
- During data transfer, the data line must remain stable whenever the clock line is HIGH. Changes in the data line while the clock line is HIGH will be interpreted as a START or STOP condition.

Accordingly, the following bus conditions have been defined (Figure 4-1).

4.1 Bus not Busy (A)

Both data and clock lines remain HIGH.

4.2 Start Data Transfer (B)

A HIGH to LOW transition of the SDA line while the clock (SCL) is HIGH determines a START condition. All commands must be preceded by a START condition.

4.3 Stop Data Transfer (C)

A LOW to HIGH transition of the SDA line while the clock (SCL) is HIGH determines a STOP condition. All operations must end with a STOP condition.

4.4 Data Valid (D)

The state of the data line represents valid data when, after a START condition, the data line is stable for the duration of the HIGH period of the clock signal.

The data on the line must be changed during the LOW period of the clock signal. There is one bit of data per clock pulse.

Each data transfer is initiated with a START condition and terminated with a STOP condition. The number of the data bytes transferred between the START and STOP conditions is determined by the master device.

4.5 Acknowledge

Each receiving device, when addressed, is obliged to generate an acknowledge signal after the reception of each byte. The master device must generate an extra clock pulse which is associated with this acknowledge bit.

Note:	The 24XX256 does not generate any acknowledge bits if an internal programming cycle is in progress.

A device that acknowledges must pull down the SDA line during the acknowledge clock pulse in such a way that the SDA line is stable LOW during the HIGH period of the acknowledge related clock pulse. Of course, setup and hold times must be taken into account. During reads, a master must signal an end of data to the slave by NOT generating an acknowledge bit on the last byte that has been clocked out of the slave. In this case, the slave (24XX256) will leave the data line HIGH to enable the master to generate the STOP condition.

FIGURE 4-1: DATA TRANSFER SEQUENCE ON THE SERIAL BUS

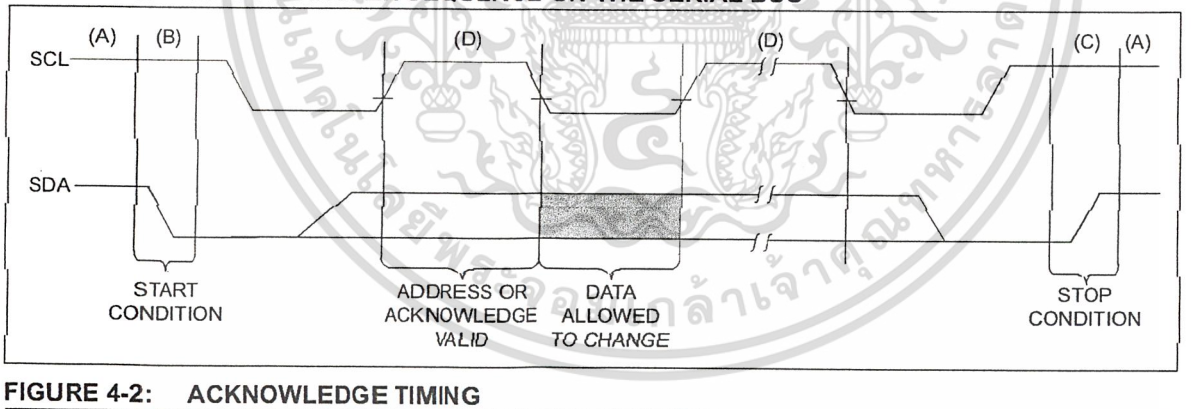
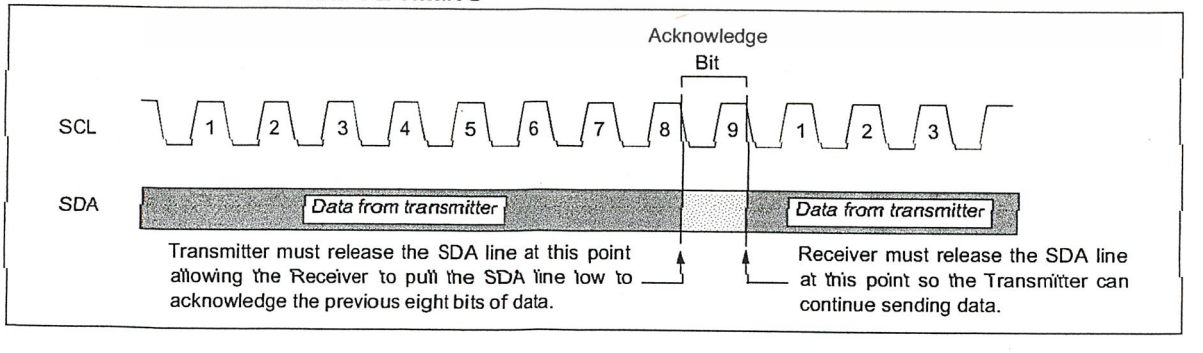


FIGURE 4-2: ACKNOWLEDGE TIMING



© 2001 Microchip Technology Inc.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

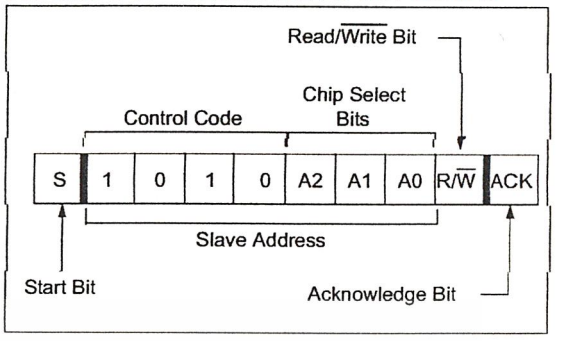
5.0 DEVICE ADDRESSING

A control byte is the first byte received following the start condition from the master device (Figure 5-1). The control byte consists of a 4-bit control code; for the 24XX256 this is set as 1010 binary for read and write operations. The next three bits of the control byte are the chip select bits (A2, A1, A0). The chip select bits allow the use of up to eight 24XX256 devices on the same bus and are used to select which device is accessed. The chip select bits in the control byte must correspond to the logic levels on the corresponding A2, A1 and A0 pins for the device to respond. These bits are in effect the three most significant bits of the word address.

The last bit of the control byte defines the operation to be performed. When set to a one a read operation is selected, and when set to a zero a write operation is selected. The next two bytes received define the address of the first data byte (Figure 5-2). Because only A14...A0 are used, the upper address bits is a don't care. The upper address bits are transferred first, followed by the less significant bits.

Following the start condition, the 24XX256 monitors the SDA bus checking the device type identifier being transmitted. Upon receiving a 1010 code and appropriate device select bits, the slave device outputs an acknowledge signal on the SDA line. Depending on the state of the R/$\overline{W}$ bit, the 24XX256 will select a read or write operation.

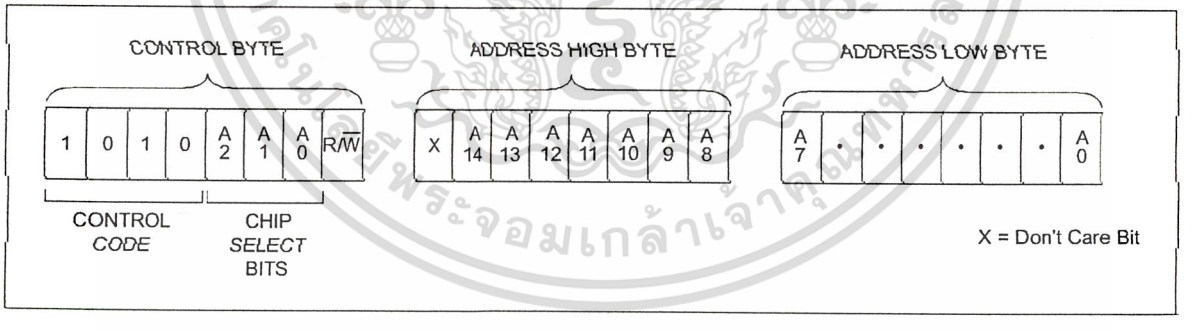
FIGURE 5-1: CONTROL BYTE FORMAT



5.1 Contiguous Addressing Across *Multiple Devices*

The chip select bits A2, A1, A0 can be used to expand the contiguous address space for up to 2 Mbit by adding up to eight 24XX256's on the same bus. In this case, software can use A0 of the **control byte** as address bit A15; A1, as address bit A16; and A2, as address bit A17. It is not possible to sequentially read across device boundaries.

FIGURE 5-2: ADDRESS SEQUENCE BIT ASSIGNMENTS



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6.0 WRITE OPERATIONS

6.1 Byte Write

Following the start condition from the master, the control code (four bits), the chip select (three bits), and the R/$\overline{W}$ bit (which is a logic low) are clocked onto the bus by the master transmitter. This indicates to the addressed slave receiver that the address high byte will follow after it has generated an acknowledge bit during the ninth clock cycle. Therefore, the next byte transmitted by the master is the high-order byte of the word address and will be written into the address pointer of the 24XX256. The next byte is the least significant address byte. After receiving another acknowledge signal from the 24XX256, the master device will transmit the data word to be written into the addressed memory location. The 24XX256 acknowledges again and the master generates a stop condition. This initiates the internal write cycle, and, during this time, the 24XX256 will not generate acknowledge signals (Figure 6-1). If an attempt is made to write to the array with the WP pin held high, the device will acknowledge the command but no write cycle will occur, no data will be written, and the device will immediately accept a new command. After a byte write command, the internal address counter will point to the address location following the one that was just written.

6.2 Page Write

The write control byte, word address, and the first data byte are transmitted to the 24XX256 in the same way as in a byte write. But instead of generating a stop condition, the master transmits up to 63 additional bytes, which are temporarily stored in the on-chip page buffer and will be written into memory after the master has transmitted a stop condition. After receipt of each word, the six lower address pointer bits are internally incremented by one. If the master should transmit more than 64 bytes prior to generating the stop condition, the address counter will roll over and the previously received data will be overwritten. As with the byte write operation, once the stop condition is received, an internal write cycle will begin (Figure 6-2). If an attempt is made to write to the array with the WP pin held high, the device will acknowledge the command but no write cycle will occur, no data will be written, and the device will immediately accept a new command.

6.3 Write Protection

The WP pin allows the user to write-protect the entire array (0000-7FFF) when the pin is tied to Vcc. If tied to Vss or left floating, the write protection is disabled. The WP pin is sampled at the STOP bit for every write command (Figure 1-1) Toggling the WP pin after the STOP bit will have no effect on the execution of the write cycle.

Note: Page write operations are limited to *writing bytes within a single physical* page, **regardless** of the number of bytes actually being written. Physical page boundaries start at addresses that are integer multiples of the page *buffer size (or 'page size') and end at* addresses that are integer multiples of [page size - 1]. If a page write command attempts to write across a physical page boundary, the result is that the data wraps around to the beginning of the current page (overwriting data previously stored there), instead of being written to the next page as might be expected. It is therefore necessary for the application software to prevent page write operations that would attempt to cross a page boundary.

FIGURE 6-1: BYTE WRITE

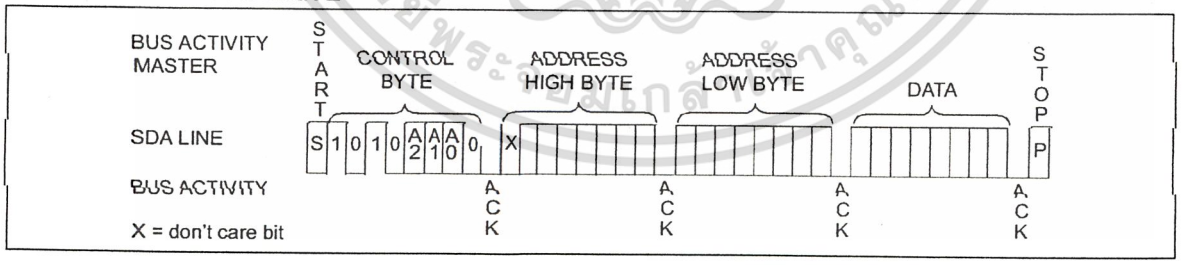
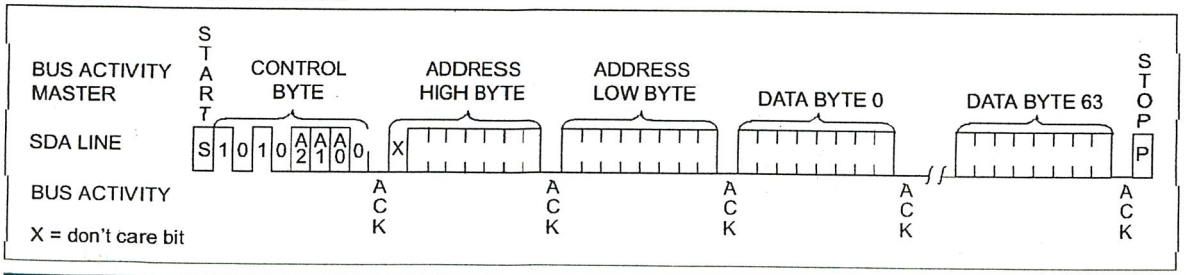


FIGURE 6-2: PAGE WRITE



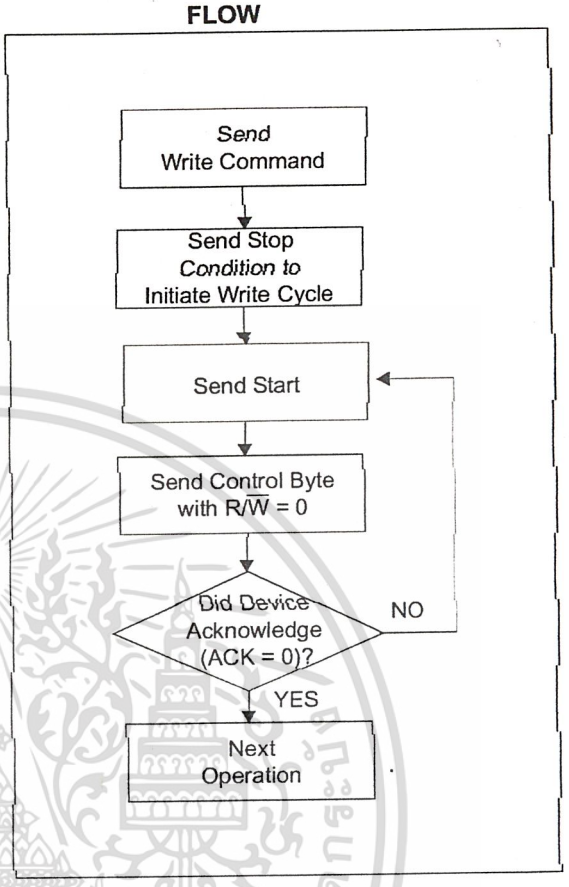
© 2001 Microchip Technology Inc.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

7.0 ACKNOWLEDGE POLLING

Since the device will not acknowledge during a write cycle, this can be used to determine when the cycle is complete (This feature can be used to maximize bus throughput.) Once the stop condition for a write command has been issued from the master, the device initiates the internally timed write cycle. ACK polling can be initiated immediately. This involves the master sending a start condition, followed by the control byte for a write command ($R/\overline{W}$ = 0). If the device is still busy with the write cycle, then no ACK will be returned. If no ACK is returned, then the start bit and control byte must be resent. If the cycle is complete, then the device will return the ACK, and the master can then proceed with the next read or write command. See Figure 7-1 for flow diagram.

FIGURE 7-1: ACKNOWLEDGE POLLING FLOW



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

8.0 READ OPERATION

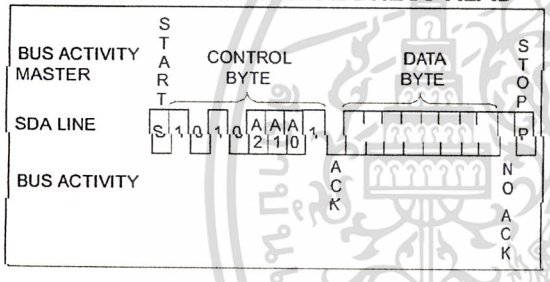
Read operations are initiated in the same way as write operations with the exception that the R/$\overline{W}$ bit of the control byte is set to '1'. There are three basic types of read operations: current address read, random read and sequential read.

8.1 Current Address Read

The 24XX256 contains an address counter that maintains the address of the last word accessed, internally incremented by '1'. Therefore, if the previous read access was to address n (n is any legal address), the next current address read operation would access data from address n + 1.

Upon receipt of the control byte with R/$\overline{W}$ bit set to '1', the 24XX256 issues an acknowledge and transmits the 8-bit data word. The master will not acknowledge the transfer but does generate a stop condition and the 24XX256 discontinues transmission (Figure 8-1).

FIGURE 8-1: CURRENT ADDRESS READ



8.2 Random Read

Random read operations allow the master to access any memory location in a random manner. To perform this type of read operation, first the word address must be set. This is done by sending the word address to the 24XX256 as part of a write operation (R/$\overline{W}$ bit set to '0'). After the word address is sent, the master generates a start condition following the acknowledge. This terminates the write operation, but not before the internal address pointer is set. Then, the master issues the control byte again but with the R/$\overline{W}$ bit set to a one. The 24XX256 will then issue an acknowledge and transmit the 8-bit data word. The master will not acknowledge the transfer but does generate a stop condition which causes the 24XX256 to discontinue transmission (Figure 8-2). After a random read command, the internal address counter will point to the address location following the one that was just read.

8.3 Sequential Read

Sequential reads are initiated in the same way as a random read except that after the 24XX256 transmits the first data byte, the master issues an acknowledge as opposed to the stop condition used in a random read. This acknowledge directs the 24XX256 to transmit the next sequentially addressed 8-bit word (Figure 8-3). Following the final byte transmitted to the master, the master will NOT generate an acknowledge but will generate a stop condition. To provide sequential reads, the 24XX256 contains an internal address pointer which is incremented by one at the completion of each operation. This address pointer allows the entire memory contents to be serially read during one operation. The internal address pointer will automatically roll over from address 7FFF to address 0000 if the master acknowledges the byte received from the array address 7FFF.

FIGURE 8-2: RANDOM READ

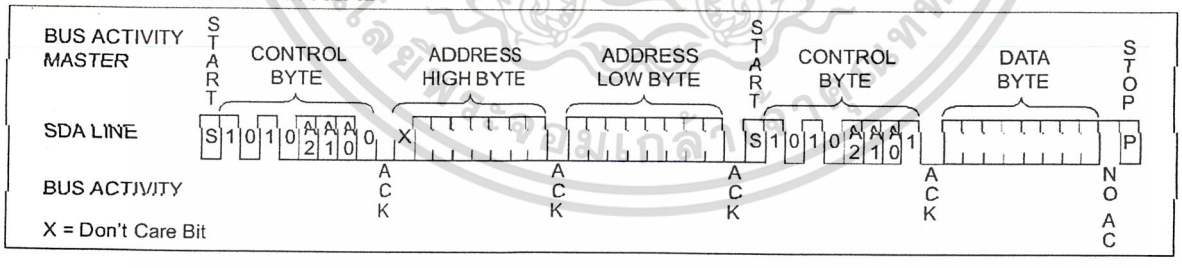
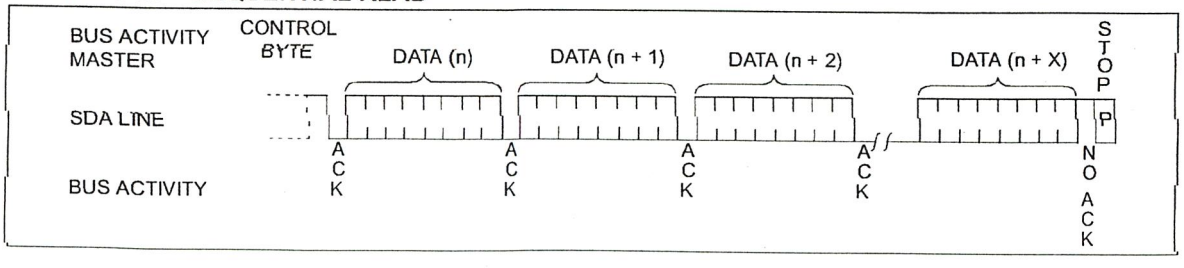


FIGURE 8-3: SEQUENTIAL READ



© 2001 Microchip Technology Inc.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

19-4323; Rev 10; 8/01

MAXIM

+5V-Powered, Multichannel RS-232 Drivers/Receivers

General Description

The MAX220–MAX249 family of line drivers/receivers is intended for all EIA/TIA-232E and V.28/V.24 communications interfaces, particularly applications where ±12V is not available.

These parts are especially useful in battery-powered systems, since their low-power shutdown mode reduces power dissipation to less than 5µW. The MAX225, MAX233, MAX235, and MAX245/MAX246/MAX247 use no external components and are recommended for applications where printed circuit board space is critical.

Applications

Portable Computers

Low-Power Modems

Interface Translation

Battery-Powered RS-232 Systems

Multidrop RS-232 Networks

Features

Superior to Bipolar

- ♦ **Operate from Single +5V Power Supply (+5V and +12V—MAX231/MAX239)**
- ♦ **Low-Power Receive Mode in Shutdown (MAX223/MAX242)**
- ♦ **Meet All EIA/TIA-232E and V.28 Specifications**
- ♦ **Multiple Drivers and Receivers**
- ♦ **3-State Driver and Receiver Outputs**
- ♦ **Open-Line Detection (MAX243)**

Ordering Information

PART	TEMP. RANGE	PIN-PACKAGE
MAX220CPE	0°C to +70°C	16 Plastic DIP
MAX220CSE	0°C to +70°C	16 Narrow SO
MAX220CWE	0°C to +70°C	16 Wide SO
MAX220C/D	0°C to +70°C	Dice*
MAX220EPE	-40°C to +85°C	16 Plastic DIP
MAX220ESE	-40°C to +85°C	16 Narrow SO
MAX220EWE	-40°C to +85°C	16 Wide SO
MAX220EJE	-40°C to +85°C	16 CERDIP
MAX220MJE	-55°C to +125°C	16 CERDIP

Ordering Information continued at end of data sheet.

**Contact factory for dice specifications.*

Selection Table

Part Number	Power Supply (V)	No. of RS-232 Drivers/Rx	No. of Ext. Caps	Nominal Cap. Value (µF)	SHDN & Three-State	Rx Active in SHDN	Data Rate (kbps)	Features
MAX220	+5	2/2	4	0.1	No	—	120	Ultra-low-power, industry-standard pinout
MAX222	+5	2/2	4	0.1	Yes	—	200	Low-power shutdown
MAX223 (MAX213)	+5	4/5	4	1.0 (0.1)	Yes	✔	120	MAX241 and receivers active in shutdown
MAX225	+5	5/5	0	—	Yes	✔	120	Available in SO
MAX230 (MAX200)	+5	5/0	4	1.0 (0.1)	Yes	—	120	5 drivers with shutdown
MAX231 (MAX201)	+5 and +7.5 to +13.2	2/2	2	1.0 (0.1)	No	—	120	Standard +5/+12V or battery supplies; same functions as MAX232
MAX232 (MAX202)	+5	2/2	4	1.0 (0.1)	No	—	120 (64)	Industry standard
MAX232A	+5	2/2	4	0.1	No	—	200	Higher slew rate, small caps
MAX233 (MAX203)	+5	2/2	0	—	No	—	120	No external caps
MAX233A	+5	2/2	0	—	No	—	200	No external caps, high slew rate
MAX234 (MAX204)	+5	4/0	4	1.0 (0.1)	No	—	120	Replaces 1488
MAX235 (MAX205)	+5	5/5	0	—	Yes	—	120	No external caps
MAX236 (MAX206)	+5	4/3	4	1.0 (0.1)	Yes	—	120	Shutdown, three state
MAX237 (MAX207)	+5	5/3	4	1.0 (0.1)	No	—	120	Complements IBM PC serial port
MAX238 (MAX208)	+5	4/4	4	1.0 (0.1)	No	—	120	Replaces 1488 and 1489
MAX239 (MAX209)	+5 and +7.5 to +13.2	3/5	2	1.0 (0.1)	No	—	120	Standard +5/+12V or battery supplies; single-package solution for IBM PC serial port
MAX240	+5	5/5	4	1.0	Yes	—	120	DIP or flatpack package
MAX241 (MAX211)	+5	4/5	4	1.0 (0.1)	Yes	—	120	Complete IBM PC serial port
MAX242	+5	2/2	4	0.1	Yes	✔	200	Separate shutdown and enable
MAX243	+5	2/2	4	0.1	No	—	200	Open-line detection simplifies cabling
MAX244	+5	8/10	4	1.0	No	—	120	High slew rate
MAX245	+5	8/10	0	—	Yes	✔	120	High slew rate, int. caps, two shutdown modes
MAX246	+5	8/10	0	—	Yes	✔	120	High slew rate, int. caps, three shutdown modes
MAX247	+5	8/9	0	—	Yes	✔	120	High slew rate, int. caps, nine operating modes
MAX248	+5	8/8	4	1.0	Yes	✔	120	High slew rate, selective half-chip enables
MAX249	+5	6/10	4	1.0	Yes	✔	120	Available in quad flatpack package

For pricing, delivery, and ordering information, please contact Maxim/Dallas Direct! at 1-888-629-4642, or visit Maxim's website at www.maxim-ic.com.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

+5V-Powered, Multichannel RS-232 Drivers/Receivers

ABSOLUTE MAXIMUM RATINGS—MAX220/222/232A/233A/242/243

Supply Voltage (V_{CC}) ..... -0.3V to +6V
Input Voltages
T_{IN} ..... -0.3V to (V_{CC} - 0.3V)
R_{IN} (Except MAX220) ..... ±30V
R_{IN} (MAX220) ..... ±25V
T_{OUT} (Except MAX220) (Note 1) ..... ±15V
T_{OUT} (MAX220) ..... ±13.2V
Output Voltages
T_{OUT} ..... ±15V
R_{OUT} ..... -0.3V to (V_{CC} + 0.3V)
Driver/Receiver Output Short Circuited to GND ..... Continuous
Continuous Power Dissipation (T_A = +70°C)
16-Pin Plastic DIP (derate 10.53mW/°C above +70°C) 842mW
18-Pin Plastic DIP (derate 11.11mW/°C above +70°C) 889mW
20-Pin Plastic DIP (derate 8.00mW/°C above +70°C) 440mW
16-Pin Narrow SO (derate 8.70mW/°C above +70°C) 696mW
16-Pin Wide SO (derate 9.52mW/°C above +70°C) 762mW
18-Pin Wide SO (derate 9.52mW/°C above +70°C) 762mW
20-Pin Wide SO (derate 10.00mW/°C above +70°C) 800mW
20-Pin SSOP (derate 8.00mW/°C above +70°C) 640mW
16-Pin CERDIP (derate 10.00mW/°C above +70°C) 800mW
18-Pin CERDIP (derate 10.53mW/°C above +70°C) 842mW
Operating Temperature Ranges
MAX2_ _AC_ _, MAX2_ _C_ _ ..... 0°C to +70°C
MAX2_ _AE_ _, MAX2_ _E_ _ ..... -40°C to +85°C
MAX2_ _AM_ _, MAX2_ _M_ _ ..... -55°C to +125°C
Storage Temperature Range ..... -65°C to +160°C
Lead Temperature (soldering, 10sec) ..... +300°C

Note 1: Input voltage measured with T_{OUT} in high-impedance state, $\overline{SHDN}$ or V_{CC} = 0V.
Note 2: For the MAX220, V+ and V- can have a maximum magnitude of 7V, but their absolute difference cannot exceed 13V.

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS—MAX220/222/232A/233A/242/243

(V_{CC} = +5V ±10%, C1–C4 = 0.1µF, MAX220, C1 = 0.047µF, C2–C4 = 0.33µF, T_A = T_{MIN} to T_{MAX}, unless otherwise noted.)

PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
RS-232 TRANSMITTERS						
Output Voltage Swing	All transmitter outputs loaded with 3kΩ to GND		±5	±8		V
Input Logic Threshold Low				1.4	0.8	V
Input Logic Threshold High	All devices except MAX220		2	1.4		V
	MAX220: V_{CC} = 5.0V		2.4			
Logic Pull-Up/Input Current	All except MAX220, normal operation			5	40	µA
	$\overline{SHDN}$ = 0V, MAX222/242, shutdown, MAX220			±0.01	±1	
Output Leakage Current	V_{CC} = 5.5V, $\overline{SHDN}$ = 0V, V_{OUT} = ±15V, MAX222/242			±0.01	±10	µA
	V_{CC} = $\overline{SHDN}$ = 0V, V_{OUT} = ±15V			±0.01	±10	
Data Rate				200	116	kb/s
Transmitter Output Resistance	V_{CC} = V+ = V- = 0V, V_{OUT} = ±2V		300	10M		Ω
Output Short-Circuit Current	V_{OUT} = 0V		±7	±22		mA
RS-232 RECEIVERS						
RS-232 Input Voltage Operating Range					±30	V
RS-232 Input Threshold Low	V_{CC} = 5V	All except MAX243 $R2_{IN}$	0.8	1.3		V
		MAX243 $R2_{IN}$ (Note 2)	-3			
RS-232 Input Threshold High	V_{CC} = 5V	All except MAX243 $R2_{IN}$		1.8	2.4	V
		MAX243 $R2_{IN}$ (Note 2)		-0.5	-0.1	
RS-232 Input Hysteresis	All except MAX243, V_{CC} = 5V, no hysteresis in shdn.		0.2	0.5	1	V
	MAX243			1		
RS-232 Input Resistance			3	5	7	kΩ
TTL/CMOS Output Voltage Low	I_{OUT} = 3.2mA			0.2	0.4	V
TTL/CMOS Output Voltage High	I_{OUT} = -1.0mA		3.5	V_{CC} - 0.2		V
TTL/CMOS Output Short-Circuit Current	Sourcing V_{OUT} = GND		-2	-10		mA
	Shrinking V_{OUT} = V_{CC}		10	30		

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS—MAX220/222/232A/233A/242/243 (continued)

(V_{CC} = +5V ±10%, C1–C4 = 0.1µF, MAX220, C1 = 0.047µF, C2–C4 = 0.33µF, T_A = T_{MIN} to T_{MAX}, unless otherwise noted.)

PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
TTL/CMOS Output Leakage Current	$\overline{SHDN}$ = V_{CC} or $\overline{EN}$ = V_{CC} ($\overline{SHDN}$ = 0V for MAX222), 0V ≤ V_{OUT} ≤ V_{CC}			±0.05	±10	µA
$\overline{EN}$ Input Threshold Low	MAX242			1.4	0.8	V
$\overline{EN}$ Input Threshold High	MAX242		2.0	1.4		V
Operating Supply Voltage			4.5		5.5	V
V_{CC} Supply Current ($\overline{SHDN}$ = V_{CC}), Figures 5, 6, 11, 19	No load	MAX220		0.5	2	mA
		MAX222/232A/233A/242/243		4	10	
	3kΩ load both inputs	MAX220		12		
		MAX222/232A/233A/242/243		15		
Shutdown Supply Current	MAX222/242	T_A = +25°C		0.1	10	µA
		T_A = 0°C to +70°C		2	50	
		T_A = -40°C to +85°C		2	50	
		T_A = -55°C to +125°C		35	100	
$\overline{SHDN}$ Input Leakage Current	MAX222/242				±1	µA
$\overline{SHDN}$ Threshold Low	MAX222/242			1.4	0.8	V
$\overline{SHDN}$ Threshold High	MAX222/242		2.0	1.4		V
Transition Slew Rate	C_L = 50pF to 2500pF, R_L = 3kΩ to 7kΩ, V_{CC} = 5V, T_A = +25°C, measured from +3V to -3V or -3V to +3V	MAX222/232A/233A/242/243	6	12	30	V/µs
		MAX220	1.5	3	30	
Transmitter Propagation Delay TLL to RS-232 (normal operation), Figure 1	t_{PHLT}	MAX222/232A/233A/242/243		1.3	3.5	µs
		MAX220		4	10	
	t_{PLHT}	MAX222/232A/233A/242/243		1.5	3.5	
		MAX220		5	10	
Receiver Propagation Delay RS-232 to TLL (normal operation), Figure 2	t_{PHLR}	MAX222/232A/233A/242/243		0.5	1	µs
		MAX220		0.6	3	
	t_{PLHR}	MAX222/232A/233A/242/243		0.6	1	
		MAX220		0.8	3	
Receiver Propagation Delay RS-232 to TLL (shutdown), Figure 2	t_{PHLS}	MAX242		0.5	10	µs
	t_{PLHS}	MAX242		2.5	10	
Receiver-Output Enable Time, Figure 3	t_{ER}	MAX242		125	500	ns
Receiver-Output Disable Time, Figure 3	t_{DR}	MAX242		160	500	ns
Transmitter-Output Enable Time ($\overline{SHDN}$ goes high), Figure 4	t_{ET}	MAX222/242, 0.1µF caps (includes charge-pump start-up)		250		µs
Transmitter-Output Disable Time ($\overline{SHDN}$ goes low), Figure 4	t_{DT}	MAX222/242, 0.1µF caps		600		ns
Transmitter + to - Propagation Delay Difference (normal operation)	t_{PHLT} - t_{PLHT}	MAX222/232A/233A/242/243		300		ns
		MAX220		2000		
Receiver + to - Propagation Delay Difference (normal operation)	t_{PHLR} - t_{PLHR}	MAX222/232A/233A/242/243		100		ns
		MAX220		225		

Note 3: MAX243 $R2_{OUT}$ is guaranteed to be low when $R2_{IN}$ is ≥ 0V or is floating.

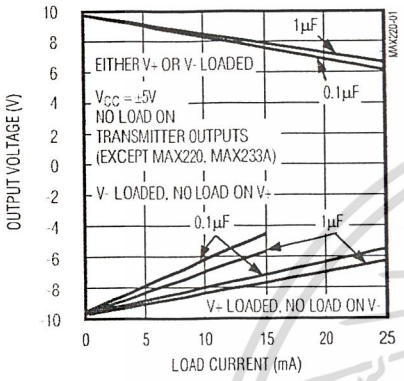
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

+5V-Powered, Multichannel RS-232 Drivers/Receivers

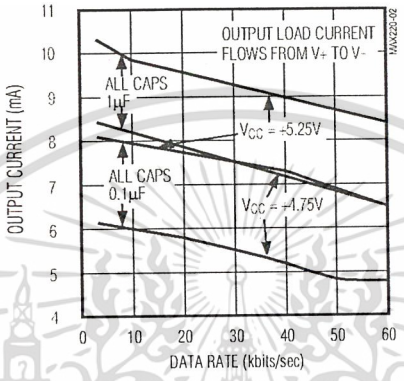
Typical Operating Characteristics

MAX220/MAX222/MAX232A/MAX233A/MAX242/MAX243

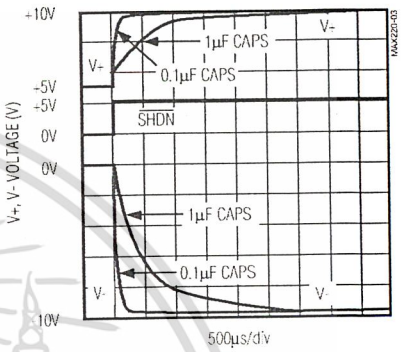
OUTPUT VOLTAGE vs. LOAD CURRENT



AVAILABLE OUTPUT CURRENT vs. DATA RATE



MAX222/MAX242 ON-TIME EXITING SHUTDOWN



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ABSOLUTE MAXIMUM RATINGS—MAX223/MAX230–MAX241

V_{CC} .....-0.3V to +6V
V+ .....(V_{CC} - 0.3V) to +14V
V- .....+0.3V to -14V
Input Voltages
T_{IN} .....-0.3V to (V_{CC} + 0.3V)
R_{IN}.....±30V
Output Voltages
T_{OUT} .....(V+ + 0.3V) to (V- - 0.3V)
R_{OUT}.....-0.3V to (V_{CC} + 0.3V)
Short-Circuit Duration, T_{OUT} .....Continuous
Continuous Power Dissipation (T_A = +70°C)
14-Pin Plastic DIP (derate 10.00mW/°C above +70°C)....800mW
16-Pin Plastic DIP (derate 10.53mW/°C above +70°C)....842mW
20-Pin Plastic DIP (derate 11.11mW/°C above +70°C)....889mW
24-Pin Narrow Plastic DIP
(derate 13.33mW/°C above +70°C) 1.07W
24-Pin Plastic DIP (derate 9.09mW/°C above +70°C).....500mW
16-Pin Wide SO (derate 9.52mW/°C above +70°C).....762mW
20-Pin Wide SO (derate 10 00mW/°C above +70°C).....800mW
24-Pin Wide SO (derate 11.76mW/°C above +70°C).....941mW
28-Pin Wide SO (derate 12.50mW/°C above +70°C) 1W
44-Pin Plastic FP (derate 11.11mW/°C above +70°C).....889mW
14-Pin CERDIP (derate 9.09mW/°C above +70°C).....727mW
16-Pin CERDIP (derate 10.00mW/°C above +70°C).....800mW
20-Pin CERDIP (derate 11.11mW/°C above +70°C).....889mW
24-Pin Narrow CERDIP
(derate 12.50mW/°C above +70°C) 1W
24-Pin Sidebraze (derate 20.0mW/°C above +70°C).....1.6W
28-Pin SSOP (derate 9.52mW/°C above +70°C).....762mW
Operating Temperature Ranges
MAX2 _ _ C _ _.....0°C to +70°C
MAX2 _ _ E _ _.....-40°C to +85°C
MAX2 _ _ M _ _ .....-55°C to +125°C
Storage Temperature Range .....-65°C to +160°C
Lead Temperature (soldering, 10sec) .....+300°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS—MAX223/MAX230–MAX241

(MAX223/230/232/234/236/237/238/240/241, V_{CC} = +5V ±10; MAX233/MAX235, V_{CC} = 5V ±5%, C1–C4 = 1.0µF; MAX231/MAX239, V_{CC} = 5V ±10%; V+ = 7.5V to 13.2V; T_A = T_{MIN} to T_{MAX}; unless otherwise noted.)

PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
Output Voltage Swing	All transmitter outputs loaded with 3kΩ to ground		±5.0	±7.3		V
V_{CC} Power-Supply Current	No load, T_A = +25°C	MAX232/233		5	10	mA
		MAX223/230/234–238/240/241		7	15	
		MAX231/239		0.4	1	
V+ Power-Supply Current		MAX231		1.8	5	mA
		MAX239		5	15	
Shutdown Supply Current	T_A = +25°C	MAX223		15	50	µA
		MAX230/235/236/240/241		1	10	
Input Logic Threshold Low	T_{IN}: EN, $\overline{SHDN}$ (MAX233); $\overline{EN}$, SHDN (MAX230/235–241)				0.8	V
Input Logic Threshold High	T_{IN}		2.0			V
	EN, $\overline{SHDN}$ (MAX223); $\overline{EN}$, SHDN (MAX230/235/236/240/241)		2.4			
Logic Pull-Up Current	T_{IN} = 0V			1.5	200	µA
Receiver Input Voltage Operating Range			-30		30	V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

+5V-Powered, Multichannel RS-232 Drivers/Receivers

ELECTRICAL CHARACTERISTICS—MAX223/MAX230–MAX241 (continued)

(MAX223/230/232/234/236/237/238/240/241, V_{CC} = +5V ±10; MAX233/MAX235, V_{CC} = 5V ±5%, C1–C4 = 1.0µF; MAX231/MAX239, V_{CC} = 5V ±10%; V+ = 7.5V to 13.2V; T_A = T_{MIN} to T_{MAX}; unless otherwise noted.)

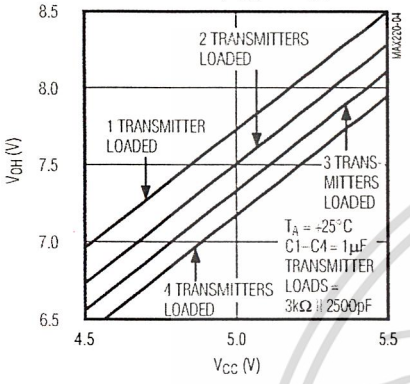
PARAMETER	CONDITIONS			MIN	TYP	MAX	UNITS
RS-232 Input Threshold Low	T_A = +25°C, V_{CC} = 5V	Normal operation $\overline{SHDN}$ = 5V (MAX223) SHDN = 0V (MAX235/236/240/241)		0.8	1.2		V
		Shutdown (MAX223) $\overline{SHDN}$ = 0V, EN = 5V ($R4_{IN}$, $R5_{IN}$)		0.6	1.5		
RS-232 Input Threshold High	T_A = +25°C, V_{CC} = 5V	Normal operation $\overline{SHDN}$ = 5V (MAX223) SHDN = 0V (MAX235/236/240/241)			1.7	2.4	V
		Shutdown (MAX223) $\overline{SHDN}$ = 0V, EN = 5V ($R4_{IN}$, $R5_{IN}$)			1.5	2.4	
RS-232 Input Hysteresis	V_{CC} = 5V, no hysteresis in shutdown			0.2	0.5	1.0	V
RS-232 Input Resistance	T_A = +25°C, V_{CC} = 5V			3	5	7	kΩ
TTL/CMOS Output Voltage Low	I_{OUT} = 1.6mA (MAX231/232/233, I_{OUT} = 3.2mA)					0.4	V
TTL/CMOS Output Voltage High	I_{OUT} = -1mA			3.5	V_{CC} - 0.4		V
TTL/CMOS Output Leakage Current	0V ≤ R_{OUT} ≤ V_{CC}; EN = 0V (MAX223); $\overline{EN}$ = V_{CC} (MAX235–241)				0.05	±10	µA
Receiver Output Enable Time	Normal operation	MAX223			600		ns
		MAX235/236/239/240/241			400		
Receiver Output Disable Time	Normal operation	MAX223			900		ns
		MAX235/236/239/240/241			250		
Propagation Delay	RS-232 IN to TTL/CMOS OUT, C_L = 150pF	Normal operation			0.5	10	µs
		$\overline{SHDN}$ = 0V (MAX223)	t_{PHLS}		4	40	
			t_{PLHS}		6	40	
Transition Region Slew Rate	MAX223/MAX230/MAX234–241, T_A = +25°C, V_{CC} = 5V, R_L = 3kΩ to 7kΩ, C_L = 50pF to 2500pF, measured from +3V to -3V or -3V to +3V			3	5.1	30	V/µs
	MAX231/MAX232/MAX233, T_A = +25°C, V_{CC} = 5V, R_L = 3kΩ to 7kΩ, C_L = 50pF to 2500pF, measured from +3V to -3V or -3V to +3V				4	30	
Transmitter Output Resistance	V_{CC} = V+ = V- = 0V, V_{OUT} = ±2V			300			Ω
Transmitter Output Short-Circuit Current					±10		mA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

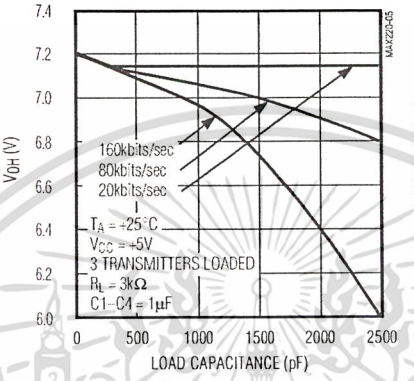
Typical Operating Characteristics

MAX223/MAX230–MAX241

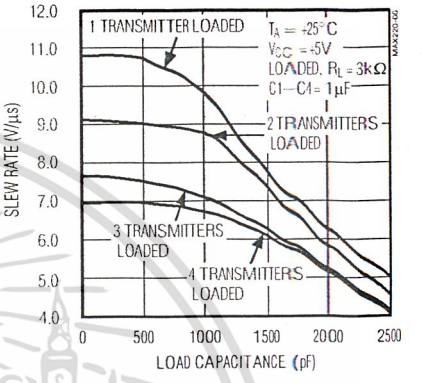
TRANSMITTER OUTPUT VOLTAGE (V_{OH}) vs. V_{CC}



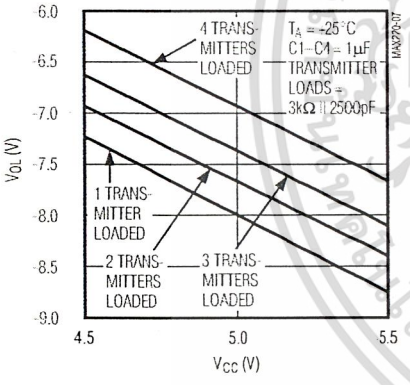
TRANSMITTER OUTPUT VOLTAGE (V_{OH}) vs. LOAD CAPACITANCE AT DIFFERENT DATA RATES



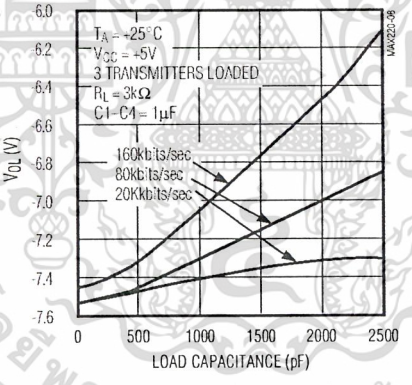
TRANSMITTER SLEW RATE vs. LOAD CAPACITANCE



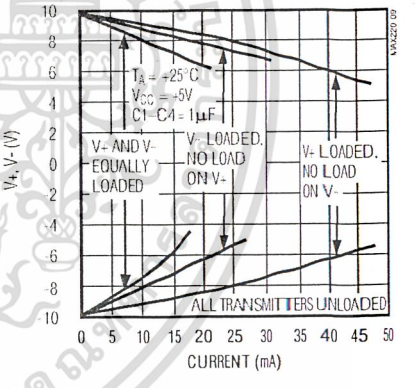
TRANSMITTER OUTPUT VOLTAGE (V_{OL}) vs. V_{CC}



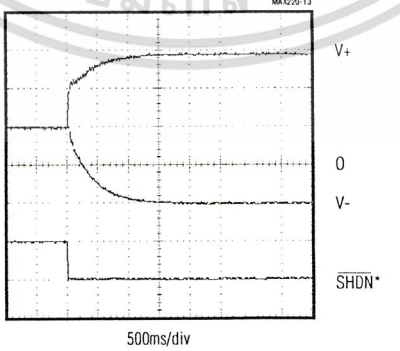
TRANSMITTER OUTPUT VOLTAGE (V_{OL}) vs. LOAD CAPACITANCE AT DIFFERENT DATA RATES



TRANSMITTER OUTPUT VOLTAGE (V+, V-) vs. LOAD CURRENT



V+, V- WHEN EXITING SHUTDOWN (1µF CAPACITORS)



*SHUTDOWN POLARITY IS REVERSED FOR NON MAX241 PARTS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

+5V-Powered, Multichannel RS-232 Drivers/Receivers

ABSOLUTE MAXIMUM RATINGS—MAX225/MAX244–MAX249

Supply Voltage (V_{CC}) ..... -0.3V to +6V
Input Voltages
T_{IN}, $\overline{ENA}$, $\overline{ENB}$, $\overline{ENR}$, $\overline{ENT}$, $\overline{ENRA}$, $\overline{ENRB}$, $\overline{ENTA}$, $\overline{ENTB}$ ..... -0.3V to (V_{CC} + 0.3V)
R_{IN} ..... ±25V
T_{OUT} (Note 3) ..... ±15V
R_{OUT} ..... -0.3V to (V_{CC} + 0.3V)
Short Circuit (one output at a time)
T_{OUT} to GND ..... Continuous
R_{OUT} to GND ..... Continuous

Continuous Power Dissipation (T_A = +70°C)
28-Pin Wide SO (derate 12.50mW/°C above +70°C) 1W
40-Pin Plastic DIP (derate 11.11mW/°C above +70°C) ... 611mW
44-Pin PLCC (derate 13.33mW/°C above +70°C) 1.07W
Operating Temperature Ranges
MAX225C_ _, MAX24_C_ _ ..... 0°C to +70°C
MAX225E_ _, MAX24_E_ _ ..... -40°C to +85°C
Storage Temperature Range ..... -65°C to +160°C
Lead Temperature (soldering, 10sec) ..... +300°C

Note 4: Input voltage measured with transmitter output in a high-impedance state, shutdown, or V_{CC} = 0V.

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS—MAX225/MAX244–MAX249

(MAX225, V_{CC} = 5.0V ±5%; MAX244–MAX249, V_{CC} = +5.0V ±10%, external capacitors C1–C4 = 1µF; T_A = T_{MIN} to T_{MAX}; unless otherwise noted.)

PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
RS-232 TRANSMITTERS						
Input Logic Threshold Low				1.4	0.8	V
Input Logic Threshold High			2	1.4		V
Logic Pull-Up/Input Current	Tables 1a–1d	Normal operation		10	50	µA
		Shutdown		±0.01	±1	
Data Rate	Tables 1a–1d, normal operation			120	64	kbits/sec
Output Voltage Swing	All transmitter outputs loaded with 3kΩ to GND		±5	±7.5		V
Output Leakage Current (shutdown)	Tables 1a–1d	$\overline{ENA}$, $\overline{ENB}$, $\overline{ENT}$, $\overline{ENTA}$, $\overline{ENTB}$ = V_{CC}, V_{OUT} = ±15V		±0.01	±25	µA
		V_{CC} = 0V, V_{OUT} = ±15V		±0.01	±25	
Transmitter Output Resistance	V_{CC} = V+ = V- = 0V, V_{OUT} = ±2V (Note 4)		300	10M		Ω
Output Short-Circuit Current	V_{OUT} = 0V		±7	±30		mA
RS-232 RECEIVERS						
RS-232 Input Voltage Operating Range					±25	V
RS-232 Input Threshold Low	V_{CC} = 5V		0.8	1.3		V
RS-232 Input Threshold High	V_{CC} = 5V			1.8	2.4	V
RS-232 Input Hysteresis	V_{CC} = 5V		0.2	0.5	1.0	V
RS-232 Input Resistance			3	5	7	kΩ
TTL/CMOS Output Voltage Low	I_{OUT} = 3.2mA			0.2	0.4	V
TTL/CMOS Output Voltage High	I_{OUT} = -1.0mA		3.5	V_{CC} - 0.2		V
TTL/CMOS Output Short-Circuit Current	Sourcing V_{OUT} = GND		-2	-10		mA
	Shrinking V_{OUT} = V_{CC}		10	30		
TTL/CMOS Output Leakage Current	Normal operation, outputs disabled. Tables 1a–1d. 0V ≤ V_{OUT} ≤ V_{CC}, $\overline{ENR}$_ = V_{CC}			±0.05	±0.10	µA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS—MAX225/MAX244–MAX249 (continued)

(MAX225, V_{CC} = 5.0V ±5%; MAX244–MAX249, V_{CC} = +5.0V ±10%, external capacitors C1–C4 = 1µF; T_A = T_{MIN} to T_{MAX}; unless otherwise noted.)

PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
POWER SUPPLY AND CONTROL LOGIC						
Operating Supply Voltage		MAX225	4.75		5.25	V
		MAX244–MAX249	4.5		5.5	
V_{CC} Supply Current (normal operation)	No load	MAX225		10	20	mA
		MAX244–MAX249		11	30	
	3kΩ loads on all outputs	MAX225		40		
		MAX244–MAX249		57		
Shutdown Supply Current	T_A = +25°C			8	25	µA
	T_A = T_{MIN} to T_{MAX}				50	
Control Input	Leakage current				±1	µA
	Threshold low			1.4	0.8	V
	Threshold high		2.4	1.4		
AC CHARACTERISTICS						
Transition Slew Rate	C_L = 50pF to 2500pF, R_L = 3kΩ to 7kΩ, V_{CC} = 5V, T_A = +25°C, measured from +3V to -3V or -3V to +3V		5	10	30	V/µs
Transmitter Propagation Delay TLL to RS-232 (normal operation). Figure 1	t_{PHLT}			1.3	3.5	µs
	t_{PLHT}			1.5	3.5	
Receiver Propagation Delay TLL to RS-232 (normal operation). Figure 2	t_{PHLR}			0.6	1.5	µs
	t_{PLHR}			0.6	1.5	
Receiver Propagation Delay TLL to RS-232 (low-power mode). Figure 2	t_{PHLS}			0.6	10	µs
	t_{PLHS}			3.0	10	
Transmitter + to - Propagation Delay Difference (normal operation)	t_{PHLT} - t_{PLHT}			350		ns
Receiver + to - Propagation Delay Difference (normal operation)	t_{PHLR} - t_{PLHR}			350		ns
Receiver-Output Enable Time. Figure 3	t_{ER}			100	500	ns
Receiver-Output Disable Time. Figure 3	t_{DR}			100	500	ns
Transmitter Enable Time	t_{ET}	MAX246–MAX249 (excludes charge-pump start-up)		5		µs
		MAX225/MAX245–MAX249 (includes charge-pump start-up)		10		ms
Transmitter Disable Time. Figure 4	t_{DT}			100		ns

Note 5: The 300Ω minimum specification complies with EIA/TIA-232E, but the actual resistance when in shutdown mode or V_{CC} = 0V is 10MΩ as is implied by the leakage specification.

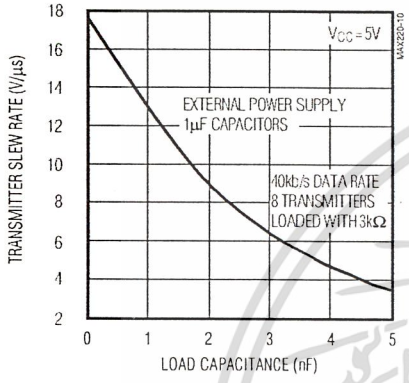
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

+5V-Powered, Multichannel RS-232 Drivers/Receivers

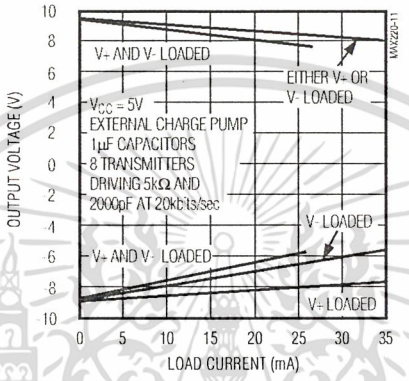
Typical Operating Characteristics

MAX225/MAX244–MAX249

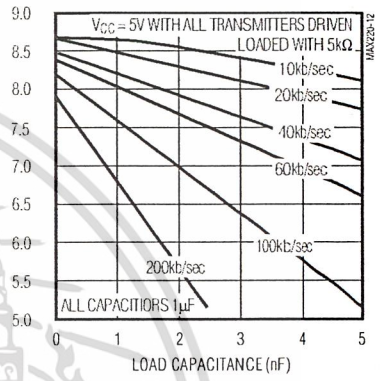
TRANSMITTER SLEW RATE vs. LOAD CAPACITANCE



OUTPUT VOLTAGE vs. LOAD CURRENT FOR V+ AND V-



TRANSMITTER OUTPUT VOLTAGE (V+, V-) vs. LOAD CAPACITANCE AT DIFFERENT DATA RATES



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

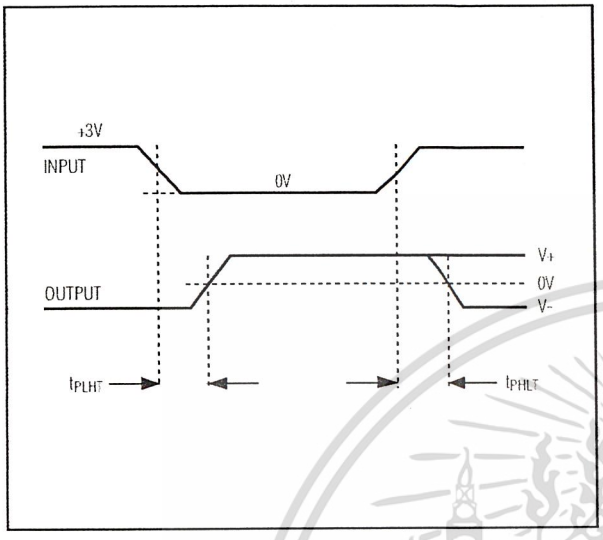


Figure 1. Transmitter Propagation-Delay Timing

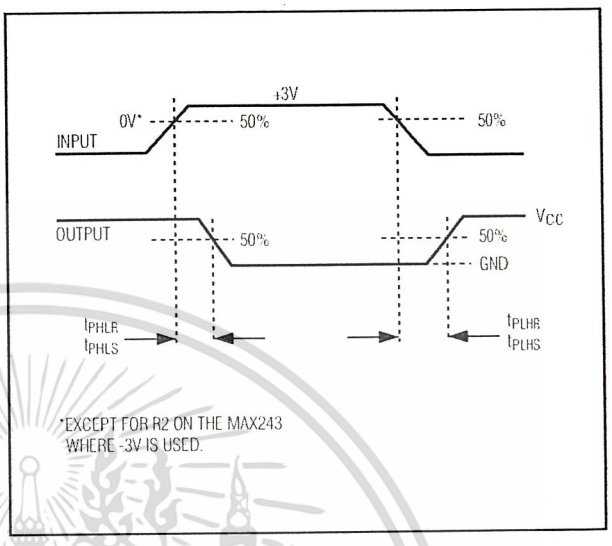


Figure 2. Receiver Propagation-Delay Timing

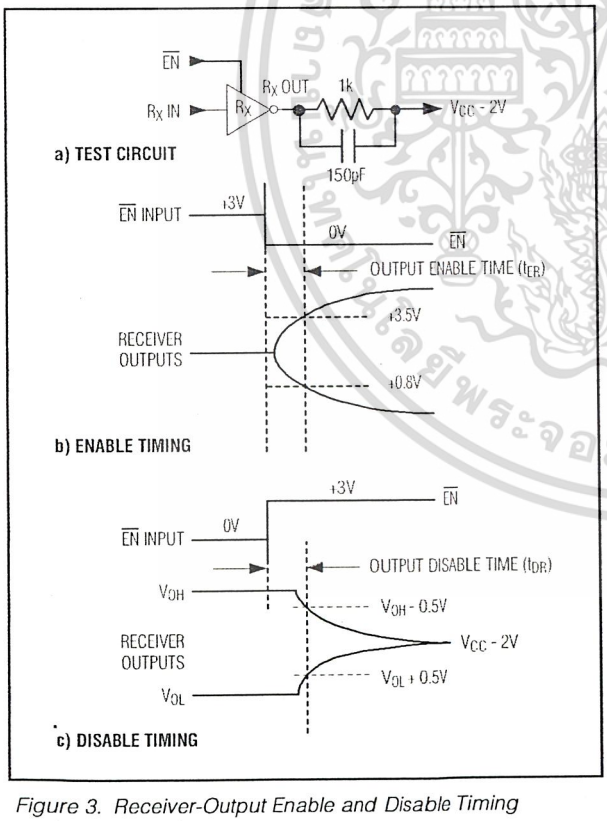


Figure 3. Receiver-Output Enable and Disable Timing

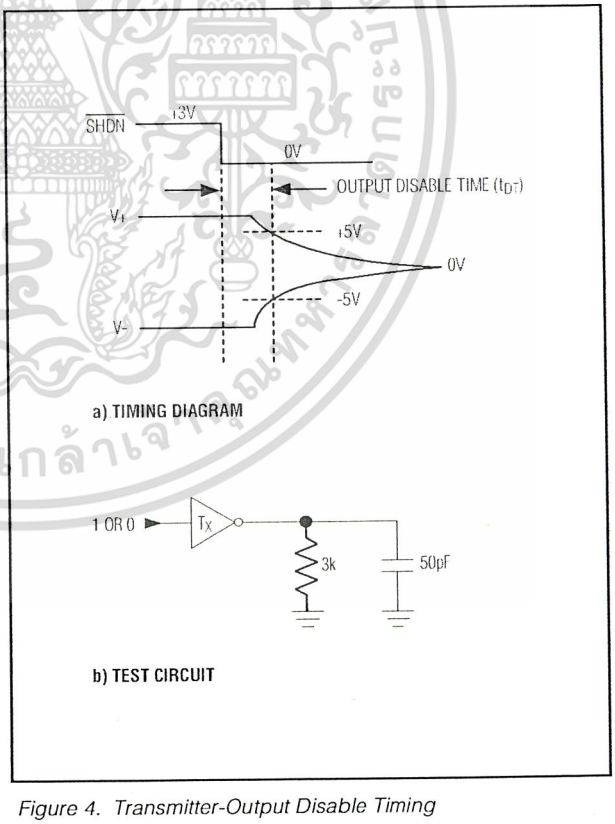


Figure 4. Transmitter-Output Disable Timing

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

+5V-Powered, Multichannel RS-232 Drivers/Receivers

Table 1a. MAX245 Control Pin Configurations

$\overline{ENT}$	$\overline{ENR}$	OPERATION STATUS	TRANSMITTERS	RECEIVERS
0	0	Normal Operation	All Active	All Active
0	1	Normal Operation	All Active	All 3-State
1	0	Shutdown	All 3-State	All Low-Power Receive Mode
1	1	Shutdown	All 3-State	All 3-State

Table 1b. MAX245 Control Pin Configurations

$\overline{ENT}$	$\overline{ENR}$	OPERATION STATUS	TRANSMITTERS		RECEIVERS	
			TA1–TA4	TB1–TB4	RA1–RA5	RB1–RB5
0	0	Normal Operation	All Active	All Active	All Active	All Active
0	1	Normal Operation	All Active	All Active	RA1–RA4 3-State, RA5 Active	RB1–RB4 3-State, RB5 Active
1	0	Shutdown	All 3-State	All 3-State	All Low-Power Receive Mode	All Low-Power Receive Mode
1	1	Shutdown	All 3-State	All 3-State	RA1–RA4 3-State, RA5 Low-Power Receive Mode	RB1–RB4 3-State, RB5 Low-Power Receive Mode

Table 1c. MAX246 Control Pin Configurations

$\overline{ENA}$	$\overline{ENB}$	OPERATION STATUS	TRANSMITTERS		RECEIVERS	
			TA1–TA4	TB1–TB4	RA1–RA5	RB1–RB5
0	0	Normal Operation	All Active	All Active	All Active	All Active
0	1	Normal Operation	All Active	All 3-State	All Active	RB1–RB4 3-State, RB5 Active
1	0	Shutdown	All 3-State	All Active	RA1–RA4 3-State, RA5 Active	All Active
1	1	Shutdown	All 3-State	All 3-State	RA1–RA4 3-State, RA5 Low-Power Receive Mode	RB1–RB4 3-State, RA5 Low-Power Receive Mode

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table 1d. MAX247/MAX248/MAX249 Control Pin Configurations

$\overline{ENTA}$	$\overline{ENTB}$	$\overline{ENRA}$	$\overline{ENRB}$	OPERATION STATUS		TRANSMITTERS		RECEIVERS	
					MAX247	TA1–TA4	TB1–TB4	RA1–RA4	RB1–RB5
					MAX248	TA1–TA4	TB1–TB4	RA1–RA4	RB1–RB4
					MAX249	TA1–TA3	TB1–TB3	RA1–RA5	RB1–RB5
0	0	0	0	Normal Operation		All Active	All Active	All Active	All Active
0	0	0	1	Normal Operation		All Active	All Active	All Active	All 3-State, except RB5 stays active on MAX247
0	0	1	0	Normal Operation		All Active	All Active	All 3-State	All Active
0	0	1	1	Normal Operation		All Active	All Active	All 3-State	All 3-State, except RB5 stays active on MAX247
0	1	0	0	Normal Operation		All Active	All 3-State	All Active	All Active
0	1	0	1	Normal Operation		All Active	All 3-State	All Active	All 3-State, except RB5 stays active on MAX247
0	1	1	0	Normal Operation		All Active	All 3-State	All 3-State	All Active
0	1	1	1	Normal Operation		All Active	All 3-State	All 3-State	All 3-State, except RB5 stays active on MAX247
1	0	0	0	Normal Operation		All 3-State	All Active	All Active	All Active
1	0	0	1	Normal Operation		All 3-State	All Active	All Active	All 3-State, except RB5 stays active on MAX247
1	0	1	0	Normal Operation		All 3-State	All Active	All 3-State	All Active
1	0	1	1	Normal Operation		All 3-State	All Active	All 3-State	All 3-State, except RB5 stays active on MAX247
1	1	0	0	Shutdown		All 3-State	All 3-State	Low-Power Receive Mode	Low-Power Receive Mode
1	1	0	1	Shutdown		All 3-State	All 3-State	Low-Power Receive Mode	All 3-State, except RB5 stays active on MAX247
1	1	1	0	Shutdown		All 3-State	All 3-State	All 3-State	Low-Power Receive Mode
1	1	1	1	Shutdown		All 3-State	All 3-State	All 3-State	All 3-State, except RB5 stays active on MAX247

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

V-Powered, Multichannel RS-232 vers/Receivers

Detailed Description

MAX220–MAX249 contain four sections: dual e-pump DC-DC voltage converters, RS-232 dri- RS-232 receivers, and receiver and transmitter control inputs.

Dual Charge-Pump Voltage Converter

MAX220–MAX249 have two internal charge-pumps onvert +5V to ±10V (unloaded) for RS-232 driver tion. The first converter uses capacitor C1 to dou- e +5V input to +10V on C3 at the V+ output. The d converter uses capacitor C2 to invert +10V to n C4 at the V- output.

all amount of power may be drawn from the +10V and -10V (V-) outputs to power external circuitry the *Typical Operating Characteristics* section), t on the MAX225 and MAX245–MAX247, where pins are not available. V+ and V- are not regulated, output voltage drops with increasing load current. t load V+ and V- to a point that violates the mini- ±5V EIA/TIA-232E driver output voltage when ing current from V+ and V- to external circuitry.

n using the shutdown feature in the MAX222, 225, MAX230, MAX235, MAX236, MAX240, 41, and MAX245–MAX249, avoid using V+ and V- wer external circuitry. When these parts are shut , V- falls to 0V, and V+ falls to +5V. For applica- where a +10V external supply is applied to the V+ instead of using the internal charge pump to gen- +10V), the C1 capacitor must not be installed and HDN pin must be tied to V_{CC}. This is because V+ ernally connected to V_{CC} in shutdown mode.

RS-232 Drivers

typical driver output voltage swing is ±8V when ed with a nominal 5kΩ RS-232 receiver and V_{CC} = Output swing is guaranteed to meet the EIA/TIA- and V.28 specification, which calls for ±5V mini- driver output levels under worst-case conditions. e include a minimum 3kΩ load, V_{CC} = +4.5V, and imum operating temperature. Unloaded driver out- oltage ranges from (V+ -1.3V) to (V- +0.5V).

t thresholds are both TTL and CMOS compatible. inputs of unused drivers can be left unconnected e 400kΩ input pull-up resistors to V_{CC} are built in ept for the MAX220). The pull-up resistors force the uts of unused drivers low because all drivers invert. internal input pull-up resistors typically source 12µA, ept in shutdown mode where the pull-ups are dis- d. Driver outputs turn off and enter a high-imped- e state—where leakage current is typically roamperes (maximum 25µA)—when in shutdown mode, in three-state mode, or when device power is removed. Outputs can be driven to ±15V. The power-supply current typically drops to 8µA in shutdown mode. The MAX220 does not have pull-up resistors to force the outputs of the unused drivers low. Connect unused inputs to GND or V_{CC}.

The MAX239 has a receiver three-state control line, and the MAX223, MAX225, MAX235, MAX236, MAX240, and MAX241 have both a receiver three-state control line and a low-power shutdown control. Table 2 shows the effects of the shutdown control and receiver three-state control on the receiver outputs.

The receiver TTL/CMOS outputs are in a high-impedance, three-state mode whenever the three-state enable line is high (for the MAX225/MAX235/MAX236/MAX239–MAX241), and are also high-impedance whenever the shutdown control line is high.

When in low-power shutdown mode, the driver outputs are turned off and their leakage current is less than 1µA with the driver output pulled to ground. The driver output leakage remains less than 1µA, even if the transmitter output is backdriven between 0V and (V_{CC} + 6V). Below -0.5V, the transmitter is diode clamped to ground with 1kΩ series impedance. The transmitter is also zener clamped to approximately V_{CC} + 6V, with a series impedance of 1kΩ.

The driver output slew rate is limited to less than 30V/µs as required by the EIA/TIA-232E and V.28 specifications. Typical slew rates are 24V/µs unloaded and 10V/µs loaded with 3Ω and 2500pF.

RS-232 Receivers

EIA/TIA-232E and V.28 specifications define a voltage level greater than 3V as a logic 0, so all receivers invert. Input thresholds are set at 0.8V and 2.4V, so receivers respond to TTL level inputs as well as EIA/TIA-232E and V.28 levels.

The receiver inputs withstand an input overvoltage up to ±25V and provide input terminating resistors with

Table 2. Three-State Control of Receivers

PART	SHDN	$\overline{SHDN}$	EN	$\overline{EN(R)}$	RECEIVERS
MAX223	—	Low High High	X Low High	—	High Impedance Active High Impedance
MAX225	—	—	—	Low High	High Impedance Active
MAX235 MAX236 MAX240	Low Low High	—	—	Low High X	High Impedance Active High Impedance

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

V-Powered, Multichannel RS-232 ivers/Receivers

Detailed Description

MAX220–MAX249 contain four sections: dual e-pump DC-DC voltage converters, RS-232 dri- RS-232 receivers, and receiver and transmitter e control inputs.

Dual Charge-Pump Voltage Converter

MAX220–MAX249 have two internal charge-pumps onvert +5V to ±10V (unloaded) for RS-232 driver tion. The first converter uses capacitor C1 to dou- e +5V input to +10V on C3 at the V+ output. The d converter uses capacitor C2 to invert +10V to on C4 at the V- output.

all amount of power may be drawn from the +10V and -10V (V-) outputs to power external circuitry the *Typical Operating Characteristics* section), pt on the MAX225 and MAX245–MAX247, where pins are not available. V+ and V- are not regulated, e output voltage drops with increasing load current. ot load V+ and V- to a point that violates the mini- ±5V EIA/TIA-232E driver output voltage when ing current from V+ and V- to external circuitry.

n using the shutdown feature in the MAX222, 225, MAX230, MAX235, MAX236, MAX240, 241, and MAX245–MAX249, avoid using V+ and V- wer external circuitry. When these parts are shut , V- falls to 0V, and V+ falls to +5V. For applica- where a +10V external supply is applied to the V+ instead of using the internal charge pump to gen- +10V), the C1 capacitor must not be installed and $\overline{SHDN}$ pin must be tied to V_{CC}. This is because V+ ernally connected to V_{CC} in shutdown mode.

RS-232 Drivers

typical driver output voltage swing is ±8V when ed with a nominal 5kΩ RS-232 receiver and V_{CC} = Output swing is guaranteed to meet the EIA/TIA- and V.28 specification, which calls for ±5V mini- driver output levels under worst-case conditions. e include a minimum 3kΩ load, V_{CC} = +4.5V, and imum operating temperature. Unloaded driver out- oltage ranges from (V+ -1.3V) to (V- +0.5V).

t thresholds are both TTL and CMOS compatible. inputs of unused drivers can be left unconnected e 400kΩ input pull-up resistors to V_{CC} are built in ept for the MAX220). The pull-up resistors force the uts of unused drivers low because all drivers invert. internal input pull-up resistors typically source 12µA, pt in shutdown mode where the pull-ups are dis- d. Driver outputs turn off and enter a high-imped- e state—where leakage current is typically oamperes (maximum 25µA)—when in shutdown mode, in three-state mode, or when device power is removed. Outputs can be driven to ±15V. The power-supply current typically drops to 8µA in shutdown mode. The MAX220 does not have pull-up resistors to force the outputs of the unused drivers low. Connect unused inputs to GND or V_{CC}.

The MAX239 has a receiver three-state control line, and the MAX223, MAX225, MAX235, MAX236, MAX240, and MAX241 have both a receiver three-state control line and a low-power shutdown control. Table 2 shows the effects of the shutdown control and receiver three-state control on the receiver outputs.

The receiver TTL/CMOS outputs are in a high-impedance, three-state mode whenever the three-state enable line is high (for the MAX225/MAX235/MAX236/MAX239–MAX241), and are also high-impedance whenever the shutdown control line is high.

When in low-power shutdown mode, the driver outputs are turned off and their leakage current is less than 1µA with the driver output pulled to ground. The driver output leakage remains less than 1µA, even if the transmitter output is backdriven between 0V and (V_{CC} + 6V). Below -0.5V, the transmitter is diode clamped to ground with 1kΩ series impedance. The transmitter is also zener clamped to approximately V_{CC} + 6V, with a series impedance of 1kΩ.

The driver output slew rate is limited to less than 30V/µs as required by the EIA/TIA-232E and V.28 specifications. Typical slew rates are 24V/µs unloaded and 10V/µs loaded with 3Ω and 2500pF.

RS-232 Receivers

EIA/TIA-232E and V.28 specifications define a voltage level greater than 3V as a l , 0, so all receivers invert. Input thresholds are set and 2.4V, so receivers respond to TTL level inp well as EIA/TIA-232E and V.28 levels.

The receiver inputs with nd an input overvoltage up to ±25V and provide ut terminating resistors with

Table 2. Three-State Control of Receivers

PART	SHDN	$\overline{SHDN}$	EN	$\overline{EN(R)}$	RECEIVERS
MAX223	—	Low High High	X Low High	—	High Impedance Active High Impedance
MAX225	—	—	—	Low High	High Impedance Active
MAX235 MAX236 MAX240	Low Low High	—	—	Low High X	High Impedance Active High Impedance

MAXIM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Detailed Description

The MAX220–MAX249 contain four sections: dual charge-pump DC-DC voltage converters, RS-232 drivers, RS-232 receivers, and receiver and transmitter enable control inputs.

Dual Charge-Pump Voltage Converter

The MAX220–MAX249 have two internal charge-pumps that convert +5V to ±10V (unloaded) for RS-232 driver operation. The first converter uses capacitor C1 to double the +5V input to +10V on C3 at the V+ output. The second converter uses capacitor C2 to invert +10V to -10V on C4 at the V- output.

A small amount of power may be drawn from the +10V (V+) and -10V (V-) outputs to power external circuitry (see the *Typical Operating Characteristics* section), except on the MAX225 and MAX245–MAX247, where these pins are not available. V+ and V- are not regulated, so the output voltage drops with increasing load current. Do not load V+ and V- to a point that violates the minimum ±5V EIA/TIA-232E driver output voltage when sourcing current from V+ and V- to external circuitry.

When using the shutdown feature in the MAX222, MAX225, MAX230, MAX235, MAX236, MAX240, MAX241, and MAX245–MAX249, avoid using V+ and V- to power external circuitry. When these parts are shut down, V- falls to 0V, and V+ falls to +5V. For applications where a +10V external supply is applied to the V+ pin (instead of using the internal charge pump to generate +10V), the C1 capacitor must not be installed and the $\overline{SHDN}$ pin must be tied to V_{CC}. This is because V+ is internally connected to V_{CC} in shutdown mode.

RS-232 Drivers

The typical driver output voltage swing is ±8V when loaded with a nominal 5kΩ RS-232 receiver and V_{CC} = +5V. Output swing is guaranteed to meet the EIA/TIA-232E and V.28 specification, which calls for ±5V minimum driver output levels under worst-case conditions. These include a minimum 3kΩ load, V_{CC} = +4.5V, and maximum operating temperature. Unloaded driver output voltage ranges from (V+ -1.3V) to (V- +0.5V).

Input thresholds are both TTL and CMOS compatible. The inputs of unused drivers can be left unconnected since 400kΩ input pull-up resistors to V_{CC} are built in (except for the MAX220). The pull-up resistors force the outputs of unused drivers low because all drivers invert. The internal input pull-up resistors typically source 12µA, except in shutdown mode where the pull-ups are disabled. Driver outputs turn off and enter a high-impedance state—where leakage current is typically microamperes (maximum 25µA)—when in shutdown mode, in three-state mode, or when device power is removed. Outputs can be driven to ±15V. The power-supply current typically drops to 8µA in shutdown mode. The MAX220 does not have pull-up resistors to force the outputs of the unused drivers low. Connect unused inputs to GND or V_{CC}.

The MAX239 has a receiver three-state control line, and the MAX223, MAX225, MAX235, MAX236, MAX240, and MAX241 have both a receiver three-state control line and a low-power shutdown control. Table 2 shows the effects of the shutdown control and receiver three-state control on the receiver outputs.

The receiver TTL/CMOS outputs are in a high-impedance, three-state mode whenever the three-state enable line is high (for the MAX225/MAX235/MAX236/MAX239–MAX241), and are also high-impedance whenever the shutdown control line is high.

When in low-power shutdown mode, the driver outputs are turned off and their leakage current is less than 1µA with the driver output pulled to ground. The driver output leakage remains less than 1µA, even if the transmitter output is backdriven between 0V and (V_{CC} + 6V). Below -0.5V, the transmitter is diode clamped to ground with 1kΩ series impedance. The transmitter is also zener clamped to approximately V_{CC} + 6V, with a series impedance of 1kΩ.

The driver output slew rate is limited to less than 30V/µs as required by the EIA/TIA-232E and V.28 specifications. Typical slew rates are 24V/µs unloaded and 10V/µs loaded with 3Ω and 2500pF.

RS-232 Receivers

EIA/TIA-232E and V.28 specifications define a voltage level greater than 3V as a logic 0, so all receivers invert. Input thresholds are set at 0.8V and 2.4V, so receivers respond to TTL level inputs as well as EIA/TIA-232E and V.28 levels.

The receiver inputs withstand an input overvoltage up to ±25V and provide input terminating resistors with

Table 2. Three-State Control of Receivers

PART	SHDN	$\overline{SHDN}$	EN	$\overline{EN(R)}$	RECEIVERS
MAX223	—	Low High High	X Low High	—	High Impedance Active High Impedance
MAX225	—	—	—	Low High	High Impedance Active
MAX235 MAX236 MAX240	Low Low High	—	—	Low High X	High Impedance Active High Impedance

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้