สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

การควบคุมกระบวนการระดับด้วยเฟสล็อกลูป

LEVEL PROCESS CONTROL BY PHASE - LOCKED LOOP

นางสาวนารีรัตน์ บุญสูง
นายประดิษฐ์ ลีลานิมิต
นายยุทธการ เตียเจริญกิจ

เลขหมู่.....
เลขทะเบียน 42536
วัน, เดือน, ปี 24 พ.ค. 2545

.b.....
.i.....

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต
สาขาวิชาวิศวกรรมการวัดคุม
ภาควิชาเทคโนโลยีการวัดคุมทางอุตสาหกรรม คณะวิศวกรรมศาสตร์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
ปีการศึกษา 2543

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

LEVEL PROCESS CONTROL BY PHASE - LOCKED LOOP

NAREERET BOONSUNG

PRADIT LEELANIMIT

YUTTHAKARN TIACHAROENKIJ

A THESIS SUBMITTED IN PARTIAL FULFILLMENT

OF THE REQUIREMENT FOR THE DEGREE OF

BACHELOR OF ENGINEERING IN INSTRUMENTATION ENGINEERING

DEPARTMENT OF INDUSTRIAL INSTRUMENTATION TECHNOLOGY

FACULTY OF ENGINEERING

KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG

2000

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาควิชาเทคโนโลยีการวัดคุมทางอุตสาหกรรม

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ใบรับรองปริญญาพิพนธ์

หัวข้อปริญญานิพนธ์ การควบคุมกระบวนการระดับด้วยเฟสล็อกลูป

LEVEL PROCESS CONTROL BY PHASE – LOCKED LOOP

นักศึกษาผู้จัดทำ นางสาวนารีรัตน์ บุญสูง รหัสประจำตัว 41013416

นายประดิษฐ์ ลีลานิมิต รหัสประจำตัว 41013419

นายยุทธการ เตียเจริญกิจ รหัสประจำตัว 41013423

ปริญญา วิศวกรรมศาสตรบัณฑิต

สาขาวิชา วิศวกรรมการวัดคุม

ปีการศึกษา 2543

อาจารย์ผู้ควบคุมปริญญานิพนธ์	ลายมือชื่อ
ผศ. ประสิทธ์ จุลเสรีวงศ์	

วัน/เดือน/ปี ที่สอบ วันอังคารที่ 10 เมษายน พ.ศ.2544

สถานที่สอบ ณ. ห้องสอบปริญญานิพนธ์ ภาควิชาเทคโนโลยีการวัดคุมทางอุตสาหกรรม

ภาควิชารับรองแล้ว

(ผศ.ประสิทธิ์ จุลเสรีวงศ์)

หัวหน้าภาควิชาฯ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อปริญญานิพนธ์	การควบคุมกระบวนการระดับด้วยเฟสล็อกลูป	
	LEVEL PROCESS CONTROLLER BY PHASE - LOCKED LOOP	
นักศึกษาผู้จัดทำ	นาสาวนารีรัตน์	บุญสูง
	นายประดิษฐ์	ลีลานิมิต
	นายยุทธการ	เตียเจริญกิจ
อาจารย์ที่ปรึกษา	ผศ.ประสิทธิ์	จุลเสรีวงศ์
ปีการศึกษา	2543	

บทคัดย่อ

ปริญญานิพนธ์เล่มนี้ นำเสนอการควบคุมกระบวนการระดับด้วยเฟสล็อกลูป โดยนำกระบวนระดับมาแทรกอยู่ในวงรอบการทำงานของเฟสล็อกลูป ระหว่างลูปฟิลเตอร์และโวลเตจคอนโทรลออสซิลเลเตอร์ โดยแปลงแรงดันควบคุมจากลูปฟิลเตอร์มาเป็นกระแส เพื่อไปควบคุมกระบวนการ และรับสัญญาณกระแสที่ป้อนกลับมาจากกระบวนการมาแปลงเป็นแรงดันควบคุมให้โวลเตจคอนโทรลออสซิลเลเตอร์ให้ทำงานตามงวรอบของเฟสล็อกลูปต่อไป ซึ่งในสภาวะล็อกความถี่ของเฟสล็อกลูป จะมีการรักษาพารามิเตอร์ของลูปให้คงที่ด้วย

ด้วยเหตุที่กระบวนการระดับเป็นกระบวนการที่ช้ามาก ทำให้ช่วงล็อกความถี่ (capture range) ของเฟสล็อกลูปแคบ แต่ก็ยังสามารถทำงานได้ในช่วงยึดเหนี่ยวความถี่ (hold-in range) ซึ่งจากผลการทดลอง จะได้ผลตอบสนองที่ถูกต้องที่ 50% เท่านั้น เมื่อเปลี่ยนค่า setpoint ไปมากกว่าหรือน้อยกว่า 50% จะทำให้เกิดค่าออฟเซ็ทมากขึ้นเรื่อยๆ และการทำงานในช่วงความถี่ต่ำกว่าความถี่อ้างอิง (ค่า setpoint = 1~20%) จะได้ผลตอบสนองที่มีการแกว่งอยู่ในช่วงๆหนึ่ง ส่วนในช่วงความถี่สูงกว่าความถี่อ้างอิง (ค่า setpoint = 70% ขึ้นไป) จะได้ผลตอบสนองที่ช้ามาก

เมื่อนำผลการควบคุมกระบวนการระดับด้วยเฟสล็อกลูป มาเปรียบเทียบกับผลจากการควบคุมด้วยตัวควบคุม PID แล้วจะเห็นว่า ตัวควบคุม PID จะมีสมรรถภาพในการควบคุมสูงกว่าและมีเสถียรภาพในการควบคุมมากกว่าการควบคุมกระบวนการระดับด้วยเฟสล็อกลูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Thesis Title	Level Process Control by Phase – Locked Loop
Authers	Miss. Nareeret Boonsung
	Mr. Pradit Leelanimit
	Mr. Yutthakarn Tiacharoenkij
Thesis Advisor	Asst.Prof. Prasit Julsereewong
Year	2000

ABSTRACT

This thesis presents the level process control by phase – locked loop. By insert the level process to loop of phase – locked loop in between the loop filter and the voltage control oscillator. In state of frequency locked of phase – locked loop will have to maintain the parameter of loop to constants.

Because of the level process is slowly process effect capture range to small , however to be able to control in hold-in range. The best result of experiment is at 50% only. If we change the setpoint value more or less than 50% , it will effect to offset increased rapidly. In the level of frequency that works lower than reference frequency (setpoint = 1~20%) will get the oscillate effect for a period. In the other hand the level of frequency that works higher than the reference frequency will get very slowly response.

As the result of control from comparison between phase – locked loop and PID controller , PID controller have efficiency and stability more than the level process control by phase – locked loop.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ปริญญานิพนธ์เล่มนี้สำเร็จลุล่วงได้ด้วยดี ด้วยความเมตตาจาก ผู้ช่วยศาสตราจารย์ ประสิทธิ์ จุลเสรีวงศ์ ที่ได้ให้คำแนะนำตลอดจนช่วยเหลือในด้านข้อมูลที่เป็นประโยชน์ต่อการทำวิจัยด้วยดีตลอดมา

ขอขอบพระคุณ รองศาสตราจารย์ ดร. ฟูศักดิ์ ชีวสุวิทย์ ให้ความกรุณาแนะนำหนังสือทฤษฎีเฟสล็อคลูป เพื่อประโยชน์ในการศึกษาและเป็นข้อมูลประกอบในปริญญานิพนธ์เล่มนี้

ขอขอบพระคุณอาจารย์ภาควิชาเทคโนโลยีการวัดคุมทางอุตสาหกรรมทุกท่าน ที่ให้คำแนะนำอันเป็นประโยชน์ต่อการทำปริญญานิพนธ์เล่มนี้ ขอขอบคุณเจ้าหน้าที่ห้องพัสดุภาควิชาเทคโนโลยีการวัดคุมทางอุตสาหกรรมที่เอื้อเฟื้ออุปกรณ์และเครื่องมือต่างๆในการทดลอง ตลอดจนเพื่อนๆ ที่ให้คำแนะนำและกำลังใจที่ดีเสมอมา

คุณค่าและประโยชน์อันพึงมีจากปริญญานิพนธ์เล่มนี้ ผู้วิจัยขอมอบแด่ผู้มีพระคุณทุกท่าน

คณะผู้จัดทำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

หน้า

บทคัดย่อภาษาไทย.....I

บทคัดย่อภาษาอังกฤษ.....II

กิตติกรรมประกาศ.....III

สารบัญ IV

สารบัญรูป.....VI

บทที่ 1 บทนำ.....1

1.1 ความเป็นมาและเหตุจูงใจของการวิจัย.....1

1.2 วัตถุประสงค์ของวิทยานิพนธ์.....1

1.3 ขอบเขตของวิทยานิพนธ์.....1

1.4 ขั้นตอนการศึกษา.....2

บทที่ 2 การควบคุมกระบวนการระดับ.....3

2.1 กล่าวนำ..... 3

2.2 กระบวนการระดับ.....3

2.3 การควบคุมกระบวนการระดับ.....6

2.4 ตำแหน่งของวาล์วควบคุมกับผลของตัวแปรของกระบวนการ.....7

บทที่ 3 ทฤษฎี เฟสล็อกลูป.....9

3.1 กล่าวนำ.....9

3.2 หลักการทำงานเบื้องต้นของเฟสล็อกลูป..... 9

3.3 พารามิเตอร์ของระบบ.....12

3.4 ช่วงกว้างของเฟสล็อกลูป (PLL Bandwidth) 17

3.5 ขีดจำกัดช่วงกว้างของลูปฟิลเตอร์ (Limit loop filter bandwidth) 19

บทที่ 4 การประยุกต์ใช้งานทฤษฎีเฟสล็อกลูป.....22

4.1 กล่าวนำ.....22

4.2 แนวความคิดในการประยุกต์ใช้งาน.....22

4.3 การทำงานของเฟสล็อกลูปในสภาวะไม่ล็อก.....24

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ (ต่อ)

หน้า

4.4 ระบบควบคุมกระบวนการระดับด้วยเฟสล็อกลูป.....25

4.4.1 ส่วนควบคุมโดยตรง.....25

4.4.2 เฟสดีเทคเตอร์ และ ลูปฟิลเตอร์.....26

4.4.3 วงจรแปลงแรงดันไฟฟ้าเป็นกระแสไฟฟ้า (V/I converter) และวงจรแปลงกระแสไฟฟ้าเป็นแรงดันไฟฟ้า (I/V converter) 28

4.4.4 โวลท์เตจคอนโทรลออสซิเลเตอร์ (VCO) 29

4.4.5 ตัวหารความถี่ที่โปรแกรมได้ (Programmable deivider by N counter)..30

4.4.6 ส่วนแสดงผล (Dispay) 30

4.5 การออกแบบ.....31

บทที่ 5 การทดลองและผลการทดลอง.....34

5.1 กล่าวนำ.....34

5.2 การทดลองและผลการทดลอง.....34

5.2.1 การทดลองความเป็นเชิงเส้นของการควบคุม.....36

5.2.2 การทดลองการควบคุมระดับด้วย เมื่อเทียบกับตัวควบคุม PID.....38

5.3 สรุปผลการทดลอง.....41

บทที่ 6 บทสรุป.....43

เอกสารอ้างอิง.....44

ภาคผนวก ก.....45

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป

หน้า

2.1 แสดงกระบวนการระดับซึ่งได้มาจากการทดลอง.....4

2.2 (ก) บล็อกไดอะแกรมของการควบคุมแบบป้อนกลับ.....6

2.2 (ข) การควบคุมแบบป้อนกลับ.....6

2.3 แสดงการเปรียบเทียบตำแหน่งติดตั้งวาล์วควบคุม.....7

3.1 บล็อกไดอะแกรมของเฟสล็อกลูป.....9

3.2 แสดง Asychronous error beat note ในช่วงขบวนการ capture.....11

3.3 โมเดลเชิงเส้นของ PLL ในลักษณะของระบบป้อนกลับ.....12

3.4 แสดง root locus ของ PLL สำหรับ filter แบบ lag $\tau_1 = R_1C_1$.....13

3.5 รูทโลกัส ของ PLL สำหรับฟิลเตอร์แบบ lag- lead.....15

3.6 แสดงถึง transfer characteristics ของความถี่กับ voltage ของ PLL.....16

3.7 แบบจำลองสัญญาณกระแสสลับ (ac model) ของเฟสล็อกลูป.....17

3.8 ผลตอบสนองทางความถี่ของ PLL.....18

3.9 ผลตอบสนองทางความถี่ของแอคทีฟลูปฟิลเตอร์.....19

3.10 ผลตอบสนองทางความถี่ของฟังก์ชั่นถ่ายโอนลูปเปิดและลูปปิดของเฟสล็อกลูป.....20

3.11 แอคทีฟลูปฟิลเตอร์ที่มีขีดจำกัดความถี่ต่ำกว่า ω_3.....21

4.1 บล็อกไดอะแกรมการทำงานของ PLL ในสภาวะล็อค.....22

4.2 กราฟที่พล๊อตจากตารางที่ 4.1.....23

4.3 บล็อกไดอะแกรมระบบควบคุมกระบวนการด้วยเฟสล็อคลูป.....25

4.4 วงจรส่วนควบคุมโดยตรง.....26

4.5 โครงสร้างภายในของ MC4044.....26

4.6 วงจรขยายของ MC 4044.....27

4.7 ภาคเฟสดีเทคเตอร์ และ ลูปฟิลเตอร์.....27

4.8 วงจร V/I converter.....28

4.9 วงงจร I/V converter.....28

4.10 (ก) วงจรโวลท์เตจคอนโทรลออสซิเลเตอร์.....29

4.10 (ข) แสดงกราฟคุณลักษณะของวงจรโวลท์เตจคอนโทรลออสซิเลเตอร์.....29

4.11 ตัวหารความถี่แบบโปรแกรมได้.....30

4.12 ส่วนแสดงผลของตัวควบคุมแบบเฟสล็อกลูป.....31

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป (ต่อ)

หน้า

4.13 บล็อกไดอะแกรม dc model ของระบบ 32

4.14 เครื่องควบคุมกระบวนการระดับด้วยเฟสล็อกลูปที่ทดลองสร้าง.....33

5.1 (ก) กระบวนการระดับที่ใช้ในการทดลอง..... 34

5.1 (ข) ไดอะแกรมการทำงานของกระบวนการระดับด้วย PID Controller..... 35

5.2 บล็อกไดอะแกรมของการควบคุมกระบวนการระดับด้วย เฟสล็อกลูป..... 36

5.3 ภาพวงจรที่ใช้ขณะทำการทดลอง..... 36

5.4 ผลการทดลองความเป็นเชิงเส้นของระบบควบคุมด้วยเฟสล็อกลูป..... 37

5.5 (ก) ผลตอบสนองของกระบวนการที่ค่า sp = 25% โดยใช้ตัวควบคุมแบบ PID
โดยกำหนดให้ P = 1.56 และ T_i = 90 sec 38

5.5 (ข) ผลตอบสนองของกระบวนการที่ค่า sp = 25 % โดยใช้ตัวควบคุมแบบ เฟสล็อกลูป
ที่ออกแบบ โดยกำหนดค่า N = 25 38

5.6 (ก) ผลตอบสนองของกระบวนการที่ค่า sp = 50 % โดยใช้ตัวควบคุมแบบ PID
โดยกำหนดให้ P = 1.5 และ T_i = 90 sec 39

5.6 (ข) ผลตอบสนองของกระบวนการที่ค่า sp = 50 % โดยใช้ตัวควบคุมแบบ เฟสล็อกลูป
ที่ออกแบบ โดยกำหนดค่า N = 50.....39

5.7 (ก) ผลตอบสนองของกระบวนการที่ค่า sp = 25%แล้วเปลี่ยน step ไปที่50%
โดยใช้ตัวควบคุมแบบ PI กำหนดค่า P = 1.5 และ T_i = 90 sec.....40

5.7 (ข) ผลตอบสนองของกระบวนการที่ค่า sp = 25%แล้วเปลี่ยน step ไปที่ 50%
โดยใช้ตัวควบคุมแบบ เฟสล็อกลูป.....40

5.8 กราฟแสดงผลตอบสนองของกระบวนการ เมื่อแปรค่า N ไป..... 41

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

1.1 ความเป็นมาและเหตุจูงใจของการวิจัย

การควบคุมกระบวนการผลิต เป็นหัวใจสำคัญในวงการอุตสาหกรรมที่ช่วยในการควบคุมกระบวนการทางอุตสาหกรรม ทั้งนี้ในส่วนของวิธีการควบคุมกระบวนการ วิศวกรเองได้พยายามศึกษาค้นคว้าและออกแบบวิธีการควบคุมกระบวนการเพื่อนำมาประยุกต์ใช้ในสายงานการผลิต ซึ่งปัจจุบันพบว่าตัวควบคุมแบบ ON/OFF , PID และ FUZZY ได้เข้ามามีบทบาทในการควบคุมกระบวนการ และเป็นที่รู้จักกันอย่างแพร่หลายในวงการอุตสาหกรรม

ทั้งนี้ Phase Lock Loop (PLL) ก็เป็นอีกวิธีหนึ่งในการควบคุมกระบวนการซึ่งใช้งานกันมานานกว่า30 ปี โดยเริ่มเข้ามามีบทบาทในวงการทหารและกิจกรรมเดินอากาศจนมาถึงวิทยุสื่อสารในยุคปัจจุบันซึ่งล้วนแล้วแต่ใช้หลักการสังเคราะห์ความถี่ หรือ " ซินธิไซเซอร์ " แทบทั้งสิ้น

ดังนั้นวิธีการควบคุมกระบวนการโดยใช้ เฟสล็อกลูป จึงเป็นที่รู้จักกันในวงแคบ แต่ก็ได้มีการนำวิธีการควบคุมกระบวนการโดยใช้ เฟสล็อกลูป มาประยุกต์ใช้กับงานด้านอุตสาหกรรมอยู่บ้าง เช่น การควบคุมมอเตอร์ การควบคุมอัตราการไหล ซึ่งสามารถทำได้อย่างแม่นยำ ซึ่งในปริญญานิพนธ์เล่มนี้จะได้นำ เฟสล็อกลูป เข้ามาประยุกต์ใช้ในการควบคุมระดับของของเหลว

1.2 วัตถุประสงค์ของปริญญานิพนธ์

1. เพื่อศึกษาถึงทฤษฎีและหลักการทำงานของ เฟสล็อคลูป
2. เพื่อศึกษาความเป็นไปได้ในการประยุกต์ใช้ทฤษฎีเฟสล็อคลูป
3. เพื่อสามารถนำทฤษฎีของเฟสล็อคลูปมาประยุกต์ใช้งานได้
4. เพื่อนำตัวควบคุมแบบเฟสล็อคลูปมาทดแทนตัวควบคุมแบบ PID

1.3 ขอบเขตของปริญญานิพนธ์

ปริญญานิพนธ์เล่มนี้จะกล่าวถึงในส่วนของทฤษฎีของเฟสล็อคลูป และ การออกแบบสร้างตัวควบคุมกระบวนการด้วยเฟสล็อคลูป ซึ่งนำมาประยุกต์ใช้กับกระบวนการวัดระดับของเหลว และศึกษาเปรียบเทียบการทำงานระหว่างตัวควบคุม PID กับตัวควบคุมที่เป็นแบบ เฟสล็อกลูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.4 ขั้นตอนการศึกษา

การทำโครงงานวิจัยปริญญานิพนธ์ในเล่มนี้เริ่มจากการศึกษา ทฤษฎี และหลักการทำงานของเฟสล็อคลูป ตลอดจนส่วนประกอบต่างๆ ของเฟสล็อคลูป การออกแบบสร้างวงจรเฟสล็อคลูป และวงจรประกอบร่วมอื่นๆและทำการทดลองบันทึกผลลัพธ์ที่เกิดขึ้นในแต่ละวงจร จากนั้นก็จะทำการประกอบวงจรรวมทั้งหมด เพื่อนำมาทดลองควบคุมกระบวนการวัดระดับของของเหลว และเปรียบเทียบผลการทดลองที่เกิดขึ้นกับ ตัวควบคุมแบบ PID

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2

การควบคุมกระบวนการระดับ

2.1 กล่าวนำ

กระบวนการระดับเป็นพื้นฐานสำคัญของการศึกษา ระบบควบคุมกระบวนการและเป็นกระบวนการ และเป็นกระบวนการที่ใช้มากในอุตสาหกรรม การที่จะควบคุมแรงดันของน้ำให้คงที่ ซึ่งในงานอุตสาหกรรมก็คือ การควบคุมระดับน้ำในแทงค์ ให้คงที่ที่ระดับหนึ่ง ซึ่งเป็นผลทำให้ความดันที่เกิดจากความสูงของน้ำ (Pressure Head) คงที่ไปด้วย หรือในโรงไฟฟ้าที่ต้องรักษาปริมาณของน้ำในหม้อต้มน้ำ (Boiler) ให้เพียงพอที่จะผลิตเป็นไอน้ำ (Steam) ให้คงที่เสมอ ดังนั้นการควบคุมกระบวนการระดับจึงมีความสำคัญมากในโรงงานอุตสาหกรรม

2.2 กระบวนการระดับ (Level Process)

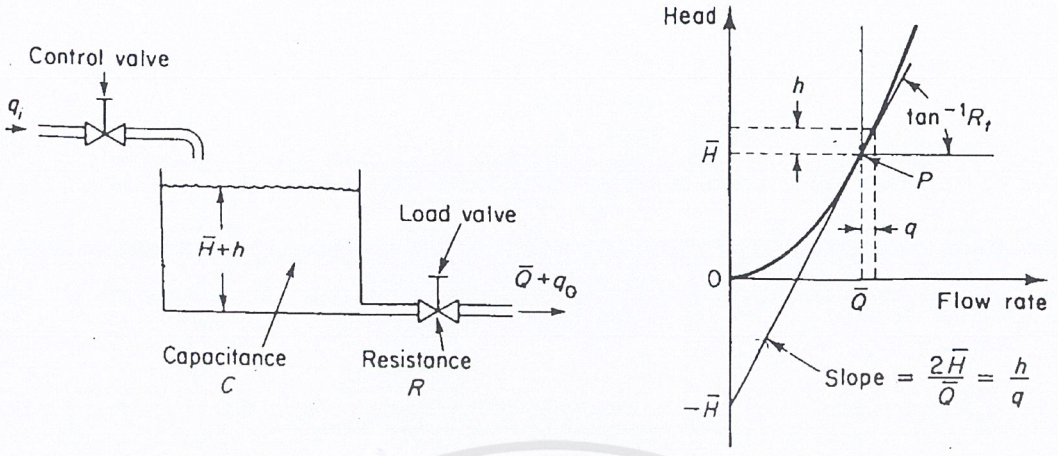
กระบวนการระดับนั้น โดยพื้นฐานนั้น เป็นกระบวนการอันดับหนึ่ง (First Order System) ประกอบไปด้วย ถังบรรจุน้ำและวาล์วปล่อยน้ำ (Load Valve) ซึ่งถังบรรจุน้ำนั้นมีความจุที่แน่นอน และค่าความจุ (capacitance) ของถังน้ำสามารถนิยามได้จาก

$$C = \frac{\text{change in liquid stored } (\text{m}^3)}{\text{change in head } (\text{m})} \tag{2.1}$$

ซึ่งค่าความจุ C ก็คือพื้นที่ก้นถังของน้ำที่มีค่าคงที่ ไม่ว่าน้ำ จะสูงระดับใดก็ตาม ไม่ได้หมายถึงความสูงของน้ำ ส่วนวาล์วปล่อยน้ำก็จะมีค่าความต้านทาน (Resistance) ซึ่งเป็นตัวที่ทำให้อัตราการไหลของน้ำเปลี่ยนแปลงไปหนึ่งระดับ สามารถนิยามได้เป็น

$$R = \frac{\text{change in level difference (m)}}{\text{change in flow rate } (\text{m}^3/\text{sec})} \tag{2.2}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.1 แสดงกระบวนการระดับซึ่งได้มาจากการทดลอง

จากกราฟในรูปที่ 2.1 ค่า R ก็คือ ค่าความชัน (Slop) ของเส้นโค้งในช่วงการทำงานของระบบ ที่จุด P จะเป็นจะเป็นจุดทำงานในสภาวะคงที่ ในสภาวะการไหลแบบปั่นป่วน (Turbulent) จะกำหนดได้เป็น

$$R = \frac{\Delta H}{\Delta Q} = \frac{2H}{Q} \tag{2.3}$$

และสำหรับการไหลแบบราบเรียบ (Lamina) กำหนดได้เป็น

$$R = \frac{\Delta H}{\Delta Q} = \frac{H}{Q} \tag{2.4}$$

โดยที่ H = ความสูงของน้ำ (Pressure Head) ,m

Q = อัตราการไหลของน้ำในสภาวะคงที่ ,m^3/s

จากรูปที่ 2.1 จะได้ว่า

$$Cdh = \left(q_i - q_o\right)dt \tag{2.5}$$

ในกรณีการไหลแบบราบเรียบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$q_o = \frac{h}{R} \tag{2.6}$$

จะได้

$$RC\frac{dh}{dt} + h = Rq_i \tag{2.7}$$

แปลงลาปลาซจะได้

$$\left(RCS+1\right)H\left(s\right) = RQ_i\left(s\right) \tag{2.8}$$

ซึ่งถ้าให้อัตราการไหลเข้า Qi(s) เป็นอินพุท และระดับความสูง H(s) เป็นเอาท์พุทจะได้

$$\frac{H\left(s\right)}{Q_i\left(s\right)} = \frac{R}{RCS+1} \tag{2.9}$$

โดยที่สามารถเขียนให้อยู่ในรูปสมการทั่วไปได้เป็น

$$\frac{H\left(s\right)}{Q_i\left(s\right)} = \frac{K}{\tau s+1} \tag{2.10}$$

โดยให้ τ = RC = ค่าเวลาคงตัวของกระบวนการ

K ≅ R = ค่าอัตราการขยายของกระบวนการ

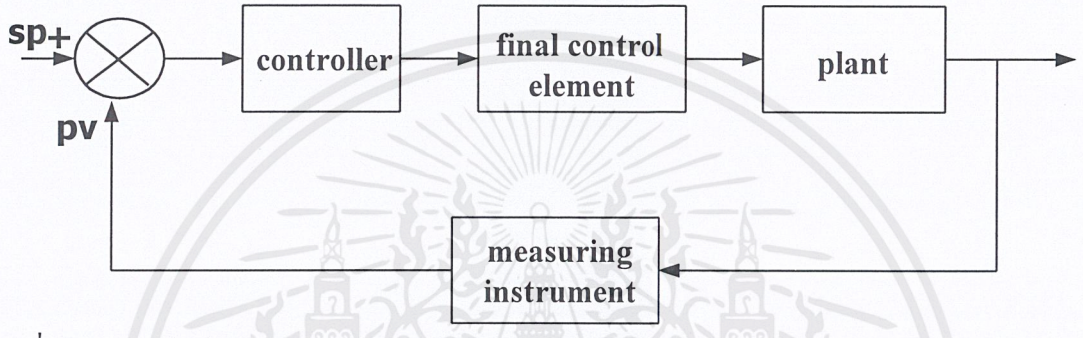
ซึ่งในความเป็นจริงแล้ว ค่า K จะขึ้นอยู่กับค่าพารามิเตอร์ต่างๆในกระบวนการ เช่น อุณหภูมิของน้ำ, ความสกปรกที่จับติดอยู่บนผนังของถังน้ำ ค่า R เป็นต้น ซึ่งในที่นี้จะให้ค่า K≅R โดยที่ไม่สนใจพารามิเตอร์อื่นๆ ของกระบวนการ โดยหากเราปรับโหลดวาล์วไป ทำให้ค่า K เปลี่ยนแปลง ค่า K ของกระบวนการก็จะเปลี่ยนแปลงไปด้วย และส่งผลให้ τ เปลี่ยนไปด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

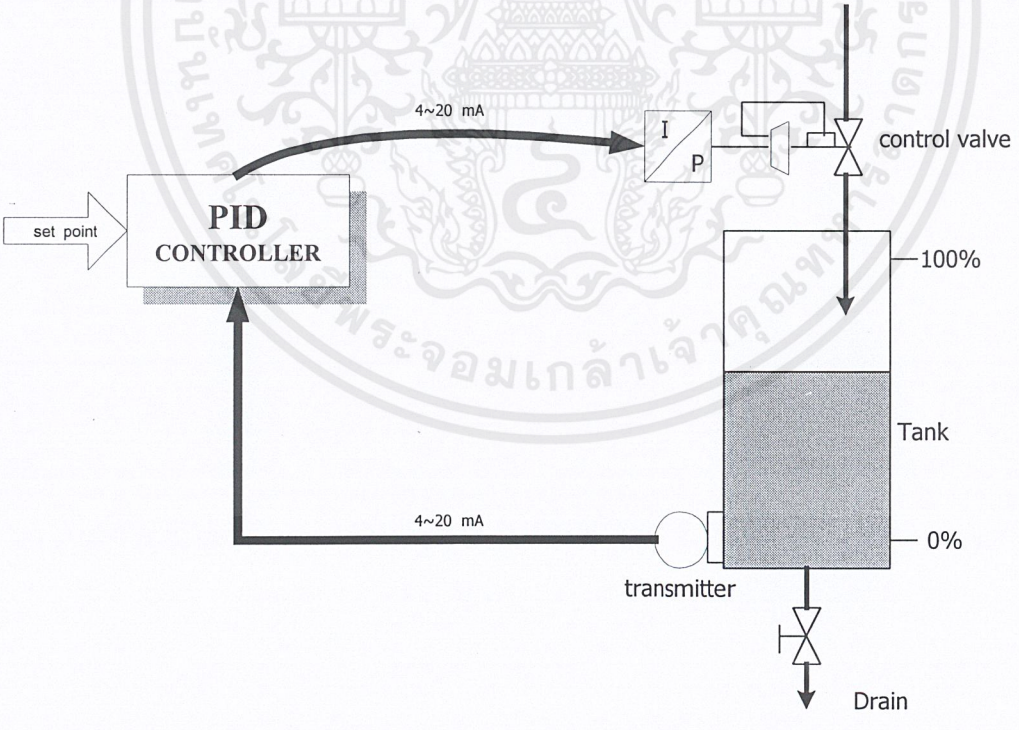
2.3 การควบคุมกระบวนการระดับ

การควบคุมกระบวนการระดับ เพื่อให้ระดับน้ำคงที่อยู่ในระดับที่ต้องการ ทำได้โดยการเปิดปิดวาล์วให้น้ำไหลเข้าถัง อยู่ในระดับที่ต้องการ โดยดูจากระดับความสูงของน้ำด้วยสายตา แล้วใช้มือปิด – เปิดวาล์วน้ำ

แต่ในอุตสาหกรรมมักต้องการเสถียรภาพของกระบวนการควบคุมมาก และเพื่อความง่ายในการจัดการ จึงนิยมใช้การควบคุมแบบอัตโนมัติ (Automatic Control) ซึ่งก็คือการควบคุมแบบป้อนกลับ (Feedback Control) โดยอาศัยอุปกรณ์ควบคุมดังรูปที่ 2.2



รูปที่ 2.2 (ก) บล๊อกไดอะแกรมของการควบคุมแบบป้อนกลับ



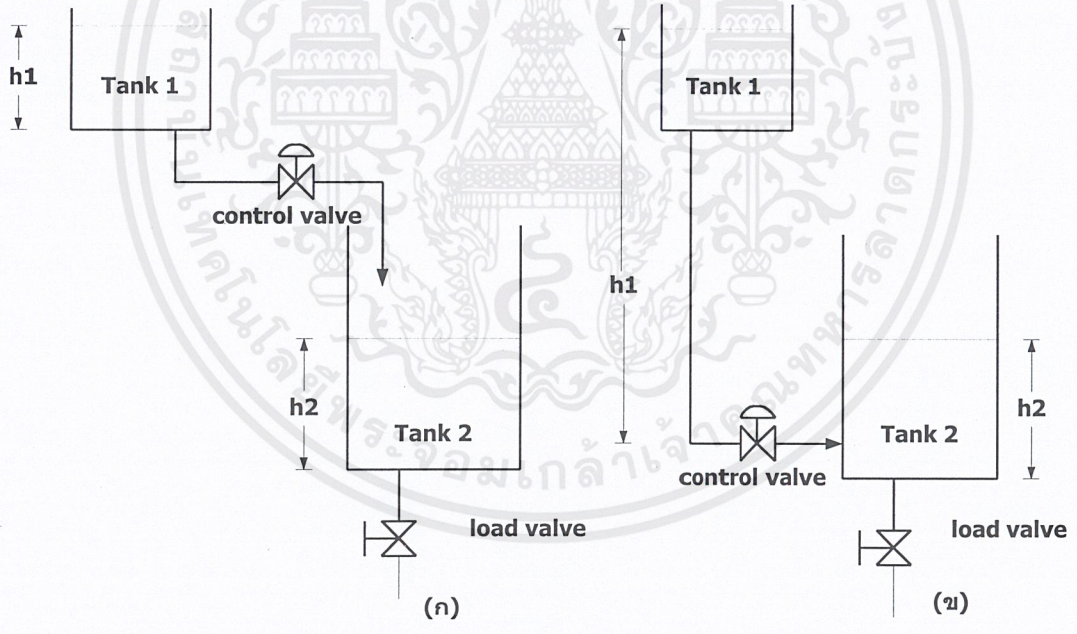
รูปที่ 2.2 (ข) การควบคุมแบบป้อนกลับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 2.2 (ก) ในส่วนอุปกรณ์วัด (Measuring Instrument) ซึ่งก็คือ d/p transmitter จะตรวจจับความสูงของน้ำในถัง ส่งออกมาเป็นสัญญาณกระแสมาตรฐาน 4~20 mA มาที่ตัวควบคุม (Controller) เพื่อเปรียบเทียบกับค่าเป้าหมาย (Set point, sp) ที่ต้องการแล้วส่งสัญญาณควบคุมไปให้อุปกรณ์ควบคุมขั้นสุดท้าย (Final Control Element) ซึ่งก็คือ วาล์วควบคุม (Control Valve) เปิด-ปิดน้ำที่ไหลเข้าถังในอัตราการไหลที่เหมาะสม เพื่อให้ระดับน้ำไปถึงค่า Set point โดยในรูปที่ 2.2(ข) จะแสดงตัวแปลงสัญญาณกระแสไฟฟ้าให้เป็นสัญญาณลม (I/P Converter) เอาไว้ด้วย ซึ่งหากมีการปล่อยน้ำออกไปใช้งาน ตัวควบคุมก็จะรับรู้ได้โดยทันที ด้วย d/p transmitter และส่งสัญญาณไปทำให้วาล์วควบคุมปล่อยน้ำเข้าไปแทนที่ทันที

2.4 ตำแหน่งของวาล์วควบคุมกับผลของตัวแปรของกระบวนการ

ตัวแปรของกระบวนการที่คงที่มากที่สุดคือค่าความจุ C หรือค่าพื้นที่ก้นถัง ซึ่งไม่สามารถเปลี่ยนแปลงได้ วนค่าอัตราขยายของกระบวนการ ซึ่งขึ้นอยู่กับอัตราการไหลของน้ำ และค่าความต้านทาน R ซึ่งเมื่อพิจารณาจากรูปที่ 2.3



รูปที่ 2.3 แสดงการเปรียบเทียบตำแหน่งติดตั้งวาล์วควบคุม

ถ้าให้วาล์วควบคุมเปิด ที่ 100% และวาล์วปล่อยน้ำออก (Load Valve) คงที่ไว้จากรูปที่ 2.3(ก) เมื่อตำแหน่งของวาล์วเปิดคงที่เอาไว้จะทำให้ค่าความต้านทานของวาล์ว (R_v) คงที่ซึ่งค่า R_v จะขึ้นอยู่กับความดันของน้ำทางด้านขาเข้า (Inlet) และขาออก(Outlet) ตามสมการที่ 2.2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยกำหนดให้อัตราการไหลของน้ำคงที่ ค่าความดันของน้ำ ที่ตกคร่อมวาล์วควบคุมจะเป็นค่าความสูงของน้ำในถังที่ 1 (h_1) โดยเทียบเป็น Pressure head ทำให้ค่าความต้านทานของวาล์วควบคุมเป็น $R_v = \frac{h_1}{q}$ และ เป็นค่าคงที่เมื่อให้ h_1 คงที่

จากรูปที่ 2.3(ข) ค่าความต้านทาน R_v จะเป็น $R_v = \frac{h_1 - h_2}{q}$ เมื่อให้ h_1 คงที่ และให้ h_2 เปลี่ยนแปลงไป ค่าของ R_v ก็จะเปลี่ยนแปลงไป นั่นแสดงว่าเมื่อเราติดตั้งวาล์วควบคุมเหมือนในรูปที่ 2.3(ข) ในขณะที่ระดับน้ำสูงขึ้นเรื่อยๆ เมื่อตำแหน่งของวาล์วควบคุมเปิดอยู่ที่ค่าใดๆ คงที่ไว้ ค่าความต้านทาน R_v จะไม่คงที่เหมือนในรูปที่ 2.3(ก)

กระบวนการที่ติดตั้งวาล์วควบคุมในตำแหน่งดังรูปที่ 2.3(ข) จึงมีค่าอัตราขยายของกระบวนการที่ไม่เท่ากัน ในการเปิดวาล์วที่ตำแหน่งที่ต่างกัน ดังนั้นเมื่อทำการประมาณฟังก์ชันถ่ายโอนของ กระบวนการด้วยระบบอันดับหนึ่ง แบบมีการหน่วง (First Order Lag Plus Dead Time , FOPDT) ด้วยวิธี Process Reaction Curve ของ Ziegler – Nichols ที่ Unit Step ที่ไม่เท่ากัน จึงได้ค่าผลตอบสนองที่ไม่เท่ากัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3
ทฤษฎีเฟสล็อกลูป

3.1 กล่าวนำ

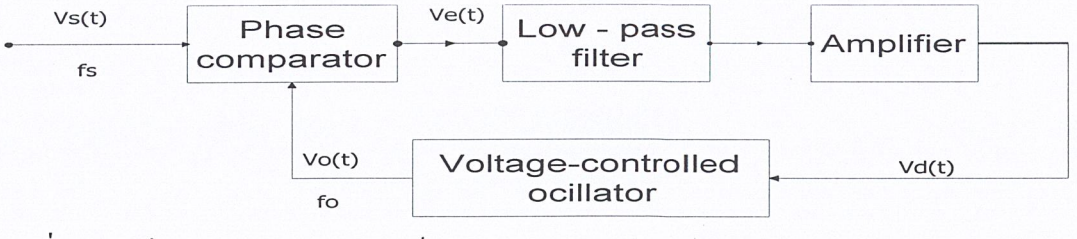
ปัจจุบันเราจะเห็นว่า เทคโนโลยีเข้ามามีบทบาทสำคัญเป็นอย่างมาก ในวงการอุตสาหกรรมทั้งในส่วนของการผลิตและแม้แต่การออกแบบเอง ก็ต้องอาศัยเทคโนโลยีด้วยกันทั้งสิ้นจากความต้องการในส่วนนี้เองทำให้วิศวกรได้พยายามคิดค้นเทคโนโลยีใหม่ๆขึ้นมาเพื่อให้เกิดประสิทธิภาพสูงสุดในการทำงานให้ตรงกับความต้องการ ทั้งนี้จะเห็นว่าการควบคุมกระบวนการผลิตให้มีประสิธิภาพนั้นต้องอาศัยการควบคุมที่ดีด้วย ซึ่งก็มีด้วยกันหลายวิธี เช่น PI , PID , FUZZY และอื่นๆมากมาย รวมทั้ง วิธี PLL ด้วย ซึ่งแต่ละวิธีก็จะให้ผลตอบสนองต่างๆกัน และเกิดค่าความผิดพลาดที่ต่างกันด้วย

ทั้งนี้ PLL เองได้ถูกนำไปประยุกต์ใช้งานกันอย่างกว้างขวางทางด้าน โทรคมนาคม เครื่องมือวัดการควบคุมในอุตสาหกรรม และเครื่องมัลติมิเดีย ในงานระบบควบคุมนั้นมักจะพบในการควบคุมความเร็วของมอเตอร์เป็นส่วนมาก ซึ่ง PLL ให้ค่าผิดพลาด 0.002% - 0.008% นอกจากนี้ PLL ยังถูกนำไปใช้ในการควบคุมอุณหภูมิของน้ำอีกด้วย ทั้งนี้เราจะศึกษาความเป็นไปได้ในการนำ PLL มาประยุกต์ใช้ในการควบคุมระดับของของเหลวเพื่อดูผลตอบสนองต่อไป

ในปริญญานิพนธ์เล่มนี้ จะกล่าวถึงในส่วนของทฤษฎีของ PLL ที่ซึ่งประกอบด้วย คำจำกัดความ หลักการทำงาน ส่วนประกอบของ PLL เอง และส่วนของการออกแบบ การทดลอง และส่วนต่างๆซึ่งจะนำเสนอต่อไป

3.2 หลักการทำงานเบื้องต้นของเฟสล็อกลูป

เฟสล็อกลูปคือ ระบบที่มีการป้อนความถี่กลับประกอบด้วยเฟสดีเทคเตอร์ ลูปฟิลเตอร์ และวงจรขยายซึ่งอยู่ทางที่สัญญาณเดินไปหน้า(Forward path)และโวลเตจคอนโทรลออสซิเลเตอร์ (VCO) อยู่ในทางป้อนกลับ (Feedback path) แผนภาพของระบบเฟสล็อกลูปอย่างง่ายๆ แสดงได้ดังรูปที่ 3.1



รูปที่ 3.1 บล็อคไดอะแกรมของเฟสล็อกลูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หลักการทำงานจากรูปที่ 3.1 คือ ขณะที่ยังไม่มีสัญญาณเข้าไปในระบบแรงดันควบคุม (control voltage ,Vc(t)) จะเท่ากับศูนย์ VCO จะทำงานโดยการตั้งความถี่ไว้ที่ f_O ซึ่งเรียกว่า "free-running frequency" ถ้าสัญญาณเข้าไปในระบบ phase comparator จะทำการเปรียบเทียบเฟส และความถี่ของสัญญาณอินพุทจาก VCO และผลิตแรงดันคลาดเคลื่อน Ve(t) ซึ่งสัมพันธ์กับความแตกต่างของเฟส และความถี่ระหว่างความถี่ทั้งสอง ส่วนแรงดันคลาดเคลื่อนจะถูกกรอง และขยายส่งไป ควบคุม VCO ในการนี้แรงดันควบคุม Vd(t) จะไปบังคับความถี่ของ VCO ให้เปลี่ยนไปในทิศทางที่จะลดความถี่ที่แตกต่างกันระหว่าง f_O จากการป้อนกลับของ PLL ทำให้ PLL synchronize หรือ lock กับสัญญาณที่เข้ามา ขณะที่มีการ lock นั้น ความถี่ VCO จะเท่ากับสัญญาณอินพุท แต่เฟสยังต่างกันอยู่ ความแตกต่างของเฟส ϕ_0 มีความจำเป็นต่อการผลิตแรงดันคลาดเคลื่อนที่จะไปคอยปรับความถี่ VCO ให้มีค่าfree running frequencyเท่ากับความถี่อ้างอิงที่เข้ามา ดังนั้น PLL จะยังคงรักษาสภาพการ lock อยู่ได้ การที่ระบบสามารถที่จะปรับตัวได้เอง ทำให้ PLL สามรถติดตามความถี่ที่เปลี่ยนไปตามสัญญาณที่เข้ามาให้อยู่ในสภาพ lock เช่นเดิม ช่วงความถี่ที่ PLL สามารถติดตามการ lock กับสัญญาณที่เข้ามา เรียกว่า " lock range" ของระบบ ค่าของมันจะตอบสนองกับแรงดันคลาดเคลื่อน โดยไม่ขึ้นกับ band edge ของฟิลเตอร์ ช่วงความถี่นี้จะมากกว่าช่วงความถี่ที่ PLL สามารถทำการ lock อย่างแท้จริง ช่วงความถี่นี้เรียกว่า " capture range" ของระบบ ช่วง capture rangeนี้จะขึ้นอยู่กับ band edge ของฟิลเตอร์ และ closed loop gain (K_v) ของระบบทั้งหมด โดยมีผลเกี่ยวข้องกับ sensitivity ของวงจร PLL และยังช่วยเพิ่มความปลอดภัย เกี่ยวกับสัญญาณรบกวนทางด้าน outband signal ที่จะมากวนเป็นอย่างดี

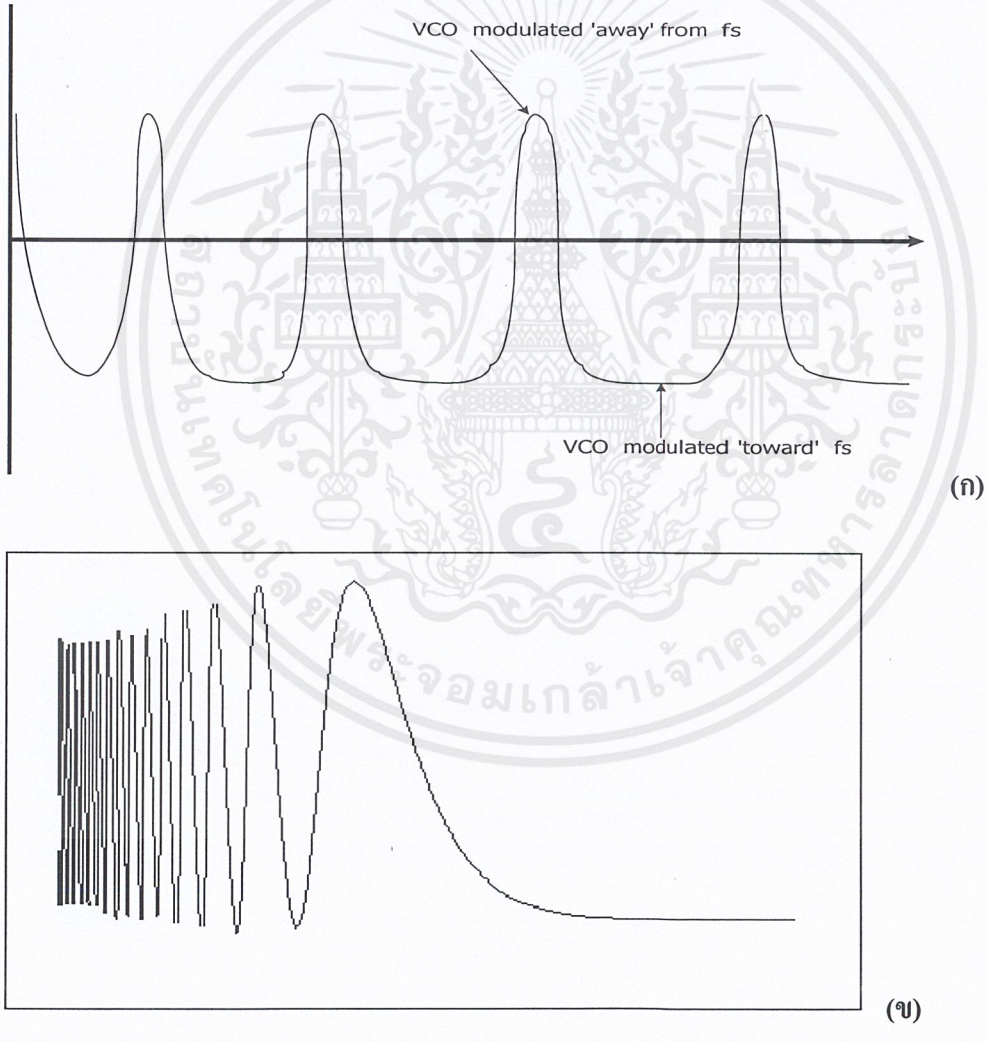
ขบวนการ captue เป็นขบวนการที่ยุ่งยากมาก และไม่สามารถ และไม่สามารถที่จะวิเคราะห์โดยคณิตศาสตร์อย่างง่ายได้ แต่อย่างไรก็ตามการอธิบายเกี่ยวกับ capture อาจกล่าวได้ดังต่อไปนี้คือ ความถี่คือเฟสที่เปลี่ยนไปตามเวลา ความถี่ และความคลาดเคลื่อนทางเฟสใน loop สามารถที่จะเขียนความสัมพันธ์ได้เป็น

$$\omega = 2\pi\Delta f = \frac{d\phi}{dt} \tag{3.1}$$

เมื่อ เป็นความถี่ระหว่างสัญญาณอินพุท และความถี่ VCO ถ้าเส้นทางที่ป้อนกลับของ PLL ถูกเปิดออกคือระหว่าง low pass filter และอินพุทควบคุม VCO ดังนั้น จากความถี่ที่ตั้งไว้ของ f_O และ f_S จะทำให้สัญญาณที่ออกจาก phase comparator จะเป็น sinusoidal beat note ที่ความถี่คงที่ Δf ถ้า f_O และ f_S มีความถี่ใกล้เคียงกัน beat note จะไปปรากฏที่ทางออกจาก filter โดยไม่ถูกลดขนาดลง คราวนี้สมมติว่าทางป้อนกลับถูกปิดลง โดยการต่อ low pass filter ไปยัง VCO ซึ่งจะทำให้ความถี่ VCO ถูก modulated กับ beat note Δf จะกลายมาเป็นฟังก์ชั่นของเวลา ถ้าระหว่างกระบวนการ modulated นี้ ความถี่ VCOเคลื่อนเข้าใกล้ f_S (นั่นคือการลด Δf) ดังนั้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$\frac{d\phi_0}{dt}$ ลดลงและสัญญาณที่ออกจาก phase comparator จะเปลี่ยนไปอย่างช้าๆ เป็นฟังก์ชั่นของเวลา ในทำนองเดียวกัน ถ้าหากว่า VCO ถูก modulated ให้ออกจาก f_S ซึ่ง $\frac{d\phi_0}{dt}$ จะเพิ่มขึ้น และแรงดันคลาดเคลื่อนจะเปลี่ยนแปลงไปอย่างรวดเร็ว เป็นฟังก์ชั่นของเวลา ดังนั้นภายใต้เงื่อนไขนี้ beat-note waveform จะไม่อยู่ในลักษณะ sinusoidal มันจะมองดูเป็น อนุกรมของคาบเวลา "cusps" ดังแสดงในรูปที่2.2 ก เนื่องจากความไม่เท่ากันของ beat-note waveform และมีสัญญาณกระแสตรงเป็นส่วนประกอบค่าเฉลี่ย (average value) ของมันจะไปควบคุมให้ VCO เพิ่มค่า f_O เพื่อที่จะลด Δf ในช่วงนี้ความถี่ beat note จะลดลงอย่างรวดเร็วจนเป็นศูนย์ ความถี่ VCO เพิ่มจาก f_O และทำให้เกิดการล็อก เมื่อระบบอยู่ในช่วงล็อก Δf จะเท่ากับศูนย์และจะเหลือเพียง dc. error voltage คงที่



รูปที่ 3.2 แสดง Asychronous error beat note ในช่วงขบวนการ capture

(ก) ลักษณะคลื่น beat note (ข) Oscillogram ของ capture transient

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 3.2 ข เป็นการแสดง oscillogram ของ loop error voltage Vd ในขณะที่ระบบ PLL กำลังทำงาน ระหว่างขบวนการ capture สิ่งที่น่าสังเกตคือ ขณะที่ทำการล็อก Δf จะลดลง การลดขนาดของ low pass filter จะน้อยและขนาดของ beat-note จะเพิ่มขึ้น

เวลาที่ PLL ใช้ในการล็อก เรียกว่า "Pull in time" ซึ่งจะขึ้นอยู่กับความถี่เริ่มแรก และความแตกต่างของเฟสระหว่างสองสัญญาณ รวมทั้งอัตราขยายทั้งหมด (overall loop gain) และช่วงกว้างของลูปฟิลเตอร์ ซึ่ง Pull in time อาจจะสั้นกว่าคาบเวลาของ beat-note และลูปสามารถล็อกได้โดยปราศจาก error transient

3.3 พารามิเตอร์ของระบบ

เมื่อ PLL อยู่ในช่วง non-linear capture transient จะปรากฏไม่นาน ดังนั้นภายใต้เงื่อนไขที่ล็อก เราถือว่า PLL เป็นระบบควบคุมเชิงเส้น ดังแสดงในรูปที่ 3.3 และสามารถวิเคราะห์โดยการใช้เทคนิค Laplace Transform ในกรณีนี้ เพื่อความสะดวกจะใช้เฟสที่คลาดเคลื่อนในลูป $(\phi_s - \phi_0)$ เป็นตัวแปรของระบบ ดังนั้นอัตราขยายแต่ละเทอมที่สอดคล้องกับบล็อก สามารถกำหนดได้ดังนี้คือ

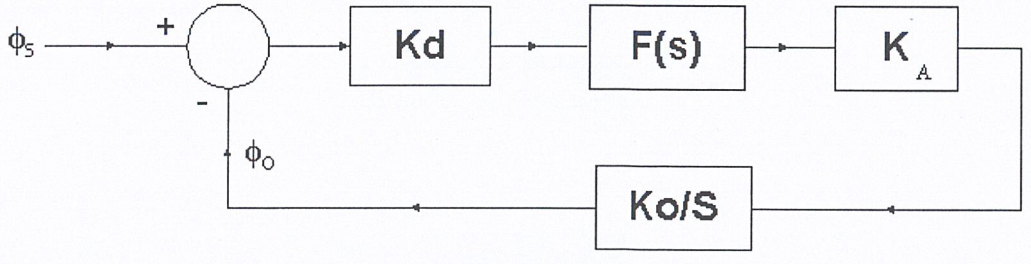
K_d = อัตราขยายของเฟสดีเทคเตอร์ (v/rad)

$F(s)$ = ฟังก์ชั่นถ่ายโอนของลูปฟิลเตอร์

K_A = อัตราขยายแรงดันของภาคขยาย

K_o = อัตราขยายของ VCO (rad / v.s)

ข้อสังเกต เนื่องจาก vco เปลี่ยนแรงดันให้เป็นความถี่ และเป็นเฟส ซึ่งเป็นการ integral ของความถี่ vco จะเป็นตัว integrator ในส่วนของการป้อนกลับ



รูปที่ 3.3 โมเดลเชิงเส้นของ PLL ในลักษณะของระบบป้อนกลับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Open Loop Transfer function สำหรับ PLL สามารถเขียนได้เป็น

$$T(s)=\frac{K_T F(s)}{S} \tag{3.2}$$

เมื่อ K_T เป็นอัตราขยายทั้งหมดของลูป นั่นคือ $K_T = K_d K_A K_o$ การวิเคราะห์โดยใช้เทคนิคของการป้อนกลับแบบเชิงเส้น ลักษณะของ closed loop transfer function สามารถที่จะเขียนสัมพันธ์กับ open loop ได้เป็น

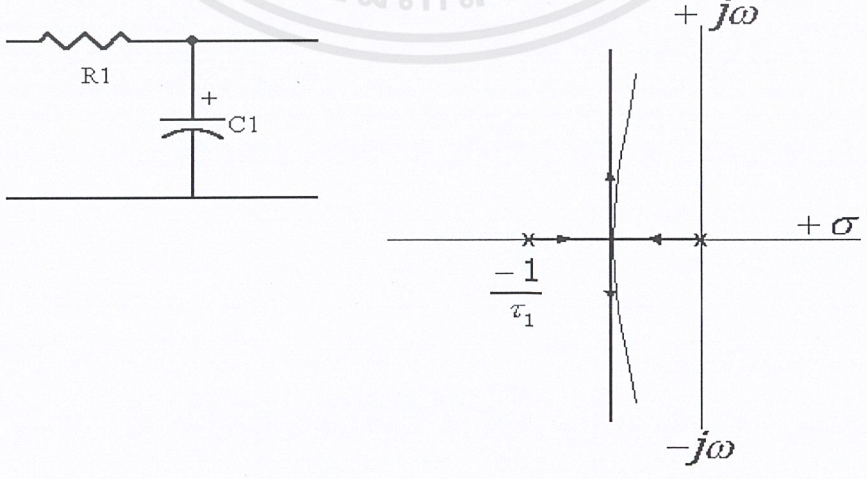
$$H(s)=\frac{T(s)}{1+T(s)} \tag{3.3}$$

และรากของ characteristic system polynomial สามารถหาได้โดยการใช้เทคนิคของ root rocus

รูปที่ 3.4 แสดง root loci ของ PLL เป็นฟังก์ชั่นของอัตราขยายทั้งหมด K_T สำหรับ single pole low pass filter $F(s)$ ซึ่งมีลักษณะเป็น

$$F(s)=\frac{1}{1+\tau_1 S} \tag{3.4}$$

เมื่อ $\tau_1 = R_1 C_1$ จากรูป open – loop pole อยู่ที่ทางครึ่งซ้ายของจุด origin เนื่องมาจากการ integrated ของ vco



รูปที่ 3.4 แสดง root locus ของ PLL สำหรับ filter แบบ lag $\tau_1 = R_1 C_1$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากคุณสมบัติของ root locus ทำให้เราสามารถตั้งข้อสังเกตได้ดังนี้

1. เมื่ออัตราขยาย K_T เพิ่มขึ้นด้วยการเลือก imaginary part ของ closed loop pole เพิ่มขึ้น ดังนั้นความถี่ธรรมชาติ (natural frequency) ของ loop เพิ่มขึ้น และ loop จะยิ่งให้ผลตอบสนองเป็น underdamped มากขึ้น
2. ถ้า filter time constant τ_1 เพิ่มขึ้น real part ของ closed loop ก็จะยิ่งน้อยลง loop damping จะลดลง

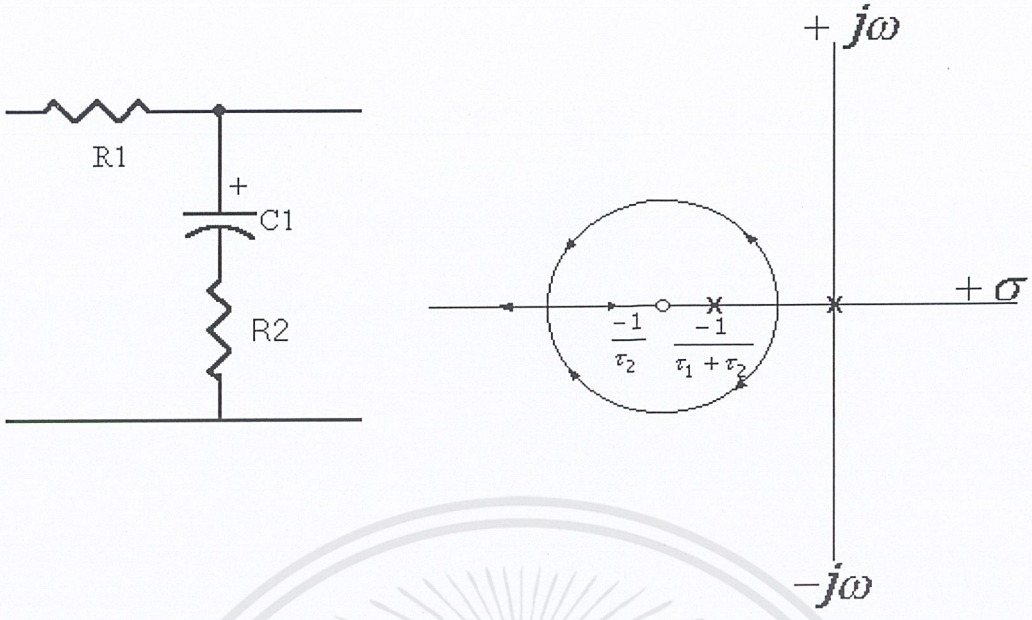
ในทางปฏิบัติเกี่ยวกับการป้อนกลับใดๆ การเลื่อน pole ระหว่าง PLL สามารถทำให้ root loci เบนไปทางขวาของ half plane ดังแสดงเป็นเส้นบางๆในรูป 3.4 การเกิดเส้นนี้เหมือนกับว่า loop gain หรือ filter time constant มีค่ามากเกินไปทำให้ loop เกิดการ oscillate ปัญหาเกี่ยวกับเสถียรภาพสามารถแก้ได้โดยการใช้ filter แบบ lag lead ซึ่งแสดงในรูป 3.5 ซึ่ง filter ชนิดนี้มี Transfer function ดังนี้

$$F(s) = \frac{1+\tau_2 s}{1+(\tau_1+\tau_2)s} \tag{3.5}$$

โดยที่ $\tau_2 = R_2 C_1$, $\tau_1 = R_1 C_1$

โดยการเลือก R_2 ให้ root locus ของ filter ชนิดนี้ อยู่ทางครึ่งซ้ายของระนาบ เพื่อความแน่ใจในเรื่องเสถียรภาพ อย่างไรก็ตาม มันยังสามารถทำให้ระบบมีแถบความถี่ของสัญญาณรบกวนกว้างขึ้น และยังทำให้คุณสมบัติ interference rejection เนื่องจากการลดทอนขนาดของความถี่สูงในลูปจะลดน้อยลง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.5 รูทโลกัส ของ PLL สำหรับฟิลเตอร์แบบ lag- lead $\left(\tau_1 = R_1C_1, \tau_2 = R_2C_1\right)$

สำหรับความหมายของว่า basic gain ของระบบ lock range ของ PLL $\Delta\omega_L$ สามารถแสดงให้เห็นว่ามีค่าท่ากับอัตราขยายกระแสตรงของลูป (dc loop gain)

$$\Delta\omega_L = 2\pi\Delta f_L = K_T \tag{3.6}$$

เนื่องจาก capture range $\Delta\omega_L$ มีผลในช่วง transient ซึ่งเป็นไปตามการวิเคราะห์ของ Moschytz เราสามารถเขียนค่า capture range ได้โดยประมาณ

$$\Delta\omega_L = 2\pi\Delta f_c \approx K_T \left|F\left(j\Delta\omega_c\right)\right| \tag{3.7}$$

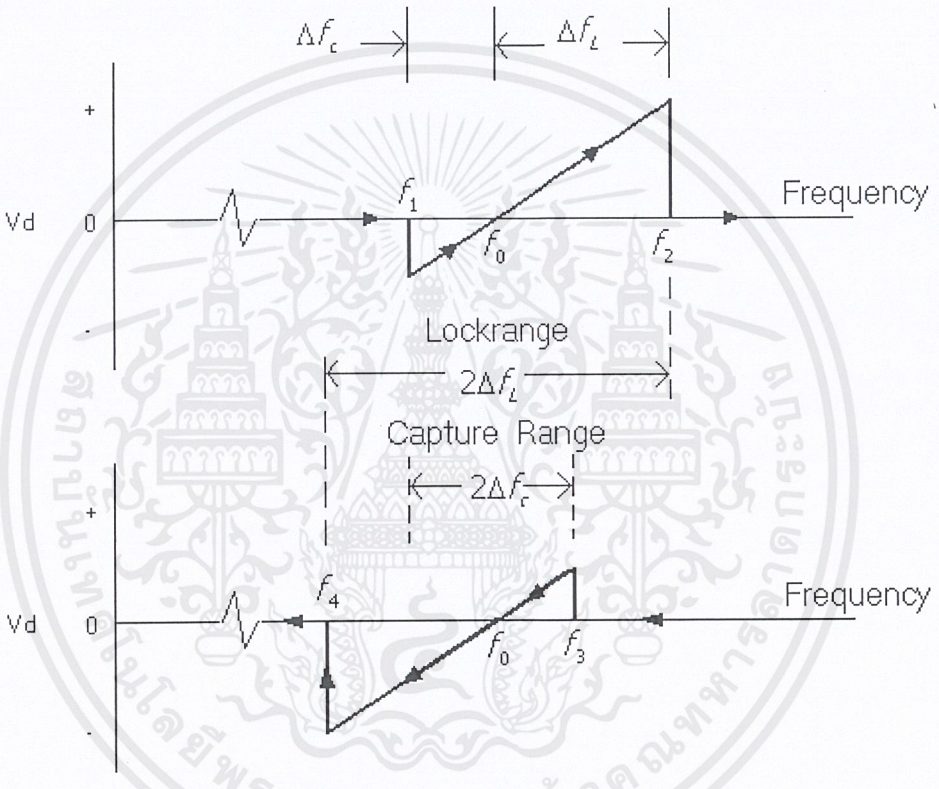
$F\left(j\Delta\omega_c\right)$ เป็นการตอบสนองต่อขนาดของ low pass filter ที่ $\omega = \Delta\omega$ สิ่งที่น่าสังเกต คือ $\left|F\left(j\Delta\omega_o\right)\right| \le 1$ และ capture range สั้นกว่า lock range เสมอ ถ้าเราใช้ filter แบบ lag อย่างง่าย ที่แสดงในรูป 3.4 สมการ capture range สามารถเขียนได้เป็น

$$\Delta\omega_c \approx \sqrt{\frac{\Delta\omega_L}{\tau_1}} = \sqrt{\frac{K_T}{\tau_1}} \tag{3.8}$$

ดังนั้น capture range ลดลง เมื่อ low pass filter time constant ลดลง แต่จะไม่มีผลสำหรับ lock range อัตราขยายลูปจะมีผลกับ lock range

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 3.6 แสดงลักษณะการเปลี่ยนแปลงจากความถี่เป็นแรงดัน (frequency to voltage transfer characteristic) ของระบบ PLL โดยการสมมติให้สัญญาณเข้าเป็น sine wave ที่เปลี่ยนแปลงความถี่ไปอย่างช้าๆ ขนาดตามแนวดิ่งเป็นแรงดันคลาดเคลื่อน ดังรูปที่ 3.6 ก ความถี่ของสัญญาณเข้าค่อยๆเพิ่มขึ้น ลูปจะไม่มีการตอบสนองต่อสัญญาณเข้า จนกระทั่งความถี่ของสัญญาณเข้าถึง f_1 ซึ่งเป็นความถี่ที่ต่ำสุดของ capture range ดังนั้น ลูปจะล็อกกับสัญญาณที่เข้าทันที ทำให้เกิดแรงดันคลาดเคลื่อน Vd มีค่าเป็นลบ



รูปที่ 3.6 แสดงถึง transfer characteristics ของความถี่กับ voltage ของ PLL

ก. กรณีความถี่อินพุทเพิ่มขึ้น ข. ความถี่อินพุทลดลง

และ Vd จะเปลี่ยนไปตามความถี่ด้วยลักษณะของ slope เนื่องจากอัตราขยาย VCO($1/K_0$) Vd จะมีค่าเท่ากับศูนย์เมื่อ $f_s - f_0$ ลูปจะติดตามสัญญาณเข้าจนกระทั่งถึงความถี่ f_2 ซึ่งเป็นความถี่สูงสุดของ lock range PLL จะไม่มีการล็อก และแรงดันคลาดเคลื่อนจะมีค่าเป็นศูนย์ ถ้าให้สัญญาณเข้ามีความถี่ค่อยๆ ลดกลับไปจะทำให้เกิดวัฏจักรขึ้น ดังแสดงในรูปที่ 3.6 ข สัญญาณจะเริ่มกลับเข้าสู่ capture ของลูปที่ความถี่ f_3 และการติดตามของลูปจะหมดไปเมื่อถึง f_4 ความถี่ $f_3 - f_1$ เรียกว่า total capture range ของระบบและความถี่ $f_2 - f_4$ เรียกว่า total lock range คือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

$$f_3 - f_1 = 2\Delta f_c \tag{3.9}$$

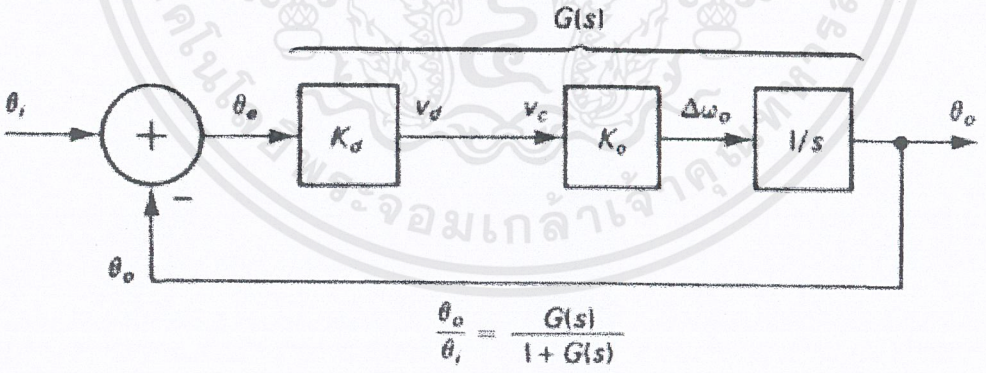
และ

$$f_2 - f_4 = 2\Delta f_L \tag{3.10}$$

ข้อสังเกตจากการที่แสดง transfer characteristic ในรูปที่ 3.6 ระบบ PLL จะเลือกความถี่ที่เป็นความถี่กึ่งกลางโดยการตั้ง free running frequency ที่ VCO และมันจะตอบสนองเฉพาะความถี่ของสัญญาณที่เข้าช่วงจาก f_0 ไปจนถึงค่าที่น้อยกว่า Δf_L หรือ Δf_c ทั้งนี้ขึ้นอยู่กับเงื่อนไขที่ว่าลูปเริ่มต้นด้วยการล็อกหรือเปล่า ในการใช้งานระบบ PLL โดยมากต้องการ VCO ที่ทำการแปลงแรงดันให้เป็นความถี่ที่มีลักษณะเป็นเชิงเส้นอย่างแท้จริง

3.4 ช่วงกว้างของ เฟสล็อคลูป (PLL Bandwidth)

ในการพิจารณาช่วงกว้างของ เฟสล็อคลูป จะเกี่ยวข้องกับความถี่ที่ซึ่ง θ_i สามารถเปลี่ยนแปลงและยังคงถูกติดตามอย่างใกล้ชิดด้วย θ_o และเช่นเดียวกัน สำหรับความถี่ซึ่ง ω_i สามารถเปลี่ยนแปลงและยังคงถูกติดตามด้วย ω_o ดังเช่นกรณีของ FM ด้วยเหตุที่ช่วงกว้างมีการเปลี่ยนแปลงหรือสัญญาณกระแสสลับ เราดูรูปแบบของกระแสสลับของ PLL โดยแยกตัวแปรกระแสตรงจากแบบจำลองเชิงเส้นจริงๆซึ่งจะแสดงได้ดังรูปที่ 3.7



รูปที่ 3.7 แบบจำลองสัญญาณกระแสสลับ (ac model) ของเฟสล็อกลูป

โดยที่

$$G(s) = \frac{K_d K_o}{S} \tag{3.11}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
42536

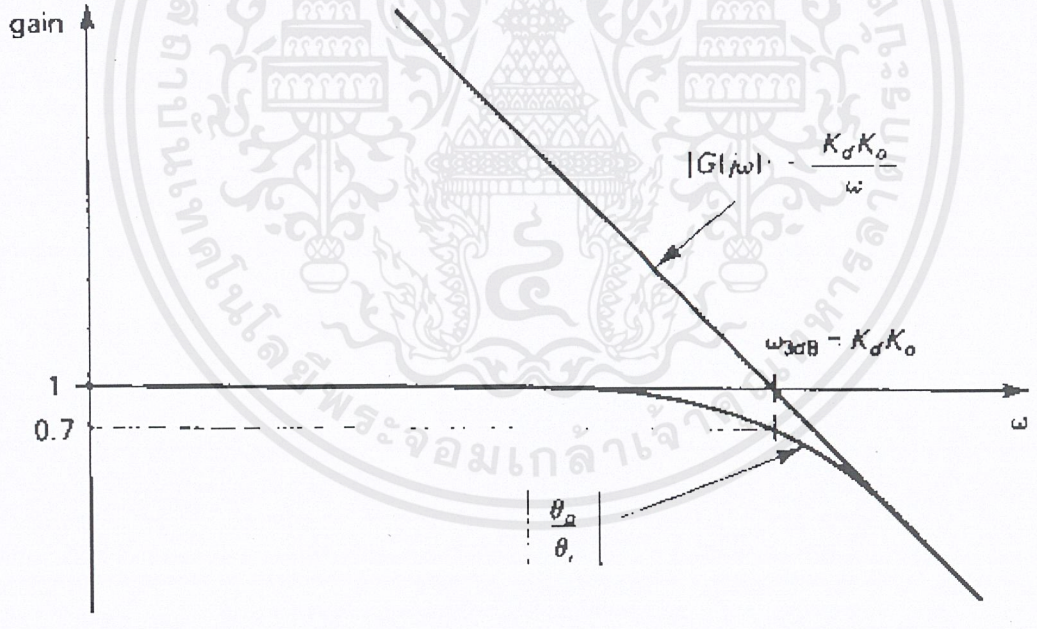
และ

$$\frac{\theta_o(s)}{\theta_i(s)} = \frac{G(s)}{1+G(s)} \tag{3.12}$$

เมื่อเราให้ $S = j\omega$ จะได้

$$\left|G(j\omega)\right| = \frac{K_d K_o}{\omega} \tag{3.13}$$

ซึ่งจากสมการที่ 3.11 ค่าของ $\left|G(j\omega)\right|$ จะตกลงตามค่า $1/\omega$ ดังแสดงในรูปที่ 3.8 ที่ความถี่ต่ำๆ $\left|G(j\omega)\right| \rangle 1$ และ $\frac{\theta_o}{\theta_i}$ ประมาณเท่ากับหนึ่ง สำหรับความถี่สูงๆ



รูปที่ 3.8 ผลตอบสนองทางความถี่ของ PLL

$\left|G(j\omega)\right| \langle 1$ และ $\left|\frac{\theta_o}{\theta_i}\right|$ ประมาณเท่ากับ $\left|G(j\omega)\right|$ ดังนั้น ช่วงกว้าง ω_{3dB} เกิดขึ้น เมื่อ $\left|G(j\omega)\right| = 1$ จากสมการที่ (3.13) จะได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$1 = \frac{K_d K_o}{\omega_{3dB}}$$

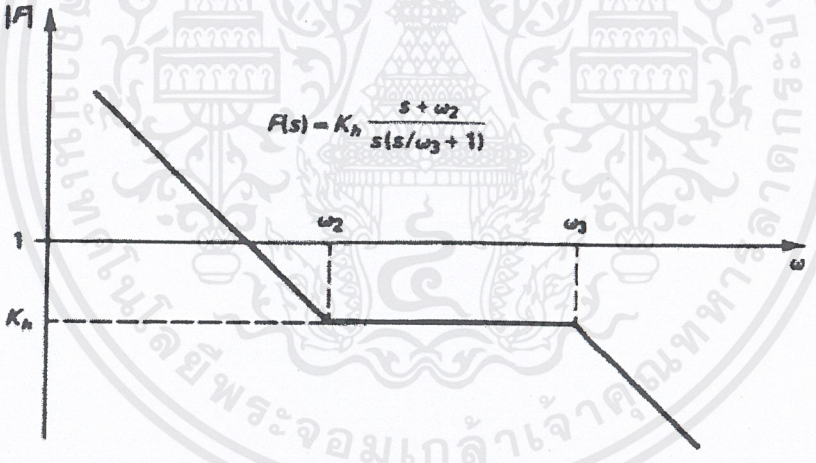
$$\omega_{3dB} = K_d K_o \tag{3.14}$$

นั่นหมายความว่าช่วงกว้างของ PLL กำหนดจากค่าอัตราขยายของ ลูป (loop gain)นั่นเอง

3.5 ขีดจำกัดช่วงกว้างของลูปฟิลเตอร์ (Limit loop filter bandwidth)

จากที่ผ่านมาเราถือว่าผลตอบสนองของลูปฟิลเตอร์จะมีอัตราขยาย (Kh) จาก ω_2 ไปจนถึง $\omega = \infty$ แต่ในทางปฏิบัติ ผลตอบสนอง $|F(j\omega)|$ ของแอคทีฟลูปฟิลเตอร์ จะหลุดออกไปจากที่ความถี่หนึ่งๆ จากในรูปที่ 3.9 เรากำหนดเป็น ω_3 ซึ่งแสดงผลตอบสนองของความถี่จากฟังก์ชั่นถ่ายโอนคือ

$$F = Kh\frac{s+\omega_3}{s(s/\omega_3+1)} \tag{3.15}$$



รูปที่ 3.9 ผลตอบสนองทางความถี่ของแอคทีฟลูปฟิลเตอร์

ขีดจำกัดช่วงกว้างของออปแอมป์เกิดจากการที่ตัวมันเองวางโพลไว้ที่ ω_3 คือ

$$\omega_3 = 2\pi\frac{R_1}{R_1+R_2}GBP = \frac{2\pi}{1+K_n}GBP \tag{3.16}$$

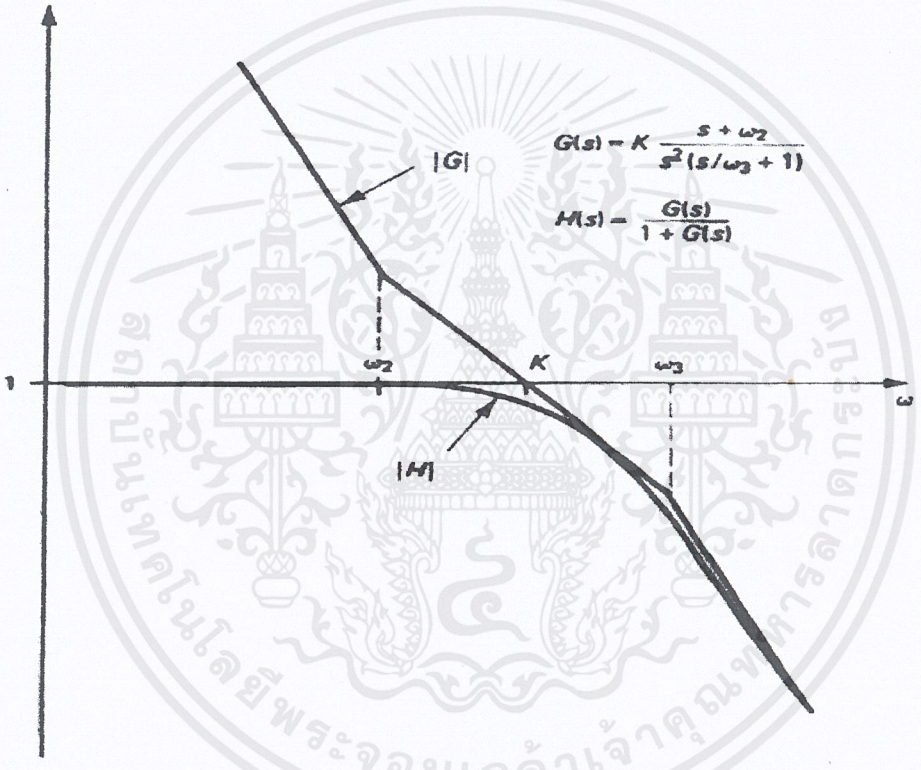
เมื่อ GBP คือผลช่วงกว้างของอัตราการขยาย (gain – bandwidth product) ยกตัวอย่างเช่น ออปแอมป์ตัวหนึ่งมี GBP = 1 MH_Z ดังนั้นถ้า $K_n \ll 1, \omega_3 = 2\pi(1MH_Z)$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ที่กล่าวมาทั้งหมดก็คือ ω_3 มีผลทำให้ฟังก์ชันถ่ายโอนของลูปฟิลเตอร์เปลี่ยนแปลงไปนั่น คือฟังก์ชันถ่ายโอนของ PLL ก็เปลี่ยนไปพิจารณาจาก

$$G(s)=\frac{K_d F(s) K_v}{s}=K\frac{s+\omega_3}{s^2(s/\omega_3+1)} \tag{3.17}$$

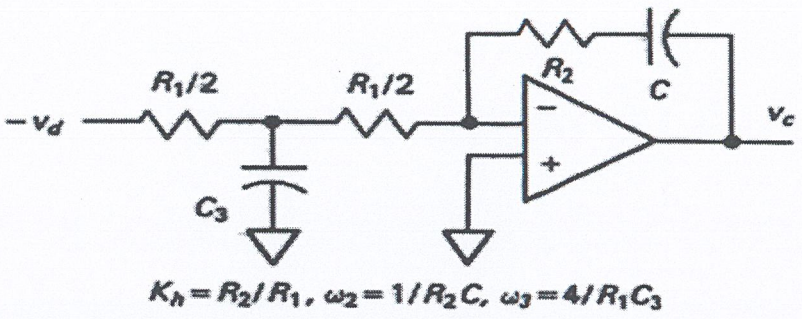
$$H(s)=\frac{G(s)}{1+G(s)}=\frac{K_s+K\omega_2}{S^3/\omega_3+S^2+K_s+K\omega_2} \tag{3.18}$$



รูปที่ 3.10 ผลตอบสนองทางความถี่ของฟังก์ชั่นถ่ายโอนลูปเปิด และลูปปิดของเฟสล็อกลูป

ผลตอบสนองของ $|G(j\omega)|$ และ $|H(j\omega)|$ แสดงในรูปที่ 3.10 เมื่อมีการเพิ่มโพลที่ ω_3 กราฟจะหยุดอยู่ที่ ω_3 อย่างชัดเจน ถ้า $\omega_3 > K$ ในส่วนของ $|G(j\omega)|$ จะติดหนึ่งที ω = K และช่วงกว้างของ PLL ก็คือ K การจัดวางตำแหน่ง ω_3 ไม่ให้ใกล้กับ K มากเกินไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.11 แอคทีฟลูปฟิลเตอร์ที่มีขีดจำกัดความถี่ต่ำกว่า ω_3

ในการประยุกต์ใช้งานบางครั้งที่ต้องการให้ จุดคัตออฟต่ำกว่า ω_3 วิธีหนึ่งที่ช่วยได้คือ วงจรในรูปที่ 3.11 ซึ่งความต้านทาน R_1 จะถูกแบ่งออกเป็น 2 และ คาปาซิเตอร์ C_3 จะบายพาส (bypass) ความถี่ที่มากกว่า ω_3 ลงกราวด์

การนำโพลมาวางที่ ω_3 เป็นสิ่งจำเป็นสำหรับการกำจัดค่าความถี่สูงที่ออปแอมป์ควบคุมไม่ได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4
การประยุกต์ใช้งานทฤษฎีเฟสล็อคลูป

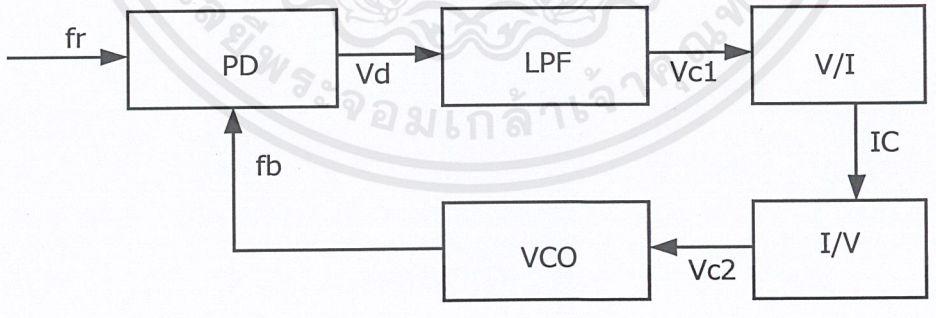
4.1 กล่าวนำ

เฟสล็อคลูปเป็นกระบวนการควบคุมแบบป้อนกลับทางความถี่ ซึ่งใช้งานกันมมากในด้านโทรคม ในการสังเคราะห์ความถี่ (Frequency Synthesizer) , การดีมอดูเลทสัญญาณความถี่ (FM demodulation) เป็นต้น ส่วนในงานควบคุมทางอุตสาหกรรมนั้น ยังใช้งานกันน้อยมาก แต่ก็พอจะมีใช้กันบ้าง ในงานควบคุมความเร็วของมอเตอร์ และการนำระบบเฟสล็อคลูปมาใช้งานร่วมกับตัวควบคุมแบบอื่นๆ

สำหรับงานควบคุมกระบวนการระดับที่จะกล่าวถึงในบทนี้เป็นการนำทฤษฎีเฟสล็อคลูปเบื้องต้นมาประยุกต์ใช้งาน ซึ่งจะกล่าวรายละเอียดต่อไป

4.2 แนวความคิดในการประยุกต์ใช้งาน

ระบบเฟสล็อคลูป จะสามมารถทำงานอย่างมีเสถียรภาพในช่วงกว้างช่วงหนึ่งที่เรียกว่าเฟสล็อคลูปแบนด์วิดท์ (PLL bandwidth) การทำงานของระบบในช่วงนี้ พารามิเตอร์ของระบบจะทำงานอย่างสัมพันธ์กันภายใต้เงื่อนไขที่ต้องให้ความถี่อินพุททั้งสองของเฟสดีเทคเตอร์เท่ากันเสมอ การทำงานที่สัมพันธ์กันดังกล่าวนี้จะขออธิบายจากการทดลองดังต่อไปนี้



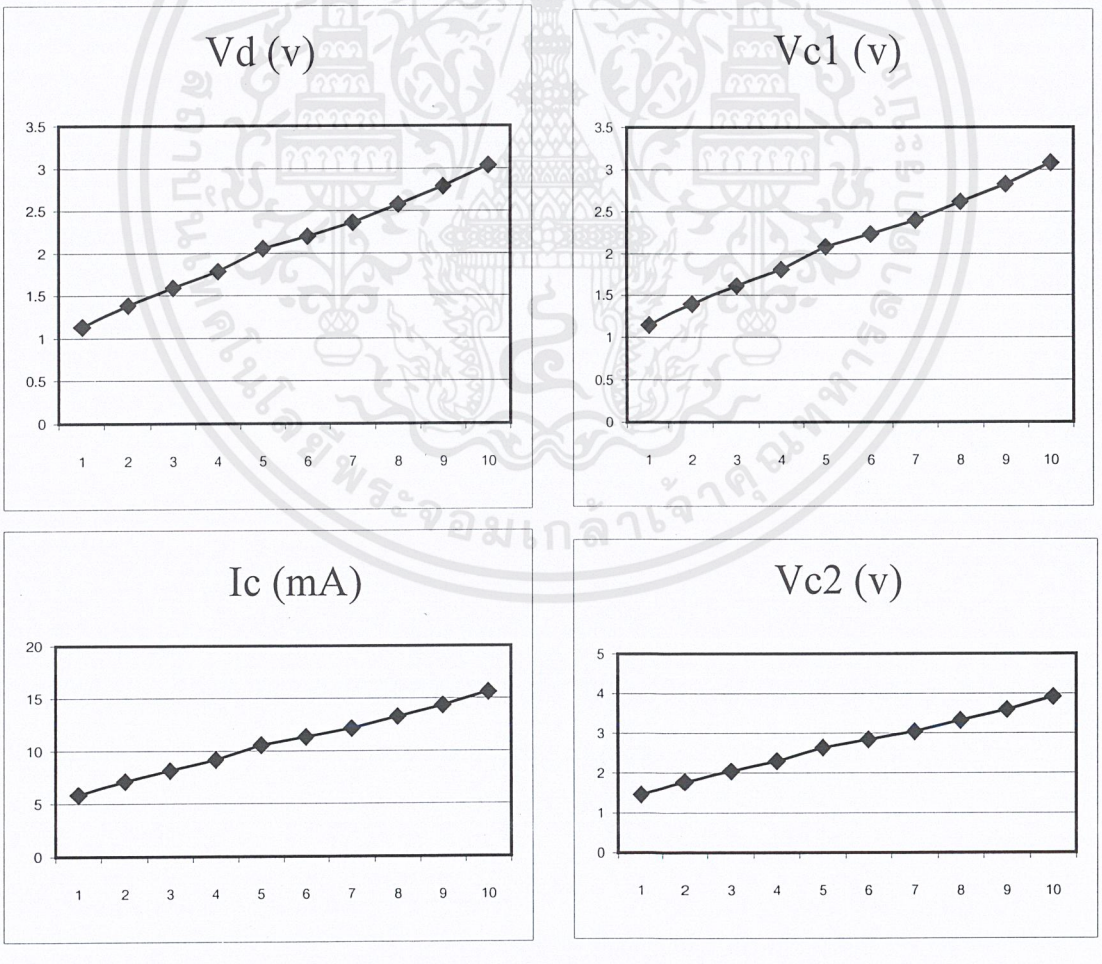
รูปที่ 4.1 บล็อกไดอะแกรมการทำงานของ PLL ในสภาวะล็อค

ในสภาวะล็อคนั้น f_r จะเท่ากับ f_b โดยการทดลองนี้ จะทำการเปลี่ยนแปลงค่า f_r ไปเรื่อยๆ โดยกำหนดให้อยู่ในสภาวะล็อคแรงดันและกระแสที่จุดต่างๆแสดงดังตารางที่ 4.1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 4.1 ผลการทดลองความเป็นเชิงเส้นของเฟสล็อกลูป

fin (Hz)	Vd (v)	Vc1 (v)	Ic (mA)	Vc2 (v)
1	1.132	1.146	5.82	1.456
2	1.381	1.398	7.09	1.775
3	1.588	1.609	8.14	2.042
4	1.784	1.808	9.14	2.294
5	2.052	2.08	10.53	2.639
6	2.202	2.232	11.3	2.833
7	2.365	2.398	12.14	3.043
8	2.577	2.617	13.25	3.33
9	2.788	2.828	14.31	3.59
10	3.036	3.081	15.6	3.92



รูปที่ 4.2 กราฟที่พล๊อตจากตารางที่ 4.1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทำงานภายในลูปนี้จะเห็นได้ว่าเมื่อความถี่อินพุทอ้างอิง (f_r) เปลี่ยนแปลงไป จะมีผลทำให้ค่าแรงดันและกระแสที่จุดต่างๆของลูปเปลี่ยนตามไปด้วย ดังนั้นค่าตัวแปรต่างๆภายในลูป ก็เสมือนบังคับตัวเองให้เปลี่ยนแปลงไป ในทางที่ทำให้ความถี่อินพุททั้งสอง ของเฟสดีเทคเตอร์เท่ากัน ดังนั้นจึงมีข้อสันนิษฐานข้อแรกว่า หากนำอุปกรณ์ที่เป็นเชิงเส้นมาแทรกอยู่ภายในลูป ดังเช่นวงจรเปลี่ยนแรงดันเป็นกระแส การทำงานของเฟสล็อคลูปก็จะ เหมือนเดิม โดยอยู่ในสภาวะล็อคแต่ช่วงกว้างในการทำงานของลูป อาจจะเปลี่ยนแปลงไป หากอุปกรณ์นั้นมีค่าอัตราขยายที่ไม่เท่ากับ 1 เพราะจะทำให้อัตราขยายของลูปเปลี่ยนไป

4.3 การทำงานของเฟสล็อคลูปในสภาวะไม่ล็อก

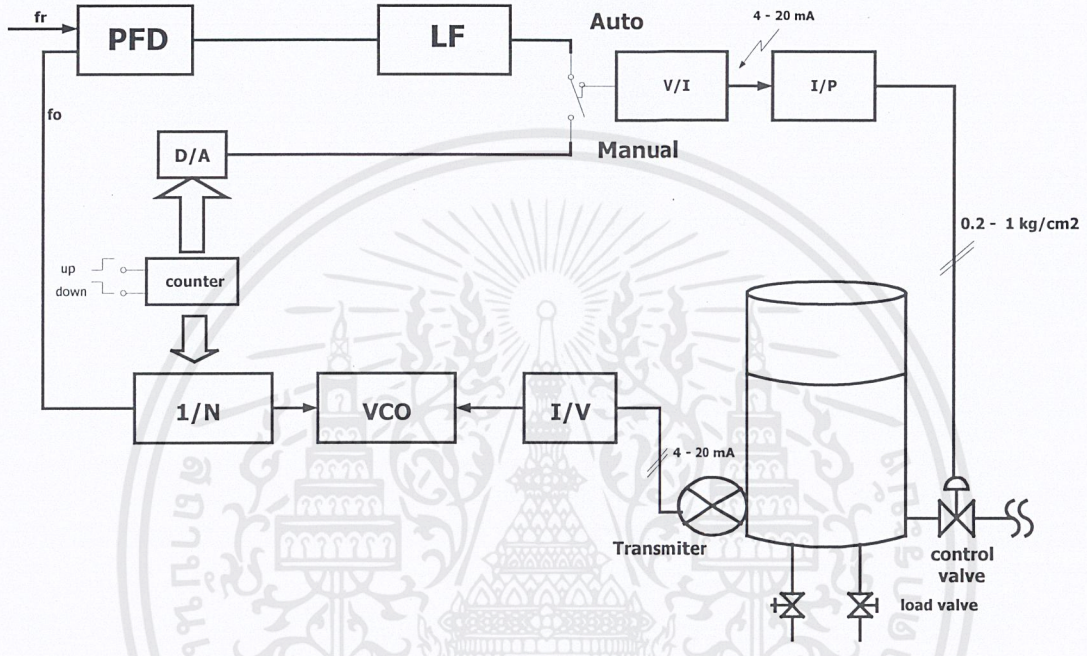
เฟสล็อคลูปในสภาวะ ไม่ล็อคนั้น แบ่ง ได้เป็น 2 กรณี คือ สภาวะที่การทำงานของเฟสล็อคลูปไม่มเสถียรภาพ (Unstable) โดยความถี่อินพุททั้งสองของเฟสดีเทคเตอร์จะแตกต่างกันอย่างสิ้นเชิงการทำงานขององค์ประกอบต่างๆภายในลูปไม่สัมพันธ์กันซึ่งอาจเกิดจากองค์ประกอบบางตัวหยุดทำงานไป เพราะอยู่นอกช่วงการทำงานของมัน เช่น แรงดันควบคุมที่ป้อนให้ VCO อาจมาก หรือน้อยกว่าความสามารถของมัน , ความถี่ของแรงดันความต่างเฟส (V_d) ที่เข้าสู่ลูปฟิลเตอร์อาจอยู่นอกช่วงที่มันผ่านไปได้ จึงให้เอาท์พุทคงที่อยู่ที่ค่าๆหนึ่ง ไม่มีการเปลี่ยนแปลง

อีกสภาวะหนึ่งคือ เฟสล็อคลูปในสภาวะไม่ล็อค จะทำงานได้โดยเมื่อ ความถี่อินพุทอ้างอิง (f_r) เปลี่ยนแปลงจะทำให้องค์ประกอบต่างๆภายในลูปเปลี่ยนแปลงไปด้วย แต่ความถี่อินพุททั้งสองของ เฟสดีเทคเตอร์ จะไม่เท่ากันและไม่เป็นการล็อคกับฮาร์โมนิคใดๆ (ปกติเฟสล็อคลูปจะมีสภาวะล็อคกับฮาร์โมนิค โดยความถี่อินพุทของเฟสดีเทคเตอร์ ที่มาจาก VCO จะมีค่าเป็น n เท่าของความถี่อินพุทอ้างอิง (f_r) ตามลำดับของฮาร์โมนิค ที่ n = 2,3.....) โดยเมื่อเราเปลี่ยน f_r ให้มากขึ้น เฟสดีเทคเตอร์ก็จะให้ค่าแรงดันความต่างเฟส (V_d) ออกมาไปทำให้ลูปฟิลเตอร์สร้างแรงดันควบคุม V_c ให้มากขึ้นเพื่อไปควบคุมให้ VCO ผลิตความถี่ออกมามากขึ้น แต่ไม่สามารถผลิตความถี่ให้เท่ากับความถี่อินพุทอ้างอิง (f_r) ได้แต่มีการเพิ่มขึ้นและลดลงตามค่าของ f_r ซึ่งแสดงว่าเฟสล็อคลูปกำลังทำงานอยู่ในช่วงพิสัยการยึดเหนี่ยว (Hold – in range) คือพิสัยที่เฟสล็อคลูปยังรักษาเสถียรภาพ ในการตามรอยเฟสอยู่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.4 ระบบควบคุมกระบวนการระดับด้วยเฟสล็อคลูป

ระบบควบคุมโดยทั่วไปจะมีการทำงานอยู่ 2 สถานะ คือแบบ โดยตรง (Manual) และแบบอัตโนมัติ (Automatic) ระบบที่ออกแบบนี้จึงมีการทำงาน 2 สถานะ เช่นเดียวกัน ซึ่งแสดงเป็นบล็อกไดอะแกรมได้ดังรูปที่ 4.3

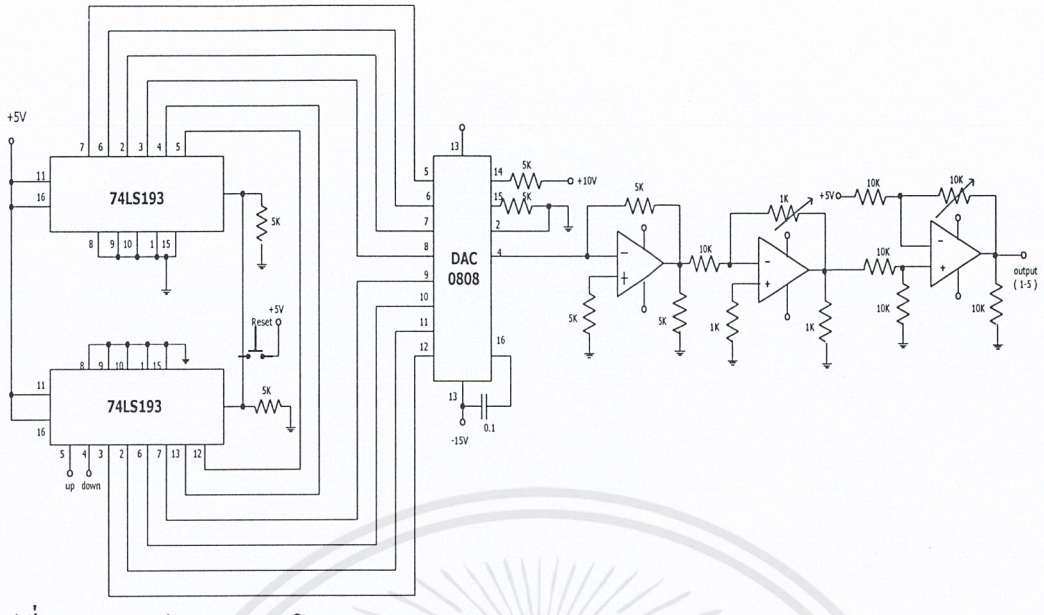


รูปที่ 4.3 บล็อกไดอะแกรมระบบควบคุมกระบวนการด้วยเฟสล็อคลูป

4.4.1 ส่วนควบคุมโดยตรง

ส่วนควบคุมโดยตรงจะเป็นการสร้างแรงดันไฟฟ้ามาตราฐาน 1~ 5 V ไปควบคุมวาล์ว โดยใช้วงจรนับด้วย IC เบอร์ 74LS193 สองชุด ส่งสัญญาณดิจิตอล ที่แสดงค่า 0 ~ 100% ไปผ่านวงจรแปลงสัญญาณดิจิตอลเป็นอานาลอค (D/A , converter) ด้วย IC เบอร์ DAC0808 ซึ่งแสดงวงจรได้ดังรูปที่ 4.4

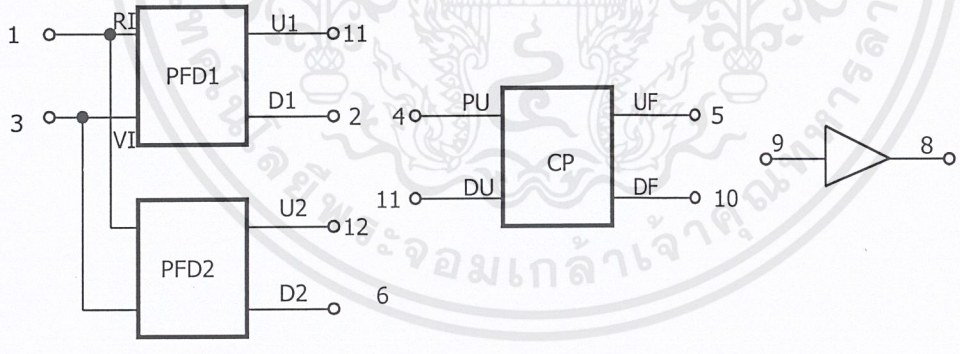
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.4 วงจรส่วนควบคุมโดยตรง

4.4.2 เฟสดีเทคเตอร์ และ ลูปฟิลเตอร์

เฟสดีเทคเตอร์ที่ใช้เป็นเฟสฟรีเควนซี่ดีเทคเตอร์ใช้ IC เบอร์ MC4044 ซึ่งภายในประกอบด้วย เฟสดีเทคเตอร์ สองตัว วงจรชาร์จปั๊ม และวงจรขยายสัญญาณ



รูปที่ 4.5 โครงสร้างภายในของ MC4044

โดยเฟสฟรีเควนซี่ดีเทคเตอร์ทั้งสองตัวมีคุณสมบัติดังนี้ คือ

- PFD1 จะล็อคเมื่อ RI และ VI เท่ากันทั้งเฟสและความถี่

โดยถ้า VI ความถี่ต่ำกว่า หรือ เฟสล้าหลัง RI จะทำให้ U1 = “0”

ถ้า VI ความถี่สูงกว่า หรือ เฟสนำหน้า RI จะทำให้ D1 = “0”

- PFD2 จะล็อคเมื่อ RI และ VI มีความต่างเฟสกันเป็น 90 องศา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

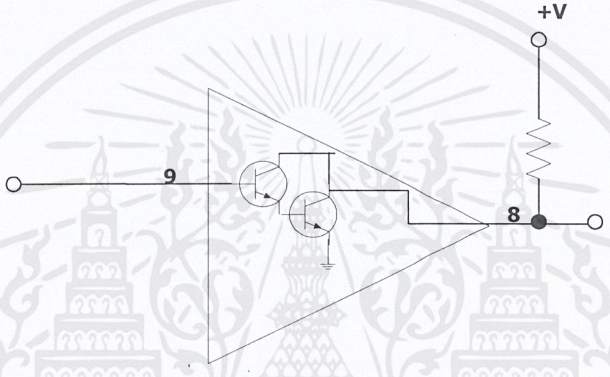
โดยถ้า VI เฟสล้าหลัง RI เป็นมุม 90 องศา จะทำให้ U2 = “0” นานกว่า D2

ถ้า VI เฟสล้าหลัง RI เป็นมุม 90 องศา จะทำให้ D2 = “0” นานกว่า U2

โดยที่ RI และ VI ต้องมี duty cycle = 50 องศา

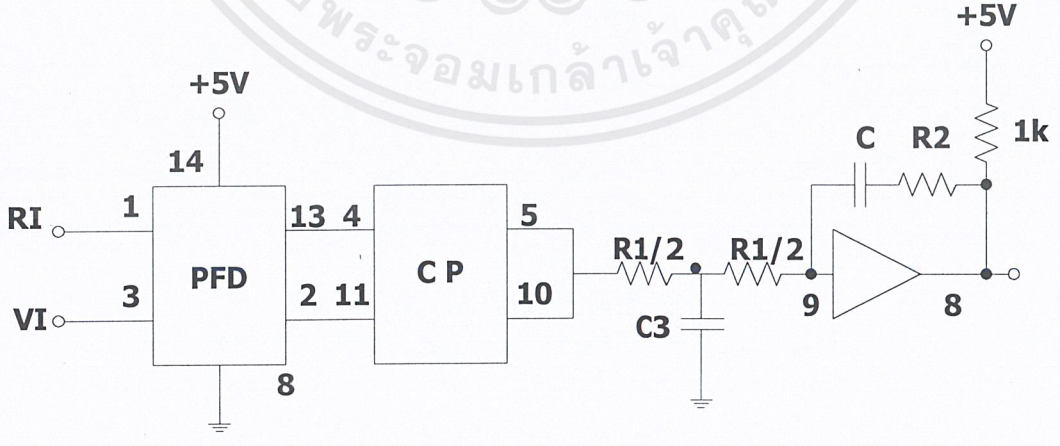
ส่วนชาร์จปั๊ม จะรับสัญญาณจากเฟสฟรีเควนซี่ดีเทคเตอร์เปลี่ยนเป็นพัลซ์บวก และ ลบ ที่มีขนาดสัญญาณคงที่ ที่เอาท์พุท UF และ DF ตามลำดับ

วงจรขยายสัญญาณ เป็นทรานซิเตอร์ 2 ตัวต่อลักษณะดาร์ลิงตัน ดังรูปที่ 4.6 ดังนั้นจึงต้องป้อนแรงดันไฟฟ้าเลี้ยงวงจรในส่วนนี้ไว้ด้วย



รูปที่ 4.6 วงจรขยายของ MC 4044

ในงานทดลองนี้เลือกใช้ PFD1 เนื่องจากมีพิสัยการตรวจจับกว้างที่สุด ซึ่งแสดงลักษณะการต่อวงจรดังรูปที่ 4.7

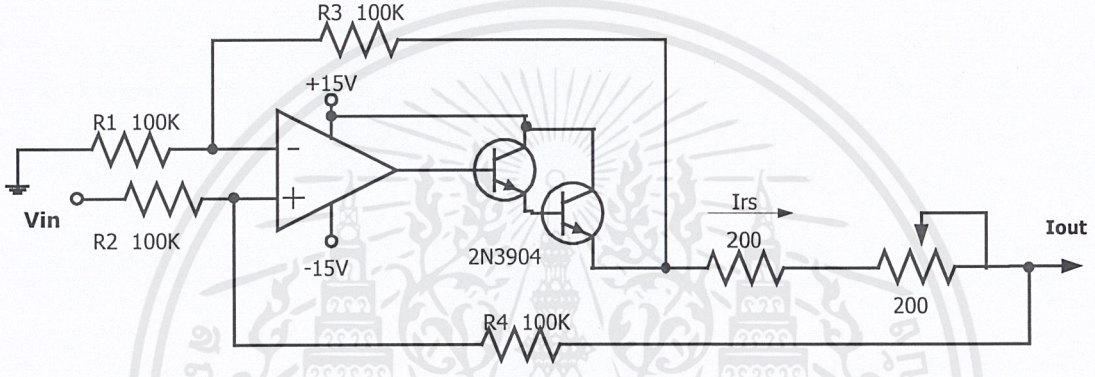


รูปที่ 4.7 ภาคเฟสดีเทคเตอร์ และ ลูปฟิลเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

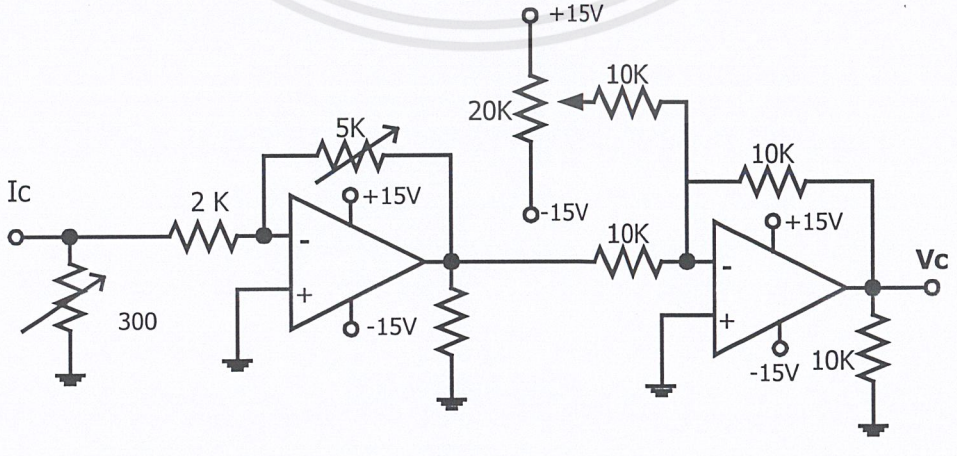
4.4.3 วงจรแปลงแรงดันไฟฟ้าเป็นกระแสไฟฟ้า (V/I converter) และวงจรแปลงกระแสไฟฟ้าเป็นแรงดันไฟฟ้า (I/V converter)

จะทำหน้าที่แปลงสัญญาณแรงดันมาตราฐาน 1~ 5 V_{dc} ไปเป็นสัญญาณกระแส 4 ~ 20 mA_{dc} แสดงวงจรดังรูปที่ 4.8 อาศัยหลักการทำงานโดยใช้กฎของโอห์ม ให้แรงดันอินพุทมาตกคร่อมความต้านทานตัวหนึ่งที่ไม่ขึ้นอยู่กับ ความต้านทานทั้งหมดของ Load ซึ่งจากวงจรแรงดันที่ตกคร่อมความต้านทานจะเป็น $V_o - V_L$ ซึ่งก็เท่ากับแรงดันอินพุทนั่นเอง ทรานซิเตอร์ สองตัวทำหน้าที่ขับกระแส โดยใช้ออดปแอมป์ไบอัสให้มันทำงาน



รูปที่ 4.8 วงจร V/I converter

ส่วนวงจรแปลงกระแสไฟฟ้าเป็นแรงดันทำได้โดยใช้ความต้านทานขนาด 250 โอห์มมาต่อให้กระแสผ่านลงกราวด์ แล้วนำแรงดันไฟฟ้า 1 ~ 5 V ไปใช้ แต่กรณีนี้เราต้องการเปลี่ยนขนาด ของสัญญาณแรงดันไฟฟ้ามาตราฐานนี้ให้เหมาะสมกับช่วงทำงานของ VCO จึงไปเพิ่มเติมในส่วนของ Signal condition เข้าไปด้วยดังรูปที่ 4.9

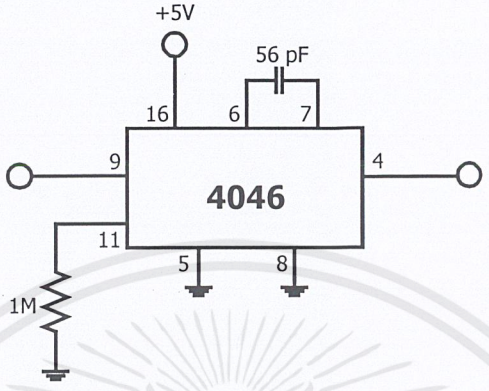


รูปที่ 4.9 วงงจร I/V converter

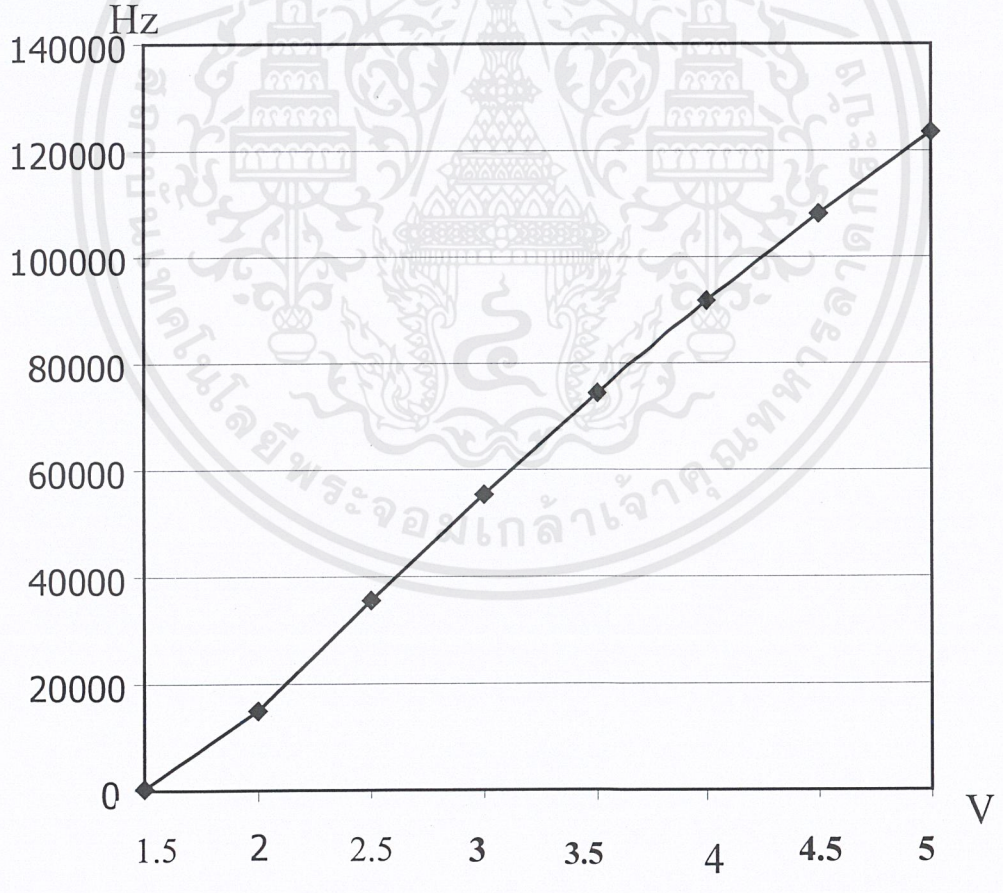
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.4.4 โวลท์เตจคอนโทรลออสซิเลเตอร์ (VCO)

ในการทดลองนี้ จะใช้ภาค VCO ของ HCF4046 ซึ่งแสดงวงจรดังรูปที่ 4.10ก. โดยแสดงกราฟคุณลักษณะได้ดังรูปที่ 4.10ข.



รูปที่ 4.10 (ก) วงจรโวลท์เตจคอนโทรลออสซิเลเตอร์

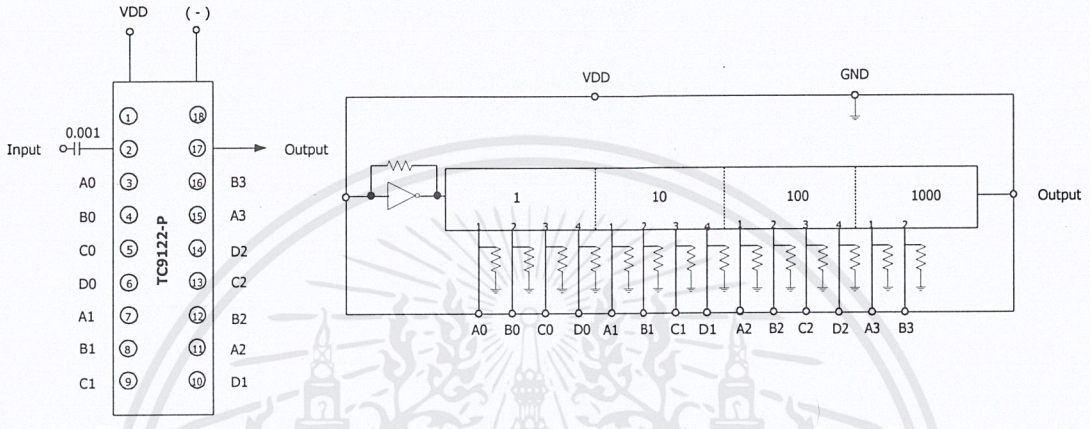


รูปที่ 4.10 (ข) แสดงกราฟคุณลักษณะของวงจรโวลท์เตจคอนโทรลออสซิเลเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.4.5 ตัวหารความถี่ที่โปรแกรมได้ (Programmable deivider by N counter)

ตัวหารความถี่แบบโปรแกรมได้นี้ใช้ IC เบอร์ TC9122P สามารถตั้งหารได้ที่ค่า N ตั้งแต่ 8 ~ 3999 ค่าความถี่เริ่มต้นที่หารได้อยู่ประมาณที่ 5kH$_z$ เมื่อต้องการให้ค่า N = 1 จะต้องสวิทช์ให้เลือกความถี่ จาก VCO ไปเข้าสู่เฟสดีเทคเตอร์โดยตรงดังรูปที่ 4.11

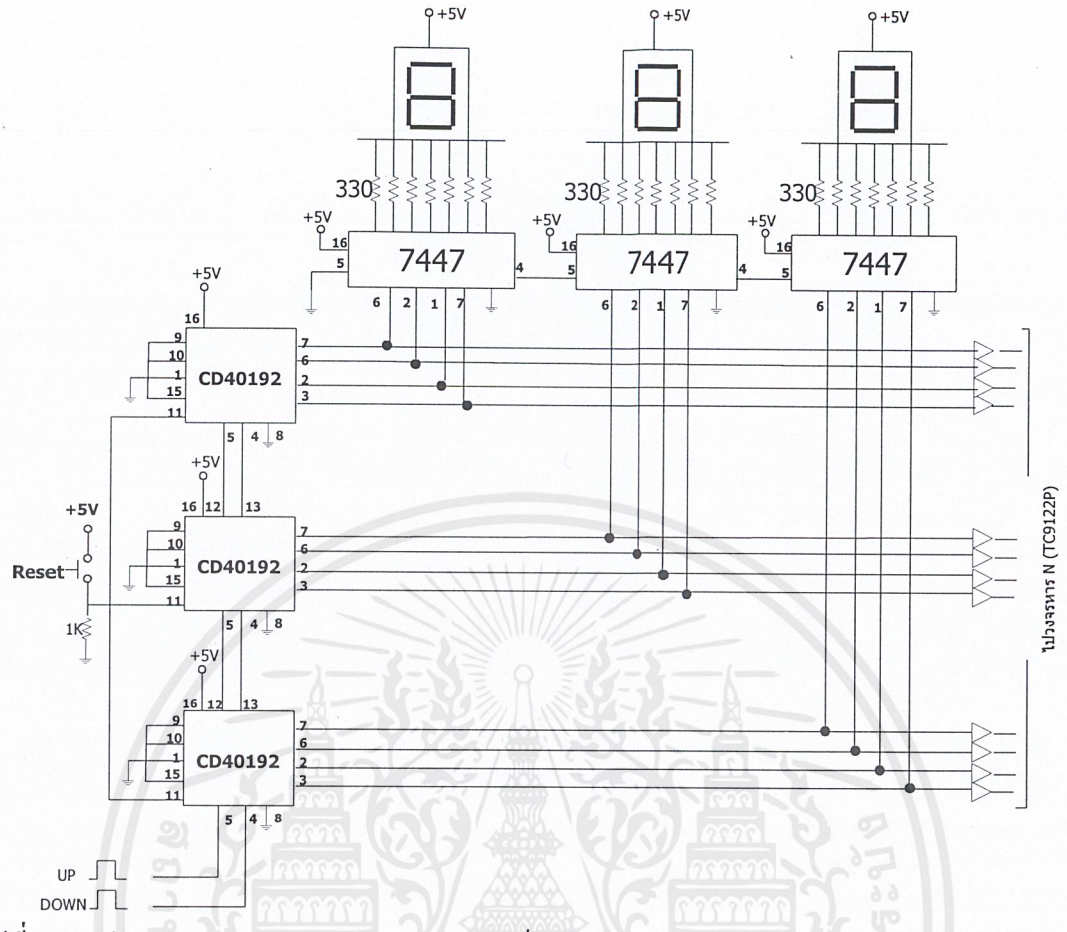


รูปที่ 4.11 ตัวหารความถี่แบบโปรแกรมได้

4.4.6 ส่วนแสดงผล (Dispay)

ส่วนแสดงผลนี้จะแสดงค่าเป้าหมาย (setpoint) เมื่อเราเลือกทำงานแบบอัตโนมัติ (Automatic Mode) และแสดงค่าของสัญญาณควบคุม (Manipulated Value , MV) เมื่อเลือกทำงานแบบโดยตรง (Manual Mode) ส่วนค่าสัญญาณจากเครื่องมือวัด (Process Variable Value ,PV) ที่ป้อนกลับมา จะใช้เครื่องบันทึกสัญญาณ (Recorder) ในการแสดงผล เพราะให้ค่าที่ละเอียดและถูกต้องดีอยู่แล้ว วงจรส่วนการแสดงผลแสดงให้เห็นในรูปที่ 4.12

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.12 ส่วนแสดงผลของตัวควบคุมแบบเฟสล็อคลูป

4.46 การออกแบบ

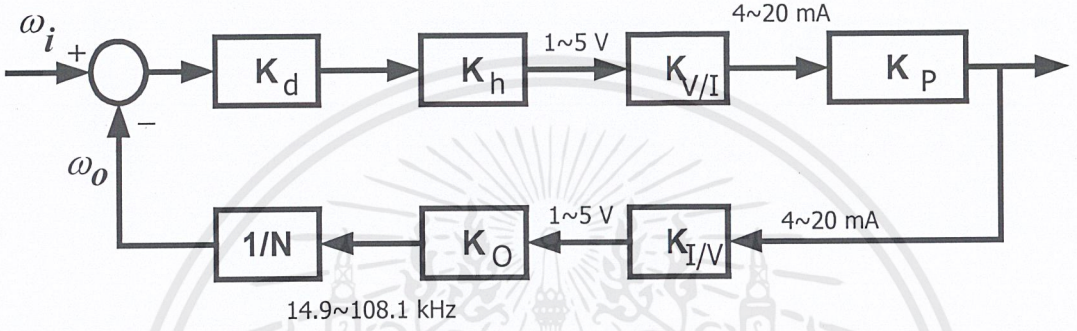
การออกแบบโดยทั่วไปจะกำหนดค่าของผลตอบสนองด้วยตัวแปร สองตัวคือ ความถี่ธรรมชาติ (natural frequency , ω_n) และอัตราการหน่วง (damping ratio , ζ) แต่สุดท้ายก็มักจะได้ผลไม่ตรงกับที่ออกแบบไว้ เมื่อนำมาใช้งานจริง แต่ได้เพียงให้ผลใกล้เคียงเท่านั้น ในกรณีของตัวควบคุมแบบ PID ก็มักจะต้องมีการปรับรายละเอียด (fine tunning) อีกครั้งหนึ่ง ซึ่งวิธีการออกแบบระบบเฟสล็อคลูปก็คล้ายกัน แต่เนื่องด้วยความไม่แน่นอนของกระบวนการ ที่มีค่าอัตราขยายและค่าเวลาคงตัวที่ไม่น่นอน ดังที่ได้กล่าวมาแล้วในหัวข้อที่2.4 จึงทำให้การหาฟังก์ชันถ่ายโอนของระบบ หรือสมการคุณลักษณะของระบบ ค่อนข้างจะเป็นวิธีที่ยุ่งยากและไม่แน่นอน

อีกทั้งระบบเฟสล็อคลูปที่ดีนั้น มักจะมีช่วงการทำงานที่แคบ (ยิ่งแคบเท่าไรยิ่งดี) ระบบจะมีเสถียรภาพมากกว่าเพราะทำงานอยู่ในช่วงที่ใกล้กับความถี่ศูนย์กลาง (center frequency) ย่อมเกิดความผิดพลาดน้อยกว่า ดังนั้นการออกแบบจึงทำโดยการประมาณค่า แล้วจึงทำการปรับแต่งโดยละเอียดในภายหลังใน ส่วนของการปรับแต่งรายละเอียดจะกล่าวต่อไป

ระบบเฟสล็อคลูป สำหรับการควบคุมกระบวนการระดับนั้นเราไม่ได้สนใจว่าความถี่เอ้าท์พุทจะเป็นเท่าไร หรือต้องใช้ความถี่เอาท์พุทอ้างอิงเท่าไร และช่วงที่ควบคุมได้เป็นเท่าไรซึ่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยทั่วไปจะเทียบจากความสูงของระดับน้ำเป็น 0 ~ 100% อยู่แล้ว ดังนั้นตัวแปรที่เราสนใจในการออกแบบคือค่าอัตราการขยายของลูป (Loop gain ,K) ซึ่งสัมพันธ์กับความถี่คัตออฟของลูปฟิลเตอร์ โดยที่เราได้กำหนดการเลือกใช้อุปกรณ์ต่างๆของระบบไว้แล้ว ดังหัวข้อที่ผ่านมา ส่วนที่เหลือที่สามารถปรับเปลี่ยนได้ก็คือ ค่าอัตราการขยายของลูป และค่าความถี่อินพุทอ้างอิง ค่าอัตราขยายของลูปเราจะพิจารณาได้จากบล็อคไดอะแกรมดังรูปที่ 4.13 โดยจะมองในรูปของแบบจำลองกระแสตรง (dc model)



รูปที่ 4.13 บล็อคไดอะแกรม dc model ของระบบ

ค่าอัตราขยายของลูปหาได้จาก

$$K = K_d K_h K_{V/I} K_p K_{I/V} K_o / N$$

$$K_d = \frac{V_{dMAX}}{2\pi} = \frac{5}{2\pi} = 0.796$$

$$K_{V/I} = \frac{20-4}{5-1} = 4$$

$$K_{I/V} = \frac{5-2}{20-4} = 0.1875$$

$$K_o = 2\pi \frac{f_{MAX} - f_{MIN}}{V_{MAX} - V_{MIN}} = \frac{123.5-14.9}{5-2}(2000\pi)$$

$$= 227.45 \text{ krad/s/V}$$

$$N = 1 \sim 100$$

ค่าของ K_h นั้น เฟสล็อคลูปโดยทั่วไปจะกำหนดให้ $K_h < 1$ เสมอจากการทดลองที่ผ่านมาเราพบว่าการให้ค่า $K_h \ll 1$ ไว้ก่อน ซึ่งจะทำให้เลือกค่าความถี่คัตออฟ (ω_2) ของลูปฟิลเตอร์ได้ง่ายกว่าในที่นี้จะให้ค่า $K_h = 0.0825$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

K_p นั้นได้จากวิธีทาง Process Reaction Ccurve ของ Ziegler – Nichols เพื่อประมาณค่าอัตราการขยายของกระบวนการที่ 50% โดยป้อน Unit Step = 50% แล้วระดับน้ำไปหยุดอยู่ที่ 94.4% ดังนั้น

$$K_p = \frac{\Delta pv}{\Delta mv} = \frac{94.4}{50} = 1.888$$

ในการคำนวนค่าอัตราขยายของลูปจะให้ค่า N = 1 เอาไว้ก่อนซึ่งจะให้ค่าอัตราขยายของลูปคือ K = 2115

โดยทั่วไปค่า ω_2 ที่ดีที่สุดถูกแนะนำให้เป็น ω_2 = K/4 เราจะได้ ω_2 = 2115/4 = 528.75และจาก $\omega_2 = 1/R_2C$ เมื่อให้ค่า $C = 1\,\mu F$ จะได้ $R_2 = 1.89k\Omega$ ดังนั้นจึงเลือกใช้ $R_2 = 1.5k\Omega$

$K_h = R_2/R_1$ เราจะได้ค่า $R_1 = 18.2k\Omega$ เลือกใช้ $R_1 = 20\,k\Omega$และจาก $\omega_3 = \frac{4}{R_1C_3}$ และให้ $\omega_3 \geq 4K$ ดังนั้น $C_3 = 94.56$ nF เลือกใช้ค่า $C_3 = 100$nF

แต่จากการทดลองจริงเมื่อทำการปรับละเอียดแล้วจะได้ค่า $R_1 = 4\,k\Omega$, $R_2 = 330\ \Omega$ $C = 1\,\mu F$, และ $C_3 = 0.1\,\mu F$ โดยเราตั้งค่า N = 50%

รูปที่ 4.14 เครื่องควบคุมกระบวนการระดับด้วยเฟสล็อกลูปที่ทดลองสร้าง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

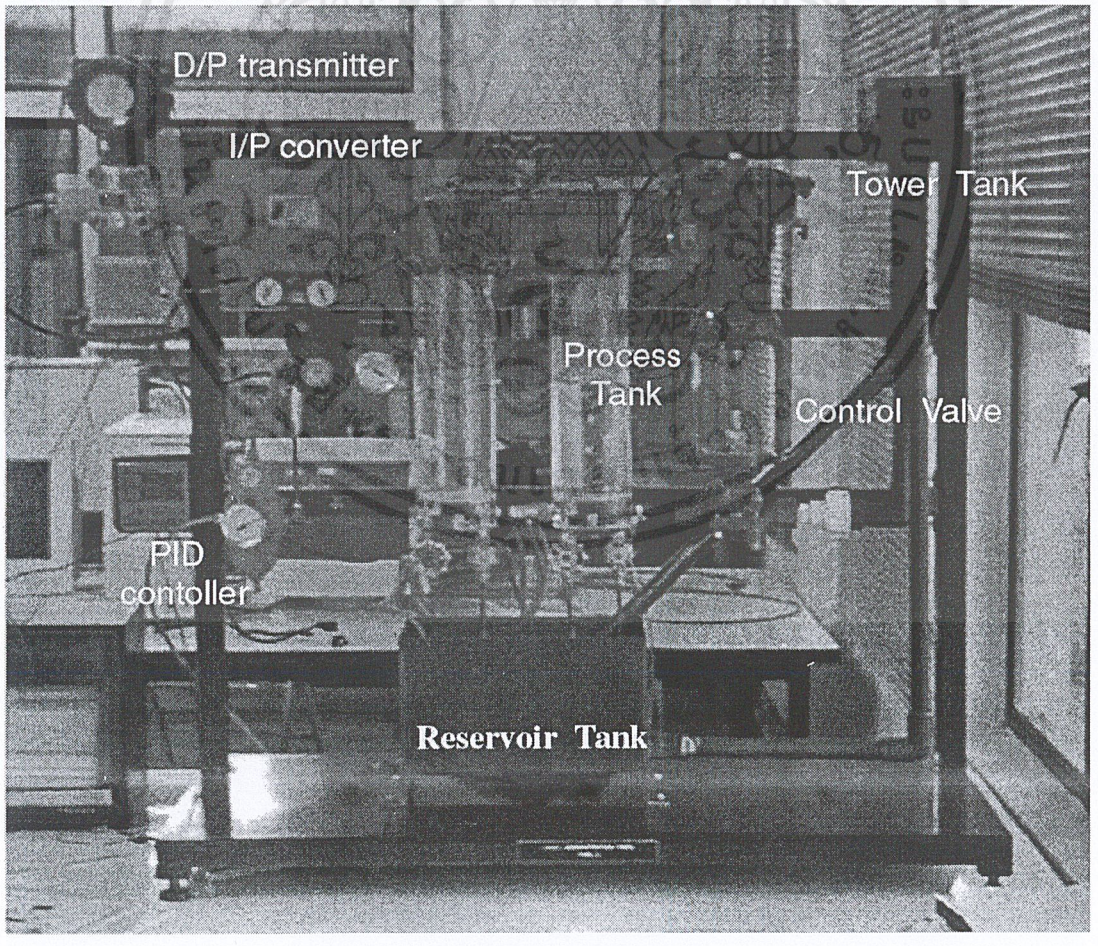
บทที่ 5

การทดลองและผลการทดลอง

5.1 กล่าวนำ

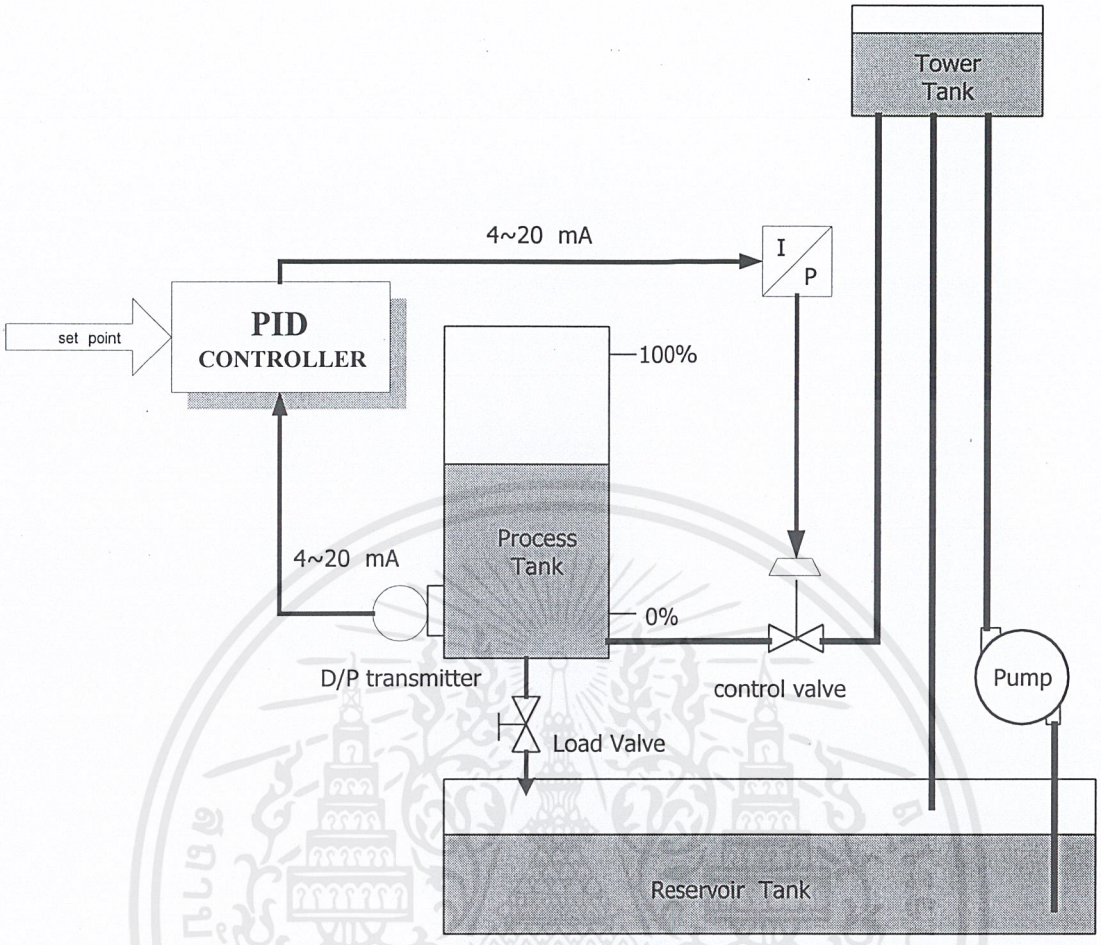
เนื่องจากเรานำกระบวนการระดับซึ่งเป็นกระบวนการอันดับหนึ่งที่มีค่าคงตัวมาก มารวมเข้าในลูปของ เฟสล็อกลูป มีผลทำให้ค่าอัตราขยายของลูป (K) เปลี่ยนแปลงไป มีผลทำให้ค่าพิสัยการล็อก(capture range)เปลี่ยนแปลงไปด้วยซึ่งไม่สามารถคำนวณหาได้ว่า พิสัยการล็อกไปอยู่ในช่วงใด ดังนั้นการทำงานของเฟสล็อกลูป ที่ทำได้ในการทดลองนี้ พบว่า ที่สามารถควบคุมกระบวนการได้ จึงน่าจะอยู่ในช่วง พิสัยยึดเหนี่ยว (hold-in range)

5.2 การทดลองและผลการทดลอง



รูปที่ 5.1 (ก) กระบวนการระดับที่ใช้ในการทดลอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.1 (ข) ไดอะแกรมการทำงานของกระบวนการระดับด้วย PID Controller

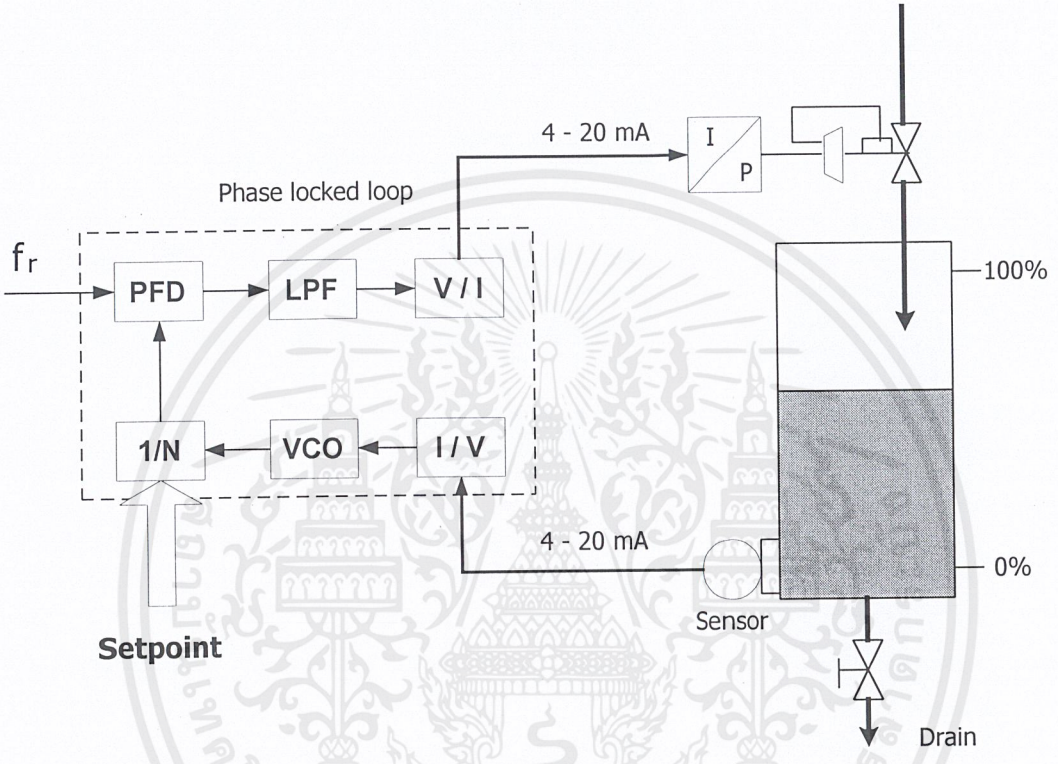
ตัวควบคุมที่นิยมใช้มากที่สุด ในอุตสาหกรรมก็คือตัวควบคุม PID ซึ่งมีการทำงานของกระบวนการคือ เมื่อปั๊มน้ำทำงาน จะปั๊มน้ำขึ้นไปไว้บนหอคอยน้ำ (Tower Tank)และมีท่อต่อผ่านกลับลงมาที่ถังพักน้ำ (Reservoir Tank) เพื่อให้มีน้ำส่งให้วาล์วควบคุมปล่อยน้ำ เข้าสู่ถังน้ำของกระบวนการ (Process Tank) ระดับความสูงของน้ำ จะถูกตรวจจับด้วย D/P transmitter ส่งสัญญาณกระแสตรงมาตราฐาน 4 ~ 20 mA ไปยังตัวควบคุม ตัวควบคุมก็จะทำการเปรียบเทียบกับค่า setpoint แล้วส่งสัญญาณไปควบคุมให้วาล์วควบคุมเปิดในตำแหน่งที่เหมาะสมโดยผ่าน I/P converter แปลงสัญญาณกระแสตรงเป็นแรงดันลม 0.2 ~ 1 kg/cm^2 ซึ่ง I/P converter ต้องการแรงดันลมจ่ายให้ทำงาน (air supply) เท่ากับ 1.5 kg/cm^2 โดยวาล์วควบคุมเป็นแบบ air-to-close

ในการทดลองนี้จะนำวงจรควบคุมแบบเฟสล็อกลูป มาทำหน้าที่แทนตัวควบคุม PID โดยแบ่งการทดลองเป็น 2 การทดลองดังต่อไปนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

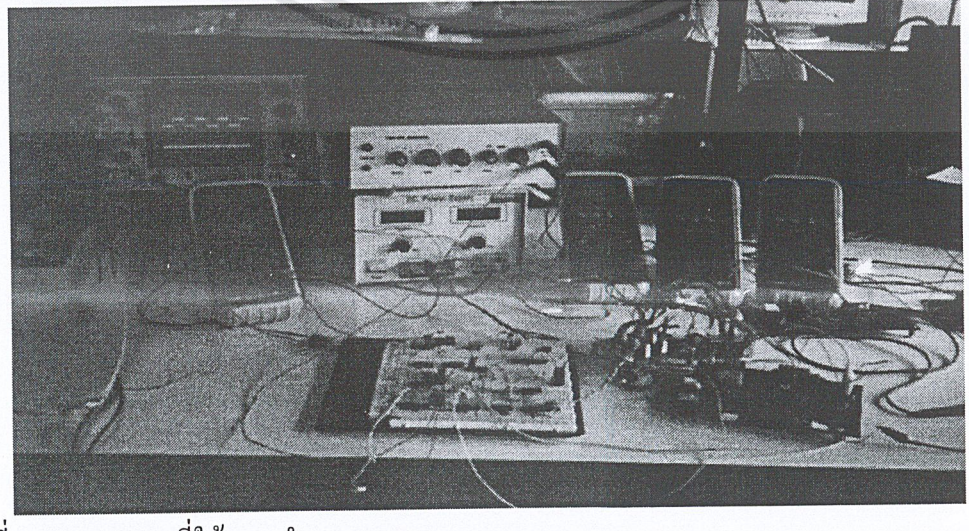
5.2.1 การทดลองความเป็นเชิงเส้นของการควบคุม

เนื่องจากการควบคุมกระบวนการระดับด้วยเฟสล็อกลูป ในการทดลองนี้จะเลือกค่าความถี่อ้างอิง (Reference frequency , f_r) ที่ทำให้ค่าระดับน้ำคงที่อยู่ในค่า sp = 50% และกำหนดให้ค่าคงที่เอาไว้ และทำการป้อนข้อมูลค่า sp ถ้าค่า N = 25 ค่า sp ก็คือ 25% โดยใช้วงจรนับ (counter) ในการกำหนดค่า N ดังรูปที่ 5.2



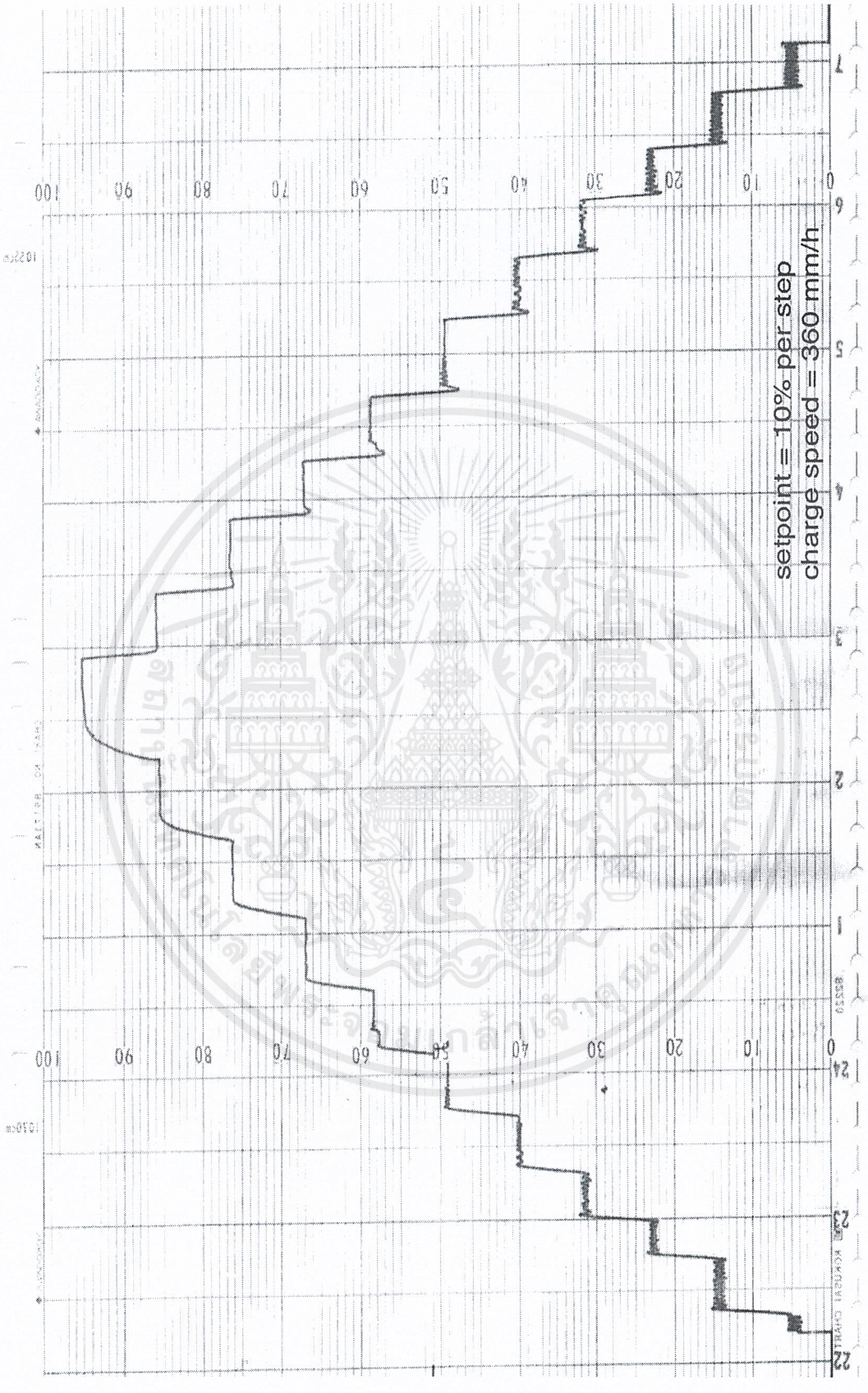
รูปที่ 5.2 บล็อกไดอะแกรมของการควบคุมกระบวนการระดับด้วย เฟสล็อกลูป

ในการทดลองนี้จะ step ค่า sp ไปครั้งละ 10% โดยจะปรับที่ sp = 10% (N = 10) ไปจนถึง 100% ซึ่งได้ผลการทดลองดังรูปที่ 5.3



รูปที่ 5.3 ภาพวงจรที่ใช้ขณะทำการทดลอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

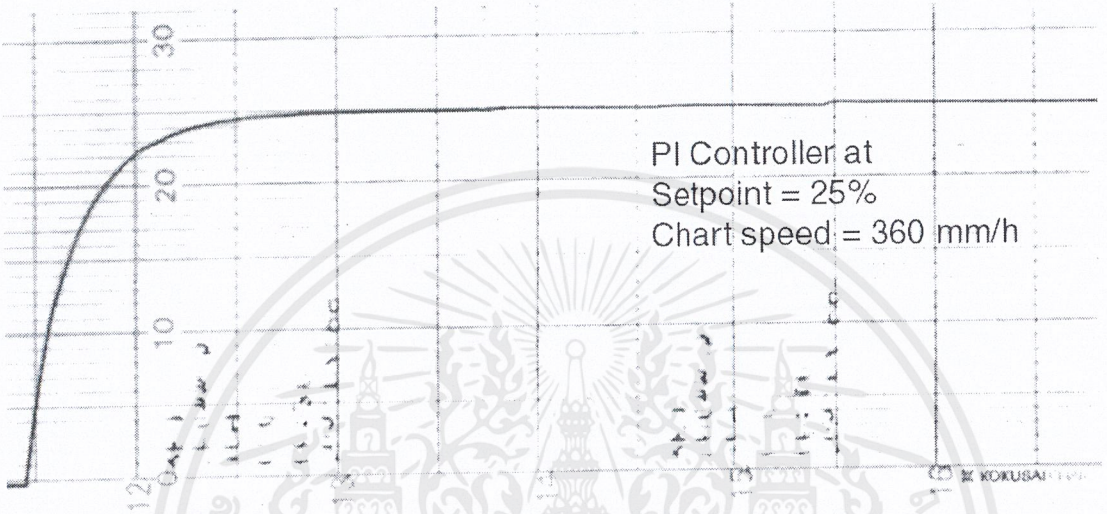


รูปที่ 5.4 ผลการทดลองความเป็นเชิงเส้นของระบบควบคุมด้วยเฟสล็อกลูป

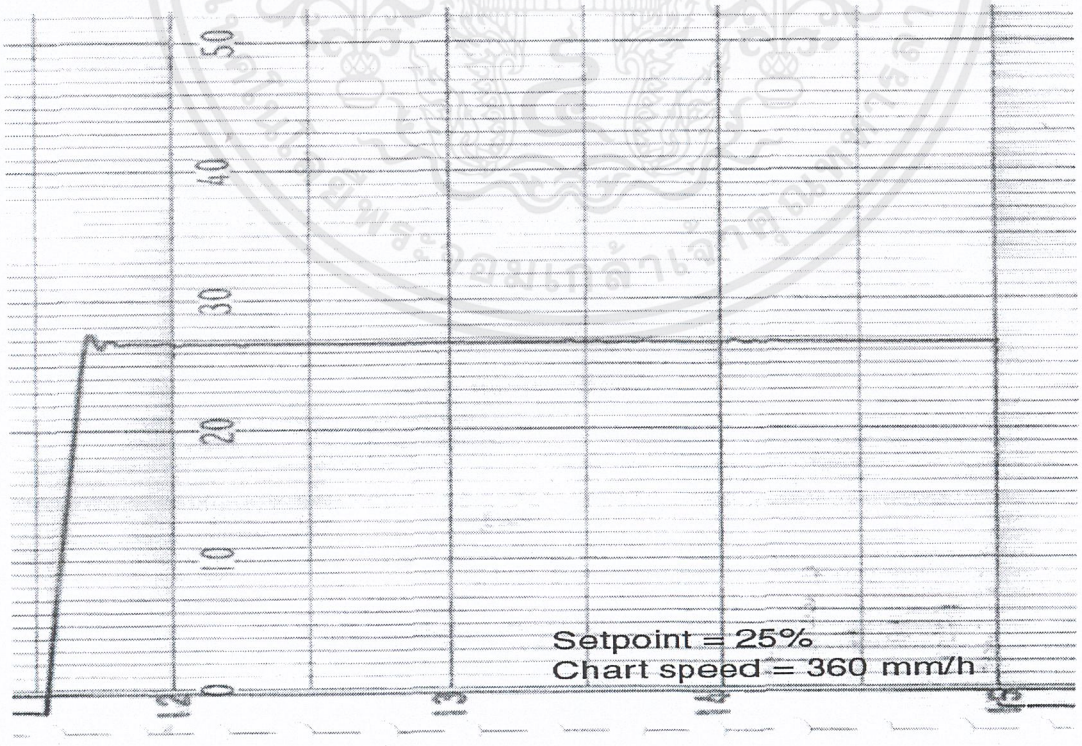
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.2.2 การทดลองการควบคุมระดับด้วย เมื่อเทียบกับ PID

เนื่องจากตัวควบคุมแบบ PID นั้นเป็นที่นิยมในวงการอุตสาหกรรม จึงได้ทำการนำผลการทดลองมาเปรียบเทียบกับ PID โดยใช้การควบคุมแบบ PI ที่ 25% และ 50% ซึ่งได้ผลการทดลองดังรูปที่ 5.4 และ 5.5

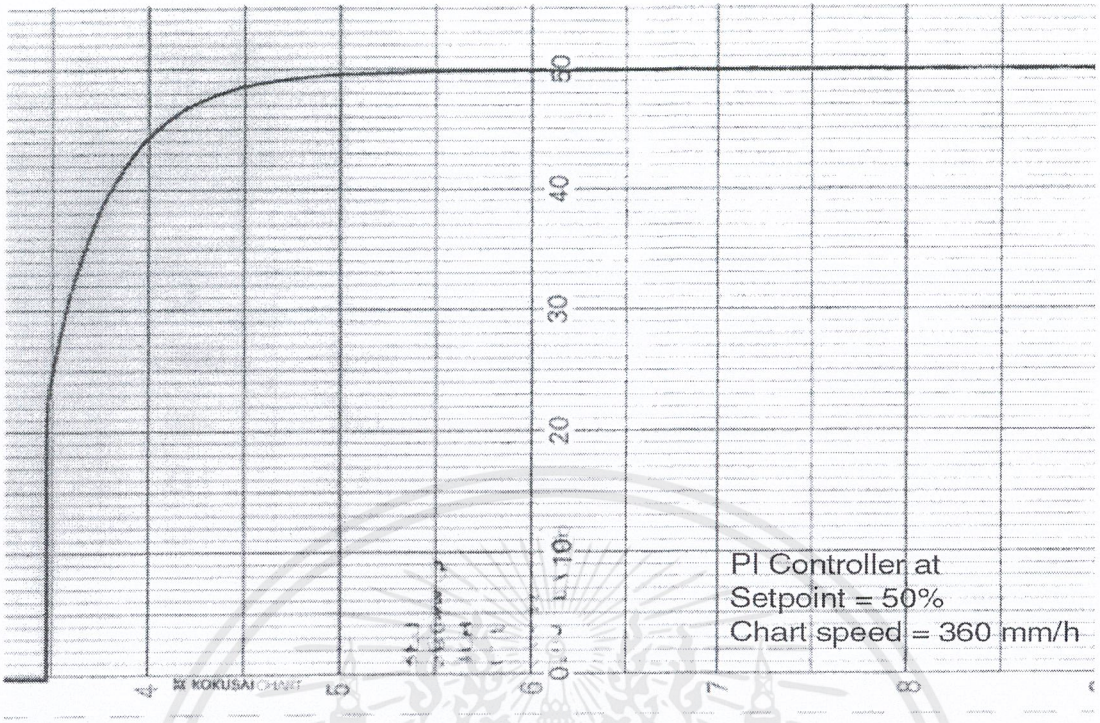


รูปที่ 5.5 (ก) ผลตอบสนองของกระบวนการที่ค่า sp = 25% โดยใช้ตัวควบคุมแบบ PID โดยกำหนดให้ P = 1.56 และ T_i = 90 sec

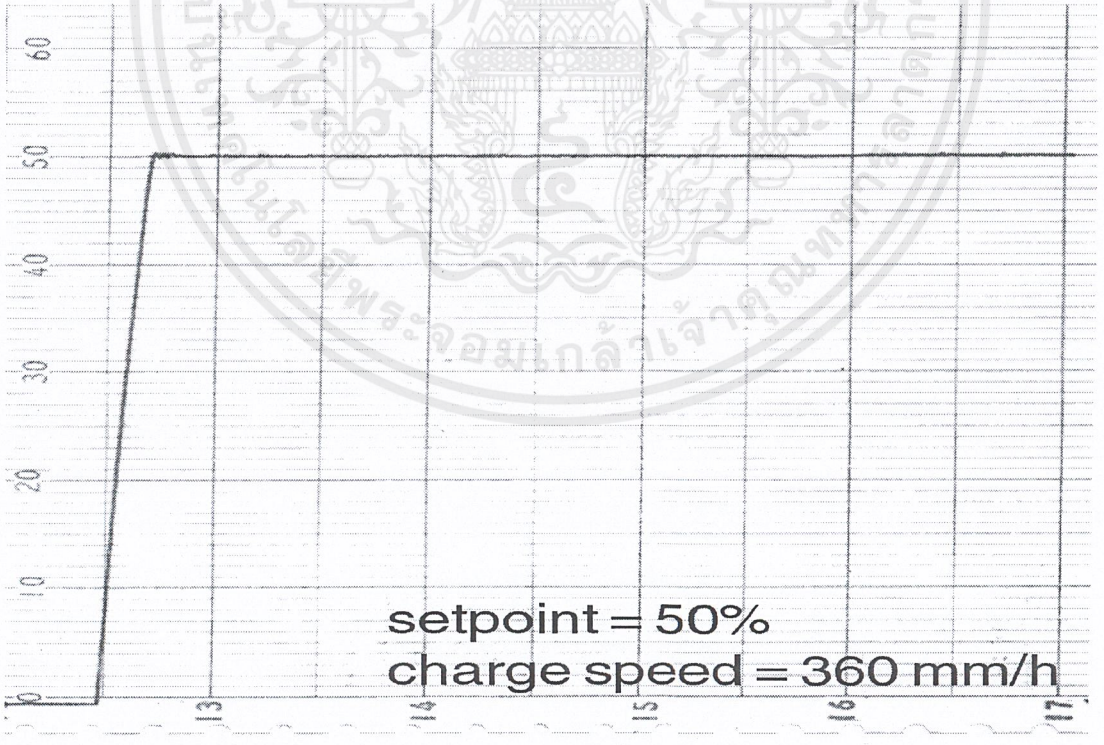


รูปที่ 5.5 (ข) ผลตอบสนองของกระบวนการที่ค่า sp = 25 % โดยใช้ตัวควบคุมแบบ เฟสล็อกลูป ที่ออกแบบ โดยกำหนดค่า N = 25

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

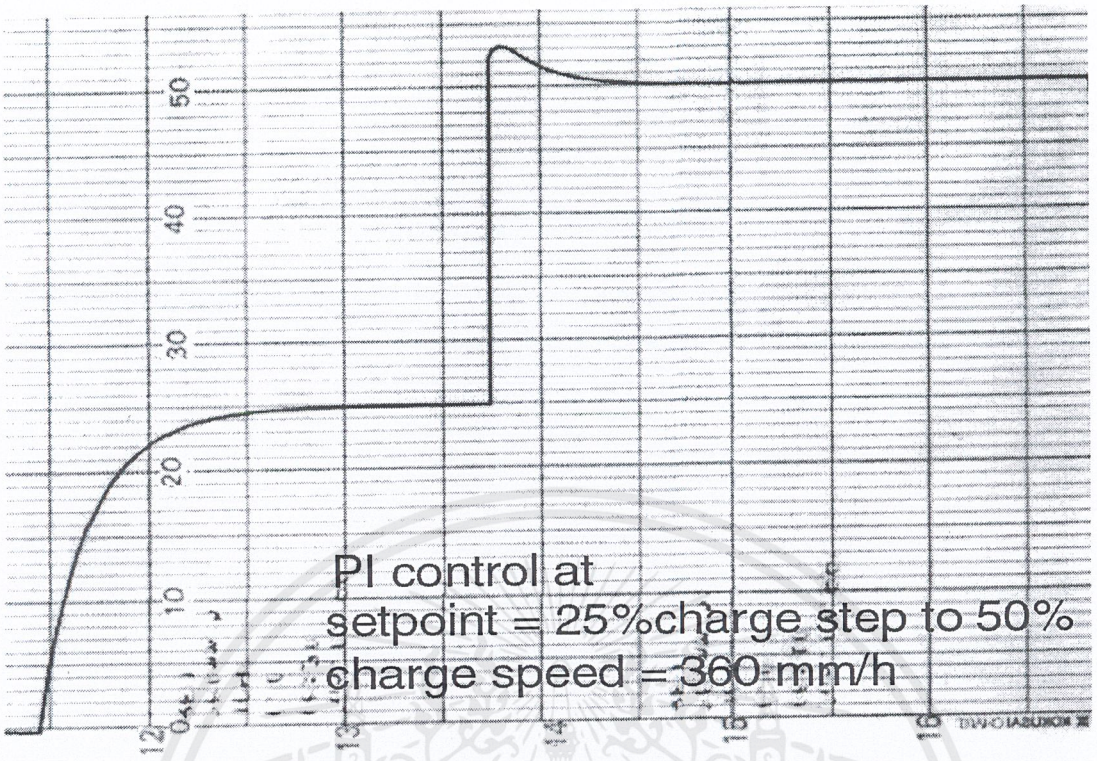


รูปที่ 5.6 (ก) ผลตอบสนองของกระบวนการที่ค่า sp = 50 % โดยใช้ตัวควบคุมแบบ PID โดยกำหนดให้ P = 1.5 และ T_i = 90 sec

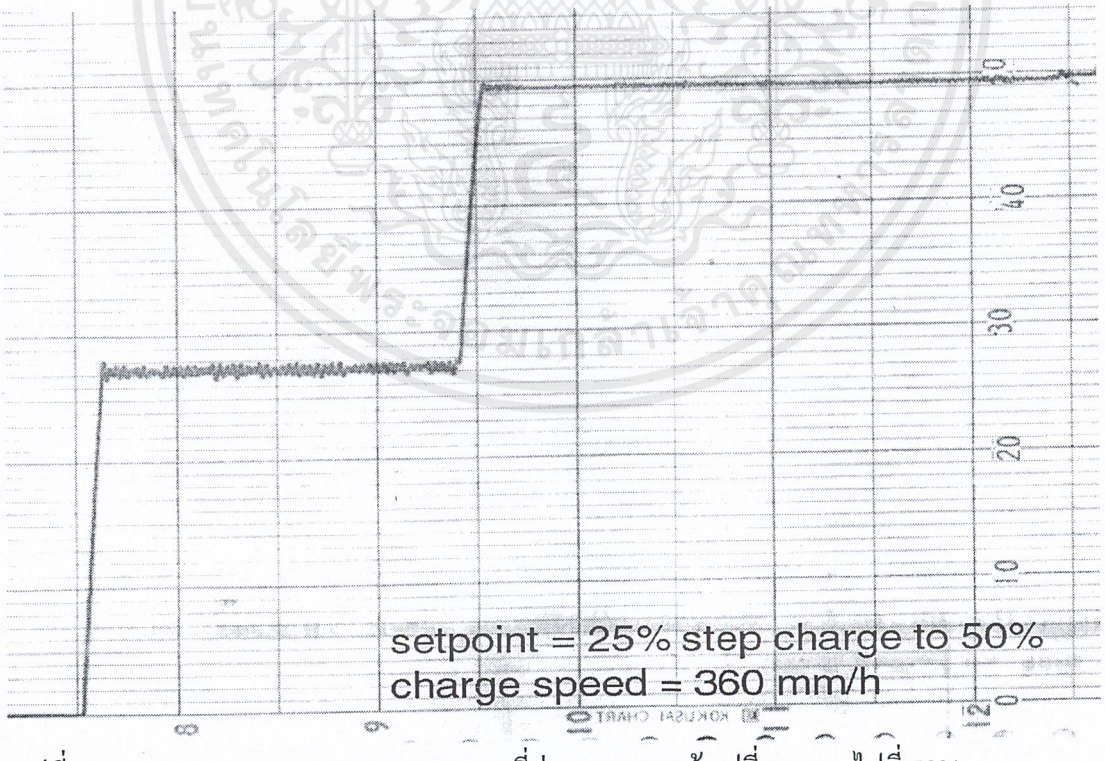


รูปที่ 5.6 (ข) ผลตอบสนองของกระบวนการที่ค่า sp = 50 % โดยใช้ตัวควบคุมแบบ เฟสล็อกลูป ที่ออกแบบ โดยกำหนดค่า N = 50

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.7 (ก) ผลตอบสนองของกระบวนการที่ค่า sp = 25%แล้วเปลี่ยน step ไปที่50%
โดยใช้ตัวควบคุมแบบ PI กำหนดค่า P = 1.5 และ T_i = 90 sec

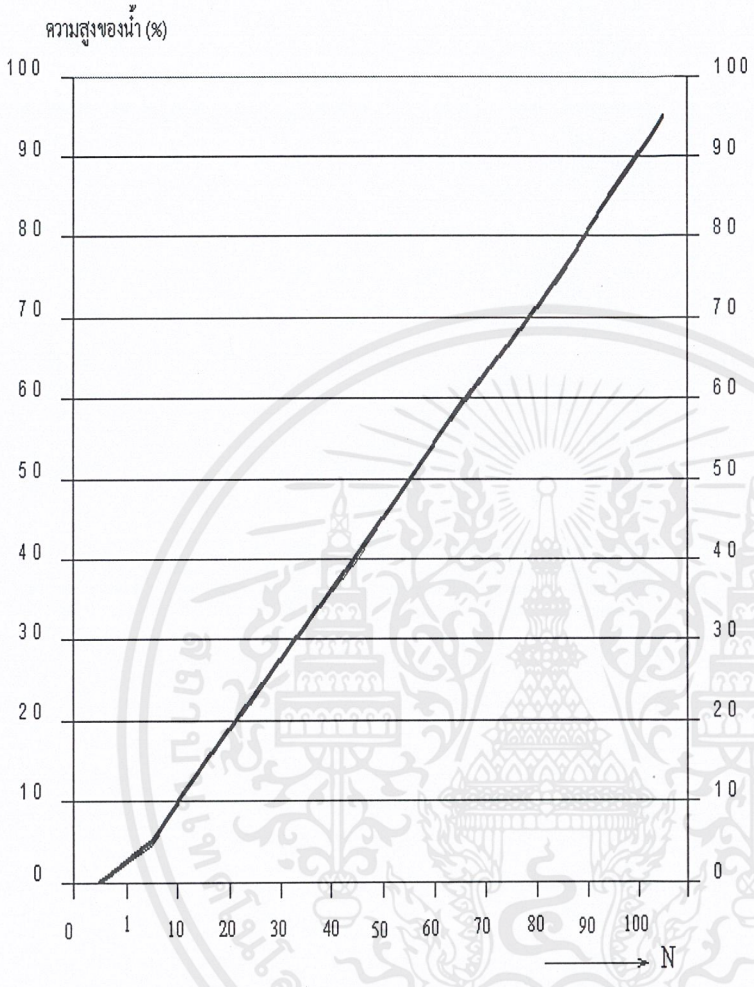


รูปที่ 5.7 (ข) ผลตอบสนองของกระบวนการที่ค่า sp = 25%แล้วเปลี่ยน step ไปที่ 50%
โดยใช้ตัวควบคุมแบบ เฟสล็อกลูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.3 สรุปผลการทดลอง

จากการทดลองในหัวข้อ 5.1 จะเห็นว่าระบบการควบคุมกระบวนการด้วยเฟสล็อกลูป มีความเป็นเชิงเส้น ซึ่งแสดงดังกราฟผลการทดลองในรูปที่ 5.8



up (%)	down (%)
0	0
4.7	5
14.6	14.5
22.5	23
31.5	31.5
40	40.5
50	49.5
58.5	59
67	67
76	75.5
85.6	86
95	95

รูปที่ 5.8 กราฟแสดงผลตอบสนองของกระบวนการ เมื่อแปรค่า N ไป

ซึ่งจะเห็นว่าผลตอยสนองที่ดีจะอยู่ที่ประมาณ 50% เมื่อให้ค่า N ต่ำๆ กระบวนการจะมีผลตอบสนองที่มีการแกว่ง (Oscillate) อยู่ในช่วงแคบๆช่วงหนึ่ง อย่างสม่ำเสมอ เมื่อให้ค่า N มากๆ กระบวนการจะมีผลตอบสนองที่ช้ามากขึ้นเรื่อยๆ ตามค่า N ที่เพิ่มขึ้น และที่ค่า N ที่ออกห่างไปจาก 50 (กึ่งกลางของการควบคุม) ทั้งทางมากขึ้นและน้อยลง ค่าความผิดพลาดในสภาวะสงบนิ่ง (Steady State Error ,e_{ss}) จะมากขึ้น

การที่ค่า N มากขึ้น หมายถึง การทำให้อัตราขยายของลูปน้อยลง ซึ่งมีผลทำให้ผลตอบสนองของกระบวนการช้า และการทำให้ค่า N น้อยลง ก็คือการเพิ่มอัตราขยายของลูปมากขึ้น ซึ่งทำให้ผลตอบสนองเกิดการแกว่งมากขึ้น ดังนั้น การควบคุมกระบวนการด้วยเฟสล็อกลูปจะให้ผลตอบสนองที่ถูกต้องในช่วงแคบๆ ซึ่งจะอยู่ที่กึ่งกลางของช่วงที่สามารถทำการควบคุมได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทดลองนี้ได้ทำการปรับแต่งให้อยู่ที่ 50% ด้วยการทดลองปรับค่าความถี่อ้างอิงจนกระทั่งระบบไปหยุดนิ่งอยู่ที่ 50%

ส่วนการทดลองเพื่อเปรียบเทียบผลของการควบคุมด้วยเฟสล็อกลูป กับตัวควบคุมแบบ PID ในหัวข้อ 5.2 จะเห็นว่า การควบคุมด้วยเฟสล็อกลูปที่ออกแบบมานั้น ยังมีค่าความผิดพลาดหรือ offset อยู่ และเกิดการแกว่งของ ผลตอบสนองอยู่เป็นระยะๆด้วย แต่จะเห็นว่าผลตอบสนองจะเร็วมากที่ค่า N ไม่เกิน 50% ดังผลการทดลองที่แสดงในหัวข้อ 5.2 แต่หากทำการทดลองที่ค่า N มากกว่า 50% ขึ้นไปแล้ว นอกจากจะมีค่าความผิดพลาดแล้ว ระบบจะตอบสนองได้ช้ามากๆ เป็นเพราะช่วงการควบคุมที่ทำได้นั้น แคบมาก เมื่อดูจากภาพรวมทั้งหมดแล้ว ตัวควบคุม PID จะทำงานได้อย่างมีเสถียรภาพสูงกว่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 6
บทสรุป

การควบคุมทางอุตสาหกรรมเป็นสิ่งที่มีการพัฒนาอย่างต่อเนื่อง เทคโนโลยีสมัยใหม่เข้ามามากมาย การสอดรับความรู้ทางวิชาการจากต่างประเทศให้เท่าทันเป็นสิ่งที่จำเป็น และการนำความรู้ทางวิชาการต่างๆ มาประยุกต์ใช้ให้ได้ ก็มีความสำคัญมาก เพราะหากเพียงแต่การรับเทคโนโลยีเข้ามาแล้วไม่มีความสามารถที่จะปรับใช้ได้นั้น เป็นเรื่องยากที่จะมีความเข้าใจอย่างเท่าทันกับเทคโนโลยีต่างๆได้

การนำทฤษฎีเฟสล็อกลูปมาประยุกต์ใช้ในงานควบคุมระดับนั้น เป็นเสมือนการทำความเข้าใจทฤษีเฟสล็อกลูป เพื่อที่จะทำความเข้าใจระบบควบคุมทางอุตสาหกรรม โดยเน้นเจาะจงที่การควบคุมกระบวนการระดับซึ่งเป็นพื้นฐานสำคัญของงานวัดคุมทางอุตสาหกรรม

การทดลองประยุกต์ใช้เฟสล็อกลูปในงานด้านควบคุมครั้งนี้ เมื่อเปรียบเทียบกับการควบคุมแบบ PID แล้วยังมีข้อด้อยอยู่มาก เพราะช่วงการทำงานของระบบเฟสล็อกลูปนั้นแคบมาก และมันเป็นระบบที่มีความรวดเร็วเป็นอย่างมากเมื่อนำมาใช้ควบคุมกระบวนการที่ช้าอย่างกระบวนการระดับ จากผลการทดลองเมื่อค่าอัตราขยายของระบบสูง จะมีผลตอบสนองที่มีการแกว่งอยู่ที่ช่วงหนึ่งๆ แต่ก็ยังถือว่าควบคุมได้ เหมือนกับการควบคุมแบบเปิด – ปิด (on-off control) หากค่าอัตราขยายของระบบต่ำ ก็จะทำให้ผลตอบสนองช้า ซึ่งการปรับค่าอัตราขยายของระบบนั้น ระบบเฟสล็อกลูปสามารถทำได้โดยการปรับค่าตัวหาร N ของระบบ โดยถ้าค่า N มาก อัตราขยายของระบบก็จะน้อย ถ้าค่า N น้อย อัตราขยายของระบบก็จะมาก ซึ่งการปรับค่าหาร N นี้ก็ใช้สัญญาณดิจิตอลในการกำหนดค่าของ N ได้โดยง่าย ไม่ต้องแปลงกลับไปกลับมาระหว่างสัญญาณอนาลอกและดิจิตอล

หากการควบคุมให้การทำงาน ของระบบการควบคุมกระบวนการระดับด้วยเฟสล็อกลูปให้ทำงานในสภาวะล็อก เป็นเรื่องยุ่งยาก หรือช่วงการควบคุมด้วยเฟสล็อกลูปนั้นแคบเกินไป ก็อาจจะสามารถแก้ปัญหาได้ โดยทำการปรับความถี่อ้างอิงไปให้ตรงกับค่าที่จะทำให้ระบบมีผลตอบสนองได้ตามเป้าหมาย แต่วิธีการนี้อาจจะทำให้ระบบมีความยุ่งยากขึ้นกว่าเดิมมาก

ตัวควบคุมกระบวนการด้วยเฟสล็อกลูปที่ทดลองสร้างในครั้งนี้ มีค่าที่ยอมรับได้เพียงค่าเดียวเท่านั้น ที่ถือว่าควบคุมได้ดี อย่างไรก็ตาม การประยุกต์ใช้เฟสล็อกลูปในงานควบคุมกระบวนการ เป็นเรื่องที่ยากอยู่ เพราะถือว่ายังมีความนิยมนำมาประยุกต์ใช้น้อยอยู่มาก เมื่อเทียบกับระบบอื่นๆ อีกทั้งในปริญญานิพนธ์นี้ก็ใช้เพียงทฤษฎีเบื้องต้นเท่านั้น ซึ่งเฟสล็อกลูปมีเทคนิคอื่นๆ อีกมากมาย เพราะใช้งานมานานในด้านโทรคมนาคม จึงน่าจะเป็นเรื่องที่สามารถพัฒนาต่อไปได้อีก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอกสารอ้างอิง

[1] Dan H. Wolaver Worchester Polytechnic Institute "Phase Locked Loop Circuit Design": Prentice Hall Englewood Cliffs, New Jersey 07632

[2] Vadim Manassewitsch consultant "Frequency Synthesizers Theory and Design": A Wiley Interscience Publication, John Wiley & Sons

[3] Texas Instrument 1997 "Application Report"

[4] พ.ต.ท.สุชาติ กังวารจิตต์ " เครื่องรับส่งวิทยุและระบบวิทยุสื่อสาร "

[5] รศ. กิตติ ตีรเศรษฐ , รศ. วิทยา ทิพย์สุวรรณพร "วิศวกรรมระบบควบคุม และระบบควบคุมป้อนกลับ"

[6] สมศักดิ์ วรรณชนะ "การควบคุมอัตราไหลด้วยวิธี PLL ร่วมกับตัวควบคุมแบบ P"

[7] พิทยา ปานนิล "เครื่องวิเคราะห์หาค่าพารามิเตอร์ของตัวควบคุม PID แบบอัตโนมัติ"

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Preliminary Data Sheet
August 1998

ภาคผนวก ก.

microelectronics group

Lucent Technologies
Bell Labs Innovations

LUCDA4044 Phase Frequency Detector

Features

- Typical propagation delay 9.0 ns (through phase detector)
- Includes charge pump and amplifier
- Available in 14-pin DIP or SONB

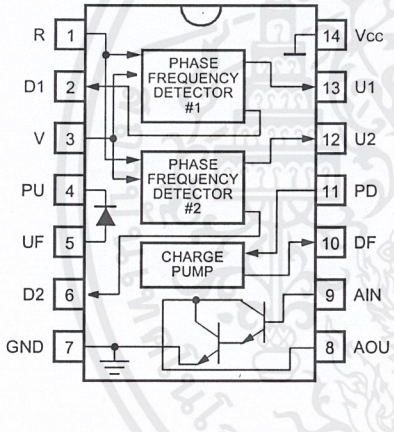


Figure 1. Functional Diagram

Applications

- Frequency synthesizers
- Clock recovery

Description

The LUCDA4044 consists of two digital phase detectors, a charge pump, and an amplifier. In combination with a voltage-controlled multivibrator, this device is useful in a broad range of phase-locked loop (PLL) applications. The circuit accepts TTL waveforms at the R and V inputs and generates an error voltage that is proportional to frequency and/or phase difference.

Phase detector #1 is intended for use in systems requiring zero frequency and phase at lock. Phase detector #2 is used if quadrature lock is desired. Phase detector #2 can also be used to indicate that the main loop (utilizing phase detector #1) is out of lock. This LUCDA4044 is a direct replacement for the *Motorola** MC4044.

* *Motorola* is a registered trademark of Motorola Inc.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Pin Information

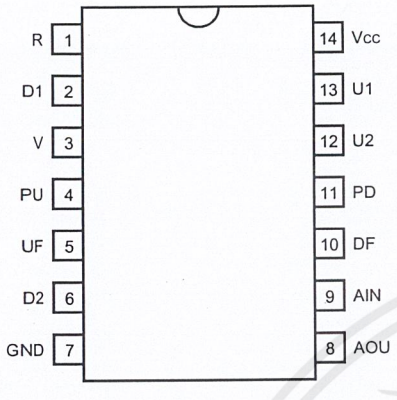


Figure 2. Pin Diagram

Table 1. Pin Descriptions

Symbol	Pin	Description
1	R	Common Reference Signal Input
2	D1	Detector #1 Output
3	V	Common Variable Signal Input
4	PU	Diode Cathode
5	UF	Diode Anode
6	D2	Detector #2 Output
7	GND	Power Supply Ground
8	AOU	Amplifier Output
9	AIN	Amplifier Input
10	DF	Charge Pump Output
11	PD	Charge Pump Input
12	U2	Detector #2 Output
13	U1	Detector #1 Output
14	Vcc	Positive Power Supply

Absolute Maximum Ratings

Stresses in excess of the absolute maximum ratings can cause permanent damage to the device. These are absolute stress ratings only. Functional operation of the device is not implied at these or any other conditions in excess of those given in the operational sections of the data sheet. Exposure to absolute maximum ratings for extended periods can adversely affect device reliability.

Parameter	Symbol	Value	Unit
Ambient Operating Temperature	—	–40 to +85	°C
Storage Temperature Range	T_{stg}	–40 to +125	°C
Power Supply Voltage (Vcc to GND)	—	7.0	V

Truth Table

This table is not strictly a functional truth table; i.e., it does not show all possible modes of operation. It is included as an aid for dc testing.

Table 2. Truth Table

Input State	Input		Output			
	R	V	U1	D1	U2	D2
1	0	0	x	x	1	1
2	1	0	x	x	0	1
3	1	1	x	x	1	0
4	1	0	x	x	0	1
5	0	0	x	x	1	1
6	1	0	x	x	0	1
7	0	0	0	1	1	1
8	1	0	0	1	0	1
9	0	0	0	1	1	1
10	0	1	0	1	1	1
11	0	0	1	1	1	1
12	0	1	1	1	1	1
13	0	0	1	0	1	1
14	0	1	1	0	1	1
15	0	0	1	0	1	1
16	1	0	1	0	0	1
17	0	0	1	1	1	1

Notes:
x indicates output state unknown.

U1 and D1 outputs are sequential, i.e., they must be sequenced in the order shown.

U2 and D2 outputs are combinational, i.e., they need only inputs to obtain the desired output state.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Electrical Characteristics

Table 3. Electrical Characteristics (at 25 °C)

Parameter	Symbol	Test Conditions	Min	Typ	Max	Unit
Output Voltage High (pins 2, 6, 12, 13)	V_{OH}	I_{OH} = –1.6 mA V_{CC} = 4.75 V	2.4	—	—	V
Output Voltage Low (pins 2, 6, 12, 13)	V_{OL}	I_{OL} = 16 mA V_{CC} = 4.75 V	—	—	0.4	V
Input Voltage High (pins 1, 3, 11)	V_{IH}	V_{CC} = 4.75 V	2.0	—	—	V
Input Voltage Low (pins 1, 3, 11)	V_{IL}	V_{CC} = 4.75 V	—	—	0.8	V
Input Current Low #1 (pins 1 and 3)	I_{IL1}	V_{IL} = 0.4 V V_{CC} = 5.25 V	—	—	–2.4	mA
Input Current Low #2 (pin 11)	I_{IL2}	V_{IL} = 0.4 V V_{CC} = 5.25 V	—	—	–0.8	mA
Input Current High #1 (pins 1 and 3)	I_{IH1}	V_{IH} = 2.4 V V_{CC} = 5.25 V	—	—	120	µA
Input Current High #2 (pin 11)	I_{IH2}	V_{IH} = 2.4 V V_{CC} = 5.25 V	—	—	40	µA
Input Current High (pins 1, 3, 11)	I_{IHH}	V_{IH} = 5.25 V V_{CC} = 5.25 V	—	—	1.0	mA
Clamp Voltage (pins 1, 3, 11)	Vclamp	I_{IN} = –18 mA V_{CC} = 4.75 V	—	—	–1.5	V
Output Current (pins 2, 6, 12, 13)	I_{OS}	V_{OL} = 0 V* V_{CC} = 5.25 V	–30	—	–85	mA
Forward Diode Voltage (pin 5)	V_{DF}	I_{IN} = 1 mA V_{CC} = 5.25 V	0.4	—	1.0	V
Reverse Diode Voltage (pin 4)	V_{DR}	I_{IN} = 5 µA V_{CC} = 5.25 V	5.25	—	—	V
Output Voltage High (pin 10)	V_{OH}	I_{OH} = –1 mA V_{CC} = 4.75 V	2.5	—	—	V
Output Voltage Low (pin 10)	V_{OL}	I_{OL} = 100 µA V_{CC} = 4.75 V		—	0	V
Output Current (pin 8)	I_{OLK}	V_A = 0 V V_{CC} = 5.25 V		—	120	µA
Output Current (pin 8)	I_O	I_A = 10 µA V_{CC} = 5.25 V	5.25	—	—	mA

* Pins 2 and 13 are prone to change state; care must be taken during testing.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้