สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

เครื่องวัดความถี่

FREQUENCY COUNTER

โดย

นาย เกรียงศักดิ์ อุดมกิจเดชา

นาย คมกฤช วงศ์ธนวัฒน

เลขหมู่.....
เลขทะเบียน 50361
วัน,เดือน,ปี 13 พ.ค. 2547

.b.....
.i.....

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2545

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เครื่องวัดความถี่

FREQUENCY COUNTER

โดย

นาย เกรียงศักดิ์ อุดมกิจเดชา รหัส 42010029

นาย คมกฤช วงศ์ธนวัฒน รหัส 42010040

อาจารย์ที่ปรึกษา

ผศ. ประภากร สุวรรณะ

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2545

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ ปีการศึกษา 2545

ภาคอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง เครื่องนับความถี่

ผู้จัดทำ

1. นาย เกรียงศักดิ์ อุดมกิจเดชา 42010029
2. นาย คมกฤช วงศ์ธนวัฒน 42010040

.....อาจารย์ที่ปรึกษา

(ผศ. ประภากร สุวรรณะ)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เครื่องวัดความถี่

นายเกรียงศักดิ์ อุดมกิจเดชา 42010029
นายคมกฤช วงศ์ธนวัฒน 42010040
ผศ. ประภากร สุวรรณะ (อาจารย์ที่ปรึกษา)
ภาคการศึกษาที่ 2 ปีการศึกษา 2545

บทคัดย่อ

ปริญญานิพนธ์ฉบับนี้เป็นส่วนหนึ่งของวิชา 01044508 Project II โดยประกอบด้วยการสร้างและการออกแบบเครื่องวัดความถี่ ซึ่งมีความสามารถวัดความถี่ของสัญญาณ ขนาดตั้งแต่ 200 มิลลิโวลต์ และความถี่ไม่เกิน 200 MH_z แล้วแสดงผลออกมาทางจอภาพที่เป็น LED ตัวเลขเจ็ดส่วน จำนวน 7 หลัก ในหน่วย MH_z โดยใช้หลักการของตัวเคาท์เตอร์ในการวัดความถี่ และใช้ไมโครคอนโทลเลอร์ในการแสดงผล

รายงานฉบับนี้ยังได้อธิบายถึงทฤษฎีในส่วนต่าง ๆ ของวงจร การออกแบบ การทดสอบ และผลการทดสอบ โดยมีจุดมุ่งหมายเพื่อที่จะสามารถออกแบบและสร้างวงจรให้มีคุณสมบัติตามที่ต้องการและนำความรู้ที่ได้ไปเป็นแนวทางในการประยุกต์พัฒนางานด้านอิเล็กทรอนิกส์ต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FREQUENCY COUNTER

Mr. Kriangsak Udomkitdacha 42010029
Mr. Khomkrit Wongtanawat 42010040
Mr. Prapakorn Suwanna (Adviser)
2^{rd} Semester, Educational Year 2002

Abstract

This report is part of subject 01044508 Project II. It is composed of design and construction of the Frequency Counter with input signal from 200 milivolt and frequency less than 200 MH_z. It's output are 7 display of Seven-Segment. This device is implementing by the principles of Counter and Microcontroller.

This report have the details about designing, testing and results of testing. The purpose of this project is to be able to design and construct the circuit to achieve the properties, current and voltage, that we need, use and apply the knowledge of the circuit design and construction to develop other electronics circuits in the future.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ปริญญานิพนธ์ฉบับนี้สำเร็จลุล่วงไปได้ด้วยดี ด้วยคำแนะนำ คำปรึกษาและความช่วยเหลือในการทำโครงการ “เครื่องนับความถี่” จากท่าน ผศ. ประภากร สุวรรณะ ซึ่งเป็นอาจารย์ที่ปรึกษาในการทำโครงการครั้งนี้ ทางผู้จัดทำรู้สึกซาบซึ้งในความอนุเคราะห์ของท่าน และขอกราบขอบพระคุณเป็นอย่างสูง

ขอขอบคุณ พี่ ๆ และเพื่อน ๆ ที่ให้คำแนะนำและความช่วยเหลือ จนทำให้รายงานฉบับนี้เสร็จสมบูรณ์

ผู้จัดทำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

	หน้า
บทคัดย่อ	ก
Abstract	ข
กิตติกรรมประกาศ	ค
สารบัญ	ง
สารบัญรูปภาพ	จ
บทที่ 1 หลักการเบื้องต้นของเครื่องวัดความถี่	1
1.1 หลักการเบื้องต้น	1
1.2 วงจรนับ	2
1.2.1 วงจรนับแบบไม่เข้าจังหวะ	2
1.2.2 วงจรนับแบบเข้าจังหวะ	3
1.2.3 วงจร Binary Ripple counter	4
1.3 โมโนสเตเบิล	8
1.4 ความผิดพลาดที่เกิดขึ้นในเครื่องวัดความถี่	10
บทที่ 2 MECL Families	12
บทที่ 3 การออกแบบและหลักการทำงานของเครื่องวัดความถี่	35
3.1 ส่วนวัดค่าความถี่	35
3.2 ฐานเวลา	36
3.2.1 วงจรกำเนิดความถี่	37
3.2.2 วงจรหารความถี่	37
3.2.3 วงจรโมโนสเตเบิล	37
3.3 ภาคแสดงผล	39
บทที่ 4 การทดสอบ	46
บทที่ 5 สรุปและวิจารณ์	50
บรรณานุกรม	51
ภาคผนวก	52

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูปภาพ

		หน้า
รูปที่ 1.1	บล็อกไดอะแกรมแสดงการทำงานของเครื่องวัดความถี่พื้นฐาน	1
รูปที่ 1.2	แสดงแผนผังการต่อวงจรนับแบบไม่เข้าจังหวะ	2
รูปที่ 1.3	แสดงแผนผังการต่อวงจรนับแบบเข้าจังหวะ	3
รูปที่ 1.4	วงจรนับ 4 โดยใช้ทีฟลิปฟลอป 2 ตัว	4
รูปที่ 1.5	Timing diagram ของวงจรนับ 4	5
รูปที่ 1.6	ตารางการนับ 4	5
รูปที่ 1.7	วงจรนับ 16 โดยใช้ทีฟลิปฟลอป 4 ตัว	6
รูปที่ 1.8	ตารางการนับ 16	6
รูปที่ 1.9	วงจรนับ 16 โดยใช้ดีฟลิปฟลอป 4 ตัว	7
รูปที่ 1.10	วงจรนับ 16 โดยใช้ เจ-เค ฟลิปฟลอป 4 ตัว	7
รูปที่ 1.11	การตอบสนองต่อสัญญาณกระตุ้นของวงจรโมโนสเตเบิลสองแบบ	8
รูปที่ 1.12	ไอซีเบอร์ 555 เป็นโมโนสเตเบิลแบบหนึ่ง	9
รูปที่ 1.13	แสดงความผิดพลาดจากช่วงการนับ	10
รูปที่ 2.1a	MECL 10 K Basic Gate	12
รูปที่ 2.1b	MECL 10 KH Basic Gate	13
รูปที่ 2.2	MECL 10K Transfer Characteristic and Specification Points	16
รูปที่ 2.2	MECL 10 K Transfer Characteristics Specification Point	17
รูปที่ 2.3	MECL 10 K / 10 KH and MECL III Specified Logic Levels and Thresholds	18
รูปที่ 2.3	(continued) (C) MECL 10 KH DC Test PARAMETERS	19
รูปที่ 2.4	NOISE MARGIN versus POWER-SUPPLY CONDITIONS	20
รูปที่ 2.5	NOISE MARGIN versus POWER-SUPPLY VARIATION	22
รูปที่ 2.6	Series Gating	23
รูปที่ 2.7	Collector Dotting	23
รูปที่ 2.8	MECL III Master-Slave Type D Flip-Flop (MC1670)	26
รูปที่ 2.9	MECL Family Comparison	29
รูปที่ 2.10	Low Level Amplifier Using a MECL Line Receiver	33
รูปที่ 2.11	Gain versus Frequency for MECL Line Receivers	34
รูปที่ 2.12	MECL Schmitt trigger and Hysteresis Curves	34

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

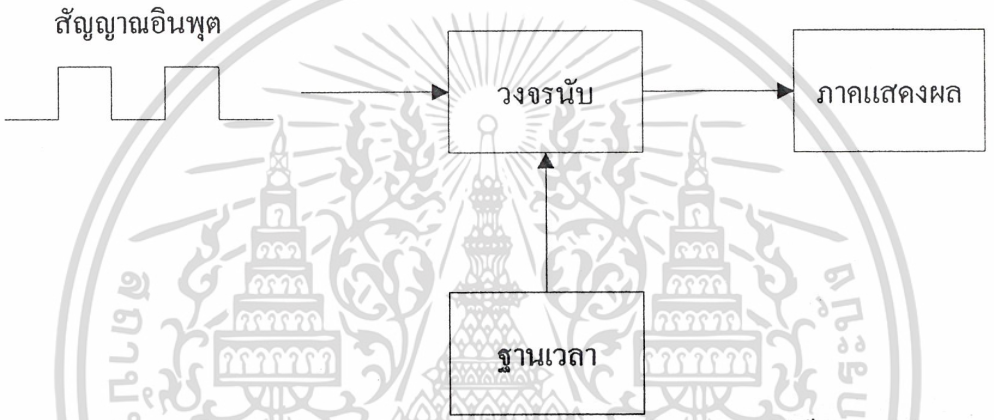
รูปที่ 3.1	Block Diagram ของเครื่องวัดความถี่	35
รูปที่ 3.2	Block Diagram ของฐานเวลา	36
รูปที่ 3.3	Timing Diagram ของสัญญาณจากฐานเวลา	38
รูปที่ 3.4	แสดงการใช้ JK FlipFlop เป็นโมโนสเตเบิล	38
รูปที่ 3.5	วงจรคริสตัลออสซิเลเตอร์	40
รูปที่ 3.6	วงจรหารความถี่	41
รูปที่ 3.7	วงจรโมโนสเตเบิล จาก JK FlipFlop	42
รูปที่ 3.8	วงจรส่วนวัดค่าความถี่	43
รูปที่ 3.9	วงจรส่วนฐานเวลา	44
รูปที่ 3.10	วงจรส่วนแสดงผล	45
รูปที่ 4.1	สัญญาณอินพุท	47
รูปที่ 4.2	สัญญาณที่เอาท์พุทของ ตัวAmplifier	47
รูปที่ 4.3	สัญญาณเอาท์พุทของSchmitt trigger ในขาลบ	48
รูปที่ 4.4	สัญญาณเอาท์พุทของSchmitt trigger ในขาบวก	48
รูปที่ 4.5	สัญญาณเอาท์พุทของ ECL Prescaler	49

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
หลักการเบื้องต้นของเครื่องวัดความถี่

1.1 หลักการเบื้องต้น

ความถี่ 1 เฮิร์ท (H_Z) หรือ ไซเคิลต่อวินาที (Cycle / second) หมายถึงการเปลี่ยนแปลงของสัญญาณแล้วกลับมาตำแหน่งเดิมอีก 1 รอบพอดีในเวลา 1 วินาที นั่นคือถ้าเรามีวงจรนับแล้วเราควบคุมให้วงจรนับนั้นทำงานใน 1 วินาที จำนวนพัลส์ที่นับได้ก็จะเป็นความถี่ของสัญญาณที่เราต้องการวัด โดยเราต้องทำการสร้างสัญญาณฐานเวลา (Time Base) เพื่อเป็นการควบคุมการทำงานของวงจรนับ ดังรูปที่ 1.1



รูปที่ 1.1 บล็อกไดอะแกรมแสดงการทำงานของเครื่องวัดความถี่พื้นฐาน

เนื่องจากวงจรนับที่ใช้มีการจำกัดความถี่ที่ทำการนับได้มีค่าไม่เกิน 28 MH_Z แต่เราต้องการวัดความถี่ที่สูงถึง 200 MH_Z จึงต้องมีการใช้ตัวปรีสเกลเลอร์ เพื่อหารความถี่ลงให้เหลือในย่านที่สามารถวัดได้

ในภาคแสดงผลเราใช้ไมโครคอนโทรเลอร์มาเป็นตัวแสดงผลโดยแสดงผลผ่าน LED ตัวเลขเจ็ดส่วนจำนวน 7 หลัก เนื่องจากไมโครคอนโทรเลอร์มีความสามารถในการรับส่งข้อมูลได้ครั้งละ 8 บิต แต่ผลจากการวัดความถี่ 200 MH_Z จะได้ข้อมูลที่มีจำนวนถึง 21 บิต ดังนั้นจึงจำเป็นต้องมีตัวแลตช์ (Latch) เพื่อเป็นการพักข้อมูลหลังจากนับเสร็จ แล้วรอการอ่านจากไมโครคอนโทรเลอร์ต่อไป

ในการสร้างสัญญาณฐานเวลาเนื่องจากเราใช้ปรีสเกลเลอร์ในการหารความถี่ลงให้อยู่ในช่วงที่สามารถวัดได้ ซึ่งเราใช้วงจรหาร 64 มาเป็นตัวปรีสเกลเลอร์ และการแสดงผลเป็นตัวเลข 7 หลัก ซึ่งเป็นจำนวนเต็ม 3 ตำแหน่ง และทศนิยมอีก 4 ตำแหน่ง ซึ่งจะมีความละเอียดถึง 100 MH_Z หรือ คาบเวลาเท่ากับ 10 ms. ดังนั้นฐานเวลาที่สร้างขึ้น เพื่อชดเชยการปรีสเกลเลอร์จึงมีคาบเวลาเท่ากับ 64 x 10 ms. โดยฐานเวลานี้จะสร้างสัญญาณ 3 สัญญาณ คือสัญญาณแลทช์ สัญญาณรีเซท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

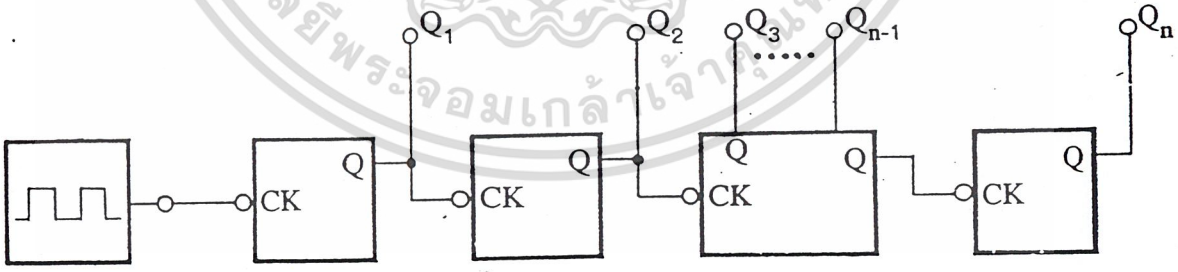
เพื่อควบคุมวงจรนับ และสัญญาณอินเตอร์รัปต์ เพื่อควบคุมไมโครคอนโทรเลอร์ โดยวงจรที่ใช้สร้างสัญญาณคือวงจรโมโนสเตเบิล

1.2 วงจรนับ (Counter)

วงจรนับปกติจะประกอบด้วยวงจรฟลิปฟลอปจำนวนหลาย ๆ ตัวนำมาต่อเข้าด้วยกันซึ่งการต่อโดยทั่ว ๆ ไปนั้นจะต่อได้ 2 แบบ คือต่อให้วงจรนับแบบไม่ต้องเข้าจังหวะ เรียกวงจรนับแบบนี้ว่า วงจรนับแบบไม่เข้าจังหวะ (Asynchronous counter) หรือเรียกอีกอย่างหนึ่งว่า วงจรนับแบบริปเปิล (Ripple counter) ส่วนอีกวงจรหนึ่งการนับจะนับแบบเข้าจังหวะ (Syschronous counter) ในขณะเดียวกันการนับจะแบ่งออกได้เป็น 2 แบบย่อย ๆ คือ วงจรนับขึ้นหรือนับเดินหน้า (Up counter) หมายถึง การนับที่เรียงลำดับจากน้อยไปหามาก โดยพิจารณาจากรหัสเลขฐานสอง เช่น วงจรนับ 4 บิต เริ่มนับจาก 0000 ไปจนถึง 1111 หากวงจรนับเริ่มนับรหัสเลขฐานสองจาก 1111 ถอยมาจนถึง 0000 อย่างนี้เราเรียกวงจรนี้ว่า วงจรนับถอยหลัง (Down counter)

1.2.1 วงจรนับแบบไม่เข้าจังหวะ

วงจรนับแบบนี้โดยทั่ว ๆ ไปมักเรียกว่า วงจรนับแบบริปเปิล การต่อวงจรแบบนี้ปกติจะใช้ทีฟลิปฟลอปเสมอ (ใช้ อาร์-เอส-เจ-เค หรือ ดีฟลิปฟลอปก็ได้ แต่ต้องต่อกันเป็นทีฟลิปฟลอปเสียก่อน) ขณะเดียวกันลักษณะการต่อให้ต่อกันเป็นวงจรเชิงอนุกรม โดยต่อเอาท์พุทของตัวแรกไปยังอินพุทของตัวที่ 2 และเรียงกันไปเรื่อย ๆ ดังแสดงในรูปที่ 1.2



รูปที่ 1.2 แสดงแผนผังการต่อวงจรนับแบบไม่เข้าจังหวะ

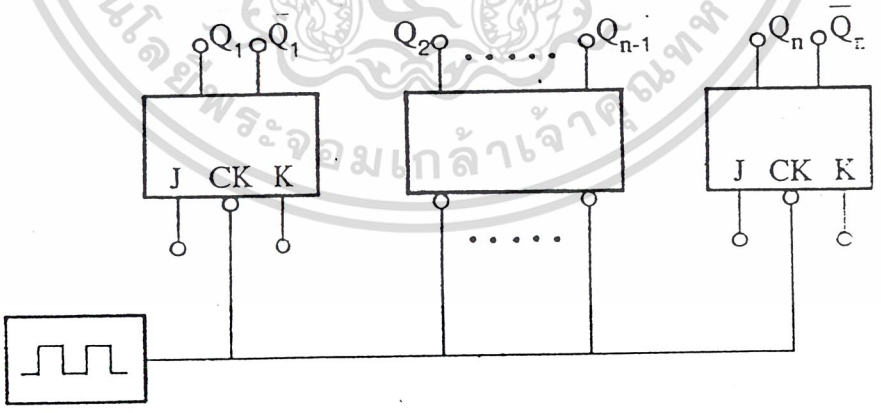
จากแผนผังที่แสดงในรูปที่ 1.2 เห็นว่าเอาท์พุทของฟลิปฟลอปตัวแรกจะเปลี่ยนแปลงในทุก ๆ ครั้งที่มีสัญญาณคล็อค และกลายเป็นสัญญาณอินพุตให้กับฟลิปฟลอปตัวที่ 2 ดังนั้นเอาท์พุท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ของฟลิปฟลอปตัวที่ 2 ก็จะเปลี่ยนระดับลอจิกทุก 2 ครั้งของสัญญาณคล็อค และตัวถัดไปเรื่อย ๆ จะเปลี่ยนสถานะของเอาท์พุตตามกฎ 2^{n-1} โดยให้ n คือจำนวนฟลิปฟลอปที่ต่อกันเป็นวงจรนับ เช่น ถ้าหารเราใช้ฟลิปฟลอป 4 ตัว ซึ่งเรียกว่า วงจรนับ 4 บิต ตัวที่ 4 จะมีการเปลี่ยนแปลงสถานะของเอาท์พุททุก ๆ 2^{4-1} หรือเท่ากับ 8 ครั้งของสัญญาณคล็อคทางด้านอินพุต ส่วนจำนวนนับรหัสเลขฐานสองสูงสุดที่เป็นไปได้คือ 2^n กำหนดให้ n คือจำนวนฟลิปฟลอป ถ้าฟลิปฟลอป 4 ตัว จะนับได้สูงสุด 2^4 คือ 16 (0000-1111) ดังนั้น ถ้าใช้ฟลิปฟลอป n ตัว จำนวนนับสูงสุด 2^n ครั้ง หลังจากนับครบ 2^n ครั้งแล้ววงจร จะย้อนกลับมาเริ่มนับใหม่อีกถ้าหากยังคงมีสัญญาณคล็อคทางด้านอินพุตต่อไป

1.2.2 วงจรนับแบบเข้าจังหวะ

การต่อวงจรนับแบบเข้าจังหวะนั้น ต้องต่ออินพุทคล็อคร่วมกัน หรือกล่าวได้ว่า การต่อวงจรนับแบบนี้ต่อในเชิงขนานกัน และวงจรแบบนี้จะใช้ฟลิปฟลอปแบบทีฟลิปฟลอปไม่ได้ เพราะจะต้องออกแบบการนับหรือควบคุมการนับโดยวิธีการควบคุมอินพุตอื่น ๆ เช่น ขั้วอาร์-เอส หรือขั้วเจ-เค ของใช้ฟลิปฟลอปควบคู่ไปกับอินพุตคล็อค ข้อดีของการต่อวงจรนับแบบนี้คือ การเปลี่ยนแปลงของเอาท์พุตเนื่องจากสัญญาณควบคุมคล็อคแต่ละพัลส์นั้นจะเกิดขึ้นพร้อมกันทุกตัว ถ้าฟลิป ฟลอปแต่ละตัวได้รับสัญญาณอินพุตที่เหมาะสมแล้ว เราสามารถออกแบบวงจรให้วงจรมีการนับอย่างไรก็ได้ โดยไม่จำเป็นต้องเรียงลำดับตามเลขฐานสอง แต่ข้อเสียของวงจรเหล่านี้คือ ถ้าต่อวงจรนับหลาย ๆ บิตวงจรจะไม่ประหยัดและการออกแบบวงจรทำได้ค่อนข้างยาก ซึ่งวิธีการต่อวงจรแบบนี้ดูได้จากรูปที่ 1.3

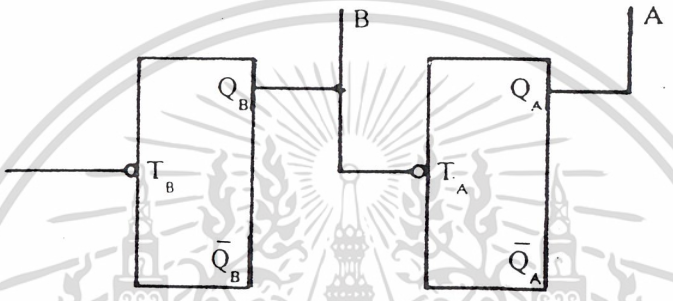


รูปที่ 1.3 แสดงแผนผังการต่อวงจรนับแบบเข้าจังหวะ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.2.3 วงจร Binary Ripple counter

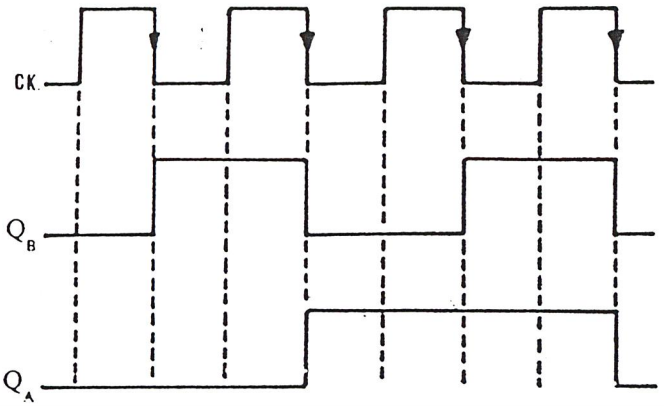
วงจรนับเป็นการประยุกต์ใช้งานของฟลิปฟลอป โดยถือหลักการว่าฟลิปฟลอป 1 ตัว จะเป็นการนับได้ 2 (0 ถึง 1) คือสภาวะหนึ่งอาจจะเป็น 0 เมื่อมีการ Trigger อีกครั้งจะเป็น 1 สลับกันไปเช่นนี้ นั่นคือ ฟลิปฟลอป 1 ตัว สามารถนับได้ 2 เลข คือ 0 กับ 1 ดังนั้นถ้าฟลิปฟลอป 2 ตัวต่อกัน เช่น มีทีฟลิปฟลอป 2 ตัว โดยที่แต่ละตัวทำงาน เมื่อมีการ Trigger ที่ขอบขาลงดังรูปที่ 1.4



รูปที่ 1.4 วงจรนับ 4 โดยใช้ทีฟลิปฟลอป 2 ตัว

จากรูป 1.4 เป็นทีฟลิปฟลอป 2 ตัว ต่อในลักษณะขา T ของตัวหลัง ต่อกับ Q ของตัวหน้า สมมุติว่า **ขณะที่ Q_A และ Q_B เป็น 0 ทั้งคู่ เมื่อ Clock pulse ที่ขาของ Clock input เปลี่ยนระดับจาก 0 เป็นทีฟลิปฟลอปตัวแรก (T_B) ยังไม่มีการเปลี่ยนสภาวะ เพราะเป็นการ Trigger ที่ขอบบาตั้งขึ้น** จนกระทั่งเมื่อ Clock pulse เปลี่ยนระดับจาก 1 เป็น 0 Q_B จะเปลี่ยนสภาวะเป็น 1 ถึงแม้ T_A จะต่ออยู่กับ Q_B ก็ตาม แต่ทีฟลิปฟลอปตัวหลังไม่ทำงานเพราะเป็นขอบขาขึ้น ซึ่งมันจะสนใจเฉพาะขอบขาลงเท่านั้นหลังจาก Clock pulse ลูกแรกผ่านไป ขณะที่ Q_B เป็น 1 ในขณะที่ Q_A เป็น 0 คือเลข $(01)_2$ หรือเลข $(1)_{10}$ นั่นเอง ต่อมาเมื่อ Clock pulse ลูกที่สองผ่านไป Q_B จะเปลี่ยนจาก 1 เป็น 0 ในขณะที่ Clock pulse เปลี่ยนสภาวะที่ขอบขาลงเมื่อ Q_B เปลี่ยนสภาวะจาก 1 เป็น 0 Q_A จะเปลี่ยนสภาวะจาก 0 เป็น 1 บ้างเพราะ T_A ได้รับการ Trigger ที่ขอบขาลง Q_B นั่นเอง ในขณะที่ Q_A เป็น 1 และ Q_B เป็น 0 คือเลข $(10)_2$ หรือ $(2)_{10}$ เมื่อ Clock pulse ลูกที่ 3 ผ่านไป Q_B จะเปลี่ยนสภาวะ 1 ใหม่ แต่ Q_A ไม่เปลี่ยนแปลงเนื่องจาก T_A ได้รับการ Trigger ที่ขอบขาขึ้น ซึ่งก็คือ $Q_A = 1$ และ $Q_B = 1$ คือเลข $(11)_2$ หรือ $(3)_{10}$ จนกระทั่ง Clock pulse ลูกที่ 4 ผ่านไป Q_B เปลี่ยนกลับมาเป็นสภาวะ 0 ใหม่ ทำให้ Q_A กลับเปลี่ยนมาเป็นสภาวะ 0 ด้วย การทำงานจะเห็นได้ชัดจาก Timing diagram ตามรูปที่ 1.5 และตารางการนับตามตารางตามรูปที่ 1.6

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 1.5 Timing diagram ของวงจรนับ 4

Inputpulse	Q_A	Q_B
0	0	0
1	0	1
2	1	0
3	1	1
4(หรือ 0)	0	0

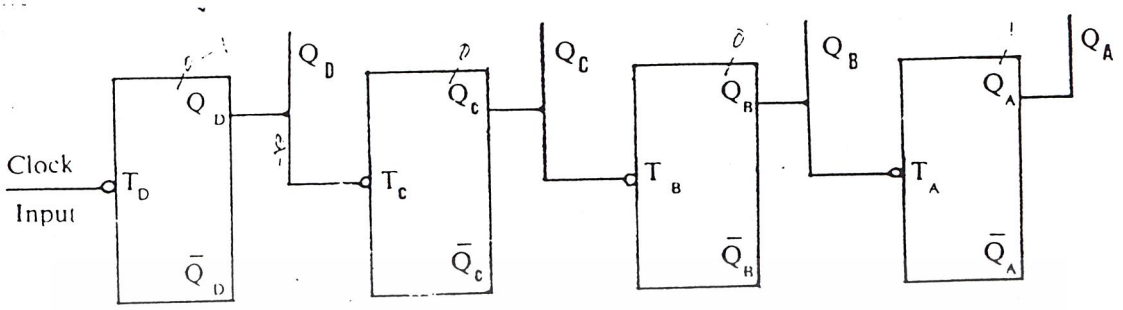
รูปที่1.6 ตารางการนับ 4

เราจะคิดกันอย่างง่าย ๆ จำนวนเลขฐานที่นับได้ เท่ากับจำนวน 2^n เมื่อ n เป็นจำนวน Stage ของฟลิปฟลอป ในที่นี้ ฟลิปฟลอปมี 2 ตัว จำนวนที่จะนับได้ทั้งหมดจึงเท่ากับ 2^2 หรือเท่ากับ 4 คือ นับจาก 0 ถึง 3 แล้วกลับมานับ 0 ใหม่

ถ้าหากต้องการนับ 16 (จาก 0 ถึง 15 หรือ 0000 ถึง 1111) ก็ต้องใช้ฟลิปฟลอป จำนวน 4 ตัว ต่อแบบอันดับ ตามรูปที่ 1.7

จากรูปที่ 1.7 เป็นวงจรนับ 16 หรือ วงจรนับ 4 ซึ่งมีลักษณะการต่อเหมือนวงจรนับ 4 Stage เพียงแต่ว่าจำนวนฟลิปฟลอปเพิ่มขึ้น ทำให้สามารถนับจำนวนได้มากขึ้นด้วย เราอาจเปรียบฟลิปฟลอป เป็น บิต ของเลขฐานสองได้ คือ 1 บิต มีการเปลี่ยนแปลงได้สองสถานะ คือ 0 กับ 1 ถ้ามี 2 บิต (ฟลิปฟลอป 2 ตัว) ก็จะมีสถานะที่ไม่เหมือนกันได้ 4 สถานะ คือ 00, 01, 10, 11 หากเป็น 3 บิต (ฟลิปฟลอป 3 ตัว) ก็จะมีสถานะที่ไม่เหมือนกันได้ 8 สถานะ คือ 000, 001, 010, 011, 100, 101, 110, 111 เป็นต้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



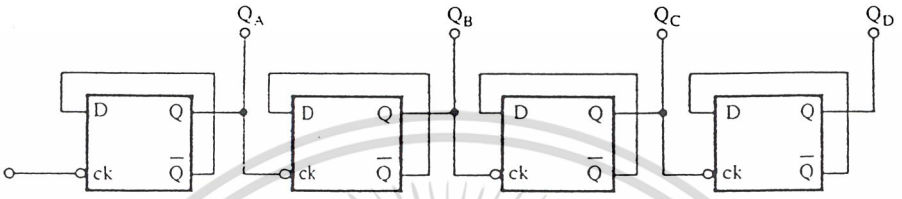
รูปที่ 1.7 วงจรนับ 16 โดยใช้ทีฟลิปฟลอป 4 ตัว

Input pulse	Q_A	Q_B	Q_C	Q_D
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1
10	1	0	1	0
11	1	0	1	1
12	1	1	0	0
13	1	1	0	1
14	1	1	1	0
15	1	1	1	1
16(หรือ 0)	0	0	0	0

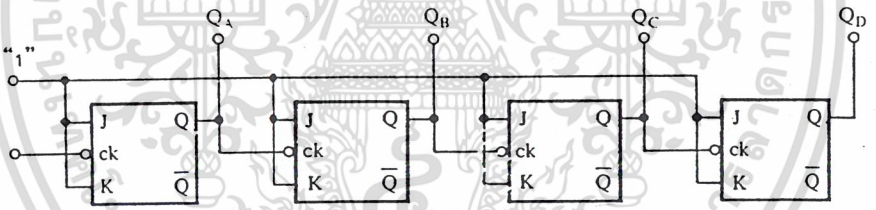
รูปที่ 1.8 ตารางการนับ 16

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในตารางการนับ 4 Stages (รูปที่ 1.8) จะสังเกตว่า Q_D จะมีการเปลี่ยนแปลงสถานะเกิดขึ้นตลอดเวลาที่ของขาลงของ Clock pulse แต่สำหรับ Q_C การเปลี่ยนแปลงสถานะจะเกิดขึ้นเมื่อ Q_D เปลี่ยนสถานะจาก 1 เป็น 0 เท่านั้น ในทำนองเดียวกัน Q_A และ Q_B ก็จะมีการเปลี่ยนแปลงสถานะก็ต่อเมื่อ Q_C และ Q_B เปลี่ยนสถานะในช่วงขอบขาลง ตามลำดับ



รูปที่ 1.9 วงจรนับ 16 โดยใช้ดีฟลิปฟลอป 4 ตัว



รูปที่ 1.10 วงจรนับ 16 โดยใช้ เจ-เค ฟลิปฟลอป 4 ตัว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.3 โมโนสเตเบิล (Monostable)

ในการใช้งานวงจรดิจิตอลนั้น มีบ่อยครั้งที่เราต้องการสร้างสัญญาณตัวเดียวที่สามารถปรับความกว้างของพัลซ์ได้ตามความต้องการ แหล่งกำเนิดสัญญาณพัลซ์ตัวเดียวนี้มีชื่อเรียกกันมากมาย แต่ชื่อที่นิยมมากที่สุดคือ โมโนสเตเบิล (Monostable) ซิงเกิลช็อท (single-Shot) หรือวันช็อท (One-Shot) หลักการของโมโนสเตเบิลขึ้นกับการนำเอาวงจรไบสเตเบิลและวงจรอะสเตเบิลมารวมกัน วงจรสามารถอยู่ในสถานะที่คงที่ได้เพราะคุณสมบัติของไบสเตเบิล สัญญาณพัลซ์เป็นตัวกระตุ้นให้วงจรออกจากสถานะที่คงที่ไปยังสถานะกึ่งกลาง (Quasi stable) ซึ่งเป็นคุณสมบัติ ของอะสเตเบิล

วงจรโมโนสเตเบิลนั้นสามารถสร้างขึ้นได้อย่างง่าย ๆ โดยใช้แนนด์เกต ซึ่งทำให้มีราคาถูก แต่วงจรที่สร้างจากแนนด์เกทนั้นจะมีประสิทธิภาพทางด้านความกว้างของสัญญาณที่ได้ไม่แน่นอนนัก สำหรับการนำไปใช้งานที่ต้องการความแน่นอนของความกว้างของสัญญาณ จำเป็นต้องใช้วงจรเฉพาะที่สร้างขึ้นมาสำหรับโมโนสเตเบิล

วงจรโมโนสเตเบิลแบ่งออกเป็น 2 แบบ คือ

1. แบบไม่รับการกระตุ้นซ้ำ (Non-retriggerable)
2. แบบยอมรับการกระตุ้นซ้ำ (Retriggerable)

ทั้ง 2 แบบมีหลักการทำงานคล้ายกัน จะต่างกันที่มีการยอมรับการกระตุ้นของอินพุทซ้ำอีกหรือไม่ ดังแสดงในรูป 1.11

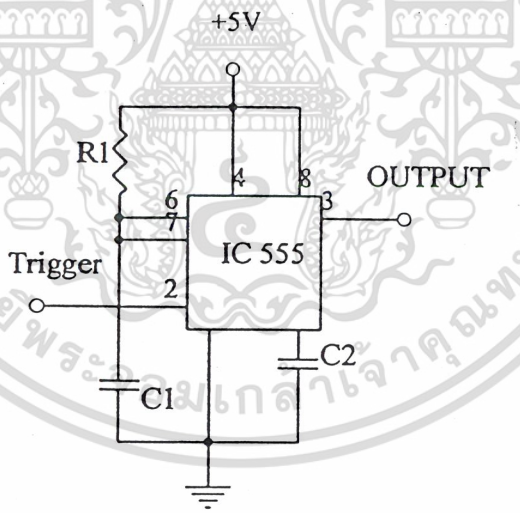
รูปที่ 1.11 การตอบสนองของสัญญาณกระตุ้นของวงจรโมโนสเตเบิลสองแบบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรที่ไม่รับการกระตุ้นซ้ำจะเริ่มทำงานตั้งแต่สัญญาณกระตุ้นอันแรก และในขณะที่อยู่ในสถานะกึ่งเสถียรนั้น จะไม่สนใจสัญญาณกระตุ้นอีก จนกว่าจะกลับเข้าสู่สถานะปกติแล้ว จึงยอมรับการกระตุ้นใหม่ ส่วนวงจรที่ยอมรับการกระตุ้นซ้ำนั้น คาบเวลา T จะเริ่มนับใหม่ทุกครั้งที่ได้รับสัญญาณกระตุ้น จะเห็นได้ว่า คาบเวลาทั้งหมดของสถานะกึ่งเสถียรแตกต่างกันในกรณีทั้งสองกล่าวคือ โมโนสเตเบิลแบบยอมรับการกระตุ้นซ้ำจะไม่คงที่ โดยขึ้นอยู่กับสัญญาณกระตุ้น

วงจรโมโนสเตเบิลที่เป็นไอซีสำเร็จรูปให้เลือกใช้หลายแบบเช่น ไอซีเบอร์ 555 ไอซีทีทีแอลและซีมอสเป็นต้น ไอซีเบอร์ 555 จัดอยู่ในจำพวก Linear IC (คำว่า Linear ในที่นี้หมายถึงแอนะ ล็อก) ออกแบบมาสำหรับใช้เป็นวงจรจับเวลา (Timer) มีลักษณะการทำงานเป็นวงจรโมโนสเตเบิลแบบไม่รับการกระตุ้นซ้ำดังรูป 1.13 คาบเวลา (T) ของเอาท์พุทที่เป็น “1” ขึ้นอยู่กับค่า R_1, C_1 โดยคำนวณได้จากสมการ $T = 1.1(R_1, C_1)$(วินาที) โมโนสเตเบิลที่เป็น ไอซี แอล มีทั้งแบบที่ยอมรับการกระตุ้นซ้ำ และแบบไม่รับการกระตุ้นซ้ำ

ประโยชน์ของวงจรโมโนสเตเบิลคือ ใช้ควบคุมความกว้างของพัลส์ให้มีค่าแน่นอน และใช้ปรับสภาพสัญญาณดิจิตอลในเชิงเวลา

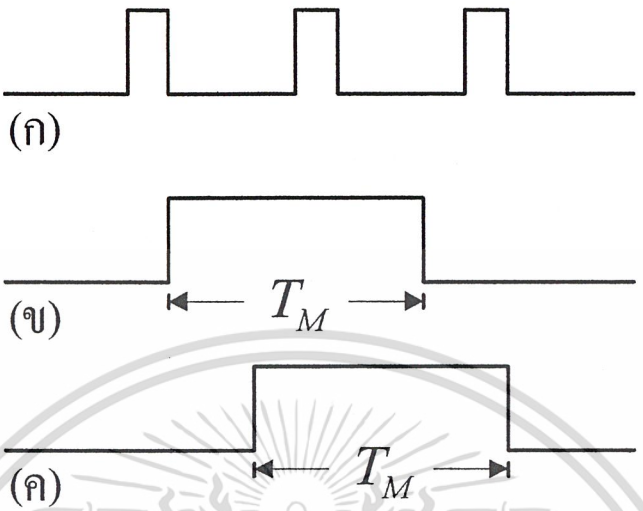


รูปที่1.12 ไอซีเบอร์ 555 เป็นโมโนสเตเบิลแบบหนึ่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.4 ความผิดพลาดที่เกิดขึ้นในเครื่องวัดความถี่

1.4.1 ความผิดพลาดจากช่วงการนับ (Quantitizing error)



รูปที่ 1.13 แสดงความผิดพลาดจากช่วงการนับ
ก. สัญญาณอินพุท
ข. ช่วงการนับครั้งที่ 1
ค. ช่วงการนับครั้งที่ 2

จากรูปในการนับสัญญาณด้วยช่วงการนับครั้งที่ 1(ข.) จะนับสัญญาณได้ 1 ลูก แต่เมื่อเปลี่ยนมาเป็นช่วงการนับครั้งที่ 2(ค.) ซึ่งมีคาบเวลาเท่ากับช่วงการนับครั้งแรก พบว่าจะนับสัญญาณได้ 2 ลูก แสดงให้เห็นว่า ถึงแม้คาบเวลาในช่วงการนับจะเท่ากัน ความถี่ที่ได้อาจไม่เท่ากันทุกครั้งในการวัด ความผิดพลาดเช่นนี้เป็นสิ่งที่หลีกเลี่ยงได้ยาก

1.4.2 ความผิดพลาดของระบบ (Systematic error)

ความผิดพลาดจากระบบ เกิดขึ้นเนื่องมาจากอุปกรณ์ส่วนประกอบต่างๆ ของเครื่องมือวัดนั่นเอง เช่นการหน่วงเวลาที่เกิดขึ้นจากอุปกรณ์ภายใน ความยาวของสายที่ทำการวัดทำให้ไม่แมตช์กันระหว่างสายโพรบกับเครื่องวัด ฯลฯ เหล่านี้ล้วนทำให้เกิดความผิดพลาดได้ทั้งสิ้น

1.4.3 ความผิดพลาดจากฐานเวลา (Time-base error)

ฐานเวลาเป็นส่วนที่สำคัญมากในเครื่องมือวัดความถี่ หากเกิดความผิดพลาดแม้เล็กน้อย จะทำให้ผลการวัดผิดพลาดไปมาก ในเครื่องมือวัดความถี่ทั่วๆ ไปแล้ว มักจะใช้วงจรกำเนิดความถี่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ด้วยแร่คริสตัล (Crystal Oscillator) เพราะมีความเที่ยงตรงสูงกว่าแบบอื่นๆ วงจรกำเนิดความถี่ด้วยแร่คริสตัลที่พบเห็นมี 3 แบบ คือ

1. คริสตัลออสซิเลเตอร์ที่อุณหภูมิห้อง
2. คริสตัลออสซิเลเตอร์ที่มีการควบคุมอุณหภูมิ
3. คริสตัลออสซิเลเตอร์ที่มีการชดเชยอุณหภูมิ

ออสซิเลเตอร์แบบแรกเป็นแบบง่ายๆ ออกแบบได้โดยไม่ต้องคำนึงถึงการเปลี่ยนแปลงของอุณหภูมิและสภาพแวดล้อมต่างๆ แบบที่ 2 จะมีการควบคุมอุณหภูมิภายในวงจร ส่วนแบบที่ 3 เป็นการออกแบบที่มีการพยายามที่จะปรับและชดเชยอุณหภูมิที่เปลี่ยนแปลงไป เพื่อลดผลของอุณหภูมิอันอาจทำให้การกำเนิดค่าความถี่ผิดพลาดไปได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2

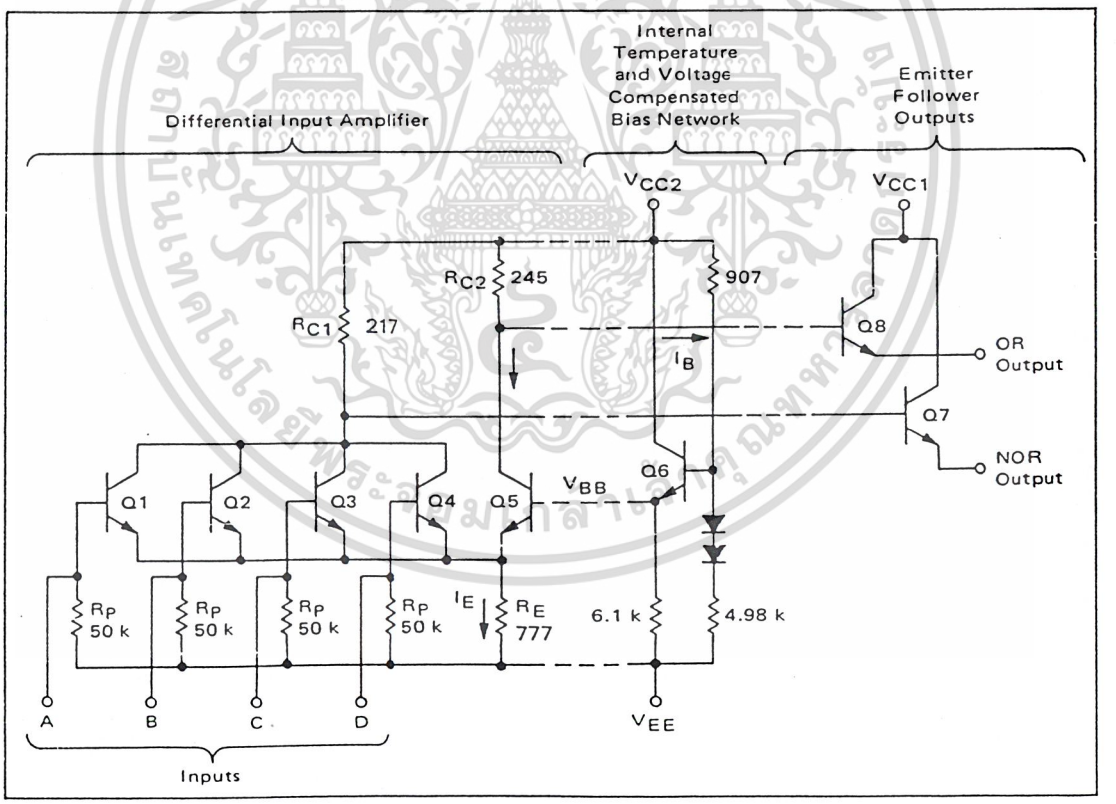
MECL

เกจ MECL พื้นฐาน

การออกแบบวงจรหรือออกแบบระบบให้ประสบความสำเร็จนั้นจำเป็นต้องมีความเข้าใจพื้นฐานเกี่ยวกับตระกูล logic ทั้งหลายที่ใช้เป็นส่วนประกอบใน ในส่วนต่อไปนี้จะได้อธิบายถึงรายละเอียดต่างของวงจร MECL รวมถึงเปรียบเทียบให้เห็นถึงความแตกต่างของ MECL ต่างๆ และแนะนำข้อกำหนดในการใช้วงจร MECL ในการออกแบบระบบ

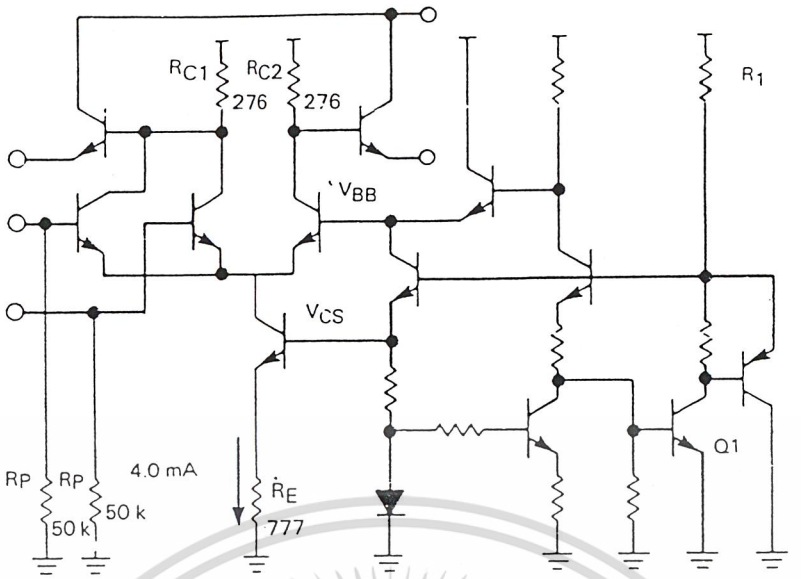
ภาพที่ 2.1a แสดงให้เห็นถึงลักษณะของเกจ MECL 10 K ซึ่งเป็นวงจรเกจพื้นฐานในตระกูล MECL 10 K โดยในภาพได้แยกแสดงถึงส่วนหน้าที่ต่างๆ ในวงจรเกจไว้

ในวงจรส่วน differential amplifier จะประกอบไปด้วยอุปกรณ์ที่ใช้กำหนดลักษณะของ logic ที่จะป้อนให้กับวงจร นอกจากนี้ยังมีจุดต่อแรงดันไฟฟ้าที่จำเป็นสำหรับต่อสายในที่แคบๆ อีกด้วย



รูปที่ 2.1a MECL 10 K Basic Gate

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.1b MECL 10 KH Basic Gate

ในส่วนชดเชยแรงดันไฟฟ้าและอุณหภูมิภายใน ทำหน้าที่จ่ายแรงดันไฟฟ้าให้ส่วน differential amplifier แรงดันไฟฟ้า bias voltage, V_{BB} ถูกกำหนดให้อยู่ตรงกลางของ signal logic swing โดยที่แรงดันไฟฟ้าจ่ายที่ –5.2 โวลต์ และอุณหภูมิโดยรอบเท่ากับ 25 °C วงจร MECL 10 K / 10 K H หรือ MECL III จะมี V_{BB} เท่ากับ –1.29 โวลต์ dc ตัวไดโอดในสายแบ่งแรงดันไฟฟ้าร่วมกับ Q6 จะป้อนอุณหภูมิเพื่อรักษาระดับคงที่ของระดับ logic ที่จุดตรงกลาง ซึ่งสามารถเปลี่ยนแปลงได้ตามอุณหภูมิ

จุดเด่นอีกอย่างหนึ่งของ bias supply คือมันสามารถรับแรงดันไฟฟ้าที่เปลี่ยนแปลงได้ ใน MECL 10 K ซึ่งยกเป็นกรณีตัวอย่าง จึงมีช่วงแรงดันไฟฟ้าที่ปฏิบัติการอยู่ที่ –5.2 โวลต์ ± 10% ในความเป็นจริงมันสามารถทำงานกับแรงดันไฟฟ้าที่มีช่วงกว้างมากกว่านั้นคือ –3.0 ถึง 8.0 โวลต์ หากแต่ในไฟฟ้ากระแสสลับกลับทำงานได้ไม่ดีนัก

เกจ MECL 10 KH ทั่วไปดังที่แสดงในภาพ 2.1b แสดงให้เห็นว่าทั้ง bias regulator และแหล่ง emitter resistor ของ MECL 10 K ได้ถูกแทนที่โดย voltage regulator และ แหล่งจ่ายไฟกระแสคงที่แล้ว โดยเฉพาะในเกจ MECL 10K H

Voltage regulator ตัวใหม่จะควบคุมความแปรปรวนของแรงดันไฟฟ้า output ให้มีพฤติกรรมเหมือน AC แหล่งจ่ายไฟคงที่นั้นอนุญาตให้ใช้กับ matched collector resistars ซึ่งจะให้ได้ matched delays ที่ดีกว่า matched output จะ tracking rate กับอุณหภูมิและระดับแรงดันไฟฟ้า output จะมีความแปรปรวนอันเกิดจากแหล่งจ่ายไฟเพียงเล็กน้อย นอกจากนี้ใน MECL 10 K ยังได้มีการปรับปรุงเกี่ยวกับ noise margins และ MECL 10 K H ถูกออกแบบมาให้ทำงานที่แรงดันจ่าย –5.2 โวลต์ ± 5%.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ส่วนของ emitter follower เป็นส่วนขับของ output โดยในส่วนนี้จะทำหน้าที่เปลี่ยนระดับจาก differential amplifier ให้เป็นระดับ output ของ MECL และให้ output เป็นแรงต้านทานต่ำๆ สำหรับใช้กับ transmission line ทั้ง MECL 10K / 10 K H และ MECL III ใช้สำหรับเปิด emitter output ด้วยเหตุผลนี้วงจรเหล่านี้จึงถูกออกแบบให้ใช้กับ transmission line และเมื่อถึงจุดสิ้นสุด output ในสายแล้ว ตัวต้านทานภายในจะลดกำลังไฟฟ้าลงเอง

วงจรตระกูล MECL 10K / 10 KH และ MECL III ถูกออกแบบมาเพื่อขับสาย transmission line โดยมีแรงดันไฟฟ้า input สองตัว V_{CC} V_{CC1} ใช้สำหรับป้อนกระแสให้ตัวขับ output และ V_{CC2} ใช้เพื่อป้อนกระแสให้คงอยู่ในวงจร สาย V_{CC} ที่แยกออกจากกันใช้เพื่อแยก crosstalk ระหว่างวงจร สำคัญกว่านั้นยังใช้ในการเร่งความเร็วของวงจรซึ่งสามารถทำได้โดยการแยกเดือย (spike) แรงดันไฟฟ้าออกกันเหมือนทำใน bias voltage, V_{BB} เกิดจากการรวมกันของกระแสกับ transmission line ในแต่ละเข็ม pin V_{CC} จะถูกต่อยู่กับระบบ ground โดยให้ระยะทางสั้นที่สุดเท่าที่จะเป็นได้ (เข็ม V_{CC} ทั้งหมดต่ออยู่กับระบบ ground เดียวกัน)

ตัวต้านทาน input ที่ pulldown ดังที่แสดงในภาพ 2.1a เป็นลักษณะของ MECL 10K, 10K H และ MECL III โดยทั้ง MECL 10K, 10K H และ MECL III ใช้ความต้านทานที่ 50 Ω เพื่อถ่าย input ที่รั่วไหลจาก transistor ตัวต้านทางเหล่านี้ช่วยมิให้ input ติดอยู่ที่ระดับ 0 ดังนั้นจะไม่เกิดการใช้ input ที่เปิดค้างเอาไว้

MECL Logic Levels

การคำนวณต่อไปนี้จะแสดงให้เห็นถึงการ switching ของเกจ MECL 10K ในทำนองเดียวกันอาจใช้การคำนวณนี้กับ MECL อื่นๆ ได้ แต่ต้องปรับระดับความต้านทานและแรงดันไฟฟ้าให้เหมาะสม เมื่อทุกๆ เกจ input มีแรงดันไฟฟ้าเกิดขึ้น V_{in} จะมีค่าเท่ากับระดับ 0 $|V_{IL}\ min| \geq V_{in} \geq V_{IL}\ max$, ตัว input transister ตั้งแต่ Q1 จนถึง Q4 ดังในภาพที่ 2.1a จะไม่นำกระแส เนื่องจากจุด comn emitter ของทั้ง 4 transister มีค่าอยู่ประมาณ –2.09 V ; $V_{BB} + V_{BEQ5} \approx$ -1.29V + (-0.80V) ซึ่งไม่เพียงพอต่อการ bias (base ของ emitter) บน Q1 ถึง Q4 สำหรับเป็นตัวนำ ฉะนั้นกระแส ($I_{E\phi}$) ที่ไหลผ่าน R_{C2}, Q5 และ R_E คือ

$$I_{E\phi} = (V_{EE} - (V_{BB} + V_{BE})) / R_E \approx -4.0\ mA.$$

แรงดันไฟฟ้าที่ตกที่ collector resistor หรือ RC2 สามารถคำนวณได้ดังนี้

$$V_{RC2} = I_{E\phi}R_{C2} + I_BR_{C2} \approx (-4.0\ Ma) \bullet (245\ \Omega) = -0.98\ V.$$

กระแส output ของ transistor, IB ถือว่ามีค่าน้อยเมื่อเทียบกับกระแส switch current ดังนั้น จึงตัดเทอมที่ 2 ข้างต้นออกไปได้ OR output ที่ได้จาก emitter – follow, Q8 ซึ่งตัดระดับ output โดย one base-emitter drop ให้ระดับแรงดันไฟฟ้าเป็น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$V_{OL\ OR} = V_{RC2} + V_{BE}$

V_{BE} = base ถึง emitter drop บน Q8 ซึ่งมีระดับกระแสเป็น logic 0 (i.e.. 6 mA ผ่าน Q8)

ตามปรกติ TA = 25 $^{\circ}$C

ด้วย base ของ NOR output emitter ทำให้ที่ Q7 จะมีค่าอยู่ประมาณ –0.05 V และ yielding output มีค่า –0.89 V ค่ากระแส output มีค่าเท่ากับ 22.5 mA และ TA = 25 $^{\circ}$C (แรงดันไฟฟ้า output และระดับกระแสไฟฟ้า ถูกสมมุติว่า 50 Ω load ที่ปลายสุด, VTT เท่ากับ –2.0 V)

$I_{EI} = (V_{EE} – (Vin + V_{BE})) / RE \approx$ -4.51 mA.

ที่ซึ่ง Vin = -0.89 V

V_{BE} = -0.80 V

กระแสที่ไหลผ่าน RC1 ก่อให้เกิดแรงดันไฟฟ้าทั้งชุด node ของ Q1 จนถึง Q4

$V_{RC1} \approx I_{E1}R_{C1} = (-4.51\ mA) \bullet (217\ \Omega) \approx -0.98$ V.

ท้ายที่สุด output ที่ emitter ผ่าน Q7 จะถูกลดระดับแรงดันไฟฟ้าลง one base-emitter drop ดังนี้

$V_{OL\ NOR} = V_{RC1} + V_{BE}$ (output device at 6 mA)

$\approx -0.98\ V + (-0.77\ V) = -1.75$ V,

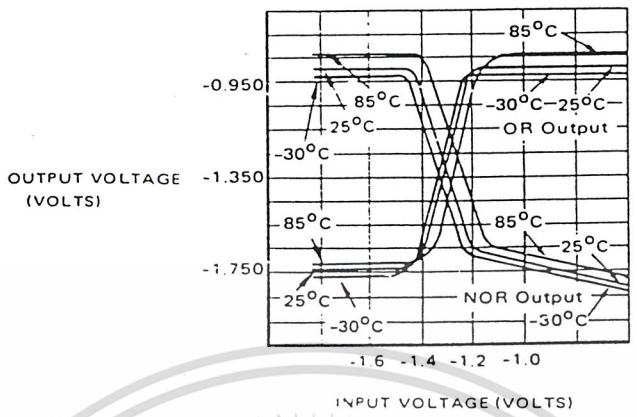
ที่ TA มีอุณหภูมิปรกติเท่ากับ 25 $^{\circ}$C

เส้น transfer curve ในภาพที่ 2.2 (a) และ (b) บอกให้ทราบถึงลักษณะของเกจ MECL 10 K ในขณะที่มีการ switching ข้อมูลในรูป 1-3 มาจากพฤติกรรมการแปลงค่าของ NOR เพื่อให้ Vin เพิ่มจาก V_{IL}min ขึ้นไปถึง V_{ILA}max ในระหว่างนี้ output จะยังมีสถานะที่ระดับ High และเมื่อ Vin ลดค่าจาก V_{ILA}max เป็น V_{IHA}min output ที่เกจ NOR จะเปลี่ยนเป็น Low ฉะนั้น input จะเป็นบวกเพิ่มขึ้นเรื่อยๆ จนมากกว่า V_{IHA} min และ output ก็จะเป็นลบไปเรื่อยๆ ดัง slop ที่มีค่าประมาณ –0.24

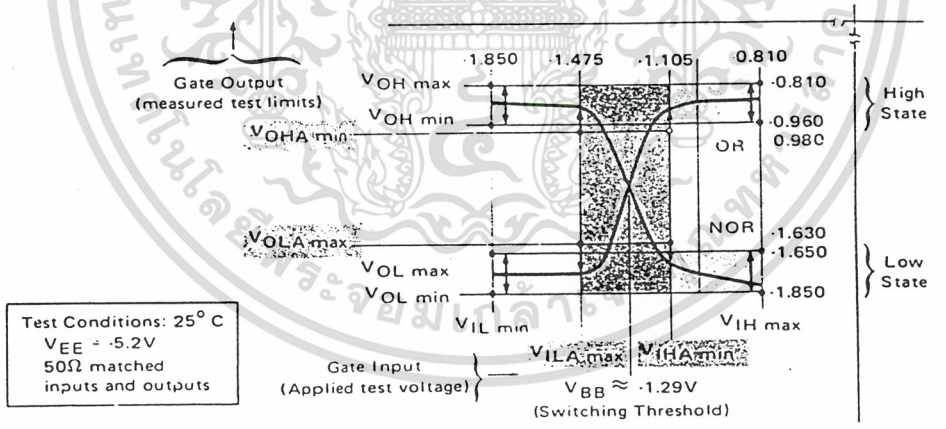
หาก input ยังคงมีทิศทางในด้านบวกต่อไปเรื่อยๆ มันจะเริ่มอิ่มตัวที่ –0.4 V เมื่อเลยจุดนี้ไป base-controller จะเริ่ม dias ณ.จุดอิ่มตัว และทำการ collector voltage จากนั้น output จะเริ่มเป็นบวกพร้อมๆ กับการเพิ่มระดับของ input เนื่องจากจุดอิ่มตัวอยู่สูงกว่า V_{OH}max การปฏิบัติงานในmode นี้จึงยังไม่เกิดขึ้น ในการปฏิบัติการแบบธรรมดา OR output level จะขึ้นอยู่กับ collector voltage ของ Q5 (ภาพที่ 2.1 a) โดยที่ output นี้จะไม่ได้รับผลกระทบใดๆ จาก input level ที่อยู่ในtransfer region

รูปที่ 2.2 (c) และ (d) เป็นรูปแสดงให้เห็นถึงพฤติกรรม switching ของ MECL 10 KH และรูปที่ 2.3 (c) เป็นรายละเอียดของค่า parameter ในการทดสอบ DC สำหรับ 10 KH รูปที่ 2.2 (d) เป็นระดับ output ของ NOR หลังจากที่ Vin ขึ้นถึง V_{IH} min ซึ่งเป็นขณะเดียวกับที่ MECL 10 K มี slop ลดลง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(a) TYPICAL TRANSFER CHARACTERISTICS AS A FUNCTION OF TEMPERATURE (MECL 10K)

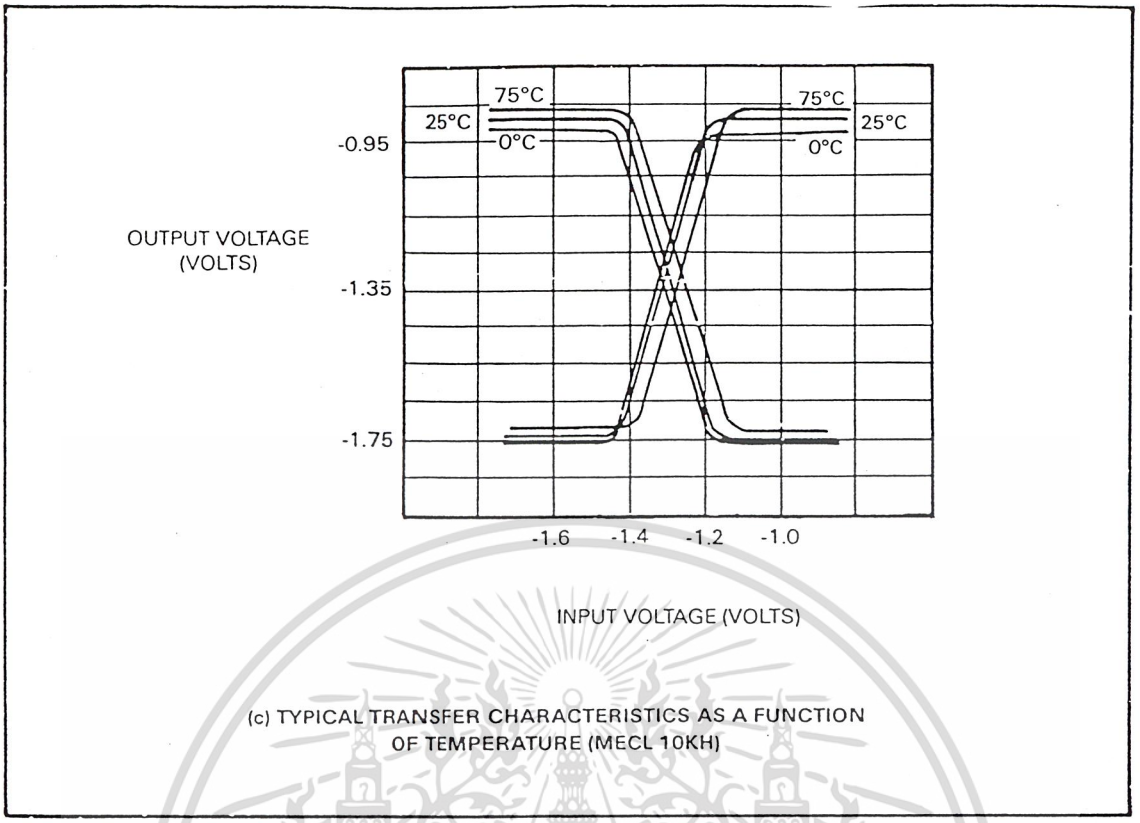


(b) MECL TRANSFER CURVES (MECL 10K EXAMPLE) and SPECIFICATION TEST POINTS

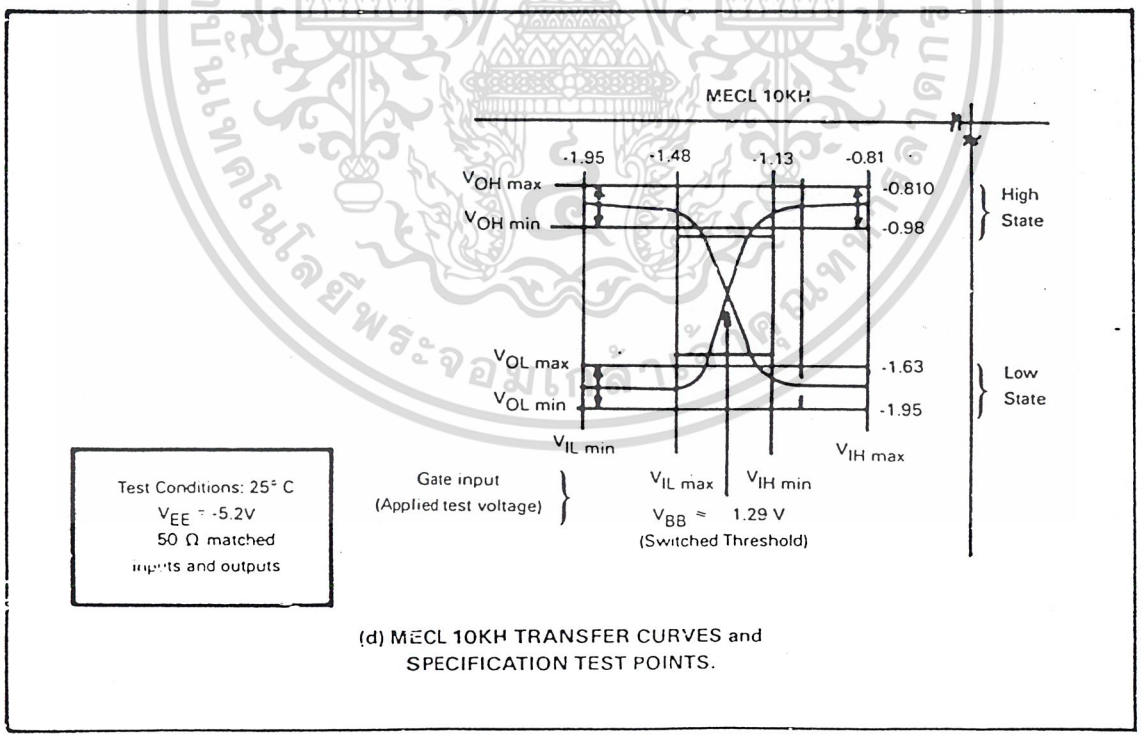
รูปที่ 2.2 MECL 10K Transfer Characteristic and Specification Points

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง



(c) TYPICAL TRANSFER CHARACTERISTICS AS A FUNCTION OF TEMPERATURE (MECL 10KH)



(d) MECL 10KH TRANSFER CURVES and SPECIFICATION TEST POINTS.

รูปที่ 2.2 MECL 10 K Transfer Characteristics Specification Point

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

50361

Forcing Function	Parameter	-55°C①	-30°C②	0°C②	25°C②	25°C①	75°C③	85°C②	125°C①	Unit
		MC10500 MC10600 MCM10500	MC10100 MC10200 MC10800	MCM10100	MC10100 MC10200 MC10800 MCM10100	MC10500 MC10600 MCM10500	MCM10100	MC10100 MC10200 MC10800	MC10500 MC10600 MCM10500	
V_{IHmax}	V_{OHmax}	-0.880	-0.890	-0.840	-0.810	-0.780	-0.720	-0.700	-0.630	Vdc
	V_{OHmin}	-1.080	-1.060	-1.000	-0.960	-0.930	-0.900	-0.890	-0.825	
V_{IHAmin}	V_{OHAmin}	-1.100 -1.255#	-1.080 -1.205	-1.020 -1.145#	-0.980 -1.105	-0.950 -1.105	-0.920 -1.045	-0.910 -1.035	-0.845 -1.000	Vdc
V_{ILAmax}	V_{OLAmax}	-1.510 -1.635	-1.500 -1.655	-1.490 -1.545	-1.475 -1.630	-1.475 -1.600	-1.450 -1.605	-1.440 -1.595	-1.400 -1.525	Vdc
V_{ILmin}	V_{OLmax}	-1.655	-1.675	-1.665	-1.650	-1.620	-1.625	-1.615	-1.545	Vdc
	V_{OLmin}④	-1.920	-1.890	-1.870	-1.850	-1.850	-1.830	-1.825	-1.820	
V_{ILmin}	I_{INLmin}	0.5	0.5	0.5	0.5	0.5	0.3	0.3	0.3	μA

NOTES: ① MC10500, MC10600, and MCM10500 series specified driving 100 Ω to -2.0 V.
② MC10100, MC10200, MC10800 and MCM10100 series specified driving 50 Ω to -2.0 V.
③ Memories (MCM10100) specified 0-75°C for commercial temperature range, 50 Ω to -2.0 V. Military temperature range memories (MCM10500) specified per Note 1.
④ Special circuits such as MC10123, and MC10800 family bus outputs have lower than normal V_{OLmin}. See individual data sheets for specific values.
#The MCM10149 specified V_{IHA} min @ -55°C to be -1.175 V and @ 0°C to be -1.130 V

Each MECL 10K series device as been designed to meet the dc specifications shown in the test table, after thermal equilibrium has been established. The circuits is in a test socket or mounted on a printed circuit board and transverse airflow greater than 500 linear fpm is maintained. V_{EE} = -5.2V ± 0.010 V.

(a) MECL 10K DC TEST PARAMETERS

Forcing Function	Parameter	-30°C	25°C	85°C	Unit
V_{IHmax}	V_{OHmax}	-0.875	-0.810	-0.700	Vdc
	V_{OHmin}	-1.045	-0.960	-0.890	
V_{IHAmin}	V_{OHAmin}	-1.065 -1.180	-0.980 -1.095	-0.910 -1.025	Vdc
V_{ILAmax}	V_{OLAmax}	-1.515 -1.630	-1.485 -1.600	-1.440 -1.555	Vdc
V_{ILmin}	V_{OLmax}	-1.650	-1.620	-1.575	Vdc
	V_{OLmin}	-1.890	-1.850	-1.830	
V_{ILmin}	I_{INLmin}	0.5	0.5	0.3	μA

NOTE: All outputs loaded 50 Ω to -2.0 Vdc except MC1648 which has an internal output pulldown resistor.

(b) MECL III DC TEST PARAMETERS

ELECTRICAL CHARACTERISTICS

Each MECL III series device has been designed to meet the dc specification shown in the test table, after thermal equilibrium has been established. The circuit is in a test socket or mounted on a printed circuit board and transverse airflow greater than 500 linear fpm is maintained. V_{EE} = -5.2 V ± 0.10 V.

รูปที่2.3 MECL 10 K / 10 KH and MECL III Specified Logic Levels and Thresholds

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Forcing Function	Parameter	0°C	25°C	75°C	Unit
$V_{IH\ MAX}$	$V_{OH\ MAX}$	-0.84	0.81	0.735	Vdc
	$V_{OH\ MIN}$	-1.02	0.98	0.92	
$V_{IL\ MIN}$	$V_{OL\ MAX}$	-1.63	-1.63	-1.6	Vdc
	$V_{OL\ MIN}$	-1.95	-1.95	-1.95	
$V_{IL\ MIN}$	$I_{INL\ MIN}$	0.5	0.5	0.3	μA

รูปที่ 2.3 (continued) (C) MECL 10 KH DC Test PARAMETERS

อาจจะกล่าวได้ว่าการผลิต MECL ในโรงงานนั้น ไม่ได้เกี่ยวข้องอะไรกับผู้ใช้ผลิตภัณฑ์โดยตรง แต่วิธีการผลิตมีความสัมพันธ์กับราคาผลิตภัณฑ์ ไม่ใช่เรื่องง่ายเลยที่จะสร้างวงจรตระกูล slower logic เนื่องจากมีการใช้ transistor ที่มีขนาดเล็กมากกว่าทั่วไป MECL มีจุดเด่นอยู่ที่ความง่ายในการใช้งาน โดยประการแรก แรงดันไฟฟ้าที่เกิดจากวงจร basic gate (ประมาณ 4.0 ใน MECL 10 K) ไม่ได้ขึ้นอยู่กับ transistor beta ดังนั้น transistor beta จึงสามารถมีความเร็วได้ตั้งแต่ 70 ถึง 300 ได้ ประการที่ 2 ระดับแรงดันไฟฟ้า output จะขึ้นอยู่กับ ไดโอด drop ใน high output และขึ้นอยู่กับอัตราส่วนตัวต้านทาน ใน low output โดยอัตราส่วนตัวต้านทาน (resistance ratio) สามารถมีค่าอยู่ในช่วง ±5% ถึง ± 20%

ประการที่สาม เนื่องจาก transistor ที่ใช้นั้นมีการอิ่มตัว gold doping ซึ่งตามปรกติใช้ลดเวลาสะสม กลับไม่จำเป็นต้องใช้ใน MECL ดังนั้นจะทำให้ได้ผลลัพธ์ที่ดีกว่า ประการที่ 4 collector-emitter มีแรงดันไฟฟ้าต่ำ ในการออกแบบจึงมีข้อจำกัดน้อยกว่า

เนื่องจากข้อดีต่างๆ ดังกล่าว รวมกับความสามารถของ Motorola ในการควบคุมการดำเนินงาน ทำให้ได้ผลิตภัณฑ์ MECL เป็นจำนวนมาก ซึ่งก็แน่นอนว่า จะทำให้ค่าใช้จ่ายในการออกแบบวงจรลดลง

Noise Margin

MECL 10 K และ MECL III

Noise margin คือแรงดันไฟฟ้าจำนวนหนึ่งที่ไม่ผ่านวงจร และเข้าไปในระบบปฏิบัติการ หรือ Noise margin คือ ค่าความแตกต่างระหว่าง ข้อผิดพลาดของระดับ logic input (VIHA min หรือ VILA max) กับข้อผิดพลาดสูงสุดของ output (V_{OHA}min หรือ V_{OLA}max) ที่เกิดจาก input เหล่านั้น ในรูปที่ 2.3 ได้แสดงรายละเอียดของขีดจำกัดความผิดพลาดสูงสุดของ MECL 10 K / 10 KH และ MECL III

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Noise margin ระดับสูงหาได้จากการลบค่า (V_{IHA} min) ออกจาก (V_{OHA} max) ในทำนองเดียวกัน noise margin ระดับต่ำก็สามารถหาได้จากการหักลบ (V_{OHA} max) ออกจาก (V_{IHA} min) การผิดพลาดสูงสุดของ noise margin ได้ประกันไว้อย่างน้อยสุด 0.125 โวลต์ สำหรับใน MECL 10K และ 0.115 โวลต์ สำหรับใน MECL III ในเพคเกจ dual in-line ตามปรกติ การใช้ระดับ output voltage ในวงจร MECL noise margin จะดีกว่าที่ประกันไว้ คือมีค่าประมาณ 75 มิลลิโวลต์

MECL 10 KH

ตระกูล MECL 10 KH มี output voltage 1 ชุด คือ (V_{OH} และ V_{OL}) ซึ่งจะมีการกำหนดค่าต่ำสุดและสูงสุดไว้ ค่าน้อยสุดของ V_{OH} และ ค่ามากสุดของ V_{OL} ในตระกูล MECL 10 KH จะมีค่าเหมือนกับค่า V_{OHA} และ V_{OLA} ที่กำหนดในตระกูล MECL 10 K

ค่า V_{OH} ในวงจร MECL 10 KH จะเท่ากับหรือดีกว่าค่า V_{OH} ในวงจร MECL 10 K ในทุกๆ ช่วงอุณหภูมิ input voltage (V_{IH}min และ V_{IL}max ใน MECL 10 KH ซึ่งก็เหมือนกับ V_{IHA} และ V_{ILA} ใน MECL 10 K) อีกทั้งวงจรเหล่านี้ได้มีการปรับปรุงขึ้น โดยผลจากการปรับปรุงทำให้ noise margin ระดับ "1" เท่ากับ margin ระดับ "0" ที่ 150 mA. อีดทั้งมีการลดลงของช่วงอุณหภูมิดำเนินการสำหรับ MECL 10 KH และปรับปรุงในเรื่อง tracking rate ที่ยินยอมให้สำหรับระดับต่ำกว่า V_{OL} สำหรับ MECL 10 KH (-1950 m V แทนค่า –1850 m V สำหรับ MECL 10 K) การเปลี่ยนแปลงเหล่านี้ไม่ได้มีผลกับระบบ noise margin แม้ว่าจะมีบางระดับที่เปลี่ยนแปลงเนื่องจากอุณหภูมิ แต่สำหรับการเปลี่ยนแปลงแรงดันไฟฟ้าก็ยังคงใช้ได้ดีหากอยู่ในช่วงที่วงจรรับได้ ภาพที่ 2.4 แสดงรายละเอียดของ noise margins สำหรับการแปรปรวนของแหล่งจ่าย

Parameter		V_{EE} - 10% Typ Min		V_{EE} - 5% Typ Min		V_{EE} Typ Min		V_{EE} +5% Typ Min	
Noise Margin high	10KH	224	150	227	150	230	150	233	150
V_{NH}(mV)	10K	127	47	166	86	205	125	241	164
Noise Margin Low	10KH	264	150	267	150	270	150	273	150
V_{NL}(mV)	10K	223	103	249	129	275	155	301	181

รูปที่ 2.4 NOISE MARGIN versus POWER-SUPPLY CONDITIONS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตัวแปรที่ 2 ของ noise ที่น่าสนใจสำหรับใช้ในการออกแบบ เกิดจากการต่อ gate ผิดพลาด ต่อเรียงกันไปเรื่อยๆ โดยที่ขนาดต่ำสุดของ noise input จะแพร่ผ่านไปทางเกจ จนในที่สุดจะวัดขนาดได้เกินกว่า dc noise margin และแล้วก็จะกลายเป็น noise immunity หรือ ac noise immunity จากการทดสอบได้แสดงให้เห็นว่า noise immunity ตามปรกติจะมีค่าน้อยที่สุดที่ 40 มิลลิโวลต์ ซึ่งมีค่ามากกว่า dc noise margin ที่กำหนดไว้โดยระดับแรงดันไฟฟ้า อย่างไรก็ตาม ac noise immunity มีความยากลำบากในการวัดค่า ทำให้ไม่สามารถระบุค่าของมันใน ตารางข้อมูล (data sheet) ได้

ในการออกแบบวงจร ผู้ใช้จะเข้าไปเกี่ยวข้องกับ noise margin ในกรณีที่กลไก (device) มีอุณหภูมิแตกต่างกัน และมีแรงจ่ายไฟฟ้าต่างระดับกัน ในรูปที่ 2.3 ได้แสดงตารางข้อผิดพลาดที่เกิดกับ logic level อันเป็นผลมาจากการเปลี่ยนแปลงของอุณหภูมิ เช่นเดียวกับ การเปลี่ยนแปลงของระดับ output อันเนื่องมาจากปัจจัยแรงจ่ายไฟฟ้า logic 1 level ไม่ได้ขึ้นอยู่กับแรงดันไฟฟ้าจ่ายหรือการเปลี่ยนแปลงระดับ output ซึ่งตามปรกติจะมีค่าน้อยกว่า 0.05 ของการเปลี่ยนแปลง V_{EE} การเปลี่ยนแปลงในระดับ ϕ เป็นผลมาจากอัตราส่วนของตัวต้านทานใน current switch ซึ่งตามปรกติจะมีค่า 0.25 ของการเปลี่ยนแปลง V_{EE} ค่าเหล่านี้เป็นค่าที่ใช้ประกอบการ rejection ของการแปรปรวนในแหล่งจ่ายไฟฟ้าซึ่งเป็นพฤติกรรมหนึ่งของ MECL

การเปรียบเทียบระหว่าง MECL 10 KH และ MECL 10 K ที่จะกล่าวต่อไปนี้ การเปรียบเทียบจะเปรียบกันที่ noise margin ที่ยอมรับได้ ใน MECL 10 KH และ MECL 10 K สำหรับระบบที่มีทั้ง MECL 10 KH และ MECL 10 K ผสมกัน จะสมมุติว่าตระกูล MECL เหล่านี้สามารถเข้ากันได้ หาก noise margin ของระบบแบบผสมนี้ มีค่าเท่ากับหรือดีกว่า ระบบที่ใช้ MECL ชนิดเดียว

การใช้ระบบ MECL 10 K ดังที่กล่าวไปแล้วข้างต้น การผสม logic ที่เป็นได้ต้องพิจารณาจำแนกเป็นระบบ MECL 10 K ขับ MECL 10 KH, MECL 10 KH ขับ MECL 10 K และ MECL 10 KH ขับ MECL 10 KH noise magin ของทั้งสามกรณีข้างต้น สามารถแยกคำนวณได้ตามกรณี (ดูรูปที่ 2.5)

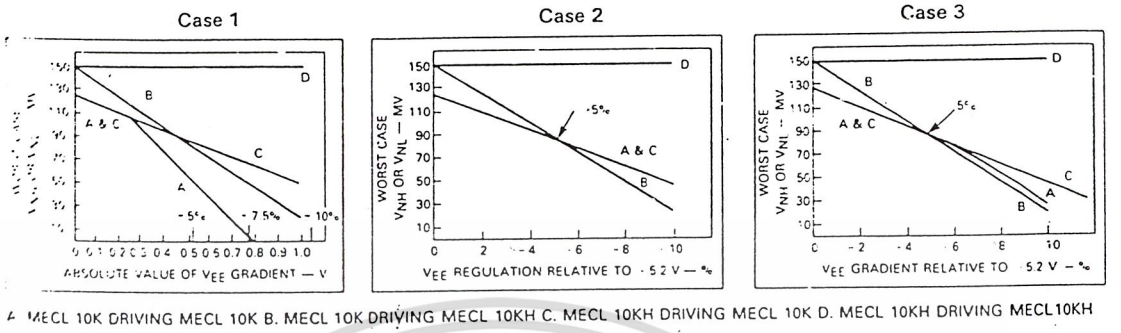
กรณีที่ 1 เป็นระบบที่มี power supply หลายทาง แต่ละวงจรจะมีแรงดันไฟฟ้าเป็นอิสระต่อกัน และมีแรงดันอยู่ในช่วงที่อุปกรณ์สามารถรับได้ กรณีนี้จะใช้ไม่ได้ตรงที่อุปกรณ์หนึ่งมีแรงดันไฟฟ้าอยู่ที่สุดขั้วแรงดันที่รับได้ทางด้านลบ ส่วนอีกอุปกรณ์มีแรงดันไฟฟ้าอยู่ที่สุดขั้วที่รับได้ทางด้านบวก

กรณีที่ 2 เป็นระบบที่มีแหล่งจ่ายไฟฟ้าแหล่งเดียวหรือมีหลายๆ แหล่งจ่ายแต่แบ่งเป็น slave หลายๆ อันต่อ master 1 อัน ระบบดังกล่าวนี้สามารถเปลี่ยนกลับกันไปมาได้แต่เมื่อเปลี่ยนแล้วทุกๆ อุปกรณ์จะต้องมีแรงดันไฟจ่ายให้เหมือนเดิม

กรณีที่ 3 ระบบถูกระงับแรงดันจ่ายทั้งหมด ความลาดของไฟจ่าย (Supply gradient) จะเนื่องมาจาก resistance drop ใน V_{EE} bus

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากการวิเคราะห์ชี้ชัดว่า noise margin ของระบบ MECL 10 K / 10 KH มีค่าเท่ากัน หรือ margin สำหรับทุกๆ 10 K ที่รองรับ supply อยู่ที่ ± 5% ผลการวิเคราะห์เป็นไปตามรูปที่ 2.5

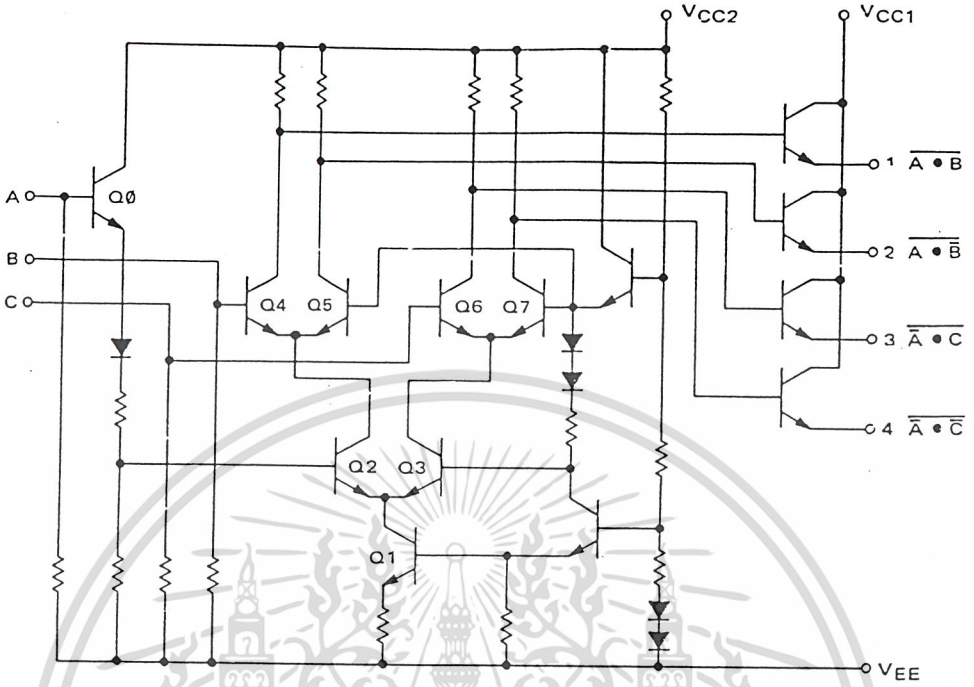


รูปที่ 2.5 NOISE MARGIN versus POWER-SUPPLY VARIATION

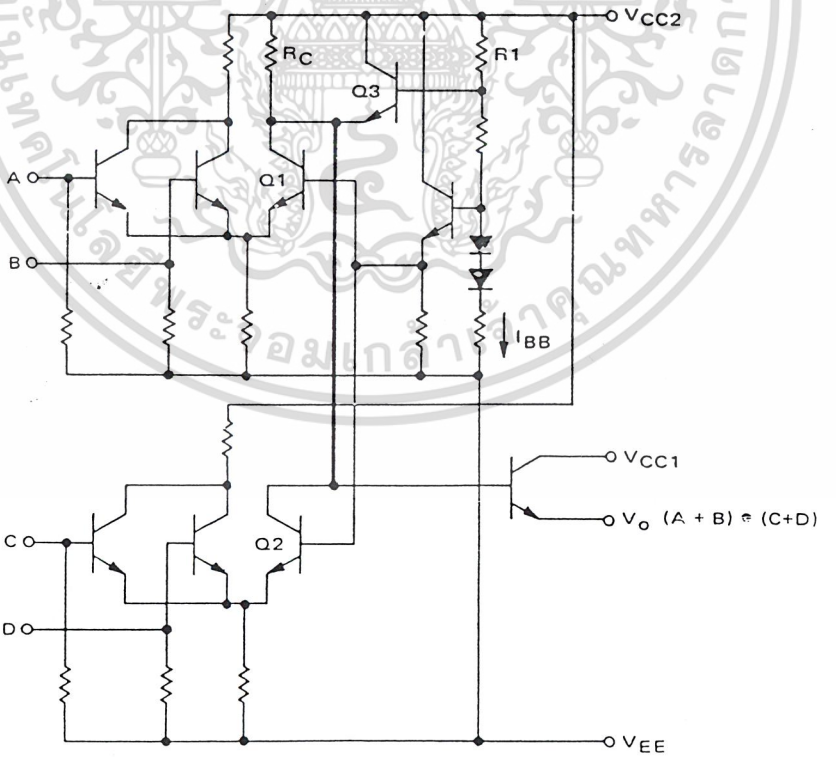
ประเภทของวงจร MECL

เป็นไปได้ที่จะเชื่อมต่อวงจรพื้นฐาน MECL differential amplifiers เข้าด้วยกันภายในวงจร เพื่อทำให้เกิด logic flexibility, ความเร็ว และสมรรถภาพกำลังไฟดีขึ้น ในการต่อมีเทคนิค 2 อย่าง แรกคือ ต่อแบบอนุกรม และ การทำ collection dotting ด้วยการเพิ่ม NAND และ AND logic function เข้ากับตัว OR และ NOR ของเกจ MECL ซึ่งจะทำให้มีการหน่วง (delay) เพิ่มขึ้นเพียงเล็กน้อยเท่านั้น เทคนิคที่ 3 คือ การทำ Wired-OR โดยการใช้ logic OR function โดยทำ tying ตัว emitter-follow transistor เข้าไป 2 ตัวหรือมากกว่า เหล่านี้ข้างต้น ใช้ function เชิงซ้อนภายใน ในการรักษาความเร็วและกำลังไฟ แต่ไม่เหมือนกับวิธี collector dotting ที่ใช้การเชื่อมต่อภายนอก โดยต่อตัว logic output เข้าด้วยกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.6 Series Gating



รูปที่2-7 Collector Dotting

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การต่อ เกจอนุกรมซึ่งเข้ากันนั้น ทำได้โดยการการต่อ MECL differential amplifier เข้ากันด้วยกันทาง current-switch เป็นแบบต้นไม้ "tree" สร้างได้จากแหล่งกระแส Q1 ดังที่เห็นในภาพ 2.6 ที่ input control ทำการ switch Q2 / Q3 ผ่านทางการเปลี่ยนระดับ Qϕ และเชื่อมต่อโครงข่าย resistor diode bias network ถูกปรับแต่งขึ้นมาเพื่อเตรียมระดับแรงดันที่ Q3 ให้พร้อม ซึ่งที่ Q3 level จะต่ำกว่า Q7 และ Q5 ชุด upper switch 2 ชุด จะถูกควบคุมโดยใช้ input ของ B และ C วงจร โดยรวมทั้งหมดจะมี 4 logic function คือ $\overline{A \bullet B}, \overline{A \bullet \overline{B}}, \overline{\overline{A} \bullet C}$ และ $\overline{\overline{A} \bullet \overline{C}}$ วงจร MECL สร้างเป็น เกจอนุกรม 3 ระดับทำให้กลายเป็น 8 logic function โดยใช้แหล่งจ่ายกระแสเพียงแหล่งเดียว

Delay ที่แพร่ไปจาก input ไปถึงยอดของ switch กระแส มีอยู่ประมาณ 1 เกจ delay delay ที่แพร่จาก input ไปที่ระดับต่ำกว่าของ current switch จะมีระยะยาวนานกว่า เพราะระดับ input เปลี่ยน Qϕ ตามปรกติจะมีค่าประมาณ 1.5 gate delay สำหรับข้อมูลอื่นๆ นอกเหนือจากที่ได้กล่าว สามารถดูได้จากตารางสำหรับแสดงรายละเอียด

เกจต่ออนุกรม ได้เปรียบกว่า MECL logic เนื่องจากมันจะมีผลเป็น AND หรือ NAND logic function การรวมกันของ OR / NOR function ของเกจพื้นฐาน MECL ซึ่งมี 4 logic function มีความจำเป็นต่อการออกแบบ logic ให้มีประสิทธิภาพ เกจอนุกรมถูกใช้ภายใน MECL ส่วนใหญ่ที่มี function เชิงซ้อนและ flip flop

การ dotting (Collector dotting) เป็นเทคนิคที่สองที่ใช้ใน MECL 10K / 10 KH ต่ออนุกรม เหตุที่ใช้เทคนิคนี้เพราะ logic AND function นั้นสามารถทำได้โดยการต่อกลุ่ม node ภายใน นำมามาเชื่อมต่อกันกลุ่มต่อกลุ่ม ดังในรูปที่ 2.7 เมื่อต่อด้วยวิธีนี้ 2-input OR gate มี logic function ดังต่อไปนี้

$$V0 = (A + B) \bullet (C + D)$$

ชุดตัวต้านทาน (RC) จะใช้กับ transistor Q1 และ Q2 การต่อภายใน (interconnect) ต้องการ input อย่างน้อย 1 ตัวโดยแต่ละตัวมี logic เป็น 1 เพื่อให้ output ออกมาเป็นระดับ 1 ด้วย ดังนั้นจึงเป็นไปได้ที่จะใช้ทั้ง Q1, Q2 ในการนำไฟฟ้าในเวลาเดียวกัน (ทุก input อยู่ในสถานะ low) clamp ถูกนำมาใช้สำหรับจำกัดกระแสใน RC และใช้ในการรักษาระดับแรงดันไฟฟ้า output ให้เป็น logic ϕ

Champ จะประกอบไปด้วย R1 และ Q3 เราจะแน่ใจได้แน่ว่า ทั้ง Q1 / Q2 ในชุด node จะไม่เป็นลบไปมากกว่า (IBBR1 + VBEQ3) การแพร่ของ delay ในทุกๆ อินพุทที่เป็นวงจรชุด dotted จะมีค่าเท่ากัน ซึ่งโดยปรกติจะมีค่ามากกว่า เกจ delay พื้นฐานอยู่ราว 20 %

เพื่อให้รับต่อการแปรปรวนของอุณหภูมิได้ collection – dotted logic function จะต้องถูกออกแบบให้มี VOL เหมือนกับ เกจ logic ธรรมดาที่ TA = Tmax เมื่อทุกๆ เกจมี input ทั้งหมดเป็น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

logic 0, VOL จะเป็นลบมากกว่าเกจธรรมดานิดหน่อย ลักษณะดังกล่าวไม่ได้มีผลให้จำกัดการดำเนินงานของอุปกรณ์ แต่จะเพิ่ม noise immunity สำหรับเกจ 0 level

ชุด collector dot (OR – AND) logic function มีการต่อแบบอนุกรมและพฤติกรรมของ Wired-OR ของ MECL เชิงซ้อน ทำให้ได้การออกแบบที่มีประสิทธิภาพมากขึ้น มีความเร็วแบบ complex logic function มากขึ้น

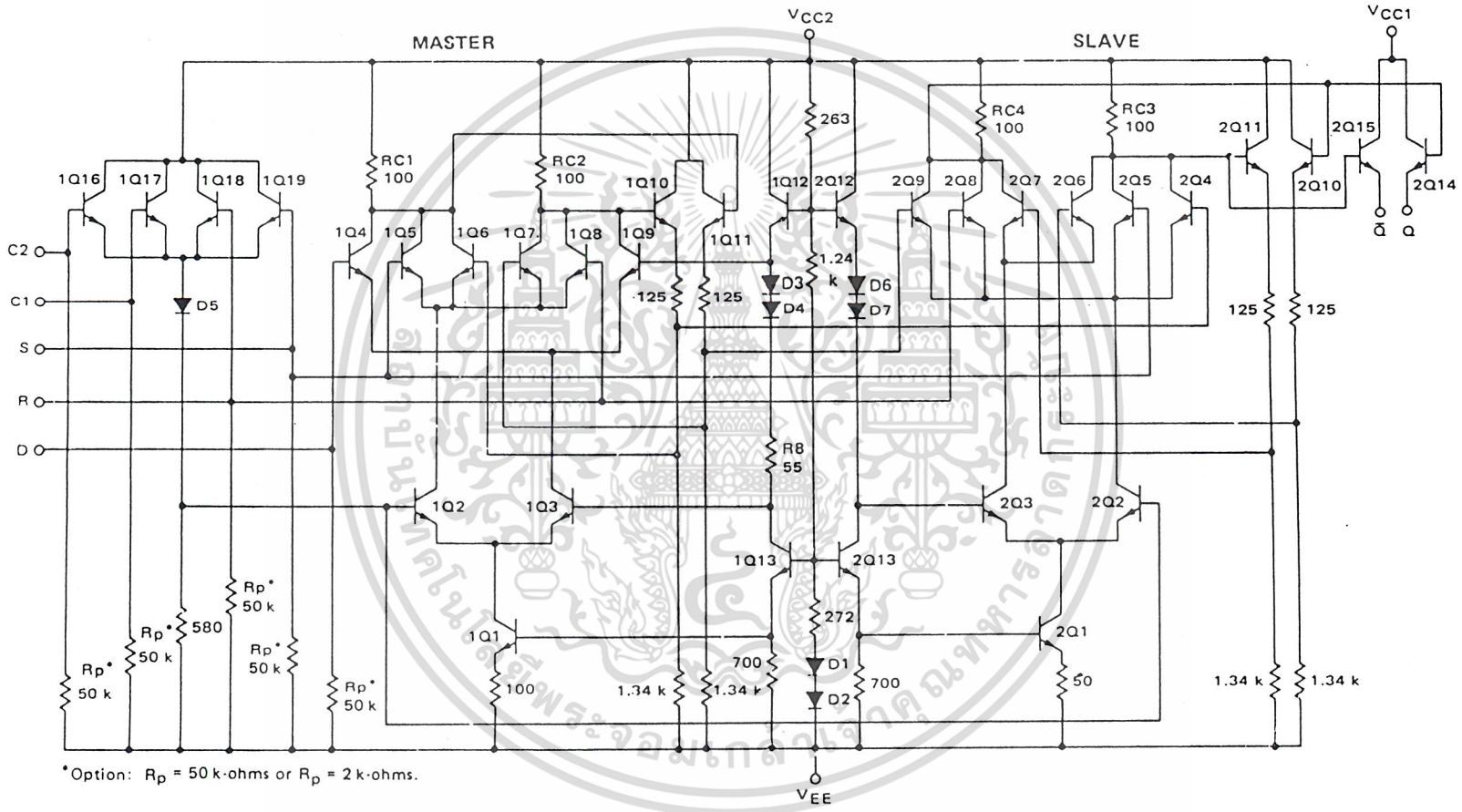
MECL Flip-Flops

วงจร MECL 10 K / 10 KH และ MECL III flip-flops ทั้งหมด ใช้เพื่อการกำหนดคู่วงจร master - slave ดังที่ได้แสดงในภาพที่ 2.8 ซึ่งแสดงภาพ MC 1670 ในแต่ละคู่วงจรที่ถูกกำหนดขึ้นตัว master จะมีการปรับเปลี่ยนไปอยู่เสมอเมื่อสัญญาณนาฬิกาเป็น low และข้อมูลจะถูกส่งยังส่วน slave ในตอนที่สัญญาณเป็นบวก วงจรแบบนี้สามารถต้อต้าน noise ได้ดีกว่าวงจร ac coupled และไม่อ่อนไหวไปกับ overshoot ใน input นอกจากนี้ master – slave flip - flops ยังไม่มีการจำกัดเวลาช่วงขึ้นของวงจรเชิงซ้อนอีกด้วย

การทำงานของ Flip – Flop

วงจรในรูปที่ 2.8 นั้น ถูกสมมุติว่าตอนเริ่มต้น Q, C1, C2, R, S และ D มีค่าอยู่ที่ระดับ ϕ และ $\overline{Q}$ อยู่ที่ระดับ 1 เริ่มต้น สัญญาณนาฬิกาและ R และ S input อยู่สถานะ low transistors 1Q3 และ 2Q3 จะกลายตัวนำไฟฟ้า ในส่วน output ของ slave จะมี fed back ย้อนกลับไปที่ transistors สองตัวดังกล่าวให้ทำตัวเป็น latch ฉะนั้นเมื่อสัญญาณนาฬิกาเป็น low สถานภาพ output ของ slave จะยังเหมือนเดิม ในส่วน master กระแสจะไหลผ่านไปทาง 1Q3 และ 1Q9

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.8 MECL III Master-Slave Type D Flip-Flop (MC1670)

ตอนนี้สมมุติว่า D input กลายเป็นสถานะ high สัญญาณ high-input บนฐานของ 1Q4 ทำให้มันนำไฟฟ้า และ 1Q9 ปิดลง และแรงดันไฟฟ้าตกคร่อมตัวต้านทาน RC1 ทำให้สถานะ low-state Voltage เกิดขึ้นบนฐานของ 1Q11 และบน emitter ของ 1Q11 เนื่องจากจำเป็นต้องทำให้ไม่มีกระแสไหลผ่าน RC2 ฐานของ transistor 1Q10 จะอยู่ในสถานะ high และเกิดการสะท้อนกลับใน emitter ของ 1Q10 และถูกโอนย้ายไปอยู่ที่ฐาน 1Q6 1Q6 ถูก bias สำหรับการนำไฟฟ้า แต่เนื่องจากไม่มีเส้นทางให้กระแสไหลผ่าน มันจึงไม่นำไฟฟ้า

คราวนี้สมมุติว่าหนึ่งของสัญญาณนาฬิกากลายเป็น high ขณะที่สัญญาณกำลังจะขึ้น transistor 1Q2 จะเปิด และ transistor 1Q3 จะปิด ทำให้เส้นทางกระแสสำหรับ common-emitter transistor 1Q5, 1Q6, 1Q7 และ 1Q8 ดังนั้นฐานของอุปกรณ์เหล่านี้ ยกเว้น 1Q6 จะอยู่ในสถานะ low กระแสไหลผ่าน 1Q6 ทำให้ฐานและ emitter ของ 1Q11 ยังคงสถานะ low ไว้ และฐาน และ emitter ของ 1Q10 อยู่ในสถานะ high สถานะ high บน 1Q10 และจะย้ายเข้าสู่ 2Q4 ของส่วน slave

ขณะที่สัญญาณนาฬิกามีการขึ้นอย่างต่อเนื่อง 2Q2 ก็เริ่มเปิด และ 2Q3 จะปิด (อ้างอิงแรงดันไฟฟ้าใน master slave จะค่อยๆ ถูกชดเชยสู่ clocking ที่แน่นอนของส่วน master) เนื่องจาก transistor 2Q2 นำกระแสและฐานของ 2Q4 อยู่ในสถานะ high เส้นทางการไหลของกระแส ตอนนี้คือ 2Q2, 2Q4 และ ตัวต้านทาน RC3 แรงดันไฟฟ้าที่ตกคร่อมตัวต้านทานจะมีสถานะแรงดันที่ low บนฐานของ 2Q11 ต่อเนื่องไปถึง emitter ของ 2Q11 ด้วย การขาดแคลนกระแสไหลบน RC4 เป็นเหตุให้ input ที่ฐานของ 2Q10 มีสถานะเป็น high ในที่สุดสถานะเหล่านี้จะ fed back กลับไปที่ latch transistor, 2Q6 และ 2Q7 และจะปรากฏบน Q และ $\overline{Q}$ output ด้วย

ขณะที่ clock voltage ตกลง transistor 2Q2 ปิด และ 2Q3 เปิด เพื่อเป็นการเตรียมช่องทางสำหรับ latch transistors " locking in" ที่ output ของ slave สำหรับในส่วน master แรงดันไฟฟ้าที่กำลังตก จะเปิด transistor 1Q3 และปิด 1Q2 ทำให้สามารถ input transistor 1Q4 ได้ ดังนั้นส่วน master จะซ้ำรอย D อีกครั้ง

เมื่อแยกขีดกั้นระหว่าง master และ slave flip – flop รับสัญญาณจาก R8 กระแสที่ไหลผ่านตัวต้านทานนี้จะชดเชยระหว่างขีดแบ่งของชุด transistor 1Q2 / 1Q3 และ 2Q2 / 2Q3 การชดเชยนี้จะหยุดการทำงาน D input ของ master flip-flop รอง เพื่อให้สามารถถ่ายข้อมูลจาก master ไปสู่ slave ได้ ในระหว่างที่มีการเปลี่ยนสัญญาณนาฬิกา ถ้า D input มีการเปลี่ยนแปลง การชดเชย R8 จะยินยอมให้มีการขึ้นของสัญญาณนาฬิกาอย่างช้าๆ เพื่อให้ใช้งานได้โดยไม่ทำลายข้อมูลในระหว่างที่เปลี่ยนสัญญาณนาฬิกา

ทั้ง set และ reset input มีการเชื่อมรับกันเป็นอย่างดี นั้นหมายถึงแม้ผลลัพท์จะเกิดขึ้นตรงข้ามกัน แต่การปฏิบัติการก็ยังคล้ายๆ กัน ขณะที่ logic ระดับ 1 เกิดขึ้นที่ S input transistor 1Q2 ก็เริ่มกลายเป็นตัวนำไฟฟ้า เนื่องจากฐานของมันตอนนี้เริ่มขับเคลื่อนผ่าน 1Q19 ซึ่งเชื่อมต่อกับ S

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

transistor 1Q5 ซึ่งตอนนี้เปิดอยู่ (on) และอุปกรณ์ feed back 1Q6 และ 1Q7 latch ข้อมูลเข้าสู่ master flip-flop และการปฏิบัติงานคล้ายๆ กันนี้จะเกิดขึ้นที่ slave ที่ transistors 2Q2, 2Q5, 2Q6 และ 2Q7

การเปรียบเทียบตระกูล MECL

รายละเอียดด้านพฤติกรรมของ MECL ที่มีอยู่แล้วในรูปที่ 2.9 อุปกรณ์ต่างๆ ในตระกูลนี้จะถูกนำมาเปรียบเทียบกัน โดยมองไปที่จุดเด่นและพฤติกรรมของมัน และเนื่องจากความเร็วที่ต่างกันระหว่าง 10,100 series และ 10,200 series จึงแยกได้ทั้งสองกลุ่มนี้ออกจากกัน ความแตกต่างระหว่างผลิตภัณฑ์มาตรฐานและ military จะถูกยกออกมาเฉพาะประเด็นที่เห็นได้ชัดเท่านั้น

1. ปีแรกที่มีการเปิดตัวผลิตภัณฑ์แต่ละชนิดนั้นมีความสัมพันธ์กัน มีการพัฒนาผลิตภัณฑ์อย่างต่อเนื่อง ผลิตภัณฑ์ MECL มีการพัฒนาทั้งด้าน หน่วยความจำ, logic และ LSI ใหม่ๆ
2. ทุกๆ วงจรในตระกูล MECL จะมีตัวขับร่วมอยู่ภายใน เป็น VBB bias driver วงจร bias ถูกออกแบบมาให้สามารถปฏิบัติงานได้ในอุณหภูมิ, แรงดันไฟจ่าย และการกระจายกำลังไฟฟ้า ที่ครอบคลุมในช่วงกว้าง ทุกๆ ส่วนของ MECL มีระดับ logic เหมือนเดิม และรับแรงดันไฟฟ้าได้ในช่วงจำกัดช่วงหนึ่ง ใน M10800 และ MECL 10 KH มีจุดเด่นอยู่ตรงการชดเชยแรงดันไฟฟ้าใน network ซึ่งจะทำให้ ระดับ logic มีค่าคงที่มากขึ้น
3. วงจร MECL 10 K / 10 KH และ MECL III มีจุดเด่นอยู่ที่การเปิด emitter output เพื่อให้ง่ายต่อการเชื่อมต่อกับสาย transmission line เว้นแต่ใน MC1648 ที่ไม่เปิด emitter output และสามารถใช้งานได้โดยไม่ต้องมีตัวต้านทานภายนอกก็ได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FEATURE	MECL 10KH	MECL 10,000 (10K)			MECL III
		10,100 10,500	10,200 10,600	10,800	
1. Year Introduced	1981	1971	1973	1976	1968
2. Bias Driver	V.C.*	10,000	10,000	V.C.*	10,000
3. Output Pulldown Resistors	No	No	No	No	No
4. Input Pulldown Resistors	Yes	Yes	Yes	Yes	Yes
5. Maximum Input D.C. Loading Current	265μA	265μA	410μA	350μA	350μA
6. Specified Ouput Current	≈22mA	≈22mA	≈22mA	≈22mA	≈22ma
7. Maximum Output Current	50mA	50mA	50mA	50mA	40mA
8. Transmission Line Drive	Yes	Yes	Yes	Yes	Yes
9. DC Loading Fanout	83	83	54	63	68
10. Input Capacitance	2.9 pf	2.9 pf	3.3 pf		3.3 pf
11. Output Impedance	7 ohm	7 ohm	7 ohm	7 ohm	5 ohm
12. Gate Progration Delay (typical)	1.0 ns	2 ns	1.5 ns	1-2.5 ns	1 ns
13. Gate Edge Speed (10 to 90%)	1.8 ns	3.5 ns	2.5 ns	3.5 ns	1 ns
14. Flip-Flop Toggle Speed (min)	250 MHz	125 MHz	200 MHz	N.A.	500 MHz
15. Gate Power	25 mW	25 mW	25 mW	2.3 mW	60 mW
16. Open Wire Length (Less than 100 mV undershoot)	3"	6"	3"	6"	1"
17. Wire-wrap Capability	Yes	Yes	Yes	Yes	No
18. Use of series damping Resistors	Yes	Yes	Yes	Yes	Yes
19. Separate V_{CC} Inputs	Yes	Yes	Yes	Yes	Yes
20. Speed-Power Product	25 pJ	50 pJ	37 pJ	4.6 pJ	60 pJ
21. Wire-or Capability	Yes	Yes	Yes	Yes	Yes
22. Full Military Temp. Range	TBD**	Yes	Yes	No	No
23. Flat Package	Special	Yes	Yes	No	Yes
24. Dual-In-Line Package	Yes	Yes	Yes	Quil	Yes

* Voltage compensated
** To be determined

รูปที่ 2.9 MECL Family Comparison

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4. ทุกๆ MECL signal-ended input จะมีตัวต้านทาน pull down อยู่ภายใน (ตามปรกติจะมีค่า = 50 kΩ) ทำให้ง่ายต่อการเชื่อมต่อสายสัญญาณ เนื่องจาก input ใดที่ไม่ใช้ก็สามารถปล่อยทิ้งไว้ลอยๆ ได้ และสามารถสมมุติสถานะ VOL ให้เป็น logic ϕ ได้ อุปกรณ์ differential device อย่างเช่น สายรับของ MECL เชื่อมกับ TTL translator ไม่ต้องมี input ที่ pulldown resistor แต่ควรเชื่อมต่อกันตามรายละเอียดที่แสดงไว้ตามตารางแสดงข้อมูล (ห้ามใช้กับกลุ่ม MC1200)
5. กระแส DC สูงสุดที่ input สามารถรับได้ มีรายละเอียดระบุไว้ในตารางข้อมูล ในเรื่องจำนวนที่เป็นสัญญาณของเกจพื้นฐาน หากชุด input มีในวงจรมากกว่า 1 จุด เช่น เกจ strobe line ทำให้จำเป็นต้องมีการเพิ่มกระแสขึ้นอีก

   การคำนวณกระแส input, Iin, สำหรับ MECL 10K / 10 KH ซึ่งมีปริมาณตัวต้านทาน input = 30 kΩ (Rin) จะต้องให้กระแสแก่ตัวต้านทานเป็น

   $I_{in} = V_R / R_{in} = 143\ \mu A$

   $V_R = | V_{EE} - V_I | = 4.3\ V.$

ที่ซึ่ง V_R = แรงดันไฟฟ้าที่ตกคร่อมตัวต้านทาน input , Rin ซึ่งมี logic input เป็น 1

V_{EE} = -5.2 V, แรงดันไฟจ่าย

V_I = -0.9 V (ตามปรกติจะมีระดับ logic เป็น 1)

ค่าความต้านทานปรกติที่ 50 kΩ จะใช้กระแสเพียงเล็กน้อยเท่านั้น แต่ขนาดตัวต้านทานอื่นๆ จะมีค่าสูงมากเมื่อเปรียบเทียบกับกระแส impedance ของ output หรือใน line impedance

6-8. ระดับแรงดันไฟฟ้า output ถูกกำหนดที่ระดับกระแสปฏิบัติงานของวงจร MECL 10K / 10 KH และ MECL III ถูกออกมาให้ขับ transmission line 50 Ω และสิ้นสุดที่ – 2 Vdc (วัดจาก VCC) กระแส ITT ที่จำเป็นต้องใช้โดยสาย termination คือ

$I_{TT} = (V_{TT} - V_I) / Z_0 = (-2.0 + 0.9)V / 50\ \Omega = -22\ mA$

เนื่องจาก output นั้นถูกหนดไว้ที่ 50 ohm. Load ซึ่งเป็นค่าที่ไม่ถูกต้องสำหรับกรณีนี้ ความจริงแล้วในการออกแบบไม่จำเป็นจะต้องจำกัดอยู่แค่ transmission line 50 Ω ก็ได้ MECL 10 K / 10 KH สามารถทำงานได้ดีในช่วงความต้านทานแวดล้อมตั้งแต่ 50 ถึง 120 ohm แต่สำหรับในรุ่น MECL 10,500 และ 10,600 เป็นรุ่นที่ถูกจำกัด load ไว้ที่ 100 ohm (11 mA) กระแส output ที่ยอมให้ใน MECL 10 K / 10 KH คือ 50 mA และ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ใน MECL III อยู่ที่ 40 mA เพื่อให้ช่วงกระแสที่ใช้ยังอยู่ในช่วงความเพื่อความปลอดภัยอยู่

9. การ loading dc fanouts สำหรับ MECL 10 K / 10 KH และ MECL III จะปฏิบัติการโดยการหารกระแส output ด้วย กระแส input อย่างไรก็ตามทั้ง ac termination และกระแสที่จำเป็นต้องใช้ใน transmission line อาจมีขีดจำกัดให้ระบบ fanout ใช้จำนวนที่น้อยกว่าได้

10. วิธีการวัดกระแส input ของตัวเก็บประจุต่างๆ มี 2 วิธี วิธีที่ 1 ใช้มิเตอร์วัดขวางไว้ เช่น นำ H.P. 4815A RF Vector Impedance Meter มาวัดค่า impedance และ phase angle. อีกวิธีคือใช้ time domain reflectometer (TDR) ในการวัดค่าการเก็บประจุ บน impedance ของ transmission line. (ใช้ความสัมพันธ์ทางคณิตศาสตร์ในการคำนวณหา input capacitance จากข้อมูลของ TDR ซึ่งเรื่องนี้จะได้กล่าวไว้อย่างละเอียดในบทที่ 7) ถึงแม้ input capacitance จะมีขนาดเล็กแต่ก็จะมีผลกับระบบ rise time และ transmission line ถ่ายทอด delay เป็น function ของ fanout ที่ MECL ความเร็วสูงๆ

11. DC output inpedance สามารถคำนวณได้โดยการวัด output voltage function ของกระแส output คือ $Z = \Delta N / \Delta I$. เกจ output impedance จะต้องน้อยกว่าในสาย impedance ที่ถูกสั่งให้สร้างสัญญาณ full MECL signal livel ในขณะที่ขับสาย transmission line output impedance (resistive load) จะเป็นค่าที่ต่อวงจรขนานของ output transistor กับ pull down resistor ทั้งนี้ควรจำไว้ว่าอัตราการชาร์ตตัวเก็บประจุในระหว่างสัญญาณไปทางด้านลบ จะถูกจำกัดไว้โดยการไหลของกระแสผ่านวงจร pull down circuit

12–13. ข้อมูลเกี่ยวกับเกจถ่ายทอดการหน่วงเวลา (Gate propagation delay), การกระตุ้นความเร็ว, อัตราการ toggle และการกระจ่ายกำลังไฟฟ้า มีรายละเอียดอยู่ในตารางข้อมูลมาตรฐาน สำหรับการวัดค่าการถ่ายทอดกำลัง (tpd) จะวัดจากสัญญาณ inputที่ amplitude 50% ถึงสัญญาณ output ที่ amplitude 50% เช่นกัน ตามธรรมดาการวัดความเร็วจะวัดค่าระหว่าง 10 ถึง 90% ของ amplitude บนสัญญาณ output แต่อย่างไรก็ตามตัวของจำนวนลูกคลื่นกลมๆ จะมีค่าสูงกว่า 10% ใน MECL 10K / 10KH ฉะนั้นในการวัดค่าของชิพตระกูลเหล่านี้จะกำหนดให้วันที่ 20 ถึง 80 % เพื่อให้ง่ายขึ้น ถึงกระนั้น ใน MECL 10K ที่ 3 ns โดยธรรมดาจะใช้วิธีการวัดที่ 10 ถึง 90 % และสำหรับ MECL 10 KH ที่ 1.8 ns ปรกติทำวัดที่ 10 ถึง 90 % เช่นกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

14. ในเรื่อง toggle speed ต่ำสุดสำหรับ flip-flop ใน MECL III ความเร็ว 500 MHz ดังที่ได้แสดงไว้นั้น ใช้สำหรับ MC1690 D flip-flop. ชิพในตระกูลนี้มี prescalers 4 ตัวซึ่งทำงานที่ความเร็ว 1 GHz
15. เกจ power สำหรับ เกจ MECL 10 K / 10 KH และ MECL III ทำขึ้นโดยเฉพาะกับ open emitter outputs ซึ่งเหมาะที่จะใช้กับผลิตภัณฑ์ ECL ส่วนใหญ่ ช่วงการแปรปรวนของ output load ทั้งในตัวต้านทานที่ใช้กับ transmission line และ pulldown resistor ทำให้เกิดความยุ่งยากในการระบุค่า ในระบบ output power ที่ถูกเพิ่มขึ้นที่ gate power ก็เพื่อการหากำลังไฟฟ้ารวม
16. -17. ขนาดความยาวของสายเปลือยและสายที่มีห่อหุ้มจะขึ้นอยู่กับความเร็วลอัตราการถ่ายทอดความเร็วของสายตามข้อมูลที่แสดงไว้นั้นเป็นระยะทางมากสุดที่ให้แรงดันไฟน้อยกว่า 100 mV จากเรื่องสายขับในบทที่ 3 สายห่อหุ้มสามารถใช้ได้กับ MECL ทุกตัว ยกเว้น MECL III ซึ่งที่ 1 ns edge จะทำให้มี reflection มากเกินไป ที่ระยะความยาวสูงสุดของสายเปลือย สามารถใช้สายห่อหุ้มแทนได้ เว้นบางแบบของ resistor damping หรือบางแบบของ สายที่ใช้เท่านั้น
18. การ damping ตัวต้านทานที่ประกอบขึ้นมาจากตัวต้านทานเล็กๆ (5-75 ohms) ต่อแบบอนุกรมกับสายที่ output ของตัวขับวงจร ซึ่งสายนี้ยืดความยาวออกไปมากที่สุดเท่าที่จะเป็นได้ ตัวต้านทานที่ต่อเข้าไปนั้น จะทำให้การเข้ากันได้ของสายกับความต้านทาน output วงจรมีความ closer มากกว่าการต่อโดยตรง ซึ่งการเข้ากันได้นี้จะสามารถจำกัด overshoot และ ringing ทำให้การใช้สายความยาวมากๆ มีผลดีกว่าการใช้สายที่ไม่ damp สองสาย
19. การแยก VCC input เป็น VCC1 และ VCC2 เป็นลักษณะที่มีอยู่แล้วใน MECL 10K / 10 KH และ MECL III pin VCC จะแยกกันและถูกใช้ในการ crosstalk ระหว่างวงจรใน package ซึ่งอาจเกิด high switching current เมื่อขับ transmission line การแยก VCC นี้ไม่มีผลกระทบใดๆ หากต้องการใช้งานแต่ pin เดียว pin 2 ชุด มีเพื่อใช้ในการเชื่อมกับแผ่น ground หรือ ground bus ในรุ่นเล็กๆ ของ MECL 10 K / 10 KH อย่างเช่น MC10186 และ MC 10H186A มี VCC แค่ 1 ใน function ต้องการ 14 I/O pin วงจรเหล่านี้จะเก็บ VCC1 และ VCC2 แยกกันและใช้สาย 2 สายต่อกับ VCC pack pin อีกที
20. ผลิตภัณฑ์ speed power เป็นเครื่องมือที่ใช้เพื่อเพิ่มความเร็วให้กับชิพ การถ่ายทอด delay ถูกเพิ่มขึ้นอย่างมากโดยเกจกระจายพลังงาน (milliwatts) เพื่อให้เทอมของพลังงานมีประสิทธิภาพมากขึ้น (picojoules) อย่างไรก็ตามเกจเพิ่มประสิทธิภาพนี้ถูกพัฒนาขึ้นมาในภายหลังตามสายการผลิต อุปกรณ์ speed-power ค่อนข้างจะไม่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

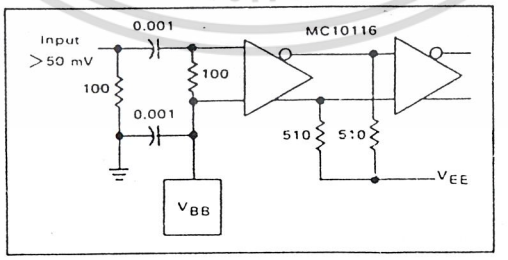
จำนวนของ equivalent gate ใน logic function และทำให้กำลังไฟฟ้าของวงจรลดลง ซึ่งจำนวนที่เป็นไปสำหรับในวงจร LSI ก็ขึ้นอยู่กับลักษณะเฉพาะของเกจนั้นๆ เกจภายในใช้พลังงานน้อยกว่าเกจ output ซึ่งมี 50 สายขับ

21. การต่อสายไฟแบบ –OR เป็นเทคนิคที่นำมาใช้กับวงจร MECL เพื่อให้ได้การทำงานของ OR ทำได้โดยการต่อวงจร output เข้าด้วยกัน เมื่อหลายๆ วงจร (มากกว่า 5) ถูกต่อเข้ากับ wired –OR output เป็นไปได้ที่จะทำให้เกิด noise spike ขึ้นบน output ถ้าเกจทั้งหมดเป็นแบบ 1 outputs, ในเกจทั้งหมดมีอันหนึ่งที่เปลี่ยนเป็น logic ϕ noise spike จะเกิดขึ้นเนื่องจากทันใดนั้นมีเกจหนึ่งที่ให้กระแสแก่ output ไปแล้วก่อนที่จะได้รับจากอีกวงจรหนึ่ง ตามปรกติความกว้างพัลส์จะน้อยกว่าในเกจถ่ายทอด delay และของความกว้างคลื่นที่ไม่เพียงพอในระบบ

22-25. ข้อเด่นที่เหลือของ วงจรตระกูลนี้คงต้องทำการวิเคราะห์กันเอง packaging และช่วงอุณหภูมิของ MECL 10K / 10 KH เป็นรายละเอียดพื้นฐานที่ใช้ประกอบการแนะนำวงจร ยังต้องพิจารณาลักษณะด้านอื่นๆ ที่อาจพบว่าเป็นจุดเด่นอีก

LOW LEVEL SIGNALS TO MECL

รูปที่ 2.10 เป็นของ Amplifier ที่ออกแบบโดยใช้ MC10116 เป็นตัวรับเพื่อที่จะรับสัญญาณที่มีขนาดอย่างน้อย 50 mV และให้ สัญญาณ Output ที่ถูกต้อง ซึ่งในการออกแบบนี้ ได้ใช้ ความต้านทาน ขนาด 100 Ohm 2 ตัว ขนาน เพื่อที่จะให้ได้ความต้านทาน Input 50 Ohm ในสัญญาณ AC โดยค่าของ ความต้านทาน สามารถเปลี่ยนไปตามค่าของความต้านทานของสายได้ ส่วน Capacitor Coupling เป็นตัวป้องกันจุด Operating ของ สัญญาณ ที่ แกว่งอยู่ในช่วงเดียวกับ จุด Operating ของวงจรซึ่งเท่ากับ V_{BB} (Reference Voltage)

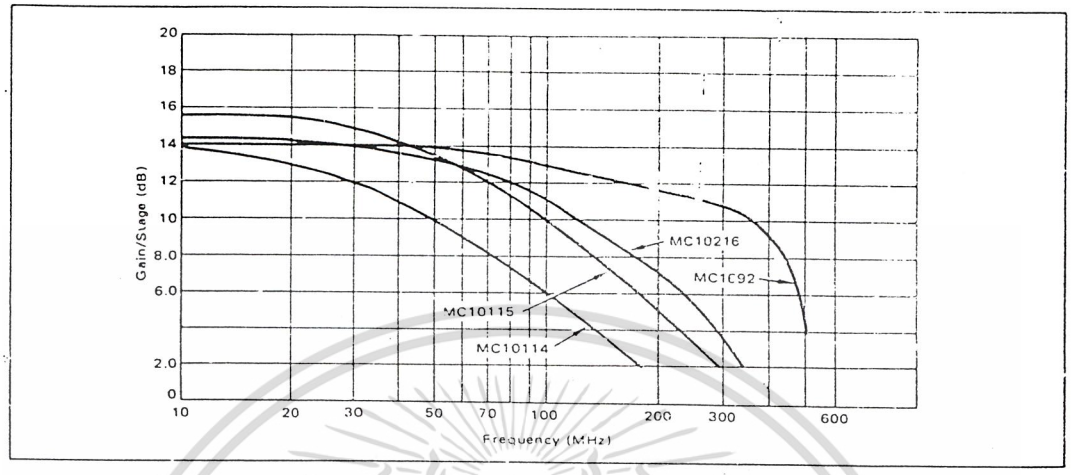


รูปที่ 2.10 Low Level Amplifier Using a MECL Line Receiver

ค่า Bandwidth สูงสุดของ Amplifier ขึ้นอยู่กับว่า MECL line receiver มี path อะไร ซึ่งจะแสดงไว้ในรูปที่ 2.11 เช่นถ้า MECL Line receiver ที่เราใช้มี Path Number เป็น MC 1692 วงจรของก็จะ Bandwidth สูงสุดเป็น 500 MH_z

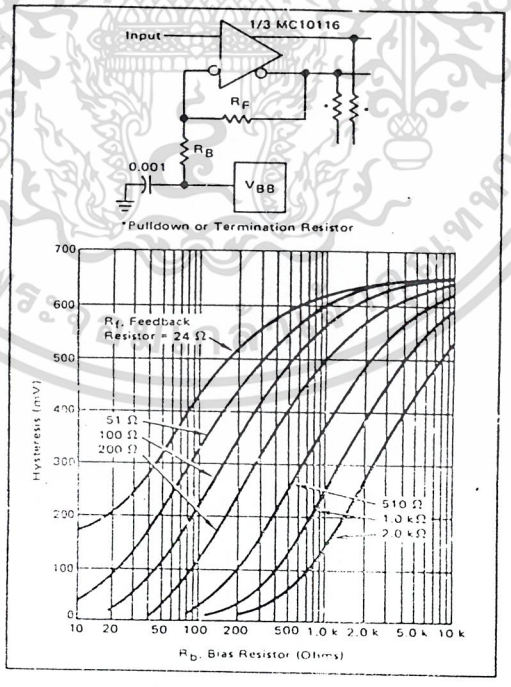
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ค่า Bandwidth สูงสุดของ Amplifier ขึ้นอยู่กับว่า MECL line receiver มี path อะไร ซึ่งจะแสดงไว้ในรูปที่ 2.11 เช่นถ้า MECL Line receiver ที่เราใช้มี Path Number เป็น MC 1692 วงจรของก็จะ Bandwidth สูงสุดเป็น 500 MH_z



รูปที่ 2.11 Gain versus Frequency for MECL Line Receivers

MECL line receiver สามารถที่จะทำเป็น Schmitt triggers เพื่อที่จะทำให้ สัญญาณที่ความถี่ต่ำ มี rise และ fall time เท่ากับของ MECL ซึ่งรูปวงจรของ MECL จะแสดงไว้ ในรูปที่ 2.12 และสามารถตั้งเลือกค่า Hysteresis ของวงจรได้จากการเลือกค่า R_F และ R_B ดังกราฟในรูปที่ 2.12 เช่นกัน



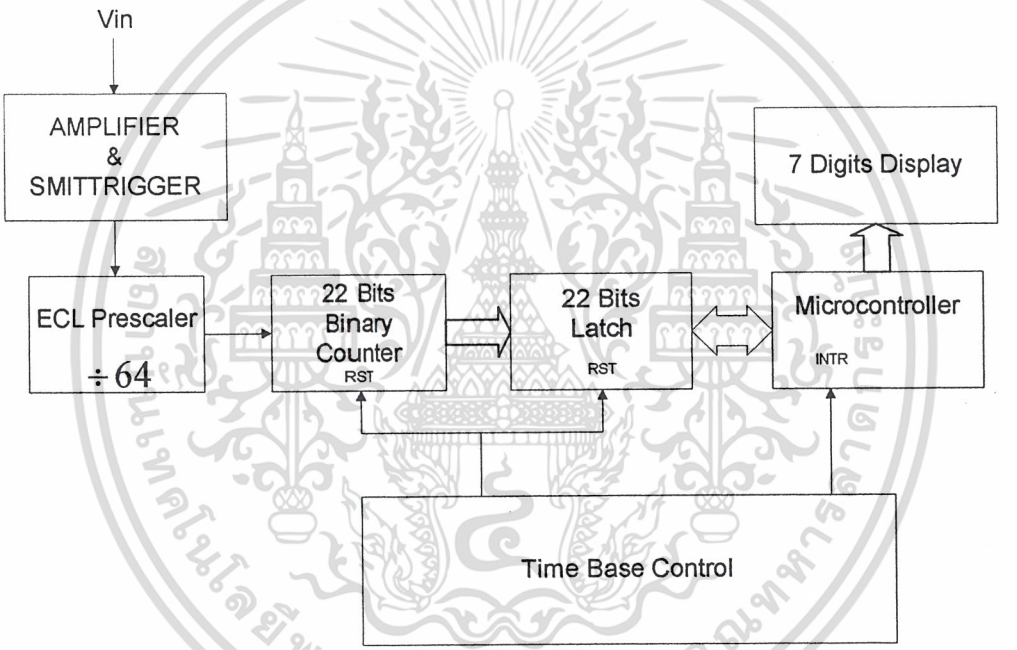
รูปที่ 2.12 MECL Schmitt trigger and Hysteresis Curves

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3
การออกแบบและหลักการทำงานของเครื่องวัดความถี่

จากหลักการเบื้องต้นของเครื่องวัดความถี่สามารถเขียนเป็น Block Diagram ได้ดังรูปที่ 3.1 ซึ่งสามารถแบ่งออกเป็น 3 ส่วน คือ

1. ส่วนวัดค่าความถี่
2. ฐานเวลา
3. ส่วนแสดงผล



รูปที่ 3.1 Block Diagram ของเครื่องวัดความถี่

3.1 ส่วนวัดค่าความถี่

ในการวัดค่าความถี่ใช้หลักการของวงจรเคาท์เตอร์ โดยใช้การนับจำนวนพัลส์ ในเวลาที่กำหนด และจะได้ค่าความถี่ออกมาตามที่กล่าวมาข้างต้น ในการออกแบบวงจรเนื่องจากตัวเคาท์เตอร์ที่ใช้มีค่าความถี่ของสัญญาณอินพุตสูงสุดไม่เกิน 28 MHz ดังนั้นเราจะต้องทำการลดค่าความถี่ลงให้อยู่ในช่วงที่ตัวเคาท์เตอร์สามารถนับได้ โดยใช้ตัวปรีสเกลเลอร์ เราจึงทำการหารความถี่ของ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

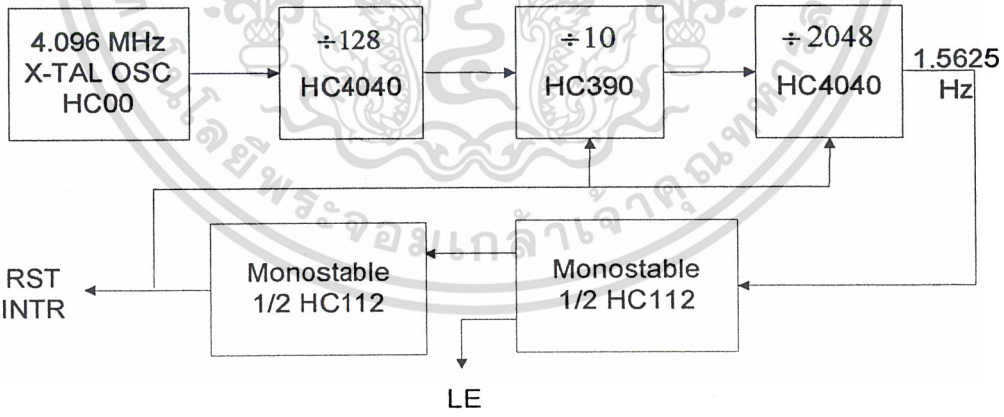
สัญญาณอินพุตลงด้วย 64 เพื่อให้เหลือค่าความถี่ 200 M / 64 = 3.125 MHz ซึ่งความถี่ที่ได้จะไม่เกินค่าความถี่ที่เคาท์เตอร์สามารถนับได้ เนื่องจากตัวเคาท์เตอร์ที่ใช้นับนั้น 1 ตัวสามารถนับได้ 12 บิต แต่ความถี่ที่ต้องการนับมีค่าสูงถึง 3.125 MHz หรือมีค่าประมาณ 22 บิต (2^{22} = 4.19M) ดังนั้นต้องใช้ตัวเคาท์เตอร์ 12 บิตต่อกัน 2 ตัวจึงสามารถนับได้ ส่วนการควบคุมการทำงานของเคาท์เตอร์ทั้ง 3 ตัวนั้น จะควบคุมโดยสัญญาณรีเซตเคาท์เตอร์ที่สร้างจากวงจรโมโนสเตเบิล จากเอาท์พุตของเคาท์เตอร์ทั้ง 3 ตัวที่ใช้เป็นที่พักข้อมูลเพื่อรอให้ไมโครคอนโทลเลอร์มาอ่านค่าไป โดยจะมีการควบคุมการแลกซ์โดยสัญญาณแลกซ์เอนเอเบิลที่สร้างจากวงจรโมโนสเตเบิลเช่นกัน

ดังนั้นในส่วนของการวัดค่าความถี่จึงแบ่งออกเป็น 3 ส่วนคือ ปรีสเกลเลอร์ ซึ่งใช้ IC เบอร์ MC12017 ส่วนเคาท์เตอร์ใช้ IC เบอร์ HC4040 และแลตซ์ใช้ IC เบอร์ HC573 และเราต้องการให้สามารถรับสัญญาณหลายประเภท เราจึงเพิ่ม วงจรในส่วน Amplifier และ Schmitt trigger เข้ามาเพื่อ ให้ทำการขยายสัญญาณ ให้มีขนาดใหญ่ขึ้น ก่อนที่จะนำไปผ่านตัวหารความถี่

3.2 ฐานเวลา

ฐานเวลาถือเป็นสิ่งสำคัญมากเพราะจะเป็นตัวควบคุมการนับของตัวเคาท์เตอร์ ถ้าสัญญาณฐานเวลาไม่เที่ยงตรง จะทำให้การนับของตัวเคาท์เตอร์ผิดพลาดไป ความถี่ที่เอาท์พุตก็จะผิดพลาดไปด้วย

ฐานเวลาจะประกอบไปด้วย 3 ส่วน คือ วงจรกำเนิดความถี่ วงจรหารความถี่ และวงจรโมโนสเตเบิล



รูปที่ 3.2 Block Diagram ของฐานเวลา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2.1 วงจรกำเนิดความถี่

เนื่องจากเราต้องการสัญญาณพัลส์ที่มีความแน่นอนของความถี่ที่ถูกสร้างสูง จึงได้ใช้วงจรออสซิเลเตอร์แบบผลึกควอท โดยเป็นการสร้างวงจรออสซิเลเตอร์โดยใช้ไอซีแบบ CMOS ดังรูปที่ 3.5

3.2.2 วงจรหารความถี่

เนื่องจากเราใช้ปรีสเกลเลอร์ที่มีค่าการหารเป็น 64 และแสดงผลออกมาเป็นตัวเลข 7 หลัก ในหน่วย MHz โดยมีค่าสูงสุดเป็น 200.0000 MHz ซึ่งจะได้ค่าสุดท้ายที่มีค่าละเอียด 100 Hz หรือคาบเวลาเท่ากับ 10 ms ดังนั้นเพื่อให้ได้ความถี่ในหน่วย 100 Hz จึงต้องใช้คสบเวลาในการนับเป็น 640 ms หรือ 1.5625 Hz ดังนั้นเมื่อใช้คริสตัลออสซิเลเตอร์ที่ให้กำเนิดความถี่ 4.096 MHz เพื่อที่จะให้ได้ความถี่ 1.5625 Hz จะต้องหารด้วยค่า 2621440 ซึ่งได้ค่ามาจาก

$$2621440 = 128 \times 10 \times 2048$$

ซึ่งจะต้องใช้เคาท์เตอร์ 3 ตัวคือ

÷ 128 ใช้ IC เบอร์ HC4040

÷ 10 ใช้ IC เบอร์ HC390

÷ 2048 ใช้ IC เบอร์ HC4040 ดังรูปที่ 2.6

จากรูปที่ 3.6 IC_{15} จะเป็นการหาร 2048 แต่เราต้องการสัญญาณขอบขาลง ดังนั้นเราจึงนำสัญญาณที่ขา Q_{12} มาใช้ซึ่งมีค่าการหาร 4096 เมื่อเป็นขอบขาลงจึงเป็นการหาร 2048

3.2.3 วงจรโมโนสเตเบิล

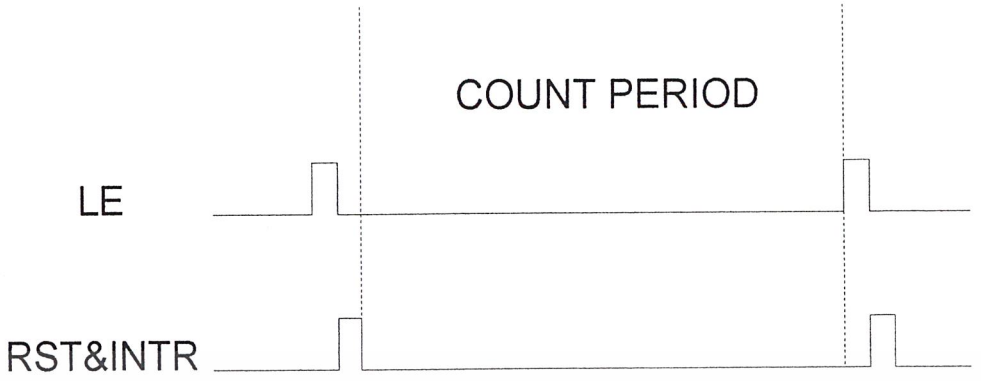
เราใช้สัญญาณจากโมโนสเตเบิลในการควบคุมการนับของตัวเคาร์เตอร์ให้ทำการเริ่มต้นนับใหม่ ควบคุมการรีเซตของเคาท์เตอร์ในวงจรหารความถี่ของวงจรสร้างฐานเวลา ควบคุมการแลตช์ค่าและควบคุมไมโครคอนโทลเลอร์ เนื่องจากเราไม่ต้องการความกว้างของสัญญาณพัลส์ที่แน่นอน เราจึงนำ JK ฟลิบฟลอปมาประยุกต์เป็นโมโนสเตเบิล

ในคาบของการนับจะมีสัญญาณ 3 ตัวที่เกี่ยวข้องคือ

1. สัญญาณรีเซตเคาท์เตอร์ (RST)
2. สัญญาณอินเตอร์รัปของไมโครคอนโทลเลอร์ (INTR)
3. สัญญาณแลทช์เอนเอบิล (LE)

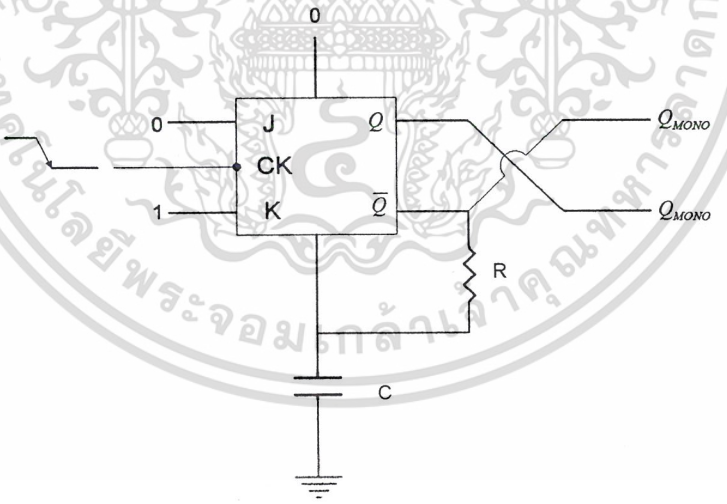
โดยที่สัญญาณรีเซตเคาท์เตอร์และสัญญาณอินเตอร์รัปของไมโครคอนโทลเลอร์ จะเป็นสัญญาณเดียวกันและเกิดขึ้นหลังจากสัญญาณแลทช์เอนเอบิล ซึ่งสามารถเขียนเป็น Timing Diagram ได้ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.3 Timing Diagram ของสัญญาณจากฐานเวลา

เราสามารถสร้างได้จากวงจรโมโนสเตเบิล 2 วงจร โดยทำการสัญญาณพัลส์ที่กำเนิดจากคริสตอลออสซิเลเตอร์ที่ผ่านวงจรโมโนสเตเบิล วงจรแรก ซึ่งจะได้เป็นสัญญาณแลทซ์-เอนเอเบิลออกมา จากนั้นจึงนำสัญญาณ Q ของวงจรโมโนสเตเบิล วงจรแรกมาป้อนอินพุทให้กับวงจรโมโนสเตเบิล วงจรที่ 2 เพื่อสร้างเป็นสัญญาณรีเซตเคาท์เตอร์และสัญญาณอินเตอร์รัปของโมโนคอนโทลเลอร์ต่อไป โดยหลักการในการนำ JK ฟลิปฟลอป มาประยุกต์เป็นโมโนสเตเบิลแสดงดังรูป



รูปที่ 3.4 แสดงการใช้ JK FlipFlop เป็นโมโนสเตเบิล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

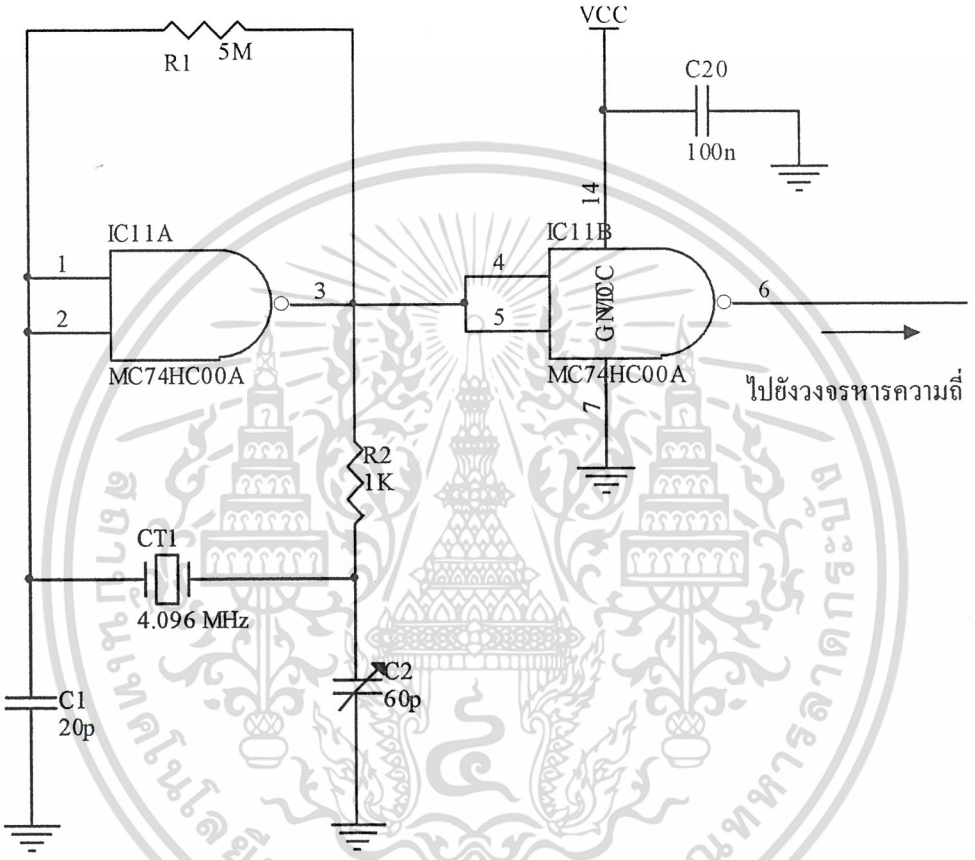
โดยสามารถกำหนดค่าความกว้างของสัญญาณพัลส์จากค่า RC การทำงานเมื่อกำหนดค่า J = 0 และ K = 1 เมื่อมีสัญญาณพัลส์ขอบขาลงเข้ามาจะได้ค่าของ Q = 1 จากนั้นจะเกิดการเก็บและคายประจุของ C ที่ขา set ของฟลิปฟลอบ ทำให้เกิดเป็นพัลส์ขึ้น

3.3 ภาคแสดงผล

ในภาคแสดงผลจากค่าความถี่ที่วัดมีจำนวนถึง 22 บิท การแสดงผลจึงใช้ไมโครคอนโทรลเลอร์เข้ามาช่วย โดยที่ภาคอินพุทของไมโครคอนโทรลเลอร์จะมีแลทซ์ต่ออยู่ 3 ตัว ซึ่งแต่ละตัวรับข้อมูลได้ 8 บิท รวมเป็น 24 บิท โดยจะมีการแลทซ์ข้อมูลทุก ๆ ครั้งที่ทำเสร็จ ส่วนภาคเอาท์พุทของไมโครคอนโทรลเลอร์เป็น LED ตัวเลขเจ็ดส่วนแบบมัลติเพล็กซ์โดยมีพอร์ท 0 เป็นพอร์ทข้อมูล ส่งผ่านข้อมูลผ่านบัฟเฟอร์ และมีพอร์ท 2 เป็นพอร์ทควบคุม จากนั้นไมโครคอนโทรลเลอร์จะได้รับสัญญาณอินเตอร์รัป ไมโครคอนโทรลเลอร์จะทำการอ่านข้อมูลจากแลทซ์เพื่อนำไปประมวลผล

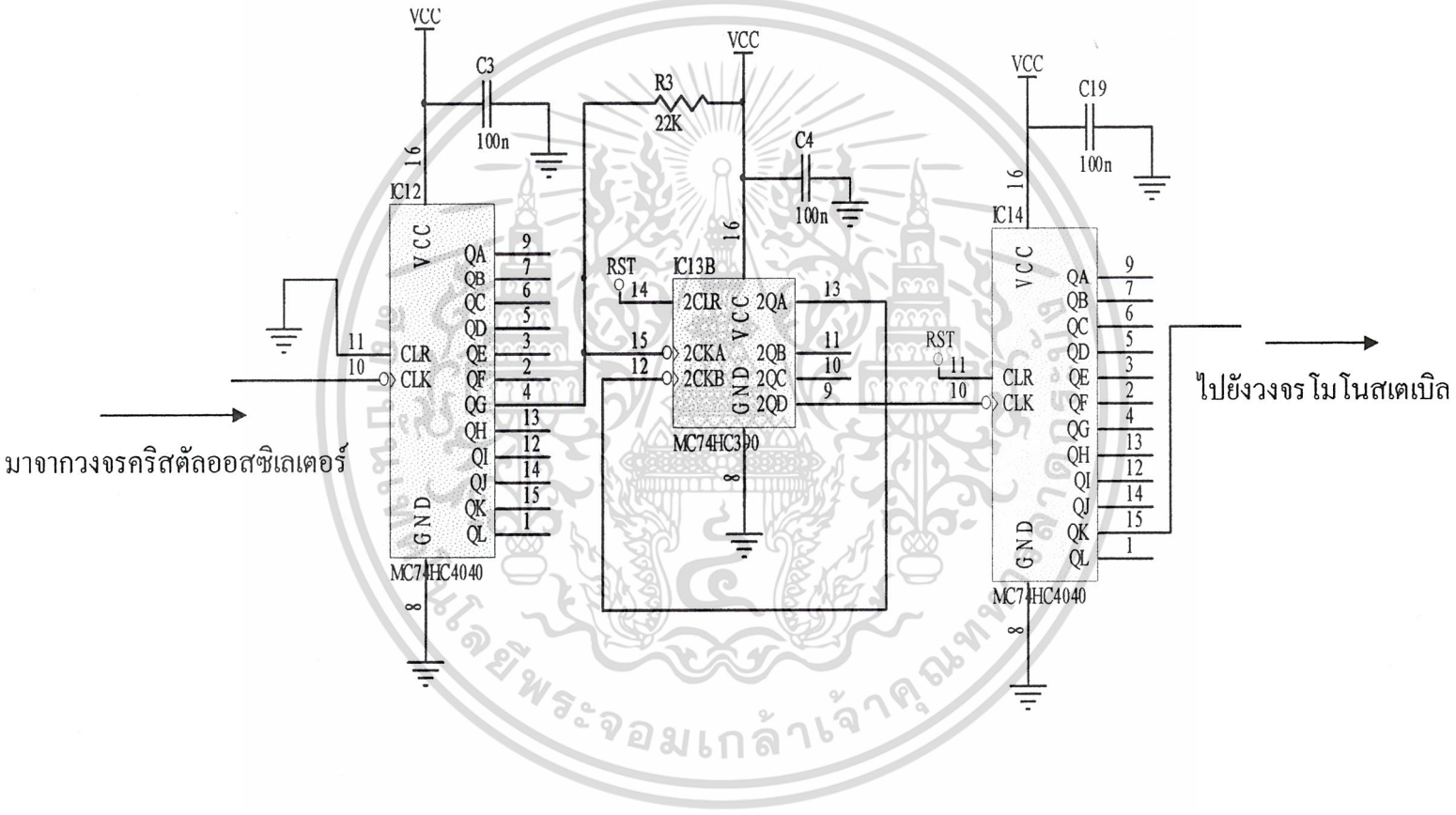
เนื่องจากผลที่ได้จากวงจรนับเป็นค่าที่มีความละเอียดในหลัก 100 H_z จึงสามารถนำไปแสดงผลได้เลย ในการเขียนโปรแกรมควบคุมไมโครคอนโทรลเลอร์ จึงเพียงแต่นำข้อมูลที่ได้รับซึ่งเป็นเลขฐาน 2 มาทำการแปลงเป็นเลข BCD เพื่อทำการแสดงผลผ่าน LED ตัวเลขเจ็ดส่วนต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

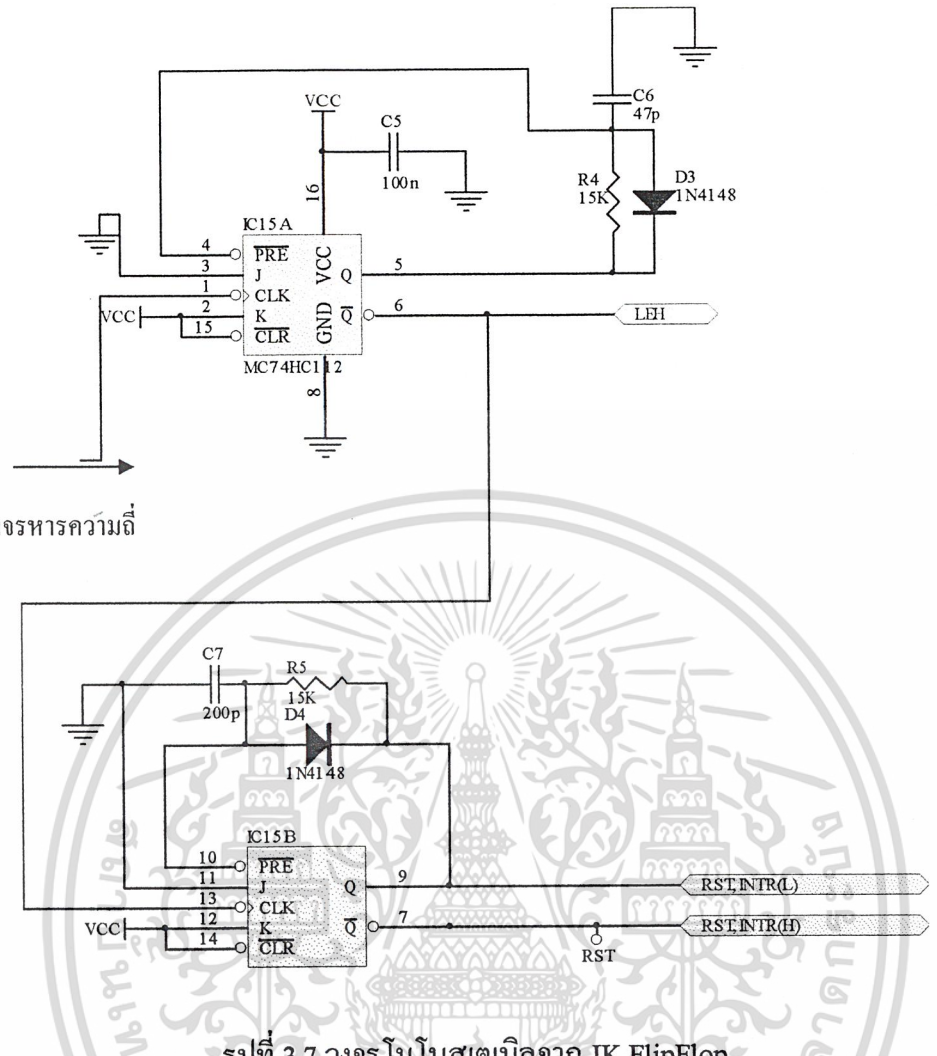


รูปที่ 3.5 วงจรคริสตัลออสซิเลเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

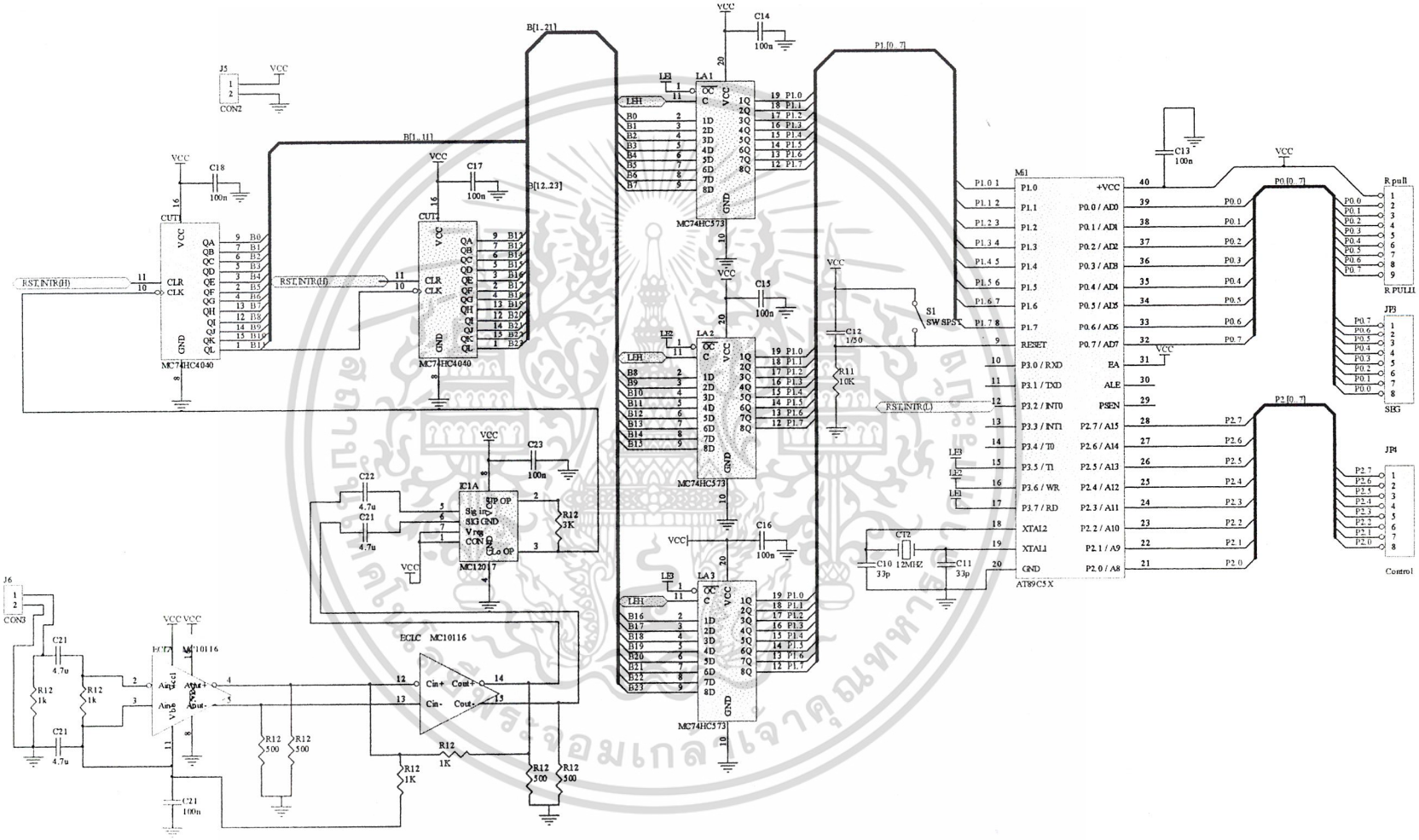


รูปที่ 3.6 วงจรหารความถี่

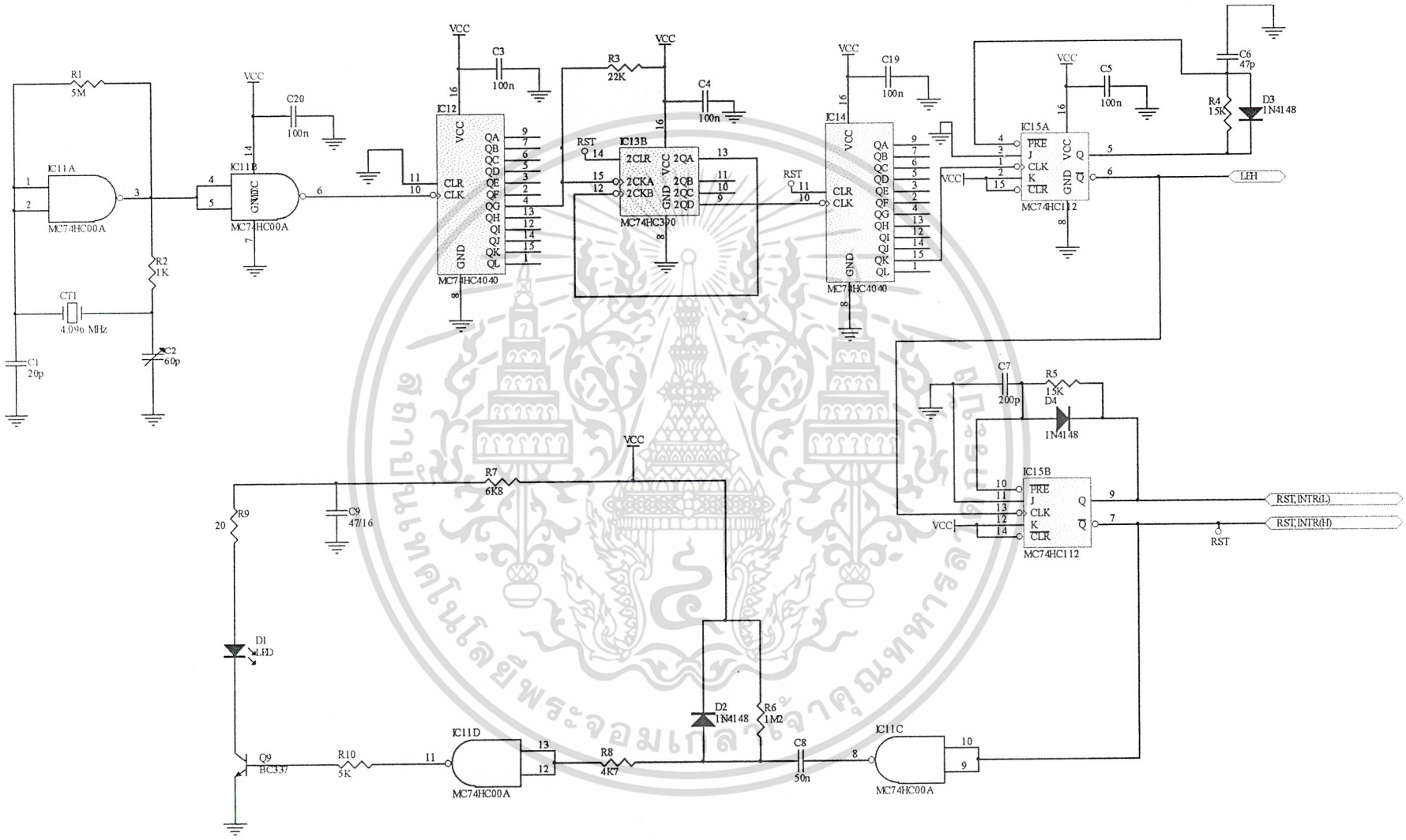


รูปที่ 3.7 วงจรโมโนสเตเบิลจาก JK FlipFlop

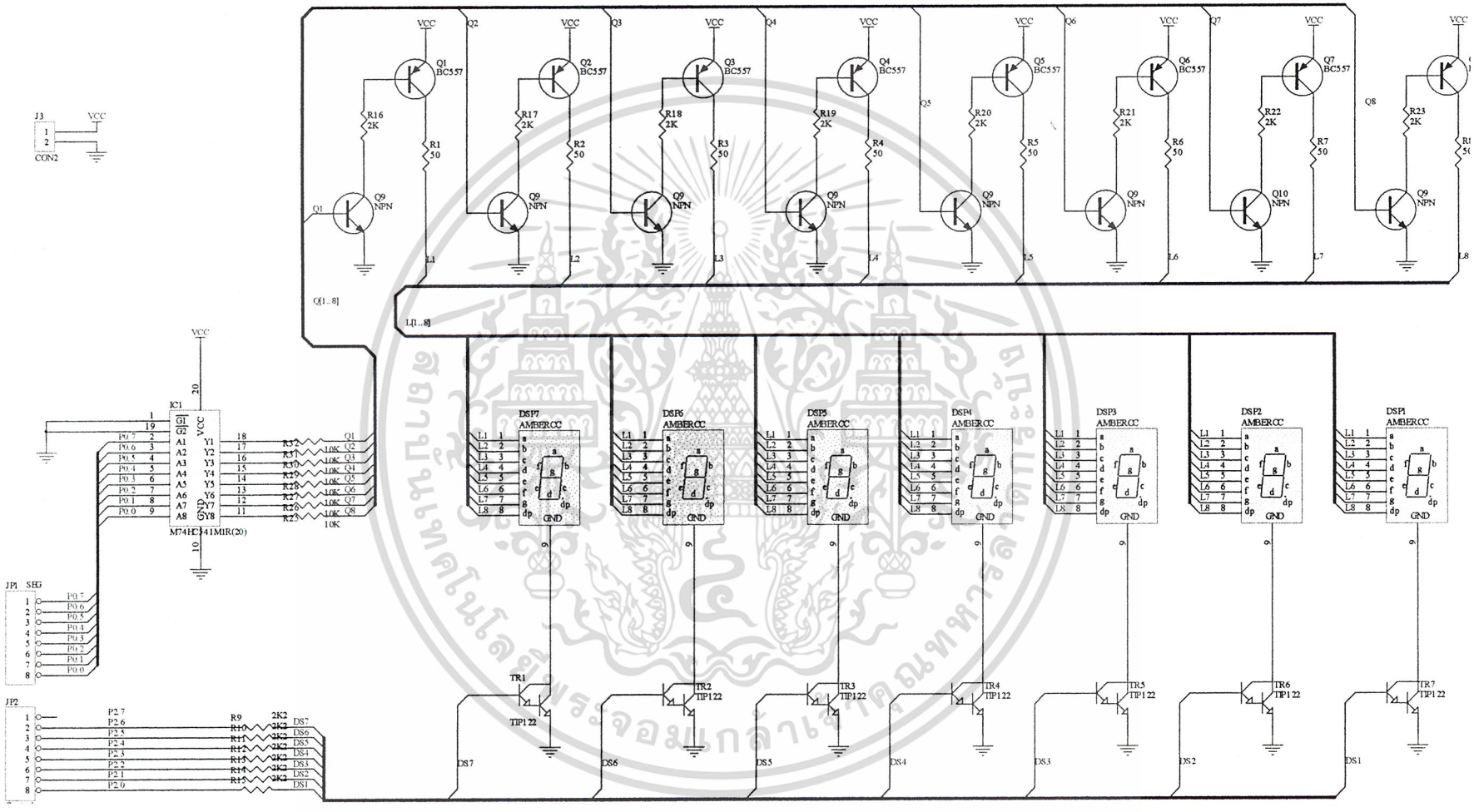
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.8 วงจรส่วนวัดค่าความถี่



รูปที่ 3.9 วงจรส่วนฐานเวลา



รูปที่ 3.10 วงจรส่วนแสดงผล

บทที่ 4

การทดสอบ

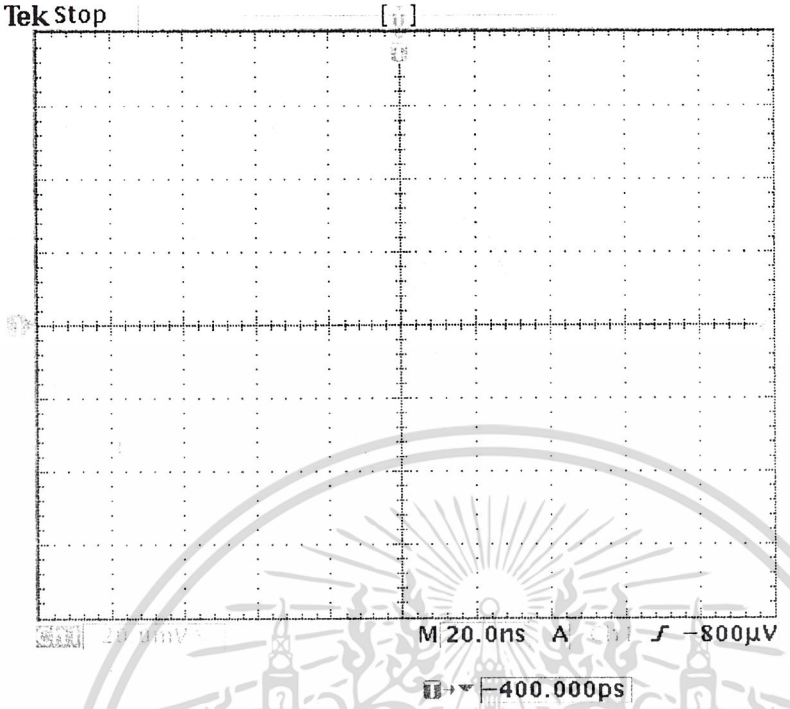
ตารางแสดงผลการทดสอบ

ความถี่ของสัญญาณอินพุท	ความถี่ที่นับได้ที่รูปสัญญาณต่างๆ		
	Sine	Square	trianger
1M	256M	256M	256M
2M	212M	212M	212M
3M	152M	152M	152M
4M	3.9M	3.9M	3.9M
5M	5.02M	5.02M	5.02M
6M	5.9M	5.9M	5.9M
7M	7M	7M	7M
8M	8M	8M	8M
9M	9M	9M	9M
10M	25M	25M	25M
11M	11M	11M	11M
12M	12M	12M	12M
13M	13M	13M	13M
14M	14M	14M	14M
15M	15M	15M	15M

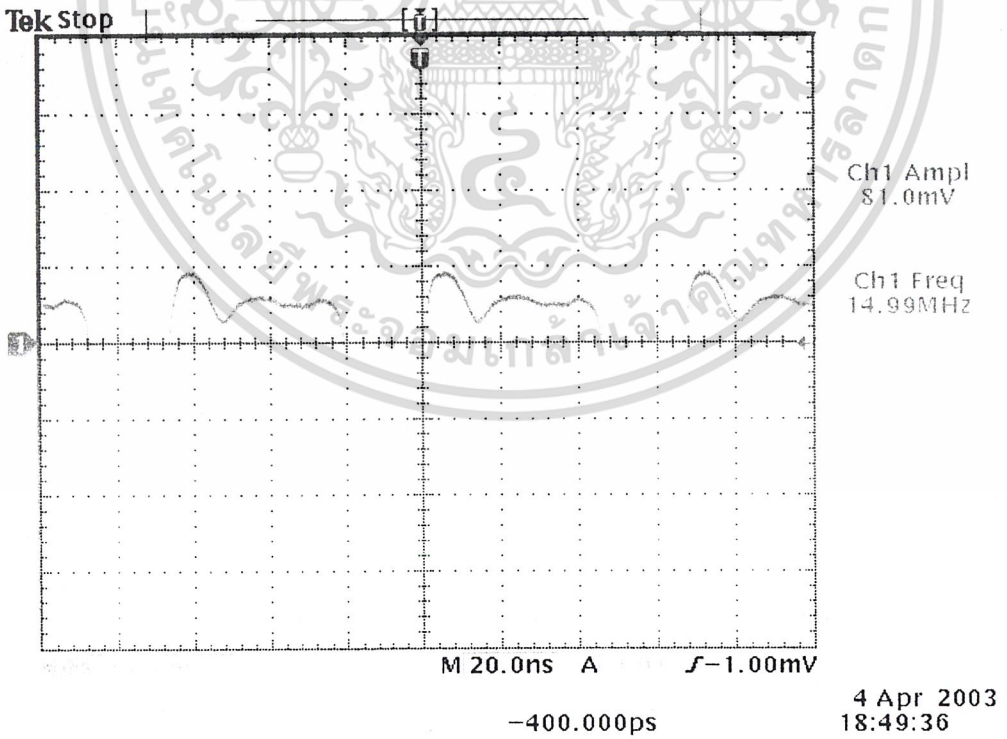
(หมายเหตุ : เนื่องเครื่องกำเนิดความถี่ที่นำมาใช้ในการทดสอบ สามารถกำเนิดความถี่สูงสุดได้เพียง 15 MHz)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปกราฟของสัญญาณ ณ จุดต่าง ๆ (ที่ความถี่ 15 MHz, Probe×10)

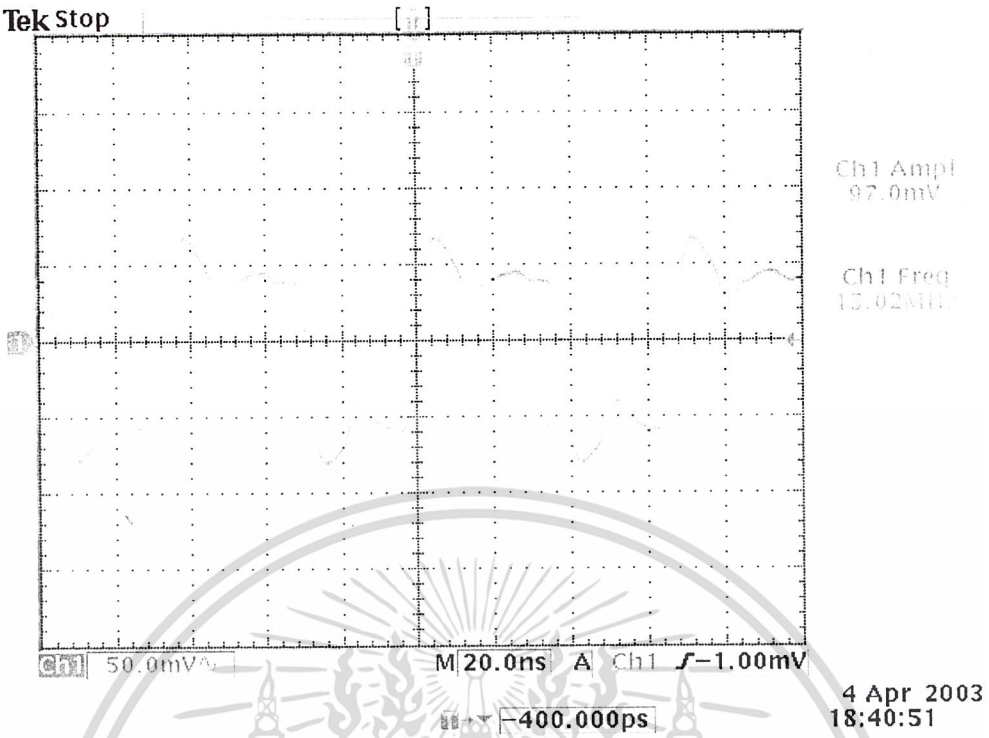


รูปที่ 4.1 สัญญาณอินพุท

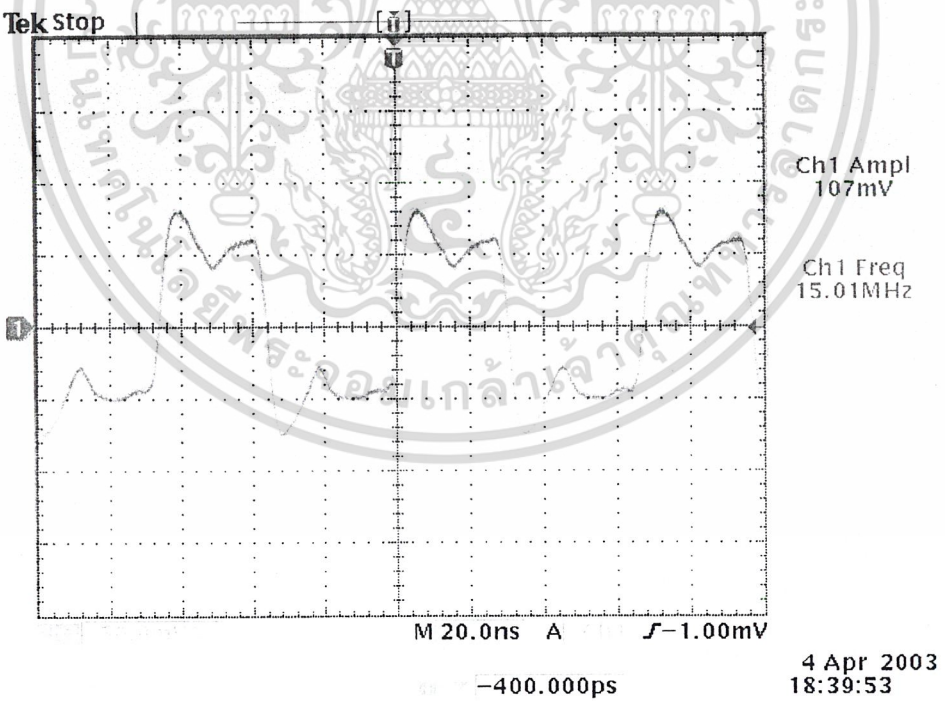


รูปที่ 4.2 สัญญาณที่เอาท์พุทของ ตัวAmplifier

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

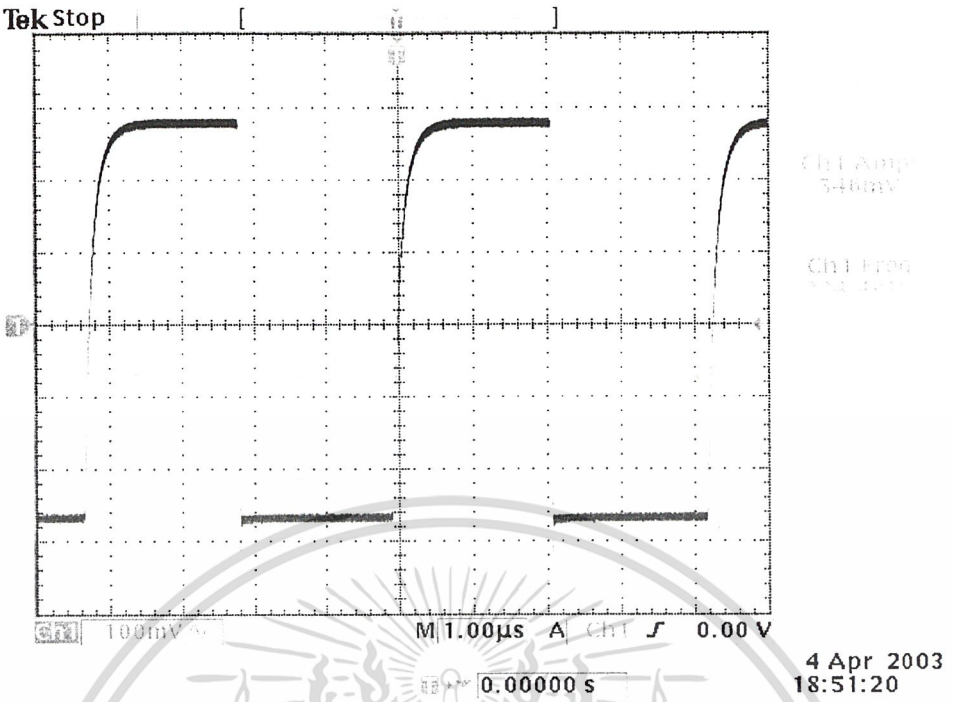


รูปที่ 4.3 สัญญาณเอาท์พุทของSchmitt trigger ในขาลบ



รูปที่ 4.4 สัญญาณเอาท์พุทของSchmitt trigger ในขาบวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.5 สัญญาณเอาท์พุทของ ECL Prescaler

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
สรุปและวิจารณ์

จากผลการทดลองข้างต้นเราจะพบว่าที่ความถี่ต่ำนั้น วงจรจะไม่สามารถนับได้อย่างถูกต้อง ทั้งนี้เนื่องจากที่ความถี่ต่ำ ลง ตัว ECL Prescaler มีค่า Noise Margin ที่สูงขึ้นซึ่งเป็นคุณสมบัติของตัว IC ทำให้ที่ความถี่ต่ำลง ตัว ECL Prescaler ไม่สามารถ หารความถี่ได้อย่างถูกต้องส่งผลให้ความถี่ที่นับได้ผิดไปด้วย ส่วนในการแก้ไขนั้นอาจทำการกัดลายวงจรขึ้นมาใช้แทนลายวงจรสำเร็จรูป หรือใช้วงจร Interface เพื่อช่วยให้ระดับสัญญาณ ของ เอาท์พุทจาก Schmitt trigger มีขนาดใหญ่ขึ้น

ส่วนความถี่สูงขึ้นนั้นวงจรสามารถนับได้อย่างถูกต้อง แต่จะมีบ้างช่วงความถี่นั้น เกิดความผิดพลาดในการนับขึ้นนั้น เนื่องจากมีการเกิด Quantizing error ที่ได้กล่าวไว้แล้วในบทที่ 1 ซึ่งความผิดพลาดนี้เป็นสิ่งที่หลีกเลี่ยงได้ยาก แก้ไขได้โดยการทำให้ช่วงเวลาที่ใช้ในการ Reset ตัวเคาท์เตอร์นั้นแคบที่สุด ซึ่งทำให้ได้แคบที่สุดเพียง rise time ของตัวโมโนสเตเบิล และความเป็นไปได้อีกอย่างที่ทำให้เกิดความผิดเพี้ยนนั้น เกิดจากสัญญาณที่ความถี่นั้นๆ มีความถี่ไปตรง กับความถี่ Resonant ของตัวลายวงจร เนื่องจากตัวลายของวงจรมีคุณสมบัติของ ตัวเก็บประจุ และ ตัวเหนี่ยวนำอยู่ฉะนั้นการแก้ไข จึงต้องคำนึงถึงการเดินลายของวงจรด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บรรณานุกรม

รศ. ประทีป บัญญัตินพรัตน์. ทฤษฎีการใช้งาน วงจรดิจิตอลเล่ม 2.
ภาควิชาวิศวกรรมคอมพิวเตอร์ คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง กรุงเทพมหานคร, 2535.

น.อ. ธวัชชัย เลื่อนฉวี และ พ.ต. อนุรักษ์ เถื่อนศิริ. ดิจิตอลเทคนิค เล่ม 1.
บริษัท ศุภาลัย มีเดีย จำกัด, 2537.

ธนัท ชัยยุทธ และ กณพ แก้วพิชัย . ดิจิตอลพื้นฐาน
บริษัท ซีเอ็ดยูเคชั่น จำกัด, 2521.

Roger L. Tokheim. Digital Electronics Fouth Edition
McGraw – Hill, Inc, 2540.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
            ORG 0000H
            JMP MAIN

  DSP         EQU   67H
  DATA_UNSEP  EQU   40H
  DATA_SEP    EQU   50H
  DATA_BINA   EQU   60H


            ORG     0003H
INTR_SERV:  PUSH    PSW
            PUSH    ACC
            PUSH    00H
            PUSH    01H
;CLEAR OLD BCD
            MOV     R0,#DATA_BINA
CLEAR:      MOV     @R0,#00H
            INC     R0
            CJNE    R0,#DATA_BINA+8,CLEAR
;GET DATA
            MOV     P1,#0FFH
            MOV     P3,#0FFH
            CLR     P3.5
            MOV     DATA_UNSEP,P1
            SETB    P3.5
            CLR     P3.6
            MOV     DATA_UNSEP+1,P1
            SETB    P3.6
            CLR     P3.7
            MOV     DATA_UNSEP+2,P1
            SETB    P3.7

;SEP DATA
SEPDATA:    MOV     A,DATA_UNSEP
            ANL     A,#0F0H
            SWAP    A
            MOV     DATA_SEP,A
            MOV     A,DATA_UNSEP
            ANL     A,#0FH
            MOV     DATA_SEP+1,A
            MOV     A,DATA_UNSEP+1
            ANL     A,#0F0H
            SWAP    A
            MOV     DATA_SEP+2,A
            MOV     A,DATA_UNSEP+1
            ANL     A,#0FH
            MOV     DATA_SEP+3,A
            MOV     A,DATA_UNSEP+2
            ANL     A,#0F0H
            SWAP    A
            MOV     DATA_SEP+4,A
            MOV     A,DATA_UNSEP+2
            ANL     A,#0FH
            MOV     DATA_SEP+5,A

; CONVERT BINARY TO BCD
            MOV     R1,#DATA_BINA+7
LOOP:       MOV     R0,#DATA_SEP
            MOV     R3,#6
            MOV     A,@R0
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
            CLR     C
DIVIDE:     JZ      SKIP
            MOV     B,#10
            DIV     AB
            MOV     @R0,A
            MOV     R2,B
            MOV     A,R3
            SETB    C
            JZ      SAVEANS
            MOV     A,R2
            SWAP    A
SKIP:       INC     R0
            ORL     A,@R0
            DJNZ    R3,DIVIDE
SAVEANS:    MOV     @R1,02H
            DEC     R1
            MOV     R2,#00H
            JC      LOOP

; CONVERT BCD TO SEGMENT CODE
Convert:    MOV     R1,#DATA_BINA+7
S_CON:      Mov     A,@R1
            Mov     DPTR,#TABLE
            Movc    A,@A+DPTR
            MOV     @R1,A
            DEC     R1
            CJNE    R1,#DATA_BINA-1,S_CON
            ORL     63H,#80H
            POP     01H
            POP     00H
            POP     ACC
            POP     PSW
            RETI

TABLE:      DB      3FH,06H,5BH,4FH
            DB      66H,6DH,7DH,07H
            DB      7FH,6FH


MAIN:       MOV     P3,#00H
            MOV     P0,#11001001B
            MOV     P2,#0FFH
            CALL    DELAY_2s
            CALL    DELAY_2s
            CALL    DELAY_2s
            MOV     IE,#10000001B
            MOV     P3,#0FFH

DISPLAY:    MOV     R0,#DSP
            MOV     A,#10000000B
SUB_D1:     MOV     P0,@R0
            MOV     P2,A
            ;CALL   DELAY_1ms
            MOV     P2,#00H
            DEC     R0
            RR      A
            CJNE    R0,#DSP-7,SUB_D1
            JMP     DISPLAY

;DELAY
DELAY_1ms:  MOV     R4,#0E6H
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                DJNZ    R4,$
                RET

DELAY_2s:       MOV     R6,#10H
DELAY1:         MOV     R5,#12H
DELAY2:         MOV     R4,#0FAH
                DJNZ    R4,$
                DJNZ    R5,DELAY2
                DJNZ    R6,DELAY1
                RET
END
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC74VHC00

Quad 2-Input NAND Gate

The MC74VHC00 is an advanced high speed CMOS 2–input NAND gate fabricated with silicon gate CMOS technology. It achieves high speed operation similar to equivalent Bipolar Schottky TTL while maintaining CMOS low power dissipation.

The internal circuit is composed of three stages, including a buffer output which provides high noise immunity and stable output. The inputs tolerate voltages up to 7V, allowing the interface of 5V systems to 3V systems.

- High Speed: t_{PD} = 3.7ns (Typ) at V_{CC} = 5V
- Low Power Dissipation: I_{CC} = 2μA (Max) at T_A = 25°C
- High Noise Immunity: $V_{NIH} = V_{NIL}$ = 28% V_{CC}
- Power Down Protection Provided on Inputs
- Balanced Propagation Delays
- Designed for 2V to 5.5V Operating Range
- Low Noise: V_{OLP} = 0.8V (Max)
- Pin and Function Compatible with Other Standard Logic Families
- Latchup Performance Exceeds 300mA
- ESD Performance: HBM > 2000V; Machine Model > 200V
- Chip Complexity: 32 FETs or 8 Equivalent Gates

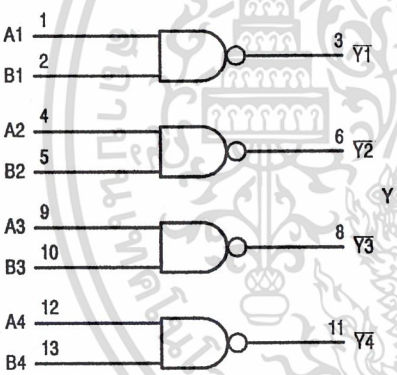


Figure 1. LOGIC DIAGRAM

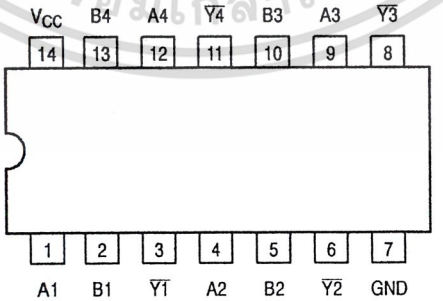


Figure 2. Pinout: 14–Lead Packages
(Top View)

D SUFFIX
14–LEAD SOIC PACKAGE
CASE 751A–03

DT SUFFIX
14–LEAD TSSOP PACKAGE
CASE 948G–01

M SUFFIX
14–LEAD SOIC EIAJ PACKAGE
CASE 965–01

ORDERING INFORMATION

MC74VHCXXD	SOIC
MC74VHCXXDT	TSSOP
MC74VHCXXM	SOIC EIAJ

FUNCTION TABLE

Inputs		Output
A	B	$\overline{Y}$
L	L	H
L	H	H
H	L	H
H	H	L

© Semiconductor Components Industries, LLC, 2001

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MAXIMUM RATINGS*

Symbol	Parameter	Value	Unit
V_{CC}	DC Supply Voltage	– 0.5 to + 7.0	V
V_{in}	DC Input Voltage	– 0.5 to + 7.0	V
V_{out}	DC Output Voltage	– 0.5 to V_{CC} + 0.5	V
I_{IK}	Input Diode Current	– 20	mA
I_{OK}	Output Diode Current	± 20	mA
I_{out}	DC Output Current, per Pin	± 25	mA
I_{CC}	DC Supply Current, V_{CC} and GND Pins	± 50	mA
P_D	Power Dissipation in Still Air, SOIC Packages†	500	mW
	TSSOP Package†	450	
T_{stg}	Storage Temperature	– 65 to + 150	°C

This device contains protection circuitry to guard against damage due to high static voltages or electric fields. However, precautions must be taken to avoid applications of any voltage higher than maximum rated voltages to this high–impedance circuit. For proper operation, V_{in} and V_{out} should be constrained to the range GND ≤ (V_{in} or V_{out}) ≤ V_{CC}.

Unused inputs must always be tied to an appropriate logic voltage level (e.g., either GND or V_{CC}). Unused outputs must be left open.

* Absolute maximum continuous ratings are those values beyond which damage to the device may occur. Exposure to these conditions or conditions beyond those indicated may adversely affect device reliability. Functional operation under absolute–maximum–rated conditions is not implied.

†Derating — SOIC Packages: – 7 mW/°C from 65° to 125°C
TSSOP Package: – 6.1 mW/°C from 65° to 125°C

RECOMMENDED OPERATING CONDITIONS

Symbol	Parameter		Min	Max	Unit
V_{CC}	DC Supply Voltage		2.0	5.5	V
V_{in}	DC Input Voltage		0	5.5	V
V_{out}	DC Output Voltage		0	V_{CC}	V
T_A	Operating Temperature, All Package Types		– 40	+ 85	°C
t_r, t_f	Input Rise and Fall Time	V_{CC} = 3.3V ±0.3V	0	100	ns/V
		V_{CC} =5.0V ±0.5V	0	20	

DC ELECTRICAL CHARACTERISTICS

Symbol	Parameter	Test Conditions	V_{CC} V	T_A = 25°C Min	T_A = 25°C Typ	T_A = 25°C Max	T_A = – 40 to 85°C Min	T_A = – 40 to 85°C Max	Unit
V_{IH}	High–Level Input Voltage		2.0	1.50			1.50		V
			3.0 to 5.5	V_{CC} x 0.7			V_{CC} x 0.7		
V_{IL}	Low–Level Input Voltage		2.0			0.50		0.50	V
			3.0 to 5.5			V_{CC} x 0.3		V_{CC} x 0.3	
V_{OH}	High–Level Output Voltage	V_{in} = V_{IH} or V_{IL} I_{OH} = – 50µA	2.0	1.9	2.0		1.9		V
			3.0	2.9	3.0		2.9		
			4.5	4.4	4.5		4.4		
		V_{in} = V_{IH} or V_{IL} I_{OH} = – 4mA	3.0	2.58			2.48		
		I_{OH} = – 8mA	4.5	3.94			3.80		
V_{OL}	Low–Level Output Voltage	V_{in} = V_{IH} or V_{IL} I_{OL} = 50µA	2.0		0.0	0.1		0.1	V
			3.0		0.0	0.1		0.1	
			4.5		0.0	0.1		0.1	
		V_{in} = V_{IH} or V_{IL} I_{OL} = 4mA	3.0			0.36		0.44	
		I_{OL} = 8mA	4.5			0.36		0.44	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DC ELECTRICAL CHARACTERISTICS

Symbol	Parameter	Test Conditions	V_{CC} V	T_A = 25°C			T_A = – 40 to 85°C		Unit
				Min	Typ	Max	Min	Max	
I_{in}	Input Leakage Current	V_{in} = 5.5V or GND	0 to 5.5			± 0.1		± 1.0	μA
I_{CC}	Quiescent Supply Current	V_{in} = V_{CC} or GND	5.5			2.0		20.0	μA

AC ELECTRICAL CHARACTERISTICS (Input $t_r = t_f$ = 3.0ns)

Symbol	Parameter	Test Conditions	T_A = 25°C			T_A = – 40 to 85°C		Unit
			Min	Typ	Max	Min	Max	
t_{PLH}, t_{PHL}	Propagation Delay, A or B to $\overline{Y}$	V_{CC} = 3.3 ± 0.3V C_L = 15pF		5.5	7.9	1.0	9.5	ns
		C_L = 50pF		8.0	11.4	1.0	13.0	
		V_{CC} = 5.0 ± 0.5V C_L = 15pF		3.7	5.5	1.0	6.5	
		C_L = 50pF		5.2	7.5	1.0	8.5	
C_{in}	Input Capacitance			4	10		10	pF

		Typical @ 25°C, V_{CC} = 5.0V	
C_{PD}	Power Dissipation Capacitance (Note 1.)	19	pF

1. C_{PD} is defined as the value of the internal equivalent capacitance which is calculated from the operating current consumption without load. Average operating current can be obtained by the equation: $I_{CC(OPR)} = C_{PD} \bullet V_{CC} \bullet f_{in} + I_{CC}/4$ (per gate). C_{PD} is used to determine the no–load dynamic power consumption; $P_D = C_{PD} \bullet V_{CC}^2 \bullet f_{in} + I_{CC} \bullet V_{CC}$.

NOISE CHARACTERISTICS (Input $t_r = t_f$ = 3.0ns, C_L = 50pF, V_{CC} = 5.0V, Measured in SOIC Package)

Symbol	Characteristic	T_A = 25°C		Unit
		Typ	Max	
V_{OLP}	Quiet Output Maximum Dynamic V_{OL}	0.3	0.8	V
V_{OLV}	Quiet Output Minimum Dynamic V_{OL}	– 0.3	– 0.8	V
V_{IHD}	Minimum High Level Dynamic Input Voltage		3.5	V
V_{ILD}	Maximum Low Level Dynamic Input Voltage		1.5	V

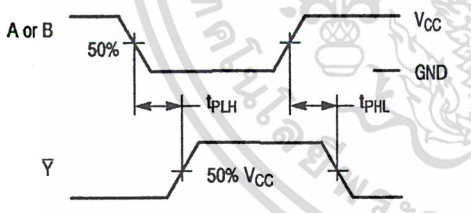
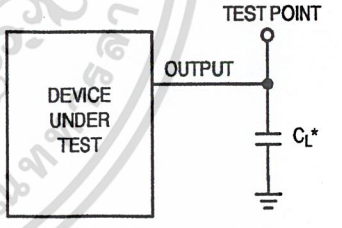


Figure 3. Switching Waveforms



*Includes all probe and jig capacitance

Figure 4. Test Circuit

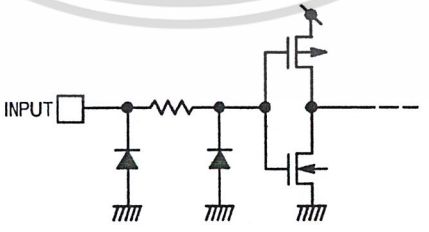
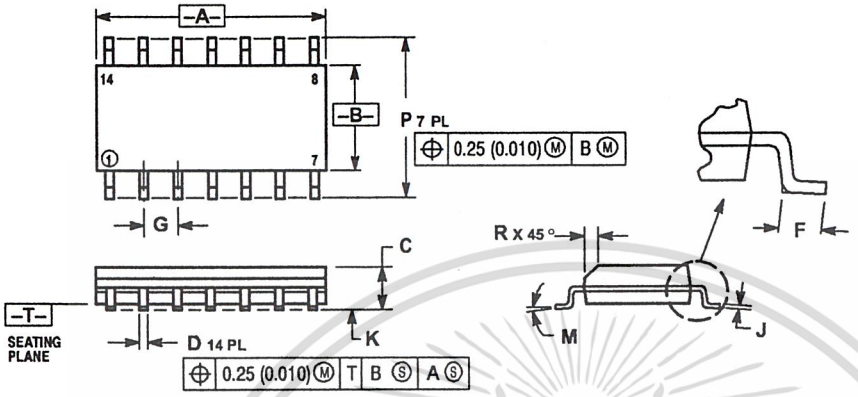


Figure 5. Input Equivalent Circuit

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

OUTLINE DIMENSIONS

D SUFFIX
SOIC–14
CASE 751A–03
ISSUE F



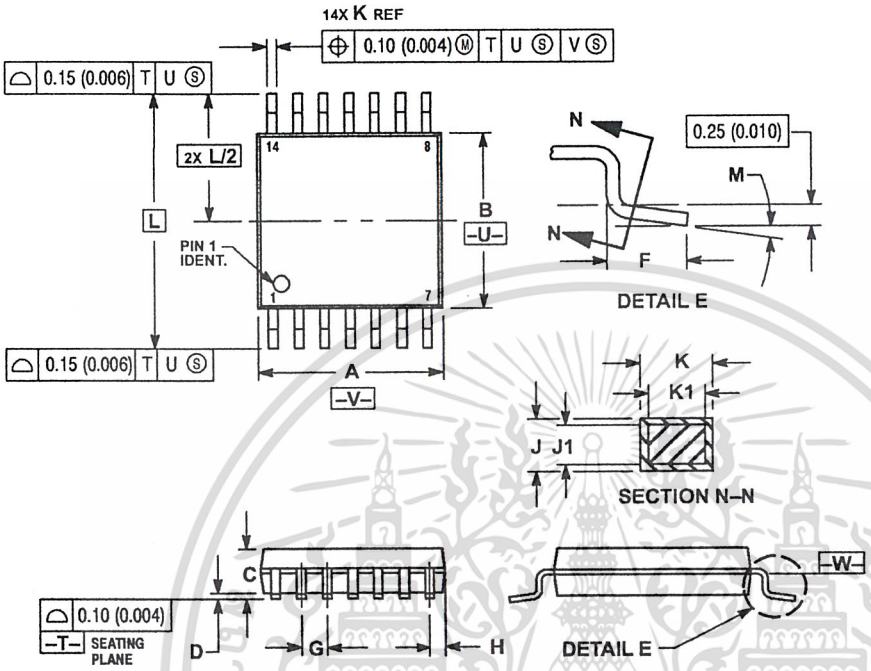
NOTES:
1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982.
2. CONTROLLING DIMENSION: MILLIMETER.
3. DIMENSIONS A AND B DO NOT INCLUDE MOLD PROTRUSION.
4. MAXIMUM MOLD PROTRUSION 0.15 (0.006) PER SIDE.
5. DIMENSION D DOES NOT INCLUDE DAMBAR PROTRUSION. ALLOWABLE DAMBAR PROTRUSION SHALL BE 0.127 (0.005) TOTAL IN EXCESS OF THE D DIMENSION AT MAXIMUM MATERIAL CONDITION.

	MILLIMETERS		INCHES	
DIM	MIN	MAX	MIN	MAX
A	8.55	8.75	0.337	0.344
B	3.80	4.00	0.150	0.157
C	1.35	1.75	0.054	0.068
D	0.35	0.49	0.014	0.019
F	0.40	1.25	0.016	0.049
G	1.27 BSC		0.050 BSC	
J	0.19	0.25	0.008	0.009
K	0.10	0.25	0.004	0.009
M	0°	7°	0°	7°
P	5.80	6.20	0.228	0.244
R	0.25	0.50	0.010	0.019

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

OUTLINE DIMENSIONS

DT SUFFIX
TSSOP
CASE 948G–01
ISSUE O



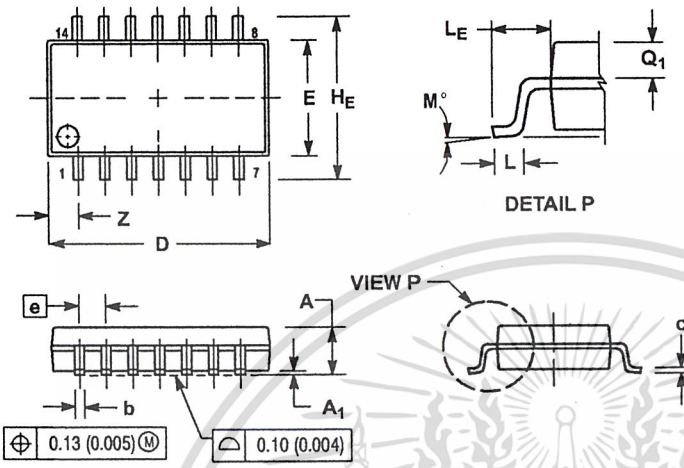
NOTES:
1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982.
2. CONTROLLING DIMENSION: MILLIMETER.
3. DIMENSION A DOES NOT INCLUDE MOLD FLASH, PROTRUSIONS OR GATE BURRS. MOLD FLASH OR GATE BURRS SHALL NOT EXCEED 0.15 (0.006) PER SIDE.
4. DIMENSION B DOES NOT INCLUDE INTERLEAD FLASH OR PROTRUSION. INTERLEAD FLASH OR PROTRUSION SHALL NOT EXCEED 0.25 (0.010) PER SIDE.
5. DIMENSION K DOES NOT INCLUDE DAMBAR PROTRUSION. ALLOWABLE DAMBAR PROTRUSION SHALL BE 0.08 (0.003) TOTAL IN EXCESS OF THE K DIMENSION AT MAXIMUM MATERIAL CONDITION.
6. TERMINAL NUMBERS ARE SHOWN FOR REFERENCE ONLY.
7. DIMENSION A AND B ARE TO BE DETERMINED AT DATUM PLANE -W-.

	MILLIMETERS		INCHES	
DIM	MIN	MAX	MIN	MAX
A	4.90	5.10	0.193	0.200
B	4.30	4.50	0.169	0.177
C	---	1.20	---	0.047
D	0.05	0.15	0.002	0.006
F	0.50	0.75	0.020	0.030
G	0.65 BSC		0.026 BSC	
H	0.50	0.60	0.020	0.024
J	0.09	0.20	0.004	0.008
J1	0.09	0.16	0.004	0.006
K	0.19	0.30	0.007	0.012
K1	0.19	0.25	0.007	0.010
L	6.40 BSC		0.252 BSC	
M	0°	8°	0°	8°

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

OUTLINE DIMENSIONS

M SUFFIX
SO–14
CASE 965–01
ISSUE O



NOTES:
1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982.
2. CONTROLLING DIMENSION: MILLIMETER.
3. DIMENSIONS D AND E DO NOT INCLUDE MOLD FLASH OR PROTRUSIONS AND ARE MEASURED AT THE PARTING LINE. MOLD FLASH OR PROTRUSIONS SHALL NOT EXCEED 0.15 (0.006) PER SIDE.
4. TERMINAL NUMBERS ARE SHOWN FOR REFERENCE ONLY.
5. THE LEAD WIDTH DIMENSION (b) DOES NOT INCLUDE DAMBAR PROTRUSION. ALLOWABLE DAMBAR PROTRUSION SHALL BE 0.08 (0.003) TOTAL IN EXCESS OF THE LEAD WIDTH DIMENSION AT MAXIMUM MATERIAL CONDITION. DAMBAR CANNOT BE LOCATED ON THE LOWER RADIUS OR THE FOOT. MINIMUM SPACE BETWEEN PROTRUSIONS AND ADJACENT LEAD TO BE 0.46 (0.018).

	MILLIMETERS		INCHES	
DIM	MIN	MAX	MIN	MAX
A	---	2.05	---	0.081
A_1	0.05	0.20	0.002	0.008
b	0.35	0.50	0.014	0.020
c	0.18	0.27	0.007	0.011
D	9.90	10.50	0.390	0.413
E	5.10	5.45	0.201	0.215
e	1.27 BSC		0.050 BSC	
H_E	7.40	8.20	0.291	0.323
0.50	0.50	0.85	0.020	0.033
L_E	1.10	1.50	0.043	0.059
M	0 °	10 °	0 °	10 °
Q_1	0.70	0.90	0.028	0.035
Z	---	1.42	---	0.056

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Notes

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ON Semiconductor and ON are trademarks of Semiconductor Components Industries, LLC (SCILLC). SCILLC reserves the right to make changes without further notice to any products herein. SCILLC makes no warranty, representation or guarantee regarding the suitability of its products for any particular purpose, nor does SCILLC assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation special, consequential or incidental damages. "Typical" parameters which may be provided in SCILLC data sheets and/or specifications can and do vary in different applications and actual performance may vary over time. All operating parameters, including "Typicals" must be validated for each customer application by customer's technical experts. SCILLC does not convey any license under its patent rights nor the rights of others. SCILLC products are not designed, intended, or authorized for use as components in systems intended for surgical implant into the body, or other applications intended to support or sustain life, or for any other application in which the failure of the SCILLC product could create a situation where personal injury or death may occur. Should Buyer purchase or use SCILLC products for any such unintended or unauthorized application, Buyer shall indemnify and hold SCILLC and its officers, employees, subsidiaries, affiliates, and distributors harmless against all claims, costs, damages, and expenses, and reasonable attorney fees arising out of, directly or indirectly, any claim of personal injury or death associated with such unintended or unauthorized use, even if such claim alleges that SCILLC was negligent regarding the design or manufacture of the part. SCILLC is an Equal Opportunity/Affirmative Action Employer.

PUBLICATION ORDERING INFORMATION

NORTH AMERICA Literature Fulfillment:
Literature Distribution Center for ON Semiconductor
P.O. Box 5163, Denver, Colorado 80217 USA
Phone: 303–675–2175 or 800–344–3860 Toll Free USA/Canada
Fax: 303–675–2176 or 800–344–3867 Toll Free USA/Canada
Email: ONlit@hibbertco.com
Fax Response Line: 303–675–2167 or 800–344–3810 Toll Free USA/Canada

N. American Technical Support: 800–282–9855 Toll Free USA/Canada

EUROPE: LDC for ON Semiconductor – European Support
German Phone: (+1) 303–308–7140 (Mon–Fri 2:30pm to 7:00pm CET)
Email: ONlit–german@hibbertco.com
French Phone: (+1) 303–308–7141 (Mon–Fri 2:00pm to 7:00pm CET)
Email: ONlit–french@hibbertco.com
English Phone: (+1) 303–308–7142 (Mon–Fri 12:00pm to 5:00pm GMT)
Email: ONlit@hibbertco.com

EUROPEAN TOLL–FREE ACCESS*: 00–800–4422–3781
*Available from Germany, France, Italy, UK, Ireland

CENTRAL/SOUTH AMERICA:
Spanish Phone: 303–308–7143 (Mon–Fri 8:00am to 5:00pm MST)
Email: ONlit–spanish@hibbertco.com
Toll–Free from Mexico: Dial 01–800–288–2872 for Access –
then Dial 866–297–9322

ASIA/PACIFIC: LDC for ON Semiconductor – Asia Support
Phone: 1–303–675–2121 (Tue–Fri 9:00am to 1:00pm, Hong Kong Time)
Toll Free from Hong Kong & Singapore:
001–800–4422–3781
Email: ONlit–asia@hibbertco.com

JAPAN: ON Semiconductor, Japan Customer Focus Center
4–32–1 Nishi–Gotanda, Shinagawa–ku, Tokyo, Japan 141–0031
Phone: 81–3–5740–2700
Email: r14525@onsemi.com

ON Semiconductor Website: http://onsemi.com

For additional information, please contact your local
Sales Representative.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC10116

Triple Line Receiver

The MC10116 is a triple differential amplifier designed for use in sensing differential signals over long lines. The base bias supply (V_{BB}) is made available at pin 11 to make the device useful as a Schmitt trigger, or in other applications where a stable reference voltage is necessary.

Active current sources provide the MC10116 with excellent common mode noise rejection. If any amplifier in a package is not used, one input of that amplifier must be connected to V_{BB} (pin 11) to prevent upsetting the current source bias network.

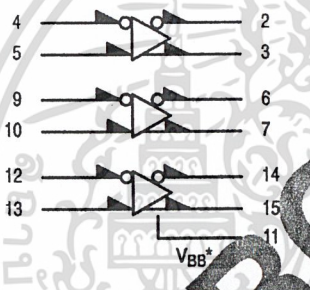
Complementary outputs are provided to allow driving twisted pair lines, to enable cascading of several amplifiers in a chain, or simply to provide complement outputs of the input logic function.

- P_D = 85 mW typ/pkg (No Load)
- t_{pd} = 2.0 ns typ
- t_r, t_f = 2.0 ns typ (20%–80%)

ON Semiconductor

http://onsemi.com

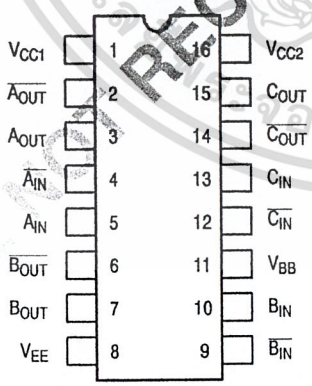
LOGIC DIAGRAM



*V_{BB} to be used to supply bias to the MC10116 only and bypassed (when used) with 0.01 μF to 0.1 μF capacitor to ground (0 V). V_{BB} can source ≤ 1.0 mA.

When the input pin with the bubble goes positive, the output pin with the bubble goes positive.

DIP PIN ASSIGNMENT



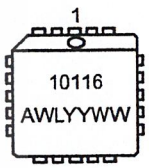
Pin assignment is for Dual–in–Line Package.
For PLCC pin assignment, see the Pin Conversion Tables on page 18 of the ON Semiconductor MECL Data Book (DL122/D).

MARKING DIAGRAMS

CDIP–16
L SUFFIX
CASE 620

PDIP–16
P SUFFIX
CASE 648

PLCC–20
FN SUFFIX
CASE 775



A = Assembly Location
WL = Wafer Lot
YY = Year
WW = Work Week

ORDERING INFORMATION

Device	Package	Shipping
MC10116L	CDIP–16	25 Units / Rail
MC10116P	PDIP–16	25 Units / Rail
MC10116FN	PLCC–20	46 Units / Rail

ARCHIVE RECOMMENDED FOR NEW DESIGN

© Semiconductor Components Industries, LLC, 2002

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS

Characteristic	Symbol	Pin Under Test	Test Limits							Unit
			–30°C		+25°C			+85°C		
			Min	Max	Min	Typ	Max	Min	Max	
Power Supply Drain Current	I_E	8		23		17	21		23	mAdc
Input Current	I_{inH}	4		150			95		95	µAdc
	I_{CBO}	4		1.5			1.0		1.0	µAdc
Output Voltage Logic 1	V_{OH}	2 3	–1.060 –1.060	–0.890 –0.890	–0.960 –0.960		–0.810 –0.810	–0.890 –0.890	–0.700 –0.700	Vdc
Output Voltage Logic 0	V_{OL}	2 3	–1.890 –1.890	–1.675 –1.675	–1.850 –1.850		–1.650 –1.650	–1.825 –1.825	–1.615 –1.615	Vdc
Threshold Voltage Logic 1	V_{OHA}	2 3	–1.080 –1.080		–0.980 –0.980			–0.910 –0.910		Vdc
Threshold Voltage Logic 0	V_{OLA}	2 3		–1.655 –1.655			–1.630 –1.630		–1.595 –1.595	Vdc
Reference Voltage	V_{BB}	11	–1.420	–1.280	–1.350		–1.230	–1.295	–1.150	Vdc
Switching Times (50Ω Load)										ns
Propagation Delay	t_{4+2+}	2	1.0	3.1	1.0	2.0	2.9	1.0	3.3	
	t_{4-2-}	2	1.0	3.1	1.0	2.0	2.9	1.0	3.3	
	t_{4+3-}	3	1.0	3.1	1.0	2.0	2.9	1.0	3.3	
	t_{4-3+}	3	1.0	3.1	1.0	2.0	2.9	1.0	3.3	
Rise Time (20 to 80%)	t_{2+}	2	1.1	3.6	1.1	2.0	3.3	1.1	3.7	
	t_{3+}	3	1.1	3.6	1.1	2.0	3.3	1.1	3.7	
Fall Time (20 to 80%)	t_{2-}	2	1.1	3.6	1.1	2.0	3.3	1.1	3.7	
	t_{3-}	3	1.1	3.6	1.1	2.0	3.3	1.1	3.7	

ARCHIVE NOT RECOMMENDED FOR NEW DESIGN

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS (continued)

@ Test Temperature	TEST VOLTAGE VALUES (Volts) V_{IHmax}	V_{ILmin}	V_{IHAmin}	V_{ILAmax}	V_{BB}	V_{EE}
–30°C	–0.890	–1.890	–1.205	–1.500	From Pin 11	–5.2
+25°C	–0.810	–1.850	–1.105	–1.475		–5.2
+85°C	–0.700	–1.825	–1.035	–1.440		–5.2

Characteristic		Symbol	Pin Under Test	TEST VOLTAGE APPLIED TO PINS LISTED BELOW V_{IHmax}	V_{ILmin}	V_{IHAmin}	V_{ILAmax}	V_{BB}	V_{EE}	(V_{CC}) Gnd
Power Supply Drain Current		I_E	8		4, 9, 12			5, 10, 13	8	1, 16
Input Current		I_{inH}	4	4	9, 12			5, 10, 13	8	1, 16
		I_{CBO}	4		9, 12			5, 10, 13	8,4	1, 16
Output Voltage	Logic 1	V_{OH}	2	4	9, 12			5, 10, 13	8	1, 16
			3	9, 12	4			5, 10, 13	8	1, 16
Output Voltage	Logic 0	V_{OL}	2	9, 12	4			5, 10, 13	8	1, 16
			3	4	9, 12			5, 10, 13	8	1, 16
Threshold Voltage	Logic 1	V_{OHA}	2		9, 12	4		5, 10, 13	8	1, 16
			3	9, 12			4	5, 10, 13	8	1, 16
Threshold Voltage	Logic 0	V_{OLA}	2		9, 12		4	5, 10, 13	8	1, 16
			3	9, 12		4		5, 10, 13	8	1, 16
Reference Voltage		V_{BB}	11					5, 10, 13	8	1, 16
Switching Times	(50Ω Load)					Pulse In	Pulse Out		–3.2 V	+2.0 V
Propagation Delay		t_{4+2+}	2			4	2	5, 10, 13	8	1, 16
		t_{4-2-}	2			4	2	5, 10, 13	8	1, 16
		t_{4+3-}	3			4	3	5, 10, 13	8	1, 16
		t_{4-3+}	3			4	3	5, 10, 13	8	1, 16
Rise Time	(20 to 80%)	t_{2+}	2			4	2	5, 10, 13	8	1, 16
		t_{3+}	3			4	3	5, 10, 13	8	1, 16
Fall Time	(20 to 80%)	t_{2-}	2			4	2	5, 10, 13	8	1, 16
		t_{3-}	3			4	3	5, 10, 13	8	1, 16

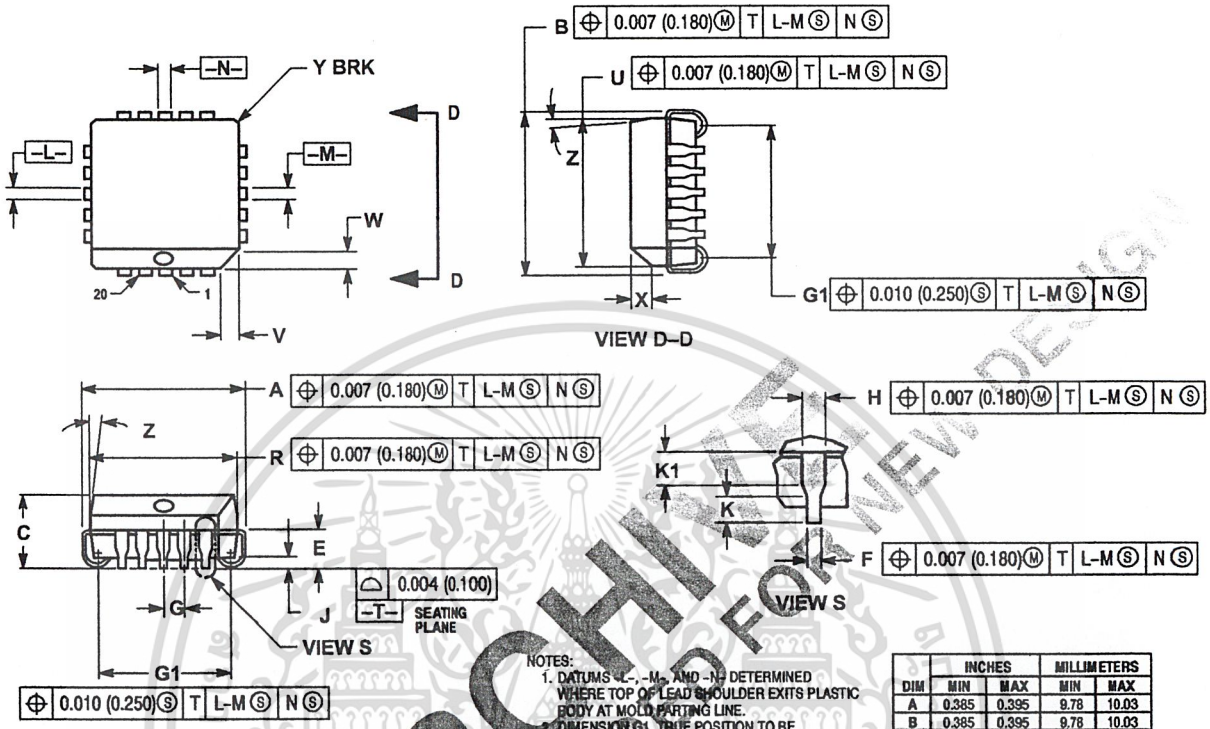
Each MECL 10,000 series circuit has been designed to meet the dc specifications shown in the test table, after thermal equilibrium has been established. The circuit is in a test socket or mounted on a printed circuit board and transverse air flow greater than 500 linear fpm is maintained. Outputs are terminated through a 50-ohm resistor to –2.0 volts. Test procedures are shown for only one gate. The other gates are tested in the same manner.

ARCHIVE
NOT RECOMMENDED FOR

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PACKAGE DIMENSIONS

PLCC–20
FN SUFFIX
PLASTIC PLCC PACKAGE
CASE 775–02
ISSUE C



NOTES:
1. DATUMS -L-, -M-, AND -N- DETERMINED WHERE TOP OF LEAD SHOULDER EXITS PLASTIC BODY AT MOLD PARTING LINE.
2. DIMENSION G1, TRUE POSITION TO BE MEASURED AT DATUM -T-, SEATING PLANE.
3. DIMENSIONS R AND U DO NOT INCLUDE MOLD FLASH. ALLOWABLE MOLD FLASH IS 0.010 (0.250) PER SIDE.
4. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982.
5. CONTROLLING DIMENSION: INCH.
6. THE PACKAGE TOP MAY BE SMALLER THAN THE PACKAGE BOTTOM BY UP TO 0.012 (0.300). DIMENSIONS R AND U ARE DETERMINED AT THE OUTERMOST EXTREMES OF THE PLASTIC BODY EXCLUSIVE OF MOLD FLASH, TIE BAR BURRS, GATE BURRS AND INTERLEAD FLASH, BUT INCLUDING ANY MISMATCH BETWEEN THE TOP AND BOTTOM OF THE PLASTIC BODY.
7. DIMENSION H DOES NOT INCLUDE DAMBAR PROTRUSION OR INTRUSION. THE DAMBAR PROTRUSION(S) SHALL NOT CAUSE THE H DIMENSION TO BE GREATER THAN 0.037 (0.940). THE DAMBAR INTRUSION(S) SHALL NOT CAUSE THE H DIMENSION TO BE SMALLER THAN 0.025 (0.635).

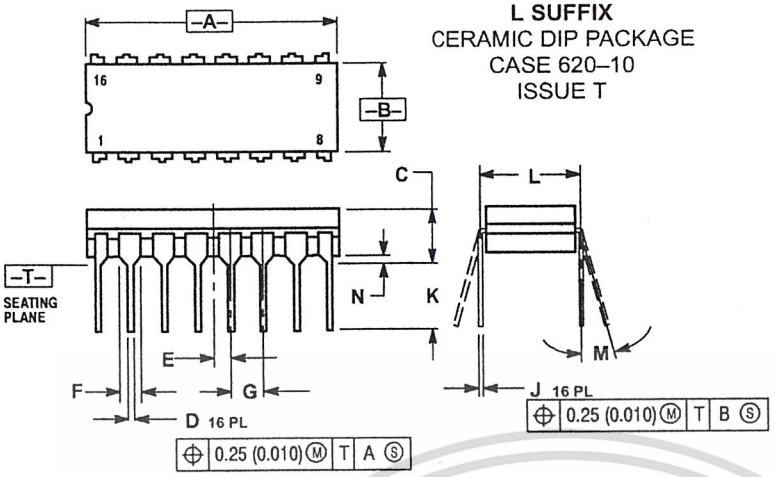
	INCHES		MILLIMETERS	
DIM	MIN	MAX	MIN	MAX
A	0.385	0.395	9.78	10.03
B	0.385	0.395	9.78	10.03
C	0.165	0.180	4.20	4.57
E	0.090	0.110	2.29	2.79
F	0.013	0.019	0.33	0.48
G	0.050 BSC		1.27 BSC	
H	0.026	0.032	0.66	0.81
J	0.020	---	0.51	---
K	0.025	---	0.64	---
R	0.350	0.356	8.89	9.04
U	0.350	0.356	8.89	9.04
V	0.042	0.048	1.07	1.21
W	0.042	0.048	1.07	1.21
X	0.042	0.056	1.07	1.42
Y	---	0.020	---	0.50
Z	2°	10°	2°	10°
G1	0.310	0.330	7.88	8.38
K1	0.040	---	1.02	---

ARCHIVE
NOT RECOMMENDED FOR NEW DESIGN

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PACKAGE DIMENSIONS

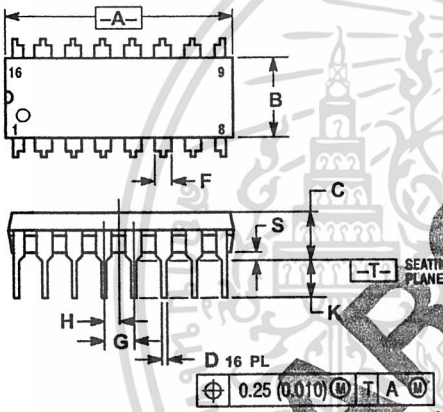
CDIP–16
L SUFFIX
CERAMIC DIP PACKAGE
CASE 620–10
ISSUE T



NOTES:
1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982.
2. CONTROLLING DIMENSION: INCH.
3. DIMENSION L TO CENTER OF LEAD WHEN FORMED PARALLEL.
4. DIMENSION F MAY NARROW TO 0.76 (0.030) WHERE THE LEAD ENTERS THE CERAMIC BODY.

	INCHES		MILLIMETERS	
DIM	MIN	MAX	MIN	MAX
A	0.750	0.785	19.05	19.93
B	0.240	0.295	6.10	7.49
C	---	0.200	---	5.08
D	0.015	0.020	0.39	0.50
E	0.050 BSC		1.27 BSC	
F	0.055	0.065	1.40	1.65
G	0.100 BSC		2.54 BSC	
H	0.008	0.015	0.21	0.38
K	0.125	0.170	3.18	4.31
L	0.300 BSC		7.62 BSC	
M	0°	15°	0°	15°
N	0.020	0.040	0.51	1.01

PDIP–16
P SUFFIX
PLASTIC DIP PACKAGE
CASE 648–08
ISSUE R



NOTES:
1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982.
2. CONTROLLING DIMENSION: INCH.
3. DIMENSION L TO CENTER OF LEADS WHEN FORMED PARALLEL.
4. DIMENSION B DOES NOT INCLUDE MOLD FLASH.
5. ROUNDED CORNERS OPTIONAL.

	INCHES		MILLIMETERS	
DIM	MIN	MAX	MIN	MAX
A	0.740	0.770	18.80	19.55
B	0.250	0.270	6.35	6.85
C	0.145	0.175	3.69	4.44
D	0.015	0.021	0.39	0.53
F	0.040	0.70	1.02	1.77
G	0.100 BSC		2.54 BSC	
H	0.050 BSC		1.27 BSC	
J	0.008	0.015	0.21	0.38
K	0.110	0.130	2.80	3.30
L	0.295	0.305	7.50	7.74
M	0°	10°	0°	10°
S	0.020	0.040	0.51	1.01

ARCHIVE NOT RECOMMENDED FOR DESIGN

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Notes

ARCHIVED
NOT RECOMMENDED FOR NEW DESIGN

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Notes

ARCHIVE
NOT RECOMMENDED FOR NEW DESIGN

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ARCHIVE
NOT RECOMMENDED FOR NEW DESIGN

ON Semiconductor and ON are trademarks of Semiconductor Components Industries, LLC (SCILLC). SCILLC reserves the right to make changes without further notice to any products herein. SCILLC makes no warranty, representation or guarantee regarding the suitability of its products for any particular purpose, nor does SCILLC assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation special, consequential or incidental damages. "Typical" parameters which may be provided in SCILLC data sheets and/or specifications can and do vary in different applications and actual performance may vary over time. All operating parameters, including "Typicals" must be validated for each customer application by customer's technical experts. SCILLC does not convey any license under its patent rights nor the rights of others. SCILLC products are not designed, intended, or authorized for use as components in systems intended for surgical implant into the body, or other applications intended to support or sustain life, or for any other application in which the failure of the SCILLC product could create a situation where personal injury or death may occur. Should Buyer purchase or use SCILLC products for any such unintended or unauthorized application, Buyer shall indemnify and hold SCILLC and its officers, employees, subsidiaries, affiliates, and distributors harmless against all claims, costs, damages, and expenses, and reasonable attorney fees arising out of, directly or indirectly, any claim of personal injury or death associated with such unintended or unauthorized use, even if such claim alleges that SCILLC was negligent regarding the design or manufacture of the part. SCILLC is an Equal Opportunity/Affirmative Action Employer.

PUBLICATION ORDERING INFORMATION

Literature Fulfillment:
Literature Distribution Center for ON Semiconductor
P.O. Box 5163, Denver, Colorado 80217 USA
Phone: 303–675–2175 or 800–344–3860 Toll Free USA/Canada
Fax: 303–675–2176 or 800–344–3867 Toll Free USA/Canada
Email: ONlit@hibbertco.com

N. American Technical Support: 800–282–9855 Toll Free USA/Canada

JAPAN: ON Semiconductor, Japan Customer Focus Center
4–32–1 Nishi–Gotanda, Shinagawa–ku, Tokyo, Japan 141–0031
Phone: 81–3–5740–2700
Email: r14525@onsemi.com

ON Semiconductor Website: http://onsemi.com

For additional information, please contact your local Sales Representative.

MC10116/D

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MOTOROLA

MC12015
MC12016
MC12017

225 MHz DUAL MODULUS PRESCALER

The MC12015, MC12016 and MC12017 are two-modulus prescalers which will divide by 32 and 33, 40 and 41, and 64 and 65 respectively. An internal regulator is provided to allow these devices to be used over a wide range of power-supply voltages. The devices may be operated by applying a supply voltage of 5.0 Vdc ±10% at pin 7 or by applying an unregulated voltage source from 5.5 Vdc to 9.5 Vdc to pin 8.

- 225 MHz Toggle Frequency
- Low-Power — 7.5 mA Max at 6.8 V
- Control Input and Output are Compatible with Standard CMOS
- Connecting Pins 2 and 3 Allows Driving One TTL Load
- Supply Voltage 4.5 V to 9.5 V

MECL PLL COMPONENTS

225 MHz DUAL MODULUS PRESCALER

P SUFFIX
PLASTIC PACKAGE
CASE 626

L SUFFIX
CERAMIC PACKAGE
CASE 693

D SUFFIX
PLASTIC SOIC PACKAGE
CASE 751

MAXIMUM RATINGS

Characteristic	Symbol	Range	Unit
Regulated Voltage, Pin 7	V_{reg}	8.0	Vdc
Power Supply Voltage, Pin 8	V_{CC}	10.0	Vdc
Operating Temperature Range	T_A	-40 to +85	°C
Storage Temperature Range	T_{stg}	-65 to +175	°C

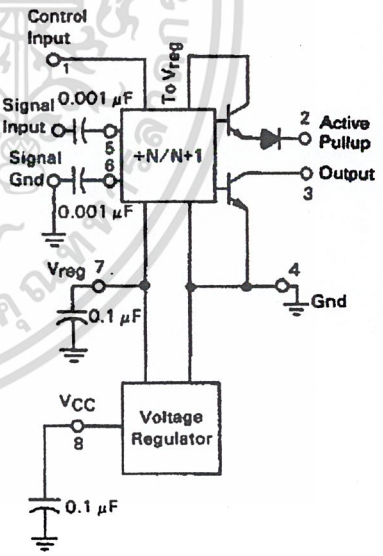
ELECTRICAL CHARACTERISTICS (V_{CC} = 5.5 to 9.5 V_{reg} = 4.5 to 5.5 V, T_A = -40°C to +85°C)

Characteristic	Symbol	Min	Typ	Max	Unit
Toggle Frequency (Sine wave input)	f_{max}	225	—	—	MHz
	f_{min}	—	—	35	MHz
Supply Current	I_{CC}	—	6.0	7.8	mA
Control Input High (÷32, 40 or 64)		2.0	—	—	V
Control Input Low (÷33, 41 or 65)		—	—	0.8	V
Output Voltage High* (I_{source} = 50 μA)	V_{OH}	2.5	—	—	V
Output Voltage Low* (I_{sink} = 2 mA)	V_{OL}	—	—	0.5	V
Input Voltage Sensitivity 35 MHz	V_{in}	400	—	800	mVPP
50-225 MHz		200	—	800	
PLL Response Time (Notes 1 and 2)	t_{PLL}	—	—	t_{out} -70	ns

Notes:
1. t_{PLL} = the period of time the PLL has from the prescaler rising output transition (50%) to the modulus control input edge transition (50%) to ensure proper modulus selection.
2. t_{out} = period of output waveform.

*Pin 2 connected to Pin 3

PRESCALER BLOCK DIAGRAM



1. V_{reg} @ pin 7 is not guaranteed to be between 4.5 and 5.5 V when Vcc is being applied to pin 6.
2. Pin 7 is not to be used as a source of regulated output voltage.

6

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

National Semiconductor

July 1992

DS8615/DS8616 130/225 MHz Low Power Dual Modulus Prescalers

General Description

The DS8615 series products are low power dual modulus prescalers which divide by 32/33 and 40/41 respectively. The modulus control (MC) input selects division by N when at a high TTL level and division by N + 1 when at a low TTL level. The clock inputs are buffered, providing 40/100 mVrms input sensitivity. The two outputs provide the user the option to wire either a totem-pole or open-collector output structure. Additionally, the user can wire a resistor between the two output pins to minimize edge transition emissions. The outputs are designed to drive positive edge triggered PLLs. These products can be operated from either an unregulated 5.5V to 13.5V source or regulated 5V ±10% source. Unregulated operation is obtained by connecting V_S to the source with V_{REG} open. Regulated operation is obtained by connecting both V_S and V_{REG} to the supply source.

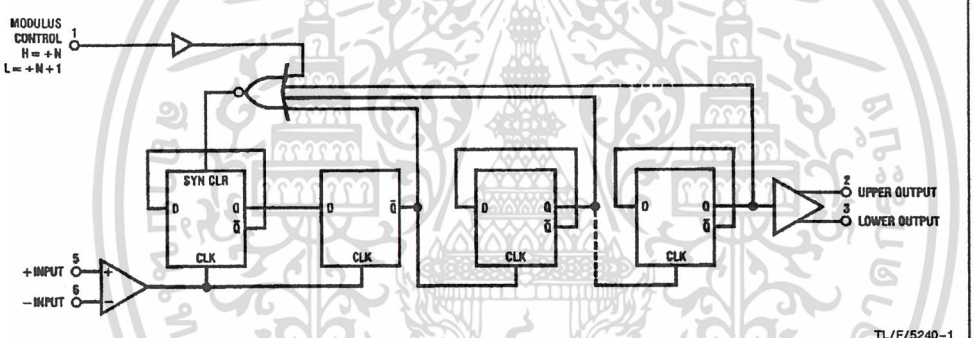
The device can be used in phase-locked loop applications such as FM radio or other communications bands to prescale the input frequency down to a more usable level. A digital frequency display system can also be derived separately or in conjunction with a phase-locked loop, and it can extend the useful range of many inexpensive frequency counters to 225 MHz.

Features

- Input frequency: 130 MHz (-4); 225 MHz (-2)
- Low power: 10 mA (-4, -2)
- Input sensitivity: 100 mVrms (-4); 40 mVrms (-2)
- Pin compatible with Motorola MC12015-16 prescalers
- Unregulated/regulated power supply option

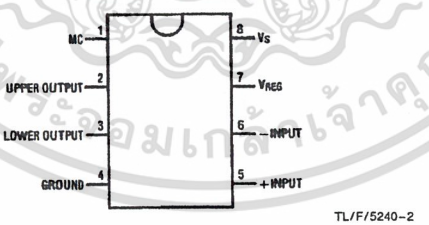
Logic and Connection Diagrams

Generalized ÷ N/N + 1



TL/F/5240–1

Dual-In-Line Package



TL/F/5240–2

Top View

Order Number DS8615N or DS8616N (-4, -2)
See NS Package Number N08E

©1995 National Semiconductor Corporation

RRD-B30M105/Printed in U. S. A.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings (Note 1)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

V_S, Unregulated Supply Voltage	15V
V_{REG}, Regulated Supply Voltage	7V
Modulus Control Input Voltage	7V
Open-Collector Output Voltage	7V
Operating Free Air Temperature Range	−30°C to +70°C
Storage Temperature Range	−65°C to +150°C

Recommended Operating Conditions

Symbol	Parameter	Conditions	DS8615-4 DS8616-4		DS8615-2 DS8616-2		Units
			Min	Max	Min	Max	
V_S	Unregulated Supply Voltage	V_{REG} = Open	6.8	13.5	5.5	13.5	V
V_{REG}	Regulated Supply Voltage	V_S and V_{REG} Shorted	4.5	5.5	4.5	5.5	V
f_{MAX}	Toggle Frequency	V_{IN} = 100 mVrms	20	130		225	MHz
V_{IN}	Input Signal Amplitude		100	300	40	300	mVrms
V_{SLW}	Slew Rate		20		20		V/μs
I_{OH}	High Level Output Current			−400		−400	μA
I_{OL}	Low Level Output Current			2.0		2.0	mA

DC Electrical Characteristics (Notes 2 and 3)

Symbol	Parameter	Conditions	DS8615-4 DS8616-4		DS8615-2 DS8616-2		Units
			Min	Max	Min	Max	
V_{IH}	High Level MC Input Voltage	V_S = 13.5V, V_{REG} = Open	2.0		2.0		V
V_{IL}	Low Level MC Input Voltage	V_{REG} = V_S = 4.5V		0.8		0.8	V
V_{OH}	High Level Output Voltage	I_{OH} = −0.4 mA, Pins 2 and 3 Shorted	V_{REG} −2		V_{REG} −2		V
I_{CEX}	Open-Collector High Level Output	Lower Output = 5.5V		100		100	μA
V_{OL}	Low Level Output Voltage	V_{REG} = 4.5V, I_{OL} = 2 mA		0.5		0.5	V
I_I	Max MC Input Current	V_S = 13.5V, V_{REG} = Open, V_{IH} = 7V		100		100	μA
I_{IH}	High Level MC Input Current	V_{REG} = 4.5V, V_{IH} = 2.7V		20		20	μA
I_{IL}	Low Level MC Input Current	V_S = 13.5V, V_{REG} = Open, V_{IL} = 0.4V		−200		−200	μA
I_S	Supply Current, Unregulated Mode	V_S = 13.5V, V_{REG} = Open		10		10	mA
I_{REG}	Supply Current, Regulated Mode	V_S = V_{REG} = 5.5V		10		10	mA

Note 1: "Absolute Maximum Ratings" are those values beyond which the safety of the device cannot be guaranteed. They are not meant to imply that the device should be operated at these limits. The table of "Electrical Characteristics" provides conditions for actual device operation.

Note 2: Unless otherwise specified Min/Max limits apply across the −30°C to +70°C range.

Note 3: All current into device pins shown as positive, out of device pins as negative, all voltages referenced to ground unless otherwise noted. All values shown as Max or Min on absolute value basis.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC Electrical Characteristics V_{CC} = 5V ±10%, T_A = −30°C to +70°C

Symbol	Parameter		Conditions	Min	Max	Units
$t_{MODULUS}$	Modulus Set-Up Time (Notes 4 and 5)	DS8615, DS8616			65	ns
R_{IN}	AC Input Resistance		V_{IN} = 100 MHz and 50 mVrms	1.0		kΩ
C_{IN}	Input Capacitance		V_{IN} = 100 MHz and 50 mVrms	3	10	pF

Note 1: "Absolute Maximum Ratings" are those values beyond which the safety of the device cannot be guaranteed. Except for "Operating Temperature Range" they are not meant to imply that the devices should be operated at these limits. The table of "Electrical Characteristics" provides conditions for actual device operation.

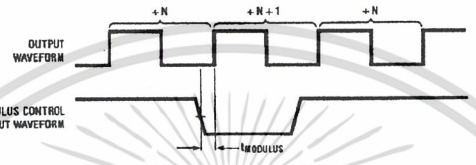
Note 2: Unless otherwise specified min/max limits apply across the −30°C to +70°C temperature range.

Note 3: All currents into device pins are shown as positive, out of device pins as negative, all voltages referenced to ground unless otherwise noted. All values shown as max or min on absolute value basis.

Note 4: $t_{MODULUS}$ = the period of time the modulus control level must be defined prior to the positive transition of the prescaler output to ensure proper modulus selection.

Note 5: See Timing Diagrams.

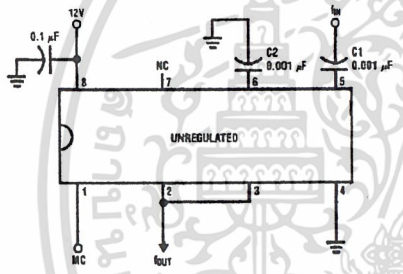
Timing Diagram



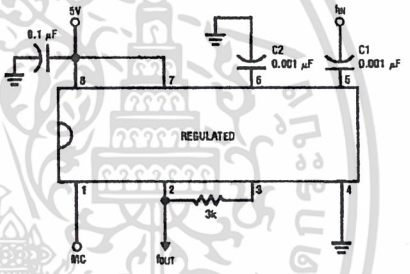
TL/F/5240–3

The logical state of the modulus control input just prior to the output's rising edge will determine the modulus ratio of the device immediately following that rising edge. The pulse width difference of N and N + 1 operation occurs during the output = HI conditions.

Typical Applications

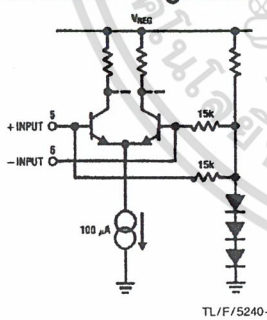


TL/F/5240–4

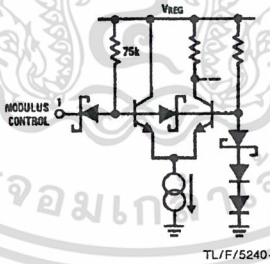


TL/F/5240–5

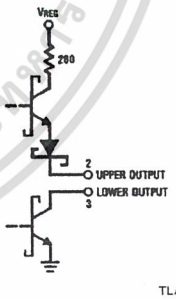
Schematic Diagrams



TL/F/5240–6



TL/F/5240–7



TL/F/5240–8

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Application Hints

OPERATING NOTES

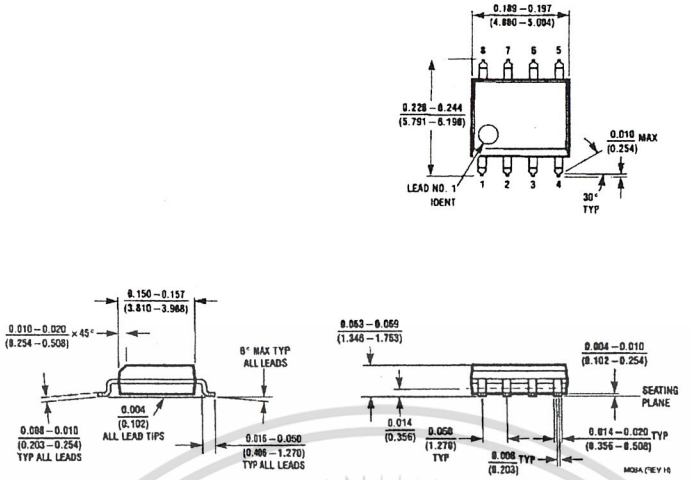
The signal source is usually capacitively coupled to the input. At higher frequencies a 0.001 μF input capacitor (C1) is usually sufficient, with larger values used at the lower frequencies. If the input signal is likely to be interrupted, it may be desirable to connect a 100 kΩ resistor between one input and ground to stabilize the device. In the single-ended mode, it is preferable to connect the resistor to the unused input. In the differential mode, the resistor can be connected to either input. The addition of the 100 kΩ pulldown resistor causes a loss of input sensitivity, but prevents circuit oscillations under no signal (open circuit) conditions. In addition, in the single ended mode, a capacitor of 0.001 μF (C2) should be connected between the unused input and the ground plane to provide a good high frequency bypass. The capacitor should be made larger for lower frequencies.

The input waveform may be sinusoidal, but below about 20 MHz the operation of the circuit becomes dependent on the slew rate of the input rather than amplitude. A square wave input with a slew rate of greater than 20 V/μs will permit correct operation down to lower frequencies, provided the proper input coupling capacitor is provided.

For regulated mode operation connect V_S to V_{REG} to ensure proper operation (see Typical Application diagram).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

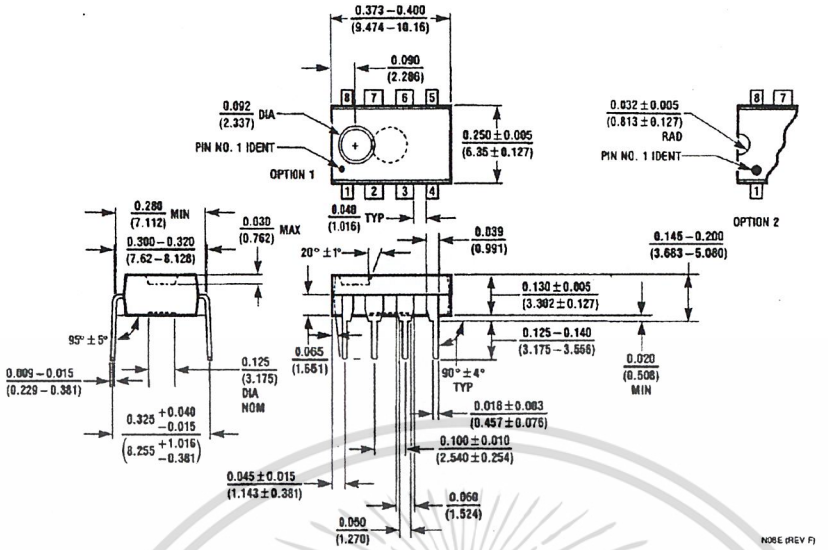
Physical Dimensions inches (millimeters)



Molded Dual-In-Line Package (M)
Order Number DS8614M-4, DS8615M-4, DS8616M-4 or DS8617M-4
NS Package Number M08A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Physical Dimensions inches (millimeters) (Continued)



Molded Dual-In-Line Package (N)
Order Number DS8614N, DS8615N, DS8616N or DS8617N (-4, -3, -2)
NS Package Number N08E

LIFE SUPPORT POLICY

NATIONAL'S PRODUCTS ARE NOT AUTHORIZED FOR USE AS CRITICAL COMPONENTS IN LIFE SUPPORT DEVICES OR SYSTEMS WITHOUT THE EXPRESS WRITTEN APPROVAL OF THE PRESIDENT OF NATIONAL SEMICONDUCTOR CORPORATION. As used herein:

1. Life support devices or systems are devices or systems which, (a) are intended for surgical implant into the body, or (b) support or sustain life, and whose failure to perform, when properly used in accordance with instructions for use provided in the labeling, can be reasonably expected to result in a significant injury to the user.
2. A critical component is any component of a life support device or system whose failure to perform can be reasonably expected to cause the failure of the life support device or system, or to affect its safety or effectiveness.

National Semiconductor Corporation
1111 West Bardin Road
Arlington, TX 76017
Tel: 1(800) 272-9959
Fax: 1(800) 737-7018

National Semiconductor Europe
Fax: (+49) 0-180-530 85 86
Email: cnjwge@tevm2.nsc.com
Deutsch Tel: (+49) 0-180-530 85 85
English Tel: (+49) 0-180-532 78 32
Français Tel: (+49) 0-180-532 93 58
Italiano Tel: (+49) 0-180-534 16 80

National Semiconductor Hong Kong Ltd.
13th Floor, Straight Block,
Ocean Centre, 5 Canton Rd.
Tsimshatsui, Kowloon
Hong Kong
Tel: (852) 2737-1600
Fax: (852) 2736-9960

National Semiconductor Japan Ltd.
Tel: 81-043-299-2309
Fax: 81-043-299-2408

National does not assume any responsibility for use of any circuitry described, no circuit patent licenses are implied and National reserves the right at any time without notice to change said circuitry and specifications.

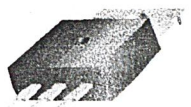
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FAIRCHILD
SEMICONDUCTOR®

TIP120/121/122

Medium Power Linear Switching Applications

- Complementary to TIP125/126/127



1

TO-220

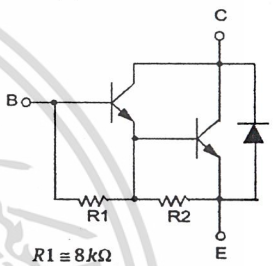
1.Base 2.Collector 3.Emitter

NPN Epitaxial Darlington Transistor

Absolute Maximum Ratings T_C=25°C unless otherwise noted

Symbol	Parameter		Value	Units
V_{CBO}	Collector-Base Voltage	: TIP120	60	V
		: TIP121	80	V
		: TIP122	100	V
V_{CEO}	Collector-Emitter Voltage	: TIP120	60	V
		: TIP121	80	V
		: TIP122	100	V
V_{EBO}	Emitter-Base Voltage		5	V
I_C	Collector Current (DC)		5	A
I_{CP}	Collector Current (Pulse)		8	A
I_B	Base Current (DC)		120	mA
P_C	Collector Dissipation (T_a=25°C)		2	W
	Collector Dissipation (T_C=25°C)		65	W
T_J	Junction Temperature		150	°C
T_{STG}	Storage Temperature		- 65 ~ 150	°C

Equivalent Circuit



$R1 \cong 8k\Omega$
$R2 \cong 0.12k\Omega$

Electrical Characteristics T_C=25°C unless otherwise noted

Symbol	Parameter	Test Condition	Min.	Max.	Units
V_{CEO}(sus)	Collector-Emitter Sustaining Voltage				
	: TIP120	I_C = 100mA, I_B = 0	60		V
	: TIP121		80		V
	: TIP122		100		V
I_{CEO}	Collector Cut-off Current				
	: TIP120	V_{CE} = 30V, I_B = 0		0.5	mA
	: TIP121	V_{CE} = 40V, I_B = 0		0.5	mA
	: TIP122	V_{CE} = 50V, I_B = 0		0.5	mA
I_{CBO}	Collector Cut-off Current				
	: TIP120	V_{CB} = 60V, I_E = 0		0.2	mA
	: TIP121	V_{CB} = 80V, I_E = 0		0.2	mA
	: TIP122	V_{CB} = 100V, I_E = 0		0.2	mA
I_{EBO}	Emitter Cut-off Current	V_{BE} = 5V, I_C = 0		2	mA
h_{FE}	* DC Current Gain	V_{CE} = 3V, I_C = 0.5A	1000		
		V_{CE} = 3V, I_C = 3A	1000		
V_{CE}(sat)	* Collector-Emitter Saturation Voltage	I_C = 3A, I_B = 12mA		2.0	V
		I_C = 5A, I_B = 20mA		4.0	V
V_{BE}(on)	* Base-Emitter ON Voltage	V_{CE} = 3V, I_C = 3A		2.5	V
C_{ob}	Output Capacitance	V_{CB} = 10V, I_E = 0, f = 0.1MHz		200	pF

* Pulse Test : PW≤300μs, Duty cycle ≤2%

©2001 Fairchild Semiconductor Corporation

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical characteristics

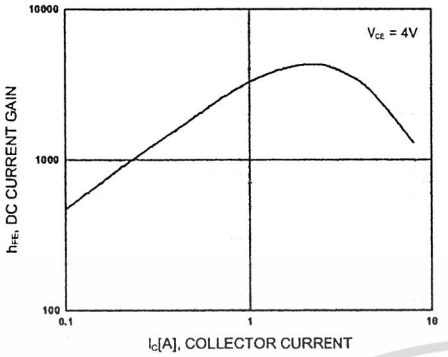


Figure 1. DC current Gain

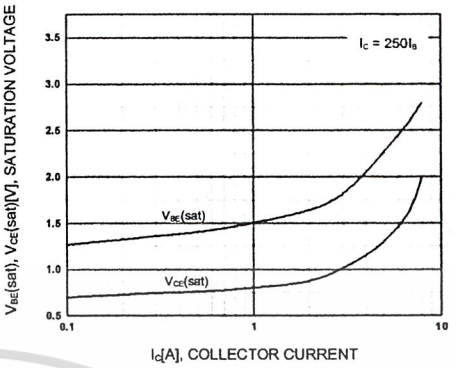


Figure 2. Base-Emitter Saturation Voltage
Collector-Emitter Saturation Voltage

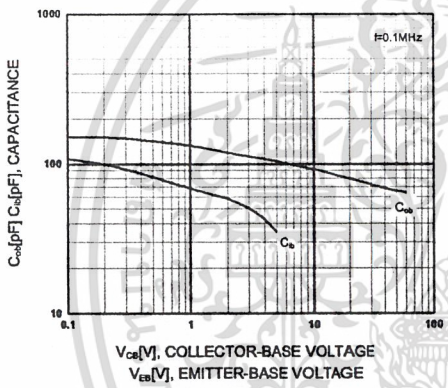


Figure 3. Output and Input Capacitance
vs. Reverse Voltage

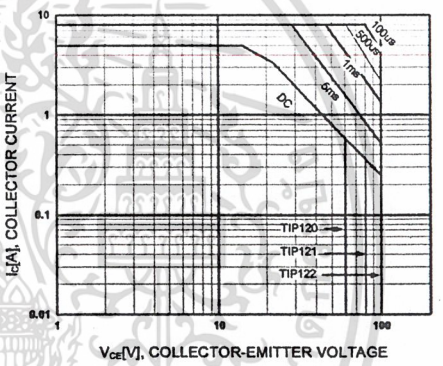


Figure 4. Safe Operating Area

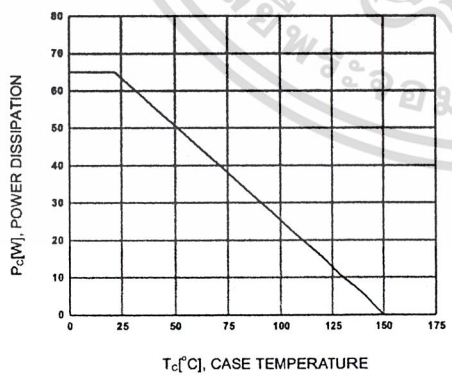


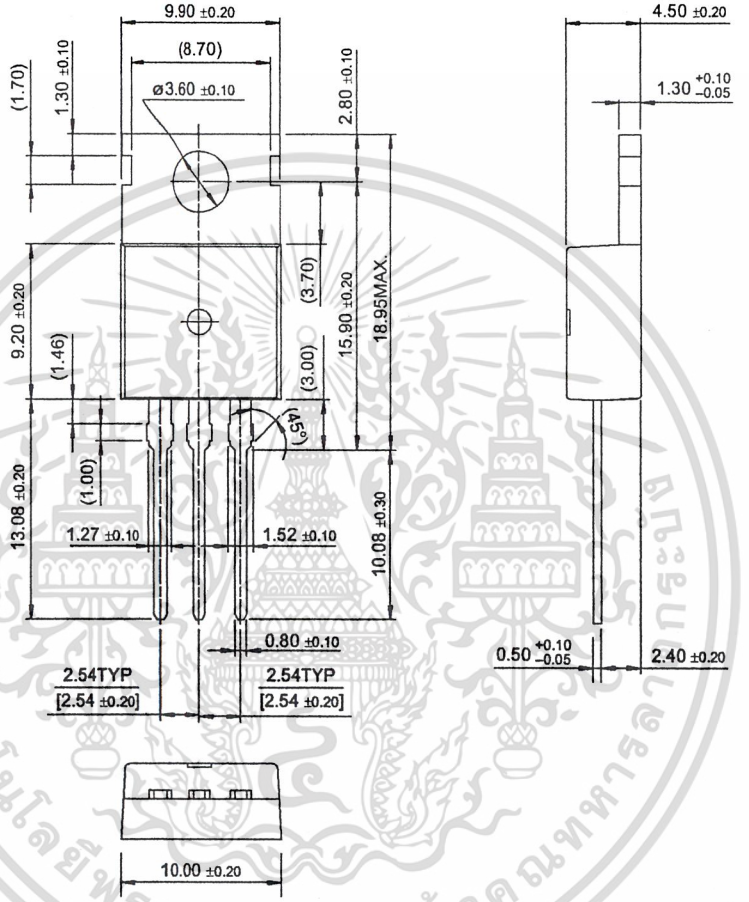
Figure 5. Power Derating

©2001 Fairchild Semiconductor Corporation

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Package Demensions

TO-220



Dimensions in Millimeters

©2001 Fairchild Semiconductor Corporation

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TRADEMARKS

The following are registered and unregistered trademarks Fairchild Semiconductor owns or is authorized to use and is not intended to be an exhaustive list of all such trademarks.

ACEx™	FAST®	OPTOPLANAR™	STAR*POWER™
Bottomless™	FASTr™	PACMAN™	Stealth™
CoolFET™	FRFET™	POP™	SuperSOT™-3
CROSSVOLT™	GlobalOptoisolator™	Power247™	SuperSOT™-6
DenseTrench™	GTO™	PowerTrench®	SuperSOT™-8
DOME™	HiSeC™	QFET™	SyncFET™
EcoSPARK™	ISOPLANAR™	QS™	TruTranslation™
E^2CMOS™	LittleFET™	QT Optoelectronics™	TinyLogic™
EnSigna™	MicroFET™	Quiet Series™	UHC™
FACT™	MICROWIRE™	SLIENT SWITCHER®	UltraFET®
FACT Quiet Series™	OPTOLOGIC™	SMART START™	VCX™

STAR*POWER is used under license

DISCLAIMER

FAIRCHILD SEMICONDUCTOR RESERVES THE RIGHT TO MAKE CHANGES WITHOUT FURTHER NOTICE TO ANY PRODUCTS HEREIN TO IMPROVE RELIABILITY, FUNCTION OR DESIGN. FAIRCHILD DOES NOT ASSUME ANY LIABILITY ARISING OUT OF THE APPLICATION OR USE OF ANY PRODUCT OR CIRCUIT DESCRIBED HEREIN; NEITHER DOES IT CONVEY ANY LICENSE UNDER ITS PATENT RIGHTS, NOR THE RIGHTS OF OTHERS.

LIFE SUPPORT POLICY

FAIRCHILD'S PRODUCTS ARE NOT AUTHORIZED FOR USE AS CRITICAL COMPONENTS IN LIFE SUPPORT DEVICES OR SYSTEMS WITHOUT THE EXPRESS WRITTEN APPROVAL OF FAIRCHILD SEMICONDUCTOR CORPORATION.

As used herein:

1. Life support devices or systems are devices or systems which, (a) are intended for surgical implant into the body, or (b) support or sustain life, or (c) whose failure to perform when properly used in accordance with instructions for use provided in the labeling, can be reasonably expected to result in significant injury to the user.

2. A critical component is any component of a life support device or system whose failure to perform can be reasonably expected to cause the failure of the life support device or system, or to affect its safety or effectiveness.

PRODUCT STATUS DEFINITIONS

Definition of Terms

Datasheet Identification	Product Status	Definition
Advance Information	Formative or In Design	This datasheet contains the design specifications for product development. Specifications may change in any manner without notice.
Preliminary	First Production	This datasheet contains preliminary data, and supplementary data will be published at a later date. Fairchild Semiconductor reserves the right to make changes at any time without notice in order to improve design.
No Identification Needed	Full Production	This datasheet contains final specifications. Fairchild Semiconductor reserves the right to make changes at any time without notice in order to improve design.
Obsolete	Not In Production	This datasheet contains specifications on a product that has been discontinued by Fairchild semiconductor. The datasheet is printed for reference information only.

©2001 Fairchild Semiconductor Corporation

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

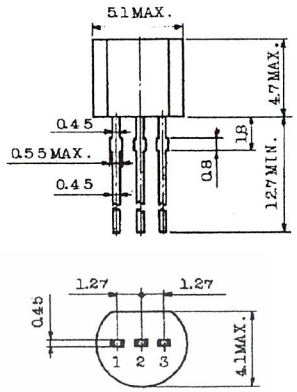
TOSHIBA TRANSISTOR SILICON NPN EPITAXIAL TYPE (PCT PROCESS)

2SC1815

AUDIO FREQUENCY GENERAL PURPOSE AMPLIFIER APPLICATIONS.
DRIVER STAGE AMPLIFIER APPLICATIONS.

- High Voltage and High Current
  : V_{CEO} = 50V (Min.), I_C = 150mA (Max.)
- Excellent h_{FE} Linearity
  : $h_{FE(2)}$ = 100 (Typ.) at V_{CE} = 6V, I_C = 150mA
  : h_{FE} (I_C = 0.1mA) / h_{FE} (I_C = 2mA) = 0.95 (Typ.)
- Low Noise : NF = 1dB (Typ.) at f = 1kHz
- Complementary to 2SA1015 (O, Y, GR class)

Unit in mm



1. EMITTER
2. COLLECTOR
3. BASE

JEDEC	TO-92
EIAJ	SC-43
TOSHIBA	2-5F1B

Weight : 0.21g

MAXIMUM RATINGS (Ta = 25°C)

CHARACTERISTIC	SYMBOL	RATING	UNIT
Collector-Base Voltage	V_{CBO}	60	V
Collector-Emitter Voltage	V_{CEO}	50	V
Emitter-Base Voltage	V_{EBO}	5	V
Collector Current	I_C	150	mA
Base Current	I_B	50	mA
Collector Power Dissipation	P_C	400	mW
Junction Temperature	T_j	125	°C
Storage Temperature Range	T_{stg}	−55~125	°C

ELECTRICAL CHARACTERISTICS (Ta = 25°C)

CHARACTERISTIC	SYMBOL	TEST CONDITION	MIN.	TYP.	MAX.	UNIT
Collector Cut-off Current	I_{CBO}	V_{CB} = 60V, I_E = 0	—	—	0.1	μA
Emitter Cut-off Current	I_{EBO}	V_{EB} = 5V, I_C = 0	—	—	0.1	μA
DC Current Gain	$h_{FE(1)}$ (Note)	V_{CE} = 6V, I_C = 2mA	70	—	700	
	$h_{FE(2)}$	V_{CE} = 6V, I_C = 150mA	25	100	—	
Collector-Emitter Saturation Voltage	$V_{CE(sat)}$	I_C = 100mA, I_B = 10mA	—	0.1	0.25	V
Base-Emitter Saturation Voltage	$V_{BE(sat)}$	I_C = 100mA, I_B = 10mA	—	—	1.0	V
Transition Frequency	f_T	V_{CE} = 10V, I_C = 1mA	80	—		MHz
Collector Ouput Capacitance	C_{ob}	V_{CB} = 10V, I_E = 0, f = 1MHz	—	2.0	3.5	pF
Base Intrinsic Resistance	$r_{bb'}$	V_{CE} = 10V, I_E = −1mA f = 30MHz	—	50	—	Ω
Noise Figure	NF	V_{CE} = 6V, I_C = 0.1mA f = 1kHz, R_G = 10kΩ	—	1.0	10	dB

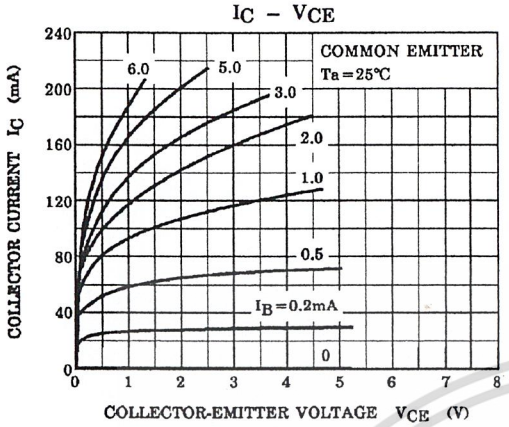
Note : h_{FE} Classification O : 70~140 Y : 120~240 GR : 200~400 BL : 350~700

961001EAA2

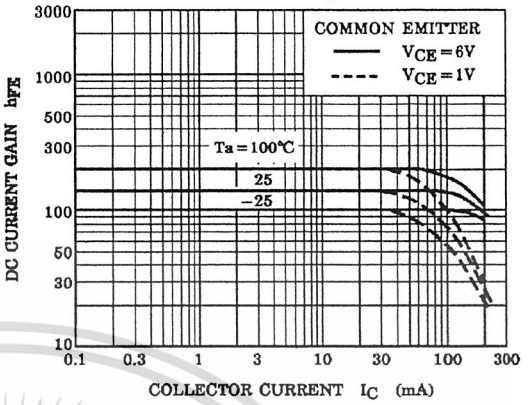
● TOSHIBA is continually working to improve the quality and the reliability of its products. Nevertheless, semiconductor devices in general can malfunction or fail due to their inherent electrical sensitivity and vulnerability to physical stress. It is the responsibility of the buyer, when utilizing TOSHIBA products, to observe standards of safety, and to avoid situations in which a malfunction or failure of a TOSHIBA product could cause loss of human life, bodily injury or damage to property. In developing your designs, please ensure that TOSHIBA products are used within specified operating ranges as set forth in the most recent products specifications. Also, please keep in mind the precautions and conditions set forth in the TOSHIBA Semiconductor Reliability Handbook.

This Material Copyrighted By Its Respective Manufacturer
เอกสารนี้เป็นลิขสิทธิ์ของผู้ผลิต ใช้เพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

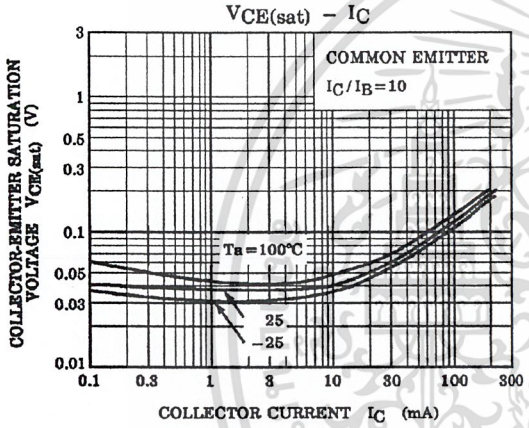
$I_C - V_{CE}$



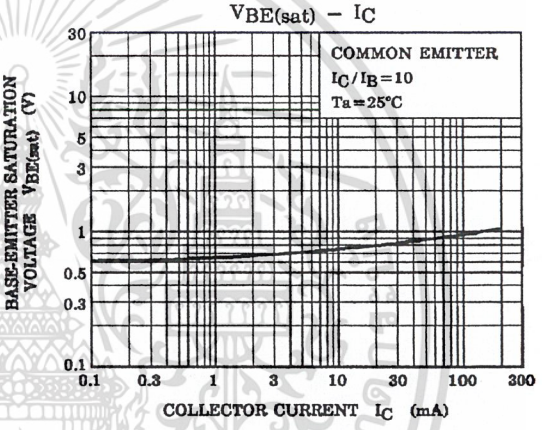
$h_{FE} - I_C$



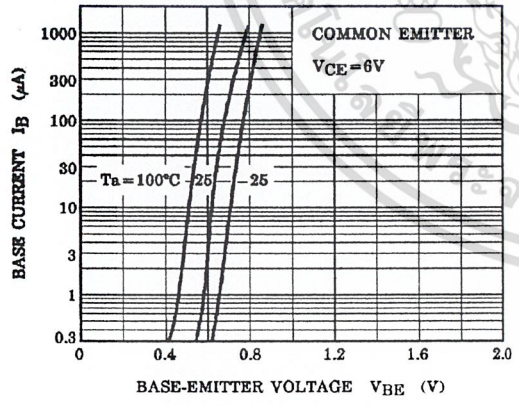
$V_{CE(sat)} - I_C$



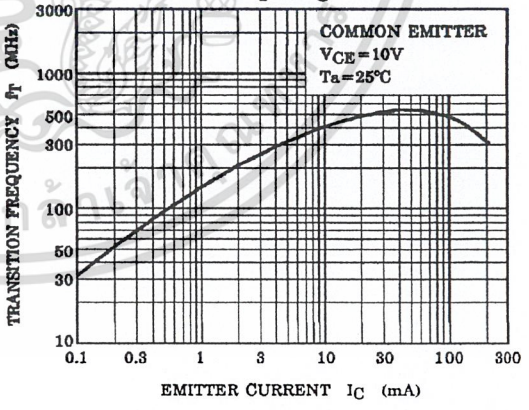
$V_{BE(sat)} - I_C$



$I_B - V_{BE}$



$f_T - I_C$

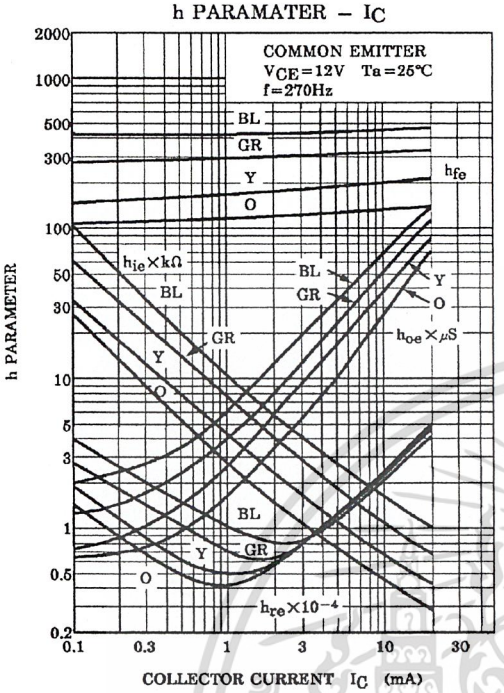


961001EAA2'

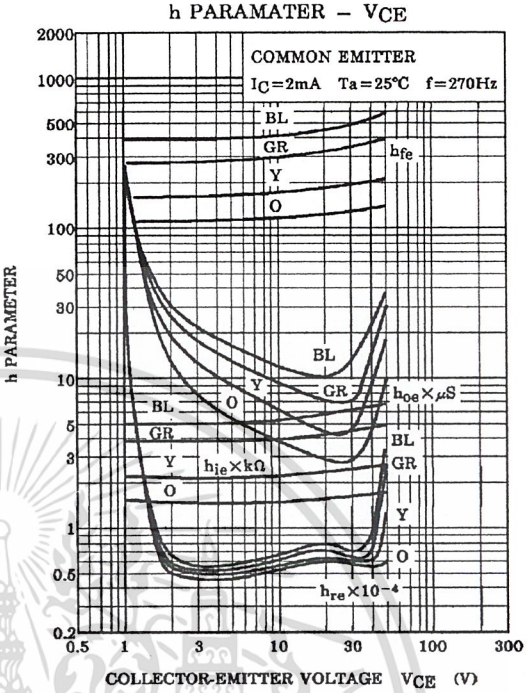
- The information contained herein is presented only as a guide for the applications of our products. No responsibility is assumed by TOSHIBA CORPORATION for any infringements of intellectual property or other rights of the third parties which may result from its use. No license is granted by implication or otherwise under any intellectual property or other rights of TOSHIBA CORPORATION or others.
- The information contained herein is subject to change without notice.

This Material Copyrighted By Its Respective Manufacturer
เอกสารนี้มีลิขสิทธิ์ ห้ามนำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

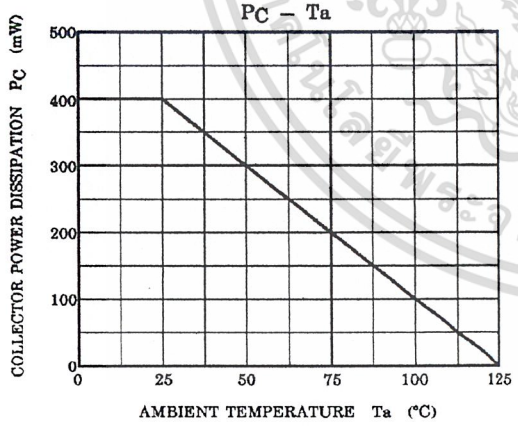
h PARAMATER – I_C



h PARAMATER – V_{CE}



P_C – Ta



This Material Copyrighted By Its Respective Manufacturer
เอกสารนี้เป็นลิขสิทธิ์ของผู้ผลิตหรือผู้ที่เกี่ยวข้อง ใช้เพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

HD74HC563/HD74HC573

Octal Transparent Latches (with 3-state outputs)

HITACHI

Description

When the latch enable (LE) input is high, the Q outputs of HD74HC563 will follow the inversion of the D inputs and the Q outputs of HD74HC573 will follow the D inputs. When the latch enable goes low, data at the D inputs will be retained at the outputs until latch enable returns high again. When a high logic level is applied to the output control input, all outputs go to a high impedance state, regardless of what signals are present at the other inputs and the state of the storage elements.

Features

- High Speed Operation: t_{pd} (Data to Q, $\overline{Q}$) = 11 ns typ (C_L = 50 pF)
- High Output Current: Fanout of 15 LSTTL Loads
- Wide Operating Voltage: V_{CC} = 2 to 6 V
- Low Input Current: 1 µA max
- Low Quiescent Supply Current: I_{CC} (static) = 4 µA max (Ta = 25°C)

Function Table

			Outputs	
Output Control	**Latch Enable**	**Data**	**HD74HC563**	**HD74HD573**
L	H	H	L	H
L	H	L	H	L
L	L	X	$\overline{Q_0}$	Q_0
H	X	X	Z	Z

Q_0 : level of Q before the indicated Steady-sate input conditions were established.

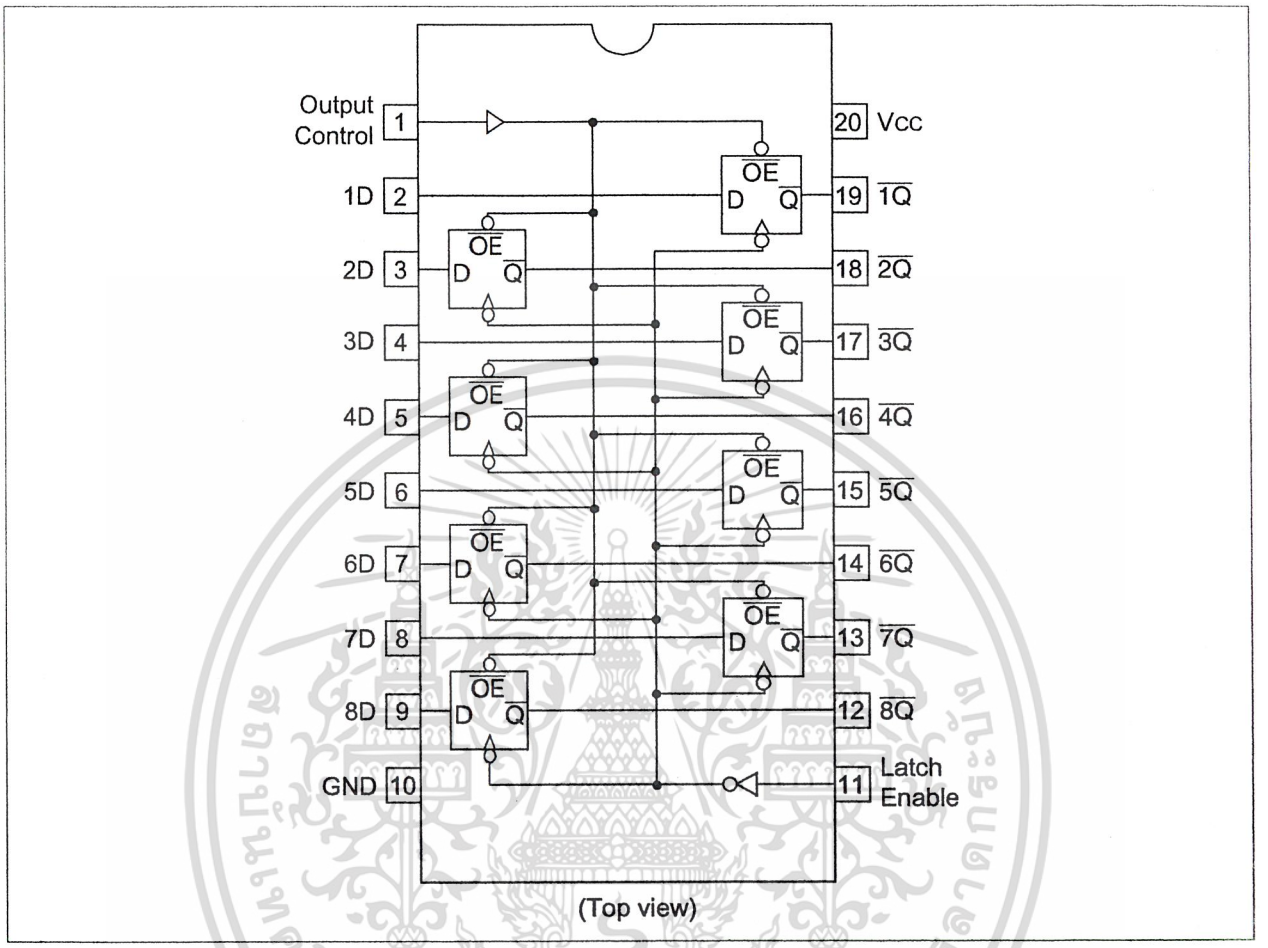
$\overline{Q_0}$: complement of Q_0 or level of $\overline{Q}$ before the indicated Steady-state input conditions were established.

Hitachi semiconductor

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

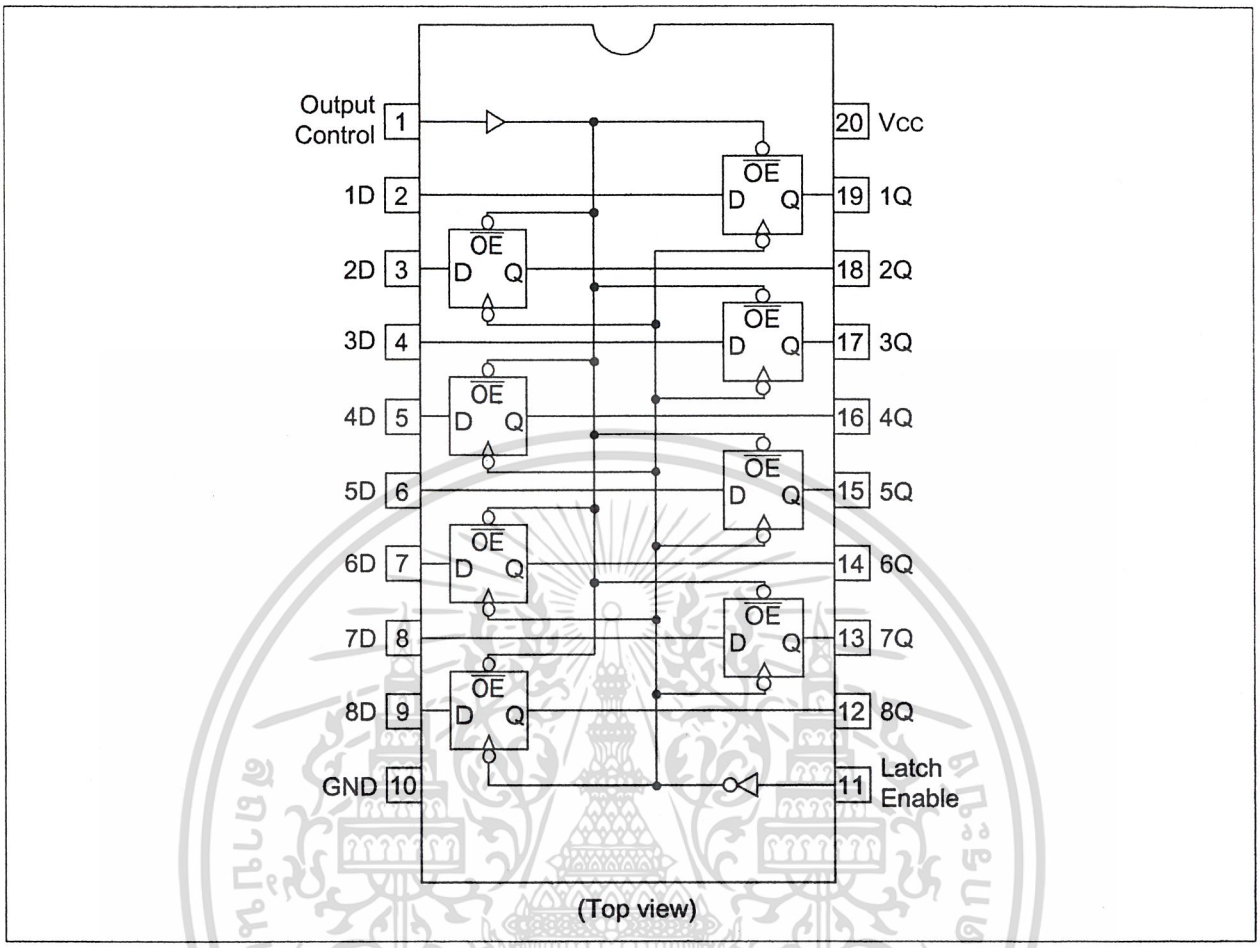
Pin Arrangement

HD74HC563



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

HD74HC573



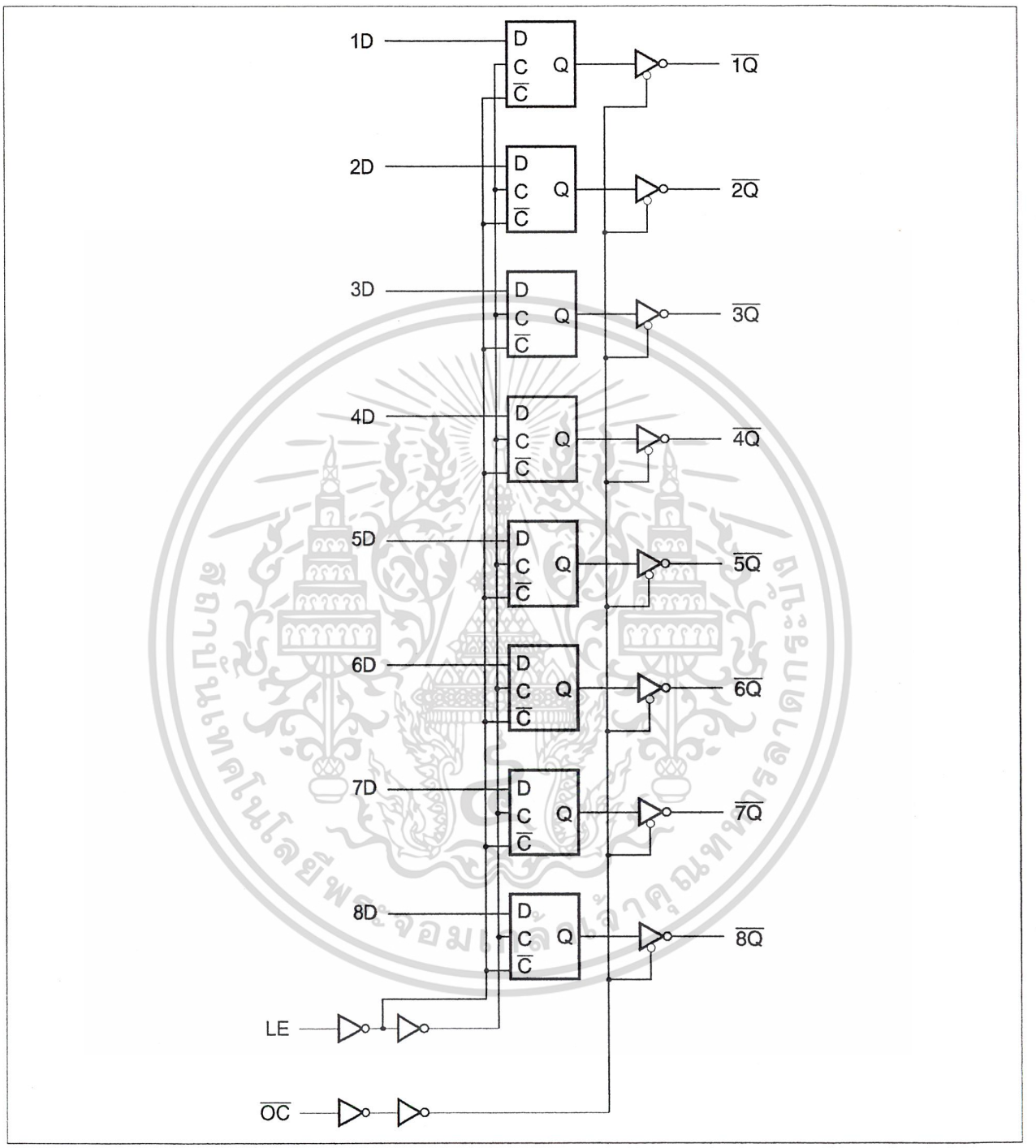
Absolute Maximum Ratings

Item	Symbol	Rating	Unit
Supply voltage range	V_{CC}	–0.5 to +7.0	V
Input voltage	V_{IN}	–0.5 to V_{CC} + 0.5	V
Output voltage	V_{OUT}	–0.5 to V_{CC} + 0.5	V
Output current	I_{OUT}	±35	mA
DC current drain per V_{CC} , GND	I_{CC}, I_{GND}	±75	mA
DC input diode current	I_{IK}	±20	mA
DC output diode current	I_{OK}	±20	mA
Power Dissipation per package	P_T	500	mW
Storage temperature	Tstg	–65 to +150	°C

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

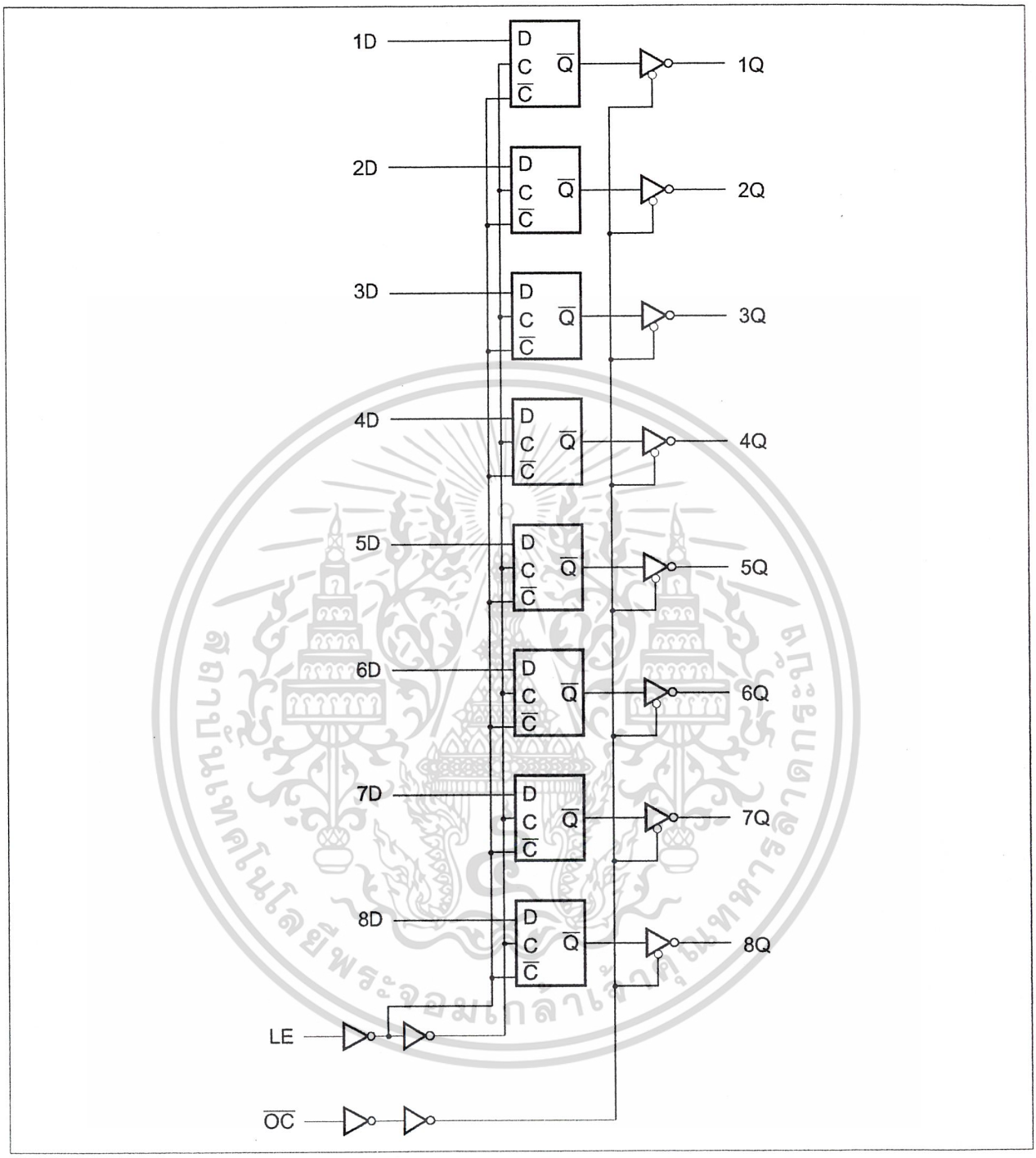
Block Diagram

HD74HC563



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

HD74HC573



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DC Characteristics

Item	Symbol	V_{CC} (V)	Ta = 25°C Min	Typ	Max	Ta = –40 to +85°C Min	Max	Unit	Test Conditions
Input voltage	V_{IH}	2.0	1.5	—	—	1.5	—	V	
		4.5	3.15	—	—	3.15	—		
		6.0	4.2	—	—	4.2	—		
	V_{IL}	2.0	—	—	0.5	—	0.5	V	
		4.5	—	—	1.35	—	1.35		
		6.0	—	—	1.8	—	1.8		
Output voltage	V_{OH}	2.0	1.9	2.0	—	1.9	—	V	Vin = V_{IH} or V_{IL} I_{OH} = –20 µA
		4.5	4.4	4.5	—	4.4	—		
		6.0	5.9	6.0	—	5.9	—		
		4.5	4.18	—	—	4.13	—		I_{OH} = –6 mA
		6.0	5.68	—	—	5.63	—		I_{OH} = –7.8 mA
	V_{OL}	2.0	—	0.0	0.1	—	0.1	V	Vin = V_{IH} or V_{IL} I_{OL} = 20 µA
		4.5	—	0.0	0.1	—	0.1		
		6.0	—	0.0	0.1	—	0.1		
		4.5	—	—	0.26	—	0.33		I_{OL} = 6 mA
		6.0	—	—	0.26	—	0.33		I_{OL} = 7.8 mA
Off-state output current	I_{OZ}	6.0	—	—	±0.5	—	±5.0	µA	Vin = V_{IH} or V_{IL}, Vout = V_{CC} or GND
Input current	Iin	6.0	—	—	±0.1	—	±1.0	µA	Vin = V_{CC} or GND
Quiescent supply current	I_{CC}	6.0	—	—	4.0	—	40	µA	Vin = V_{CC} or GND, Iout = 0 µA

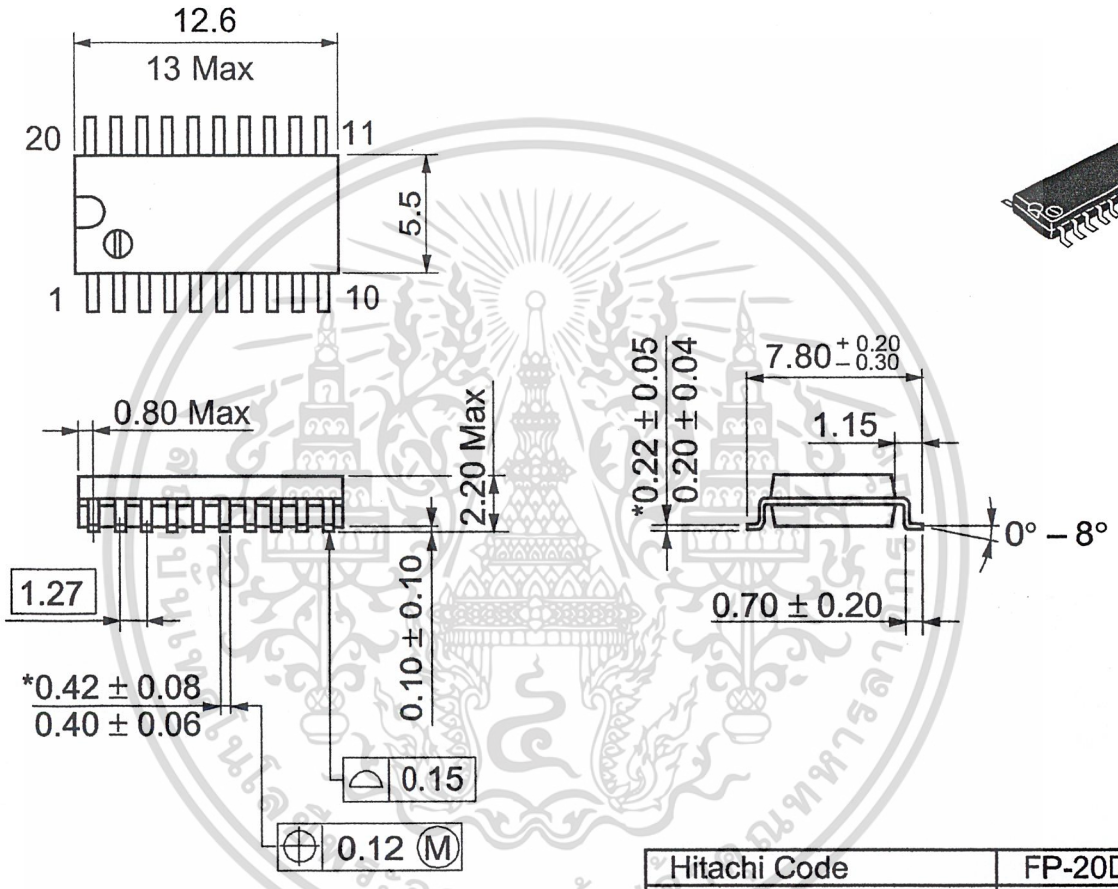
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

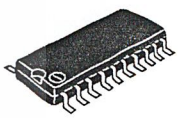
AC Characteristics (C_L = 50 pF, Input $t_r = t_f$ = 6 ns)

			Ta = 25°C			Ta = –40 to +85°C			
Item	**Symbol**	**V_{CC} (V)**	**Min**	**Typ**	**Max**	**Min**	**Max**	**Unit**	**Test Conditions**
Propagation delay time	t_{PLH}	2.0	—	—	110	—	140	ns	Data to $\overline{Q}$
	t_{PHL}	4.5	—	11	22	—	28		
		6.0	—	—	19	—	24		
	t_{PLH}	2.0	—	—	115	—	145	ns	Clock to $\overline{Q}$
	t_{PHL}	4.5	—	13	23	—	29		
		6.0	—	—	20	—	25		
Output enable time	t_{ZH}	2.0	—	—	150	—	190	ns	
	t_{ZL}	4.5	—	14	30	—	38		
		6.0	—	—	26	—	33		
Output disable time	t_{HZ}	2.0	—	—	150	—	190	ns	
	t_{LZ}	4.5	—	15	30	—	38		
		6.0	—	—	26	—	33		
Setup time	t_{su}	2.0	75	—	—	90	—	ns	
		4.5	15	2	—	19	—		
		6.0	13	—	—	16	—		
Hold time	t_h	2.0	5	—	—	5	—	ns	
		4.5	5	–1	—	5	—		
		6.0	5	—	—	5	—		
Pulse width	t_w	2.0	80	—	—	100	—	ns	
		4.5	16	4	—	20	—		
		6.0	14	—	—	17	—		
Output rise/fall time	t_{TLH}	2.0	—	—	60	—	75	ns	
	t_{THL}	4.5	—	4	12	—	15		
		6.0	—	—	10	—	13		
Input capacitance	Cin	—	—	—	5	10	—	10	pF	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Uni



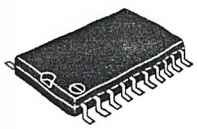


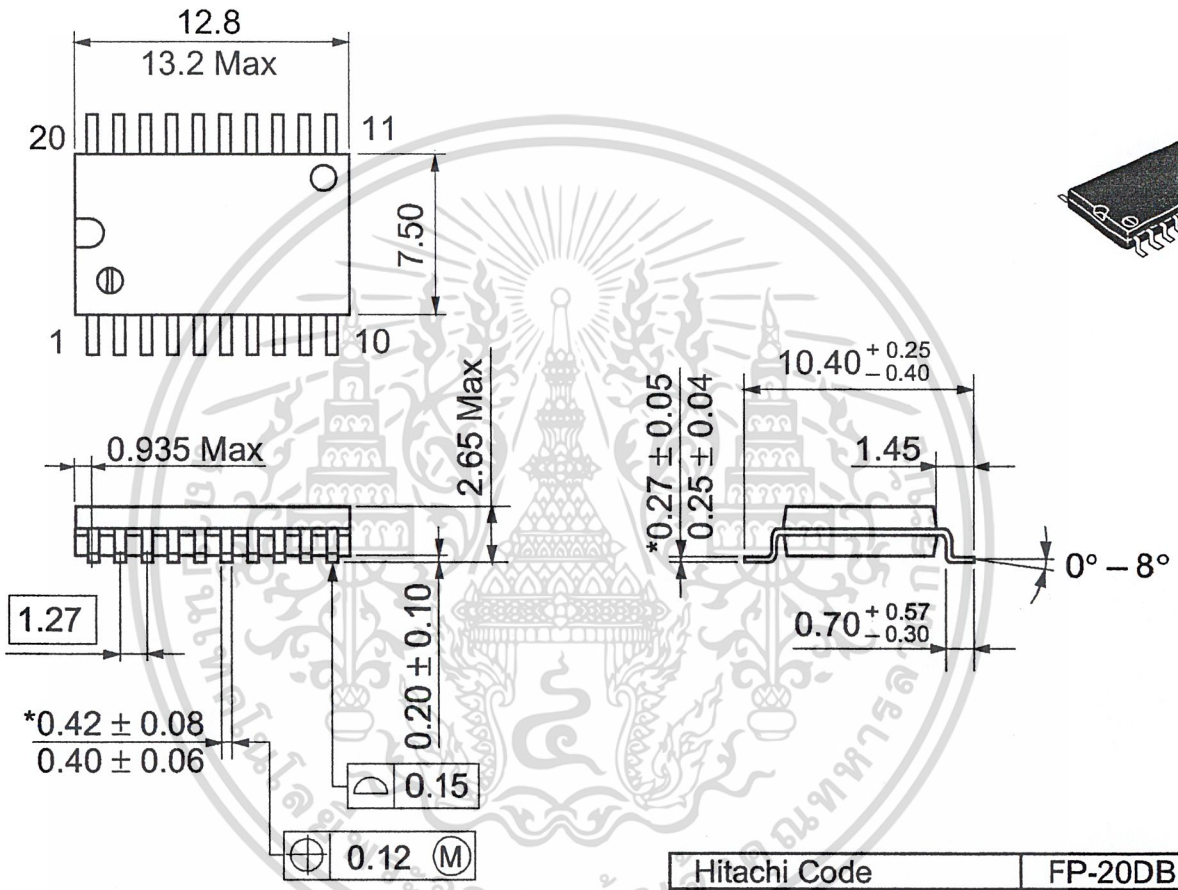
ıension including the plating thickness
Base material dimension

Hitachi Code	FP-20DA
JEDEC	—
EIAJ	Conforms
Weight (reference value)	0.31 g

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Uni



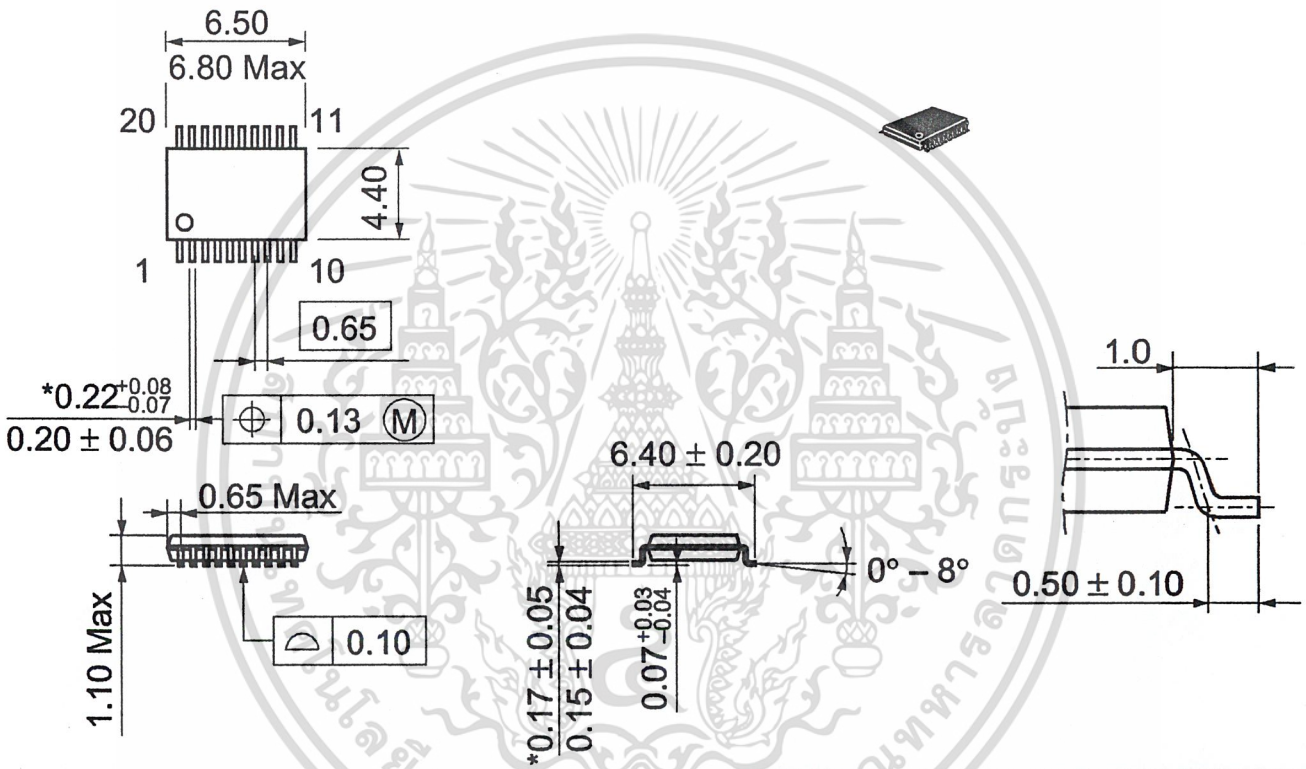


ıension including the plating thickness
Base material dimension

Hitachi Code	FP-20DB
JEDEC	Conforms
EIAJ	—
Weight (reference value)	0.52 g

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Unit: r



ıension including the plating thickness
Base material dimension

Hitachi Code	TTP-20DA
JEDEC	—
EIAJ	—
Weight (reference value)	0.07 g

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Cautions

1. Hitachi neither warrants nor grants licenses of any rights of Hitachi's or any third party's patent, copyright, trademark, or other intellectual property rights for information contained in this document. Hitachi bears no responsibility for problems that may arise with third party's rights, including intellectual property rights, in connection with use of the information contained in this document.
2. Products and product specifications may be subject to change without notice. Confirm that you have received the latest product standards or specifications before final design, purchase or use.
3. Hitachi makes every attempt to ensure that its products are of high quality and reliability. However, contact Hitachi's sales office before using the product in an application that demands especially high quality and reliability or where its failure or malfunction may directly threaten human life or cause risk of bodily injury, such as aerospace, aeronautics, nuclear power, combustion control, transportation, traffic, safety equipment or medical equipment for life support.
4. Design your application so that the product is used within the ranges guaranteed by Hitachi particularly for maximum rating, operating supply voltage range, heat radiation characteristics, installation conditions and other characteristics. Hitachi bears no responsibility for failure or damage when used beyond the guaranteed ranges. Even within the guaranteed ranges, consider normally foreseeable failure rates or failure modes in semiconductor devices and employ systemic measures such as fail-safes, so that the equipment incorporating Hitachi product does not cause bodily injury, fire or other consequential damage due to operation of the Hitachi product.
5. This product is not designed to be radiation resistant.
6. No one is permitted to reproduce or duplicate, in any form, the whole or part of this document without written approval from Hitachi.
7. Contact Hitachi's sales office for any questions regarding this document or Hitachi semiconductor products.

HITACHI

Hitachi, Ltd.
Semiconductor & Integrated Circuits.
Nippon Bldg., 2-6-2, Ohte-machi, Chiyoda-ku, Tokyo 100-0004, Japan
Tel: Tokyo (03) 3270-2111 Fax: (03) 3270-5109

URL
NorthAmerica : http:semiconductor.hitachi.com/
Europe : http://www.hitachi-eu.com/hel/ecg
Asia (Singapore) : http://www.has.hitachi.com.sg/grp3/sicd/index.htm
Asia (Taiwan) : http://www.hitachi.com.tw/E/Product/SICD_Frame.htm
Asia (HongKong) : http://www.hitachi.com.hk/eng/bo/grp3/index.htm
Japan : http://www.hitachi.co.jp/Sicd/indx.htm

For further information write to:

Hitachi Semiconductor (America) Inc.
179 East Tasman Drive,
San Jose,CA 95134
Tel: <1> (408) 433-1990
Fax: <1>(408) 433-0223

Hitachi Europe GmbH
Electronic components Group
Dornacher Straße 3
D-85622 Feldkirchen, Munich
Germany
Tel: <49> (89) 9 9180-0
Fax: <49> (89) 9 29 30 00

Hitachi Europe Ltd.
Electronic Components Group.
Whitebrook Park
Lower Cookham Road
Maidenhead
Berkshire SL6 8YA, United Kingdom
Tel: <44> (1628) 585000
Fax: <44> (1628) 778322

Hitachi Asia Pte. Ltd.
16 Collyer Quay #20-00
Hitachi Tower
Singapore 049318
Tel: 535-2100
Fax: 535-1533

Hitachi Asia Ltd.
Taipei Branch Office
3F, Hung Kuo Building. No.167,
Tun-Hwa North Road, Taipei (105)
Tel: <886> (2) 2718-3666
Fax: <886> (2) 2718-8180

Hitachi Asia (Hong Kong) Ltd.
Group III (Electronic Components)
7/F., North Tower, World Finance Centre,
Harbour City, Canton Road, Tsim Sha Tsui,
Kowloon, Hong Kong
Tel: <852> (2) 735 9218
Fax: <852> (2) 730 0281
Telex: 40815 HITEC HX

Copyright ' Hitachi, Ltd., 1999. All rights reserved. Printed in Japan.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อ**HITACHI**นั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

HD74HC4040

12-stage Binary Counter

HITACHI

Description

The HD74HC4040 is a 12-stage counter. This device is incremented on the falling edge (negative transition) of the input clock, and all its output is reset to a low level by applying a logical high on its reset input.

Features

- High Speed Operation: t_{pd} (Clock to Q_1) = 15 ns typ (C_L = 50 pF)
- High Output Current: Fanout of 10 LSTTL Loads
- Wide Operating Voltage: V_{CC} = 2 to 6 V
- Low Input Current: 1 µA max
- Low Quiescent Supply Current: I_{CC} (static) = 4 µA max (Ta = 25°C)

Function Table

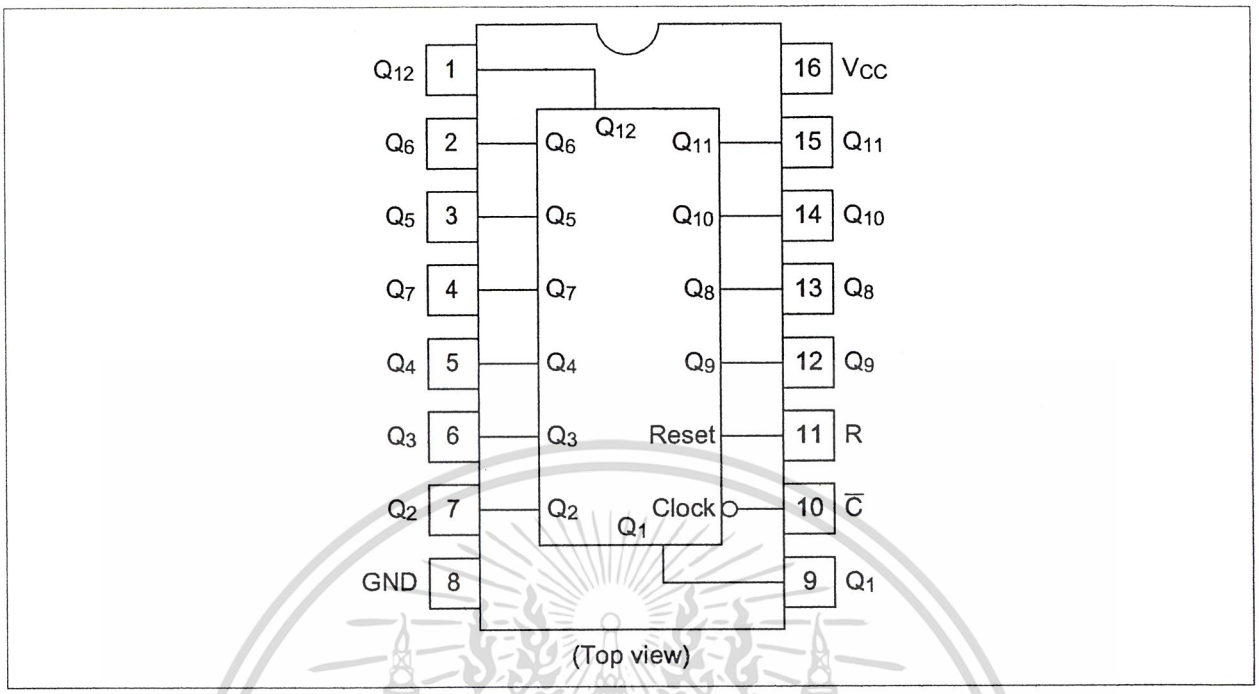
$\overline{C}$	Reset	Outputs State
⎍	L	No change
⎎	L	Advance to next stage
X	H	All outputs are low

X: Irrelevant

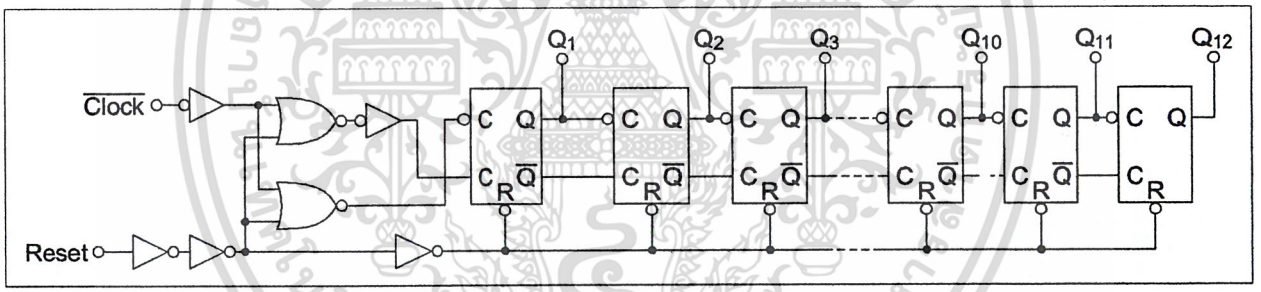
Hitachi semiconductor

เอกสารนี้จัดทำขึ้นไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Pin Arrangement

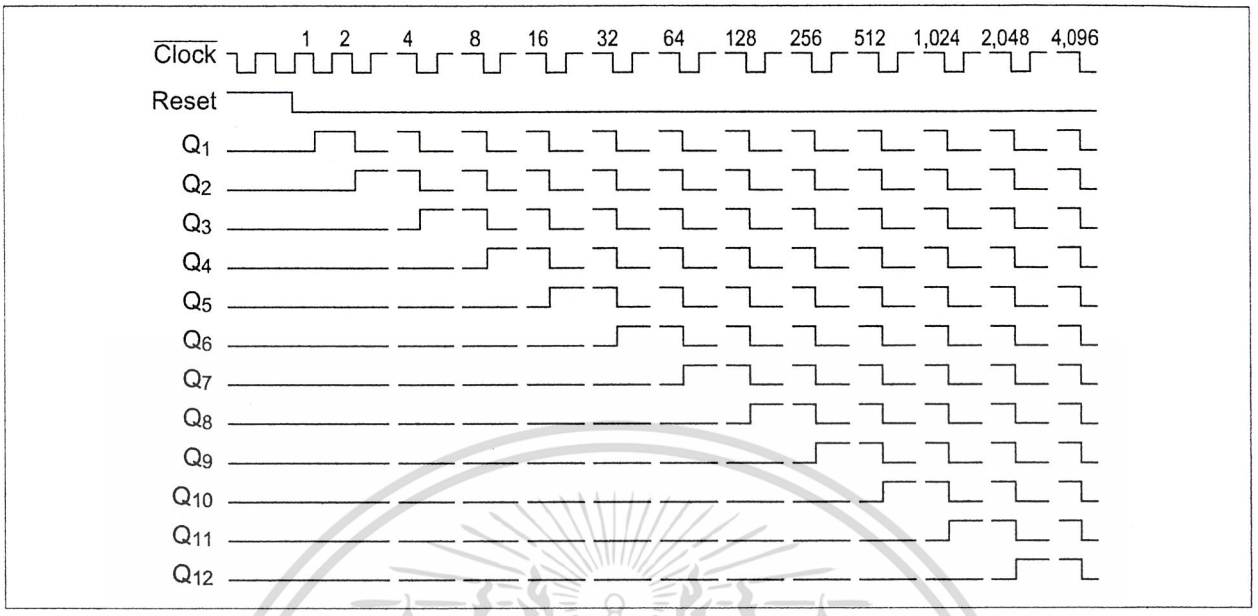


Block Diagram



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Timing Diagram



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DC Characteristics

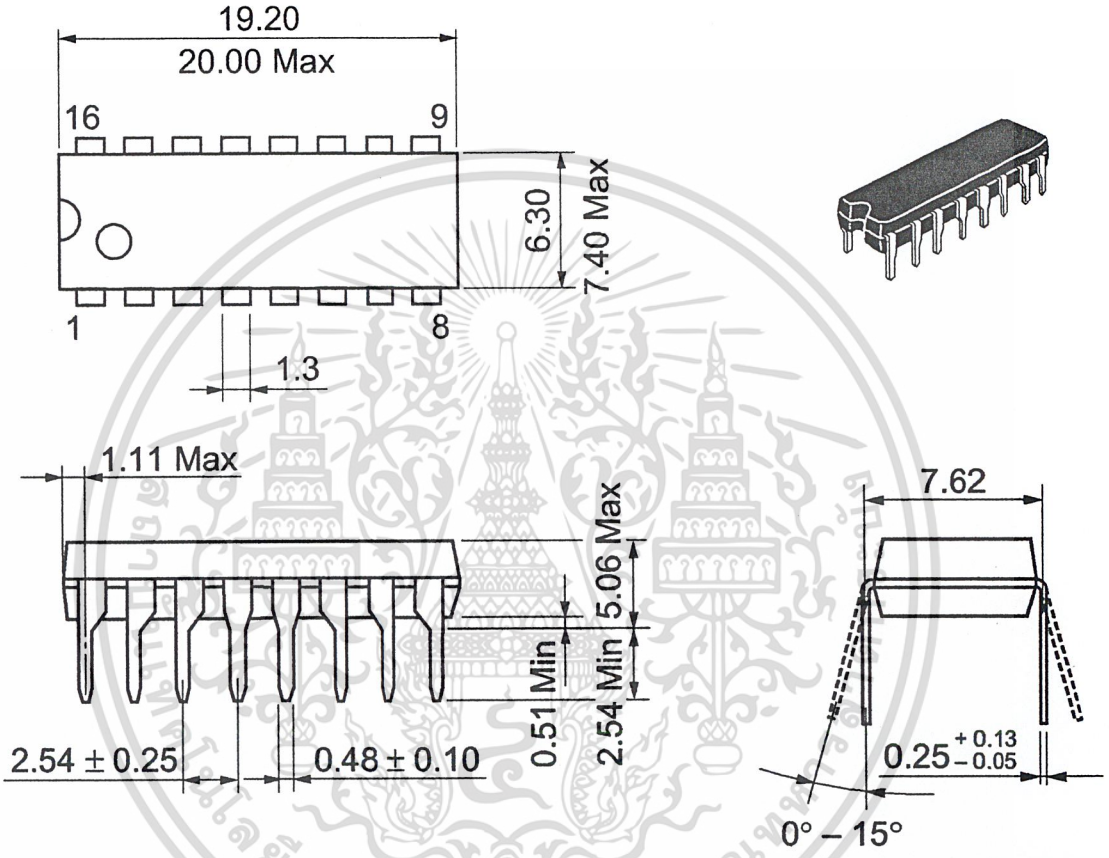
Item	Symbol	V_{CC} (V)	Ta = 25°C Min	Typ	Max	Ta = –40 to +85°C Min	Max	Unit	Test Conditions
Input voltage	V_{IH}	2.0	1.5	—	—	1.5	—	V	
		4.5	3.15	—	—	3.15	—		
		6.0	4.2	—	—	4.2	—		
	V_{IL}	2.0	—	—	0.5	—	0.5	V	
		4.5	—	—	1.35	—	1.35		
		6.0	—	—	1.8	—	1.8		
Output voltage	V_{OH}	2.0	1.9	2.0	—	1.9	—	V	Vin = V_{IH} or V_{IL} I_{OH} = –20 µA
		4.5	4.4	4.5	—	4.4	—		
		6.0	5.9	6.0	—	5.9	—		
		4.5	4.18	—	—	4.13	—		I_{OH} = –4 mA
		6.0	5.68	—	—	5.63	—		I_{OH} = –5.2 mA
	V_{OL}	2.0	—	0.0	0.1	—	0.1	V	Vin = V_{IH} or V_{IL} I_{OL} = 20 µA
		4.5	—	0.0	0.1	—	0.1		
		6.0	—	0.0	0.1	—	0.1		
		4.5	—	—	0.26	—	0.33		I_{OL} = 4 mA
		6.0	—	—	0.26	—	0.33		I_{OL} = 5.2 mA
Input current	Iin	6.0	—	—	±0.1	—	±1.0	µA	Vin = V_{CC} or GND
Quiescent supply current	I_{CC}	6.0	—	—	4.0	—	40	µA	Vin = V_{CC} or GND, Iout = 0 µA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC Characteristics (C_L = 50 pF, Input $t_r = t_f$ = 6 ns)

Item	Symbol	V_{CC} (V)	Ta = 25°C Min	Typ	Max	Ta = –40 to +85°C Min	Max	Unit	Test Conditions
Maximum clock frequency	f_{max}	2.0	—	—	5	—	4	MHz	
		4.5	—	—	25	—	20		
		6.0	—	—	29	—	24		
Propagation delay time	t_{PLH}	2.0	—	—	175	—	220	ns	Clock to Q_1
		4.5	—	15	35	—	44		
		6.0	—	—	30	—	37		
	t_{PHL}	2.0	—	—	175	—	220	ns	Clock to Q_1
		4.5	—	16	35	—	44		
		6.0	—	—	30	—	37		
	t_{PHL}	2.0	—	—	200	—	250	ns	Reset to output
		4.5	—	18	40	—	50		
		6.0	—	—	34	—	43		
	t_{PLH}	2.0	—	—	100	—	125	ns	Q_n to Q_{n-1}
	t_{PHL}	4.5	—	4	20	—	25		
		6.0	—	—	17	—	21		
Removal time	t_{rem}	2.0	100	—	—	125	—	ns	
		4.5	20	—	—	25	—		
		6.0	17	—	—	21	—		
Pulse width	t_w	2.0	80	—	—	100	—	ns	
		4.5	16	5	—	20	—		
		6.0	14	—	—	17	—		
Output rise/fall time	t_{TLH}	2.0	—	—	75	—	95	ns	
	t_{THL}	4.5	—	5	15	—	19		
		6.0	—	—	13	—	16		
Input capacitance	Cin	—	—	5	10	—	10	pF	

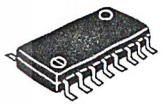
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

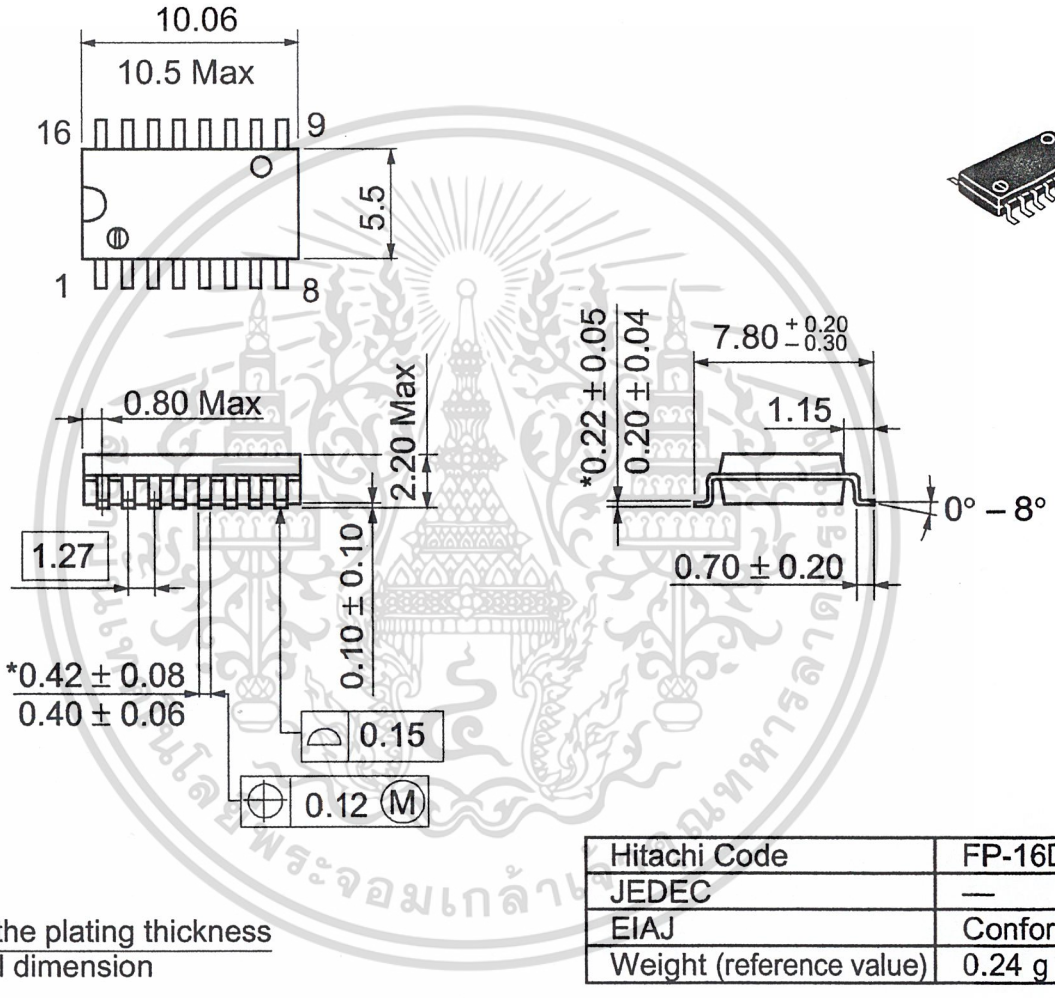


Hitachi Code	DP-16
JEDEC	Conforms
EIAJ	Conforms
Weight (reference value)	1.07 g

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Un



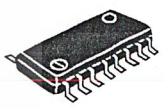


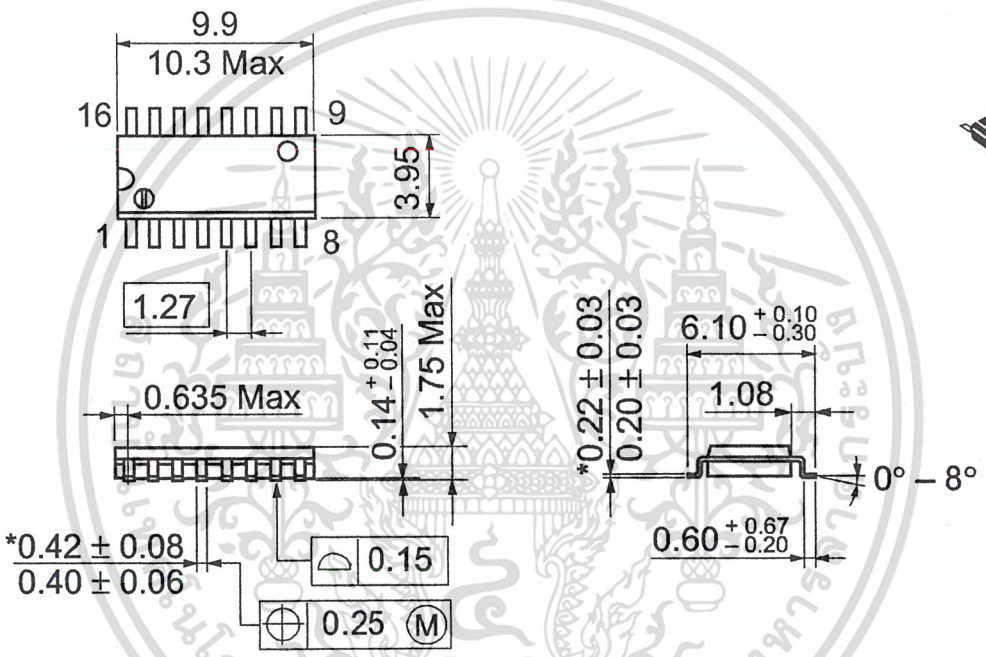
nension including the plating thickness
Base material dimension

Hitachi Code	FP-16DA
JEDEC	—
EIAJ	Conforms
Weight (reference value)	0.24 g

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Un





Hitachi Code	FP-16DN
JEDEC	Conforms
EIAJ	Conforms
Weight (reference value)	0.15 g

ension including the plating thickness
Base material dimension

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Cautions

1. Hitachi neither warrants nor grants licenses of any rights of Hitachi's or any third party's patent, copyright, trademark, or other intellectual property rights for information contained in this document. Hitachi bears no responsibility for problems that may arise with third party's rights, including intellectual property rights, in connection with use of the information contained in this document.
2. Products and product specifications may be subject to change without notice. Confirm that you have received the latest product standards or specifications before final design, purchase or use.
3. Hitachi makes every attempt to ensure that its products are of high quality and reliability. However, contact Hitachi's sales office before using the product in an application that demands especially high quality and reliability or where its failure or malfunction may directly threaten human life or cause risk of bodily injury, such as aerospace, aeronautics, nuclear power, combustion control, transportation, traffic, safety equipment or medical equipment for life support.
4. Design your application so that the product is used within the ranges guaranteed by Hitachi particularly for maximum rating, operating supply voltage range, heat radiation characteristics, installation conditions and other characteristics. Hitachi bears no responsibility for failure or damage when used beyond the guaranteed ranges. Even within the guaranteed ranges, consider normally foreseeable failure rates or failure modes in semiconductor devices and employ systemic measures such as fail-safes, so that the equipment incorporating Hitachi product does not cause bodily injury, fire or other consequential damage due to operation of the Hitachi product.
5. This product is not designed to be radiation resistant.
6. No one is permitted to reproduce or duplicate, in any form, the whole or part of this document without written approval from Hitachi.
7. Contact Hitachi's sales office for any questions regarding this document or Hitachi semiconductor products.

HITACHI

Hitachi, Ltd.
Semiconductor & Integrated Circuits.
Nippon Bldg., 2-6-2, Ohte-machi, Chiyoda-ku, Tokyo 100-0004, Japan
Tel: Tokyo (03) 3270-2111 Fax: (03) 3270-5109

URL
NorthAmerica : http:semiconductor.hitachi.com/
Europe : http://www.hitachi-eu.com/hel/ecg
Asia (Singapore) : http://www.has.hitachi.com.sg/grp3/sicd/index.htm
Asia (Taiwan) : http://www.hitachi.com.tw/E/Product/SICD_Frame.htm
Asia (HongKong) : http://www.hitachi.com.hk/eng/bo/grp3/index.htm
Japan : http://www.hitachi.co.jp/Sicd/indx.htm

For further information write to:

Hitachi Semiconductor
(America) Inc.
179 East Tasman Drive,
San Jose,CA 95134
Tel: <1> (408) 433-1990
Fax: <1>(408) 433-0223

Hitachi Europe GmbH
Electronic components Group
Domacher Straße 3
D-85622 Feldkirchen, Munich
Germany
Tel: <49> (89) 9 9180-0
Fax: <49> (89) 9 29 30 00

Hitachi Europe Ltd.
Electronic Components Group.
Whitebrook Park
Lower Cookham Road
Maidenhead
Berkshire SL6 8YA, United Kingdom
Tel: <44> (1628) 585000
Fax: <44> (1628) 778322

Hitachi Asia Pte. Ltd.
16 Collyer Quay #20-00
Hitachi Tower
Singapore 049318
Tel: 535-2100
Fax: 535-1533

Hitachi Asia Ltd.
Taipei Branch Office
3F, Hung Kuo Building. No.167,
Tun-Hwa North Road, Taipei (105)
Tel: <886> (2) 2718-3666
Fax: <886> (2) 2718-8180

Hitachi Asia (Hong Kong) Ltd.
Group III (Electronic Components)
7/F., North Tower, World Finance Centre,
Harbour City, Canton Road, Tsim Sha Tsui,
Kowloon, Hong Kong
Tel: <852> (2) 735 9218
Fax: <852> (2) 730 0281
Telex: 40815 HITEC HX

Copyright ' Hitachi, Ltd., 1999. All rights reserved. Printed in Japan.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า HITACHI
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DATA SHEET

For a complete data sheet, please also download:

- The IC06 74HC/HCT/HCU/HCMOS Logic Family Specifications
- The IC06 74HC/HCT/HCU/HCMOS Logic Package Information
- The IC06 74HC/HCT/HCU/HCMOS Logic Package Outlines

74HC/HCT541
Octal buffer/line driver; 3-state

Product specification
File under Integrated Circuits, IC06

December 1990

Philips
Semiconductors

PHILIPS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Octal buffer/line driver; 3-state 74HC/HCT541

FEATURES

- Non-inverting outputs
- Output capability: bus driver
- I_{CC} category: MSI

GENERAL DESCRIPTION

The 74HC/HCT541 are high-speed Si-gate CMOS devices and are pin compatible with low power Schottky TTL (LSTTL). They are specified in compliance with JEDEC standard no. 7A.

The 74HC/HCT541 are octal non-inverting buffer/line drivers with 3-state outputs. The 3-state outputs are controlled by the output enable inputs $\overline{OE}_1$ and $\overline{OE}_2$. A HIGH on $\overline{OE}_n$ causes the outputs to assume a high impedance OFF-state.
The "541" is identical to the "540" but has non-inverting outputs.

QUICK REFERENCE DATA

GND = 0 V; T_{amb} = 25 °C; $t_r = t_f$ = 6 ns

SYMBOL	PARAMETER	CONDITIONS	TYPICAL		UNIT
			HC	HCT	
t_{PHL}/ t_{PLH}	propagation delay A_n to Y_n	C_L = 15 pF; V_{CC} = 5 V	10	12	ns
C_I	input capacitance		3.5	3.5	pF
C_{PD}	power dissipation capacitance per buffer	notes 1 and 2	37	39	pF

Notes

1. C_{PD} is used to determine the dynamic power dissipation (P_D in μW):
   $P_D = C_{PD} \times V_{CC}^2 \times f_i + \Sigma (C_L \times V_{CC}^2 \times f_o)$ where:
   f_i = input frequency in MHz
   f_o = output frequency in MHz
   $\Sigma (C_L \times V_{CC}^2 \times f_o)$ = sum of outputs
   C_L = output load capacitance in pF
   V_{CC} = supply voltage in V
2. For HC the condition is V_I = GND to V_{CC}
   For HCT the condition is V_I = GND to V_{CC} – 1.5 V

ORDERING INFORMATION

See *"74HC/HCT/HCU/HCMOS Logic Package Information"*.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PIN DESCRIPTION

PIN NO.	SYMBOL	NAME AND FUNCTION
1, 19	$\overline{OE}_1$, $\overline{OE}_2$	output enable input (active LOW)
2, 3, 4, 5, 6, 7, 8, 9	A_0 to A_7	data inputs
10	GND	ground (0 V)
18, 17, 16, 15, 14, 13, 12, 11	Y_0 to Y_7	bus outputs
20	V_{CC}	positive supply voltage

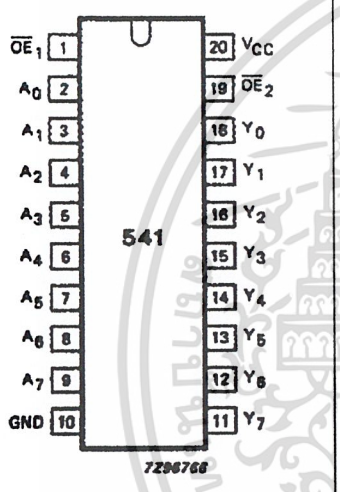


Fig.1 Pin configuration.

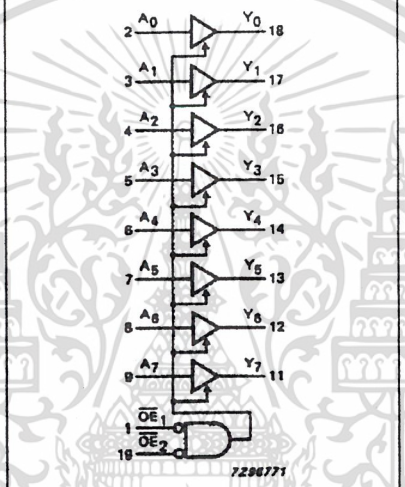


Fig.2 Logic symbol.

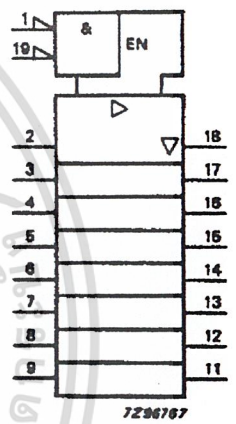


Fig.3 IEC logic symbol.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

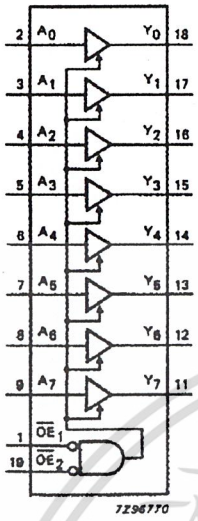


Fig.4 Functional diagram.

FUNCTION TABLE

INPUTS			OUTPUT
$\overline{OE}_1$	$\overline{OE}_2$	A_n	Y_n
L	L	L	L
L	L	H	H
X	H	X	Z
H	X	X	Z

Notes

1. H = HIGH voltage level
   L = LOW voltage level
   X = don't care
   Z = high impedance OFF-state

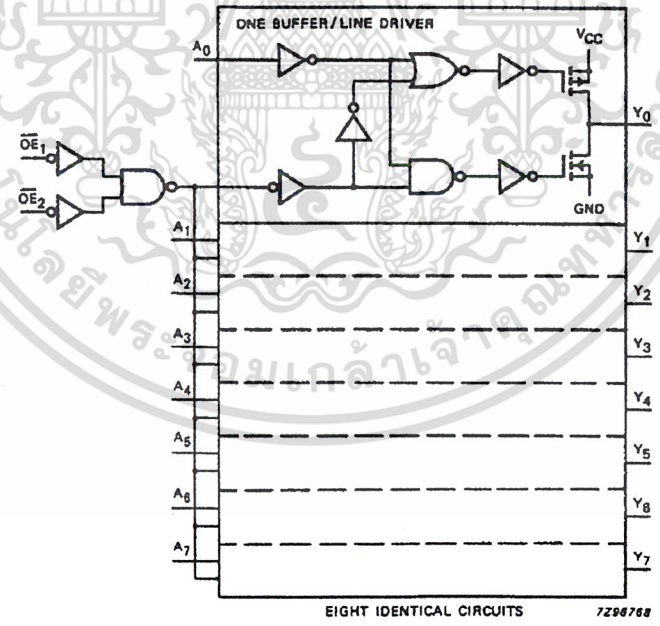


Fig.5 Logic diagram.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DC CHARACTERISTICS FOR 74HC

For the DC characteristics see *"74HC/HCT/HCU/HCMOS Logic Family Specifications"*.

Output capability: bus driver
I_{CC} category: MSI

AC CHARACTERISTICS FOR 74HC

GND = 0 V; $t_r = t_f$ = 6 ns; C_L = 50 pF

SYMBOL	PARAMETER	T_{amb} (°C)							UNIT	TEST CONDITIONS	
		74HC								V_{CC} (V)	WAVEFORMS
		+25			−40 to +85		−40 to +125				
		min.	typ.	max.	min.	max.	min.	max.			
t_{PHL}/ t_{PLH}	propagation delay A_n to Y_n		33 12 10	115 23 20		145 29 25		175 35 30	ns	2.0 4.5 6.0	Fig.6
t_{PZH}/ t_{PZL}	3-state output enable time $\overline{OE}$ to Y_n		55 20 16	160 32 27		200 40 34		240 48 41	ns	2.0 4.5 6.0	Fig.7
t_{PHZ}/ t_{PLZ}	3-state output disable time $\overline{OE}$ to Y_n		61 22 18	160 32 27		200 40 34		240 48 41	ns	2.0 4.5 6.0	Fig.7
t_{THL}/ t_{TLH}	output transition time		14 5 4	60 12 10		75 15 13		90 18 15	ns	2.0 4.5 6.0	Fig.6

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DC CHARACTERISTICS FOR 74HCT

For the DC characteristics see *"74HC/HCT/HCU/HCMOS Logic Family Specifications"*.

Output capability: bus driver
I_{CC} category: MSI

Note to HCT types

The value of additional quiescent supply current (ΔI_{CC}) for a unit load of 1 is given in the family specifications. To determine ΔI_{CC} per input, multiply this value by the unit load coefficient shown in the table below.

INPUT	UNIT LOAD COEFFICIENT
$\overline{OE}_1$	1.50
$\overline{OE}_2$	1.00
A_n	0.70

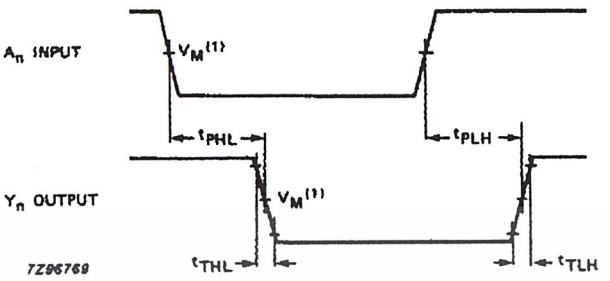
AC CHARACTERISTICS FOR 74HCT

GND = 0 V; $t_r = t_f$ = 6 ns; C_L = 50 pF

SYMBOL	PARAMETER	T_{amb} (°C)							UNIT	TEST CONDITIONS	
		74HCT								V_{CC} (V)	WAVEFORMS
		+25			–40 to +85		–40 to +125				
		min.	typ.	max.	min.	max.	min.	max.			
t_{PHL}/ t_{PLH}	propagation delay A_n to Y_n		15	28		35		42	ns	4.5	Fig.6
t_{PZH}/ t_{PZL}	3-state output enable time $\overline{OE}$ to Y_n		21	35		44		53	ns	4.5	Fig.7
t_{PHZ}/ t_{PLZ}	3-state output disable time $\overline{OE}$ to Y_n		21	35		44		53	ns	4.5	Fig.7
t_{THL}/ t_{TLH}	output transition time		5	12		15		18	ns	4.5	Fig.6

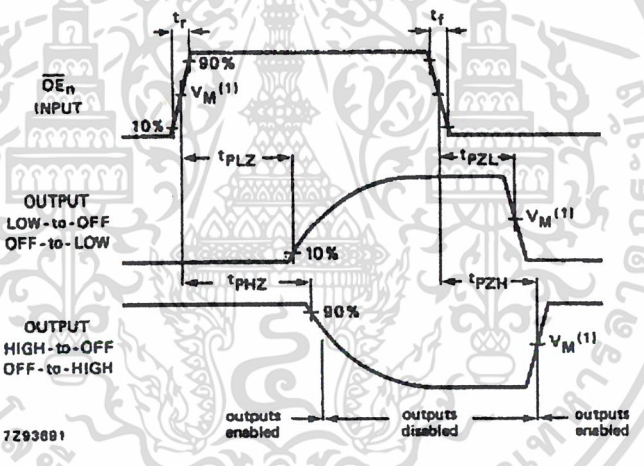
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC WAVEFORMS



(1) HC : V_M = 50%; V_I = GND to V_{CC}.
HCT: V_M = 1.3 V; V_I = GND to 3 V.

Fig.6 Waveforms showing the input (A_n) to output (Y_n) propagation delays and the output transition times.



(1) HC : V_M = 50%; V_I = GND to V_{CC}.
HCT: V_M = 1.3 V; V_I = GND to 3 V.

Fig.7 Waveforms showing the 3-state enable and disable times.

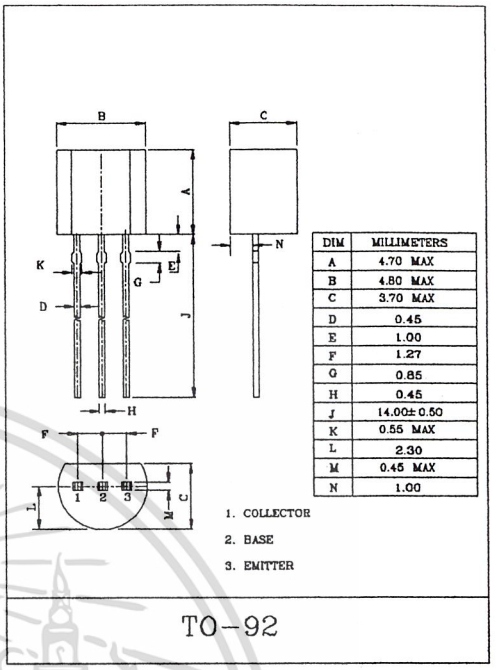
PACKAGE OUTLINES

See "74HC/HCT/HCU/HCMOS Logic Package Outlines".

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

GENERAL PURPOSE APPLICATION.
SWITCHING APPLICATION.

FEATURE
- For Complementary With NPN Type BC546/547/548.



DIM	MILLIMETERS
A	4.70 MAX
B	4.80 MAX
C	3.70 MAX
D	0.45
E	1.00
F	1.27
G	0.85
H	0.45
J	14.00± 0.50
K	0.55 MAX
L	2.30
M	0.45 MAX
N	1.00

TO-92

MAXIMUM RATINGS (Ta=25℃)

CHARACTERISTIC		SYMBOL	RATING	UNIT
Collector-Base Voltage	BC556	V_{CBO}	-80	V
	BC557		-50	
	BC558		-30	
Collector-Emitter Voltage	BC556	V_{CEO}	-65	V
	BC557		-45	
	BC558		-30	
Emitter-Base Voltage	BC556	V_{EBO}	-5	V
	BC557		-5	
	BC558		-5	
Collector Current	BC556	I_C	-100	mA
	BC557		-100	
	BC558		-100	
Emitter Current	BC556	I_E	100	mA
	BC557		100	
	BC558		100	
Collector Power Dissipation		P_C	625	mW
Junction Temperature		T_j	150	℃
Storage Temperature Range		T_{stg}	-55~150	℃

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS (Ta=25℃)

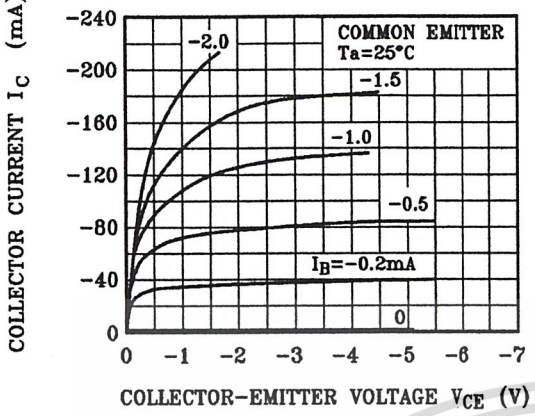
CHARACTERISTIC		SYMBOL	TEST CONDITION	MIN.	TYP.	MAX.	UNIT
Collector Cut-off Current		I_{CBO}	V_{CB}=-30V, I_E=0	-	-	-15	nA
DC Current Gain (Note)	BC556	h_{FE}	V_{CE}=-5V, I_C=-2mA	110	-	450	
	BC557			110	-	800	
	BC558			110	-	800	
Collector-Emitter Saturation Voltage	BC556	$V_{CE(sat)}$	I_C=-100mA, I_B=-5mA	-	-	-0.65	V
	BC557			-	-	-0.65	
	BC558			-	-	-0.65	
Base-Emitter Saturation Voltage	BC556	$V_{BE(sat)}$	I_C=-100mA, I_B=-5mA	-	-0.9	-1.1	V
	BC557			-	-0.9	-1.1	
	BC558			-	-0.9	-1.1	
Base-Emitter Voltage		$V_{BE(ON)}$1	V_{CE}=-5V, I_C=-2mA	-0.6	-	-0.75	V
Base-Emitter Voltage		$V_{BE(ON)}$2	V_{CE}=-5V, I_C=-10mA	-	-	-0.8	V
Transition Frequency		f_T	V_{CE}=-5V, I_C=-10mA, f=100MHz	-	150	-	MHz
Collector Output Capacitance		C_{ob}	V_{CB}=-10V, I_E=0, f=1MHz	-	4.5	-	pF
Noise Figure	BC556	NF	V_{CE}=-6V, I_C=-0.1mA R_g=10kΩ, f=1kHz	-	1.0	10	dB
	BC557			-	1.0	10	
	BC558			-	1.0	10	

NOTE : According to the value of h_{FE} the BC556, BC557, BC558 are classified as follows.

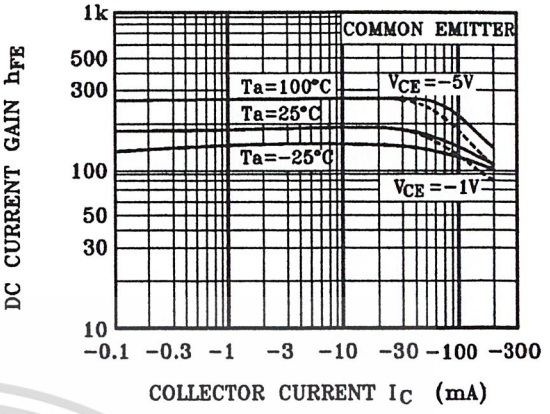
CLASSIFICATION		none	A	B	C
h_{FE}	BC556	110~450	110~220	200~450	-
	BC557	110~800	110~220	200~450	420~800
	BC558	110~800	110~220	200~450	420~800

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

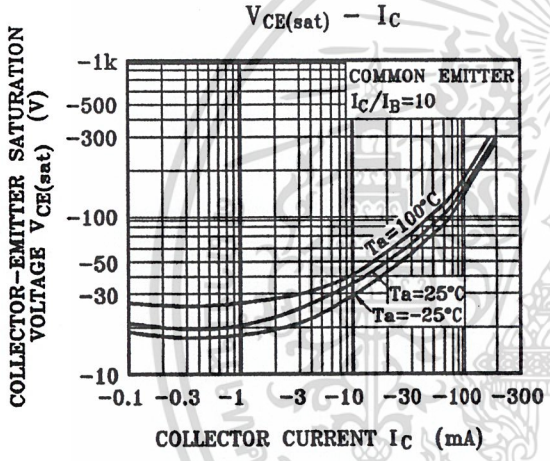
$I_C - V_{CE}$



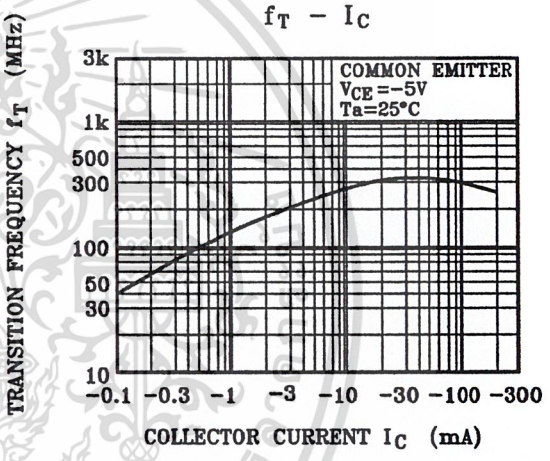
$h_{FE} - I_C$



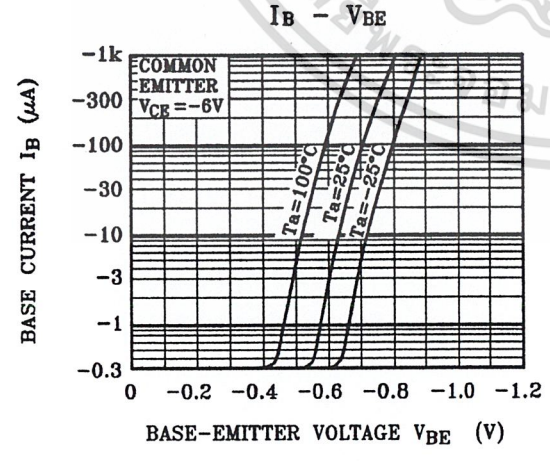
$V_{CE(sat)} - I_C$



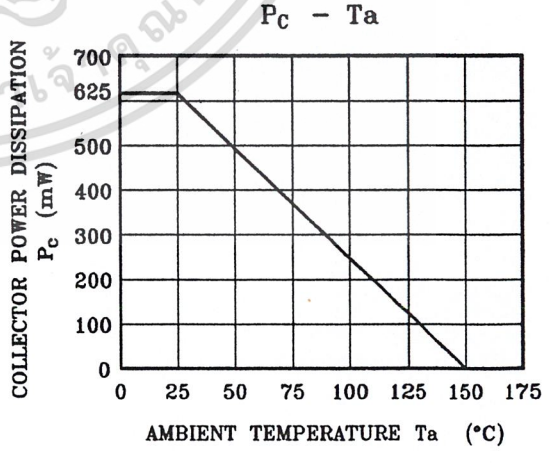
$f_T - I_C$



$I_B - V_{BE}$



$P_C - Ta$



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

HD74HC112

Dual J-K Flip-Flops (with Preset and Clear)

HITACHI

Description

Each flip-flop has independent J, K, preset, clear and clock inputs and Q and $\overline{Q}$ outputs. This device is edge sensitive to the clock input and change state on the negative going transition of the clock pulse. Clear and preset are independent of the clock and accomplished by a low logic level on the corresponding input.

Features

- High Speed Operation: t_{pd} (Clock to Q) = 17 ns typ (C_L = 50 pF)
- High Output Current: Fanout of 10 LSTTL Loads
- Wide Operating Voltage: V_{CC} = 2 to 6 V
- Low Input Current: 1 µA max
- Low Quiescent Supply Current: I_{CC} (static) = 2 µA max (Ta = 25°C)

Function Table

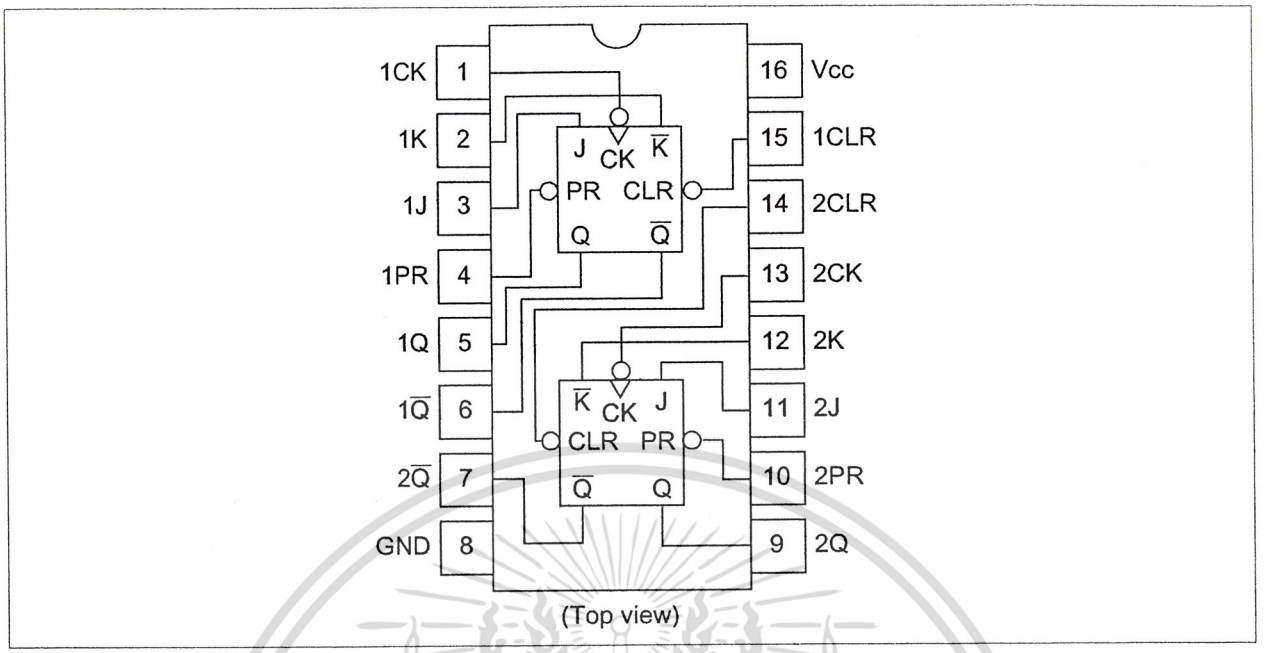
Inputs					Output	
Preset	**Clear**	**Clock**	**J**	**K**	**Q**	**$\overline{Q}$**
L	H	X	X	X	H	L
H	L	X	X	X	L	H
L	L	X	X	X	H*1	H*1
H	H	↓	L	L	No Change	
H	H	↓	L	H	L	H
H	H	↓	H	L	H	L
H	H	↓	H	H	Toggle	
H	H	L	X	X	No Change	
H	H	H	X	X	No Change	
H	H	↑	X	X	No Change	

Note: 1. Q and $\overline{Q}$ will remain HIGH as long as Preset and Clear are Low, but Q and $\overline{Q}$ are unpredictable, if Preset and Clear go HIGH simultaneously.

Hitachi semiconductor

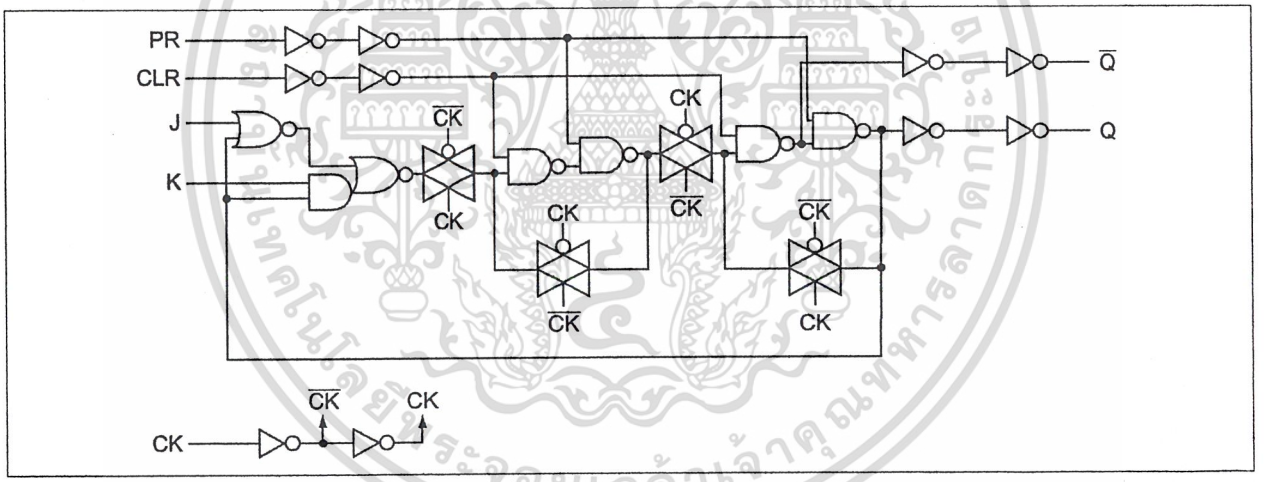
เอกสารนี้จัดทำขึ้นไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Pin Arrangement



(Top view)

Logic Diagram (1/2)



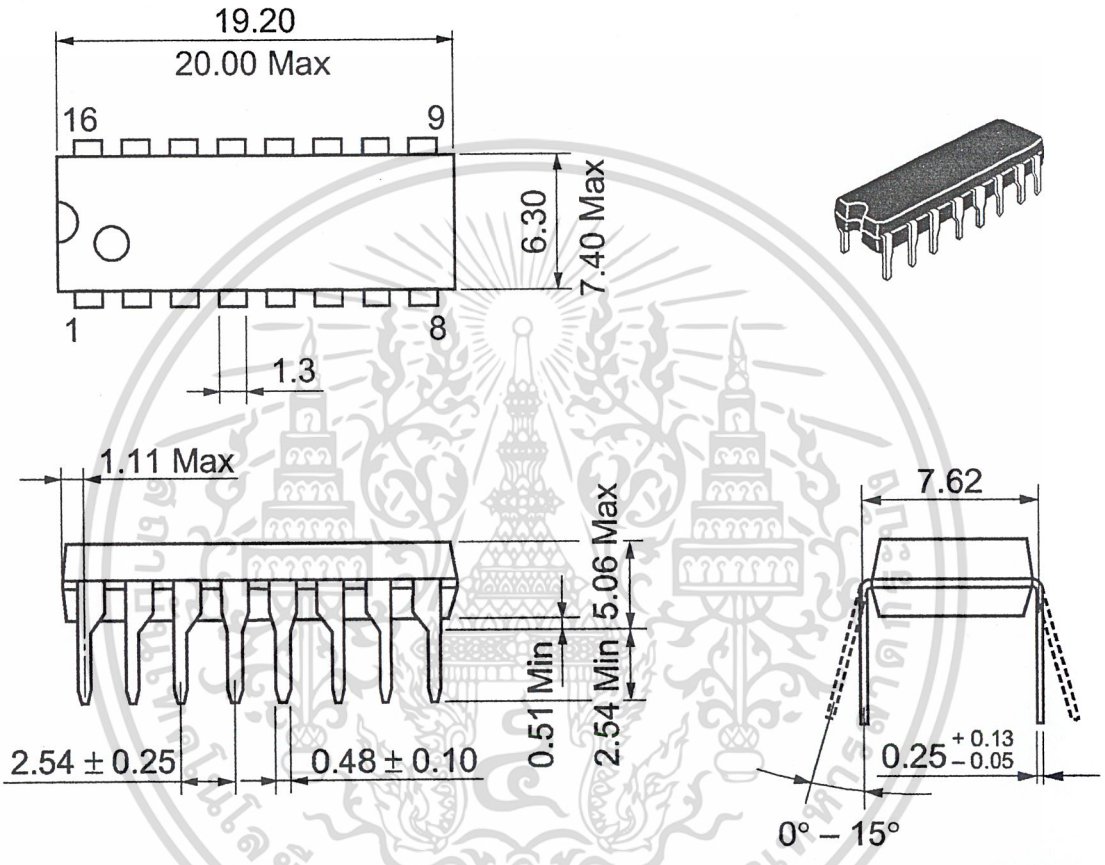
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DC Characteristics

Item	Symbol	V_{CC} (V)	Ta = 25°C Min	Typ	Max	Ta = –40 to +85°C Min	Max	Unit	Test Conditions
Input voltage	V_{IH}	2.0	1.5	—	—	1.5	—	V	
		4.5	3.15	—	—	3.15	—		
		6.0	4.2	—	—	4.2	—		
	V_{IL}	2.0	—	—	0.5	—	0.5	V	
		4.5	—	—	1.35	—	1.35		
		6.0	—	—	1.8	—	1.8		
Output voltage	V_{OH}	2.0	1.9	2.0	—	1.9	—	V	Vin = V_{IH} or V_{IL} I_{OH} = –20 µA
		4.5	4.4	4.5	—	4.4	—		
		6.0	5.9	6.0	—	5.9	—		
		4.5	4.18	—	—	4.13	—		I_{OH} = –4 mA
		6.0	5.68	—	—	5.63	—		I_{OH} = –5.2 mA
	V_{OL}	2.0	—	0.0	0.1	—	0.1	V	Vin = V_{IH} or V_{IL} I_{OL} = 20 µA
		4.5	—	0.0	0.1	—	0.1		
		6.0	—	0.0	0.1	—	0.1		
		4.5	—	—	0.26	—	0.33		I_{OL} = 4 mA
		6.0	—	—	0.26	—	0.33		I_{OL} = 5.2 mA
Input current	Iin	6.0	—	—	±0.1	—	±1.0	µA	Vin = V_{CC} or GND
Quiescent supply current	I_{CC}	6.0	—	—	2.0	—	20	µA	Vin = V_{CC} or GND, Iout = 0 µA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

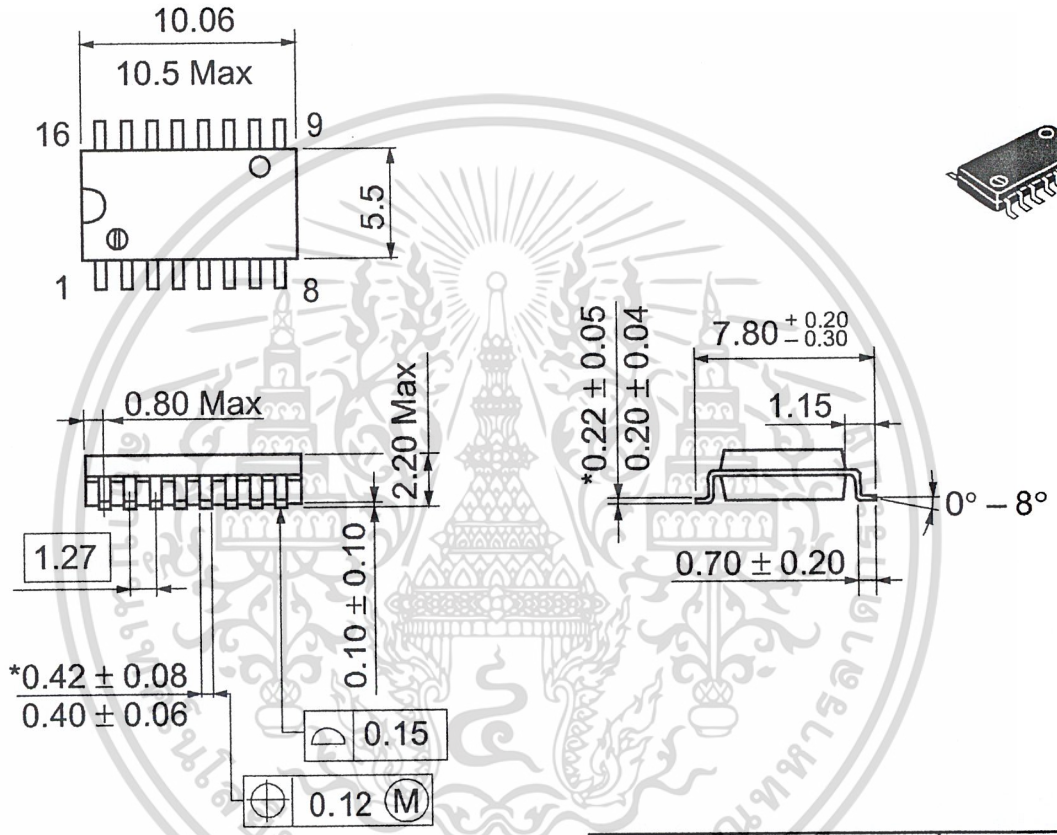
Unit: m



Hitachi Code	DP-16
JEDEC	Conforms
EIAJ	Conforms
Weight (reference value)	1.07 g

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Unit: r

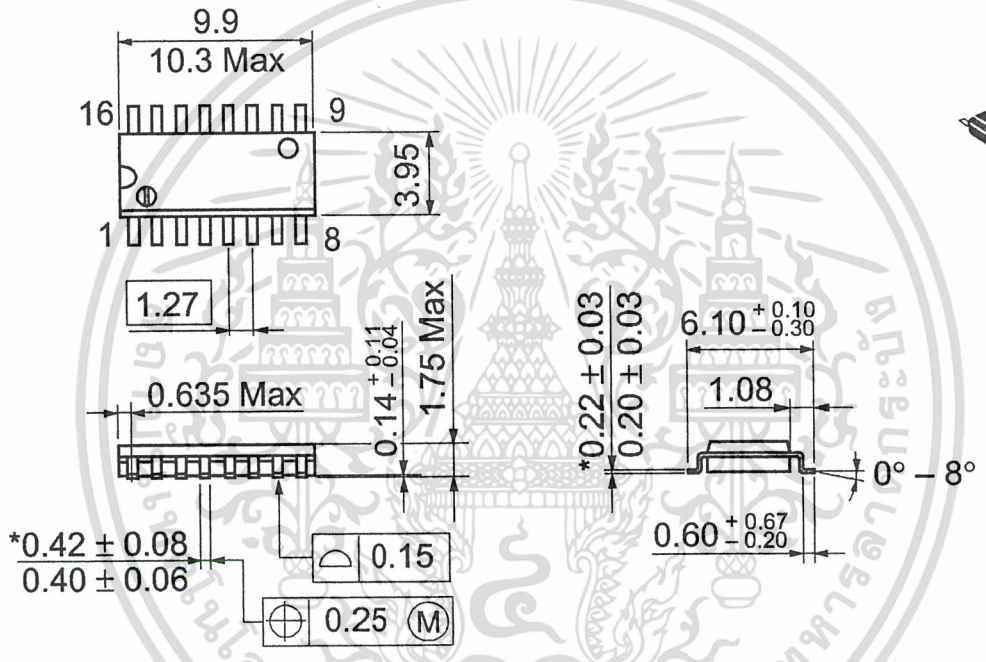


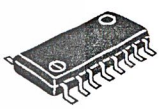
Hitachi Code	FP-16DA
JEDEC	—
EIAJ	Conforms
Weight (reference value)	0.24 g

ıension including the plating thickness
Base material dimension

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Unit: m





ension including the plating thickness
Base material dimension

Hitachi Code	FP-16DN
JEDEC	Conforms
EIAJ	Conforms
Weight (reference value)	0.15 g

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้