สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

การออกแบบควบคุมสัญญาณรบกวนในวงจรขับสเตปปิงมอเตอร์

Controlling EMI in the stepping motor driver circuit by design

T042492

โดย

นางสาวประณีต วัชรินทร์

นายพงศ์พิพัฒน์ ภู่เหลือ

2543

เลขหมู่.....
เลขทะเบียน 42492
วัน, เดือน, ปี 24 W.A. 2545

.b.....
.i.....

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาวิศวกรรมระบบควบคุม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2543

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ปีการศึกษา 2543

ภาควิชาระบบควบคุม

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง **การออกแบบควบคุมสัญญาณรบกวนในวงจรขับสเตปปิ้งมอเตอร์**

Controlling EMI in the stepping motor driver circuit by design

ผู้จัดทำ

1. นางสาวประณีต วัชรินทร์ 40010430
2. นายพงศ์พิพัฒน์ ภู่เหลือ 40010476

_____ อาจารย์ที่ปรึกษา

(ร.ศ.ดร.โยธิน เปรมปราณีรัชต์)

_____ อาจารย์ที่ปรึกษา

(อาจารย์สุมิตร พนาอุดมทรัพย์)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การออกแบบควบคุมสัญญาณรบกวนในวงจรขับสเตปปิงมอเตอร์

Controlling EMI in the stepping motor driver circuit by design

โดย

นางสาวประณีต วัชรินทร์

นายพงศ์พิพัฒน์ ภู่เหลือ

อาจารย์ที่ปรึกษา

ร.ศ.ดร.โยธิน เปรมปราณีรัชต์

อาจารย์สุมิตร พนาอุดมทรัพย์

บทคัดย่อ

ปริญญานิพนธ์ฉบับนี้กล่าวถึงโครงงานเกี่ยวกับการออกแบบและแก้ไขสัญญาณรบกวนที่เกิดขึ้นในวงจรขับสเตปปิงมอเตอร์ซึ่งสามารถควบคุมความเร็วให้อยู่ในย่านความถี่สูงเพื่อให้เห็นสัญญาณรบกวนได้ชัดเจนแล้วจึงทำการลดสัญญาณรบกวนโดยใช้หลักการพุชพูลเพื่อลดความชันของกระแสเอาท์พุต ทำให้สัญญาณรบกวนที่ตัวอุปกรณ์น้อยลง สัญญาณรบกวนภายในวงจรก็จะลดลงด้วย โดยหลักการควบคุมความเร็วของสเตปปิงมอเตอร์ใช้การกระตุ้นการหมุนโดยการป้อนสัญญาณตามลำดับต่อเนื่อง แต่จากผลการทดสอบจะพบว่าสเตปปิงมอเตอร์จะตอบสนองในความถี่ต่ำมาก จึงได้ทำการทดลองเปลี่ยนจากวงจรทรานซิสเตอร์มาใช้เพาเวอร์มอสเฟตแทนและเลือกทำการทดลองเพียงเฟสเดียวในการลดสัญญาณรบกวน

Abstract

This project concerns how to design and reduce noise in stepping motor driver circuit that we can control speed to high frequency for show the noise or EMI , and solve this problem noise by using push pull method for reduce slope of output current or reduce current spice that is EMI so that noise in electronics circuit can be solved. The stepping motor is controlled by input pulse sequential. From the test results of this motor has response in low frequency so we change to use from transistor circuit to power mosfet circuit but test single phase specially to increase speed to high frequency for reducing noise.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

	หน้า
บทคัดย่อ	I
สารบัญภาพ	II
บทที่ 1 บทนำ	1
บทที่ 2 ทฤษฎีเกี่ยวกับมอเตอร์ไฟฟ้า	2
2.1 หลักการทำงานของสเตปปิงมอเตอร์	3
2.2 วงจรขับสเตปปิงมอเตอร์	4
2.3 หลักการขับสเตปปิงมอเตอร์	5
2.4 การควบคุมการหมุนของสเตปปิงมอเตอร์	5
2.4.1 กระตุ้นทีละเฟส	5
2.4.2 กระตุ้นสองเฟสพร้อมกัน	6
2.4.3 กระตุ้นแบบผสม	6
บทที่ 3 ทฤษฎีสัญญาณรบกวนคลื่นแม่เหล็กไฟฟ้า	7
3.1 ความหมายของสัญญาณรบกวน	9
3.2 ชนิดของสัญญาณรบกวน	9
3.2.1 เกิดจากการไหลของกระแสผ่านกำแพงศักดิ์	9
3.2.2 แหล่งกำเนิดสัญญาณรบกวนที่สร้างโดยมนุษย์	9
3.2.3 แหล่งกำเนิดสัญญาณรบกวนจากธรรมชาติ	10
3.3 ทางเดินของสัญญาณรบกวน	10
3.4 การวิเคราะห์การป้องกันสัญญาณรบกวนโดยวิเคราะห์ทางเดินของสัญญาณรบกวน	11
3.4.1 สัญญาณรบกวนเกิดจากอะไร	11
3.4.2 สัญญาณเข้ามาจากทางไหน	11
3.5 การป้องกันสัญญาณรบกวนโดยวิเคราะห์ทางเดินของสัญญาณรบกวน	11
3.5.1 การแก้ปัญหาการรบกวนทางอากาศ	11
3.5.2 การแก้ปัญหาการรบกวนทางสายไฟฟ้า	12
3.5.3 การแก้ปัญหาทางสายดิน	12
บทที่ 4 การทดลองขับสเตปปิงมอเตอร์แบบใช้ทรานซิสเตอร์	13
4.1 การทดลองวงจรขับสเตปปิงมอเตอร์แบบที่ 1	13
4.2 การทดลองวงจรขับสเตปปิงมอเตอร์แบบที่ 2	14

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หน้า

บทที่ 5 การทดสอบวงจรขับสเตปปิงมอเตอร์แบบเฟสเดียวโดยใช้เพาเวอร์มอสเฟต 16

5.1 การทดสอบวงจรขับสเตปปิงมอเตอร์ 16

5.2 การทดสอบสัญญาณโดยสังเกตคาบความถี่ 16

5.3 การทดสอบสัญญาณโดยสังเกตคาบเวลา 17

5.4 การควบคุมความชันกระแส Id 18

5.4.1 การควบคุมความชันกระแสขาขึ้นและขาลงพร้อมกัน 18

5.4.2 การควบคุมความชันกระแสขาขึ้นและขาลงแยกกัน 22

บทสรุปและข้อเสนอแนะ 36

บรรณานุกรม IV

กิตติกรรมประกาศ V

ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูปภาพ

หน้า

รูปที่ 2.1 แสดงโครงสร้างพื้นฐานของมอเตอร์ไฟฟ้ากระแสตรง 2

รูปที่ 2.2 แสดงโครงสร้างพื้นฐานของมอเตอร์ไฟฟ้ากระแสสลับ 2

รูปที่ 2.3 แสดงโครงสร้างพื้นฐานของมอเตอร์ไฟฟ้ากระแสสลับที่ตัวหมุนเป็นแม่เหล็กถาวร 3

รูปที่ 2.4 แสดงการหมุนเป็นสเตป 3

รูปที่ 2.5 แสดงการหมุนแบบต่อเนื่อง 4

รูปที่ 2.6 แสดงวงจรสมมูลย์ของสเตปปิงมอเตอร์ 4

รูปที่ 2.7 แสดงรายละเอียดการขับสเตปปิงมอเตอร์โดยกระตุ้นทีละเฟส 5

รูปที่ 2.8 แสดงรายละเอียดการขับสเตปปิงมอเตอร์โดยกระตุ้นสองเฟสพร้อมกัน 6

รูปที่ 2.9 แสดงรายละเอียดการขับสเตปปิงมอเตอร์โดยกระตุ้นแบบผสม 6

รูปที่ 3.1 แสดงปัญหาภายในของเครื่องรับสัญญาณ 7

รูปที่ 3.2 แสดงสัญญาณรบกวนจากภายนอก 8

รูปที่ 3.3 การเกิดการรบกวนกับระบบภายนอก 8

รูปที่ 3.4 ทางเดินของสัญญาณรบกวน 10

รูปที่ 4.1 แสดงวงจรขับสเตปปิงมอเตอร์แบบที่ 1 13

รูปที่ 4.2 แสดงการวัดสัญญาณรบกวนของสเตปปิงมอเตอร์แบบที่ 1 14

รูปที่ 4.3 แสดงวงจรขับสเตปปิงมอเตอร์แบบที่ 2 โดยแสดงเพียง 1 เฟส 14

รูปที่ 4.4 แสดงกระแส Ic ของวงจรขับสเตปปิงมอเตอร์แบบที่ 2 ที่ใช้ความถี่ 60.98 Hz 15

รูปที่ 4.5 แสดงกระแส Ic ของวงจรขับสเตปปิงมอเตอร์แบบที่ 2 ที่ใช้ความถี่ 25.58 Hz 15

รูปที่ 5.1 แสดงวงจรขับ โดยใช้เพาเวอร์มอสเฟต 16

รูปที่ 5.2 สัญญาณแรงดันที่ได้จากขาเกต 17

รูปที่ 5.3 แสดงวงจรสมมูลของเพาเวอร์มอสเฟต 18

รูปที่ 5.4 แสดงสัญญาณกระแสในคาบความถี่ของการทดสอบที่ 1 19

รูปที่ 5.5 แสดงสัญญาณกระแส แรงดันและกำลังสูญเสียในคาบเวลาของการทดสอบที่ 1 19

รูปที่ 5.6 แสดงสัญญาณกระแสในคาบความถี่ของการทดสอบที่ 2 20

รูปที่ 5.7 แสดงสัญญาณกระแส แรงดันและกำลังสูญเสียในคาบเวลาของการทดสอบที่ 2 20

รูปที่ 5.8 แสดงสัญญาณกระแสในคาบความถี่ของการทดสอบที่ 3 21

รูปที่ 5.9 แสดงสัญญาณกระแส แรงดันและกำลังสูญเสียในคาบเวลาของการทดสอบที่ 3 21

รูปที่ 5.10 แสดงวงจรที่ออกแบบให้ควบคุมความชันกระแสขาขึ้นและลงพร้อมกัน 22

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หน้า

รูปที่ 5.11 แสดงวงจรที่ออกแบบให้ควบคุมความชันกระแสขาขึ้นและลงแยกกัน 23
รูปที่ 5.12 แสดงค่าความต้านทานในการทดสอบการควบคุมความชันแบบขึ้นลงพร้อมกัน 23
รูปที่ 5.13 แสดงค่าความต้านทานในการทดสอบการควบคุมความชันแบบขึ้นลงไม่พร้อมกัน 23
รูปที่ 5.14 แสดงสัญญาณกระแสในคาบความถี่ของการทดสอบที่ 4 24
รูปที่ 5.15 แสดงสัญญาณกระแส แรงดันและกำลังสูญเสียในคาบเวลาของการทดสอบที่ 4 24
รูปที่ 5.16 แสดงสัญญาณกระแสในคาบความถี่ของการทดสอบที่ 5 25
รูปที่ 5.17 แสดงสัญญาณกระแส แรงดันและกำลังสูญเสียในคาบเวลาของการทดสอบที่ 5 25
รูปที่ 5.18 แสดงสัญญาณกระแสในคาบความถี่ของการทดสอบที่ 6 26
รูปที่ 5.19 แสดงสัญญาณกระแส แรงดันและกำลังสูญเสียในคาบเวลาของการทดสอบที่ 6 26
รูปที่ 5.20 แสดงสัญญาณกระแสในคาบความถี่ของการทดสอบที่ 7 27
รูปที่ 5.21 แสดงสัญญาณกระแส แรงดันและกำลังสูญเสียในคาบเวลาของการทดสอบที่ 7 27
รูปที่ 5.22 แสดงสัญญาณกระแสในคาบความถี่ของการทดสอบที่ 8 28
รูปที่ 5.23 แสดงสัญญาณกระแส แรงดันและกำลังสูญเสียในคาบเวลาของการทดสอบที่ 8 28
รูปที่ 5.24 แสดงสัญญาณกระแสในคาบความถี่ของการทดสอบที่ 9 29
รูปที่ 5.25 แสดงสัญญาณกระแส แรงดันและกำลังสูญเสียในคาบเวลาของการทดสอบที่ 9 29
รูปที่ 5.26 แสดงการวัดสัญญาณที่ห้องทดสอบสัญญาณ 30
รูปที่ 5.26 แสดงการทดสอบสัญญาณทดสอบที่ 1 31
รูปที่ 5.27 แสดงการทดสอบสัญญาณทดสอบที่ 2 32
รูปที่ 5.28 แสดงการทดสอบสัญญาณทดสอบที่ 4 33
รูปที่ 5.29 แสดงการทดสอบสัญญาณทดสอบที่ 5 34
รูปที่ 5.30 แสดงการทดสอบสัญญาณทดสอบที่ 6 35

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

ในระบบไฟฟ้าไม่ว่าจะเป็นเครื่องใช้ไฟฟ้าประเภทใดก็ตาม ปัญหาสัญญาณรบกวนเป็นปัญหาที่สำคัญที่จะต้องแก้ไขให้อยู่ในมาตรฐานอุตสาหกรรมที่ได้กำหนดไว้ โดยที่สัญญารบกวนที่เกิดขึ้นในระบบนั้น จะเกิดจากสาเหตุต่าง ๆ เช่น สัญญาณที่เกิดจากตัวของอุปกรณ์เอง สัญญาณรบกวนจากภายนอก หรือจากธรรมชาติ ซึ่งสัญญาณรบกวนจากสาเหตุเหล่านี้เป็นตัวลดประสิทธิภาพของระบบทั้งสิ้น เป็นผลให้สญญาณที่ออกจากระบบมีสัญญาณรบกวนปนออกมากับสัญญาณที่เราต้องการ

วิทยานิพนธ์ฉบับนี้ได้นำเสนอการออกแบบและพัฒนาวงจรขับสเตปปิงมอเตอร์ โดยการขับมอเตอร์ที่ความเร็วสูงเพื่อให้เห็นสัญญาณรบกวนได้ชัดเจนแล้วศึกษาวิธีการแก้ไขสัญญาณรบกวนที่เกิดขึ้น ในช่วงแรก (บทที่ 4) ใช้ไบโพลาร์ทรานซิสเตอร์ขับสเตปปิงมอเตอร์สี่เฟส แต่มอเตอร์หมุนที่ความเร็วต่ำ จึงได้ทำการเปลี่ยนวงจรขับมาใช้เพาเวอร์มอสเฟตซึ่งสามารถขับที่ความถี่สูงกว่าและเปลียนมาใช้แบบจำลองขับแบบเฟสเดียว

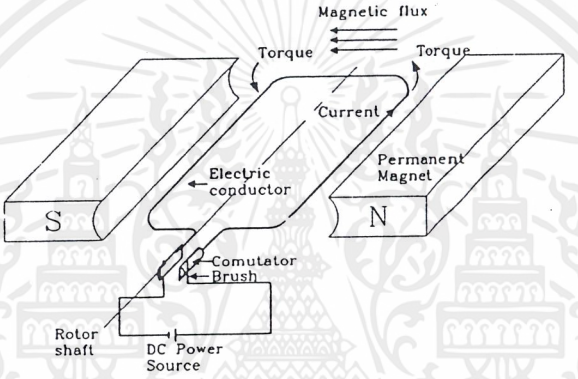
เนื้อหาส่วนแรกกล่าวถึงทฤษฎีพื้นฐานเกี่ยวกับมอเตอร์และสัญญาณรบกวน ประกอบด้วย
บทที่ 2 กล่าวถึงทฤษฎีมอเตอร์ไฟฟ้า
บทที่ 3 กล่าวถึงทฤษฎีสัญญาณรบกวนคลื่นแม่เหล็กไฟฟ้า

เนื้อหาส่วนที่สองกล่าวถึงการทดลองขับสเตปปิงมอเตอร์ ประกอบด้วย
บทที่ 4 ทำการทดลองขับสเตปปิงมอเตอร์โดยใช้ทรานซิสเตอร์ขับมอเตอร์สี่เฟส
บทที่ 5 ได้ทำการเปลี่ยนวงจรขับแบบสี่เฟสมาจำลองขับแบบเฟสเดียวและเปลี่ยนมาใช้เพาเวอร์มอสเฟตแทนเพื่อหาวิธีการขจัดสัญญาณรบกวน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

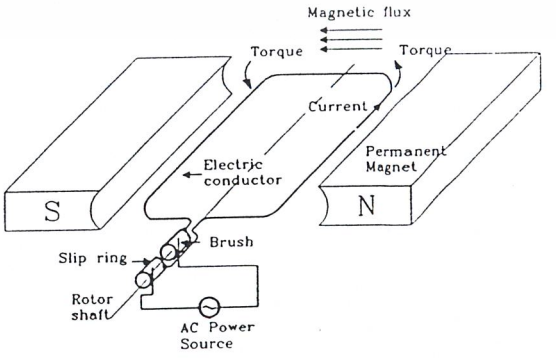
บทที่ 2
ทฤษฎีเกี่ยวกับมอเตอร์ไฟฟ้า

มอเตอร์ไฟฟ้าแบ่งออกเป็น 2 ประเภทใหญ่ ๆ คือ มอเตอร์ไฟฟ้ากระแสตรงและมอเตอร์ไฟฟ้ากระแสสลับ ดังแสดงในรูปที่ 2.1 เป็นภาพโครงสร้างพื้นฐานของมอเตอร์ไฟฟ้ากระแสตรงซึ่งในการหมุนและการเปลี่ยนแปลงความเร็วรอบในการหมุนของมอเตอร์ไฟฟ้ากระแสตรงจะใช้หลักการเปลี่ยนแปลงแรงดันไฟฟ้ากระแสตรงที่ป้อนให้กับตัวหมุน โดยที่ค่าแรงดันไฟฟ้าที่ป้อนให้กับตัวหมุนจะเป็นสัดส่วนโดยตรงกับความเร็วรอบของมอเตอร์ไฟฟ้ากระแสตรง



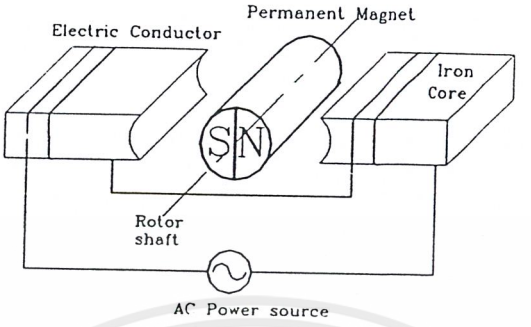
รูปที่ 2.1 แสดงโครงสร้างพื้นฐานของมอเตอร์ไฟฟ้ากระแสตรง

รูปที่ 2.2 และ 2.3 แสดงโครงสร้างพื้นฐานของมอเตอร์ไฟฟ้ากระแสสลับ การเปลี่ยนแปลงความเร็วรอบในการหมุนของมอเตอร์ไฟฟ้ากระแสสลับนั้นจะใช้หลักการเปลี่ยนแปลงความถี่ของแรงดันไฟฟ้ากระแสสลับที่ป้อนให้กับมอเตอร์ ค่าความเร็วรอบของมอเตอร์ไฟฟ้ากระแสสลับจะเป็นสัดส่วนโดยตรงกับความถี่ที่ป้อน โดยในรูปที่ 2.2 จะแสดงให้เห็นถึงตัวหมุนที่เป็นลวดตัวนำ ส่วนรูปที่ 2.3 จะแสดงลักษณะของตัวหมุนที่เป็นแม่เหล็กถาวร



รูปที่ 2.2 แสดงโครงสร้างพื้นฐานของมอเตอร์ไฟฟ้ากระแสสลับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



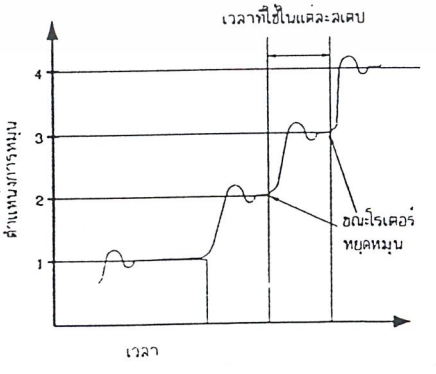
รูปที่ 2.3 แสดงโครงสร้างพื้นฐานของมอเตอร์ไฟฟ้ากระแสสลับที่ตัวหมุนเป็นแม่เหล็กถาวร

มอเตอร์ไฟฟ้ากระแสตรงแบบไม่มีแปรงถ่านนั้นจะอาศัยโครงสร้างของมอเตอร์ไฟฟ้ากระแสสลับตามรูปที่ 2.3 โดยใช้วงจรขับควบคุมการจ่ายกระแสไฟฟ้าให้กับขดลวดตัวนำในการสร้างสนามแม่เหล็กไฟฟ้าให้สอดคล้องกับการหมุนของตัวหมุนที่เป็นแม่เหล็กถาวร

2.1 หลักการทำงานของสเตปปิงมอเตอร์

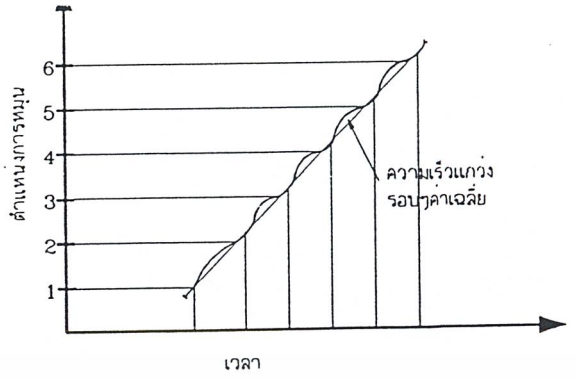
สเตปปิงมอเตอร์เป็นมอเตอร์ไฟฟ้ากระแสตรงชนิดหนึ่งที่เปลี่ยนสัญญาณดิจิตอลเป็นการเคลื่อนที่ทางกล จังเหมาะสำหรับการเชื่อมต่อกับอุปกรณ์ทางดิจิตอลหรือคอมพิวเตอร์ การทำงานของสเตปปิงมอเตอร์โดยส่วนใหญ่จะขึ้นอยู่กับสัญญาณพัลส์กระตุ้นที่ป้อนให้กับขดลวดเฟสของมอเตอร์ในลำดับที่ถูกต้องด้วยวงจรจัดลำดับลอจิกและกระแสที่พอเพียงด้วยวงจรขับ ซึ่งจะได้กล่าวต่อไป

การทำงานของสเตปปิงมอเตอร์ตามอัตราเร็วของแต่ละสเตปจะแบ่งออกเป็น 2 โหมดการทำงานคือ โหมดของการหมุนเป็นสเตป (Discrete Mode) และโหมดของการหมุนแบบต่อเนื่อง (Slewing Mode)



รูปที่ 2.4 แสดงการหมุนเป็นสเตป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

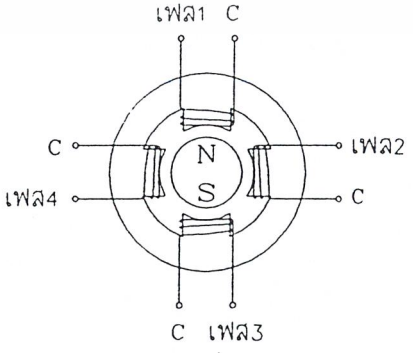


รูปที่ 2.5 แสดงการหมุนแบบต่อเนื่อง

จากรูปที่ 2.4 แสดงการหมุนแบบสเตปซึ่งมีเวลาหยุดนิ่งก่อนที่จะเปลี่ยนสเตปถัดไป ดังนั้น หากมีการเพิ่มอัตราเร็วในแต่ละสเตปให้เร็วขึ้นและเป็นไปอย่างต่อเนื่อง การหมุนของสเตปปิงมอเตอร์ก็จะต่อเนื่องดังแสดงในรูปที่ 2.5 ในการนำสเตปปิงมอเตอร์ไปใช้งานไม่ว่าจะเป็นโหมดการทำงานแบบใดหรือเป็นสเตปปิงมอเตอร์แบบไหน ควรจะมีการศึกษาคุณลักษณะต่าง ๆ เช่น แรงบิดการตอบสนองต่อความถี่สูงสุด และความสัมพันธ์ระหว่างการเปลี่ยนแปลงของแรงบิดกับค่าของกระแส ทั้งนี้เพื่อให้สามารถควบคุมการทำงานของสเตปปิงมอเตอร์ได้อย่างมีประสิทธิภาพมากที่สุด

2.2 วงจรขับสเตปปิงมอเตอร์

การพิจารณาถึงหลักการในการออกแบบวงจรขับกำลังให้กับขดลวดของสเตปปิงมอเตอร์นั้นจะต้องคำนึงถึงองค์ประกอบหลายอย่างด้วยกัน เนื่องจากการหมุนของสเตปปิงมอเตอร์จะทำให้เกิดแรงดันไฟฟ้าย้อนกลับ (Back emf) ซึ่งจะมีทิศทางตรงกันข้ามกับแหล่งจ่ายแรงดันไฟฟ้าโดยสามารถเขียนวงจรสมมูลย์ (Equivalent circuit) ในหนึ่งเฟสของสเตปปิงมอเตอร์ได้ดังในรูปที่ 2.6



รูปที่ 2.6 แสดงวงจรสมมูลย์ของสเตปปิงมอเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยทั่วไปสเตปปิงมอเตอร์ได้ถูกออกแบบให้ทนความร้อนได้สูงถึง 100 องศาเซลเซียส แต่ในการใช้งานจริงจะถูกใช้งานที่เงื่อนไขต่ำกว่าจุดอิ่มตัวที่กำหนดมา ในการขับสเตปปิงมอเตอร์นั้นจะต้องเลือกใช้อุปกรณ์ที่กินกระแสสูง เนื่องจากชุดขดลวดในแต่ละเฟสของสเตปปิงมอเตอร์จะต้องมีการนำและหยุดนำกระแสอยู่ตลอดเวลา ดังนั้นจึงจำเป็นต้องออกแบบเพื่อป้องกันความเสียหายที่จะเกิดขึ้นกับทรานซิสเตอร์กำลังจากแรงดันยอดแหลม (Spike Voltage) ที่เกิดจากการเหนี่ยวนำของกระแสในขดลวด (Inductive Tern Off Spike Voltage)

2.3 หลักการขับสเตปปิงมอเตอร์

สเตปปิงมอเตอร์ทำงานเมื่อมีสัญญาณป้อนเข้ามาเป็นจังหวะ และสามารถให้หยุดหมุนในจังหวะที่ควบคุมได้ ซึ่งแต่ละจังหวะที่ป้อนเข้ามาเรียกว่าสเตป ความละเอียดของสเตปปิงมอเตอร์กำหนดเป็นองศาที่หมุนไปหนึ่งสเตป หากมีการหมุน 1.8 องศาต่อสเตป ความละเอียดของการหมุนคือ $\frac{360}{1.8} = 200$ ตำแหน่ง

2.4 การควบคุมการหมุนของสเตปปิงมอเตอร์

การกระตุ้นการหมุนทำได้โดยการป้อนสัญญาณเป็นลำดับ ซึ่งแบ่งเป็น 3 รูปแบบ คือ กระตุ้นทีละเฟส (Wave) กระตุ้นสองเฟสพร้อมกัน (Two phase) และการกระตุ้นแบบผสม (Half Step)

2.4.1 กระตุ้นทีละเฟส ทำโดยการกระตุ้นขดลวดทีละขดเรียงลำดับกัน ดังตารางรูปที่ 2.7

Step	Phase 1	Phase 2	Phase 3	Phase 4
1	กระตุ้น	-	-	-
2	-	กระตุ้น	-	-
3	-	-	กระตุ้น	-
4	-	-	-	กระตุ้น

รูปที่ 2.7 แสดงรายละเอียดการขับสเตปปิงมอเตอร์โดยกระตุ้นทีละเฟส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.4.2 กระตุ้นสองเฟสพร้อมกัน เป็นการกระตุ้นที่คล้ายกระตุ้นทีละเฟส แต่กระตุ้นขดลวด 2 ขดทีอยู่ใกล้กันในเวลาเดียวกันเรียงกันไป เนื่องจากวิธีนี้จะกระตุ้น 2 ขดในเวลาเดียวกันซึ่งจะได้แรงบิดที่เพิ่มขึ้น แต่ข้อเสียที่ตามมาคือต้องใช้กำลังไฟฟ้าเพิ่มขึ้นด้วย

Step	Phase 1	Phase 2	Phase 3	Phase 4
1	กระตุ้น	กระตุ้น	-	-
2	-	กระตุ้น	กระตุ้น	-
3	-	-	กระตุ้น	กระตุ้น
4	กระตุ้น	-	-	กระตุ้น

รูปที่ 2.8 แสดงรายละเอียดการขับสเตปปิงมอเตอร์โดยกระตุ้นสองเฟสพร้อมกัน

2.4.3 กระตุ้นแบบผสม เป็นรูปแบบที่ประสานแบบทีละเฟส และ กระตุ้นสองเฟสพร้อมกันเข้าด้วยกันคือจะกระตุ้นโดยลำดับดังรูปที่ 2.9 แรงบิดที่ได้จากการกระตุ้นแบบนี้จะเพิ่มมากขึ้น เพราะช่วง step มีระยะสั้นลง แต่ละ step เกิดแรงดึงจากขดลวด 2 ขดที่ถูกกระตุ้นพร้อมกัน และความถูกต้องของตำแหน่งมีเพิ่มมากขึ้น จากที่กล่าวมา สเตปปิงมอเตอร์ที่มีความละเอียด 200 ตำแหน่งจะมีความละเอียดเสมือน เป็น 400 ตำแหน่งเมื่อป้อน pulse เป็นแบบ Half step แต่ต้องระวังว่าเมื่อกระตุ้นให้ทำงานแบบนี้จะต้องทำการหมุนถึง 2 สเตป จึงจะได้ระยะเท่ากับ 1 สเตปเต็มของการหมุนใน 2 แบบแรก สำหรับแหล่งจ่ายต้องใช้เท่ากับแบบ 2 phase เป็นอย่างน้อย

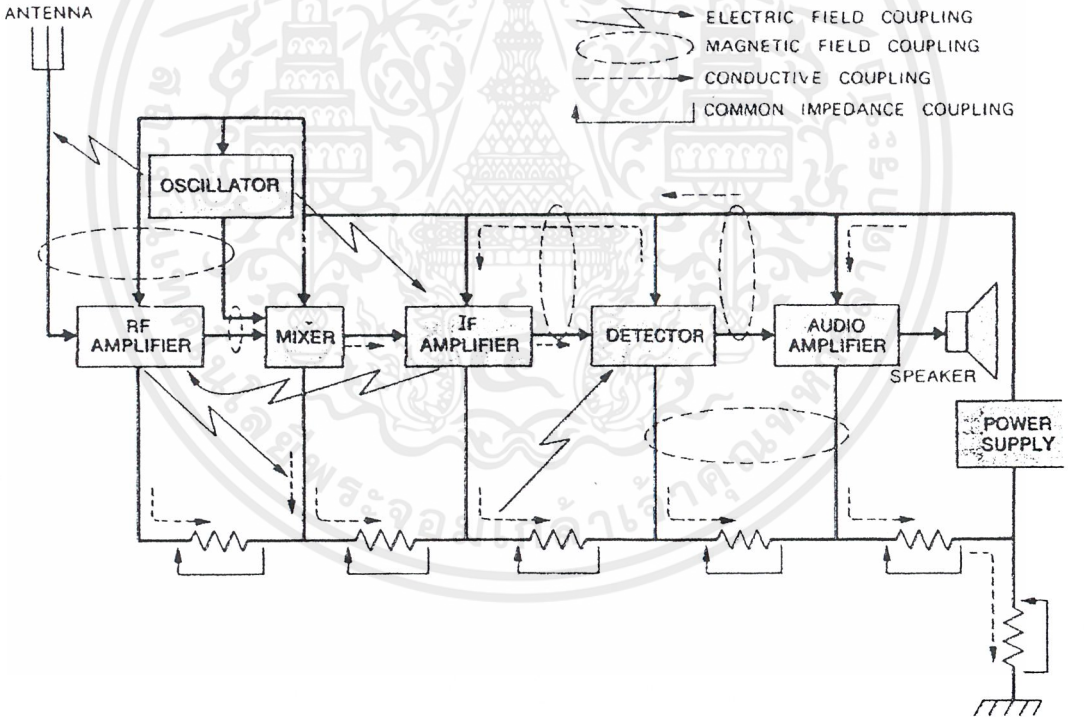
Step	Phase 1	Phase 2	Phase 3	Phase 4
1	กระตุ้น	-	-	-
2	กระตุ้น	กระตุ้น	-	-
3	-	กระตุ้น	-	-
4	-	กระตุ้น	กระตุ้น	-
5	-	-	กระตุ้น	-
6	-	-	กระตุ้น	กระตุ้น
7	-	-	-	กระตุ้น
8	กระตุ้น	-	-	กระตุ้น

รูปที่ 2.9 แสดงรายละเอียดการขับสเตปปิงมอเตอร์โดยกระตุ้นแบบผสม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3
ทฤษฎีและหลักการสัญญาณสนามแม่เหล็กรบกวน
(Electromagnetic Interference : EMI)

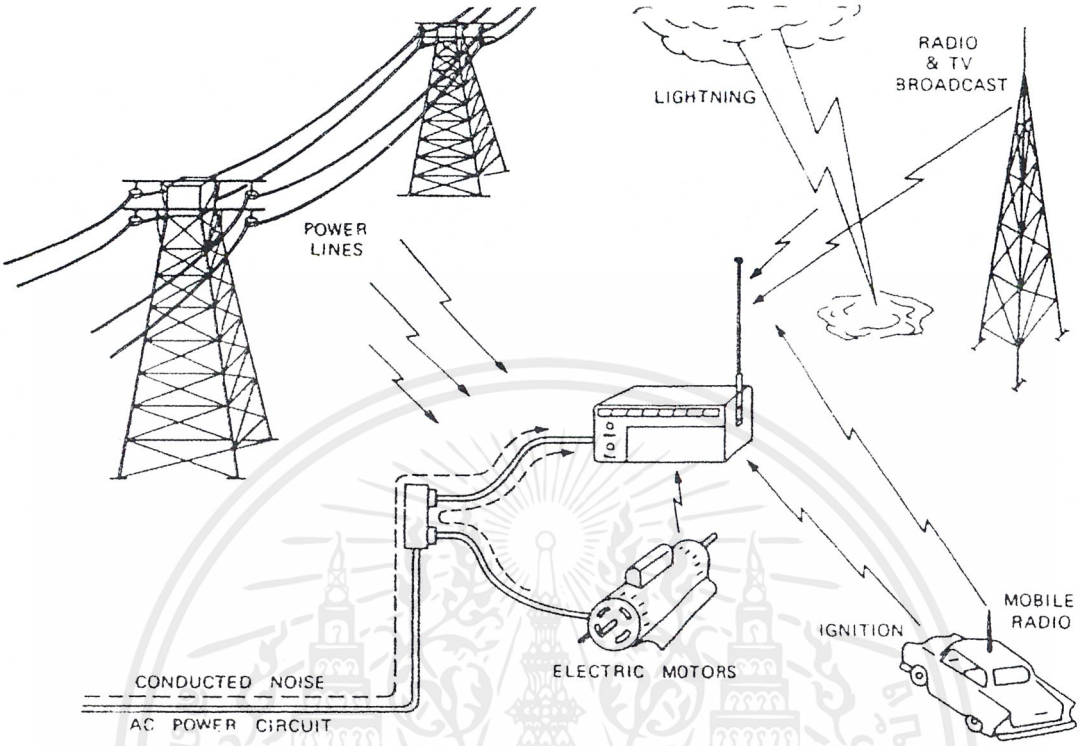
ปัจจุบันได้มีการนำวงจรไฟฟ้าและอิเล็กทรอนิกส์ไปใช้งานอย่างแพร่หลาย ทำให้วงจรต่างๆ ต้องทำงานในระยะใกล้เคียงกันมากยิ่งขึ้น ผลก็คือ วงจรเหล่านั้นอาจสร้างสัญญาณรบกวนซึ่งกันและกัน โดยเฉพาะอย่างยิ่งการรบกวนเรื่องสนามแม่เหล็กไฟฟ้า นอกจากนี้ยังนำวงจรจำนวนมากมารวมกันภายใต้พื้นที่เล็กลงอย่าง เช่นใน IC (Integrated Circuit) ก็มีส่วนในการเพิ่มปัญหาเรื่องสัญญาณรบกวน ดังนั้น เพื่อให้วงจรสามารถทำงานได้ดีในสภาวะแวดล้อมจริง ผู้ออกแบบวงจรจำเป็นจะต้องคำนึงถึงปัญหาเรื่องสัญญาณรบกวนด้วย โดยวงจรนั้นต้องไม่สร้างสัญญาณรบกวนแก่วงจรอื่น อีกทั้งจะต้องไม่ถูกรบกวนจากวงจรอื่นเช่นกัน



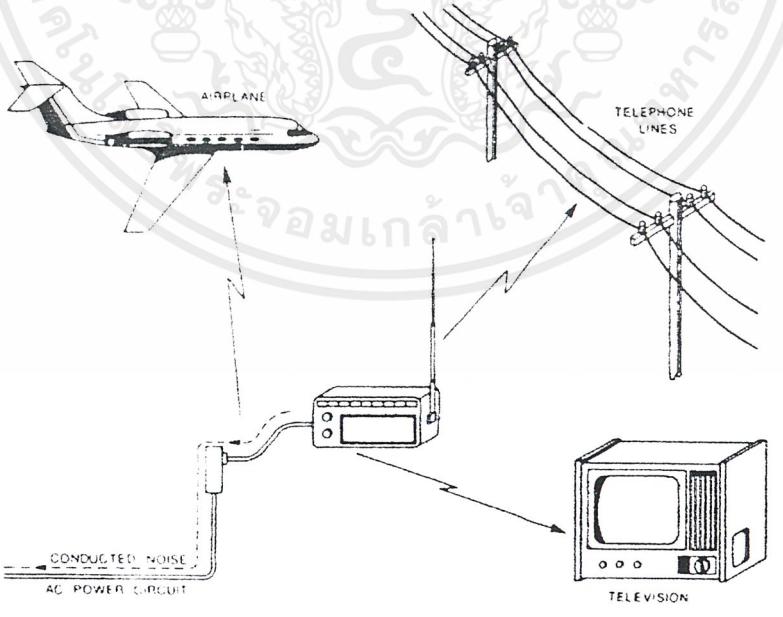
รูปที่ 3.1 แสดงปัญหาภายในของเครื่องรับสัญญาณ

รูปที่ 3.1 แสดงบล็อคไดอะแกรมของวงจรภายในเครื่องรับวิทยุ ซึ่งมีปัญหาเรื่องสัญญาณรบกวน เช่นเกิดจากการเดินสายไฟ และการต่อกราวนด์ (Ground) โดยมีอิมพีแดนซ์ (Impedance) ที่กราวนด์ร่วมกันเป็นต้น ซึ่งล้วนแล้วแต่มีผลต่อการสร้างสัญญาณรบกวนทั้งสิ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.2 แสดงสัญญาณรบกวนจากภายนอก



รูปที่ 3.3 การเกิดการรบกวนกับระบบภายนอก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 3.2 แสดงสัญญาณรบกวนจากภายนอก เมื่อนำเครื่องรับวิทยุไปใช้งานจริง ซึ่งผู้ออกแบบจำเป็นต้องป้องกันสัญญาณรบกวนทั้งจากภายในและภายนอกเพื่อให้อุปกรณ์ที่ออกแบบสามารถทำงานได้อย่างมีประสิทธิภาพ

รูปที่ 3.3 แสดงปัญหานอกเหนือจากที่กล่าวมา คือ นอกจากจะถูกรบกวนจากสัญญาณอื่น ๆ แล้ว อุปกรณ์ที่เราออกแบบขึ้นอาจสร้างสัญญาณไปรบกวนอุปกรณ์อื่น ๆ ได้ ดังนั้นนอกจากการป้องกันไม่ให้ถูกรบกวนจากวงจรอื่นแล้วอุปกรณ์ที่ถูกออกแบบจะต้องไม่สร้างสัญญาณไปรบกวนอุปกรณ์อื่นอีกด้วย

3.1 ความหมายของสัญญาณรบกวน

สัญญาณรบกวน (Noise) คือ สัญญาณไฟฟ้าในวงจรที่เกิดขึ้นนอกเหนือจากสัญญาณที่ได้ออกแบบไว้แต่จะต้องเข้าใจว่าสัญญาณเอ้าท์พุท (Output Signal) ที่มีความสัมพันธ์แบบไม่เชิงเส้น (Non – Linear) กับอินพุท (Input) นั้นไม่ใช่สัญญาณรบกวน แต่เป็นปัญหาที่เกิดจากการออกแบบวงจรเว้นแต่ว่าสัญญาณดังกล่าวนี้ไปรบกวนวงจรอื่น เราจะเรียกสัญญาณนี้ว่าเป็นสัญญาณรบกวน

การรบกวน (Interference) คือ ผลของสัญญาณรบกวนที่ทำให้วงจรทำงานได้ไม่ดีเท่าที่ควร โดยมากแล้วเราไม่สามารถกำจัดสัญญาณรบกวนออกไปให้หมดสิ้น แต่สามารถลดสัญญาณจนกระทั่งไม่ก่อให้เกิดการรบกวนได้

ความไวต่อสัญญาณรบกวน (Susceptibility) แสดงให้เห็นความสามารถของอุปกรณ์หรือวงจรในการตอบสนองสัญญาณรบกวน โดยที่วงจรนี้ยังสามารถทำงานต่อไปได้อย่างเป็นที่น่าพอใจ

3.2 ชนิดของสัญญาณรบกวน

เราสามารถแบ่งแหล่งกำเนิดสัญญาณรบกวนออกได้เป็น 3 ชนิด คือ

3.2.1 เกิดจากการไหลของกระแสผ่านกำแพงศักดิ์ ซึ่งเป็นผลมากจากการปล่อยอิเล็คตรอนหรือ โฮล (Hole) ไม่แน่นอน สัญญาณรบกวนชนิดนี้เกิดขึ้นได้ทั้งหลอดสูญญากาศและอุปกรณ์เซมิคอนดัคเตอร์ อีกทั้งยังสามารถเกิดจากผลของอุณหภูมิ ทำให้อิเล็คตรอนแปรปรวนซึ่งเป็นอิเล็คตรอนในความต้านทาน เช่น เทอร์มัลนอยส์ (Thermal noise) และช็อทน้อยส์ (Shot noise) เป็นต้น

3.2.2 แหล่งกำเนิดสัญญาณรบกวนที่สร้างโดยมนุษย์ (Man – made noise source) มนุษย์ได้คิดสร้างเครื่องทุ่นแรงระบบเครื่องยนต์กลไก เช่น มอเตอร์ หรือ สวิทซ์ เป็นต้น ในสมัยแรก ๆ วิวัฒนาการทางด้านอิเล็คทรอนิกส์ที่ใช้ในงานอุทสาหกรรมยังมีน้อย แต่ในปัจจุบันได้พัฒนาอิเล็คทรอนิกส์ควบคุมให้มีมากขึ้นความไวในการตัดต่อ (Switching) และการจุดระเบิด (Ignition) มีมากขึ้นการทำงานมักจะทำให้เกิดสัญญาณรบกวนซึ่งเป็นที่ไม่ต้องการเกิดขึ้นมาด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

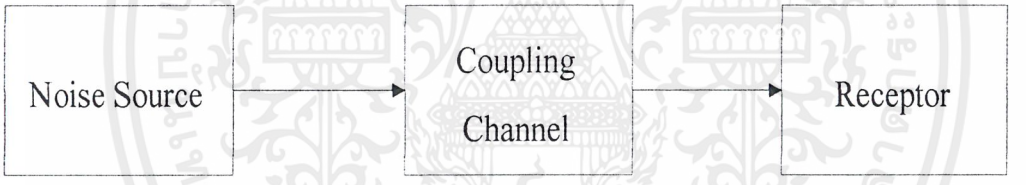
3.2.3 แหล่งกำเนิดสัญญาณรบกวนจากธรรมชาติ (Natural noise source) เช่น ฟ้าผ่า ฟ้าร้อง เป็นต้น ซึ่งเกิดจากการเคลื่อนที่ของอิเล็คตรอนจำนวนมหาศาลจากจุดหนึ่งไปยังอีกจุดหนึ่งที่มีศักดาไฟฟ้าสูงกว่า เพื่อทำให้เกิดความสมดุลย์ทางไฟฟ้าการเกิดการเคลื่อนที่ของอิเล็คตรอนนี้จะทำให้เกิดแสง เสียง และที่สำคัญคือเกิดสนามแม่เหล็กความเข้มสูงแผ่กระจายไปทั่วทิศทาง

สำหรับสัญญาณรบกวนที่จะศึกษา คือ สัญญาณรบกวนที่เกิดจากแม่เหล็กไฟฟ้าหรือเรียกว่า Electromagnetic interference (EMI)

EMI มี 2 ชนิด คือ Conducted EMI เกิดขึ้นที่สายตัวนำ และ Radiated EMI เกิดในอากาศ โดยการแผ่คลื่นแม่เหล็กไฟฟ้าจากตัวอุปกรณ์ไปยังสิ่งแวดล้อมรอบข้าง วิทยานิพนธ์ฉบับนี้ศึกษาการลดสัญญาณรบกวนเฉพาะที่สายตัวนำเท่านั้น

3.3 ทางเดินของสัญญาณรบกวน

ทางเดินของสัญญาณรบกวน คือเส้นทางเชื่อมโยงสัญญาณจากแหล่งกำเนิดไปยังตัวรับหรือการคับปลิ้ง (Coupling) และวงจรตัวรับสัญญาณรบกวนดังแสดงในรูปที่ 3.4



รูปที่ 3.4 ทางเดินของสัญญาณรบกวน

จากรูปที่ 3.4 จะเห็นได้ว่าปัญหาสัญญาณรบกวนจะเกิดได้นั้นต้องอาศัยองค์ประกอบ 3 อย่าง คือ

1. Noise Source เป็นตัวสร้างสัญญาณรบกวน
2. Receptor เป็นตัวรับสัญญาณรบกวน
3. Coupling Channel เป็นตัวส่งผ่านสัญญาณรบกวนจาก Noise Source ไปยังตัว Receptor

ในการวิเคราะห์เกี่ยวกับปัญหาเรื่องสัญญาณรบกวนนั้น เราจำเป็นต้องตรวจสอบว่าแหล่งกำเนิดและตัวรับสัญญาณรบกวนอยู่ที่ใด และสัญญาณรบกวนถูกคับปลิ้งผ่านทางใด ดังนั้นจึงสามารถป้องกันสัญญาณรบกวนได้ 3 วิธี คือ

1. ป้องกันไม่ให้แหล่งกำเนิดส่งสัญญาณรบกวนออกไป
2. ทำให้ตัวรับไม่ตอบสนองต่อสัญญาณรบกวน
3. ลดการส่งสัญญาณรบกวนผ่านทางคับปลิ้งลงให้น้อยที่สุด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.4 การวิเคราะห์การป้องกันสัญญาณรบกวนโดยวิเคราะห์ทางเดินของสัญญาณรบกวน

เมื่อมองถึงปัญหาจากสัญญาณรบกวนต่าง ๆ แล้วการแก้ปัญหาก็ย่อมแล้วแต่กรณีซึ่งกล่าวได้ว่าไม่ใช่เรื่องง่าย ๆ สิ่งแรกที่ต้องคำนึงถึงก็คือ

3.4.1 สัญญาณรบกวนเกิดจากอะไร

หากพิจารณาสาเหตุทั้ง 3 แล้ว การแก้ไขที่ตัวปัญหาในกรณี 2 กรณีแรกเป็นการแก้ปัญหาที่ต้นเหตุ ถ้าสาเหตุมาจากปรากฏการณ์ทางธรรมชาติการแก้ปัญหาย่อมทำได้ยาก

3.4.2 สัญญาณเข้ามาจากทางไหน

สัญญาณรบกวนเข้ามาได้ 3 ทางด้วยกันคือ ทางอากาศรอบเครื่อง ทางสายไฟฟ้าและทางสายดิน

- **ทางอากาศ** ดูจะไม่ใช่เรื่องที่จะป้องกันการรบกวนทางอากาศ เนื่องจากขึ้นอยู่กับพลังงานที่รบกวนอาจจะมีค่าสูงพอที่จะทะลุทะลวงผ่านพื้นผนังคอนกรีตมาได้เช่นเดียวดับคลื่นวิทยุเพราะลักษณะของอากาศสามารถเหนี่ยวนำเข้าตัวถังเครื่อง ทางสายสื่อสาร ทางสาย AC Main Power โดยปกติตัวถังของเครื่องสามารถป้องกันการรบกวนได้ระดับหนึ่ง ขึ้นอยู่กับโครงสร้างของตัวถังและชนิดของโลหะที่ใช้ และพลังงานหรืออำนาจทะลุทะลวงของคลื่น

- **ทางสายไฟฟ้า** ในที่นี้หมายถึงสาย AC (AC line cord) และสายสื่อสาร (Communication Cable) โอกาสที่สัญญาณรบกวนเกิดการเหนี่ยวนำมีสูงมาก โดยเฉพาะฟ้าผ่า และ การเปลี่ยนแปลงความต่างศักดิ์อย่างทันทีทันใดเนื่องจากการเดินเครื่องจักร ในปัจจุบันพบว่ามักเป็นสาเหตุสำคัญที่ทำให้เครื่องเสียหายหรือข้อมูลเสียหายและผิดพลาดไป การป้องกันด้านนี้ได้มีการพัฒนาที่ดีขึ้น โดยพิจารณาลักษณะของคลื่นรบกวนนั้นคู่กับการเลือกอุปกรณ์ป้องกัน

- **ทางสายดิน** น้อยคนนักที่สนใจจริงจังกับสายดิน ซึ่งในประเทศไทยมิได้มีการคำนึงกันมากนัก ส่วนมากระบบการจ่ายไฟนั้นบังคับเพียงสายดินทางด้านความปลอดภัย แต่สายดินที่ใช้กับเครื่องมือที่มีความไวอย่างเช่น ระบบสื่อสาร หรือคอมพิวเตอร์ จะทำให้การทำงานดีขึ้นต้องมีการควบคุมการรบกวนด้านนี้ด้วย

3.5 การป้องกันสัญญาณรบกวนโดยวิเคราะห์ทางเดินของสัญญาณรบกวน

การแก้ปัญหาหรือการหาทางป้องกันนั้นสามารถทำได้หลายวิธี โดยอาศัยมูลเหตุปัญหาแต่ละแบบก่อน ดังต่อไปนี้

3.5.1 การแก้ปัญหาการรบกวนทางอากาศ วิธีที่ดีที่สุดคือ ถ้ากำจัดแหล่งกำเนิดไม่ได้หรือควบคุมแหล่งกำเนิดไม่ได้ด้วยการชิลด์ ให้แหล่งกำเนิดสัญญาณอยู่ในตู้ก็ต้องแก้กันที่เครื่องมือหรือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อุปกรณ์เช่น สร้างห้องสำหรับอุปกรณ์สื่อสารหรือห้องคอมพิวเตอร์โดยเฉพาะ หรือไม่ก็วางตำแหน่งของเครื่องมือให้ห่างจากการรบกวนและเหนี่ยวนำ

3.5.2 การแก้ปัญหาการรบกวนทางสายไฟฟ้า สัญญาณรบกวนที่เข้ามารบกวนทางสายไฟฟ้าคือเกิดเนื่องจากฟ้าผ่า เครื่องเชื่อมโลหะ หรือเกิดจากการจุดระเบิดของหัวเทียน การแก้ปัญหาโดยการชิลด์สาย AC หรือใช้อุปกรณ์ป้องกันสัญญาณรบกวน

3.5.3 การแก้ปัญหาทางสายดิน สายดินในที่นี้ไม่ได้หมายถึงสายดินที่เป็นสายล่อฟ้า หรือสายรับการลัดวงจรเพื่อความปลอดภัยในที่นี้หมายถึง โครงสร้างตึก ทางอุดมคติถือว่ามีศักดิ์เป็นศูนย์แต่ทุก ๆ จุดบนพื้นดินไม่ได้มีสภาพแร่ธาตุเหมือนกันและความชื้นของแต่ละภูมิประเทศก็แตกต่างกัน ดังนั้นการที่สมมติให้ดินมีศักดิ์เป็นศูนย์ในทางปฏิบัติจึงไม่อาจทำได้ เมื่อดินไม่เป็นศูนย์สัญญาณรบกวนก็อาจมาจากสายดินหรือไม่ก็คือสัญญาณรบกวนลงตัวถังแต่ไม่ลงดิน สิ่งแรกที่ต้องทำคือสำรวจสภาพดินและทำลายดินที่สมบูรณ์ที่สุดให้ความต้านทานในสายดินถึงจุดต่ำที่สุดเท่าที่จะต่ำได้

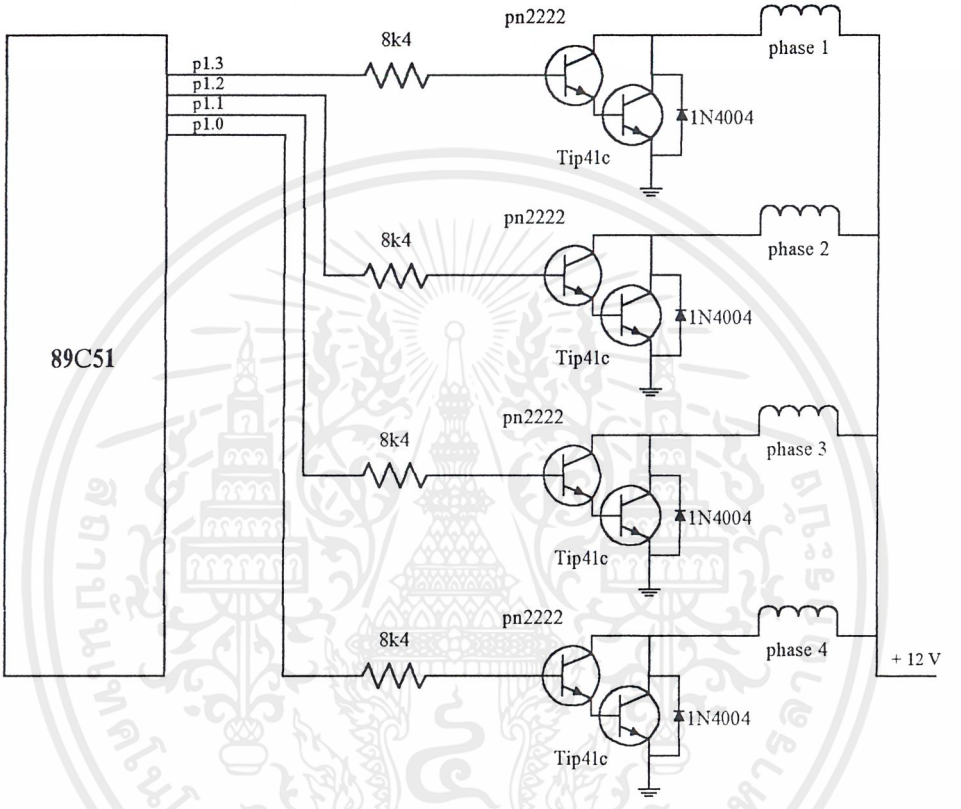
ปัญหาทางไฟฟ้าที่เกิดจากสภาวะไฟตกไฟเกินไฟกระเพื่อม ไฟดับฟ้าผ่าและคลื่นรบกวนอื่น ๆ จะมีผลทำให้

- เครื่องมืออิเล็คทรอนิกส์ทำงานผิดพลาดหรือหยุดทำงาน คอมพิวเตอร์ประมวลผลข้อมูลผิดพลาด หน่วยความจำเปลี่ยนแปลงไปเอง วงจรทำงานผิดขั้นตอนหรือทำให้วงจรรวมในหน่วยประมวลผลกลางเสียหาย
- ฮาร์ดดิสก์เสียหายเนื่องจากไฟดับกระทันหันหรือไฟกระชาก
- มอเตอร์หรือคอมเพรสเซอร์เสียหาย
- เครื่องมือวัดที่มีความไวสูงหรือมีความละเอียดอ่อนจะอ่านค่าผิดพลาดจากความจริง
- เครื่องบันทึกเสียง ภาพ หรือหลอดภาพไม่ทำงาน หรือได้ภาพและเสียงที่ไม่สมบูรณ์
- ระบบการเดินหน้าหรือถอยหลังในการเทปบันทึกภาพและการบันทึกเสียงอาจทำงานผิดพลาดหรือเสื่อมลง
- อายุการใช้งานของเครื่องมือต่าง ๆ จะสั้นลง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4
การทดลองขับสเตปปิงมอเตอร์แบบใช้ทรานซิสเตอร์

4.1 การทดลองวงจรขับสเตปปิงมอเตอร์แบบที่ 1

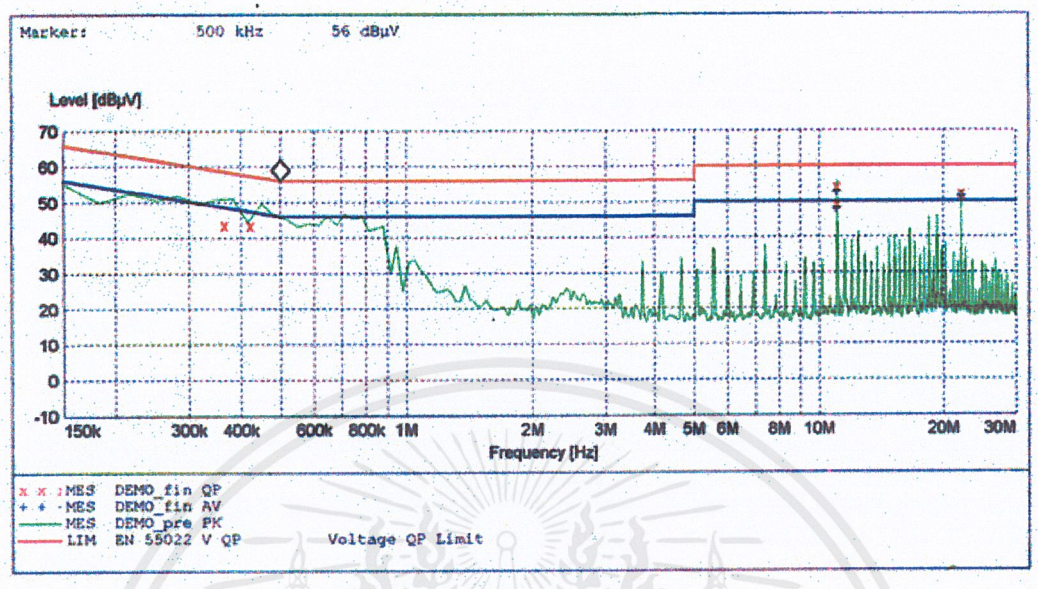


รูปที่ 4.1 แสดงวงจรขับสเตปปิงมอเตอร์แบบที่ 1

รูปที่ 4.1 เป็นการใช้ไมโครโปรเซสเซอร์ในการส่งสัญญาณให้ทรานซิสเตอร์ขับสเตปปิงมอเตอร์ทั้งสี่เฟสซึ่งได้ความเร็วต่ำและเมื่อวัดสัญญาณรบกวนได้ค่าน้อยจึงไม่เหมาะสมในการทดสอบซึ่งกราฟสัญญาณรบกวนได้ดังรูปที่ 4.2

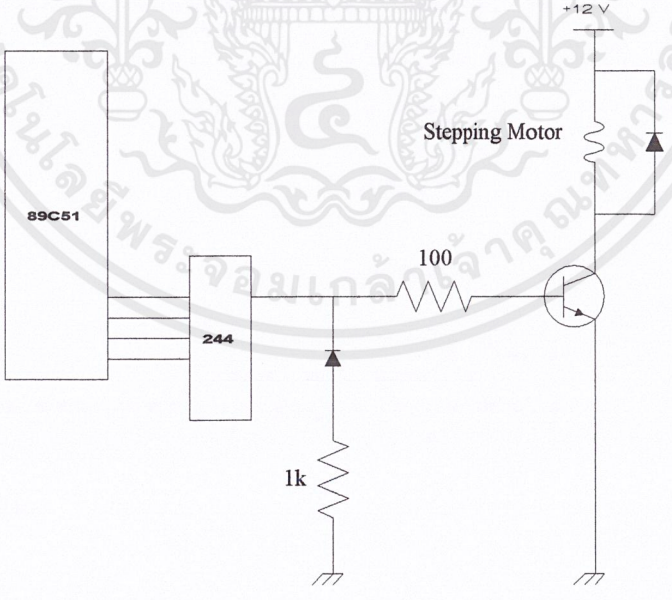
จากกราฟรูปที่ 4.2 สังเกตได้ว่าสัญญาณรบกวน (เส้นสีเขียว) สูงไม่เกินเส้นขีดจำกัด (เส้นสีแดง) ถือว่าน้อยมากการศึกษานี้ถ้ามีการเปลี่ยนแปลงเพียงเล็กน้อยก็มีผลต่อระบบ จึงคิดวิธีให้มอเตอร์หมุนที่ความถี่สูงขึ้นเพื่อให้เกิดสัญญาณรบกวนมากยิ่งขึ้นจึงพัฒนาเป็นวงจรที่ 2 โดยการเพิ่มไดโอดเพื่อให้เกิดการคายประจุได้เร็วขึ้นและรับสัญญาณได้เร็วขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.2 แสดงการวัดสัญญาณรบกวนของสเตปปิงมอเตอร์แบบที่ 1

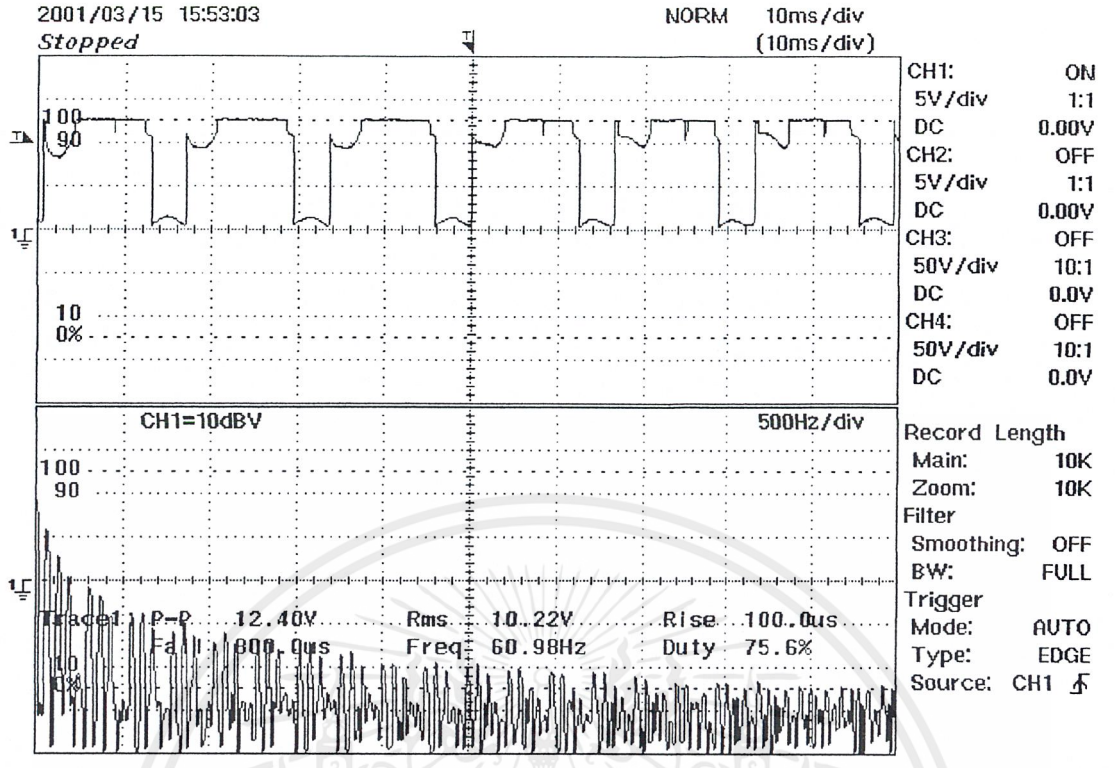
4.2 การทดลองวงจรขับสเตปปิงมอเตอร์แบบที่ 2



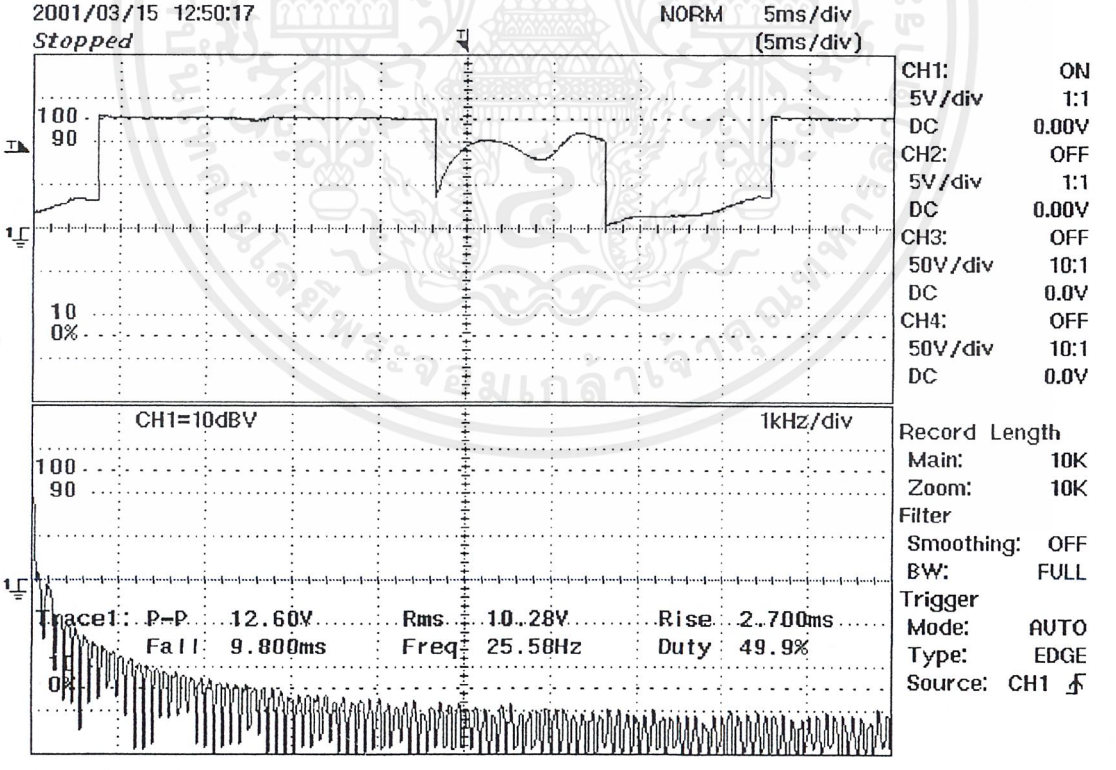
รูปที่ 4.3 แสดงวงจรขับสเตปปิงมอเตอร์แบบที่ 2 โดยแสดงเพียง 1 เฟส

แต่ผลที่ได้คือวงจรทั้งสองไม่สามารถให้สัญญาณรบกวนได้ตามต้องการ จึงได้เปลี่ยนไปใช้เพาเวอร์มอสเฟตแทนทรานซิสเตอร์และทำการทดลองวัดสัญญาณรบกวนเพียง 1 เฟส ดังบทที่ 5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.4 แสดงกระแส Ic ของวงจรขับสเตปปิงมอเตอร์แบบที่ 2 ที่ใช้ความถี่ 60.98 Hz



รูปที่ 4.5 แสดงกระแส Ic ของวงจรขับสเตปปิงมอเตอร์แบบที่ 2 ที่ใช้ความถี่ 25.58 Hz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
การทดสอบวงจรขับสเตปปิงมอเตอร์แบบเฟสเดียวโดยใช้เพาเวอร์มอสเฟต

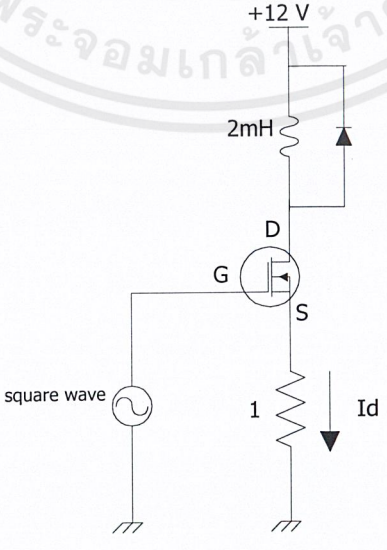
การทดสอบวัดหาสัญญาณรบกวนต้องทดลองในห้องทดสอบสัญญาณรบกวนซึ่งมีความเที่ยงตรงสูงแต่การทดสอบแต่ละครั้งต้องใช้ระยะเวลานานซึ่งไม่เหมาะสมสำหรับการทดลอง จึงทำการทดสอบจากเครื่องมือวัดสัญญาณ (Scope) ซึ่งสามารถวัดได้ทั้งแบบคาบเวลา (Time Domain) และ คาบความถี่ (Frequency Domain) ผลการทดลองสามารถบันทึกไว้วิเคราะห์ได้ เมื่อทดสอบจนเห็นแนวโน้มเป็นไปตามที่วางแผนไว้แล้ว จึงนำไปทดสอบในห้องวัดสัญญาณรบกวนเพื่อตรวจค่าที่ชัดเจนอีกครั้ง

5.1 การทดสอบวงจรขับสเตปปิงมอเตอร์

เนื่องจากวงจรขับสเตปปิงมอเตอร์ต้องขับหลายเฟส ซึ่งแต่ละเฟสมีโครงสร้างเหมือนกัน จึงทำการทดลองเพียงหนึ่งเฟสเท่านั้น โดยขับด้วยความถี่ 20,000 รอบต่อวินาที โดยใช้ค่ารีดักแตนซ์และความต้านทานแทนมอเตอร์ เพื่อให้ผลที่ชัดเจนยิ่งขึ้น

5.2 การทดสอบสัญญาณโดยสังเกตคาบความถี่

การทดสอบนี้วัดสัญญาณกระแสที่ไหลจากขาเดรนผ่านขาซอสของเพาเวอร์มอสเฟต สัญญาณที่ได้เป็นสัญญาณที่ต้องการและสัญญาณรบกวน แล้วนำมาวิเคราะห์หาวิธีขจัดสัญญาณรบกวนดังกล่าวออกไป



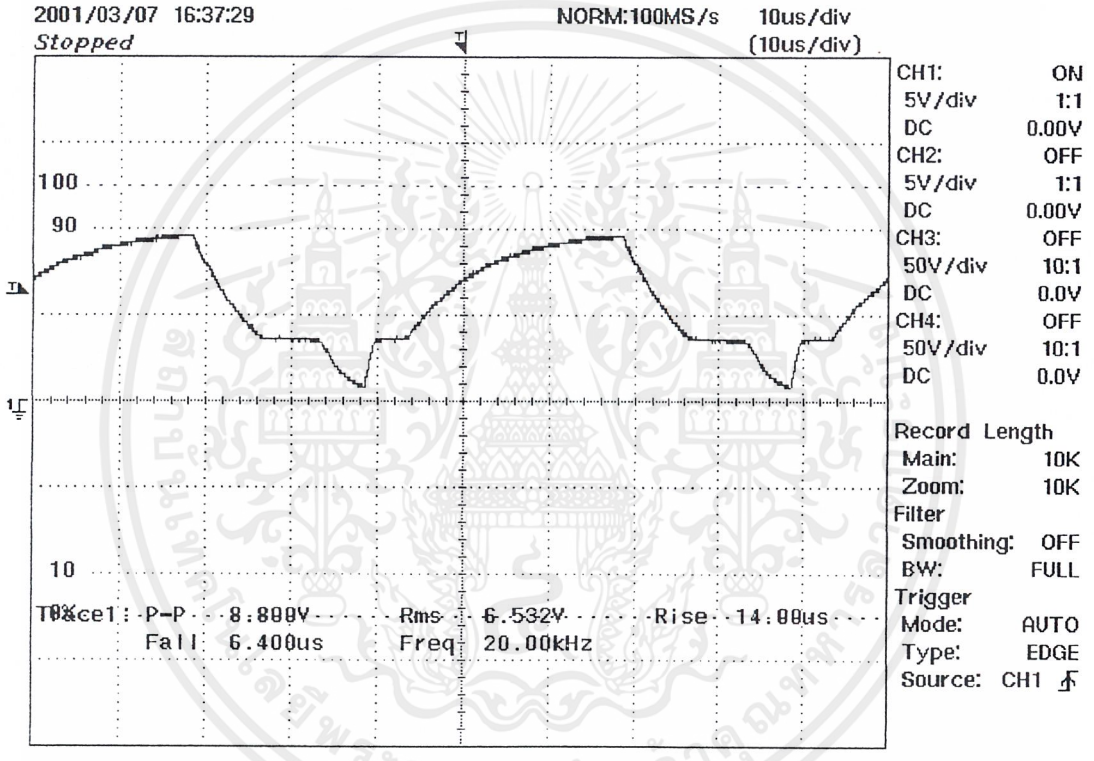
รูปที่ 5.1 แสดงวงจรขับโดยใช้เพาเวอร์มอสเฟต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

5.3 การทดสอบสัญญาณโดยสังเกตคาบเวลา

การทดสอบนี้จะวัดสัญญาณที่ขาเกต และขาเดรนของเพาเวอร์มอสเฟต โดยที่การวัดสัญญาณแรงดันจากขาเกตได้สัญญาณดังรูปที่ 5.2 (ใช้ความต้านทาน Rg รูปที่ 5.10 ค่า 2k Ω) ซึ่งได้ความชันสองค่าโดยความชันช่วงแรกเกิดจากการประจุเข้าตัวเก็บประจุเสมือนคร่อมขาเกตและซอสของเพาเวอร์มอสเฟต เมื่อประจุเต็มแล้วแรงดันจะไม่เพิ่มขึ้นอีกจนค่ากระแสลดลงแรงดันจึงเพิ่มขึ้นได้ความชันช่วงที่ 2



รูปที่ 5.2 สัญญาณแรงดันที่ได้จากขาเกต

การวัดสัญญาณแรงดันที่ขาเดรนวัดเพื่อนำไปพิจารณากำลังสูญเสียเพื่อการออกแบบวงจรซึ่งจะกล่าวถึงต่อไป

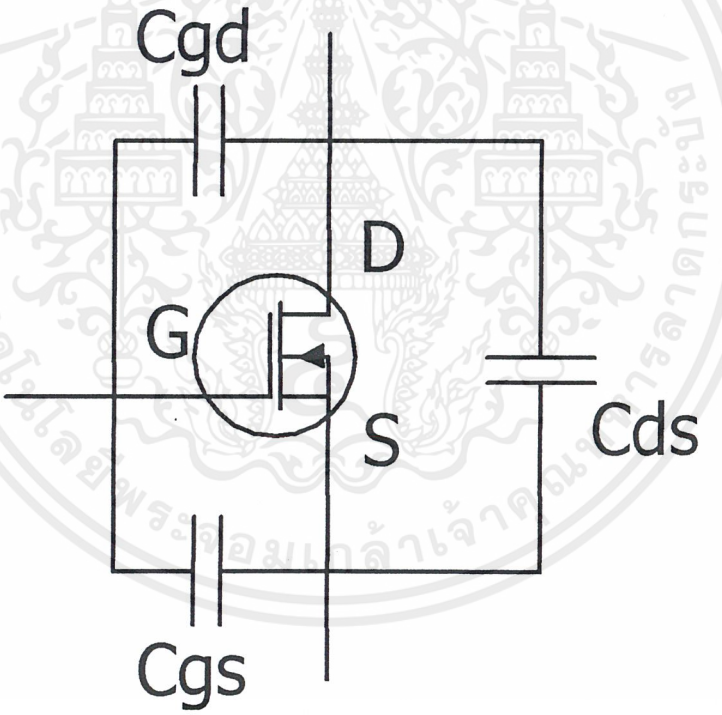
การวัดสัญญาณกระแสโดยวัดที่ขาซอส โดยการวัดคร่อมความต้านทานค่าน้อยในที่นี้ใช้ค่า 1 โอห์มซึ่งเทียบกระแสได้โดยตรง ถ้าความชันมากความไวการสวิตซ์จะสูงเป็นผลให้ผลตอบสนองไวขึ้น แต่การเพิ่มผลตอบสนองจะทำให้เกิดกระแสยอดแหลมซึ่งเป็นผลโดยตรงกับสัญญาณรบกวน รายงานฉบับนี้จึงเน้นประเด็นไปที่การกำจัดกระแสยอดแหลมนี้โดย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
42492

5.4 การควบคุมความชันกระแส Id

5.4.1 การควบคุมความชันกระแสขาขึ้นและขาลงพร้อมกัน

จากการทำงานของวงจรขับสเตปปิงมอเตอร์ที่กล่าวมาจากบทที่ 3 เมื่อจ่ายไฟให้วงจร จะมีแรงดันตกคร่อมที่ขามอสเฟตและเกิดการประจุไฟฟ้าระหว่างขาเกตและซอสซึ่งเรียกว่า ตัวเก็บประจุเสมือนตามรูปที่ 5.3 และเมื่อหยุดการจ่ายไฟจะมีการถ่ายเทประจุ เมื่อมีการจ่ายไฟอีกครั้งเพาเวอร์มอสเฟตจะสามารถประจุได้ดีทำให้เพาเวอร์มอสเฟตสามารถประจุได้อีกครั้ง ดังนั้นการทำให้ประจุถ่ายเทเร็วจะทำให้ผลการตอบสนองเร็วขึ้น ในทางตรงกันข้ามถ้าจะลดสัญญาณรบกวนจะต้องลดความเร็วในการถ่ายเทประจุจึงใช้ความต้านทานมาช่วยในการลด การใช้ความต้านทานนี้จึงต้องเลือกค่ามาใช้ให้เหมาะสมจึงจะได้ผลตอบสนองที่ความไวสูงและสัญญาณรบกวนน้อยดังที่ได้ทดลองในรูปที่ 5.4 , 5.6 และรูปที่ 5.8



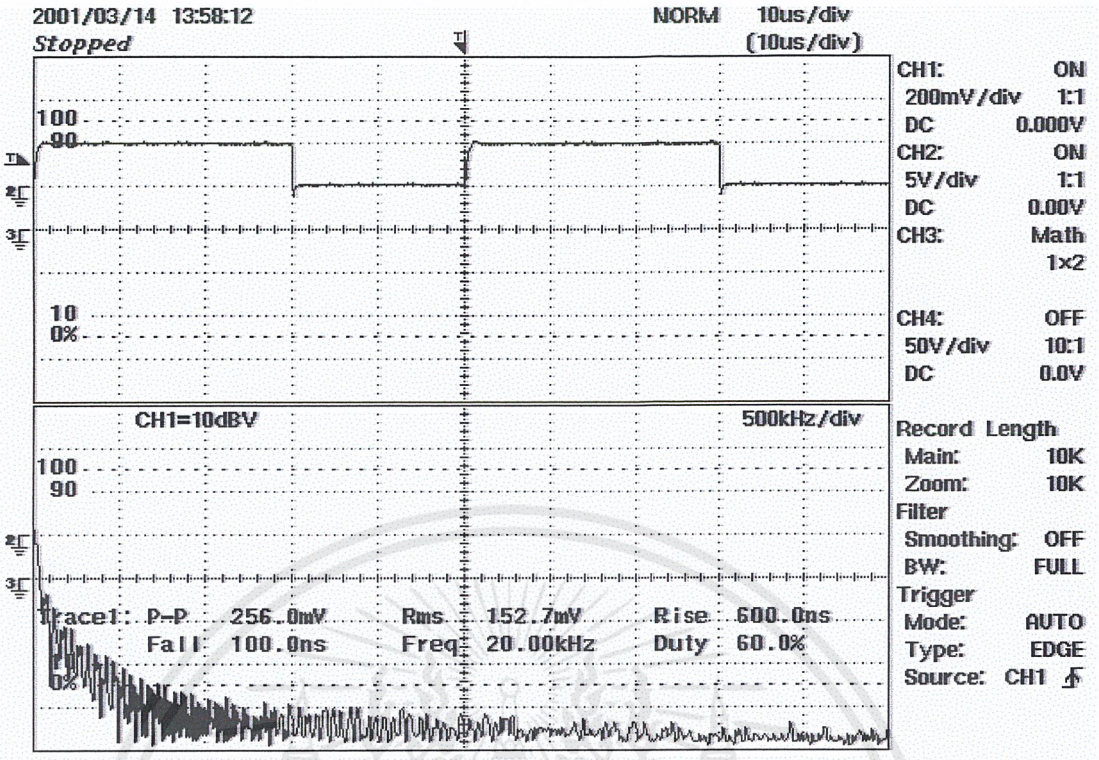
รูปที่ 5.3 แสดงวงจรสมมูลของเพาเวอร์มอสเฟต

<u>หมายเหตุ</u> รูปหน้า 19 – 21 และหน้า 24 - 29

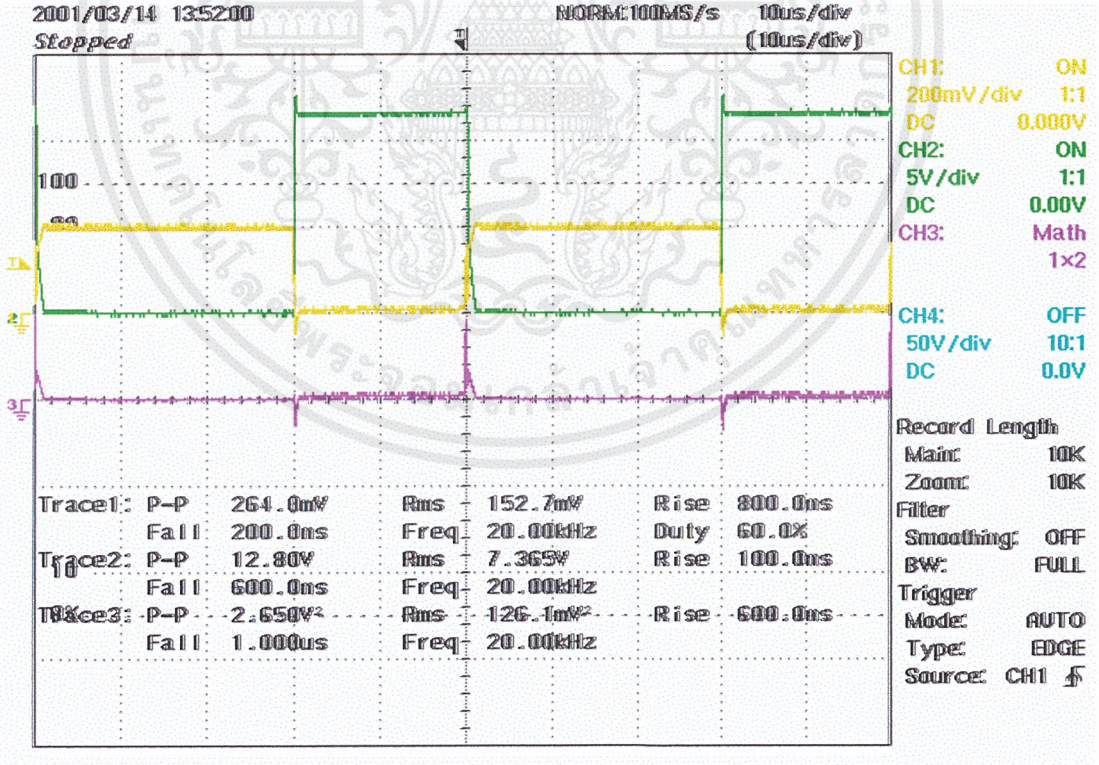
รูปบนแสดงสัญญาณกระแสที่วัดจากขาซอส

รูปล่าง CH1 แสดงแรงดัน Vds , CH2 แสดงกระแส Id , CH3 แสดงกำลังสูญเสีย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

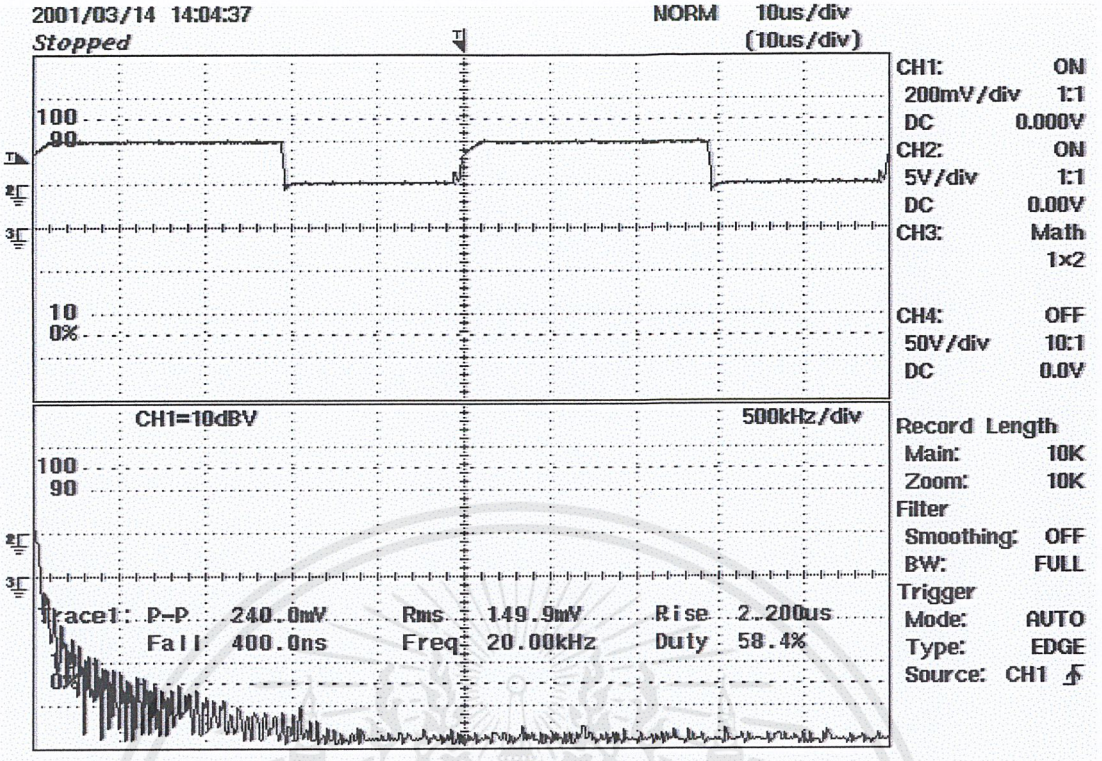


รูปที่ 5.4 แสดงสัญญาณกระแสในคาบความถี่ของการทดสอบที่ 1

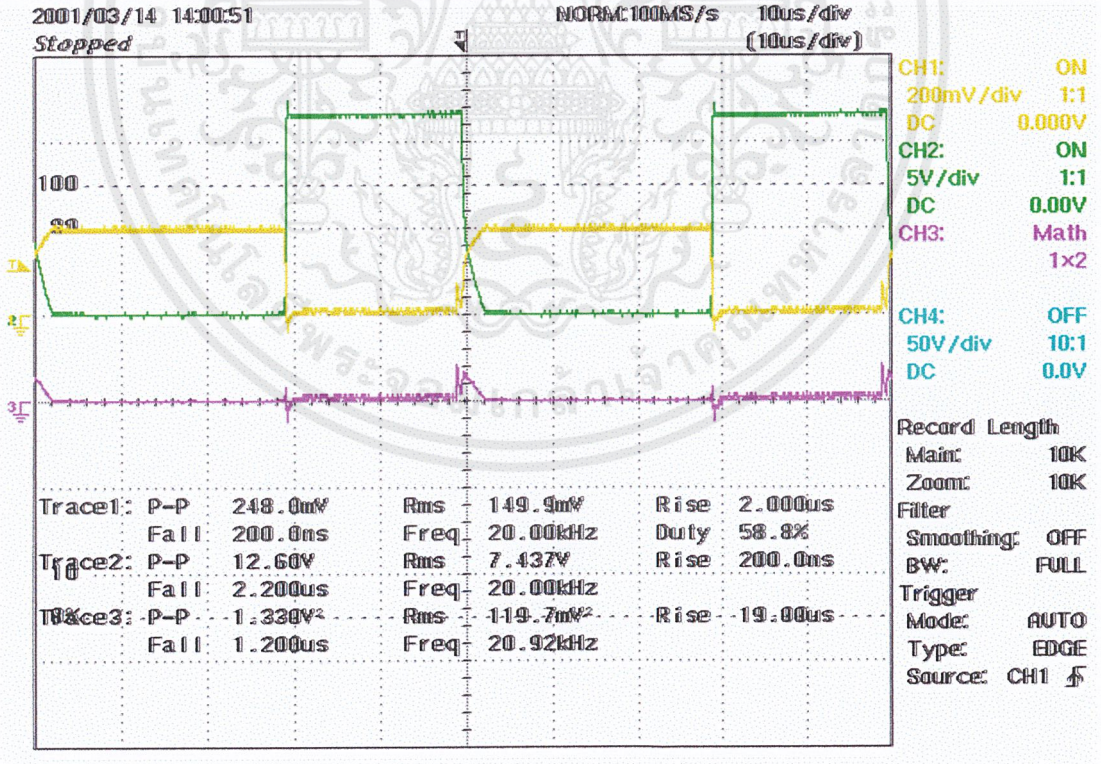


รูปที่ 5.5 แสดงสัญญาณกระแส แรงดันและกำลังสูญเสียในคาบเวลาของการทดสอบที่ 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

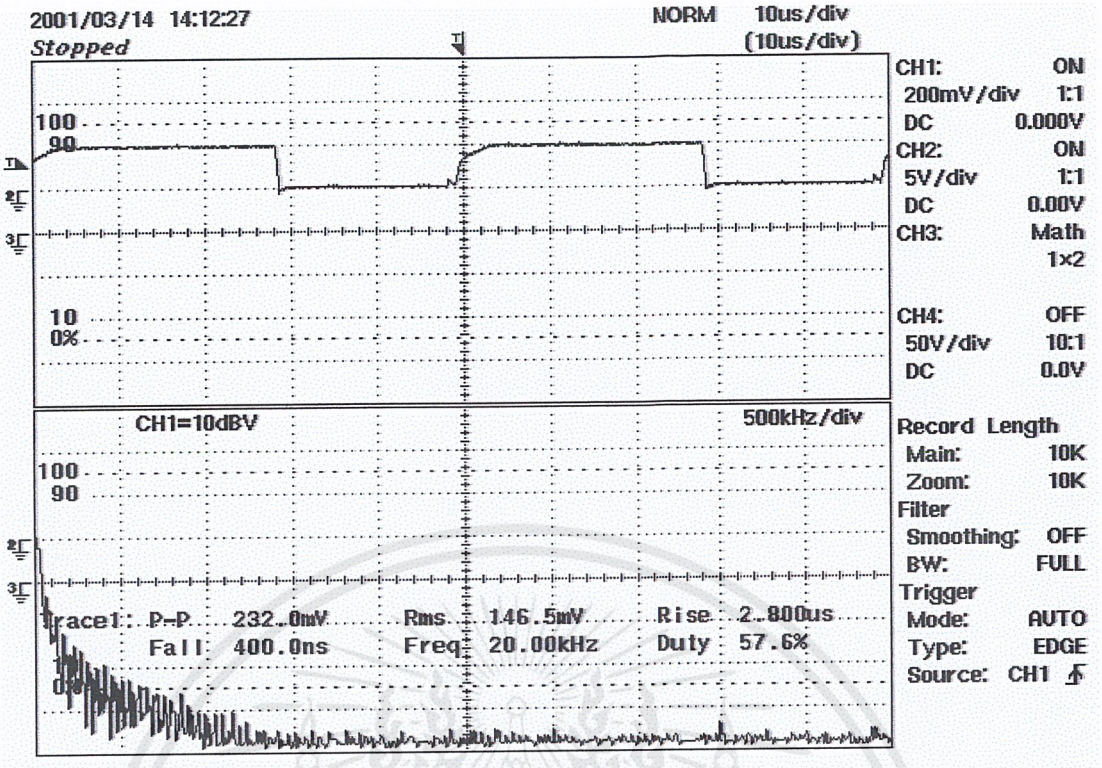


รูปที่ 5.6 แสดงสัญญาณกระแสในคาบความถี่ของการทดสอบที่ 2

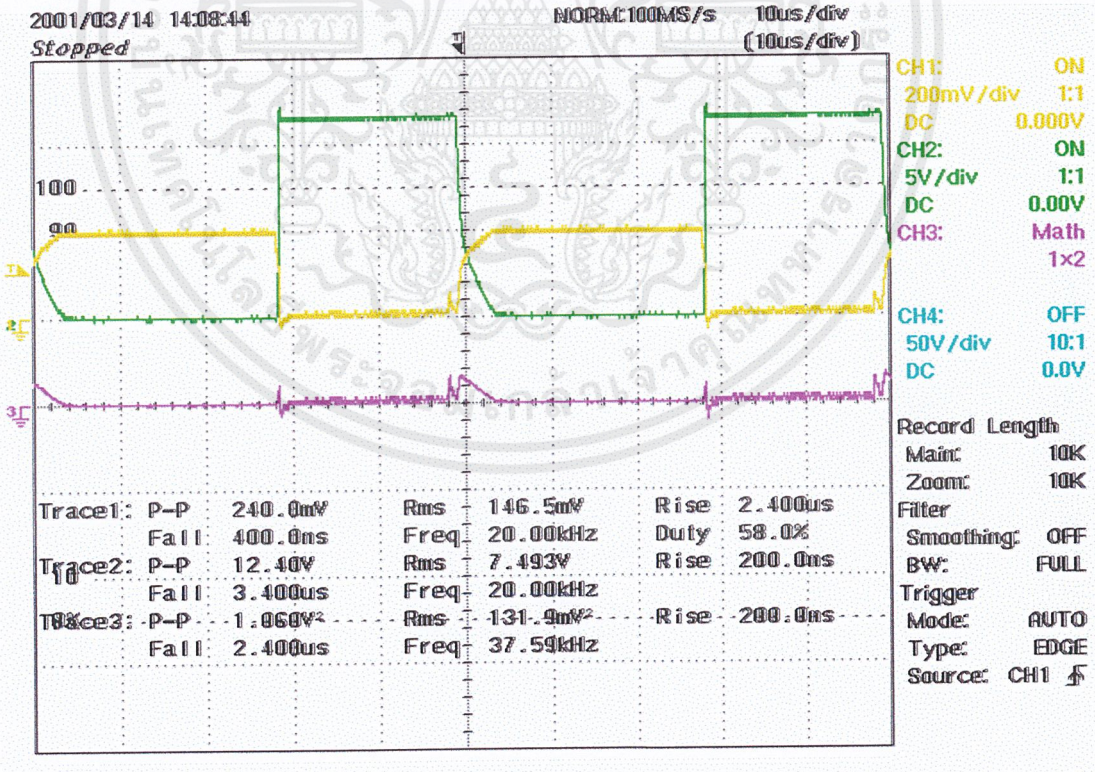


รูปที่ 5.7 แสดงสัญญาณกระแส แรงดันและกำลังสูญเสียในคาบเวลาของการทดสอบที่ 2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

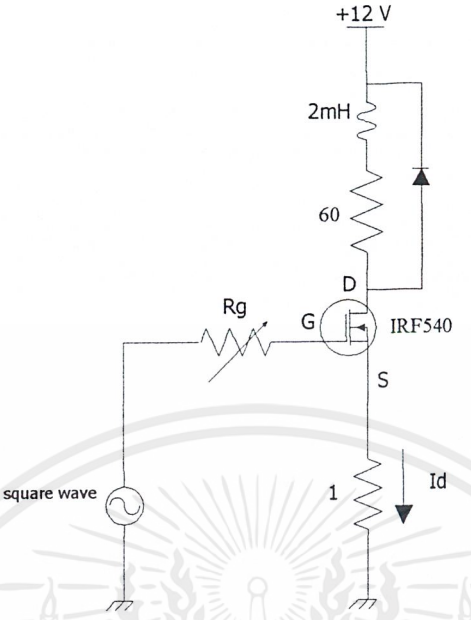


รูปที่ 5.8 แสดงสัญญาณกระแสในคาบความถี่ของการทดสอบที่ 3



รูปที่ 5.9 แสดงสัญญาณกระแส แรงดันและกำลังสูญเสียในคาบเวลาของการทดสอบที่ 3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.10 แสดงวงจรที่ออกแบบให้ควบคุมความชันกระแสขาขึ้นและลงพร้อมกัน

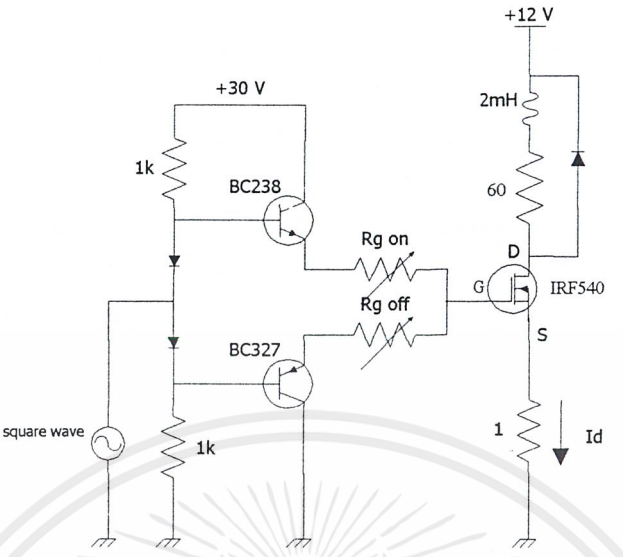
จะสังเกตเห็นว่าเมื่อความต้านทาน Rg เพิ่มขึ้นสัญญาณรบกวนจะได้น้อยลงซึ่งเป็นที่ต้องการ แต่เมื่อมองที่คาบเวลาจะเห็นผลที่ต่างออกไปดังรูปที่ 5.5 , 5.7 และรูปที่ 5.9

จะสังเกตได้ว่าเมื่อความต้านทาน Rg เพิ่มขึ้นผลตอบสนองจะมีความไวลดลงและเมื่อวัดแรงดันแล้วนำมาคูณกันหากำลังสูญเสียที่เกิดขึ้นสังเกตได้ว่าเมื่อความต้านทานมากจะมีกำลังสูญเสียมากตามไปด้วย ดังนั้นการลดสัญญาณรบกวนจึงต้องคำนึงถึงประสิทธิภาพของวงจรด้วย

5.4.2 การควบคุมความชันกระแสขาขึ้นและขาลงแยกกัน

จากที่ทดลองมาในหัวข้อ 5.4.1 การจะลดกำลังสูญเสียจะต้องทำให้กระแสและแรงดันสอดคล้องกันน้อยที่สุดซึ่งวิธีการแก้ไขจะต้องให้กระแสมีความชันสูงขึ้น ซึ่งทำได้โดยการใช้ทรานซิสเตอร์สองตัวช่วย โดยสัญญาณ “ขาขึ้น” จะสั่งให้ทรานซิสเตอร์ TR1 ทำงาน ส่วนสัญญาณ “ขาลง” จะสั่งให้ทรานซิสเตอร์ TR2 ทำงาน การที่ทรานซิสเตอร์ TR2 ทำงานจะเป็นการช่วยประจุของตัวเก็บประจุเสมือนในเพาเวอร์มอสเฟตถ่ายเทประจุลงกราวน์ และสามารถปรับความชันกระแสช่วง “ขาลง” ลดลง ได้โดยใช้ความต้านทาน Rg off และในทำนองเดียวกันความชันกระแสช่วง “ขาขึ้น” สามารถควบคุมได้ด้วยความต้านทาน Rg on ซึ่งทำให้สามารถควบคุมความชันกระแสได้ทั้งขาขึ้นและขาลง จึงทำให้การลดสัญญาณรบกวนมีประสิทธิภาพมากขึ้นและกำลังสูญเสียน้อยลงด้วยดังแสดงในรูปที่ 5.14 ถึงรูปที่ 5.25

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.11 แสดงวงจรที่ออกแบบให้ควบคุมความชันกระแสขาขึ้นและลงแยกกัน

การทดสอบที่	รูปที่	ค่าความต้านทาน Rg (โอห์ม)
1	5.4 , 5.5	0
2	5.6 , 5.7	100
3	5.8 , 5.9	200

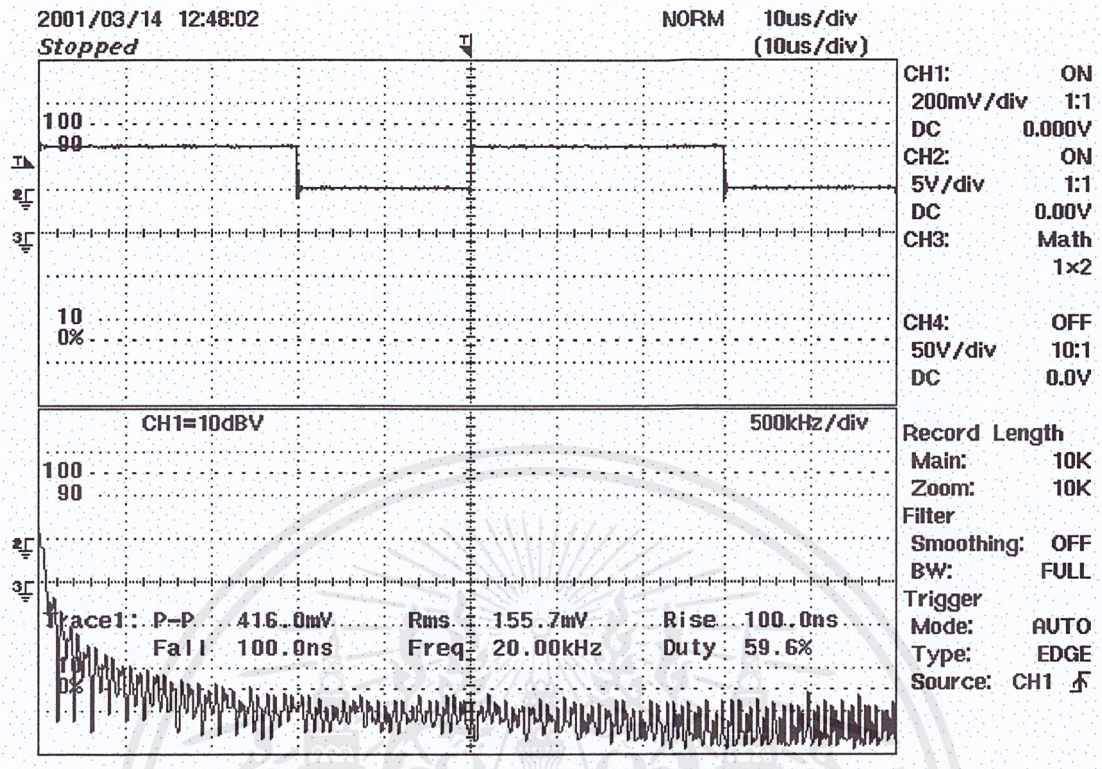
รูปที่ 5.12 แสดงค่าความต้านทานในการทดสอบการควบคุมความชันแบบขึ้นลงพร้อมกัน

การทดสอบที่	รูปที่	ค่าความต้านทาน Rg on (โอห์ม)	ค่าความต้านทาน Rg off (โอห์ม)
4	5.14 , 5.15	0	0
5	5.16 , 5.17	80	100
6	5.18 , 5.19	160	200
7	5.20 , 5.21	0	200
8	5.22 , 5.23	160	0
9	5.24 , 5.25	40	50

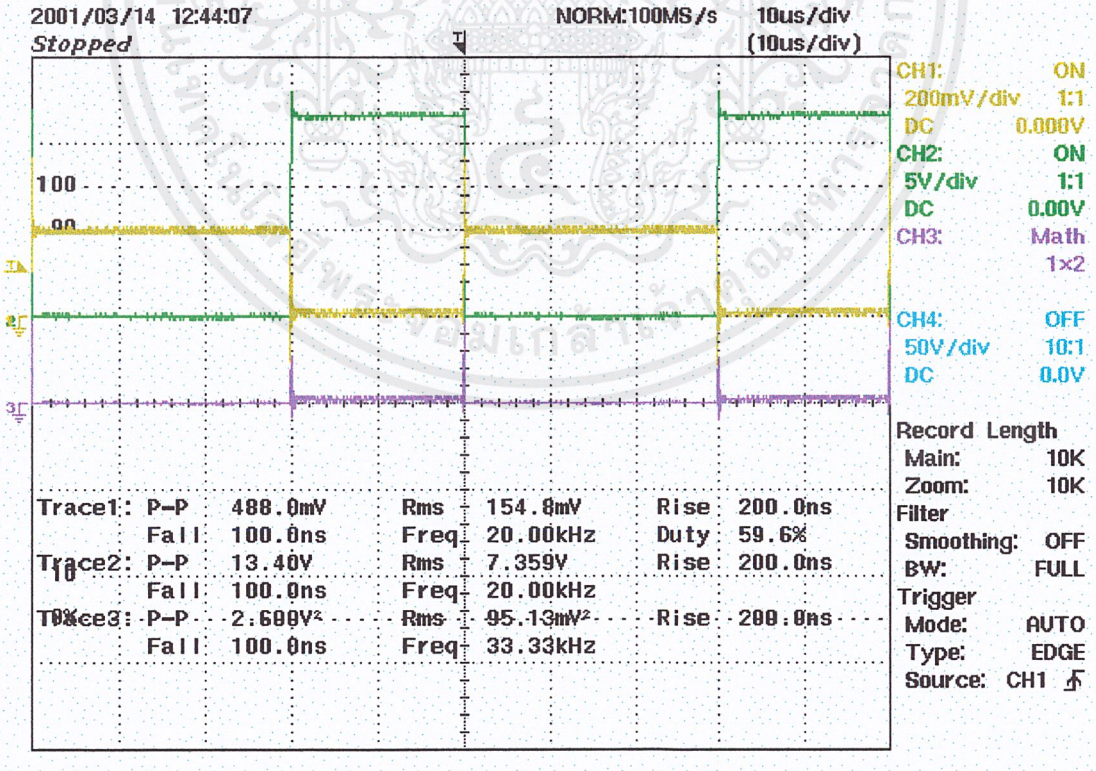
รูปที่ 5.13 แสดงค่าความต้านทานในการทดสอบการควบคุมความชันแบบขึ้นลงไม่พร้อมกัน

เมื่อทดลองในห้องวัดสัญญาณรบกวนแล้วจะได้สัญญาณดังรูปที่ 5.26 – 5.30

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

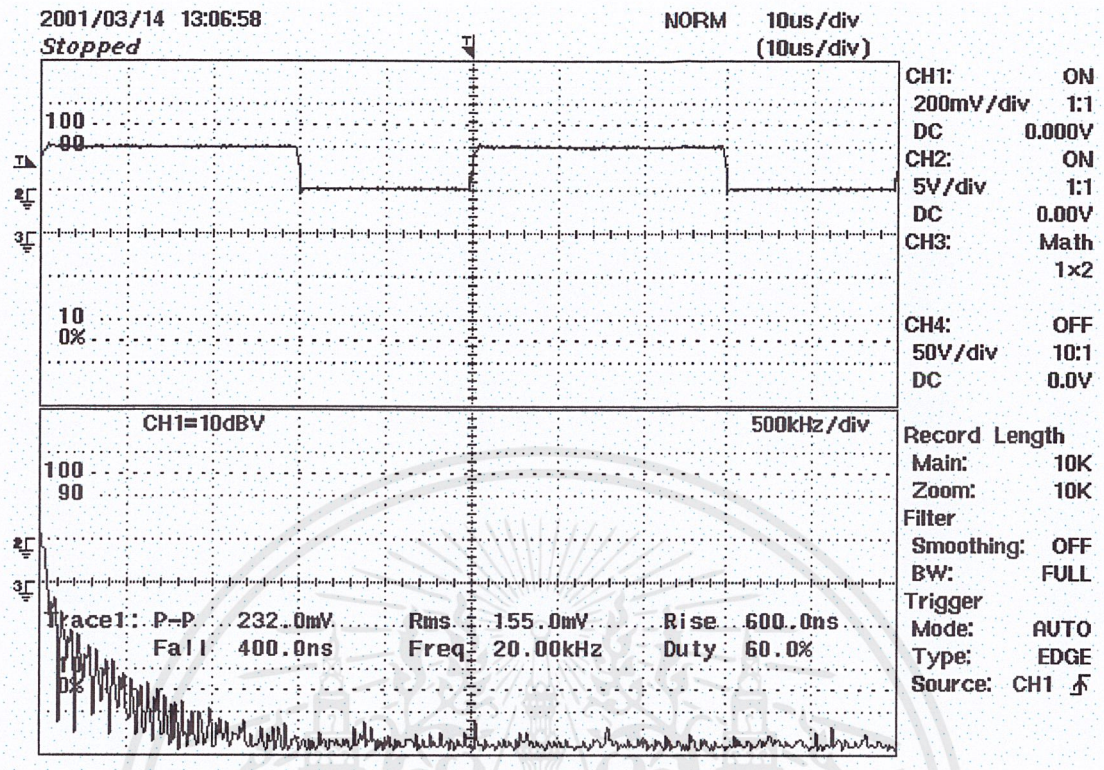


รูปที่ 5.14 แสดงสัญญาณกระแสในคาบความถี่ของการทดสอบที่ 4

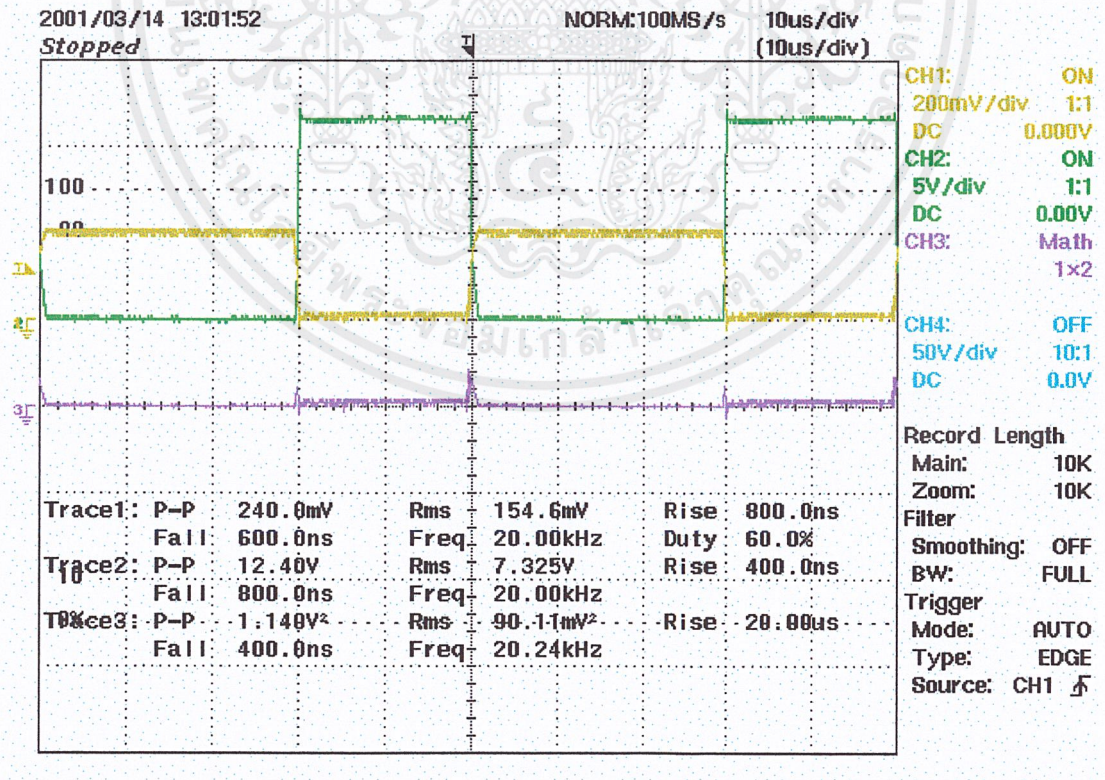


รูปที่ 5.15 แสดงสัญญาณกระแส แรงดันและกำลังสูญเสียในคาบเวลาของการทดสอบที่ 4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

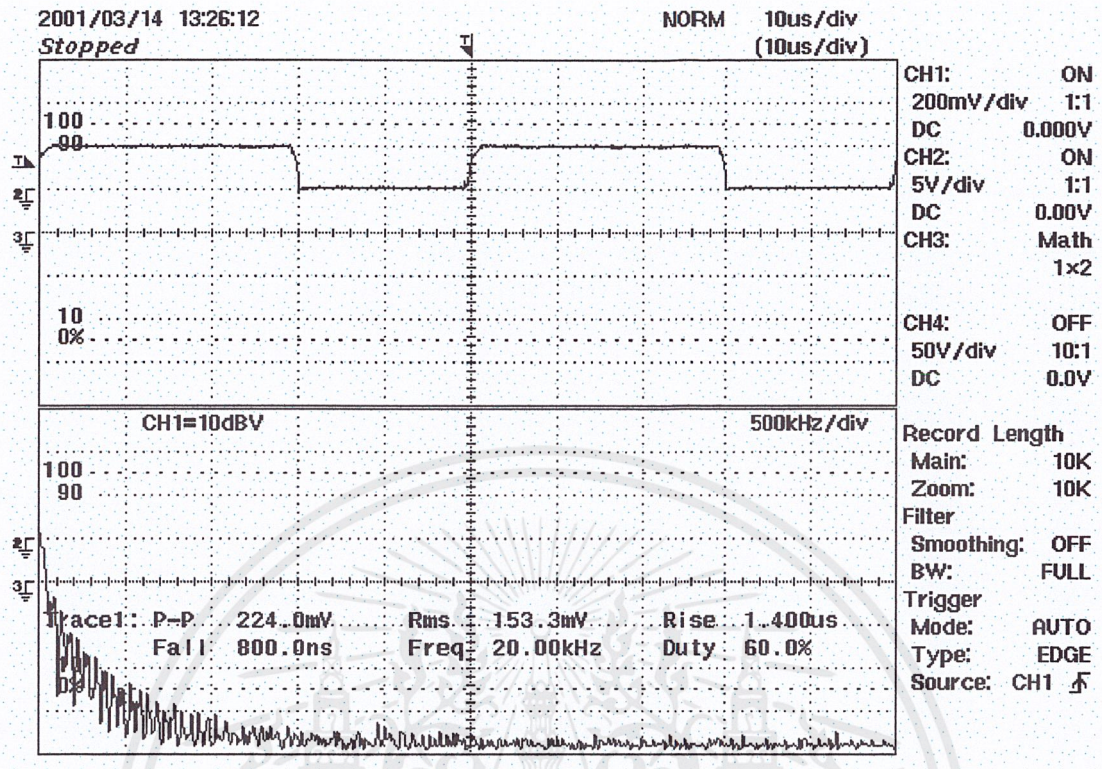


รูปที่ 5.16 แสดงสัญญาณกระแสในคาบความถี่ของการทดสอบที่ 5

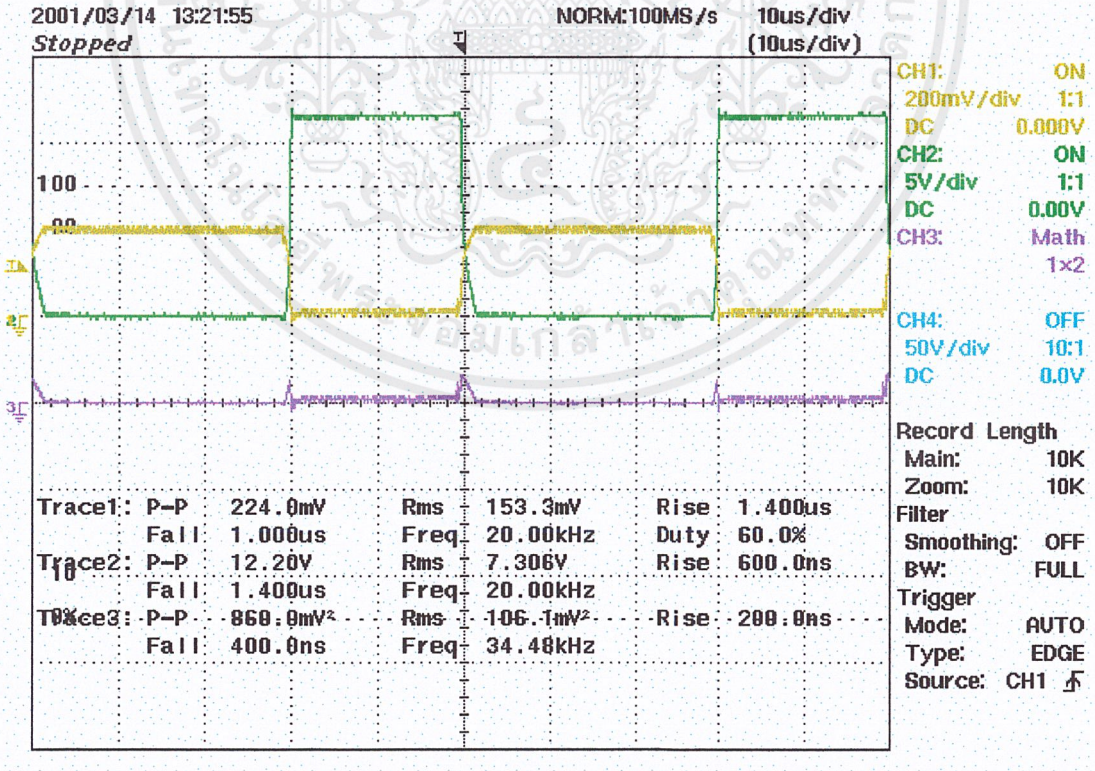


รูปที่ 5.17 แสดงสัญญาณกระแส แรงดันและกำลังสูญเสียในคาบเวลาของการทดสอบที่ 5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

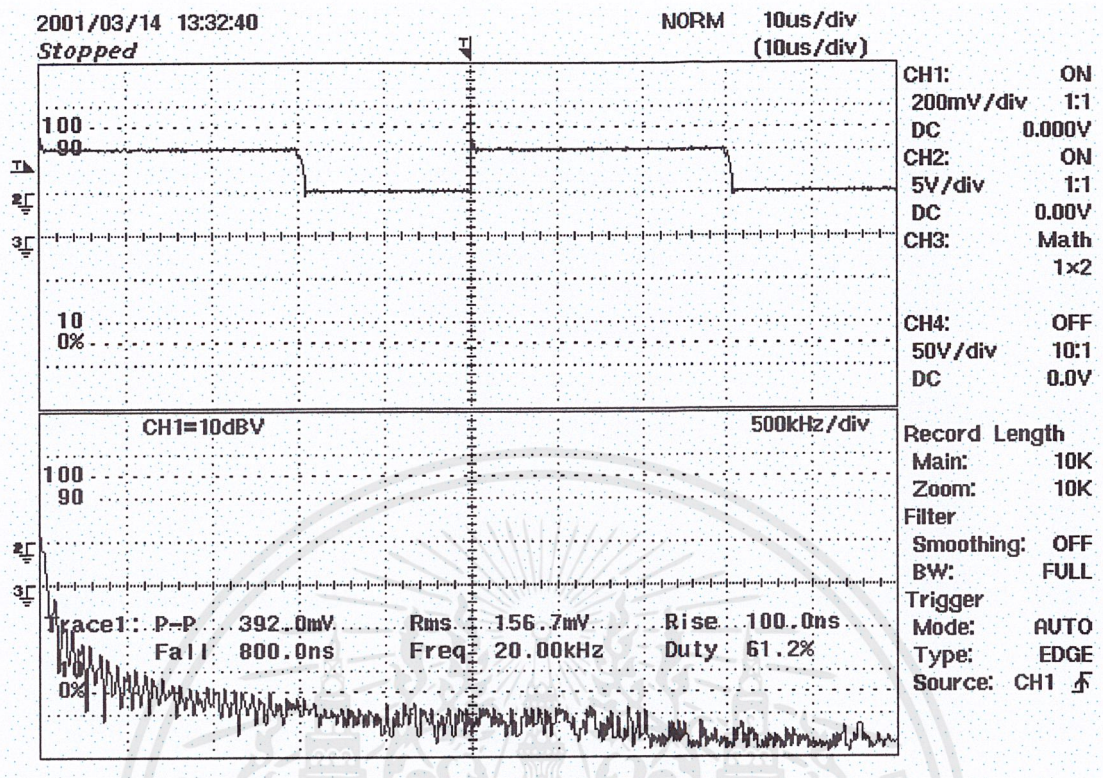


รูปที่ 5.18 แสดงสัญญาณกระแสในคาบความถี่ของการทดสอบที่ 6

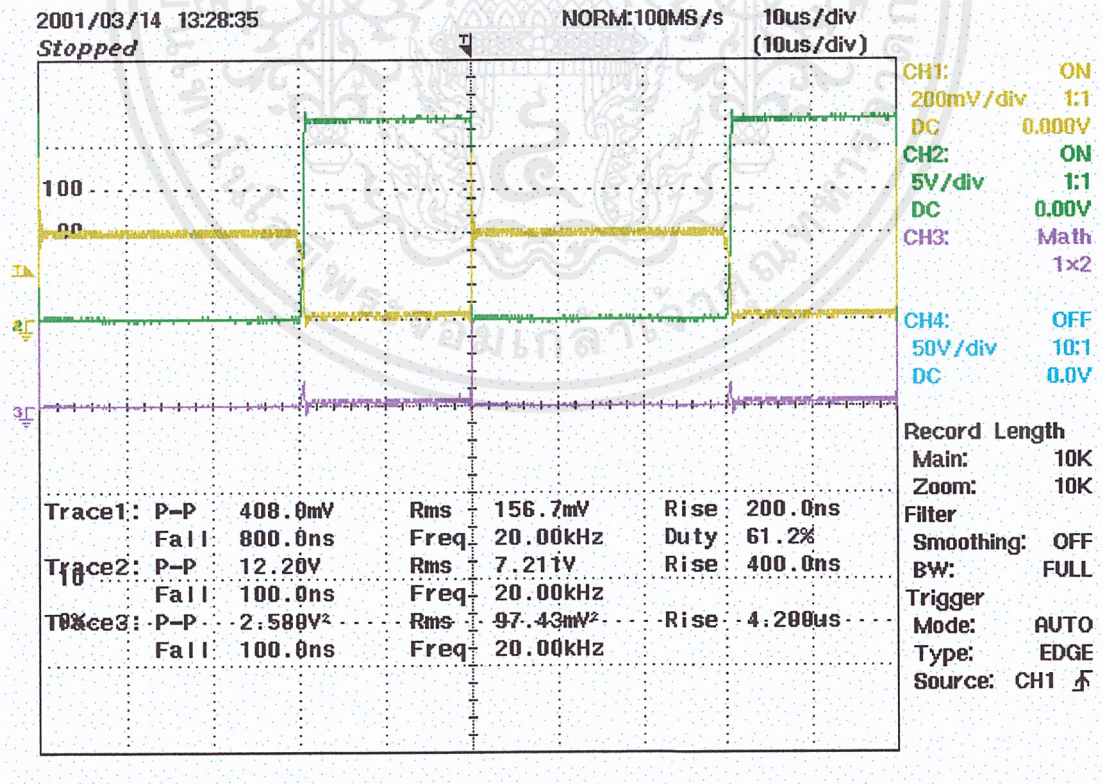


รูปที่ 5.19 แสดงสัญญาณกระแส แรงดัน กำลังสูญเสียในคาบเวลาของการทดสอบที่ 6

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

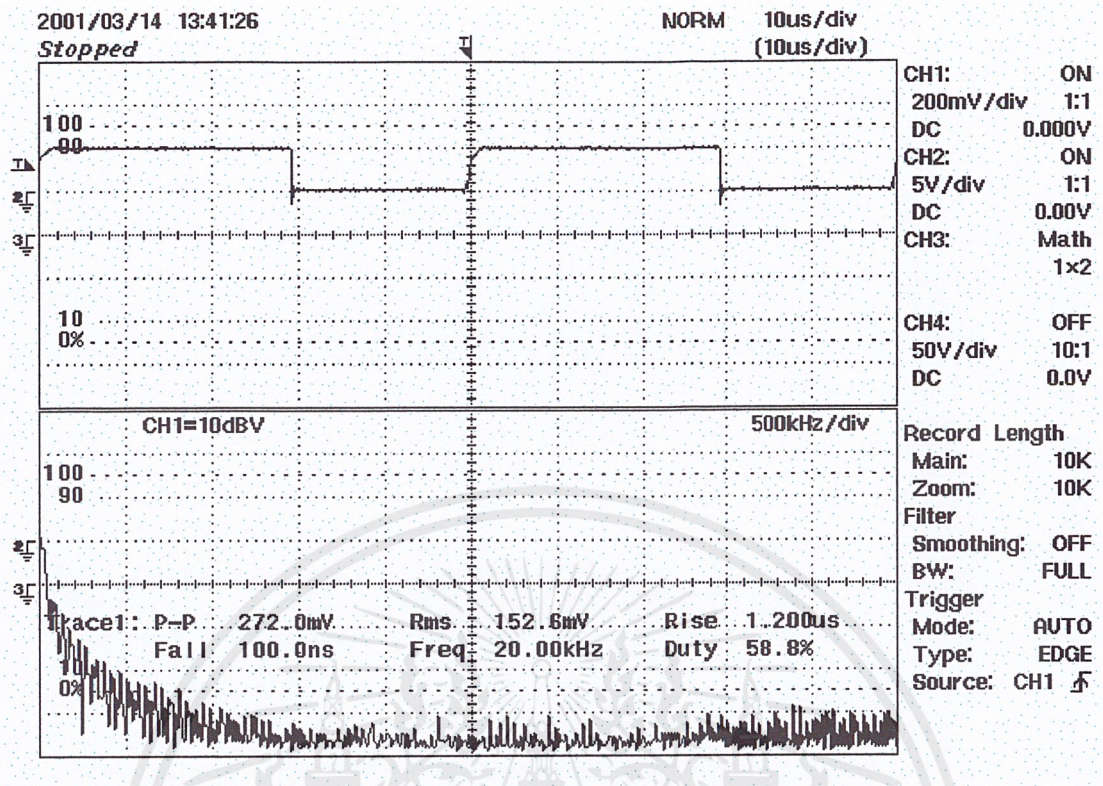


รูปที่ 5.20 แสดงสัญญาณกระแสในคาบความถี่ของการทดสอบที่ 7

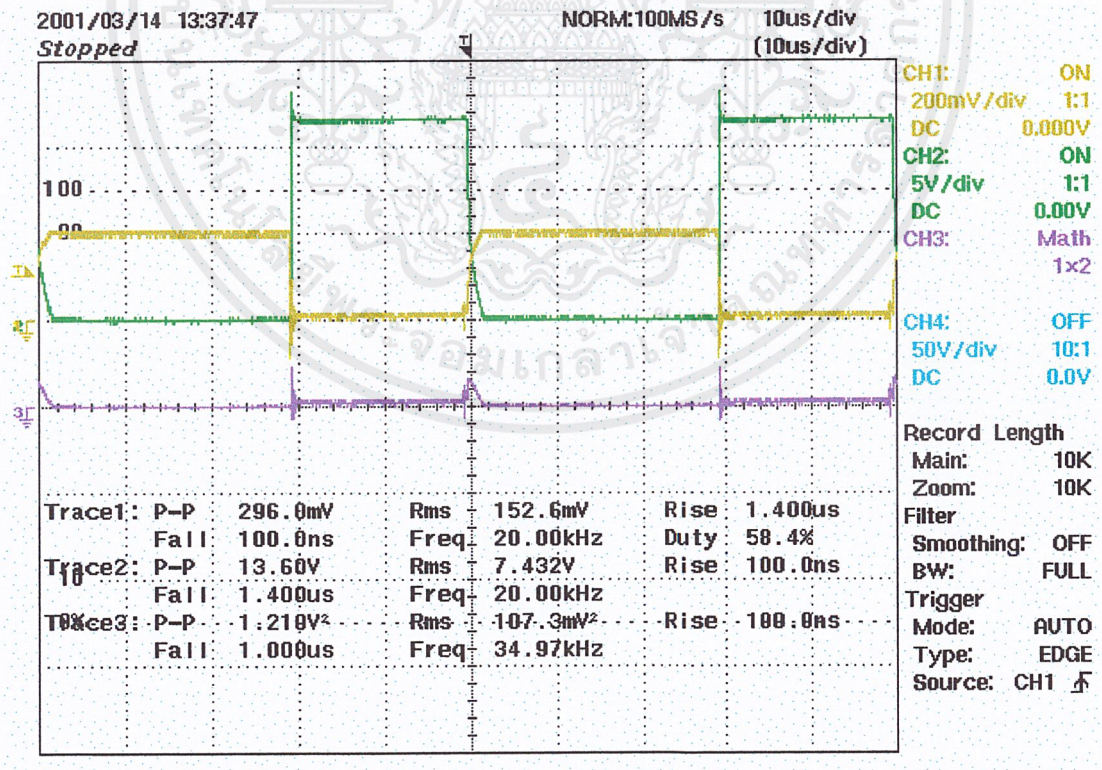


รูปที่ 5.21 แสดงสัญญาณกระแส แรงดัน กำลังสูญเสียในคาบเวลาของการทดสอบที่ 7

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

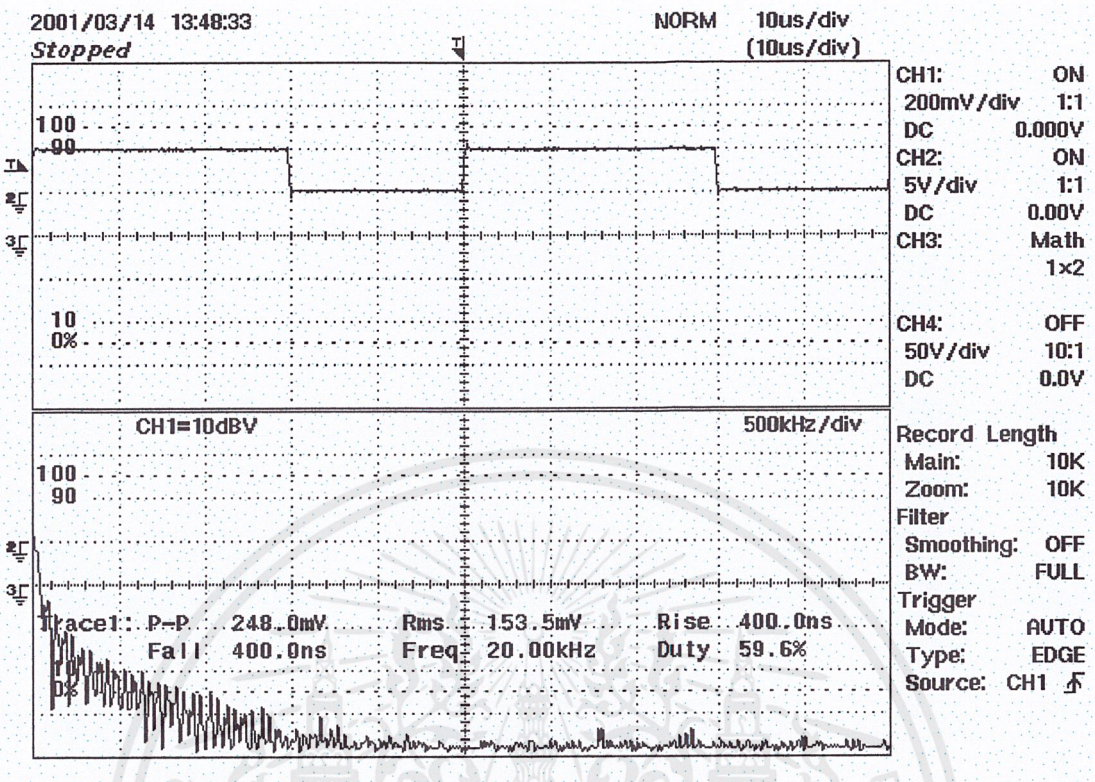


รูปที่ 5.22 แสดงสัญญาณกระแสในคาบความถี่ของการทดสอบที่ 8

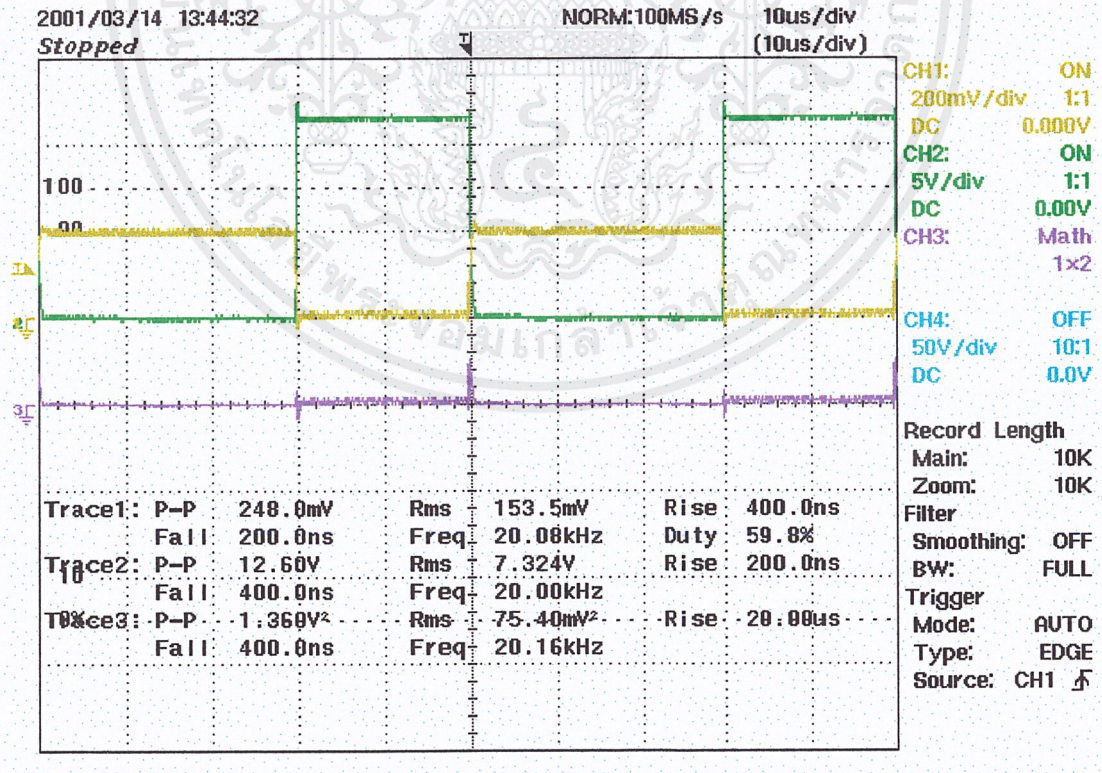


รูปที่ 5.23 แสดงสัญญาณกระแส แรงดัน กำลังสูญเสียในคาบเวลาของการทดสอบที่ 8

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.24 แสดงสัญญาณกระแสในคาบความถี่ของการทดสอบที่ 9

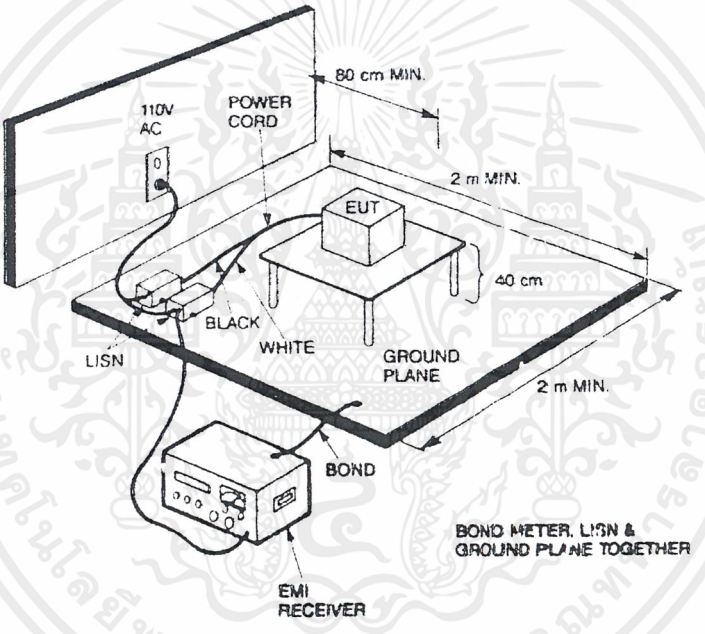


รูปที่ 5.25 แสดงสัญญาณกระแส แรงดัน กำลังสูญเสียในคาบเวลาของการทดสอบที่ 9

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อทดสอบกับเครื่องมือวัดสัญญาณได้แนวโน้มแล้วจึงทำการทดสอบสัญญาณในห้องทดสอบสัญญาณได้ดังนี้

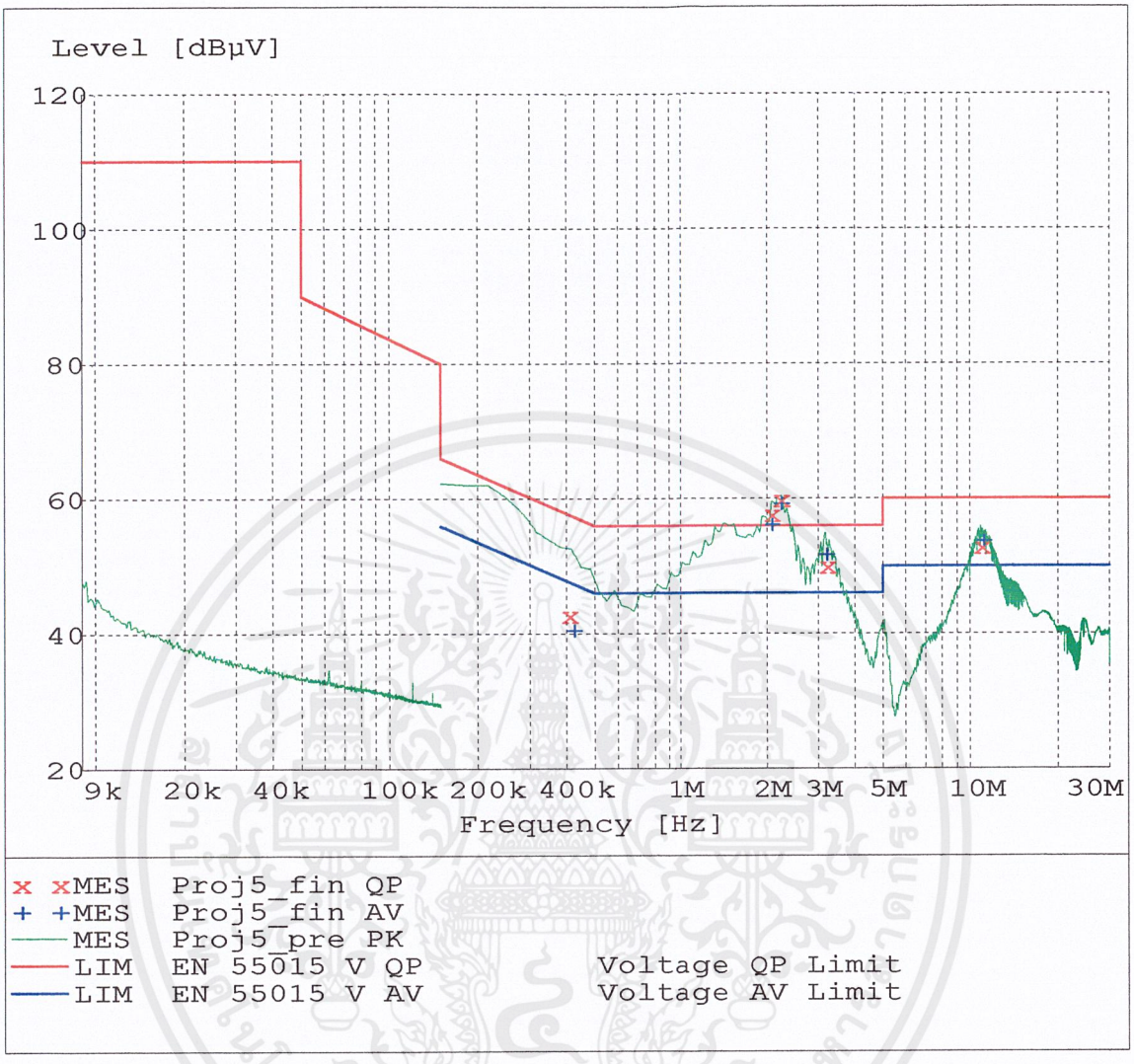
รูปที่ 5.27 แสดงสัญญาณกระแสในรูปที่ 5.4 เมื่อทดสอบในห้องทดสอบ
รูปที่ 5.28 แสดงสัญญาณกระแสในรูปที่ 5.6 เมื่อทดสอบในห้องทดสอบ
รูปที่ 5.29 แสดงสัญญาณกระแสในรูปที่ 5.14 เมื่อทดสอบในห้องทดสอบ
รูปที่ 5.30 แสดงสัญญาณกระแสในรูปที่ 5.16 เมื่อทดสอบในห้องทดสอบ
รูปที่ 5.31 แสดงสัญญาณกระแสในรูปที่ 5.18 เมื่อทดสอบในห้องทดสอบ



รูปที่ 5.26 แสดงการวัดสัญญาณที่ห้องทดสอบสัญญาณ

การวัดสัญญาณที่ห้องทดสอบสัญญาณทำได้โดยการวัดที่สายไฟเลี้ยงเพื่อวัดการเปลี่ยนแปลงของกระแส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



QP Detector

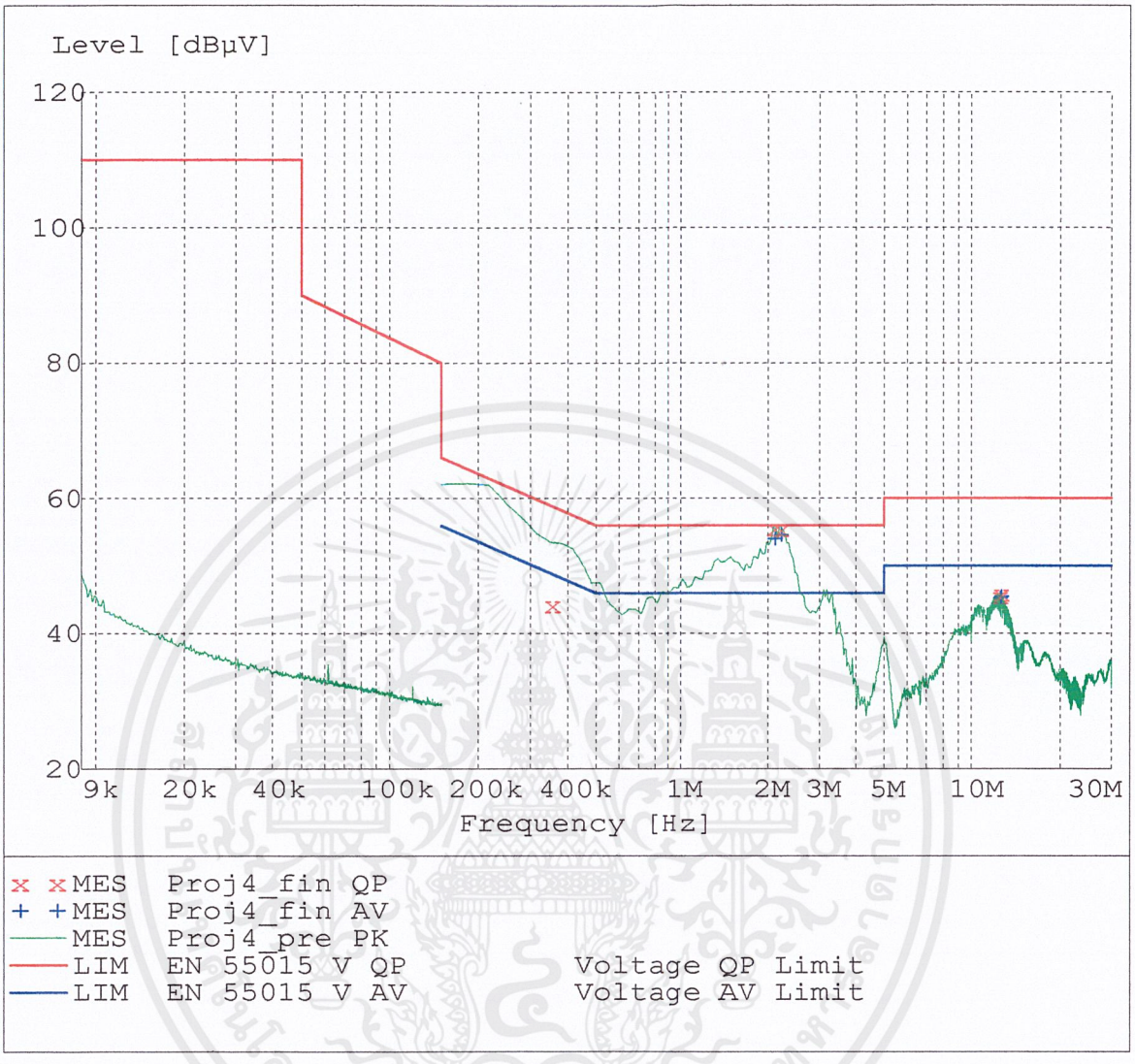
Frequency MHz	Level dBµV	Transd dB	Limit dBµV	Margin dB	Line	PE
0.406500	42.70	0.20	57.70	15.00	N	FLO
2.062500	57.70	0.40	56.00	-1.70	N	FLO
2.220000	59.90	0.40	56.00	-3.90	N	FLO
3.201000	50.00	0.50	56.00	6.00	L1	FLO
10.918500	52.90	0.90	60.00	7.10	L1	FLO

AV Detector

Frequency MHz	Level dBµV	Transd dB	Limit dBµV	Margin dB	Line	PE
0.420000	40.50	0.20	47.40	6.90	N	FLO
2.062500	56.20	0.40	46.00	-10.20	N	FLO
2.220000	59.30	0.40	46.00	-13.30	N	FLO
3.160500	51.80	0.50	46.00	-5.80	N	FLO
11.022000	53.80	1.00	50.00	-3.80	N	FLO

รูปที่ 5.27 แสดงการทดสอบสัญญาณทดสอบที่ 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



QP Detector

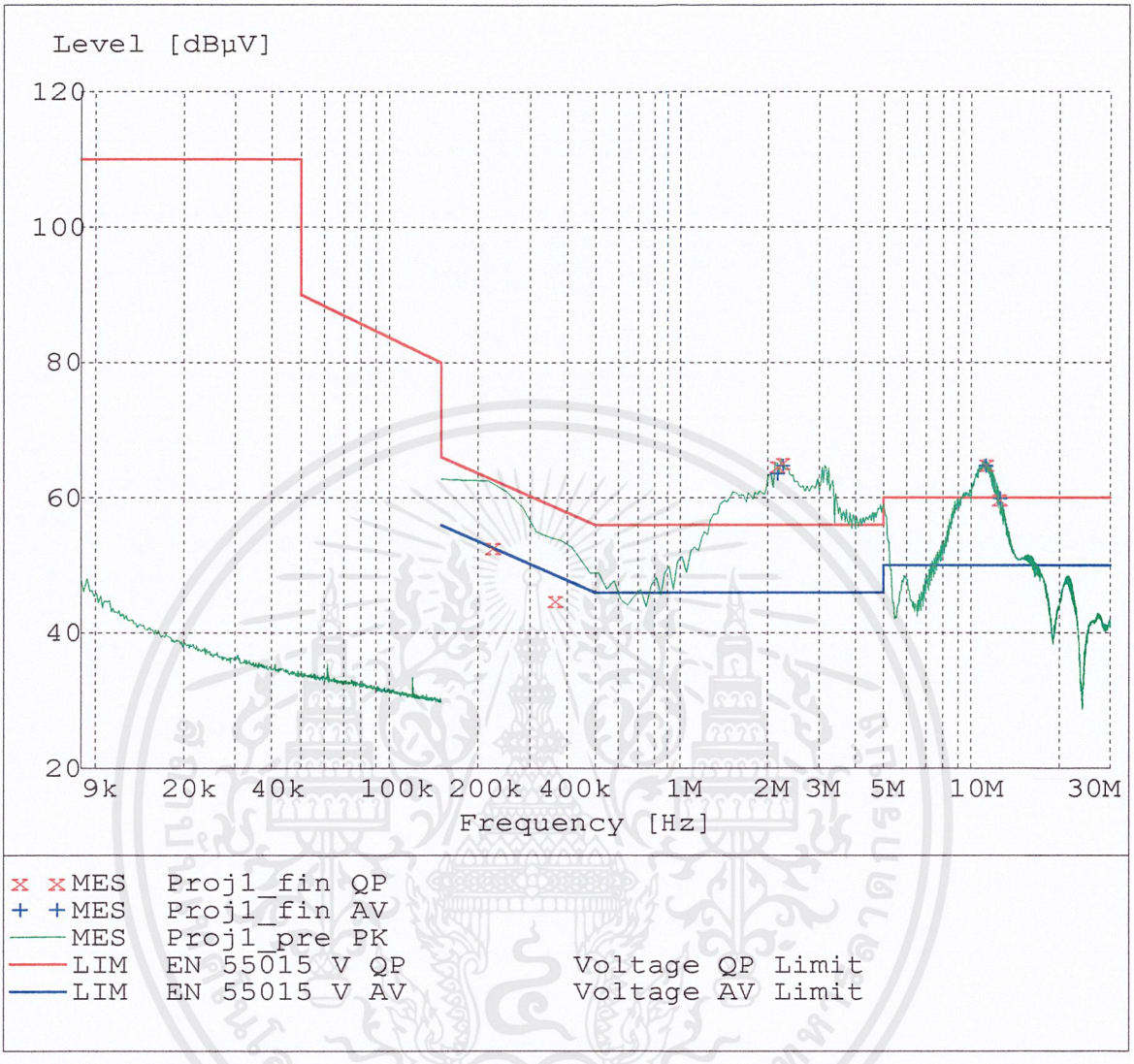
Frequency MHz	Level dBµV	Transd dB	Limit dBµV	Margin dB	Line	PE
0.352500	44.10	0.20	58.90	14.80	N	FLO
2.080500	55.50	0.40	56.00	0.50	N	FLO
2.179500	55.40	0.40	56.00	0.60	N	FLO
12.421500	45.50	1.00	60.00	14.50	L1	FLO
12.520500	45.80	1.00	60.00	14.20	L1	FLO

AV Detector

Frequency MHz	Level dBµV	Transd dB	Limit dBµV	Margin dB	Line	PE
2.080500	54.00	0.40	46.00	-8.00	N	FLO
2.179500	54.50	0.40	46.00	-8.50	N	FLO
12.421500	45.20	1.00	50.00	4.80	L1	FLO
12.520500	45.50	1.00	50.00	4.50	L1	FLO

รูปที่ 5.28 แสดงการทดสอบสัญญาณทดสอบที่ 2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



QP Detector

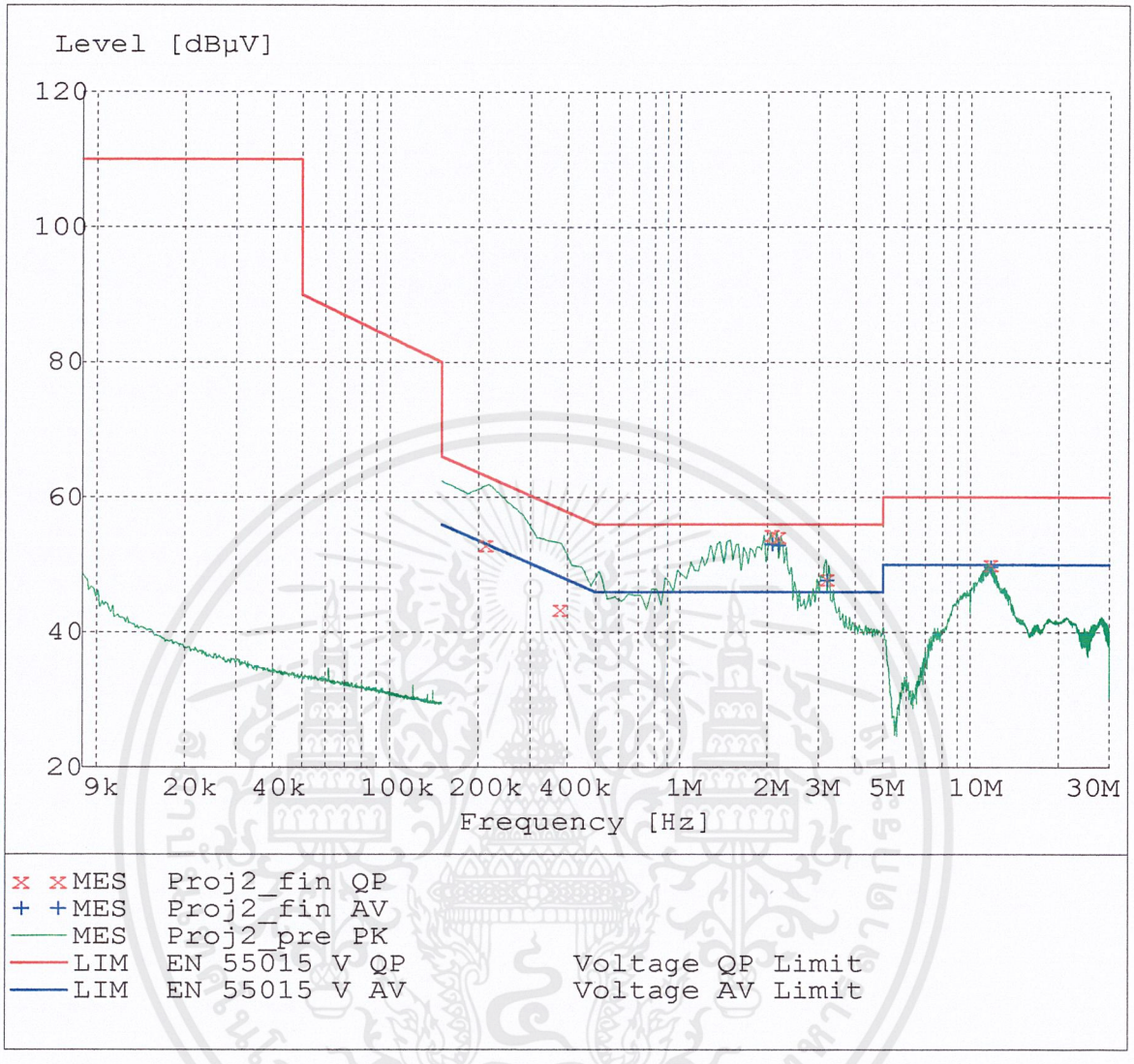
Frequency MHz	Level dBµV	Transd dB	Limit dBµV	Margin dB	Line	PE
0.222000	52.70	0.20	62.70	10.00	N	FLO
0.361500	44.90	0.20	58.70	13.80	N	FLO
2.121000	64.80	0.40	56.00	-8.80	N	FLO
2.220000	65.30	0.40	56.00	-9.30	N	FLO
11.161500	65.00	1.00	60.00	-5.00	N	FLO
12.358500	59.90	1.00	60.00	0.10	L1	FLO

AV Detector

Frequency MHz	Level dBµV	Transd dB	Limit dBµV	Margin dB	Line	PE
2.121000	63.60	0.40	46.00	-17.60	N	FLO
2.220000	64.70	0.40	46.00	-18.70	N	FLO
11.121000	64.70	1.00	50.00	-14.70	N	FLO
12.421500	59.90	1.00	50.00	-9.90	L1	FLO

รูปที่ 5.29 แสดงการทดสอบสัญญาณทดสอบที่ 4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



QP Detector

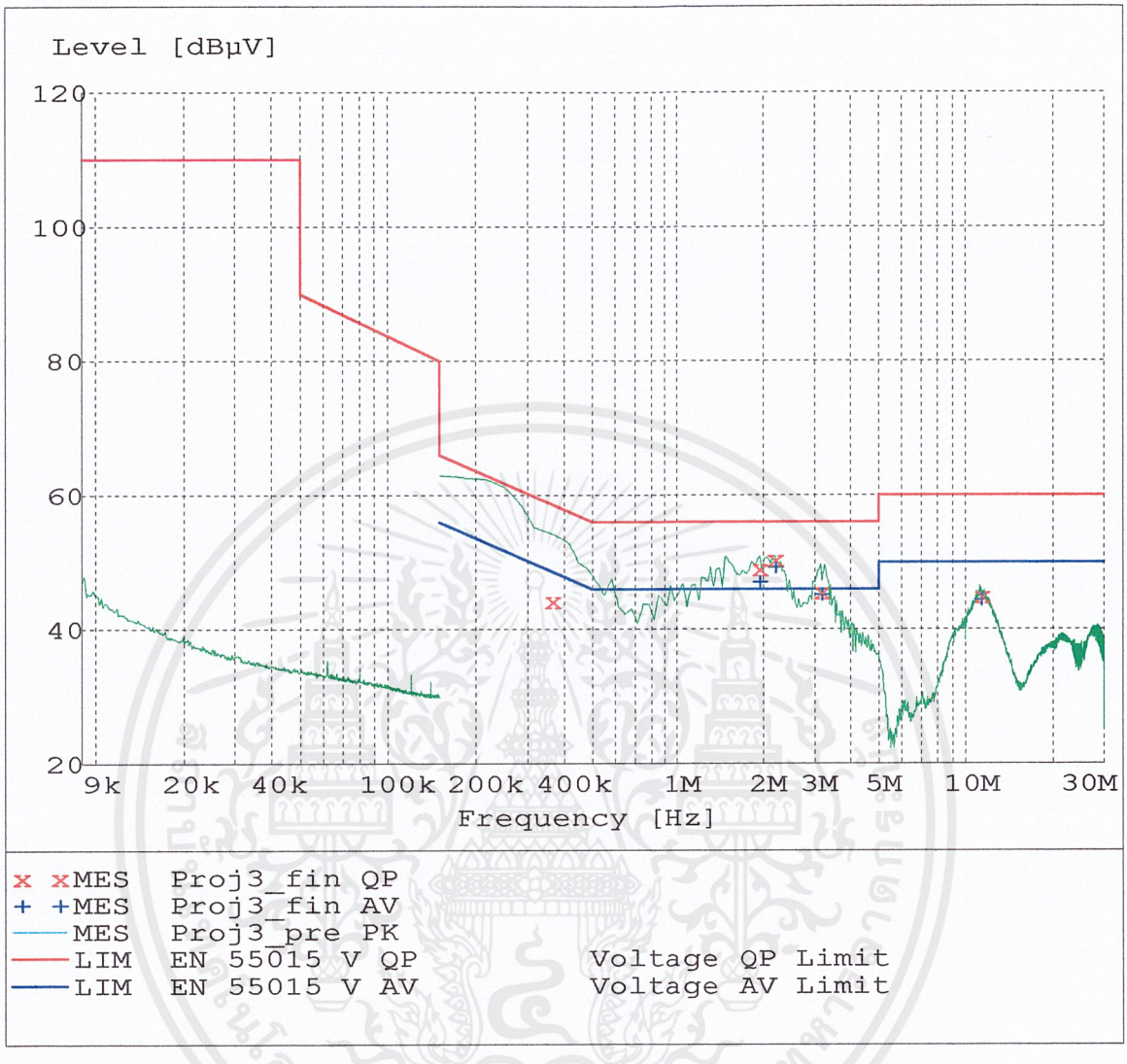
Frequency MHz	Level dBµV	Transd dB	Limit dBµV	Margin dB	Line	PE
0.208500	53.00	0.20	63.30	10.20	N	FLO
0.375000	43.50	0.20	58.40	14.90	N	FLO
2.040000	54.50	0.40	56.00	1.50	N	FLO
2.139000	54.30	0.40	56.00	1.70	N	FLO
3.160500	48.00	0.50	56.00	8.00	L1	FLO
11.620500	50.10	1.00	60.00	9.90	N	FLO

AV Detector

Frequency MHz	Level dBµV	Transd dB	Limit dBµV	Margin dB	Line	PE
2.040000	53.00	0.40	46.00	-7.00	N	FLO
2.139000	52.90	0.40	46.00	-6.90	N	FLO
3.160500	47.70	0.50	46.00	-1.70	L1	FLO
11.620500	49.70	1.00	50.00	0.30	N	FLO

รูปที่ 5.30 แสดงการทดสอบสัญญาณทดสอบที่ 5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



QP Detector

Frequency MHz	Level dBµV	Transd dB	Limit dBµV	Margin dB	Line	PE
0.361500	44.30	0.20	58.70	14.40	N	FLO
1.918500	49.10	0.40	56.00	6.90	N	FLO
2.161500	50.40	0.40	56.00	5.60	N	FLO
3.142500	45.60	0.50	56.00	10.40	L1	FLO
11.319000	45.00	1.00	60.00	15.00	N	FLO

AV Detector

Frequency MHz	Level dBµV	Transd dB	Limit dBµV	Margin dB	Line	PE
1.918500	47.20	0.40	46.00	-1.20	N	FLO
2.161500	49.30	0.40	46.00	-3.30	N	FLO
3.142500	45.30	0.50	46.00	0.70	L1	FLO
11.220000	44.50	1.00	50.00	5.50	N	FLO

รูปที่ 5.31 แสดงการทดสอบสัญญาณทดสอบที่ 6

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทสรุปและข้อเสนอแนะ

เนื่องจากวงจรขับทรานซิสเตอร์แบบเก่าให้ผลการทดลองขับมอเตอร์ได้ความเร็วไม่ถึงเกณฑ์ที่ต้องการได้จึงต้องทำการทดลองวงจรใหม่โดยใช้ทรานซิสเตอร์ แต่เปลี่ยนรูปแบบวงจรจากวงจรดาริงตันเป็นวงจรขับที่ใช้ทรานซิสเตอร์เบอร์ใหม่แต่มีรูปแบบเหมือนวงจรขับทั่วไป ผลการทดลองดีขึ้นยังไม่ได้ความเร็วตามที่ต้องการเพราะสเตปปิงมอเตอร์ยังให้ผลตอบสนองได้ดีในช่วงความถี่ต่ำเท่านั้น ดังนั้นแนวทางการลดสัญญาณรบกวนจึงได้นำเอาเพาเวอร์มอสเฟตเข้ามาใช้ในวงจรขับเพื่อเพิ่มอัตราเร็วของสเตปได้มากขึ้น ส่วนวิธีการลดสัญญาณรบกวนเราได้ใช้วิธีพุชพูลซึ่งทำการควบคุมความชันของกระแสเอาท์พุต หรือลดสัญญาณรบกวนของตัวอุปกรณ์ภายในนั่นเองโดยขั้นตอนการทดลองได้ทำการแยกวงจรมอสเฟตออกมาทดลองเพียงเฟตเดียว

เพื่อทำให้วงจรมีประสิทธิภาพสูงสุด ผู้ที่สนใจวิจัยด้านนี้ควรทดลองวงจรแล้วหาความสัมพันธ์ระหว่างสัญญาณรบกวน กำลังสูญเสีย หาความสัมพันธ์ระหว่างสัญญาณรบกวนและกำลังสูญเสียแล้วใช้ความรู้ทางแคลคูลัส โดยวิธีดิฟเฟอร์เรนเชียลหาค่าที่เหมาะสมต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บรรณานุกรม

- วิศรุต ตรีรัตนะ , ไสว เหล่าไม้ , ประภาษ อุคคกิมาพันธุ์ , ร.ศ.พิพัฒน์ เลาหสงคราม "มอเตอร์กระแสตรงที่ไม่มีแปรงถ่านโดยใช้สเตปปิงมอเตอร์" ประชุมวิชาการทางวิศวกรรมไฟฟ้า 9 สถาบัน ครั้งที่ 18 มหาวิทยาลัยเทคโนโลยีมหานคร , 1995
- ไสว พงศ์สวัสดิ์ การออกแบบและพัฒนาระบบควบคุมความเร็วและแรงบิดของสเตปปิงมอเตอร์ที่มีการหมุนอย่างต่อเนื่อง วิทยานิพนธ์ปริญญาวิศวกรรมศาสตร์บัณฑิตสาขาวิชาวิศวกรรมไฟฟ้าบัณฑิตวิทยาลัย พ.ศ. 2541
- เสรี บุญละเอียด , ณัฒวุติ แซ่โค้ว , อาจารย์ประดิษฐ์ วัชชพิบูลย์ "การใช้คอมแพนเซเตอร์ขจัดสัญญาณรบกวน" คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง ปีที่ 14 ฉบับที่ 2 พ.ศ. 2541
- มงคล อัศวโกวิทกรณ์ , วัตสัน ถิรภัตรพงศ์ การลดสัญญาณรบกวน กรุงเทพฯ พิสิกส์เซ็นเตอร์
- Henry W. OH , Noise Reduction Technique in electronic systems , John Witey & San (SEA) Pte Ltd, 1989
- Kye – YokSee , Controlling Conducted and Radiated EMI by Design , Nanyang Technology University School of Electrical and Electronic Engineering Singapore , 1999

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ปริญญานิพนธ์ฉบับนี้ สำเร็จลุล่วงไปได้ด้วยดีก็เนื่องจากบุคคลหลายฝ่ายที่ให้การสนับสนุนช่วยเหลือและให้กำลังใจตลอดมา ขอขอบพระคุณบิดามารดา อาจารย์ทุกท่านที่อุปการะคุณให้ได้ศึกษาเล่าเรียนมาจนถึงทุกวันนี้ ขอขอบพระคุณท่านร.ศ.ดร.โยธิน เปรมปราณีรัชต์ และอาจารย์สุมิตร พนาอุดมทรัพย์ อาจารย์ที่ปรึกษาปริญญานิพนธ์ที่คอยให้คำปรึกษาที่ดีเสมอมา ตลอดจนห้องที่ใช้ในการทดลองและพี่ ๆ ทีมงาน PTEC รวมทั้งเพื่อน ๆ ชมรมพุทธศาสตร์และประเพณีและเพื่อน ๆ ภาคระบบควบคุมทุกคนที่คอยให้ความช่วยเหลือมาตลอด

ประณีต วัชรินทร์
พงศ์พิพัฒน์ ภู่เหลือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Features

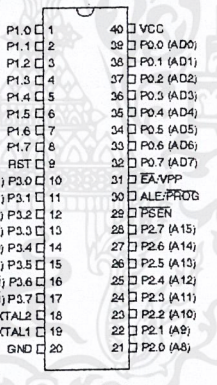
- Compatible with MCS-51™ Products
- 4K Bytes of In-System Reprogrammable Flash Memory
  - Endurance: 1,000 Write/Erase Cycles
- Fully Static Operation: 0 Hz to 24 MHz
- Three-level Program Memory Lock
- 128 x 8-bit Internal RAM
- 32 Programmable I/O Lines
- Two 16-bit Timer/Counters
- Six Interrupt Sources
- Programmable Serial Channel
- Low-power Idle and Power-down Modes

Description

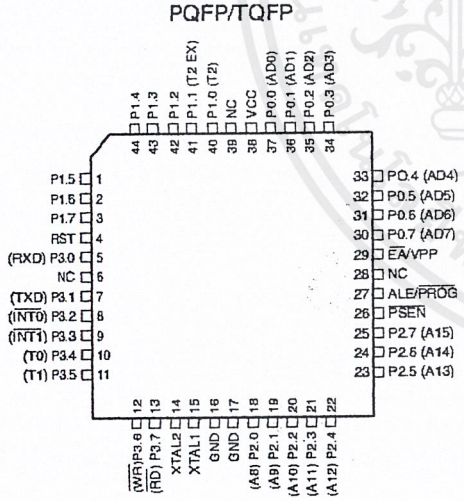
The AT89C51 is a low-power, high-performance CMOS 8-bit microcomputer with 4K bytes of Flash programmable and erasable read only memory (PEROM). The device is manufactured using Atmel's high-density nonvolatile memory technology and is compatible with the industry-standard MCS-51 instruction set and pinout. The on-chip Flash allows the program memory to be reprogrammed in-system or by a conventional nonvolatile memory programmer. By combining a versatile 8-bit CPU with Flash on a monolithic chip, the Atmel AT89C51 is a powerful microcomputer which provides a highly-flexible and cost-effective solution to many embedded control applications.

Pin Configurations

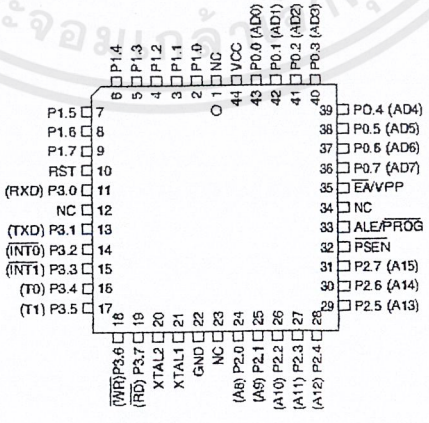
PDIP



PQFP/TQFP



PLCC



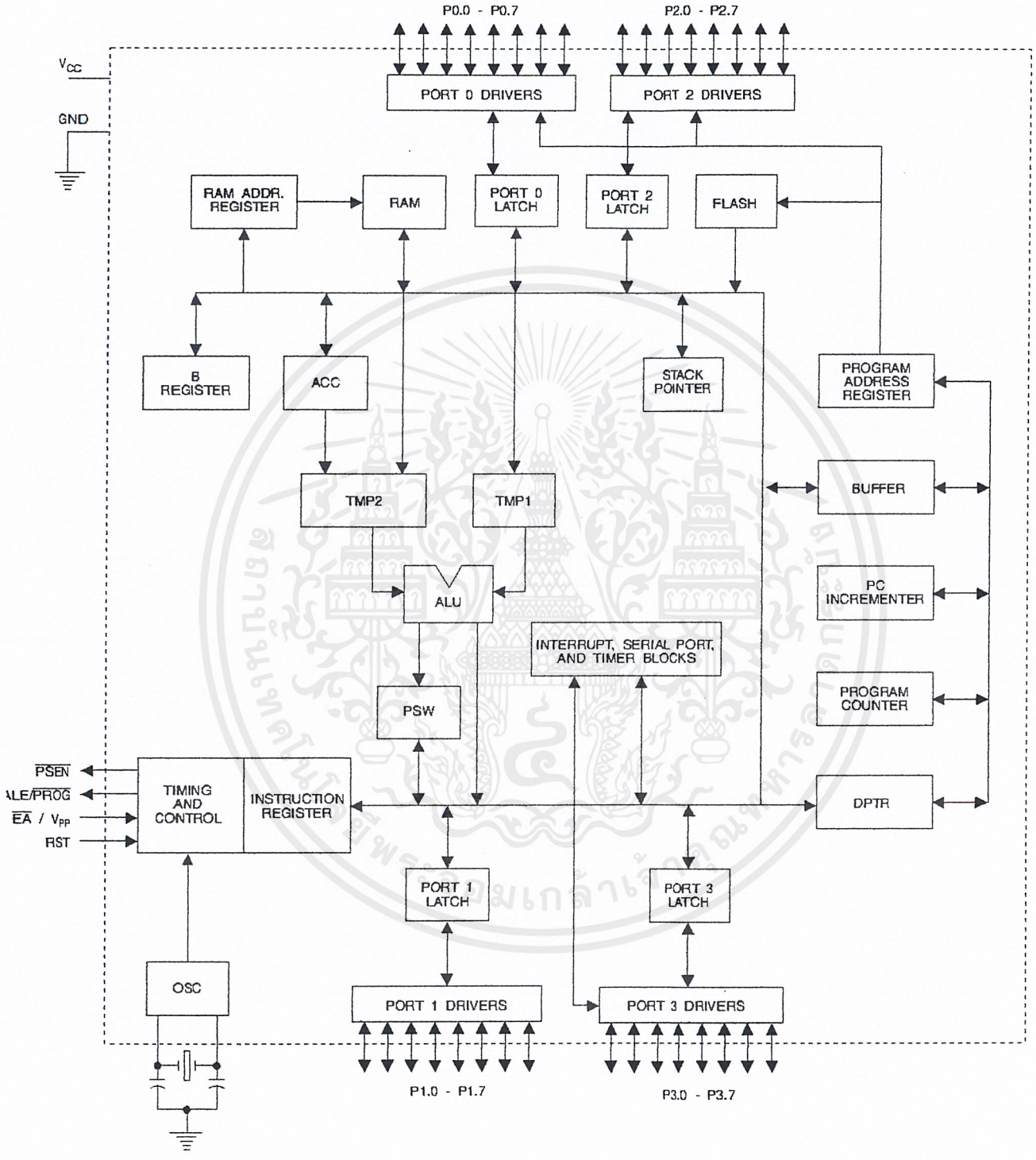
8-bit Microcontroller with 4K Bytes Flash

AT89C51

Rev. 0265G–02/00

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Block Diagram



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

The AT89C51 provides the following standard features: 4K bytes of Flash, 128 bytes of RAM, 32 I/O lines, two 16-bit timer/counters, a five vector two-level interrupt architecture, a full duplex serial port, on-chip oscillator and clock circuitry. In addition, the AT89C51 is designed with static logic for operation down to zero frequency and supports two software selectable power saving modes. The Idle Mode stops the CPU while allowing the RAM, timer/counters, serial port and interrupt system to continue functioning. The Power-down Mode saves the RAM contents but freezes the oscillator disabling all other chip functions until the next hardware reset.

Pin Description

VCC

Supply voltage.

GND

Ground.

Port 0

Port 0 is an 8-bit open-drain bi-directional I/O port. As an output port, each pin can sink eight TTL inputs. When 1s are written to port 0 pins, the pins can be used as high-impedance inputs.

Port 0 may also be configured to be the multiplexed low-order address/data bus during accesses to external program and data memory. In this mode P0 has internal pullups.

Port 0 also receives the code bytes during Flash programming, and outputs the code bytes during program verification. External pullups are required during program verification.

Port 1

Port 1 is an 8-bit bi-directional I/O port with internal pullups. The Port 1 output buffers can sink/source four TTL inputs. When 1s are written to Port 1 pins they are pulled high by the internal pullups and can be used as inputs. As inputs, Port 1 pins that are externally being pulled low will source current (I_{IL}) because of the internal pullups.

Port 1 also receives the low-order address bytes during Flash programming and verification.

Port 2

Port 2 is an 8-bit bi-directional I/O port with internal pullups. The Port 2 output buffers can sink/source four TTL inputs. When 1s are written to Port 2 pins they are pulled high by the internal pullups and can be used as inputs. As inputs, Port 2 pins that are externally being pulled low will source current (I_{IL}) because of the internal pullups.

Port 2 emits the high-order address byte during fetches from external program memory and during accesses to external data memory that use 16-bit addresses (MOVX @ DPTR). In this application, it uses strong internal pullups when emitting 1s. During accesses to external data memory that use 8-bit addresses (MOVX @ RI), Port 2 emits the contents of the P2 Special Function Register.

Port 2 also receives the high-order address bits and some control signals during Flash programming and verification.

Port 3

Port 3 is an 8-bit bi-directional I/O port with internal pullups. The Port 3 output buffers can sink/source four TTL inputs. When 1s are written to Port 3 pins they are pulled high by the internal pullups and can be used as inputs. As inputs, Port 3 pins that are externally being pulled low will source current (I_{IL}) because of the pullups.

Port 3 also serves the functions of various special features of the AT89C51 as listed below:

Port Pin	Alternate Functions
P3.0	RXD (serial input port)
P3.1	TXD (serial output port)
P3.2	$\overline{INT0}$ (external interrupt 0)
P3.3	$\overline{INT1}$ (external interrupt 1)
P3.4	T0 (timer 0 external input)
P3.5	T1 (timer 1 external input)
P3.6	$\overline{WR}$ (external data memory write strobe)
P3.7	$\overline{RD}$ (external data memory read strobe)

Port 3 also receives some control signals for Flash programming and verification.

RST

Reset input. A high on this pin for two machine cycles while the oscillator is running resets the device.

ALE/$\overline{PROG}$

Address Latch Enable output pulse for latching the low byte of the address during accesses to external memory. This pin is also the program pulse input ($\overline{PROG}$) during Flash programming.

In normal operation ALE is emitted at a constant rate of 1/6 the oscillator frequency, and may be used for external timing or clocking purposes. Note, however, that one ALE

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

pulse is skipped during each access to external Data Memory.

If desired, ALE operation can be disabled by setting bit 0 of SFR location 8EH. With the bit set, ALE is active only during a MOVX or MOVC instruction. Otherwise, the pin is weakly pulled high. Setting the ALE-disable bit has no effect if the microcontroller is in external execution mode.

$\overline{\text{PSEN}}$

Program Store Enable is the read strobe to external program memory.

When the AT89C51 is executing code from external program memory, $\overline{\text{PSEN}}$ is activated twice each machine cycle, except that two $\overline{\text{PSEN}}$ activations are skipped during each access to external data memory.

$\overline{\text{EA}}$/VPP

External Access Enable. $\overline{\text{EA}}$ must be strapped to GND in order to enable the device to fetch code from external program memory locations starting at 0000H up to FFFFH. Note, however, that if lock bit 1 is programmed, $\overline{\text{EA}}$ will be internally latched on reset.

$\overline{\text{EA}}$ should be strapped to V_{CC} for internal program executions.

This pin also receives the 12-volt programming enable voltage (V_{PP}) during Flash programming, for parts that require 12-volt V_{PP}.

XTAL1

Input to the inverting oscillator amplifier and input to the internal clock operating circuit.

XTAL2

Output from the inverting oscillator amplifier.

Oscillator Characteristics

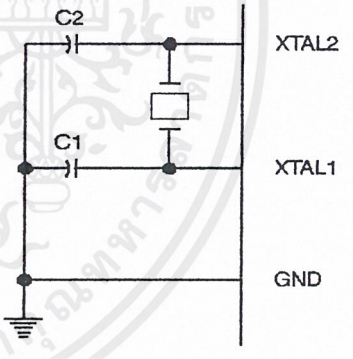
XTAL1 and XTAL2 are the input and output, respectively, of an inverting amplifier which can be configured for use as an on-chip oscillator, as shown in Figure 1. Either a quartz crystal or ceramic resonator may be used. To drive the device from an external clock source, XTAL2 should be left unconnected while XTAL1 is driven as shown in Figure 2. There are no requirements on the duty cycle of the external clock signal, since the input to the internal clocking circuitry is through a divide-by-two flip-flop, but minimum and maximum voltage high and low time specifications must be observed.

Idle Mode

In idle mode, the CPU puts itself to sleep while all the on-chip peripherals remain active. The mode is invoked by software. The content of the on-chip RAM and all the special functions registers remain unchanged during this mode. The idle mode can be terminated by any enabled interrupt or by a hardware reset.

It should be noted that when idle is terminated by a hard ware reset, the device normally resumes program execution, from where it left off, up to two machine cycles before the internal reset algorithm takes control. On-chip hardware inhibits access to internal RAM in this event, but access to the port pins is not inhibited. To eliminate the possibility of an unexpected write to a port pin when Idle is terminated by reset, the instruction following the one that invokes Idle should not be one that writes to a port pin or to external memory.

Figure 1. Oscillator Connections



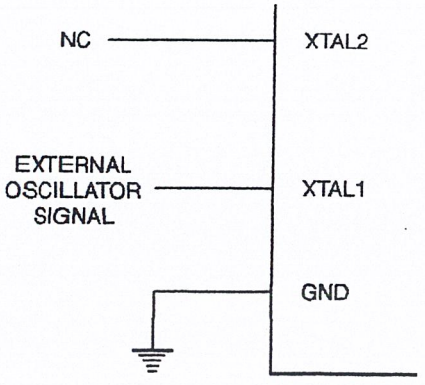
Note: C1, C2 = 30 pF ± 10 pF for Crystals
= 40 pF ± 10 pF for Ceramic Resonators

Status of External Pins During Idle and Power-down Modes

Mode	Program Memory	ALE	$\overline{\text{PSEN}}$	PORT0	PORT1	PORT2	PORT3
Idle	Internal	1	1	Data	Data	Data	Data
Idle	External	1	1	Float	Data	Address	Data
Power-down	Internal	0	0	Data	Data	Data	Data
Power-down	External	0	0	Float	Data	Data	Data

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 2. External Clock Drive Configuration



Power-down Mode

In the power-down mode, the oscillator is stopped, and the instruction that invokes power-down is the last instruction executed. The on-chip RAM and Special Function Registers retain their values until the power-down mode is terminated. The only exit from power-down is a hardware reset. Reset redefines the SFRs but does not change the on-chip RAM. The reset should not be activated before V_{CC} is restored to its normal operating level and must be held active long enough to allow the oscillator to restart and stabilize.

Program Memory Lock Bits

On the chip are three lock bits which can be left unprogrammed (U) or can be programmed (P) to obtain the additional features listed in the table below.

When lock bit 1 is programmed, the logic level at the $\overline{EA}$ pin is sampled and latched during reset. If the device is powered up without a reset, the latch initializes to a random value, and holds that value until reset is activated. It is necessary that the latched value of $\overline{EA}$ be in agreement with the current logic level at that pin in order for the device to function properly.

Lock Bit Protection Modes

Program Lock Bits				
	LB1	LB2	LB3	Protection Type
1	U	U	U	No program lock features
2	P	U	U	MOVC instructions executed from external program memory are disabled from fetching code bytes from internal memory, $\overline{EA}$ is sampled and latched on reset, and further programming of the Flash is disabled
3	P	P	U	Same as mode 2, also verify is disabled
4	P	P	P	Same as mode 3, also external execution is disabled

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Programming the Flash

The AT89C51 is normally shipped with the on-chip Flash memory array in the erased state (that is, contents = FFH) and ready to be programmed. The programming interface accepts either a high-voltage (12-volt) or a low-voltage (V_{CC}) program enable signal. The low-voltage programming mode provides a convenient way to program the AT89C51 inside the user's system, while the high-voltage programming mode is compatible with conventional third-party Flash or EPROM programmers.

The AT89C51 is shipped with either the high-voltage or low-voltage programming mode enabled. The respective top-side marking and device signature codes are listed in the following table.

	V_{PP} = 12V	V_{PP} = 5V
Top-Side Mark	AT89C51 xxxx yyww	AT89C51 xxxx-5 yyww
Signature	(030H) = 1EH (031H) = 51H (032H) =F FH	(030H) = 1EH (031H) = 51H (032H) = 05H

The AT89C51 code memory array is programmed byte-by-byte in either programming mode. *To program any non-blank byte in the on-chip Flash Memory, the entire memory must be erased using the Chip Erase Mode.*

Programming Algorithm: Before programming the AT89C51, the address, data and control signals should be set up according to the Flash programming mode table and Figure 3 and Figure 4. To program the AT89C51, take the following steps.

1. Input the desired memory location on the address lines.
2. Input the appropriate data byte on the data lines.
3. Activate the correct combination of control signals.
4. Raise $\overline{EA}/V_{PP}$ to 12V for the high-voltage programming mode.
5. Pulse ALE/$\overline{PROG}$ once to program a byte in the Flash array or the lock bits. The byte-write cycle is self-timed and typically takes no more than 1.5 ms. Repeat steps 1 through 5, changing the address and data for the entire array or until the end of the object file is reached.

Data Polling: The AT89C51 features $\overline{Data}$ Polling to indicate the end of a write cycle. During a write cycle, an attempted read of the last byte written will result in the complement of the written datum on PO.7. Once the write cycle has been completed, true data are valid on all outputs, and the next cycle may begin. $\overline{Data}$ Polling may begin any time after a write cycle has been initiated.

Ready/$\overline{Busy}$: The progress of byte programming can also be monitored by the RDY/$\overline{BSY}$ output signal. P3.4 is pulled low after ALE goes high during programming to indicate BUSY. P3.4 is pulled high again when programming is done to indicate READY.

Program Verify: If lock bits LB1 and LB2 have not been programmed, the programmed code data can be read back via the address and data lines for verification. The lock bits cannot be verified directly. Verification of the lock bits is achieved by observing that their features are enabled.

Chip Erase: The entire Flash array is erased electrically by using the proper combination of control signals and by holding ALE/$\overline{PROG}$ low for 10 ms. The code array is written with all "1"s. The chip erase operation must be executed before the code memory can be re-programmed.

Reading the Signature Bytes: The signature bytes are read by the same procedure as a normal verification of locations 030H, 031H, and 032H, except that P3.6 and P3.7 must be pulled to a logic low. The values returned are as follows.

(030H) = 1EH indicates manufactured by Atmel
(031H) = 51H indicates 89C51
(032H) = FFH indicates 12V programming
(032H) = 05H indicates 5V programming

Programming Interface

Every code byte in the Flash array can be written and the entire array can be erased by using the appropriate combination of control signals. The write operation cycle is self-timed and once initiated, will automatically time itself to completion.

All major programming vendors offer worldwide support for the Atmel microcontroller series. Please contact your local programming vendor for the appropriate software revision.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Flash Programming Modes

Mode		RST	PSEN	ALE/PROG	EA/V_{PP}	P2.6	P2.7	P3.6	P3.7
Write Code Data		H	L		H/12V	L	H	H	H
Read Code Data		H	L	H	H	L	L	H	H
Write Lock	Bit - 1	H	L		H/12V	H	H	H	H
	Bit - 2	H	L		H/12V	H	H	L	L
	Bit - 3	H	L		H/12V	H	L	H	L
Chip Erase		H	L	(1)	H/12V	H	L	L	L
Read Signature Byte		H	L	H	H	L	L	L	L

Note: 1. Chip Erase requires a 10 ms PROG pulse.

Figure 3. Programming the Flash

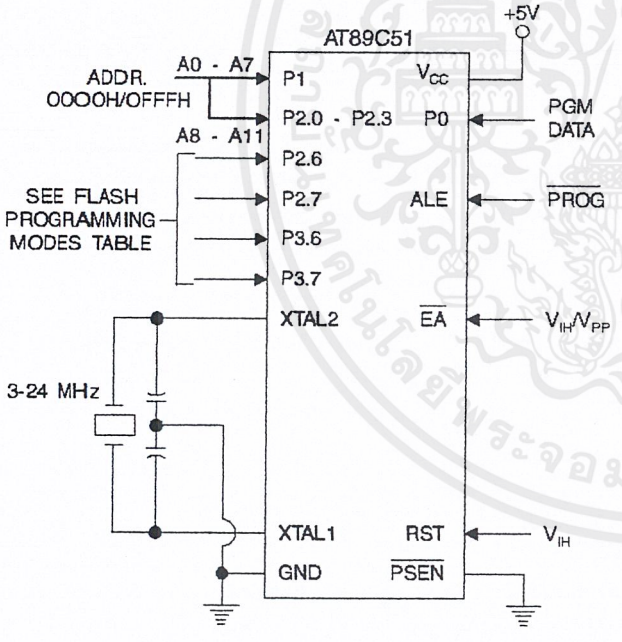
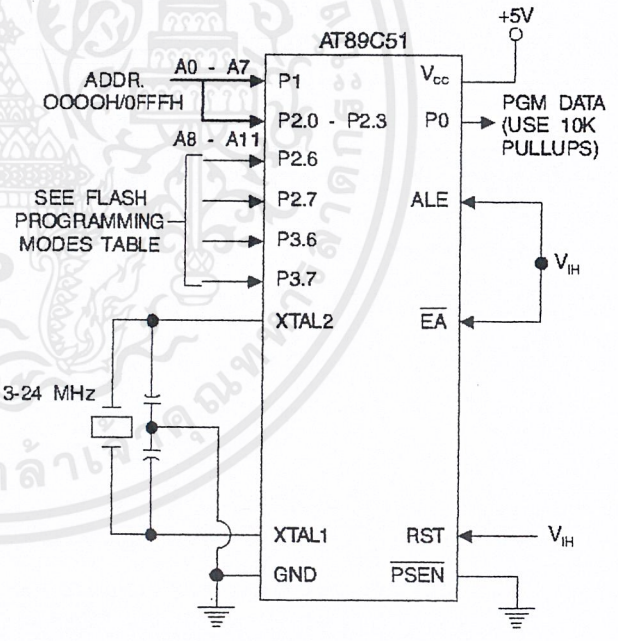
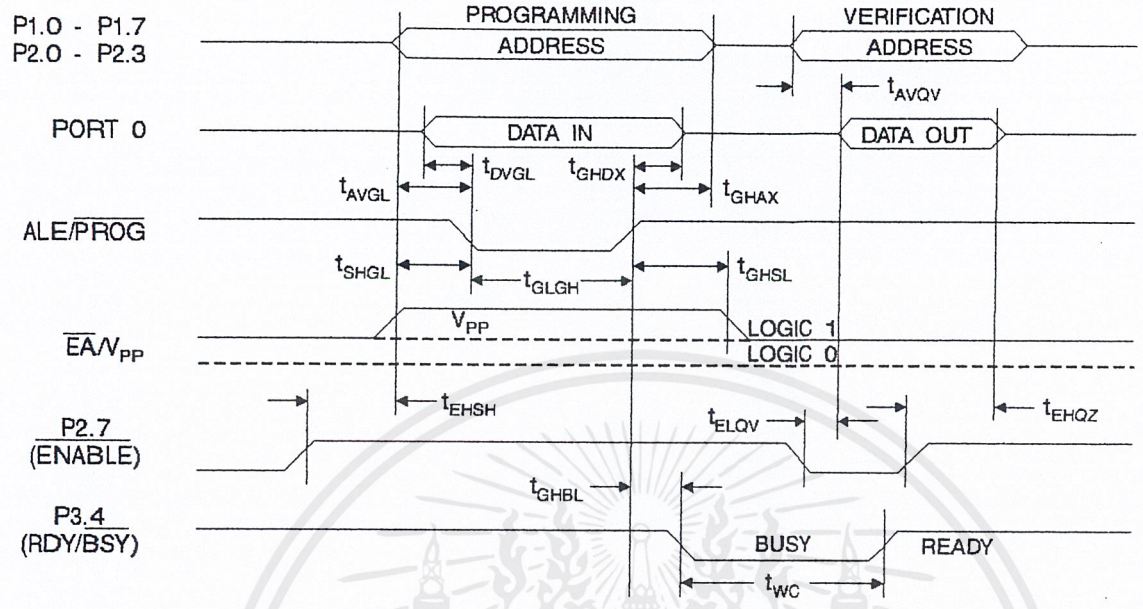


Figure 4. Verifying the Flash

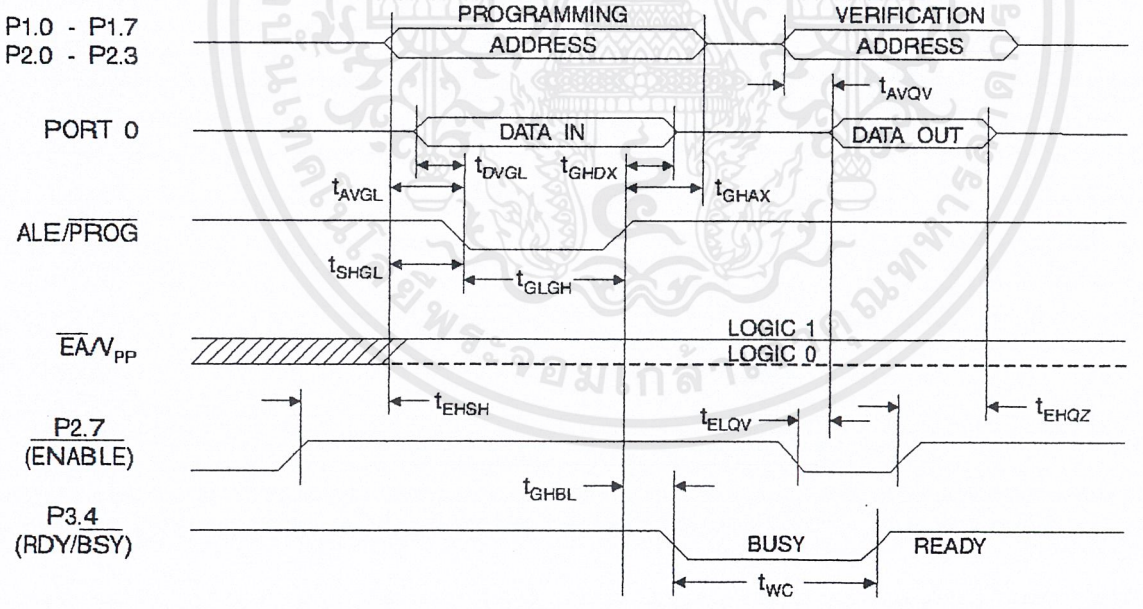


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Flash Programming and Verification Waveforms - High-voltage Mode (V_{PP} = 12V)



Flash Programming and Verification Waveforms - Low-voltage Mode (V_{PP} = 5V)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Flash Programming and Verification Characteristics

T_A = 0°C to 70°C, V_{CC} = 5.0 ± 10%

Symbol	Parameter	Min	Max	Units
V_{PP}[1]	Programming Enable Voltage	11.5	12.5	V
I_{PP}[1]	Programming Enable Current		1.0	mA
$1/t_{CLCL}$	Oscillator Frequency	3	24	MHz
t_{AVGL}	Address Setup to $\overline{PROG}$ Low	$48t_{CLCL}$		
t_{GHAX}	Address Hold After $\overline{PROG}$	$48t_{CLCL}$		
t_{DVGL}	Data Setup to $\overline{PROG}$ Low	$48t_{CLCL}$		
t_{GHDX}	Data Hold After $\overline{PROG}$	$48t_{CLCL}$		
t_{EHSH}	P2.7 ($\overline{ENABLE}$) High to V_{PP}	$48t_{CLCL}$		
t_{SHGL}	V_{PP} Setup to $\overline{PROG}$ Low	10		µs
t_{GHSL}[1]	V_{PP} Hold After $\overline{PROG}$	10		µs
t_{GLGH}	$\overline{PROG}$ Width	1	110	µs
t_{AVQV}	Address to Data Valid		$48t_{CLCL}$	
t_{ELQV}	$\overline{ENABLE}$ Low to Data Valid		$48t_{CLCL}$	
t_{EHQZ}	Data Float After $\overline{ENABLE}$	0	$48t_{CLCL}$	
t_{GHBL}	$\overline{PROG}$ High to $\overline{BUSY}$ Low		1.0	µs
t_{WC}	Byte Write Cycle Time		2.0	ms

Note: 1. Only used in 12-volt programming mode.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings*

Operating Temperature	-55°C to +125°C
Storage Temperature	-65°C to +150°C
Voltage on Any Pin with Respect to Ground	-1.0V to +7.0V
Maximum Operating Voltage	6.6V
DC Output Current	15.0 mA

*NOTICE: Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

DC Characteristics

T_A = -40°C to 85°C, V_{CC} = 5.0V ± 20% (unless otherwise noted)

Symbol	Parameter	Condition	Min	Max	Units
V_{IL}	Input Low-voltage	(Except $\overline{EA}$)	-0.5	0.2 V_{CC} - 0.1	V
V_{IL1}	Input Low-voltage ($\overline{EA}$)		-0.5	0.2 V_{CC} - 0.3	V
V_{IH}	Input High-voltage	(Except XTAL1, RST)	0.2 V_{CC} + 0.9	V_{CC} + 0.5	V
V_{IH1}	Input High-voltage	(XTAL1, RST)	0.7 V_{CC}	V_{CC} + 0.5	V
V_{OL}	Output Low-voltage[1] (Ports 1,2,3)	I_{OL} = 1.6 mA		0.45	V
V_{OL1}	Output Low-voltage[1] (Port 0, ALE, $\overline{PSEN}$)	I_{OL} = 3.2 mA		0.45	V
V_{OH}	Output High-voltage (Ports 1,2,3, ALE, $\overline{PSEN}$)	I_{OH} = -60 µA, V_{CC} = 5V ± 10%	2.4		V
		I_{OH} = -25 µA	0.75 V_{CC}		V
		I_{OH} = -10 µA	0.9 V_{CC}		V
V_{OH1}	Output High-voltage (Port 0 in External Bus Mode)	I_{OH} = -800 µA, V_{CC} = 5V ± 10%	2.4		V
		I_{OH} = -300 µA	0.75 V_{CC}		V
		I_{OH} = -80 µA	0.9 V_{CC}		V
I_{IL}	Logical 0 Input Current (Ports 1,2,3)	V_{IN} = 0.45V		-50	µA
I_{TL}	Logical 1 to 0 Transition Current (Ports 1,2,3)	V_{IN} = 2V, VCC = 5V ± 10%		-650	µA
I_{LI}	Input Leakage Current (Port 0, $\overline{EA}$)	0.45 < V_{IN} < V_{CC}		±10	µA
RRST	Reset Pull-down Resistor		50	300	KΩ
C_{IO}	Pin Capacitance	Test Freq. = 1 MHz, T_A = 25°C		10	pF
I_{CC}	Power Supply Current	Active Mode, 12 MHz		20	mA
		Idle Mode, 12 MHz		5	mA
	Power-down Mode[2]	V_{CC} = 6V		100	µA
		V_{CC} = 3V		40	µA

Notes: 1. Under steady state (non-transient) conditions, I_{OL} must be externally limited as follows:
Maximum I_{OL} per port pin: 10 mA
Maximum I_{OL} per 8-bit port: Port 0: 26 mA
Ports 1, 2, 3: 15 mA
Maximum total I_{OL} for all output pins: 71 mA
If I_{OL} exceeds the test condition, V_{OL} may exceed the related specification. Pins are not guaranteed to sink current greater than the listed test conditions.
2. Minimum V_{CC} for Power-down is 2V.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC Characteristics

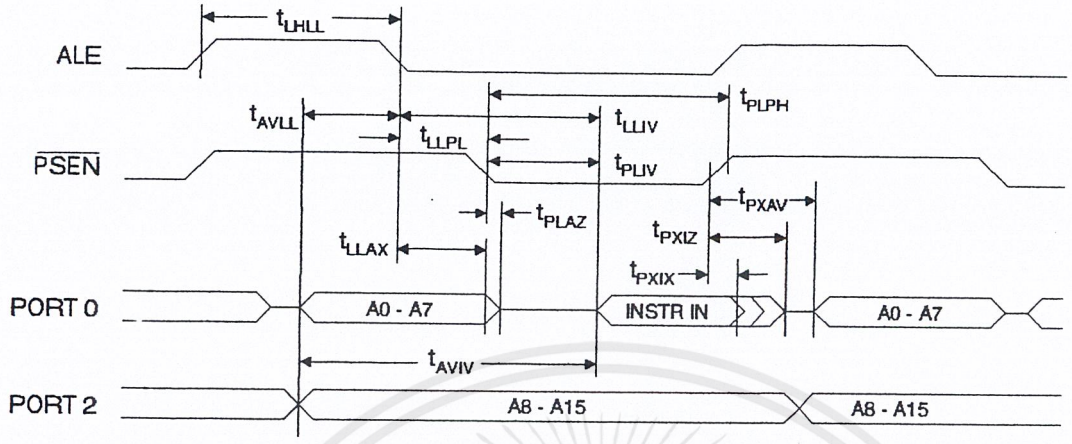
Under operating conditions, load capacitance for Port 0, ALE/$\overline{PROG}$, and $\overline{PSEN}$ = 100 pF; load capacitance for all other outputs = 80 pF.

External Program and Data Memory Characteristics

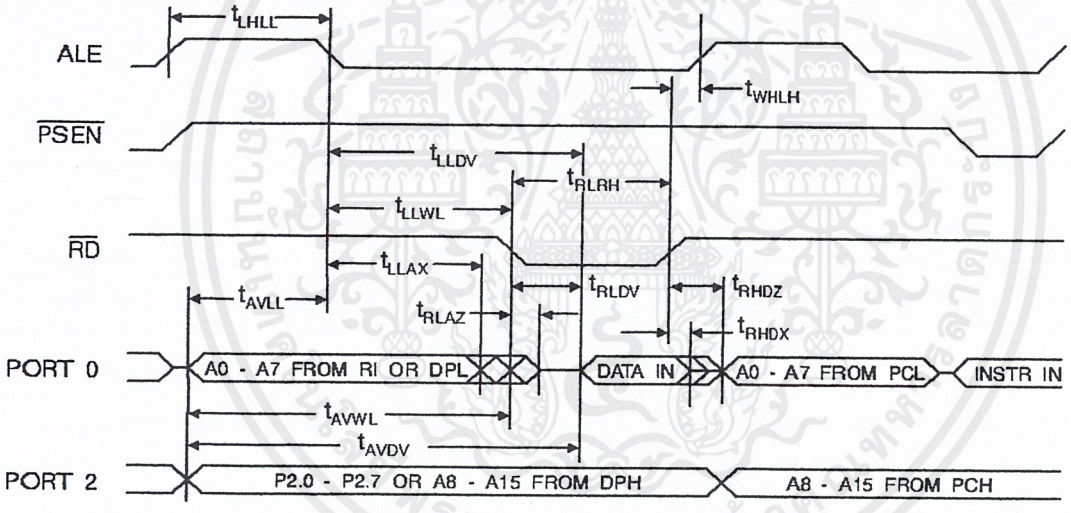
Symbol	Parameter	12 MHz Oscillator		16 to 24 MHz Oscillator		Units
		Min	Max	Min	Max	
$1/t_{CLCL}$	Oscillator Frequency			0	24	MHz
t_{LHLL}	ALE Pulse Width	127		$2t_{CLCL}$-40		ns
t_{AVLL}	Address Valid to ALE Low	43		t_{CLCL}-13		ns
t_{LLAX}	Address Hold After ALE Low	48		t_{CLCL}-20		ns
t_{LLIV}	ALE Low to Valid Instruction In		233		$4t_{CLCL}$-65	ns
t_{LLPL}	ALE Low to $\overline{PSEN}$ Low	43		t_{CLCL}-13		ns
t_{PLPH}	$\overline{PSEN}$ Pulse Width	205		$3t_{CLCL}$-20		ns
t_{PLIV}	$\overline{PSEN}$ Low to Valid Instruction In		145		$3t_{CLCL}$-45	ns
t_{PXIX}	Input Instruction Hold After $\overline{PSEN}$	0		0		ns
t_{PXIZ}	Input Instruction Float After $\overline{PSEN}$		59		t_{CLCL}-10	ns
t_{PXAV}	$\overline{PSEN}$ to Address Valid	75		t_{CLCL}-8		ns
t_{AVIV}	Address to Valid Instruction In		312		$5t_{CLCL}$-55	ns
t_{PLAZ}	$\overline{PSEN}$ Low to Address Float		10		10	ns
t_{RLRH}	$\overline{RD}$ Pulse Width	400		$6t_{CLCL}$-100		ns
t_{WLWH}	$\overline{WR}$ Pulse Width	400		$6t_{CLCL}$-100		ns
t_{RLDV}	$\overline{RD}$ Low to Valid Data In		252		$5t_{CLCL}$-90	ns
t_{RHDX}	Data Hold After $\overline{RD}$	0		0		ns
t_{RHDZ}	Data Float After $\overline{RD}$		97		$2t_{CLCL}$-28	ns
t_{LLDV}	ALE Low to Valid Data In		517		$8t_{CLCL}$-150	ns
t_{AVDV}	Address to Valid Data In		585		$9t_{CLCL}$-165	ns
t_{LLWL}	ALE Low to $\overline{RD}$ or $\overline{WR}$ Low	200	300	$3t_{CLCL}$-50	$3t_{CLCL}$+50	ns
t_{AVWL}	Address to $\overline{RD}$ or $\overline{WR}$ Low	203		$4t_{CLCL}$-75		ns
t_{QVWX}	Data Valid to $\overline{WR}$ Transition	23		t_{CLCL}-20		ns
t_{QVWH}	Data Valid to $\overline{WR}$ High	433		$7t_{CLCL}$-120		ns
t_{WHQX}	Data Hold After $\overline{WR}$	33		t_{CLCL}-20		ns
t_{RLAZ}	$\overline{RD}$ Low to Address Float		0		0	ns
t_{WHLH}	$\overline{RD}$ or $\overline{WR}$ High to ALE High	43	123	t_{CLCL}-20	t_{CLCL}+25	ns

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

External Program Memory Read Cycle

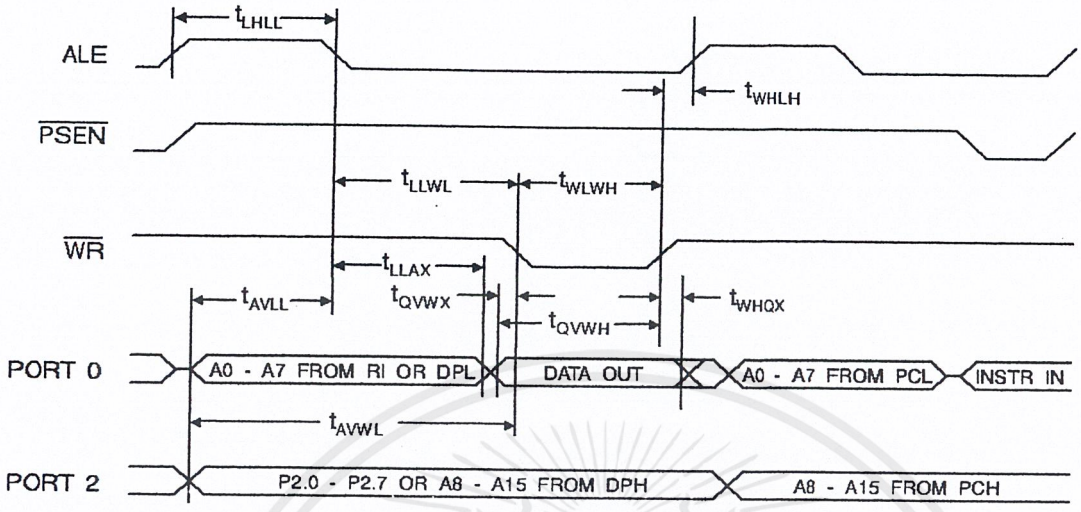


External Data Memory Read Cycle

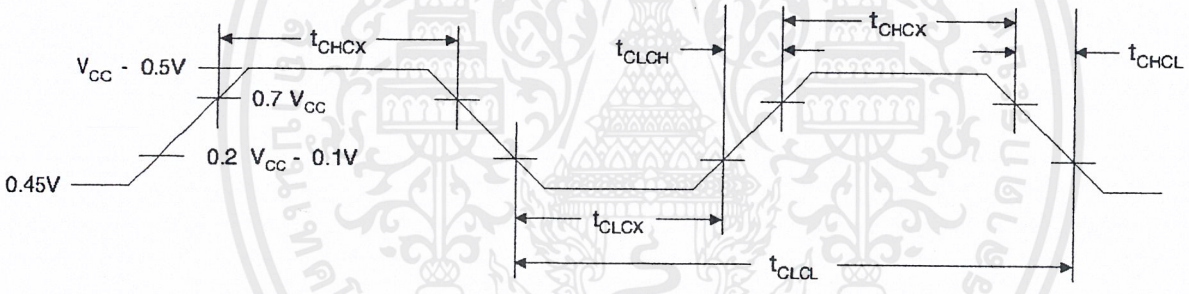


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

External Data Memory Write Cycle



External Clock Drive Waveforms



External Clock Drive

Symbol	Parameter	Min	Max	Units
$1/t_{CLCL}$	Oscillator Frequency	0	24	MHz
t_{CLCL}	Clock Period	41.6		ns
t_{CHCX}	High Time	15		ns
t_{CLCX}	Low Time	15		ns
t_{CLCH}	Rise Time		20	ns
t_{CHCL}	Fall Time		20	ns

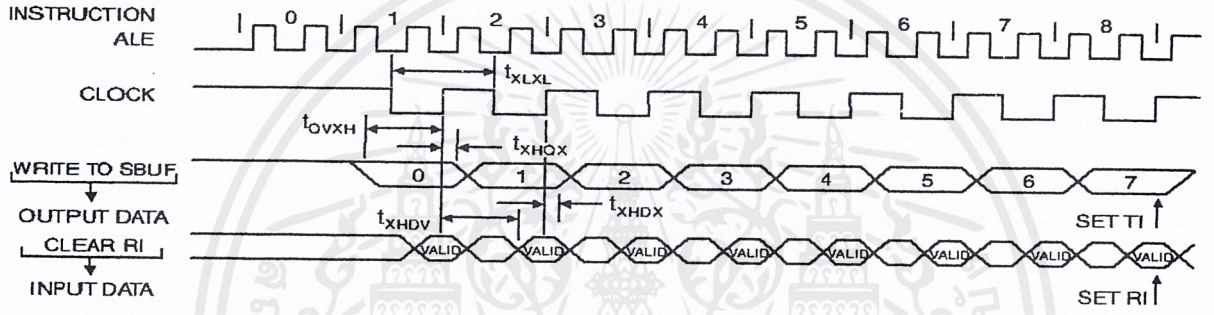
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Serial Port Timing: Shift Register Mode Test Conditions

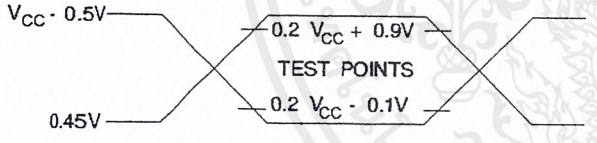
(V_{CC} = 5.0 V ± 20%; Load Capacitance = 80 pF)

Symbol	Parameter	12 MHz Osc		Variable Oscillator		Units
		Min	Max	Min	Max	
t_{XLXL}	Serial Port Clock Cycle Time	1.0		$12t_{CLCL}$		µs
t_{QVXH}	Output Data Setup to Clock Rising Edge	700		$10t_{CLCL}$-133		ns
t_{XHQX}	Output Data Hold After Clock Rising Edge	50		$2t_{CLCL}$-117		ns
t_{XHDX}	Input Data Hold After Clock Rising Edge	0		0		ns
t_{XHDV}	Clock Rising Edge to Input Data Valid		700		$10t_{CLCL}$-133	ns

Shift Register Mode Timing Waveforms

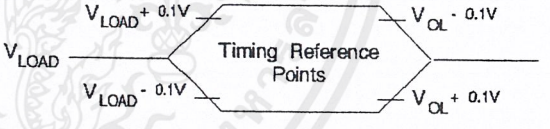


AC Testing Input/Output Waveforms[1]



Note: 1. AC Inputs during testing are driven at V_{CC} - 0.5V for a logic 1 and 0.45V for a logic 0. Timing measurements are made at V_{IH} min. for a logic 1 and V_{IL} max. for a logic 0.

Float Waveforms[1]



Note: 1. For timing purposes, a port pin is no longer floating when a 100 mV change from load voltage occurs. A port pin begins to float when 100 mV change from the loaded V_{OH}/V_{OL} level occurs.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Ordering Information

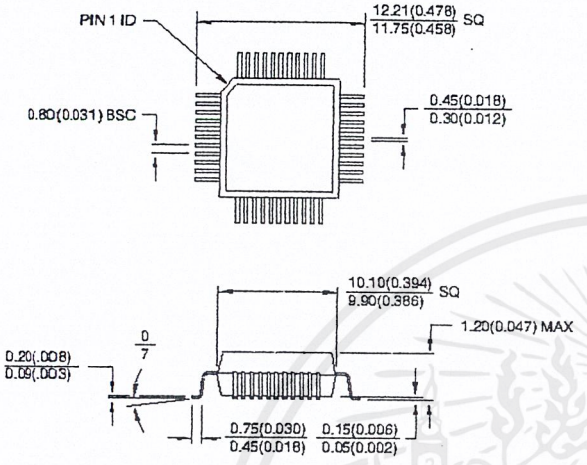
Speed (MHz)	Power Supply	Ordering Code	Package	Operation Range
12	5V ± 20%	AT89C51-12AC	44A	Commercial (0°C to 70°C)
		AT89C51-12JC	44J	
		AT89C51-12PC	40P6	
		AT89C51-12QC	44Q	
		AT89C51-12AI	44A	Industrial (-40°C to 85°C)
		AT89C51-12JI	44J	
		AT89C51-12PI	40P6	
		AT89C51-12QI	44Q	
16	5V ± 20%	AT89C51-16AC	44A	Commercial (0°C to 70°C)
		AT89C51-16JC	44J	
		AT89C51-16PC	40P6	
		AT89C51-16QC	44Q	
		AT89C51-16AI	44A	Industrial (-40°C to 85°C)
		AT89C51-16JI	44J	
		AT89C51-16PI	40P6	
		AT89C51-16QI	44Q	
20	5V ± 20%	AT89C51-20AC	44A	Commercial (0°C to 70°C)
		AT89C51-20JC	44J	
		AT89C51-20PC	40P6	
		AT89C51-20QC	44Q	
		AT89C51-20AI	44A	Industrial (-40°C to 85°C)
		AT89C51-20JI	44J	
		AT89C51-20PI	40P6	
		AT89C51-20QI	44Q	
24	5V ± 20%	AT89C51-24AC	44A	Commercial (0°C to 70°C)
		AT89C51-24JC	44J	
		AT89C51-24PC	40P6	
		AT89C51-24QC	44Q	
		AT89C51-24AI	44A	Industrial (-40°C to 85°C)
		AT89C51-24JI	44J	
		AT89C51-24PI	40P6	
		AT89C51-24QI	44Q	

Package Type	
44A	44-lead, Thin Plastic Gull Wing Quad Flatpack (TQFP)
44J	44-lead, Plastic J-leaded Chip Carrier (PLCC)
40P6	40-lead, 0.600" Wide, Plastic Dual Inline Package (PDIP)
44Q	44-lead, Plastic Gull Wing Quad Flatpack (PQFP)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

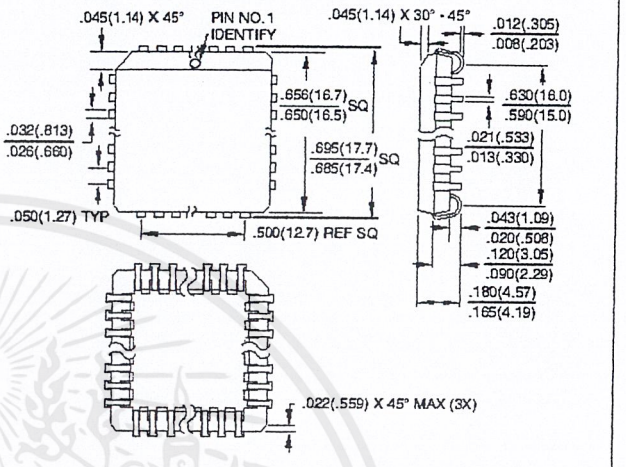
Packaging Information

44A, 44-lead, Thin (1.0 mm) Plastic Gull Wing Quad Flatpack (TQFP)
Dimensions in Millimeters and (Inches)*
JEDEC STANDARD MS-026 ACB

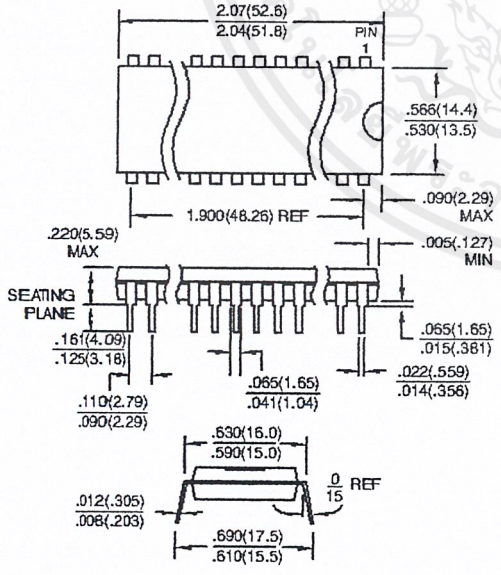


Controlling dimension: millimeters

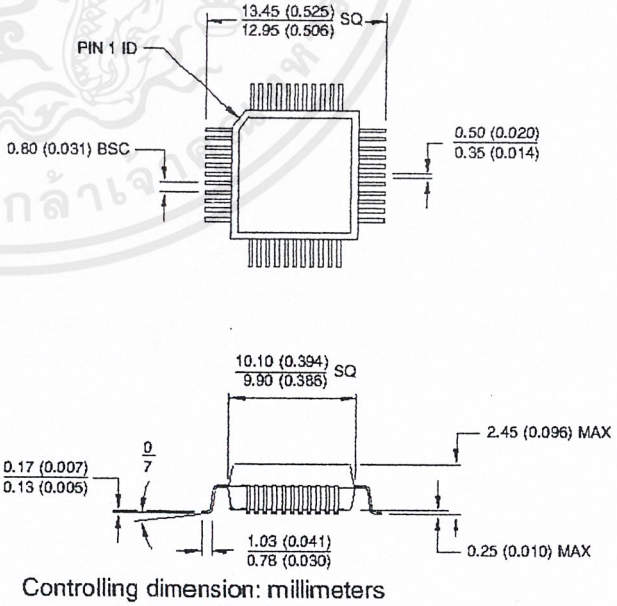
44J, 44-lead, Plastic J-leaded Chip Carrier (PLCC)
Dimensions in Inches and (Millimeters)
JEDEC STANDARD MS-018 AC



40P6, 40-lead, 0.600" Wide, Plastic Dual Inline Package (PDIP)
Dimensions in Inches and (Millimeters)



44Q, 44-lead, Plastic Quad Flat Package (PQFP)
Dimensions in Millimeters and (Inches)*
JEDEC STANDARD MS-022 AB



Controlling dimension: millimeters

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Atmel Headquarters

Corporate Headquarters
2325 Orchard Parkway
San Jose, CA 95131
TEL (408) 441-0311
FAX (408) 487-2600

Europe
Atmel U.K., Ltd.
Coliseum Business Centre
Riverside Way
Camberley, Surrey GU15 3YL
England
TEL (44) 1276-686-677
FAX (44) 1276-686-697

Asia
Atmel Asia, Ltd.
Room 1219
Chinachem Golden Plaza
77 Mody Road Tsimhatsui
East Kowloon
Hong Kong
TEL (852) 2721-9778
FAX (852) 2722-1369

Japan
Atmel Japan K.K.
9F, Tonetsu Shinkawa Bldg.
1-24-8 Shinkawa
Chuo-ku, Tokyo 104-0033
Japan
TEL (81) 3-3523-3551
FAX (81) 3-3523-7581

Atmel Operations

Atmel Colorado Springs
1150 E. Cheyenne Mtn. Blvd.
Colorado Springs, CO 80906
TEL (719) 576-3300
FAX (719) 540-1759

Atmel Rousset
Zone Industrielle
13106 Rousset Cedex
France
TEL (33) 4-4253-6000
FAX (33) 4-4253-6001

Fax-on-Demand
North America:
1-(800) 292-8635
International:
1-(408) 441-0732

e-mail
literature@atmel.com

Web Site
http://www.atmel.com

BBS
1-(408) 436-4309

© Atmel Corporation 2000.
Atmel Corporation makes no warranty for the use of its products, other than those expressly contained in the Company's standard warranty which is detailed in Atmel's Terms and Conditions located on the Company's web site. The Company assumes no responsibility for any errors which may appear in this document, reserves the right to change devices or specifications detailed herein at any time without notice, and does not make any commitment to update the information contained herein. No licenses to patents or other intellectual property of Atmel are granted by the Company in connection with the sale of Atmel products, expressly or by implication. Atmel's products are not authorized for use as critical components in life support devices or systems.

Marks bearing ® and/or ™ are registered trademarks and trademarks of Atmel Corporation.

Terms and product names in this document may be trademarks of others.

Printed on recycled paper.

0265G–02/00/xM

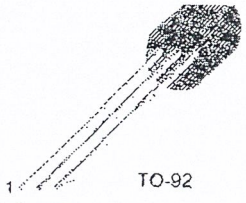
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FAIRCHILD
SEMICONDUCTOR™

BC237/238/239

Switching and Amplifier Applications

- Low Noise: BC239



TO-92

1. Collector 2. Base 3. Emitter

NPN Epitaxial Silicon Transistor

Absolute Maximum Ratings T_a=25°C unless otherwise noted

Symbol	Parameter		Value	Units
V_{CES}	Collector-Emitter Voltage	: BC237	50	V
		: BC238/239	30	V
V_{CEO}	Collector-Emitter Voltage	: BC237	45	V
		: BC238/239	25	V
V_{EBO}	Emitter-Base Voltage	: BC237	6	V
		: BC238/239	5	V
I_C	Collector Current (DC)		100	mA
P_C	Collector Dissipation		500	mW
T_J	Junction Temperature		150	°C
T_{STG}	Storage Temperature		-55 ~ 150	°C

Electrical Characteristics T_a=25°C unless otherwise noted

Symbol	Parameter	Test Condition	Min.	Typ.	Max.	Units
BV_{CEO}	Collector-Emitter Breakdown Voltage	I_C=2mA, I_B=0				
	: BC237		45			V
	: BC238/239		25			V
BV_{EBO}	Emitter Base Breakdown Voltage	I_E=1μA, I_C=0				
	: BC237		6			V
	: BC238/239		5			V
I_{CES}	Collector Cut-off Current					
	: BC237	V_{CE}=50V, V_{BE}=0		0.2	15	nA
	: BC238/239	V_{CE}=30V, V_{BE}=0		0.2	15	nA
h_{FE}	DC Current Gain	V_{CE}=5V, I_C=2mA	120		800	
V_{CE} (sat)	Collector-Emitter Saturation Voltage	I_C=10mA, I_B=0.5mA		0.07	0.2	V
		I_C=100mA, I_B=5mA		0.2	0.6	V
V_{BE} (sat)	Collector-Base Saturation Voltage	I_C=10mA, I_B=0.5mA		0.73	0.83	V
		I_C=100mA, I_B=5mA		0.87	1.05	V
V_{BE} (on)	Base-Emitter On Voltage	V_{CE}=5V, I_C=2mA	0.55	0.62	0.7	V
f_T	Current Gain Bandwidth Product	V_{CE}=3V, I_C=0.5mA, f=100MHz		85		MHz
		V_{CE}=5V, I_C=10mA, f=100MHz	150	250		MHz
C_{cb}	Output Capacitance	V_{CB}=10V, I_E=0, f=1MHz		3.5	6	pF
C_{ib}	Input Base Capacitance	V_{EB}=0.5V, I_C=0, f=1MHz		8		pF
NF	Noise Figure	V_{CE}=5V, I_C=0.2mA,				
	: BC237/238	f=1KHz R_G=2KΩ		2	10	dB
	: BC239	V_{CE}=5V, I_C=0.2mA			4	dB
	: BC239	R_G=2KΩ, f=30~15KHz			4	dB

h_{FE} Classification

Classification	A	B	C
h_{FE}	120 ~ 220	180 ~ 460	380 ~ 800

©2000 Fairchild Semiconductor International

Rev. B, January 2001

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Characteristics

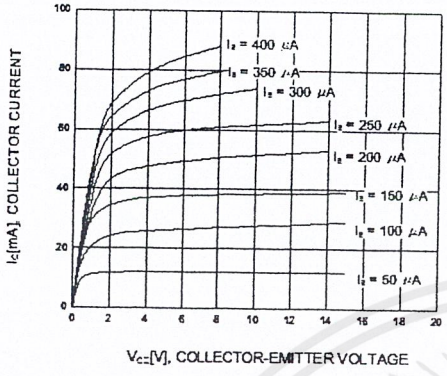


Figure 1. Static Characteristic

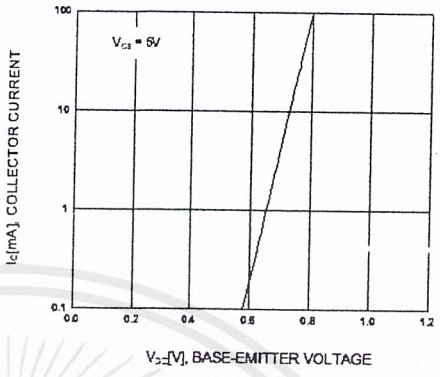


Figure 2. Transfer Characteristic

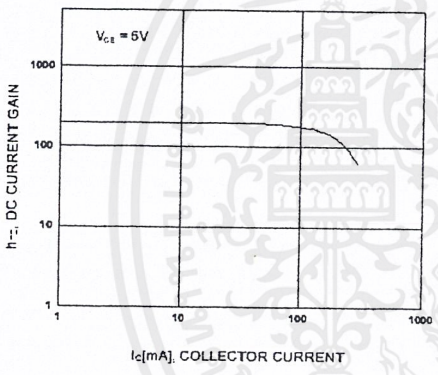


Figure 3. DC current Gain

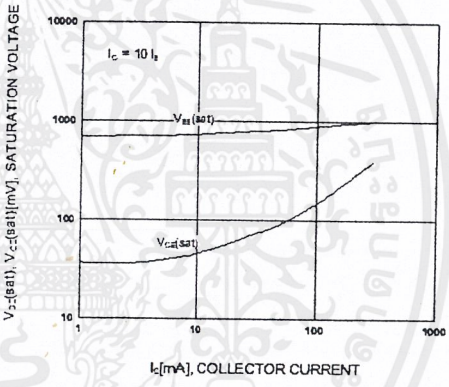


Figure 4. Base-Emitter Saturation Voltage Collector-Emitter Saturation Voltage

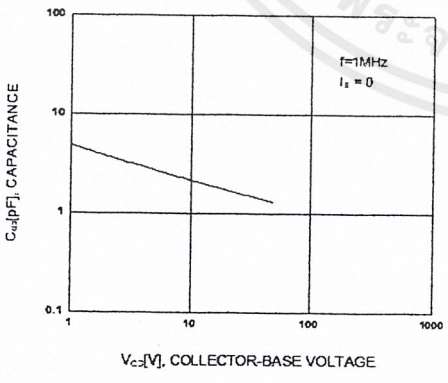


Figure 5. Output Capacitance

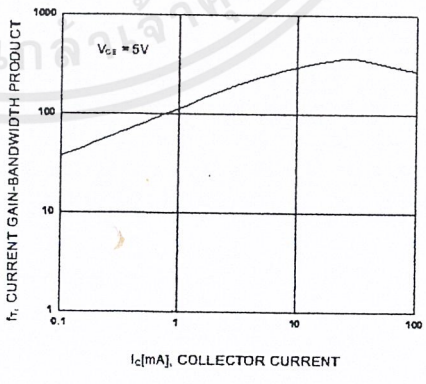


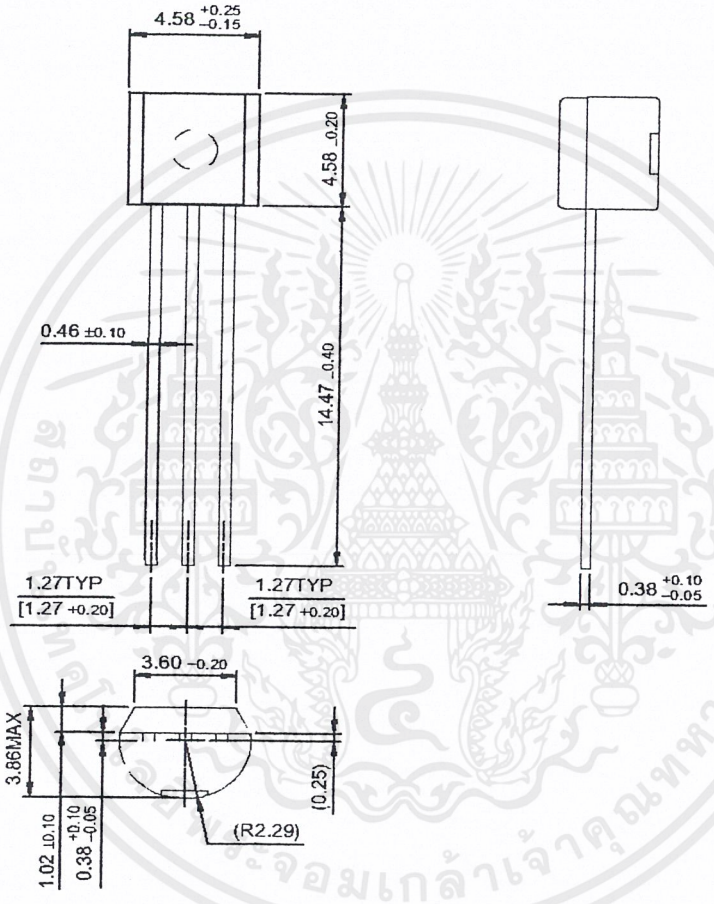
Figure 6. Current Gain Bandwidth Product

©2000 Fairchild Semiconductor International

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Package Demensions

TO-92



Dimensions in Millimeters

©2000 Fairchild Semiconductor International

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TRADEMARKS

The following are registered and unregistered trademarks Fairchild Semiconductor owns or is authorized to use and is not intended to be an exhaustive list of all such trademarks.

ACEx™	HiSeC™	SuperSOT™-8
Bottomless™	ISOPLANAR™	SyncFET™
CoolFET™	MICROWIRE™	TinyLogic™
CROSSVOLT™	POP™	UHC™
E^2CMOS™	PowerTrench®	VCX™
FACT™	QFET™	
FACT Quiet Series™	QS™	
FAST®	Quiet Series™	
FASTr™	SuperSOT™-3	
GTO™	SuperSOT™-6	

DISCLAIMER

FAIRCHILD SEMICONDUCTOR RESERVES THE RIGHT TO MAKE CHANGES WITHOUT FURTHER NOTICE TO ANY PRODUCTS HEREIN TO IMPROVE RELIABILITY, FUNCTION OR DESIGN. FAIRCHILD DOES NOT ASSUME ANY LIABILITY ARISING OUT OF THE APPLICATION OR USE OF ANY PRODUCT OR CIRCUIT DESCRIBED HEREIN; NEITHER DOES IT CONVEY ANY LICENSE UNDER ITS PATENT RIGHTS, NOR THE RIGHTS OF OTHERS.

LIFE SUPPORT POLICY

FAIRCHILD'S PRODUCTS ARE NOT AUTHORIZED FOR USE AS CRITICAL COMPONENTS IN LIFE SUPPORT DEVICES OR SYSTEMS WITHOUT THE EXPRESS WRITTEN APPROVAL OF FAIRCHILD SEMICONDUCTOR INTERNATIONAL.

As used herein:

1. Life support devices or systems are devices or systems which, (a) are intended for surgical implant into the body, or (b) support or sustain life, or (c) whose failure to perform when properly used in accordance with instructions for use provided in the labeling, can be reasonably expected to result in significant injury to the user.

2. A critical component is any component of a life support device or system whose failure to perform can be reasonably expected to cause the failure of the life support device or system, or to affect its safety or effectiveness.

PRODUCT STATUS DEFINITIONS

Definition of Terms

Datasheet Identification	Product Status	Definition
Advance Information	Formative or In Design	This datasheet contains the design specifications for product development. Specifications may change in any manner without notice.
Preliminary	First Production	This datasheet contains preliminary data, and supplementary data will be published at a later date. Fairchild Semiconductor reserves the right to make changes at any time without notice in order to improve design.
No Identification Needed	Full Production	This datasheet contains final specifications. Fairchild Semiconductor reserves the right to make changes at any time without notice in order to improve design.
Obsolete	Not In Production	This datasheet contains specifications on a product that has been discontinued by Fairchild semiconductor. The datasheet is printed for reference information only.

©2000 Fairchild Semiconductor International

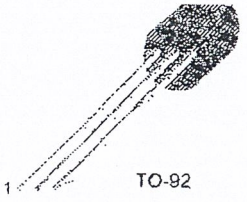
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FAIRCHILD
SEMICONDUCTOR™

BC327/328

Switching and Amplifier Applications

- Suitable for AF-Driver stages and low power output stages
- Complement to BC337/BC338



TO-92

1. Collector 2. Base 3. Emitter

PNP Epitaxial Silicon Transistor

Absolute Maximum Ratings T_a=25°C unless otherwise noted

Symbol	Parameter	Value	Units
V_{CES}	Collector-Emitter Voltage : BC327 : BC328	 -50 -30	 V V
V_{CEO}	Collector-Emitter Voltage : BC327 : BC328	 -45 -25	 V V
V_{EBO}	Emitter-Base Voltage	-5	V
I_C	Collector Current (DC)	-800	mA
P_C	Collector Dissipation	625	mW
T_J	Junction Temperature	150	°C
T_{STG}	Storage Temperature	-55 ~ 150	°C

Electrical Characteristics T_a=25°C unless otherwise noted

Symbol	Parameter	Test Condition	Min.	Typ.	Max.	Units
BV_{CEO}	Collector-Emitter Breakdown Voltage : BC327 : BC328	I_C= -10mA, I_B=0	 -45 -25			 V V
BV_{CES}	Collector-Emitter Breakdown Voltage : BC327 : BC328	I_C= -0.1mA, V_{BE}=0	 -50 -30			 V V
BV_{EBO}	Emitter-Base Breakdown Voltage	IE= -10μA, I_C=0	-5			V
I_{CES}	Collector Cut-off Current : BC307 : BC338	 V_{CE}= -45V, V_{BE}=0 V_{CE}= -25V, V_{BE}=0		 -2 -2	 -100 -100	 nA nA
h_{FE1} h_{FE2}	DC Current Gain	V_{CE}= -1V, I_C= -100mA V_{CE}= -1V, I_C= -300mA	100 40		630	
V_{CE} (sat)	Collector-Emitter Saturation Voltage	I_C= -500mA, I_B= -50mA			-0.7	V
V_{BE} (on)	Base-Emitter On Voltage	V_{CE}= -1V, I_C= -300mA			-1.2	V
f_T	Current Gain Bandwidth Product	V_{CE}= -5V, I_C= -10mA, f=20MHz		100		MHz
C_{ob}	Output Capacitance	V_{CB}= -10V, I_E=0, f=1MHz		12		pF

h_{FE} Classification

Classification	16	25	40
h_{FE1}	100 ~ 250	160 ~ 400	250 ~ 630
h_{FE2}	60-	100-	170-

©2000 Fairchild Semiconductor International

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Characteristics

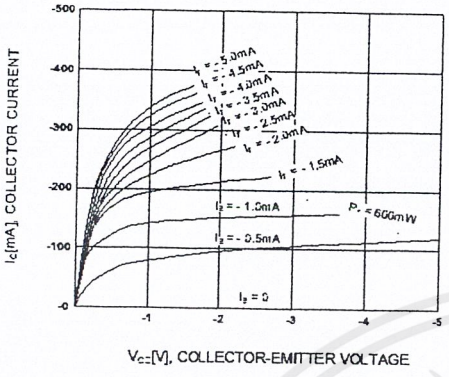


Figure 1. Static Characteristic

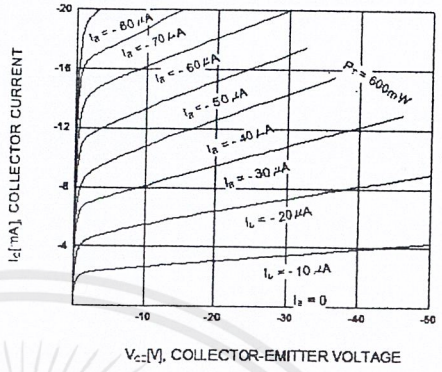


Figure 2. Static Characteristic

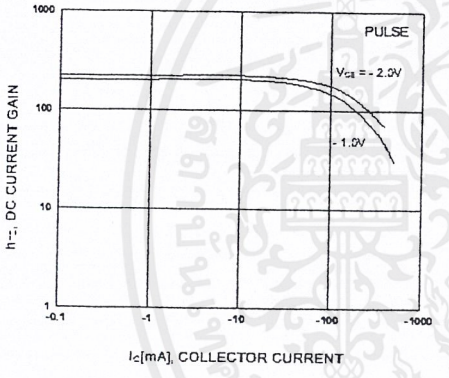


Figure 3. DC current Gain

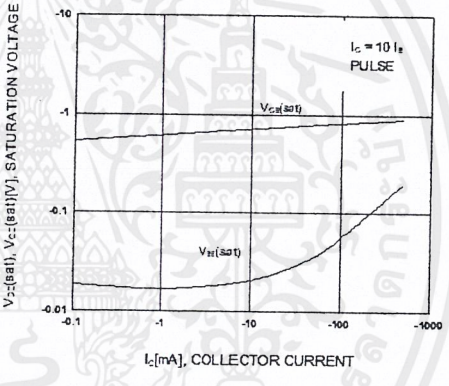


Figure 4. Base-Emitter Saturation Voltage Collector-Emitter Saturation Voltage

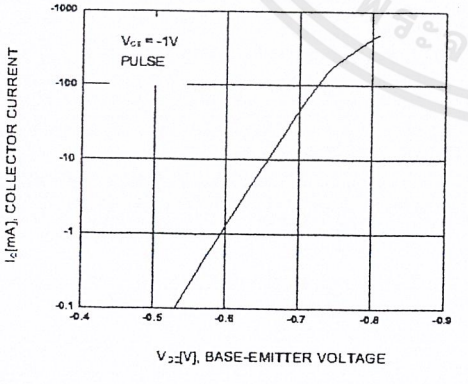


Figure 5. Base-Emitter On Voltage

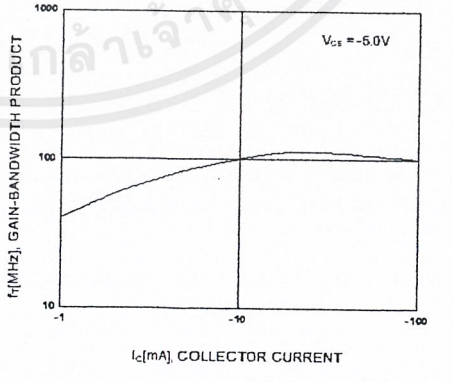


Figure 6. Gain Bandwidth Product

©2000 Fairchild Semiconductor International

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Characteristics (Continued)

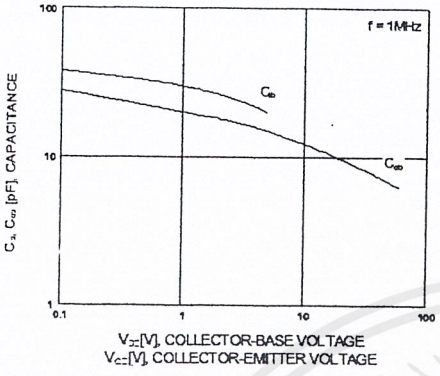


Figure 7. Input and Output Capacitance vs. Reverse Voltage

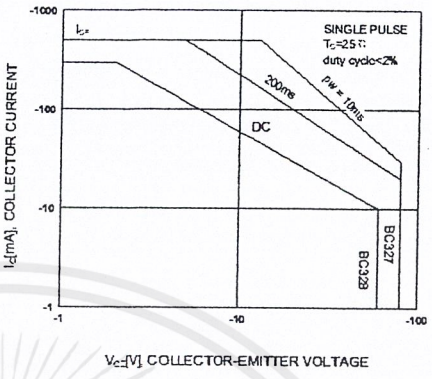


Figure 8. Safe Operating Area

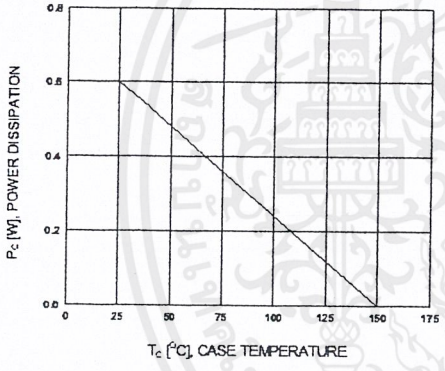


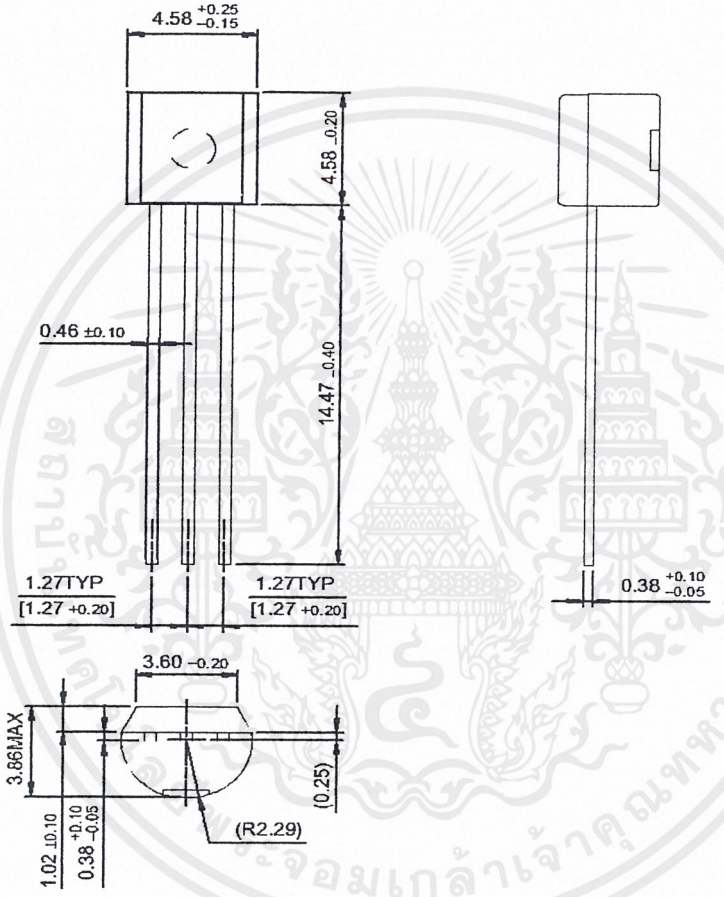
Figure 9. Power Derating

©2000 Fairchild Semiconductor International

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Package Demensions

TO-92



Dimensions in Millimeters

©2000 Fairchild Semiconductor International

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TRADEMARKS

The following are registered and unregistered trademarks Fairchild Semiconductor owns or is authorized to use and is not intended to be an exhaustive list of all such trademarks.

ACEx™
Bottomless™
CoolFET™
CROSSVOLT™
E^2CMOS™
FACT™
FACT Quiet Series™
FAST®
FASTr™
GTO™
HiSeC™
ISOPLANAR™
MICROWIRE™
POP™
PowerTrench®
QFET™
QS™
Quiet Series™
SuperSOT™-3
SuperSOT™-6
SuperSOT™-8
SyncFET™
TinyLogic™
UHC™
VCX™

DISCLAIMER

FAIRCHILD SEMICONDUCTOR RESERVES THE RIGHT TO MAKE CHANGES WITHOUT FURTHER NOTICE TO ANY PRODUCTS HEREIN TO IMPROVE RELIABILITY, FUNCTION OR DESIGN. FAIRCHILD DOES NOT ASSUME ANY LIABILITY ARISING OUT OF THE APPLICATION OR USE OF ANY PRODUCT OR CIRCUIT DESCRIBED HEREIN; NEITHER DOES IT CONVEY ANY LICENSE UNDER ITS PATENT RIGHTS, NOR THE RIGHTS OF OTHERS.

LIFE SUPPORT POLICY

FAIRCHILD'S PRODUCTS ARE NOT AUTHORIZED FOR USE AS CRITICAL COMPONENTS IN LIFE SUPPORT DEVICES OR SYSTEMS WITHOUT THE EXPRESS WRITTEN APPROVAL OF FAIRCHILD SEMICONDUCTOR INTERNATIONAL.

As used herein:

1. Life support devices or systems are devices or systems which, (a) are intended for surgical implant into the body, or (b) support or sustain life, or (c) whose failure to perform when properly used in accordance with instructions for use provided in the labeling, can be reasonably expected to result in significant injury to the user.

2. A critical component is any component of a life support device or system whose failure to perform can be reasonably expected to cause the failure of the life support device or system, or to affect its safety or effectiveness.

PRODUCT STATUS DEFINITIONS

Definition of Terms

Datasheet Identification	Product Status	Definition
Advance Information	Formative or In Design	This datasheet contains the design specifications for product development. Specifications may change in any manner without notice.
Preliminary	First Production	This datasheet contains preliminary data, and supplementary data will be published at a later date. Fairchild Semiconductor reserves the right to make changes at any time without notice in order to improve design.
No Identification Needed	Full Production	This datasheet contains final specifications. Fairchild Semiconductor reserves the right to make changes at any time without notice in order to improve design.
Obsolete	Not In Production	This datasheet contains specifications on a product that has been discontinued by Fairchild semiconductor. The datasheet is printed for reference information only.

©2000 Fairchild Semiconductor International

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้